



Ecole Nationale Polytechnique  
Département d'électronique  
Laboratoire des dispositifs de Communication  
et de Conversion Photovoltaïque



# Thèse de Doctorat En Électronique

Présenté par :

**TAIBI Abdelkader**

Magistère en électronique, ENP d'Alger

Thème

## Conception d'Amplificateurs RF Faible Bruit en Technologie CMOS

Soutenu publiquement, le 27 Février 2017, devant le jury composé de :

Président :	Mr. BELOUHRANI Adel	Professeur, ENP
Directeur de thèse :	Mr. TRABELSI Mohamed	Professeur, ENP
Co-Directeur de thèse :	Mr. BELAROUSSI Mohand Tahar	Directeur de Recherche, CDTA
Examineurs :	Mr. ADNANE Mourad	Maître de Conférence/A, ENP
	Mr. ESCID Hammoudi	Maître de Conférence/A, USTHB
	Mr. CHALLAL Mouloud	Maître de Conférence/A, UMBB
	Mr. HEBIB Sami	Maître de Conférence/A, USDB
Invité :	Mr. SLIMANE Abdelhalim	Maître de Recherche/A, CDTA

**ENP 2017**

## *Remerciements,*

Le travail présenté dans cette thèse a été effectué dans le cadre d'une collaboration entre le laboratoire des dispositifs de Communication et de conversion Photovoltaïque du département d'électronique de l'Ecole Nationale Polytechnique (ENP) d'Alger et de l'équipe Analog RFIC de Centre de Développement des Technologies Avancées (CDTA) d'Alger.

Je tiens tout d'abord à exprimer ma profonde gratitude, à mon directeur de thèse Monsieur Mohamed TRABELSI, professeur à l'ENP ainsi qu'à mon co-directeur de thèse Monsieur Mohand Tahar BELAROUSSI, directeur de recherche au CDTA, qui ont su, par leurs encadrement efficace, diriger mes travaux et me forcer à la rigueur et la précision scientifique nécessaires à l'accomplissement de cette thèse.

J'adresse mes vifs remerciements à Monsieur Adel BELOUHRANI, professeur à ENP pour l'honneur qu'il me fait en présidant le jury de ma soutenance. De même à Messieurs Mourad ADNANE, maître de conférence/A à l'ENP, Escid HAMMOUDI, maître de Conférence/A à l'université des sciences et de la technologie Houari-Boumédiène (USTHB) d'Alger, Mouloud CHALLAL, maître de conférence/A à l'université M'Hamed Bougara de Boumerdès (UMBB) et Sami HEBIB, maître de conférence/A à l'université de Blida (USDB) pour avoir examiné cette thèse.

Je remercie Monsieur Abdelhalim SLIMANE, maître de recherche/A au CDTA, pour son aide ainsi que pour l'honneur qu'il me fait en figurant dans la composition du jury.

Je tiens également à affirmer toute ma considération au professeur Sylvain BOURDEL et docteur Estelle LAUGA, de Grenoble INP ainsi qu'au professeur Jean-Pierre RASKIN, de l'UCL de Belgique pour leurs conseils et leurs aides.

Enfin, je remercie tous ceux qui ont, de près ou de loin, contribué à la réalisation et l'amélioration de ce travail.

الهدف من هذا العمل هو تصميم مضخمين عاليي التردد ذوي تشويش ضعيف في مجال تكنولوجيا CMOS لتطبيقات الاتصالات اللاسلكية. المضخم الأول ذو ترددات مختلفة تبدأ من 1.9 جيجا هرتس حتى 2.4 جيجا هرتس, المضخم الثاني تم تصميمه على نطاق الترددات الواسعة جدا (3.1 حتي 10.6 جيجا هرتس) حيث تم تحسين إنتقائية هذا الاخير عن طريق إضافة مرشح ذو الترددات واسعة جدا مصمم في تكنولوجيا الرقائق الدقيقة. الخصائص المتحصل عليها بالنسبة للمضخم الاول هي: معامل التشويش اقل من 2.7 ديسيبل, معامل تضخيم يصل الى 23.5 ديسيبل مع تأقلم جيد عند مدخل ومخرج المضخم. بالنسبة للمضخم الثاني فعلاوتا على جودته في الخصائص المذكوره سابقا فانه يمتاز بجودة انتقاء تصل لحدود 0.88. وأخيرا, تم تصميم منظم الجهد بهدف توفير جهد أكثر استقرارا لتغذية خلايا تردد الراديو .

**كلمات مفتاحية:** المضخم, سيموس, معامل التشويش, المرشح, الترددات واسعة جدا, منظم الجهد.

## Abstract

This work covers the low noise amplifier design in CMOS technology. Two distinct LNA has been designed in 0.18 um CMOS technology, based on inductive degeneration topology, and adopt a power-noise optimization procedure. The first LNA targets a multistandard application, for a frequency range of 1.9 to 2.4 GHz, and achieve a  $NF < 2.3$  dB, a power gain of 23.5 dB, an input and output return loss better than 12 dB, and 13 dB respectively, and an  $IIP3 > -3$  dBm. The second LNA has been proposed for UWB applications, with a remarkable selectivity thanks to an off-chip UWB filter in microstrip technology, where a novel, and efficient design methodology has been proposed, and adopted. The cascaded UWB LNA and filter achieve a minimum NF of 2.55 dB, a  $S_{21max}$  of 16 dB, an input and output return loss better than 7.5 dB, and 15 dB respectively, as well as a selectivity factor (SF) of 0.88. At last, an integrated voltage regulated (LDO) has been designed in 28 nm CMOS technology with the aim to provide a very stable supply voltage for the LNA.

**Keywords:** CMOS, low noise amplifier, filter, multi-standard, ultra-wideband, LDO.

## Résumé

Le but de ce travail est la conception de deux amplificateurs à faible bruit en technologie CMOS 0.18µm pour des applications sans fil. Le premier est un amplificateur multistandards dont la fréquence de travail s'étale de 1.9 GHz jusqu'à 2.4 GHz. Le deuxième est un amplificateur large bande opérant dans le spectre 3.1-10.6 GHz, qui répond à trois critères fondamentaux fixés par la FFC (Federal Communications Commission) où sa sélectivité a été améliorée en ajoutant à son entrée un filtre ULB (Ultra Large Bande) conçu, en technologie micro-ruban, avec une méthode novatrice que nous avons développée et mise en œuvre. Les deux amplificateurs ont été conçus selon la topologie à dégénérescence inductive et selon la technique d'optimisation puissance-bruit. Le premier possède un facteur de bruit  $NF < 2.7$  dB, un gain atteint 23.5 dB, des coefficients de réflexion d'entrée et de sortie  $S_{11} < -12$  dB et  $S_{22} < -13$  dB et un produit d'intermodulation d'ordre trois  $IIP3 > -3$  dBm. Le deuxième est caractérisé par  $NF_{min} = 2.55$  dB,  $S_{21max} = 16$  dB,  $S_{11} < -7.5$  dB et  $S_{22} < -15$  dB, et un facteur de sélectivité  $SF = 0.88$ . Enfin, comme perspective, un régulateur de tension LDO (Low Drop-Out) intégré a été conçu dans l'objectif de fournir une source de tension stable aux cellules RF.

**Mots clés :** CMOS, amplificateur faible bruit, filtre, multistandards, ultra large bande, LDO.

**TABLE DES MATIERES**

TABLE DES FIGURES

LISTE DES TABLEAUX

LISTE DES ABREVIATIONS ET DES SYMBOLES

**INTRODUCTION GENERALE..... 14****CHAPITRE I. L'AMPLIFICATEUR FAIBLE BRUIT EN TECHNOLOGIE CMOS**

I.1. Introduction.....	18
I.2. Les principaux dispositifs en technologie CMOS .....	18
I.2.1. Transistor MOSFET .....	18
I.2.1.1. Description.....	18
I.2.1.2. Modèle électrique petit signal d'un transistor MOSFET .....	21
I.2.2. Structure d'inductance en technologie CMOS.....	23
I.2.3. Structure de capacité en technologie CMOS.....	24
I.2.4. Structure de résistance en technologie CMOS.....	25
I.3. Méthodes et Outils de conception des circuits intégrés.....	26
I.3.1. Organigramme du flot de conception .....	26
I.3.2. Design kit.....	27
I.4. Conclusion.....	27

**CHAPITRE II. CARACTERISTIQUES D'UN AMPLIFICATEUR A FAIBLE BRUIT**

II.1. Introduction.....	29
II.2. Caractéristiques fondamentales d'un LNA .....	30
II.3. Architectures de base d'un LNA.....	33
II.3.1. LNA à terminaison résistive .....	34
II.3.2. LNA à terminaison $I/g_m$ .....	34
II.3.3. LNA à contre réaction résistive.....	34
II.3.4. LNA à dégénérescence inductive.....	35
II.3.5. Comparaison des architectures.....	35
II.4. Conclusion.....	36

**CHAPITRE III. CONCEPTION D'UN AMPLIFICATEUR FAIBLE BRUIT CMOS MULTISTANDARD**

III.1. Introduction.....	38
III.2. Choix de la topologie.....	39
III.3. Détermination des paramètres de conception.....	40
III.3.1. Modélisation du bruit.....	41
III.3.2. Technique d'optimisation du bruit sous contrainte de puissance.....	43
III.3.3. Dimensionnement des transistors M1 et M2 et calcul des éléments localisés de l'IDLNA cascode.....	48
III.3.4. Circuit de polarisation.....	50
III.3.5. LNA multistandard .....	51
III.3.5.1. Technique de post-linéarisation.....	53
III.3.5.2. Résultats de simulation du LNA multistandard.....	56

III.4. Conclusion.....	60
<b>CHAPITRE IV. CONCEPTION D'AMPLIFICATEUR FAIBLE BRUIT CMOS ULTRA LARGE BANDE</b>	
IV.1. Introduction.....	62
IV.2. Avantages du système ULB.....	63
IV.3. Etat de l'art des configurations des amplificateurs de LNA ULB.....	64
IV.3.1. LNA ULB distribué .....	64
IV.3.2. LNA ULB à grille commune.....	65
IV.3.3. LNA ULB à base d'un filtre passe bande.....	66
IV.3.4. Comparaison de performances des LNA ULB précédemment publié.....	67
IV.4. Conception du LNA ULB proposé.....	67
IV.4.1. Proposition d'un LNA ULB.....	67
IV.4.2. Conception du LNA ULB.....	68
IV.4.2.1. Circuit à l'entrée du LNA ULB.....	68
IV.4.2.2. Conception des différents étages.....	71
IV.5. Résultats de simulation du LNA ULB.....	73
IV.6. Conclusion.....	79
<b>CHAPITRE V. CONCEPTION DE FILTRES PASSE-BANDE MICROONDES ULTRA LARGE BANDE</b>	
V.1. Introduction.....	81
V.2. Conception des filtres compacts passe-bande ULB.....	83
V.2.1. La méthode MMR.....	83
V.2.2. Conception d'un FPB ULB à base des résonateurs à saut d'impédance.....	83
V.2.3. Conception d'un FPB ULB à base d'un résonateur et d'un stub à saut d'impédances.....	84
V.2.3.1. Analyse du filtre.....	85
V.2.3.2. Conception du filtre.....	88
V.2.3.3. Résultats de simulation et de mesure.....	90
V.3. Nouvelle méthode proposée de la conception des FPBs ULB.....	92
V.3.1. Conception du FPB ULB par la méthode proposée.....	93
V.3.1.1. Développement de la méthode proposée.....	93
V.3.1.2. Conception du FPB ULB par la méthode proposée.....	97
V.3.2. Conception du coupleur interdigité .....	100
V.3.3. Résultats de simulation et de mesure du FPB ULB.....	101
V.3.4. Comparaison des FPB ULB conçus par la méthode proposée.....	103
V.3.4.1. Comparaison des performances physiques et électriques.....	103
V.4. Conception du Filtre CMOS ULB de type Tchebyshev .....	105
V.5. Simulation du LNA ULB avec filtre à forte sélectivité.....	109
V.6. Conclusion.....	114
<b>CHAPITRE VI. CONCEPTION D'UN REGULATEUR DE TENSION D'ALIMENTATION DU LNA</b>	
VI.1. Introduction.....	116
VI.2. Etat de l'art sur les LDOs .....	117
VI.3. Conception de régulateur de tension (LDO).....	120
VI.3.1. Etablissement d'un cahier de charge .....	120
VI.3.2. Etude du modèle théorique du LDO et dimensionnement des différents composants.....	120

VI.3.2.1. Détermination des paramètres du transistor de puissance.....	123
VI.3.2.2. Détermination des paramètres de la contre réaction.....	124
VI.3.2.3. Simulation de la réponse indicielle.....	125
VI.3.2.4. Etude de stabilité du LDO.....	126
VI.3.2.5. Conception de l'amplificateur d'erreur.....	127
VI.4. Résultats de simulation du LDO.....	129
VI.5. Conclusion.....	130
<b>CONCLUSION GENERALE.....</b>	<b>132</b>
<b>BIBLIOGRAPHIE.....</b>	<b>135</b>
<b>ANNEXES</b>	
ANNEXE A.....	142
ANNEXE B.....	147
<b>PRODUCTION SCIENTIFIQUE.....</b>	<b>149</b>

## TABLE DES FIGURES

### CHAPITRE I

Figure I.1.	(a) Structure de MOSFET, (b) vue de profil, (c) symbole du transistor circuit [3].....	19
Figure I.2.	Illustration des zones de fonctionnement d'un transistor MOSFET sur les caractéristiques $I_{ds}$ en fonction de $V_{ds}$ [6].....	20
Figure I.3.	(a) Circuit équivalent "petit signal" d'un transistor MOSFET en source commune, (b) son modèle simplifié [6].....	21
Figure I.4.	(a) Modèle typique petit signal du MOSFET, (b) sources de bruit dans un transistor MOSFET [6].....	22
Figure I.5.	Inductance standard en technologie CMOS, (a) vue de dessus du masque (Layout), (b) modèle électrique équivalent [6].....	24
Figure I.6.	Capacité MIM, (a) coupe transversale, (b) circuit électrique équivalent [6].....	24
Figure I.7.	Résistance à couche mince, (a) coupe transversale, (b) circuit électrique équivalent [6].....	25
Figure I.8.	Flot de conception d'un circuit RF en technologie CMOS [5].....	26

### CHAPITRE II

Figure II.1.	Chaîne de réception.....	29
Figure II.2.	Intermodulation d'ordre 3.....	32
Figure II.3.	Architectures communes d'un LNA [12].....	33

### CHAPITRE III

Figure III.1.	Circuit équivalent d'IDLNA cascode petit signal (a) avec la capacité Cgd (b) avec la capacité de Miller $C_m$ [7].....	39
Figure III.2.	LNA cascode à dégénérescence inductive [16]. ....	40
Figure III.3.	Modèle équivalent petits signaux d'un LNA à dégénérescence inductive. ....	41
Figure III.4.	Modèle de bruit de la topologie à dégénérescence inductive [12].....	42
Figure III.5.	Évolution de $I_{ds}$ en fonction de $V_{gs}$ .....	44
Figure III.6.	Contours de NF en fonction de $Q_s$ pour différentes valeurs de $P_{cons}$ .....	46
Figure III.7.	Contours de $P_{cons}$ en fonction du $Q_s$ pour différentes valeurs de NF.....	47
Figure III.8.	Contours de $P_{cons}$ en fonction du $\rho$ pour différentes valeurs de NF.....	47
Figure III.9.	(a) Montage pour le calcul des paramètres d'une inductance, (b) L'inductance et son facteur de qualité en fonction de la fréquence.....	49
Figure III.10.	Structure de base du circuit à miroir de courant [19].....	50
Figure III.11.	Architectures de récepteurs multistandards (a) implémentation parallèle, (b) un seul chemin de réception [20].....	51
Figure III.12.	Capacité équivalente d'entrée en fonction de la tension de contrôle $V_{ctrl}$ .	52
Figure III.13.	Capacité équivalente de sortie en fonction de la tension de contrôle $V_{ctrl}$ .	53
Figure III.14.	Amplificateur cascode avec un transistor PMOS IMD Sinkers en cascade [27].....	54
Figure III.15.	Suppression du $g_{m3\_M2}$ avec la technique Folded PMOS IMD Sinkers [21].....	55
Figure III.16.	Schéma complet du LNA multistandard [21].....	55
Figure III.17.	Schéma d'un buffer.....	56
Figure III.18.	Gain en puissance du LNA multistandard [21].....	57
Figure III.19.	Facteur de bruit du LNA multistandard [21].....	57

Figure III.20. Coefficients de réflexions d'entrée ( $S_{11}$ ) et de sortie ( $S_{22}$ ) du LNA multistandard [21]..... 58

Figure III.21. Le produit d'intermodulation d'ordre trois (IIP3) du LNA multistandard à 2.4 GHz [21]..... 58

**CHAPITRE IV**

Figure IV.1. Gabarit de puissance à l'intérieur et celui de l'extérieur d'un système ULB [1]..... 62

Figure IV.2. L'amplificateur distribué à base de transistors [4]..... 64

Figure IV.3. LNA ULB en topologie grille commune [37]..... 65

Figure IV.4. Configuration de LNA ULB à base d'un filtre passe bande (b) LNA ULB à base d'un filtre Tchebychev [40]..... 66

Figure IV.5. Schéma du LNA ULB proposé [43]..... 68

Figure IV.6. (a) Topologie SC à dégénérescence inductive, (b) son circuit équivalent à l'entrée [43]..... 68

Figure IV.7.  $S_{11}$  du circuit d'entrée de LNA en fonction de la fréquence pour différentes valeurs de  $Q_1$  [43]..... 70

Figure IV.8. Contour du  $NF_{moy}$  en fonction de  $Q_1$  pour différents  $P_{cons}$  [43]..... 71

Figure IV.9. Comparaison des gains du LNA ULB avec et sans l'inductance d'inter étages  $L_i$  [43]..... 73

Figure IV.10. Layout du LNA ULB proposé [43]..... 74

Figure IV.11. Facteur de bruit du LNA ULB [43]..... 75

Figure IV.12. Gain du LNA ULB [43]..... 75

Figure IV.13. Coefficients de réflexion d'entrée ( $S_{11}$ ) et de sortie ( $S_{22}$ ) du LNA ULB [43]..... 76

Figure IV.14. Coefficient de transmission  $S_{12}$  du LNA ULB [43]..... 76

Figure IV.15. Le produit d'intermodulation d'ordre trois du LNA ULB à 6.85 GHz [43]..... 77

Figure IV.16. Filtre sélectif passe bande ULB mis en cascade avec un LNA ULB [43]. 79

**CHAPITRE V**

Figure V.1. Schéma typique ULB à faible consommation de puissance d'un (a) émetteur, (b) récepteur [1] [33]..... 81

Figure V.2. Distribution spectrale de système ULB et d'autres systèmes à bande étroite de puissance plus élevée [33]..... 82

Figure V.3. (a) Schéma du filtre compact passe-bande ULB, (b) résultats simulés et mesurés des pertes d'insertion et de retour du filtre [49]..... 84

Figure V.4. (a) Structure de base du filtre compact passe-bande ULB, (b) circuit équivalent en mode impair, (c), circuit équivalent en mode pair [48]... 85

Figure V.5. Rapport des deux premières fréquences de résonance en mode impair en fonction de  $\alpha_1$  et pour différentes valeurs de  $k_4$  [48]..... 86

Figure V.6. Taux des deuxième et troisième fréquences de résonance par rapport à la première fréquence de résonance en mode pair pour différentes valeurs de  $\alpha_2$  et de  $k_1$  avec  $Y_3 = Y_4$  [48]..... 88

Figure V.7. Structure complète du FPB ULB [48]..... 89

Figure V.8. Résultats simulés de pertes d'insertion sous un faible couplage [48]... 90

Figure V.9. Résultats simulés et mesurés du FPB ULB proposé dans la référence [48]..... 90

Figure V.10.	(a) Structure du filtre FPB sans le coupleur interdigité (b) et (c) circuits de la structure décomposée [52].....	94
Figure V.11.	Zéros de transmission en fonction du rapport de longueurs $\alpha$ pour différentes valeurs de $k$ [52].....	96
Figure V.12.	$ S_{21} $ et $ S_{11} $ des circuits A et B sans le coupleur interdigité [52].....	100
Figure V.13.	Coupleur interdigité (a) sans l'ouverture gravée dans sa masse (b) avec l'ouverture.....	100
Figure V.14.	$ S_{21} $ et $ S_{11} $ de l'interdigité sans et avec l'ouverture dans la masse....	101
Figure V.15.	Photographies des faces avant et arrière du filtre FPB ULB [52].....	102
Figure V.16.	Résultats simulés et mesurés du FPB ULB proposé [52].....	102
Figure V.17.	$ S_{21} $ et $ S_{11} $ simulés du FPB ULB des circuits A et B et de ceux des références [48] et [50].....	104
Figure V.18.	(a) Prototype passe-bas, (b) filtre passe-bande dénormalisé [43].....	106
Figure V.19.	$ S_{21} ^2$ (dB) du filtre idéal et CMOS [43].....	108
Figure V.20.	$ S_{21} ^2$ (dB) du filtre idéal et CMOS [43].....	109
Figure V.21.	(a) Connexion puce-substrat par wire bonding, (b) circuit <i>RLC</i> équivalent [43].....	110
Figure V.22.	Composants de la capacité équivalente de deux lignes adjacentes [59]	110
Figure V.23.	Comparaison des gains du LNA ULB avec filtre en PCB et celui en CMOS [43].....	111
Figure V.24.	Comparaison des facteurs de bruit du LNA ULB avec filtre en PCB et celui en CMOS [43].....	112
Figure V.25.	Comparaison des coefficients de réflexion en entrée du LNA ULB avec filtre en PCB et celui en CMOS [43].....	112

## CHAPITRE VI

Figure VI.1.	(a) Répartition simplifiée des circuits intégrés [65], (b) Schéma conventionnel d'un LDO [66].....	116
Figure VI.2.	Topologie proposée, (a) LDO, (b) amplificateur [67].....	117
Figure VI.3.	Schéma du LDO proposé [68].....	118
Figure VI.4.	Schémas conceptuels des techniques à capacités commutées : (a) première technique, (b) deuxième technique [69].....	119
Figure VI.5.	Schéma petit signal du LDO [66].....	121
Figure VI.6.	Réponse indicielle du LDO.....	125
Figure VI.7.	Schéma petit signal du LDO en boucle ouverte.....	126
Figure VI.8.	Module et phase du gain en boucle ouverte du LDO.....	127
Figure VI.9.	Schéma d'amplificateur d'erreur.....	128
Figure VI.10.	Layout de LDO.....	129
Figure VI.11.	$V_{out}$ et $I_{Load}$ en fonction temps.....	130

## ANNEXES

Figure A.1.	Modèle de bruit de la topologie à dégénérescence inductive [12].....	142
Figure A.2.	Circuit RLC série.....	144
Figure A.3.	(a) Amplificateur source commune avec shunt-peaking, (b) circuit petit signal équivalent [71].....	145
Figure A.4.	Réponse fréquentielle de shunt-peaking en pour différentes valeurs de $m$ [72].....	146

## LISTE DES TABLEAUX

**CHAPITRE II**

Tableau II.1. Comparaison des topologies de base du LNA [12-15].....	36
--	----

**CHAPITRE III**

Tableau III.1. Paramètres technologique du transistor TSMC CMOS 0.18 $\mu\text{m}$ ainsi que la tension de polarisation et la fréquence de travail .....	46
Tableau III.2. Résultat de la conception : valeurs des paramètres des différents composants constitutifs du LNA conçu [21].....	56
Tableau III.3. Comparaison des performances du LNA conçu [21] avec celles des travaux précédents.....	59

**CHAPITRE IV**

Tableau IV.1. Performances des LNAs ULB en technologie CMOS 0.18 $\mu\text{m}$ jusqu'à 2011.....	67
Tableau IV.2. Valeurs de l'inductance $L_{tot}$ et de la capacité $C_{gs}$ du circuit.....	70
Tableau IV.3. Valeurs des composants et des tensions de polarisation du LNA ULB conçu [43].....	72
Tableau IV.4. Performances simulées de LNA ULB conçu.....	78

**CHAPITRE V**

Tableau V.1. Différentes caractéristiques électriques de la structure sans les coupleurs interdigités, obtenues par la méthode proposée pour un pas de fréquence élevé.....	98
Tableau V.2. Caractéristiques des circuits A et B [52].....	99
Tableau V.3. Comparaison des performances du filtre réalisé avec ceux des filtres récents [52].....	105
Tableau V.4. Les valeurs des éléments $g_i$ et des composants $LC$ du filtre passe bande [43].....	107
Tableau V.5. Comparaison des performances simulées des LNAs ULB proposés avec celles des autres travaux publiés [43].....	113

**CHAPITRE VI**

Tableau VI.1. Comparaison des différentes performances des LDOs.....	119
Tableau VI.2. Les spécifications de LDO.....	120
Tableau VI.3. Paramètres des transistors PMOS pour un $V_{DO}=200\text{mV}$ et $I_{ds}=5\text{mA}$ .....	124
Tableau VI.4. Valeurs des paramètres du LDO.....	125
Tableau VI.5. Dimensionnement et consommation des transistors d'amplificateur d'erreur.....	129

## LISTE DES ABREVIATIONS ET DES SYMBOLES

3G	3ème Génération de la téléphonie mobile
CMOS	Complementary Metal Oxide Silicon
Cds	Capacité drain source
Cgd	Capacité grille drain
Cgs	Capacité grille source
Cox	Capacité de l'oxyde par unité de surface
DC	Drain Commun
Esat	Champ électrique de saturation
FCC	Federal Communications Commission
FOM	Figure Of Merit
FPB	Filtre Passe Bande
GC	Grille Commune
Gm	Transconductance
GPR	Ground Penetrating Radar
GPS	Global Positioning System
GSM	Global System for Mobile Communications
IC	Integrated Circuits
Ids	Courant drain source
IDLNA	Inductively Degenerated LNA
ITRS	International Technology Roadmap for Semiconductors
LDO	Low Drop-Out
LNA	Low Noise Amplifier
LR	Load Regulation
MMR	Multi-Mode Resonator
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
NF	Noise Figure
PCB	Printed Circuit Board
PCNO	Power-Constrained Noise optimization
PCS	Personal Communications Service
PSD	Power Spectral Density
RF	Radio frequency

RFID	Radio Frequency IDentification
SC	Source Commune
SF	Selectivity Factor
SIR	Stepped Impedance Resonator
SNR	Signal Noise Ratio
SR	Slew Rate
TSMC	Taiwan Semiconductor Manufacturing Company
$\mu_{\text{eff}}$	Mobilité effective des électrons dans le canal
ULB	Ultra Large Bande
UMTS	Universal Mobile Telecommunications System
V <sub>ds</sub>	Tension Drain source
V <sub>gs</sub>	Tension grille source
V <sub>sat</sub>	Vitesse de saturation des porteurs
V <sub>T</sub>	Tension de seuil de transistor
UWB	Ultra Wide Band
WLAN	Wireless Local Area Network

# **Introduction Générale**

## INTRODUCTION GENERALE

Durant les vingt dernières années, des progrès exceptionnels ont été enregistrés dans les systèmes de communication sans fil. Ces derniers ont beaucoup évolué et sont progressivement devenus omniprésents dans notre vie quotidienne grâce à leurs applications (la transmission de la voix, d'images vidéo et les autres services Internet) et à une miniaturisation poussée des dispositifs à semi-conducteurs qui s'appuie sur un coût de production exponentiellement décroissant. Ce développement spectaculaire est rendu possible grâce également au développement de circuits intégrés analogiques et radiofréquences, en particulier, ceux implémentés en technologie CMOS. Ces technologies étaient initialement dédiées à la conception numérique. Cependant, leur amélioration a permis d'ajouter d'autres fonctions non digitales telles que la radiofréquence (RF), avec comme perspective l'intégration complète sur une seule puce qui, par la réduction de la taille des circuits et la fabrication collective, permet d'abaisser leur coût unitaire.

L'un des circuits clé, dans tout système de communication RF, est l'amplificateur faible bruit (*Low Noise Amplifier* : LNA), qui est le premier étage d'une chaîne de réception. Les défis actuels dans la conception de ce circuit sont, d'un côté, le besoin d'augmenter ses performances électriques à savoir, minimiser le bruit et la consommation de puissance, augmenter le gain, améliorer la linéarité et l'adaptation à son entrée, et, d'un autre côté, celui de minimiser le coût de prototypage en s'appuyant sur la miniaturisation de la taille des circuits.

À l'heure actuelle, plusieurs standards RF ont été créés et déployés, et une attention particulière a été accordée aux standards relatifs aux communications sans fil tels que : *Global Positioning System* (GPS), *Personal Communications Service* (PCS), Bluetooth, WiFi. Vu le nombre important de standards de communication sans fil, la tendance actuelle porte sur la conception des circuits RF intégrés supportant la fonction de reconfigurabilité. L'objectif est de concrétiser le concept du multistandard afin de réaliser des dispositifs de communication RF offrant une variété de services sur un même terminal.

Une autre catégorie de systèmes RF, qui se présente comme une meilleure candidate pour les applications de hauts débits (High rate) et de courte portée (short range), concerne les systèmes sans fil Ultra Large Bande (ULB). Les avantages offerts par cette technologie, notamment, leur schéma de modulation permettant de transmettre des signaux de très faibles puissances (autour de  $-41,3$  dBm / MHz) [1], sur une large gamme de fréquence s'étalant de 3.1 GHz jusqu'à 10.6 GHz, a conduit les organismes de régulation, à l'image du FCC

(*Federal Communications Commission*) à autoriser, depuis février 2002, l'utilisation sans licence du spectre ULB. Depuis, l'ULB a trouvé plusieurs champs d'applications comme les réseaux WPAN (*Wireless Personal Area Network*), les réseaux de capteurs sans fil (*Wireless Sensors Network*) ainsi que les systèmes de positionnement pour véhicules. Néanmoins, pour la conception des circuits RF ULB, des exigences drastiques, en termes de bonnes performances, mais aussi en ce qui concerne la gestion des ressources radios, sont imposées afin de pallier toute sorte d'interférence, due au fait que la bande passante soit très large (ULB).

Afin d'apporter notre contribution aux thématiques mentionnées ci-dessus, deux axes de recherche seront envisagés. Le premier portera sur la conception d'un amplificateur faible bruit à bande étroite multistandard. Dans le second, nous allons traiter de la conception des amplificateurs à faible bruit ULB, associés à un filtre ULB compact en technologie PCB (*Printed Circuit Board*). Pour les deux types d'amplificateurs, l'implémentation se fera en technologie CMOS. Pour cela, nous avons organisé la thèse en six chapitres.

Dans le premier chapitre, nous présenterons une introduction sur les circuits actifs, à savoir le transistor MOSFET et passifs, comme l'inductance, la capacité et la résistance en technologie CMOS, ainsi que leurs principales caractéristiques en fonction de leurs grandeurs géométriques et électriques. De plus, les outils de simulation des circuits RF intégrés y seront également présentés.

Le deuxième chapitre sera consacré aux principales caractéristiques d'un LNA avec différentes architectures de base, les plus répandues en technologie CMOS. Ces différentes architectures de base sont aussi valables pour la conception des amplificateurs à bande étroite qu'à bande large.

L'objet du troisième chapitre sera la conception d'un LNA multistandard couvrant les systèmes opérant dans la gamme de fréquences de 1.9 GHz jusqu'à 2.4 GHz, en l'occurrence, la téléphonie mobile du PCS (1.9 GHz), l'UMTS (2.1 GHz) ainsi que le Bluetooth (2.4 GHz).

Le quatrième chapitre portera d'abord sur les normes fixées par les instances internationales des communications pour les LNA ULB et sur l'état de l'art des travaux de conception les concernant. Puis, il présentera la conception d'un LNA dont la structure est basée sur la mise en cascade d'un filtre ULB performant avant l'étage du LNA.

Le cinquième chapitre sera divisé en deux parties. La première partie consistera en la présentation d'une méthode originale de conception de filtres que nous avons développé.

Cette méthode permet de concevoir des filtres ULB compact en technologie PCB. Les étapes de la conception jusqu'à la fabrication d'un filtre ULB dans la bande 3.1 GHz jusqu'à 10.6 GHz ainsi qu'une comparaison de ses résultats mesurés avec ceux des autres travaux sera présentée. Le second volet consistera à appliquer l'approche proposée dans le chapitre quatre pour concevoir deux LNA ULB. L'un sera mis en cascade avec le filtre en PCB et l'autre avec un filtre intégré en CMOS. Le but sera de mettre en relief les avantages du premier LNA par rapport au second.

Quant au sixième chapitre, il y sera question de la conception d'un régulateur de tension (*Low Drop-Out* : LDO) d'alimentation du LNA. Sa principale caractéristique est de fournir une tension stable.

Enfin, nous terminerons cette thèse par une conclusion générale et nous proposerons quelques perspectives en termes de pistes de recherche qui nous paraissent les plus importants pour le développement de futurs circuits analogiques et RF performants.

# Chapitre I

# INTRODUCTION AUX DISPOSITIFS EN TECHNOLOGIE CMOS

## I.1. Introduction

Dans ce chapitre, nous allons faire une brève introduction sur le transistor MOSFET et les composants passifs élémentaires, fabriqués en technologie CMOS, en présentant leurs principales caractéristiques en fonction de leurs grandeurs géométriques et électriques. Ensuite, nous allons exposer les différentes techniques de conception des circuits intégrés en technologie CMOS ainsi que les Outils y afférents.

La technologie CMOS (*Complementary Metal Oxide Silicon*) est la technologie prépondérante pour la fabrication des circuits intégrés (*Integrated Circuits* : ICs). Selon l'ITRS (*International Technology Roadmap for Semiconductors*), cette suprématie se perpétuera pour les prochaines années vu que les champs d'applications de la dite technologie ne cessent d'augmenter. En effet, cela revient à ses caractéristiques offertes telles qu'un faible coût de fabrication, une évolution continue, des vitesses de fonctionnement très élevées et une puissance dissipée relativement faible.

L'évolution de la technologie des circuits intégrés a déjà été observée en 1965 par l'ingénieur Gordon Moore [2], l'un des trois fondateurs de l'entreprise d'Intel. Il a défini, par la suite, la loi qui porte son nom, stipulant que le nombre de dispositifs sur une puce double tous les 18 à 24 mois. Cette loi a été vérifiée au fil du temps, et demeure toujours, puisque les longueurs des transistors CMOS de grille (longueurs de canal) qui étaient de l'ordre du micromètre en l'an 2000, sont actuellement de l'ordre de quelques nanomètres [2].

## I.2. Les principaux dispositifs en technologie CMOS

### I.2.1. Transistor MOSFET

#### I.2.1.1 Description

Conçu d'abord dans les années 1930, réalisé ensuite dans les années 1960, le MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) est l'élément clé de la technologie CMOS. Il offre des propriétés uniques qui ont conduit à la révolution de l'industrie des semi-conducteurs [3]. Cette révolution a permis d'intégrer jusqu'à 100 millions de transistors sur un seul microprocesseur, voire même des milliards de transistors dans des puces de mémoire ou des circuits numériques.

Le transistor MOS est constitué de 4 électrodes : source (S), drain (D), grille (G) et le substrat (Bulk : B) (Figure I.1).

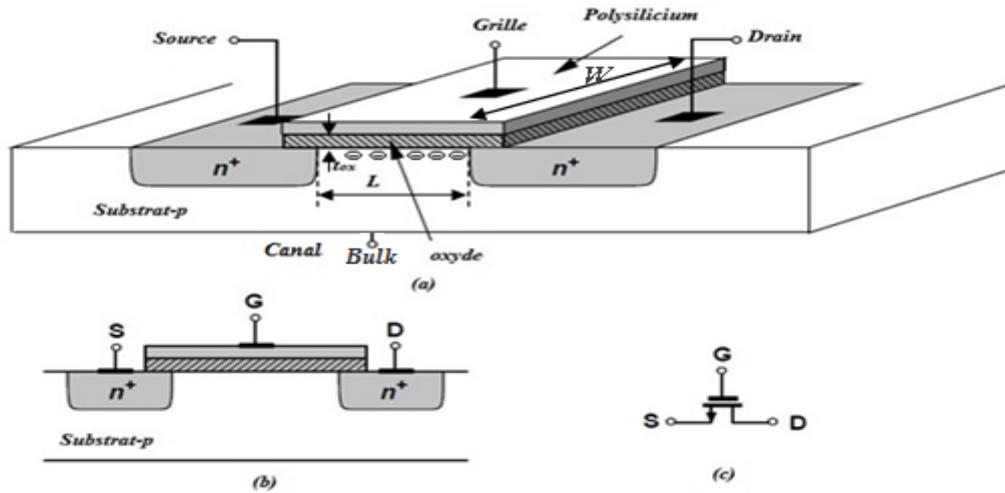


Figure I.1. (a) Structure du MOSFET, (b) vue de profil, (c) symbole du transistor [3].

Le comportement électrique du MOSFET dépend essentiellement de la polarité des tensions grille-source ( $V_{gs}$ ) et drain-source ( $V_{ds}$ ) appliquées. En appliquant une tension  $V_{gs}$  supérieure à la tension de seuil  $V_T$ , des charges positives s'accumulent au-dessus de l'oxyde, et attirent ainsi les électrons minoritaires, dans le substrat  $p$ , en créant un canal de conduction entre la source et le drain (Figure I.1a) [3]. Pour un transistor NMOS, lorsqu'une tension  $V_{ds}$  est appliquée, un mouvement d'électrons de S vers D se déclenche générant ainsi un courant  $I_{ds}$ .

Trois zones de fonctionnement sont distinguées pour le MOSFET (Figure I.2) [3-6] :

- zone ohmique, dans cette zone, la tension de polarisation  $V_{ds}$  est telle que  $V_{ds} \leq (V_{gs} - V_T)$ , et le courant du drain  $I_{ds}$  évolue avec  $V_{ds}$  ainsi :

$$I_{ds} = k_n \left[ (V_{gs} - V_T) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (I.1)$$

avec :

- $k_n = \mu_n C_{ox} \frac{W}{L}$
- $V_T, C_{ox}, W, L$  et  $\mu_n$ , sont respectivement, la tension de seuil, la capacité d'oxyde de grille par unité de surface en (F/m<sup>2</sup>), la largeur et la longueur de grille du transistor MOSFET en (m) et la mobilité des électrons en (m<sup>2</sup>/V.s).

- zone linéaire, définie par des valeurs de  $V_{ds}$  vérifiant l'inégalité  $V_{ds} \ll (V_{gs} - V_T)$ . Dans ce cas, le courant  $I_{ds}$  évolue linéairement avec  $V_{ds}$ , et la relation (I.1) devient alors :

$$I_{ds} = k_n (V_{gs} - V_T) V_{ds} \quad (I.2)$$

- zone de saturation, caractérisée par  $V_{ds} > (V_{gs} - V_T)$ . A partir de la relation (I.1), on peut constater que le maximum du courant  $I_{ds}$  est obtenu pour la tension de saturation  $V_{ds\,sat} = (V_{gs} - V_T)$ . En remplaçant  $V_{ds}$  par  $V_{ds,sat}$  dans la relation (I.1), le courant  $I_{ds}$  peut être approximé par la relation :

$$I_{ds} = \frac{k_n}{2} (V_{gs} - V_T)^2 \quad (I.3)$$

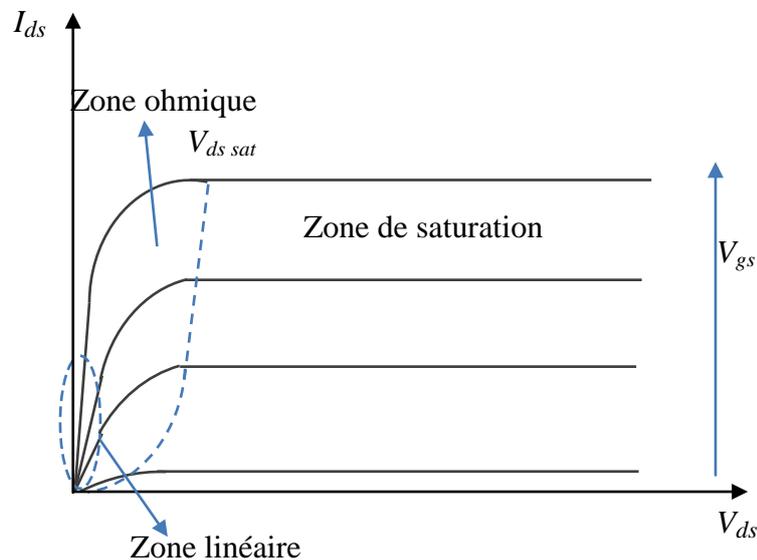


Figure I.2. Illustration des zones de fonctionnement d'un transistor MOSFET sur les caractéristiques  $I_{ds}$  en fonction de  $V_{ds}$  [6].

Contrairement au régime linéaire où  $I_{ds}$  est contrôlé par les tensions  $V_{gs}$  et  $V_{ds}$ , en régime de saturation, il est, par contre, contrôlé uniquement par  $V_{gs}$ . De ce fait, ce régime est le plus approprié pour la conception de circuits RF, y compris le LNA.

En fonction du régime de fonctionnement du MOSFET, un autre paramètre très important peut être défini, il s'agit de la transconductance  $g_m$  du transistor, décrite comme suit :

$$g_m = \frac{\partial I_d}{\partial V_{gs}} = k_n (V_{gs} - V_T) \quad (I.4)$$

En se basant sur (I.3),  $g_m$  peut s'exprimer pour le régime de saturation par:

$$g_m = \sqrt{2I_d k_n} \quad (\text{I.5})$$

### I.2.1.2 Modèle électrique petit signal d'un transistor MOSFET

Le modèle électrique "petit signal" du transistor MOSFET en source commune (Figure I.3) [6] est indispensable pour la conception d'un circuit RF dont le signal d'entrée est faible. Comme le LNA reçoit des signaux de faibles amplitudes en provenance de l'antenne, tout transistor est représenté par ce modèle.

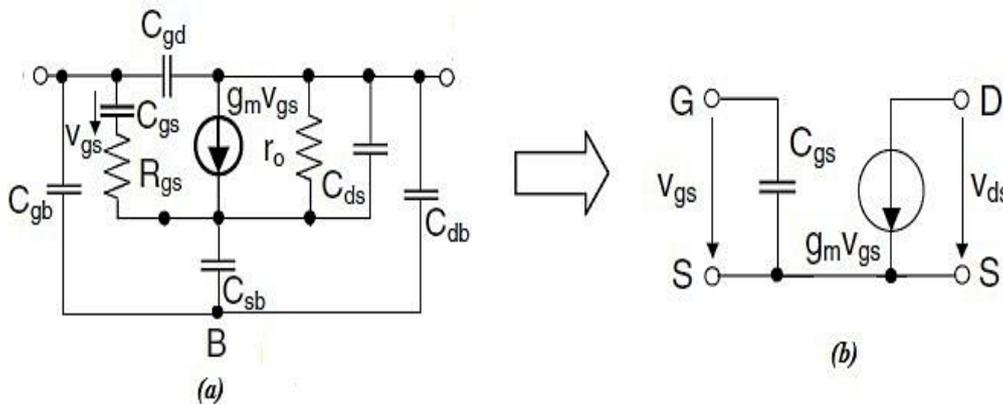


Figure I.3. (a) Circuit équivalent "petit signal" d'un transistor MOSFET en source commune, (b) son modèle simplifié [6].

#### a) Fréquence de transition

La fréquence de transition  $f_t$  d'un transistor est la fréquence pour laquelle le module du gain en courant vaut l'unité en chargeant le transistor par un court-circuit. Pour le modèle simplifié du MOSFET (Figure I.3(b)), la fréquence  $f_t$  est donnée par [6]:

$$f_t = \frac{g_m}{2\pi C_{gs}} \quad (\text{I.6})$$

Pour un MOSFET fonctionnant à des fréquences inférieures à  $f_t$ , la capacité grille-source  $C_{gs}$  est prédominante.

#### b) Modélisation du bruit du MOSFET

Toute analyse du bruit généré par un quadripôle nécessite, au préalable, la connaissance des principales sources de bruit en son sein et aussi celle de l'impédance du générateur alimentant ce quadripôle. Pour le transistor MOSFET, le schéma équivalent simplifié "petit signal", illustré à la figure I.4, peut être utilisé dans l'analyse du bruit.

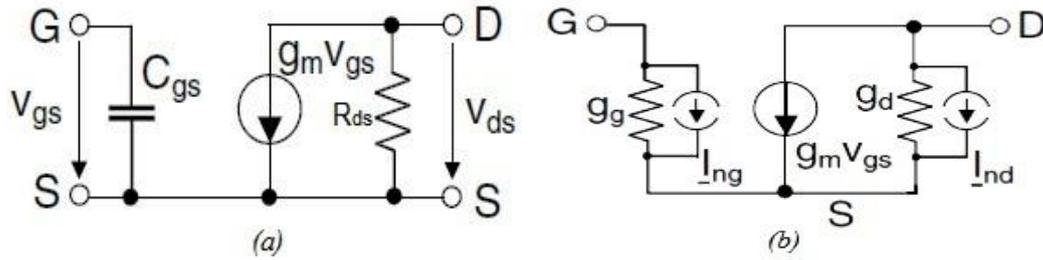


Figure I.4. (a) Modèle typique petit signal du MOSFET, (b) sources de bruit dans un transistor MOSFET [6].

On distingue deux sources de bruit importantes que sont : les bruits thermiques de drain et de grille, représentés respectivement par les générateurs de Norton ( $I_{nd}$ ,  $g_d$ ) et ( $I_{ng}$ ,  $g_g$ ).

➤ Bruit thermique de drain

Le bruit thermique de drain est dû au mouvement aléatoire des électrons dans le canal. Il a une densité spectrale de puissance [5] [7] donnée par:

$$\overline{i_d^2} = 4kT\gamma g_{d0}\Delta f \quad (I.7)$$

où :

- $g_{d0}$  est la conductance drain-source pour  $V_{ds} = 0$  ;
- $\gamma$  est un paramètre technologique dont la valeur varie entre 2 et 3 pour un canal court et vaut 2/3 pour un canal long ;
- $K$  et  $T$  sont respectivement la constante de Boltzmann et la température équivalente de bruit (degré Kelvin) ;
- $\Delta f$  est la bande passante de calcul du bruit.

➤ Bruit thermique de grille

Cette source de bruit provient du couplage capacitif du canal à la borne de la grille. Le bruit, dans ce cas, s'exprime par [5] [7]:

$$\overline{i_g^2} = 4kT\delta g_g \Delta f \quad (I.8)$$

avec :

- $g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}}$  ( $\omega$  est la pulsation) ;
- $\delta$  est le coefficient de bruit de grille.

Le bruit de grille est partiellement corrélé avec le bruit de drain. Le coefficient de corrélation est donnée par :

$$C = \frac{\overline{i_g i_d^*}}{\sqrt{\overline{i_g^2 i_d^2}}} \quad (\text{I.9})$$

La densité spectrale d'une autre source de bruit thermique, liée à la résistance de la grille du transistor MOSFET, est :

$$v_g^2 = 4kTR_g \Delta f \quad (\text{I.10})$$

où :

- $R_g = \frac{R_{sq} W}{3n^2 L}$ ;
- $R_{sq}$  et  $n$  sont respectivement la résistance carrée de poly silicium et le nombre de doigts de la grille.

Cette source de bruit peut être considérablement réduite, voire négligeable en augmentant le nombre de doigts utilisés pour fabriquer le transistor. Aussi, la réduction de la longueur du canal du MOSFET entraîne quant à elle l'augmentation de ce bruit.

## I.2.2. Structure d'inductance en technologie CMOS

En technologie CMOS, l'inductance est considérée comme l'un des composants clé dans la conception de circuits RF. Elle est utilisée dans plusieurs circuits, notamment, le circuit d'adaptation d'impédance, le circuit de résonance ainsi que celui de polarisation.

Néanmoins, l'inductance RF, qui est à base de ligne de transmission d'impédance caractéristique élevée, ne suit pas la loi de Moore et occupe une surface de silicium très importante, ce qui constitue une contrainte lors de son intégration. Toutefois, la réduction de sa taille peut être obtenue en la pliant en forme spirale (Figure I.5(a)), qui se caractérise par les paramètres géométriques suivants :

- $W$  est la largeur de la piste;
- $S$  est l'espacement entre deux pistes métalliques adjacentes;
- $N$  est le nombre de tours ;
- $R$  est le rayon intérieur de l'inductance ;
- $M5$  et  $M6$  sont respectivement le cinquième et sixième niveau de métallisation.

Le schéma équivalent du modèle électrique de l'inductance RF est présenté dans la figure I.5(b).

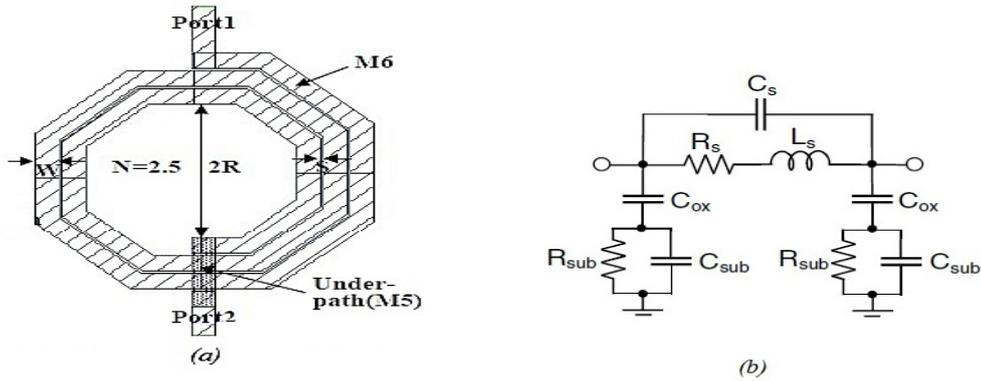


Figure I.5. Inductance standard en technologie CMOS, (a) vue de dessus du masque (Layout), (b) modèle électrique équivalent [6].

Dimensionner l'inductance, en technologie CMOS, consiste à déterminer les paramètres géométriques exposés ci-dessus, et ce, à partir des valeurs de l'inductance  $L$  et de son facteur de qualité  $Q_L$ , qui sont déduits à partir de la conception. Ces deux paramètres  $L$  et  $Q_L$  peuvent s'exprimer en fonction des paramètres de répartition  $S_{ij}$  ou des impédances  $Z_{ij}$  par [8]:

$$L = \Im(Z_{1\_port}) / 2\pi f \tag{I.11}$$

$$Q_L = \Im(Z_{1\_port}) / \Re(Z_{1\_port}) \tag{I.12}$$

avec :

- $Z_{1\_port} = Z_0 \frac{1 + S_{11}}{1 - S_{11}}$  (le deuxième port de l'inductance est relié à la masse) ;

où :

- $Z_{1\_port} = Z_0 \frac{2 S_{11}}{1 - S_{11}}$  (l'inductance est montée en série).

### I.2.3. Structure de capacité en technologie CMOS

La capacité, en technologie CMOS, est composée de deux surfaces conductrices (armatures) parallèles séparées par un isolant. La capacité métal isolant métal (MIM) (Figure I.6(a)) est la plus utilisée dans la conception de circuits RF, en raison de ses faibles parasites par rapport aux autres capacités CMOS. Le circuit équivalent de la capacité MIM est illustré dans la figure I.6(b).

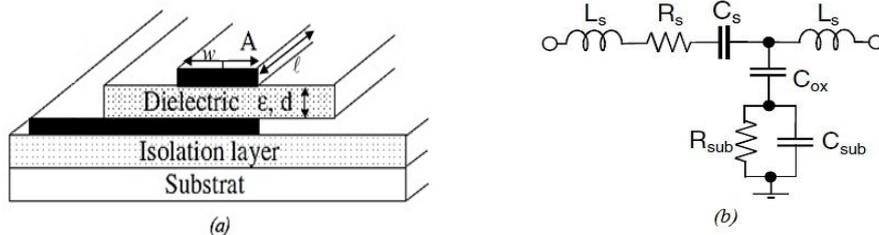


Figure I.6. Capacité MIM, (a) coupe transversale, (b) circuit électrique équivalent [6].

L'expression d'une capacité à armatures parallèles est donnée par [6] [8]:

$$C = \frac{\varepsilon A}{d} \quad (\text{I.13})$$

où :

- $\varepsilon = \varepsilon_0 \varepsilon_r$  ( $\varepsilon_0$  et  $\varepsilon_r$  sont respectivement les permittivités relatives du vide et de l'isolant);
- $A$  représente la surface des armatures de largeur  $w$  et de longueur  $\ell$  ;
- $d$  est la distance séparant les deux armatures.

#### I.2.4. Structure de résistance en technologie CMOS

La résistance CMOS est une plaque métallique (Figure I.7) de résistivité  $\rho$ , de longueur  $\ell$ , de largeur  $w$  et d'épaisseur  $d$ . Sa valeur est calculée à partir de la relation suivante :

$$R = \frac{\rho}{d} \cdot \frac{\ell}{w} \quad (\text{I.14})$$

Le premier rapport de la résistance  $R$  est lié à la technologie, tandis que le deuxième est défini par le concepteur. Si on considère que  $w = \ell$ , la résistance s'exprimera, uniquement en fonction des paramètres technologiques, et dont l'unité est en  $\Omega/\text{carré}$ , comme défini dans (I.15) :

$$R_{\square} = \frac{\rho}{d} \quad (\text{I.15})$$

En choisissant une largeur  $w$ , relativement faible afin de réduire la capacité parasite [5], la résistance globale vaudra  $R_{\square}$  multipliée par un coefficient  $n$ . Le modèle électrique de la résistance est exposé sur la figure I.7(b).

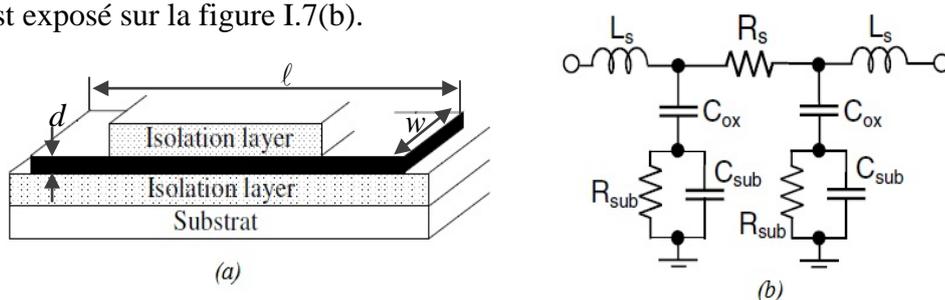


Figure I.7. Résistance à couche mince, (a) coupe transversale, (b) circuit électrique équivalent [6].

### I.3. Méthodes et Outils de conception des circuits intégrés

#### I.3.1. Organigramme du flot de conception

La complexité de la conception de circuits intégrés, en particulier les circuits digitaux (numériques), dont le nombre de transistors utilisés dépasse les millions, a conduit vers le développement de méthodes et outils de conception assistée par ordinateur (CAO). L'un des outils les plus puissants, dédiés à la conception des circuits intégrés, est le logiciel Cadence. Il contient plusieurs modules permettant d'achever le flot de conception des circuits intégrés, dont on peut citer [5] [9]:

- Virtuoso Schematic editor : outil pour le dessin du schéma électrique ;
- Spectre : outil pour les simulations électriques pré-layout et post-layout ;
- Virtuoso Layout editor : outil pour le dessin de masques ;
- Assura : outil de vérification et extraction des éléments parasites.

L'organigramme de la figure I.8 résume les différentes étapes du flot de conception d'un circuit RF en technologie CMOS [5].

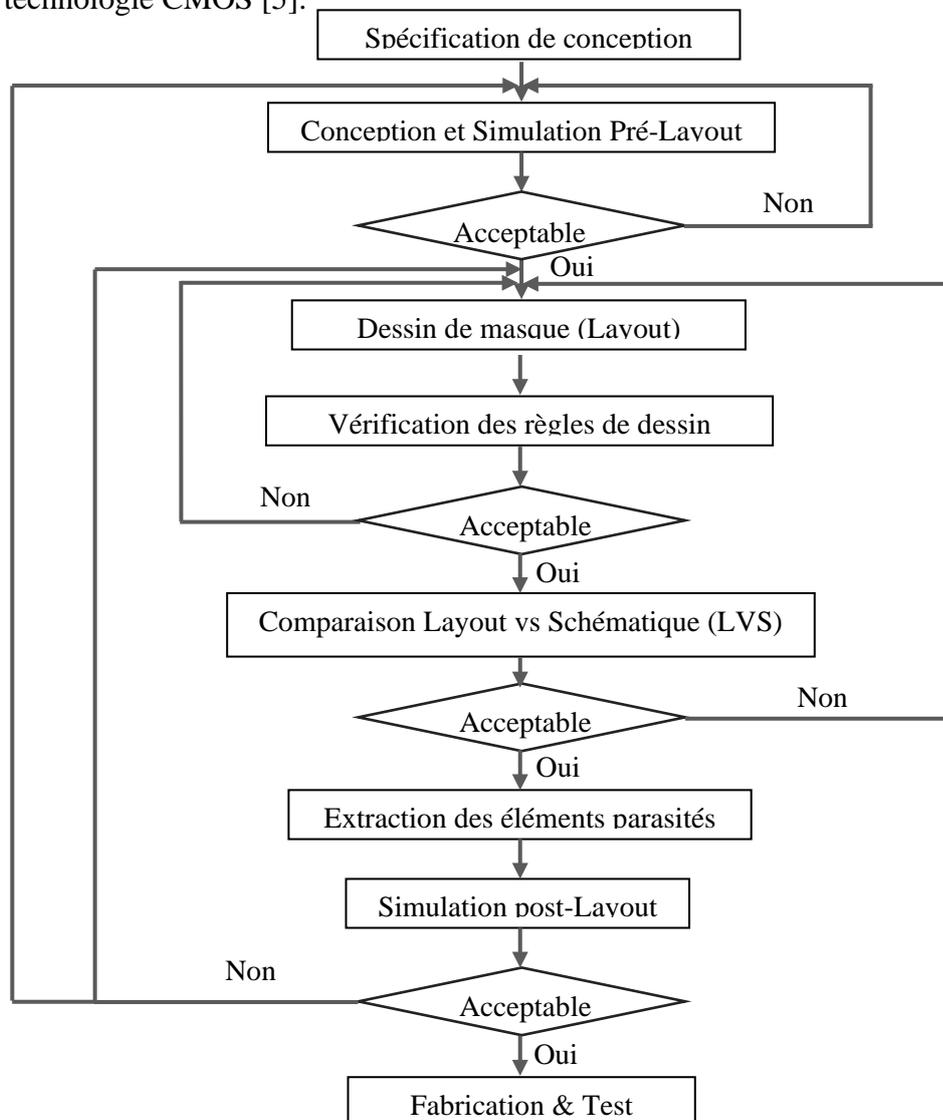


Figure I.8. Flot de conception d'un circuit RF en technologie CMOS [5].

### **I.3.2. Design kit**

Un design Kit est un fichier qui contient l'ensemble des modèles électriques des différentes cellules de base d'une technologie de fabrication existante (transistors, résistances, inductances, capacités,.. etc.) ainsi que toutes les informations et les scripts nécessaires pour la configuration de l'environnement Cadence et de la simulation de circuits.

Dans notre conception, nous allons utiliser le kit de la technologie CMOS 0.18  $\mu\text{m}$ , fourni par le fondeur TSMC (*Taiwan Semiconductor Manufacturing Company*) [5].

### **I.4. Conclusion**

Une illustration géométrique ainsi que des caractéristiques physiques des principaux composants actifs et passifs en technologie CMOS, à savoir le transistor, l'inductance, la capacité et la résistance, ont été faites dans ce chapitre. Ces composants constituent les éléments de base pour la conception d'un circuit RF. De plus, des descriptions des outils et de flot de conception des circuits intégrés ont été également présentées. Etant donné que l'objet de cette thèse est la conception d'un amplificateur faible bruit (LNA) intégré, le prochain chapitre sera consacré à la présentation des principales topologies fondamentales d'amplificateurs à transistors FET.

# **Chapitre II**

## CARACTERISTIQUES D'UN AMPLIFICATEUR A FAIBLE BRUIT

### II.1. Introduction

Il existe plusieurs dispositifs ou étages qui constituent un système radiofréquence (RF). Parmi lesquels, l'amplificateur à faible bruit qui représente le premier étage de la chaîne de réception (Figure II.1).

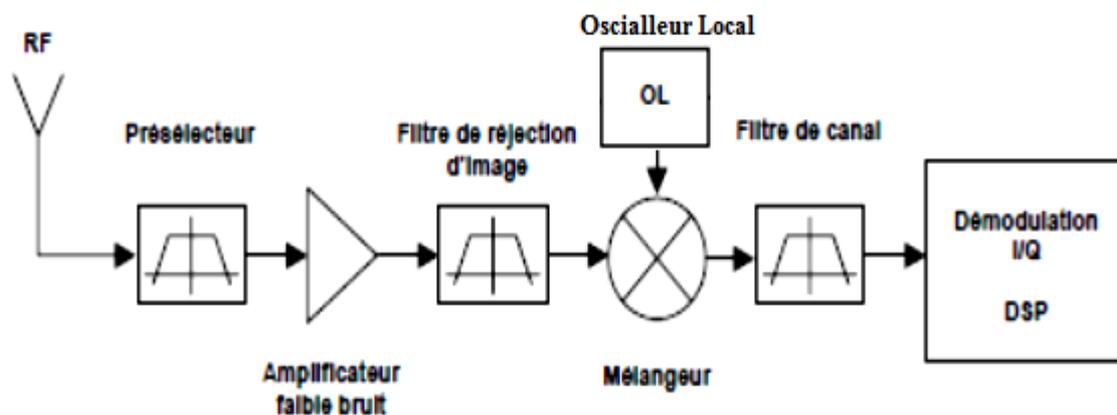


Figure II.1. Chaîne de réception.

L'amplificateur à faible bruit a pour rôle d'amplifier un signal de très faible niveau en provenance d'une antenne, tout en ajoutant son propre bruit. Ce circuit est, bien sûr, constitué de composants actifs (transistors MOS), mais également de composants passifs. Le transistor doit être dimensionné et polarisé de sorte que ses sources de bruit en génèrent peu. Les composants passifs se trouvant en amont du transistor ont, d'une manière générale, pour rôle de minimiser le bruit ou adapter les impédances du générateur et d'entrée du transistor, alors que ceux, situés en aval du dispositif actif, assurent le transfert de la puissance maximale vers la charge. La minimisation du bruit, conjuguée à l'adaptation d'impédances, constitue donc l'objectif principal de la conception des amplificateurs faible bruit (LNA).

De plus, une linéarité de la réponse fréquentielle (tension ou puissance de sortie), une basse consommation d'énergie, et une taille compacte sont autant d'objectifs à atteindre. Seulement, ces objectifs sont, certains par rapport à d'autres, antagonistes, autrement, il est impossible de les réaliser à la fois, ce qui conduit donc à la recherche d'un compromis. Cette problématique est un véritable défi pour les concepteurs RF.

Dans ce chapitre, nous allons introduire les principales caractéristiques d'un LNA, comme le facteur de bruit, exprimé en fonction des admittances, et le gain en fonction des paramètres de répartition. Ainsi présentées, ces caractéristiques peuvent décrire aussi bien un transistor, supposé comme "une boîte noire" donc sans schéma électrique équivalent, qu'un transistor modélisé par un schéma électrique équivalent comme le cas du transistor MOSFET. Nous présenterons également les différentes architectures de base d'un LNA, les plus répandues, en technologie CMOS.

## II.2. Caractéristiques fondamentales d'un LNA

Afin d'évaluer les caractéristiques d'un LNA en technologie hybride ou intégrée, on doit attribuer à chacune d'elles un paramètre quantifiable. Ainsi, on peut citer :

a) le facteur de bruit  $F$  (*Noise Figure* : NF) : traduit la sensibilité au signal électrique et représente la dégradation du rapport signal/bruit (*Signal Noise Ratio* : SNR) entre l'entrée et la sortie du transistor. Généralement exprimé en dB, il est défini ainsi:

$$NF = 10 \log_{10}(F) \text{ avec } F = \frac{SNR_{\text{entrée}}}{SNR_{\text{sortie}}} = \frac{S_e / B_e}{S_s / B_s} \quad (\text{II.1a})$$

on bien :

$$F = \frac{B_s}{G_D B_e} = \frac{B_s}{G_D k T_0 B} \quad (\text{II.1b})$$

où :

- $S_e$  est la puissance du signal utile à l'entrée du transistor ;
- $B_e$  est la puissance de bruit à l'entrée du transistor ;
- $S_s$  est la puissance du signal utile disponible à la sortie du transistor ;
- $B_s$  est la puissance de bruit disponible à la sortie du transistor ;
- $G_D$  est le gain disponible en puissance ;
- $k$  est la constante de Boltzmann ( $1,380\ 658 \cdot 10^{-23} \text{ J.K}^{-1}$ ) ;
- $T_0$  est la température de bruit de la source standard ( $290^\circ\text{K}$ ) ;
- $B$  est la bande passante du LNA.

A partir de sa définition, le facteur de bruit dépend à la fois des sources de bruit du transistor et de l'impédance interne du générateur. Il a pour expression [10]:

$$F = F_{\min} + \frac{R_n}{G_g} |Y_g - Y_{opt}|^2 \quad (\text{II.2})$$

où :

- $F_{\min}$  est le facteur de bruit minimum du transistor obtenu quand  $Y_g = Y_{opt}$  ;
- $R_n$  est la résistance équivalente de bruit du transistor ;
- $Y_g = G_g + jB_g$  est l'admittance de source (ou du générateur) ;
- $Y_{opt} = G_{opt} + jB_{opt}$  est l'admittance à présenter à l'entrée du transistor pour obtenir le facteur de bruit minimum.

b) Le gain disponible  $G_D$  : il est le rapport de la puissance de sortie disponible à celle absorbée par l'entrée du transistor. Ce gain du LNA découle de l'expression du gain transducique [10] :

$$G_T = \frac{|S_{21}|^2 (1 - |\Gamma_L|^2) (1 - |\Gamma_g|^2)}{|1 - \Gamma_s \Gamma_L|^2 |1 - S_{11} \Gamma_g|^2} \quad (\text{II.3})$$

En y posant  $\Gamma_s = \Gamma_L^*$  (adaptation de l'impédance de sortie du transistor à l'impédance de charge), on obtient :

$$G_D = \frac{|S_{21}|^2 (1 - |\Gamma_g|^2)}{1 - |S_{22}|^2 + |\Gamma_g|^2 (|S_{11}|^2 - |\Delta|^2) - 2 \operatorname{Re}((S_{11} - \Delta S_{22}^*) \Gamma_g)} \quad (\text{II.4})$$

Où :

- $S_{ij}$  sont les paramètres de répartition du transistor ;
- $\Gamma_g$  et  $\Gamma_L$  sont respectivement les coefficients de réflexion du générateur et de la charge ;
- $\Delta = S_{11} S_{22} - S_{21} S_{12}$ .

c) La puissance consommée  $P_{cons}$  : c'est la puissance continue fournie par l'alimentation et qui s'écrit comme suit :

$$P_{cons} = I_{ds} V_{dd} \quad (\text{II.5})$$

où  $I_{ds}$  et  $V_{dd}$  sont respectivement le courant continu et la tension continue du circuit de drain.

d) Le produit d'intermodulation d'ordre 3 : exprime la capacité d'un amplificateur à produire en sortie, d'autres signaux indésirables de fréquences  $(2f_1 \pm f_2)$  et  $(2f_2 \pm f_1)$  lorsqu'il est attaqué par deux signaux de fréquences respectives  $f_1$  et  $f_2$  de faible écart. Pour une bande

passante de moins d'une octave, seules s'y trouvent les fréquences  $f_1, f_2, (2f_1 - f_2)$  et  $(2f_2 - f_1)$ . La présence de ces deux dernières fréquences, dans la bande passante (Figure II.2), engendre une distorsion des signaux ( $f_1$  et  $f_2$ ). Cette distorsion provient donc du produit d'inter modulation du troisième ordre.

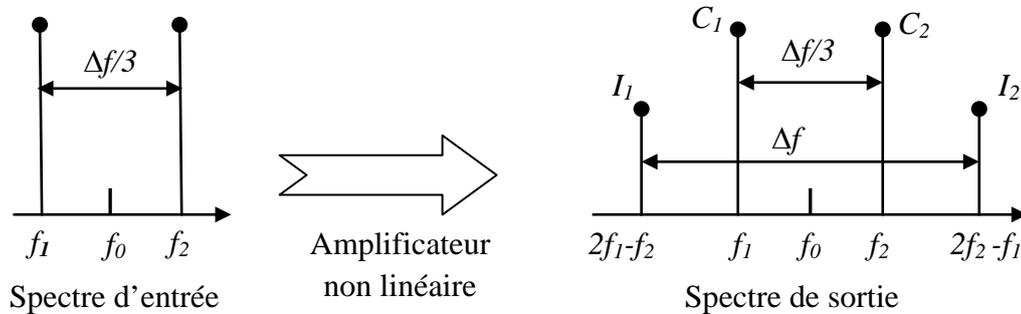


Figure II.2. Intermodulation d'ordre 3.

Pour calculer ce produit d'intermodulation, on considère une tension d'entrée  $V_e$  résultant de la superposition de deux signaux de fréquences différentes  $f_1$  et  $f_2$ , mais de même amplitude [11]:

$$V_e(t) = A(\cos 2\pi f_1 t + \cos 2\pi f_2 t) \quad (\text{II.6})$$

Ces deux signaux peuvent être des porteuses appartenant à deux canaux adjacents et séparées par un faible écart de fréquence.

En supposant que l'amplificateur soit faiblement non linéaire, le développement polynômial de la tension de sortie  $V_s$  peut se limiter au troisième ordre, ce qui implique :

$$V_s(t) = a_1 V_e(t) + a_2 V_e^2(t) + a_3 V_e^3(t) \quad (\text{II.7})$$

La sortie de cet amplificateur comporte donc, outre la composante continue et les composantes fondamentales  $f_1$  et  $f_2$ , les 2<sup>ème</sup> et 3<sup>ème</sup> harmoniques  $2f_i$  et  $3f_i$  ( $i=1,2$ ), et les produits d'intermodulation du 2<sup>ème</sup> et 3<sup>ème</sup> ordre  $f_1 \mp f_2$  et  $2f_1 \mp f_2$  ( $2f_2 \mp f_1$ ). Ces signaux en sortie représentent des distorsions produisant, dans les systèmes de communications, des effets indésirables, comme des interférences entre les différents systèmes.

Pour mieux estimer l'effet de non linéarité d'un amplificateur, au lieu d'utiliser le produit d'intermodulation d'ordre 3, on utilisera de préférence le rapport d'intermodulation d'ordre 3 défini comme suit [10]:

$$C/I_3 = 10 \cdot \log \left( \frac{C_1 + C_2}{I_1 + I_2} \right) \quad (\text{II.8})$$

où :

- $I_1$  et  $I_2$  sont respectivement les amplitudes des produits d'intermodulation aux fréquences  $(2f_1 - f_2)$  et  $(2f_2 - f_1)$  ;
- $C_1$  et  $C_2$  sont respectivement les amplitudes des composantes fondamentales aux fréquences  $f_1$  et  $f_2$ .

Qui s'écrivent [10] :

$$C_1 = C_2 = a_1 A + \frac{9}{4} a_3 A^3 \quad (\text{II.9})$$

$$I_1 = I_2 = \frac{3}{4} a_3 A^3 \quad (\text{II.10})$$

Typiquement, un bon amplificateur faible bruit en linéarité doit avoir un C/I3 supérieur à 0 dB.

### II.3. Architectures de base d'un LNA

On trouve dans la littérature différentes architectures de LNAs, dédiées aux applications RF. Ces architectures se distinguent essentiellement par leur facteur de bruit, leur gain, leur consommation en puissance ainsi que leur adaptation d'impédance en entrée/sortie. Chacune de ces architectures est définie suivant le type d'impédance d'entrée qu'elle présente. L'adaptation d'impédance présente une étape cruciale dans la conception des LNAs afin de garantir un bon compromis entre le gain et le facteur de bruit qui sont deux caractéristiques antagonistes. La figure II.3 illustre les principales architectures utilisées dans la conception des amplificateurs faible bruit [12].

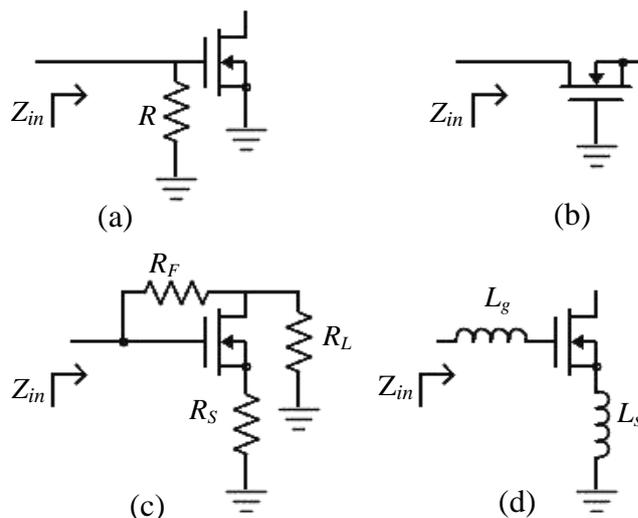


Figure II.3. Architectures communes d'un LNA, (a) Terminaison résistive, (b) Terminaison  $1/g_m$ , (c) Contre réaction shunt-série, (d) Dégénérescence inductive [12].

### II.3.1. LNA à terminaison résistive

L'adaptation d'impédance d'entrée, généralement  $50 \Omega$ , d'un amplificateur à terminaison résistive s'effectue par l'intermédiaire d'une résistance comme le montre la figure II.3(a). L'impédance d'entrée, pour cette architecture, peut s'exprimer comme suit [13]:

$$Z_{in} = \frac{R}{1 + jRC_{gs}\omega} \quad (\text{II.11})$$

où  $C_{gs}$  est la capacité grille-source du transistor MOS.

Pour avoir une adaptation d'entrée à  $50 \Omega$ , il faut travailler à des fréquences pour lesquelles  $C_{gs}$  aura une influence négligeable, par conséquent, l'utilisation de cette topologie est limitée par rapport à la fréquence de fonctionnement. D'autre part, les performances en bruit de cette topologie sont plutôt mauvaises, ceci est dû à la résistance  $R$  qui représente une source de bruit thermique.

### II.3.2. LNA à terminaison $1/g_m$

L'adaptation d'impédance d'entrée  $Z_{in}$  à l'impédance  $50 \Omega$  est réalisée dans cette architecture par l'intermédiaire de la transconductance  $g_m$  du transistor (Figure II.3 (b)) :

$$Z_{in} = \frac{1}{g_m} \quad (\text{II.12})$$

Le bruit, dans ce cas, est faible grâce à l'absence d'une source de bruit thermique à son entrée [14].

### II.3.3. LNA à contre réaction résistive

Le principe de cette architecture (Figure II.3(c)), est basé sur l'ajustement de l'impédance d'entrée grâce aux circuits de contre-réaction et le gain en tension  $a_v$  du transistor. L'impédance d'entrée s'exprime alors [6]:

$$Z_{in} = \frac{1}{jC_{gs}\omega + \frac{1-a_v}{R_F}} \quad (\text{II.13})$$

Cette architecture présente un avantage pour les applications large bande. Néanmoins, le bruit produit par cette architecture est élevé à cause des résistances de contre réaction qui vont apporter du bruit thermique sur une grande bande de fréquences [15].

### II.3.4. LNA à dégénérescence inductive

Dans le but d'obtenir un bon compromis entre une bonne adaptation d'impédance en entrée, un faible facteur bruit et une faible consommation de puissance, D. Shaeffer et T H Lee ont proposé un LNA à dégénérescence inductive (*Inductively Degenerated LNA* : IDLNA (Figure I.10(d)) [12]. Celui-ci permet d'avoir un bon compromis entre ces différentes contraintes. L'inductance  $L_s$ , vue comme une impédance réelle grâce à l'effet transistor, est calculée pour adapter  $Z_{in}$  à  $50 \Omega$ . L'inductance  $L_g$  est utilisée en série avec  $L_s$  pour résonner avec la capacité  $C_{gs}$  à la fréquence de travail. L'impédance d'entrée du LNA à dégénérescence inductive est donnée par l'expression suivante :

$$Z_{in} = \frac{V_{in}}{I_{in}} = s(L_g + L_s) + \frac{1}{sC_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (\text{II.12})$$

### II.3.5. Comparaison des architectures

Comme nous avons vu précédemment, l'amplificateur faible bruit est l'un des blocs les plus contraignants dans la conception de la chaîne de réception RF. Ainsi, l'architecture retenue doit, d'une part, répondre au mieux aux contraintes de faible consommation et faible coût, et, d'autre part, présenter le meilleur compromis entre les différentes caractéristiques en termes de gain, de bruit et de linéarité.

Le tableau II.1 présente une comparaison entre les différentes topologies, citées précédemment, en termes de gain, de facteur de bruit, de linéarité, de puissance consommée, de coût, de bande passante et d'applications en hautes fréquences [12-15].

	<i>Gain</i>	<i>NF</i>	<i>Linéarité</i>	<i>P<sub>cons</sub></i>	<i>Coût Silicium</i>	<i>Bande passante</i>	<i>Haute fréquence</i>
<i>Terminaison résistive</i>	moyen	médiocre	bonne	élevée	réduit	Large	pas adaptée
<i>Terminaison 1/gm</i>	moyen	moyen	bonne	modérée	réduit	Large	moyenne
<i>Contre réaction résistive</i>	moyen	moyen	bonne	élevée	réduit	Large	acceptable
<i>Dégénérescence inductive</i>	bon	bon	bonne	faible	moyen	Etroite	Très adaptée

Tableau II.1. Comparaison des topologies de base du LNA [12-15].

## **II.4. Conclusion**

Nous avons d'abord décrit, dans ce chapitre, les principales performances d'un amplificateur à faible bruit (LNA), que sont le facteur de bruit, le gain, la puissance de consommation ainsi que le produit d'intermodulation d'ordre 3. Ensuite, nous avons passé en revue les différentes topologies de base du LNA, dont les performances ont été comparées en fin de ce chapitre. Cette étude va nous permettre de choisir l'architecture la plus adéquate pour la conception d'un LNA en technologie CMOS, ce qui fera l'objet du prochain chapitre.

# **Chapitre III**

## CONCEPTION D'UN AMPLIFICATEUR FAIBLE BRUIT CMOS MULTISTANDARD

### III.1. Introduction

Comme toute conception, celle d'un amplificateur faible bruit, appelé LNA (*Low Noise Amplifier*) en technologie CMOS 0.18  $\mu\text{m}$  est subordonnée à un cahier des charges. En ce qui concerne le cahier des charges qui nous est soumis, celui-ci impose des exigences d'ordre général, qui sont définies comme suit :

- un facteur de bruit faible ;
- une bonne adaptation en impédance d'entrée ;
- une faible consommation de la puissance ;
- un gain suffisamment élevé ;
- une bonne linéarité.

Le LNA, dont nous allons présenter la conception, devra avoir un fonctionnement multistandard et être utilisé, entre autres, dans le GSM (PCS1900), la 3G (UMTS), le Bluetooth et WLAN b/g.

Deux étapes sont envisagées lors de la conception du LNA :

- la première étape consiste à sélectionner la topologie de conception qui répond au mieux aux contraintes indiquées précédemment ;
- la deuxième étape porte sur la détermination, selon l'objectif recherché, des paramètres de conception comme le dimensionnement des transistors et les caractéristiques des composants passifs (inductances, capacités et résistances), associés au transistor.

La topologie que nous avons choisie est celle du montage cascode auquel nous avons connecté, d'autres circuits pour différentes raisons à savoir l'adaptation, la linéarisation et la réduction de l'encombrement.

La technique, utilisée pour dimensionner le transistor, est la technique d'optimisation du bruit sous contrainte de puissance (*Power-Constrained Noise optimization : PCNO*).

### III.2. Choix de la topologie

La topologie, retenue dans notre cas, est celle basée sur celle à dégénérescence inductive. Cet amplificateur est appelé IDLNA (*Inductive Degeneration Low Noise Amplifier*). Ce choix est motivé par le fait que cette topologie est la plus étudiée et la plus utilisée pour concevoir des LNAs à bande étroite. Elle s'adapte bien aux contraintes de conception basse tension et faible consommation de puissance, et permet aussi d'avoir une bonne adaptation d'impédance à l'entrée du transistor.

Néanmoins, le transistor MOS possède des éléments intrinsèques qui peuvent relier physiquement ou électriquement son entrée à sa sortie comme par exemple la capacité grille-drain  $C_{gd}$  [6-7]. Cette dernière peut introduire une réaction positive ce qui entraînerait une instabilité de l'amplificateur. Pour remédier à ce problème, la topologie cascode [6-7] est utilisée. Elle consiste à utiliser un transistor grille commune (GC), placé en cascade après le transistor principal source commune (SC). Ainsi, l'effet de la capacité  $C_{gd}$  est atténué, améliorant, par là même, la stabilité de l'amplificateur comme le montre la figure III.1.

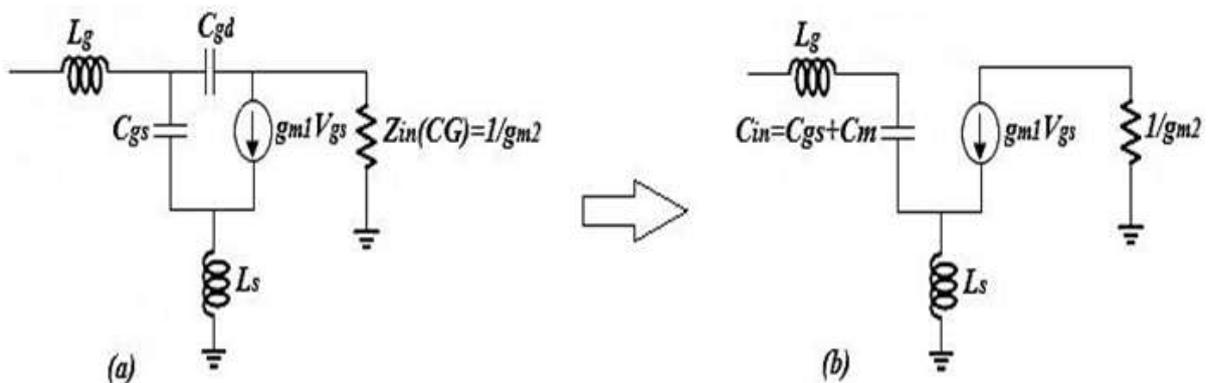


Figure III.1. Circuit équivalent d'IDLNA cascode petit signal (a) avec la capacité  $C_{gd}$ , (b) avec la capacité de Miller  $C_m$  [7].

La capacité  $C_m$ , appelée capacité de Miller, s'écrit [7] :

$$C_m = C_{gd}(1 - a_v) \quad (\text{III.1})$$

avec  $a_v = -g_{m1} \times (1/g_{m2})$ , le gain en tension du premier étage (GC), et où  $g_{m1}$  et  $g_{m2}$  sont respectivement la transconductance du transistor (SC) et la transconductance du transistor (GC).

### III.3. Détermination des paramètres de conception

La figure III.2 représente le schéma d'IDLNA en topologie cascode à bande étroite [16]. L'inductance  $L_s$  est utilisée pour réaliser, avec la capacité  $C_{gs}$  et la transconductance  $g_m$  du transistor  $M_1$ , une impédance réelle de  $50 \Omega$ . De plus, en étant associée à l'inductance  $L_g$  et à  $C_{gs}$ ,  $L_s$  forme un filtre du type passe bande dont la fréquence de résonance est la fréquence de travail.

La contrainte majeure, dans la topologie cascode à dégénérescence inductive, est l'utilisation d'inductances de grandes valeurs qui occupent une large surface de silicium. Ceci induit des coûts de fabrication élevés et dégrade le facteur de bruit et le gain du LNA. Comme les valeurs de ces inductances sont, à cause de la résonance, inversement proportionnelles à celles de la capacité entre la grille et la source du transistor  $M_1$ , et pour remédier aux inconvénients, cités précédemment, on doit donc ajouter une capacité  $C_{ex}$  entre la grille et la source du transistor  $M_1$  (Figure III.2).

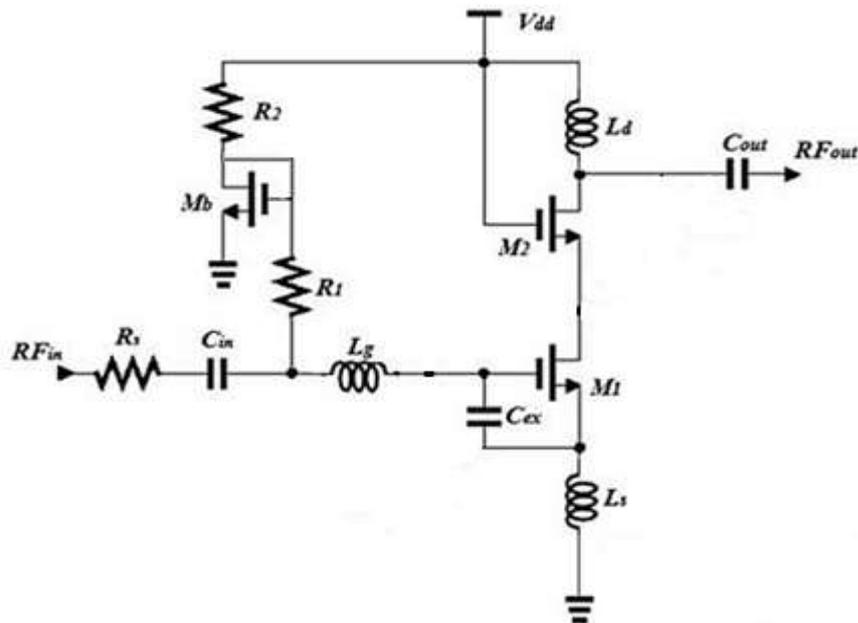


Figure. III.2. LNA cascode à dégénérescence inductive [16].

A partir de la figure III.3, l'impédance d'entrée  $Z_{in}$  de l'étage principal du LNA, est donnée ainsi :

$$Z_{in} = j\omega(L_g + L_s) + \frac{1}{j\omega C_{gs}} + \frac{g_m L_s}{C_{gs}} \quad (III.2)$$

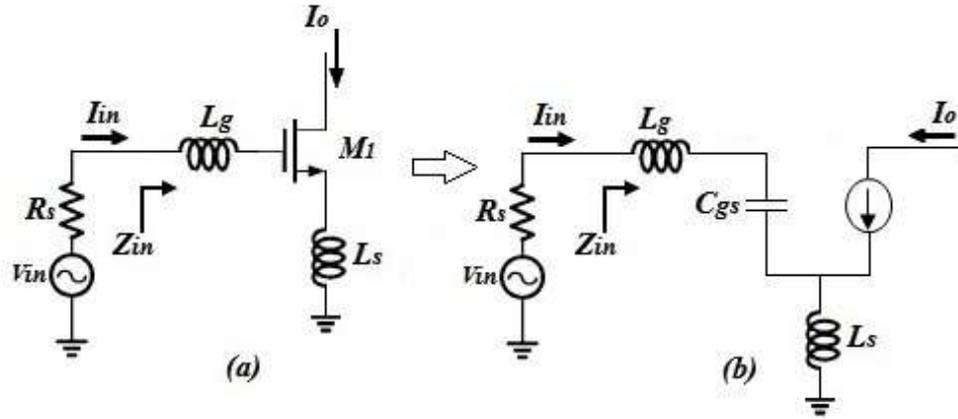


Figure III.3. (a) LNA à dégénérescence inductive, (b) son modèle équivalent petits signaux.

Soit  $R_s$  la résistance interne de la source alimentant l'amplificateur, l'adaptation d'impédance en entrée est formulée par :

$$\frac{g_m L_s}{C_{gs}} = R_s \quad (\text{III.3})$$

La pulsation de résonance est donnée par :

$$\omega_0^2 = \frac{1}{(L_g + L_s)C_{gs}} \quad (\text{III.4})$$

qui devient, dans le cas où on utilise une capacité externe  $C_{ex}$  :

$$\omega_0^2 = \frac{1}{(L_g + L_s)(C_{gs} + C_{ex})} \quad (\text{III.5})$$

### III.3.1. Modélisation du bruit

Selon la formule de Friis [12], le facteur de bruit d'un système à  $n$  étages, en cascade, est donné par la relation [12]:

$$F = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots + \frac{F_{i+1} - 1}{G_1 G_2 \dots G_i} + \dots + \frac{F_n - 1}{G_1 G_2 \dots G_n} \quad (\text{III.6})$$

où  $F_i$  et  $G_i$  sont, respectivement, les facteurs de bruit et les gains du  $i^{\text{ème}}$  étage.

La relation (III.6) indique, tout simplement, que pour avoir un facteur de bruit faible, objectif de toute conception d'un LNA, il faut que le premier étage soit un circuit amplificateur, et si son gain est suffisamment élevé, la contribution, en matière de bruit, des autres circuits en aval, est pratiquement insignifiante. Ce qui veut dire que seul le premier étage est quasi responsable de la sensibilité du système au signal électrique. Par conséquent,

une attention particulière doit être portée sur ce circuit pour minimiser le bruit qu'il génère. Pour cela, la connaissance des sources de bruit, en son sein, et son analyse sont indispensables.

La figure III.4 illustre le schéma équivalent de la structure à dégénérescence inductive en présence de sources de bruit de grille corrélé avec celui de drain ( $i_{g-c}$ ), de bruit de grille non corrélé ( $i_{g-u}$ ) et de bruit de drain ( $i_d$ ) [7] [12].

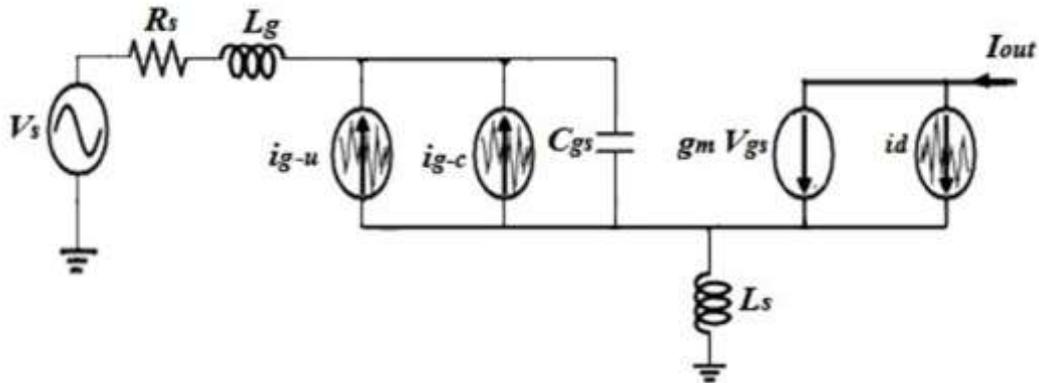


Figure III.4. Modèle de bruit de la topologie à dégénérescence inductive [12].

L'analyse, par rapport au bruit du montage de la figure III.4, est développée dans l'annexe A depuis les références [7] [12]. L'expression du facteur de bruit  $F$  est finalement :

$$F = 1 + \frac{1}{Q_s} \frac{\gamma}{\alpha} \chi \left( \frac{\omega_0}{\omega_T} \right) \quad (\text{III.7})$$

avec :

- $\chi = 1 + \frac{\delta\alpha^2}{5\gamma} (1 + Q_s^2) + 2|c|Q_s \sqrt{\frac{\delta\alpha^2}{5\gamma}}$  ;
- $\alpha = \left( \frac{1 + (\rho/2)}{(1 + \rho)^2} \right)$  ;
- $\rho = \frac{V_{od}}{LE_{sat}} = \frac{V_{gs} - V_T}{LE_{sat}}$  ;
- $E_{sat}$  est le champ de saturation en (V/m) ;
- $Q_s = \frac{1}{R_s C_{gs} \omega_0} = \frac{\omega_0 (L_g + L_s)}{R_s}$  le facteur de qualité du circuit d'entrée ;
- $\gamma$  et  $|c|$  sont les paramètres du modèle du transistor CMOS

- $\omega_T \approx \frac{g_m}{C_{gs}}$  est la pulsation de transition ;
- $\omega_0$  la pulsation de travail.

En technologie CMOS, la faible consommation de puissance est une contrainte très importante. Donc, la conception doit tenir compte de cet aspect mais aussi d'un bruit faible d'une bonne adaptation d'impédance à l'entrée. L'une des méthodes d'optimisation les plus utilisées, pour répondre à ces contraintes, est la technique d'optimisation du bruit sous contrainte de puissance (PCNO).

### III.3.2. Technique d'optimisation du bruit sous contrainte de puissance

Depuis les années 1990, la technique PCNO a été largement utilisée comme une méthode d'analyse qui permet de déterminer, pour une puissance de consommation limitée et un bruit optimum, une taille optimale de la largeur  $W$  du transistor [17]. En 1997, D. K Shaeffer et T H Lee [12] ont exploité cette technique pour optimiser, cette fois-ci, les performances d'un IDLNA. Pour cela, les auteurs ont cherché à mettre en relation les principales performances d'IDLNA, à savoir, la puissance consommée par le transistor  $P_{cons}$ , le facteur de qualité du circuit d'entrée  $Q_s$  ainsi que le facteur de bruit  $F$  (ou  $NF$ ). Les expressions obtenues et mettant en relation ces trois grandeurs sont non linéaires et très difficiles à exploiter analytiquement, ce qui a amené leurs auteurs à les présenter sous forme de courbes, plus faciles à utiliser. C'est ainsi qu'ils ont tracé les courbes (ou contours) de :

- $P_{cons}$  en fonction  $Q_s$  pour différentes valeurs de  $NF$  ;
- $NF$  en fonction de  $Q_s$  pour différentes valeurs de  $P_{cons}$
- $P_{cons}$  en fonction de la tension effective de la grille  $V_{od} = V_{gs} - V_T$  pour différentes valeurs de  $NF$ .

En régime de saturation, le courant du drain  $I_{ds}$ , donné par la relation (I.3), peut également s'écrire comme suit [12] [17] :

$$I_{ds} = WC_{ox}v_{sat}LE_{sat} \left( \frac{\rho^2}{1 + \rho} \right) \quad (III.8)$$

avec :

- $C_{ox} = \frac{3}{R_s Q_s \omega 2WL}$  ;

- $\rho = \frac{V_{od}}{L E_{sat}}$  ;
- $v_{sat}$  et  $\omega$  , sont respectivement la vitesse de saturation (m/s) et la pulsation (rad/s).

En remplaçant l'expression de  $C_{ox}$  dans (III.8),  $P_{cons}$  peut s'exprimer comme suit :

$$P_{cons} = V_{dd} I_{ds} = \frac{3}{2} V_{dd} \frac{1}{R_s Q_s \omega} E_{sat} v_{sat} \left( \frac{\rho^2}{1 + \rho} \right) \quad (III.9)$$

où  $V_{dd}$  est la tension d'alimentation du circuit de drain.

Pour  $P_{cons}$  faible, nous pouvons choisir une faible tension de polarisation  $V_{gs}$  (Figure III.5) et une largeur du transistor ( $W$ ) élevée, par conséquent, le facteur de qualité  $Q_s$  obtenu sera faible.

La question primordiale est de savoir quelles sont les valeurs de  $W$  et de  $V_{gs}$  qui permettent d'avoir un facteur de bruit minimal ainsi qu'une faible consommation de puissance. Il est possible d'exprimer  $Q_s$  en fonction de  $V_{gs}$  et  $P_{cons}$  par la relation donnée ci-dessous [11] :

$$Q_s = \frac{P_0}{P_{cons}} \left( \frac{\rho^2}{1 + \rho} \right) = f_1(V_{gs}, P_{cons}) \quad (III.10)$$

avec  $P_0 = \frac{3}{2} \frac{E_{sat} v_{sat} V_{dd}}{R_s \omega}$ .

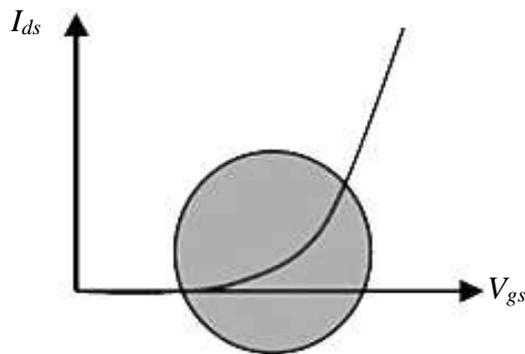


Figure III.5. Évolution de  $I_{ds}$  en fonction de  $V_{gs}$  .

En remplaçant (III.10) dans (III.7), on obtient une nouvelle formulation du facteur de bruit [17]:

$$F = 1 + \frac{\gamma}{\left(\frac{1+(\rho/2)}{(1+\rho)^2}\right)^2} \frac{\chi}{P_{cons}} \left(\frac{\rho^2}{1+\rho}\right) \left(\frac{\omega_0}{3v_{sat}\rho}\right) \left(\frac{L}{L}\right) = f_2(V_{gs}, P_{cons}) \quad (III.11)$$

avec :

$$\chi = 1 + 2|c|(P_0/P_{cons}) \left(\frac{\rho^2}{1+\rho}\right) \sqrt{\frac{\delta\alpha}{5\gamma} \left(\frac{1+(\rho/2)}{(1+\rho)^2}\right)^2} + \frac{\delta\alpha}{5\gamma} \left(\frac{1+(\rho/2)}{(1+\rho)^2}\right)^2 \left(1 + \left((P_0/P_{cons}) \left(\frac{\rho^2}{1+\rho}\right)\right)^2\right)$$

Supposant que  $\rho \ll 1$ , l'expression (III.10) devient [17]:

$$Q_s = \frac{P_0}{P_{cons}} \rho^2 \quad (III.12)$$

Pour exprimer le facteur de bruit  $F$  en fonction de  $P_{cons}$  et de  $Q_s$ , il faut remplacer  $\rho$  déduit depuis la relation (III.12) dans (III.11). Dans ce cas, on trouve [17]:

$$F = 1 + \left(\frac{\gamma\omega_0 L}{3v_{sat}}\right) \frac{\left\{ \left(\frac{P_{cons}}{P_0}\right) \left[1 + \left(\frac{\delta}{5\gamma}\right)\right] + 2|c| \left(\frac{P_{cons}Q_s}{P_0}\right) \sqrt{\left(\frac{\delta}{5\gamma}\right)} + \left(\frac{P_0}{P_{cons}}\right) \left(\frac{\delta}{5\gamma}\right) \left(\frac{P_{cons}Q_s}{P_0}\right)^2 \right\}}{\left(\frac{P_{cons}Q_s}{P_0}\right) \sqrt{\left(\frac{P_{cons}Q_s}{P_0}\right)}} \quad (III.13)$$

La puissance de consommation  $P_{cons}$  peut également s'écrire en fonction de  $Q_s$  et  $F$  à partir de la relation (III.13) comme suit [17]:

$$P_{cons} = \left[ \frac{\gamma\omega_0 L}{3v_{sat}(F-1)} \right] \frac{P_0}{Q_s^3} \left\{ \left[1 + \frac{\delta}{5\gamma}\right] + 2|c|Q_s \sqrt{\frac{\delta}{5\gamma}} + \frac{\delta}{5\gamma} Q_s^2 \right\}^2 = f_3(Q_s, F) \quad (III.14)$$

En exprimant  $P_{cons}$  en fonction de  $\rho$  et  $F$ , l'équation (III.11) peut se réécrire [17]:

$$P_{cons,1,2} = \frac{\left[ \frac{(F-1)3v_{sat}\rho^3(1+(\rho/2))^2(\rho+1)}{\gamma\omega_0 L} - 2|c|\rho^2(1+(\rho/2))(\rho+1)^3 \sqrt{\left(\frac{\delta}{5\gamma}\right)} \right]}{\pm \sqrt{\left[ \frac{(F-1)3v_{sat}\rho^3(1+(\rho/2))^2(\rho+1)}{\gamma\omega_0 L} - 2|c|\rho^2(1+(\rho/2))(\rho+1)^3 \sqrt{\left(\frac{\delta}{5\gamma}\right)} \right]^2}} \sqrt{-4 \left\{ \frac{1}{P_0} \left[ (\rho+1)^6 + \left(\frac{\delta}{5\gamma}\right) (1+(\rho/2))^2 (\rho+1)^2 \right] \right\} \left( P_0 \left(\frac{\delta}{5\gamma}\right) \rho^4 (1+(\rho/2))^2 \right)} = f_4(\rho, F) \quad (III.15)$$

Le tableau III.1 contient les différentes valeurs des paramètres technologiques du transistor CMOS pour la technologie TSMC CMOS 0.18  $\mu\text{m}$  ainsi que la tension de polarisation  $V_{dd}$  et la fréquence de travail  $f_0$ .

Paramètres	Valeurs
$L_{eff}$ ( $\mu\text{m}$ )	0.16
$R_S$ ( $\Omega$ )	50
$f_0$ (GHz)	2.4
$V_{dd}$ (V)	0.9
$\gamma$	2
$\delta$	4
$ c $	0.395
$v_{sat}$ ( $\times 10^5$ m/s)	0.84
$E_{sat}$ (MV/m)	3.66

Tableau III.1. Paramètres technologique du transistor TSMC CMOS 0.18  $\mu\text{m}$  ainsi que la tension de polarisation et la fréquence de travail.

avec  $L_{eff}$  la longueur de grille du transistor MOS.

En insérant les paramètres du tableau III.1 dans un programme que nous avons développé sous le logiciel MATLAB, ce dernier nous a permis de tracer les contours des différentes performances, citées précédemment, à savoir, NF (dB) exprimé par la relation (III.13) et  $P_{cons}$  donnée par (III.14) et (III.15), représentées respectivement par les figures III.6, III.7 et III.8 .

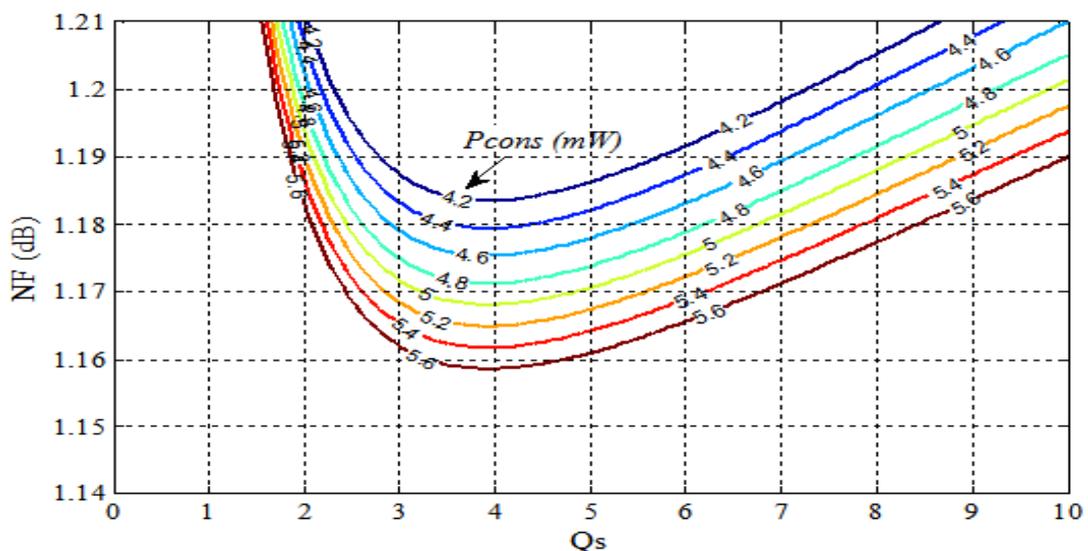
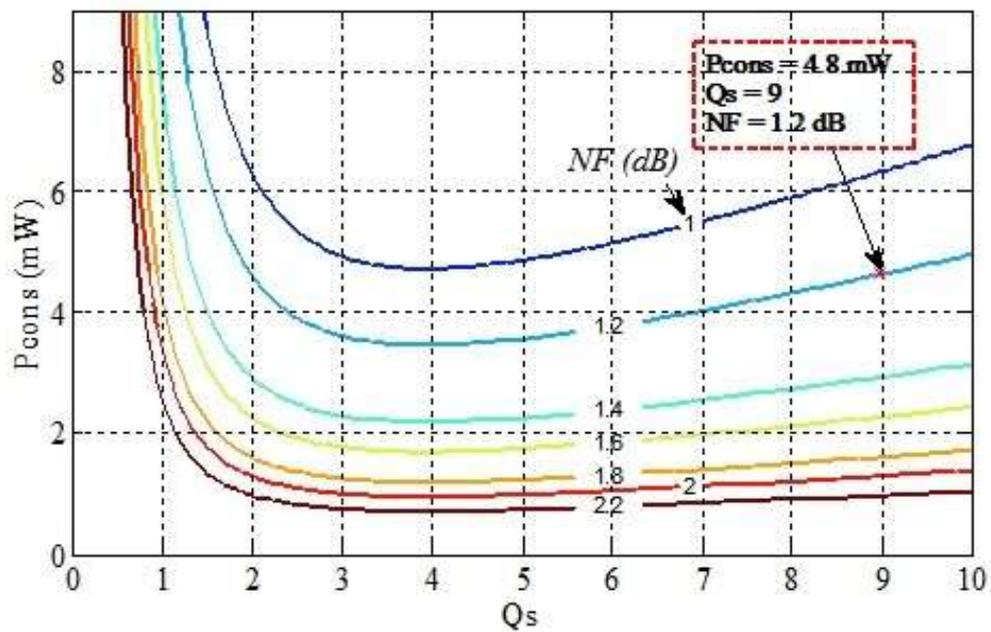


Figure III.6. Contours de NF en fonction de  $Q_s$  pour différentes valeurs de  $P_{cons}$ .



Figures III.7. Contours de  $P_{cons}$  en fonction du  $Q_s$  pour différentes valeurs de  $NF$ .

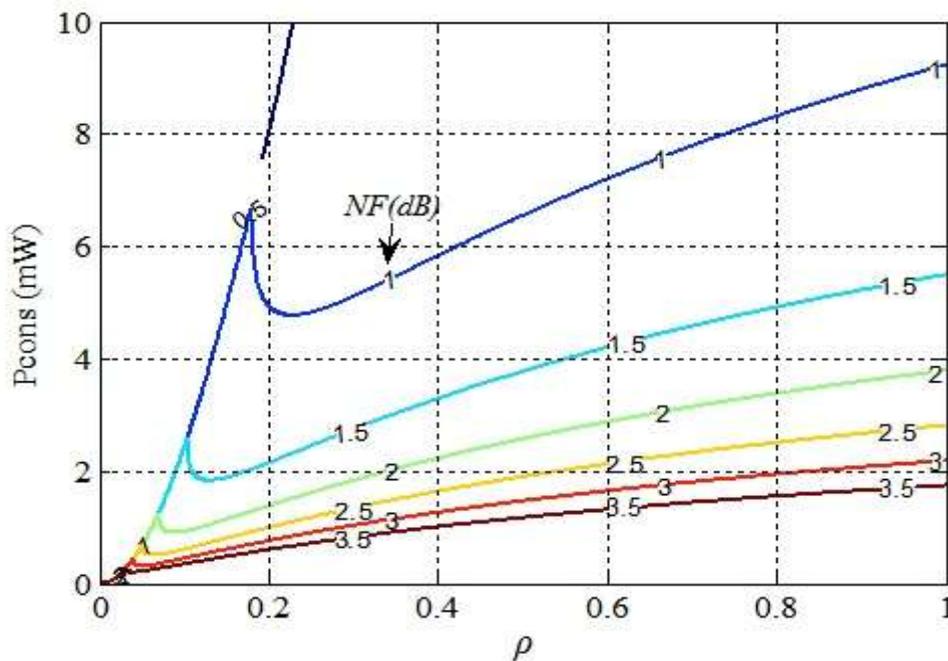


Figure III.8. Contours de  $P_{cons}$  en fonction du  $\rho$  pour différentes valeurs de  $NF$ .

Les figures III.6, III.7 et III.8 montrent clairement la variation des contours de  $NF$  en fonction de  $Q_s$  et  $P_{cons}$  en fonction de  $Q_s$  et  $\rho$  séparément pour différentes valeurs de  $NF$ . Nous relevons de ces courbes que les performances sont antagonistes, ce qui implique toujours la recherche d'un compromis entre elles lors de la conception.

### III.3.3. Dimensionnement des transistors $M_1$ et $M_2$ et calcul des éléments localisés de l'IDLNA cascode

Etant donné que, pour une technologie CMOS donnée, la longueur  $L$  du canal de conduction dans un transistor CMOS-RF est fixée. Le dimensionnement du transistor portera seulement sur la largeur  $W$  de sa grille. La largeur du transistor  $M_1$  qui est l'élément principal de l'IDLNA peut être calculée à partir de l'expression [7]:

$$W_1 = \frac{1}{C_{ox} R_s Q_s \omega_0 \frac{2}{3} L} \quad (\text{III.16})$$

avec  $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$  ( $\epsilon_{ox} = 3.5 \times 10^{-11}$  F/m,  $t_{ox} = 4.08$  nm) et où  $\epsilon_{ox}$  et  $t_{ox}$  sont la permittivité relative et l'épaisseur d'oxyde du transistor MOS.

Pour une application à bande étroite, le choix d'un facteur de qualité d'entrée élevé permet d'avoir une réponse étroite. De plus, ce choix doit se faire sous les contraintes que le bruit et la puissance consommée soient faibles. En cherchant, d'un côté, un bon compromis entre un faible facteur de bruit et une faible consommation de puissance, et en tenant compte, d'un autre côté, de l'application à bande étroite de notre circuit, nous avons choisi, comme le montre la figure III.7, le point correspondant à  $P_{cons} = 4.8$  mW,  $Q_s = 9$ , et  $NF = 1.2$  dB.

Une fois la largeur  $W_1$  est connue, la transconductance  $g_m$  de  $M_1$  et la capacité  $C_{gs}$  peuvent être calculées à partir des équations de saturation comme [3-9] :

$$g_m = \frac{\partial I_D}{\partial \rho} \frac{\partial \rho}{\partial V_{gs}} = \mu_n C_{ox} W E_{sat} \left( \frac{V_{gs} - V_T}{L E_{sat}} \right) \left( \frac{1 + (\rho/2)}{(\rho + 1)^2} \right) \quad (\text{III.17})$$

$$C_{gs} = \frac{2}{3} C_{ox} W L \quad (\text{III.18})$$

Concernant le transistor cascode  $M_2$ , ce dernier est utilisé pour améliorer le gain de l'amplificateur d'une part, et pour réduire l'effet Miller du transistor  $M_1$  d'autre part. En choisissant une transconductance  $g_{m2}$  équivalente à celle du transistor  $M_1$  ( $g_{m1}$ ), la capacité Miller  $C_m$  donnée par la relation (III.1) peut être réduite à une valeur égale à  $2 C_{gd}$ . La largeur  $W_2$  peut être obtenue à partir de la relation (III.17).

Concernant les composants passifs  $L_s$  et  $L_g$ , nous pouvons les déterminer en utilisant respectivement les expressions (III.3) et (III.4). Quant à l'inductance  $L_d$ , elle est utilisée pour résonner avec la capacité parasite au niveau du drain du transistor  $M_1$ .

Le dimensionnement d'une inductance réalisée en technologie CMOS peut être obtenu par une simulation paramétrique à l'aide de logiciel ADS (Figure III.9).

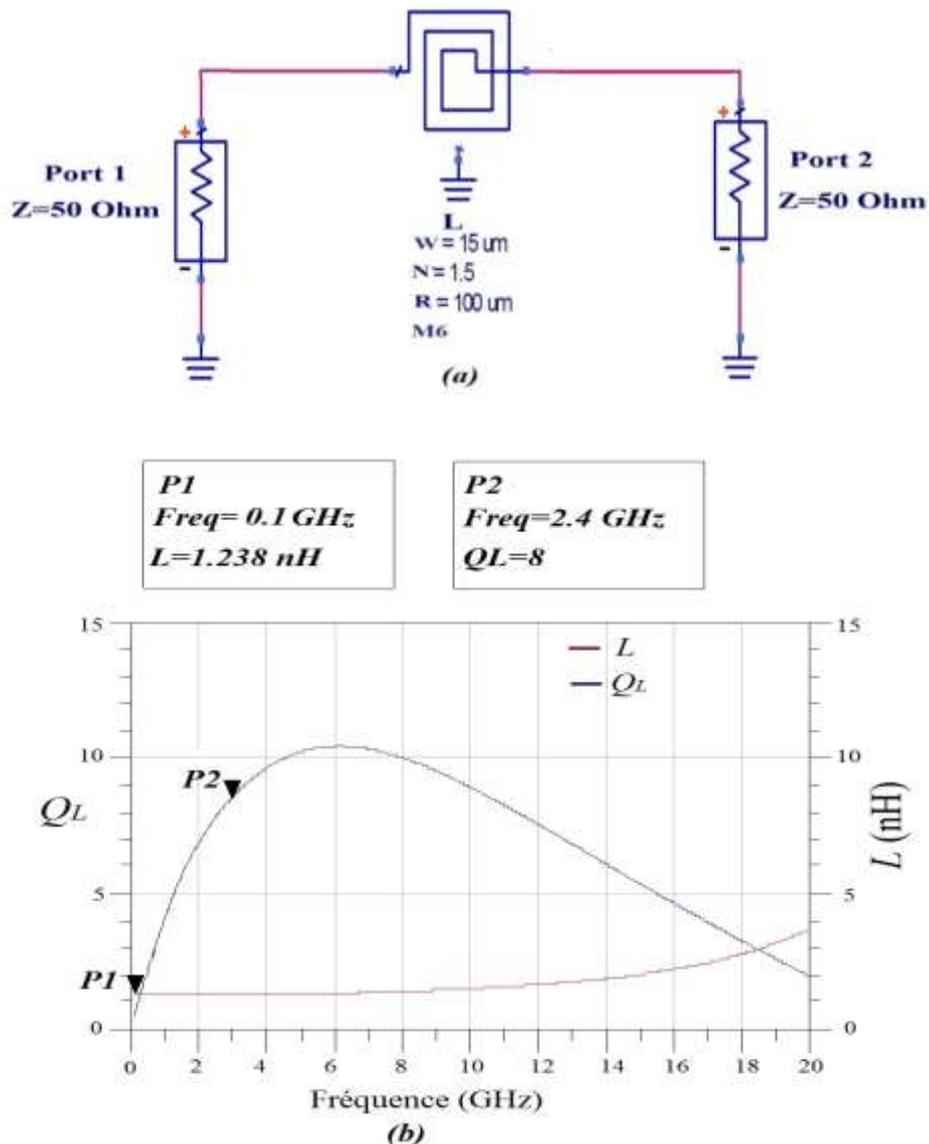


Figure III.9. (a) Montage pour le calcul des paramètres d'une inductance, (b) L'inductance et son facteur de qualité en fonction de la fréquence.

En utilisant les expressions (I.11) et (I.12) de l'inductance  $L$  et de son facteur de qualité  $Q_L$  et en variant les paramètres physiques de l'inductance CMOS (Figure. I.5(a)), notamment faire varier le nombre de tours  $N$ , le rayon  $R$  et la largeur de la piste. Il y a plusieurs valeurs de  $N$  ( $N$  varie par pas de 0.25) et de  $R$  qui donnent la même valeur de  $L$  mais avec des valeurs

de  $Q_L$  sensiblement différentes. Le choix de la plus grande valeur de  $Q_L$ , à la fréquence de travail, est évident, compte tenu du fait que le LNA doit être à bande étroite.

Quant à la capacité CMOS, son dimensionnement se fait d'une manière automatique par le logiciel de simulation. Etant donné la forme carrée de la capacité réalisée en technologie CMOS, il suffit donc d'introduire la valeur de la capacité pour obtenir sa longueur. Les capacités CMOS, utilisées dans cette conception ne peuvent pas dépasser une taille de  $42.2\mu\text{m} \times 42.2\mu\text{m}$ , ce qui donne une valeur de  $1.67\text{ pF}$ . Pour dimensionner une capacité d'une valeur supérieure à  $1.67\text{ pF}$ , il suffit de connecter, en parallèle, des capacités de tailles autorisées.

### III.3.4. Circuit de polarisation

Le circuit de polarisation, le plus utilisé, est généralement basé sur l'utilisation d'une inductance dont l'impédance présente une grande valeur à la fréquence de travail et ce, afin d'empêcher les signaux RF de traverser cette inductance. En technologie CMOS, minimiser le nombre d'inductance, qui occupe la plus grande surface par rapport aux autres composants intégrés, permet de réduire significativement la taille du circuit. Comme solution, nous avons choisi d'utiliser le circuit à miroir de courant (Figure III.10) [18]. Ce montage, en plus de sa taille réduite, présente aussi une consommation très faible du courant, de l'ordre du nA [19].

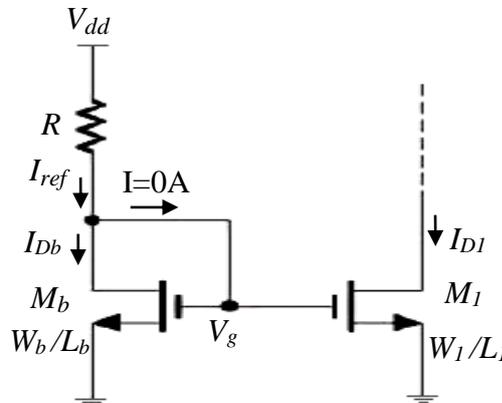


Figure III.10. Structure de base du circuit à miroir de courant [19].

Etant donné que la tension  $V_{gs}$  est identique pour les deux transistors  $M_b$  et  $M_1$ , les courants de drain de  $M_b$  et  $M_1$  peuvent s'écrire d'après (I.3) :

$$I_{Db} = I_{ref} = \frac{1}{2} \mu_n C_{ox} \left( \frac{W_b}{L_b} \right)_b (V_{gs} - V_T)^2 \quad (\text{III.19})$$

$$I_{D1} = \frac{1}{2} \mu_n C_{ox} \left( \frac{W_1}{L_1} \right)_1 (V_{gs} - V_T)^2 \quad (\text{III.20})$$

A partir de ces deux équations, on en déduit :

$$I_{D1} = \frac{W_1/L_1}{W_b/L_b} I_{ref} \quad (\text{III.21})$$

Dans le but de réduire le courant de consommation total, la largeur du transistor  $M_b$  doit être 20 fois inférieure à celle du transistor  $M_l$  ( $W_b=20W_l$ ) [19].

Pour calculer la résistance  $R$  (Figure III.10), on utilise la relation suivante :

$$R = \frac{V_{dd} - V_{gs}}{I_{ref}} \quad (\text{III.22})$$

La résistance  $R_l$  (Figure III.2) doit être choisie plus grande que la résistance de source  $R_s$  afin d'éviter toute dégradation de la sensibilité et du gain du LNA.

La tension de polarisation du transistor  $M_l$  (Figure III.2) peut être calculée, à partir de l'équation (III.10), comme suit:

$$V_{gs1} = V_T + \left( LE_{sat} \sqrt{\frac{Q_s P_{cons}}{P_0}} \right) \quad (\text{III.23})$$

### III.3.5. LNA multistandard

Le concept des récepteurs RF multistandards indique qu'un seul récepteur RF doit pouvoir émettre plusieurs standards de communication sans fil [13-17]. Deux principales architectures ont été proposées [20] pour la conception des récepteurs multistandards. La première est basée sur l'implémentation parallèle de plusieurs circuits fonctionnant à des standards différents (Figure III.11(a)), tandis que la deuxième porte sur l'utilisation d'un seul chemin de réception (Figures III.11(b) et III.11(c)) [20-23].

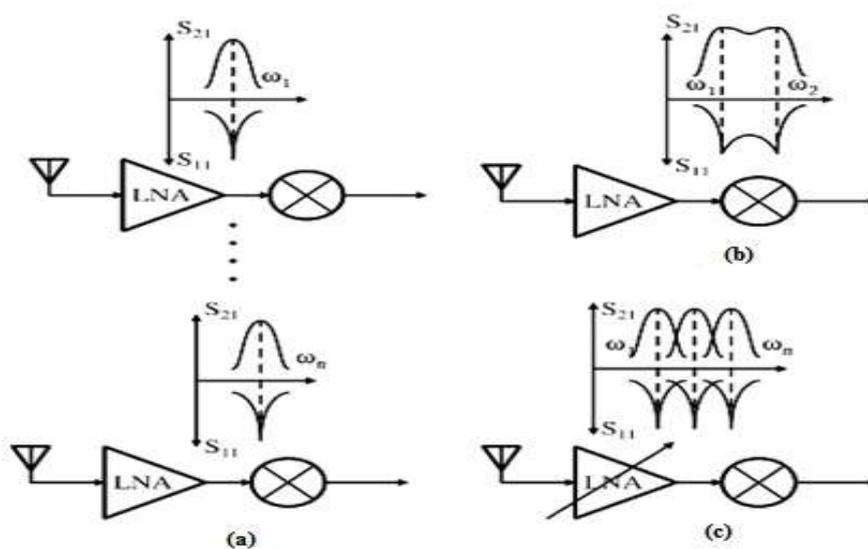


Figure III.11. Architectures de récepteurs multistandards (a) implémentation parallèle, (b) et (c) un seul chemin de réception [20].

Dans ce travail, nous avons opté pour la deuxième architecture. Ce choix est motivé par le fait que l'utilisation d'un seul chemin de réception nous permettra de réduire la taille de la puce du LNA, par conséquent, réduire le coût de fabrication. Pour cela, nous avons ajouté au réseau d'entrée et de sortie du LNA, des capacités variables ( $C_{var1}$  et  $C_{var2}$ ) afin de décaler la fréquence de résonance aux standards choisis.

Concernant la capacité variable, nous avons utilisé la capacité MOS-Varactor [24]. La valeur de cette dernière varie en changeant la valeur de la tension de contrôle  $V_{ctrl}$ , appliquée à la capacité MOS-Varactor.

Les standards sans fil choisis pour cette conception sont :

- GSM\_PCS1900 (1,85-1,99 GHz) ;
- UMTS\_3G (1,92-2,17 GHz) ;
- Bluetooth & WLAN 802.11b\_Wi-Fi (2,4-2,48 GHz).

La variation de la capacité, contrôlée par la tension  $V_{ctrl}$  ( $V_{ctrl}$  varie entre 0 et 1.8V), n'était pas suffisante pour décaler la fréquence du premier standard aux autres. La solution que nous avons proposée consistait à placer une capacité en série avec la capacité MOS-Varactor pour combler l'écart entre les différentes capacités équivalentes. Les figures III.12 et III.13 représentent, respectivement, les courbes des capacités équivalentes d'entrée et de sortie en fonction de la tension de contrôle.

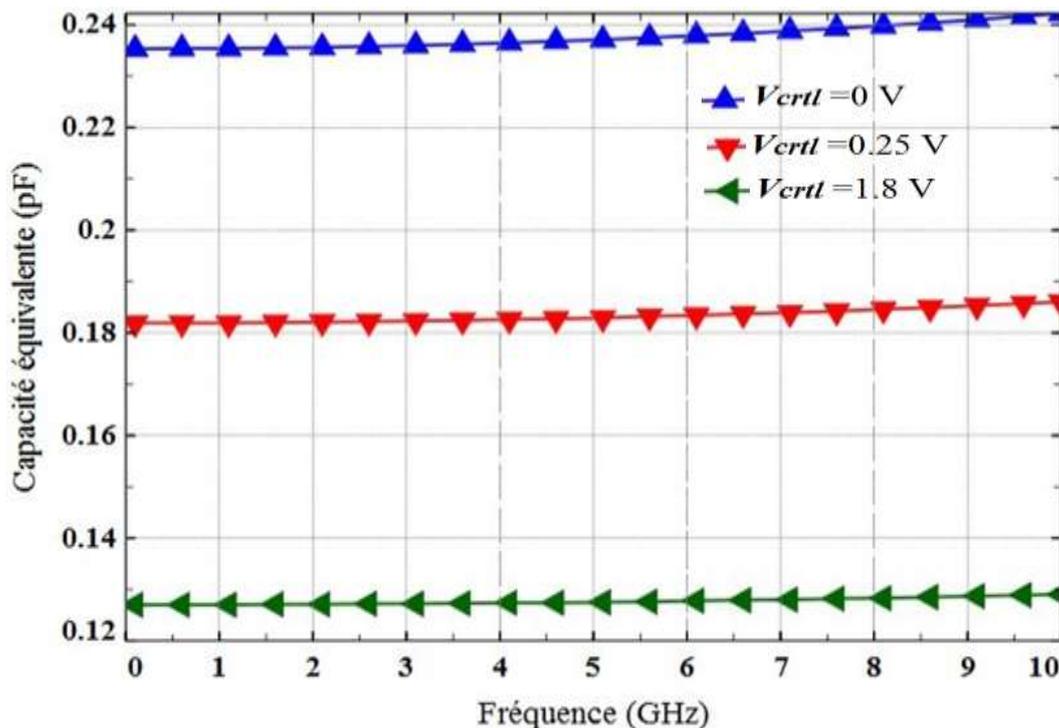
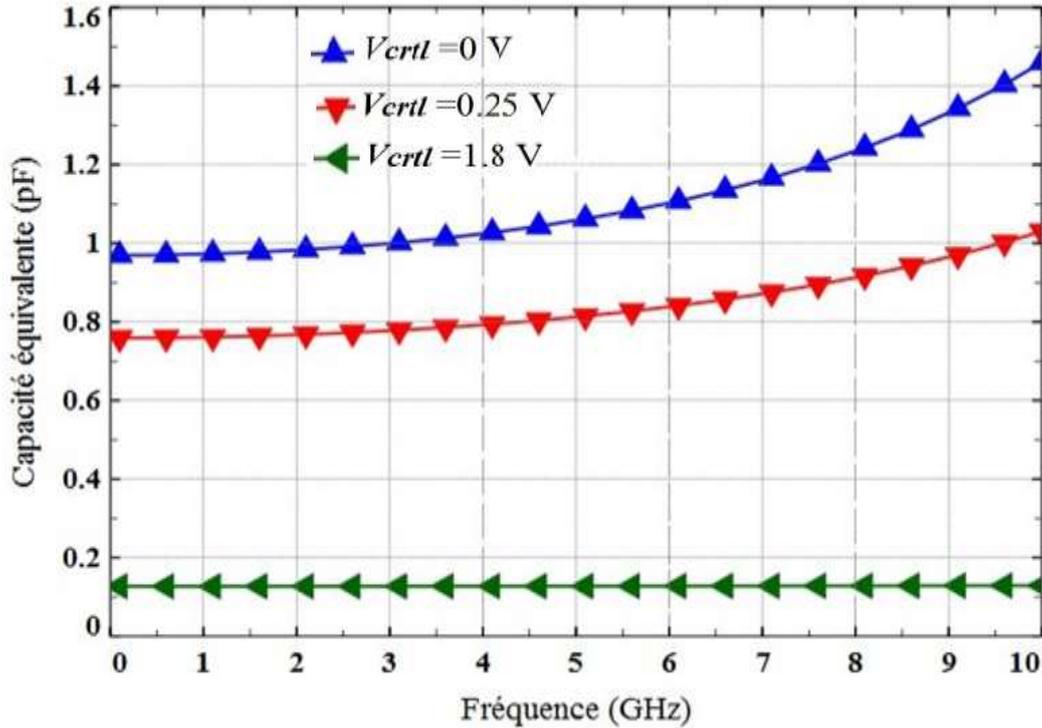


Figure III.12. Capacité équivalente d'entrée en fonction de la tension de contrôle  $V_{ctrl}$ .



Figures III.13. Capacité équivalente de sortie en fonction de la tension de contrôle  $V_{ctrl}$ .

### III.3.5.1. Technique de post-linéarisation

La linéarité est une performance très importante pour le bon fonctionnement du LNA. Cette linéarité, en dessous de 3 GHz, devient critique en raison de la croissance rapide des standards (GSM, UMTS et Bluetooth & WLAN 802.11a, b) dans cette gamme [25]. La non linéarité dans un transistor FET est due principalement à la non linéarité de son courant drain-source qui peut être décrit en utilisant le développement par la série de Taylor comme suit [27]:

$$i_{ds} = g_{m1}v_{gs} + g_{m2}v_{gs}^2 + g_{m3}v_{gs}^3 + \dots \quad (\text{III.24})$$

Pour la topologie cascode proposée (figure III.2), le courant non linéaire, généré par le transistor  $M_1$ , sera complètement transféré vers le transistor cascode  $M_2$ . Si le nœud de drain du transistor  $M_1$  dispose d'un autre chemin de courant qui absorbe sélectivement la composante IMD3 du courant, seulement la composante fondamentale du courant peut être délivrée au transistor  $M_2$ . La plupart des techniques de linéarisation cherchent à annuler la transconductance  $g_{m3}$  de troisième ordre afin d'augmenter la linéarité du circuit. Jusqu'à présent, la technique la plus utilisée, en technologie intégrée, est celle de la linéarisation par superposition dérivative [18-19]. Cependant, cette technique a un impact direct sur l'adaptation d'entrée du circuit. Pour remédier à ce problème, nous avons utilisé la technique Folded PMOS IMD Sinkers [27], qui est basée sur l'utilisation d'un transistor PMOS  $M_3$ , placé

en cascade avec le transistor  $M_1$  (Figure III.14). Son rôle est d'éliminer la distorsion d'IMD3, qui est due au courant généré par le transistor  $M_1$ .

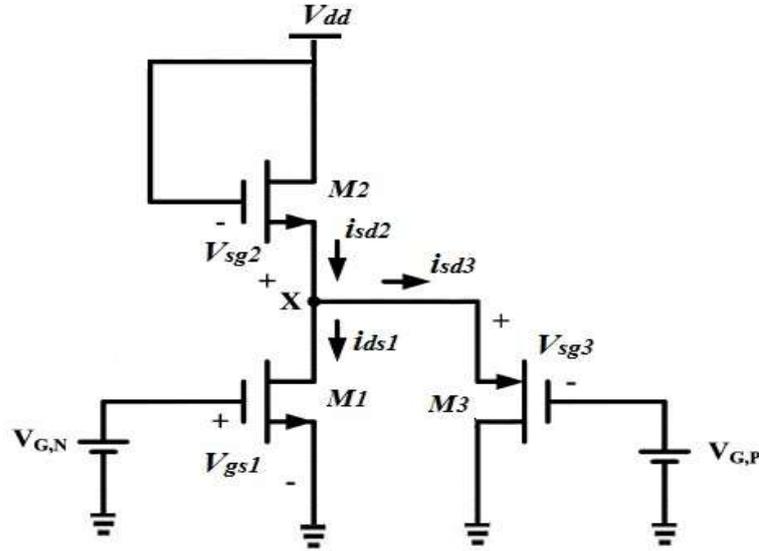


Figure III.14. Amplificateur cascode avec un transistor PMOS IMD Sinker en cascade [27].

En négligeant les résistances externes des transistors FETs, illustrés dans la figure III.14, et sous la condition  $v_{sg2} = v_{sg3}$ , les courants  $i_{ds1}$  et  $i_{sd3}$  peuvent être exprimés, pour une approximation du troisième ordre de non linéarité, comme suit [27]:

$$i_{ds1} = g_{m1\_}(M1) v_{gs1} + g_{m2\_}(M1) v_{gs1}^2 + g_{m3\_}(M1) v_{gs1}^3 \quad (\text{III.25})$$

$$i_{sd3} = g_{m1\_}(M3) v_{sg2} + g_{m2\_}(M3) v_{sg2}^2 + g_{m3\_}(M3) v_{sg2}^3 \quad (\text{III.26})$$

Comme la tension  $v_{sg2}$  varie en fonction de  $v_{gs1}$ , une approximation du premier ordre de  $v_{sg2}$  est donnée par la relation suivante [27]:

$$v_{sg2} = a_1 v_{gs1} \quad (\text{III.27})$$

Le courant  $i_{sd2}$  peut s'exprimer en fonction de  $i_{ds1}$  et  $i_{sd3}$  comme suit :

$$i_{sd2} = i_{ds1} + i_{sd3} \quad (\text{III.28})$$

En remplaçant les relations (III.25), (III.26) et (III.27) dans (III.28), on obtient [27]:

$$i_{sd2} = (g_{m1\_}(M1) + a_1 g_{m1\_}(M3)) v_{gs1} + (g_{m2\_}(M1) + a_1^2 g_{m2\_}(M3)) v_{gs1}^2 + (g_{m3\_}(M1) + a_1^3 g_{m3\_}(M3)) v_{gs1}^3 \quad (\text{III.29})$$

Choisir une largeur et une polarisation appropriées de  $M_3$  permet d'annuler le coefficient du troisième terme  $(g_{m3\_}(M1) + a_1^3 g_{m3\_}(M3))$  dans (III.29). Comme le montre la figure III.15,

dans un intervalle de  $v_{gs1}$  qui varie de 0.62 V à 0.68 V,  $g_{m3\_M1}$  est complètement compensée par  $g_{m3\_M3}$  ce qui permet, donc, l'annulation de  $g_{m3\_M2}$ .

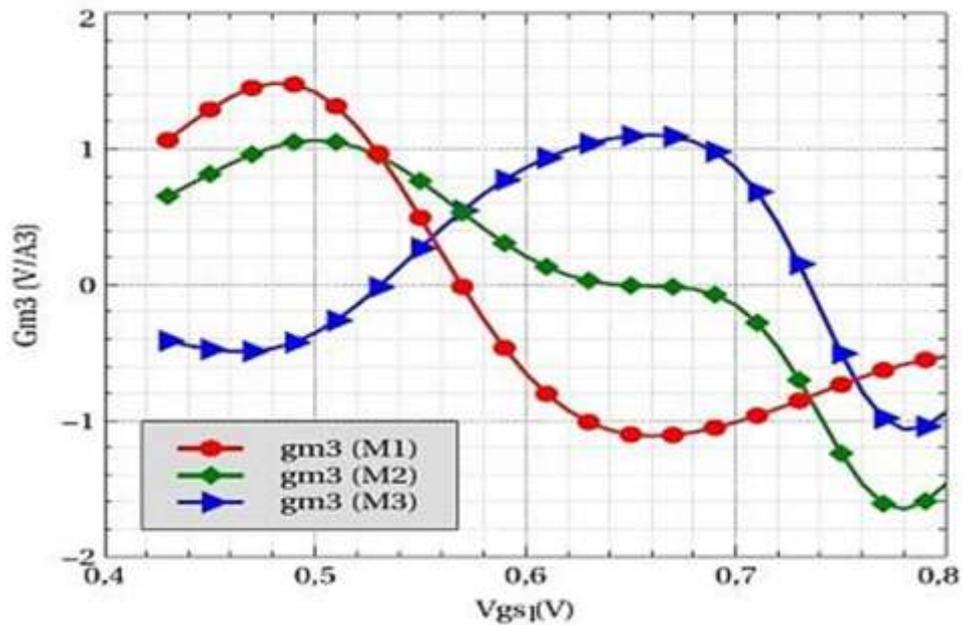


Figure III.15. Suppression du  $g_{m3\_M2}$  avec la technique Folded PMOS IMD Sinkers [21].

La figure III.16 représente le schéma complet du LNA multistandard proposé et le tableau III.2 les valeurs des paramètres des différents composants constitutifs, actifs et passifs, que nous avons obtenues.

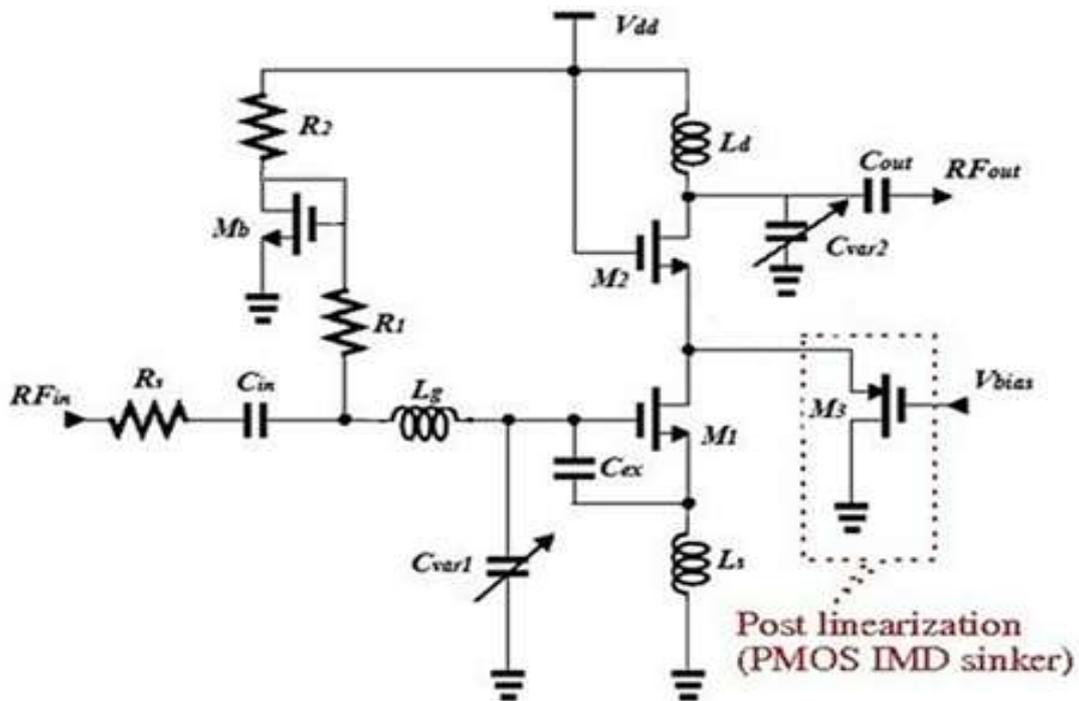


Figure III.16. Schéma complet du LNA multistandard [21].

Trans	(W/L) ( $\mu\text{m}/\text{nm}$ )	Capacités (pF)	Inductances (nH)	Résis (k $\Omega$ )
$M_1$	160/180	$C_{in} = 3.3$ (W=42 $\mu\text{m}$ ; L=84 $\mu\text{m}$ )	$L_s = 1$ (W=15 $\mu\text{m}$ ; N=2.5 ; R=34 $\mu\text{m}$ )	$R_1 = 30$
$M_2$	72/180	$C_{out} = 5$ (W=42.2 $\mu\text{m}$ ; L=126 $\mu\text{m}$ )	$L_g = 8.85$ (W=6 $\mu\text{m}$ ; N=2.5 ; R=34 $\mu\text{m}$ )	$R_2 = 11$
$M_3$	120/180	$C_{ex} = 0.23$ (W=5.85 $\mu\text{m}$ ; L=5.85 $\mu\text{m}$ )	$L_d = 5.9$ (W=6 $\mu\text{m}$ ; N=3.5 ; R=106 $\mu\text{m}$ )	
$M_b$	8/500	$C_{var1} = 0.13 - 0.24$ $C_{var2} = 0.16 - 0.97$		

Tableau III.2. Résultat de la conception : valeurs des paramètres des différents composants constitutifs du LNA conçu [21].

Un buffer, constitué de deux transistors  $M_4$  et  $M_5$  (Figure III.17), a une impédance d'entrée très élevée et une impédance de sortie faible. Il est utilisé à la sortie du LNA afin d'adapter l'impédance de sortie du cascode, qui est très élevée, à l'impédance de charge égale à 50  $\Omega$  qui est relativement faible. De plus, il a la capacité d'améliorer l'isolation sortie vers entrée.

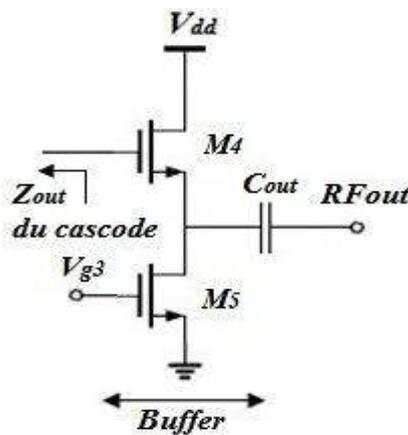


Figure III.17. Schéma d'un buffer.

### III.3.5.2. Résultats de simulation du LNA multistandard

Le LNA multistandard proposé est conçu en utilisant la technologie CMOS TSMC 0.18  $\mu\text{m}$  sous une tension d'alimentation de 1.8 V. Les simulations ont été effectuées moyennant l'outil Cadence Spectre RF. Les résultats de simulation obtenus comme le gain en puissance ( $S_{21}$ ), le facteur de bruit (NF), les coefficients de réflexion d'entrée ( $S_{11}$ ) et de sortie ( $S_{22}$ ) ainsi que le produit d'intermodulation d'ordre trois (IIP3) sont respectivement donnés par les figures III.18, III.19, III.20 et III.21.

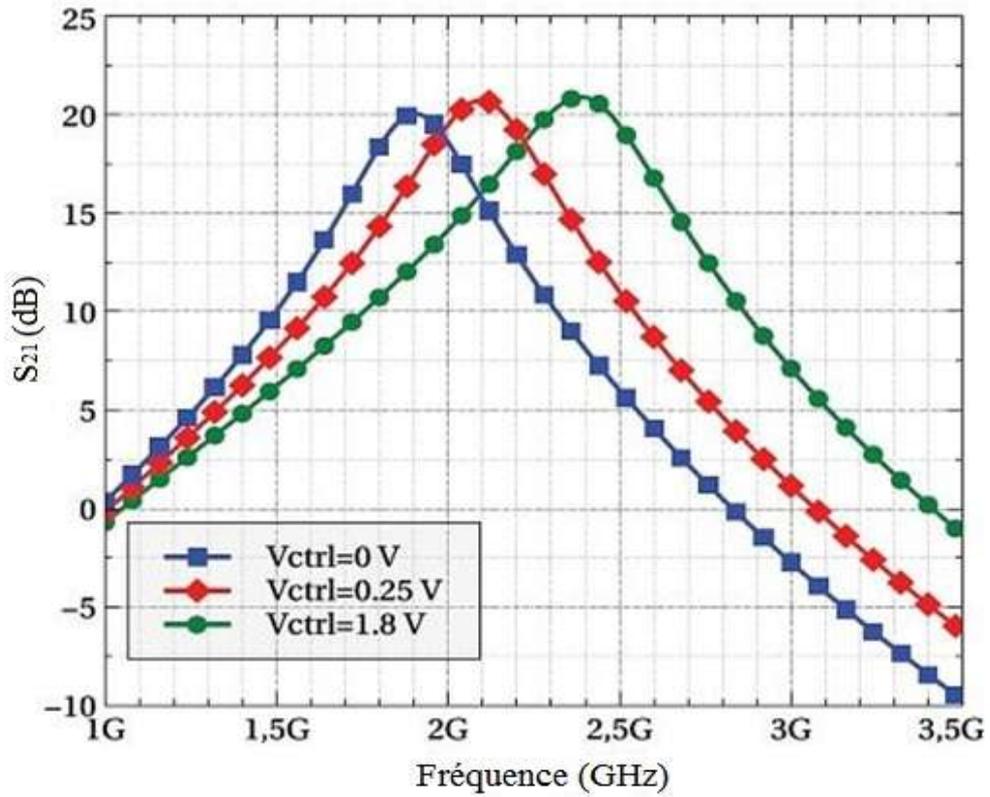


Figure III.18. Gain en puissance du LNA multistandard [21].

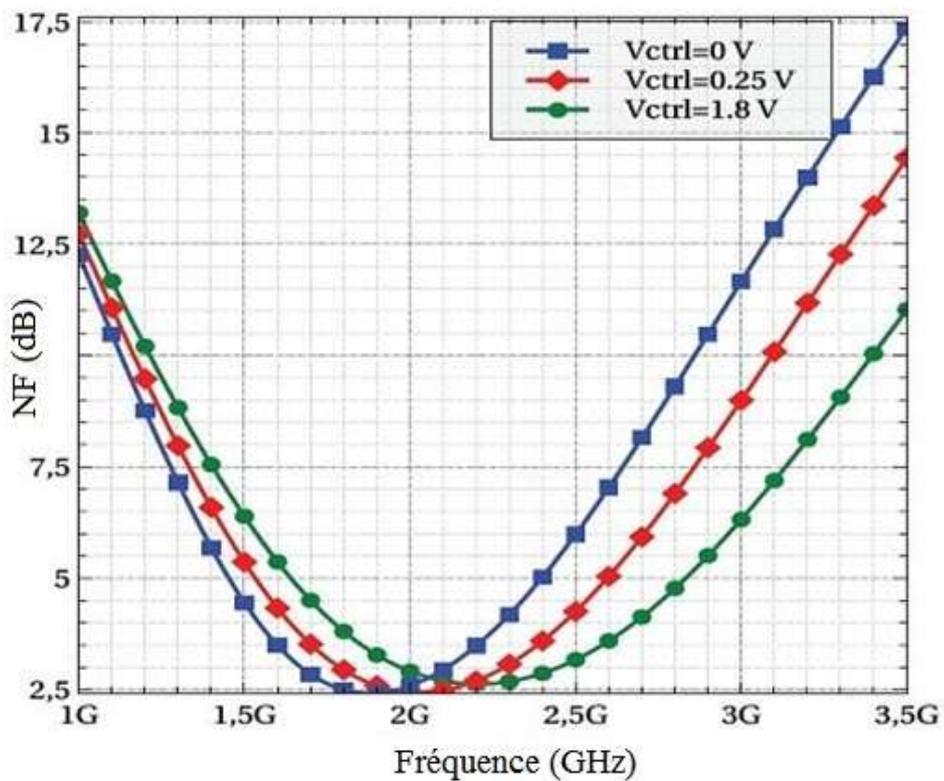


Figure III.19. Facteur de bruit du LNA multistandard [21].

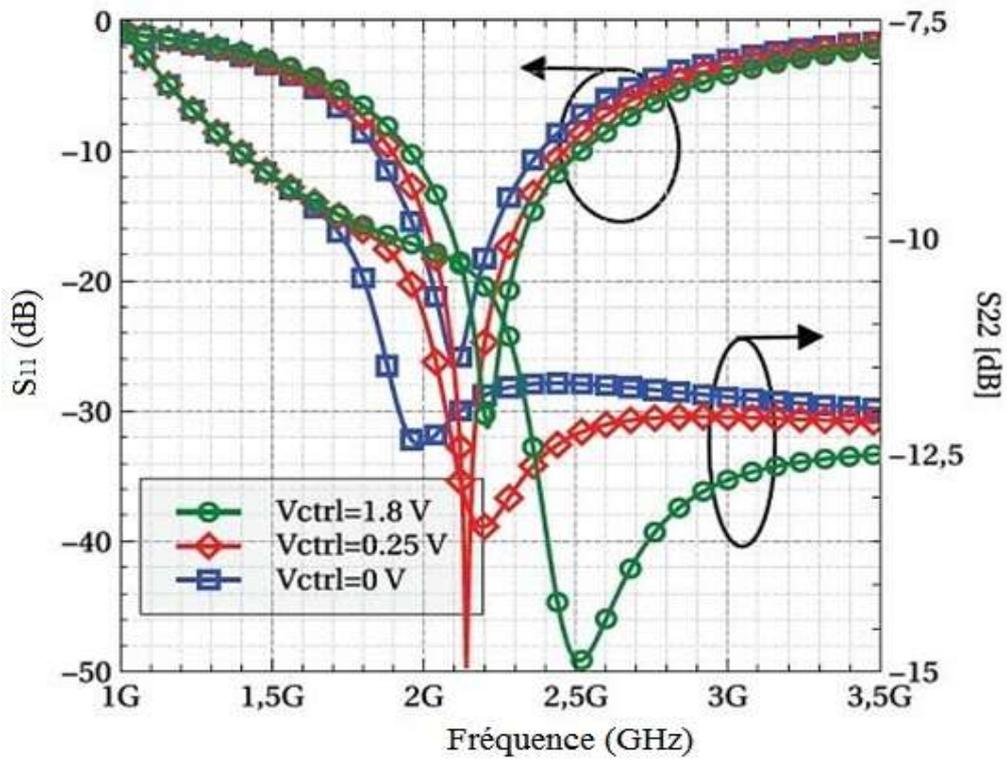


Figure III.20. Coefficients de réflexions d'entrée ( $S_{11}$ ) et de sortie ( $S_{22}$ ) du LNA multistandard [21].

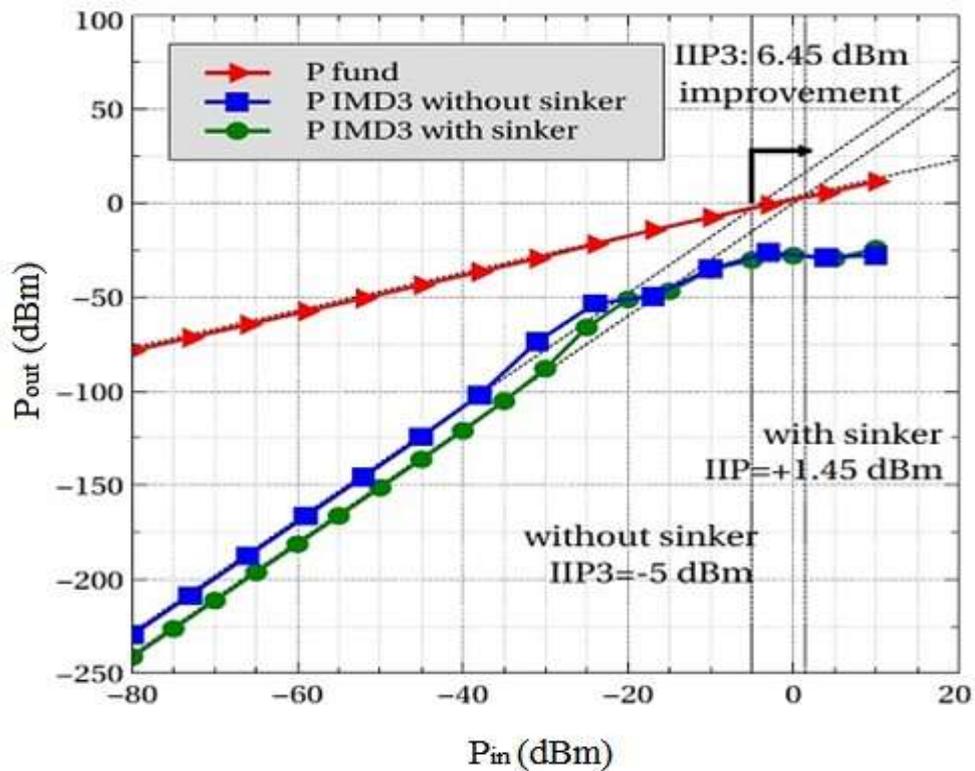


Figure III.21. Le produit d'intermodulation d'ordre trois (IIP3) du LNA multistandard à 2.4 GHz [21].

D'après la figure III.18, nous pouvons remarquer que le gain en puissance simulé (S21) est supérieur à 20 dB à la fréquence 1.9 GHz, et atteint son maximum 22 dB à la fréquence 2.4 GHz pour une tension de contrôle  $V_{ctrl}$  qui varie entre 0 V jusqu'à 1.8 V, ainsi, un réglage continu de la réponse du LNA est assuré grâce aux capacités variables, ajoutées au réseau d'entrée et de sortie du LNA. Le facteur de bruit NF, illustré dans la figure III.19, est inférieur à 2.7 dB pour les trois standards. D'après la figure III.20, nous constatons que l'adaptation existe en entrée et en sortie du LNA pour  $S_{11} < -12$  dB et  $S_{22} < -13$  dB. Enfin, l'utilisation de la technique post linéarisation a permis d'améliorer l'IIP3 dont la valeur obtenue est environ 1.45 dB, comme illustré par la figure III.21. En ce qui concerne la puissance dissipée, le LNA conçu consomme une faible puissance qui vaut 10.9 mW, calculée en multipliant la tension d'alimentation  $V_{dd} = 1.8$  V par le courant DC total obtenu par une simple simulation DC à l'aide du logiciel cadence.

Le tableau III.3, présente une comparaison des performances simulées du LNA, proposé dans ce travail, avec celles des travaux précédents, déjà publiés. En sus des paramètres déjà utilisés, le tableau III.3 présente aussi d'autres paramètres qu'on appelle facteurs de mérite  $FOM_1$  et  $FOM_2$  et qui sont donnés comme suit [20] [27]:

$$FOM_1 = \frac{Gain}{(NF - 1)P_{dc}} \tag{III.26}$$

$$FOM_2 = \frac{Gain \cdot IIP3 \cdot f_0}{(NF - 1)P_{dc}} \tag{III.27}$$

où  $f_0$  et  $P_{dc}$  sont respectivement la fréquence de travail et la puissance consommée :

Ref	Standards	Freq (GHz)	Gain (dB)	NF (dB)	IIP3 (dBm)	Tension d'alim (V)	Pdc (mW)	FOM 1	FOM 2
[28]*	UMTS	2.04	20.6	1.73	-0.15	1	28.5	0.8	1.5
	Bleutooth	2.44	16.2	1.77	-0.6		25.3	1.5	1.1
	WLAN 802.11b	2.44	22.3	1.64	-3.3		30.5	0.9	1.1
[29]**	GSM(DCS 1800)	1.8	23.4	5.8	-4.8	1.2	24	0.5	0.2
	UMTS	2.1	28.5	5.2	-7.5			0.5	1
	WLAN	2.4	23.4	5.6	0			0.2	0.2
[30]*	GPS	1.575	10.4	3.21	1.62	1.8	33.3	0.11	0.23
	WLAN	2.4	11.1	3.21	1.16				0.34
[21]* Ce travail	GSM(PCS 1900)	1.9	20	2.45	-3	1.8	10.9	1.13	1.1
	UMTS	2.1	21	2.45	-0.273			1.2	2.5
	WLAN 802.11b	2.4	22	2.7	1.45			1.1	3.5

\*résultats simulés; \*\* résultats mesurés

Tableau III.3. Comparaison des performances du LNA conçu [21] avec celles des travaux précédents.

De ce tableau, nous pouvons tirer les enseignements suivants :

- seuls les gains de [29] sont supérieurs à ceux auxquels nous avons abouti ;
- seuls les facteurs de bruit de [28] sont meilleurs à ceux que nous avons obtenus ;
- à part les IIP3 de [30], les bons IIP3 sont obtenus dans ce travail ;
- la puissance consommée par notre LNA est la plus faible ;
- le facteur de mérite  $FOM_1$  du LNA, proposé, présente de bons résultats comparativement avec ceux des travaux reportés dans le tableau III.3. Ceci est dû principalement à la faible puissance consommée par notre circuit ;
- le facteur  $FOM_2$  montre clairement l'amélioration des performances obtenues dans ce travail par rapport aux autres travaux notamment en termes de linéarité.

### III.4. Conclusion

Dans ce chapitre, nous avons présenté toutes les étapes de conception de l'amplificateur faible bruit à bande étroite (1.9 GHz) en technologie CMOS 0.18  $\mu\text{m}$ .

Les résultats des performances simulées indiquent la faible consommation de puissance du LNA qui est autour de 10.9 mW pour une tension d'alimentation de 1.8 V. Le gain obtenu est suffisamment élevé (22 dB) et le facteur de bruit de 2.7 dB est relativement faible pour les différents standards. Les résultats montrent aussi que les capacités MOS-Varactors ont permis d'avoir une bonne reconfigurabilité du LNA. Concernant la linéarité du circuit, la technique post-linéarisation assure une amélioration jusqu'à 6.45 dB d'IIP3 pour la fréquence 2.4 GHz.

Ces résultats montrent la pertinence de la technique PCNO.

Compte tenu de tous ces résultats, le LNA, que nous avons conçu, est candidat potentiel pour les applications multistandards sans fil à faible consommation de puissance avec un bruit relativement faible par rapport aux LNA multistandards des autres travaux.

Le chapitre suivant sera consacré à la conception des amplificateurs ULB (3.1-10.6 GHz) en technologie CMOS 0.18  $\mu\text{m}$ .

# **Chapitre IV**

## CONCEPTION D'AMPLIFICATEUR FAIBLE BRUIT CMOS ULTRA LARGE BANDE

### IV.1. Introduction

Les systèmes sans fil ultra large bande (*Ultra Wide Band* : UWB) sont capables de transmettre des données, sur une large gamme de fréquences pour de courtes distances typiquement inférieures à 10 m [31], avec une très faible puissance et de très hauts débits.

Selon les règles édictées par la FCC (*Federal Communications Commission*), les systèmes ULB (Ultra Large Bande) sont définis comme des systèmes qui occupent plus de 20% de la fréquence centrale ou plus de 500 MHz de bande passante.

En vertu de la décision de février 2002, le FCC a accordé l'utilisation, sans licence, du spectre ULB qui s'étale de 3.1 à 10.6 GHz, à des niveaux de puissance extrêmement faibles autour de  $-41,3 \text{ dBm} / \text{MHz}$ . Cette quantité est facilement calculée à partir de la limite de la densité spectrale de puissance, imposée à  $75 \text{ nW} / \text{MHz}$  ( $-41,3 \text{ dBm} / \text{MHz}$ ), entre 3.1 GHz et 10.6 GHz, selon les masques (les gabarits) spectrales, pour des applications Indoor et Outdoor (Figure IV.1). Contrairement au système radio traditionnelle, dont la largeur du spectre est étroite et la puissance de transmission est élevée, un système ULB peut transmettre, sur une large bande du spectre, des niveaux de puissance très faibles [1] [32].

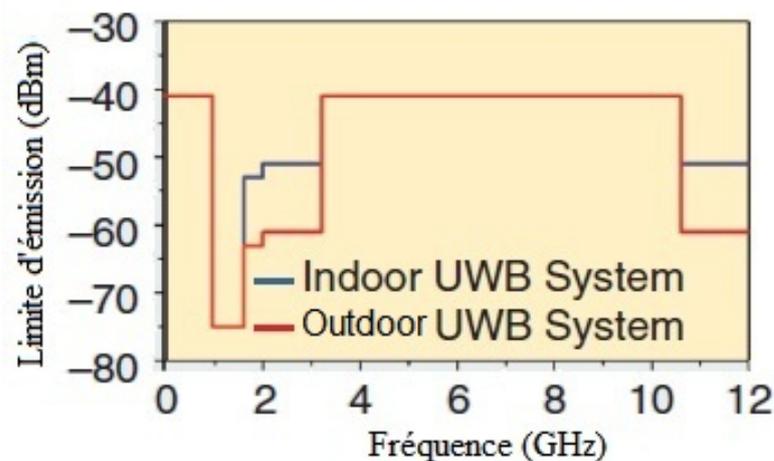


Figure IV.1. Gabarit de puissance à l'intérieur et celui de l'extérieur d'un système ULB [33].

Les recherches sur les techniques de transmission ULB ont connu une évolution croissante dans le monde des télécommunications. Celle-ci est motivée par le besoin d'avoir

des systèmes à la fois fonctionnant à des débits plus élevés, tel qu'exigé par les réseaux de communication sans fil personnels (*Wireless Personal Area Network* : WPAN) et avec une meilleure qualité de service.

Il existe plusieurs applications pour la technologie ULB. Certaines applications ont été utilisées depuis de nombreuses années, comme les radars ULB, alors que d'autres sont utilisées pour de nouvelles applications potentielles, à savoir les réseaux de capteurs ULB, l'identification radiofréquence (*Radio Frequency Identification* : RFID) ULB et les systèmes de positionnement ULB.

## IV.2. Avantages du système ULB

Les systèmes ULB ont plusieurs avantages, qui peuvent être résumés, dans les cinq points suivants [1] [32]:

- une large bande passante de 7.5 GHz, cela permet de prendre en charge un débit de données de transmission élevé variant entre 500 Mb / s et 1Gbps ;
- une faible densité d'énergie, sur un spectre large bande, grâce à l'utilisation de générateur d'impulsions courte durée. Cela augmente non seulement les propriétés de pénétration des systèmes ULB, mais réduit également les interférences sur d'autres systèmes RF ;
- une faible densité spectrale de puissance (PSD), définie comme étant le rapport de la puissance transmise en watt à la largeur de bande du signal en Hertz. En raison de l'énorme bande passante des systèmes ULB (3.1 à 10.6 GHz) attribuées par FCC, la PSD d'un tel système est encore moindre par rapport à celle des autres systèmes ou dispositifs de communication sans fil. Par exemple, pour un système IEEE 802.11a WLAN, la PSD de la puissance transmise, dans une bande passante de 20 MHz, est de 0.05 W / MHz, alors que pour un système ULB, elle est seulement de  $6.670 \times 10^{-8}$  W/MHz ;
- une faible puissance de transmission de l'ordre de 0.5 mW, ce qui est convenable pour les systèmes de radiocommunication portables ;
- une capacité exceptionnelle pour les applications qui nécessitent des hautes précisions de distance, de déplacement et de position telles que les capteurs, les radars (*Ground Penetrating Radar* : GPR) ainsi que la connectivité haute débit sans fil.

### IV.3. Etat de l'art des configurations des amplificateurs de LNA ULB

La conception d'amplificateurs faible bruit se fait généralement sur la base d'un compromis entre les principales performances du LNA, à savoir, l'adaptation en impédance, le gain, le facteur de bruit et la consommation de puissance. Pour cela, il existe plusieurs topologies de conception, chacune ayant ses avantages et ses inconvénients. Par conséquent, une topologie doit être choisie en fonction des exigences spécifiques du LNA. Parfois, une combinaison de topologies peut également être bénéfique afin de répondre aux exigences applicables pour une application donnée.

La principale préoccupation, dans la conception des LNA ULB, est d'avoir une adaptation en impédance dans la bande de fréquence désirée. Dans ce cadre, différentes topologies ont été proposées pour la conception de LNA ULB, à savoir, l'amplificateur distribué, l'amplificateur grille commune et l'amplificateur à base d'un filtre ULB.

#### IV.3.1. LNA ULB distribué

Le LNA distribué est basé sur une configuration chaîne (Figure IV.2). Cette dernière permet d'élargir la bande passante en découplant les capacités d'entrée des différents transistors utilisés moyennant deux lignes de transmission artificielles de grille et de drain d'une part, et d'augmenter le gain par la sommation des courants des différents étages, d'autre part [5] [35] [36]. Cette configuration s'apparente à un coupleur directif employant deux lignes artificielles, couplées pratiquement d'une manière unidirectionnelle par des transistors à effet de champ. Ce couplage unidirectionnel s'opère de la ligne de grille vers la ligne de drain, qui sont constituées respectivement des circuits dits k-constants ( $L_g, C_{gs}$ ) et ( $L_d, C_{ds}$ ).

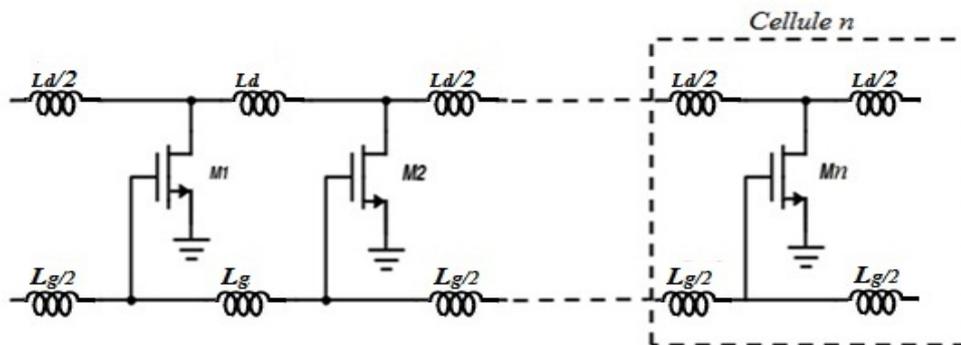


Figure IV.2. L'amplificateur distribué à base de transistors [5].

Du moment que la capacité  $C_{gs}$  et la transconductance du transistor MOSFET augmentent proportionnellement avec l'augmentation de  $W$ , l'augmentation de  $W$  entraîne une

diminution de la fréquence de coupure des deux lignes de grille et de drain  $f_c$ , dont l'expression de  $f_c$  est [5]:

$$f_c = \frac{2}{2\pi\sqrt{L_g C_{gs}}} \quad (IV.1)$$

La largeur  $W$  du transistor MOSFET doit donc être fixée à des valeurs qui permettent d'avoir un bon compromis entre le gain et la bande passante.

En technologie CMOS, la grande surface, occupée par l'amplificateur distribué, ainsi que sa consommation élevée de puissance, constituent deux principaux inconvénients de ce type d'amplificateurs.

### IV.3.2. LNA ULB à grille commune

La topologie grille commune est l'une des architectures fréquemment la plus utilisée dans la conception des LNAs ULB [37]-[39]. Dans la figure IV.3 [37], l'inductance  $L_{S1}$  est utilisée pour résonner avec la capacité équivalente à l'entrée du LNA. Le choix d'un dimensionnement et d'une polarisation appropriés du transistor principal  $M_1$ , est dicté par la condition  $\text{Re}\{Z_{11}\} = 1/g_m = 50\Omega$ , et ceci permet d'assurer l'adaptation en impédance à l'entrée sur une large gamme de fréquence.

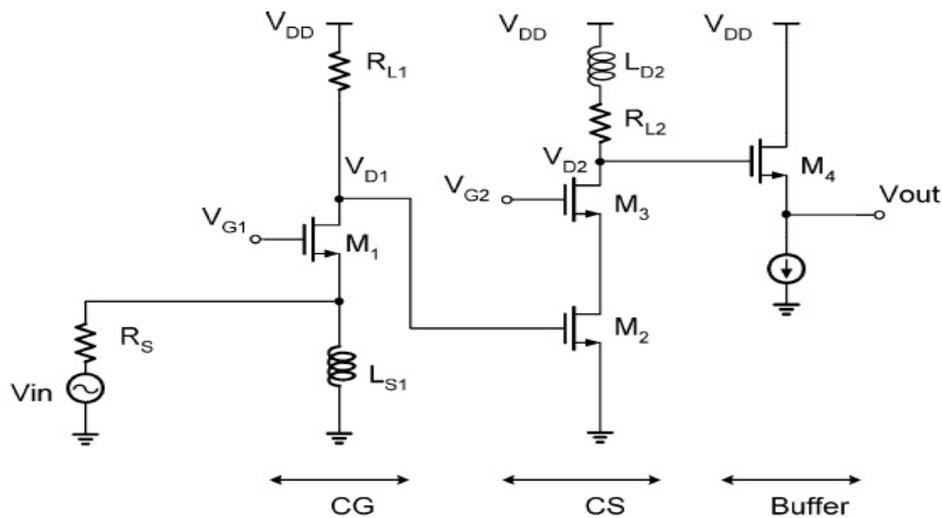


Figure IV.3. LNA ULB en topologie grille commune [37].

De plus, chaque étage de la configuration multi-étages en cascade, proposée dans l'article [37], résonne à une fréquence située à l'intérieur de la bande passante ULB. Cette configuration permet une compensation du gain et, par conséquent, l'obtention d'un gain pratiquement constant sur toute la bande désirée.

Sous la contrainte d'adaptation en impédance, le gain en puissance en topologie grille commune est relativement faible, et le facteur de bruit est élevé.

### IV.3.3. LNA ULB à base d'un filtre passe bande

La figure IV.4 (b) illustre un LNA ULB à base d'un filtre Chebyshev [40] [41], cette configuration est composée d'un LNA à bande étroite associé à un filtre passe bande (Figure IV.4(a)). Contrairement au LNA à dégénérescence inductive à bande étroite, qui utilise une seule inductance pour résonner, à la fréquence de travail, avec la capacité équivalente à l'entrée du LNA, le filtre passe-bande utilise plusieurs sections LC afin d'assurer un fonctionnement à large bande.

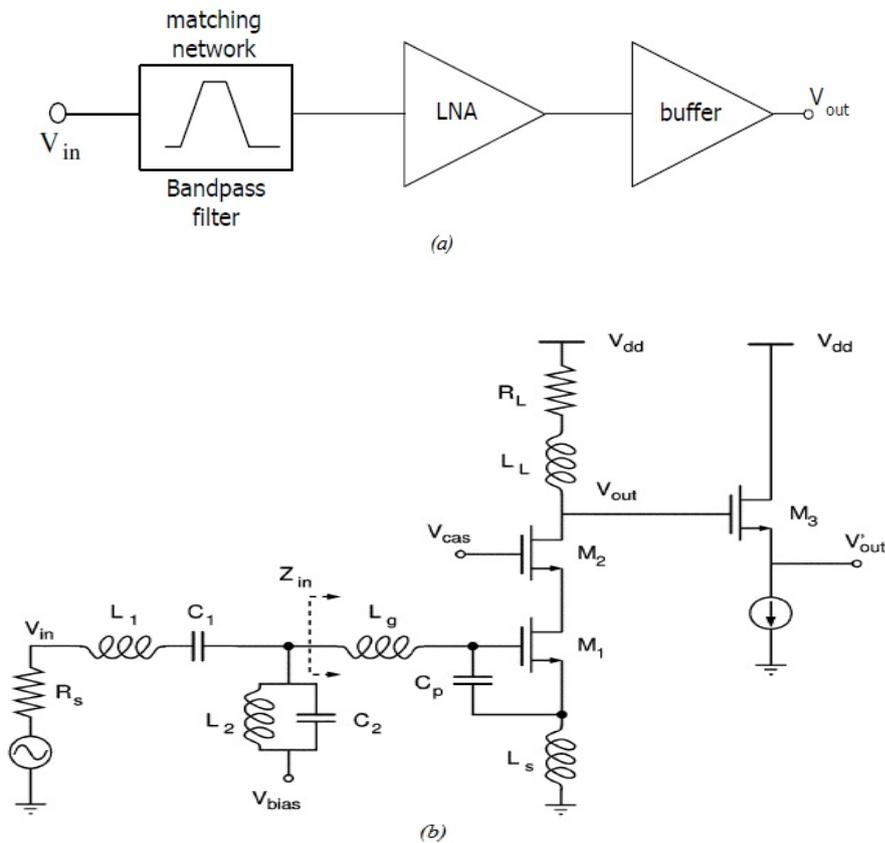


Figure IV.4. (a) Configuration de LNA ULB à base d'un filtre passe bande (b) LNA ULB à base d'un filtre Tchebychev [40].

Il faut noter que l'utilisation d'un nombre important d'inductances, notamment celles utilisées à l'entrée du LNA augmente considérablement le facteur de bruit et les pertes d'un côté, et occupe une surface de silicium plus importante d'un autre côté. C'est pour cela qu'il faut prendre en considération cet aspect lors de la conception.

### IV.3.4. Comparaison de performances des LNA ULB

Depuis les années 2000 et jusqu'à récemment encore, plusieurs travaux de conception de LNA ULB ont été publiés basés sur de nouvelles topologies et configurations afin d'obtenir des circuits de hautes performances. Le tableau IV.1 résume les résultats obtenus de quelques LNAs ULB implémentés en technologie CMOS 0.18  $\mu\text{m}$ .

Ref.	Année	Topo	$BW _{-3\text{dB}}$ (GHz)	$S_{11}$ (dB)	$NF_{\text{min}}$ (dB)	$G_{\text{max}}$ (dB)	$V_{\text{dd}}$ (V)	Conso. (mW)
[40]	2004	Chebyshev	2.4-9.5	<-9.4	4.2	10.4	1.8	9
[37]	2007	GC	0.4-10	<-10	4.4	12.4	1.8	12
[38]	2007	GC	1.2-11.9	<-11	4.5	9.7	1.8	20
[42]	2011	Distribué	0-18.4	<-8	3.5	11.8	1.8	38.2
[41]	2011	Chebyshev	3.1-10.6	<-9	2.7	12	0.9	7

Tableau IV.1. Performances des LNAs ULB en technologie CMOS 0.18  $\mu\text{m}$  jusqu'à 2011.

## IV.4. Conception du LNA ULB proposé

### IV.4.1. Proposition d'un LNA ULB

Un amplificateur faible bruit ultra-large bande est généralement le premier étage d'un récepteur ULB. Comme approuvé par la FCC, le récepteur ULB dispose d'une gamme de fréquences s'étalant de 3.1 à 10.6 GHz. Rappelons que le facteur de bruit du récepteur est dominé par le bruit du premier étage. Cela fait ressortir que le LNA ULB doit réduire la quantité de bruit ajouté autant que possible. De plus, l'efficacité du dispositif ULB dépend également du gain, fourni par le LNA, qui doit être élevé et quasiment constant sur toute la bande désirée, aussi l'adaptation en impédance à l'entrée doit être garantie pour toute la gamme de fréquence.

Dans le but de concevoir un LNA ULB, nous avons opté pour une configuration à deux étages placés en cascade dont les charges résonnent respectivement à la fréquence 3.1 GHz et à la fréquence 10.6 GHz (Figure IV.5). Le premier étage est un montage cascade basé sur la topologie source commune (SC) à dégénérescence inductive, tandis que le deuxième est une topologie source commune. Entre les deux étages, une inductance  $L_i$  est utilisée pour découpler la capacité de sortie du premier étage de la capacité à l'entrée du deuxième étage et ce, afin d'atteindre un gain quasiment plat. Enfin, le test du LNA pourrait être effectué moyennant un buffer (source suiveuse), à base d'un drain commun, permettant l'adaptation en sortie du LNA à l'impédance 50  $\Omega$ .

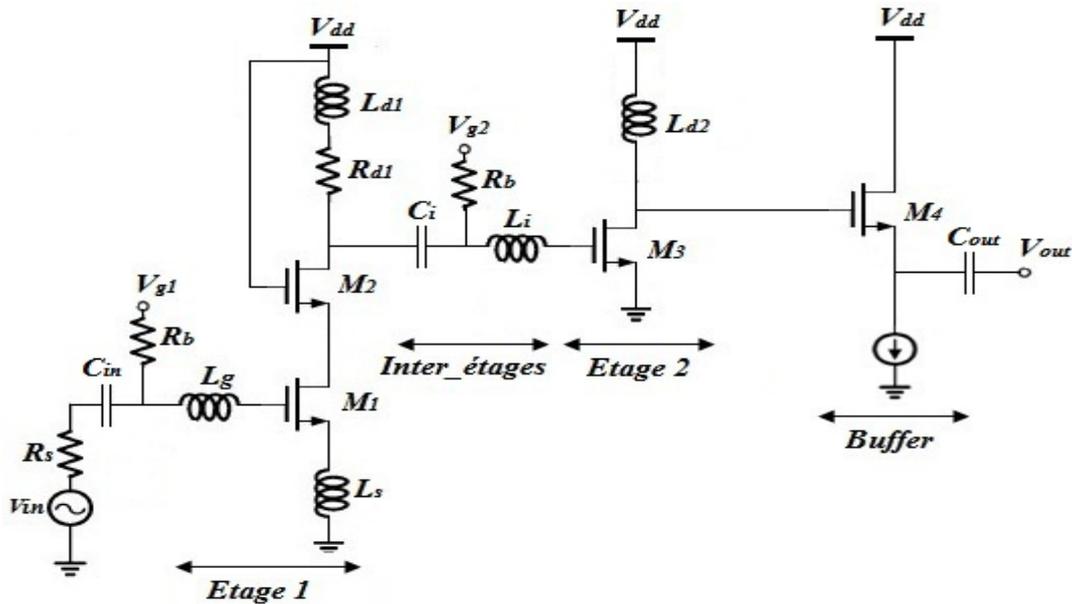


Figure IV.5. Schéma du LNA ULB proposé [43].

## IV.4.2. Conception du LNA ULB

### IV.4.2.1. Circuit à l'entrée du LNA ULB

Le circuit d'entrée du LNA proposé est basé sur la topologie source commune (SC) à dégradation inductive (Figure IV.6). Cette topologie, souvent utilisée dans la conception des LNAs à bande étroite, est aussi adoptée pour des applications ULB. Son circuit d'entrée est composé d'éléments LC (filtre du type passe bande) connecté à des impédances de source et de charge égales à  $50 \Omega$  et fonctionnant sur une large bande de fréquence. Cependant, l'un des inconvénients de cette configuration est l'utilisation d'un nombre important d'inductances, ce qui engendre les inconvénients cités précédemment.

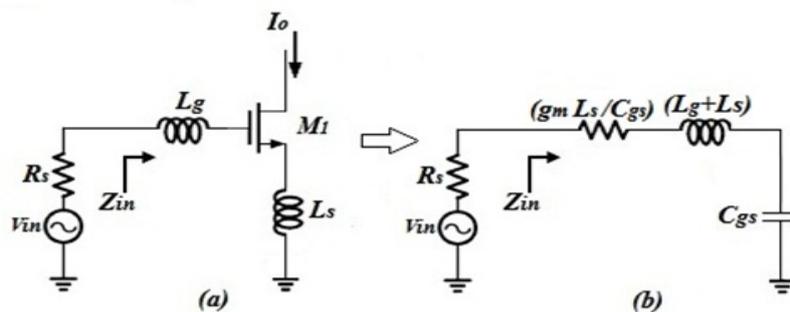


Figure IV.6. (a) Topologie SC à dégradation inductive, (b) son circuit équivalent à l'entrée [43].

Le circuit à l'entrée de la topologie SC à dégradation inductive, illustré dans la figure IV.6(b), est équivalent à un circuit RLC, son facteur de qualité est donné par [43] :

$$Q_1 = \frac{1}{\left( R_s + \frac{g_m L_s}{C_{gs}} \right) C_{gs} \omega} \quad (IV.2)$$

avec :

- $\omega = 2\pi f$  ;
- $R_s, g_m, C_{gs}$  et  $\omega$  sont , respectivement, la résistance de source, la transconductance du transistor  $M_1$ , la capacité grille-source de ce dernier et la pulsation.

Le facteur de qualité peut aussi s'exprimer, en fonction de la bande passante désirée

$\Delta f$  ( $\Delta f = f_{\max} - f_{\min}$ ) et de la fréquence centrale  $f_0$  (Annexe A) :

$$Q_2 = \frac{f_0}{\Delta f} \quad (IV.3)$$

avec :  $f_{\max}$  et  $f_{\min}$  les fréquences maximale et minimale délimitant la bande passante.

Pour réaliser l'adaptation en impédance à l'entrée du LNA sur une large bande de fréquence ( $f_{\min} < f < f_{\max}$ ) nous devons satisfaire les conditions suivantes :

- La partie imaginaire de  $Z_{in}$  doit être négligeable devant sa partie réelle sur toute la

$$\text{bande passante } BW \left( \left( (L_g + L_s) \omega - \frac{1}{C_{gs} \omega} \right) \ll \frac{g_m L_s}{\omega} \right) ;$$

- La partie réelle de  $Z_{in}$  doit être pratiquement égale à la résistance de source

$$\left( R_s \approx \frac{g_m L_s}{\omega} \right) ;$$

- Le facteur de qualité  $Q_1$  doit être fixé à une valeur inférieur ou égale à  $f_0 / \Delta f$

$$(Q_1 \leq Q_2).$$

Pour les applications ULB,  $f_{\min}$  et  $f_{\max}$  sont respectivement fixées à 3.1 GHz et 10.6 GHz. On en déduit  $f_0 = (f_{\max} + f_{\min})/2 = 6.85$  GHz. En remplaçant  $f_{\min}$ ,  $f_{\max}$  et  $f_0$  par leur valeur dans (IV.3), nous trouvons  $Q_2 \approx 0.92$ . Ce qui nous permet de déterminer la valeur de la capacité  $C_{gs}$ . En effet, en remplaçant  $Q_1$  par  $Q_2 = 0.92$ , la fréquence  $f$  par  $f_0$  et la

résistance  $R_s = \frac{g_m L_s}{\omega_0}$  par  $50 \Omega$  (condition d'adaptation) dans la relation (IV.2), nous

obtenons  $C_{gs} = 0.25$  pF. Cette valeur de  $C_{gs}$  permet de déduire celle de l'inductance totale

$L_{tot} = (L_g + L_s)$ , et ce, en appliquant la condition de résonance  $(L_{tot} C_{gs} \omega_0^2) = 1$ . La valeur ainsi obtenue est  $L_{tot} = 2.14 \text{ nH}$ .

Afin de vérifier l'adaptation large bande du circuit équivalent de la figure IV.6(b) pour les valeurs de  $L_{tot}$  et  $C_{gs}$  calculées pour  $Q_1 \leq 0.92$  (Tableau IV.2), nous avons tracé les graphes du coefficient de réflexion  $S_{11}$  pour différentes valeurs du facteur de qualité  $Q_1$  (Figure IV.7), en utilisant le logiciel ADS.

Facteur de qualité $Q_1$	0.92	0.45	0.30	0.15
$L_{tot}$ (nH)	2.14	1.04	0.69	0.35
$C_{gs}$ (pF)	0.25	0.52	0.77	1.55

Tableau IV.2. Valeurs de l'inductance  $L_{tot}$  et de la capacité  $C_{gs}$  du circuit d'entrée pour différentes valeurs de  $Q_1$ .

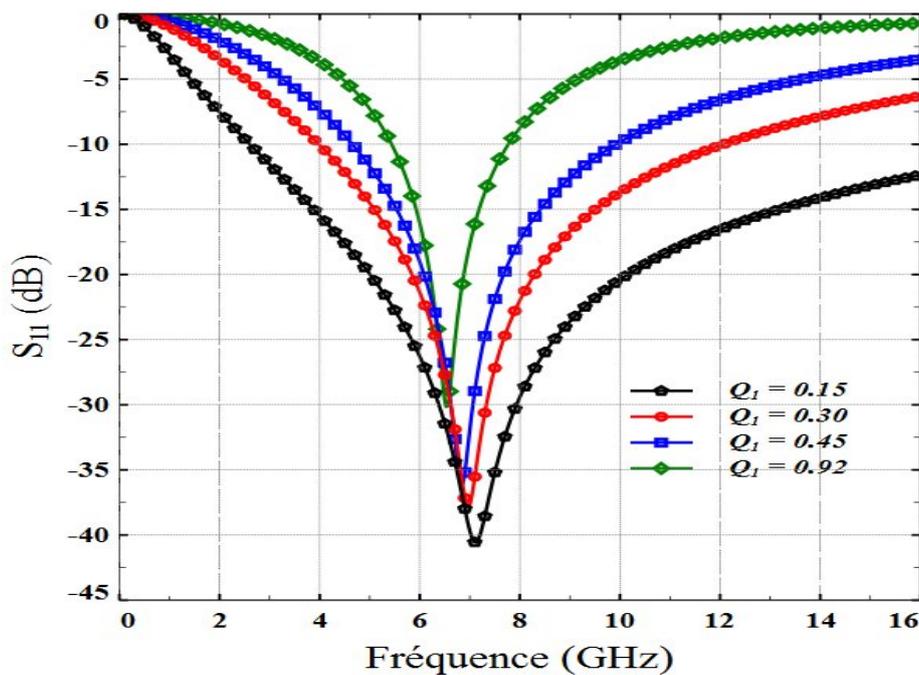


Figure IV.7.  $S_{11}$  du circuit d'entrée de LNA en fonction de la fréquence pour différentes valeurs de  $Q_1$  [43].

D'après la figure IV.7, nous remarquons que la plage de fréquence, dans laquelle nous avons l'adaptation ( $S_{11} < -10 \text{ dB}$ ), varie en fonction de  $Q_1$ , plus le facteur de qualité diminue et plus la plage de fréquence augmente.

En vue de concevoir le circuit à l'entrée du LNA à dégénérescence inductive, l'influence du facteur de qualité  $Q_1$  sur les autres performances de l'amplificateur, telles que le bruit et la puissance de consommation, doit être prise en compte.

Pour ce faire, un programme sous MATLAB (Annexe B) a été développé. L'utilisation de l'équation (III.13) de la technique PCNO et les paramètres technologiques du transistor CMOS 0.18  $\mu\text{m}$  (Tableau III.1), nous a permis de tracer les contours du facteur de bruit moyen ( $NF_{\text{moy}}$ ), sur la gamme de fréquence ULB, en fonction de  $Q_1$  et ce, pour différentes valeurs de la puissance de consommation ( $P_{\text{cons}}$ ). Les résultats obtenus sont illustrés dans la figure IV.8, qui confirment, une fois de plus, l'antagonisme des performances.

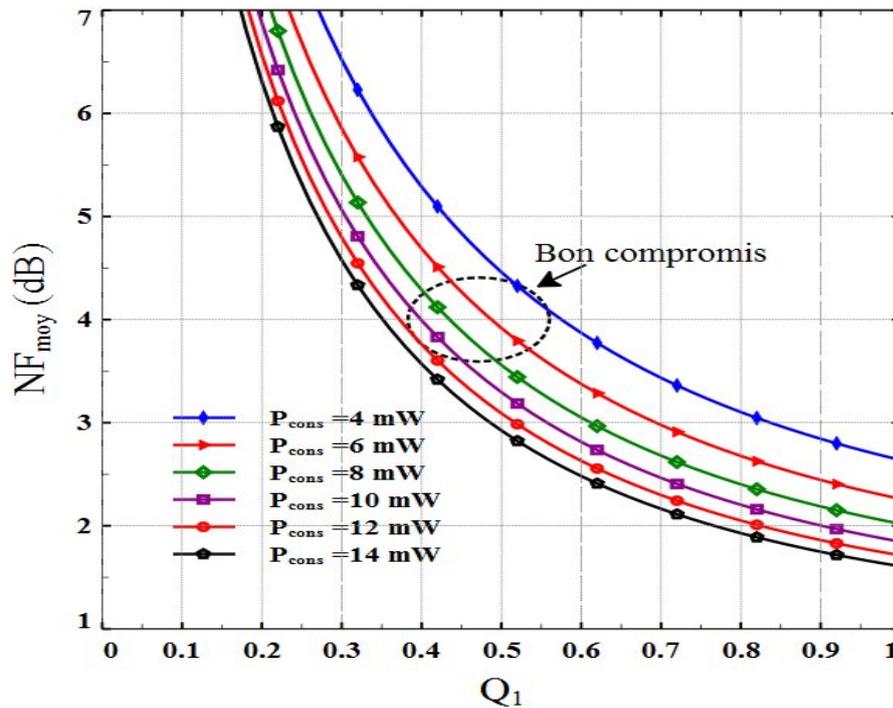


Figure IV.8. Contour du  $NF_{\text{moy}}$  en fonction de  $Q_1$  pour différents  $P_{\text{cons}}$  [43].

En se basant sur l'état de l'art des performances des LNAs ULB (Tableau IV.1), la consommation de puissance doit être limitée entre 4 mW et 12 mW, tandis que le facteur de bruit doit être compris entre 3.7 dB et 4.5 dB, à cet effet, le facteur de qualité  $Q_1$  devrait être choisi entre 0.35 et 0.55.

#### IV.4.2.2. Conception des différents étages

Lorsque la charge du transistor ( $M_2$ ) est purement résistive, le gain de cet étage est proportionnel à  $g_m R_{d1}$  ( $g_m$  est la transconductance globale du montage cascade). Cependant, lorsque la fréquence augmente le gain se dégrade à cause de la diminution de l'impédance de la capacité parasite ( $C_{gd}$  de  $M_2$ ). Pour remédier à cet inconvénient, nous avons recouru à l'une des techniques les plus utilisées, qui est la technique shunt-peaked (Annexe A) et qui consiste à augmenter l'impédance de sortie. Son principe est d'ajouter une inductance  $L_{d1}$  en

série avec la résistance  $R_{d1}$ , ce qui permet d'obtenir une impédance qui augmente avec la fréquence. Cela a pour effet d'allonger la bande passante à -3dB.

En ce qui concerne le deuxième étage, le transistor  $M_3$  est monté en source commune. Augmenter le gain de cet étage revient à augmenter sa transconductance  $g_{m3}$ , et pour cela, la largeur  $W_3$  de  $M_3$  doit être choisie la plus élevée possible. Néanmoins, une grande valeur de  $W_3$  fait accroître, à la fois, la consommation de la puissance et réduire la bande passante. Par conséquent, nous sommes amenés à rechercher un compromis entre ces paramètres.

La valeur de l'inductance d'inter-étages  $L_i$  est obtenue par simulation paramétriques en variant la valeur de  $L_i$  jusqu'à l'obtention d'un gain quasiment plat.

Concernant le circuit de polarisation, une résistance  $R_b$  de grande valeur a été choisie afin d'empêcher les signaux RF de se propager par l'alimentation et de minimiser, voire annuler le bruit qu'elle génère.

Pour une consommation de 8 mW, le facteur de qualité vaut 0.47 à la fréquence centrale  $f_0=6.85$  GHz. Les valeurs des différents éléments du LNA ULB conçu en technologie CMOS 0.18  $\mu\text{m}$  sont déterminées en suivant la même méthodologie de conception citée dans le chapitre 3. Les valeurs des composants ainsi que celles des tensions de polarisation sont données dans le Tableau IV.3 :

Trans	W ( $\mu\text{m}$ )	Ind	(nH)	Cap	(pF)
$M_1$	512	$L_s$	0.53 (W=15 $\mu\text{m}$ ; N=1.5 ; R=36 $\mu\text{m}$ )	$C_{in}$	3.6 (W=30 $\mu\text{m}$ ; L=30 $\mu\text{m}$ )
		$L_g$	1.01 (W=6 $\mu\text{m}$ ; N=2.5 ; R=32 $\mu\text{m}$ )	$C_{out}$	3.6 (W=30 $\mu\text{m}$ ; L=30 $\mu\text{m}$ )
		$L_{d1}$	4.68 (W=6 $\mu\text{m}$ ; N=3.5 ; R=86 $\mu\text{m}$ )		
$M_2$	256	$L_{d2}$	1.5 (W=6 $\mu\text{m}$ ; N=2.5 ; R=50 $\mu\text{m}$ )	$C_i$	1.1 (W=23 $\mu\text{m}$ ; L=23 $\mu\text{m}$ )
$M_3$	95	$L_i$	1.28 (W=6 $\mu\text{m}$ ; N=2.5 ; R=42 $\mu\text{m}$ )		
$M_4$	44	Tensions de polar	(V)	Résis	( $\Omega$ )
		$V_{g1}$	0.57	$R_{d1}$	60 (W=0.42 $\mu\text{m}$ ; L=3.6 $\mu\text{m}$ )
		$V_{g2}$	0.65	$R_b$	5000 (W=3.5 $\mu\text{m}$ ; L=61.5 $\mu\text{m}$ )

Tableau IV.3. Valeurs des composants et des tensions de polarisation du LNA ULB conçu [43].

## IV.5. Résultats de simulation du LNA ULB

Les différentes simulations du LNA ULB conçu ont été effectuées à l'aide du simulateur Spectre RF supporté sur le logiciel Cadence. Un procédé CMOS 0.18  $\mu\text{m}$ , de la fonderie de silicium TSMC, contenant les différents modèles des composants CMOS, a été utilisé.

Pour montrer l'amélioration de la réponse en fréquence de l'amplificateur, en termes de bande passante, en utilisant l'inductance  $L_i$  d'inter-étages, nous avons tracé les courbes du gain de transfert en puissance  $|S_{21}|^2$  (en dB), avec et sans  $L_i$  (Figure IV.9).

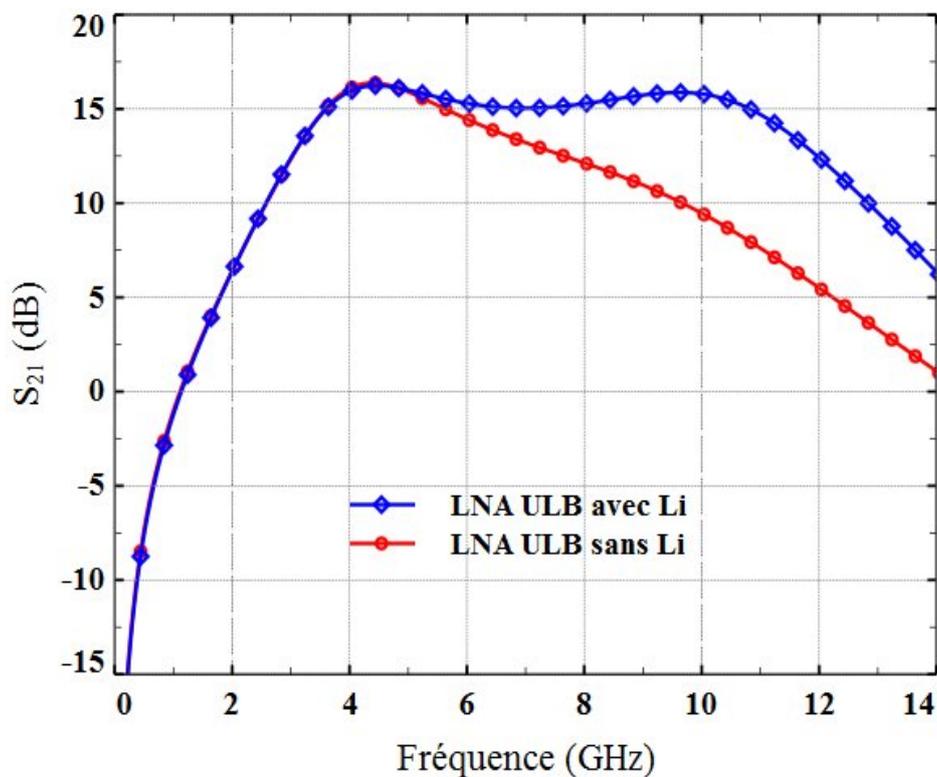


Figure IV.9. Comparaison des gains du LNA ULB avec et sans l'inductance d'inter étages  $L_i$  [43].

La courbe du gain du LNA ULB sans  $L_i$  indique qu'il y a décroissance du gain à partir de la fréquence 5 GHz. Cette chute est due principalement à la capacité équivalente aux capacités parallèles des deux étages, montés en cascade. Tandis que, la décroissance du gain avec  $L_i$  débute à une fréquence supérieure à 10 GHz, ce qui procure un élargissement conséquent de la bande passante.

Le dessin physique (Layout) du circuit LNA, illustré par la figure IV.10, est obtenu après toute une série d'opérations qui consiste à rendre le LNA le moins encombrant possible et le moins bruyant possible en agissant sur les capacités et les résistances équivalentes des lignes d'interconnexion.

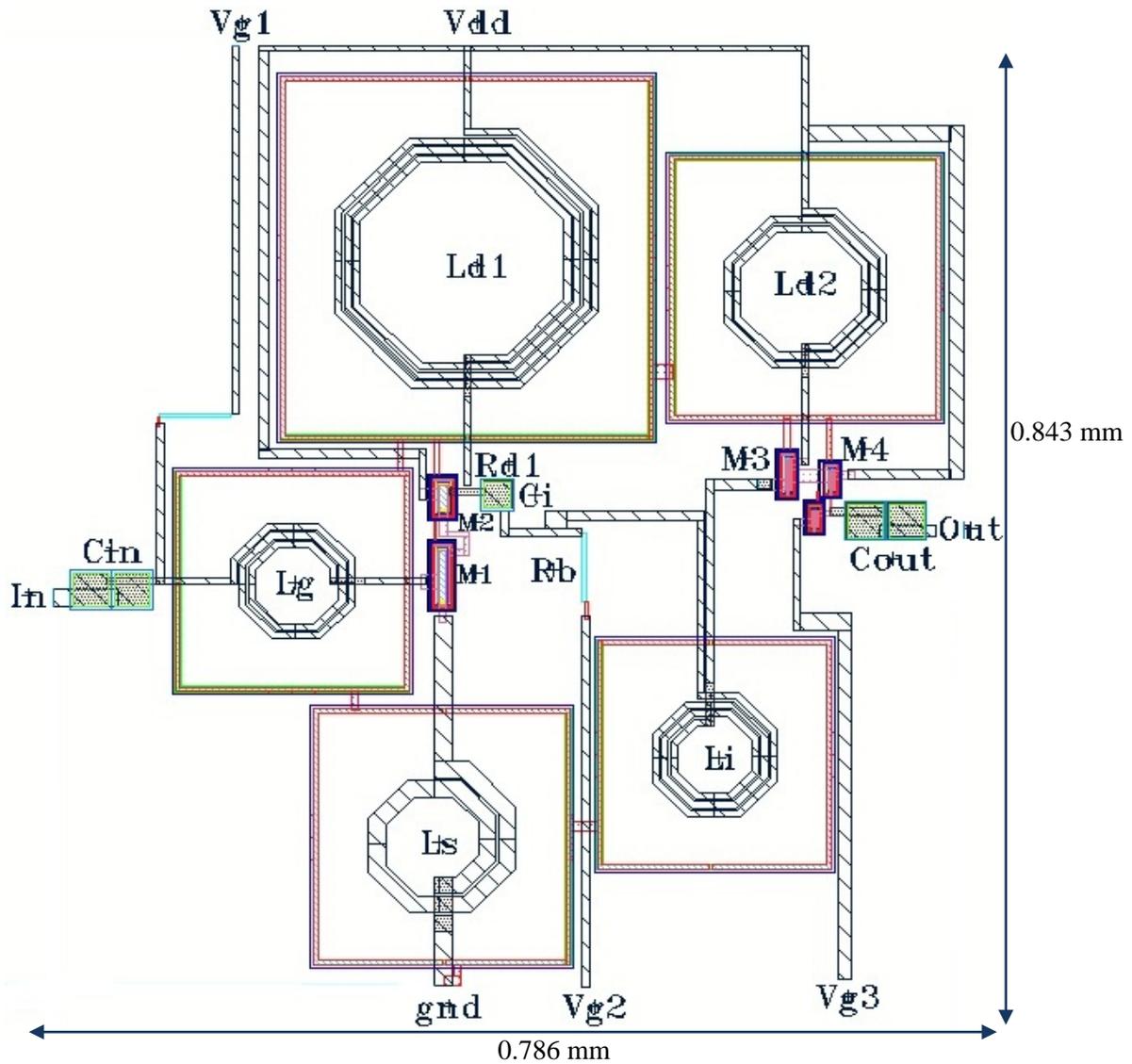


Figure IV.10. Layout du LNA ULB proposé [43].

Les résultats des simulations pré-layout et post-layout des différentes performances du LNA ULB, en fonction de la fréquence, sont donnés par les figures IV.11, IV.12, IV.13, IV.14 et IV.15.

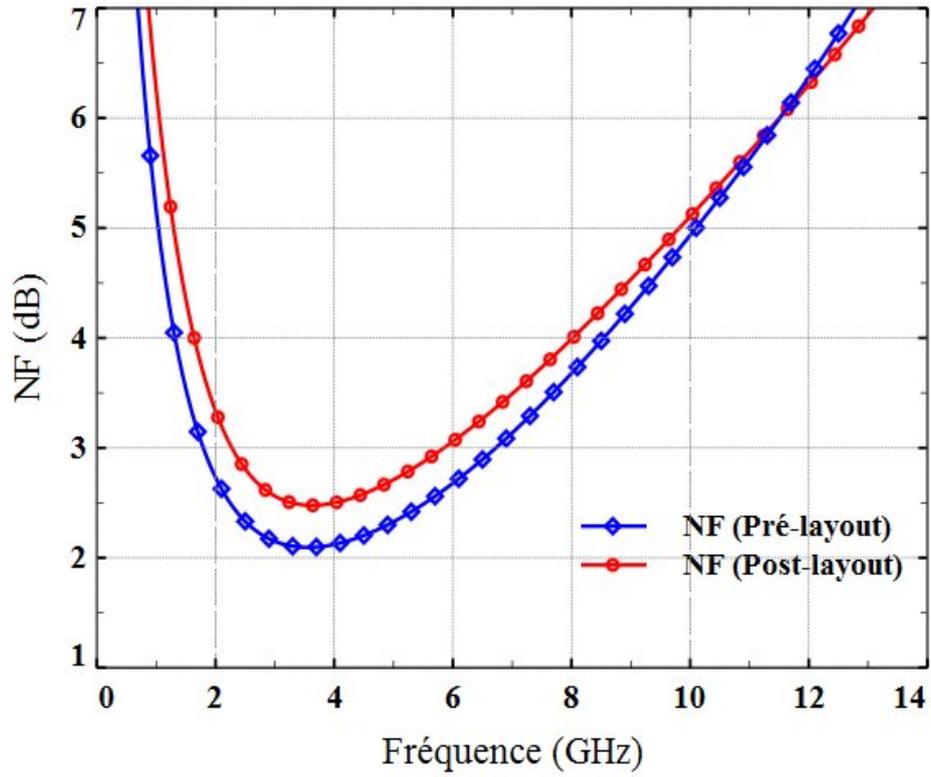


Figure IV.11. Facteur de bruit du LNA ULB [43].

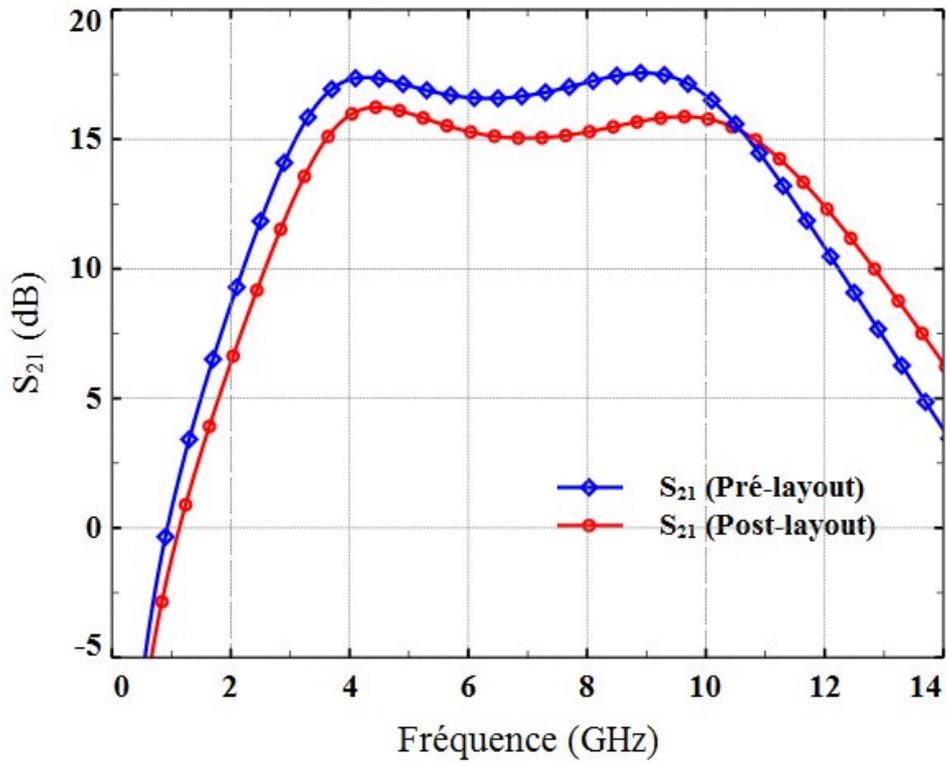


Figure IV.12. Gain du LNA ULB [43].

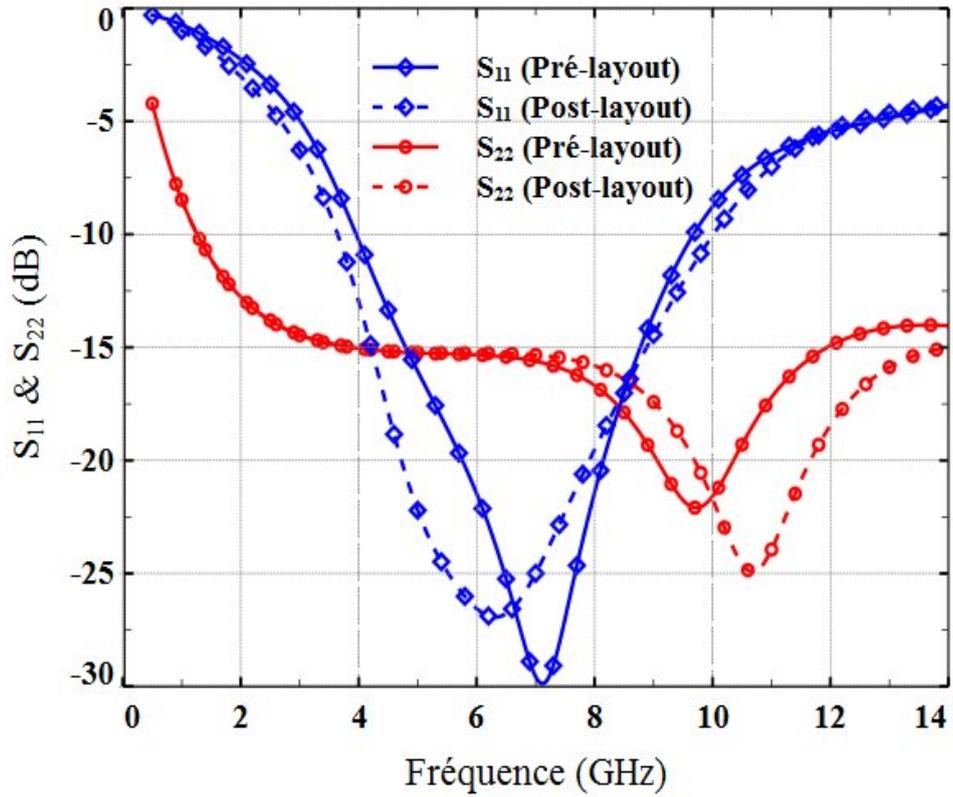


Figure IV.13. Coefficients de réflexion d'entrée ( $S_{11}$ ) et de sortie ( $S_{22}$ ) du LNA ULB [43].

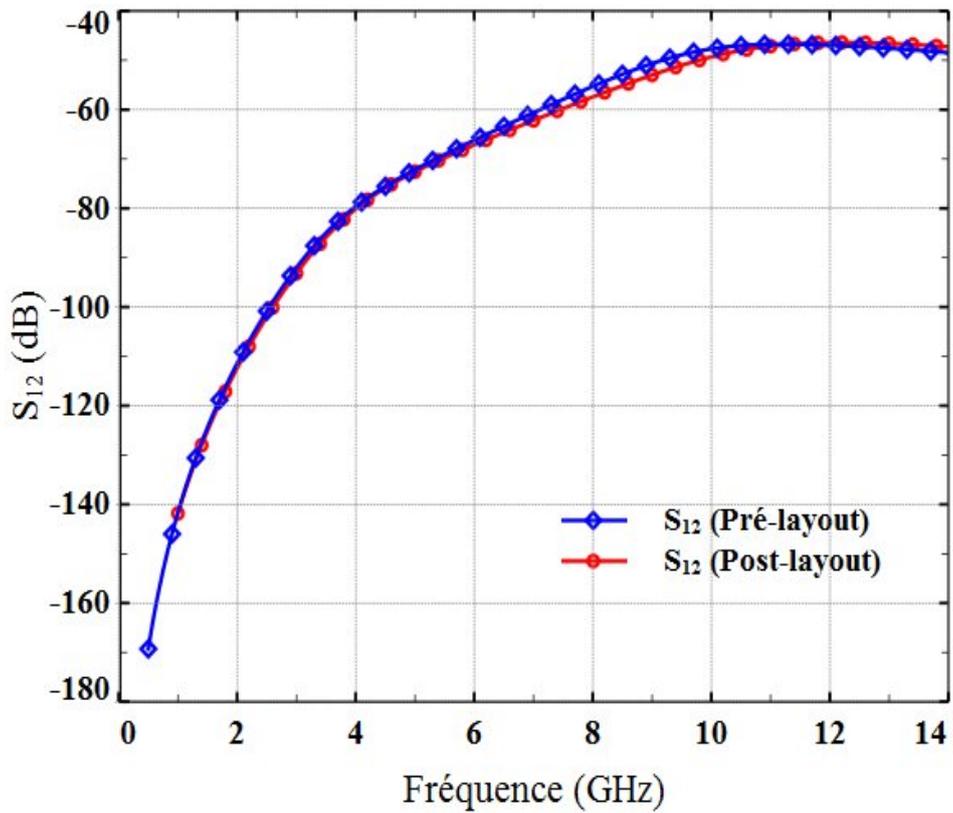


Figure IV.14. Coefficient de transmission  $S_{12}$  du LNA ULB [43].

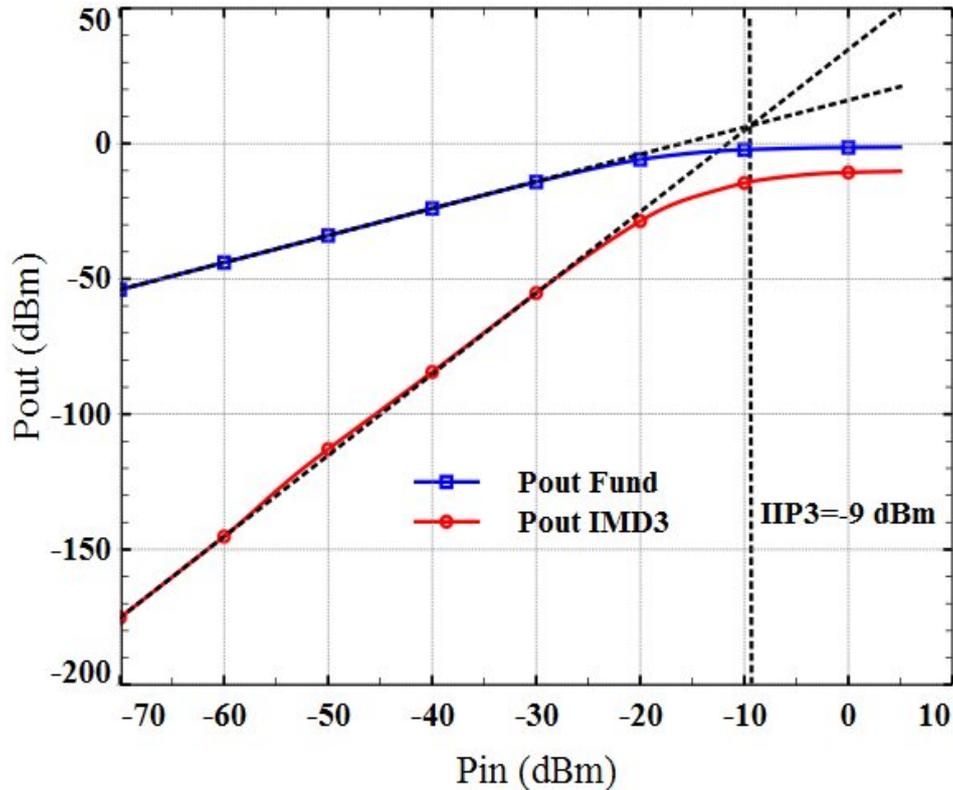


Figure IV.15. Le produit d'intermodulation d'ordre trois du LNA ULB à 6.85 GHz [43].

A partir de ces courbes, Nous remarquons, d'une manière générale, une certaine dégradation des performances du LNA, cela est due essentiellement aux éléments parasites des lignes d'interconnexion non pris en considération lors de la simulation pré-layout.

De façon plus détaillée, les constats suivants peuvent être tirés à partir des résultats de la simulation post-layout:

- $|S_{21}|^2$  maximal est égal à 16.2 dB avec un taux d'ondulation de  $\pm 1.2$  dB dans toute la bande de fréquence. On estime que c'est un gain suffisamment élevé pour les applications ULB ;
- NF est inférieur à 5.4 dB sur la bande utile avec une valeur minimale  $NF_{\min}=2.47$  dB. On peut dire que le niveau de bruit du LNA conçu est acceptable comparativement avec ceux présentés dans l'état de l'art.
- excellente adaptation ( $|S_{11}|^2$  (dB) < -10 dB) sur une grande partie de la bande passante [3.8 GHz - 9.9GHz]. Cependant, la légère dégradation de  $S_{11}$  sur les extrémités de la bande ULB peut s'expliquer par le choix d'un facteur de qualité à l'entrée

relativement élevé, imposé par le bon compromis recherché entre les différentes performances du LNA (Figure IV.8).

- $|S_{12}|^2$  inférieur à -45 dB, cela indique une très bonne isolation sortie-entrée qui confirme l'aptitude du cascode à améliorer l'isolation ;
- $|S_{22}|^2$  inférieur à -15 dB sur toute la bande ULB indiquant la sortie du circuit est bien adaptée. Cela confirme la capacité du buffer à adapter le circuit LNA;
- la puissance consommée par le LNA est  $P_{cons}=16.5$  mW avec une tension d'alimentation de 1.8 V.

En conclusion, nous pouvons dire que le LNA ULB-présente un bon compromis entre les différentes performances (Tableau IV.4) comparativement à celles des autres LNAs ULB, présentés dans l'état de l'art (Tableau IV.1).

Performances	Pré-layout	Post-layout
$BW _{-3dB}$ (GHz)	2.9-11	3.1-11.8
$NF_{min}$ (dB)	2.06	2.47
$G_{max}$ (dB)	17.4	16.22
$S_{11}$ (dB)	<-7	<-8.2
$S_{22}$ (dB)	<-15	<-15
$S_{12}$ (dB)	<-45	<-43
IIP3 (dBm)	-	-9
$P_{cons}$ (mW)	16.5	16.5

Tableau IV.4. Performances simulées de LNA ULB conçu.

D'après le gabarit de puissance à l'intérieur (indoor) et celui de l'extérieur (outdoor) (Figure IV.1), une rigueur est exigée concernant la réjection aux deux extrémités de la bande passante ULB (3.1-10.6 GHz). Aussi, un degré d'atténuation très élevé est recommandé sur la limite gauche de la bande utile (3.1 GHz).

Ces exigences visent à pallier toutes sortes de perturbations ou d'interférences provenant des récepteurs des systèmes de radiorepérage GPS (*Global Positioning System*) situés dans la bande [0.96-1.61 GHz], ou des systèmes de communication sans fil PCS (*Personal Communications Service*) autour de 1.9 GHz, ou le Bluetooth opérant à 2.4 GHz. Cependant, la plupart des LNAs ULB, conçus auparavant, y compris celui de ce présent travail, présentent une sélectivité dégradée. Pour remédier à ce problème, un filtre ULB, caractérisé par une réponse très abrupte aux extrémités de la bande passante, doit être placé à l'entrée du LNA (Figure IV.16). Deux types de filtre passe bande ULB peuvent être envisagés. Le premier est un filtre à base d'éléments localisés, réalisé à base de la technologie CMOS, tandis que le

deuxième est un filtre à base d'éléments distribués, donc un filtre qui n'est pas conçu selon la technologie CMOS (appelé filtre PCB).

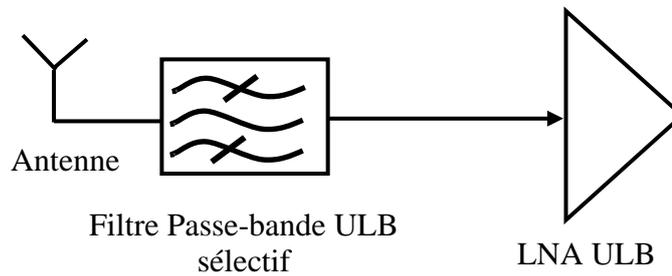


Figure IV.16. Filtre sélectif passe bande ULB mis en cascade avec un LNA ULB [43].

## IV.6. Conclusion

La conception et la simulation d'un amplificateur faible bruit ultra large bande (ULB) en technologie CMOS 0.18  $\mu\text{m}$ , ont été présentées dans ce chapitre.

La méthodologie de conception proposée dans ce chapitre a permis, en utilisant la topologie cascode à dégénérescence inductive dédiée généralement aux applications RF à bande étroite, d'obtenir de bonnes performances en termes de facteur de bruit, de gain ainsi qu'une bonne adaptation en entrée pour les applications ULB comparativement aux autres topologies citées dans l'état de l'art (Tableau IV.1).

Dans le chapitre suivant, nous allons présenter une nouvelle méthode de conception d'un filtre passe-bande PCB (*Printed Circuit Board*), que nous avons développé. Les résultats découlant de l'utilisation de ce filtre et d'un filtre conventionnel en technologie CMOS montreront, d'une manière claire, la suprématie du premier sur le second à tout point de vue. De plus, l'ajout de filtre en PCB permettra l'amélioration de la rejection en dehors de la bande passante du LNA ULB proposé par rapport à celle apportée par l'utilisation de filtre en technologie CMOS.

# **Chapitre V**

## CONCEPTION DE FILTRES PASSE-BANDE MICROONDES ULTRA LARGE BANDE

### V.1. Introduction

Au moment où un système à bande étroite nécessite généralement un mélangeur et un oscillateur pour la réception et un amplificateur de puissance pour l'émission, un front-end ULB ne comprend que : un amplificateur à faible bruit (LNA), un filtre micro-onde, une antenne et un système de modulation beaucoup plus simple [1] [33]. Par conséquent, le coût d'un système ULB est beaucoup plus faible que celui d'un système de communication à bande étroite. Les figures V.1(a), et (b) illustrent, respectivement, l'architecture de l'émetteur et du récepteur d'un système de communication ULB [1] [33].

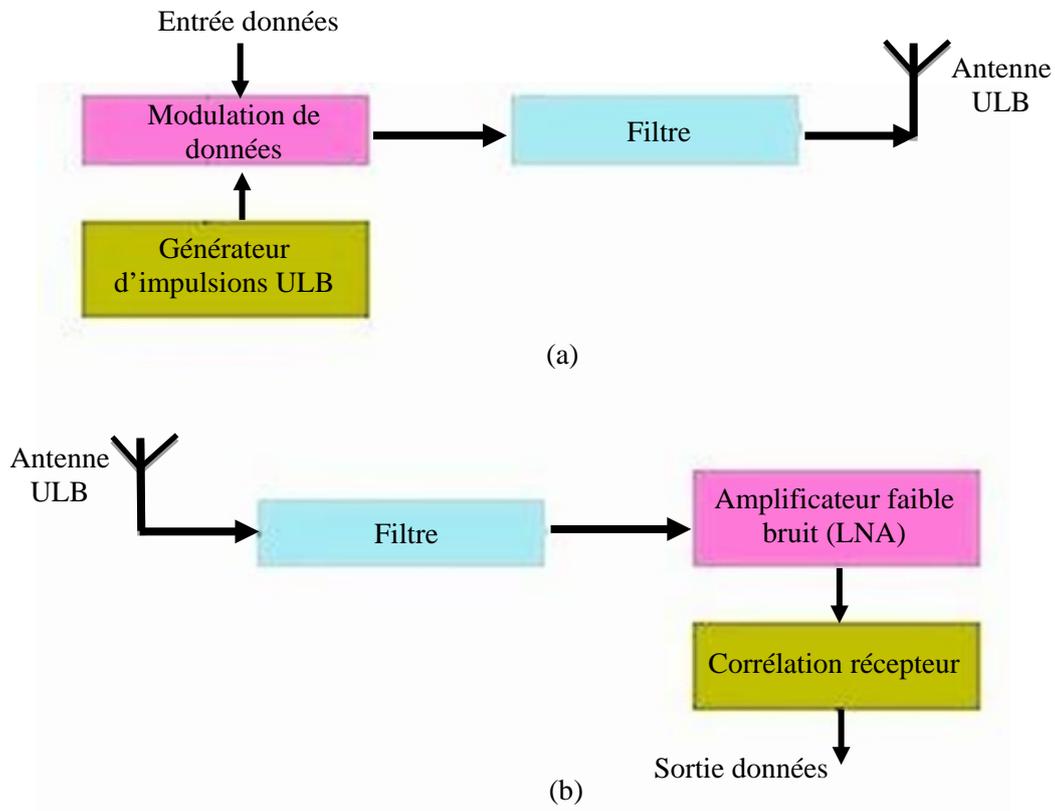


Figure V.1. Schéma typique ULB à faible consommation de puissance d'un (a) émetteur, (b) récepteur [1] [33].

La distribution spectrale des systèmes de communication ULB, à faible consommation en puissance, telle qu'elle a été définie dans la norme IEEE 802.15.4a, est illustrée par la figure V.2 [33].

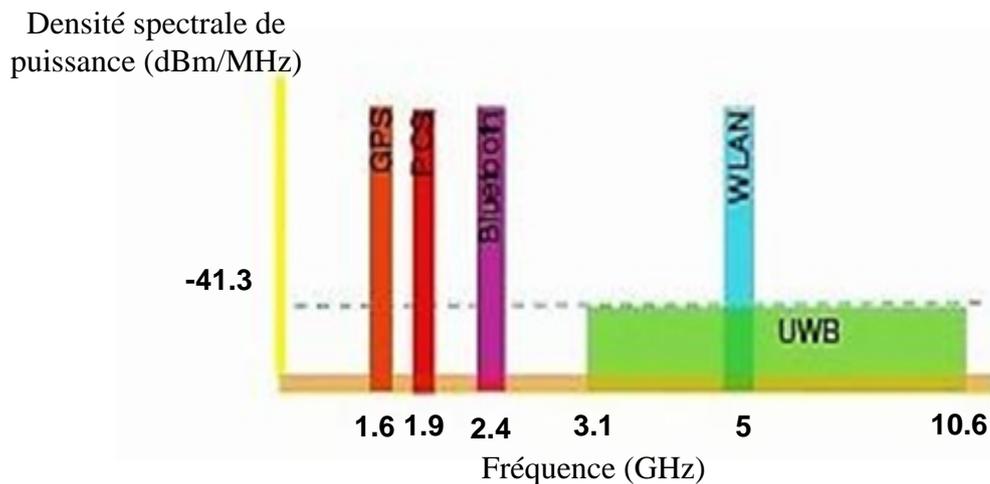


Figure V.2. Distribution spectrale de système ULB et d'autres systèmes à bande étroite de puissance plus élevée [33].

La figure V.2 montre que le filtre passe-bande microonde ULB (FPB ULB) est un composant clé dans le système ULB. Ce dernier rejette les signaux parasites et améliore les performances du système ULB. Pour transmettre ou recevoir un signal de haute qualité, le FPB ULB doit avoir non seulement une bande passante ultra large, mais aussi d'autres performances telles que :

- la platitude de la réponse du filtre sur toute la bande utile qui s'étale de 3.1 GHz à 10.6 GHz ;
- la raideur de la courbe de réponse, qui doit être très élevée en vue de rejeter les fréquences des signaux radio adjacentes telles que les fréquences de systèmes de positionnement globaux GPS autour de la fréquence 1.6 GHz, les fréquences de services de communications personnelles PCS (services de communications personnelles) autour de 1.9 GHz et celles de Bluetooth pour la fréquence 2.4 GHz ;
- le temps de retard de groupe doit avoir une très faible valeur (de l'ordre de quelques nanosecondes) et de petites variations sur toute la bande passante afin de minimiser les distorsions ;
- la réduction des interférences provenant des systèmes radio existants situés au sein même de la bande passante ULB par l'introduction des bandes de réjection (Notch Filter);
- la compacité du filtre ;
- la facilité d'implémentation.

Ces exigences sont une traduction des spécifications de la FCC, lesquelles augmentent les défis à relever par les concepteurs des systèmes sans fil ULB, en particuliers les filtres

ULB. Pour répondre à ces exigences, les concepteurs de filtres ULB se sont orientés vers de nouvelles structures, composées essentiellement de lignes de transmission (ligne micro-ruban notamment) qui sont considérées comme des éléments à constantes réparties. Ces nouvelles structures de filtres, nommés filtres compacts en raison de leur encombrement réduit, ne peuvent pas être conçues en recourant à la synthèse des filtres conventionnelles. Pour de tels filtres, d'autres méthodes de conception doivent donc être développées.

## V.2. Conception de filtres compacts passe-bande ULB

Jusqu'à présent, plusieurs travaux relatifs au développement de méthodes de conception de filtres ULB répondant plus ou moins aux exigences précédentes ont été réalisés [44-48]. La majorité des concepteurs utilisent la même méthode de conception par les résonateurs multimodes (*Multi-Mode Resonator* : MMR), qui a pour principe l'analyse de la structure en mode de fonctionnement pair et impair. Ceci sous-entend que les filtres, adoptés ou proposés, doivent être des structures symétriques. Dans le sous paragraphe suivant, nous allons introduire la description de la méthode MMR.

### V.2.1. La méthode MMR

La technique du MMR consiste à utiliser de simples structures qui permettent de générer un certain nombre de modes de résonance situés le long du spectre ULB. Le concept de cette méthode a été initialement proposé par L. Zhu [49], puis développée dans les articles [45-50]. Dans le but d'améliorer les performances du filtre, R. Li et H. Wei Deng ont travaillé sur l'amélioration de la réponse du filtre en augmentant le nombre de modes de résonance à l'intérieur de la bande utile [45] [47]. En outre, B. Yao et Q.X. Chu ont proposé de nouvelles structures de tailles relativement réduites permettant de fournir plus de degrés de liberté, ce qui permet d'ajuster aisément l'emplacement des modes de résonance et les zéros de transmission, et par voie de conséquence, améliorer la raideur de réjection, connue dans la littérature par le mot sélectivité, ainsi que la réjection hors-bande du filtre [46][48][50].

### V.2.2. Conception d'un FPB ULB à base des résonateurs à saut d'impédance

La structure du résonateur à saut d'impédance (*Stepped Impedance Resonator* : SIR), illustrée dans la figure V.3(a) [49], est la topologie originale, utilisée comme filtre ULB. Cette structure comprend une ligne centrale de faible impédance caractéristique, caractérisée par l'admittance  $Y_1$  la longueur  $2\theta_1$ , et deux lignes identiques d'admittance itérative faible  $Y_2$  et de longueur  $\theta_2$ , connectées aux deux extrémités de la ligne centrale. Il a été noté que cette

topologie présente quelques inconvénients notamment au niveau de la sélectivité du filtre (Figure V.3(b)).

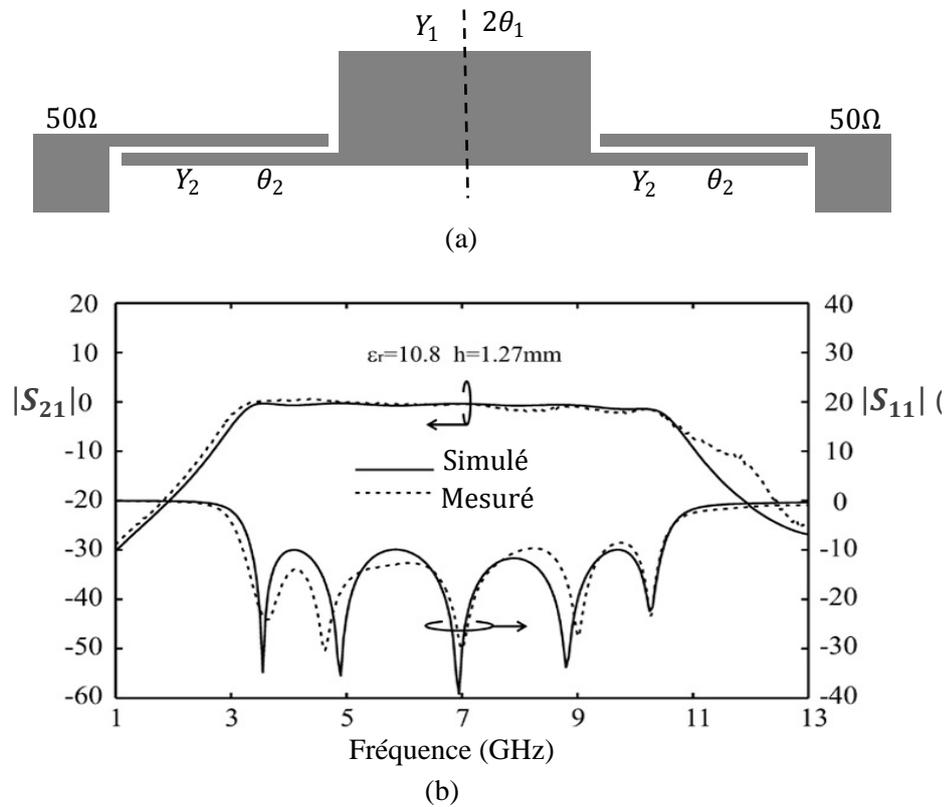


Figure V.3. (a) Schéma du filtre compact passe-bande ULB, (b) résultats simulés et mesurés des pertes d'insertion et de retour du filtre [49].

### V.2.3. Conception d'un FPB ULB à base d'un résonateur et d'un stub à saut d'impédances

La figure V.4(a) représente une nouvelle structure d'un filtre compact proposé par Qing-Xin Chu[48]. Cette structure permet d'améliorer les performances électriques du filtre comparativement à celles du filtre, présentées dans la figure V.3(b). Le circuit de base est composé de deux lignes de transmission placées en cascade constituant une ligne à saut d'impédance de longueurs électriques  $2\theta_3$  et  $\theta_4$  et d'admittances caractéristiques  $Y_3$  et  $Y_4$ , cette ligne à saut d'impédance est alimentée par  $50\Omega$  et chargée également par  $50\Omega$ . Le milieu de cette ligne est connecté à un stub à saut d'impédance (SIR) ouvert à l'autre extrémité dont les paramètres caractéristiques, admittances et longueurs électriques, sont  $2Y_1$  et  $\theta_1$ ,  $2Y_2$  et  $\theta_2$ .

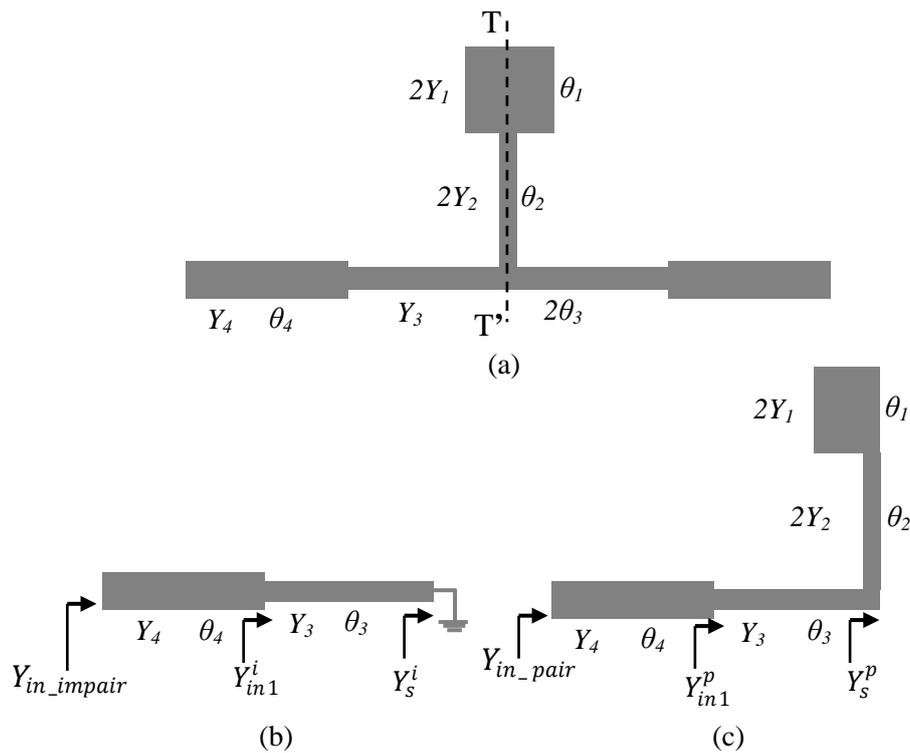


Figure V.4. (a) Structure de base du filtre compact passe-bande ULB, (b) circuit équivalent en mode impair, (c), circuit équivalent en mode pair [48].

### V.2.3.1. Analyse du filtre

Dans le but de simplifier la caractérisation de la structure symétrique (Figure V.4), une analyse en mode pair et impair a été adoptée. Celle-ci s'applique à tout dispositif à  $2n$  accès possédant un plan de symétrie, comme par exemple notre structure qui possède 2 accès et un plan de symétrie vertical médian. En appliquant ces deux modes, on peut scinder la structure en deux sous structures symétriques, comportant chacune  $n$  accès, donc relativement plus facile à analyser. L'analyse s'appliquera donc séparément aux deux sous structures. Ainsi, sous l'excitation en mode impair (Figure V.4(b)), le plan de symétrie ( $T-T'$ ) est un court-circuit et peut donc être considéré comme un mur électrique. En mode pair (Figure V.4(c)), par contre, le plan de symétrie est un circuit-ouvert et peut s'apparenter à un mur magnétique.

Par l'application de la technique MMR, les admittances caractéristiques  $Y_i$  des lignes micro-ruban ainsi que leurs longueurs électriques  $\theta_i$  ( $i$  varie de 1 à 4) peuvent être déterminées dans le but d'obtenir le maximum de modes de résonances à l'intérieur de la bande passante du filtre ULB.

Sous l'excitation en mode impair, l'admittance d'entrée de la sous structure (Figure V.4(b)) peut être exprimée comme [48]:

$$Y_{in\_impair} = Y_4 \left( \frac{Y_{in}^i + jY_4 \operatorname{tg} \theta_4}{Y_4 + jY_{in}^i \operatorname{tg} \theta_4} \right) \quad (\text{V.1})$$

où  $Y_{in}^i = -jY_4(\operatorname{tg} \theta_3)^{-1}$ .

À la résonance, les modes de résonances du mode impair pourront être extraits en appliquant la relation  $Y_{in\_impair} = 0$ . De cette manière, nous pouvons déduire, à partir de l'expression (V.1), la relation [48]:

$$k_4 \operatorname{tg} \theta_3 \operatorname{tg} \theta_4 = 1 \quad (\text{V.2})$$

où  $k_4 = Y_4/Y_3$  est le rapport d'admittance.

Afin de simplifier le calcul, le rapport des longueurs électriques du résonateur  $\alpha_1 = \theta_3/(\theta_3 + \theta_4)$  est remplacé dans (V.2) ce qui nous permet d'obtenir l'équation suivante [48]:

$$k_4 \operatorname{tg} \theta_3 - \operatorname{tg}^{-1} \left[ \theta_3 \left( \frac{1 - \alpha_1}{\alpha_1} \right) \right] = 0 \quad (\text{V.3})$$

Les fréquences de résonance en mode impair, obtenues par la résolution de l'équation (V.3), dépendent de  $k_4$  et de  $\alpha_1$ . La figure V.5 représente la variation du rapport des deux premières fréquences de résonance en mode impair  $f_1^i$  et  $f_2^i$ , pour différentes valeurs de  $k_4$ , en fonction de  $\alpha_1$ .

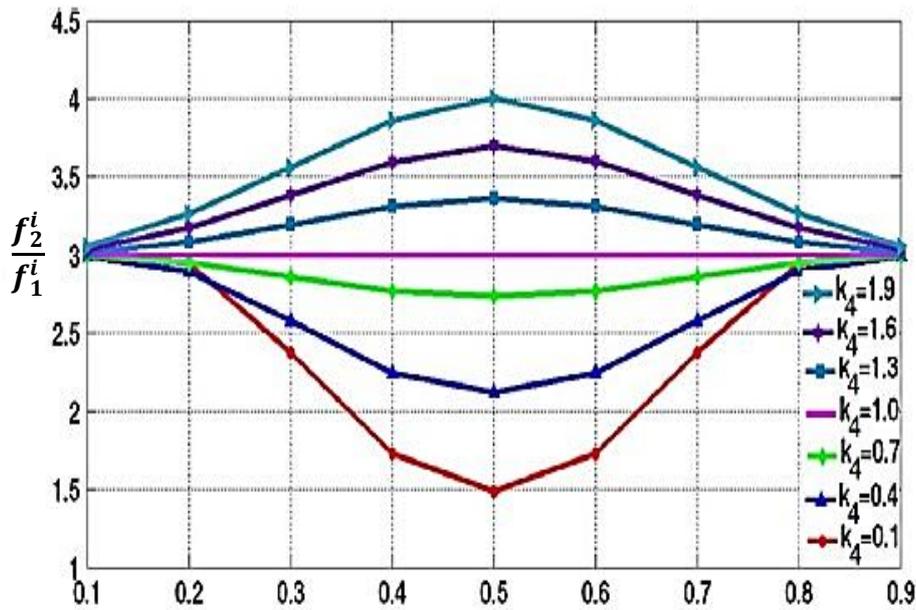


Figure V.5. Rapport des deux premières fréquences de résonance en mode impair en fonction de  $\alpha_1$  et pour différentes valeurs de  $k_4$  [48].

A partir de la figure V.5, l'écart entre les deux fréquences de résonance  $f_1^i$  et  $f_2^i$  augmente avec  $k_4$  et inversement. Ceci signifie que, pour des bandes de fréquence ULB, il faut prendre des valeurs de  $k_4$  très grandes, alors que, pour des bandes de fréquence relativement petites, des valeurs de  $k_4$  plutôt faibles. On peut noter que les valeurs maximales (pour  $k_4 > 1$ ) et minimales (pour  $k_4 < 1$ ) du rapport  $f_2^i / f_1^i$  sont obtenues pour  $\alpha_1 = 0.5$ .

Maintenant, en appliquant l'excitation en mode pair, l'admittance d'entrée équivalente (Figure V.4(c)) peut s'écrire comme suit [48]:

$$Y_{in\_pair} = Y_4 \left( \frac{Y_{in1}^p + jY_4 \operatorname{tg} \theta_4}{Y_4 + jY_{in1}^p \operatorname{tg} \theta_4} \right) \quad (\text{V.4})$$

avec :

$$Y_{in1}^p = Y_3 \left( \frac{Y_s^p + jY_3 \operatorname{tg} \theta_3}{Y_3 + jY_s^p \operatorname{tg} \theta_3} \right) \quad (\text{V.5})$$

$$Y_s^p = Y_2 \left( \frac{j(Y_1 \operatorname{tg} \theta_1 + Y_2 \operatorname{tg} \theta_2)}{Y_2 - Y_1 \operatorname{tg} \theta_1 \operatorname{tg} \theta_2} \right) \quad (\text{V.6})$$

La condition de résonance, en mode pair, est réalisée lorsque  $Y_{in\_pair} = 0$ . Dans ce cas, les modes de résonances peuvent être obtenus à partir de l'équation suivante [48]:

$$k_1 \operatorname{tg} \theta_1 = \left( \frac{\operatorname{tg}(\theta_2 + \theta_3) + k_4 \operatorname{tg} \theta_4}{k_4 \operatorname{tg} \theta_4 \operatorname{tg}(\theta_2 + \theta_3) - 1} \right) \quad (\text{V.7})$$

où  $k_1 = Y_1/Y_2$  et  $k_4 = Y_4/Y_3$ .

Pour simplifier l'analyse, on suppose  $Y_3 = Y_4$  ( $k_4 = 1$ ), et par conséquent, l'équation (V.7) devient alors [48]:

$$k_1 \operatorname{tg}(\alpha_2 \theta_T) + \operatorname{tg}[(1 - \alpha_2) \theta_T] = 0 \quad (\text{V.8})$$

avec  $\alpha_2 = \theta_3 / (\theta_1 + \theta_2 + \theta_3 + \theta_4) = \theta_3 / \theta_T$ .

Les taux des deuxième et troisième fréquences de résonance  $f_2^p$  et  $f_3^p$  par rapport à la première fréquence de résonance  $f_1^p$  en mode pair, en fonction de  $\alpha_2$  et de  $k_1$ , sont illustrés dans la figure V.6.

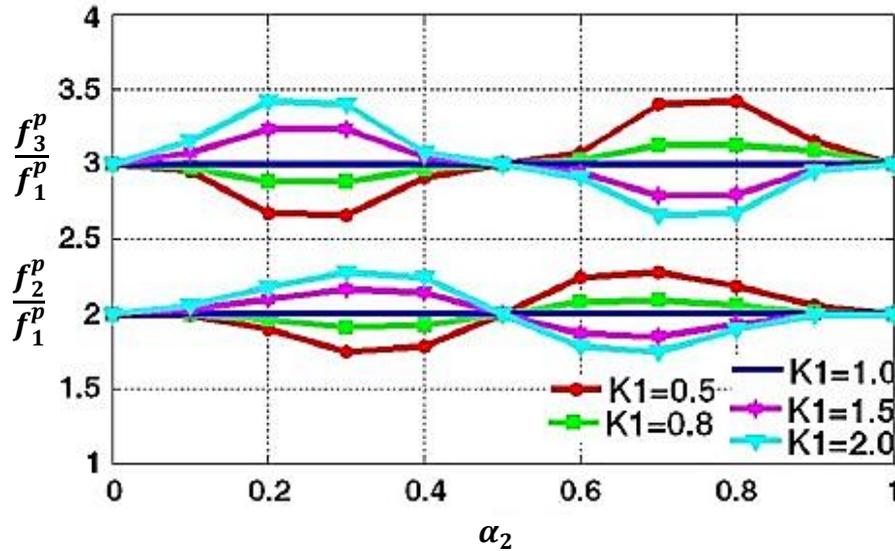


Figure V.6. Taux des deuxième et troisième fréquences de résonance par rapport à la première fréquence de résonance en mode pair pour différentes valeurs de  $\alpha_2$  et de  $k_1$  avec

$$Y_3 = Y_4 \text{ [48].}$$

La figure V.6 montre clairement qu'il existe plusieurs combinaisons de rapport d'admittances  $k_1 \neq 1$  et de longueurs électriques  $\alpha_2$  permettent d'obtenir un intervalle plus large de  $f_2^p / f_1^p$  et  $f_3^p / f_1^p$  comparativement avec le cas dont  $k_1 = 1$  (structure avec un stub simple). Ce qui signifie que la structure proposée, chargée d'un stub ouvert à saut d'impédance ( $k_1 \neq 1$ ), peut fournir un large degré de liberté afin d'ajuster les emplacements des modes de résonance à l'intérieur de la bande utile comparativement à celle chargée d'un stub simple ( $k_1 = 1$ ).

### V.2.3.2. Conception du filtre

La conception du filtre a pour objectif de déterminer les admittances caractéristiques des différents tronçons de ligne  $Y_i$  ainsi que leurs longueurs électriques  $\theta_i$ , de sorte que le cahier des charges soit respecté. Pour cela, on doit d'abord utiliser les figures V.5 et V.6 pour déterminer  $\alpha_1$  et  $\alpha_2$ , ensuite les équations (V.3) et (V.8), et ce, après avoir fixé les fréquences de résonance en mode impair et pair, et les rapports d'admittances  $k_4$  et  $k_1$ .

Dans cette méthode de conception, les deux premières fréquences de résonance en mode impair  $f_1^i$  et  $f_2^i$  sont respectivement fixées à 4 GHz et 9 GHz ; et par conséquent, le rapport  $f_2^i / f_1^i = 2.25$ . Tandis que les trois premières fréquences de résonance, en mode pair, sont

fixées à  $f_1^P = 3.1$  GHz,  $f_2^P = 6.85$  GHz et  $f_3^P = 10.6$  GHz dont les rapports des fréquences sont  $f_2^P / f_1^P = 2.21$  et  $f_3^P / f_1^P = 3.42$  [48]. D'après les figures V.5 et V.6, les rapports d'admittances  $k_1$  et  $k_4$  ainsi que les longueurs électriques  $\alpha_1$  et  $\alpha_2$  peuvent être sélectionnés comme  $k_1 \approx 2$ ,  $k_4 \approx 0.5$ ,  $\alpha_1 \approx 0.5$  et  $\alpha_2 \approx 0.2$  [48].

Les différentes dimensions de la structure (Figure IV.4(a)), telles que les largeurs  $W_i$  et les longueurs  $L_i$ , peuvent être calculées en utilisant, d'un côté, les relations et les valeurs des rapports d'admittances et de longueurs électriques ( $k_1 \approx 2$ ,  $k_4 \approx 0.5$ ,  $\alpha_1 \approx 0.5$  et  $\alpha_2 \approx 0.2$ ) choisis auparavant pour déterminer les paramètres caractéristiques  $Y_i$  et  $\theta_i$  de la structure proposée, et de l'autre, les caractéristiques du substrat choisi, notamment la permittivité relative  $\epsilon_r$  et l'épaisseur  $h$  du substrat d'un autre côté [48]. La figure V.7 illustre la structure finale du FPB ULB, comportant la structure proposée et deux coupleurs quarts d'onde interdigités, connectés aux extrémités. En dessous des deux coupleurs, une ouverture est gravée dans le plan de masse. Un fort couplage permet l'amélioration de la transmission à l'intérieure de la bande désirée ( $|S_{21}|^2 \approx 1$ ), ainsi que d'assurer la rejection en dehors de la bande passante.

Les dimensions du FPB ULB obtenues, pour un substrat d'une permittivité relative  $\epsilon_r=2.55$  et une épaisseur  $h=0.8$  mm, sont :  $W_1=6.5$ ,  $W_2=2.6$ ,  $W_3=1.3$ ,  $W_4=0.3$ ,  $L_1=5.85$ ,  $L_2=7.75$  et  $L_3=L_4=7.7$  (tout en mm).

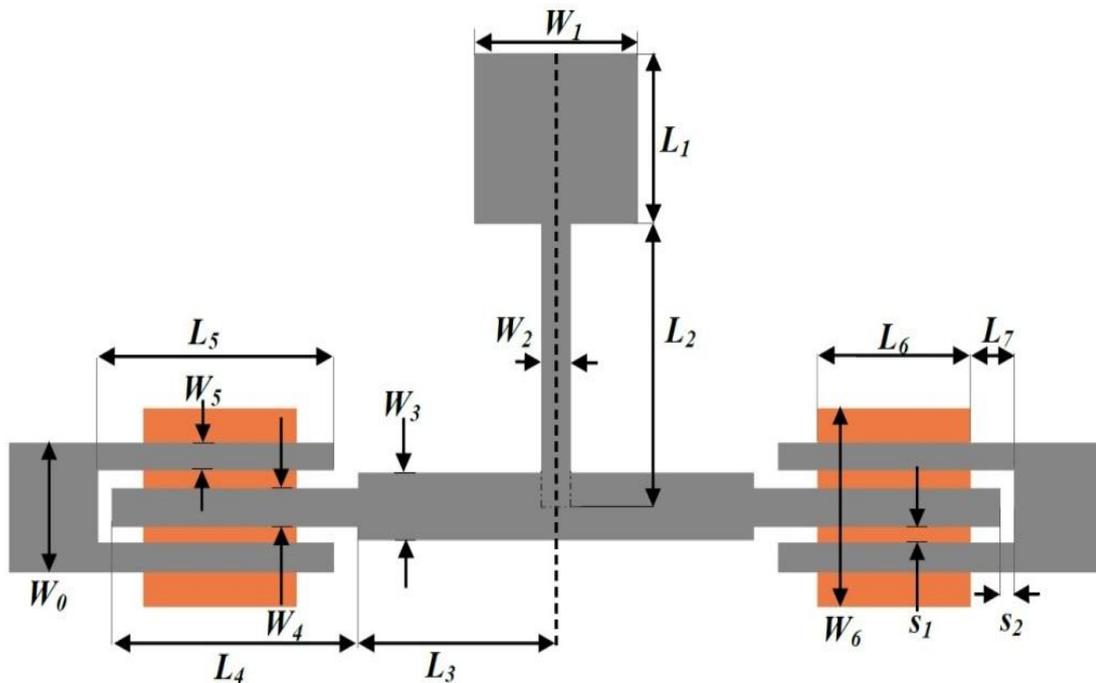


Figure V.7. Structure complète du FPB ULB [48].

### V.2.3.3. Résultats de simulation et de mesure

D'après la figure V.8, les résultats simulés du module du coefficient de transmission  $|S_{21}|$  du filtre, sous un faible couplage, illustrent un léger décalage des modes de résonance par rapport aux fréquences de résonance fixées précédemment.

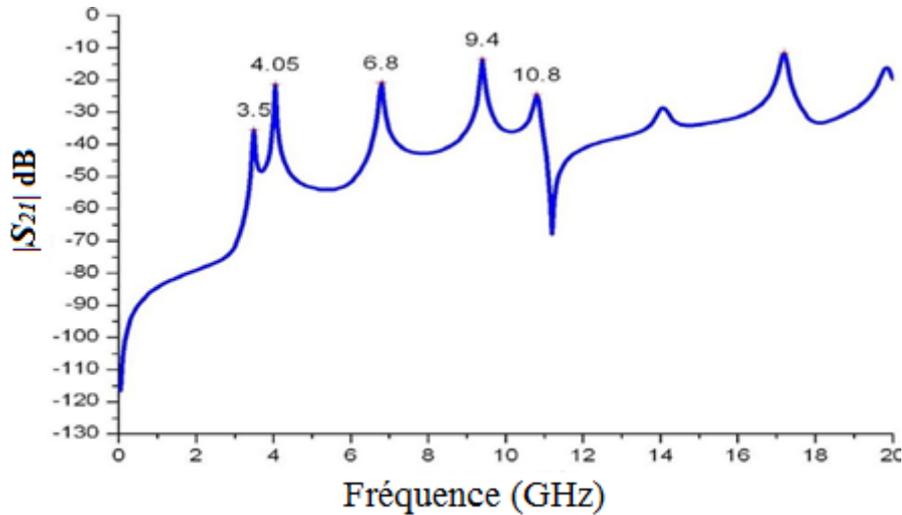


Figure V.8. Résultats simulés de pertes d'insertion sous un faible couplage [48].

Pour un degré de couplage plus élevé, et après avoir réajusté les paramètres physiques du FPB ULB pour améliorer ses performances électriques, les nouvelles dimensions du filtre final sont données comme suit :  $W_1=3.8$ ,  $W_2=0.6$ ,  $W_3=1.3$ ,  $W_4=0.3$ ,  $W_5=0.74$ ,  $W_6=3.6$ ,  $L_1=3.55$ ,  $L_2=10.15$ ,  $L_3=L_4=7.7$ ,  $L_5=7.8$ ,  $L_6=8.9$ ,  $L_7=0$  et  $S_1=S_2=0.21$  (tout en millimètre).

La figure V.9, illustre les résultats mesurés et simulés des paramètres S ainsi que le retard de groupe du filtre.

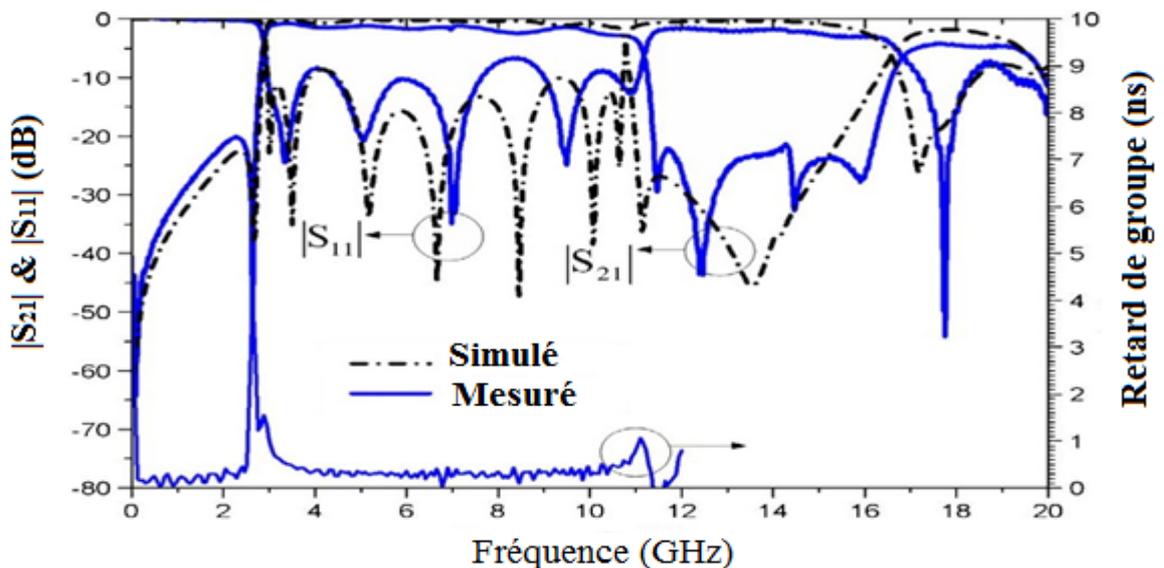


Figure V.9. Résultats simulés et mesurés du FPB ULB proposé dans la référence [48].

Les résultats simulés et mesurés de  $|S_{21}|$  et de  $|S_{11}|$  illustrés dans la figure V.9, présentent un bon agrément entre les deux avec un léger décalage de la réponse du filtre aux fréquences élevées. Les pertes de retour sont supérieures à 10 dB sur une grande partie de la bande utile.

Les deux zéros de transmission générés par le SIR permettent d'améliorer considérablement la sélectivité du filtre.

Concernant le retard de groupe, le résultat obtenu indique une faible variation de ce facteur autour de 0.45 ns. De plus, le filtre fabriqué se distingue par un encombrement réduit avec une taille d'environ  $0.73\lambda_0 \times 0.35\lambda_0$  ( $\lambda_0$  est longueur d'onde dans l'espace libre à la fréquence 6.85 GHz).

En conclusion, la mise en œuvre de cette méthode de conception ou méthode MMR s'effectue en fixant préalablement les valeurs d'un certain nombre de fréquences de résonance en modes pair et impair appartenant à la bande passante du filtre. Hormis les valeurs des deux fréquences délimitant la bande passante du filtre, la détermination des valeurs des autres fréquences de résonance se fait par un choix arbitraire. De plus, le dimensionnement se fait sur la base de deux graphes dont l'un est tracé en prenant  $Y_3 = Y_4$ , condition non vérifiée par la topologie du filtre. Cet état de fait nous permet d'indiquer :

- 1) qu'en dehors de ces fréquences de résonance, qui sont au nombre très réduit dépendant du nombre de paramètres électriques et physiques, la réponse fréquentielle du filtre n'est pas définie ou imposée. Cela ne nous permet donc pas de préjuger, d'une manière précise, le comportement du filtre surtout si la bande passante est large, et, par voie de conséquence, de contrôler efficacement celui-ci ;
- 2) qu'on peut aboutir à différentes dimensions du filtre en procédant à d'autres choix des fréquences de résonance. Seulement, cette méthode ne nous renseigne pas sur la façon de passer en revue tous les filtres du moins encombrant au plus encombrant, ce qui ne nous permet donc pas de répondre exactement au critère d'encombrement;
- 3) que les valeurs des dimensions du filtre ne sont pas tout à fait précises et, de ce fait, nécessitent un réajustement qui pourrait être fastidieux.

Ces trois inconvénients nous ont amenés à proposer une nouvelle méthode originale qui a fait l'objet d'une publication dans la revue *IEEE Microwave Wireless Components Letters* [52].

Cette méthode, faisant appel à une procédure d'optimisation, est basée sur la minimisation, sur toute la bande passante du filtre, d'une fonction objectif qui traduit le transfert total de la puissance ( $|S_{21}|^2 = 1$ ). Cette minimisation s'effectue non pas sur quelques

fréquences, comme c'est le cas de la méthode MMR, mais sur un nombre de fréquences nettement plus grand. Ainsi, nous pouvons imposer au filtre une réponse fréquentielle de transfert pratiquement constante de valeur unité, de ce fait le premier inconvénient sera annihilé.

Pour le deuxième inconvénient, la méthode proposée permet de concevoir un large éventail de circuits, qui se distinguent entre eux non seulement par leurs dimensions mais aussi, à un degré moindre, par leurs performances.

Pour le troisième inconvénient, la méthode proposée est, par essence, plus précise puisqu'elle se base sur un calcul analytique alors que la méthode MMR s'appuie plutôt sur une détermination principalement graphique.

### **V.3. Nouvelle méthode proposée de la conception des FPBs ULB**

La nouvelle méthode de conception que nous proposons se rapporte à la structure du filtre FPB ULB, donnée par la figure V.7.

Pour sa conception, Qing-Xin Chu [48] avait utilisé la méthode MMR, dont le principe, comme nous l'avons vu dans le paragraphe précédent, est de fixer un certain nombre de fréquences engendrant la résonance en mode pair et impair. A ces fréquences, le couplage, entre la ligne d'alimentation et l'entrée du filtre d'une part, et entre la sortie du filtre et la charge d'autre part, est maximal. Ce qui signifie que le transfert de puissance est maximal à ces fréquences. Par contre, en dehors de la bande passante, le couplage doit être aussi tendu que possible.

En revanche, la méthode que nous proposons a pour principe d'adapter, sur toute la bande de fréquence, les impédances (admittances) d'entrée et de sortie de la structure de la figure V.7 mais sans les coupleurs interdigités à l'impédance (admittance)  $50 \Omega$  ( $1/50 \Omega$ ).

De ce principe d'adaptation, nous avons judicieusement établi une fonction objectif qu'il faudra minimiser en opérant grâce à une procédure d'optimisation. Cette minimisation s'effectuera sur toute la bande passante, excepté les fréquences minimale et maximale délimitant la bande passante, qui seront prises comme des zéros de transmission pour que la raideur de la réponse fréquentielle, en dehors de la bande passante, soit la plus abrupte possible.

Finalement, la méthode de conception proposée comporte deux étapes :

- la première étape consiste à concevoir un filtre FPB sans le coupleur interdigité, adapté aux impédances (admittances) de source et de charge à l'intérieur de la bande

passante et désadapté totalement (réflexion totale) aux fréquences délimitant la bande passante ;

- la deuxième étape a pour objet le dimensionnement des deux coupleurs quart d'onde interdigités de sorte que la réjection des bandes de fréquence inférieure et supérieure soit totale.

### V.3.1. Conception du FPB ULB par la méthode proposée

#### V.3.1.1. Développement de la méthode proposée

La structure du FPB, sans les coupleurs interdigités, est donnée par la figure V.10a. Elle est constituée d'une ligne de transmission uniforme de longueur électrique  $2\theta_3$  et d'admittance caractéristique  $Y_3$ , alimentée et chargée par une impédance de  $50 \Omega$ . Au milieu de cette ligne, est connecté un stub à saut d'impédance ouvert à l'autre extrémité d'admittances caractéristiques  $2Y_1, 2Y_2$  et de longueurs électriques  $\theta_1, \theta_2$ .

Nous démarrons du fait que cette structure permet la transmission totale de la puissance disponible du port 1 vers le port 2 ( $|S_{21}|^2(f) = 1$ ), et ce quel que soit la fréquence  $f$  appartenant à la bande de fréquence. Cette dernière s'étend de la fréquence minimale  $f_{\min}$  à la fréquence maximale  $f_{\max}$ . Ce qui veut dire que l'impédance d'entrée  $Z_e$  de cette structure doit être adaptée à l'impédance du générateur  $50 \Omega$ , dans toute la bande de fréquence ( $Z_e(f) = 50 \Omega$ ). Ceci peut se traduire par la fonction objectif suivante [52]:

$$F_{obj} = \sum_{f_{\min}}^{f_{\max}} |(\Re(Z_e)) - 50| + |\Im(Z_e)| < \varepsilon \quad (V.9)$$

Où :

- $\Re(Z_e)$  et  $\Im(Z_e)$  sont respectivement la partie réelle et la partie imaginaire de  $Z_e$  ;
- $\varepsilon$  est la tolérance.

Nous pouvons noter que l'expression (V.9) est relativement complexe, en raison du fait qu'elle dépende à la fois des parties réelle et imaginaire de  $Z_e$ , et donc de toute la structure. Comme la structure est sans pertes, l'adaptation d'impédance est donc observée en tout plan transversal à la structure. En exploitant cette propriété et en choisissant le plan médian, nous pouvons trouver une autre fonction objectif plus simple que celle donnée par l'expression (V.9), comme nous allons le voir ci-après.

Pour cela, nous avons décomposé la structure en deux circuits (b) et (c) (Figure V.10) où seulement les parties imaginaires des admittances  $Y_L$  et  $Y_G$  vont composer la fonction objectif, s'affranchissant ainsi des parties réelles de ces admittances et rendant, par voie de conséquence, l'expression (V.9) plus simple.

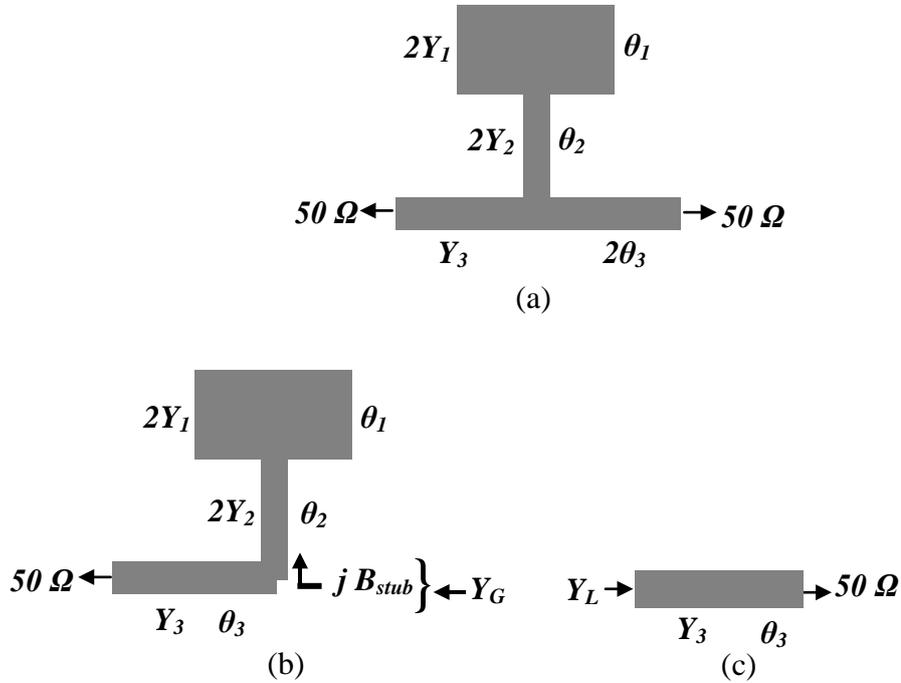


Figure V.10.(a) Structure du filtre FPB sans le coupleur interdigué (b) et (c) circuits de la structure décomposée [52].

Les admittances  $Y_L$  et  $Y_G$  sont telles que :

$$Y_L = (G_L + jB_L) \quad (V.10)$$

$$Y_G = G_G + j(B_G + B_{stub}) \quad (V.11)$$

où  $G_G = G_L$  et  $B_G = B_L$ .

Ainsi, la condition d'adaptation  $Y_G = Y_L^*$  (\* : conjugué) implique :

$$2B_L + B_{stub} = 0 \quad (V.12)$$

L'analyse des circuits des figures V.10(b) et V.10(c) donne, respectivement, le résultat suivant [52]:

$$B_{stub} = 2Y_2 \frac{k \operatorname{tg} \theta_1 + \operatorname{tg} \theta_2}{1 - k \operatorname{tg} \theta_1 \operatorname{tg} \theta_2} \quad (V.13)$$

$$B_L = Y_3 \frac{\operatorname{tg} \theta_3 (1 - y_c^2)}{1 + y_c^2 \operatorname{tg}^2 \theta_3} \quad (\text{V.14})$$

où  $y_c = 1/(50Y_3)$  et  $k = Y_1/Y_2$ .

Compte tenu de ces résultats, la nouvelle fonction objectif s'exprime ainsi :

$$F_{obj} = \sum_{f_{N \min}}^{f_{N \max}} |2B_L + B_{stub}| < \varepsilon \quad (\text{V.15})$$

et d'une manière plus explicite [52]:

$$F_{obj} = \sum_{f_{N \min}}^{f_{N \max}} \left| Y_3 \frac{\operatorname{tg} \theta_3 (1 - y_c^2)}{1 + y_c^2 \operatorname{tg}^2 \theta_3} + Y_2 \frac{k \operatorname{tg} \theta_1 + \operatorname{tg} \theta_2}{1 - k \operatorname{tg} \theta_1 \operatorname{tg} \theta_2} \right| < \varepsilon \quad (\text{V.16})$$

où :

- $f_{N \max} = f_{N \max} / f_0$  et  $f_{N \min} = f_{N \min} / f_0$  sont respectivement les fréquences supérieure et inférieure normalisées par rapport à la fréquence centrale  $f_0$  de la bande passante ;
- $\theta_i = \theta_{0i} f_N$  avec  $\theta_{0i} = (2\pi / \lambda_{g0}) L_i$  ( $i=1, 2, 3$ ) et  $f_N = f / f_0$  la fréquence normalisée.  $L_i$  sont les longueurs des lignes de la structure et  $\lambda_{g0}$  la longueur d'onde à la fréquence centrale  $f_0$ .

Le nombre de fréquences, à prendre en compte dans la sommation de la fonction objectif, est  $N = (f_{N \max} - f_{N \min}) / \Delta f$ , où  $\Delta f$  est le pas de la fréquence normalisée  $f_N$ .

Pour satisfaire le critère de sélectivité, qui impose une réponse abrupte aux deux fréquences inférieure et supérieure délimitant la bande passante, nous devons donc concevoir le stub à saut d'impédance SIR (admittances et longueurs électriques  $2Y_1$  et  $\theta_1$ ,  $2Y_2$  et  $\theta_2$ ) de sorte que  $|S_{21}| = 0$  aux fréquences  $f_{Z1} = f_{\min}$  et  $f_{Z2} = f_{\max}$ .  $f_{Z1}$  et  $f_{Z2}$  sont les zéros de transmission, vérifiant la condition  $B_{stub}(f_{Z1}) = B_{stub}(f_{Z2}) = \infty$ , ce qui se traduit par l'expression suivante :

$$k \operatorname{tg} \theta_1(f_{Zi}) \operatorname{tg} \theta_2(f_{Zi}) = 1 \quad (i = 1, 2) \quad (\text{V.17})$$

Nous en déduisons :

$$\theta_{02}(i) = \left( \frac{f_0}{f_{Zi}} \right) \operatorname{tg}^{-1} \left[ \frac{1}{k \operatorname{tg}(\theta_{01}(f_{Zi} / f_0))} \right] \quad (i = 1, 2) \quad (\text{V.18a-b})$$

À la fréquence centrale  $f_0$ ,  $B_{stub}(f_0) = 0$ , ce qui implique:

$$k \operatorname{tg} \theta_{01} = - \operatorname{tg} \theta_{02} \quad (\text{V.19})$$

En remplaçant  $\theta_{02}$ , donnée par (V.18a-b), dans (V.19), nous obtenons un système de 2 équations non linéaires en fonction de  $\theta_{01}$  et  $k$ . Pour résoudre ce système, nous devons utiliser une méthode numérique itérative qui nécessite généralement au préalable la connaissance de la valeur ou de l'intervalle des valeurs du vecteur initial assurant une convergence rapide vers une solution physique. Ce vecteur initial est, dans notre cas, composé de  $\theta_{01}$  et  $k$ .

### a) Détermination de l'intervalle des valeurs du vecteur initial

Les courbes de la figure V.11 sont tracées à partir de la relation (V.17) et représentent  $f_{Z2} / f_{Z1}$  en fonction de  $\alpha = \theta_1 / (\theta_1 + \theta_2)$ , pour différentes valeurs de  $k$ .

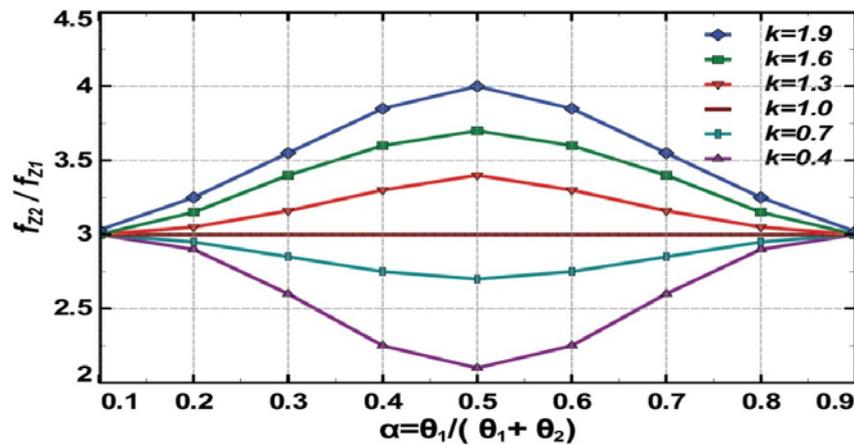


Figure V.11. Zéros de transmission en fonction du rapport de longueurs  $\alpha$  pour différentes valeurs de  $k$  [52].

Ces courbes montrent que la bande passante relative, définie par :

$$BPR(\%) = 100 \frac{2(f_{Z2} - f_{Z1})}{f_{Z2} + f_{Z1}} \quad (V.20)$$

Elle augmente avec  $k$ , c'est-à-dire lorsque le rapport  $Y_1/Y_2$  s'accroît. Selon les valeurs de  $k$  et du rapport  $f_{Z2} / f_{Z1}$ , le point représentatif, sur l'abaque de Smith, de l'admittance  $Y_{e1}$  à l'entrée de la première ligne ( $2Y_1, \theta_1$ ), terminée par un circuit ouvert, subit soit un recul soit un rapprochement par rapport au point d'arrivée, et ce, en raison du fait que, pour un rapport  $f_{Z2} / f_{Z1}$  donné, nous avons deux valeurs de  $\alpha$ . Ce point d'arrivée n'est autre que l'admittance  $Y_{e2}$  à l'entrée de la deuxième ligne ( $2Y_2, \theta_2$ ), qui est d'une valeur infinie aux fréquences  $f_{Z1}$  et  $f_{Z2}$ . Le déplacement du point représentant l'admittance à l'entrée de la première ligne vers l'arrière ou vers l'avant permet donc d'ajuster la bande passante à la valeur désirée.

Le fait que  $Y_{e2}$  soit nulle à  $f_{Z1}$ , la somme  $(\theta_1 + \theta_2)$  ne sera donc qu'inférieure à  $\pi$ .

Deux situations peuvent être envisagées pour déterminer l'intervalle des valeurs du vecteur initial selon que le rapport  $f_{Z2} / f_{Z1}$  soit supérieur ou inférieur à la valeur 3.

**a1) Cas où  $f_{Z2} / f_{Z1} > 3$**

Pour un rapport  $f_{Z2} / f_{Z1}$  donné, il est possible de déterminer la valeur minimale de  $k$  qui s'obtient pour  $\alpha = 0.5$  (Figure V.11). Pour cela, nous devons utiliser la relation (V.17) où nous devons supposer  $\theta_1 = \theta_2 = \theta$ . La relation (V.17) permet, dans ce cas, d'écrire :

$$\operatorname{tg} \theta = \pm \sqrt{1/k_{\min}} \quad (\text{V.21})$$

laquelle admet deux racines  $\theta_a = \operatorname{tg}^{-1}(\sqrt{1/k_{\min}})$  et  $\theta_b = \pi - \theta_a$ .

Si  $\theta_b / \theta_a = f_{Z2} / f_{Z1}$ , le calcul montre que :

$$\theta_a = \pi / (n + 1) \quad (\text{V.22})$$

avec  $n = f_{Z2} / f_{Z1}$ .

La valeur maximale de  $k$  est  $k_{\max} = 8$ , déduite des valeurs extrêmes des impédances caractéristiques de la ligne micro-ruban qui sont  $20 \Omega$  et  $160 \Omega$  environ.

**a2) Cas où  $f_{Z2} / f_{Z1} < 3$**

Dans ce cas, c'est la valeur maximale de  $k$ , à savoir  $k_{\max}$ , qu'il faut déterminer. Celle-ci s'obtient pour  $\alpha = 0.5$  (Figure V.11) et est régie par les relations (V.21) et (V.22). Quant à la valeur minimale de  $k$ , elle est liée, comme pour le cas précédent, aux valeurs extrêmes des impédances caractéristiques de la ligne micro-ruban. Dans ce cas,  $k_{\min} = 20/160 = 0.25$ .

**V.3.1.2. Conception du FPB ULB par la méthode proposée**

La bande de fréquence s'étend de 3.1 GHz à 10.6 GHz, la fréquence centrale sera donc  $f_0 = 6.85$  GHz et les zéros de transmission  $f_{Z1} = 3.1$  GHz et  $f_{Z2} = 10.6$  GHz. Le rapport  $f_{Z2} / f_{Z1} = 10.61/3.1 = 3.42$  est, par conséquent, supérieur à 3, ce qui implique, d'après la figure V.11, que  $k$  doit être supérieur à 1 ( $k > 1$ ).

Dans notre cas,  $n=3.42$ , la relation (V.22) donne alors  $\theta_a = \pi / (4.42)$ , et en vertu de la relation (V.21), nous trouvons  $k_{\min} = 1.35$  et  $k$  ne doit pas dépasser la valeur approximative  $k_{\max} = 8$ .

En imposant une tolérance de  $10^{-3}$  et un intervalle de  $k$  [1.35, 8] et de  $\theta_{01}$  [0, 180°], la résolution du système de 2 équations non linéaires en  $\theta_{01}$  et  $k$  donne des solutions multiples que nous remplaçons ensuite dans (V.16) qui nous fournit, à son tour,  $Y_2$ ,  $Y_3$  et  $\theta_{03}$ . Nous remarquons que, pour  $\varepsilon$  donné (V.16), le nombre de solutions ou caractéristiques électriques de la structure sans les coupleurs interdigités est d'autant plus élevé que le pas fréquentiel normalisé  $\Delta f$  est grand (Tableau V.1) et que, dans le cas contraire, le nombre de solutions diminue jusqu'à une solution unique.

Les résultats, illustrés par le tableau V.1, ont été obtenus en un laps de temps extrêmement court (moins de cinq minutes) et ce, grâce au fait que nous ayons pu cerner les valeurs du vecteur initial conduisant, à la fois, à une convergence rapide de la fonction objectif et à l'obtention de solutions réalisables en pratique.

$k$	$Z_1(\Omega)$	$\theta_{01}(\text{°})$	$Z_2(\Omega)$	$\theta_{02}(\text{°})$	$Z_3(\Omega)$	$\theta_{03}(\text{°})$
2.0	56.0	38.5	114.2	126.6	35.0	74.2
2.0	56.0	38.5	114.2	126.6	35.0	83.2
2.0	56.0	38.5	114.2	126.6	35.0	90.4
2.0	56.0	38.5	114.2	126.6	35.0	97.6
2.0	56.0	38.5	114.2	126.6	40.0	4.0
2.0	56.0	38.5	114.2	126.6	40.0	5.8
3.7	28.0	19.4	104.7	132.3	45.0	95.8
3.7	32.0	19.4	119.6	132.3	30.0	4.0
3.7	32.0	19.4	119.6	132.3	35.0	5.8
3.7	32.0	19.4	119.6	132.3	35.0	81.0
3.7	32.0	19.2	120.9	132.3	85.0	4.0
3.7	32.0	19.2	120.9	132.3	85.0	5.8
3.7	32.0	19.2	120.9	132.3	85.0	14.8
3.7	32.0	19.2	120.9	132.3	90.0	4.0
3.7	32.0	19.2	120.9	132.3	90.0	5.8
3.7	32.0	19.2	120.9	132.3	90.0	7.6
3.7	32.0	19.2	120.9	132.3	95.0	9.4
3.8	32.0	19.1	121.9	132.3	85.0	4.0
3.8	32.0	19.1	121.9	132.3	85.0	5.8

Tableau V.1. Différentes caractéristiques électriques de la structure sans les coupleurs interdigités, obtenues par la méthode proposée pour un pas de fréquence élevé.

Le tableau V.1, valable pour  $f_{Z2}/f_{Z1} = 3.42$ , présente les différentes solutions en ayant choisi  $\Delta f = 7.5$  Ghz et  $\alpha < 0.5$ . Pour doubler le nombre de solutions, pour la même valeur de  $\Delta f = 7.5$  Ghz, nous devrions prendre  $\alpha > 0.5$  et, pour augmenter encore plus ce nombre, nous aurions à attribuer plusieurs valeurs à  $\Delta f$ . Par conséquent, ce tableau ne dresse pas une liste exhaustive des solutions susceptibles d'être utilisées.

Une étude comparative entre les solutions (ou structures) multiples, obtenues pour  $\Delta f$  élevé, et le peu de solutions, générées par  $\Delta f$  petit, s'impose pour dégager leurs différences soit en termes de performances soit en termes d'encombrement. En termes de performances (Atténuations, ondulations, raideur), nous pouvons, à priori, dire que les solutions multiples sont moins bonnes que les solutions en nombre réduit ; en revanche, les premières sont moins encombrantes que les secondes.

Pour étayer ce que nous venons d'annoncer, nous avons choisi deux solutions. La première est celle qui offre, parmi les solutions multiples, le circuit le moins encombrant, appelé circuit A, et la seconde est la solution unique qui aboutit à un circuit, appelé circuit B. Le tableau V.2 donne les paramètres de conception électriques des circuits A et B sans le coupleur interdigité, que nous avons obtenus.

	$k$	$Z_1(\Omega)$	$\theta_{01}(^\circ)$	$Z_2(\Omega)$	$\theta_{02}(^\circ)$	$Z_3(\Omega)$	$\theta_{03}(^\circ)$
Circuit A	4.11	30.1	36.5	124	111.2	106	5.8
Circuit B	2.75	58	50.8	159.5	114	42	90.4

Tableau V.2. Caractéristiques des circuits A et B [52].

Grâce à un programme d'analyse du circuit (Figure V.10(a)) que nous avons développé sous MATLAB, nous avons obtenu les courbes du coefficient de réflexion  $|S_{11}|$ (dB) et de l'atténuation  $|S_{21}|$ (dB) des circuits A et B, en fonction de la fréquence (Figure V.12). Cette figure montre qu'à l'intérieur de la bande passante,  $|S_{21}|$  du circuit A est légèrement variable au début de la bande passante, alors que pour le circuit B,  $|S_{21}|$  est quasiment constant. Par contre, le circuit A est moins encombrant que le circuit B (Tableau V.2).

Ces résultats confirment donc ce que nous avons prédit.

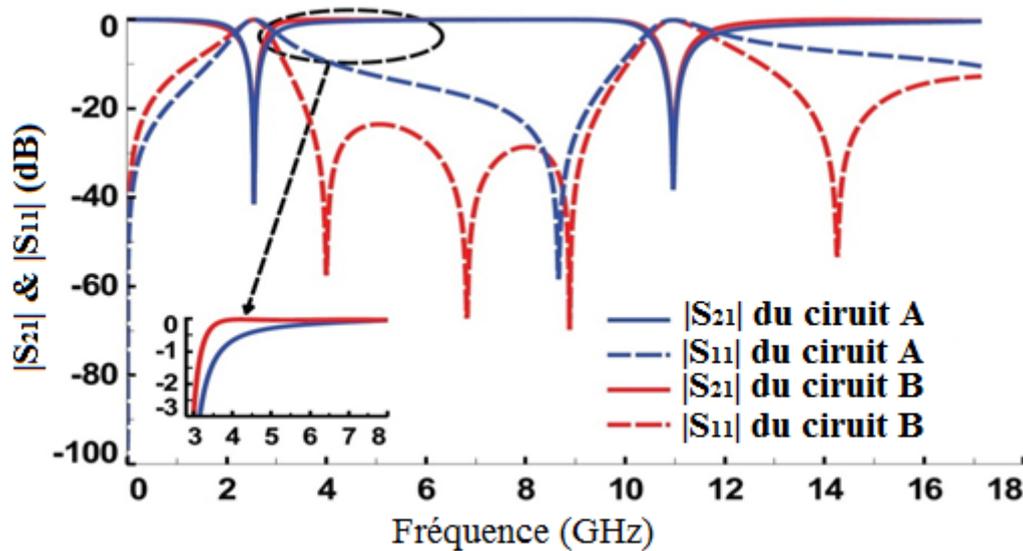


Figure V.12.  $|S_{21}|$  et  $|S_{11}|$  des circuits A et B sans le coupleur interdigité [52].

### V.3.2. Conception du coupleur interdigité

La deuxième étape de conception du FPB ULB consiste à concevoir le coupleur quart d'onde interdigité, et ce afin d'atténuer les bandes de fréquences indésirables inférieure à  $f_{Z1}$  et supérieure à  $f_{Z2}$ . Le coupleur interdigité est composé de trois lignes de transmission parallèles de longueurs égales à  $\lambda_{g0}/4$  ( $\lambda_{g0}$  est la longueur d'onde à la fréquence centrale  $f_0 = 6.85$  GHz). La performance du coupleur est directement liée au type de couplage, faible ou fort, qui dépend à son tour des dimensions physiques, en particulier, le gap  $S_1$  (Figure V.7). Cependant, à cause des limitations imposées par la technique de fabrication utilisée, qui a fixé une largeur minimale du gap à 0.15 mm, un couplage fort est loin d'être atteint. Pour pallier à cette contrainte, des ouvertures ont été gravées dans le plan de masse en dessous du coupleur interdigité. Elles ont pour effet d'obtenir fort couplage entre les lignes de l'interdigité [52].

Les figures V.13 (a) et (b) illustrent le coupleur à trois lignes interdigitées sans et avec l'ouverture, gravée dans son plan de masse.

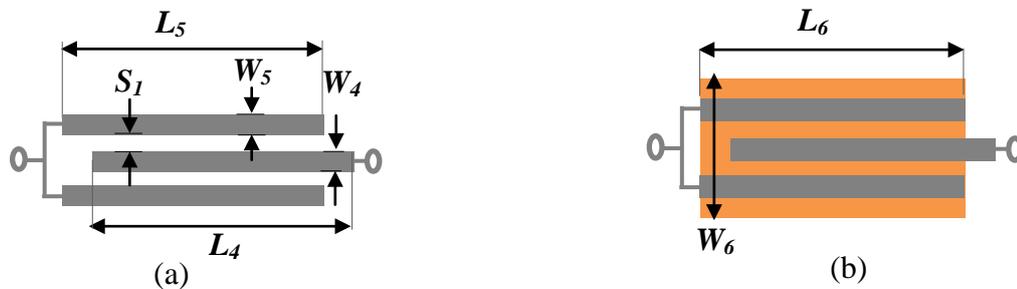


Figure V.13. Coupleur interdigité (a) sans l'ouverture gravée dans sa masse  
(b) avec l'ouverture.

Les résultats obtenus, pour les deux coupleurs interdigités sont illustrés dans la figure V.14. Ils ont été obtenus par simulation électromagnétique à l'aide du simulateur Momentum sur ADS. Les dimensions, en millimètre, de l'interdigités ont été synthétisées en utilisant le substrat RT Duroid 5870 ( $\epsilon_r = 2.33$  et  $h = 0.508$  mm) et sont :  $W_4=0.5$ ,  $W_5=0.39$ ,  $L_4= L_5=8$ ,  $W_6=2$ ,  $L_6=8$ ,  $S_1=0.18$ .

Nous pouvons noter, à partir des résultats obtenus (Figure V.14), que le coupleur interdigité avec l'ouverture gravée dans la masse, et pour un gap  $S_1=0.18$ , permet d'avoir une meilleure réponse de  $|S_{21}|$  pratiquement égale à 0 dB, et ce, pour une bande passante plus large.

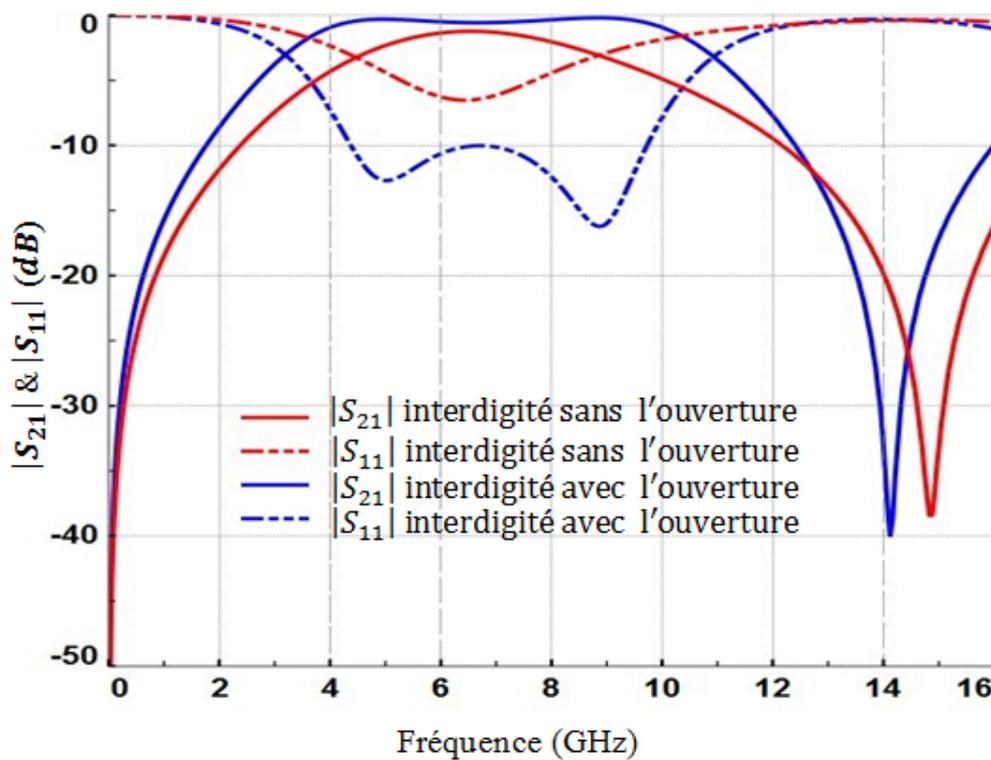


Figure V.14.  $|S_{21}|$  et  $|S_{11}|$  de l'interdigité sans et avec l'ouverture dans la masse.

### V.3.3. Résultats de simulation et de mesure du FPB ULB

En privilégiant le critère en faveur de la miniaturisation du circuit par rapport aux performances électriques inhérentes aux FPB ULB, nous avons donc été amenés à choisir le circuit A pour la réalisation du filtre (Figure V.15). Le filtre a été réalisé avec le substrat RT Duroid 5870. Ses dimensions finales sont les suivantes (en millimètre) :  $W_0=1.47$ ,  $W_1=3$ ,  $L_1=3.1$ ,  $W_2=0.2$ ,  $L_2=10$ ,  $W_3=0.34$ ,  $L_3=0.5$ ,  $W_4=0.34$ ,  $L_4=7.88$ ,  $W_5=0.39$ ,  $L_5=8$ ,  $W_6=2$ ,  $L_6=8$ ,  $L_7=0$  et  $S_1= S_2=0.18$ .

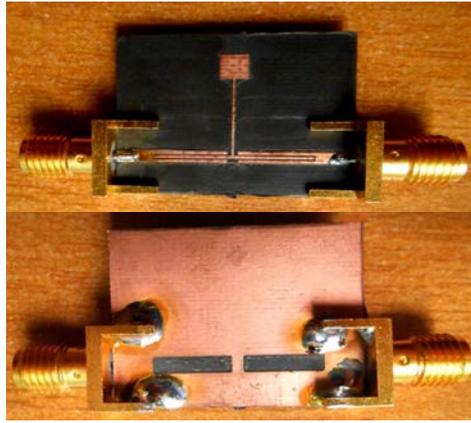


Figure V.15. Photographies des faces avant et arrière du filtre FPB ULB [52].

Les paramètres  $|S_{21}|$  et  $|S_{11}|$  ainsi que le retard de groupe (Figure V.16) ont été mesurés à l'aide d'un analyseur de réseau automatique.

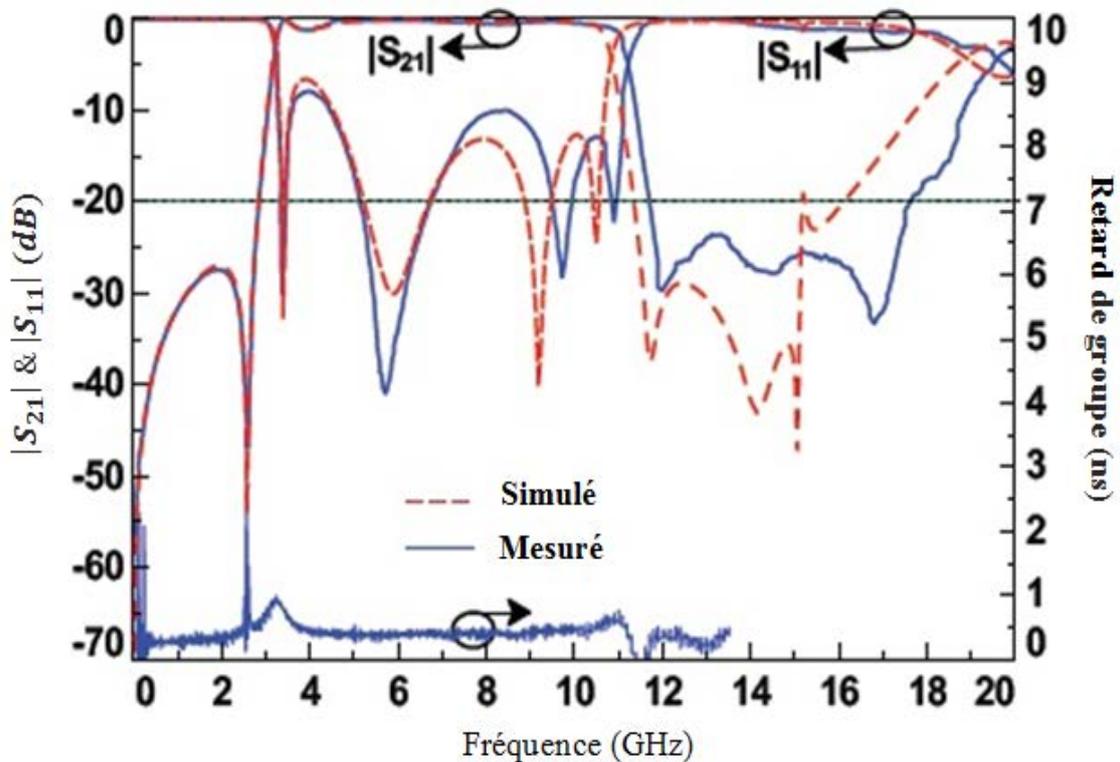


Figure V.16. Résultats simulés et mesurés du FPB ULB proposé [52].

Nous constatons que les  $|S_{21}|$  simulés et mesurés sont quasiment identiques dans la bande de réjection inférieure et à l'intérieur de la bande passante, mais décalés dans la bande de réjection supérieure. La bande passante mesurée à -3 dB s'étend de 3.2 GHz à 11.1 GHz, ce qui donne une bande passante relative de 115%. Une grande raideur est obtenue en raison de la présence des zéros de transmission sur les deux limites de la bande passante et une très bonne réjection des bandes inférieure et supérieure grâce aux deux coupleurs interdigités. Cependant, ces deux coupleurs sont responsables de l'ondulation qui apparaît aux alentours de

4 GHz, puisque cette dernière n'existe pas, comme l'indique la figure V.12, lorsque la structure ne comporte pas ces coupleurs. Pour éviter cette ondulation, nous aurions dû étendre davantage la bande passante des coupleurs (Figure V.14) vers les basses fréquences. Aussi, les pertes par réflexion mesurées sont-elles inférieures à -10 dB, quasiment dans la totalité de la bande d'opération. En ce qui concerne le niveau d'atténuation mesuré dans la bande rejetée supérieure, il est en dessous de -20 dB jusqu'à la fréquence 17.6 GHz. Quant au retard de groupe mesuré, il est quasiment constant et inférieur à 0.4 ns dans la bande passante. Enfin, le FPB ULB conçu a une taille très compacte d'environ  $0.382 \lambda_0 \times 0.307 \lambda_0$ .

En comparant les résultats (simulés et mesurés), obtenus par les auteurs de [48] qui avaient appliqué la méthode MMR (Figure V.9), à ceux (simulés et mesurés) auxquels a abouti la nouvelle méthode proposée (Figure V.16), nous pouvons dire, sans aucune hésitation, que nos résultats sont meilleurs, et ce malgré le fait que nous ayons choisi le circuit A offrant des performances relativement moins bonnes. En effet, le filtre conçu par MMR présente, comme l'illustrent les figures V.9 et V.16, un certain niveau de pertes d'insertion d'une part, et beaucoup d'ondulations d'autre part, ce qui n'est pas le cas du filtre conçu par la méthode proposée.

La nouvelle méthode de conception, que nous avons proposée, peut offrir plusieurs possibilités entre autres :

- la conception des filtres à plusieurs bandes de réjection [53] ;
- la conception de filtre passe bande ultra large bande dépassant celle fixée par la FCC et atteignant une largeur de bande relative de l'ordre de 140%.

### V.3.4. Comparaison des FPB ULB conçus par la méthode proposée

Le filtre que nous avons conçu avec la nouvelle méthode proposée et réalisé (Figure V.15) est le moins bon du point de vue performances électriques, mais le meilleur du point de vue encombrement, par rapport aux autres filtres conçus également avec la même méthode (Tableau V.1).

#### V.3.4.2. Comparaison des performances physiques et électriques

A l'aide du simulateur électromagnétique Momentum, nous avons obtenu les courbes de  $|S_{21}|$  et  $|S_{11}|$  des circuits A et B illustrées dans la figure V.17, dont les extrémités sont connectés aux interdigités (Figure V.7), et de ceux des références [48] et [50], tous conçus avec le même substrat de permittivité relative  $\varepsilon_r = 2.55$  et d'épaisseur  $h = 0.8$  mm. Les

dimensions du filtre sont :  $W_0=2.2$ ,  $W_1=4.55$ ,  $L_1=2.96$ ,  $W_2=0.31$ ,  $L_2=9.8$ ,  $W_3=0.5$ ,  $L_3=0.5$ ,  $W_4=0.5$ ,  $L_4=7.9$ ,  $W_5=0.64$ ,  $L_5=7.9$ ,  $W_6=3$ ,  $L_6=6.4$ ,  $L_7=0.8$  et  $S_1=S_2=0.21$  (tout en millimètre).

Il est clair que le filtre que nous avons conçu avec la nouvelle méthode proposée est plus compact par rapport à ceux des références [48] et [50], où la réduction de la taille est estimée à 54.12% et 27% comparativement avec celles des filtres des références [48] et [50] respectivement. Par contre, leurs réponses successives ( $|S_{21}|$ ) sont pratiquement identiques à l'intérieur de la bande passante (Figure V.17).

Dans la gamme de fréquences 3.1 à 3.7 GHz, la chute de  $|S_{21}|$  est causée par une légère désadaptation qui peut être réduite au minimum en procédant par deux manières. La première, consiste à choisir une longueur de  $L_3$  relativement plus longue, comme l'indique la réponse du filtre (B) (Figure V.17). Quant à la deuxième, elle porte sur l'ajustement des dimensions du coupleur afin d'atteindre une optimisation meilleure.

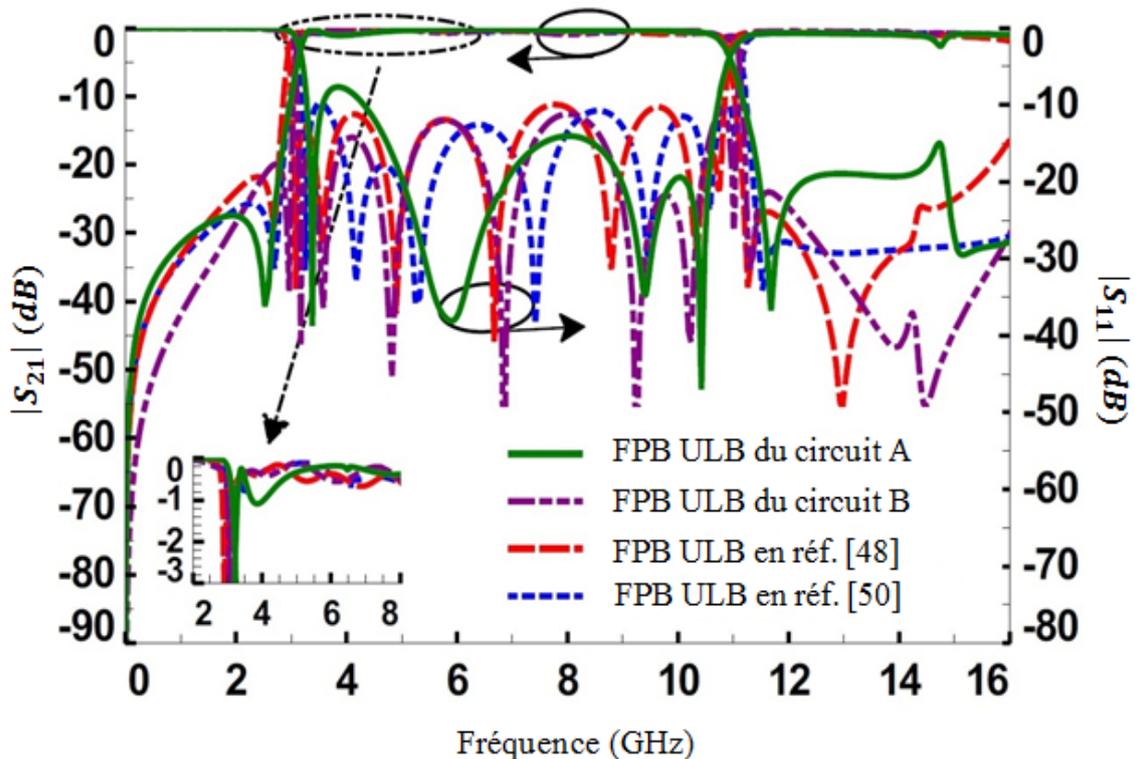


Figure V.17.  $|S_{21}|$  et  $|S_{11}|$  simulés du FPB ULB des circuits A et B et de ceux des références [48] et [50].

Le tableau V.3 de comparaison des différentes performances électriques et physiques de notre filtre à ceux des travaux récents basés sur la méthode MMR montre clairement que, le premier présente un bon compromis entre les performances électriques et l'encombrement par rapport aux autres filtres.

Référence	diélectrique $\varepsilon_r/h$ (mm)	$SF = \frac{\Delta f _{3dB}}{\Delta f _{30dB}}$	$-3dB\text{ FBW}(\%)$ $= \frac{\Delta f _{3dB}}{f_0} \times 100$	$f_c$ (GHz)	Taille du filtre $\lambda_0 \times \lambda_0$
[45]	10.8/1.27	0.594	114	15.6	$0.315 \times 0.061$
[47]	10.5/0.635	0.776	127	-	$0.23 \times 0.160$
[48]	2.55/0.8	0.926	114	16.1	$0.730 \times 0.350$
[50]	2.55/0.8	0.921	117	17.1	$0.514 \times 0.312$
Notre travail [52]	2.33/0.5	0.861	115	17.6	$0.382 \times 0.307$

Tableau V.3. Comparaison des performances du filtre réalisé avec ceux des filtres récents[52]. où : SF et  $f_c$  sont le facteur de sélectivité de la bande passante et la fréquence de la bande rejetée supérieure à l'atténuation de -20 dB, respectivement.  $\Delta f|_{3dB}$  et  $\Delta f|_{30dB}$  sont de bande passante à -3dB et à -30dB du FPB ULB, respectivement [50].

Nous observons que les dimensions des filtres, illustrés par le tableau V.3, ne peuvent en aucun cas faire l'objet d'une conception en technologie CMOS, ce qui n'est pas le cas, par contre, d'un filtre conventionnel. N'oublions pas que si nous faisons allusion à cette technologie c'est parce que le filtre en question doit être inséré dans un amplificateur LNA ULB, qui lui, doit être conçu et réalisé en technologie CMOS.

Pour mettre en évidence les avantages qu'offre le filtre FPB ULB compact, décrit précédemment, par rapport à un filtre passe bande conventionnel réalisé en technologie CMOS, nous allons, dans le paragraphe suivant, procéder à la synthèse de ce dernier.

#### V.4. Conception du Filtre CMOS ULB de type Tchebyshev

D'après les masques spectraux Indoor ou Outdoor, définis par le FCC (Figure IV.1), l'atténuation maximale est limitée à -20 dB. Pour réaliser une meilleure raideur de réjection du filtre passe bande ULB, la fréquence inférieure, à ce niveau d'atténuation, sera fixée à 2.8 GHz.

En appliquant la transformation en fréquence du filtre prototype passe-bas au filtre passe bande, la pulsation normalisée relative à l'atténuation citée ci-dessus est calculée comme suit [54]:

$$\omega_N = \frac{1}{\Delta} \left( \frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right) = -1.19 \quad (\text{V.23})$$

où:

- $\Delta = \left( \frac{\omega_2 - \omega_1}{\omega_0} \right)$  ;
- $\omega_0 = \sqrt{\omega_1 \omega_2}$  ;
- $\omega_1$  et  $\omega_2$  sont respectivement les pulsations aux fréquences de coupure  $f_1 = 3.1$  GHz et  $f_2 = 10.6$  GHz.

Le signe négatif de  $\omega_N$ , pour une transformation passe bas-passe bande, peut être prise en valeur absolue, du moment qu'elle représente l'atténuation envisagée [54].

En choisissant l'approximation par Tchebychev, la raideur de réjection, escomptée, peut être atteinte avec un ordre  $n$  de passe bas prototype inférieur à celui de l'approximation par Butterworth.

Le degré (l'ordre  $n$ ) d'un passe-bas prototype de Tchebychev est calculé par la relation suivante :

$$n \geq \frac{\cosh^{-1} \sqrt{\frac{10^{0.1 A_{\min}} - 1}{10^{0.1 A_{\max}} - 1}}}{\cosh^{-1}(\omega_N)} \quad (\text{V.24})$$

- Pour une ondulation de 0.5 dB, on obtient  $n=7$
- Pour une ondulation de 3 dB, on obtient  $n=5$

Pour l'approximation de Tchebychev 0.5 dB ( $n=7$ ), le schéma du prototype passe bas ainsi que celui du filtre passe bande sont illustrés par la figure V.18.

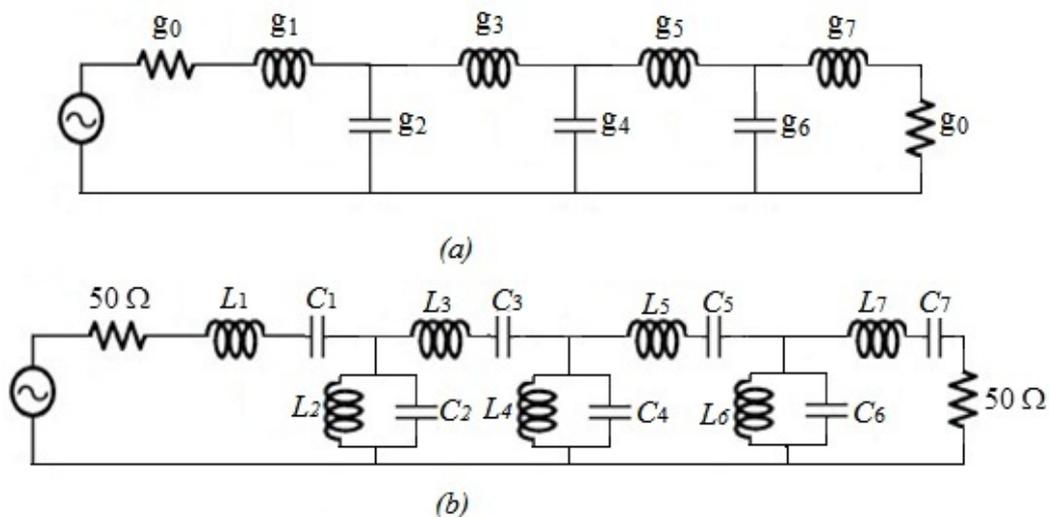


Figure V.18. (a) Prototype passe-bas, (b) filtre passe-bande dénormalisé [43].

Les valeurs des éléments  $g_i$  sont calculées à partir les expressions suivantes [55]:

$$g_i = \frac{1}{g_{i-1}} \frac{4 \sin\left(\frac{(2i-1)\pi}{2n}\right) \sin\left(\frac{(2i-3)\pi}{2n}\right)}{\gamma^2 + \sin^2\left(\frac{(i-1)\pi}{n}\right)} \quad i = 2, 3, \dots, n \quad (V.25)$$

$$g_{n+1} = \begin{cases} 1 & \text{si } n \text{ impair} \\ \operatorname{tgh}^{-1}(\beta/4) & \text{si } n \text{ pair} \end{cases} \quad (V.26)$$

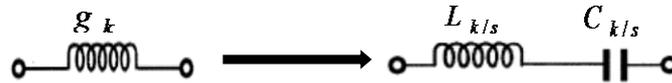
avec :

- $g_0 = 1, g_1 = \left| \frac{2}{\gamma} \sin\left(\frac{\pi}{2n}\right) \right|, \beta = \ln\left[ \operatorname{tgh}^{-1}\left(\frac{A_{\max}}{17.37}\right) \right]$  et  $\gamma = \sinh\left(\frac{\beta}{2n}\right)$ ;

- $n$  est l'ordre du filtre.

Les valeurs dénormalisées des inductances et capacités ( $LC$ ) du filtre basse bande (Tableau V.4) sont calculées en utilisant les expressions suivantes [56]:

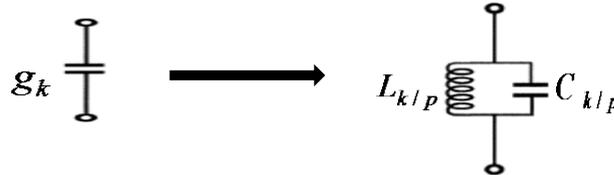
- transformation d'une inductance série en un circuit  $LC$  série



$$L_{k/s} = \frac{R_0 g_k}{\Delta \omega_0} \quad (V.27)$$

$$C_{k/s} = \frac{\Delta}{R_0 g_k \omega_0} \quad (V.28)$$

- transformation d'une capacité shunt en un circuit  $LC$  shunt



$$C_{k/p} = \frac{g_k}{R_0 \Delta \omega_0} \quad (V.29)$$

$$L_{k/p} = \frac{\Delta R_0}{g_k \omega_0} \quad (V.30)$$

où  $R_0$  est la résistance de normalisation qui vaut 50  $\Omega$ .

Eléments $g_i$	$g_0$	$g_1$	$g_2$	$g_3$	$g_4$	$g_5$	$g_6$	$g_7$
Valeurs normalisées	1	1.737	1.258	2.638	1.344	2.638	1.258	1.737
Inductances et capacités	$L_1=L_7$ (nH)	$C_1=C_7$ (pF)	$L_2=L_6$ (nH)	$C_2=C_6$ (pF)	$L_3=L_5$ (nH)	$C_3=C_5$ (pF)	$L_4$ (nH)	$C_4$ (pF)
Valeurs dénormalisées	1.84	0.41	1.44	0.53	2.8	0.27	1.35	0.57

Tableau V.4. Les valeurs des éléments  $g_i$  et des composants  $LC$  du filtre passe bande [43].

Les courbes des modules des coefficients de transmission  $|S_{21}|^2$  (dB) et de réflexion  $|S_{11}|^2$  (dB) du filtre de Tchebychev idéal (pas de pertes par effet Joule) et de celui implémenté en technologie CMOS 0.18  $\mu\text{m}$ , sont respectivement illustrées par les figures V.19 et V.20. La discordance des courbes pour les deux filtres est évidente puisque leurs inductances respectives sont modélisées par des circuits électriques très différents. En effet, pour le filtre idéal, c'est une inductance pure, et pour le filtre CMOS c'est le circuit donné par la figure I.5.

Pour le filtre CMOS 0.18  $\mu\text{m}$ ,  $|S_{21}|^2$  (dB) est inférieur à -4 dB, ce qui se traduit par des pertes. Dans l'intervalle 3 GHz - 9.2 GHz, ces pertes ne peuvent pas être dues à la réflexion puisque, d'après la figure V.20,  $|S_{11}|^2 \leq -10$  dB. Ces pertes sont, en fin de compte, générées par les résistances des inductances. Au-delà de 9.2 GHz, les pertes sont beaucoup plus importantes et proviennent essentiellement de la réflexion, toujours d'après la figure V.20. Ceci peut s'expliquer par le fait que le circuit électrique équivalent de l'inductance (Figure I.5) se transforme, lorsque la fréquence augmente, en un circuit capacitif, ce qui explique la réflexion totale au-delà de 10 GHz.

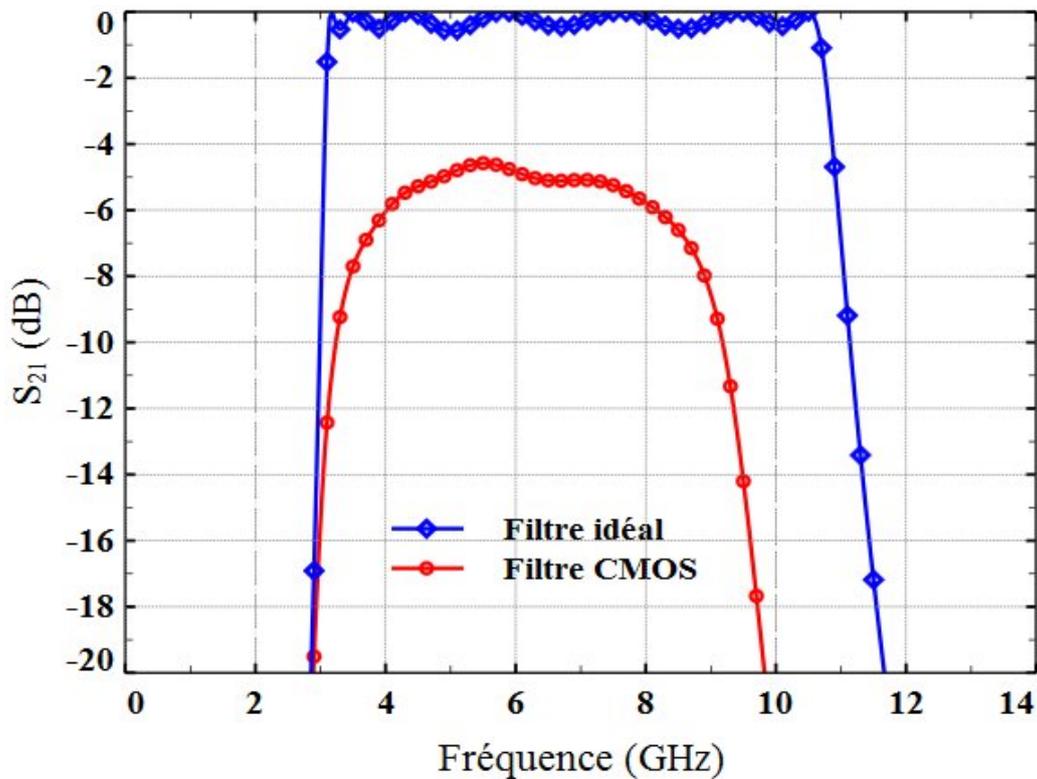


Figure V.19.  $|S_{21}|^2$  (dB) du filtre idéal et CMOS [43].

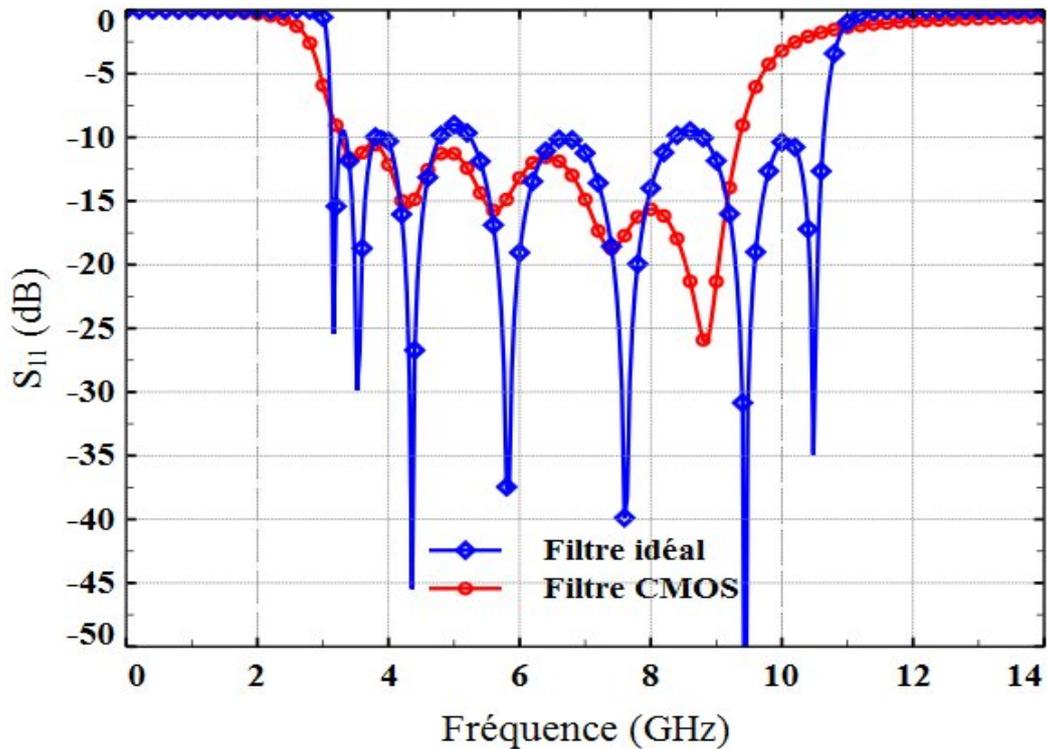


Figure V.20.  $|S_{11}|^2$  (dB) du filtre idéal et celui en CMOS [43].

### V.5. Simulation du LNA ULB avec filtre à forte sélectivité

Dans le but de comparer la contribution des deux filtres ULB à forte sélectivité conçus auparavant, en utilisant deux technologies différentes, sur l'amélioration de la sélectivité de LNA ULB conçu dans le chapitre IV (Figure IV.5), nous avons simulé les performances du LNA ULB, connectés en cascade à chacun des deux filtres (Figure IV.16).

Au premier circuit, à savoir le LNA ULB, le filtre de type Tchebychev (Figure V.18) complètement intégré sur du silicium, a été associé à l'entrée du dispositif.

D'après la relation (IV.2), l'entrée du LNA peut être assimilé à un circuit résonnant série, chargé par une résistance de valeur  $50 \Omega$ . Nous pouvons alors confondre l'entrée du LNA avec la dernière cellule du filtre de Tchebychev, constituée de l'inductance  $L_7$  et de la capacité  $C_7$  et est connectée à une charge  $50 \Omega$ . Nous devons donc avoir  $L_7 = L_g + L_s$  et  $C_7 = C_{gs}$ .

Quant au deuxième circuit, Le LNA ULB et le filtre ULB ont été implémentés en deux technologies différentes. Le LNA ULB en technologie CMOS tandis que le filtre (Figure V.15) est implémenté sur la technologie micro-ruban (technologie PCB).

La connexion entre le LNA sur puce et le filtre en PCB se fait avec un fil de câblage (ponts) de diamètre très réduit (environ  $25\mu\text{m}$ ). Cette technique est connue sous le nom de microcâblage (*wire bonding*). La figure V.21 illustre une connexion puce-substrat par wire bonding ainsi que le modèle électrique équivalent d'un bond wire (fil de câblage).

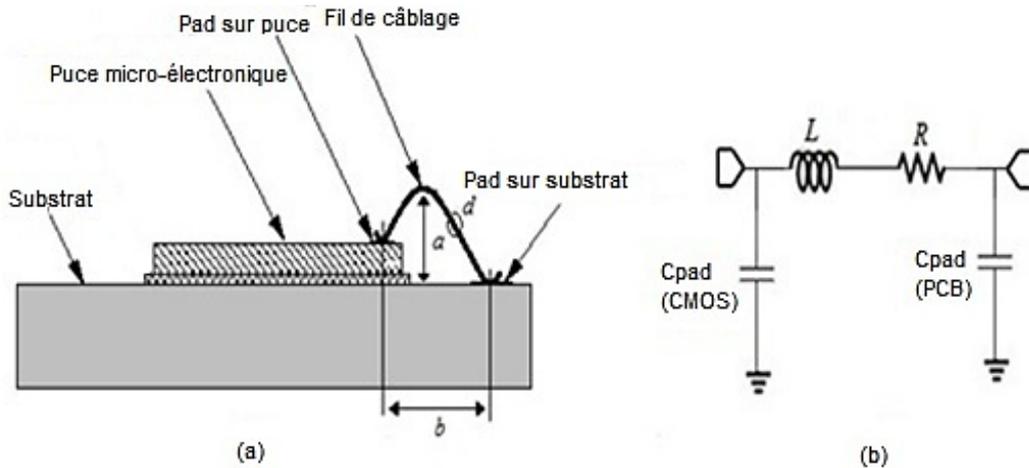


Figure V.21. (a) Connexion puce-substrat par wire bonding, (b) circuit  $RLC$  équivalent [57].

La valeur de l'inductance  $L$  peut être calculée en fonction des dimensions du fil de câblage (*bond wire*) en utilisant la formule suivante [57] :

$$L \approx \left( \frac{\mu_0 l}{2\pi} \right) \left[ \ln \left( \frac{2l}{r} \right) - 0.75 \right] \quad (\text{V.31})$$

où :

- $\mu_0 (H/m) = 4\pi \times 10^{-7}$  est la perméabilité de l'espace libre ;
- $r$  (m) et  $l$  (m) sont respectivement le rayon et la longueur du fil de câblage.

Pour un fil de câblage en or, la résistance série  $R$  peut s'exprimer comme [57] [58]:

$$R(\Omega) \approx \frac{\sqrt{f} l}{2\pi \sigma r 75} \quad (\text{V.32})$$

où  $\sigma (S/m)$  et  $f (Hz)$  sont la conductivité du matériau et la fréquence.

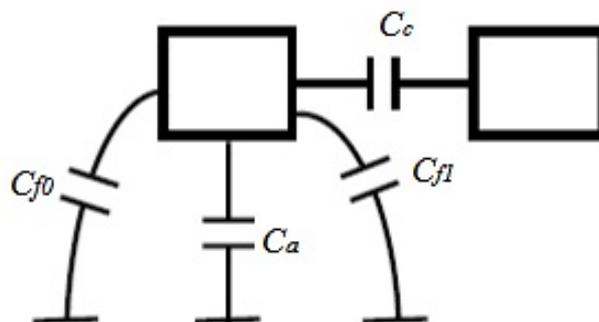


Figure V.22. Composants de la capacité équivalente de deux lignes adjacentes [59].

À partir des capacités résultantes des deux lignes adjacentes par rapport au plan de masse (Figure V.22), la capacité totale peut s'écrire comme suit [59]:

$$C_{tot} = C_a + C_{f_0} + C_{f_1} + C_c \quad (V.33)$$

avec :

- $C_a$  est la capacité de surface entre la couche de métallisation supérieure et la couche de métallisation inférieure de la ligne centrale;
- $C_f$  est la capacité de bord de chaque côté de la couche supérieure avec la couche inférieure de la ligne centrale ;
- $C_c$  est la capacité de couplage entre deux lignes adjacentes.

En technologie CMOS, la capacité de plot  $C_{pad}$  (fF/ $\mu\text{m}$ ) peut être obtenue à partir de la relation (V.33).

En vue de réduire la taille du circuit LNA en technologie CMOS, ce qui a pour conséquence la minimisation du coût de fabrication, l'inductance  $L_g$  peut être utilisée en tant que bond wire.

Les figures V.23, V.24 et V.25 représentent, respectivement, des courbes du gain ( $S_{21}$ ), du bruit, et du coefficient de réflexion en entrée ( $S_{11}$ ) relatives aux deux circuits du LNA avec filtre intégré et filtre PCB.

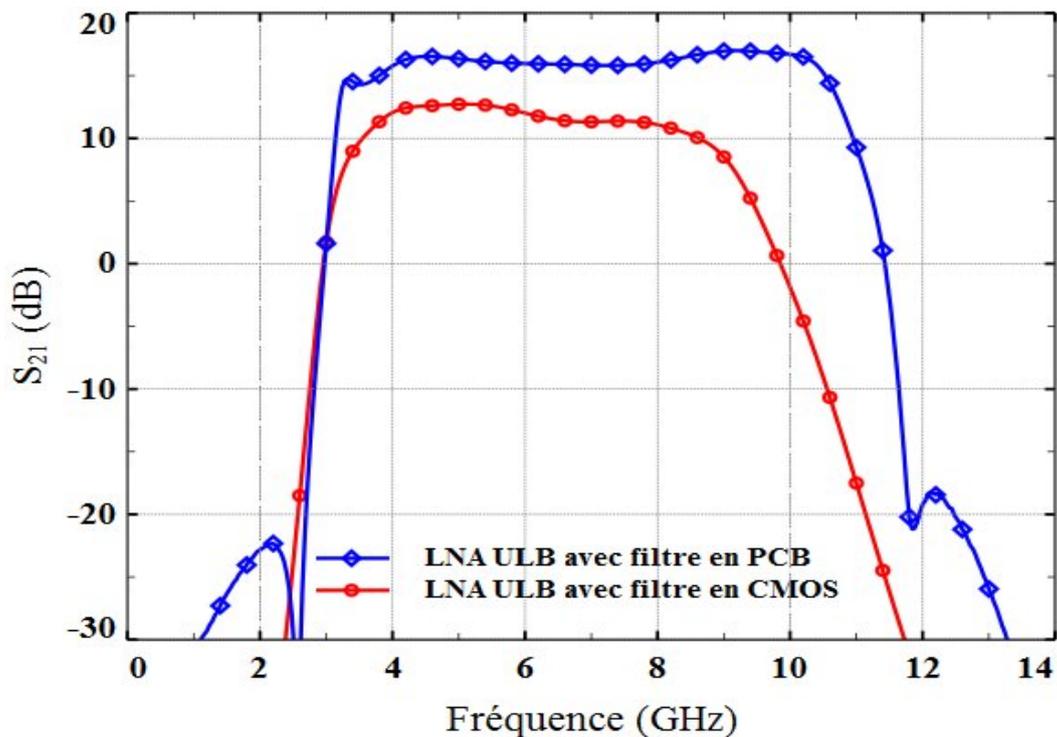


Figure V.23. Comparaison des gains du LNA ULB avec filtre en PCB et celui en CMOS [43].

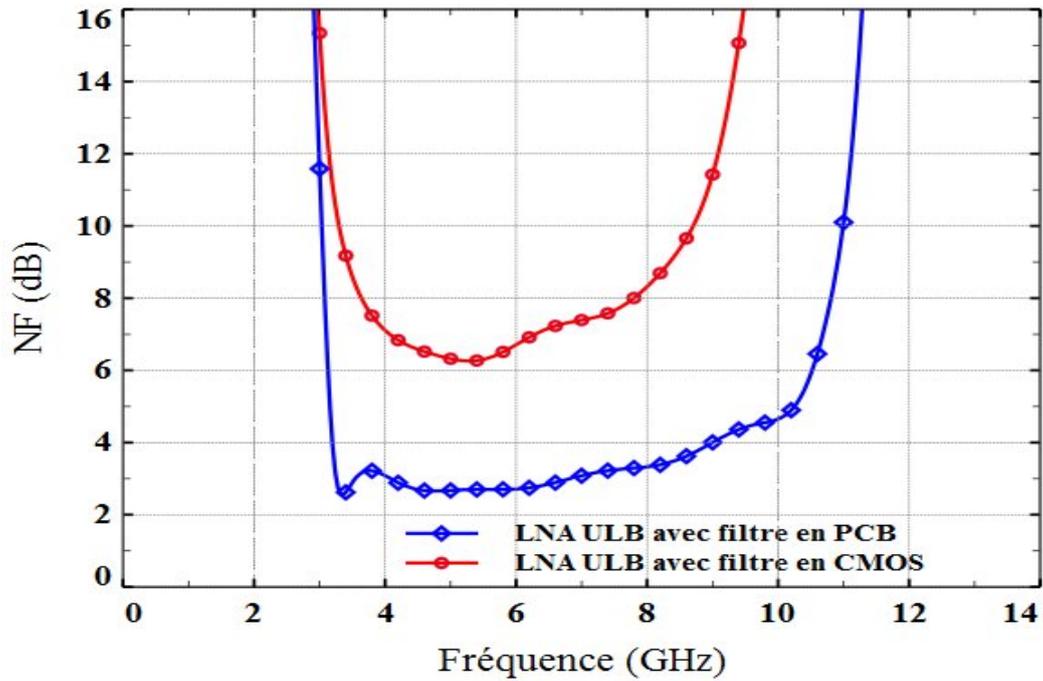


Figure V.24. Comparaison des facteurs de bruit du LNA ULB avec filtre en PCB et celui en CMOS [43].

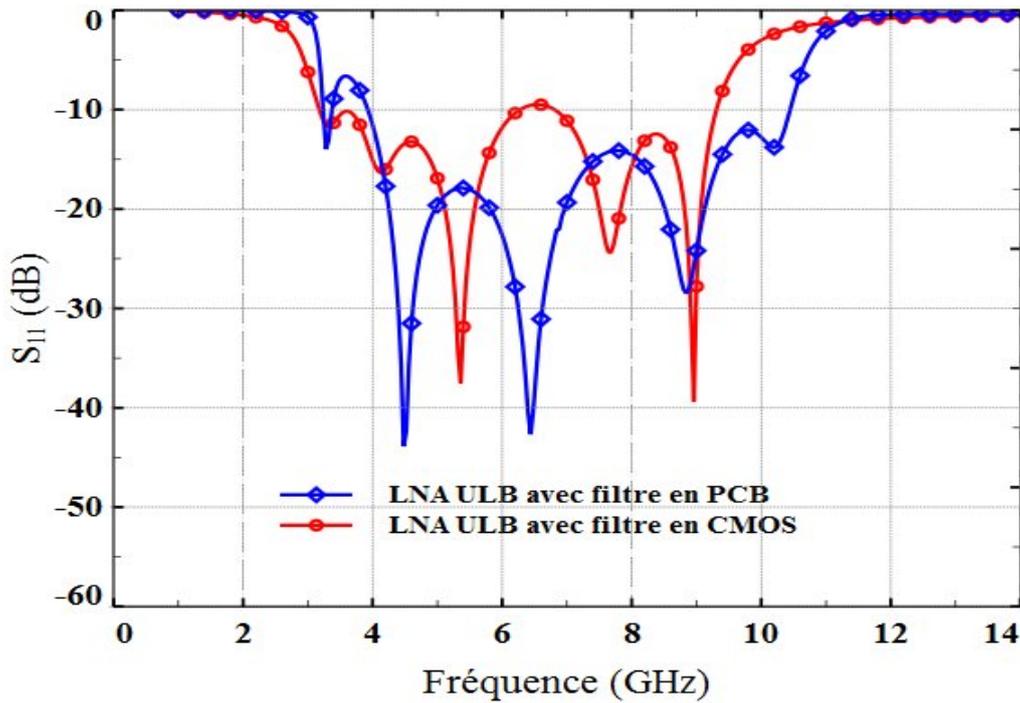


Figure V.25. Comparaison des coefficients de réflexion en entrée du LNA ULB avec filtre en PCB et celui en CMOS [43].

A partir des courbes ci-dessus, nous pouvons constater que la raideur du LNA avec filtre en PCB (SF=0.9) est nettement meilleure que celle du LNA avec filtre en CMOS (SF=0.57) ; aussi, la bande passante du LNA avec filtre en PCB couvre toute la bande d'opération s'étalant de 3.2 GHz jusqu'à 10.64 GHz, alors que celle du LNA avec filtre

CMOS est réduite de 3.48 GHz à 8.76 GHz. De plus, le gain ( $S_{21}$ ) du LNA avec filtre CMOS, est inférieure d'environ 5 dB par rapport au LNA à base du filtre PCB. Les causes de ces dégradations ont été précédemment citées dans l'étude des filtres PCB et CMOS. Ces causes, et plus particulièrement les résistances série des inductances en technologie CMOS, sont derrière la dégradation du facteur du bruit (NF) du LNA avec filtre CMOS.

A ces caractéristiques qui sont d'ordre électrique, nous devons ajouter une autre caractéristique qui n'est pas sans importance en l'occurrence le coût de fabrication. Celui d'un prototype en technologie CMOS (sur puce) est trop élevé par rapport à celui en PCB (hors puce). Le LNA en technologie hybride (LNA CMOS associé au filtre PCB) est donc moins coûteux que celui en technologie CMOS (LNA CMOS associé au filtre CMOS) à cause du nombre élevé des inductances CMOS.

Une comparaison des performances simulées des deux LNA ULB proposés, avec celles des autres LNA ULB, déjà publiés, est résumée dans le tableau V.5 où le facteur de mérite FOM [60] est défini par

$$FOM \text{ (GHz/mW)} = \frac{|S_{21\max}| \times BW}{(|NF_{\min}| - 1) \times P_{DC}} \quad (\text{V.34})$$

où  $|S_{21\max}|$ ,  $BW$  (GHz),  $|NF_{\min}|$  et  $P_{DC}$  (mW), sont respectivement, la valeur absolue du gain maximal, la bande passante, la valeur absolue du facteur de bruit minimal et la puissance dissipée.

Réf (Techno.)	BW -3dB (GHz)	$S_{11}$ ( $S_{22}$ ) (dB)	NF (dB)	$S_{21\max}$ (dB)	$V_{dd}$ (V)	$P_{DC}$ (mW)	SF= $\frac{\Delta f _{3dB}}{\Delta f _{20dB}}$	FOM (GHz/mW)
[61]* (0.13 $\mu\text{m}$ )	3-9.4	<-7 (<-8)	1.8-4.7	12	0.6	30	In	6.58
[62]* (0.13 $\mu\text{m}$ )	3-10	<-10 (<-10)	3-5.5	11.03	0.45	6.86	In	13
[63]* (0.18 $\mu\text{m}$ )	2.8-6.2	<-9 (In)	3.52~	15	1.8	5	0.57	17.21
[41]** (0.18 $\mu\text{m}$ )	3.1-10.6	<-9 (<-15)	2.7-4.6	13.5	0.9	7	0.79	27.82
[64]** (0.18 $\mu\text{m}$ )	3.1-10.6	<-10 (<-10)	2.9-5.4	12.6	1.8	15.2	0.70 <sup>#</sup>	9.45
[60]** (0.13 $\mu\text{m}$ )	2.35-9.37	<-8 (<-8)	3.68-9	10.3	1.3	9.97	In	5.65
Ce travail <sup>a</sup> (0.18 $\mu\text{m}$ )	3.48-8.76	<-10 (<-15)	6.26	12.73	1.8	16.5	0.57	1.86
Ce travail <sup>b</sup> (0.18 $\mu\text{m}$ )	3.2-10.64	<-7.5 (<-15)	2.5-5.7	17	1.8	16.5	0.90	29.03

Tableau V.5. Comparaison des performances simulées des LNA ULB proposés avec celles des autres travaux publiés [43].

avec : \* mesuré ; \*\* simulé, <sup>a</sup> LNA+filtre CMOS, <sup>b</sup> LNA+filtre PCB, <sup>~</sup> NF minimal, <sup>#</sup> SF estimé à  $\Delta f|_{3\text{dB}} / \Delta f|_{15\text{dB}}$  ; In : Indisponible; SF est le facteur de sélectivité de la bande passante.

D'après le tableau V.5, nous pouvons constater que le LNA associé à un filtre sélectif en PCB, en plus de sa meilleure sélectivité, présente des performances très compétitives avec celles des autres travaux (FOM=29.03).

## V.6. Conclusion

La nouvelle méthode de conception de filtres compacts que nous avons proposée, repose sur l'optimisation d'une fonction objectif. L'optimisation pose le plus souvent, surtout quand la fonction objectif n'est pas simple et de surcroît comprenant en son sein plusieurs variables, le problème de la non convergence et/ou celui de la convergence vers des solutions irréalisables. Pour éviter ces problèmes, nous avons montré un cheminement judicieux qui nous a conduit à une formulation simple de la fonction objectif avec, en plus, un nombre réduit de variables. De plus, la fonction objectif, telle qu'elle est formulée, peut répondre à n'importe quel cahier des charges à la seule condition que la bande passante relative n'excède pas 140%. Ajouté à cela, le fait que la méthode proposée peut générer plusieurs conceptions différentes par leurs performances et leurs dimensions. Cette particularité peut donc satisfaire différents cahiers des charges d'une part, et procéder à la recherche d'un compromis performances-dimensions.

En termes de précision et d'efficacité, la nouvelle méthode proposée s'apprête bien à ces deux critères, nous en avons pour preuve les bonnes performances du filtre choisi (circuit A), qui est pourtant le moins performant parmi les filtres obtenus. En effet, les résultats simulés et mesurés montrent de faibles pertes d'insertion, une bonne adaptation et une bonne sélectivité, en plus, d'un encombrement réduit.

Par contre, la méthode MMR, prend seulement en compte quelques pôles de transmission (2 à 3 pôles), définis à certaines fréquences particulières contenues à l'intérieur de la bande passante, ce qui permet une adaptation seulement à ces points qui ne dépassent pas cinq dans les meilleurs des cas.

Les résultats, obtenus du LNA CMOS ULB associé à un filtre sélectif, implémenté en technologie circuit imprimé (PCB), sont très compétitifs, notamment en termes de sélectivité de la réponse en fréquence, comparativement aux résultats des travaux effectués antérieurement et inhérents au domaine de la conception de filtres.

# **Chapitre VI**

## CONCEPTION D'UN REGULATEUR DE TENSION D'ALIMENTATION DU LNA

### VI.1. Introduction

Le LDO (*Low Drop-Out*) est un régulateur de tension qui consiste à fournir, aux blocs analogiques et radio fréquence (Figure VI.1(a)) [65], une tension d'alimentation quasiment stable, c'est-à-dire une tension avec un minimum d'ondulation. Dans les applications portables, l'intégration sur puce des différents circuits analogiques et digitaux tels que le LDO devient une nécessité, afin d'améliorer les performances du système entier. La conception d'un LDO doit répondre à un certain ensemble de contraintes, à savoir une faible chute de tension d'alimentation (un bon rendement énergétique), un faible courant de repos, un très faible temps de réponse (large slew rate : SR), ainsi que la stabilité. Ces différentes performances sont antagoniques, du fait que la faible chute de tension d'alimentation appliquée à un transistor de puissance ( $P_{pass}$ ), qui est censé fournir un courant relativement important, exige un courant de charge à la capacité parasite ( $C_{par}$ ) au niveau de la grille de  $P_{pass}$  relativement élevé afin d'obtenir une tension de grille suffisante, en conséquence, le courant de consommation de l'amplificateur d'erreur augmente (Figure VI.1(b)) [66].

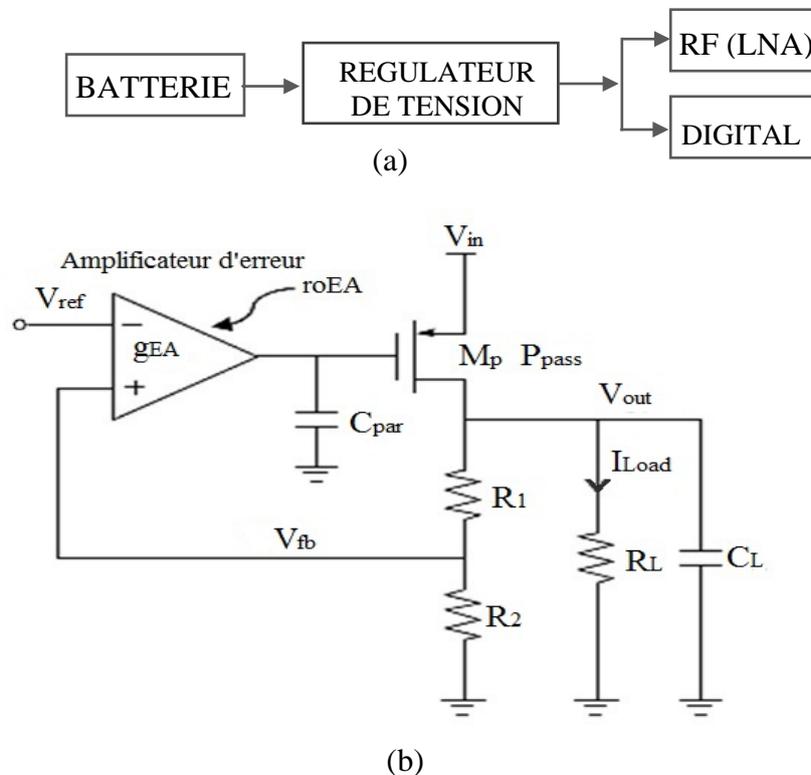


Figure VI.1. (a) Répartition simplifiée des circuits intégrés [65], (b) Schéma conventionnel d'un LDO [66].



d'établissement ( $T_r=650ns$ ), comparativement à d'autres topologies, et ce en ayant une faible consommation de courant [68].

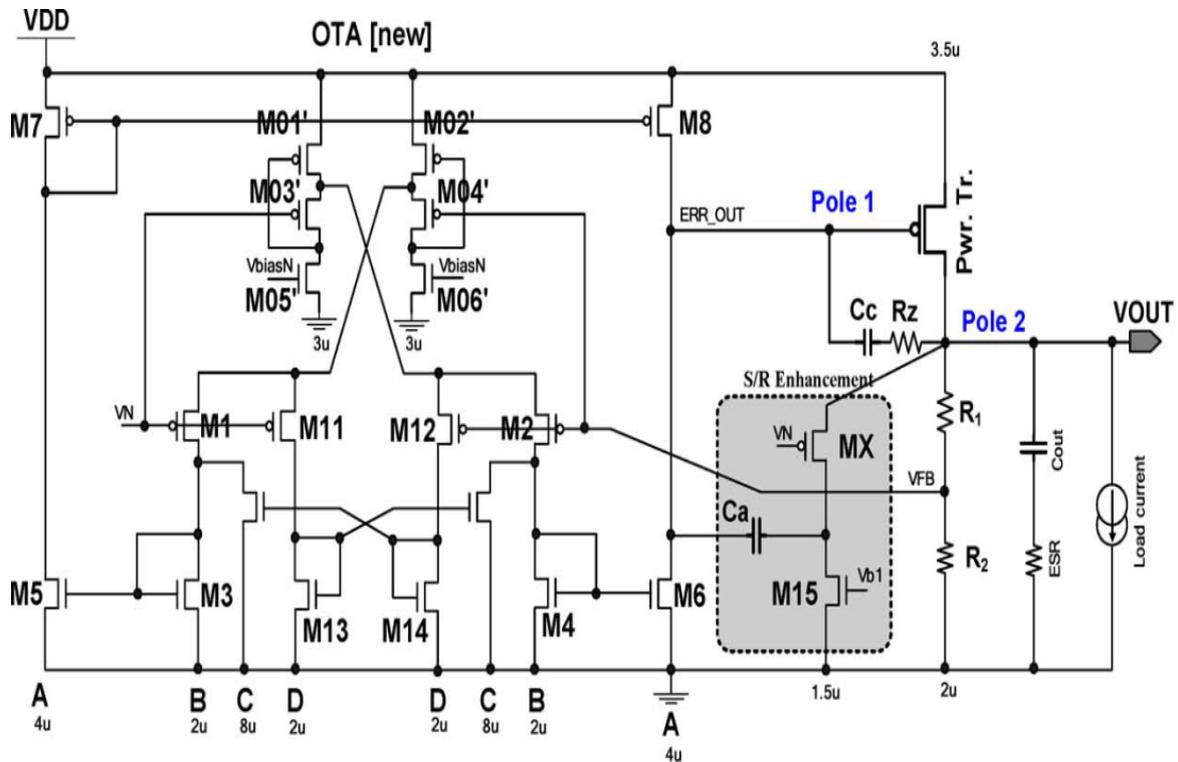


Figure VI.3. Schéma du LDO proposé [68].

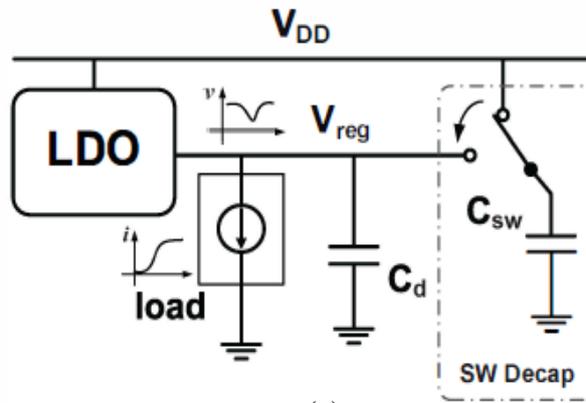
Par ailleurs, les deux techniques proposées dans [69], basées sur l'utilisation des capacités commutées, ont permis d'améliorer le rendement en puissance et de réduire le régime transitoire du LDO. La première technique est illustrée dans la figure VI.4(a) où lors d'une chute de tension  $V_{reg}$ , due généralement à une extra demande de courant de charge  $I_{Load}$ , la quantité de charge dans la capacité  $C_{sw}$  sera rajoutée à celle de  $C_d$  (switch fermé, donc  $C_{sw}$  et  $C_d$  sont en parallèle). Dans ce cas, la tension  $V_{reg}$  sera réduite, et par conséquent, le rendement énergétique sera amélioré  $\eta = 1 - (V_{DO}/V_{dd})$ . Concernant la deuxième technique (Figure VI.4(b)), la chute de tension  $V_{reg}$  provoque la fermeture du switch de la capacité  $C_{sw\_d}$  qui sera connectée à la grille du transistor de puissance  $P_{pass}$ . Dans ce cas, la tension  $V_x$  de la grille de  $P_{pass}$  diminue, ce qui réduit le temps de charge de la capacité équivalente. Dans le cas contraire, le switch de la capacité  $C_{sw\_u}$  se ferme et par conséquent la tension  $V_x$  augmente.

Le tableau VI.1 présente les différentes performances des LDOs, discutés précédemment, selon la technologie (Techno.) et où :

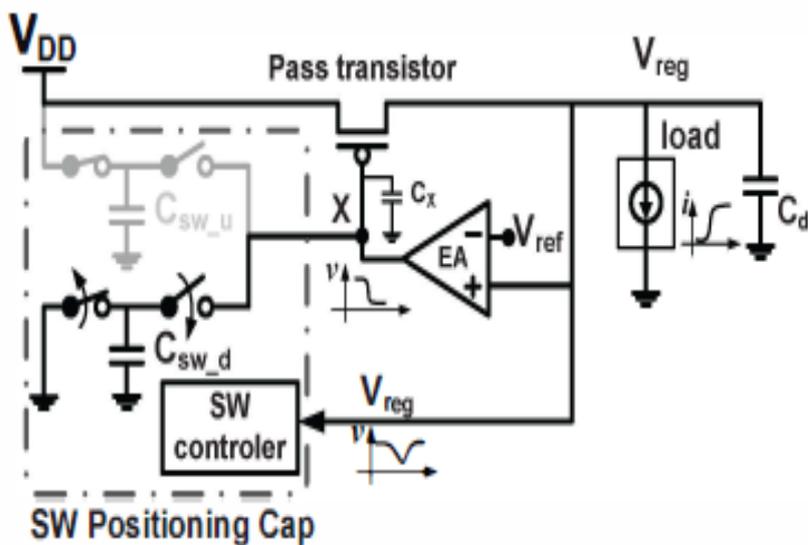
- $V_{in}$  (ou  $V_{bat}$ ),  $V_{out}$ ,  $I_{Load}$ ,  $I_Q$ ,  $LR$  et  $T_r$  sont, respectivement, la tension d'entrée ou de batterie, la tension de sortie du LDO, le courant de charge maximal, le courant de

consommation du LDO, la régulation de la charge (*Load regulation*) et le temps de régime transitoire (temps de réponse régulation) ;

- $LR = \frac{V_{out}}{I_{Load}}$ .



(a)



(b)

Figure VI.4 .Schémas conceptuels des techniques à capacités commutées : (a) première technique, (b) deuxième technique [69].

Ref.	Techno. ( $\mu\text{m}$ )	$V_{bat}$ (V)	$V_{out}$ (mV)	$I_{Load\_max}$ (mA)	$I_Q$ ( $\mu\text{A}$ )	$LR$ (mV/mA)	$T_r$ ( $\mu\text{s}$ )
[67]	0.35	2.5-4	150	100	7 (no load)	0.08	0.15
[68]	0.11	1.8-3.6	200	200	51	-	0.65
[69]	0.09	1	70	100	38	0.003	0.80

Tableau VI.1.Comparaison des différentes performances des LDOs.

### VI.3. Conception de régulateur de tension (LDO)

Dans les systèmes embarqués mobiles sans-fil, tels que la téléphonie mobile, l'alimentation des différents blocs est assurée par une batterie. L'objectif du LDO est de fournir une tension d'alimentation plus stable que celle de la batterie (notamment lors de la charge de batterie). Cette tension d'alimentation va, par la suite, alimenter les différents blocs analogiques et digitaux du système. La faible chute de tension de la batterie ( $V_{bat}$ ) vers une tension stable, à la sortie du LDO, est nécessaire pour deux raisons. La première est relative au besoin d'appliquer des tensions d'alimentation inférieures à celle de la batterie, pour des applications ultra faible consommation de puissance. La deuxième est de garantir un bon rendement énergétique.

Les principales étapes de conception d'un LDO peuvent se résumer dans les points suivants :

- Définir les spécifications par un cahier de charges ;
- Choisir la topologie du LDO ;
- Etudier le modèle théorique du LDO et dimensionner ses différents composants (transistors, capacités et résistances) en considérant la technologie d'implémentation (CMOS 28 nm dans notre cas);
- Validation du modèle du circuit retenu par simulation en utilisant l'outil cadence.

#### VI.3.1. Etablissement d'un cahier de charge

En se basant sur l'état de l'art, exposé dans la section précédente, nous pouvons en déduire les spécifications du LDO à concevoir. Le tableau VI.2 résume les principales performances ciblées.

Paramètres	Techno. (nm)	$V_{in}$ (V)	$V_{out}$ (V)	$I_{Load}$ (mA)	$I_Q$ ( $\mu$ A)	$T_r$ (ns)
spécifications	28	1.2	1	5	<20	<10

Tableau VI.2. Les spécifications de LDO.

#### VI.3.2. Etude du modèle théorique du LDO et dimensionnement des différents composants

La figure VI.1, illustre les principaux composants du LDO, à savoir, l'amplificateur d'erreur, le transistor PMOS de puissance  $P_{pass}$ , la tension de référence ( $V_{ref}$ ), le réseau de contre-réaction ( $R_1$  et  $R_2$ ) ainsi que les éléments de la charge ( $R_L$  et  $C_L$ ). La capacité de grille du transistor  $P_{pass}$  représentée par  $C_{par}$ .

Dans cette étape, nous allons étudier le comportement du LDO en se basant sur la variation de la tension de sortie  $V_{out}$  lors des variations du courant de charge  $I_{Load}$ . Pour cela, un modèle théorique de la fonction de transfert  $V_{out}/I_{Load}$  est calculé, afin d'étudier l'impact des différents composants du LDO sur la régulation, notamment, sur le temps de réponse et sur la stabilité du régulateur.

La fonction de transfert  $V_{out}/I_{Load}$  est calculée sur la base du modèle petit signal du LDO (Figure VI.5) [66].

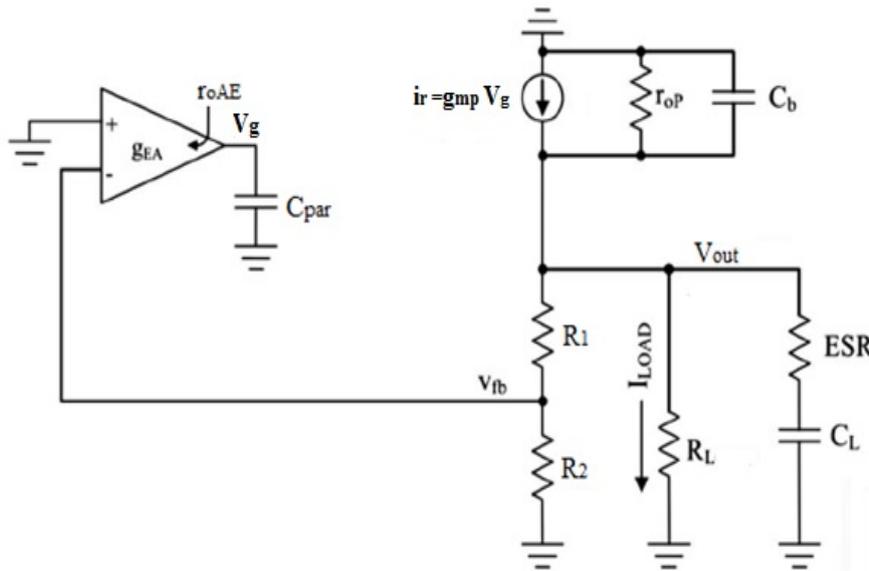


Figure VI.5. Schéma petit signal du LDO [66].

L'expression de la fonction de transfert  $V_{out}/I_{Load}$ , dans le domaine de Laplace, est donnée par:

$$\frac{V_{out}}{I_{Load}}(s) = \frac{s^2 \left( \frac{ESR C_L}{r_{oEA} C_{par}} + 1 \right) + s(ESR C_L) + \frac{1}{r_{oEA} C_{par}}}{s^3 (ESR C_L C_b) + s^2 \left( R_{eq} ESR C_L + (C_L + C_b) + \frac{ESR C_L C_b}{r_{oEA} C_{par}} \right) + s \left( R_{eq} + \frac{ESR C_L (C_L + C_b) M}{r_{oEA} C_{par}} \right) + M} \quad (V.1)$$

avec :

- $ESR, r_{op}, C_b, g_{mp}, g_{EA}$  et  $r_{oEA}$  sont, respectivement, la résistance série de la capacité  $C_L$ , la résistance de sortie du transistor de puissance  $P_{pass}$ , la capacité de sortie ( $C_b = C_{ds}$ ) du transistor  $P_{pass}$ , la transconductance du transistor  $P_{pass}$ , la transconductance équivalente de l'amplificateur d'erreur et sa résistance équivalente;

- $R_{eq} = \frac{1}{r_{op}} + \frac{1}{(R_1 + R_2)}$  ;
- $M = R_{eq} + \beta g_{mp} g_{EA} r_{oEA}$  ;
- $\beta = \frac{R_2}{R_1 + R_2}$  .

La forme générale de la fonction de transfert des systèmes du deuxième ordre s'écrit comme [70]:

$$H(s) = \frac{K\omega_0^2}{s^2 + 2\xi\omega_0s + \omega_0^2} \quad (\text{VI.2})$$

avec :

- $K$  le gain statique du système ;
- $\omega_0$  la Pulsation naturelle ou pulsation propre non-amortie du système (elle s'exprime en radians par seconde) ;
- $\xi$  est le facteur d'amortissement du système.

L'étude des pôles de la fonction de transfert de deuxième ordre (VI.2) permet d'estimer le temps de réponse du système. Cette étude est basée sur l'analyse des deux paramètres  $\omega_0$  et  $\xi$ . En négligeant la capacité  $C_b$ , le dénominateur de (VI.1) devient un polynôme du deuxième degré. En comparant le dénominateur de (VI.1) avec celui de (VI.2), les deux paramètres  $\omega_0$  et  $\xi$  peuvent s'exprimer comme:

$$\omega_0 = \sqrt{\frac{R_{eq} + \beta g_{mp} g_{EA} r_{oEA}}{r_{oEA} C_{par} C_L (R_{eq} ESR + 1)}} \quad (\text{VI.3})$$

$$\xi = \frac{r_{oEA} C_{par} R_{eq} + ESR C_L (R_{eq} + \beta g_{mp} g_{EA} r_{op}) + C_L}{2 r_{oEA} C_{par} C_L \omega_0} \quad (\text{VI.4})$$

La réponse indicielle, dans le domaine de Laplace de la fonction de transfert (VI.1), pour une entrée en échelon, peut s'écrire comme suit :

$$V_{out}(s) = \frac{\frac{A}{s} \left[ s^2 \left( \frac{ESR C_L}{r_{oEA} C_{par}} + 1 \right) + s(ESR C_L) + \frac{I}{r_{oEA} C_{par}} \right]}{s^3 (ESR C_L C_b) + s^2 \left( R_{eq} ESR C_L + (C_L + C_b) + \frac{ESR C_L C_b}{r_{oEA} C_{par}} \right) + s \left( R_{eq} + \frac{ESR C_L (C_L + C_b) M}{r_{oEA} C_{par}} \right) + M} \quad (\text{VI.5})$$

avec  $A$  l'amplitude du courant de charge  $I_{Load}$  pour  $t \geq 0$ .

Avant de tracer cette réponse indicielle, il faut d'abord calculer tous les paramètres de l'expression (VI.5), à savoir, ceux du transistor de puissance ( $g_{mp}, r_{op}, C_{par}, C_b$ ), de l'amplificateur d'erreur ( $g_{EA}, r_{oEA}$ ), de la contre réaction ( $R_1 + R_2$ ) ainsi que ceux de la capacité de la charge ( $ESR, C_L$ ).

### VI.3.2.1. Détermination des paramètres du transistor de puissance

Le rôle du transistor de puissance dans un LDO consiste, d'une part, à faire chuter la tension d'entrée  $V_{in}$  à une tension de sortie  $V_{out}$ , et d'autre part, à fournir un courant bien déterminé ( $I_{Load}$ ) à la charge. L'objectif est donc de dimensionner le transistor choisi en considérant les contraintes citées dans le cahier de charges.

En partant de la spécification sur  $V_{in}$  et  $V_{out}$ , la chute de tension  $V_{DO}$  (Drop-Out) s'écrit comme suit :

$$V_{DO} = V_{in} - V_{out} \quad (VI.6)$$

En régime de saturation, la tension drain source  $V_{ds}$  de PMOS doit être inférieure ou égale à la tension  $V_{DO}$  ( $V_{ds\ sat} \leq V_{DO}$ ). L'expression de la capacité grille-drain  $C_{gd}$ , dans ce régime de saturation, peut s'exprimer comme suit :

$$C_{gd} = W L C_{ox} \quad (VI.7)$$

La capacité parasite  $C_{par}$  et la capacité  $C_b$  (Figure VI.5), peuvent s'écrire comme :

$$C_{par} = C_{gs} + (1 + g_{mp} R_{out}) C_{dg} \quad (VI.8)$$

$$C_b = C_{ds} \quad (VI.9)$$

A partir de l'expression (I.3), on en déduit:

$$W = \frac{2 L I_{ds}}{\mu_p C_{ox} (V_{ds\ sat})^2} \quad (VI.10)$$

dont l'expression de courant de drain  $I_{ds}$  ainsi que celle de la capacité grille source  $C_{gs}$ , en régime de saturation, sont déjà données par les relations (I.3) et (III.18) respectivement.

Les valeurs de  $C_{gs}$  et  $C_{gd}$  peuvent être calculées avec les équations ci-dessus, mais pour avoir une bonne précision il vaut mieux les simuler.

En mode de saturation, la tension source grille du transistor PMOS doit être supérieure à la tension de seuil ( $V_{gs} > V_T$ ) et la tension source drain doit être supérieure à  $V_{ds\ sat}$ . Ceci permet de déterminer la dynamique de la tension  $V_g$  au niveau de la grille comme suit :

$$V_d - V_T < V_g < V_s - V_T \quad (VI.11)$$

avec :  $V_d = V_{out}$  et  $V_s = V_{bat}$

Etant donné que la tension de batterie ( $V_{bat}$ ) est fixée à 1.2V, le transistor choisi doit supporter une tension supérieure à  $V_{bat}$ . Des simulations ont été faites sur deux catégories de transistors PMOS, en technologie CMOS 28 nm, supportant des tensions  $V_{max}$  égales à 1.5 V et 1.8 V.

La comparaison des différents paramètres obtenus, des deux transistors PMOS, est donnée dans le tableau VI.3.

Type de TR	$V_{max}$ (V)	W/L ( $\mu\text{m}/\text{nm}$ )	$V_T$ (mV)	$V_{gs}$ (mV)	$C_{gs}/C_{gd}$ (fF)	Dynamique de $V_g$ (mV)	$I_{ds}$ (mA)
PMOS_1.8	1.8	960/150	305	505	938.7/533.3	$695.0 < V_g < 895.0$	5.0
PMOS_1.5	1.5	670/100	301	500	484.7/178.1	$699.7 < V_g < 899.7$	5.0

Tableau VI.3. Paramètres des transistors PMOS pour un  $V_{DO}=200$  mV et  $I_{ds}=5$  mA.

A partir des données, illustrées dans le tableau VI.3, nous pouvons constater que le transistor PMOS\_1.5V présente la plus faible taille et la plus faible capacité parasite ( $C_{par}$ ) par rapport au transistor PMOS\_1.8V. Étant donné que le temps de réponse du régulateur dépend du temps de charge de la capacité parasite  $C_{par}$ , et que ce temps de charge est proportionnel à la valeur de  $C_{par}$ . C'est la raison pour laquelle nous avons choisi le transistor PMOS\_1.5V.

La transconductance du transistor s'écrit comme suit :

$$g_{mp} = \sqrt{2\mu_p C_{ox} \frac{W}{L} I_{ds}} \quad (VI.12)$$

En négligeant la capacité  $C_b$ , la résistance de sortie de LDO  $R_{out}$  ainsi que la résistance de charge  $R_L$  (Figure.VI.5), peuvent s'exprimer comme suit :

$$R_{out} = r_{op} // R_L // (R_1 + R_2) \quad (VI.13)$$

$$R_L = V_{out} / I_{Load} \quad (VI.14)$$

### VI.3.2.2. Détermination des paramètres de la contre réaction

La résistance  $R_1$  est choisie égale à 240 k $\Omega$  afin d'avoir une faible consommation sur le diviseur de tension. A l'état établi, la tension  $V_{fb} = V_{ref}$  (Figure VI.1), et la tension de sortie s'exprime par la relation suivante:

$$V_{out} = \left(1 + \frac{R_1}{R_2}\right) V_{fb} = \left(1 + \frac{R_1}{R_2}\right) V_{ref} \tag{VI.15}$$

De la relation (VI.15), on déduit la résistance  $R_2$  comme suit :

$$R_2 = \left(\frac{R_1 V_{ref}}{V_{out} - V_{ref}}\right) \tag{VI.16}$$

### VI.3.2.3. Simulation de la réponse indicielle

La simulation de la réponse indicielle de la fonction de transfert ainsi que le calcul des paramètres  $\omega_0$  et  $\xi$  ont pour objectif d'estimer les valeurs des paramètres de l'amplificateur d'erreur ( $g_{EA}, r_{oEA}$ ) et celles de la capacité de charge (ESR,  $C_L$ ) répondant au cahier des charges. Une simulation paramétrique a permis de calculer ces paramètres dont les valeurs sont données dans le tableau VI.4. Le tracé de la réponse indicielle, défini par la relation (VI.5), est illustré dans la figure VI.6.

Paramètres du LDO	$g_{EA}$ ( $\mu A/V$ )	$r_{oEA}$ (K $\Omega$ )	$g_{mp}$ (mA/V)	$C_{par}$ (pF)	$r_{op}$ (K $\Omega$ )	$C_b$ (fF)	ESR ( $\Omega$ )	$C_L$ (fF)	$R_1$ (K $\Omega$ )	$R_2$ (K $\Omega$ )
valeurs	518.7	1403	47.95	1.504	198.6	0.364	0.5	10	240	160

Tableau VI.4. Valeurs des paramètres du LDO

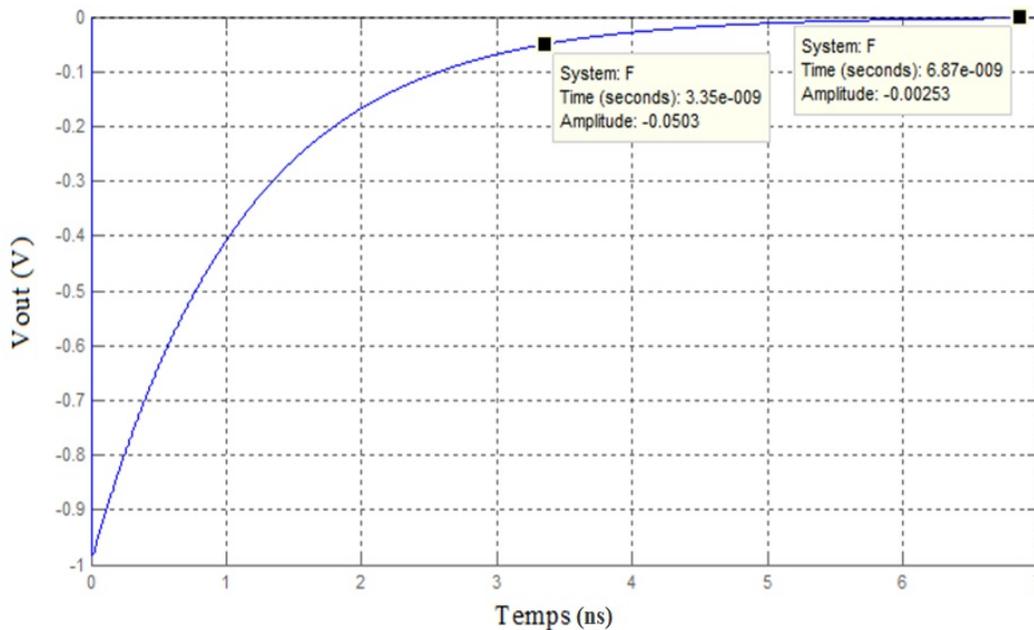


Figure VI.6. Réponse indicielle du LDO.

Nous pouvons remarquer, à partir de la figure VI.6, que l'évolution de la tension  $V_{out}$  est passée de -0.98 V jusqu'à 0 V, soit une variation d'environ 1 V, et cela pour une variation de  $I_{load}$  de 5 mA et pour un temps de réponse de 3.35 ns. De plus, le temps de réponse

calculé, en utilisant la relation  $T_r = 6\xi / \omega_0$  (car  $(\xi > 1)$ ) [70], est quasiment égal à celui obtenu à 95% du régime permanent (Figures VI.6).

### VI.3.2.4. Etude de stabilité du LDO

Dans cette partie, nous allons étudier la stabilité du LDO. Cette dernière doit être garantie sur toutes les conditions d'utilisation de la charge (que la charge soit éteinte ou allumée). La figure VI.7 représente un schéma petit signal du LDO en boucle ouverte. A partir de ce schéma, on pourra déterminer le gain en boucle ouverte ainsi que les pôles et les zéros du système.

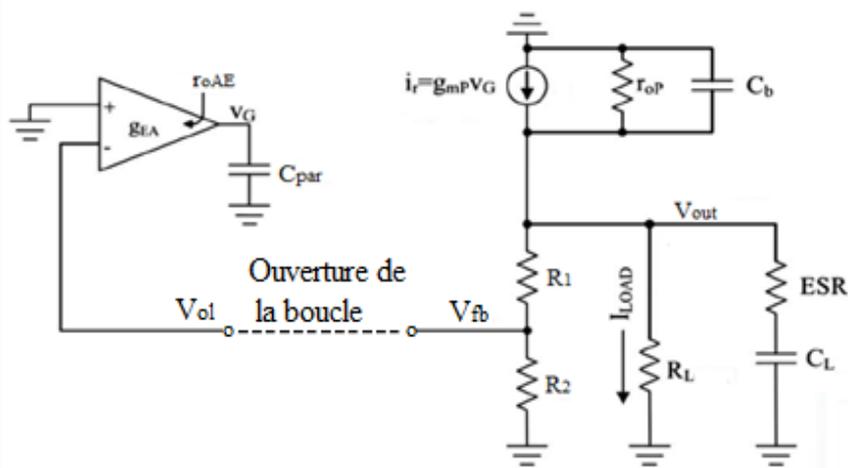


Figure VI.7. Schéma petit signal du LDO en boucle ouverte.

Le gain en boucle ouverte est donné par l'expression suivante :

$$G(s) = \frac{V_{fb}}{V_{ol}} = \frac{(sC_L r_{op} ESR R_L + r_{op} R_L) A_m}{s^2 \left( ESR r_{op} C_{par} C_L \left( R_T + \frac{r_{op} R_L}{ESR} \right) \right) + s \left( (C_{par} r_{oAE} + C_L ESR) R_T + r_{op} R_L C_L \right) + R_T} \quad (VI.17)$$

avec :

- $A_m = \beta g_{mp} g_{EA} r_{oEA}$  ;
- $R_T = r_{op} + R_L + \frac{r_{op} R_L}{r_{op} + R_L} \approx r_{op} + R_L$ .

Les courbes du module et de la phase du gain en boucle ouverte sont illustrées dans la figure VI.8. On peut constater que la phase du gain en boucle ouverte  $\varphi$  vaut  $90^\circ$  à la fréquence  $f=0.653$  GHz où le module du gain s'annule.

Pour évaluer la stabilité du système, nous devons calculer sa marge de phase  $M_\varphi$ , qui peut s'exprimer comme suit :

$$M_\varphi = 180^\circ - \varphi|_{\text{gain}=0\text{dB}} \quad (\text{VI.18})$$

Nous constatons que la marge de phase  $M_\varphi = 90^\circ$  est supérieure à 45 [70] ce qui signifie que le LDO est stable.

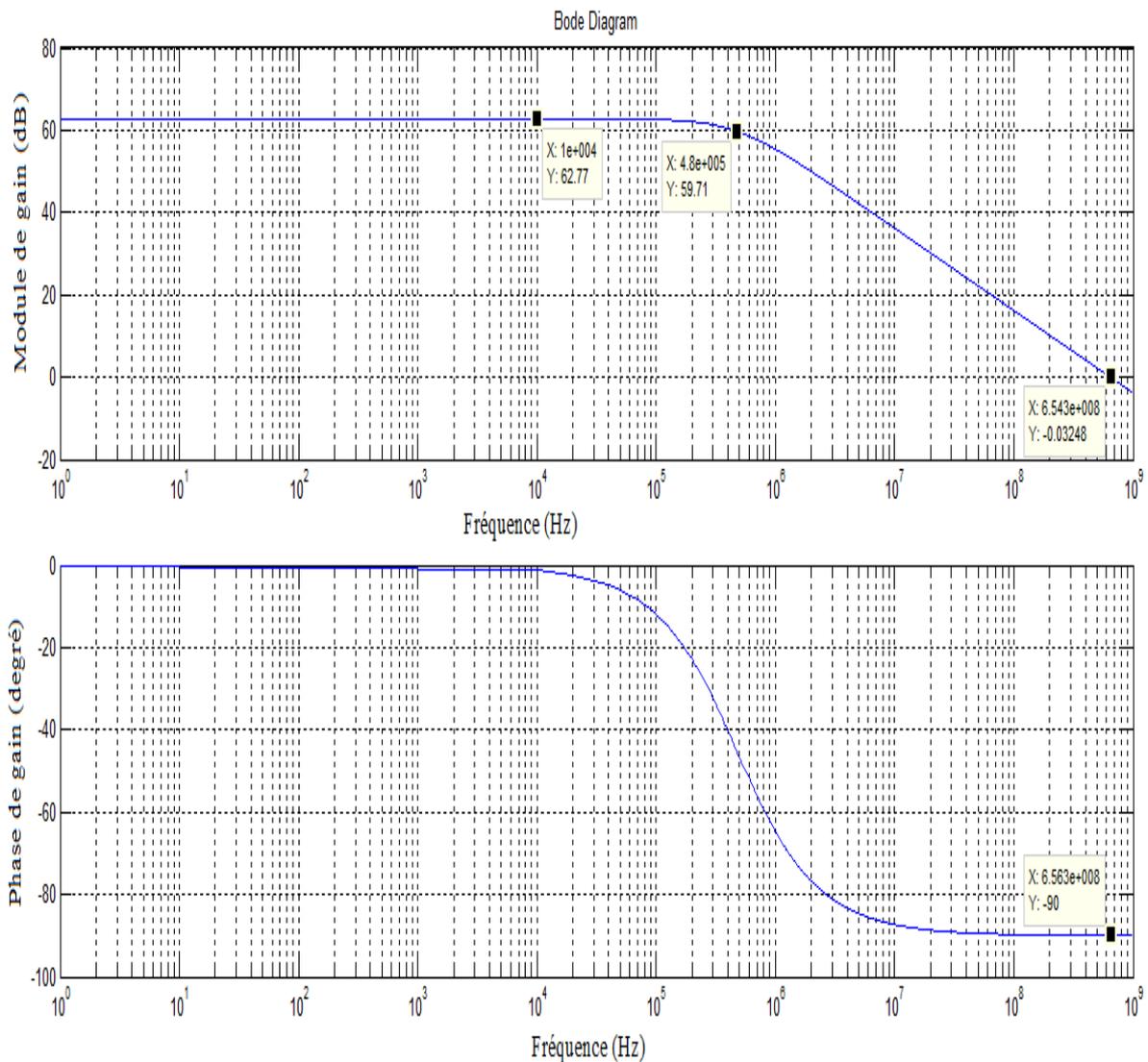


Figure VI.8. Module et phase du gain en boucle ouverte du LDO.

### VI.3.2.5. Conception de l'amplificateur d'erreur

Lors d'un changement brusque de la charge du LDO de l'état allumé "on" à l'état éteint "off" ou l'inverse, le courant fourni par le transistor de puissance doit changer aussi en fonction de l'état de la charge. Le rôle de l'amplificateur d'erreur consiste donc à offrir un courant suffisant à la capacité parasite  $C_{par}$  afin d'ajuster la tension  $V_g$  à une valeur convenable. La

figure VI.9, illustre la topologie choisie de l'amplificateur d'erreur, composée de deux étages d'amplification et d'un étage de polarisation. La fonction de la paire différentielle consiste à comparer les deux tensions  $V_{ref}$  et  $V_{fb}$  et de fournir une certaine quantité de courant qui sera amplifiée par le buffer jusqu'à atteindre un niveau de courant suffisant pour charger la capacité parasite  $C_{par}$ .

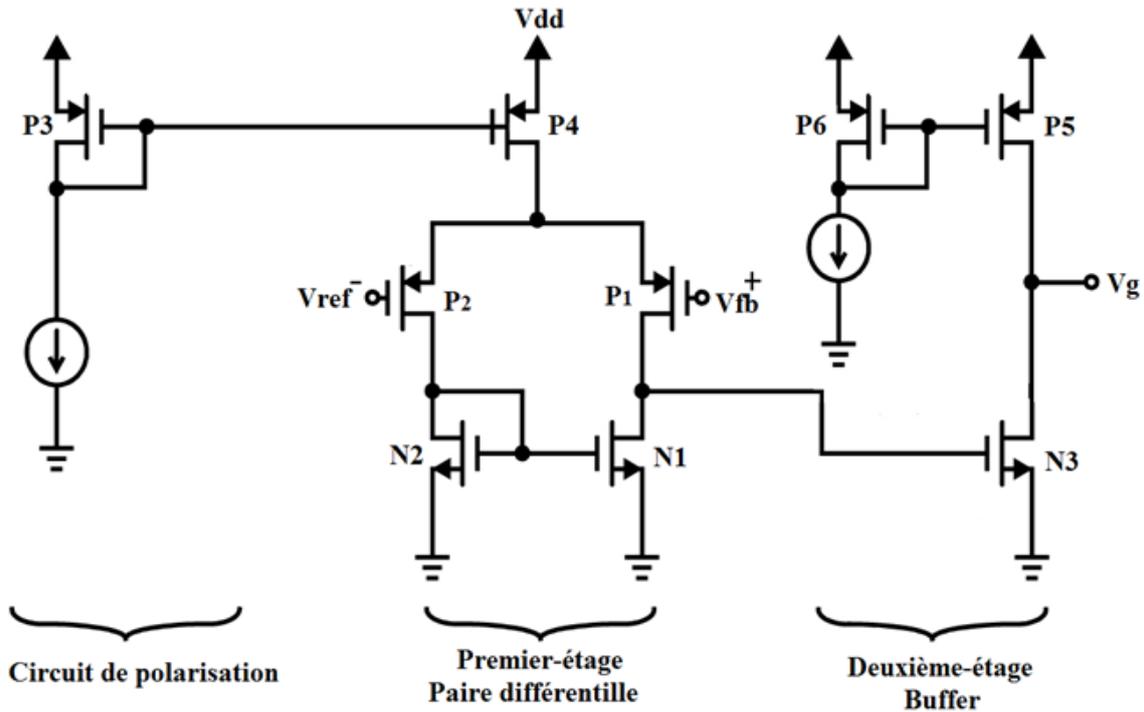


Figure VI.9. L'amplificateur d'erreur.

Le gain en tension de l'amplificateur d'erreur peut s'exprimer comme suit :

$$A_v = A_{v1} \times A_{v2} \quad (VI.19)$$

avec :  $A_{v1} = g_{mP1}(R_{dsP1} // R_{dsN1})$  et  $A_{v2} = g_{mN3}(R_{dsN3} // R_{dsP5})$

Etant donné que la faible consommation de puissance est une performance très importante pour le LDO, les sources de courant P3, P4, P5 et P6 doivent consommer quelques dizaines de  $\mu A$ . Concernant leur dimensionnement, il faut augmenter les longueurs des grilles afin d'avoir un courant quasiment constant dans la région de saturation. La tension au niveau du drain de N3 ( $V_{d\_N3}$ ) est fixée par la tension minimale de la dynamique de  $V_g$  du transistor de puissance (Tableau VI.3). Le courant du drain de N3, en saturation, doit être égal à celui du transistor P5. Quant aux transistors identiques N1 et N2, la tension  $V_{ds\_N1} = V_{gs\_N1}$  avec  $V_{d\_N1} < V_{d\_N3} + V_{T\_N3}$  (condition de saturation de N3) et son courant de saturation est donné par :  $I_{ds\_N1} = I_{ds\_P5} / 2$ . Les transistors identiques P1 et P2 seront

dimensionnés pour fournir, en saturation, un courant  $I_{ds\_p1}=I_{ds\_p5}/2$ , et cela, pour une tension  $V_{sg\_p1}=V_{d\_p5}-V_{ref}$ .

Le tableau VI.5 résume les dimensions des différents transistors de l'amplificateur d'erreur.

Transistor	N1=N2	N3	P1=P2	P3	P4	P5	P6
W/L (nm/nm)	100/600	100/200	200/100	2060/450	8000/450	420/450	160/600
Courant de conso $I_Q$ ( $\mu$ A)	1.51	4.05	1.51	0.78	3.02	4.5	1.07

Tableau VI.5. Dimensionnement et consommation des transistors d'amplificateur d'erreur.

### VI.4. Résultats de simulation du LDO

Les simulations de LDO ont été réalisées avec l'outil Spectre RF de Cadence avec un design kit CMOS 28 nm, fourni par la fonderie STMicroelectronics.

La figure VI.10 représente le Layout du LDO dont les résultats de simulation post Layout de la tension de sortie  $V_{out}$  et du courant de la charge  $I_{Load}$ , en fonction du temps, sont illustrés dans la figure VI.11.

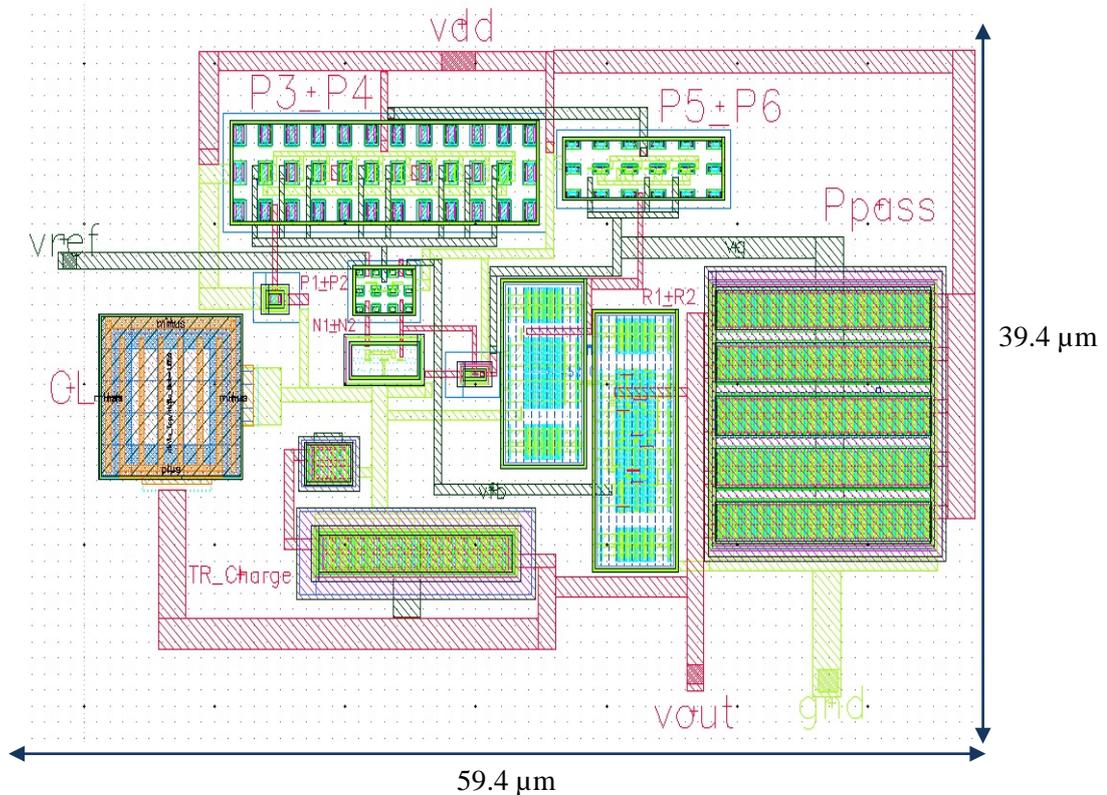
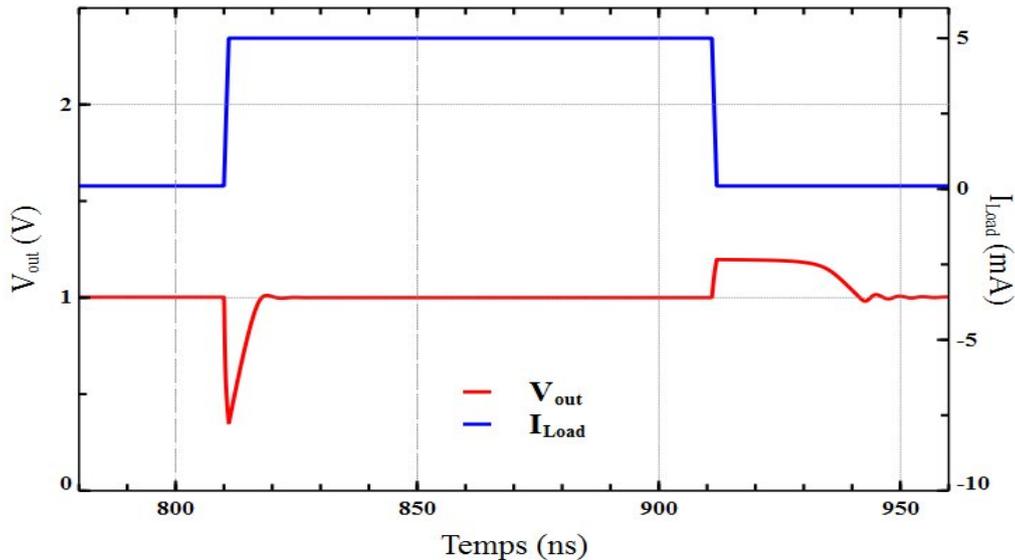


Figure VI.10. Layout de LDO

Figure VI.11.  $V_{out}$  et  $I_{Load}$  en fonction temps.

La tension de sortie du LDO se stabilise à 1 V sur un temps de réponse du LDO, estimé à 6.54 ns, lorsque le courant de charge passe de 100  $\mu$ A (l'état éteint) à 5 mA (l'état allumé). Le résultat obtenu répond parfaitement au cahier des charges fixé auparavant. Néanmoins, ce temps de réponse augmente jusqu'à environ 30ns pour un courant de charge qui passe de l'état allumé à l'état éteint mais qui reste toujours très apprécié, pour un temps d'établissement, comparativement à l'état l'art. Quant au rendement énergétique  $\eta = I_{Load} V_{out} / (I_{Load} + I_{cons}) V_{bat}$ , le LDO conçu consomme un très faible courant d'environ 11.87 $\mu$ A, réparti sur l'amplificateur d'erreur, qui consomme 9.37  $\mu$ A, et le diviseur de tension  $R_1 + R_2$  (2.5  $\mu$ A), ce qui permet d'avoir un bon rendement de 83%.

## VI.5. Conclusion

Le travail, présenté dans ce chapitre, porte sur la conception d'un régulateur de tension (LDO) en technologie CMOS 28 nm. En premier lieu, un état de l'art a été dressé en exposant ainsi les topologies les plus pertinentes, aussi, ceci nous a permis de fixer les spécifications sur lesquelles s'est basée notre conception.

La topologie retenue ainsi que la méthodologie de conception mise en place ont permis la conception d'un circuit en technologie CMOS 28 nm. Les résultats de simulation post-layout présentent des performances comparables à l'état de l'art en termes de rapidité et de consommation de puissance (caractéristiques critiques de ce circuit). Les performances simulées de ce circuit permettent d'envisager son intégration dans un système complet LDO\_LNA afin de concevoir un système ayant des caractéristiques (rapidité et consommation de puissance) optimales.

# **Conclusion Générale**

## CONCLUSION GENERALE

Les travaux, inscrits dans le cadre de cette thèse, ont été définis pour apporter une contribution à la conception des circuits RF sans fil, miniaturisés et de grandes performances électriques d'une manière générale, et plus particulièrement celle des amplificateurs à faible bruit en technologie CMOS 0.18  $\mu\text{m}$ .

Dans cette optique, les travaux que nous avons menés, ont abouti à :

- la conception d'un amplificateur faible bruit à bande étroite (2.4 GHz) en technologie CMOS 0.18  $\mu\text{m}$ . Les performances en termes de consommation (10.9 mW), de gain (22dB), de facteur de bruit (2.5 dB) et même de linéarité, traduite par le produit d'intermodulation d'ordre trois (1.45 dBm), obtenues sur la base d'un compromis, sont intéressantes en comparaison avec les travaux d'autres chercheurs.

En outre, nous avons pu monter, d'après les résultats obtenus, l'avantage d'utiliser les capacités MOS-varactors et la technique de post-linéarisation afin d'obtenir une bonne reconfigurabilité avec une meilleure linéarité.

Ces résultats le prédestinent donc aux LNA multistandards (reconfigurable) sans fil (1.9-2.4 GHz) ;

- la conception d'un amplificateur faible bruit ultra large bande (ULB) en technologie CMOS 0.18  $\mu\text{m}$  dont la fréquence s'étend de 3.1 GHz jusqu'à 10.6 GHz. Ses caractéristiques, jugées bonnes en comparaison avec celles déjà obtenues pour le même type d'amplificateur, sont dues, comme nous l'avons bien montré, à une méthodologie de conception traitant la topologie cascode à dégénérescence inductive. Pourtant, cette topologie est, par essence, compatible avec les dispositifs RF à bande étroite. Pour le dimensionnement du transistor ainsi que le calcul des valeurs des autres composants, nous avons fait appel à la technique d'optimisation du bruit sous contrainte de puissance (PCNO).
- développer une nouvelle méthode de conception de filtres passe-bande PCB compact, en technologie micro-ruban. Cette méthode se distingue de la méthode MMR, largement utilisée par les chercheurs, par le fait qu'elle impose, d'une part, une réponse fréquentielle (atténuation) constante de valeur unité, pour un très grand nombre de fréquences appartenant à la bande passante, et d'autre part une pente très abrupte aux extrémités de cette dernière. Ces deux aspects ont permis de mettre en relief la pertinence de notre méthode par rapport à la méthode MMR, ce qui constitue en soi une importante contribution dans le domaine de la conception de filtres

compacts. De plus, nous avons montré que les performances, en termes d'atténuation et de réjection fréquentielle du filtre conçu par notre méthode, sont de loin supérieures à celles d'un filtre conventionnel en technologie CMOS.

- la conception d'un régulateur de tension (LDO) en technologie CMOS 28 nm. Ce LDO permet de fournir une tension d'alimentation plus stable que celle d'une batterie conventionnelle qui peut se trouver dans les dispositifs RF.

Nous avons également montré que la configuration à deux étages en cascade permettait d'améliorer le gain de l'amplificateur LNA ULB tout en réduisant au maximum les ondulations dans la bande utile. Et pour améliorer la sélectivité du LNA ULB, nous lui avons associé le filtre ULB en technologie PCB. Les résultats obtenus ont montré qu'ils étaient conformes aux normes fixées par la FCC, en particulier, celles relatives à la sélectivité.

En résumé, les performances obtenues des amplificateurs LNAs, conçus en technologie CMOS 0.18 $\mu$ m, sont, d'une manière générale, meilleures en comparaison avec celles présentées dans d'autres travaux. A travers ces conceptions, nous avons fait apparaître, entre autre, la pertinence de la technique PCNO dans la conception des amplificateurs, ainsi que le bon choix de la topologie. La méthode de conception des filtres compacts, que nous avons présentée et développée, a permis d'obtenir, d'une part, un grand nombre de filtres différents entre eux soit par leurs performances soit par leurs encombrements, et d'autre part, une réponse fréquentielle plus ou moins conforme à une réponse idéale selon que l'encombrement du circuit soit plus faible ou moins faible. En ce qui concerne le régulateur de tension conçu, les résultats obtenus se résument en une rapidité remarquable, une stabilité et une faible consommation de puissance.

En perspective, il faudra :

- envisager l'application de la méthode proposée pour concevoir des filtres ULB non pas en technologie micro-ruban mais en technologie CMOS. Dans ce cas, les fréquences de travail devront être très élevées de sorte que les dimensions du filtre soient compatibles avec l'encombrement imposé par la technologie CMOS ;
- étudier les limites, en termes de bande passante, auxquelles notre méthode pourra aboutir;
- voir comment employer notre méthode pour concevoir des filtres multi-bandes ou filtres multi-réjection.

# **Bibliographie**

**BIBLIOGRAPHIE**

- [1] R. S. Kshetrimayum, "An introduction to UWB communication systems," *IEEE Potentials*, vol. 28, pp. 9–13, March-April, 2009.
- [2] R. J. Baker, "CMOS circuit design layout and simulation", 3<sup>rd</sup> edition, *Wiley-IEEE Press*, 2010.
- [3] B. Razavi, "Fundamentals on microelectronics", 2<sup>nd</sup> edition, *Wiley*, 2006.
- [4] A. Mabrouki, "Mise en œuvre de l'effet de substrat dans la conception des amplificateurs faible bruit sous contrainte de faible puissance", *thèse de doctorat*. Bordeaux 1. Décembre 2010.
- [5] A. Slimane, " Contribution à la conception des amplificateurs larges bande en technologie CMOS", *thèse de doctorat*, ENP d'Alger. 2012.
- [6] F. Elliner, "Radio Frequency Integrated Circuits and Technologies ", *Springer*, Berlin, Mars 2007.
- [7] M. T. Mustafa, "A Reconfigurable Low Noise Amplifier for a Multi-standard Receiver", *thèse de doctorat*, université de victoria, Australie, 2009.
- [8] R. Rafla, "Integrated Inductor Modeling and CMOS Low Noise Amplifiers for Radio-Frequency Applications", *thèse de doctorat*, McGill University Montreal Canada. 1998.
- [9] F. Chaahoub, "Etude des méthodes de conception et des outils de CAO pour la synthèse des circuits intégrés analogiques ", *thèse de doctorat*, INP de Grenoble, septembre 1999.
- [10] M. TRABELSI, "Cours de conception des dispositifs micro-ondes," ENP d'Alger.
- [11] P. Gray and R. Meyer, "Analysis and design of analog integrated circuits", 3<sup>rd</sup> edition, *John Wiley & Sons Inc.*, New York, USA, 1993.
- [12] D. K. Shaeffer and T. H. LEE, "A 1.5V, 1.5GHz CMOS Low Noise Amplifier", *IEEE Journal Solid State Circuits*, vol 32, n°5, pp. 745-759, Mai 1997.
- [13] J. Y\_C Chang, A. A. Abidi, M. Gaitan "Large suspended inductors on silicon and their use in a 2  $\mu$ m CMOS RF Amplifier", *IEEE Electron Device Letters.*, vol. 14, pp. 246-248, Mai 1993.
- [14] A. Rofougaran, J. Chang, M. Rofougaran and A. Abidi. "A 1 GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver". *IEEE Journal of Solid-State Circuits.*, Vol. 31, 7, pp. 880-889, Juillet 1996.

- [15] A. Slimane, M. Belaroussi, F. Haddad, S. Bourdel, and H. Barthelemy, "A reconfigurable inductor-less CMOS low noise amplifier for multistandard applications," in *New Circuits and Systems Conference (NEWCAS), IEEE 10th International*, pp. 57–60, Octobre 2012.
- [16] L. Belostotski and J. Haslett, "Noise figure optimization of inductively degenerated CMOS LNAs with integrated gate inductors," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, no. 7, pp. 1409–1422, Juillet 2006.
- [17] N.M. Noh and T. Z. A. Zulkifli, "Systematic Width Determination for the design of Power-Constrained Noise Optimization Inductively Degenerated Low Noise Amplifier," *IETE Journal Of Research*, Vol. 56 , Issue 5, pp. 249-256, Septembre 2014.
- [18] B. Razavi, "Design of Analog CMOS Integrated Circuits," *International editor NY: McGraw Hill Co.*, 2001.
- [19] S. Toofan, A. R. Rahmati, A. Abrishamifar, G. R. Lahiji , "A low-power and high fully integrated CMOS LNA", *Microelectronics Journal, Elsevier.*, vol. 38, pp. 1150-1155, Décembre 2007.
- [20] A. Slimane, S. Tedjini, A. Taibi M. Belaroussi, and D. Maafrri, "A 0.6-V/1.2-V Low Power Single Ended CMOS LNA for Multi-standard RF Front-Ends," in *Microelectronics (ICM), 2014 26th International Conference.*, pp. 68–71, Décembre 2014.
- [21] A. Taibi, A. Slimane, M. Belaroussi, S. Tedjini, and M. Trabelsi, "Low power and high linear reconfigurable cmos lna for multi-standard wireless applications," in *Microelectronics (ICM), 2013 25th International Conference.*, pp. 1–4, Décembre 2013.
- [22] A. Slimane, F. Haddad, S. Bourdel, S. Tedjini-Bailiche, M. Belaroussi, M. Trabelsi, and H. Barthelemy, "Compact inductorless cmos low-noise amplifier for reconfigurable radio," *Electronics Letters*, vol. 50, no. 12, pp. 892–893, Juin 2014.
- [23] A. Taibi, A. Slimane, S. A. Tedjini, M. T. Belaroussi, D. Maafrri and M. Trabelsi, "A 0.9 V Low Power Reconfigurable CMOS Folded Cascode LNA For Multi-Standard Wireless Applications" in *Design and Test Symposium (IDT), 2014 9th International Conference.*, pp. 185–188, Décembre 2014.
- [24] S. Li, T. Zhang, "Simulation and Realization of MOS Varactors," *9<sup>th</sup>International Workshop on Information and Electronics Engineering (IWIEE), Procedia Engineering. Elsevier.*, vol. 29, pp. 1645 – 1650, 2012.
- [25] S. A. Tedjini, A. Slimane, M. T. Belaroussi, and M. Trabelsi, "A 0.9 V high gain and high linear bleeding CMOS mixer for wireless applications," *Microelectronics (ICM), 24th International Conference.*, pp. 1–4, Mars 2013.

- [26] D. Webster, J. Scott, and D. Haigh, "Control of circuit distortion by the derivative superposition method," *IEEE Microwave and Guided Wave Letters*, vol. 6, no. 3, pp. 123–125, Mars 1996.
- [27] T.-S. Kim and B.-S. Kim, "Post-linearization of cascode CMOS low noise amplifier using folded PMOS IMD sinker," *IEEE Microwave and Wireless Components Letters.*, vol. 16, no. 4, pp. 182–184, Avril 2006.
- [28] F. S.-I. E.C. Becerra-Alvarez and J. M. D. L. Rosa, "Design of a 1-V 90-nm CMOS adaptive LNA for multi-standard wireless receivers," *Revista Mexicana de Fisica*, vol. 54,no.4, pp. 322–328, 2008.
- [29] A. Liscidini, M. Brandolini, D. Sanzogni, and R. Castello, "A 0.13  $\mu\text{m}$  CMOS front-end, for DCS1800/UMTS/802.11b-g with multiband positive feedback low-noise amplifier," *IEEE Journal of Solid-State Circuits.*, vol. 41, no. 4, pp. 981–989, Avril 2006.
- [30] Low Li Lian; Noh, N.M.; Mustaffa, M.T.; Manaf, A.B.A.; Sidek, O.B., "A dual-band LNA with 0.18- $\mu\text{m}$  CMOS switches," in *Micro and Nanoelectronics (RSM), 2011 IEEE Regional Symposium.*, vol., no., pp.172-176, 28-30, Septembre 2011
- [31] P. A. Catherwood and W. G. Scanlon, "Ultrawideband Communications—An Idea Whose Time has Still Yet to Come? [Wireless Corner]," in *IEEE Antennas and Propagation Magazine*, vol. 57, no. 2, pp. 38-43, Avril 2015.
- [32] FCC, "Revision of part 15 of the commission's rules regarding ultra-wideband transmission system," *Federal Communications Commission*, Washington, D.C., Tech. Rep. ET-Docket 98-153,FCC02-48, Avril. 2002.
- [33] Zhang-Cheng Hao; Jia-Sheng Hong, "Ultrawideband Filter Technologies," in *IEEE Microwave Magazine.*, vol.11, no.4, pp.56-68, Juin 2010.
- [34] A. A. Saadi, "comparaison des performances des filtres micro-onde pour récepteur UWB," Mémoire de Magister, USTHB d'Alger, Décembre 2011.
- [35] B. M. Ballweber, R. Gupta, and D.J. Allstot, "A fully integrated 0.5-5.5-GHz CMOS distributed amplifier," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 2, pp. 231-239, Février 2000.
- [36] R.-C. Liu, K.-L. Deng, and H.Wang, "A 0.6–22-GHz broadband CMOS distributed amplifier," in *IEEE Radio Frequency Integrated Circuits Symposium. Dig. Papers*, pp. 103–106. Juin 2003.
- [37] K.-H Chen, J.-H. Lu, B.-J. Chen, and S.-I. Liu, "An Ultra-Wide-Band 0.4–10-GHz LNA in 0.18  $\mu\text{m}$  CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 54, no. 3, pp. 217–221, Mars 2007.
- [38] C.-F Liao, and S.-I. Liu, "A Broadband Noise-Canceling CMOS LNA for 3.1–10.6-GHz UWB Receiver," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 2, pp. 329–339, Février 2007.

- [39] J. Kim, S. Hoyos, and J. Silva-Martinez, "Wideband Common-Gate CMOS LNA Employing Dual Negative Feedback with Simultaneous Noise, Gain, and Bandwidth Optimization," *IEEE Transactions On Microwave Theory And Techniques.*, Vol. 58, No. 9, pp. 2340-2351, Septembre 2010.
- [40] A. Bevilacqua A. M. Niknejad, "An Ultrawideband CMOS Low-Noise Amplifier for 3.1–10.6-GHz Wireless Receivers," *IEEE Journal of Solid-State Circuits.*, vol. 39, pp. 2259–2268, Décembre 2004.
- [41] A. Slimane, M. Trabelsi and M. T. belaroussi, "A 0.9-V,7-mW UWB LNA for 3.1-10.6-GHz wireless applications in 0.18  $\mu\text{m}$  CMOS technology," *Microelectronics journal, Elsvier.*, vol.42, no.11, pp.1263-1268, Novembre 2011.
- [42] A. Slimane, M. Trabelsi and M. Si Moussa, "Bandwidth improvement technique of distributed amplifiers using combined filtering structures," *AEU-International Journal of Electronics and Communications.*, vol.65, no.10, pp.777-782, Octobre 2011.
- [43] A. Taibi, M. Trabelsi, A. Slimane, A.A. Saadi, M.-T. Belaroussi, "Efficient UWB low noise amplifier with high out of band interference cancellation," *IET Microwaves, Antennas & Propagation.*, vol. 11, no. 1, pp. 98-105, Janvier 2017.
- [44] Lei Zhu, Sheng Sun, Rui Li, "Microwave Bandpass Filters for Wideband Communications," *John Wiley and Sons, Inc.*, USA, Mars 2012.
- [45] R. Li and L. Zhu, "Compact UWB Bandpass Filter Using Stub-Loaded Multiple-Mode Resonator," *IEEE Microwave and Wireless Components Letters.*, vol. 17, no. 1, pp. 40–42, Janvier 2007.
- [46] B. Yao, Y. Zhou, Q. Cao, and Y. Chen, "Compact UWB Bandpass Filter With Improved Upper-Stopband Performance," *IEEE Microwave and Wireless Components Letters.*, vol. 19, no. 1, pp. 27–29, Janvier 2009.
- [47] H. wei Deng, Y. jiu Zhao, L. Zhang, X. shun Zhang, and S. ping Gao, "Compact Quintuple-Mode Stub-Loaded Resonator and UWB Filter," *IEEE Microwave and Wireless Components Letters.*, vol. 20, no. 8, pp. 438–440, Août 2010.
- [48] Q.-X. Chu and X.-K. Tian, "Design of UWB Bandpass Filter Using Stepped-Impedance Stub-Loaded Resonator," *IEEE Microwave and Wireless Components Letters.*, vol. 20, no. 9, pp. 501–503, Septembre 2010.
- [49] L. Zhu, S. Sun, and W. Menzel, "Ultra-wideband (UWB) bandpass filters using multiple-mode resonator," *IEEE Microwave and Wireless Components Letters.*, vol. 15, no. 11, pp. 796–798, Novembre 2005.
- [50] Q.-X. Chu, X.-H. Wu, and X.-K. Tian, "Novel UWB Bandpass Filter Using Stub-Loaded Multiple-Mode Resonator," *IEEE Microwave and Wireless Components Letters.*, vol. 21, no. 8, pp. 403–405, Août 2011.
- [51] L. Zhu, H. Bu, and K. Wu, "Aperture compensation technique for innovative design of ultra-broadband microstrip bandpass filter," in *Microwave Symposium Digest. IEEE MTT-S International*, vol. 1, pp. 315–318, Juin 2000.

- [52] A. Taibi, M. Trabelsi, A. Slimane, M.-T. Belaroussi and J.-P. Raskin, "A novel design method for compact UWB bandpass filters," *IEEE Microwave and Wireless Components Letters.*, vol. 52, no. 1, pp. 4–6, Janvier 2015.
- [53] M. Trabelsi, A. Taibi, A. Slimane, A. A. Saadi, M. T. Belaroussi, and J-P. Raskin, "Compact UWB Bandpass Filter with the notch band using the impedance matching method," *Microwave and Optical Technology Letters.*, Vol. 58, No. 9, pp. 2176-2178, Septembre 2016.
- [54] G. Mattaei, L. Young, and E. M. T. Jones, "Microwave Filters, Impedance-Matching Networks, and Coupling Structures", Artech House, Norwood, MA, Janvier 1980.
- [55] Hong, M. J. Lancaster, "Microstrip filters for RF/microwave applications," *2<sup>nd</sup> Edition, John Wiley and Sons, Inc.*, USA, Février 2001.
- [56] David M. Pozar "Microwave Engineering", *2<sup>nd</sup> Edition, John Wiley & Sons, Inc.*, Juin 1998.
- [57] Thomas H. Lee. "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press, Janvier 1998.
- [58] X. Qi, "High Frequency Characterization and Modeling of On-Chip Interconnects and RF IC Wire Bonds ", *thèse de doctorat*, université de Stanford, Juin 2001.
- [59] A. Windschiegl, P. Zuber, W. Stechele, "Exploiting metal layer characteristics for low-power routing", *Int. Workshop on Power and Timing Modeling, Optimization and Simulation (PATMOS)*, Sevilla, Spain, pp.55-64, Septembre 2002.
- [60] S.Arshad, R.Ramzan, K. Muhammad and Q.Wahab, "A sub-10mW noise cancelling, wideband LNA for UWB applications", *AEU-International Journal of Electronics and Communications.*, vol.69, no. 1, pp. 109-118, Janvier 2015.
- [61] K. Moez, and M.I Elmasry, "A low-noise CMOS distributed amplifier for ultra-wide-band applications," *IEEE Transactions on Circuits and Systems II: Express Briefs.*, vol.55, no. 2, pp. 126-130, Février 2008.
- [62] J.-F. Chang and Y.-S. Lin, "Low-power, high-gain and low-noise CMOS distributed amplifier for UWB systems," *Electronics Letters*, vol. 45, no. 12, pp.634-636, Juin 2009.
- [63] C-P Liang, P-Z Rao, T-J Huang, and S-J Chung, "Analysis and design of two low-power ultra-wideband CMOS low-noise amplifiers with out-band rejection ,"*IEEE Transactions on Microwave Theory and Techniques.*, vol. 58, no. 2, pp. 277-286, Février 2010.
- [64] J. Shim, T. Yang and J. Jeong, " Design of low power CMOS ultrawide band low noise amplifier using noise canceling technique," *AEU-International Journal of Electronics and Communications.*, vol.44, no.9, pp. 821-826, Septembre 2013.
- [65] C. Hamon, " Etude de régulateurs linéaires et à découpage intègres : Application à la téléphonie portable", *thèse de doctorat*. Grenoble 1, Juin 2011.

- [66] G-A Rincon-Mora, “Current efficient, low voltage, Low Drop-Out regulator”, *thèse de doctorat*. Georgia Institute of Technology, Atlanta, États-Unis, Novembre 1996.
- [67] Xin Ming, Qiang Li, Ze-kun Zhou, and Bo Zhang, “An Ultrafast Adaptively Biased Capacitorless LDO With Dynamic Charging Control,” *IEEE Transactions on Circuits and Systems II: Express Briefs.*, vol.59, no. 1, pp. 40–44, Janvier 2012.
- [68] Young-il Kim and Sang-sun Lee, “A Capacitorless LDO Regulator With Fast Feedback Technique and Low-Quiescent Current Error Amplifier,” *IEEE Transactions on Circuits and Systems II: Express Briefs.*, vol.60, no. 6, pp. 326–330, Juin 2013.
- [69] Suming Lai, Peng Li, “A Power-Efficient On-Chip Linear Regulator Assisted by Switched Capacitors for Fast Transient Regulation,” *IEEE, 14 International Symposium on Quality Electronic Design.*, pp. 682–688, Mars 2013.
- [70] Eric Magarotto, “Cours de Régulation,” Université de Caen, 2004.
- [71] S. S. Mohan, M. D. M. Hershenson, S. P. Boyd, and T. H. Lee, “Bandwidth extension in CMOS with optimized on-chip inductors,” *IEEE Journal of Solid-State Circuits.*, vol. 35, no. 3, pp. 346–355, Mars 2000.
- [72] S. Shekhar, J. S. Walling, and D. J. Allstot, “Bandwidth Extension Techniques for CMOS Amplifiers,” *IEEE Journal of Solid-State Circuits.*, vol. 41, no. 11, pp. 2424–2439, Novembre 2006.

# **Annexes**

## ANNEXE A

## A.1. Calcul du facteur de bruit de la topologie à dégénérescence inductive

La figure A.1 représente le montage du transistor MOS avec ses sources de bruit associé aux composants  $R_s$ ,  $L_g$  et  $L_s$ . Ce montage représente topologie à dégénérescence inductive

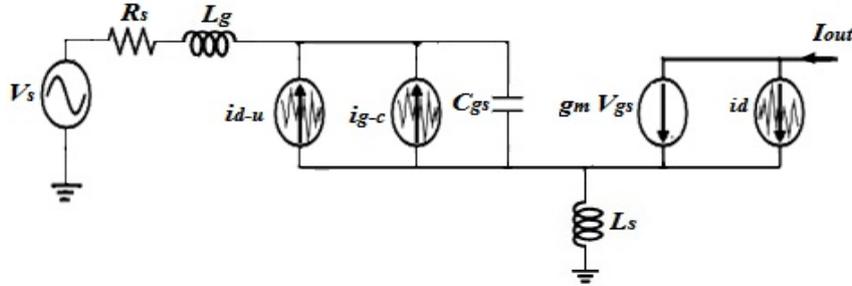


Figure A.1. Modèle de bruit de la topologie à dégénérescence inductive [12]

Le but est de calculer le facteur de bruit du montage [12]. L'analyse du montage nous conduit d'abord à établir les expressions de la tension et du courant de sortie :

$$V_s = \left( \frac{i_{out} - i_d}{g_m} \right) + sL_s i_{out} + \left( R_s + sL_s + \frac{1}{sC_{gs}} \right) \left[ \left( sC_{gs} \left( \frac{i_{out} - i_d}{g_m} \right) - i_g \right) \right] \quad (A.1)$$

$$i_{out} = \frac{\left\{ V_s + \left[ \frac{1}{g_m} + \frac{sC_{gs}}{g_m} (R_s + R_g + sL_s) \right] i_d + (R_s + R_g + sL_s) i_g \right\}}{\left[ \frac{1}{g_m} + \frac{sC_{gs}}{g_m} (R_s + R_g + sL_s) \right] + sL_s} \quad (A.2)$$

Sous la condition d'adaptation d'impédance en entrée, l'expression de courant  $i_{out}$  et le facteur de bruit  $F$  peuvent s'exprimer comme suit :

$$i_{out} = \frac{\left\{ V_s + \left[ \frac{R_s sC_{gs}}{g_m} \right] i_d + (R_s + sL_s) i_g \right\}}{\frac{R_s sC_{gs}}{g_m} + sL_s} \quad (A.3)$$

$$F = \frac{i_{out}^2 \{all - sources\}}{i_{out}^2 \{R_s - only - sources\}} \quad (A.4)$$

$$F = \frac{\left[ V_s + \left[ \frac{R_s sC_{gs}}{g_m} \right] i_d + (R_s + sL_s) i_g \right] \left[ V_s + \left[ \frac{R_s sC_{gs}}{g_m} \right] i_d + (R_s + sL_s) i_g \right]^*}{V_s * V_s^*} \quad (A.5)$$

$$F = 1 + \frac{1}{Q_s^2 g_m^2} \cdot \frac{i_d^2}{V_s^2} + R_s^2 (1 + Q_s^2) \frac{i_g^2}{V_s^2} + \left[ \frac{j}{Q_s g_m} \right] R_s (1 - j Q_s) \frac{i_d^* i_g^*}{V_s^2} - \left[ \frac{j}{Q_s g_m} \right] R_s (1 + j Q_s) \frac{i_d^* i_g}{V_s^2} \quad (\text{A.6})$$

où :

- $Q_s = \frac{1}{\omega R_s C_{gs}}$  avec  $\omega = 2\pi f$  et  $C_{gs} = \frac{2}{3} C_{ox} W L$  (dans la saturation) ;
- $i_g i_d^* = |c| \sqrt{i_g^2 i_d^2}$  avec  $\overline{i_d^2} = 4kT\gamma g_{d0} \Delta f$  et  $\overline{i_g^2} = 4kT\delta g_g \Delta f$  ;
- $g_g = \frac{\omega^2 C_{gs}^2}{5 g_{d0}}$  .

où  $Q_s$ ,  $C_{ox}$ ,  $W$  et  $L$  sont respectivement le facteur de qualité d'entrée, la capacité d'oxyde de grille, la largeur et la longueur de grille du transistor MOS.

Compte tenu des relations précédentes, le facteur de bruit peut s'écrire comme suit :

$$F = 1 + \frac{1}{Q_s^2 g_m^2} \cdot \frac{\gamma g_{d0}}{R_s} + R_s^2 (1 + Q_s^2) \frac{4kT\delta\omega^2 C_{gs}^2}{5 g_{d0}} \cdot \frac{1}{4kTR_s} + \frac{2|C|R_s}{Q_s g_m} \sqrt{\frac{4kT\delta\omega^2 C_{gs}^2}{5 g_{d0}} \cdot 4kT\gamma g_{d0}} \cdot \frac{1}{4kTR_s} \quad (\text{A.7})$$

$$F = 1 + \frac{1}{\alpha^2 Q_s^2} \cdot \frac{1}{g_{d0} R_s} + \delta \left( \frac{1 + Q_s^2}{Q_s^2} \right) \cdot \frac{1}{5 R_s g_{d0}} + \frac{2|C|}{\alpha} \sqrt{\frac{\delta \gamma}{5}} \cdot \frac{1}{R_s g_{d0}} \quad (\text{A.8})$$

$$F = 1 + \frac{1}{Q_s} \cdot \frac{\gamma}{\alpha} \cdot \left( \frac{\omega}{\omega_T} \right) * \left[ 1 + \frac{\delta \alpha^2}{5 \gamma} \cdot (1 + Q_s^2) + 2|c| \cdot \sqrt{\frac{\delta \alpha^2}{5 \gamma}} \right] \quad (\text{A.9})$$

avec :

$$\omega_T = \frac{g_m}{C_{gs}} \quad \text{et} \quad \overline{i_g} = 4kT\delta \left( \frac{\omega^2 C_{gs}^2 R_{ch0}}{5} \right) \left[ 1 - |c|^2 \right] \Delta f + 4kT\delta \left( \frac{\omega^2 C_{gs}^2 R_{ch0}}{5} \right) |c|^2 \Delta f$$

Non corrélé Corrélé

## A.2. Calcul du facteur de qualité Q d'un circuit RLC en fonction de la bande passante $\Delta f$

Pour cela, on étudiera le montage de la figure A.2.

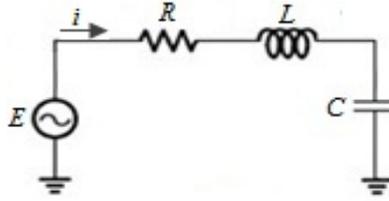


Figure A.2. Circuit RLC série

L'analyse de ce montage conduit aux expressions suivantes :

$$E = Ri + j\left(L\omega - \frac{1}{C\omega}\right)i \quad (\text{A.10})$$

$$i^2 = \frac{|E|^2}{R^2 + \left(L\omega - \frac{1}{C\omega}\right)^2} = \frac{|E|^2}{R^2} \frac{1}{1 + \left(\frac{L\omega}{R} - \frac{1}{RC\omega}\right)^2} \quad (\text{A.11})$$

La bande passante  $\Delta f = f_2 - f_1$  est limitée par les fréquences vérifiant la relation :

$$\left(\frac{L\omega}{R} - \frac{1}{RC\omega}\right)^2 = 1 \quad (\text{A.12})$$

Ce qui implique :

$$LC\omega^2 \pm RC\omega - 1 = 0 \quad (\text{A.13})$$

Les solutions de l'équation (A.13) sont :

$$\omega_1 = \frac{RC \pm \sqrt{(RC)^2 + 4LC}}{2LC} \quad (\text{A.14a.b})$$

$$\omega_2 = \frac{-RC \pm \sqrt{(RC)^2 + 4LC}}{2LC} \quad (\text{A.15a.b})$$

On en déduit la bande passante du circuit RLC comme :

$$\omega_1 - \omega_2 = \frac{RC}{LC} = \frac{RC\omega_0}{LC\omega_0} \quad (\text{A.16})$$

En remplaçant le facteur de qualité par son expression  $Q = \frac{R}{L\omega_0}$  dans (A.16), on obtient :

$$\omega_1 - \omega_2 = \frac{\omega_0}{Q} \quad (\text{A.17})$$

On en déduit donc :

$$Q = \frac{f_0}{\Delta f} \quad (\text{A.18})$$

### A.3. Analyse de la technique shunt-peaking

La figure A.3 illustre un amplificateur source commune basé sur la technique shunt-peaked.

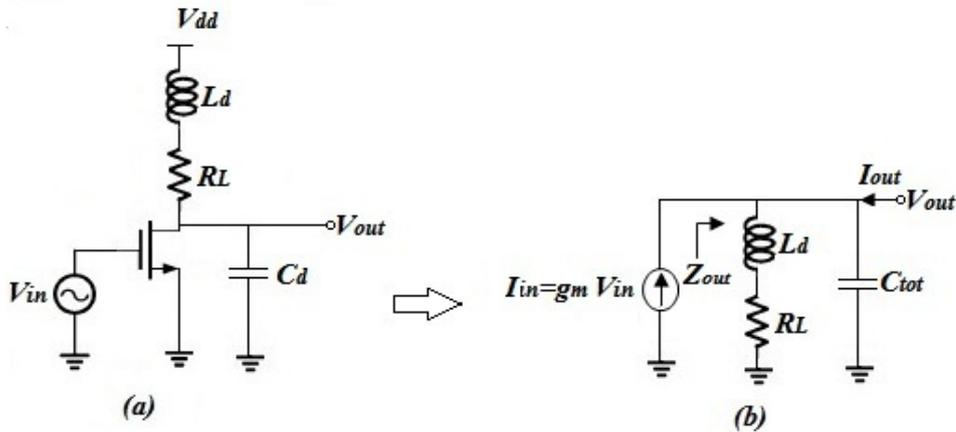


Figure A.3. (a) Amplificateur source commune avec shunt-peaking, (b) circuit petit signal équivalent [71].

Il est clair que d'après la figure A.3(b) la fonction de transfert  $V_{out} / i_{in}$  s'exprime par [71] [72]:

$$Z_{out}(s) = \frac{R_L [s(L_d / R_L) + 1]}{s^2 L_d C_{tot} + s R_L C_{tot} + 1} \quad (\text{A.19})$$

où :  $s = j\omega$

On obtient alors le gain en tension :

$$a_v = g_m Z_{out}(s) = g_m R_L \frac{s(L_d / R_L) + 1}{s^2 L_d C_{tot} + s R_L C_{tot} + 1} \quad (\text{A.20})$$

On introduit dans (A.20) un facteur  $m$  défini par le rapport de  $R_L C_{tot}$  sur la constant de temps  $\tau = L_d / R_L$ , le gain en tension devient alors :

$$a_v = g_m Z_{out}(s) = g_m R_L \frac{\tau s + 1}{s^2 \tau^2 m + s \tau m + 1} \quad (\text{A.21})$$

dont le module en régime sinusoïdal a pour expression :

$$|a_v| = g_m R_L \left| \frac{j\omega / (\omega_1 m) + 1}{-(\omega / (\omega_1 m))^2 m + j\omega / (\omega_1 m) m + 1} \right| \quad (\text{A.22})$$

avec :

- $\omega_1 = 1 / R_L C_{tot}$  est la pulsation de coupure initiale (sans l'utilisation de  $L_d$ ) ;
- $\tau = 1 / (\omega_1 m)$ .

Pour la nouvelle pulsation de coupure  $\omega_2$ , le gain en tension est défini à -3 dB:

$$|a_v| = g_m R_L \left| \frac{j\omega_2 / (\omega_1 m) + 1}{-(\omega_2 / (\omega_1 m))^2 m + j\omega_2 / (\omega_1 m) m + 1} \right| = \frac{g_m R_L}{\sqrt{2}} \quad (\text{A.23})$$

On en déduit :

$$\left| \frac{j\omega_2 / (\omega_1 m) + 1}{-(\omega_2 / (\omega_1 m))^2 m + j\omega_2 / (\omega_1 m) m + 1} \right| = \frac{1}{\sqrt{2}} \quad (\text{A.24})$$

À partir de la relation (A.24), on peut exprimer le rapport de  $\omega_2 / \omega_1$  comme :

$$\frac{\omega_2}{\omega_1} = \sqrt{\left(-\frac{m^2}{2} + m + 1\right)} \sqrt{\left(-\left(\frac{m^2}{2} + m + 1\right)^2 + m^2\right)} \quad (\text{A.25})$$

On remarque que, d'après (A.25), l'extension de la bande passante (*Bandwidth Extension Ratio* : BWER) est exprimée uniquement en fonction de  $m$ . Une fois la valeur de  $m$  est choisie, la valeur de  $L_d$  sera calculée par la relation :

$$L_d = \frac{R_L^2 C_{tot}}{m} \quad (\text{A.26})$$

Pour la technique shunt-peaking, l'extension de la bande passante peut atteindre son maximum lorsque  $m=1.4$  (Figure A.4).

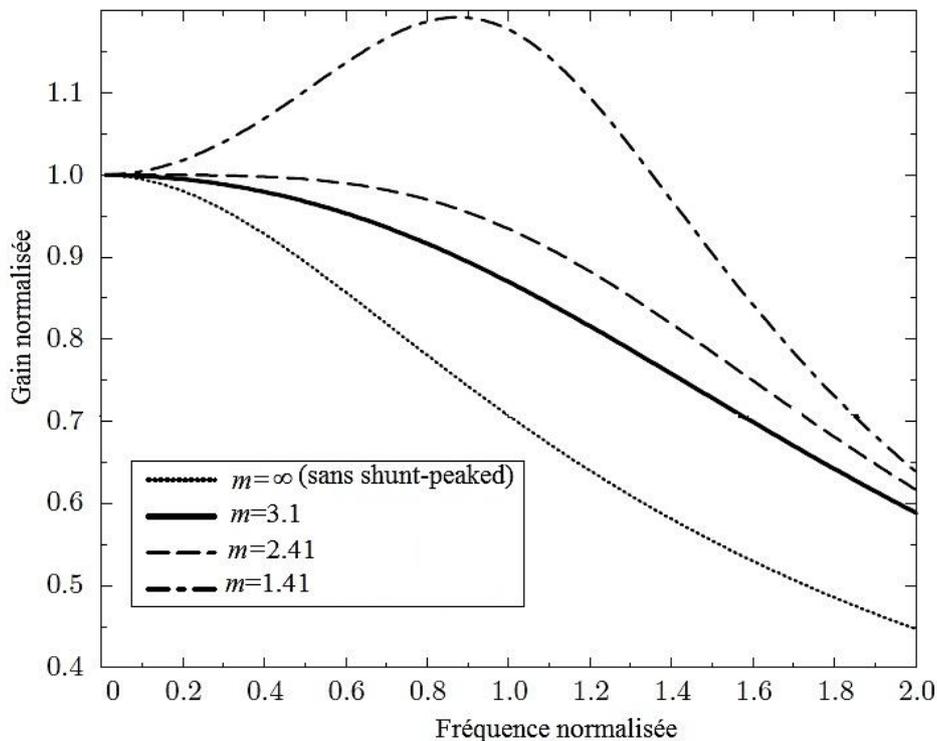


Figure A.4. Réponse fréquentielle de shunt-peaking en pour différentes valeurs de  $m$  [72].

## ANNEXE B

```

clear all;
clc;
pD=(4:4:18).*10.^-3;% puissance consommée
L=0.16.*10.^-6;% longueur effective de canal du transistor
vdd=0.9;
% alpha=1;
C=2; %gama
B=4; % delta
D=0.395; % |C|
vth=0.475;
vsat=8.429e04;%vitesse de saturation
tox=4.08e-09; %épaisseur de l'oxyde
eox=3.5e-11; %permittivité de l'oxyde

cox=eox./tox; %la capacité de l'oxyde

u0=4.38e-02; %la mobilité électrique
Esat=2.*vsat./u0;% Champ de saturation
Rs=50; % Résistance de source
Q=(0:0.01:5);% Facteur de qualité d'entrée
N=(B./(5.*C));

for i=1:length(pD)

    for j=1:length(Q)
        s(i,j)=pD(i);
        NF=[];
%la bande de fréquence ultra large
        freq=[3.1:1:10.6].*1e9;
        NF_aver=[];

        for m=1:length(freq)
            %la pulsation
            w0(m)=2.*pi.*freq(m);
            P0=(1.5.*vdd.*vsat.*Esat)./(w0(m).*Rs);
            n(i,j)=Q(j).^2;
            M(i,j)=(pD(i).^2.*Q(j)./P0);

            F(i,j)=1+((C.*w0(m).*L./(3.*vsat)).*(((pD(i)./P0).*(1+N))+
            (2.*D.*M(i,j).*sqrt(N))+((P0./pD(i)).*N.*M(i,j).^2))./(M(i,j).*sqrt(M(i,j)
            ))));

            NF1(i,j)=10.*log10(F(i,j));
            NF=[NF,NF1(i,j)];
        end
    end
%facteur de bruit moyen sur toute la bande passante
    NF_moy(i,j)=mean(NF);

end
end

[C,h] = contour (n,NF_moy,s.*10.^3);
axis([0.1 1 1 6])
set(h,'ShowText','on','TextStep',get(h,'LevelStep'))
grid on;

```

# **Production Scientifique**

## PRODUCTION SCIENTIFIQUE

### Articles de Journaux

1. **A. Taibi**, M. Trabelsi, A. Slimane, M. T. Belaroussi and J. P. Raskin, "A Novel Design Method for Compact UWB Bandpass Filters," in *IEEE Microwave and Wireless Components Letters*, vol. 25, no. 1, pp. 4-6, Jan. 2015.
2. M. Trabelsi, **A. Taibi**, A. Slimane, A. A. Saadi, M. T. Belaroussi, and J-P. Raskin, "Compact UWB Bandpass Filter with the notch band using the impedance matching method," *Microwave and Optical Technology Letters*. Vol. 58, No. 9, pp. 2176-2178, Sept. 2016.
3. **A. Taibi**, M. Trabelsi, A. Slimane, A. A. Saadi, M.T. Belaroussi, "Efficient UWB low noise amplifier with high out of band interference cancellation," *IET Microwaves, Antennas & Propagation*, , vol. 11, no. 1, pp. 98-105, 1 8 2017.

### Articles de Conférences

1. **A. Taibi**, A. Slimane, M. T. Belaroussi, S. A. Tedjini and M. Trabelsi, "Low power and high linear reconfigurable CMOS LNA for multi-standard wireless applications," *2013 25th International Conference on Microelectronics (ICM)*, Beirut, pp. 1-4, 2013.
2. **A. Taibi**, A. Slimane, S. A. Tedjini, M. T. Belaroussi, D. Maafri and M. Trabelsi, "A 0.9 V low power reconfigurable CMOS folded cascode LNA for multi-standard wireless applications," *2014 9th International Design and Test Symposium (IDT)*, pp.185-188. Algiers, 2014.