



Ecole Nationale Polytechnique
Département d'électronique
Laboratoire des Dispositifs de Communication
et de Conversion Photovoltaïque



Thèse de Doctorat En Electronique

Présenté par :

TEDJINI-BAILICHE Sid Ahmed

Magistère en électronique

Intitulée :

Etude et conception de mélangeur RF en technologie CMOS pour l'amélioration de la linéarité

Soutenue publiquement le 05/12/ 2016 devant le jury composé de :

Président :	Rabia Aksas	Professeur	ENP
Directeur de thèse :	Mohamed Trabelsi	Professeur	ENP
Co-Directeur de thèse :	Mohand Tahar Belaroussi	Directeur de recherche	CDTA
Examineurs :	Adel Belouchrani	Professeur	ENP
	Mouloud Challal	Maitre de conférences A	UMBB
	Abderrezak Guessoum	Professeur	USDB
	Abdelhakim Dahimene	Maitre de conférences A	UMBB
Membre invité :	Abdelhalim Slimane	Maitre de recherche A	CDTA

ENP 2016

ملخص

تتركز هذه الأطروحة على تصميم خلاطات نشيطة بتكنولوجيا CMOS لتلبية الاحتياجات من حيث التكلفة واستهلاك الطاقة والأداء في استقبال الترددات اللاسلكية. وفي هذا السياق، أظهرت خلية جيلبرت حدودها لمواجهة هذه التنازلات، ما كان الدافع وراء تصميم خلاط نشيط و الذي جمع بين تقنية نزييف التيار وتقنية تراكب المشتقة، مما يسمح الى زيادة في كل من مكاسب التحويل والخطي. و نقدم ايضا بديل لخلية لجيلبرت وهو خلاط منخفض الاستهلاك خاص بتطبيقات متعددة المعايير والعاملة في نطاق التردد 1.8 الى 2.4 غيغاهرتز. تم تصميم الخلاط في تكنولوجيا CMOS وعزز موصلية منقولة وذلك بفضل تقنية عبر اقتران. يتم توفير ترجمة التردد بفضل عاكسون يحولان منقولة ثانية. يوفر هاد خلاط حلا وسطا الأمثل بين زيادة التحويل، الخطي، واستهلاك الطاقة. ويقترح تصميم ثالث الذي نطبق تقنية لإدارة الطاقة في خلاط موصلية منقولة التحويل. هذا الأسلوب يسمح بتخفيض أكثر من 90% من الاستهلاك الحالي. ويقترح نموذجاً للخلاط الغير فعال. نموذج يضع الضوء على التفاعل بين أجزاء مختلفة من جهاز الاستقبال. تظهر المحاكاة اتفاق تام بين النموذج والدوائر الحقيقية والتنبؤ التباين في أداء مكرر وفقا لمعايير التصميم التي تسمح للاستفادة منها كدليل لتصميم مكبر الإشارة ذات الضجيج المنخفض والدائرة القاعدية.

الكلمات الجوهرية ، خلاط نشيط ، خلية جيلبرت ، تراكب المشتكات، تحويل التوتر الى تيار، التشغيل الخطي، الربح في التحويل، انخفاض استهلاك الطاقة

Abstract

This thesis covers the design of active mixers in CMOS technology to meet the requirements in terms of cost, power consumption and performance in RF receivers. In this context, the Gilbert cell has shown its limit to reach this compromise which motivates the design of enhanced active mixer in 0.18 μm CMOS technology, combining bleeding, and derivative superposition linearization technique which allows the increasing of both of conversion gain and IIP3. We also propose an alternative to Gilbert cell mixer-like for very low power consumption and multi-standards receiver, operating in frequency band of 1.8 GHz - 2.4 GHz. The mixer is designed in 0.18 μm CMOS technology. The source cross coupled technique has been used to increase the effective transconductance, while the frequency conversion is performed by CMOS inverters. The mixer achieved the best gain conversion, linearity, and consumption trade off. A third mixer has been designed, where a power gating technique is employed to reduce a power consumption of a switched gm mixer with a ratio of 90%. A passive mixer model that sheds light on RF and baseband interaction is presented. Simulations show a perfect matching between the model, and the actual circuit, which is able to predict the variation of the receiver performance with the design parameters, and using it as a guideline for the LNA, and baseband stages design.

Keywords: CMOS, Gilbert cell, mixers, derivative superposition, switched transconductance linearity, gain conversion, low power consumption, passive mixer.

Résumé

Cette thèse porte sur la conception des mélangeurs actifs en technologie CMOS pour répondre aux exigences en termes de coût, de consommation d'énergie et de performance dans les récepteurs RF. Dans ce contexte, la cellule de Gilbert a montré ses limites pour répondre à ces compromis, ce qui a motivé la conception d'un mélangeur actif en technologie CMOS 0.18 μm combinant la technique de « bleeding » et la superposition de dérivées, ce qui permet d'augmenter à la fois le gain de conversion et l'IIP3. Nous proposons aussi une alternative à la cellule de Gilbert pour les applications très faible consommation d'énergie et multistandards fonctionnant dans la bande de fréquence de 1.8 - 2.4 GHz. Le mélangeur est conçu en technologie CMOS 0.18 μm . La transconductance est « boostée » grâce à la technique de couplage croisée. La transposition en fréquence est assurée par des inverseurs CMOS. Le mélangeur offre un compromis optimal entre le gain de conversion, la linéarité et la consommation de puissance. Une troisième conception est proposée dans laquelle nous appliquons une technique de gestion de l'alimentation à un mélangeur à transconductance commutée. Cette technique permet une réduction de plus de 90% de la consommation de courant. Un modèle pour mélangeur passif est proposé. Le modèle met la lumière sur l'interaction entre les différentes parties du récepteur. Les simulations montrent une concordance parfaite entre le modèle et le circuit réel et permet de prédire la variation des performances du répéteur en fonction des paramètres de conception ce qui permet de l'utiliser comme guide de conception pour le LNA et l'étage de bande de base.

Mots-clés : CMOS, cellule de Gilbert, mélangeurs, superposition des dérivées, transconductance commutée, linéarité, gain de conversion, faible consommation de puissance, mélangeur passif

To my Dear Mother

Remerciements

Je souhaite tout d'abord remercier vivement mes directeurs de thèse : Professeur Mohamed Trabelsi, et Dr Mohand Tahar Belaroussi pour le suivi de ma thèse, leur patience, et la confiance qu'ils m'ont accordés tout au long de ces années.

Conscient du délai inhabituel qui s'est écoulé avant la soutenance de la présente thèse, je souhaite remercier tous les membres du jury, pour leur compréhension mais aussi pour l'honneur qu'ils m'ont accordés en acceptant d'examiner ma thèse et particulièrement Mr Rabia Aksas pour avoir accepté de présider ce Jury.

Un vif remerciement pour mon collègue de bureau Dr Abdelhalim Slimane pour toutes ses discussions scientifiques échangées, ses conseils, et particulièrement pour son soutien moral.

Je souhaite également remercier mes autres collègues du CDTA : Abdelkader Taibi, Abdelhalim Saadi, Djaber Maafrî, Smail Traiche, et Fodil Siserir également pour leurs soutien mais aussi pour l'ambiance détendue mais indispensable qui règne au sein de l'équipe ARFIC du CDTA dont j'ai l'honneur d'en faire partie.

En dernier, je souhaite remercier Professeur Danilo Manstretta pour m'avoir ouverte les portes du laboratoire de Microélectronique de l'université de Pavie, et accueilli durant dix-huit mois, durant lesquelles j'ai eu l'immense privilège et l'honneur d'interagir avec lui ainsi que les autres membres de son groupe.

Table des matières

Liste des Figures	9
Liste des Tableaux	13
Liste des Abréviations.....	14
Liste des symboles	15
Introduction Générale	17
Chapitre 1. Architecture des récepteurs RF	22
1.1 Introduction	22
1.1.1 Sensibilité.....	22
1.1.2 Sélectivité.....	23
1.1.3 Bruit	23
1.1.4 Mélange Réciproque	25
1.1.5 Linéarité	25
1.2 Récepteur Hétérodyne	26
1.3 Fréquence image	28
1.4 Récepteur Homodyne.....	29
1.5 DC offset	30
1.6 Récepteur à fréquence intermédiaire basse	31
Chapitre 2. Techniques de linéarisation pour les circuits RF	32
2.1 Introduction	32
2.2 Linéarisation des dispositifs MOS et circuits.....	32
2.2.1 Contre réaction.....	32
2.2.2 Feedforward	35
2.2.3 Polarisation optimale	37
2.2.4 Superposition des dérivées.....	38
2.2.5 Post linéarisation.....	39
Chapitre 3. Mélangeur Actif – Cellule de Gilbert	41
3.1 Fonctionnement de la cellule de Gilbert	41
3.2 Performance du mélangeur.....	42

3.2.1	Gain de conversion en tension	42
3.2.2	Bruit et linéarité	43
3.2.3	Isolation.....	43
3.3	Mélangeur simple et double équilibrés	43
3.3.1	Mélangeur simple équilibré	43
3.3.2	Mélangeur double équilibré	45
3.4	Gain de conversion.....	45
3.4.1	Commutation complète (« hard switching »).....	45
3.4.2	Commutation partielle (« soft switching »)	46
3.5	Bruit dans les mélangeurs actifs.....	47
3.5.1	Bruit simple bande SSB	47
3.5.2	Bruit double bande DSB	48
3.6	Le bruit de repliement	48
3.7	Les différentes sources de bruit.....	49
3.8	Intermodulation d'ordre 3	49
Chapitre 4.	Conception d'un Mélangeur Actif en Technologie CMOS 0.18 μm	52
4.1	Introduction	52
4.2	Mélangeur Actif à « current-bleeding »	52
4.2.1	Applications basse-tension.....	52
4.2.2	Transconductance pseudo-différentielle	53
4.2.3	Motivations	53
4.2.4	Technique de « bleeding ».....	54
4.3	Dimensionnement de l'étage de commutation	56
4.4	Dimensionnement de la transconductance	57
4.5	Linéarisation de l'étage d'entrée	58
4.5.1	Analyse de la linéarité.....	58
4.5.2	Linéarisation par superpositions des dérivées.....	62
4.6	Conception du mélangeur.....	64
4.7	Résultats de la simulation post-layout.....	66
4.7.1	Gain de conversion	66
4.7.2	Linéarité	67
4.7.3	Bruit	67
4.8	Conclusion.....	68
Chapitre 5.	Conception d'un Mélangeur à très faible consommation de puissance en technologie CMOS 0.18 μm	69
5.1	Introduction	69
5.2	Background	69

5.2.1	« Current-reuse ».....	69
5.2.2	Transconductance à couplage croisée.....	70
5.3	Contrainte de linéarité et de consommation.....	73
5.4	Mélangeur proposé.....	75
5.5	Conception du mélangeur.....	75
5.5.1	Dimensionnement du 1 ^{er} étage.....	75
5.5.2	La commutation.....	80
5.5.3	Dimensionnement du second étage.....	81
5.6	Simulations post-layout.....	83
5.6.1	Dessin du layout.....	83
5.6.2	Simulations post-layout.....	85
5.7	Conclusion.....	87
Chapitre 6.	Conception de mélangeur à gain élevé en technologie CMOS 0.13 μm	88
6.1	Introduction.....	88
6.2	Etage de transconductance.....	89
6.3	Transconductance commutée.....	90
6.4	Les baluns: conversion « single-to-diff».....	91
6.5	Simulations des performances.....	94
6.5.1	Gain de conversion et Facteur de bruit.....	94
6.5.2	Linéarité.....	95
6.6	Comportement du mélangeur avec le LNA.....	96
6.6.1	Gain de conversion et facteur de bruit.....	97
6.7	Gestion de l'alimentation (« Power gating »).....	98
6.8	Conclusion et perspectives.....	100
Chapitre 7.	Modèle pour Mélangeurs passifs.....	102
7.1	Introduction.....	102
7.2	Choix du rapport cyclique du signal LO.....	103
7.3	Le modèle en bande de base.....	105
7.3.1	L'interaction d'impédances.....	105
7.3.2	Description du modèle final.....	109
7.3.3	Mélangeur passif drainé par une transconductance (LNA).....	110
7.4	Validation du modèle.....	113
7.5	Le facteur de bruit.....	115
7.6	Linéarité.....	117
7.7	Conclusion.....	119
Conclusion Générale.....		121
Annexe A.	Gain de conversion dans le cas de la commutation partielle.....	123

Annexe B. VIIIP3 d'une paire différentielle.....	125
Annexe C. Gain en tension d'un amplificateur à capacité croisées-couplées.....	127
Annexe D. Transconductances du mélangeur à transconductance commutée.....	129
Bibliographie.....	132

Liste des Figures

Figure 1.1	Forme générique d'un récepteur a conversion directe [11]	22
Figure 1.2	Notion de Sélectivité [15]	23
Figure 1.3	Spectre de sortie d'un oscillateur, (a) cas idéal, (b) cas avec bruit de phase [11]	25
Figure 1.4	(a) récepteur, (b) transposition de fréquence dans le cas idéal, (c) transposition de fréquence en présence de bruit de phase (mélange réciproque) [11]	25
Figure 1.5	Récepteur hétérodyne avec transposition fréquentielle quadratique, [11]	27
Figure 1.6	Compromis entre la rejection d'image et la sélectivité, (a) cas IF élevée, (b) cas IF faible IF [11]	28
Figure 1.7	Récepteur à conversion directe [11]	30
Figure 1.8	Les chemins de fuites du signal LO (a) fuite du signal LO vers l'antenne, (b) fuite du signal LO vers l'entrée LNA, (c) fuite du signal LO vers l'entrée du mélangeur, (d) retour vers l'oscillateur local [15]	30
Figure 2.1	(a) Amplificateur non linéaire avec une contre réaction négative, (b) LNA avec dégénérescence inductive, (c) modèle petits signaux [17]	33
Figure 2.2	Technique de linearisation "Feedforward" [17]	36
Figure 2.3	Technique de linéarisation « feedforward » double chemin [18]	37
Figure 2.4	Simulation de la caractéristique transconductance [17]	38
Figure 2.5	(a) Linéarisation par la technique de la superposition des dérivées, (b) distorsion du troisième ordre [17]	39
Figure 2.6	Technique de linéarisation « post distorsion », (a) concept général, (b) implémentation de la technique dans l'article [19], (c) implémentation dans l'article [20], (d) implémentation dans l'article [21]	40
Figure 3.1	(a) Mélangeur basé sur l'utilisation d'un « switch » idéal, (b) le spectre à l'entrée et à la sortie du mélangeur [11]	42
Figure 3.2	Mélangeur simple équilibré	44
Figure 3.3	Cellule de Gilbert en technologie CMOS	45
Figure 3.4	Fonction de transfert d'une paire commutative - cas de la commutation complète « hard switching »	46
Figure 3.5	Fonction de transfert d'une paire commutative - cas du « soft switching »'	46
Figure 3.6	Facteur de bruit simple bande (SSB) dans le mélangeur	47
Figure 3.7	Facteur de bruit double bande (DSB) dans le mélangeur	48

Figure 3.8 Le Bruit de repliement.....	48
Figure 3.9 Interférence due à l'intermodulation d'ordre trois dans le mélangeur.	50
Figure 4.1 (a) Transconductance différentielle, (b) Transconductance pseudo-différentielle.	53
Figure 4.2 - Technique de « current bleeding »	55
Figure 4.3 Tracé du gain de conversion donné par l'équation (4.3) en fonction de la largeur des transistors de commutation.	57
Figure 4.4 Tracée de l'équation (4.5) pour un gain de conversion de 20 dB et un $I_D = 2$ mA	58
Figure 4.5 Tracés des différentes transconductances par dérivation successive de l'équation (4.6) pour différentes largeurs de grille. (a) transconductance g_m , (b) transconductance g_2 , (c) transconductance g_3	61
Figure 4.6 - Implémentation de la technique de superposition des dérivées avec des transistors NMOS [2]	62
Figure 4.7 Simulation des transconductance d'un nMOS ($v_{ds} = 0.6$ V , $W = 75$ μ m)	63
Figure 4.8 Simulation de la technique de superposition des dérivées $W_{Main} = 75$ μ m, $W_{AUX} = 52$ μ m.....	64
Figure 4.9 Mélangeur proposé	65
Figure 4.10 - Dessin du masque (layout) du mélangeur (sans la polarisation).....	66
Figure 4.11 – Simulation post-layout du gain de conversion en tension du mélangeur en fonction de la fréquence IF	66
Figure 4.12 - Simulation post-layout de IIP3.....	67
Figure 4.13 Facteur de bruit double bande en fonction de la fréquence de sortie	68
Figure 5.1 - (a) amplificateur s source commune, (b) amplificateur « current-reuse »	70
Figure 5.2 - (a) transconductance à grille commune, (b) transconductance boostée.....	71
Figure 5.3 - Transconductance différentielle à couplage croisé	71
Figure 5.4 – Modèle petits signaux de la transconductance croisées-couplées	73
Figure 5.5 (a) Simulation du coefficient d'inversion d'un transistor NMOS 0.18 μ m, (b) simulation de g_m / I_D en fonction de la tension V_{gs} , (c) simulation du g_3	74
Figure 5.6 Mélangeur double équilibré proposé.....	75
Figure 5.7 Transconductance du nMOS et pMOS pour une largeur de 18 μ m et $n = 4.4$	77
Figure 5.8 Gain en tension du premier étage donné par l'équation (5.15) pour différentes consommation	78
Figure 5.9 (a) Variation de la transconductance du transistor nMOS en fonction de la largeur de la grille (b) consommation du courant correspondante.....	78
Figure 5.10 Connexion croisée du substrat.....	79
Figure 5.11 Gain en tension du premier étage	80
Figure 5.12 - Mélangeur simple équilibré à transconductance commutée	81

Figure 5.13 - Variation de l'IIP3 du mélangeur en fonction de la tension V_{GS} pour différentes dimensions des inverseurs.....	83
Figure 5.14 - Dessin du layout du mélangeur.....	84
Figure 5.15 - Simulation post-layout du S11.....	85
Figure 5.16 - Simulation post-layout du mélangeur, (a) gain de conversion en tension en fonction de la fréquence de sortie IF pour différentes fréquences RF, (b) IIP3 du mélangeur.....	86
Figure 6.1 - Réduction de la consommation d'énergie dans un récepteur à conversion directe par gestion d'alimentation (« power gating »).....	89
Figure 6.2 - Amplificateur utilisant la technique du « current-reuse ».....	89
Figure 6.3 - Mélangeur actif double équilibré à transconductance commutée [4].....	90
Figure 6.4 - Mélangeur simple équilibré à transconductance « current-reuse » commutée....	91
Figure 6.5 - Balun actif utilisé à l'entrée du mélangeur.....	92
Figure 6.6 - Balun actif utilisé à la sortie du mélangeur.....	92
Figure 6.7 – Circuit complet du mélangeur double équilibrée à transconductance « current-reuse » commutée.....	93
Figure 6.8 - Simulation des paramètres S du mélangeur - adaptation en entrée et en sortie du mélangeur à 50Ω	94
Figure 6.9 - Simulation transitoire du mélangeur.....	94
Figure 6.10 (a) Simulation du gain de conversion en tension du mélangeur, (b) Simulation du bruit Simple bande.....	95
Figure 6.11 - simulation du gain de conversion en tension en fonction de la puissance d'entrée.....	96
Figure 6.12 - Simulation de l'IIP3 du mélangeur.....	96
Figure 6.13 - Simulation transitoire du mélangeur + LNA.....	97
Figure 6.14 (a) Simulation du gain du récepteur, (b) Simulation du bruit simple bande du mélangeur + LNA.....	98
Figure 6.15 – Utilisation de la technique du « power gating » sur un inverseur.....	99
Figure 6.16 Circuit complet du mélangeur incluant la technique du « power gating ».....	99
Figure 6.17 - Simulation transitoire du signal IF à la sortie du mélangeur avec « power gating ».....	100
Figure 7.1 Récepteur à base de mélangeur passif : (a) récepteur quadratique à base de LNA, (b) récepteur quadratique à base de LNTA, (c) récepteur quadratique de type « mixer-first », (d) mélangeur passif à transimpédance à base d'amplificateur opérationnel (OpAmp).....	103
Figure 7.2 Phénomène de « cross-talk » dans le cas d'un rapport cyclique de 50% dans un récepteur quadratique.....	104
Figure 7.3 (a) signal LO avec un rapport cyclique de 25% représenté dans le domaine temporel, (b) Modèle équivalent simplifié d'un récepteur quadratique à base de mélangeur passif, (c) spectre du signal $v_{RF}(t)$	105
Figure 7.4 Modèle en bande de base du mélangeur passif.....	108

Figure 7.5 Modèle complet équivalent en bande de base du mélangeur passif.....	110
Figure 7.6 Impédance de Shunt ($f_{FLO} = 2\text{GHz}$, $R_s = 50\Omega$, $R_{sw} = 20\Omega$)	112
Figure 7.7 Impédance d'entrée du récepteur et du et du modèle équivalent en fonction de la fréquence de sortie pour différentes bandes passantes RC, $f_{LO} = 2\text{GHz}$, $R_s = 50\Omega$, $C_{RF} = 2\text{pF}$, $R_{sw} = 20\Omega$, $R_B = 200\Omega$	113
Figure 7.8 Gain de conversion du mélangeur passif et du modèle en fonction de IF.....	114
Figure 7.9 Le gain transimpédance estimé de la voie I à la voie Q en fonction de la capacité RF : Conception (a) : $R_{sw} = 5\Omega$, $R_s = 2\text{K}\Omega$, Conception (b) : $R_{sw} = 40\Omega$, $R_s = 200\Omega$...	114
Figure 7.10 Simulation du NF en fonction de IF	115
Figure 7.11 Simulation du Gain en fonction de R_{sw}	116
Figure 7.12 Simulation de NF en fonction de R_{sw}	117
Figure 7.13 Simulation de l'IIP3 en fonction de l'offset en fréquence	118
Figure 7.14 Simulation de IIP3 en fonction de R_{sw}	118
Figure 7.15 Variation de l'IIP3 en fonction de C_{RF} pour différentes conditions - (A): $R_{sw} = 1\Omega$ et $R_s = 200\Omega$ - (B): $R_{sw} = 10\Omega$ et $R_s = 200\Omega$ - (C): $R_{sw} = 40\Omega$ et $R_s = 200\Omega$ - (D): $R_{sw} = 40\Omega$ et $R_s = 2\text{k}\Omega$	119
Figure C.0.1 Modele equivalent de l'amplificateur differentielle à capacités croisées-couplées.....	127
Figure 0C.0.2 Modele equivalent.....	129

Liste des Tableaux

Tableau 4.1 Evolution de la tension V_{DD} avec l'evolution de la technologie.....	53
Tableau 4.2 - Dimension des transistors du mélangeur « bleeding »	65
Tableau 4.3 - Comparaison des performances du mélangeur proposé avec l'état de l'art	68
Tableau 5.1 - Dimensionnement du premier étage	80
Tableau 5.2 - Dimensions des transistors du mélangeur à transconductance commutée proposé.....	84
Tableau 5.3 - Comparaison des performances du mélangeur à transconductance commutée proposé avec l'état de l'art.....	86

Liste des Abréviations

MOS	Metal Oxide Semiconductor
LO	Local oscillator
RF	Radio Frequency
IF	Intermediate Frequency
SNR	Signal to Noise Ratio
IIP3	Input intercept Point 3
FOM	Figure Of Merit
NF	Noise Figure
SSB	Single Side Band
DSB	Double Side Band
IMD	Inter Modulation Distortion
LNA	Low Noise Amplifier
VCO	Voltage Controlled Oscillator
BPF	Band Pass Filter
WCDMA	Wideband Code-Division Multiple Access
VGA	Variable Gain Amplifier
LPF	Low Pass Filter

Liste des symboles

g_m	Transconductance du transistor MOS
g_2	Transconductance du second ordre du transistor MOS
g_3	Transconductance du troisième ordre du transistor MOS
v_{GS}	Différence de potentiel entre la grille et la source du transistor MOS
v_{DS}	Différence de potentiel entre le drain et la source du transistor MOS
i_{DS}	Courant de drain du transistor MOS
v_{LO}	Tension du signal de l'oscillateur local
ω_{LO}	Pulsation du signal de l'oscillateur local
v_{RF}	Tension du signal radio fréquence
v_{IF}	Tension du signal à la sortie du mélangeur
T	Température en Kelvin
k	Constante de Boltzmann
γ	Coefficient de bruit du canal du transistor MOS
ζ	Coefficient représentant le bruit de repliement « folding noise »
μ_n	Mobilité électrique du transistor NMOS
μ_p	Mobilité électrique du transistor PMOS
C_{OX}	Capacité de l'oxyde de silicium par unité de surface

W	Largeur de la grille du transistor MOS
L	Longueur de la grille du transistor MOS
I_{SS}	Source de courant commune de la paire différentielle.
$g_{m,sw}$	Transconductance des transistors de commutation
C_{ov}	Capacité de recouvrement « grille-diffusion » du transistor MOS
G_V	Gain de conversion en tension du mélangeur
η	Coefficient d'accroissement exponentiel du transistor MOS sous le seuil.
θ	Paramètre qui modélise la dégradation de la mobilité du transistor MOS dû au champ électrique vertical et à la vitesse de saturation de porteurs de charge
ρ	Paramètre qui modélise la dégradation de la mobilité du transistor MOS dû au champ électrique vertical
v_{sat}	Vitesse de saturation des porteurs de charge
ϕ_t	Tension thermique
g_{mN}	Transconductance du transistor NMOS
g_{mP}	Transconductance du transistor PMOS
r_{dsN}	Résistance de sortie du transistor NMOS en saturation
r_{dsP}	Résistance de sortie du transistor PMOS en saturation
C_{gs}	Capacité de la jonction grille-source du transistor MOS
C_{ds}	Capacité drain-source du transistor MOS
C_{gd}	Capacité de la jonction grille-drain du transistor MOS
r_o	Résistance de sortie du transistor MOS
λ	Effet de modulation du canal du transistor MOS
P_{DC}	Puissance DC dissipée

Introduction Générale

Le mélangeur est un circuit important et indispensable dans tout système de communication Radio Fréquence qui a pour fonction la translation, dans le domaine fréquentiel, des signaux. Le mélangeur est associé à un amplificateur faible bruit et à un oscillateur pour effectuer la transposition de fréquence. La cellule de Gilbert fait partie des mélangeurs à commutation de courant [1]. Ce type de mélangeur est très répandu dans les communications sans fil. Sa longévité revient principalement à la simplicité de sa circuiterie, à son bon gain de conversion en tension, à la bonne isolation entre les différents accès, à sa linéarité et à son bruit modéré.

La cellule de Gilbert fût initialement proposée à la fin des années soixante en technologie bipolaire par Barrie Gilbert [1]. Ce n'est que plus tard que la cellule de Gilbert fut implémentée à base de transistors MOS dans la perspective de réaliser l'ensemble du récepteur en technologie CMOS à bas coût. Son évolution a, entre autre, ouvert la porte à des bandes de fréquence élevées et, par la même occasion, à des applications Radio Fréquence (RF) jusque-là inaccessibles. En effet, la réduction de la longueur du canal permet d'augmenter la fréquence de coupure du transistor MOS. Si les performances fréquentielles du transistor MOS ont pleinement profité de l'évolution de la technologie CMOS en silicium, la tension seuil des transistors fait partie du lot de complications, apporté par les technologies CMOS avancées. La tension seuil diminue moins vite que les tensions d'alimentation, mises en jeu, qui ne doivent pas dépasser une certaine valeur pour une technologie donnée, sous peine de détériorer le transistor MOS. Il devient alors très contraignant de concevoir des circuits radio fréquences, tout en garantissant des performances en termes de gain, de bruit et de linéarité nécessaires pour une application ou un standard de communication donné. A titre d'exemple, pour une technologie CMOS 0.18 μm de TSMC, la tension seuil des transistors RF NMOS est de l'ordre de 535 mV pour une tension maximale de 1.8 V, soit un rapport $V_{DD} / V_{TH} \approx 3.4$. Tandis que pour une technologie 0.13 μm , la tension de seuil est de l'ordre de 385 mV pour une tension maximale de 1.2 V, soit un rapport $V_{DD} / V_{TH} \approx 3.1$. On constate que ce rapport diminue avec l'évolution de la technologie CMOS. Par conséquent, les circuits

qui nécessitent plusieurs étages, empilés comme la cellule de Gilbert conventionnelle, s'accompagnent souvent de pertes de dynamique et, par conséquent, entraînent une détérioration de la linéarité.

Les mélangeurs sont considérés comme non linéaire du fait de la non linéarité du transistor MOS qui est le principal constituant de ces circuits. Bien que faible, cette non linéarité peut être à l'origine de signaux parasites gênants et indésirables en particulier dans le cas où plusieurs standards de communication sans fil doivent coexister. Des efforts considérables ont été déployés pour la conception et l'optimisation du mélangeur à commutation de courant telle que la cellule de Gilbert en termes de linéarité.

Obtenir un niveau de linéarité élevé, tout en présentant un gain également élevé dans la cellule de Gilbert (fort appréciable dans le cas du mélangeur) constitue un défi important à relever dans les mélangeurs RF, car le transistor MOS présente une linéarité optimale autour d'un point de fonctionnement se situant au milieu de la région d'inversion moyenne. Afin d'obtenir un gain élevé, le transistor doit fonctionner en forte inversion là où la transconductance du transistor MOS est la plus élevée. A cette difficulté, s'ajoute la consommation de courant élevée en forte inversion. C'est pour cette raison que le compromis entre le gain de conversion, la linéarité et la consommation de puissance, est souvent de rigueur dans les mélangeurs RF.

Dans ce contexte, la linéarisation des mélangeurs RF a été largement abordée dans la littérature pour améliorer le point d'interception d'entrée de troisième ordre. Noté IIP3, le point d'interception d'ordre trois est un indicateur métrique qui renseigne sur la linéarité du circuit.

Les techniques de linéarisation des mélangeurs actifs, rencontrées dans la littérature, découlent, toutes, des techniques de linéarisation des LNA à savoir : superposition des dérivées, poste linéarisation, injection de produits d'intermodulation de second ordre ainsi que d'autres techniques que nous abordons dans le Chapitre 2. Toutes ces techniques tentent de réduire la transconductance de troisième ordre des transistors, responsable des produits d'intermodulation d'ordre trois dans les circuits RF, causant la dégradation du point d'interception d'ordre trois. Initialement utilisée pour les amplificateurs à faible bruit et récemment étendue aux mélangeurs, la méthode de superposition des dérivées est, sans doute, l'une des techniques de linéarisation les plus efficaces utilisée dans les circuits RF. Dans les mélangeurs pseudo-différentiels, les étages empilés sont réduits à trois, permettant de ce fait une conception basse tension d'alimentation [2].

Dans le Chapitre 4, un mélangeur conçu en technologie CMOS 0.18 μm combinant la technique de superposition des dérivées et la technique du « current bleeding » est présenté. Le but de la technique de « bleeding » est de contrer les limitations de la cellule de Gilbert et, de ce fait, relaxer le compromis gain, linéarité et consommation de puissance. Le mélangeur a été simulé (simulation post-layout) à la fréquence 2 GHz. La combinaison de ces techniques s'est avérée efficace pour améliorer à la fois la linéarité et le gain de conversion. Celle-ci a été confirmée par leur implémentation en technologie CMOS 0.18 μm fonctionnant avec une tension d'alimentation de 0.9 V, soit la moitié de la tension d'alimentation maximale de cette technologie. Ce choix est motivé par l'évolution du rapport V_{DD}/V_{TH} avec la technologie. [2]. Cela montre que cette solution serait potentiellement applicable à une technologie 0.13 μm ou même 90 nm tout en bénéficiant de performances fréquentielles supérieures qu'offrent ces technologies.

La consommation de puissance est aussi une contrainte incontournable dans la conception de circuits RF. En effet, un module d'émission et de réception gourmand en énergie aurait une autonomie réduite et, par conséquent, serait peu attrayant. La consommation de puissance dépend à la fois, de la tension d'alimentation et du courant consommé. Il existe plusieurs techniques utilisées pour réduire la consommation de puissance des circuits RF comme, par exemple la polarisation du transistor sous le seuil de conduction [3].

Par ailleurs, les mélangeurs à transconductance commutée représentent une bonne alternative à la cellule de Gilbert conventionnelle pour réduire, à la fois, la tension d'alimentation et le courant consommé et ce, en utilisant des inverseurs commandés par le signal de l'oscillateur local LO au lieu d'un étage de commutation [4]. Etant donné que les inverseurs fonctionnent en mode linéaire, il est donc plus facile d'empiler les trois étages (inverseur, transconductance, et charge) constituant le mélangeur. En faisant fonctionner les transistors MOS en faible inversion, une consommation optimale du courant DC est atteinte avec cette topologie. Ce mode de fonctionnement devient plus attrayant pour le meilleur compromis entre le gain et la consommation d'énergie. Cependant, la réponse en fréquence, aussi bien que la linéarité sont faibles en comparaison avec le mode de forte inversion [5]. De ce fait, le mode d'inversion modérée semble être le choix ultime pour le meilleur compromis entre le gain et la dissipation de puissance et la linéarité. En outre, d'autres techniques ont été mises en œuvre afin de réduire la consommation d'énergie dans la section RF comme par exemple la transconductance à couplage croisée présentée dans l'article [6]. Un LNA, basé sur le technique à réutilisation de courant à couplage croisée est proposé dans l'article [7].

Dans l'article [8], la transconductance du LNA, en grille commune, est renforcée en utilisant la technique à couplage croisée.

Dans le Chapitre 5, nous proposons la conception d'un mélangeur à transconductance commutée multistandards, fonctionnant dans la bande fréquentielle 1.8-2.4 GHz en inversion modérée. Le mélangeur proposé est constitué de deux étages en cascade. Le premier se compose de la transconductance à « current-reuse » à couplage croisée fournissant un gain en tension élevé. L'opération de commutation est effectuée dans la deuxième étape, également sur la base du « current-reuse » dont l'alimentation est contrôlée par des inverseurs.

L'autre approche pour réduire le courant consommé d'un circuit est la technique appelée « power gating » est liée à une stratégie de gestion de l'alimentation, qui consiste à éteindre ou à allumer le dispositif [9]. Empruntée au domaine digital, l'application de ce concept au domaine RF est relativement nouveau et son rayon d'application se cantonne aux communications pulsées.

Dans le Chapitre 6, nous proposons un mélangeur à transconductance commutée à gain de conversion élevé, pour des applications où la linéarité n'est pas une contrainte majeure. Un fort gain de conversion peut impliquer une forte consommation de puissance. Nous proposons donc d'appliquer la technique du « power gating » au mélangeur ainsi conçu pour réduire la consommation de puissance. Le mélangeur est conçu à la fréquence 2.4 GHz, utilisée par plusieurs standards de communication comme le Wifi, le Bluetooth ou encore le Zigbee. Pour ce faire, nous avons conçu un mélangeur en technologie CMOS 0.13 μm de STMicroelectronics pour un meilleur compromis gain de conversion - consommation DC. L'étude comportementale du mélangeur avec un amplificateur faible bruit, à base d'inductance active, a été également établie [10].

Le principal inconvénient des mélangeurs actifs, type cellule de Gilbert ou à transconductance commutée est le bruit $1/f$ [11]. Les travaux menés dans l'article [12] ont montré que le bruit $1/f$ est proportionnel au courant DC, qui traverse l'étage de commutation. Réduire ce dernier au minimum conduit à une réduction significative du bruit $1/f$ dans le récepteur. C'est dans cette optique que les mélangeurs passifs sont proposés comme alternative. En effet, ces mélangeurs passifs ont été mis au point dans cette optique. Ce type de mélangeur a été proposé par Redman-White [13] et implémenté, pour la première fois en technologie CMOS, par Castello et al [14]. Dans les mélangeurs passifs, les commutateurs opèrent en région triode, ce qui rend le mélangeur bidirectionnel et de ce fait, l'analyse du

mélangeur est plus complexe. Il est, par conséquent, désirable de disposer d'un modèle pouvant prédire les performances du mélangeur. Dans le Chapitre 7, nous proposons un modèle théorique pour les mélangeurs passifs souhaitable, à la fois, pour les récepteurs de type « mixer-first » et les récepteurs conventionnels intégrant un LNTA (Low Noise Transconductance Amplifier) en amont et capable de prédire les caractéristiques du récepteur en termes d'impédance d'entrée, de gain, de facteur de bruit et de linéarité.

Cette thèse est organisée comme suit :

1. Le Chapitre 1 introduit le mélangeur de façon générale dans le contexte de la réception, où divers problèmes et notions sont abordés.
2. Le Chapitre 2, rassemble quelques techniques de linéarisation utilisées pour linéariser les circuits RF (faiblement non linéaire) comme le mélangeur et le LNA.
3. Le Chapitre 3 est consacré à l'analyse de la cellule de Gilbert.
4. Dans le Chapitre 4, nous présentons la conception du mélangeur à « current-bleeding » en technologie CMOS 0.18 μm à la fréquence de 2 GHz.
5. Dans le Chapitre 5, nous proposons la conception du mélangeur à transconductance commutée pour les applications multistandards à très faible consommation de puissance en technologie CMOS 0.18 μm .
6. Dans le Chapitre 6, nous présentons la conception d'une variante du mélangeur du Chapitre 7 à gain de conversion élevé en technologie CMOS 0.13 μm avec la technique de gestion de l'alimentation.
7. Dans le Chapitre 7, nous proposons un modèle, en bande de base, pour les récepteurs à base de mélangeurs passifs.

Chapitre 1. Architecture des récepteurs RF

1.1 Introduction

Un récepteur doit être en mesure de sélectionner un canal parmi tant d'autres, et de récupérer les informations transmises en dépit d'une puissance très faible en entrée. Par conséquent, le récepteur doit être sélectif d'une part et sensible d'autre part. Cependant, la sélectivité et la sensibilité sont de natures antagonistes.

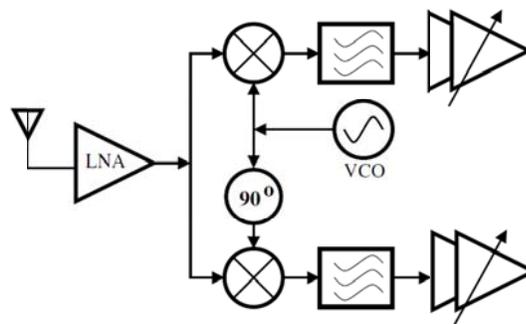


Figure 1.1 Forme générique d'un récepteur à conversion directe [11]

1.1.1 Sensibilité

La sensibilité d'un récepteur est définie comme la plus faible puissance du signal, dans la bande de réception, de sorte à avoir un rapport signal sur bruit à la sortie du récepteur, suffisamment élevé afin de pouvoir traiter efficacement le signal reçu et d'en récupérer l'information utile. La sensibilité du récepteur est étroitement liée au facteur de bruit du récepteur. Un récepteur ayant une forte sensibilité (un faible facteur de bruit) sera en mesure de traiter de faibles signaux et donc de continuer de fonctionner correctement tout en étant loin de l'émetteur. Cette caractéristique est très importante dans les communications radio mobile.

Il est donc nécessaire d'amplifier les signaux reçus afin de pouvoir les traiter et récupérer les informations émises. Néanmoins, l'amplificateur, à la tête de la chaîne de réception, doit être conçu avec le plus grand soin, par rapport au bruit qui lui est intrinsèquement lié, en le diminuant de sorte à introduire le minimum de bruit dans la chaîne de réception.

1.1.2 Sélectivité

La sélectivité d'un récepteur est sa capacité à séparer la bande désirée des autres signaux émis sur d'autres fréquences. Cette situation est souvent caractérisée par un signal très faible en présence de puissants signaux adjacents. La notion de sélectivité est représentée dans la Figure 1.2.

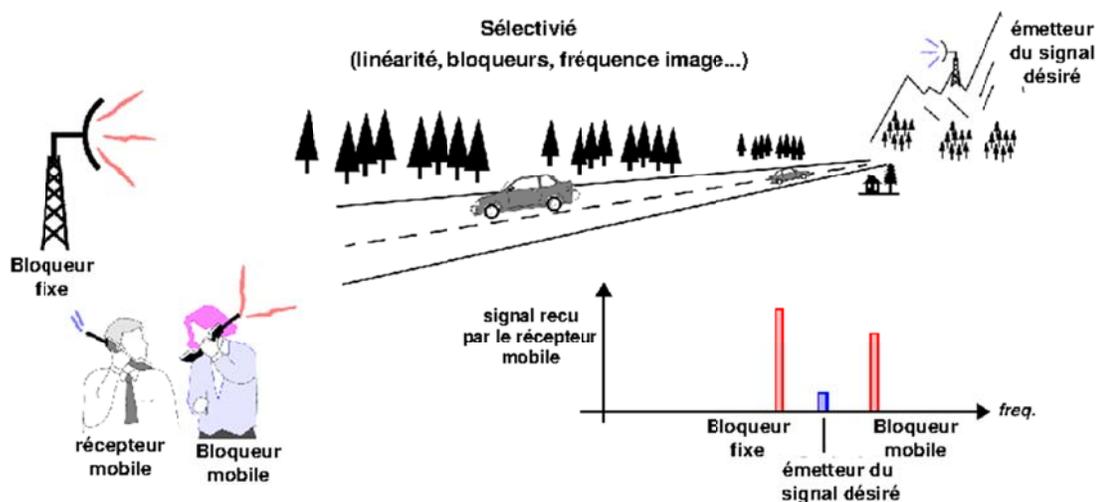


Figure 1.2 Notion de Sélectivité [15]

Contrairement à la sensibilité, qui est directement liée au bruit et au gain dans le récepteur, la sélectivité est influencée par différents paramètres caractéristiques comme la linéarité des différents blocs constituant le récepteur, et particulièrement le mélangeur. Celui-ci accomplit la transposition en fréquence du signal amplifié en une ou plusieurs étapes. Dans ce cas, le récepteur comporte un ou plusieurs mélangeurs. La translation de fréquence nécessite aussi un oscillateur local.

1.1.3 Bruit

Le bruit est défini comme une interférence de nature aléatoire n'ayant aucune relation avec le signal désiré. Il est donc impératif que le niveau du signal soit suffisamment élevé

par rapport au niveau du bruit pour que l'information soit récupérée par le récepteur. Cela nous amène à définir le rapport signal à bruit par:

$$SNR = \frac{S}{N} \quad (1.1)$$

Le SNR, requis pour une communication donnée, dépend de nombreux paramètres comme la modulation utilisée, le milieu de propagation et les distorsions créées par le récepteur. Le SNR est dégradé par le récepteur et la dégradation est quantifiée par le facteur de bruit, noté F et défini par:

$$F = \frac{SNR_{IN}}{SNR_{OUT}} \quad (1.2)$$

où SNR_{in} et SNR_{out} sont respectivement les rapports signal à bruit à l'entrée et à la sortie.

Bruit thermique

Le bruit thermique est créé par le mouvement aléatoire des électrons dans les conducteurs dû à leurs résistances. Les sources du bruit thermique sont variées, on peut citer les résistances, la base et l'émetteur des transistors bipolaires, la résistance de grille ainsi que la résistance du canal dans les transistors MOSFET. La puissance du bruit thermique est proportionnelle à la température, et la bande de son spectre est extrêmement large, elle peut s'étendre au-delà de 10^{14} Hz.

Bruit de scintillation (« flicker noise »)

Les électrons, piégés de façon aléatoire dans l'interface du diélectrique dans les transistors MOSFET, provoquent le bruit de scintillation qui est inversement proportionnel à la fréquence.

Bruit de phase

Le bruit de phase est un phénomène exclusivement lié aux oscillateurs. Un oscillateur idéal (du point de vue de bruit de phase) a une période d'oscillation fixe. Le signal à la sortie de l'oscillateur est $v_{OUT}(t) = A \cos(\omega_{LO}t)$, où ω_{LO} est la pulsation d'oscillation. La Figure 1.3 (a) montre le signal dans le domaine fréquentiel. Le bruit de l'oscillateur perturbe la période d'oscillations conduisant à un signal $v_{OUT}(t) = A \cos(\omega_{LO}t + \varphi(t))$. La Figure 1.3 (b) montre le signal, à la sortie de l'oscillateur, en présence de bruit de phase.

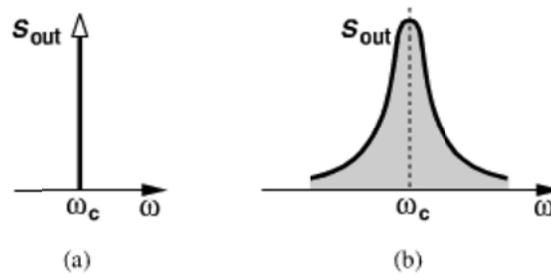


Figure 1.3 - Spectre de sortie d'un oscillateur, (a) cas idéal, (b) cas avec bruit de phase [11]

1.1.4 Mélange Réciproque

Le phénomène du mélange réciproque est une conséquence directe du bruit de phase de l'oscillateur local du récepteur. La Figure 1.4 illustre comment le bruit de phase peut se mélanger avec un signal adjacent (indésirable) conduisant à une transposition fréquentielle de ce dernier vers la bande désirée (basse fréquence) à la sortie du mélangeur.

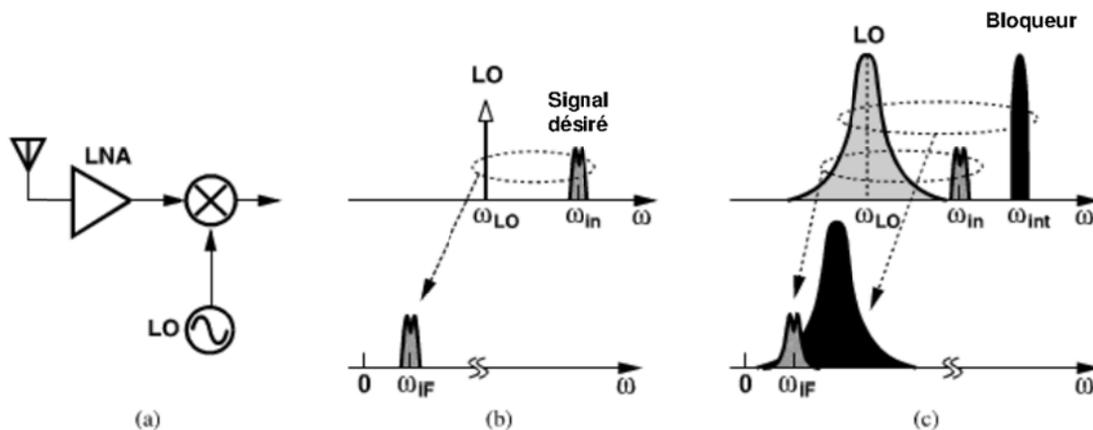


Figure 1.4 - (a) récepteur, (b) transposition de fréquence dans le cas idéal, (c) transposition de fréquence en présence de bruit de phase (mélange réciproque) [11]

1.1.5 Linéarité

Un circuit est dit linéaire lorsque le signal à sa sortie est une combinaison linéaire (au sens mathématique du terme) des signaux à son entrée. Cela n'est pas le cas pour les circuits actifs étant donné que le transistor est un dispositif non linéaire par nature. Dans le cas du récepteur, les circuits sont considérés comme étant faiblement non linéaire car les signaux sont assez faibles contrairement au cas de l'émetteur (amplificateur de puissance). La

fonction de transfert (non linéaire) est généralement exprimée en termes de puissance (série de Taylor ou série de Volterra)

$$v_{OUT} = a_1 v_{IN} + a_2 v_{IN}^2 + a_3 v_{IN}^3 + \dots \quad (1.3)$$

où v_{IN} et v_{OUT} représentent respectivement les tensions d'entrée et de sortie. En présence de plusieurs signaux, les termes non linéaires conduisent à des interférences dans la bande désirée.

Le phénomène qui affecte la capacité du récepteur à rejeter les signaux hors bande, est le produit d'intermodulation d'ordre 3, noté IMD3. Les interférences, produites par le biais des IMD3, se produisent lorsque deux bloqueurs passent au travers d'un dispositif non linéaire, ce qui génère une composante spectrale dans la bande du signal. Pour cela, on suppose

$$v_{IN} = V_1 \cos(\omega_1 t) + V_2 \cos(\omega_2 t) \quad (1.4)$$

Ce qui donne :

$$\begin{aligned} a_3 v_{in}^3 = & \frac{a_3 V_1^3}{4} (\cos(\omega_1 t) + 3 \cos(\omega_1 t)) \\ & + \frac{a_3 V_2^3}{4} (\cos(\omega_2 t) + 3 \cos(\omega_2 t)) \\ & + \frac{3}{4} a_3 V_1 V_2^2 (2 \cos(\omega_1 t) + \cos(2\omega_2 - \omega_1)t + \cos(2\omega_2 + \omega_1)t) \\ & + \frac{3}{4} a_3 V_1^2 V_2 (2 \cos(\omega_2 t) + \cos(2\omega_1 - \omega_2)t + \cos(2\omega_1 + \omega_2)t) \end{aligned} \quad (1.5)$$

Lorsque les deux pulsations ω_1 et ω_2 sont proches, les composantes $2\omega_1 - \omega_2$ et $2\omega_2 - \omega_1$ se trouvent à l'intérieur de la bande désirée, ce qui provoque une interférence.

1.2 Récepteur Hétérodyne

A l'origine, les récepteurs hétérodynes, illustrés par la Figure 1.5, ont été développés par Edwin Armstrong, à la fin de la première guerre mondiale. L'idée fut publiée en 1917. Appelée actuellement superhétérodyne, diminutif de supersonique hétérodyne, parce que la

fréquence intermédiaire est supérieure aux fréquences sonores audibles. La longévité de ces récepteurs est due en partie aux performances en termes de sélectivité et de sensibilité.

Au niveau de l'antenne, le canal désiré apparaît en présence d'autres canaux du même standard. Tous ces canaux forment ce que l'on appelle le spectre « inband », caractérisé par sa bande fréquentielle et son niveau de puissance. Tous les autres signaux, ne s'apparentent pas au standard de l'utilisateur, sont appelés bloqueurs hors bande. L'antenne est habituellement suivie d'un filtre qui a pour but d'atténuer les signaux hors bande.

Il existe cependant un compromis entre l'atténuation des signaux hors bande (stop-band atténuation) et les pertes d'insertion dans la bande désirée (pass-band insertion). Les pertes d'insertion ont un inconvénient majeur car elles contribuent à augmenter le bruit dans la bande désirée. Habituellement, ces filtres sont réalisés en céramique ou bien en substrat piézoélectrique pour former ce que l'on appelle des filtres à onde acoustique de surface dits SAW (« Surface Acoustic Wave »). Les filtres en céramique sont généralement utilisés pour des fréquences supérieures à 1 GHz, car ils offrent de faibles pertes d'insertion par rapport aux filtres SAW et une meilleure atténuation hors bande. D'autre part, les filtres SAW offrent des transitions abruptes et encore la possibilité d'avoir une entrée différentielle du LNA. Les résidus de ces signaux ainsi que le spectre in-band sont amplifiés par l'amplificateur faible bruit.

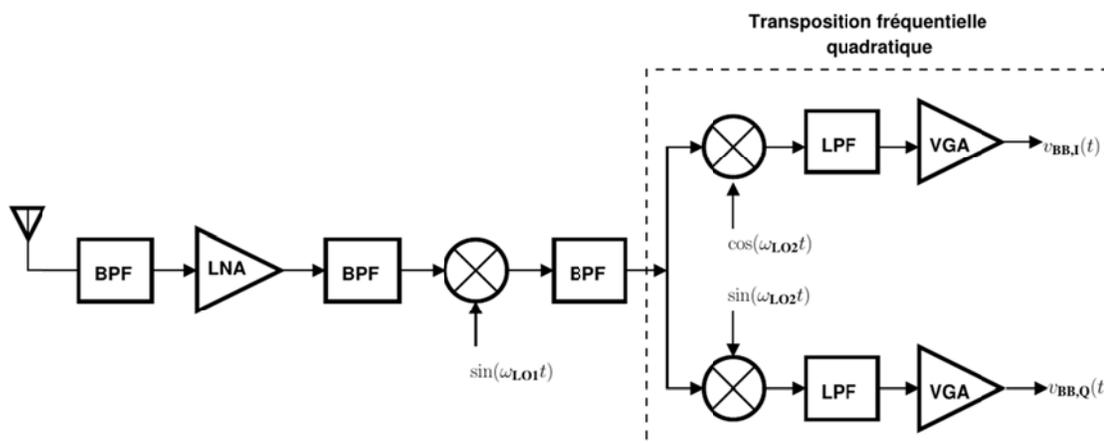


Figure 1.5 - Récepteur hétérodyne avec transposition fréquentielle quadratique, [11]

Le mélangeur effectue ensuite la conversion de fréquence grâce à un oscillateur local, généralement ajustable, ce qui permet de s'adapter au canal ou au standard. La fréquence, à la sortie du mélangeur, est appelée fréquence intermédiaire, notée IF.

1.3 Fréquence image

Les bandes, qui se trouvent de part et d'autre de la fréquence du premier oscillateur local, sont converties, toutes les deux, vers la même fréquence intermédiaire. L'une des deux bandes est indésirable et est appelée la bande image. Une atténuation de l'image s'impose afin d'éviter une superposition de celle-ci après la conversion de fréquence comme le montre la Figure 1.6.

Dans le cas des récepteurs hétérodynes, le filtre RF offre un filtrage initial de l'image. Après le LNA, le filtre réjecteur d'image, appelé parfois filtre de bruit (noise filter), tente d'atténuer davantage la bande image. Ce filtre est également un filtre SAW ou un filtre céramique. Les SAW sont, dans ce cas-là, plus utilisés car les pertes d'insertion sont moins critiques en raison de l'amplification accomplie par le LNA [11].

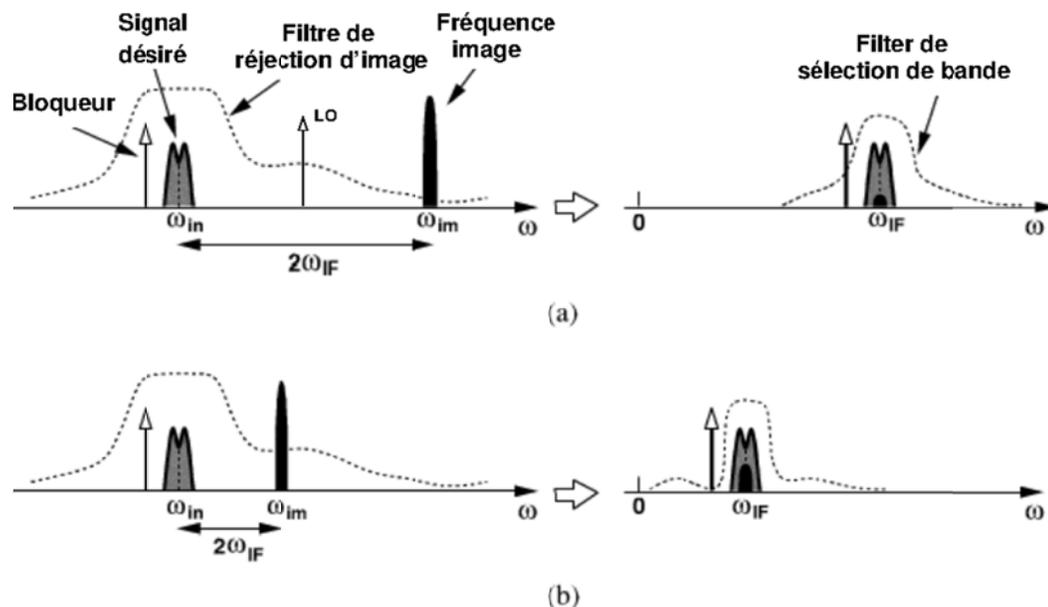


Figure 1.6 - Compromis entre la rejection d'image et la sélectivité, (a) cas IF élevée, (b) cas IF faible IF [11]

A première vue, il apparaît que le filtre RF et le filtre réjecteur d'image jouent des rôles identiques. Ce qui n'est pas tout à fait juste, puisque le filtre d'image est placé après le LNA, il permet de ce fait d'atténuer le bruit émis par le LNA dans la bande image [11]. C'est pour cette raison que le filtre réjecteur d'image est placé après le LNA et non avant. Sans ce filtre, le mélangeur convertit le bruit à la sortie du LNA, contenu dans les deux bandes, ce qui va doubler le bruit, d'où le nom de filtre de bruit. A la sortie du premier mélangeur, un autre filtre, appelé filtre IF, filtre la bande alternative produite par le mélangeur.

Le signal peut être ensuite amplifié par un amplificateur à gain variable, noté VGA, qui, à son tour, réduit l'étendue dynamique requise ainsi que les performances en termes de linéarité et d'intermodulation des blocs ultérieurs. Une fois cela est accompli, le signal est d'abord converti vers une seconde fréquence intermédiaire ou bien vers la bande de base, puis filtré pour qu'enfin l'information soit retrouvée par détection selon la modulation employée à l'émission.

Les récepteurs hétérodynes offrent des performances supérieures en comparaison avec les autres architectures. Cependant, les filtres IF sont les principaux obstacles à l'intégration monolithique, en vogue dans l'industrie des modules de réception pour cette architecture. Les filtres SAW ou en céramique externes, utilisés dans les récepteurs hétérodynes, sont relativement coûteux et encombrants d'un point de vue dimensionnel. Pour une bande passante relativement étroite, les transitions abruptes requièrent un facteur de qualité très élevé, ce qui est difficile à réaliser en hyperfréquence ainsi que pour les solutions intégrées. Des travaux ont été menés afin d'intégrer les filtres SAW en substrat semi-conducteur. Mais cette solution n'a toujours pas été retenue par les constructeurs.

Un autre inconvénient de l'architecture hétérodyne est sa rigidité et son manque de souplesse. En effet, les filtres SAW sont conçus et optimisés pour une fréquence centrale unique et, par conséquent, ne peuvent être réutilisés pour d'autres standards de communication. Cela rend les récepteurs hétérodynes peu attractifs pour les applications multi standards.

1.4 Récepteur Homodyne

Les récepteurs homodynes illustrés dans la Figure 1.7, appelés aussi récepteurs à conversion directe ou encore zéro IF, furent développés en 1924. Le premier récepteur homodyne est apparu en 1947. Dans cette architecture, tous les canaux in-band sont directement convertis de la porteuse vers la bande de base grâce à un seul étage du mélangeur.

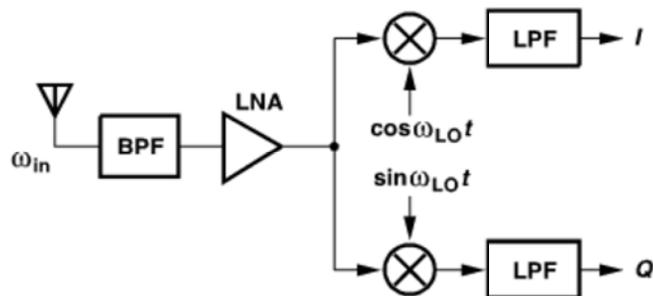


Figure 1.7 - Récepteur à conversion directe [11]

Les canaux indésirables peuvent être aisément supprimés par un filtrage en bande de base. Dans les récepteurs homodyne, l'étage IF est éliminé. Il est à noter que l'image est l'une de deux bandes latérales de la porteuse.

1.5 DC offset

Les récepteurs à conversion directe souffrent du problème de la composante continue qui interfère avec le signal désiré en bande de base. La Figure 1.8 illustre les différents scénarios possibles, à savoir la fuite du signal LO vers l'entrée du mélangeur, ou bien vers l'entrée du LNA, ou encore vers l'antenne ce qui provoque des radiations indésirables.

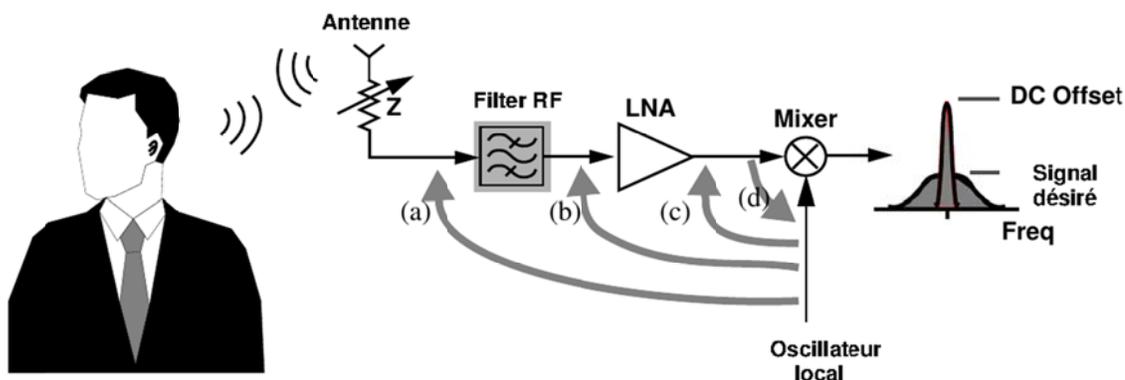


Figure 1.8 – Les chemins de fuites du signal LO (a) fuite du signal LO vers l'antenne, (b) fuite du signal LO vers l'entrée LNA, (c) fuite du signal LO vers l'entrée du mélangeur, (d) retour vers l'oscillateur local [15].

Ces différents scénarios conduisent tous à l'apparition d'une fraction du signal LO à l'entrée du mélangeur qui multiplie cette dernière par le signal LO. Cette multiplication produit une composante continue appelé « DC offset ».

1.6 Récepteur à fréquence intermédiaire basse

L'architecture à fréquence intermédiaire basse, appelée « low IF », est une solution au problème de DC offset. Les récepteurs low IF offrent, en général, un compromis entre la fréquence image et tous les problèmes dont souffrent les émetteurs à conversion directe. Le signal reçu n'est plus directement converti en bande de base, mais à une fréquence intermédiaire basse comme l'indique le nom de ce type de récepteur, ce qui procure une immunité contre le DC offset. La fréquence IF est généralement ajustée à un ou deux fois la largeur de la bande. Le récepteur « low IF » apporte également son lot de problèmes et d'inconvénients comme la fréquence image.

La majorité des standards de communication se ressemblent dans le fait que la puissance des bloqueurs augmente avec l'éloignement de la bande désirée. Pour cette raison, la fréquence intermédiaire est de l'ordre de un ou deux fois la largeur du canal.

Les récepteurs à fréquence intermédiaire basse sont une solution de rechange fort intéressante, pour les applications où l'élimination du DC offset ne peut être correctement accomplie de manière efficace avec une architecture à conversion directe. Cependant, elle n'est applicable que pour des standards non contraignants en termes de bloqueurs.

Chapitre 2. Techniques de linéarisation pour les circuits RF

2.1 Introduction

Toutes les techniques de linéarisation se regroupent en deux classes. Celle qui s'applique au transistor, et dont le but est de réduire la non linéarité de ce composant. L'autre est liée au niveau circuit et a pour objectif la réduction des interférences.

2.2 Linéarisation des dispositifs MOS et circuits

2.2.1 Contre réaction

La Figure 2.1(a) montre le schéma d'une contre réaction linéaire notée β , avec un amplificateur non linéaire A , où X et Y représentent, respectivement, le signal d'entrée (tension) et de sortie (courant). La Figure 2.1(b) illustre un exemple pratique d'une contre réaction. Le transistor M_1 représente l'amplificateur A , et l'inductance représente la contre réaction. Supposons que le courant i_{DS} puisse être exprimé par la série suivante :

$$i_{DS} = g_m v_{GS} + g_2 v_{GS}^2 + g_3 v_{GS}^3 + \dots \quad (2.1)$$

où les coefficients g_m , g_2 et g_3 représentent respectivement la transconductance linéaire, ainsi que les transconductances du second et du troisième ordre, du transistor MOS comme le montre le schéma équivalent petits signaux dans la Figure 2.1(b). La transconductance du transistor MOS est définie comme étant la dérivée du courant i_{DS} par rapport à la tension v_{GS} . L'équation (2.1) est réécrite de façon suivante :

$$i_{DS} = \frac{\partial i_{DS}}{\partial v_{GS}} v_{GS} + \frac{1}{2} \frac{\partial^2 i_{DS}}{\partial v_{GS}^2} v_{GS}^2 + \frac{1}{6} \frac{\partial^3 i_{DS}}{\partial v_{GS}^3} v_{GS}^3 + \dots \quad (2.2)$$

Les points d'interception d'ordre deux et trois, exprimés en tension, sont donnés par [16]

$$V_{IIP2} = \sqrt{\frac{g_m}{g_2}} \quad (2.3)$$

et

$$V_{IIP3} = \sqrt{\frac{4g_m}{3g_3}} \quad (2.4)$$

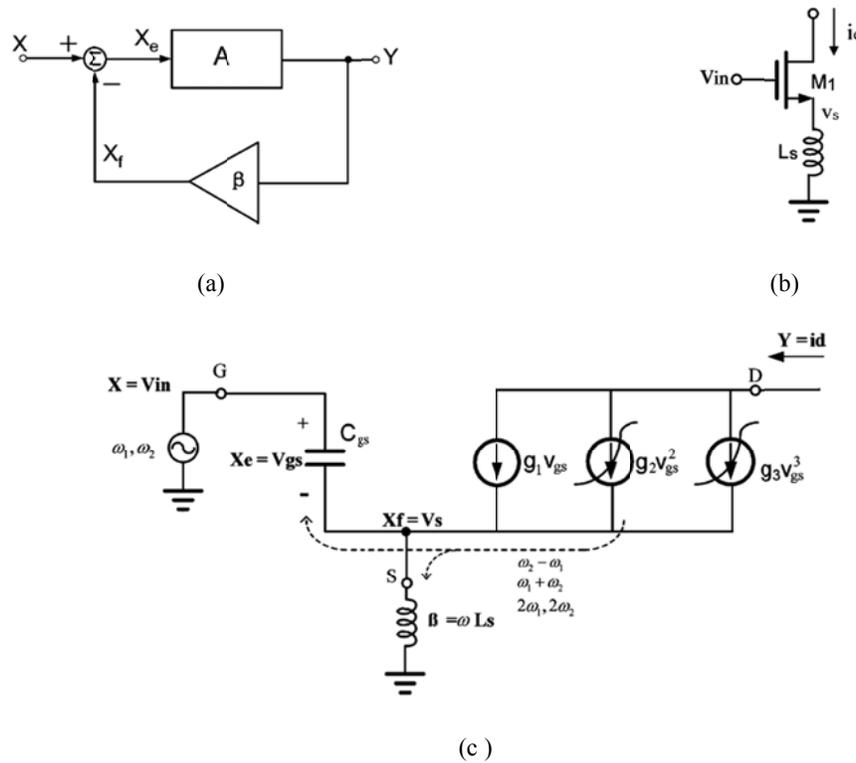


Figure 2.1 - (a) Amplificateur non linéaire avec une contre réaction négative, (b) LNA avec dégénérescence inductive, (c) modèle petits signaux [17]

Le signal en sortie du transistor MOS peut également être exprimé en fonction de la tension v_{IN} , ce qui a pour conséquence d'inclure l'effet de la contre réaction.

$$i_{DS} = b_1 v_{IN} + b_2 v_{IN}^2 + b_3 v_{IN}^3 \quad (2.5)$$

où les coefficients b_1 , b_2 et b_3 représentent le gain, et les coefficients non linéaires du second et du troisième ordre de la boucle fermée, exprimés comme suit [16]:

$$\begin{cases} b_1 = \frac{g_m}{1+T_0} \\ b_2 = \frac{g_2}{(1+T_0)^3} \\ b_3 = \frac{1}{(1+T_0)^4} \left(g_3 - \frac{2g_2^2}{g_m} \frac{T_0}{1+T_0} \right) \end{cases} \quad (2.6)$$

avec $T_0 = g_m \beta$ où $\beta = \omega L_s$

Les points d'interception d'ordre deux, exprimés en tension, en boucle fermée est donné par :

$$V_{IIP2} = \sqrt{\frac{b_1}{b_2}} = (1+T_0) \sqrt{\frac{g_m}{g_2}} \quad (2.7)$$

Dans le cas où g_2 est supposé nul, le point d'interception d'ordre trois en boucle fermée est donné par :

$$V_{IIP3} = \sqrt{\frac{b_1}{b_3}} = \sqrt{\frac{4g_1}{3g_3} (1+T_0)^3} \quad (2.8)$$

En comparant les expressions (2.3) et (2.4) avec (2.7) et (2.8), nous constatons que la contre réaction améliore l'IIP2 avec un facteur de $(1+T_0)$ et l'IIP3 avec un facteur de $(1+T_0)^{3/2}$ dans le cas où $g_2 = 0$. En revanche, si g_2 n'est pas nulle, nous constatons en examinant l'expression de b_3 donnée par (2.6) que le IIP3 est réduit dans le cas où g_m et g_3 sont opposés en signe. Cela arrive lorsque le transistor est polarisé en forte inversion (voir 2.2.4). Ce phénomène est appelé interaction de second ordre. Dans le cas d'une contre réaction, la non linéarité du troisième ordre est générée de deux façons par :

1. la non linéarité du troisième ordre intrinsèque du transistor
2. l'interaction d'ordre deux, en d'autres termes, la non linéarité du deuxième ordre.

A partir du schéma d'un LNA à dégénérescence inductive, le courant de drain est donné par :

$$i_{DS} = g_m (v_{IN} - v_S) + g_2 (v_{IN} - v_S)^2 + g_3 (v_{IN} - v_S)^3 + \dots \quad (2.9)$$

où g_m , g_2 et g_3 représentent les trois premières dérivées du courant i_{DS} par rapport à la tension v_{GS} comme le montre l'équation (2.10)

$$\begin{cases} g_m &= \frac{\partial i_{DS}}{\partial v_{GS}} \\ g_2 &= \frac{1}{2} \frac{\partial^2 i_{DS}}{\partial v_{GS}^2} \\ g_3 &= \frac{1}{6} \frac{\partial^3 i_{DS}}{\partial v_{GS}^3} \end{cases} \quad (2.10)$$

Supposons que la tension d'entrée v_{IN} contient deux composantes fréquentielles ω_1 et ω_2 . La tension v_S sera alors constituée des composantes $2\omega_1$, $2\omega_2$ et $\omega_1 \pm \omega_2$ en raison de l'interaction du second ordre. Le terme $-2g_2 v_{IN} v_S$ dans $g_2 (v_{IN} - v_S)^2$, produit les termes $2\omega_1 \pm \omega_2$ et $2\omega_2 \pm \omega_1$. Par conséquent, la distorsion de second ordre intrinsèque du circuit contribue à la non linéarité de troisième ordre même si le circuit est différentiel car le terme $-2g_2 v_{IN} v_S$ ne peut pas être rejeté.

2.2.2 Feedforward

L'équation (2.6) montre que la réduction simultanée de g_2 et g_3 , avec un impact réduit sur g_m , requière plus de degrés de liberté. Cela peut être accompli en générant des tensions ou des courants non linéaires et en les additionnant ou en les soustrayant à la tension ou au courant principal. Cette technique est dite « feedforward ». Le chemin auxiliaire contient une réplique de l'amplificateur principal en introduisant deux facteurs de réduction b et $1/b^n$ respectivement à l'entrée et à la sortie dans le but de reproduire la distorsion du chemin principal comme illustré dans la Figure 2.2.

Nous posons $n=2$ ou 3 en fonction de la distorsion que l'on veut supprimer (IM2 ou IM3). Noter que si le circuit est différentiel, les produits d'intermodulation d'ordre 2 sont nuls. Par conséquent, $n=3$ conduit à un signal de sortie linéaire. Le signal à la sortie Y est donnée par $Y = Y_{main} - Y_{aux}$ en supposant que $b > 0$.

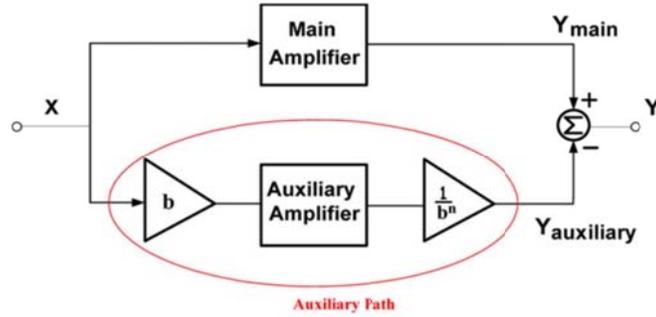


Figure 2.2 Technique de linearisation “Feedforward” [17]

Dans ces équations, g_2 est supposée nulle. En examinant l'équation, on constate que l'implémentation de la Figure 2.2 présente une atténuation de $1 - 1/b^{n-1}$ dans le gain linéaire ce qui correspond à 2.5 dB pour $b = 2$ et $n = 3$.

$$Y_{main} = g_m X + g_2 X^2 + g_3 X^3 \quad (2.11)$$

$$Y_{aux} = \left[g_m (bX) + g_2 (bX)^2 + g_3 (bX)^3 \right] \frac{1}{b^n} \quad (2.12)$$

$$Y = Y_{main} - Y_{aux} = g_m \left(1 - \frac{1}{b^{n-1}} \right) X + g_2 \left(1 - \frac{1}{b^{n-2}} \right) X^2 + g_3 \left(1 - \frac{1}{b^{n-3}} \right) X^3 \quad (2.13)$$

On constate également qu'une seule harmonique peut être supprimée à la fois. Afin de réduire simultanément la seconde et la troisième harmoniques, nous devons disposer d'un degré de liberté supplémentaire, ce que nous pouvons obtenir en utilisant un second chemin auxiliaire comme le montre la Figure 2.3.

En supposant que le chemin principal et le chemin auxiliaire ont les mêmes coefficients de non linéarité, les signaux Y_{aux1} et Y_{aux2} sont donnés respectivement par les équations (2.14) et (2.15). Dans l'équation (2.17), le second et le troisième terme sont tous deux annulés pour une valeur donnée des variables b , c , n , m qui peut conduire à plusieurs solutions possibles.

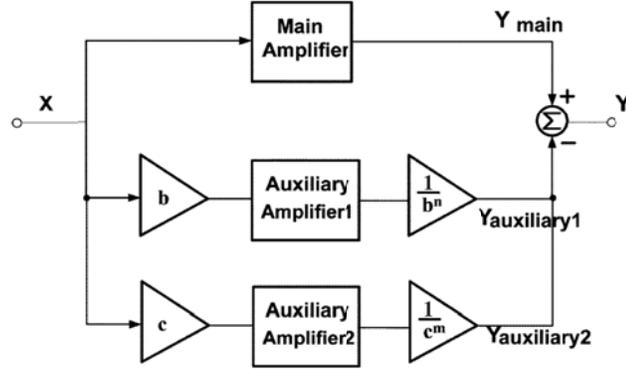


Figure 2.3 - Technique de linéarisation « feedforward » double chemin [18].

$$Y_{aux1} = \left[g_m (bX) + g_2 (bX)^2 + g_3 (bX)^3 \right] \frac{1}{b^n} \quad (2.14)$$

$$Y_{aux2} = \left[g_m (cX) + g_2 (cX)^2 + g_3 (cX)^3 \right] \frac{1}{c^m} \quad (2.15)$$

$$Y = Y_{main} - Y_{aux1} - Y_{aux2} \quad (2.16)$$

ce qui donne :

$$Y = g_m \left(1 - \frac{1}{b^{n-1}} - \frac{1}{c^{m-1}} \right) X + g_2 \left(1 - \frac{1}{b^{n-2}} - \frac{1}{c^{m-2}} \right) X^2 + g_3 \left(1 - \frac{1}{b^{n-3}} - \frac{1}{c^{m-3}} \right) X^3 \quad (2.17)$$

2.2.3 Polarisation optimale

En supposant que la non linéarité d'un transistor MOS découle de la non linéarité de sa transconductance. La non linéarité de celui-ci peut être estimée en fixant la valeur de V_{DS} et en faisant varier la valeur de V_{GS} . En traçant les trois premières dérivées du courant drain-source par rapport à la tension V_{GS} , on obtient la courbe donnée par la Figure 2.4. Le constat principal est que g_2 est toujours positive, tandis que le g_3 présente une inversion de signe en passant de la région de faible inversion à la région de forte inversion.

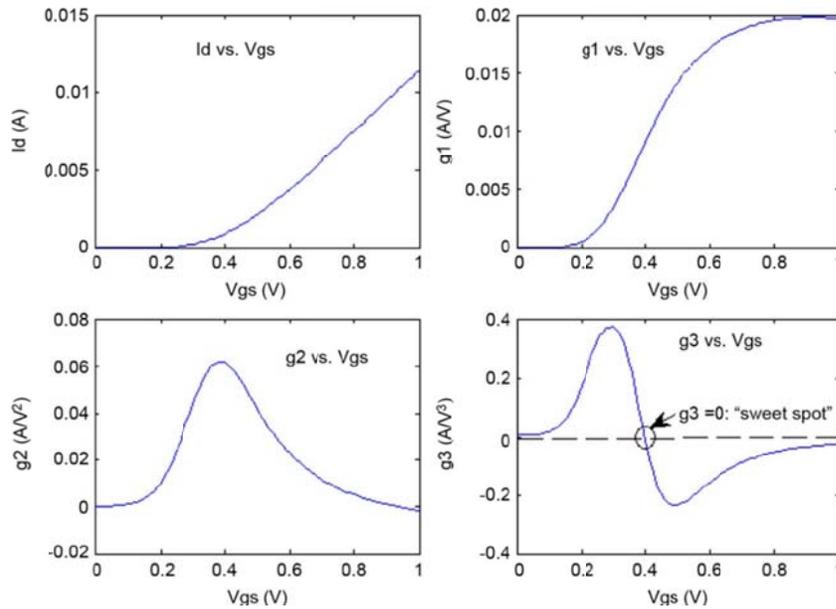


Figure 2.4 - Simulation de la caractéristique transconductance [17]

Cela suggère que la linéarité est maximale au point de fonctionnement où $g_3 = 0$. Cependant, reproduire ce point de fonctionnement avec exactitude est difficile en pratique. La méthode des dérivées superposées (DS) est plus appropriée car elle élargit la région où g_3 est nulle.

2.2.4 Superposition des dérivées

Illustrée par la Figure 2.5, la méthode DS est un cas particulier de la technique « feedforward ». En effet, cette technique est obtenue lorsque les amplificateurs principal et auxiliaire, employés dans la technique « feedforward », sont implémentés avec un transistor unique, opérant dans différentes régions (forte et faible inversion) et ce, pour $b=1$. Cette méthode est également appelée « Mutiple Gated Transistor Technique » (MGTR).

Contrairement à la polarisation optimale, la superposition des dérivées permet de créer une région où $g_3 = 0$, au lieu d'un point unique. Une erreur sur la tension V_{GS} est tolérable. Et puisque le chemin auxiliaire n'est constitué que d'un seul transistor, cette méthode est moins gourmande, en termes de puissance, que la technique « feedforward ».

Il est important de noter que la plage de linéarisation de cette méthode est étroite en raison de l'asymétrie des régions de faible et forte inversion.

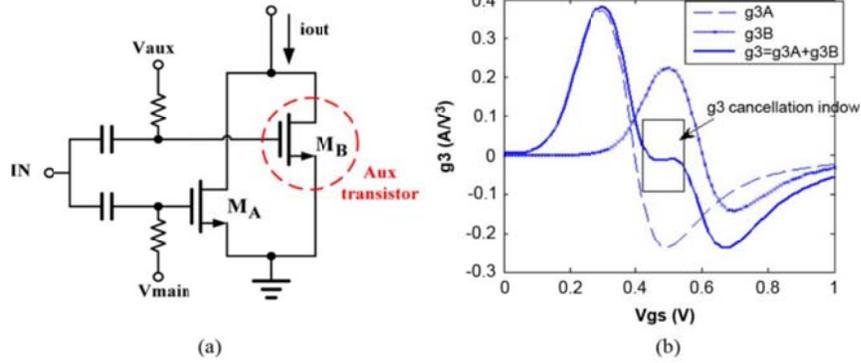


Figure 2.5 - (a) Linéarisation par la technique de la superposition des dérivées, (b) distorsion du troisième ordre [17]

2.2.5 Post linéarisation

La technique dite de « post distorsion » (peut être traduite par : « distorsion avale ») est similaire à la technique DS. La non linéarité d'un transistor auxiliaire est également utilisée pour supprimer celle du transistor principal. Néanmoins, cette méthode présente deux avantages par rapport à la méthode DS. Le premier, le transistor auxiliaire est connecté à la sortie du transistor principal, ce qui réduit l'impact de ce dernier sur l'adaptation à l'entrée. Quant au second, les deux transistors sont polarisés en saturation (forte inversion), conduisant à une réduction plus efficace de la non linéarité. La Figure 2.6 illustre le principe de cette technique, ainsi que trois différentes implémentations possibles de la post distorsion.

Le transistor auxiliaire M_b est excité par la tension V_2 et réplique le courant non linéaire du transistor M_a , en réduisant partiellement les distorsions du second et du troisième ordre. Les courants des transistors M_a et M_b sont exprimés comme suit :

$$I_A = g_{1A}v_1 + g_{2A}v_1^2 + g_{3A}v_1^3 \quad (2.18)$$

$$I_B = g_{1B}v_2 + g_{2B}v_2^2 + g_{3B}v_2^3 \quad (2.19)$$

Supposons que les tensions v_1 et v_2 sont liées par la relation suivante :

$$v_2 = -b_1v_1 - b_2v_1^2 - b_3v_1^3 \quad (2.20)$$

il s'en suit que :

$$I_{out} = I_A + I_B = (g_{1A} - b_1 g_{1B})v_1 + (g_{2A} - b_1^2 g_{2B} - b_2 g_{1B})v_1^2 + (g_{3AB} - b_1^3 g_{3B} - b_3 g_{1B} - 2b_1 b_2 g_{2B})v_1^3 \quad (2.21)$$

Les deux transistors sont polarisés en forte inversion ou en faible inversion afin d'avoir les même polarités pour les coefficients g_1 , g_2 et g_3 . De plus, M_b est conçu afin d'être plus linéaire que M_a , en d'autre termes,

$$\frac{g_{2,3B}}{g_{1B}} \ll \frac{g_{2,3A}}{g_{1A}} \quad (2.22)$$

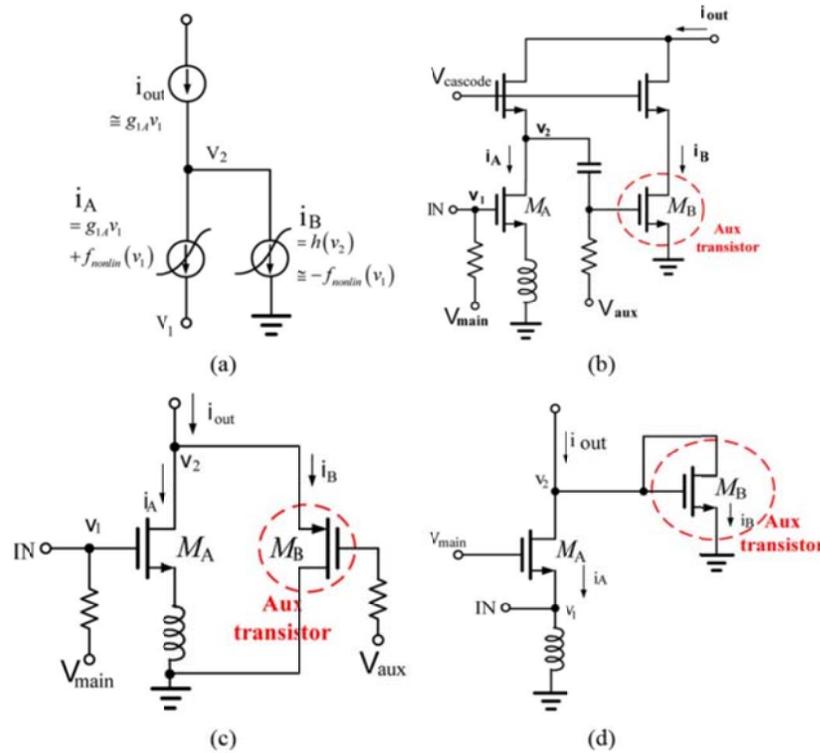


Figure 2.6 - Technique de linéarisation « post distorsion », (a) concept général, (b) implémentation de la technique dans l'article [19], (c) implémentation dans l'article [20], (d) implémentation dans l'article [21]

Chapitre 3. Mélangeur Actif – Cellule de Gilbert

3.1 Fonctionnement de la cellule de Gilbert

Nous allons décrire, dans ce chapitre, le fonctionnement de la cellule de Gilbert en commençant d'abord par le mélangeur simple équilibré MOS, puis par le mélangeur double équilibré qui n'est autre que la cellule de Gilbert. Les mélangeurs de ce type sont classés, selon le critère de gain, en deux autres catégories, à savoir les mélangeurs passifs et actifs. Dans les mélangeurs actifs, le signal RF est amplifié en l'appliquant sur la grille du transistor, le courant de drain proportionnel au signal RF subit ensuite la commutation, d'où le nom de ce type de mélangeur.

La transmission d'un signal doit être adaptée au milieu dans lequel se propage l'onde électromagnétique émise. Cette opération nécessite l'utilisation d'un signal haute fréquence, appelé porteuse, générée par l'oscillateur. L'opération de modulation consiste à faire varier l'un des paramètres de ce signal : amplitude, fréquence ou phase en fonction du signal émis. Dans le domaine fréquentiel, le signal transmis se situe autour de la porteuse. Il s'agit donc d'une translation de fréquence. Lorsque le signal est reçu, on doit effectuer l'opération inverse, autrement dit, passer des hautes fréquences vers les basses fréquences. La relation trigonométrique (3.1) montre que la translation de fréquence peut être réalisée en multipliant ces deux signaux dans le domaine temporel.

$$\sin(\omega_{RF}t)\sin(\omega_{LO}t) = \frac{1}{2}\cos((\omega_{RF} + \omega_{LO})t) + \frac{1}{2}\cos((\omega_{RF} - \omega_{LO})t) \quad (3.1)$$

Cette opération permet de créer deux bandes, appelées bande supérieure et bande inférieure. L'une de ces deux bandes est toujours éliminée en émission.

Dans la multiplication des signaux, l'amplitude du signal de sortie dépend de l'amplitude du signal LO et RF. Cela signifie que la puissance de sortie passe par le contrôle de la puissance du signal LO. L'utilisation de la multiplication pour effectuer la translation de

fréquence présente un inconvénient, l'idéal serait d'avoir la sortie indépendante de l'amplitude de LO.

$$v_{IF} = V_{RF} \cos(\omega_{RF} t) \times \text{sign}(V_{LO}) \quad (3.2)$$

Pour que cela ait un sens physique, le signal RF est multiplié par un signal rectangulaire oscillant entre ± 1 noté $p(\omega_{LO} t)$

$$v_{IF} = V_{RF} \cos(\omega_{RF} t) \times p(\omega_{LO} t) \quad (3.3)$$

La translation de fréquence recherchée est obtenue grâce à un circuit qui effectue la multiplication du signal RF avec l'oscillateur local LO. Le circuit qui accomplit cette opération est appelé le mélangeur. Ce dernier joue le rôle d'un « interrupteur » qui s'ouvre et se ferme sur ordre de l'oscillateur local comme montré dans la Figure 3.1.

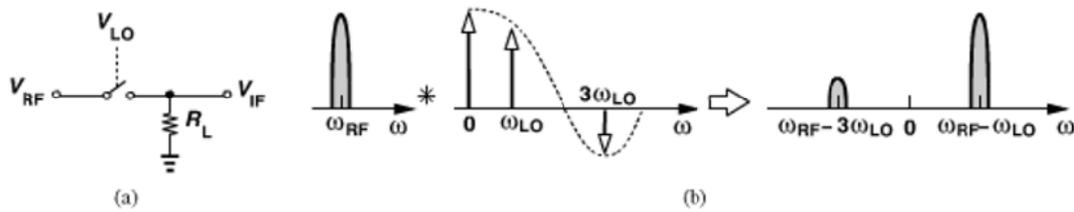


Figure 3.1 – (a) Mélangeur basé sur l'utilisation d'un « switch » idéal, (b) le spectre à l'entrée et à la sortie du mélangeur [11]

3.2 Performance du mélangeur

3.2.1 Gain de conversion en tension

La fréquence du signal, à la sortie du mélangeur est notée IF. Celle-ci est différente de la fréquence à l'entrée de ce dernier; le gain fourni par le mélangeur est appelé gain de conversion. Le mélangeur doit offrir un certain gain de conversion pour atténuer le bruit des étages qui le succèdent. Cependant, arriver à un gain de conversion supérieur à 10 dB s'avère difficile à réaliser lorsqu'on doit maintenir la linéarité à un niveau suffisamment élevé pour une tension d'alimentation assez basse. Dans ce cas, le bruit des étages succédant le mélangeur devient critique [11].

3.2.2 Bruit et linéarité

Le bruit dans les mélangeurs est moins contraignant que dans le cas des LNA. Les mélangeurs actifs peuvent avoir un facteur de bruit typique de l'ordre de 10 dB, ce qui n'est absurde que pour un LNA. La tendance s'inverse pour la linéarité car les signaux RF ont tendance à gagner en amplitude ce qui impose une linéarité plus importante pour les étages qui succèdent le LNA en l'occurrence le mélangeur.

3.2.3 Isolation

Les mélangeurs souffrent du problème d'isolation entre les différents accès. Dans le cas où le mélangeur est implémenté en technologie CMOS, les capacités grille-source et drain-source peuvent créer des couplages dont les conséquences dépendent de l'architecture employée. Par exemple, la fuite du signal LO vers l'accès RF peut engendrer une auto modulation (le signal LO se mélange à lui-même) ce qui entraîne l'apparition d'offset. Cela est problématique pour les récepteurs à conversion directe mais pas pour les récepteurs hétérodynes. En revanche, la fuite du signal LO vers l'accès IF est peu problématique car elle peut facilement être supprimée sans altérer le signal IF.

3.3 Mélangeur simple et double équilibrés

3.3.1 Mélangeur simple équilibré

Le mélangeur simple équilibré à base de transistor MOS est une paire différentielle, dont le courant de polarisation est modulé par le signal RF. La Figure 3.2 représente un mélangeur simple équilibré. Comme on peut le voir, l'étage de commutation est commandé par le signal LO qui est appliqué de façon différentielle sur la grille de M_1 et M_2 . Le transistor M_3 amplifie la tension v_{RF} appliquée sur sa grille, il s'ensuit alors un courant de drain $i_{RF} = g_m v_{RF}$ qui est injecté alternativement dans M_1 et M_2 . Durant l'alternance positif de LO, M_1 est passant, le courant de sortie est égal à $+g_m v_{RF}(t)$. Durant l'alternance négative, M_1 est bloqué et M_2 est passant, le courant de sortie devient égale à $-g_m v_{RF}(t)$. Le courant à la sortie du mélangeur est égal au courant RF $g_m v_{RF}(t)$ multiplié par la fonction de modulation qui n'est autre que la tension v_{LO} et donnée par sa série de Fourier. Ce qui donne l'expression suivante :

$$i_{out} = \left(\sum_{k=1}^{\infty} \frac{4}{k\pi} \sin\left(\frac{k\pi}{2}\right) \cos(k\omega_{LO}t) \right) \times g_m V_{RF} \cos(\omega_{RF}t) \quad (3.4)$$

d'où

$$\begin{aligned} i_{out} &= \left[\frac{4}{\pi} \cos(\omega_{LO}t) - \frac{4}{3\pi} \cos(3\omega_{LO}t) + \frac{4}{5\pi} \cos(5\omega_{LO}t) - \dots \right] \times g_m V_{RF} \cos(\omega_{RF}t) \\ &= g_m V_{RF} \frac{4}{\pi} \left[\frac{1}{2} \cos((\omega_{LO} - \omega_{RF})t) + \frac{1}{2} \cos((\omega_{LO} + \omega_{RF})t) \right] \\ &\quad - g_m V_{RF} \frac{4}{3\pi} \left[\frac{1}{2} \cos((3\omega_{LO} - \omega_{RF})t) + \frac{1}{2} \cos((3\omega_{LO} + \omega_{RF})t) \right] \\ &\quad - g_m V_{RF} \frac{4}{5\pi} \left[\frac{1}{2} \cos((5\omega_{LO} - \omega_{RF})t) + \frac{1}{2} \cos((5\omega_{LO} + \omega_{RF})t) \right] + \dots \end{aligned} \quad (3.5)$$

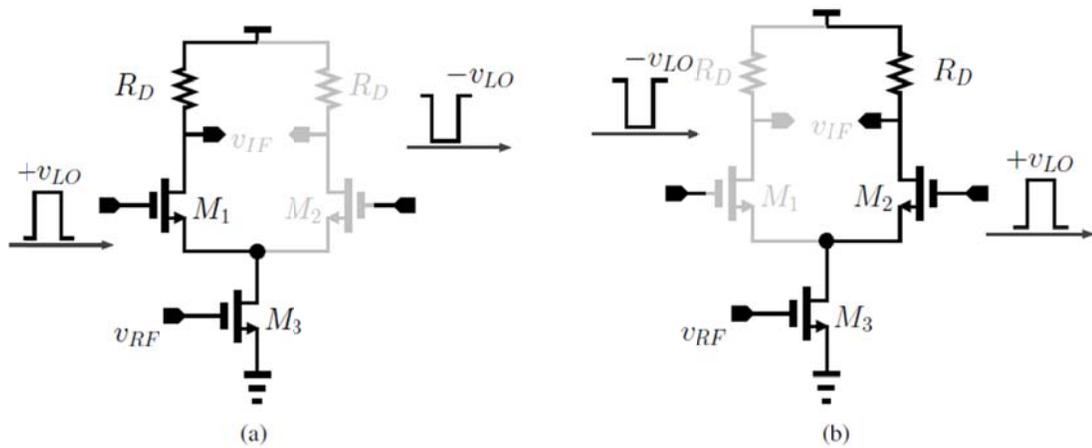


Figure 3.2 Mélangeur simple équilibré

La tension de sortie est égale à $i_{out} \times R_D$. Nous considérons que la composante en basse fréquence ($\omega_{IF} = \omega_{RF} - \omega_{LO}$), la tension v_{IF} est donnée par :

$$v_{IF} = \frac{2}{\pi} g_m R_D V_{RF} \cos(\omega_{IF}t) \quad (3.6)$$

Le gain de conversion en tension est défini comme étant :

$$G_v = \frac{v_{IF}}{v_{RF}} = \frac{2}{\pi} g_m R_D \quad (3.7)$$

3.3.2 Mélangeur double équilibré

Si les transistors sont identiques, la fuite de LO par le transistor M_3 est annulée par celle à travers M_5 dans le schéma donné par la Figure 3.3. Il en va de même pour M_4 et M_6 . La condition pour cela, est d'avoir une symétrie parfaite. La cellule de Gilbert permet donc d'éliminer les fuites par sa structure différentielle en entrée et en sortie.

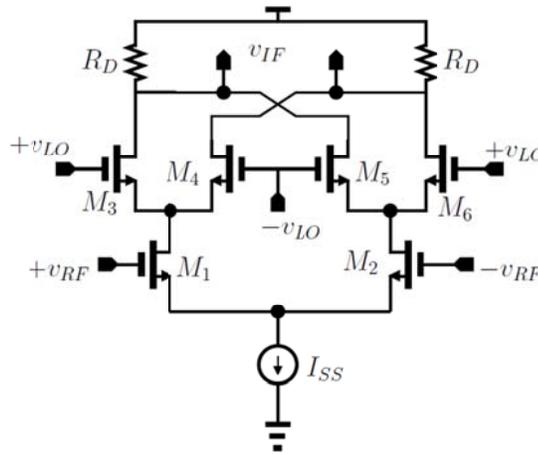


Figure 3.3 Cellule de Gilbert en technologie CMOS

En revanche, le bruit augmente du fait qu'il y a quatre transistors passants à tout moment, contrairement aux deux transistors du mélangeur simple équilibré. On peut montrer que le bruit augmente de 3dB par rapport aux mélangeurs simples équilibrés [11]. Pour augmenter la transconductance, et donc le gain de conversion du mélangeur, on doit soit accroître le courant I_{D1} , soit agrandir les dimensions de M_1 et M_2 . Ceci aura aussi pour résultat à la fois l'augmentation de la consommation ou la diminution de la bande passante. L'augmentation du courant de polarisation permettra d'augmenter aussi la linéarité (voir section 3.8).

Cependant, ce courant traverse aussi l'étage de commutation, et l'augmenter reviendrait à accroître le temps nécessaire à la commutation. Un autre inconvénient de la cellule de Gilbert est la tension d'alimentation nécessaire, étant donné qu'il y a trois transistors empilés.

3.4 Gain de conversion

3.4.1 Commutation complète (« hard switching »)

Le gain de conversion dépend de nombreux paramètres du circuit, mais également du signal LO, son amplitude et sa forme. Considérons le cas idéal illustré par la Figure 3.4, où

les transistors d'une paire commutative commutent instantanément et où le signal de l'oscillateur local a la forme carrée. Le courant i_{IF} est égal alternativement à $-g_m v_{RF}(t)$ et $+g_m v_{RF}(t)$. Dans ces conditions, le gain de conversion est donné par l'équation (3.7). En réalité le gain de conversion est beaucoup plus faible en raison de la commutation partielle.

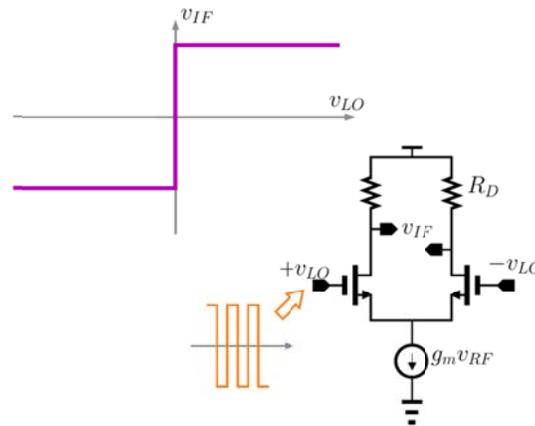


Figure 3.4 - Fonction de transfert d'une paire commutative - cas de la commutation complète « hard switching »

3.4.2 Commutation partielle (« soft switching »)

Si le signal LO n'est pas rectangulaire mais sinusoïdale comme dans la Figure 3.5, il existe alors un laps de temps durant lequel le signal en sortie se retrouve en mode commun car les deux transistors de la paire commutative sont passants en même temps, ce qui a pour effet de réduire le gain [11].

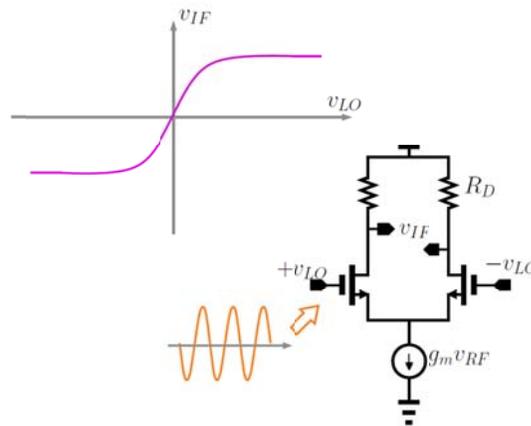


Figure 3.5 - Fonction de transfert d'une paire commutative - cas du « soft switching »

Le courant de drain I_D est égal à la moitié du courant de polarisation I_B . Et la tension de commande (« overdrive voltage ») de l'étage de commutation est notée $(V_{GS} - V_{TH})_{sw}$. Le gain de conversion est donné par équation suivante (voir Annexe A).

$$G_V = \frac{\sqrt{2} I_B R_L V_{LO}}{\pi (V_{GS} - V_{TH})_{sw} (V_{GS} - V_{TH})_{RF}} \sin \left(\frac{\sqrt{2} (V_{GS} - V_{TH})_{sw}}{V_{LO}} \right) \quad (3.8)$$

3.5 Bruit dans les mélangeurs actifs

Il existe essentiellement deux types de bruit dans les circuits : le bruit thermique et le bruit de scintillation. Le bruit thermique est dû à la collision des électrons avec les atomes du conducteur électrique, leur mouvement et donc leur vitesse décrit un mouvement aléatoire, leur vitesse de déplacement est extrêmement grande. En revanche, la vitesse apparente est très faible. Le bruit de scintillation inversement proportionnel à la fréquence est rencontré surtout dans les dispositifs à effet de surface comme les transistors MOS.

3.5.1 Bruit simple bande SSB

La Figure 3.6 montre le spectre présent à l'entrée du mélangeur et à sa sortie. Il est constitué d'une part du signal reçu ainsi que le bruit thermique présent à l'entrée, d'autre part du bruit présent dans la bande image. Le mélangeur convertit le signal ainsi que le bruit présent dans les deux bandes vers la fréquence intermédiaire. Dans le cas d'un mélangeur sans bruit, le SNR à sa sortie est égal à la moitié du SNR à l'entrée. Par conséquent NF=3 dB. Ce facteur de bruit est appelé le « single side band noise figure » et est noté SSB-NF. Ce bruit est typique des récepteur hétérodyne.

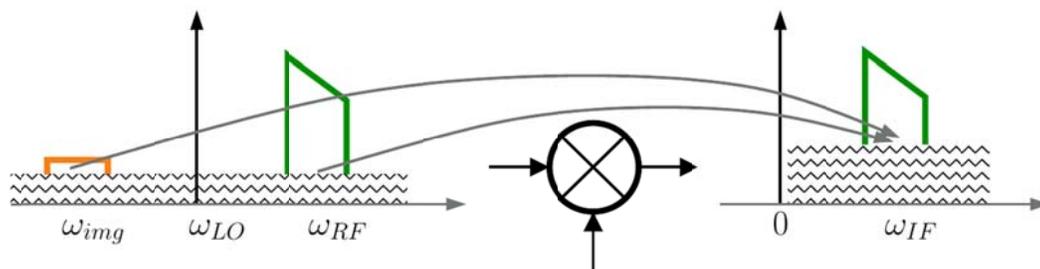


Figure 3.6 - Facteur de bruit simple bande (SSB) dans le mélangeur

3.5.2 Bruit double bande DSB

Lorsque le signal est présent dans les deux bandes comme le montre la Figure 3.7, le rapport signal sur bruit reste inchangé avant et après le mélangeur si le bruit de ce dernier est supposé nul (une situation utopique qui sert uniquement à illustrer le concept de bruit double bande). Ce scénario est propre aux récepteurs à conversion directe où le signal reçu se trouve être également sa propre image. On parle alors de “bruit double bandes”.

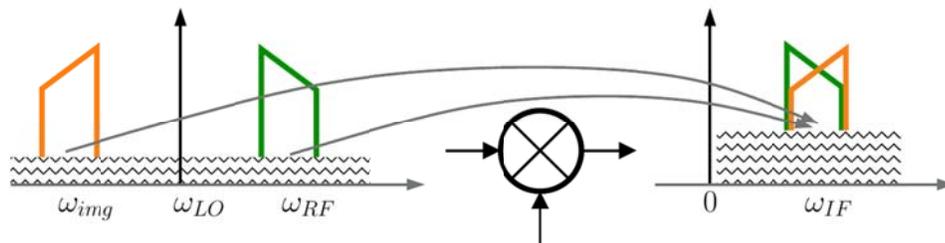


Figure 3.7 - Facteur de bruit double bande (DSB) dans le mélangeur

3.6 Le bruit de repliement

Le bruit de repliement dit « folded noise » illustré par la Figure 3.8 est un phénomène exclusif aux mélangeurs. La conversion du bruit blanc présent dans le spectre à l'entrée du mélangeur implique toutes les harmoniques du signal LO.

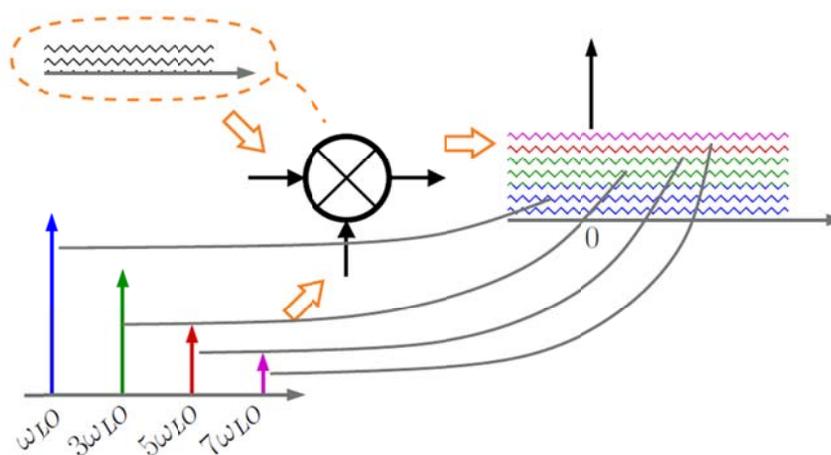


Figure 3.8 Le Bruit de repliement

En effet, lorsqu'un signal rectangulaire est utilisé pour commander les transistors de commutation, le bruit du mélangeur mais aussi le bruit de la source (le bruit qui émane du LNA) se mélangent au signal LO et à toutes ses harmoniques. L'étage d'entrée, constitué de

deux transistors, contribue au bruit, qui est converti par chaque harmonique de LO comme le montre la Figure 3.8. Il en résulte plusieurs copies de ce bruit. Ces harmoniques représentent la décomposition en série de Fourier du signal LO rectangulaire.

3.7 Les différentes sources de bruit

Le mélangeur est constitué de trois étages : étage d'entrée, étage de commutation et étage de charge. Chacun de ces étages représente une source de bruit. En considérant le bruit, dû aux transistors de commutation, aux résistances de charge, le bruit total à la sortie du mélangeur simple équilibré est donné alors par [11] :

$$\overline{V_{n,o}^2} = 8kTR_D + 8kT\gamma \frac{R_D I}{\pi V_{LO}} + \xi \frac{4kT\gamma}{g_m} \left(\frac{2}{\pi} g_m R_D \right)^2 \quad (3.9)$$

En simplifiant, on obtient :

$$\overline{V_{n,o}^2} = 8kTR_D \left(1 + \gamma \frac{R_D I}{\pi V_{LO}} + \gamma \frac{g_m R_D}{2} \right) \quad (3.10)$$

où le premier terme représente le bruit dû à la résistance de charge R_D , le second terme aux deux transistors de commutation, tandis que le troisième terme est dû à la transconductance transférée à la sortie du mélangeur. Dans la cellule de Gilbert, le nombre de transistors double, ce qui conduit à l'expression suivante :

$$\overline{V_{n,o}^2} = 8kTR_D \left(1 + 2\gamma \frac{R_D I}{\pi V_{LO}} + \gamma g_m R_D \right) \quad (3.11)$$

3.8 Intermodulation d'ordre 3

La nature non linéaire de certains éléments comme la capacité de jonction et la résistance du canal sont responsables de la non linéarité des transistors MOS et donc du mélangeur. Dans un dispositif non linéaire, la sortie peut être exprimée en fonction de l'entrée par une série de puissances :

$$i_{DIFF} = G_m v_{IN} + G_2 v_{IN}^2 + G_3 v_{IN}^3 + \dots \quad (3.12)$$

Le problème des intermodulations d'ordre 3 est lié aux « bloqueurs » v_1 et v_2 très proches dans le domaine fréquentiel. Supposons que le signal à l'entrée du mélangeur soit constitué de deux harmoniques et exprimé comme suit :

$$v_{IN} = V_1 \cos(\omega_1 t) + V_2 \cos(\omega_2 t) \quad (3.13)$$

La série de puissance qui représente un dispositif non linéaire permet d'écrire :

$$\begin{aligned} G_3 v_{IN}^3 = & \frac{G_3 V_1^3}{4} (\cos(\omega_1 t) + 3 \cos(\omega_1 t)) \\ & + \frac{G_3 V_2^3}{4} (\cos(\omega_2 t) + 3 \cos(\omega_2 t)) \\ & + \frac{3}{4} G_3 V_1 V_2^2 (2 \cos(\omega_1 t) + \cos(2\omega_2 - \omega_1)t + \cos(2\omega_2 + \omega_1)t) \\ & + \frac{3}{4} G_3 V_1^2 V_2 (2 \cos(\omega_2 t) + \cos(2\omega_1 - \omega_2)t + \cos(2\omega_1 + \omega_2)t) \end{aligned} \quad (3.14)$$

Les termes problématiques sont ceux associés aux fréquences $2\omega_1 \pm \omega_2$ et $2\omega_2 \pm \omega_1$ car elles peuvent coïncider avec la fréquence du signal désiré.

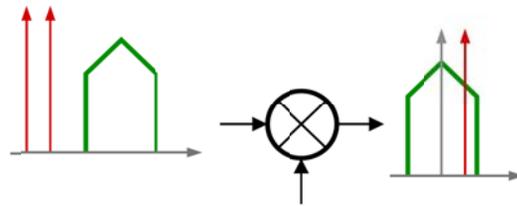


Figure 3.9 Interférence due à l'intermodulation d'ordre trois dans le mélangeur.

On suppose pour simplifier que $V_1 = V_2$. Les produits d'intermodulation d'ordre 3 sont, par définition, le rapport entre les IM3 et la fondamentale

$$IMD3 = \frac{3G_3}{4G_m} V_1^2 \quad (3.15)$$

Le courant à la sortie de l'étage de transconductance est donné par :

$$i_{DIFF} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} v_{DIFF} \sqrt{\frac{4I_{SS}}{\mu_n C_{OX} \frac{W}{L}} - v_{DIFF}^2} \quad (3.16)$$

Dans le cas d'un étage de commutation idéal, le point d'interception d'ordre trois en entrée, exprimé en tension est donné par l'expression (3.17)(voir Annexe B). La linéarité est proportionnelle à la consommation de courant, ainsi que le gain de conversion. Si les transistors MOS fonctionnent à la limite de leurs bandes passantes, il serait plus approprié d'utiliser la série de Volterra pour modéliser la linéarité du mélangeur.

$$V_{IP3} = 4\sqrt{\frac{2}{3}}(V_{GS} - V_{TH}) = 8\sqrt{\frac{1}{3} \frac{I_D}{\mu_n C_{OX} \frac{W}{L}}} \quad (3.17)$$

En examinant l'expression du V_{IP3} et celle du gain de conversion donné par (3.8), on constate que les deux peuvent être augmentés en élevant la consommation du courant DC. Cette observation n'est pas valide pour la linéarité en réalité, en raison de la forte chute de tension au niveau des commutateurs et des résistances de charge, qui en découlerait de l'augmentation du courant DC. Ce phénomène peut être considérablement réduit par la technique dite de « bleeding ». Décrite dans la section 4.2, la technique du « current bleeding » consiste à injecter un courant DC directement dans l'étage de transconductance dans le but d'augmenter la transconductance et par la même occasion, le gain de conversion sans provoquer de forte chute de tension dans les commutateurs et les résistances de charge.

Chapitre 4. Conception d'un Mélangeur Actif en Technologie CMOS 0.18 μm

4.1 Introduction

Dans ce chapitre, nous allons présenter la conception d'un mélangeur en technologie CMOS 0.18 μm . La combinaison de la technique de superposition des dérivées avec la technique du « current bleeding » apporte un bénéfice, à la fois, en gain de conversion, en tension et en linéarité. La simulation post-layout montre l'efficacité de cette combinaison pour une tension d'alimentation de 0.9 V. Le mélangeur est implémenté en technologie CMOS 0.18 μm de TSMC et simulé avec l'outil "Spectre RF" de Cadence pour une fréquence de 2 GHz.

4.2 Mélangeur Actif à « current-bleeding »

4.2.1 Applications basse-tension

Le Tableau 4.1 donne l'évolution de la tension d'alimentation V_{DD} maximale avec l'évolution de la technologie. La tension V_{DD} diminue avec la technologie pour un fonctionnement normal des transistors ce qui entraîne une diminution de la dynamique (tension V_{DS}). Conscients de la difficulté de réduire la tension d'alimentation, nous avons opté, dans notre conception, pour une tension de 0.9 V, soit la moitié de la tension traditionnelle, motivés par le défi de proposer une conception aux performances élevées, en termes de linéarité et de gain de conversion capable de s'adapter aux nœuds technologiques plus évolués.

Technologie	0.18 μm	0.13 μm	90 nm
V_{DD}	1.8 V	1.2 V	1 V

Tableau 4.1 Evolution de la tension V_{DD} avec l'evolution de la technologie

4.2.2 Transconductance pseudo-différentielle

Les quatre étages, empilés dans la cellule de Gilbert, en font un circuit très contraignant pour les applications basse tension. Substituer l'entrée différentielle (Figure 5.1.(a)) par une entrée pseudo différentielle, comme illustré par la Figure 5.1.(b), permet de réduire le nombre d'étages à trois. Cette topologie offre l'avantage d'une meilleure linéarité que la paire différentielle [11].

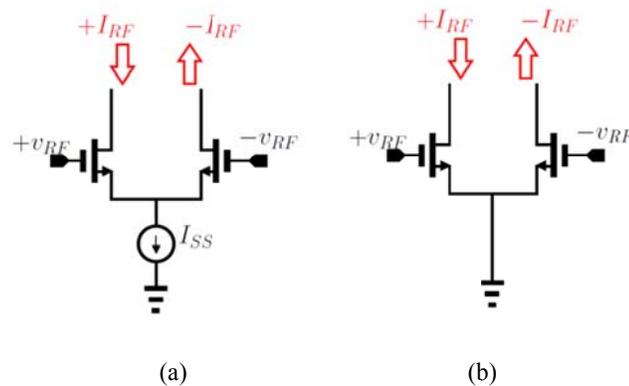


Figure 4.1 (a) Transconductance différentielle, (b) Transconductance pseudo-différentielle

L'équation (3.17) montre que la linéarité est proportionnelle à la tension V_{GS} , d'autre part, la tension V_{DS} des transistors MOS doit être supérieure à $V_{DS,sat} = V_{GS} - V_{TH}$ afin de maintenir les transistors de transconductance en saturation. Toutefois, les transistors doivent être polarisés, en région de saturation profonde, afin d'éviter la dégradation de la linéarité ce qui est fort contraignant dans le cas d'une tension V_{DD} réduite pour un mélangeur à trois étages empilés. Cela montre toute la complexité de concevoir un mélangeur linéaire pour une basse tension d'alimentation.

4.2.3 Motivations

Le gain de conversion en tension, donné par l'équation (3.21), peut être réécrit de la façon suivante :

$$G_V = \frac{R_D I_{SS}}{\pi(V_{GS} - V_{TH})_{RF}} \left(\frac{\sin(X_{SW})}{X_{SW}} \right) \quad (4.1)$$

avec

$$X_{SW} = \frac{\sqrt{2}(V_{GS} - V_{TH})_{SW}}{V_{LO}} \quad (4.2)$$

Le gain de conversion, donné par l'équation (4.1), peut être maximisé de différentes façons :

1. Minimiser l'effet du facteur $\sin(X_{SW})/X_{SW}$. Ce qui est possible que si $\sqrt{2}(V_{GS} - V_{TH})_{SW} \ll V_{LO}$, impliquant soit de larges transistors ou bien un faible courant I_{SS} (ou encore une forte consommation de puissance dans le VCO). De larges transistors de commutation induisent une capacité parasite importante ce qui dégrade le gain.
2. Diminuer $(V_{GS} - V_{TH})_{RF}$ pour augmenter le gain conduit à une réduction considérable de la linéarité.
3. Le gain peut aussi être augmenté en augmentant R_D . Cependant, une forte résistance de charge peut pour un courant I_{DS} donné, provoquer une chute de tension importante ce qui réduit la dynamique du mélangeur.
4. Augmenter le courant I_{DS} pour garantir une transconductance g_m importante ce qui conduit à une dégradation de $\sin(X_{SW})/X_{SW}$ étant donné que, dans la cellule de Gilbert, l'étage de commutation partage le même courant que l'étage de transconductance

Cette équation résume toute la limite de la cellule de Gilbert et démontre le compromis linéarité, gain et consommation qui découle de la topologie même de la cellule de Gilbert. Afin de contourner le problème, le courant de commutation et le courant de transconductance doivent être séparés, ce qui représente la motivation principale de la technique du « current bleeding ».

4.2.4 Technique de « bleeding »

La technique de « bleeding » permet de palier ce problème en séparant le courant de transconductance et le courant de commutation. La Figure 4.2 illustre cette technique qui consiste à connecter une source de courant DC au drain du transistor de transconductance de

sorte à fournir la plus grande partie du courant nécessaire pour atteindre une transconductance g_m donnée.

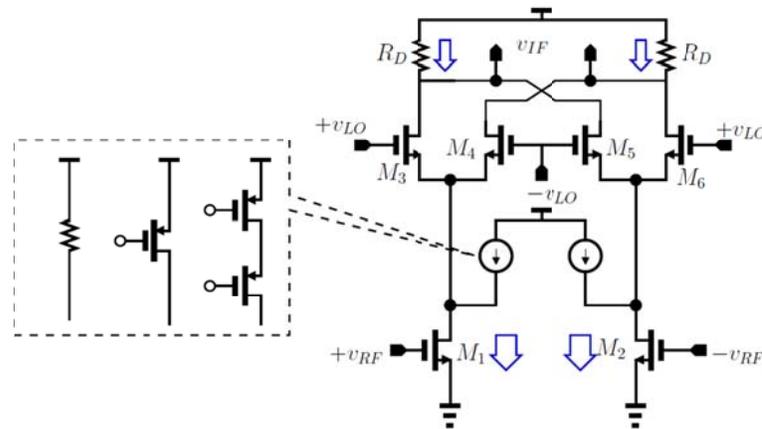


Figure 4.2 - Technique de « current bleeding »

De ce fait, un faible courant DC traverse les commutateurs et la résistance de charge, ce qui a pour avantage de :

1. réduire considérablement la chute de tension aux bornes de la résistance de charge.
2. réduire le courant de commutation I_{SW} , ce qui revient à diminuer la tension $(V_{GS} - V_{TH})_{SW}$ pour une largeur de grille donnée, ce qui nécessite une faible tension V_{LO}
3. réduire le bruit $1/f$ des transistors de commutation du fait qu'il est proportionnel au courant DC qui les traverse [12].

La Figure 4.2 montre aussi les différentes implantations possibles pour la source de courant. Le problème de l'utilisation des résistances réside dans le fait que, pour cette plage de valeurs (quelques centaines d'Ohms voire $1\text{ k}\Omega$) les résistances en polysilicium sont généralement utilisées. Ce type de résistance présente une erreur pouvant atteindre 20% de la valeur de la résistance, due aux variations de processus de fabrication en technologie CMOS [22], ce qui conduit à des variations dans le point de fonctionnement. De plus, cela pose un problème dans l'implémentation de la technique de la superposition des dérivées (voir section 4.5.2). Implémenter la source de courant avec deux transistors en cascode apporte deux avantages par rapport à une source à base d'un seul transistor :

1. la résistance de sortie de la source de courant est plus élevée. La caractéristique I-V de la source de courant s'approche ainsi de celle d'une source idéale.

2. si le transistor cascode est judicieusement dimensionné (faible largeur pour le transistor cascode), la capacité parasite à la sortie de la source peut être réduite.

4.3 Dimensionnement de l'étage de commutation

Le dimensionnement de la paire commutative est dicté par l'équation (4.1) dans le but d'éviter la dégradation du gain de conversion, pour une tension V_{LO} donnée, due à la commutation partielle. Nous souhaitons également une commutation aussi complète que possible pour une tension v_{LO} aussi faible que possible pour une conception du VCO moins contraignante.

Nous proposons aussi de réécrire l'équation (4.1) en introduisant l'effet parasite, du à d'éventuelles fortes largeurs de grille des commutateurs. La capacité parasite des transistors de commutation, à la jonction entre la transconductance et les transistors de commutation, peut créer, à la fréquence de travail un chemin pour le courant RF ce qui réduit le gain de conversion (diviseur de courant). L'équation (4.1) est réécrite en prenant en considération ce phénomène.

$$G_V = \frac{R_D I_{SS}}{\pi(V_{GS} - V_{TH})_{RF}} \left(\frac{\sin(X_{SW})}{X_{SW}} \right) \frac{g_{m,sw}}{\sqrt{g_{m,sw}^2 + C_p^2 \omega_{LO}^2}} \quad (4.3)$$

Etant donné que, dans notre cas, le courant I_{sw} est choisi assez faible pour augmenter le « head-room », la transconductance des commutateurs $g_{m,sw}$ est supposée donc assez faible. Il est donc important que l'admittance de la capacité parasite soit encore plus faible que $g_{m,sw}$ dans le but de réduire au maximum la fuite du courant RF et ainsi la dégradation du gain de conversion. La capacité parasite, induite par l'étage de commutation est égale à la somme de la capacité grille-source du transistor de commutation en saturation, et la capacité grille-source du deuxième transistor de commutation en mode bloqué (un seul transistor est passant à un temps donné). L'équation (4.4) donne l'expression de la capacité parasite, due aux commutateurs en fonction de la largeur de la grille des transistors de commutation [22].

$$C_p = W_{sw} \left(\frac{2}{3} LC_{ox} + C_{ov} \right) \quad (4.4)$$

Pour un gain de conversion de 20 dB, $g_m R_D \approx 15$. La Figure 4.3 montre la dégradation du gain de conversion due à la capacité parasite et au phénomène de commutation partielle en considérant une tension v_{LO} de 0.2 V.

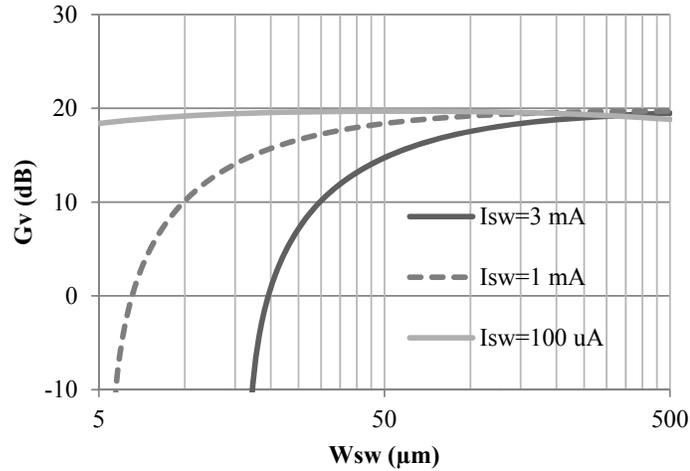


Figure 4.3 Tracé du gain de conversion donné par l'équation (4.3) en fonction de la largeur des transistors de commutation.

Pour un faible courant de commutation de 100 μ A, la dégradation du gain de conversion est quasiment inexistante, pour une largeur de grille allant de 20 μ m à 100 μ m. La dégradation du gain de conversion est aussi insignifiante pour des courants plus élevés si $W_{SW} > 100 \mu$ m, mais de tels courants engendrent une dégradation de la linéarité, en raison de la chute de tension aux bornes de la résistance R_D .

4.4 Dimensionnement de la transconductance

Nous choisissons d'allouer une tension $V_{DS,RF}$ au premier étage de 0.6 V afin de polariser les transistors de transconductance en saturation profonde dans le but d'une linéarité élevée. La tension $V_{DS,SW}$ et V_{R_D} seront d'environ 150 mV chacune. Par ailleurs, nous limiterons à un courant $I_D \approx 2$ mA pour un gain de conversion en tension de 20 dB.

Si le courant commuté et la largeur des transistors de commutation sont choisis de sorte à ce que la dégradation du gain de conversion due à la commutation soit minimale, le gain de conversion en tension peut alors être déduit de l'expression (3.7), à partir de laquelle on peut déduire la résistance de charge nécessaire pour un gain de conversion en tension de

20 dB. En exprimant la transconductance, en fonction du courant consommé et des dimensions du transistor d'entrée, on obtient :

$$R_D = \frac{\pi G_V}{\sqrt{8\mu_n C_{ox} \left(\frac{W}{L}\right) I_D}} \quad (4.5)$$

Nous avons alors plusieurs couples de solution (W_{RF} , R_D) pour atteindre un gain de 20 dB, en fonction du courant consommé souhaité comme illustré dans la Figure 4.4, et ce, pour un courant limité à $I_D = 2$ mA. Le choix de la résistance de charge dépend de la chute de tension maximale possible qui est de 150 mV. Pour un courant commuté de $100 \mu A$, la résistance maximale est de $1.5 K\Omega$ ce qui donne une largeur de grille supérieure ou égale à $60 \mu m$. En effet, ignorer la dégradation de la mobilité du transistor MOS dans l'équation (4.5) peut aboutir à une sous-estimation de la largeur de grille nécessaire pour atteindre un gain de 20 dB. Cette largeur correspond à une transconductance de l'ordre de 21 mS pour une tension $V_{GS} = 0.68$ V.

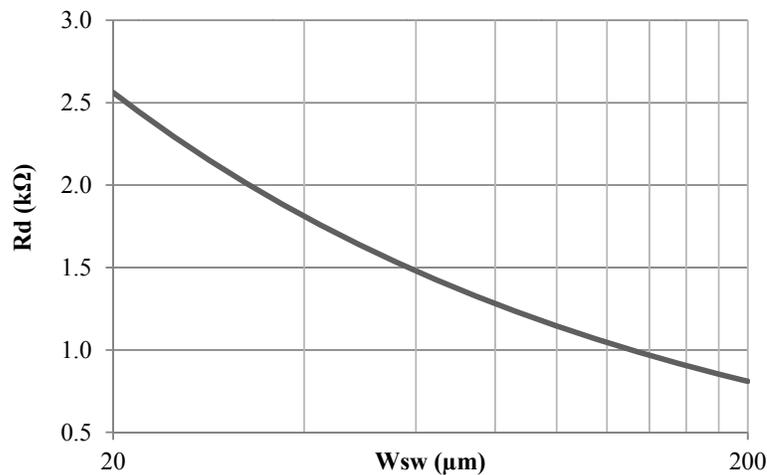


Figure 4.4 Tracée de l'équation (4.5) pour un gain de conversion de 20 dB et un $I_D = 2$ mA

4.5 Linéarisation de l'étage d'entrée

4.5.1 Analyse de la linéarité

L'étage de transconductance est la principale source de distorsions du mélangeur. Les transistors MOS sont des dispositifs commandés en tension. La relation tension-courant d'un transistor MOS est donnée par l'équation (2.2).

La majorité des méthodes de linéarisation tentent de réduire g_3 afin d'augmenter la linéarité d'un circuit donné. Le transistor MOS peut fonctionner en trois différents modes : faible, moyenne et forte inversion. Le mode faible inversion signifie que la tension V_{GS} est légèrement supérieure à la tension seuil. Avec des porteurs en nombre insuffisant dans le canal induit, le courant de drain est dominé par le courant de diffusion. Par conséquent, la relation courant tension présente un comportement exponentiel. Le courant augmente avec la tension V_{GS} , ce qui s'apparente au mode de fonctionnement modéré lorsque le courant de diffusion est égal au courant de dérive (« drift current »). Le courant de drain est dominé par le courant de dérive lorsque la tension appliquée sur la grille, est suffisamment élevée, la caractéristique du MOS devient alors quadratique.

Il est donc important de faire appel à une loi qui puisse décrire ces trois modes de fonctionnement. Nous utiliserons le modèle suivant [23] :

$$i_{DS} = K \frac{X^2}{1 + \theta X} \quad (4.6)$$

où

$$X = 2\eta\phi_t \ln \left[1 + \exp \left(\frac{v_{GS} - v_{TH}}{2\eta\phi_t} \right) \right] \quad (4.7)$$

avec

$$K = \frac{\mu_0 C_{ox}}{2\eta} \left(\frac{W}{L} \right) \quad (4.8)$$

$$\theta = \rho + \frac{\mu_0}{2\eta v_{sat} L} \quad (4.9)$$

En mode de faible inversion où la tension v_{gs} est faible, le terme logarithmique dans l'équation (4.7) peut être simplifié comme: $\ln(1+z) \approx z$, le terme X donné par (4.7) devient alors:

$$X = 2\eta\phi_t \exp\left(\frac{v_{GS} - v_{TH}}{2\eta\phi_t}\right) \quad (4.10)$$

L'expression du courant peut être simplifiée, à son tour, comme suit :

$$i_{DS,WI} = K(2\eta\phi_t)^2 \exp\left(\frac{v_{GS} - v_{TH}}{\eta\phi_t}\right) \quad (4.11)$$

En forte inversion, lorsque les valeurs de v_{GS} sont plus élevées, l'argument de la fonction logarithmique de l'équation (4.7) est dominé par le terme exponentiel. Ce qui conduit à la formule du courant en saturation suivante :

$$i_{DS,SI} = \mu_0 C_{ox} \left(\frac{W}{L}\right) \frac{(v_{GS} - v_{TH})^2}{2\eta} \quad (4.12)$$

où η est appelée le facteur de la pente de faible inversion (« weak inversion slope factor »), dont la valeur typique est comprise entre 1 et 2. La transconductance g_3 est obtenue par :

$$g_3 = \frac{1}{6} \frac{\partial^3 i_{DS}}{\partial v_{GS}^3} \quad (4.13)$$

En calculant la dérivée troisième du courant i_{DS} donné respectivement par les expressions (4.11) et (4.12) on obtient la transconductance de troisième ordre respectivement en faible et en forte inversion $g_{3,WI}$ et $g_{3,SI}$ données par (4.15) et (4.14)

$$g_{3,WI} \approx \frac{2}{3} \frac{K}{\eta\phi_t} \exp\left(\frac{V_{GS} - V_{TH}}{v\phi_t}\right) \quad (4.14)$$

et

$$g_{3,SI} \approx -\frac{K\theta}{[1 + \theta(V_{GS} - V_{TH})]^4} \quad (4.15)$$

La Figure 4.5 donne g_m , g_2 et g_3 en fonction de la tension V_{GS} d'un transistor NMOS. En fonction des conditions de polarisation, g_3 est positive en faible inversion, puis devient négative au fur et à mesure que V_{GS} augmente, ce qui correspond à une polarisation en forte inversion.

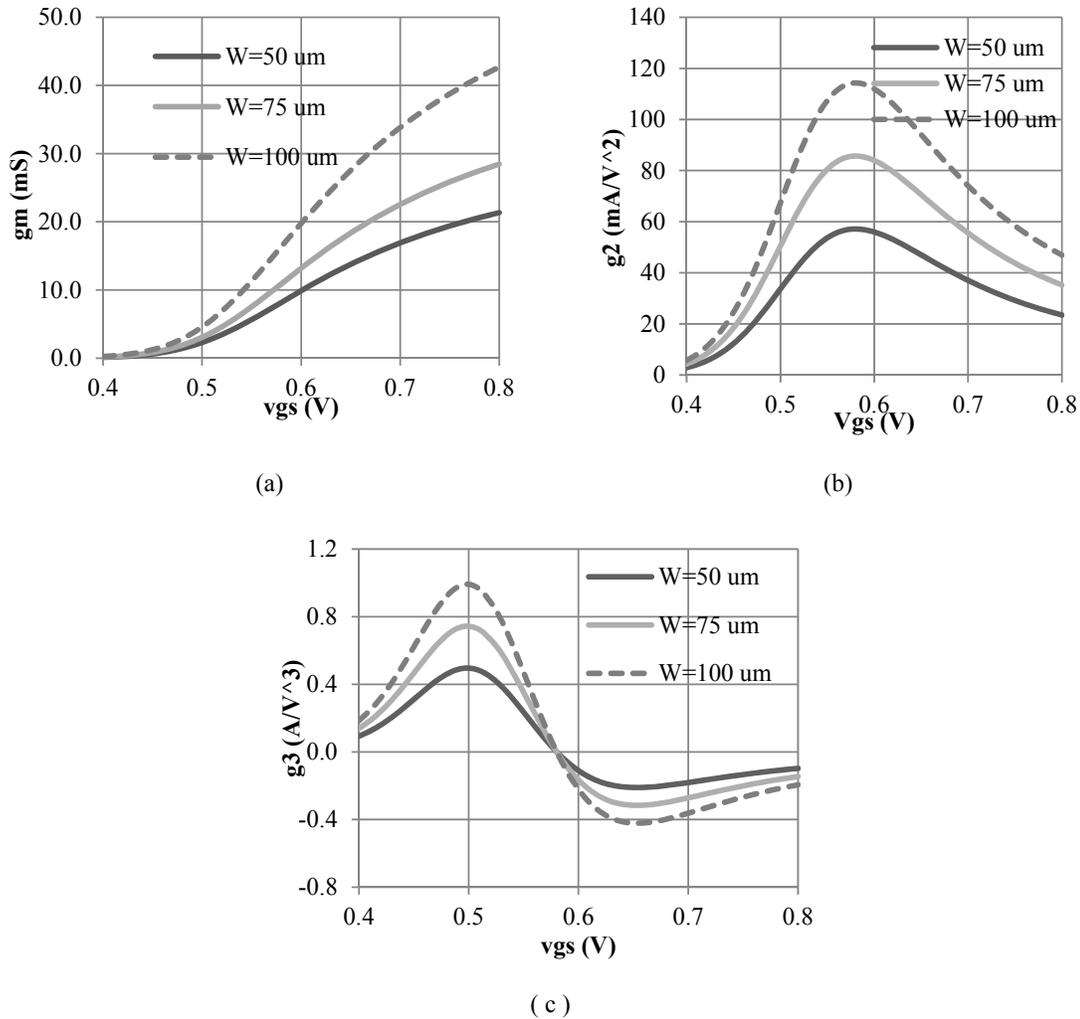


Figure 4.5 Tracés des différentes transconductances par dérivation successive de l'équation (4.6) pour différentes largeurs de grille. (a) transconductance g_m , (b) transconductance g_2 , (c) transconductance g_3

La Figure 4.5 montre que la tension V_{GS} doit être maximisée afin de réduire d'une part g_3 et d'augmenter g_m d'autre part, ce qui conduit à un point d'interception d'ordre 3 élevé comme le suggère l'équation (3.15). Cela ne peut se faire qu'au prix d'une consommation de puissance excessive.

Un meilleur compromis linéarité- consommation est obtenu en choisissant une tension V_{GS} optimale de sorte à obtenir $g_3 = 0$. Cette solution nécessite un circuit de polarisation élaboré présentant une robustesse contre les variation PVT (« Process, Voltage, Temperature »). La technique de superpositions est une alternative à cette solution.

En outre, la Figure 4.5 montre l'amplitude de g_3 en faible inversion qui est supérieure à l'amplitude du g_3 en forte inversion.

4.5.2 Linéarisation par superpositions des dérivées

Les expressions (4.14) et (4.15) démontrent qu'un transistor MOS en faible inversion présente une transconductance g_3 positive, alors qu'en forte inversion g_3 est négative. La technique de superpositions des dérivées a émergé de ce constat. En effet, si deux transistors MOS sont connectés en parallèle, comme illustré par la Figure 4.6 et polarisés respectivement en forte et en faible inversion, les distorsions de troisième ordre se neutralisent mutuellement.

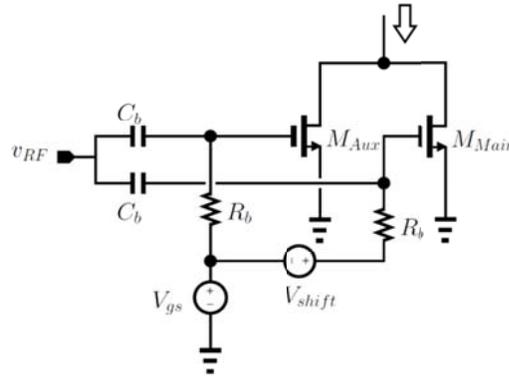


Figure 4.6 - Implémentation de la technique de superposition des dérivées avec des transistors NMOS [2]

Afin d'implémenter cette technique, on doit trouver alors le rapport de dimensions des transistors principal et auxiliaire. Supposons que le transistor principal noté « Main » sur la Figure 4.6 soit α fois plus large que le transistor auxiliaire. On a alors $K_{MAIN} = \alpha K_{AUX}$. Le rapport de largeur α est trouvé en cherchant la solution de l'équation suivante :

$$g_{3,MI} + g_{3,SI} = 0 \quad (4.16)$$

Ce qui donne :

$$\alpha = \frac{2}{3\eta\phi_t\theta} \exp\left(\frac{V_{GS} - V_{shift} - V_{TH}}{\eta\phi_t}\right) [1 + \theta(V_{GS} - V_{TH})]^4 \quad (4.17)$$

La technique de superposition est plus efficace si v_{gs} est choisie là où $|g_3|$ est maximale car il est facile d'annuler la distorsion puisque sa valeur varie très peu. La tension v_{gs} du transistor auxiliaire est décalée par rapport à celle du transistor principal. Dans la Figure 4.5, $V_{GS} = 0.65$ V et $V_{shift} = 200$ mV. Dans ces conditions, le rapport $\alpha \approx 1.6$. Il est important de noter que cette valeur est approximative car elle découle des équations (4.10) et

(4.11). La Figure 4.7 montre la simulation de g_m , g_2 et g_3 du transistor nMOS pour une tension $V_{DS} = 0.6$ V et une largeur de grille de $75 \mu\text{m}$.

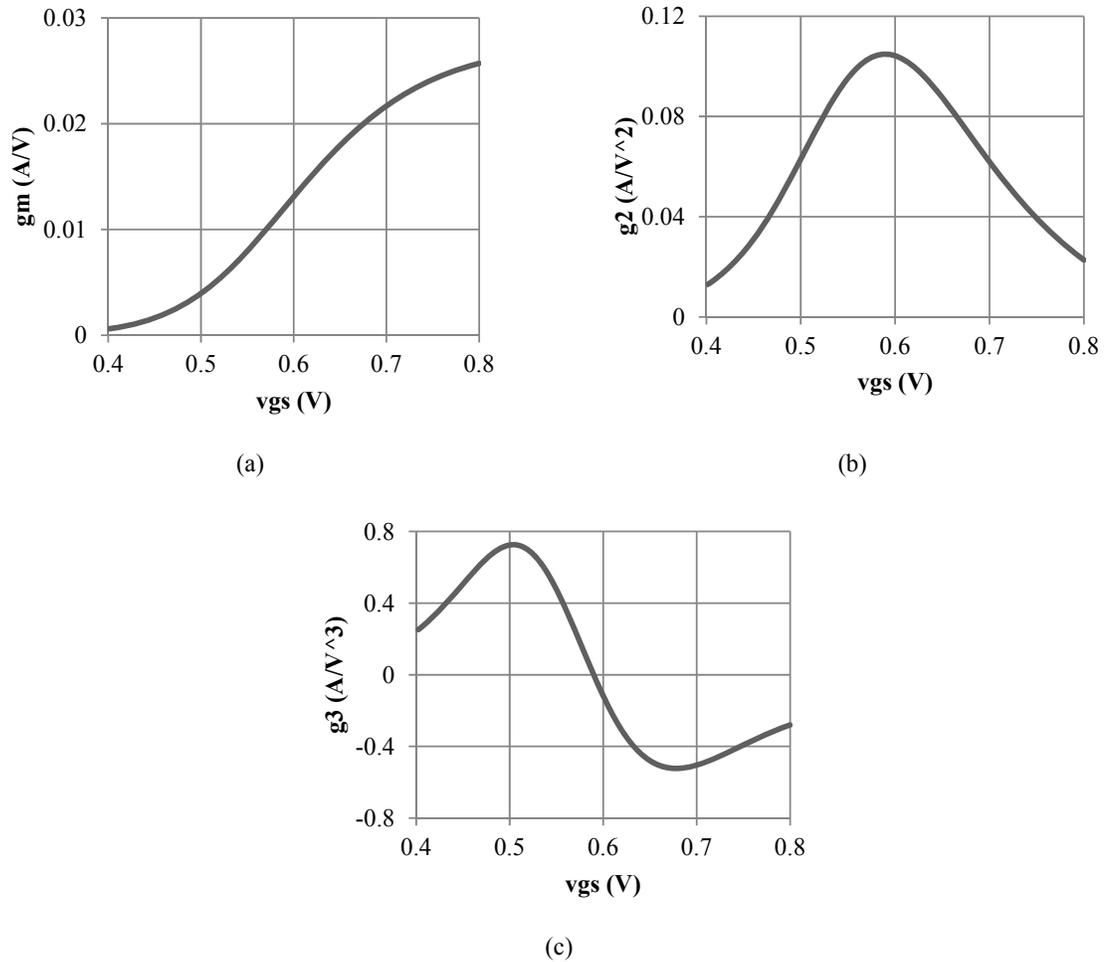


Figure 4.7 Simulation des transconductance d'un nMOS ($v_{ds} = 0.6$ V , $W=75 \mu\text{m}$)

En effet, pour pouvoir atteindre 20 mS autour de $V_{GS}=0.68$ mV , la largeur de la grille du transistor d'entrée doit être de l'ordre de $75 \mu\text{m}$ au lieu de $60 \mu\text{m}$ initialement calculé. La simulation de g_3 , obtenue par superposition des dérivées, est donnée par la Figure 4.8. Une annulation optimale de g_3 est obtenue pour un rapport $\alpha = 1.4$, soit $W_{AUX} = 52 \mu\text{m}$. Il est important de noter que le dispositif constitué des deux transistors ne peut pas être considéré comme un transistor d'une largeur équivalente à la somme des deux largeurs, car le transistor auxiliaire est polarisé en faible inversion et ne contribue pas avec la même dimension au gain de conversion (g_m).

Pour ces dimensions, $g_3 < 100 \mu A/V^3$ pour $0.656 < V_{GS} < 0.665$ mV, soit une plage de 10 mV environ, et $g_3 < 200 \mu A/V^3$ pour $0.640 < V_{GS} < 0.680$ mV.

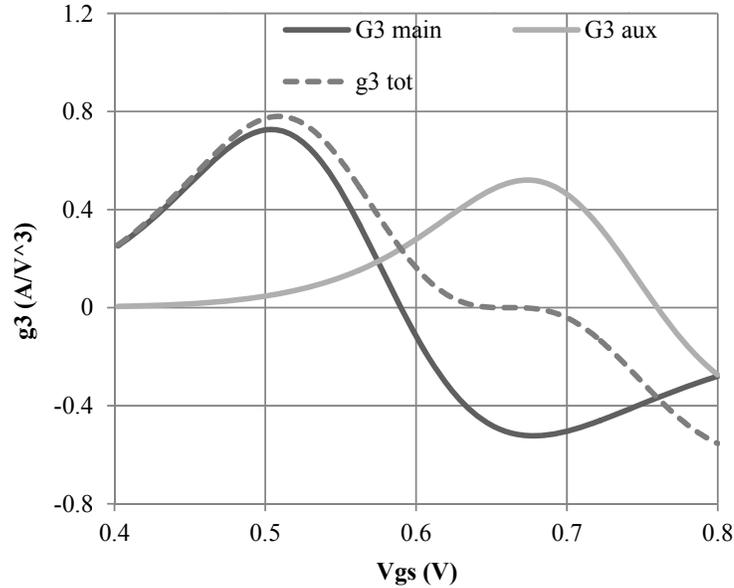


Figure 4.8 Simulation de la technique de superposition des dérivées $W_{Main} = 75 \mu m$, $W_{AUX} = 52 \mu m$

4.6 Conception du mélangeur

La Figure 4.9 montre le schéma complet du mélangeur proposé, combinant la technique de superposition des dérivées et la technique de « bleeding ». Le circuit de polarisation n'est pas montré par souci de simplicité. La Figure 4.10 montre le « layout » du mélangeur.

Le mélangeur, ainsi conçu, est implémenté, en technologie 1P6M RF TSMC $0.18 \mu m$ CMOS, et simulé avec SpectreRF pour une fréquence de 2 GHz. Tous les paramètres de conception sont donnés dans le Tableau 4.2.

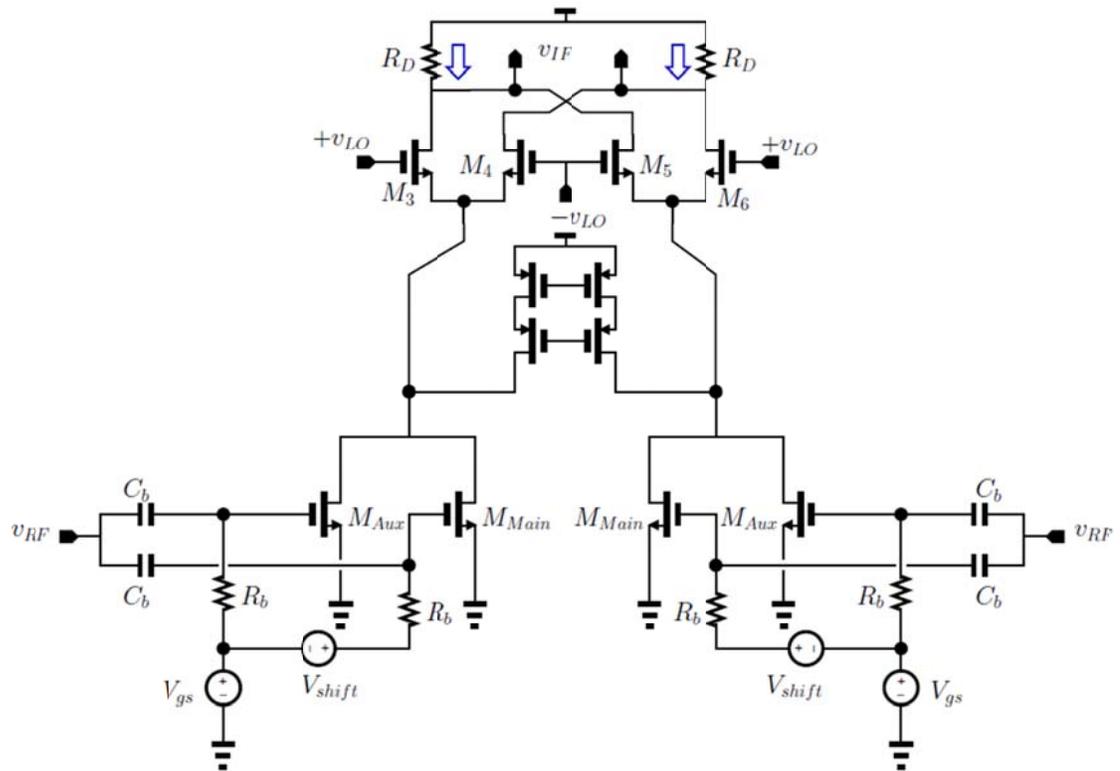


Figure 4.9 Melangeur proposé

Composant	Dimension
MA : Transistor principale (RF main)	75 μm / 0.18 μm
MB : Transistor auxiliaire (RF aux)	53 μm / 0.18 μm
Mc : transistor de commutation (LO switch)	21 μm / 0.18 μm
Transistor de « bleeding »	520 μm /0.18 μm
RD : résistance de charge	1.5 k Ω

Tableau 4.2 - Dimension des transistors du mélangeur « bleeding »

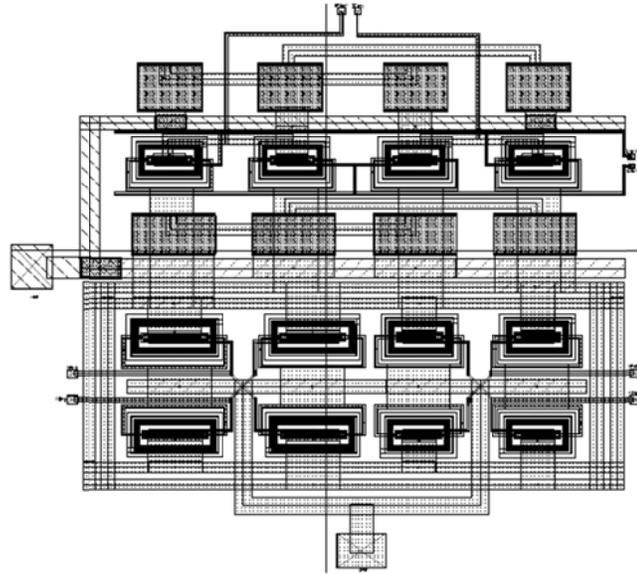


Figure 4.10 - Dessin du masque (layout) du mélangeur (sans la polarisation)

4.7 Résultats de la simulation post-layout

4.7.1 Gain de conversion

La Figure 4.11 montre bien que le gain de conversion en tension atteint 18 dB. La fréquence de coupure est égale à 60 MHz. La fréquence RF varie de 2140 MHz à 2170 MHz, cette plage de fréquence est utilisée pour les applications WCDMA.

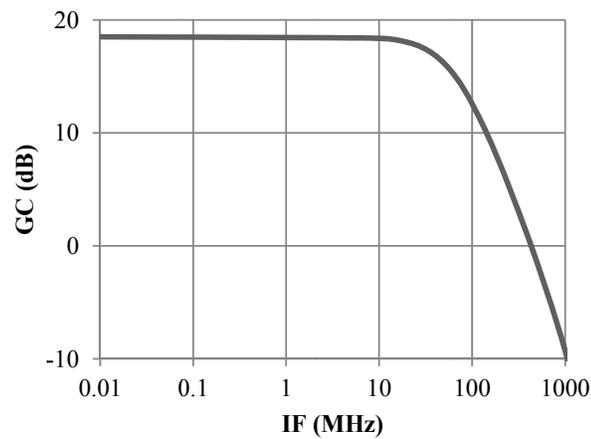


Figure 4.11 – Simulation post-layout du gain de conversion en tension du mélangeur en fonction de la fréquence IF

4.7.2 Linéarité

La simulation de la linéarité effectuée avec l'outil SpectreRF montre que les points d'interception d'ordre deux et trois ainsi que le point de compression à 1 dB sont respectivement égal à +64 dBm, +9dBm et -16 dBm, sachant que le mélangeur offre un gain de conversion en tension de +18 dB, et est alimenté avec une tension de 0.9V. La Figure 4.12 montre la simulation de l'IIP3. Le mélangeur consomme un courant DC de 7.8 mA avec le circuit de polarisation.

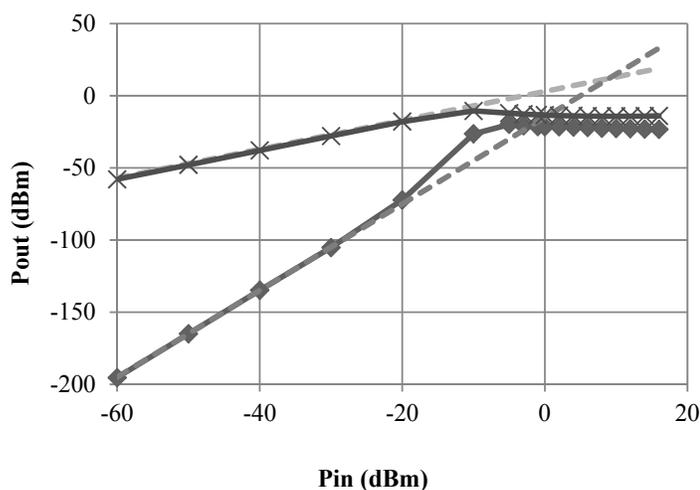


Figure 4.12 - Simulation post-layout de IIP3

4.7.3 Bruit

La Figure 4.13 donne la simulation post-layout du facteur de bruit double bande en fonction de la fréquence de sortie du mélangeur. Le NF (bruit thermique) devient inférieur à 12 dB à partir de 8 MHz. Cependant, le bruit 1/f atteint presque 30 dB à 30 kHz. En effet, en dépit du faible courant de commutation, le bruit 1/f reste élevé en raison des transistors de « bleeding » qui injectent le bruit directement au nœud de jonction « transconductance-switches ». Dans le Tableau 5.3, on peut voir une comparaison des performances du mélangeur avec l'état de l'art.

La technique de bleeding classique a été utilisée dans [28], [25] [26], alors que dans [29] et [28], on a utilisé un mélangeur conventionnel et un mélangeur « folded ». Le mélangeur proposé offre de meilleures performances en termes de gain de conversion en tension et de linéarité, avec un bruit thermique modéré, une tension d'alimentation et une consommation encore plus basses, en comparaison avec les autres travaux.

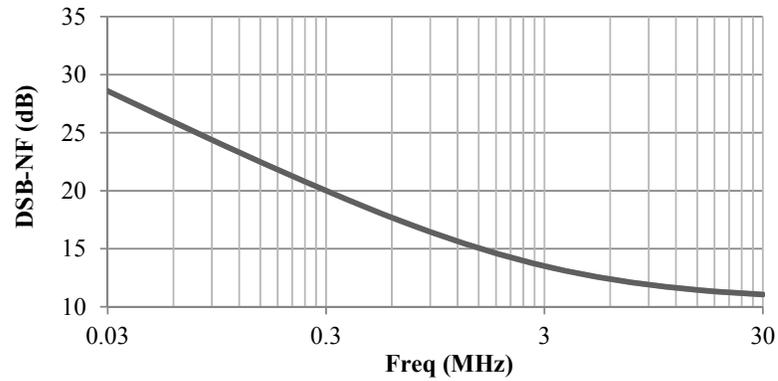


Figure 4.13 Facteur de bruit double bande en fonction de la fréquence de sortie

ref	Tech [μm]	Freq [GHz]	VDD [V]	IDC [mA]	Gv [dB]	IP3 [dBm]	NF [dB]
[24]	0.18	3.4 – 6.8	1	2.9	7.2	+3	14.4
[25]	-	0.9	-	-	4	-1.6	11
[26]	0.18	2.4	-	-	17	-0.7	17
[27]	0.35	2.1	3	6	12	2.2	9.3
[28]	0.18	2.5	1	-	9	-1	12
[29]	0.8	1.9	1.8	4.8	0.5	-6	10.2
Notre conception	0.18	2.1	0.9	7.8	18	+9	11

Tableau 4.3 - Comparaison des performances du mélangeur proposé avec l'état de l'art

4.8 Conclusion

Nous avons, dans ce travail, présenté la conception d'un mélangeur combinant la technique de « bleeding » et la technique de superposition des dérivées en technologie CMOS 0.18 μm . L'efficacité de cette combinaison a été prouvée par la simulation. Le circuit offre, à la fois, une bonne linéarité et un bon gain de conversion en tension pour des applications WCDMA autour de 2 GHz et un niveau de bruit modéré pour une faible tension d'alimentation.

Chapitre 5. Conception d'un Mélangeur à très faible consommation de puissance en technologie CMOS 0.18 μm

5.1 Introduction

Dans ce chapitre, nous présentons la conception d'un mélangeur dit à « transconductance commutée » où la commutation est assurée par des inverseurs. Cette topologie convient aux applications basse tension. Le mélangeur est conçu en technologie CMOS 0.18 μm et destiné aux applications multi-standard.

5.2 Background

5.2.1 « Current-reuse »

L'amplificateur à source commune (SC), illustré par la Figure 5.1(a), est considéré comme la topologie, la plus utilisée dans les circuits analogiques, mais aussi radio fréquence. Le gain DC de l'amplificateur SC est donné par :

$$G_v = g_m R_L \quad (5.1)$$

où R_L représente la résistance de charge de l'amplificateur. Cette topologie peut également être implémentée avec un transistor PMOS. La transconductance et, par la même occasion, le gain de l'amplificateur sont proportionnels à la consommation du courant DC. Il est donc impératif, dans le but de réduire la consommation de puissance, de faire appel à des techniques qui permettent d'atteindre des performances plus élevées notamment le gain, ce qui revient à avoir plus de marge de manœuvre pour réduire la consommation de puissance par la suite.

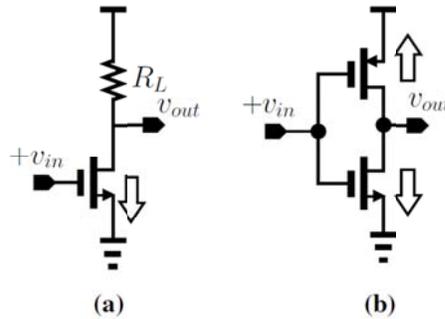


Figure 5.1 - (a) amplificateur s source commune, (b) amplificateur « current-reuse »

Le gain en DC, donné dans le l'équation (5.1), peut être doublé en utilisant la technique dite « current-reuse ». Cette dernière est très utilisée en conception analogique et radio fréquence. Elle fût appliquée aux amplificateurs à faible bruit, ainsi qu'aux mélangeurs RF afin d'augmenter le gain en tension tout en conservant la consommation de puissance [30] [31] . En d'autres termes, cela permet d'augmenter l'efficacité de l'amplificateur. Le principe du « current-reuse » est illustré par la Figure 5.1(b). où un transistor PMOS est joint à un transistor NMOS. Le gain en tension DC est exprimé comme suit :

$$G_V = (g_{mN} + g_{mP})(r_{dsN} \parallel r_{dsP}) \quad (5.2)$$

où g_{mN} , g_{mP} représentent respectivement la transconductance des transistors NMOS et PMOS, tandis que $r_{ds,N}$ et $r_{ds,P}$ représentent leurs résistances de sortie.

5.2.2 Transconductance à couplage croisée

L'amplificateur à grille commune (GC), illustré par la Figure 5.2(a), est une alternative à l'amplificateur SC, que l'on peut considérer comme étant la topologie la plus utilisée. Elle a l'avantage de permettre l'adaptation à 50Ω . En effet, son impédance peut être approximée à $1/g_m$. En dimensionnant convenablement le transistor NMOS, sa transconductance peut être fixée à 20 mS, ce qui implique une impédance d'entrée d'environ 50Ω [11]. Cependant, l'amplificateur GC présente un bruit élevé, en comparaison avec l'amplificateur SC. Un autre avantage des amplificateurs GC, par rapport aux amplificateurs SC, est sans doute la bande passante beaucoup plus large.

Illustrée par la Figure 5.2.b, la technique dite « gm-boosted » fût introduite pour remédier au problème de bruit dans les amplificateurs GC, et augmenter la transconductance

effective de ce dernier [32]. Cette technique est basée sur l'utilisation d'amplificateur inverseur qui présente un gain A . Le courant i_{DS} est alors donnée par :

$$i_{DS} = g_m(1 + A)v_{GS} \quad (5.3)$$

où $(1 + A)g_m$ représente la transconductance effective de l'amplificateur « gm-boosted » que l'on note $G_{m,eff}$. Il est important de souligner que l'amplificateur est, en fait implémenté avec des éléments passifs, autrement le bruit n'en serait que plus élevé.

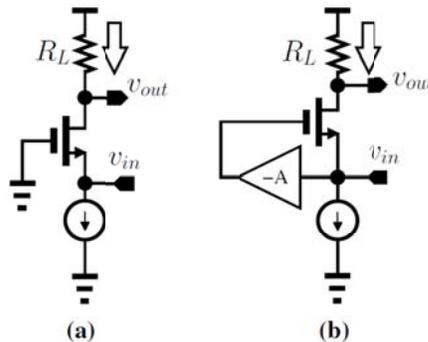


Figure 5.2 - (a) transconductance à grille commune, (b) transconductance boostée

Dès lors, la valeur maximale $|A_{MAX}|=1$. Dans ces conditions, le gain de l'amplificateur GC est, tout simplement, doublé, pour une même consommation de puissance DC.

$$G_{m,eff} = (1 + A)g_m \quad (5.4)$$

Une façon très simple mais efficace de mettre en œuvre la technique « gm-boosted » est d'utiliser un amplificateur différentiel à couplage croisé, comme le montre la Figure 5.3 [32] [33].

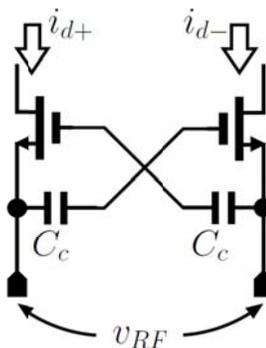


Figure 5.3 - Transconductance différentielle à couplage croisé

En se basant sur la figure précédente, le gain d'inversion A est approximé par un diviseur de tension [33]:

$$A \approx \frac{C_C}{C_C + C_{GS}} \quad (5.5)$$

Ce qui conduit à :

$$G_{m,\text{eff}} = \left(\frac{2C_C + C_{GS}}{C_C + C_{GS}} \right) g_m \quad (5.6)$$

Afin de conserver le bénéfice de cette technique, la capacité C_C doit être bien supérieure à la capacité C_{GS} , ce qui permet de doubler la transconductance effective :

$$G_{m,\text{eff}} \approx 2g_m \quad (5.7)$$

La transconductance effective peut encore être augmentée davantage, en utilisant l'amplificateur différentiel à couplage croisée en configuration « current-reuse ».

5.2.2.1 Gain de conversion

La Figure 5.4 montre le schéma équivalent petit signaux de l'amplificateur « gm-boosted », où l'expression du gain en tension est donnée par (5.8) (voir Annexe C).

$$G_{V1} = \frac{2(g_{mN} + g_{mP}) - j\omega(C_{DS} - C_{GD}) + 1/r_o}{\frac{1}{r_o} + j\omega(C_{DS} + C_{GD})} \quad (5.8)$$

où C_{GD} et C_{DS} représentent les capacités du transistor équivalent de la cellule « current reuse », constituée de nMOS et pMOS, et r_o sa résistance équivalente de sortie équivalente [34].

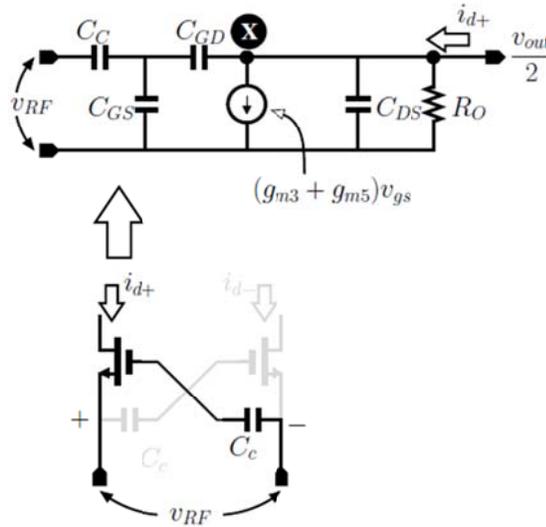


Figure 5.4 – Modèle petits signaux de la transconductance croisées-couplées

5.3 Contrainte de linéarité et de consommation

Dans le but de bien définir et d'illustrer les trois différents modes d'inversion, le coefficient d'inversion I_C est défini comme suit [35]:

$$I_C = \frac{I_{DS}}{2\eta\mu_0 C_{ox} \phi_t^2 \left(\frac{W}{L}\right)} \quad (5.9)$$

La Figure 5.5.(a) montre le coefficient d'inversion en fonction de la tension V_{GS} appliquée pour la technologie CMOS 0.18 μm . Par convention, le transistor MOS fonctionne en faible inversion si $I_C < 0.1$, en inversion modérée quand $0.1 < I_C < 10$ et en forte inversion si $I_C > 10$ [35].

Ce paramètre permet de définir clairement le mode d'inversion en fonction de la tension d'entrée. Cependant, dans le but de choisir le mode de fonctionnement approprié, la consommation de puissance et la linéarité sont les deux contraintes prises en compte dans notre conception. En termes d'efficacité, le rapport g_m / I_{DS} est l'indicateur le plus pertinent car il représente l'aptitude du transistor à transformer de la puissance DC en transconductance [36]. Celui-ci est donné par l'expression (5.10) et sa variation en fonction de la tension V_{GS} est donnée par la Figure 5.5 (b) dont on déduit clairement que le mode d'inversion faible offre la meilleure efficacité.

$$\frac{g_m}{I_{DS}} = \frac{1}{I_D} \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\partial(\ln I_{DS})}{\partial V_{GS}} \quad (5.10)$$

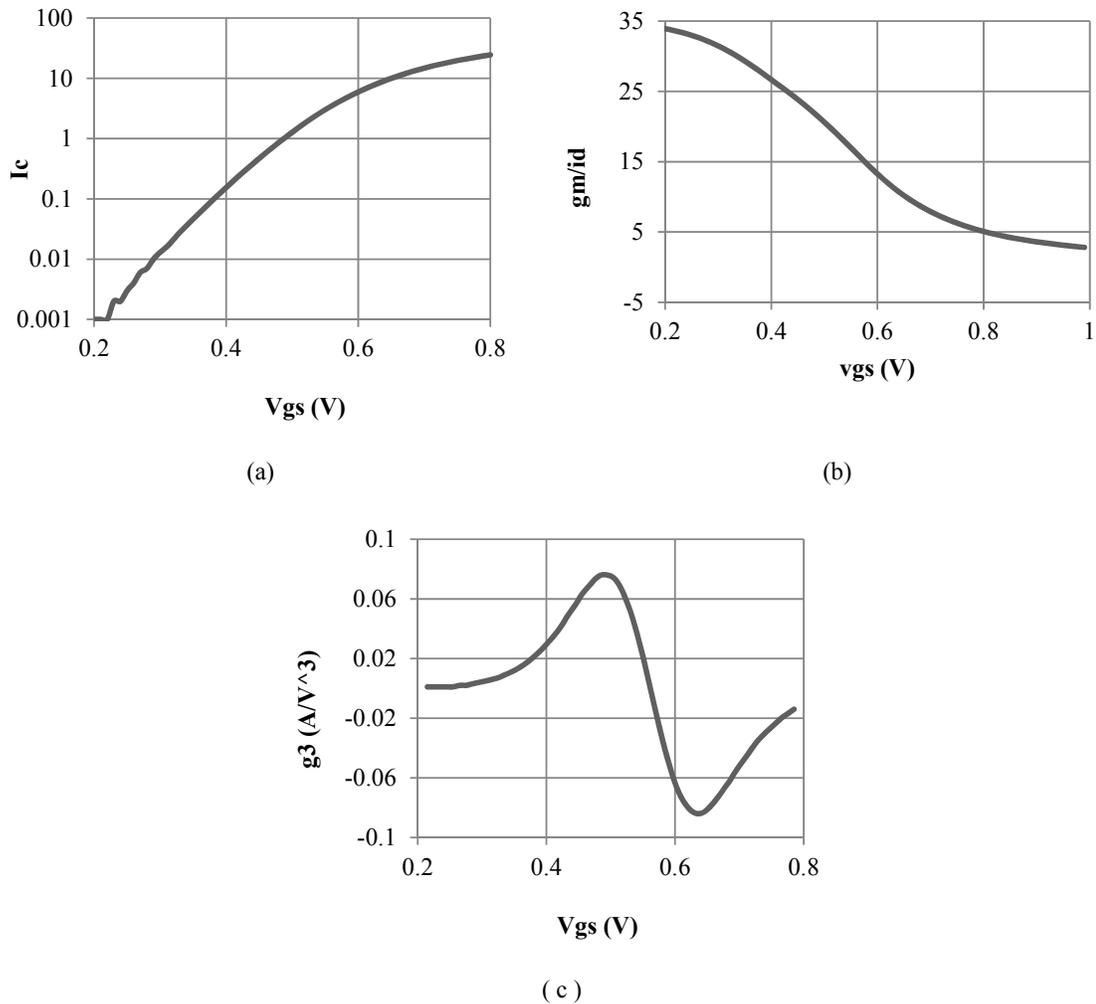


Figure 5.5 (a) Simulation du coefficient d'inversion d'un transistor NMOS 0.18 μm , (b) simulation de g_m / I_D en fonction de la tension V_{gs} , (c) simulation du g_3

En effet, l'efficacité du transistor nMOS est à son comble en faible inversion où elle varie entre 34 et 28 mS/mA. Elle diminue entre 28 et 11 mS/mA en inversion moyenne et inférieure à 11 mS/mA en forte inversion. Pour une application faible consommation de puissance, l'idéal serait de polariser le transistor MOS en faible inversion afin d'obtenir la meilleure efficacité possible au détriment de la linéarité.

Cependant, l'inversion modérée est plus appropriée pour une linéarité optimale comme le montre la Figure 5.5 (c), l'amplitude de cette dernière atteint son maximum en faible inversion et en forte inversion et s'annule en inversion moyenne. Pour un compromis

du transistor nMOS. La résistance de sortie du transistor r_o est exprimée en fonction du courant I_{DS} comme suit [22] :

$$r_o \approx \frac{1}{\lambda I_{DS}} \quad (5.11)$$

où λ est un paramètre technologique qui représente l'effet de la modulation du canal du transistor MOS en saturation. La capacité C_{GD} du transistor MOS est donnée par l'expression suivante [22]:

$$C_{GD} \approx WC_{OV} \quad (5.12)$$

où W est la largeur de la grille et C_{OV} représente la capacité de recouvrement du transistor MOS. La transconductance g_m est aussi exprimée en fonction des dimensions du transistor et du courant I_{DS} [22]

$$g_{m,n} = \sqrt{\mu_n C_{ox} \frac{W_n}{L} I_{DS}} \quad (5.13)$$

Les transistors pMOS ont une mobilité n fois inférieure à la mobilité des transistors nMOS, où n dépend de la technologie utilisée mais aussi de la longueur de la grille du transistor. Pour les transistors d'entrée, la longueur de la grille est fixée à la valeur minimale, soit $0.18 \mu\text{m}$. Dans ce cas, $n = 4.4$. Afin d'obtenir une transconductance identique à la transconductance du transistor nMOS, le transistor pMOS doit être dimensionné conformément à la formule suivante:

$$W_p = \left(\frac{\mu_n}{\mu_p} \right) W_n = n W_n \quad (5.14)$$

La Figure 5.7 montre les transconductances des transistors nMOS et pMOS en fonction de la tension V_{GS} pour une largeur de la grille respective de $18 \mu\text{m}$ et $80 \mu\text{m}$

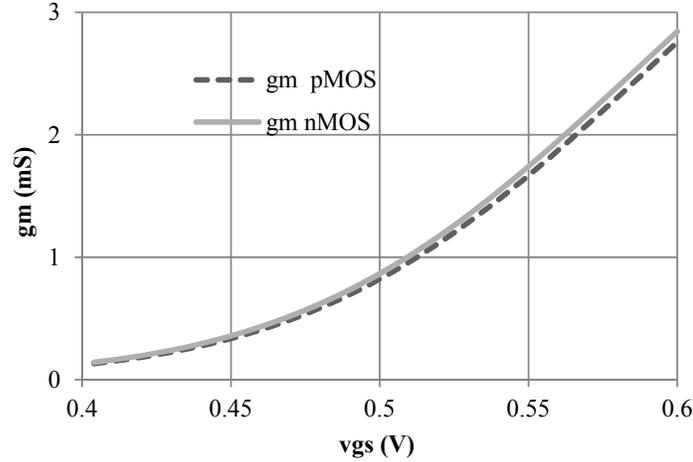


Figure 5.7 Transconductance du nMOS et pMOS pour une largeur de 18 μm et $n=4.4$.

En remplaçant les équations (5.11) à (5.14), dans (5.8), et en négligeant C_{DS} on obtient :

$$G_V(W) = \sqrt{\frac{32I_d \mu C_{ox} - j\omega(1+n)WC_{ov} + 2\lambda I_d}{L}} \quad (5.15)$$

La Figure 5.8 montre le tracé du gain en tension en fonction de la largeur de la grille du transistor nMOS pour différentes valeurs du courant consommé I_{DS} par branche à la fréquence 2.4 GHz qui représente la limite supérieure de la bande de travail.

Le gain est proportionnel à la valeur de la transconductance, qui, elle-même, est proportionnelle à la largeur de la grille, le gain augmente donc avec la valeur de W . A partir d'un certain seuil, le gain en tension est limité par la capacité C_{GD} qui elle aussi est proportionnelle à la valeur de W .

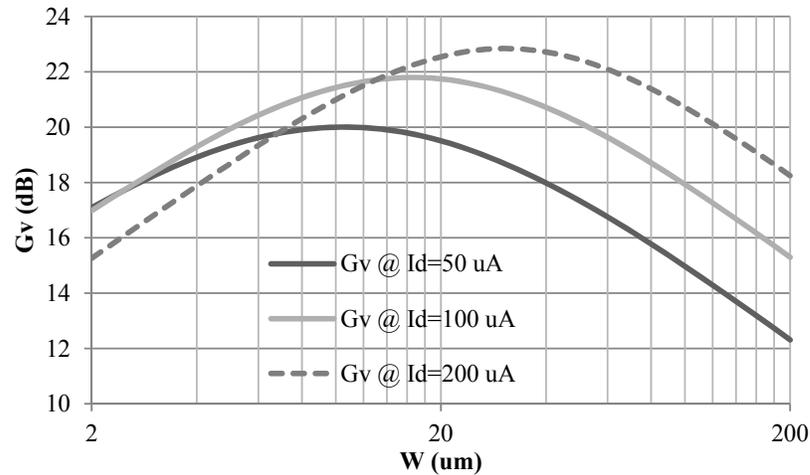


Figure 5.8 Gain en tension du premier étage donné par l'équation (5.15) pour différentes consommation

Pour une certaine consommation de courant, on choisit la largeur de grille qui donne le maximum de gain. Un gain en tension de 20 dB est atteint à $W = 10 \mu\text{m}$, pour un courant $I_d = 50 \mu\text{A}$. En doublant le courant, nous arrivons à un gain de 22 dB, pour une largeur d'environ $16 \mu\text{m}$, et 23 dB pour une largeur de $36 \mu\text{m}$ si la consommation est quadruplée.

Cependant, la théorie ci-dessus découle d'un modèle simplifié ne prenant pas en considération les phénomènes secondaires tels que la réduction de la mobilité, qui conduit à la réduction de la transconductance et, par la même occasion à la réduction du gain en tension. Nous choisissons donc une consommation de $100 \mu\text{A}$ pour une largeur du transistor nMOS de $16 \mu\text{m}$. Le transistor pMOS est dimensionné n fois plus large, soit $70 \mu\text{m}$.

La Figure 5.9 (a) montre la transconductance du transistor MOS en fonction de la largeur de la grille. Sa consommation en courant correspondante est donnée par la Figure 5.9 (b).

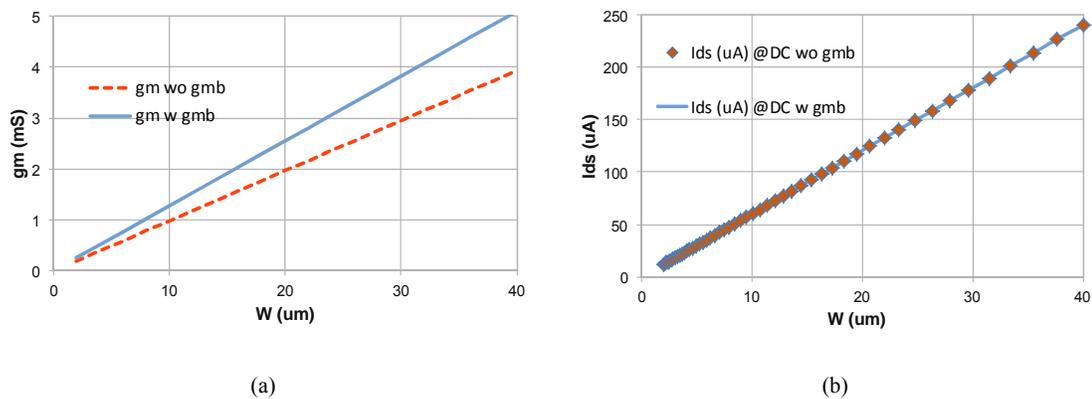


Figure 5.9 (a) Variation de la transconductance du transistor nMOS en fonction de la largeur de la grille (b) consommation du courant correspondante

La transconductance peut être augmentée en tirant profit de la transconductance du substrat, sans aucune pénalité pour le courant consommé. Généralement, le substrat est connecté à la source du transistor. Etant donné la symétrie, nous pouvons croiser la connexion du substrat comme illustré par la Figure 5.10. De cette façon la tension DC est la même, mais la tension AC est en opposition de phase.

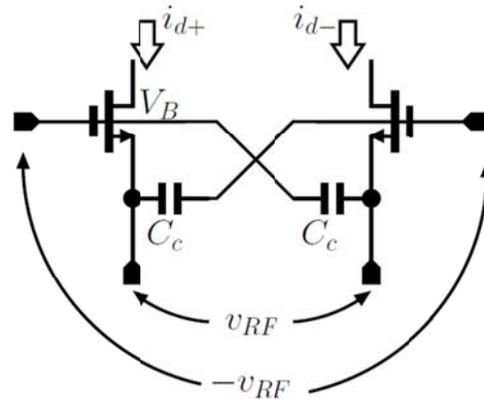


Figure 5.10 Connexion croisée du substrat

La longueur de grille des transistors de la source de courant (M_1 , M_2 , M_7 et M_8 dans le Figure 5.6), est fixée à la valeur maximale possible pour cette technologie, soit $0.5\mu\text{m}$ afin de s'approcher, au maximum, du comportement d'une source de courant idéale. Il est toutefois important de noter qu'augmenter la longueur de la grille entraîne une dégradation proportionnelle de la mobilité du transistor. Nous choisissons donc d'augmenter la tension V_{GS} pour compenser cet effet et d'éviter de devoir augmenter leurs largeurs. Le Tableau 5.1 résume le dimensionnement du premier étage après un tuning.

Composant MOS	W/L (μm)
$M_{1,2}$	20/0.5

$M_{3,4}$	16/0.18
$M_{5,6}$	77/0.18
$M_{7,8}$	80/0.5

Tableau 5.1 - Dimensionnement du premier étage

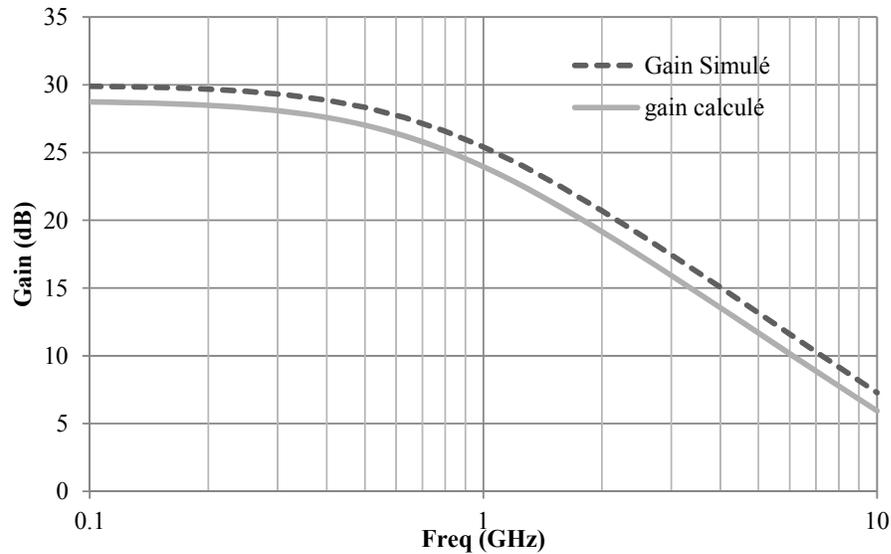


Figure 5.11 Gain en tension du premier étage

5.5.2 La commutation

Comme nous l'avons vu au Chapitre 3, l'opération de commutation dans la cellule de Gilbert, est accomplie par des transistors de commutation, superposés à l'étage de transconductance, qui doivent être polarisés en saturation. Consommant, de ce fait, une tension minimale de V_{DSSat} , ce qui a pour effet de réduire l'étendue dynamique de la cellule de Gilbert. Une alternative à cette méthode « traditionnelle » fût proposée initialement dans l'article [4]. Cette technique, dans laquelle des inverseurs se substituent à l'étage de commutation, est appelée « transconductance commutée ».

Contrairement à la cellule de Gilbert, les inverseurs sont polarisés en région linéaire (triode). Ce type de mélangeurs s'avère très efficaces, en termes de consommation de puissance, car ils permettent d'opérer à de faibles tensions d'alimentation. Supposons que les inverseurs sont commandés par un signal sinusoïdal. Nous pouvons, à la fréquence LO, réduire ce dernier à une forme trapézoïdale, ce qui conduit à un gain de conversion donné par [4] :

$$CG \approx \frac{2}{\pi} \left(\frac{\sin(\pi \cdot f_{LO} \tau_{sw})}{\pi \cdot f_{LO} \tau_{sw}} \right) g_m \frac{R_L}{2} \quad (5.16)$$

où τ_{sw} est le temps de montée ou de descente du signal LO trapézoïdal (Figure 5.12).

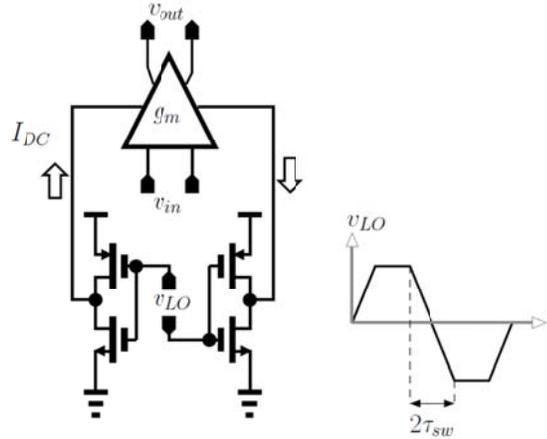


Figure 5.12 - Mélangeur simple équilibré à transconductance commutée

Dans le cas d'un signal LO idéal, τ_{sw} tend vers zéro, conduisant au gain de conversion en tension bien connu de la cellule de Gilbert [11]:

$$CG \approx \frac{2}{\pi} g_m \frac{R_L}{2} \quad (5.17)$$

Le second étage est constitué d'une transconductance en topologie « current-reuse » connectée à deux inverseurs. Dans le cas présent, les inverseurs peuvent engendrer d'une part une dégradation du gain de conversion comme le montre l'équation (5.16), et jouer d'autre part un rôle dans la linéarité par le phénomène d'interaction du second ordre.

5.5.3 Dimensionnement du second étage

Dans le mélangeur proposé, le second étage permet d'effectuer la commutation du signal. Or, cet étage domine la linéarité du mélangeur comme le suggère l'équation (5.18) qui donne la linéarité de deux étages successifs et, tout particulièrement, lorsque le gain de l'étage précédent est élevé [11]. Il est important de noter que dans cette expression, la transconductance du second ordre g_2 a été négligée.

$$\frac{1}{IIP3_{mixer}^2} \approx \frac{1}{IIP3_1^2} + \frac{G_{V1}^2}{IIP3_2^2} \quad (5.18)$$

où G_{V1} est le gain de l'amplificateur à couplage croisée, donné par l'expression (5.8) tandis que $IIP3_1$ et $IIP3_2$ représentent respectivement l'IIP3 du premier et du second étage. Le courant de sortie de la transconductance commutée de la Figure 5.6 est donné par :

$$i_{out} = G_m v_{GS} + G_2 v_{GS}^2 + G_3 v_{GS}^3 + \dots \quad (5.19)$$

où v_{GS} représente la tension, appliquée sur la grille des transistors de l'étage de transconductance commutée. En raison de la conductance finie du couple d'inverseurs, formée respectivement par M_{17} , M_{18} et M_{19} et M_{20} , le second étage présente une contre réaction, ce qui conduit à une interaction du second ordre [16]. Dans le cas d'une configuration « current-reuse », la transconductance de troisième ordre G_3 est donnée par l'expression (5.20) dont la démonstration est donnée dans l'annexe C, où R_{ON} représente la résistance série des inverseurs de commutation.

$$G_3 = \frac{1}{(1 + g_{m,9} R_{ON,17})^4} \left(g_{3,9} - 2 \frac{g_{2,9}^2}{g_{m,9}} \frac{g_{m,9} R_{ON,17}}{1 + g_{m,9} R_{ON,17}} \right) + \frac{1}{(1 + g_{m,11} R_{ON,20})^4} \left(g_{3,11} - 2 \frac{g_{2,11}^2}{g_{m,11}} \frac{g_{m,11} R_{ON,20}}{1 + g_{m,11} R_{ON,20}} \right) \quad (5.20)$$

L'équation (5.20) suggère qu'il existe une tension V_{GS} optimale donnant une combinaison optimale de $\{g_m, g_2, g_3\}$ et de R_{ON} . Dans ce cas, les transistors doivent être polarisés en faible inversion, là où g_3 est positive. Cependant, ce mode d'inversion n'est pas préconisé pour les raisons déjà citées dans la section 5.3. Afin de ne pas pénaliser les autres performances du circuit, nous choisissons de polariser les transistors MOS dans la partie inférieure de la région d'inversion moyenne, là où g_3 est encore positive.

Une solution analytique n'est pas adoptée dans le cas présent. En effet, pour résoudre le problème, avec un niveau de complexité raisonnable, nous devons exprimer alors g_m , g_2 et g_3 en fonction des dimensions des transistors moyennant un modèle simple, ce qui engendre une déviation considérable par rapport à la solution réelle. Un modèle, plus réaliste tel que le modèle exprimé par l'équation (4.6) engendrerait une complexité élevée. Une simulation serait par conséquent plus efficace. Nous faisons varier la tension V_{GS} afin

d'obtenir une combinaison de $\{g_m, g_2, g_3\}$, laquelle, associée à une valeur adéquate de R_{ON} , offre une linéarité optimale.

La simulation de la variation de l'IIP3 du mélangeur, en fonction de V_{GS} pour différentes largeurs des inverseurs, est montrée par la Figure 5.13. On constate que l'IIP3 atteint sa valeur maximal de -2.5 dBm pour $W_{17} = 18\mu\text{m}$ à $V_{GS} = 0.54\text{ V}$ où g_3 s'approche de sa valeur minimale. Les valeurs des conductances (ou résistances) $R_{ON, 17}$ et $R_{ON, 20}$ obtenues par ce choix, permettent de neutraliser la valeur résiduelle de g_3 conduisant à un IIP3 optimal.

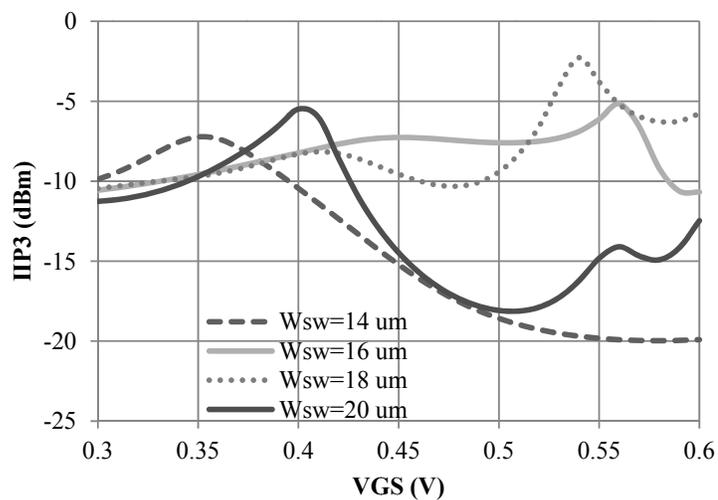


Figure 5.13 - Variation de l'IIP3 du mélangeur en fonction de la tension V_{GS} pour différentes dimensions des inverseurs

5.6 Simulations post-layout

5.6.1 Dessin du layout

La Figure 5.14 montre le dessin des masques du mélangeur conçu (layout), sans le circuit d'adaptation et sans le circuit de polarisation. Les éléments parasites tels que les résistances et les capacités des interconnexions peuvent engendrer des dégradations des performances du circuit. Il est donc nécessaire dans ce cas de procéder à une optimisation du circuit. Le Tableau 5.2 résume les valeurs de conception choisies pour le second étage.

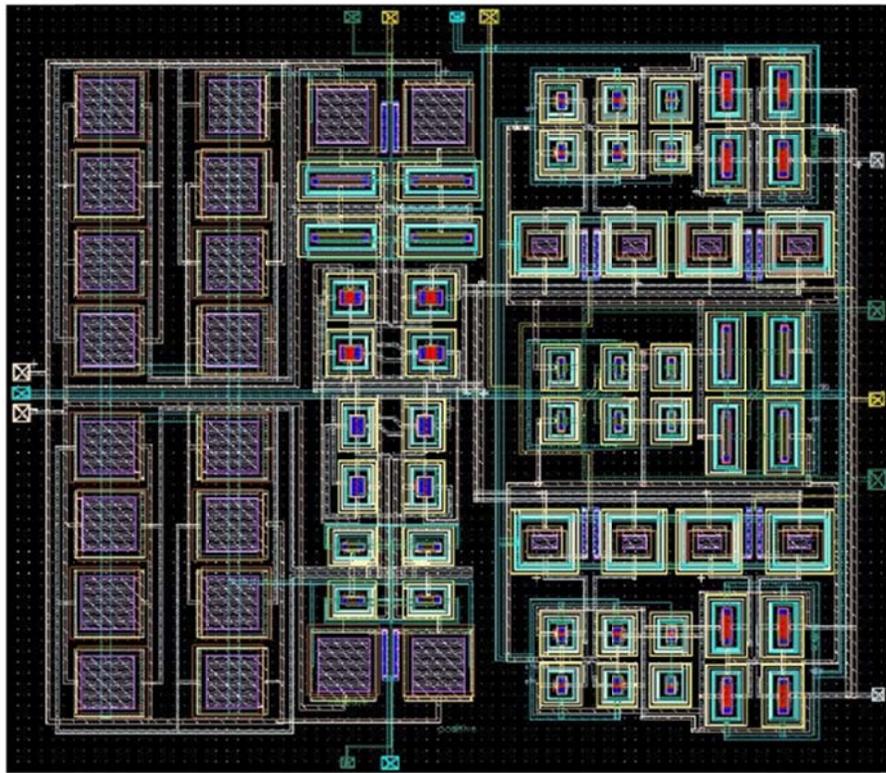


Figure 5.14 - Dessin du layout du mélangeur

Composant MOS	W/L (μm)
$M_{1,2}$	20/0.5
$M_{3,4}$	16/0.18
$M_{5,6}$	77/0.18
$M_{7,8}$	80/0.5
$M_{9,10,13,14}$	18/0.18
$M_{11,12,15,16}$	90/0.18
$M_{17,19}$	18/0.18
$M_{18,20}$	90/0.18

Tableau 5.2 - Dimensions des transistors du mélangeur à transconductance commutée proposé

5.6.2 Simulations post-layout

Toutes les simulations, dans ce travail, sont accomplies avec Spectre RF de Cadence. Les baluns d'entrée et de sortie ainsi que le circuit d'adaptation en entrée, illustrés par la Figure 5.6 ne sont pas conçus pour être intégrés. Le circuit d'adaptation fonctionne dans la bande fréquentielle 1.8 à 2.4 GHz. Ce dernier est suivi par un transformateur (idéal), qui permet de passer d'une entrée simple à une entrée différentielle. Un autre transformateur est ajouté à la sortie du mélangeur pour repasser à une sortie simple (celui-ci n'est pas montré dans la Figure 5.6).

La Figure 5.15 montre la simulation de S_{11} , reportée sur l'abaque de Smith, où $S_{11} < -10$ dB pour toute la bande de fonctionnement.

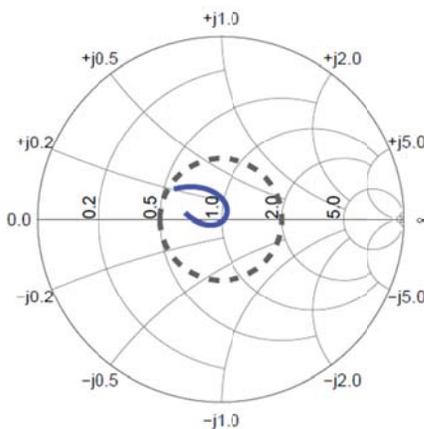


Figure 5.15 - Simulation post-layout du S11

La Figure 5.16.(a) montre le résultat de l'analyse « harmonic balance » post layout. Le gain de conversion est donné, pour trois fréquences, à savoir 1.8 GHz, 2.1 GHz et 2.4 GHz. Le gain de conversion du schéma électrique est donné pour la fréquence 2.4 GHz. Le gain maximum, qui est de 26 dB est atteint pour la fréquence 1.8 GHz, et chute à 23 dB pour la fréquence 2.4 GHz. On note aussi que la fréquence de coupure à -3 dB est de l'ordre de 60 MHz pour une fréquence RF de 2.4 GHz. La Figure 5.16.(b) représente l'IIP3 du mélangeur proposé, qui atteint une valeur de -2.5 dB pour une fréquence 2.4 GHz. Le mélangeur consomme un courant DC de 320 μ A pour une tension d'alimentation de 0.9 V.

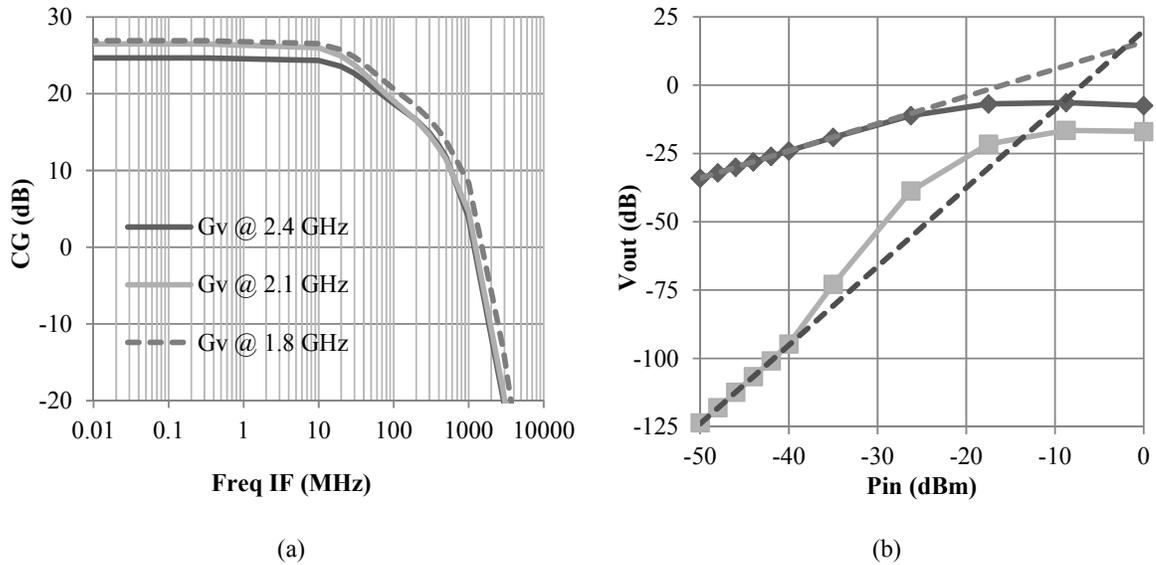


Figure 5.16 - Simulation post-layout du mélangeur, (a) gain de conversion en tension en fonction de la fréquence de sortie IF pour différentes fréquences RF, (b) IIP3 du mélangeur

Le Tableau 5.3 montre la comparaison des performances de notre mélangeur avec les mélangeurs, cités dans la littérature en technologie CMOS.

Ref	Freq(GHz)	Gain(dB)	IIP3(dBm)	Vdd(V)	Pdc(mW)	NF(dB)	FOM
[4]	0.5-0.6	7.4-10.2	5-7	1	0.42-0.95	22.8-24.7	12.2*
[37] ^o	2.5	15.8	-8.6	0.5	1.6	10.5	16
[37] ^o [◇]	2.5	13	-3.08	0.35	0.48	12.7	20.4
[28]	2.4	15.7	1	1.8	8.1	12.9	10.5
[35]	5.2	3.2	-8	0.6	0.8	14	9.57
[38]	1.63	6.63	1.51	1.8	-	21.43	-
[39]	0.2-13	9.9	-10	0.8	0.88	11.7	13.8
[40]	0.5-7.5	5.7	-5.7	0.77	0.48	15	13.2
[41]	2.4	18	-	-	0.5	9.6	24.9**
[42]	2.4	19	3	-	4.25	11	18.72
Notre travail	1.8-2.4	23-26	-2.5	0.9	0.288	10-18	22.65

Tableau 5.3 - Comparaison des performances du mélangeur à transconductance commutée proposé avec l'état de l'art

(*) calculée à 2 GHz. (**) l'IIP3 est estimé à partir P1dB+10dB. (o) technologie 0.13 μm . (◇) dans cette référence, deux conceptions sont proposées

On définit la figure de mérite FOM pour les mélangeurs par l'équation (5.21) [28]. Les performances, les plus cruciales, sont incluses dans le FOM à savoir, le gain de conversion, la linéarité, la puissance consommée et le facteur de bruit.

$$FOM = 10 \log \left(\frac{10^{(G+IIP3-10)/20}}{10^{NF/10} \times P_{dc}} \right) \quad (5.21)$$

Avec un gain de conversion minimum de 23 dB et une consommation de puissance de 288 μ W, le mélangeur, conçu, est plus compétitif que la majorité des mélangeurs, cités dans le Tableau 5.3. Le mélangeur proposé fonctionne avec une faible tension, en dépit des quatre étages empilés, ce qui est fort intéressant pour les applications faible puissance. Dans l'article [37], un mélangeur similaire à celui conçu. Cependant, le mélangeur proposé atteint un gain de conversion nettement supérieur en termes de linéarité, les mélangeurs dans [4], [28] et [38] présentent un meilleur IIP3, mais avec un gain de conversion plus faible. Le mélangeur proposé, offre une bonne linéarité, un gain de conversion élevé et une très faible consommation de puissance.

Cette combinaison est illustrée par le FOM, qui est supérieur à tous les autres mélangeurs, rapportés dans le Tableau 5.3, excepté pour [41] qui présente de meilleures performances, en termes de bruit.

5.7 Conclusion

La combinaison des capacités croisées-couplées, de la technique de réutilisation de courant, et de la transconductance commutée, a permis de construire une topologie de mélangeur et de l'implémenter avec succès en technologie CMOS 0.18 μ m, fonctionnant dans la bande 1.8-2.4 GHz pour les applications multistandards sans fil.

Chapitre 6. Conception de mélangeur à gain élevé en technologie CMOS 0.13 μm

6.1 Introduction

Dans ce chapitre, nous présentons la conception d'un mélangeur en reprenant l'idée de la « transconductance commutée », exposée au chapitre précédant. Le but recherché est de proposer un mélangeur à gain de conversion élevé lorsque la contrainte de linéarité est relaxée. Le mélangeur proposé fonctionne à la fréquence 2.4 GHz en technologie CMOS 0.13 μm de STMicroelectronics. Le mélangeur est simulé grâce à l'outil ADS.

Un gain élevé implique une consommation de puissance conséquente. On propose dans notre conception de remédier à ce problème en appliquant la technique de « power gating ». Il s'agit d'une technique de gestion de l'alimentation, déjà utilisée dans les circuits numériques et récemment étendue aux communications pulsées. Cependant, son application au modulation autre que OOK (« On-Off Keying »), ou toute autre modulation impulsionnelle n'est pas constatée, car elle nécessite tout un bloc de décision, mais le bénéfice en termes de consommation de puissance serait considérable.

La Figure 6.1 illustre le principe de la technique du « power gating » qui consiste d'abord à allumer les circuits du récepteur, lorsqu'on détecte qu'il y a un '1' dans le signal modulé reçu, puis les éteindre lorsqu'on détecte des '0' dans le signal modulé. Le temps d'établissement des circuits est la plus grande difficulté dans l'application de cette technique.

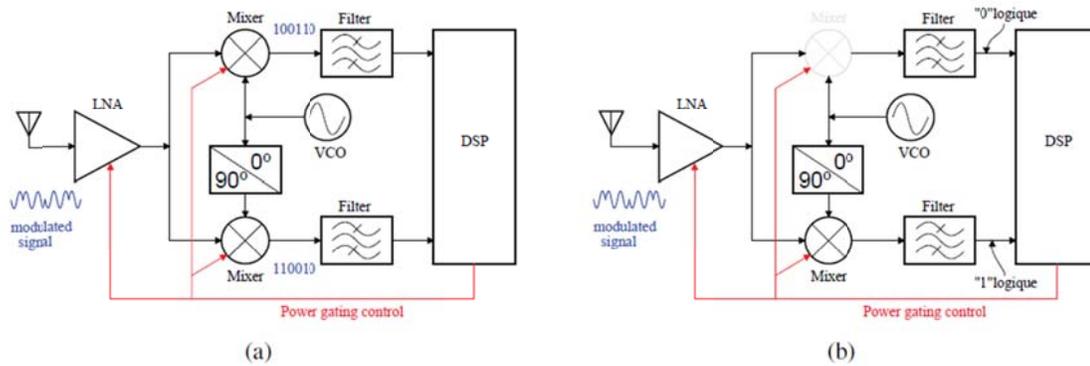


Figure 6.1 - Réduction de la consommation d'énergie dans un récepteur à conversion directe par gestion d'alimentation (« power gating »)

6.2 Etage de transconductance

La technique du « current reuse » [30], illustrée par la figure 6.2, est une technique bien connue en conception analogique. Le principal avantage est la possibilité de réaliser un compromis gain-consommation. Contrairement aux amplificateurs en source commune, la technique de réutilisation du courant permet d'atteindre le même gain mais avec deux fois moins de courant DC consommé. D'où son utilisation pour les applications à faible consommation de puissance. Le gain en tension d'une cellule « current reuse » est donné par l'équation (5.2).

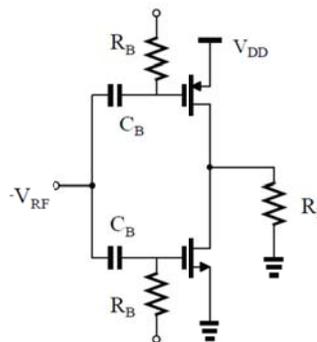


Figure 6.2 - Amplificateur utilisant la technique du « current-reuse »

6.3 Transconductance commutée

Les mélangeurs du type transconductance commutée (« Switched Transconductance Mixer ») sont peu différents des mélangeurs à commutation de courant, qui, contrairement à ces derniers, utilisent des inverseurs pour la commutation. La Figure 6.3 illustre le principe de ce type de mélangeur [4].

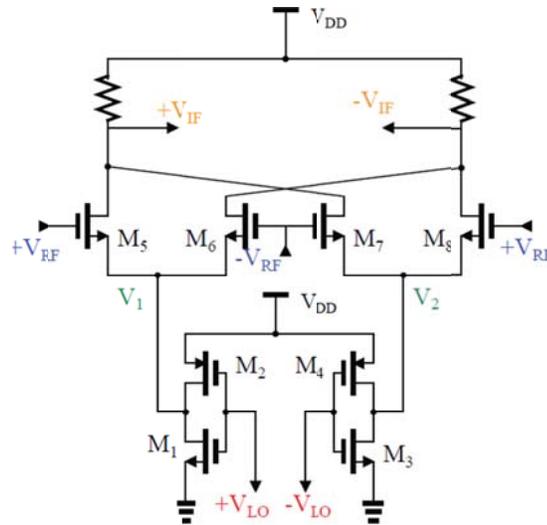


Figure 6.3 - Mélangeur actif double équilibré à transconductance commutée [4]

Lorsque le signal de l'oscillateur local v_{LO} est au niveau haut, les transistors M_1 et M_4 sont tous deux passants, tandis que les transistors M_2 et M_3 sont bloqués mettant la tension V_1 à 0 et la tension V_2 à V_{DD} bloquant ainsi les transistors M_7 et M_8 . Les transistors M_5 et M_6 restent passants. Durant l'autre alternance, V_{LO} passe au niveau bas et le scénario s'inverse, les transistors M_5 et M_6 passent alors à l'état bloqué, tandis que M_7 et M_8 deviennent passants.

Le concept de la transconductance commutée semble prometteur pour l'application du « power gating », car les inverseurs permettent de contrôler la cellule de transconductance. Nous allons reprendre ce principe, mais nous utiliserons une cellule « current reuse » pour un meilleur gain. La Figure 6.4 montre le mélangeur simple équilibré à transconductance commutée basé sur la technique du « current reuse ».

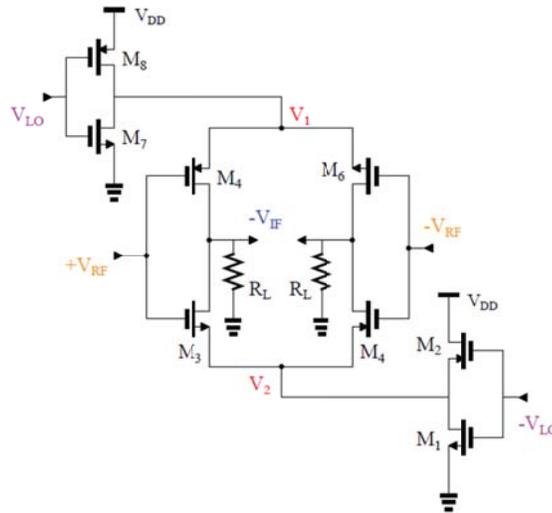


Figure 6.4 - Mélangeur simple équilibré à transconductance « current-reuse » commutée

Les inverseurs sont contrôlés par le signal de l'oscillateur local v_{LO} et placés, de part et d'autre, de la cellule « current reuse ». Lorsque v_{LO} est au niveau haut, les transistors M_1 et M_8 sont passants alors que les transistors M_2 et M_7 sont bloqués. Les tensions V_1 et V_2 sont alors respectivement égales à 0 et V_{DD} mettant les transistors M_5 et M_6 à l'état bloqué et les transistors M_3 et M_4 à l'état passant.

6.4 Les baluns: conversion « single-to-diff »

Les performances du mélangeur seront simulées avec l'outil ADS (Advanced Design System), Pour cela, le mélangeur doit être adapté en entrée et en sortie à 50Ω . De plus, le mélangeur sera piloté par le signal sortant du LNA en sortie simple, ce qui nécessitera que le mélangeur ait une entrée simple. Étant donné que le mélangeur est un mélangeur double équilibré, ce dernier nécessitera un balun « single-to-diff » pour suivre l'amplificateur à faible bruit.

Il existe deux sortes de baluns: passif et actif. Les baluns passifs nécessitent l'utilisation d'inductances et, par conséquent, ils sont inadéquats pour une conception à faible coût, sachant que les inductances nécessitent une surface conséquente. Nous optons donc pour un balun d'entrée actif. Cela permettra, en outre, d'avoir plus de gain. Le balun actif consiste en une simple paire différentielle. Le signal RF est appliqué sur la grille d'un seul

transistor, tandis que l'autre transistor est juste polarisé, comme il est indiqué sur la Figure 6.5.

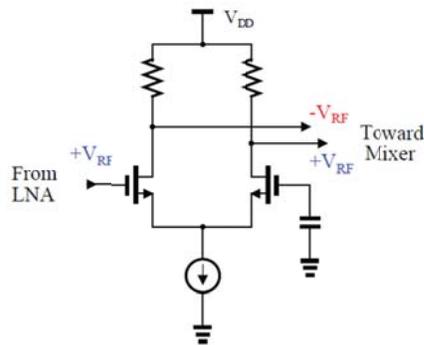


Figure 6.5 - Balun actif utilisé à l'entrée du mélangeur

Le balun d'entrée est conçu de sorte à avoir deux sorties, en opposition de phase, avec un gain en tension de +6 dB. Pour la simulation, le mélangeur sera adapté en entrée à 50 Ω en bande étroite autour de 2.4 GHz. L'adaptation d'impédance en entrée n'a plus raison d'être si le mélangeur est connecté à l'amplificateur à faible bruit.

En sortie, le mélangeur nécessitera aussi un balun pour la conversion différentielle à simple sortie. Nous utiliserons là une paire pseudo différentielle avec une charge active comme indiqué sur la figure 6.6. Le balun de sortie sera ensuite suivi d'un buffer qui consiste en une source suiveuse pour l'adaptation en sortie à 50 Ω .

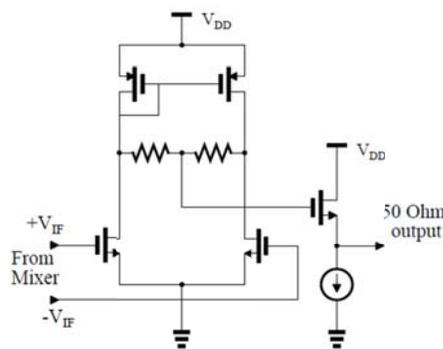


Figure 6.6 - Balun actif utilisé à la sortie du mélangeur

Dans une chaîne de réception, le mélangeur est suivi par un filtre généralement actif avec une entrée différentielle. L'utilisation du balun, en sortie, n'est donc pas nécessaire.

La Figure 6.7 montre le schéma du mélangeur double équilibré en entrée et simple en sortie. Le mélangeur a été conçu en technologie CMOS 0.13 μm de ST Microelectronics et simulé grâce à l'outil ADS. Le signal de l'oscillateur local est une sinusoïde d'amplitude égale à V_{DD} et de fréquence égale à 2.4 GHz. La fréquence du signal IF, en sortie du mélangeur, doit donc être égale à 50 MHz.

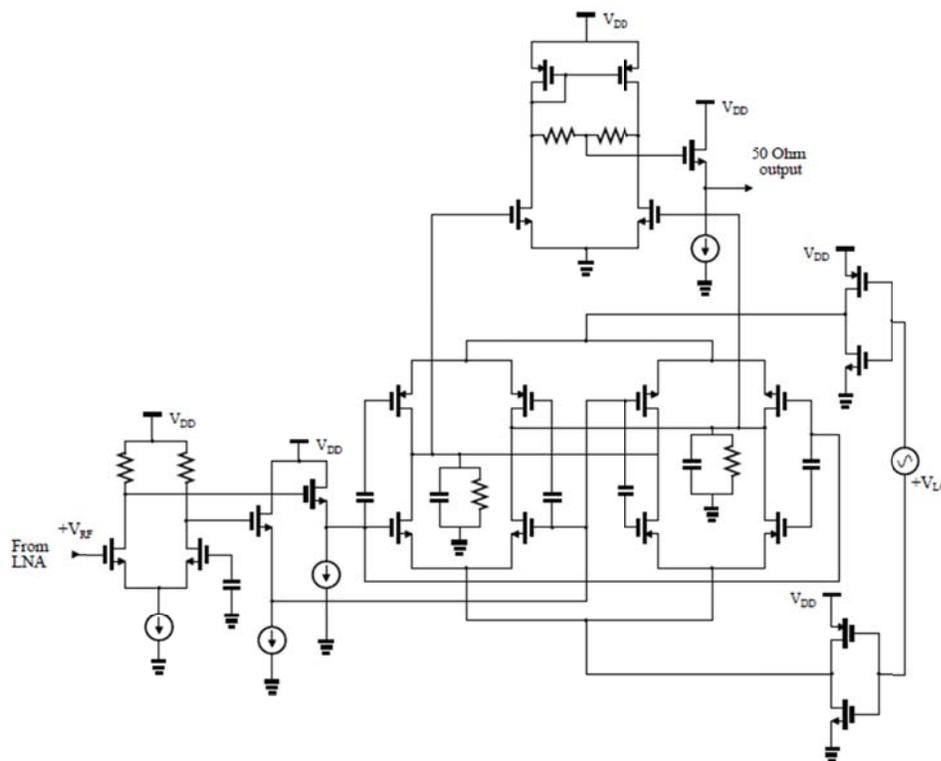


Figure 6.7 – Circuit complet du mélangeur double équilibré à transconductance « current-reuse » commutée

La Figure 6.8 représente l'abaque de Smith où sont portés les paramètres de réflexion en entrée et en sortie S_{11} et S_{22} du mélangeur. Le mélangeur est adapté à 50 Ω en entrée et en sortie. Pour les besoins de la simulation, le mélangeur est adapté en entrée en bande étroite autour de la fréquence 2.4 GHz avec une cellule LC.

La simulation transitoire est montrée par la Figure 6.9. L'amplitude du signal RF injecté en entrée du mélangeur est égale à 1 mV. On constate que, d'une part, l'amplitude du signal, en sortie du mélangeur, est de l'ordre 120 mV (240 mV crête à crête) est que la période du signal est de 20 nsec soit une fréquence de 50 MHz.

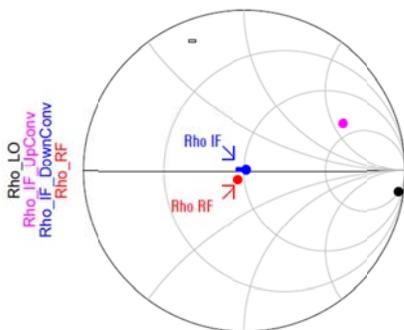


Figure 6.8 - Simulation des paramètres S du mélangeur - adaptation en entrée et en sortie du mélangeur à 50Ω

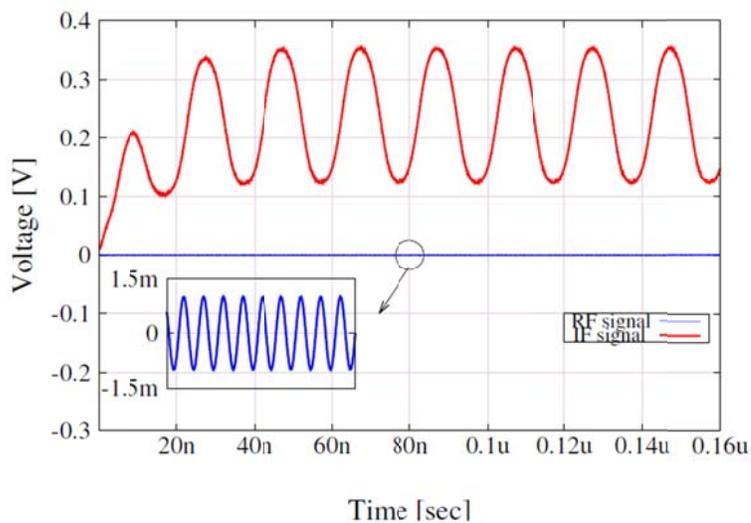


Figure 6.9 - Simulation transitoire du mélangeur

6.5 Simulations des performances

Les performances du mélangeur, en termes de gain de conversion, de bruit et de linéarité sont simulées avec « harmonique balance ».

6.5.1 Gain de conversion et Facteur de bruit

Le gain d'un récepteur est défini par l'amplificateur à faible bruit et le mélangeur qui sont les deux principaux contributeurs au gain. Un mélangeur qui offre un bon gain de conversion est généralement apprécié. Le gain de conversion atteint les 37 dB. Le gain est

essentiellement apporté par la cellule de transconductance du mélangeur, mais les baluns d'entrée et sortie contribuent également au gain de conversion.

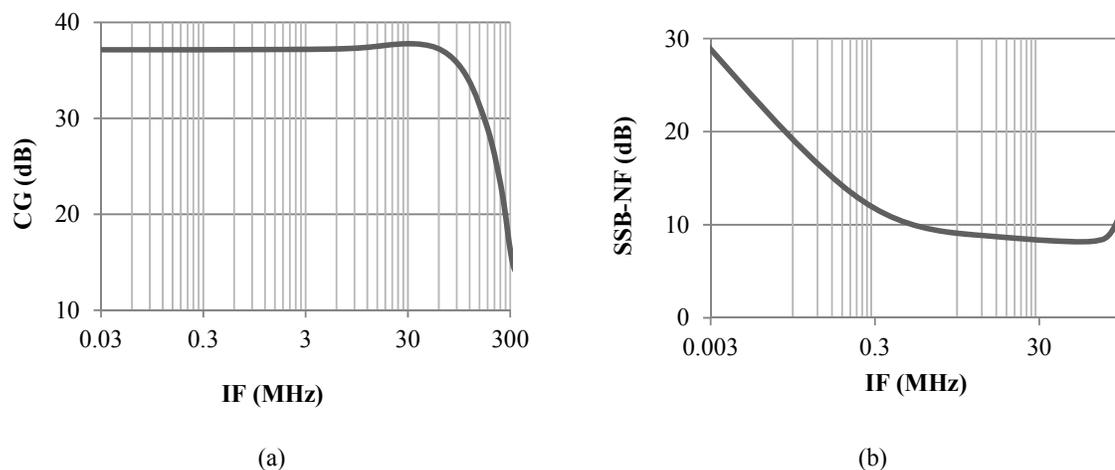


Figure 6.10 (a) Simulation du gain de conversion en tension du mélangeur, (b) Simulation du bruit Simple bande

Comme nous avons pu le voir dans le Chapitre 3, il existe deux types de bruit dans le mélangeur : le facteur de bruit double et simple bande. La Figure 6.10(b) donne la simulation du facteur de bruit simple bande. L'analyse Harmonic Balance du bruit donne un SSBNF de l'ordre de 8 dB, comme le montre la Figure 6.10(b).

6.5.2 Linéarité

La linéarité est une caractéristique extrêmement importante dans les mélangeurs. Nous rappelons que celle-ci est quantifiée par deux indicateurs, à savoir le point de compression et le point d'interception d'ordre 3. Leur simulation se fait également grâce à l'analyse « Harmonic-Balance ». Pour cela nous supprimerons le buffer de sortie ainsi que le balun de sortie, qui, comme nous l'avons déjà noté, ne sont pas nécessaires dans une chaîne de réception complète. La raison de cela est que le buffer et le balun de sortie dégradent considérablement la linéarité du mélangeur et n'ont de raison d'être que pour la recombinaison du signal et l'adaptation du mélangeur en sortie.

La Figure 6.11 illustre la compression du gain, tandis que la Figure 6.12 montre la tension de sortie de la fondamentale et de la troisième harmonique, en fonction de la puissance en entrée. On déduit simplement le point d'interception par extrapolation, qui est de l'ordre de -18 dBm. Le IIP3 de tout le Front End doit être supérieur à -32 dBm pour les standards 2.4 GHz.

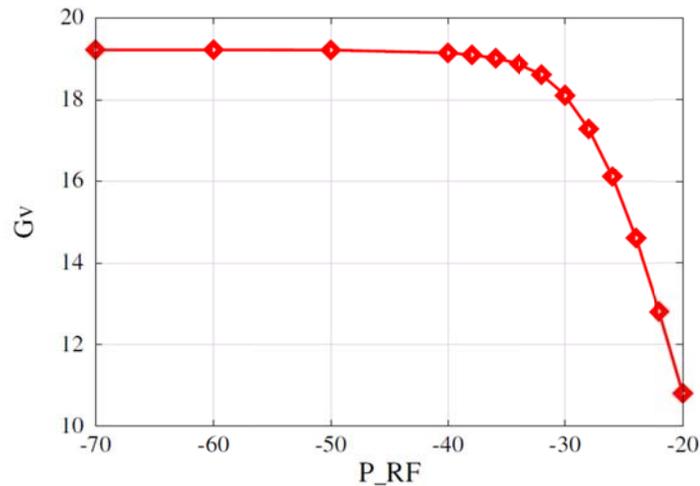


Figure 6.11 - simulation du gain de conversion en tension en fonction de la puissance d'entrée

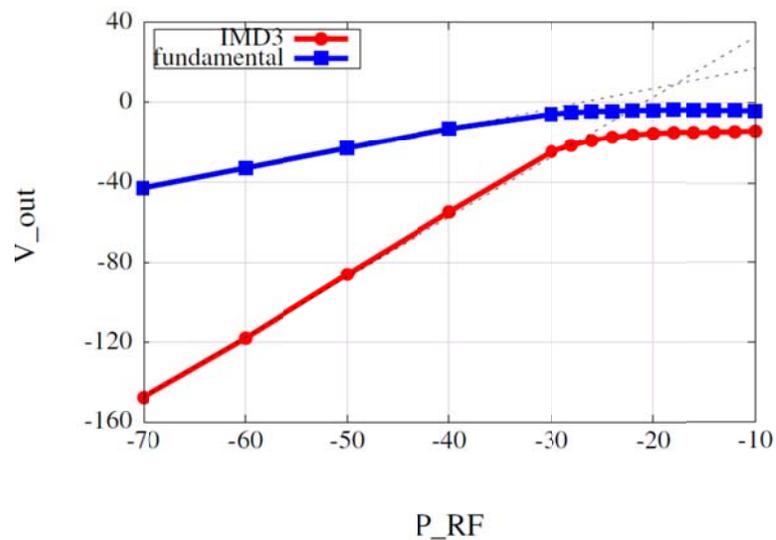


Figure 6.12 - Simulation de l'IIP3 du mélangeur

6.6 Comportement du mélangeur avec le LNA

Les simulations, présentées dans la section précédente, témoignent des performances du mélangeur seul, en termes de gain de conversion, de bruit et de linéarité. Toutefois, le comportement du mélangeur, dans des conditions réelles de fonctionnement doit être étudié. La première étape est de tester le mélangeur avec le LNA. Le mélangeur est testé avec un amplificateur sans inductances, conçu en technologie CMOS 0.13 μm de STMicroelectronics pour la fréquence 2.4 GHz. L'amplificateur à faible bruit utilise une inductance active

contrôlée par un « varactor » pour l'ajuster à la fréquence 2.4 GHz. Le LNA offre un NFmin de 2.6 dB, un NF de 3.2 dB et un gain en tension de 25 dB. Pour la simulation, le buffer de sortie du LNA est supprimé puisque ce dernier servait pour l'adaptation d'impédance. La Figure 6.13 montre les résultats de la simulation transitoire du couple LNA-mélangeur.

La simulation transitoire donnée par la Figure 6.13 permet de donner la tension à la sortie du mélangeur. Le signal en entrée du LNA est fixé à $250 \mu\text{V}$. On constate que l'amplitude du signal basse fréquence, en sortie du mélangeur, est de l'ordre de 120 mV (soit 240 mV crête à crête) comme pour le mélangeur seul. Cependant, l'amplitude du signal, injecté en entrée du LNA est de $250 \mu\text{V}$.

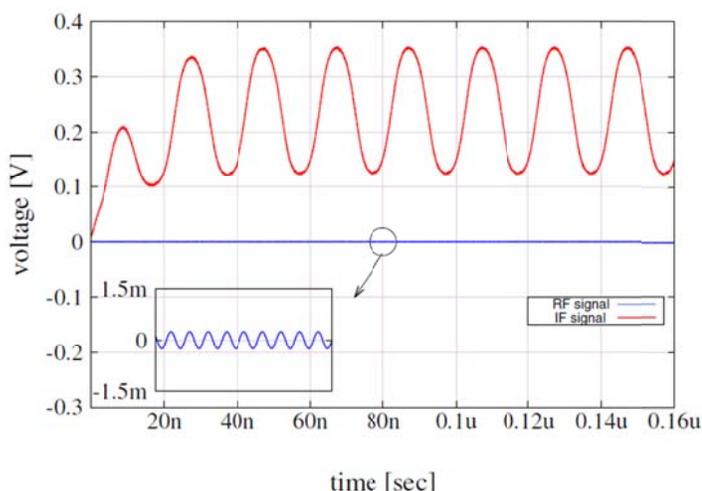


Figure 6.13 - Simulation transitoire du mélangeur + LNA

6.6.1 Gain de conversion et facteur de bruit

L'analyse "Harmonic Balance", effectuée grâce à l'ADS, donne une idée plus précise du gain de conversion en tension de la chaîne LNA-Mélangeur. Illustré par la Figure 6.14(a), le gain de conversion en tension de la chaîne atteint les 55 dB. La Figure 6.14(b) montre la simulation du bruit du couple LNA-mélangeur, le facteur de bruit dépasse à peine les 6 dB.

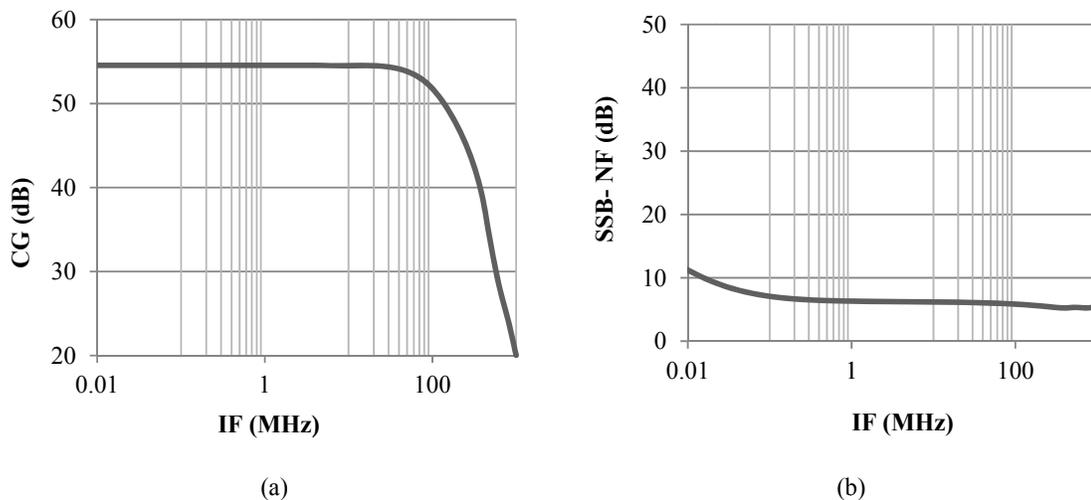


Figure 6.14 (a) Simulation du gain du récepteur, (b) Simulation du bruit simple bande du mélangeur + LNA

6.7 Gestion de l'alimentation (« Power gating »)

La technique du « power gating » est une technique de gestion de l'alimentation des circuits [9]. Empruntée au domaine de la conception numérique, elle consiste à allumer les circuits lorsqu'il y a des "1" logique à transmettre, ou à recevoir et éteindre les circuits lorsque on a des "0" logique. Cela permet un gain en consommation considérable. La technique du « power gating » est aussi utilisée en Radio Fréquence, et donne de très bons résultats en communication pulsée, comme IR-UWB. Mais son application en RF, avec des communications à porteuse, comme par exemple la modulation QPSK, est quasiment inexistante. La difficulté réside dans le temps d'établissement, qui doit être le plus court possible.

Le « power gating » est appliqué au mélangeur de la façon suivante : lorsque les sources de NMOS et du PMOS, qui constituent la cellule « current reuse », sont toutes deux mises à la masse, le mélangeur s'éteint car il n'y a plus de chemin pour le courant DC. La raison est qu'il n'y a aucune différence de potentiel entraînant la circulation du courant DC. Cette observation permet de contrôler le mélangeur. Le circuit de la Figure 6.15 montre le système de gestion de l'alimentation raccordé à l'accès LO du mélangeur, par le biais d'une porte de transmission complémentaire, constituée de M_3 et de M_4 .

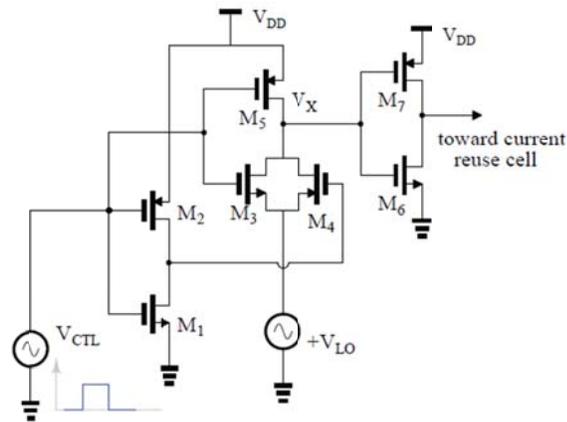


Figure 6.15 – Utilisation de la technique du « power gating » sur un inverseur

Le « power gating » est assuré par une tension de contrôle notée V_{ctl} . Lorsque cette dernière est au niveau haut, les transistors M_3 et M_4 sont tous deux passants, tandis que le transistor M_5 est bloqué, la tension V_X est alors égale à v_{LO} . Le mélangeur est, par conséquent, contrôlé par l'oscillateur local et en condition de fonctionnement normal. Lorsque la tension V_{ctl} passe au niveau bas, les transistors M_3 et M_4 deviennent bloqués et le transistor M_5 passant mettant ainsi la tension V_X à V_{DD} . La sortie de l'inverseur, constitué de M_6 et de M_7 , devient égale à 0 V ce qui a, pour effet, d'éteindre le mélangeur. La Figure 6.16 montre le schéma électrique du mélangeur avec la technique du « power gating »

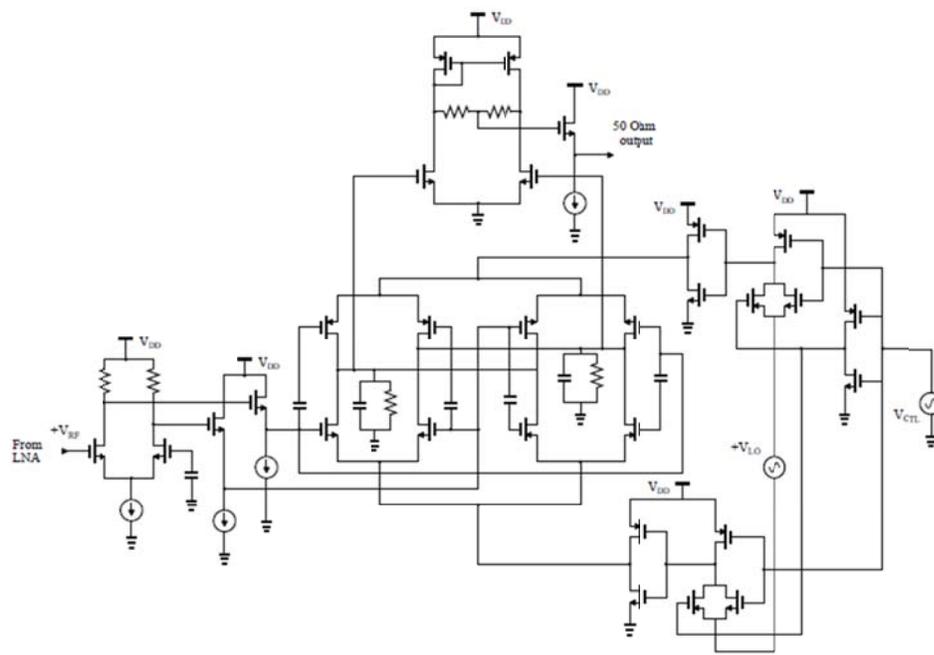


Figure 6.16 Circuit complet du mélangeur incluant la technique du « power gating »

Une autre solution pour appliquer le « power gating » serait de gérer l'alimentation du mélangeur, par le biais de l'oscillateur local, à condition de disposer d'un VCO adéquat. Pour arrêter le mélangeur, le VCO devra s'arrêter à V_{DD} mettant la sortie des inverseurs à "0" ce qui aura, pour effet, d'éteindre le mélangeur.

La Figure 6.17 montre la simulation transitoire du mélangeur et donne la forme du signal IF à la sortie du mélangeur. On peut distinguer clairement la période de fonctionnement du mélangeur et la période durant laquelle le signal IF est égale à 0V car le mélangeur est bloqué.

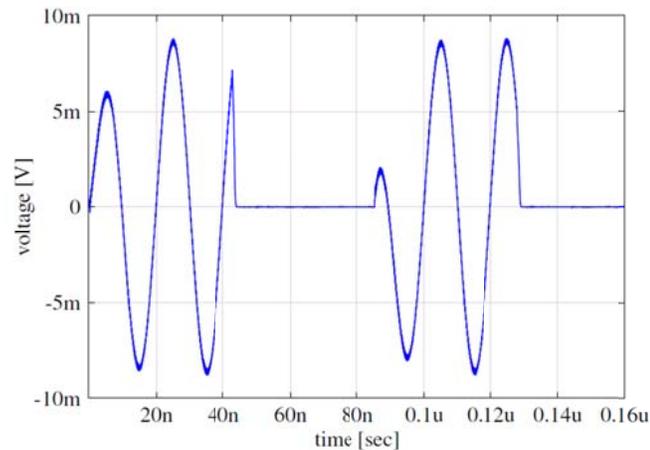


Figure 6.17 - Simulation transitoire du signal IF à la sortie du mélangeur avec « power gating »

6.8 Conclusion et perspectives

Il est important de connaître le débit binaire de l'application visée pour pouvoir fixer le temps d'établissement nécessaire. Quoiqu'il en soit, la structure choisie se prête bien à la technique du « power gating » comme le prouve la simulation transitoire de la Figure 6.17, car le circuit passe en mode de veille, en mettant les tensions V_1 et V_2 au même potentiel pour éviter tout passage de courant, ce qui réduit le temps de charge des transistors. Ce temps doit être optimisé davantage avant de prétendre à la réussite du « power gating » pour la bande 2.4 GHz. Un compromis entre le gain et la consommation de puissance, propre à cette structure doit être trouvé. En effet, les sorties des inverseurs de l'oscillateur local sont connectées à la source d'un transistor NMOS ou PMOS et non à la grille d'un transistor, comme c'est le cas en conception digitale. Les inverseurs doivent par conséquent être dimensionnés pour débiter un courant suffisant pour atteindre un gain élevé. De larges dimensions ralentissent

considérablement le circuit de contrôle, car il devient chargé avec une forte capacité. Le signal de contrôle, ainsi ralenti, entraîne des fuites de courant dans les inverseurs du LO, car il augmente le temps de commutation des inverseurs et, par conséquent leur consommation dynamique. Ce problème doit aussi être résolu avant d'estimer la consommation du mélangeur avec le « power gating ». Sans « power gating », le corps du mélangeur consomme un courant de l'ordre de 1.5 mA (sans la polarisation et les baluns) pour une tension d'alimentation de 1.2V.

Chapitre 7. Modèle pour Mélangeurs passifs

7.1 Introduction

Le principal inconvénient des mélangeurs actifs type cellule de Gilbert est le bruit $1/f$ [11]. Les travaux menés dans [12] ont montré que le bruit $1/f$ est proportionnel au courant DC qui traverse l'étage de commutation. Réduire ce dernier au minimum conduit à une réduction significative de bruit $1/f$ dans le récepteur. Les mélangeurs passifs ont été mis au point dans cette optique. Proposés par Redman-White dans [13] et implémenté pour la première fois en technologie CMOS par Castello et al. dans [14]. Dans les récepteurs à base de mélangeurs passifs, les commutateurs opèrent en région triode ce qui rend le mélangeur bidirectionnel et de ce fait, l'analyse du mélangeur est plus complexe.

Les récents travaux présentés dans les articles [43] et [44] ont prouvé l'existence d'interaction entre l'étage de bande de base et l'étage RF. Les performances du récepteur sont donc étroitement liées au choix de l'étage RF, mais aussi au choix de l'étage de bande de base. La Figure 7.1 résume les différentes architectures du récepteur quadratique à base de mélangeur passif. La Figure 7.1 (a) et la Figure 7.1(b) montrent respectivement le cas où un amplificateur faible bruit et une transconductance faible bruit, notée LNTA (« Low Noise Transconductance Amplifier »), sont utilisés. La Figure 7.1(c) montre le cas d'une autre architecture, dite « mixer-first », où le premier étage de la chaîne de réception est le mélangeur [45]. L'inconvénient majeur de cette architecture est sans aucun doute le facteur de bruit. Cependant, certains travaux proposent la conception de récepteur « mixer-first » qui présente un facteur de bruit de l'ordre de 3 dB au détriment d'une consommation de puissance élevée dans l'étage de bande de base [45]. La Figure 7.1(d) montre la structure conventionnelle d'un mélangeur passif simple équilibré. Celui-ci est constitué de deux commutateurs connectés à un transimpédance à base d'un amplificateur opérationnel noté OpAmp [46]. D'autres étages de bande de base peuvent être utilisés, comme celui qui est proposé dans l'article [47] où un filtre de Rauch est employé.

En raison de l'interaction entre les deux accès des commutateurs, il est difficile d'opter pour un choix judicieux de l'étage RF à utiliser. De même, le choix de l'étage de bande de base n'est pas évident à faire. Il est, par conséquent, désirable de disposer d'un modèle pouvant prédire les conséquences de cette interaction et de prédire les performances du récepteur. C'est dans cette optique que nous proposons un modèle pouvant être appliqué à la fois aux récepteurs à mélangeur passif conventionnel (avec un LNA ou un LTNA en amont) et aux récepteurs « mixer-first ».

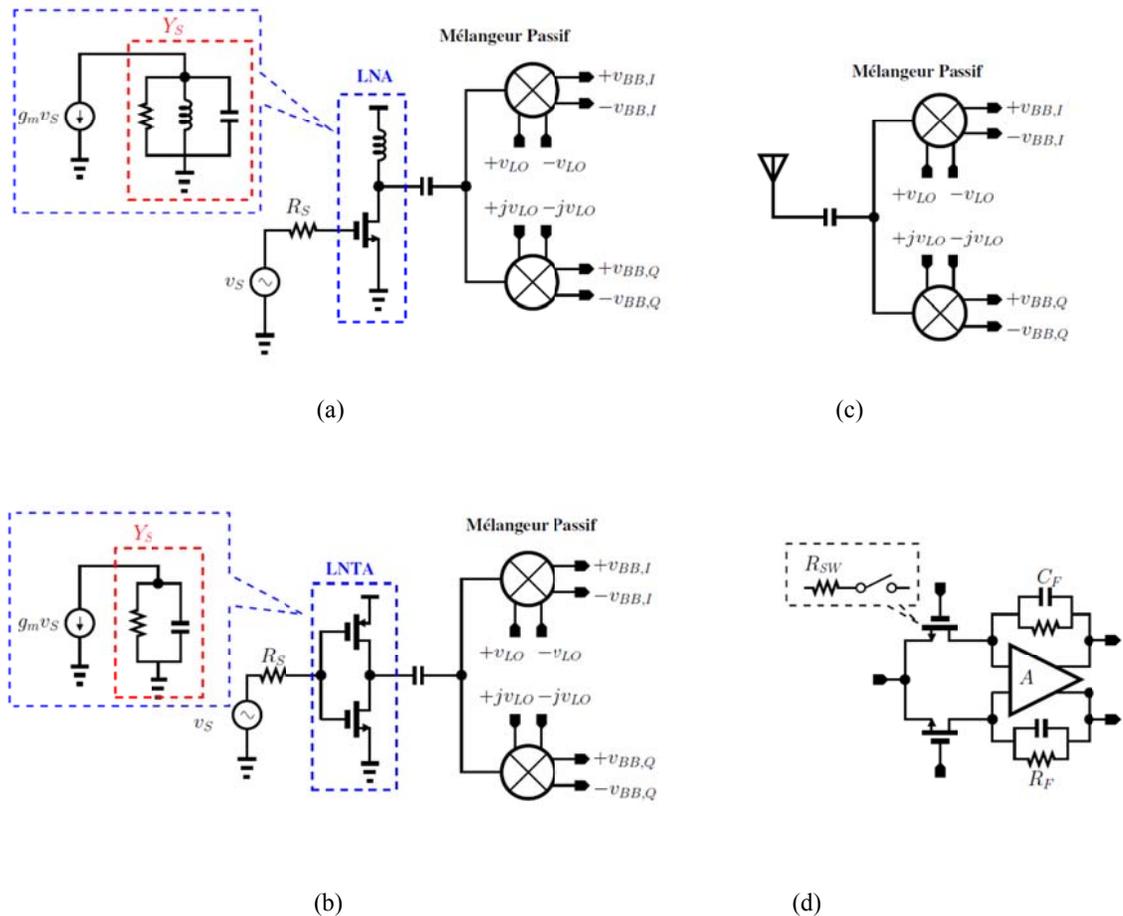


Figure 7.1 Récepteur à base de mélangeur passif : (a) récepteur quadratique à base de LNA, (b) récepteur quadratique à base de LNTA, (c) récepteur quadratique de type « mixer-first », (d) mélangeur passif à transimpédance à base d'amplificateur opérationnel (OpAmp)

7.2 Choix du rapport cyclique du signal LO.

Le courant à la sortie de l'étage RF est transposé en fréquence vers les basses fréquences. En raison de l'absence d'isolation entre les deux accès, le courant peut aussi revenir vers l'étage RF et être transposé vers les fréquences RF à nouveau. L'étage RF est

généralisé par une source de courant $g_m v_s$ en parallèle avec son impédance de sortie. Comme dans tout récepteur quadratique, le récepteur nécessite l'utilisation de quatre phases LO, chacune déphasée par rapport aux autres d'un quart de période comme montré sur la Figure 7.2. Si le signal LO utilise un rapport cyclique de 50%, on observe un laps de temps durant lequel deux commutateurs situés sur la voie I et Q sont passants en même temps. Ce temps est appelé « temps d'équilibre ». Durant ce temps, une fuite croisée entre la voie I et la voie Q est observée, ce qui conduit à une dégradation du gain, du bruit et de la linéarité [46]. Cette dégradation des performances a motivé l'utilisation de rapport cyclique de 25%.

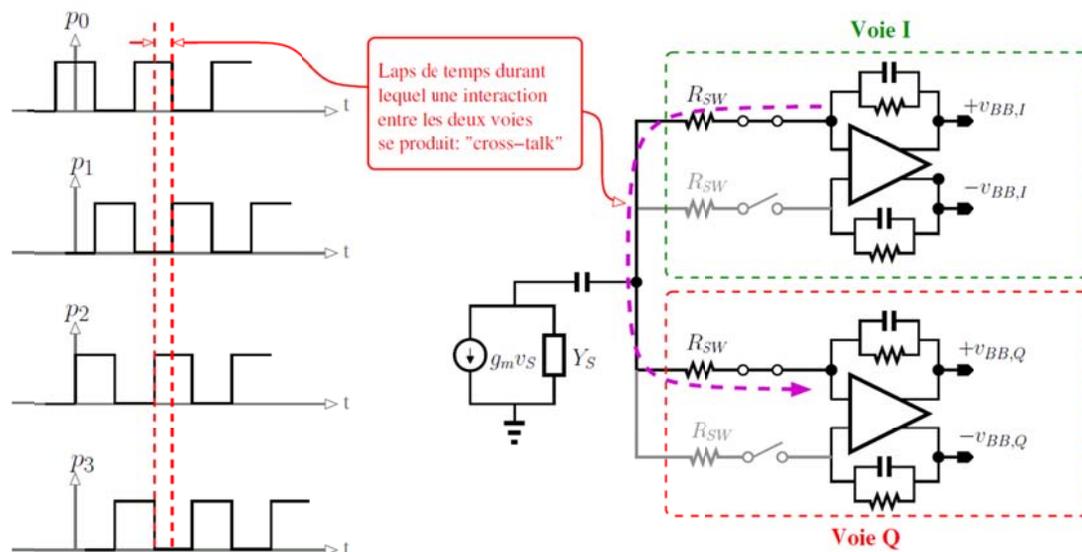


Figure 7.2 Phénomène de « cross-talk » dans le cas d'un rapport cyclique de 50% dans un récepteur quadratique. En effet, en choisissant un rapport cyclique de 25%, le temps d'équilibre est réduit à zéro. Cependant, le modèle, développé dans ce chapitre, montre que cette interaction subsiste en raison de l'interaction entre les deux étages RF et bande de base.

Le modèle proposé est construit en deux étapes :

1. Modéliser l'interaction des deux étages, que nous appelons « l'interaction d'impédances » décrite dans la section 7.3.1
2. Ramener l'étage RF en bande de base, d'où le nom du modèle dans la section suivante

Le modèle sera ensuite validé par diverses simulations qui montrent la précision et la robustesse du modèle en comparant les résultats obtenus avec le circuit réel.

7.3 Le modèle en bande de base

7.3.1 L'interaction d'impédances

Dans notre modèle, les transistors de commutation sont représentés par des interrupteurs en série avec une résistance notée R_{SW} . Ces interrupteurs sont actionnés par un signal rectangulaire ayant un rapport cyclique de 25% notée $p_m(t)$, comme le montre la Figure 7.3(a). Chaque commutateur est fermé pendant un quart de période, par conséquent, l'admittance de l'étage RF ne voit qu'un seul commutateur à un instant donné. Dans ce cas-là, les résistances série des quatre commutateurs sont confondues en une seule résistance, placée avant le nœud v_{RF} , comme illustré par la Figure 7.3.

En appliquant le théorème de Miller à l'étage de bande base dans la Figure 7.1(d), on trouve son impédance d'entrée, représentée par une cellule RC comme le montre la Figure 7.3(b), où $R_B \approx R_F / A$ et $C_B \approx AC_F$. A représente le gain en tension de l'amplificateur opérationnel.

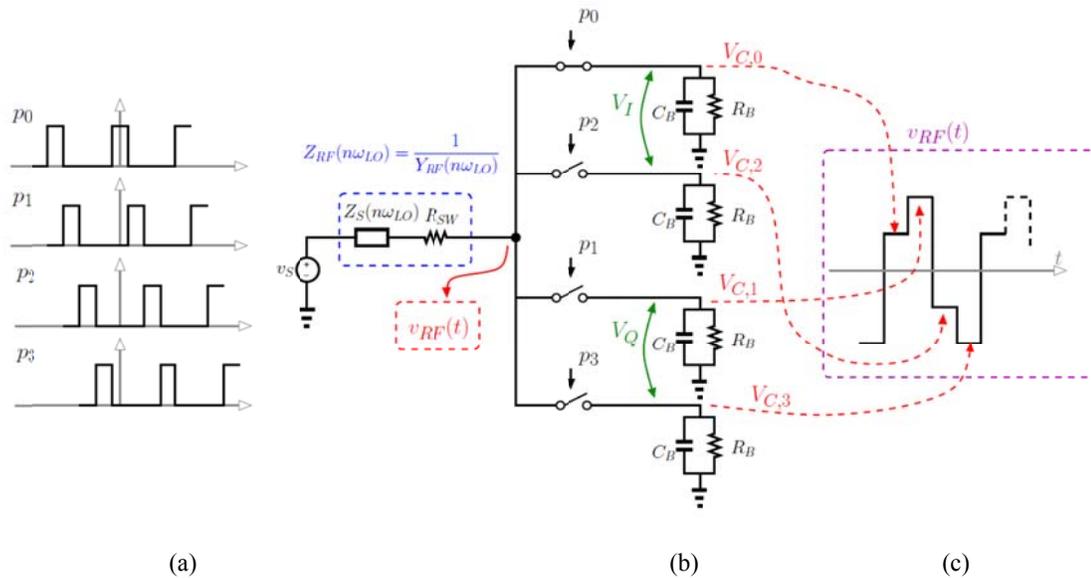


Figure 7.3 (a) signal LO avec un rapport cyclique de 25% représenté dans le domaine temporel, (b) Modèle équivalent simplifié d'un récepteur quadratique à base de mélangeur passif, (c) spectre du signal $v_{RF}(t)$

La tension v_{RF} , illustrée par la Figure 7.2(b), est égale à la tension aux bornes de la capacité $C_{B,0}$ durant un quart de période, puis à la tension aux bornes de la capacité $C_{B,1}$ durant le quart de période suivant, et ainsi de suite.

La première étape de notre modèle consiste à calculer le spectre v_{RF} en fonction des tensions $V_{C,m}$ illustrées sur la Figure 7.2(c). Le spectre de la tension virtuelle RF est calculé comme suit:

$$v_{RF}(t) = \sum_{m=0}^3 V_{C,m} p_m(t) \quad (7.1)$$

où $V_{C,m}$ ($m=0,1,2,3$) représentent les quatre tensions aux bornes des capacités de bande de base comme illustré sur la Figure 7.3(c). Étant donné l'absence d'isolation entre les accès RF et IF, le courant RF, abaissé en fréquence autour du DC (nous supposons le cas d'un récepteur à conversion directe), peut revenir vers l'accès RF à travers les commutateurs et de ce fait, il est élevé en fréquence vers la fréquence LO ainsi que ses harmoniques. La fonction de modulation $q_m(t)$ est exprimée par sa série de Fourier complexe [48]:

$$p_{n,m}(t) = \sum_{n=-\infty}^{\infty} c_{m,n} e^{jn\omega_{LO}t} \quad (7.2)$$

avec les coefficients complexes $c_{n,m}$ donnés par:

$$c_{m,n} = e^{-j(\pi/2)mn} \frac{2}{T_{LO}} \int_{-T_{LO}/2}^{T_{LO}/2} p_m(t) e^{-jn\omega_{LO}t} dt \quad (7.3)$$

Nous obtenons:

$$p_{n,m}(t) = \frac{1}{4} + \sum_{n=1}^{\infty} \frac{2}{n\pi} \sin\left(\frac{n\pi}{4}\right) \cos\left(n\omega_{LO}t - nm\frac{\pi}{2}\right) \quad (7.4)$$

Remplacer (7.4) dans (7.1), permet d'exprimer le spectre RF de la Figure 7.3(c), en fonction des quatre tensions de bande de base $V_{C,m}$, lesquelles sont exprimées sous la forme différentielle V_I et V_Q , définies respectivement par:

$$V_I = V_{C,0} - V_{C,2} \quad (7.5)$$

$$V_Q = V_{C,1} - V_{C,3} \quad (7.6)$$

Nous obtenons :

$$v_{RF}(t) = \sum_{n=1}^{\infty} \frac{2}{n\pi} \cos(n\omega_{LO}t) \sin\left(\frac{n\pi}{4}\right) V_I + \sum_{n=1}^{\infty} \frac{2}{n\pi} \sin(n\omega_{LO}t) \cos\left(\frac{n\pi}{4}\right) V_Q \quad (7.7)$$

Le courant $i_{RF}(t)$ qui traverse R_{SW} est donné par :

$$i_{RF}(t) = Y_{RF}(\omega_{LO})v_S(t) - Y_{RF}(n\omega_{LO})v_{RF} \quad (7.8)$$

Les capacités C_B (voir Figure 7.3(c)) déchargent une quantité de charges Q_m à travers les résistances R_B égale à $T_{LO}V_{c,m}/R_B$, tandis que le courant RF transposé en bande de base par les commutateurs apporte une compensation de charge. Cette conservation de charge est donnée par l'équation suivante [43]:

$$Q_m = \frac{V_{C,m}T_{LO}}{R_B} = \int_{-T_{LO}/2}^{+T_{LO}/2} i_{RF}(t) \times p_{m,n}(t) dt \quad (7.9)$$

On déduit la tension aux bornes de chaque capacité C_B

$$V_{C,m}(t) = \frac{R_B}{T_{LO}} \times \int_{-T_{LO}/2}^{+T_{LO}/2} i_{RF}(t) \times p_{m,n}(t) dt \quad (7.10)$$

En remplaçant (7.8) dans (7.10), nous pouvons alors calculer les tensions V_I et V_Q qui permettent de déterminer les courants de bande de base dans les voies I et Q selon les expressions suivantes :

$$I_{B,I} = \frac{V_I}{R_B} = G_{SH}V_I + G_{CT}V_Q + \frac{\sqrt{2}}{\pi} Y_{RF}(\omega_{LO})v_S \quad (7.11)$$

$$I_{B,Q} = \frac{V_Q}{R_B} = G_{CT}V_I + G_{SH}V_Q + j \frac{\sqrt{2}}{\pi} Y_{RF}(\omega_{LO})v_S \quad (7.12)$$

où la conductance G_{SH} et la transconductance G_{CT} sont données respectivement par les équations :

Ces équations apportent la lumière sur l'interaction d'impédances RF et bande de base. Deux constats émergent :

1. L'impédance shunt prend en compte l'effet de charge du à l'impédance RF aux différentes fréquences d'harmoniques représentées par la partie réelle.
2. Le modèle proposé montre que le récepteur quadratique présente un « cross talk » entre les voies I et Q en dépit de l'utilisation du rapport cyclique de 25% voire plus faible. Ce « cross talk » se produit en raison de la partie imaginaire de $Y_{RF}(n\omega_{LO})$. Intuitivement, cela s'explique par le fait que la partie réactive de $Y_S(n\omega_{LO})$, supposée purement capacitive (cette supposition est justifiée dans la section 7.3.3), est chargée par le courant de la voie I durant un quart de période LO et se décharge ensuite durant le quart suivant dans la voie Q, et vice-versa. Ce phénomène est représenté dans le modèle illustré par la Figure 7.4 par une transconductance croisée et notée G_{CT} .

7.3.2 Description du modèle final

Considérons le cas typique où l'impédance de sortie de l'étage RF est un circuit RLC parallèle résonant à la pulsation ω_{LO} . Son admittance est donnée par:

$$Y_S(\omega_{RF}) = \frac{1}{R_S} + jC_{RF}\omega_{RF} - j\frac{1}{L\omega_{RF}} \quad (7.17)$$

où la fréquence du signal RF est exprimée en fonction de la fréquence LO et de la fréquence de sortie ($\omega_{RF} = \omega_{LO} + \omega_{IF}$). En remplaçant la valeur de l'inductance par $1/(C_{RF}\omega_{LO}^2)$, et en supposant que $\omega_{IF} \ll \omega_{LO}$, l'admittance évaluée à la fréquence de sortie est approximée comme suit :

$$Y_S(\omega_{IF}) \approx \frac{1}{R_S} + j2C_{RF}\omega_{IF} \quad (7.18)$$

Le modèle donné par la Figure 7.4 est complété en ajoutant l'admittance $Y_S(\omega_{IF})$. Le mélangeur passif est constitué d'une combinaison de commutateurs qui accomplissent trois fonctions: transposition de fréquence, conversion d'un signal simple phase à phases multiples (signal quadratique et différentiel), et une réduction (ou augmentation) de l'impédance. L'opération de transposition de fréquence est intégrée au modèle de façon intrinsèque puisque la source v_s du signal RF est en basse fréquence.

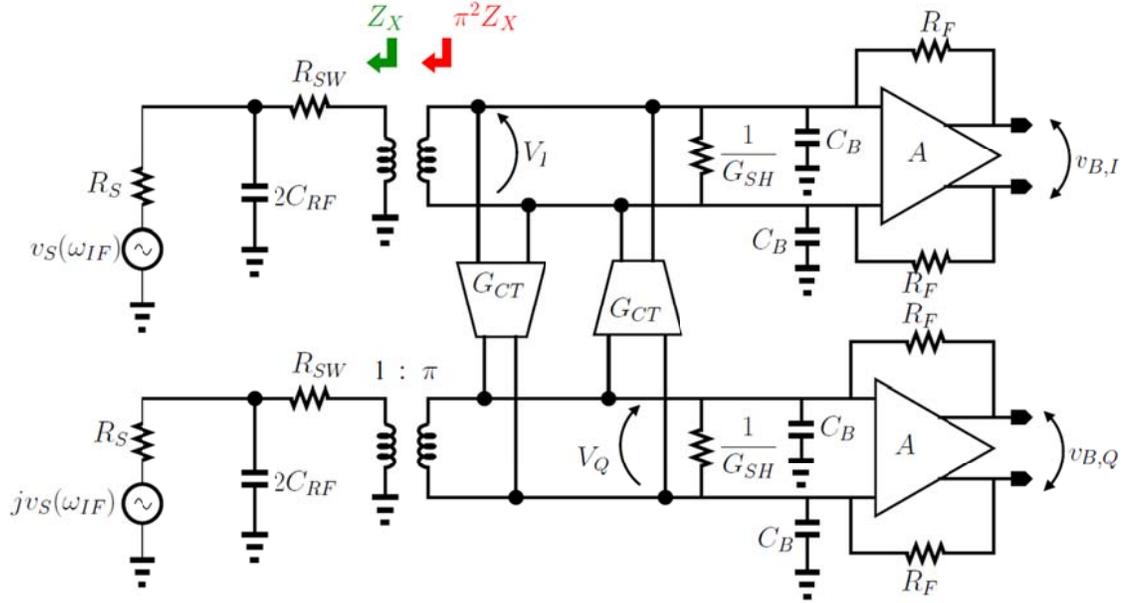


Figure 7.5 Modèle complet équivalent en bande de base du mélangeur passif.

Quant aux deux autres fonctions, elle sont représentées par un transformateur idéal de rapport $1 : \pi$. Ce rapport représente en fait le gain en courant introduit pas les commutateurs qui est de $1/\pi$ dans le cas d'un rapport cyclique de 25%. Le transformateur montre que l'impédance RF est transposée en bande de base avec un facteur π^2 . Ce résultat est en concordance avec le calcul établi dans l'article [46].

7.3.3 Mélangeur passif drainé par une transconductance (LNA)

Les équations (7.15) et (7.16) expriment G_{SH} et G_{CT} sous la forme de série. Afin de pouvoir vérifier l'exactitude du modèle proposé dans la Figure 7.5 par simulation, les séries (7.15) et (7.16) doivent être estimées en reprenant les mêmes conditions de la section 7.3.2 où l'inductance est choisie pour résonner avec la capacité C_{RF} à ω_{LO} . Cependant, aux fréquences plus élevées, en l'occurrence celles des harmoniques, l'admittance de la source est dominée par la capacité C_{RF} . Dans ce cas-là, l'inductance peut être supposée être un circuit ouvert aux fréquences d'harmoniques. $Y_{RF}(n\omega_{LO})$ (pour $n > 1$) se réduit par conséquent à la résistance R_S en parallèle avec la capacité C_{RF} plus la résistance série des commutateurs comme le montre l'équation (7.19).

$$Y_{RF}(n\omega_{LO}) \approx \left(R_{sw} + \frac{R_s}{1 + jn\omega_{LO}C_{RF}R_s} \right)^{-1} \quad (7.19)$$

De ce fait, le « cross talk » IQ aux fréquences d'harmoniques est produit par la capacité C_{RF} qui se charge et se recharge alternativement entre la voie I et Q, ce qui conduit à la représentation de la Figure 7.5. En se basant sur l'expression de l'admittance donnée dans (7.19), les séries G_{SH} et G_{CT} peuvent être estimées aux harmoniques où l'effet de l'inductance est négligée. Grâce à un logiciel, nous avons établi les expressions finales de G_{SH} et G_{CT} :

$$G_{SH} = \frac{1}{\pi^2(R_s + R_{SW})} \left\{ \frac{\pi^2 - 8}{8} + \frac{R_s}{R_{SW}} \left[\frac{\pi \tanh\left(\frac{a\pi}{2}\right)}{4a} - \frac{1}{1+a^2} \right] \right\} \quad (7.20)$$

$$G_{CT} = \frac{2f_{LO}C_{RF}}{\pi} \left(\frac{R_s}{R_s + R_{SW}} \right)^2 \left[\frac{\pi}{4} \left(1 - \frac{1}{\cosh\left(\frac{a\pi}{2}\right)} \right) - \frac{a^2}{1+a^2} \right] \quad (7.21)$$

Avec :

$$a = \frac{1}{\omega_{LO}C_{RF}R_s \parallel R_{SW}} \quad (7.22)$$

Les expressions (7.20) et (7.21) peuvent être approximées selon que la valeur de C_{RF} soit faible ou élevée:

1. Cas où C_{RF} est faible :

$$G_{SH} \approx \frac{1/8 - 1/\pi^2}{R_s + R_{SW}} \quad (7.23)$$

$$G_{CT} \approx \left(\frac{1}{2} - \frac{2}{\pi} \right) \left(\frac{R_s}{R_s + R_{SW}} \right)^2 f_{LO}C_{RF} \quad (7.24)$$

2. Cas où C_{RF} est grande :

$$G_{SH} \approx \frac{1/8 - 1/\pi^2}{R_{SW}} \quad (7.25)$$

$$G_{CT} \approx \frac{1}{\omega_{LO} R_{SW}^2 C_{RF}} \left(\frac{\pi}{32} - \frac{1}{\pi^2} \right) \quad (7.26)$$

La Figure 7.6 donne les courbes de $1/G_{SH}$ et $1/G_{CT}$, données par les expressions (7.20) à (7.26), en fonction de C_{RF} pour $f_{LO} = 2$ GHz, $R_S = 50\Omega$ et $R_{SW} = 20\Omega$. Ceci nous permet de trouver les intervalles de C_{RF} pour lesquelles les approximations sont valables.

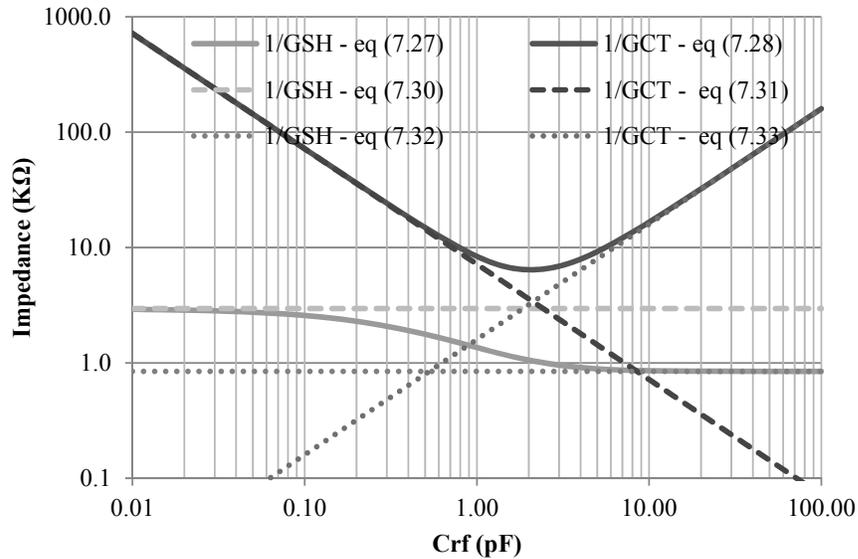


Figure 7.6 Impédance de Shunt ($f_{FLO} = 2$ GHz, $R_s = 50\Omega$, $R_{SW} = 20\Omega$)

La résistance d'entrée RF est représentée dans le modèle par la résistance d'entrée de l'étage de bande de base R_B , en parallèle avec $1/G_{SH}$. Sans l'effet de la capacité C_{RF} , supposée négligeable dans ce cas-ci, les voies I et Q ne présentent pas d'interaction, ce qui se traduit par une transconductance G_{CT} qui tend vers zéro.

Si la fréquence RF ou la capacité d'entrée est supposée de forte valeur, cette dernière devient un court-circuit aux fréquences d'harmoniques. Cela se traduit dans le modèle par $G_{CT} = 0$, ce qui signifie que, dans ce cas-là, l'interaction entre les voies I et Q ne se produit pas car l'impédance de la capacité d'entrée C_{RF} court-circuite les fréquences d'harmonique, ce qui réduit considérablement l'interaction IQ. Les suppositions suscitées sont justifiées par

le tracé de la Figure 7.6 qui montre la concordance des expressions générales de G_{SH} et G_{CT} données par (7.20) et (7.21), avec leurs approximations.

7.4 Validation du modèle

L'impédance d'entrée du récepteur est très importante dans le cas d'une topologie « mixer-first » où le mélangeur passif doit être adapté à l'impédance du générateur [43]. Le modèle proposé est capable d'estimer l'impédance d'entrée du mélangeur avec une précision remarquable. La Figure 7.7 montre le tracé de l'impédance d'entrée à la fois du mélangeur passif et du modèle donné dans la Figure 7.5 en fonction de la fréquence IF et ce, pour différentes valeurs de la bande passante. Pour une résistance de bande de base égale à 200Ω , les valeurs de 5MHz, 16 MHz et 28 MHz correspondent respectivement à C_B égale à 160pF, 50 pF et 28 pF.

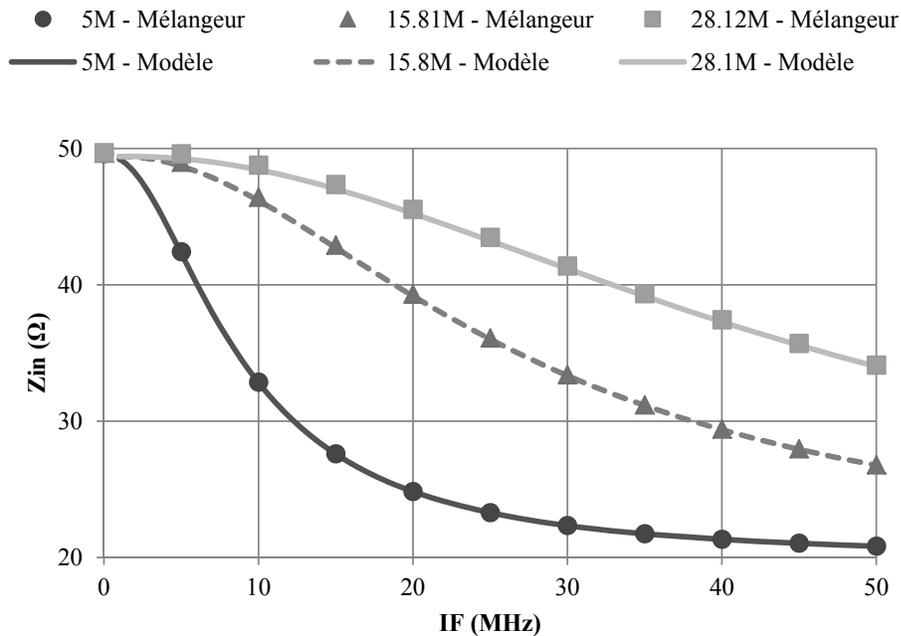


Figure 7.7 Impédance d'entrée du récepteur et du et du modèle équivalent en fonction de la fréquence de sortie pour différentes bandes passantes RC , $f_{LO} = 2GHz$, $R_S = 50\Omega$, $C_{RF} = 2pF$, $R_{SW} = 20\Omega$, $R_B = 200\Omega$

La Figure 7.8 montre la variation du gain de conversion en fonction de la fréquence de sortie IF du mélangeur passif et le gain de conversion prédit par le modèle. Cette simulation montre une fois encore la précision du modèle.

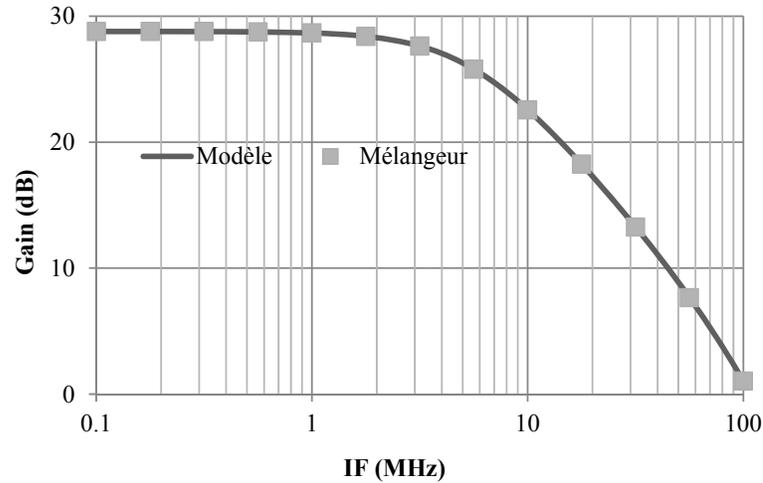


Figure 7.8 Gain de conversion du mélangeur passif et du modèle en fonction de IF

La Figure 7.9 donne la variation du gain transimpédance de l'étage de bande de base en fonction de la capacité d'entrée RF. Les résultats de la simulation, illustrés par la Figure 7.9, ont pour but de vérifier l'effet de G_{CT} dans le modèle de la Figure 7.5. Deux simulations sont présentées : le gain transimpédance v_I/i_I et le gain transimpédance v_I/i_Q qui représente l'interaction entre la voie I et Q et ce, pour deux conceptions (voir Figure 7.9).

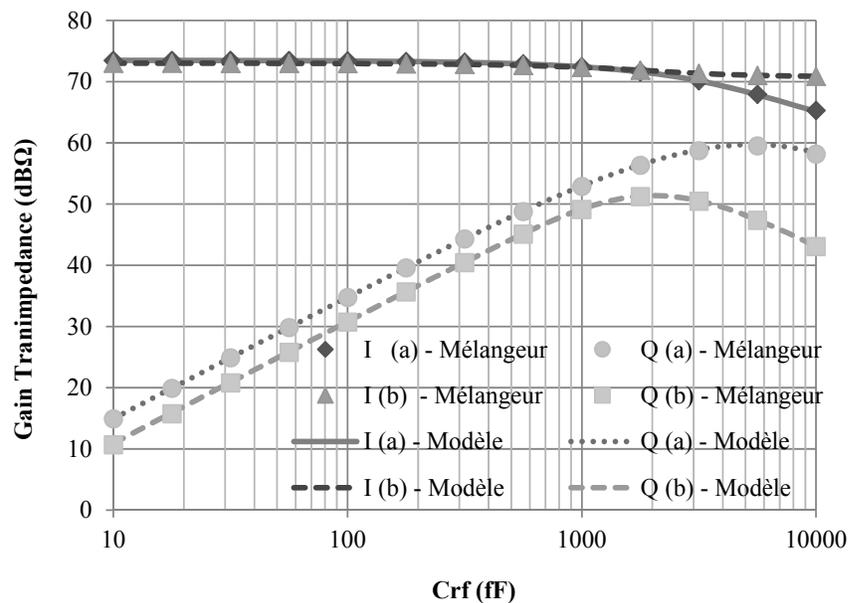


Figure 7.9 Le gain transimpédance estimé de la voie I à la voie Q en fonction de la capacité RF : Conception

(a) : $R_{sw} = 5\Omega$, $R_S = 2K\Omega$, Conception (b) : $R_{sw} = 40\Omega$, $R_S = 200\Omega$.

Le gain transimpédance d'interaction augmente au fur et à mesure que C_{RF} augmente. En effet, l'expression (7.24) montre que G_{CT} est proportionnelle à C_{RF} , ce qui

explique l'évolution proportionnelle du gain transimpédance v_I / i_Q avec la capacité C_{RF} . En revanche, lorsque la capacité C_{RF} prend des valeurs élevées, l'expression (7.26) montre que G_{CT} devient inversement proportionnelle à C_{RF} ce qui explique la chute du gain à nouveau. Cette simulation confirme l'explication intuitive avancée à la section 7.3.1. G_{CT} est également inversement proportionnelle à R_{SW} , ce qui explique la chute, plus conséquente, du gain transimpédance v_I / i_Q dans le cas de la conception (b).

7.5 Le facteur de bruit

La simulation du facteur de bruit du mélangeur passif et du modèle en fonction de la fréquence de sortie est donnée par la Figure 7.10. Dans cette simulation, nous avons choisi $C_{RF} = 1$ pF, et une bande passante de 20 MHz pour une $f_{LO} = 2$ GHz.

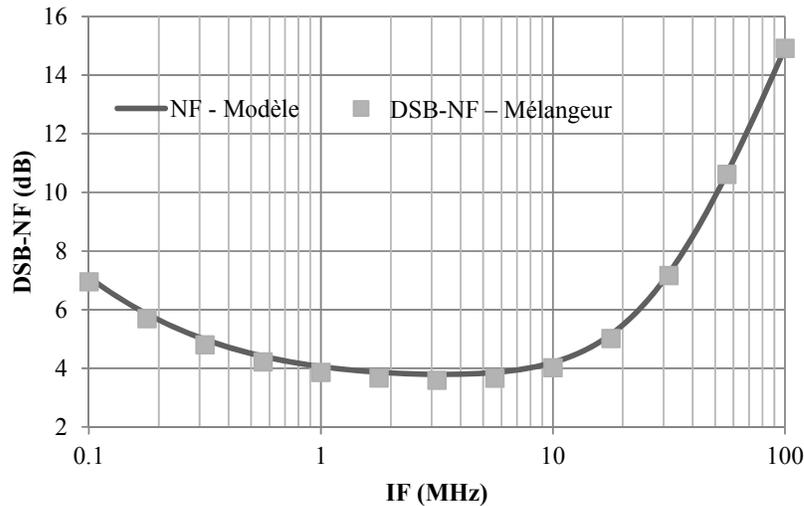


Figure 7.10 Simulation du NF en fonction de IF

La Figure 7.11 montre la comparaison entre le gain de conversion du modèle proposé et le gain de conversion du mélangeur passif en fonction de la résistance des commutateurs pour deux valeurs de C_{RF} , tandis que la Figure 7.12 présente la comparaison du facteur de bruit du modèle proposé avec le facteur de bruit du récepteur dans les mêmes conditions. Dans les deux cas, la simulation du gain de conversion et du NF montre une précision remarquable du modèle. Le mélangeur passif présente différents comportements en fonction de la valeur de C_{RF} :

1. Si la capacité RF est relativement faible (1 pF le cas de la simulation), la résistance R_{sw} agit essentiellement sur le gain du mélangeur. Une légère amélioration du NF est observée si on réduit R_{sw} . En effet, réduire R_{sw} revient à réduire son bruit et augmenter le courant et donc le gain de conversion.
2. Le même phénomène est observé pour des valeurs élevées de C_{RF} . Cependant, lorsqu'on réduit R_{sw} de façon conséquente, l'impédance de shunt diminue, ce qui court-circuite le signal, d'où l'affaiblissement du gain et l'accroissement du facteur de bruit.

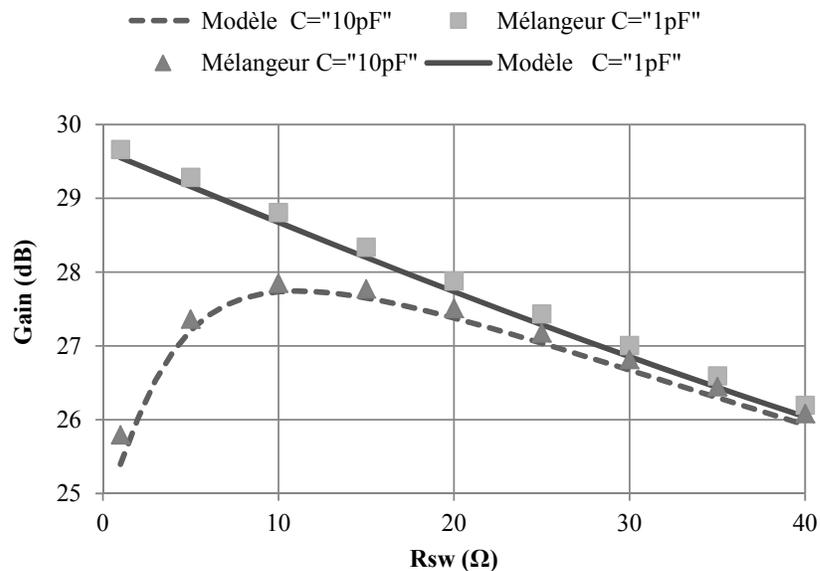


Figure 7.11 Simulation du Gain en fonction de R_{sw}

Dans le cas d'un mélangeur passif conventionnel (avec LNA), augmenter la taille des commutateurs pour augmenter la linéarité conduit à la dégradation du bruit, car cela fait augmenter la capacité parasite, ce qui par la même occasion réduit le gain en amont. Le bruit de l'étage de bande de base augmente en conséquence. Pour résoudre ce problème, la linéarité peut être augmentée en réduisant la résistance d'entrée du transimpédance, et en augmentant la consommation de puissance pour réduire le bruit.

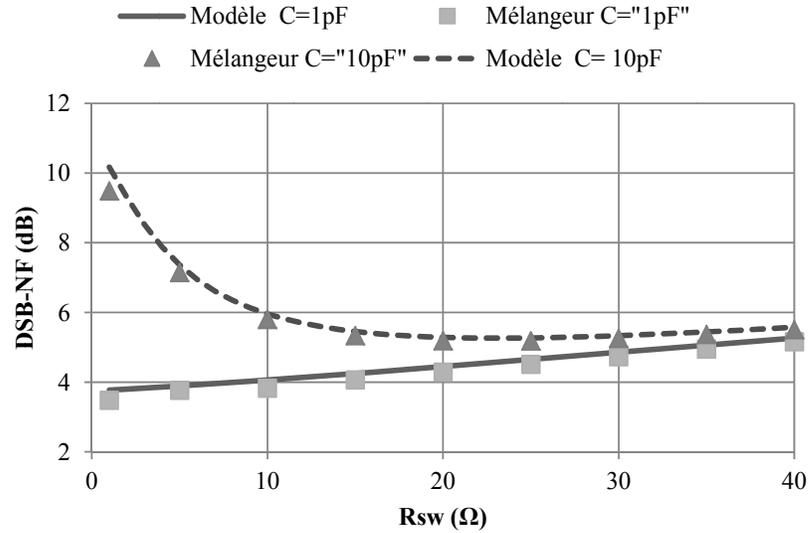


Figure 7.12 Simulation de NF en fonction de R_{sw}

7.6 Linéarité

La simulation de l'IIP3 est effectuée en injectant deux fréquences à l'entrée du récepteur et du modèle f_1 et f_2 séparées l'une de l'autre par $\Delta f / 2$. (c-à-d $f_2 = f_1 + \Delta f / 2$), Pour la simulation de l'IIP3 du modèle, f_1 et f_2 sont respectivement fixées à 10 MHz et 19 MHz. Tandis que pour la simulation de l'IIP3 du récepteur, f_1 et f_2 sont fixées à 2.01 GHz et 2.019 GHz, avec $f_{LO} = 2$ GHz. Dans les deux cas, la fréquence d'intermodulation à la sortie de l'étage de transimpédance est égale à 1 MHz plus Δf . L'IIP3 est très dépendant de la fréquence d'offset Δf .

La Figure 7.13 donne la simulation de l'IIP3 en fonction de la fréquence d'offset. Lorsque cette fréquence est large, la fréquence d'intermodulation est absorbée par la capacité shunt de la bande de base (court-circuit), ce qui augmente l'IIP3.

La Figure 7.14 montre la variation de l'IIP3 en fonction de R_{sw} pour une faible et large valeur de C_{RF} . Lorsque R_{sw} est faible, l'impédance de shunt proportionnelle à cette dernière diminue considérablement en particulier lorsque la capacité RF est large ce qui est bénéfique pour l'IIP3. En effet, en réduisant l'impédance de bande de base, la tension qui excite l'entrée de l'amplificateur opérationnel diminue considérablement, ce qui a pour résultat de réduire ses distorsions. Cependant, la réduction de R_{sw} entraîne l'augmentation de

G_{CT} comme le montre les expressions (7.24) et (7.26). Par conséquent, le courant injecté dans la voie I (voir Figure 7.5) augmente la tension à l'entrée de OpAmp et de ce fait, fait chuter l'IIP3

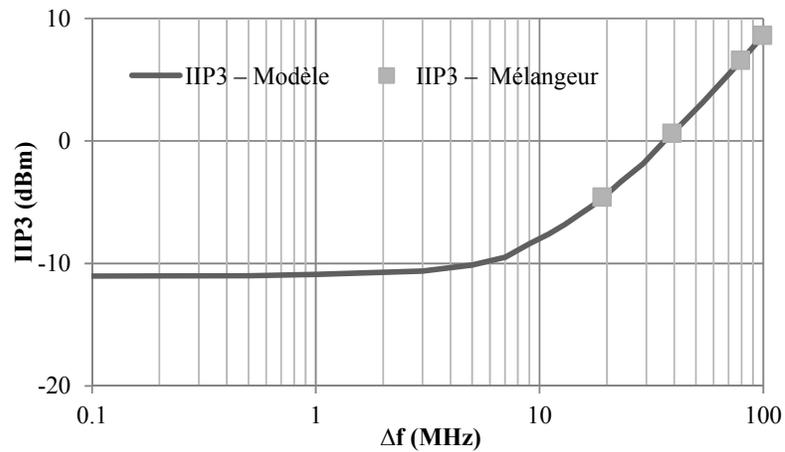


Figure 7.13 Simulation de l'IIP3 en fonction de l'offset en fréquence

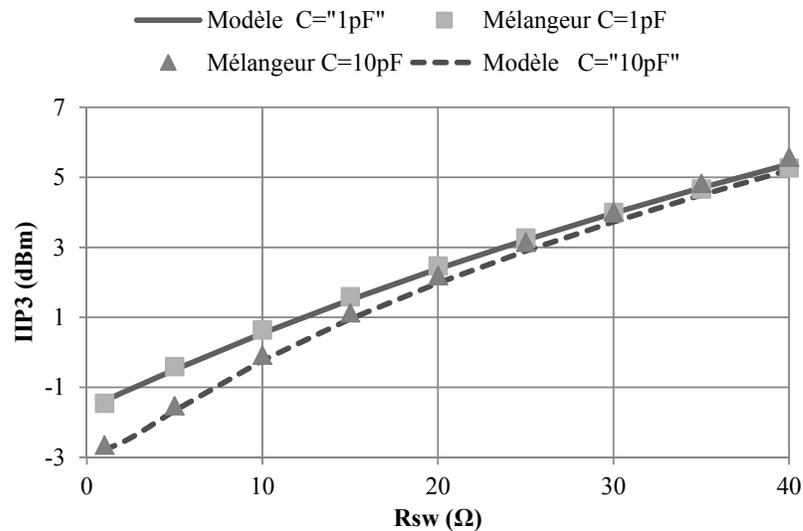


Figure 7.14 Simulation de IIP3 en fonction de R_{sw}

La Figure 7.15 montre la variation de l'IIP3 en fonction de la capacité d'entrée RF pour différentes valeurs de R_{sw} . Cette simulation montre d'une part la sensibilité de la linéarité au « folding » d'harmoniques étant donné que celui-ci dépend essentiellement de R_{sw} et C_{RF} comme le suggère l'équation (7.23) à (7.26).

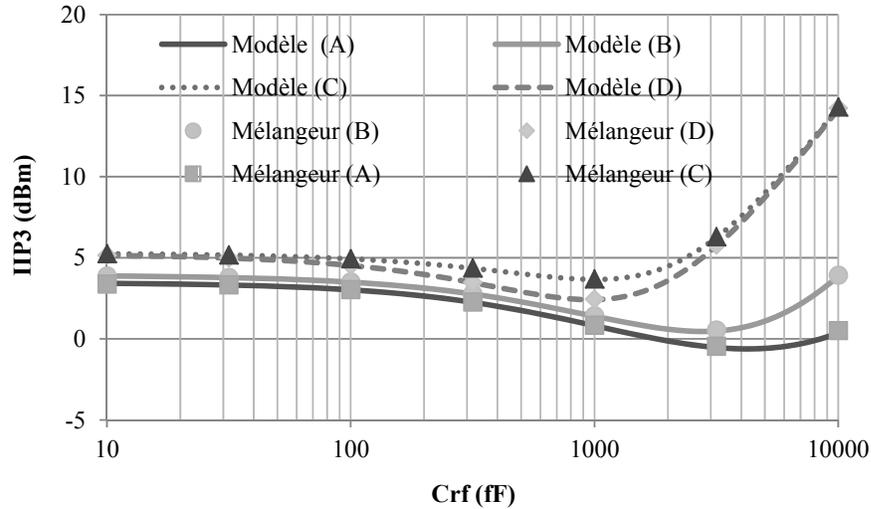


Figure 7.15 Variation de l'IIP3 en fonction de C_{RF} pour différentes conditions - (A): $R_{SW} = 1\Omega$ et $R_S = 200\Omega$ - (B): $R_{SW} = 10\Omega$ et $R_S = 200\Omega$ - (C): $R_{SW} = 40\Omega$ et $R_S = 200\Omega$ - (D): $R_{SW} = 40\Omega$ et $R_S = 2k\Omega$

D'autre part, la simulation montre la flexibilité, la précision et l'habileté du modèle à prédire cet effet. Lorsque on augmente la valeur de C_{RF} , l'IIP3 diminue en conséquence jusqu'à ce que la valeur maximale G_{SH} et de G_{CT} soit atteint (voir la Figure 7.6). Au-delà de cette valeur, la transconductance G_{CT} que l'on estime dans ce cas-ci grâce à l'équation (7.26) devient inversement proportionnelle à C_{RF} , l'IIP3 devient alors de ce fait proportionnel à R_{sw} (et inversement proportionnel à G_{SH}). Lorsque la valeur de C_{RF} est très grande, le gain du récepteur diminue considérablement ce qui conduit à une augmentation de l'IIP3 de manière proportionnelle.

7.7 Conclusion

Le modèle proposé permet de simplifier l'analyse des mélangeurs passifs en rendant possible le calcul du gain, du bruit et même de la linéarité du mélangeur. Le modèle apporte aussi la lumière sur l'interaction entre l'étage RF et l'étage bande basse en permettant l'estimation de l'impédance de drainage ainsi que l'impédance de shunt. Cette dernière modélise l'effet de « folding » des harmoniques responsable de la dégradation des performances du mélangeur. Le modèle prend aussi en compte l'effet de couplage entre les deux voies quadratiques. Les différentes simulations en fonction des paramètres de conception présentées dans ce chapitre ont prouvé d'une part, la précision du modèle et sa

capacité à s'adapter aux différents scénarios, et d'autre part, elles montrent les choix de conception à faire pour un meilleur compromis des performances.

Conclusion Générale

La technologie CMOS a connu un essor considérable ces trente dernières années en raison de sa capacité d'intégration et les faibles coûts qu'elle offre. L'évolution de la technologie CMOS s'accompagne de réduction de la tension d'alimentation pour des raisons de fiabilité. Dans ce contexte, la conception de circuits analogiques tels que la cellule de Gilbert tout en garantissant de hautes performances devient problématique. Dans cette thèse nous avons traité le problème de la consommation de puissance et de la tension d'alimentation dans les mélangeurs actifs ainsi que du compromis qui en découle avec les performances du mélangeur en termes de gain de conversion et de linéarité. En faisant appel à des techniques de circuiterie tels que le « current-reuse », le « bleeding », la transconductance à capacités croisées-couplées, et en polarisant proprement les transistors MOS, nous sommes parvenus à réduire considérablement la consommation de puissance et la tension d'alimentation tout en assurant des performances remarquables. Deux mélangeurs sont proposés en technologie CMOS 0.18 μm fonctionnant tous deux avec une tension d'alimentation 0.9V, soit la moitié de la tension maximale pour cette technologie.

Le premier mélangeur est de type cellule de Gilbert où la transposition de fréquence est assurée par un étage de commutation classique. La technique de « bleeding » a permis d'avoir une transconductance élevée en procurant le courant DC nécessaire à cet étage sans compromettre le gain et la linéarité. Nous avons obtenu un gain élevé de 18 dB en choisissant de larges résistances de charge sans une forte chute de tension. Cela n'aurait pas été possible sans le technique du « current bleeding ». Cette dernière est aussi implémentée avec une source de courant cascode beaucoup plus efficace que la source traditionnelle qui offre une résistance élevée, réduisant ainsi le courant RF de fuite. Finalement l'IIP3 est boosté à 9 dBm grâce à la superposition des dérivée.

Une polarisation en mode d'inversion modérée nous a permis d'obtenir le meilleur compromis entre linéarité et consommation de puissance et transconductance, où cette

dernière est boostée davantage grâce à la technique des capacités croisées-couplées qui employée avec le « current-reuse » peut littéralement quadrupler la transconductance. Nous avons opté pour une transconductance commutée afin d'accomplir la transposition de fréquence. Cela nous a permis de réduire la tension de polarisation considérablement. En dimensionnant soigneusement les transistors des inverseurs et les transistors de transconductance dans le second étage, nous sommes arrivés à exploiter le phénomène d'interaction du second ordre à notre avantage, augmentant ainsi la linéarité sans compromettre le gain et la consommation de puissance.

Une troisième conception de mélangeur RF est proposée en technologie CMOS 0.13 μm , dans laquelle l'idée de la transconductance commutée est utilisée. L'utilisation d'inverseurs a permis la réduction de la consommation de courant grâce à une technique de gestion de l'alimentation appelée « power gating » qui consiste à couper la tension d'alimentation du mélangeur lorsque le signal RF reçu correspond à un zéro logique. Grâce à la topologie choisie, le circuit de contrôle des inverseurs proposé permet de réduire le courant DC le long du mélangeur à zéro en mettant la sortie des deux inverseurs de commutation à la masse. Le courant consommé par la transconductance passe de 1mA à 70 μA , soit une réduction de 90%.

Le bruit de scintillation des mélangeurs actifs a suscité un intérêt grandissant pour les mélangeurs passifs, où les transistors de commutation sont polarisés dans la région ohmique, induisant de ce fait une absence d'isolation entre les étages RF et bande de base qui rend l'analyse du récepteur complexe. Dans ce contexte, nous avons mis au point un modèle pour mélangeur passif. Les simulations montrent une concordance parfaite entre le modèle et le circuit réel. La capacité de notre modèle à prédire l'évolution des performances du récepteur et d'expliquer l'interaction entre l'étage RF et bande de base en fonction des paramètres de conception, en font un guide de conception précieux pour les étages RF et bande de base.

Annexe A. Gain de conversion dans le cas de la commutation partielle

La Figure A.1 donne l'allure approximative du courant IF en fonction du temps.

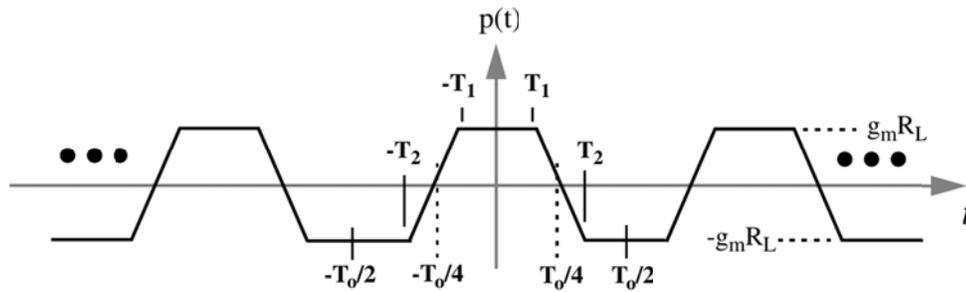


Figure. A. 1 Approximation trapézoïdale de gain de conversion

où les valeurs de T_1 et T_2 sont données par :

$$\begin{cases} T_1 = \frac{T_{LO}}{4} - x \frac{T_{LO}}{4} \\ T_2 = \frac{T_{LO}}{4} + x \frac{T_{LO}}{4} \end{cases} \quad (\text{A.1})$$

La variable x remplace T_1 et T_2 qui délimitent l'état d'équilibre du mélangeur comme le montre la Figure A.1, où la fonction $p(t)$ est exprimée sa série de Fourier comme suit :

$$p(t) = \frac{8g_m R_L}{x\pi^2} \sum_{k=1}^{\infty} \frac{1}{k^2} \sin\left(k \frac{\pi}{2}\right) \sin\left(k \frac{\pi}{2} x\right) \cos(k\omega_{LO}t) \quad (\text{A.2})$$

Etant donné que le gain de conversion ne représente que la fondamentale, on prend alors $k = 1$, ce qui donne :

$$G = \frac{8g_m R_L}{x\pi^2} \sin\left(x \frac{\pi}{2}\right) \quad (\text{A.3})$$

Le temps durant lequel le mélangeur est en état d'équilibre (quatre commutateurs passants) est noté t_{bal} , et peut être obtenu en trouvant la solution de l'équation suivante :

$$V_{LO}(t_{\text{BAL}}) = V_{LO} \sin(\omega_{LO} t_{\text{BAL}}) = \sqrt{2}(V_{GS} - V_{TH}) \quad (\text{A.4})$$

En effectuant l'approximation $\sin(z) = z$ on obtient :

$$t_{\text{BAL}} = \frac{\sqrt{2}(V_{GS} - V_{TH})}{2\pi V_{LO}} T_{LO} \quad (\text{A.5})$$

D'autre part, toujours à partir de la Figure. A.1, on déduit que :

$$T_2 - T_1 = x \frac{T_{LO}}{2} = 2 t_{\text{BAL}} \quad (\text{A.6})$$

il s'en suit que

$$x = \frac{4t_{\text{BAL}}}{T_{LO}} = 2 \frac{\sqrt{2}(V_{GS} - V_{TH})}{\pi V_{LO}} \quad (\text{A.7})$$

On peut à présent exprimer le gain de conversion de la manière suivante :

$$G = \frac{\sqrt{2}g_m R_L V_{LO}}{\pi(V_{GS} - V_{TH})} \sin\left(\frac{\sqrt{2}(V_{GS} - V_{TH})}{V_{LO}}\right) \quad (\text{A.8})$$

où encore sous une autre forme, en remplaçant la transconductance de l'entrée g_m par son expression

$$g_m = \frac{2I_D}{(V_{GS} - V_{TH})_{\text{RF}}} \quad (\text{A.9})$$

Le courant de drain I_D est égal à la moitié du courant de polarisation I_b . La tension de commande (« overdrive voltage ») de l'étage de commutation dans l'équation 3.24 est notée $(V_{GS} - V_{TH})_{\text{SW}}$:

$$G = \frac{\sqrt{2}I_b R_L V_{LO}}{\pi(V_{GS} - V_{TH})_{\text{SW}} (V_{GS} - V_{TH})_{\text{RF}}} \sin\left(\frac{\sqrt{2}(V_{GS} - V_{TH})_{\text{SW}}}{V_{LO}}\right) \quad (\text{A.10})$$

Annexe B. V_{IIP3} d'une paire différentielle

Le courant différentiel à la sortie de l'étage de transconductance est donné par :

$$I_{DIFF} = \frac{1}{2} \mu_n C_{OX} \frac{W}{L} V_{,DIFF} \sqrt{\frac{4I_{SS}}{\mu_n C_{OX} \frac{W}{L}} - V_{,DIFF}^2} \quad (B.1)$$

qui peut être réécrit de la façon suivante :

$$I_{DIFF} = \sqrt{2I_{SS} \frac{\mu_n C_{OX}}{2} \left(\frac{W}{L}\right)} V_{,DIFF} \sqrt{1 - \frac{\frac{V_{,DIFF}^2}{2I_{SS}}}{\frac{\mu_n C_{OX}}{2} \left(\frac{W}{L}\right)}} \quad (B.2)$$

On définit les variables K_1 et K_2 comme étant:

$$K_1 = \frac{\frac{V_{,DIFF}^2}{2I_{SS}}}{\frac{\mu_n C_{OX}}{2} \left(\frac{W}{L}\right)} \quad (B.3)$$

et

$$K_2 = \sqrt{2I_{SS} \frac{\mu_n C_{OX}}{2} \left(\frac{W}{L}\right)} \quad (B.4)$$

L'équation (B.2) est réécrite comme suit :

$$I_{DIFF} = K_2 V_{,DIFF} \sqrt{1 - \frac{V_{,DIFF}^2}{K_1}} \quad (B.5)$$

Le développement limité de la fonction $(1+x)^n$ donne :

$$(1+x)^n = 1 + nx + \frac{n(n-1)}{2!}x^2 + \frac{n(n-1)(n-2)}{3!}x^3 + \dots \quad (\text{B.6})$$

Dans le cas de l'équation (B.5), $n = 1/2$, ce qui implique :

$$I_{DIFF} = K_2 V_{DIFF} - \frac{K_2}{2K_1} V_{DIFF}^3 - \frac{K_2}{8K_1} V_{DIFF}^5 + \dots \quad (\text{B.7})$$

En utilisant la définition des IMD3, donnée par l'équation (3.32) où a_1 et a_3 sont déduits de l'équation 3.36, on obtient :

$$K_2 V_{IP3} = \frac{3}{4} \frac{K_2}{2K_1} V_{IP3}^3 \quad (\text{B.8})$$

$$V_{IP3} = 4\sqrt{\frac{2}{3}}(V_{GS} - V_{TH}) \quad (\text{B.9})$$

Annexe C. Gain en tension d'un amplificateur à capacité croisées-couplées

$$v_{gs} = -\frac{2C_c + C_{gs}}{C_c + C_{gs}} v_{in} \quad (C.1)$$

En appliquant la loi de Kirchhoff au nœud X, nous avons

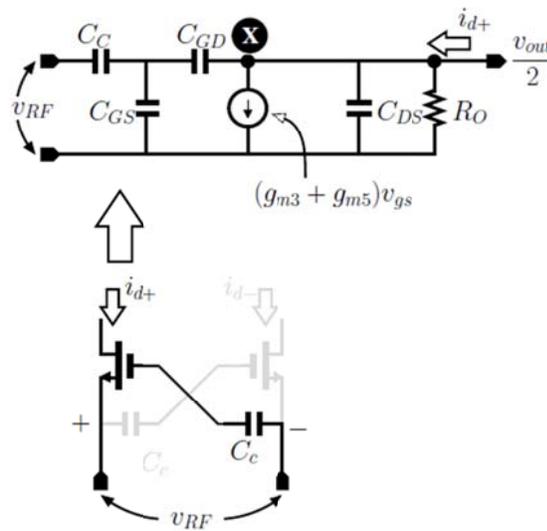


Figure C.0.1 Modele equivalent de l'amplificateur differentielle à capacités croisées-couplées

$$(v_g - v_{out})j\omega C_{gd} - (g_{mn} + g_{mp})v_{gs} - \left(\frac{v_{out} - v_{in}}{Z_L}\right) = 0 \quad (C.2)$$

où

$$Z_L = \frac{1}{\frac{1}{r_{ds}} + j\omega C_{ds}} \quad (C.3)$$

En remplaçant v_g par v_{gs}

$$\frac{v_{out}}{v_{in}} = \frac{\frac{jC_c \omega C_{gd}}{C_c + C_{gs}} - (g_{mn} + g_{mp}) \frac{2C_c + C_{gs}}{C_c + C_{gs}} - \frac{1}{r_O} - j\omega C_{ds}}{-j\omega(C_{gd} + C_{ds}) - \frac{1}{r_O}} \quad (C.4)$$

où

$$\frac{2C_c + C_{gs}}{C_c + C_{gs}} = 1 + A \quad (C.5)$$

Si $C_c \gg C_{gs}$, il s'en suit que :

$$\frac{v_{out}}{v_{in}} = \frac{j\omega(C_{ds} - C_{gd}) - (1 + A)(g_{mn} + g_{mp}) - \frac{1}{r_O}}{j\omega(C_{gd} + C_{ds}) + \frac{1}{r_O}} \quad (C.6)$$

Si La tension qui commande les inverseurs consiste en une tension rectangulaire oscillant entre 0 et v_{DD} , le gain de conversion serait alors égal à $2 / \pi g_m R_L$. Cependant, en supposant un comportement plus réaliste, le gain de conversion devient égal à $g_m R_L p(t)$. La source de tension (sinusoïdal) est approximée par une fonction trapézoïdale notée $p(t)$ dont la série de Fourier est donnée par:

$$p(t) = \frac{8T_{LO}}{2\tau\pi^2} \sum_{k=1}^{\infty} \frac{1}{k^2} \sin\left(\frac{k\pi}{2}\right) \sin\left(\frac{k\tau\pi}{T_{LO}}\right) \cos(k\omega_{LO}t) \quad (C.7)$$

Ce qui conduit au gain de conversion (k=1):

$$CG = \frac{4}{\pi} g_m R_L \frac{\sin\left(\frac{\pi\tau}{T_{LO}}\right)}{\frac{\pi\tau}{T_{LO}}} \quad (C.8)$$

Annexe D. Transconductances du mélangeur à transconductance commutée

Le courant de drain d'un transistor MOS est donné par:

$$i_d = G_1 v_{in} + G_2 v_{in}^2 + G_3 v_{in}^3 + \dots \quad (\text{D. 1})$$

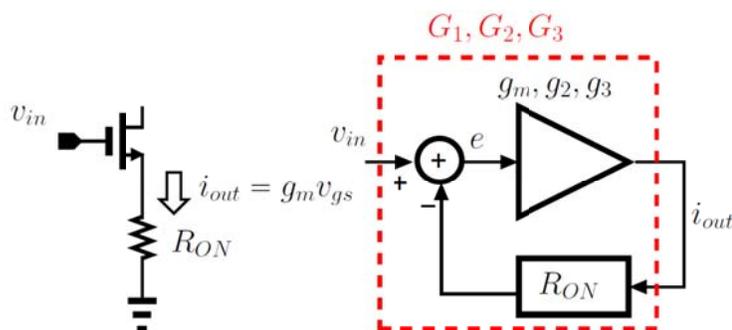


Figure 0C.0.2 Modele equivalent

où

$$\left\{ \begin{array}{l} G_1 = \frac{\partial i_{out}}{\partial v_{in}} \\ G_2 = \frac{\partial^2 i_{out}}{\partial v_{in}^2} \\ G_3 = \frac{\partial^3 i_{out}}{\partial v_{in}^3} \end{array} \right. \quad (\text{D.2})$$

Et

$$\begin{cases} g_m = \frac{\partial i_{out}}{\partial e} \\ g_2 = \frac{\partial^2 i_{out}}{\partial e^2} \\ g_3 = \frac{\partial^3 i_{out}}{\partial e^3} \end{cases} \quad (D.3)$$

avec

$$e = v_{in} - \beta i_{out} \quad (D.4)$$

Ce qui implique que

$$v_{in} = e + \beta i_{out} \Rightarrow i_{out} = \frac{v_{in} - e}{\beta} \quad (D.5)$$

La transconductance G_1 est donnée par

$$G_1 = \frac{\partial i_{out}}{\partial v_{in}} = \frac{\partial i_{out}}{\partial e} \frac{\partial e}{\partial v_{in}} = g_m \left(1 - \beta \frac{i_{out}}{\partial v_{in}} \right) \quad (D.6)$$

ce qui implique que

$$G_1 = g_m (1 - \beta G_1) = \frac{g_m}{1 + g_m \beta} \quad (D.7)$$

De la même façon

$$G_2 = \frac{1}{2} \frac{\partial G_1}{\partial v_{in}} = \frac{1}{2} \frac{\partial G_1}{\partial e} \frac{\partial e}{\partial v_{in}} = \frac{1}{2} \frac{\partial G_1}{\partial e} (1 - \beta G_1) \quad (D.8)$$

Nous avons aussi

$$\frac{G_1}{\partial e} = \frac{\frac{\partial g_m}{\partial e} (1 + g_m \beta) - g_m \beta \frac{\partial g_m}{\partial e}}{(1 + g_m \beta)^2} = \frac{2g_2}{(1 + g_m \beta)^2} \quad (D.9)$$

ce qui conduit à

$$G_2 = \frac{g_2}{(1 + g_m \beta)^3} \quad (D.10)$$

Enfin,

$$G_3 = \frac{1}{3} \frac{\partial G_2}{\partial v_m} = \frac{1}{3} \frac{\partial G_2}{\partial e} \frac{\partial e}{\partial v_m} = \frac{1}{3} \frac{\partial G_2}{\partial e} (1 - g_m \beta) = \frac{1}{3} \frac{\partial G_2}{\partial e} \left(\frac{1}{1 + g_m \beta} \right) \quad (\text{D.11})$$

Et

$$\frac{\partial G_2}{\partial e} = \frac{3g_3(1 + g_m \beta)^3 - 6g_2^2 \beta (1 - g_m \beta)^2}{(1 + g_m \beta)^6} = \frac{1}{(1 + g_m \beta)^3} \left(3g_3 - \frac{6g_2^2 \beta}{1 + g_m \beta} \right) \quad (\text{D.12})$$

Ce qui donne

$$G_3 = \frac{1}{(1 + g_m \beta)^4} \left(g_3 - \frac{2g_2^2 \beta}{1 + g_m \beta} \right) \quad (\text{D.13})$$

Bibliographie

- [1] Barrie Gilbert, "A precise four-quadrant multiplier with subnanosecond response," *Solid-State Circuits IEEE Journal of*, vol. 3, no. 4, pp. 365-373, 1968.
- [2] Sid Ahmed Tedjini, Abdelhalim Slimane, Mohand Tahar Belaroussi, and Mohamed Trabelsi, "A 0.9 V high gain and high linear bleeding CMOS mixer for wireless applications," *Microelectronics (ICM), 2012 24th International Conference on*, pp. 1-4, 2012.
- [3] Aaron V Do, Chirn Chye Boon, and Manh Anh Do, "A Subthreshold Low-Noise Amplifier Optimized for," *IEE Transaction Microwave Theory and Techniques*, vol. 56, no. 2, pp. 286-292, Feb 2008.
- [4] E Klumperink, S M Louwsma, G Wienk, and B Nauta, "A CMOS switched transconductor mixer," *Solid-State Circuits, IEEE Journal of*, vol. 39, no. 8, pp. 1231-1240, 2004.
- [5] B.G Perumana, R Mukhopadhyay, S Chakraborty, Chang-Ho Lee, and J. Laskar, "A Low-Power Fully Monolithic Subthreshold CMOS Receiver With Integrated LO Generation for 2.4 GHz Wireless PAN Applications," *Solid-State Circuits, IEEE Journal of*, vol. 43, no. 10, pp. 2229-2238, 2008.
- [6] Wei Zhuo, S Embabi, J.P de Gyvez, and E. Sanchez-Sinencio, "Using capacitive cross-coupling technique in RF low noise amplifiers and down-conversion mixer design," *Solid-State Circuits Conference, 2000. ESSCIRC '00. Proceedings of the 26rd European*, pp. 77-80, 2000.
- [7] S.B Wang, A.M Niknejad, and R.W. Brodersen, "Design of a Sub-mW 960-MHz UWB CMOS LNA," *Solid-State Circuits, IEEE Journal of*, vol. 41, no. 11, pp. 2449-2456,

2006.

- [8] F Belmas, F Hameau, and J Fournier, "A 1.3mW 20dB gain low power inductorless LNA with 4dB Noise Figure for 2.45GHz ISM band," *Radio Frequency Integrated Circuits Symposium (RFIC), 2011 IEEE*, pp. 1-4, 2011.
- [9] Stephen V. Kosonocky, Daniel R. Knebel, Kevin Stawiasz, and Marios C. Papaefthymiou Suhwan Kim, "A Multi-Mode Power Gating Structure for Low-Voltage Deep-Submicron CMOS ICs," *IEEE Trans. Circuits Syst. II, Express Briefs*, vol. 56, no. 7, pp. 586- 590, July 2007.
- [10] A. Slimane et al., "Compact inductorless CMOS low-noise amplifier for reconfigurable radio," *Electronics Letters*, vol. 50, no. 12, pp. 829-893, June 2014.
- [11] Behzad Razavi, *RF Microelectronics*, 2nd ed. Upper Saddle River NJ: Prentice Hall, 2011.
- [12] Hooman Darabi and Asad A. Abidi, "Noise in RF-CMOS Mixers: A Simple Physical Model," *IEEE Transaction on Solid State Circuits*, vol. 35, no. 1, pp. 15-25, January 2000.
- [13] W Redman-White and D. W. M Leenaerts, "1/f Noise in Passive CMOS Mixers for Low and Zero IF Integrated Receivers.," in *Proceedings of the European Solid State Circuits Conference*, Villach, Austria, 2001, pp. 1-4.
- [14] E. Bietti, I. Sacchi, S. Erba, L. Tee, P. Vilmercati, and R. Castello, "A 15 mW, 70 kHz 1/f corner direct conversion CMOS receiver," in *Custom Integrated Circuits Conference, 2003. Proceedings of the IEEE*, 2003, pp. vol., no., pp.459-462, 21-24 Sept.
- [15] Jacques Rudell, "Frequency Translation Techniques for High Integration High-Selectivity Multi-Standard Wireless Communications Systems," University of California, Berkeley, PhD Dissertation 2000.
- [16] Willy Sansen, "Distortion in elementary transistor circuits," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transaction on*, vol. 46, no. 3, pp. 315-325, 1999.

-
- [17] Hang Zhang and Edgar Sanchez-Sinencio, "Linearization Techniques for CMOS Low Noise Amplifier> A Tutorial," *IEEE Trans Circuits and Systems I> Regular Papers*, vol. 58, no. 1, pp. 22-36, January 2011.
- [18] E. Chunyu Xin and Sanchez-Sinencio, "A linearization technique for RF low noise amplifier," *Circuits and Systems, 2004. ISCAS '04. Proceedings of the 2004 International Symposium on*, vol. 4, 2004.
- [19] V. Aparin, K. Barnett, and C. Persico N. Kim, "A cellular-bandCDMA 0.25um CMOS LNA linearized using active post-distortion," *IEEE J. Solide State Circuit*, vol. vol. 41, no. no. 7, pp. 1530–1534, Jul 2006.
- [20] T.-S. Kim and B.-S. Kim, "Post-linearization of cascode CMOS LNA using folded PMOS IMD sinker," *IEEE Microw. Wireless Comp. Lett*, vol. vol. 16, no. no. 4, pp. 182–184, Apr 2006.
- [21] H. Zhang, X Fan, and E Sánchez-Sinencio, "A low-power, linearized, ultra-wideband LNA design technique," *IEEE J. Solid-State Circuits*, vol. vol. 44, no. no. 2, pp. 320–330, Feb 2009.
- [22] Behzad Razavi, *Design of Analog CMOS Integrated Circuits*. Boston: McGraw Hill, 2001.
- [23] M.T Terrovitis and R.G. Meyer, "Intermodulation distortion in current-commutating CMOS mixers," *Solid-State Circuits, IEEE Journal of*, vol. 35, no. 10, pp. 1461-1473, 2000.
- [24] D. Chen, "A low voltage high linearity ultra wideband down conversion mixer in 0.18 um CMOS technolog," *Microelectronics Journal*, vol. vol. 1, no. no. 14, pp. 1–9, Nov 2009.
- [25] S. Lee and J. Choi, "Current-reuse bleeding mixer," *Electronics Letters*, vol. 36, no. 8, pp. 696-697, Apl 2000.
- [26] Oskooei, M. Savadi, Kanani, and Z. D. Koozeh G. Z. Fatin, "a technique to improve noise figure and conversion gain of CMOS mixers," in *50th Midwest Symposium on*

Circuits and Systems, Montreal, CANADA, Sep 05-Aug 08, pp. 379–382.

- [27] S. Douss, F. Touati, and M. Loulou, "Design Optimization methodology of CMOS Active Mixers for Multi Standard Receivers," *International journal of Electronics; circuits and systems*, vol. vol. 1, no. no. 1, pp. 1–9, Apr 2008.
- [28] V. Vidojkovic, J. V. D. Tang, A. Leeuwenburgh, and A. V. Roermund, "high gain, low voltage folded-switching mixer with current-reuse in 0.18 um CMOS," in *IEEE Radio Frequency Integrated Circuits Symposium*, Ft Worth, TX, Jun 06-08, 2004.
- [29] B. Xavier, and W. Ku P. Sullivan, "Low voltage performance of a microwave CMOS Gilbert cell mixer," *IEEE J. Solid-State Circuits*, vol. vol. 32, no. no. 7, pp. 1151–1155, Jul 1997.
- [30] A.N. Karanicolas, "A 2.7-V 900-MHz CMOS LNA and mixer," *Solid-State Circuits, IEEE Journal of*, vol. 31, no. 12, pp. 1939-1944, 1996.
- [31] Gatta F, Sacchi E, Svelto F, Vilmercati P, and Castello R, "A 2-dB noise figure 900-MHz differential CMOS LNA," *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 10, pp. 1444-1452, 2001.
- [32] John Allstot and Xiaoyoung Li, "Design considerations for CMOS low-noise amplifiers," *Radio Frequency Integrated Circuits (RFIC) Symposium, 2004. Digest of Papers. 2004 IEEE*, pp. 97-100, 2004.
- [33] W Zhuo et al., "A capacitor cross-coupled common-gate low-noise amplifier," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 52, no. 12, pp. 875-878, 2005.
- [34] Sid Ahmed Tedjini, Mohamed Trabelsi, Abdelhalim Slimane, and Mohand Tahar Belaroussi, "Ultra low power and high gain switched CMOS gm boosted current reused mixer for wireless multi-standard applications," *Microelectronics Journal*, vol. 45, pp. 1575-1582, Oct 2014.
- [35] Hsieh-Hung Hsieh and Liang-Hung Lu, "Design of Ultra-Low-Voltage RF Frontends With Complementary Current-Reused Architectures," *Microwave Theory and*

-
- Techniques, IEEE Transactions on*, vol. 55, no. 7, pp. 1445-1458, 2007.
- [36] F. and Flandre, D. and Jespers, P.G.A. Silveira, "A gm/ID based methodology for the design of CMOS analog circuits and its application to the synthesis of a silicon-on-insulator micropower OTA," *Solid-State Circuits, IEEE Journal of*, vol. 31, no. 9, pp. 1314-1319, 1996.
- [37] A.H.M Shirazi and S. Mirabbasi, "An ultra-low-voltage CMOS mixer using switched-transconductance, current-reuse and dynamic-threshold-voltage gain-boosting techniques," *New Circuits and Systems Conference (NEWCAS), 2012 IEEE 10th International*, pp. 393-396, 2012.
- [38] Lu Liu and Zhihua Wang, "Analysis and design of a low-voltage RF CMOS mixer," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol. 53, no. 3, pp. 212-216, 2006.
- [39] Myoung-Gyun Kim Yun, Hee-Woo An, Yun-Mo Kang, Ji-Young Lee, and Tae-Yeoul, "A Low-Voltage, Low-Power, and Low-Noise UWB Mixer Using Bulk-Injection and Switched Biasing Techniques," *Microwave Theory and Techniques, IEEE Transactions on*, vol. 60, no. 8, pp. 2486-2493, 2012.
- [40] Kung-Hao Liang, Hong-Yeh Chang, and Yi-Jen Chan, "A 0.5-7.5 GHz Ultra Low-Voltage Low-Power Mixer Using Bulk-Injection Method by 0.18-um CMOS Technology," *Microwave and Wireless Components Letters, IEEE*, vol. 17, no. 7, pp. 531-533, 2007.
- [41] Ho Suk Kang and Sang Geun Lee and Chul-Soon Park, "A Low LO Power Mixer Utilizing the Body Effect," *Microwave and Wireless Components Letters, IEEE*, vol. 17, no. 11, pp. 799-801, 2007.
- [42] Ickjin Kwon and Kwiro Lee, "An integrated low power highly linear 2.4-GHz CMOS receiver front-end based on current amplification and mixing," *Microwave and Wireless Components Letters, IEEE*, vol. 15, no. 1, pp. 36-38, 2005.
- [43] Andrews Caroline and Molnar Alyosha, "Implications of Passive Mixer Transparency for Impedance Matching and Noise Figure in Passiv Mixer-First Receivers," *IEEE*

-
- Transaction on Circuits and Systems I: Regular Papers*, vol. 57, no. 12, pp. 3092-3103, Decembre 2010.
- [44] Antonio Liscidini, and Rinaldo Castello Marco Sosio, "An Intuitive Current-Driven Passive Mixer Model Based in Switched-Capacitor Theory," *IEEE Transactions on Circuits and systems II: Express Briefs*, vol. 60, no. 2, pp. 66-70, Feb 2013.
- [45] Caroline Andrews and Alyosha Molnar, "A Passive Mixer-First Receiver With Digitally Controlled and Widely Tunable RF Interface," *IEEE Journal of Solid State Circuits*, vol. 45, no. 12, pp. 2696-2708, Decembre 2010.
- [46] Ahmed Mirzaei, Darabi Hooman, Leete John, and Chang Yuyu, "Analysis and Optimization of Direct-Conversion Receivers With 25% Duty-Cycle Current-Driven Passive Mixers," *IEEE Trans on Circuits and Systems*, vol. 59, no. 9, pp. 2353-2366, Sep 2010.
- [47] Ivan Fabiano, Marco sosio, Antonio Liscidini, and Castello Rinaldo, "SAW-Less Analog Frond-End Receivers for TDD and FDD," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 12, pp. 3067-3079, Decembre 2013.
- [48] Jeffrey Alan, *Advanced Engineering Mathematics*, Harcourt Academic Press, Ed., 2002.
- [49] J. Van Der Tang, A. Leeuwenburgh, A. Van Roermund V. Vidojkovic, "A Low Voltage folder switching mixer in 0.18 um CMOS," *Solid-State Circuits, IEEE Journal of*, vol. 40, no. 6, pp. 1259-1264, 2005.
- [50] D. Manstretta, M. Brandolini, and F. Svelto, "Second-order intermodulation mechanisms in CMOS downconverters," *Solid-State Circuits, IEEE Journal of*, vol. vol.38, no. no.3, pp. 394-406, Mar 2003.
- [51] Chunyu Xin and E. Sanchez-Sinencio, "A linearization technique for RF low noise amplifier," *ISCAS '04. Proceedings of the 2004 International Symposium on*, vol. vol.4, no. , 2004.
- [52] Y. Ding and R. Harjani, "A +18 dBm IIP3 LNA in 0.35 um CMOS," in *IEEE Int. Solid-State Circuits Conf.* , 2001, pp. 162-163.

- [53] P.A Dal Fabbro et al., "A 0.8V 2.4GHz Mbs GFSK RF transceiver with on-chip DC-DC converter in a standard 0.18 um CMOS technology," *ESSCIRC, 2010 Proceedings of the*, pp. 458-461, 2010.
- [54] A Liscidini, M Brandolini, D Sanzogni, and R. Castello, "A 0.13-um CMOS front-end for DCS1800/UMTS/802.11b-g with multiband positive feedback low-noise amplifier," *Solid-State Circuits, IEEE Journal of*, vol. 41, no. 4, pp. 981-989, 2006.
- [55] S Wu and B. Razavi, "A 900-MHz/1.8-GHz CMOS receiver for dual-band applications," *Solid-State Circuits, IEEE Journal of*, vol. 33, no. 12, pp. 2178-2185, 1998.