

13/93

الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التربية الوطنية
MINISTERE DE L'EDUCATION NATIONALE

ECOLE NATIONALE POLYTECHNIQUE

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

DEPARTEMENT

Genie Electrique

PROJET DE FIN D'ETUDES

SUJET

*Conception et réalisation d'une carte d'interface
pour IBM-PC et compatibles
en vue de la commande numérique.*

Proposé par :

M^r B. HEMICI

M^r O. STIHI

Etudié par :

M^r S. HABITA

M^r M. CHAHER

Dirigé par

M^r B. HEMICI

M^r O. STIHI

PROMOTION

Juillet 1993

DEDICATIONS

Je dédie ce modeste travail :

- * *A ma chère mère avec toute son affection.*
- * *A mon chère père avec tout son sacrifice.*
- * *A mes frères et soeurs.*
- * *A toute la famille.*
- * *A tous ce qui me voit chère.*

Mustapha

Je dédie ce modeste travail :

- ♥ *A ma chère mère qui m'a appris le respect des valeurs humaines.*
- ♥ *A la mémoire de mon chère père que Dieu le garde en paix.*
- ♥ *A mes frères Messaoud et Halim.*
- ♥ *A mes soeurs.*
- ♥ *A ma soeur Ouissale et mes neveux Ramzi et tarek.*
- ♥ *A tous mes amis.*
- ♥ *A toutes la famille HABITA et REZZOUG.*

Salem

الحمد لله الذي هدانا لهذا
الذي كنا في ضلال عنه

Remerciements

Nos remerciements vont à tout le personnel du Génie Électrique et nous tenons à exprimer notre gratitude à nos directeurs de recherches messieurs O.STIHI et B.HEMICI pour leurs aides et assistances tout au long de la concrétisation de ce mémoire.

Nos remerciements vont, aussi, à messieurs et qui ont bien voulu être membres de notre jury.

Nous remercions, également, M^f A.CHAHER, M^{elle} L.BARAZANE, M^{elle} A.BOUKHELIFA et M^f A.BAHI pour leurs valeureuse collaboration et à tous ceux qui ont contribué de près ou de loin à l'élaboration de ce modeste travail.

CHAPITRE III— CONCEPTION ET REALISATION DE LA CARTE

III. INTRODUCTION.....	25
III.2 CARACTERISTIQUES DE LA CARTE	25
III.3 ACQUISITION ET MISE EN FORME DU SIGNAL D'ENTREE	27
III.3.1 Démultiplexeur analogique 4051B.....	27
III.3.2 Filtrage.....	27
III.4 NUMERISATION DU SIGNAL ANALOGIQUE D'ENTREE	29
III.4.1 Echantillonneur/Bloqueur LF398.....	29
III.4.1.1 description générale.....	29
III.4.1.2 caractéristiques.....	30
III.4.2 Convertisseur analogique numérique ADC 804	31
III.4.2.1 description générale.....	31
III.4.2.2 caractéristiques.....	31
III.4.2.3 signaux de commande	32
III.4.2.4 principe de fonctionnement	32
III.5 L'INTERFACE PARALLELE PROGRAMMABLE PPI 8255	34
III.5.1 Généralités.....	34
III.5.2 Fonctionnement et description	35
III.5.2.1 organisation du PPI.....	35
III.5.2.2 commande de base	37
III.5.2.3 programmation.....	37
III.5.2.4 mode de fonctionnement	40
III.5.3 Brochage de 8255A.....	43
III.5.4 Conditions sur application	43
III.5.5 Le PPI dans la carte	43
III.6 MISE SOUS FORME ANALOGIQUE DU SIGNAL DE SORTIE.....	44
III.6.1 Verrouillage.....	44
III.6.1.1 Description générale.....	44
III.6.2 Convertisseur numérique analogique MC1508.....	44
III.6.2.1 description générale.....	45
III.6.2.2 principe de fonctionnement	45
III.6.2.3 caractéristiques.....	46
III.7 BLOC DE DECODAGE.....	47
III.8 AMPLIFICATION ET ISOLATION.....	48
III.9 SCHEMA ELECTRIQUE.....	50
III.10 ORGANIGRAMME.....	52

CHAPITRE IV— APPLICATION: REGLAGE D'ETAT D'UN MOTEUR A COURANT CONTINU

IV. INTRODUCTION.....	54
IV.2 REGLAGE D'ETAT.....	54
IV.2.1 Structure optimale.....	54
IV.2.2 Equation du système	55
IV.2.3 Détermination de coefficients de réglage	56
IV.2.3.1 coefficients de la contre-réaction d'état (K^T)	56
IV.2.3.2 coefficients de l'intervention directe de consigne et de perturbation.....	57

IV.3 REGLAGE D'ETAT DU MOTEUR A COURANT CONTINU	58
IV.3.1 Description du système	58
IV.3.2 Modélisation du système	58
IV.3.3 Schéma fonctionnel	60
IV.3.4 Structure globale de réglage	60
IV.3.5 Réglage d'état du courant	63
IV.3.5.1 structure de réglage	63
IV.3.5.2 équations d'état du système	63
IV.3.5.3 détermination des coefficients de réglage	64
IV.3.6 Réglage d'état de vitesse	65
IV.3.6.1 détermination de la constante de temps équivalente	65
IV.3.6.2 structure de réglage	65
IV.3.6.3 équation d'état du système	65
IV.3.6.4 détermination des coefficients de réglage	67
IV.3.7 Simulation et interprétation	68

CHAPITRE V — PRESENTATION DU LOGICIEL

V.1 INTRODUCTION	73
V.2 PRESENTATION DU MENU	73
V.2.1 Test	73
V.2.2 Aquisition	73
V.2.3 Restitution	74
V.2.4 Commande MCC	74
V.2.5 Fin	75
V.3 PROCEDURES DES BASES	75
V.3.1 Procédure saisie	75
V.3.2 Procédure resti	75
V.3.3 Procédure glitch	75
V.4 ORGANIGRAMMES	77

CONCLUSION	86
------------------	----

BIBLIOGRAPHIE

ANNEXE A
 ANNEXE B
 ANNEXE C

INTRODUCTION

Tout ordinateur, IBM ou compatible, trouve ses applications limitées dans la mesure où il ne peut communiquer avec l'extérieur qu'avec son écran et son clavier. Pour augmenter ses possibilités et agir sur son environnement, il suffit de lui adjoindre une carte d'interface d'entrées/sorties analogiques.

La conception et la réalisation de cette carte avec logiciel fait l'objet de ce présent mémoire.

La carte d'interface autorisera une multitude d'applications industrielles telles que la commande numérique des machines électriques et l'acquisition du signal analogique pour des utilisations électrotechniques.

PRESENTATION DU MEMOIRE:

Ce présent mémoire comprend cinq chapitres articulés de la manière suivante :

Dans le premier chapitre, on donnera quelques brèves notions sur l'IBM-PC, en décrivant son bus d'extension et l'un de ses micro-processeurs INTEL 8088. On introduira ensuite, la notion d'interface avec ses différents types.

L'organisation type d'une chaîne de mesure numérique sera étudiée dans le second chapitre. Dans cette partie, on présentera les différents éléments de cette chaîne en décrivant le principe de fonctionnement de chacun d'eux.

La conception de la carte d'interface sera élaboré dans le troisième chapitre. Dans cette partie, on va étudier l'acquisition du signal d'entrée et la restitution du signal

de sortie. Ces opérations nécessitent l'utilisation des composants électroniques, en particulier l'interface PPI 8255A, qui seront étudiés en détail dans ce chapitre.

Dans le quatrième chapitre, on donnera la structure d'un réglage d'état, on développera les relations générales de ce réglage pour des systèmes monovariabiles. On appliquera par la suite, cette théorie sur un moteur à courant continu qui nécessite un réglage en cascade pour commander la vitesse en tenant compte du courant de l'induit.

Le cinquième chapitre consiste à présenter le logiciel ContCard qui facilite l'utilisation de la carte. On décrira brièvement les procédures exécutées à partir d'un menu principal. Les organigrammes des procédures utilisées seront données par la suite.

On terminera notre travail par une conclusion générale.

CHAPITRE I

IBM-PC ET INTERFACES

I.1 INTRODUCTION:

Le design de la carte d'interface a été fait pour une machine IBM/XT, car elle a une compatibilité ascendante avec les générations de 80286, 80386 et 80486 d'INTEL. Dans cette partie, nous donnerons quelques brèves notions sur cette machine, on décrira son bus d'extension et un de ses micro- processeur, l'INTEL 8088. Nous présenterons ensuite la notion d'interface.

I.2 ARCHITECTURE DE L'IBM PC:

Les principaux composants matériels de l'IBM PC sont:

- Boitier système
- Clavier
- Ecran
- Lecteur disquette
- Divers adaptateurs

Le boitier système contient la carte mère (mother board), le bloc d'alimentation et un ensemble de connecteurs électroniquement équivalents destinés à enficher les adaptateurs périphériques et l'extension mémoire.

La carte mère contient principalement:

- Le micro-processeur INTEL 8088/86
- Les mémoires ROM et RAM
- Le circuit d'horloge INTEL 8284A
- Le temporisateur compteur programmable INTEL 8253S
- Interface programmable de périphériques INTEL 8255A

- Contrôleur programmable d'interruption INTEL 8259A
- Contrôleur de bus INTEL 8288
- Contrôleur de disquette LEC PD 765
- Contrôleur DMA INTEL 8237A
- Commutateurs de configuration (switchs)
- Connecteurs d'extension (slots)

I.3 BUS A CARTE MERE:[1]

La carte mère, est une carte des circuits équipée d'un certain nombre de connecteurs. Les cartes portant les processeurs, les mémoires et les circuits d'entrée/sortie sont enfichés sur la carte mère. Celle-ci fournit les voies de communication entre les cartes systèmes ainsi que les alimentations.

I.3.1 BUS D'EXTENSION DE L'IBM PC/XT:

Le plus important pour notre étude est le bus d'extension de l'IBM PC. IBM a publié les spécifications complètes de son bus PC special qui diffère de tous les autres bus du marché. Le bus d'extension de l'IBM PC apparait sur cinq connecteurs (slots) internes à la machine ,câblés en parallèle. Chaque slot comporte un bus de données bidirectionnel à huit bits, vingt lignes d'adresses, six lignes d'interruption, trois jeux de lignes de commandes pour l'accès direct à la mémoire et un ensemble habituel de lignes de commandes pour le transfert de données et de lignes d'états.

Le bus IBM/XT possede également quatres tensions d'alimentation et une masse.

Il possède une ligne inhabituelle qui est la ligne d'erreur. Celle-ci est mise à un lorsqu'une carte esclave détecte un problème lors d'une transaction sur le bus.

1.3.2 BROCHES DU BUS IBM/XT:

Le connecteur du bus d'extension de l'IBM PC contient 62 broches, à broches espacés de 2,54 mm. La liste de ces 62 broches qui constituent le bus est représenté en Annexe A.

L'IBM PC / XT utilise le processeur 8088 en mode maximum, ce qui signifie que le système comprend un contrôleur de bus INTEL 8288. Le bus d'adresses et de données apparaissent sur des lignes distinctes; ce bus est démultiplexé. IBM a tout simplement fait sortir sur le bus des signaux connus ALE (adresse latch enable) et AEN (adresse enable). Le premier indique qu'une adresse valable est placée sur le bus d'adresse, c'est à dire qu'il valide la mémorisation de l'adresse. Le deuxième indique si le bus est commandé par le processeur ou le contrôleur de DMA, la mise à 1 du AEM signale qu'une transaction DMA est en train de s'effectuer.

On trouve également sur le bus d'extension quatre autre signaux 8288 avec les noms suivants: IOR (I/O Ready) IOW (I/O Write), MEMR (Memory ready) MEMW (Memory write). Ces signaux sont respectivement identiques aux signaux IORC, IOWC, MROC et MWTC du 8288. La ligne I/O CH RDY, sert aux opérations avec des circuits mémoires ou E/S insuffisamment rapides, selon un principe classique qui prolonge les temps d'accès. Donc, il peut être utilisé pour demander au micro-processeur d'allonger le cycle bus en cours. La ligne I/O CK est la ligne d'erreur. il peut s'agir par exemple d'une erreur de parité sur une carte mémoire avec parité. Lorsqu'elle est mise à un, le

micro-processeur reçoit une interruption non masquable.

Il y a six lignes d'interruption, IRQ 2 à IRQ 7. Celles-ci sont reliées à un contrôleur d'interruption le PIC 8259A sur la carte processeur. En conséquence le bus PC IBM ne comporte pas de signal d'acquittement des interruptions qui sont constituées par des transactions de données avec le processeur.

Il y a également trois paires de lignes de demande/réponse de DMA. DRQ1 à DRQ3 sont les lignes de demande de DMA et DACK1 à DACK3 sont les lignes de réponse. DACK0 est une ligne spéciale utilisée pour rafraîchir les cartes de RAM dynamique du système. Un autre signal, T/C, est émis lorsque le nombre approprié de cycle bus DMA s'est effectué pendant un transfert DMA.

Le bus d'extension comprend aussi un oscillateur 14,31818 MHz et une CLK horloge système de 4,77 MHz qui pilote le processeur.

La ligne Reset Drv est un signal d'initialisation pour toutes les cartes du bus. Les quatre niveaux de tension fournis aux cartes sont +5V, -5V, +12V et -12V, le bus est complété par trois broches de masse GND.

1.3.3 FORMAT DES CARTES D'EXTENSION:[5]

Les dimensions des connecteurs d'une carte sont figées à cause de la compatibilité avec les slots. Le format des cartes que le bus d'extension IBM PC peut recevoir et donné en Annexe A, ce format présente les dimensions maximale d'une carte d'extension.

I.4 LE MICROPROCESSEUR 8088:[1],[2]

I.4.1 CARACTERISTIQUES GENERALES:

De façon très générale, les familles IAPX (INTEL ADVANCED PROCESSOR EXTENSION) sont marquées par:

- La segmentation de la mémoire.
- Une structure d'adressage des opérands dans les segments, qui traitent directement les divers types de données des langages évolués.
- Un jeu d'opération sur les registres, pour les besoins les plus divers.
- Un schéma optimisé de codage d'instruction.

L'IAPX88 est marqué par:

- 8088 se présente dans un boîtier à 40 broches.
- 8088 peut adresser 1 M octets de mémoire.
- Il dispose de 16 bits pour adresser les E/S. En mode décodé soit 64 K octets.
- Il dispose d'un bus multipléxé (16 lignes de données).
- Il peut fonctionner en deux modes:
 - * Mode minimum, le 8088 fonctionne en bus local.
 - * Mode maximum, il opère dans un environnement multibus.
- Il dispose d'une mémoire de quatre octets permettant de stocker quelques instructions en attente d'exécution.
- Adressage complexe pour supporter les langages évolués.
- Multiplication et division câblées.

- Instruction de traitement de chaînes de caractères.
- Entrées/sorties en mode indirect.

I.4.2 BROCHAGE ET SIGNAUX:

Examinons le brochage du 8088. Ce circuit se présente en boîtier 40 broches. Le double marquage de certaines broches se réfère au double mode de fonctionnement: minimum et maximum.

ces modes étant eux mêmes pilotés par un signal externe appliqué à la broche 33 marquée MN/MX (minimum/maximum).

Le brochage et le tableau d'attribution des broches sont données en Annexe B.

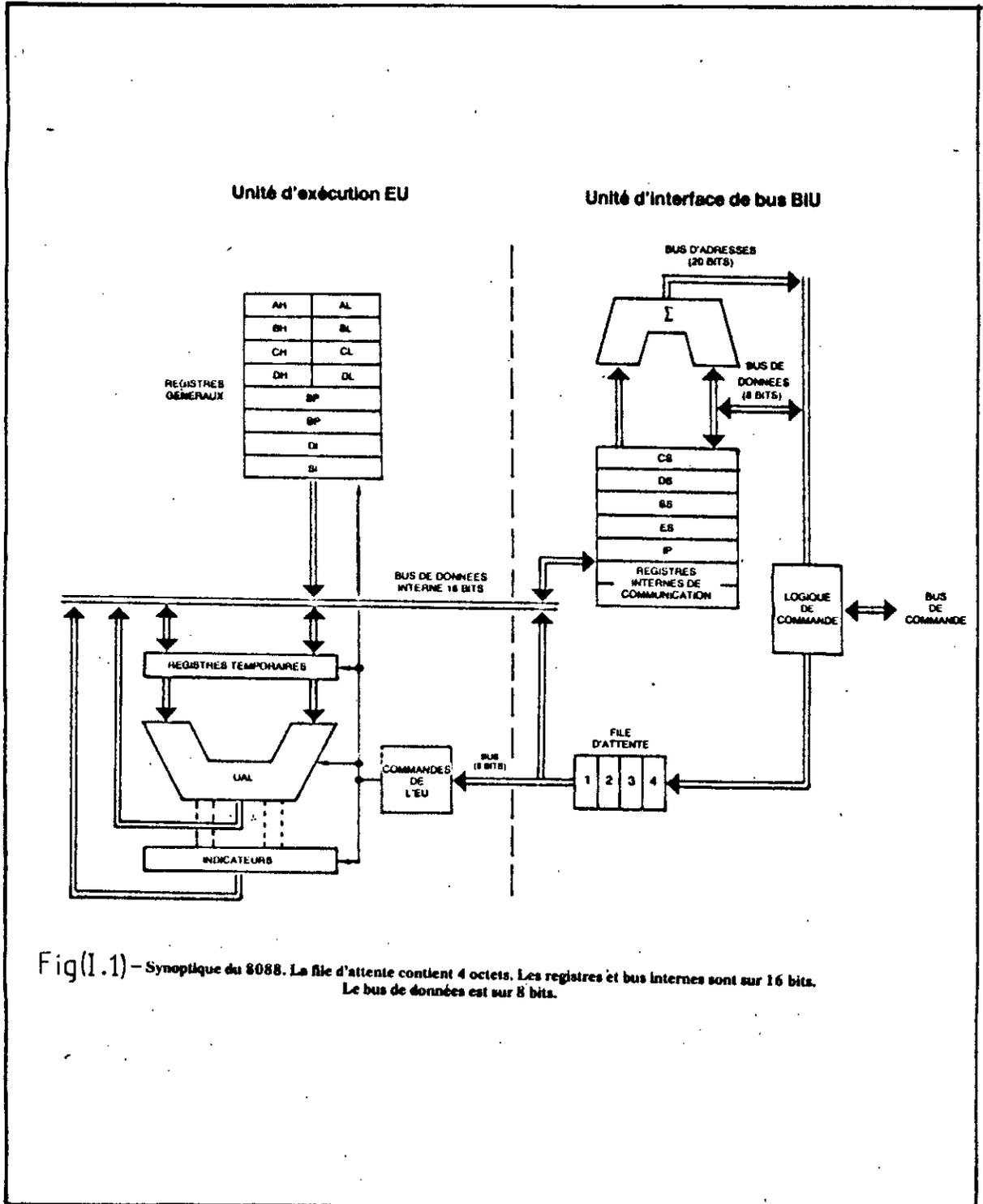
I.4.3 ARCHITECTURE DE L'UCT:[1]

L'architecture interne du 8088 est donnée par le schéma synoptique **Fig(I.1)**.

Le plus remarquable, dans l'architecture de UCT, c'est probablement sa division en deux blocs:

- Unité d'exécution, ou EU (execution unit).
- Unité d'interface de bus, BIU (bus interface unit).

D'après la **Fig(I.1)**, on remarquera que l'EU n'est pas en relation directe avec le bus multiplexé du système puisque



Fig(1.1) - Synoptique du 8088. La file d'attente contient 4 octets. Les registres et bus internes sont sur 16 bits. Le bus de données est sur 8 bits.

celui-ci est relié au BIU. Ce bus est multiplexé en ce sens qu'il transporte à la fois les adresses et les données.

La fonction principale du BIU du 8088 est de fournir l'interface physique entre le micro-processeur et le "monde extérieur". Le BIU met en oeuvre les adresses, les données et les bus de commande du système. Il peut fonctionner en parallèle avec

l'EU. Une caractéristique originale de BIU est sa possibilité de "pré-recherche d'instruction".

L'unité d'exécution EU du 8088 contient une unité arithmétique et logique à 16 bits. Celle-ci est reliée aux indicateurs d'état de l'UCT. L'EU manipule aussi les registres généraux du UCT. Tous les registres de l'EU sont à 16 bits.

L'avantage d'une distribution entre le EU et BIU réside dans le fait que ces deux unités peuvent travailler chacune de son côté, simultanément, ce qui débouche sur un fonctionnement en pipeline. Un micro-processeur exécute au moins deux types d'opérations différents :

- La recherche des instructions en mémoire.
- Leur exécution

Dans le cas du 8088, pendant que l'EU exécute une instruction, la BIU appelle la suivante. Ainsi, ces unités fonctionnent en pipeline.

Les instructions pré-recherchées sont mise en attente dans la BIU, dans une file d'attente capable de réceptionner quatre octets. La BIU part rechercher un nouvel octet dès lors qu'une place a été libérée dans sa file d'attente. Elle suspend toute pré-recherche lorsque l'EU ordonne un accès en mémoire.

I.4.4 ORGANISATION DES REGISTRES:[1],[3]

Pour des raisons de compatibilité, le jeu des registres de base du 8088 est fondamentalement identique à ceux de 8080/8085. Le 8088 possède 14 registres de 16 bits qui peuvent être regroupés en trois catégories, voir **Fig(I.1)**.

I.4.4.1 Registres généraux:

Les registres généraux de données au nombre de quatre, leurs noms génériques sont AX, BX, CX et DX sur 16 bits chacun mais adressables comme 8 registres sur huit bits, il se subdivisent en AL et AH, BL et BH, CL et CH, DL et DH.

Quatre registres généraux pour les pointeurs et l'index, sur 16 bits. Ils sont spécialisés en:

- Pointeur de pile de sauvegarde (SP)
- Pointeur de base (BP)
- Index source (SI)
- Index destinataire (DI)

Ils peuvent également intervenir dans les opérations arithmétiques et logiques. Généralement, ils contiendront des décalages servant à viser une cellule dans un segment. Ils participent encore aux calculs dynamiques des adresses logiques et sont implicitement exploitées par divers instructions.

I.4.4.2 Registres de segmentation:

Quatre registres de segments, sur 16 bits, pointant les quatre segments mémoire en activité. Ce sont les:

- Segment code (CS)
- Segment donnée (DS)
- Segment pile (SS, Stack Segment)
- Segment supplémentaire (ES, Extra Segment)

Les instructions proviennent d'une adresse calculée à l'aide du contenu de CS auquel s'ajoute le contenu d'un pointeur d'instruction (IP) dans un groupe suivant. Les opérandes viennent d'une adresse obtenue avec DS ou SS.

I.4.4.3 Registres d'état et de contrôle:

IP, le pointeur d'instruction, sur 16 bits est similaire à un compteur classique. Il contient, le décalage servant à calculer l'adresse de la prochaine instruction dans le segment CS et mis à jour par le BIU.

Flags, l'indicateur d'état, sur 16 bits, 9 seulement utilisés dépendent du résultat d'une opération arithmétique ou logique qui vient d'avoir lieu, ce sont les:

- CF: Mis à 1 sur retenue, à 0 autrement
- PF: Parité, à 1 si l'octet de faible poids du résultat est pair.
- AF: retenue sur quartet de faible poids du registre AL.
- ZF: Indicateur de zéro, à 1 sur résultat nul.
- SF: Signe, identique à bit de plus fort poids (0:Positif, 1:Négatif).
- TF: Pas à pas, à 1 déclenche une interruption après la prochaine instruction puis revient à zéro.
- IF: Autorisation d'interruptions masquables.
- DF: Direction, à 1 décrémente l'index visé, à 0 l'incrémente.

- OF: Dépassement sur résultat signé, passe alors à 1.

I.4.5 LA MEMOIRE:

Le micro-processeur 8088 est doté de 20 bytes d'adresse qui permettent l'adressage d'1 M octets de mémoire centrale. Cependant l'architecture de bus d'adresses est dite "segmenté" et le micro-processeur ne voit jamais plus de 64 K octets de mémoire centrale en même temps.

Chaque segment de 64 K octets est composé de 9 circuits de 64 K bits chacun. Ils permettent de mémoriser 64 K octets, le 9ème bit servant pour le contrôle de parité. En plus de la RAM le système contient une mémoire morte de 8 K octets appelée ROM BIOS.

I.5 LES INTERFACES:[4]

Généralement les périphériques sont placés à une certaine distance du processeur. En outre la plupart sont construits par des firmes qui ne fabriquent pas de micro-processeur. En conséquence, les signaux que les périphériques utilisent pour communiquer ne sont pas les mêmes que ceux utilisés par les processeurs. Pour résoudre les problèmes de distance et d'incompatibilité de signaux et de synchronisation entre périphériques et micro-processeurs, nous intercallons entre ceux-ci des circuits spécialisés appelés "INTERFACE".

L'interface a généralement la forme d'une carte de circuit enfichée dans le bus du processeur, le connecteur (slot) permet à l'interface d'avoir accès aux signaux du micro-processeur. A l'autre extrémité de la carte, il y a un autre connecteur, c'est un

cable relié au périphérique.

Les circuits de l'interface effectuent quatre tâches:

- * Ils transforment les signaux du processeur en signaux compatibles avec le périphérique.

- * Ils transforment la synchronisation à grande vitesse du processeur à une cadence compatible avec le périphérique.

- * Ils transposent l'information du processeur en un format compatible avec le périphérique vice-versa.

1.5.1 TYPES D'INTERFACES:

Il existe trois types principaux d'interface:

- parallèle
- série
- analogique

1.5.1.1 Interface série:

Les interfaces série n'utilisent qu'une seule ligne pour transmettre l'information. Il existe deux espèces principales d'interface série: asynchrone et synchrone. L'interface série asynchrone est la plus courante pour les micro-processeurs.

1.5.1.2 Interface analogique:

Les interfaces analogiques convertissent les signaux numériques du micro-processeur en signaux à variation continue.

1.5.1.3 Interface parallèle:

Ils sont très semblables au bus du micro-processeur. Les données sont transmises sur les lignes de données tout comme sur le bus de données du processeur. Les variantes des interfaces parallèle diffèrent par le nombre de lignes de données utilisées et par le nombre de signaux employés pour la validation de communication. Les interfaces parallèle peuvent être classés selon deux critères:

- * 1er critère: Le nombre de bits transmis en parallèle par l'interface (largeur du canal données).

- * 2ème critère: C'est le type d'asservissement utilisé pour le transfert de bits entre l'ordinateur et les périphériques. Il existe des asservissements à zéro fil, à un fil, à deux fils et à trois fils.

CHAPITRE II

ETUDE GENERALE DE LA CHAINE DE MESURE NUMERIQUE

II.1 INTRODUCTION:

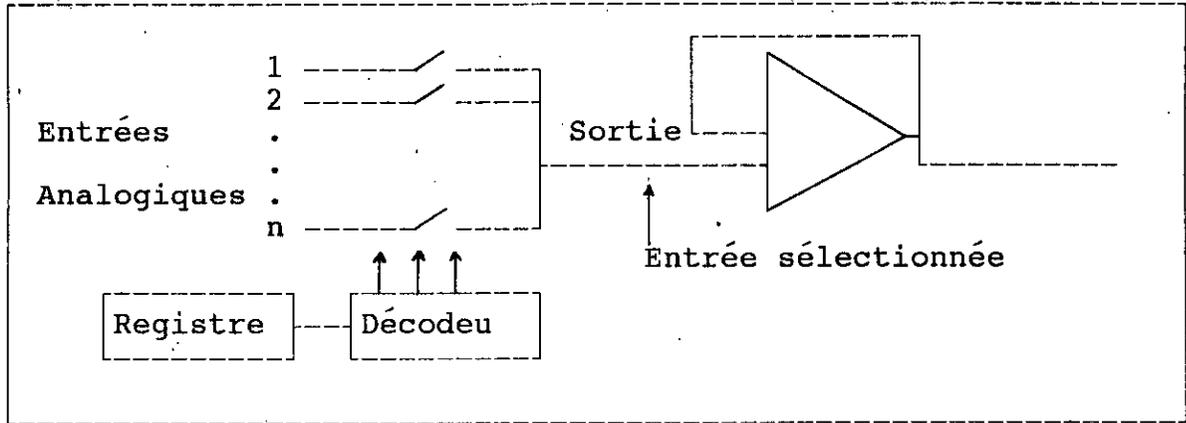
Pour traiter un signal analogique avec un système à micro-processeur, travaillant par conséquent en numérique, il faudra assurer une conversion **analogique-numérique** à l'entrée. Après traitement, le système numérique, selon le cas commande des dispositifs d'arrêt-marche, les affichages, des régulations, etc... Par conséquent le signal numérique issu du système de traitement devra être reconverti en analogique.

Une chaîne type de mesure industrielle, commandée numériquement, fait intervenir les convertisseurs pour le traitement numérique de l'information et son exploitation analogique. Si le système de traitement de l'information ne peut accepter qu'une à la fois, on passe par un **multiplexeur** pour faire circuler sur une voie unique de sortie les informations provenant de sources différentes. Ce dernier peut être suivi par un circuit qui prélève un échantillon du signal et le bloque provisoirement; C'est le circuit **d'échantillonnage blocage**.

II.2 MULTIPLEXAGE:

Le multiplexage est un ensemble de commutateurs analogiques en entrée, et une sortie. Un système logique (décodeur) permet de sélectionner une entrée.

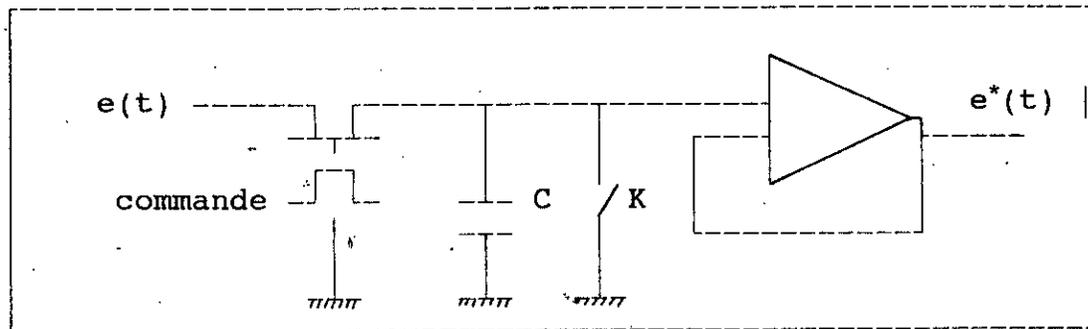
Le dispositif peut fonctionner dans le sens inverse "démultiplexeur" ce qui permet de distribuer le même signal sur des voies différentes.



Fig(II.1)

II.3 ECHANTILLONNAGE/BLOCAGE:

Soit $e(t)$ le signal à échantillonner:



Fig(II.2)

La commande active le transistor à effet champs TEC, ce qui permet la charge rapide du condensateur C à la valeur crête du signal. Cette valeur est gardée pendant un certain temps (blocage). Pour avoir un deuxième échantillon, on décharge le condensateur par un court circuit avec un commutateur électronique.

II.4 CONVERSION:

On a besoin de deux types de convertisseur dans une chaîne industrielle. Un convertisseur analogique numérique (A/D) pour que la grandeur mesurée puisse être traitée par le système de traitement numérique et un convertisseur numérique-analogique (D/A) pour que l'information disponible à la sortie du système de traitement numérique peut être exploitée par des dispositifs analogiques.

II.4.1 CONVERSION ANALOGIQUE-NUMERIQUE:

La conversion analogique numérique c'est la représentation d'un signal analogique par une expression numérique avec une précision et une résolution donnée.

La conversion analogique numérique est utile pour convertir des signaux analogiques existants en une forme qui puisse être manipulée par un système à micro-processeur.

La conversion d'un signal analogique V est donnée par l'expression suivante :

$$V_{ref} \left[\frac{b_1}{2} + \frac{b_2}{2^2} + \dots + \frac{b_n}{2^n} \right]$$

L'erreur de conversion d'un ADC à n bits est:

$$\frac{1}{2^{n+1}}$$

II.4.1.1 Caractéristiques:

Comme il n'existe pas de composants parfaits (idéal); donc on ne peut pas avoir une conversion idéale, ce qui nous conduit à définir certains paramètres.

* RESOLUTION: $V_{ref}/2^n$ n: Nombre de bits du ADC

* PRECISION: c'est la différence maximale entre la valeur lue et la valeur réelle.

* ERREUR DE ZERO: c'est la tension qu'il faut appliquer à l'entrée du CAN pour obtenir le code ZERO en sortie. Ceci est dû aux tensions et courants de décalage de l'entrée du comparateur et de l'amplificateur et il peut être compenser automatiquement dans les convertisseurs à haute résolution.

* ERREUR DE DECALAGE: c'est la différence entre la tension nulle correspondant au code 00...0 et la tension de sortie réelle.

II.4.1.2 Différents types de ADC:

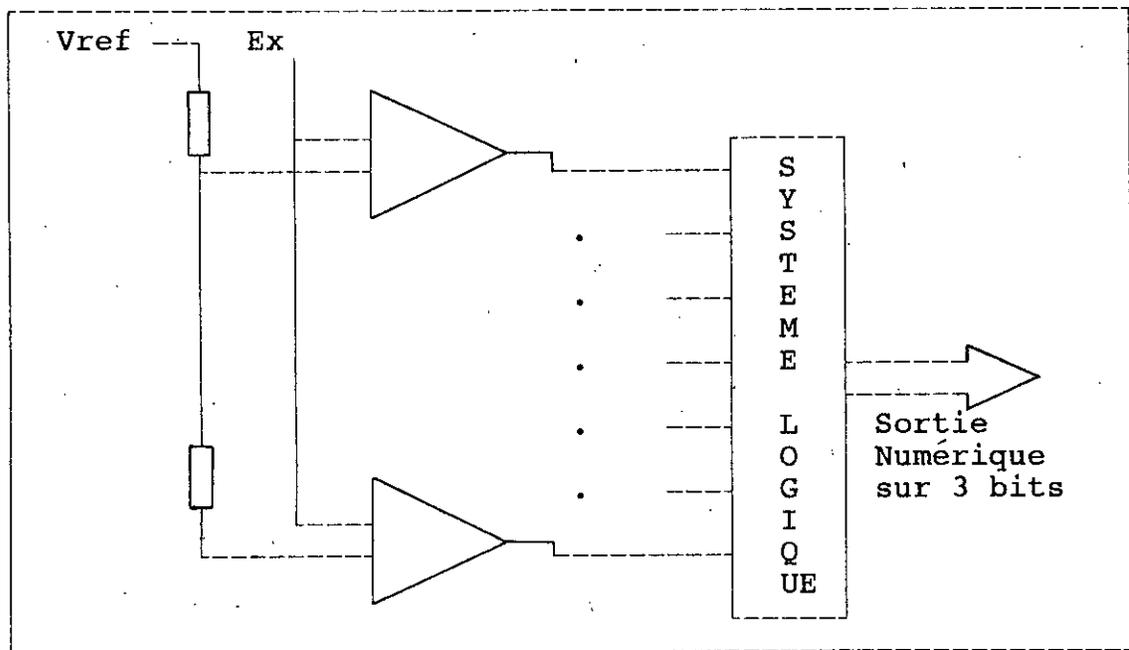
Il existe différentes techniques de conversion analogique numérique. Certaines sont très rapides mais exigeant un grand nombre de composants électroniques. D'autres, utilisent les composants de façon astucieuse, réduisant le coût de matériel mais augmentant le temps nécessaire pour la conversion.

Nous allons maintenant étudier les principales techniques de conversion analogique numérique.

a) ADC parallèle ou flash:

Le principe de ce convertisseur consiste à comparer la tension d'entrée E^x à n tensions de références simultanément à travers une chaîne de division à résistances. Ce

convertisseur exécute les comparaisons, simultanément en parallèle. Par conséquent, son temps de conversion ne demande que quelques dizaines de nano secondes parcequ'il est limité que par le temps de propagation à travers les comparateurs et les portes logiques. Par contre le montage de ce convertisseur est plus important et plus onéreux, car le nombre de comparateurs et de résistances utilisées croit très vite et il est égal à 2^{n-1} pour un ADC à n bits. Ainsi, une conversion sur trois bits demande 7 comparateurs Fig(II.3). Le convertisseur parallèle (flash) est le plus rapide mais le plus complexe et le plus chère.



Fig(II.3)

b) ADC à approximations successives:

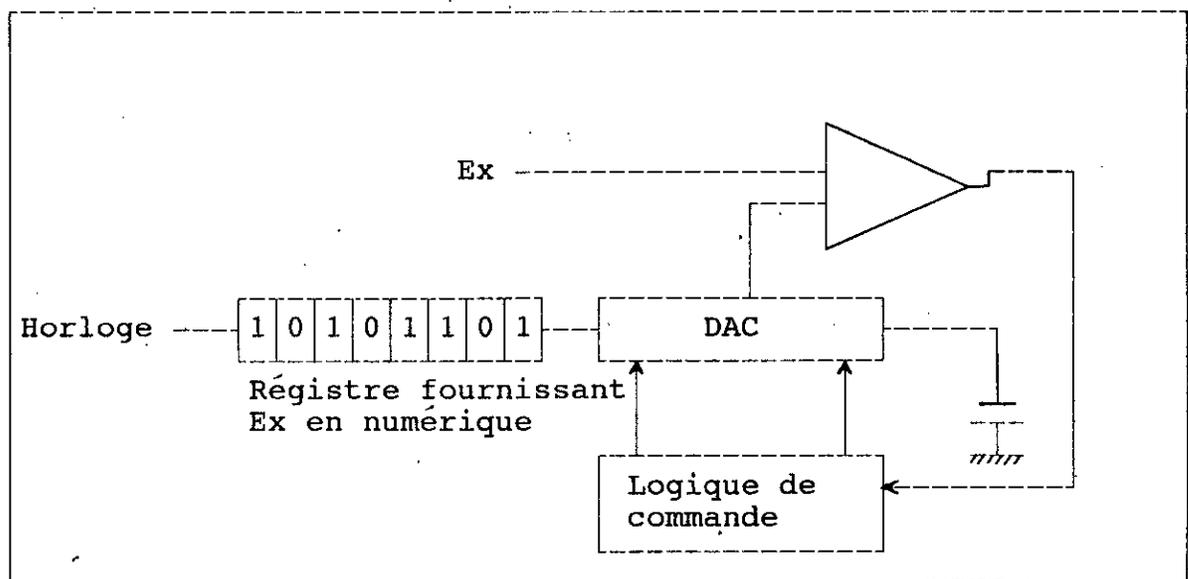
Le principe de ce convertisseur consiste à comparer la tension inconnue à des tensions successives de références. On essaie tout d'abord, le bit le plus fort poids. Si la conversion analogique de ce dernier donne une valeur inférieure à la tension à convertir, on conserve ce bit et on essaie le bit immédiatement inférieur et on compare à nouveau

etc...

Lorsque la conversion donne un résultat supérieur à la tension à convertir, on remplace le dernier bit essayé par un zéro et on essaie le suivant jusqu'à l'épuisement des bits. L'image de la tension à convertir est égale au contenu du registre de sortie Fig(II.4).

Ce type de convertisseur est très répandu en raison de sa vitesse de conversion (elle peut descendre à 100 ns par bit) et il est aussi économique.

Sa précision dépend surtout de la stabilité de la tension de référence, de la qualité de son CNA, des caractéristiques de commutations et de la précision du comparateur.



Fig(II.4)

Pour réaliser une conversion complète dans ce type de convertisseur, il faut n essais si n est le nombre de bits du registre, soit n top d'horloge.

II.4.2 CONVERSION NUMERIQUE ANALOGIQUE:

La conversion d'une représentation numérique en un signal analogique est dite conversion numérique-analogique (D/A). Cette conversion est utile lorsque le système à micro-processeur veut commander des dispositifs analogiques.

De nombreux principes ont pu être adoptés pour assurer la conversion numérique analogique. En pratique, on emploie essentiellement des convertisseurs de type parallèle (les bits du mot numérique d'entrée sont appliqués en parallèle). Parmi ceux-ci, on retiendra les convertisseurs:

- A résistances pondérées.
- A échelle R-2R.

Ces convertisseurs sont, par principes, plus rapides que ceux du type série mais exigent davantage de composants.

II.4.2.1 Différents types de DAC:

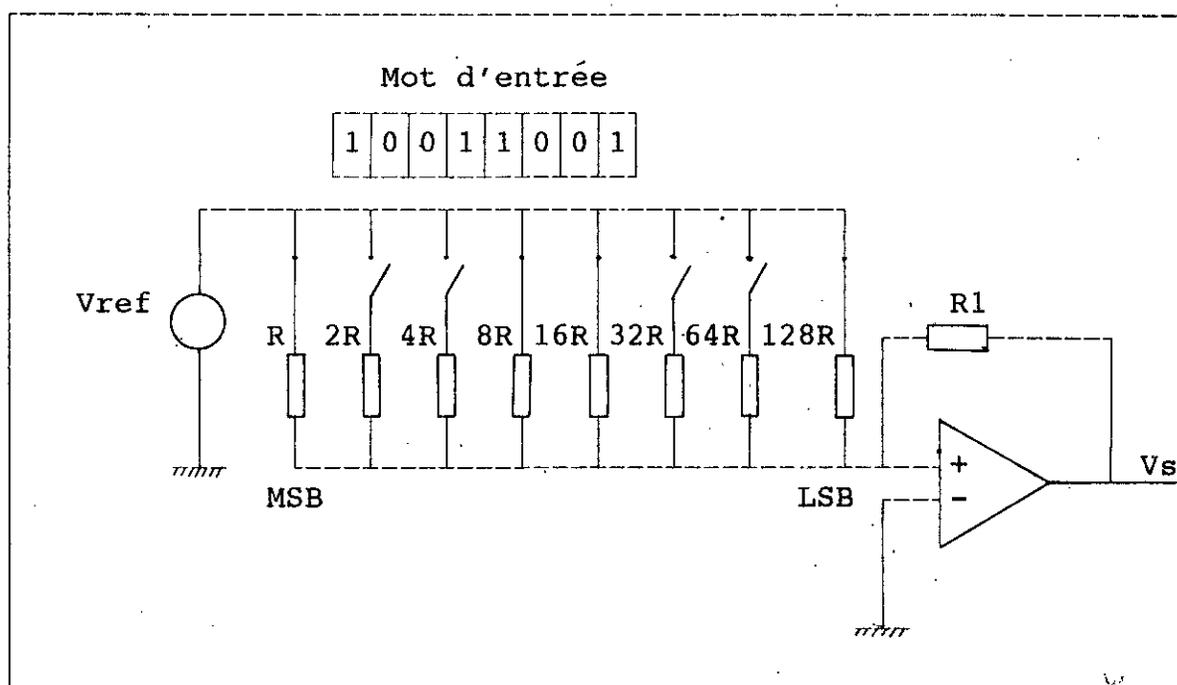
a) DAC à résistances pondérées:

Le principe du convertisseur parallèle à résistances pondérées est indiqué dans la Fig(II.5).

Chaque bit du mot d'entrée commande un interrupteur qui sera fermé s'il est à 1, ouvert s'il est à 0. D'autre part, ces interrupteurs mettent en service des résistances de valeurs croissantes, d'échelle 2, toutes alimentées par la même source. Par

conséquent, la résistance $2R$ est parcourue par un courant deux fois moindre que R (lorsque l'interrupteur correspondant est fermé) et deux fois supérieur à celui qui traverse $4R$; Le même résonnement s'applique à toute la chaîne.

Les courants élémentaires correspondent au poids relatif des bits (binaires), dont la somme donne une sortie en courant. Si on désire fournir une tension analogique, on n'a qu'à additionner au courant pondéré obtenu un amplificateur à la sortie du convertisseur.



Fig(II.5)

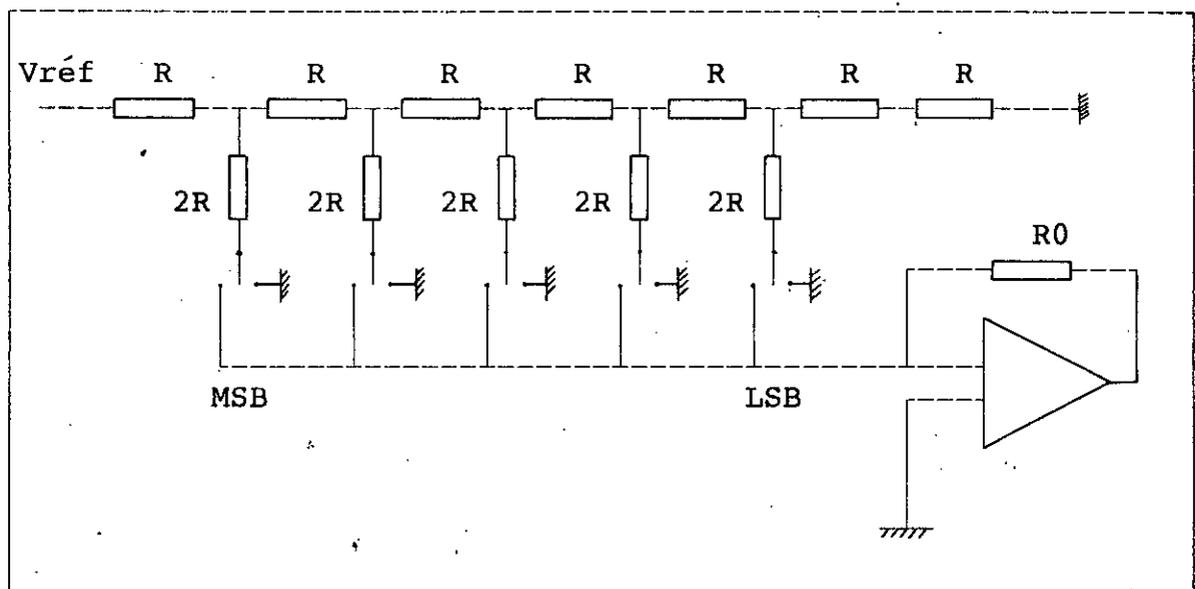
Ce type de convertisseur est simple avec une vitesse élevée. La difficulté majeure, dans sa réalisation, réside dans les valeurs largement différentes des résistances, auxquelles on demande, en outre, une grande précision et une grande stabilité.

b) Convertisseur à échelle R-2R:

Le convertisseur à échelle R-2R offre l'avantage de n'utiliser que deux valeurs

de résistances, simple et double. Le principe du convertisseur R-2R à commutation de courant est présenté dans le schéma de la Fig(II.6).

Pour ce convertisseur, chaque bit du mot d'entrée commande un commutateur connecté vers la masse pour un zéro, vers la ligne de sommation aboutissant à l'amplificateur opérationnel pour un 1. On constate que, quelque soit la position du commutateur, la résistance $2R$ qu'il pilote est relié à un potentiel nul. Ainsi, pour chaque position du commutateur et à travers les résistances $2R$, ces tensions donnent naissance à des courants qui seront additionnés par l'amplificateur opérationnel.



Fig(II.6)

L'aboutissement à cette distribution des tensions le long de l'échelle R-2R est étudié en [5].

Le mot d'entrée sur cinq bits binaires, peut être allongé (ou réduit) selon le même principe.

CHAPITRE III

CONCEPTION ET REALISATION DE LA CARTE

III.1 INTRODUCTION

Dans cette partie, on élabore la conception d'une carte d'interface qui permet la connexion entre un microprocesseur principal, élément de l'IBM PC ou compatible, et le système à régler, lors d'un réglage numérique.

Le schéma synoptique de la carte est représenté sur la Fig(III.1).

III.2 CARACTERISTIQUE DE LA CARTE

La carte est caractérisée par :

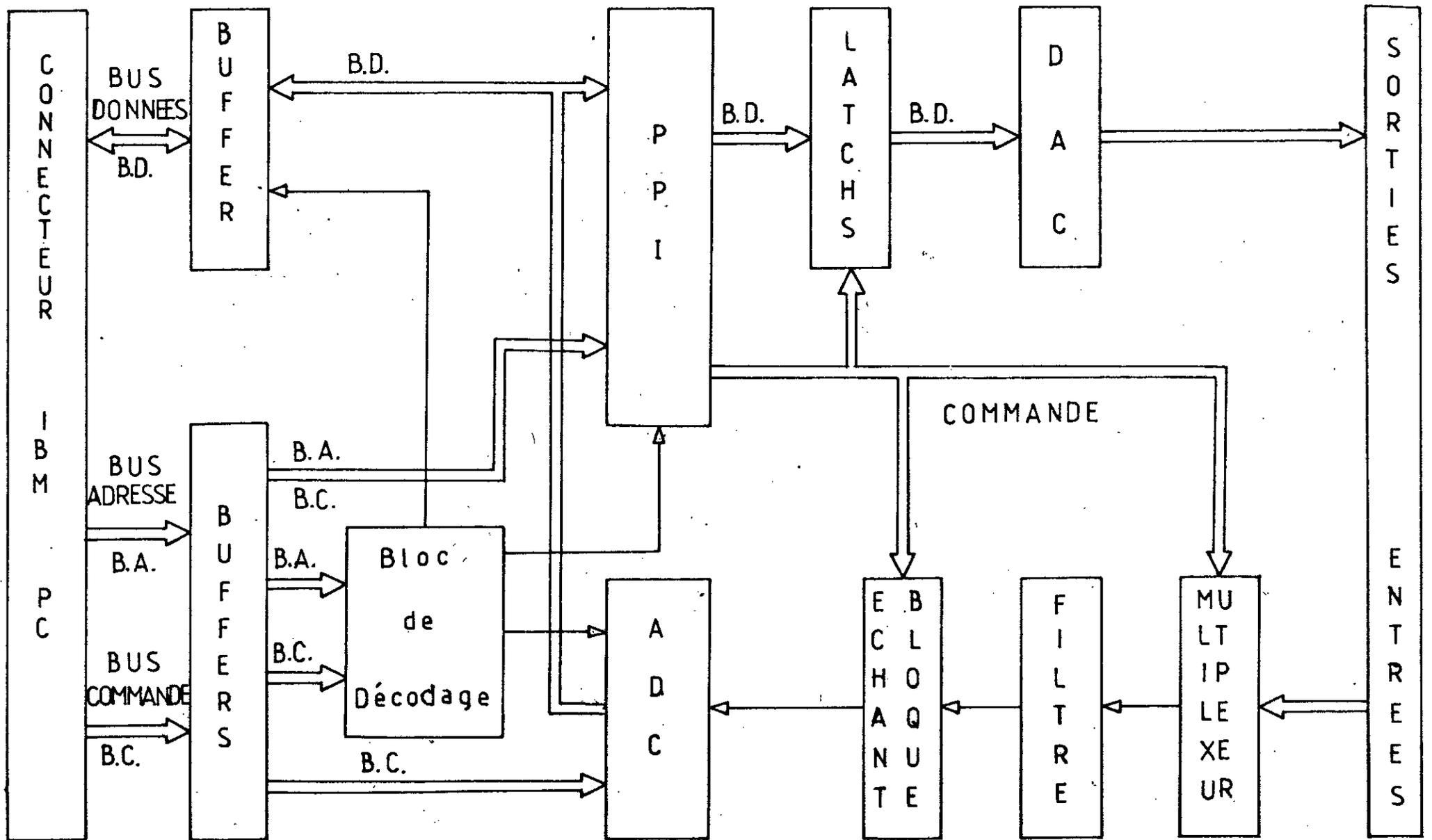
- Huit (08) entrées analogiques démultiplexées.
- Deux (02) sorties analogiques multiplexées

Pour que, les signaux d'entrées de la carte d'interface puissent être acquis par le micro-processeur, ils doivent être:

- Démultiplexés, car le micro-processeur n'accepte qu'une seule entrées à la fois.
- Filtrés, car ils présentent certaines harmoniques indésirables.
- Echantillonnés et maintenus pendant une période T avant d'être acquis par le micro-processeur qui travaille en numérique.
- Convertis en signaux logiques à 8 bits.
- Amplifiés

Les signaux de sortie de la carte d'interface doivent être:

- Amplifiés
- Multiplexés



Fig(III.1)

- Stockés dans deux verrous
- Convertis en signaux analogiques

Toutes ces opérations sont assurées par des composants électroniques commandés par le micro-processeur, par l'intermédiaire du PPI 8255A, et d'un bloc de décodage des adresses, assure ainsi un synchronisme entre les différentes opérations.

III.3 ACQUISITION ET MISE EN FORME DU SIGNAL D'ENTRÉE:

III.3.1 DEMULTIPLEXEUR ANALOGIQUE (4051B):

Pour sélectionner l'une des entrées analogiques sur la chaîne d'acquisition de données, on a utilisé un multiplexeur/ démultiplexeur **4051B**.

Le **4051B** est un multiplexeur/démultiplexeur de huit canaux analogiques avec trois entrées adresses A_0 - A_2 , un sélecteur de boîtier E, huit entrées/sorties indépendantes Y_0 - Y_7 et une entrée/sortie commune Z.

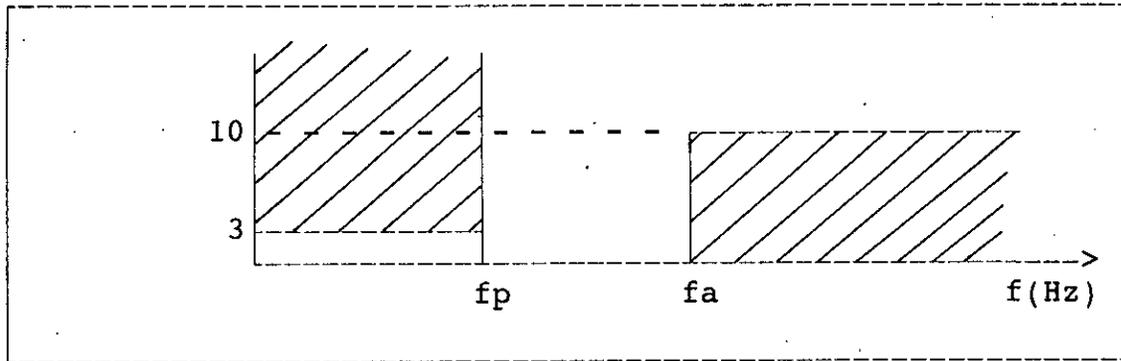
Le **4051B** fonctionne comme multiplexeur (démultiplexeur) si Z est une entrée (sortie) et les lignes Y_0 - Y_7 sont des sorties (entrées). Les adresses A_0 - A_2 et le chip sélect E sont pris sur le port C du PPI.

La table de vérité et le brochage du **4051B** sont donnés en Annexe B.

III.3.2 FILTRAGE:

Pour éliminer, les fréquences industrielles indésirables du signal d'entrée analogique, il faut procéder à un filtrage analogique par le biais d'un filtre passe-bas, en

utilisant un filtre de Butterworth du 2nd ordre. Le filtre est caractérisé par le gabarit suivant [8]:

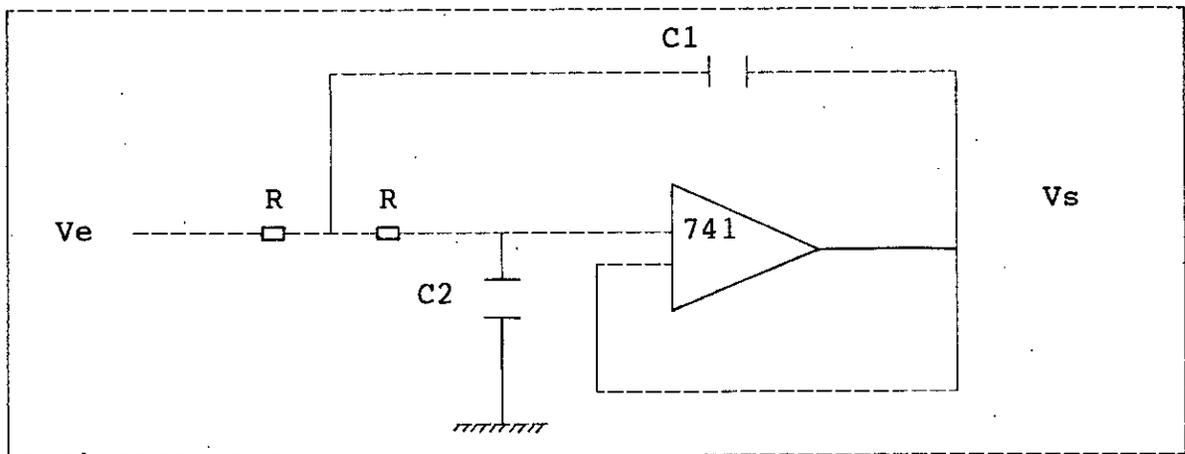


Fig(III.2)

où:

f_p : dernière fréquence à 3 dB à la bande passante.

f_a : première fréquence à 10 dB à la bande passante.



Fig(III.3)

Le filtre a la fonction de transfert suivante :

$$F_t(s) = \frac{V_s}{V_e} = \frac{1}{R^2 C_1 C_2 s^2 + 2RC_2 s + 1}$$

$$W_0 = \frac{1}{R\sqrt{C_1 C_2}} \quad \xi = \sqrt{\frac{C_2}{C_1}}$$

la fréquence de coupure est:

$$f_0 = \frac{1}{2\pi R\sqrt{C_1 C_2}} = 50 \text{ Hz}$$

$$\xi = 0.707$$

Donc:

$$R = 1 \text{ k}\Omega$$

$$C_1 = 30 \text{ }\mu\text{F}$$

$$C_2 = 15 \text{ }\mu\text{F}$$

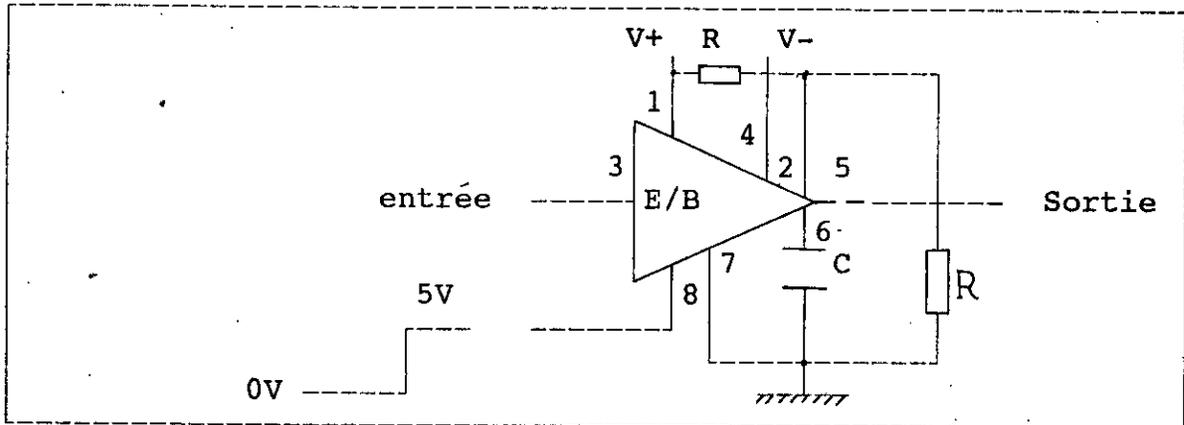
III.4 NUMERISATION DU SIGNAL ANALOGIQUE D'ENTREE:

III.4.1 ECHANTILLONNEUR-BLOQUEUR (LF398):

III.4.1.1 Description générale:

La régulation de notre système sera assurée par un micro-ordinateur qui travaille, par conséquent, en numérique. L'introduction d'un échantillonneur-bloqueur est indispensable dans la carte. LF398 sert à échantillonner le signal d'entrée et pendant chaque période d'échantillonnage, il bloque les portions du signal analogique dans des intervalles de temps, relativement grands, pour pouvoir la conversion Analogique/Numérique du signal d'entrée.

Le diagramme fonctionnel de LF398 est donné en Annexe B. C'est un circuit à huit broches, et son application typique représentée comme suit :



Fig(III.4)

La détermination du temps de blockage en fonction de la capacité de blockage est représenté par la courbe donnée en Annexe B.

III.4.1.2 Caractéristique:

L'échantillonneur/bloqueur (LF398) possède les caractéristiques suivantes :

- C'est un circuit opérant comme un suiveur de gain unité.
- Son temps d'acquisition peut descendre en dessous de $10 \mu\text{s}$ avec une très grande précision.
- Il a une large bande passante (1 MHz) avec une impédance d'entrée de 10^{10} ohms(Ω).
- Présente une haute réjection de source de bruit pendant l'échantillonnage et le blocage.
- La logique d'entrée est compatible pour TTL, PMOS et CMOS.
- Il peut fonctionner de $\pm 5\text{V}$ à $\pm 18\text{V}$.

- Faible entrée offset : Le réglage de l'erreur de décalage se fait à l'aide d'une résistance de 1 K Ω relié à l'entrée offset (broche 2).

- Faible bruit à la sortie à l'étape de blocage.

On passe du blocage à l'échantillonnage en appliquant un niveau haut sur l'entrée logique qui provient directement du port C du PPI.

Le brochage de LF398 est donné en Annexe B.

III.4.2 CONVERTISSEUR ANALOGIQUE-NUMERIQUE ADC 804:

III.4.2.1 Description générale:

C'est un convertisseur de technologie CMOS qui utilise la méthode à approximation successive et il est compatible avec tout micro-processeur à huit bits.

Ce convertisseur paraît pour le micro-processeur comme une position mémoire où un port d'entrée/sortie qui nécessite aucun interface logique.

III.4.2.2 Caractéristiques:

- La tension d'alimentation est de 5V.
- L'entrée analogique est différentielle.
- Les logiques d'entrée et de sortie sont conformes au niveau logique utilisé en technologie CMOS et TTL.
- L'interface avec tout micro-processeur à huit bits.
- Le temps de conversion est de 100 μ s.
- Le temps d'accès est de 135 ns.

-L'erreur de conversion est de $1/2$ de la tension qui correspond au bit de poids le plus faible (LSB).

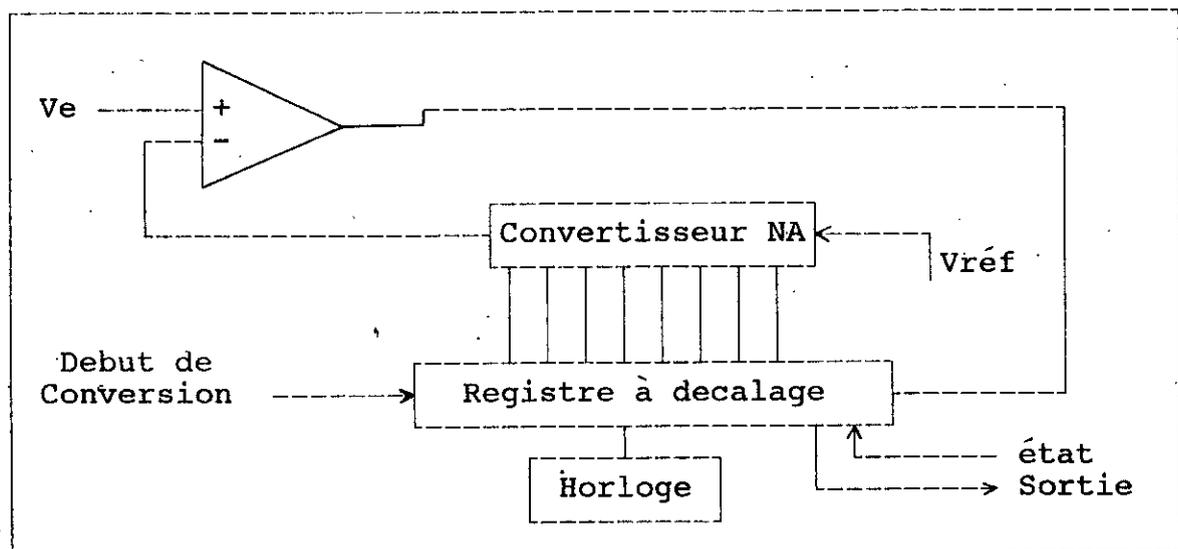
-L'ADC 804 peut fonctionner avec son horloge interne ou avec une horloge externe et ceci en introduisant un circuit RC en externe.

III.4.2.3 Signaux de commande de l'adc 804:

- * RD : Permet la lecture d'un octet à la sortie du CAN.
- * WR : Autorise le début de conversion.
- * CS : Sélectionne l'ADC804 et valide les deux signaux RD et WR.
- * INTR : Indique la fin de conversion.

III.4.2.4 Principe de fonctionnement:

La figure ci-dessous donne le schéma de principe de l'ADC804.



Fig(III:5)

Le signal d'entrée V_e positif (0-5V) à convertir est appliqué à l'une des entrées du comparateur tandis que l'autre reçoit la tension de référence fixée à 5 Volts.

Lors du passage à l'état bas du signal WR, le registre interne à approximations successives et le registre à décalage sont remis à zéro. CS étant maintenu au niveau bas.

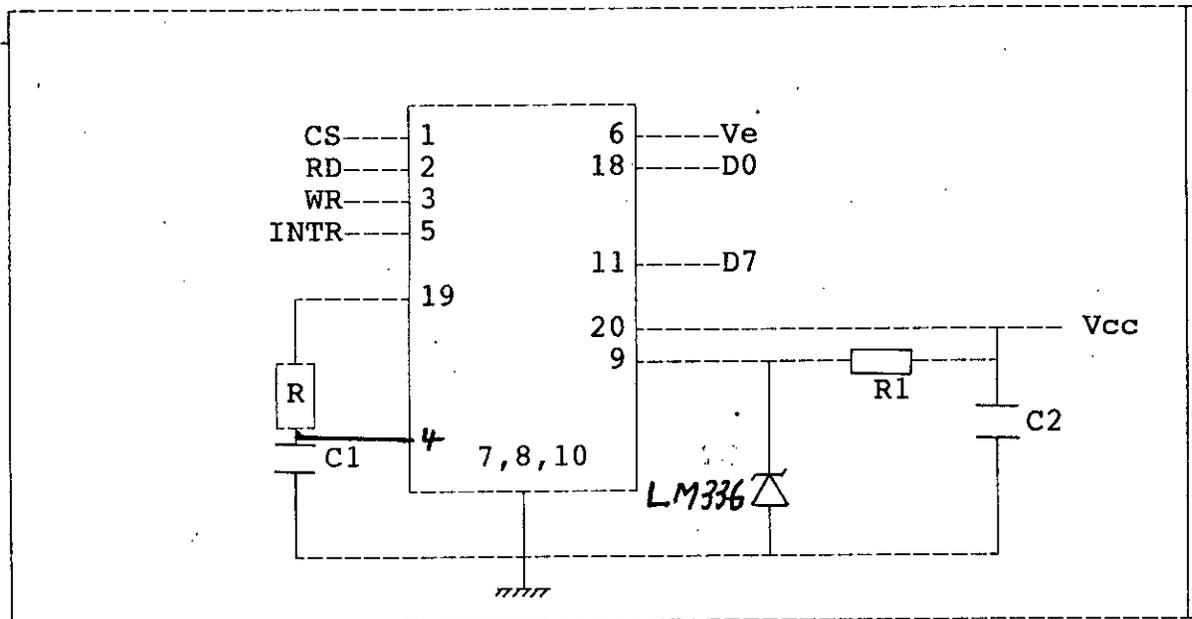
Tant que CS et WR restent au niveau bas, le DAC n'est pas retardé. Après un retard de 1 à 8 cycles d'horloge, lors d'une série de transition du niveau bas au niveau haut de WR, le début de conversion devient effectif.

Lorsque la sortie du DAC (une fois réglée à la moitié de la tension de référence $V_{réf}/2$) se stabilise, le comparateur indique si la tension de sortie du convertisseur numérique/analogique est inférieure ou supérieure à la tension d'entrée V_e . Si la tension du convertisseur est inférieure à la valeur d'entrée V_e , le MSB du DAC reste à "1", dans le cas contraire, le MSB sera remis à "0" et la valeur d'entrée du DAC est augmentée par la logique de commande pour que la sortie du DAC atteigne les $3/4$ de $V_{réf}$. Cette valeur est à nouveau comparée à la tension d'entrée de V_e . Le processus se poursuit par incrémentation égale à la moitié du précédent jusqu'à ce que l'entrée du DAC représente le code binaire correspondant à la tension d'entrée V_e . Ceci provoque le passage au niveau bas de l'INTR, indiquant ainsi la fin de la conversion.

ETALONNAGE:

La tension la plus faible, qui correspond au bit de poids le plus faible, que le DAC peut convertir est de l'ordre de 19.6 mV ($V_{réf}/2^n$).

Pour avoir une bonne conversion de notre signal analogique, on a utilisé le schéma ci-dessous :



Fig(III:6)

L'ADC804 est un circuit intégré à 20 broches, son brochage détaillé est donné en Annexe B.

III.5 L'INTERFACE PROGRAMMABLE PARALLELE PPI 8255A:

II.5.1 GENERALITES:

Le 8255A de l'INTEL est un circuit d'interface parallèle, ce qui signifie qu'il reçoit des données et les transmet du/vers le micro-processeur ou du/vers un ou plusieurs périphériques sur des bus de huit bits. Il dispose, en fait, de trois ports d'entrée/sortie sur huit bits. Il est aussi, programmable, ce qui se traduit par le fait qu'on peut imposer l'état d'entrée ou de sortie à chacun des ports et selon trois modes. Il ne possède que quatre registres et il n'a que peu de particularité, il est considéré comme étant l'un des

interfaces les plus simples.

III.5.2 FONCTIONNEMENT ET DESCRIPTION:

III.5.2.1 Organisation du PPI:

Une représentation classique du 8255A organise la répartition des entrées/sorties en quatre groupes:

- * Le port PA0 à PA7, son quartet associé PC4 à PC7.
- * Le port PB0 à PB7, son quartet associé PC0 à PC3.

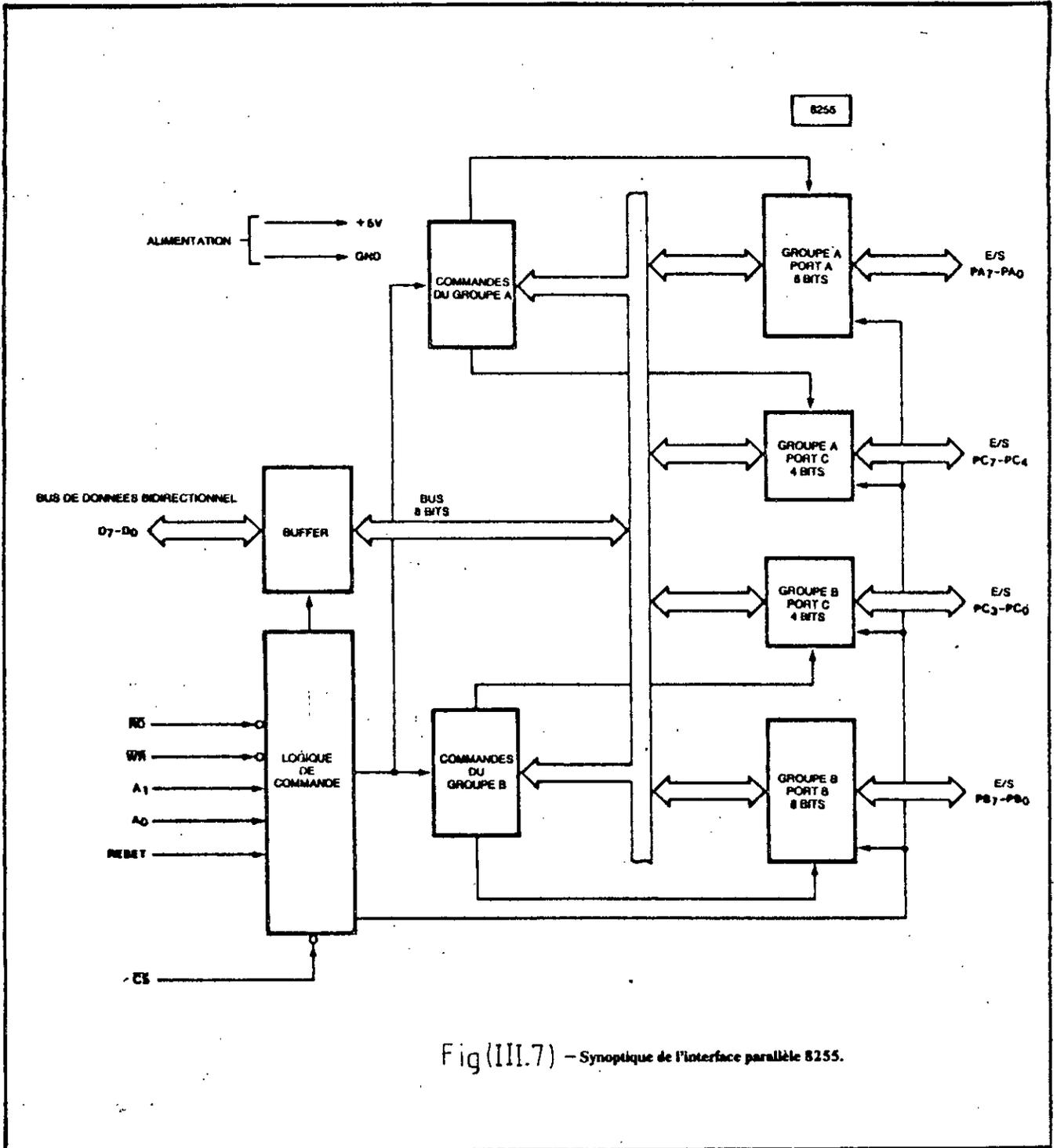
La programmation s'effectue grâce à des registres internes.

D'après le schéma synoptique du 8255A, l'interface vers le micro-processeur se trouve sur la partie gauche du schéma. Elle comprend les broches suivantes :

- CS : Broche de sélection de boîtier
- RD : Broche de commande de lecture
- WR : Broche de commande d'écriture
- A0 et A1 : Deux broches d'adresses
- D0 à D7 : Huit broches de données bidirectionnelles

Sur le côté droit du schéma synoptique du 8255A, nous voyons ce qui semble être quatre groupes de broches d'entrée/sortie: Port A, Port C supérieur, Port C inférieur et Port B. Les ports A et B ont huit bits alors que les ports C supérieur et C inférieur n'ont que quatre. Le port C supérieur est commandé par la commande du groupe A, tandis que le port C inférieur l'est par la commande du groupe B, comme ils peuvent être utilisés indépendamment des groupes A et B. Les ports A et B peuvent être mis à des

modes



Fig(III.7) - Synoptique de l'interface parallèle 8255.

différents. Le port C supérieur est configuré selon le mode du port A et le port C inférieur selon le mode du port B.

III.5.2.2 Commande de base du 8255A:

L'adressage des registres de commande est assuré sur deux bits, A0 et A1, qui combinés avec les signaux RD et WR et ,bien sûr, CS définissent les opérations du tableau suivant:

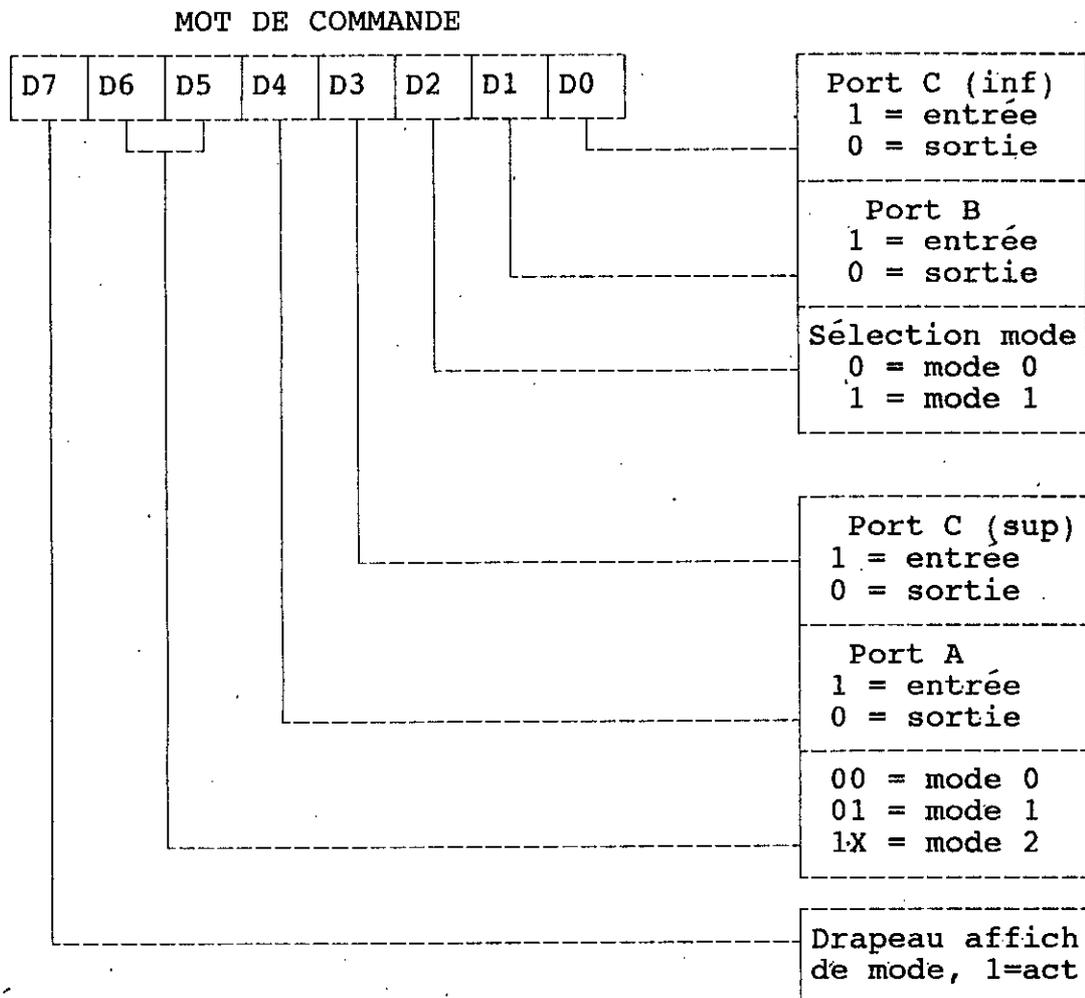
TYPE	A1	A0	RD	WR	CS	O P E R A T I O N
L E C T U R E	0	0	0	1	0	PORT A VERS BUS DE DONNEES
	0	1	0	1	0	PORT B VERS BUS DE DONNEES
	1	0	0	1	0	PORT C VERS BUS DE DONNEES
E C R I T U R E	0	0	1	0	0	BUS DE DONNEES VERS PORT A
	0	1	1	0	0	BUS DE DONNEES VERS PORT B
	1	0	1	0	0	BUS DE DONNEES VERS PORT C
	1	1	1	0	0	BUS DATA VERS MOT DE COMMANDE
I I N T H I O B N	X	X	X	X	1	BUS DE DONNEES AU 3ème ETAT
	1	1	0	1	0	ILLEGAL
	X	X	1	1	0	BUS DE DONNEES AU 3ème ETAT

III.5.2.3 Programmation:

Le PPI dispose d'un seul registre de huit bits pour définir sa configuration fonctionnelle, c'est à dire selon les trois modes de fonctionnement et le sens des données sur les trois ports. La programmation, s'effectue en envoyant dans la registre

correspondant le mot de commande approprié. Selon l'état du bit 7 du registre de commande, on définit deux formats du mot de commande.

* 1er format (bit 7 est à 1):

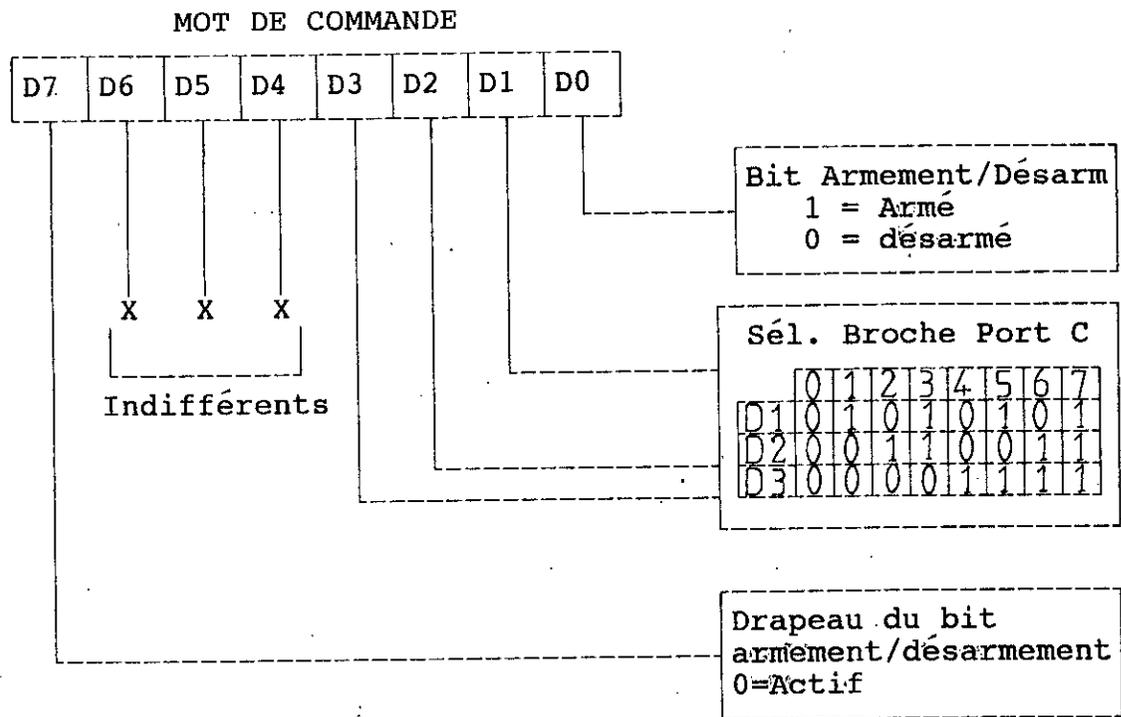


Les bits 5 et 6 commandent le mode du port A. Le bit 4 est le bit du sens des données du port A. Il détermine si les broches du ports A sont des entrées ou des

sorties. Le bit 3 détermine le sens des broches du port C supérieur.

Le bit 2 est le bit de selmection du mode pour le port B (Le port B ne peut être en mode 2, mode bus bidirectionnel). Le bit 1 détermine le sens des broches du port B et le bit 0 pour celles du port C inférieur.

* 2ème format (bit 7 est 0):



En plus de la définition du 1er format, le registre de commande du 8255A peut également être défini comme le montre la figure de 2ème format. Dans cette configuration, les broches du port C sont directement mise à "1" ou à "0". Les bits 4, 5 et 6 sont indifférents. Les bits 1 à 3 spécifie quel bit du port C sera manipulé et le bit 0

spécifie l'état que ce bit doit prendre.

III.5.2.4 Mode de fonctionnement:

Le PPI 8255A est un circuit d'interface parallèle. La configuration des ports A, B et C de communication avec les périphérique, est déterminée par le registre de commande qui définit le sens des données sur chaque port et les modes de fonctionnement qui sont:

- * Mode 0: Entrée/sortie de base, dite encore E/S de bits
- * Mode 1: Entrée/sortie échantillonnée
- * Mode 2: Bus bidirectionnel

Mode 0:

En mode 0, le 8255A fonctionne en configuration "E/S de base" ou "E/S de bits". Ceci signifie que les broches définies comme des sorties resteront aux niveaux donnés par une sortie du micro- processeur vers le 8255A, jusqu'a ce qu'ils soient modifiés par une autre opération de sortie du proceseur. Les sorties en mode 0 sont mémorisées, les entrées ne le sont pas.

En mode 0, le 8255A peut être configuré de 16 façon différentes. Ce nombre comprend toutes les affectations des ports A, B, C supérieur et inférieur en entrées et en sorties. Tous les bits du port A sont mis soit en entrée, soit en sortie. De même toutes les broches des autres ports peuvent être mises en entrée ou en sortie.

Le sens de circulation des données doit être le même pour toutes les broches d'un port donné. Ceci signifie que le port A ne paut être définie comme constitué de six entrée et deux sorties par exemple. Le port C est partagé en deux et peut donc être

défini comme étant constitué de huit entrées ou huit sorties, ou quatre entrées et quatre sorties.

Le fonctionnement en mode 0 est classé comme un asservissement à zéro fil. Aucun signal de synchronisation n'est changé entre ordinateur et périphériques. Un asservissement à un, deux ou trois fils pourrait être mis en oeuvre en mode du 8255A. Ceci exigerait dans le micro-processeur un logiciel pour gérer les niveaux de commande de l'asservissement de lire les lignes d'état d'entrée.

MODE 1:

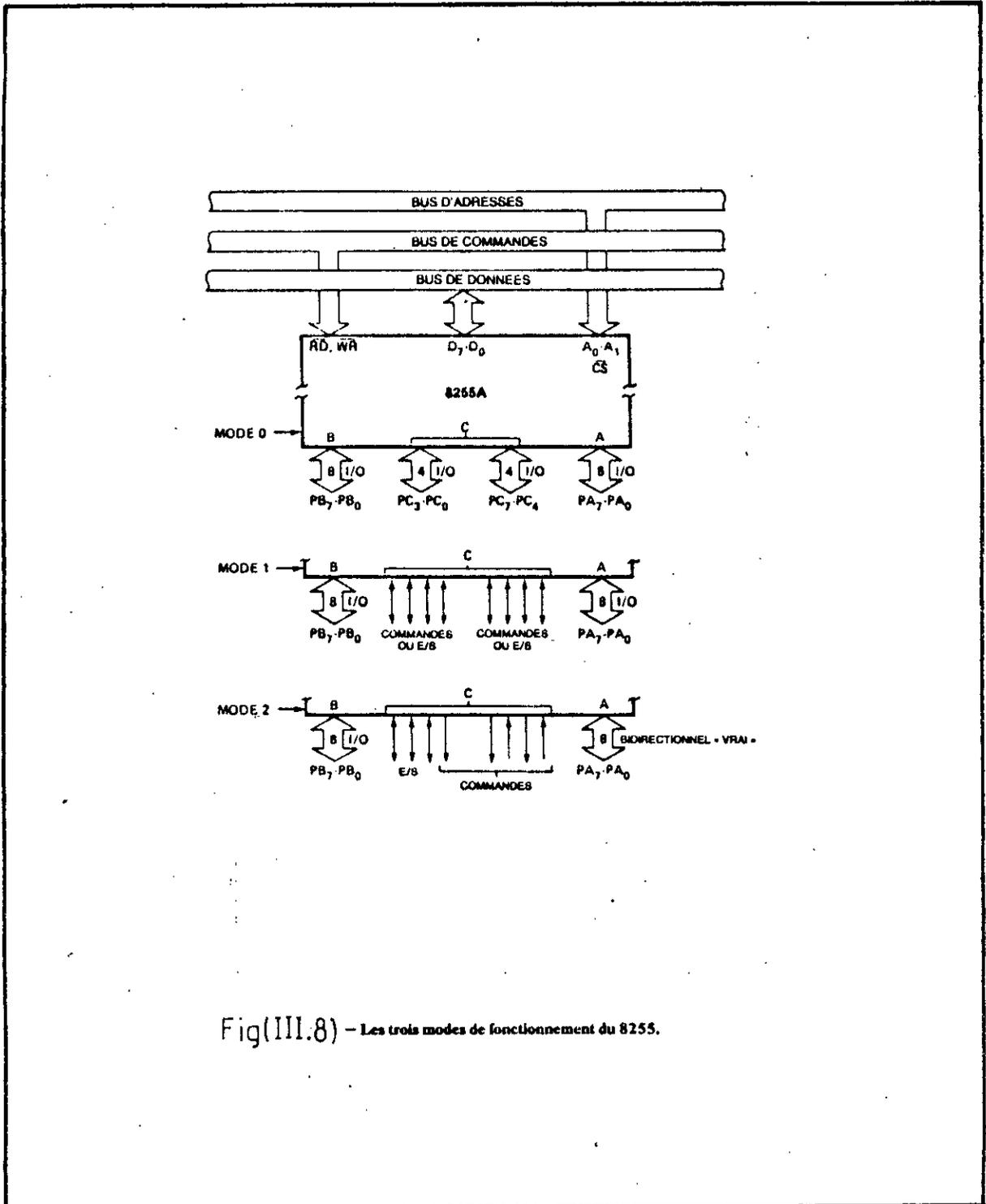
Le mode 1 est le mode d'entrée sortie échantillonné du 8255A. Les ports de données en entrée ou en sortie sont les ports A et B, les ports C servent pour les lignes de commande et d'état de l'asservissement échantillonné. Le port A utilise pour l'asservissement les bits 3, 4 et 5 du port C, tandis-que, le port B utilise les bits 0, 1 et 2 du port C. Les bits 6 et 7 du port C restent disponible pour des entrées/sorties de bits. Pour plus de détails, nous renvoyons le lecteur à l'ouvrage[4].

MODE 2:

Le mode 2 est le mode de bus bidirectionnel d'entrée sortie, il est le mode de fonctionnement du 8255A le plus complexe. Seul le port A peut fonctionner dans ce mode. Le port A est utilisé comme un accès de données bidirectionnel, tandis-que 5 bits du port C sont utilisés comme signaux d'asservissement.

Le port B peut être utilisé en mode 1 ou en mode 0 pendant que le port A fonctionne en mode 2. Les bits 0, 1 et 2 du port C restant sont disponibles soit pour des

entrées sorties de bits soit comme lignes d'asservissement pour le port B en mode 1. Pour plus de détails, nous renvoyons le lecteur à l'ouvrage[4].



Fig(III.8) - Les trois modes de fonctionnement du 8255.

II.5.3 BROCHAGE DU 8255A:

Le brochage du 8255A avec les fonctions et les significations de ses broches sont données en Annexe B.

III.5.4 CONDITION SUR APPLICATION PRATIQUE:[7]

Chaque sortie du port B et C peut absorber 1 mA sous 1.5 V minimum, au niveau haut. Le port A est limité (en test) à 200 μ A pour 2.4 V. Au niveau bas, l'ensemble des ports peut fournir 1,7 mA à 0.45 V. Cela revient à dire que les sorties du 8255A ne peuvent, en aucun cas, directement commander des systèmes de puissance et qu'il vous faudra interfacer avec des transistors ou des Darlington (les ports B et C peuvent les commander directement) afin de réaliser des applications pratiques.

III.5.5 LE 8255A DANS LA CARTE:

Dans notre carte le PPI 8255A assure le multiplexage de bus de données en sorties à travers les ports A et B. Le port C est utilisé pour commander les différents modules de la carte comme suit:

- Le bit PC5, c'est le chip select de 4051B.
- Le bits PC4, PC0 et PC1 sont reliés respectivement aux adresses A0, A1 et A2 de 4051B.
- Les bits PC6 et PC3 sont reliés aux commandes G de deux latches 74LS373.

-Les bits PC2 est relié à la commande L de l'échantillonneur/bloqueur LF398.

Pour assurer, ce fonctionnement, le PPI est utilisé en mode 0 et tous les ports sont configurés en sorties. Le mot de commande qui assure cette configuration est en hexa \$80.

Mot de commande

1	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

III.6 MISE SOUS FORME ANALOGIQUE DU SIGNAL DE SORTIE:

III.6.2 VERROUILLAGE:

III.6.2.1 Description générale:

Le verrouillage des signaux de sortie est assuré par deux latches de type 74LS373. Chaque latch est constitué de huit bascule de type D.

La commande OC (output contrôle) n'intervient pas dans le basculement ou le verrouillage des données. Donc, on la met à la masse pour avoir une sortie libre du latch. Pendant la transition positive du signal G, les Q sorties des bascules prennent les états appropriés des entrées. Les anciennes entrées sont emmagasinées pendant la transition négative du signal clock (G). Le 74LS373 est un circuit intégré à 20 pins, son brochage détaillé est donné en Annexe.

III.6.1 CONVERTISSEUR NUMERIQUE ANALOGIQUE(MC 1508):

III.6.1.1 Description générale:

C'est un convertisseur à échelle R-2R qui n'utilise que deux valeurs de résistances simples et doubles.

Le MC 1508 est un circuit simple, car pour beaucoup d'applications, il n'a besoin que d'une tension de référence et une résistance à lui ajouter pour pouvoir convertir les huit bits d'entrées en sortie analogique.

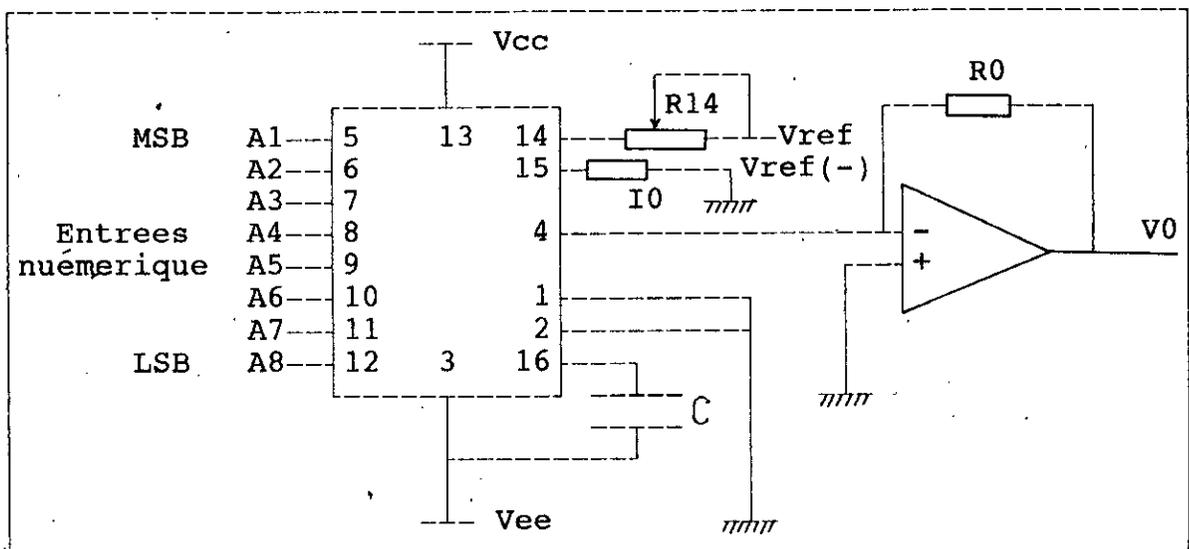
III.6.1.2 Principe de fonctionnement:

Le circuit MC 1508 est présenté sur la Fig(III.9).

La sortie courante du DAC est reliée à un amplificateur opérationnel pour avoir une tension à la sortie.

La 4ème pin correspond à la sortie courante du convertisseur, dont sa valeur est donnée par:

$$I_0 = \frac{V_{ref}}{R_{14}} \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$



Fig(III.9)

On fait ajuster V_{ref} , R_{14} et la résistance de la contre réaction de l'amplificateur R_0 jusqu'à ce que les huit bits d'entrée au niveau haut correspondent à une tension de sortie de 10V.

$$V_0 = \frac{V_{ref}}{R_{14}} R_0 \left(\frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right)$$

ETALLONNAGE:

Pour une application typique, on relève les valeurs suivantes:

$$V_{ref} = 2 \text{ V}$$

$$R_{14} = R_{15} = 1 \text{ k}$$

$$R_0 = 5 \text{ k}$$

La tension la plus faible, qui correspond au bit LSB, que le DAC peut avoir en sortie est de l'ordre de 0.196 V. La tension maximale est de l'ordre de 9,961 V.

III.6.1.3 Caractéristiques:

- * Les tensions d'alimentation sont : 5 V et - 5 V jusqu'à -15 V.
- * Les logiques d'entrée sont conformes au niveau logique utilisé en technologie CMOS et TTL.
- * MC 1508 est un circuit intégré monolytique .
- * MC 1508 consiste à convertir huit entrées logiques multipléxées non inversées.

Le MC 1508 est un circuit intégré à 16 pins son brochage détaillé est donné en

Annexe B.

III.7 BLOC DE DECODAGE:

Le bus d'adresse du micro-processeur INTEL 8088 est un bus à 20 bits, alors qu'on a besoins seulement de 10 bits (A0-A9) car la plage d'adressage réservée pour les périphériques de l'IBM PC se situe entre 300 H et 31F H.

Dans notre carte trois unités (ADC 804 , PPI 8255A et le 74LS245) sont adressable. Donc, on combine ces adresses en plus de l'AEN pour obtenir les commandes suivantes:

- * CS1: chip sélect (sélection du circuit) de PPI 8255A.
- * CS2: chip sélect pour l'ADC 804.
- * G: chip sélect de SN 74LS245

Suivant les adresses 300 H, 301 H, 302 H, 303 H et 304 H affectées respectivement aux port A, port B , port C, mot de commande et l'ADC 804, on tire les fonctions logiques des commandes CS1, CS2 et G, selon le tableau suivant:

Fonctionnement	A.HEXA	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	AEN	CS1	CS2	G
Port A	300	1	1	0	0	0	0	0	0	0	0	0	0	1	0
Port B	301	1	1	0	0	0	0	0	0	0	1	0	0	1	0
Port C	302	1	1	0	0	0	0	0	1	0	0	0	0	1	0
Mot de Commande	303	1	1	0	0	0	0	0	1	1	0	0	0	1	0
ADC 804	304	1	1	0	0	0	0	1	0	0	0	0	1	0	0

$$\overline{CS}_1 = \overline{A_0 + A_1 + A_2 + A_3 + A_4 + A_5 + A_6 + A_7 + \overline{A_8} + \overline{A_9} + \overline{AEN}}$$

$$\overline{CS}_1 = \overline{(\overline{\overline{\overline{A_3 A_4 A_5 A_6}}}) \overline{A_7 A_8 A_9} \cdot \overline{AEN} \overline{A_2}}$$

$$\overline{CS}_2 = \overline{\overline{\overline{\overline{A_3 A_4 A_5 A_6 A_7 A_8 A_9}}} \overline{AEN} \overline{A_2} \overline{A_0} \overline{A_1}}$$

$$\overline{G} = \overline{CS}_1 \overline{CS}_2$$

Ce montage de décodage est assuré par les circuits intégrés TTL suivants: 74LS00, 74LS04 et 74LS21.

III.8 AMPLIFICATION ET ISOLATION:

Pour protéger les signaux d'entrées et de sorties, les lignes de commandes et les lignes d'adresse du micro-processeur de tout risque de perte d'information, on a utilisé des tampons pour l'amplification et l'isolation de ces signaux. En effet, ce risque est très faible si les lignes d'E/S sont à très courtes distances. On a utilisé deux types de buffers pour assurer la communication entre la carte et l'ordinateur et garantir une isolation optimale entre ces deux derniers.

*** BUFFER 74LS244:**

C'est un buffer unidirectionnel à 8 bits, qui sera destiné au bus d'adresses (A0 jusqu'à A9) et aux lignes de commande AEN, RD, WR et RESET. C'est un buffer à trois

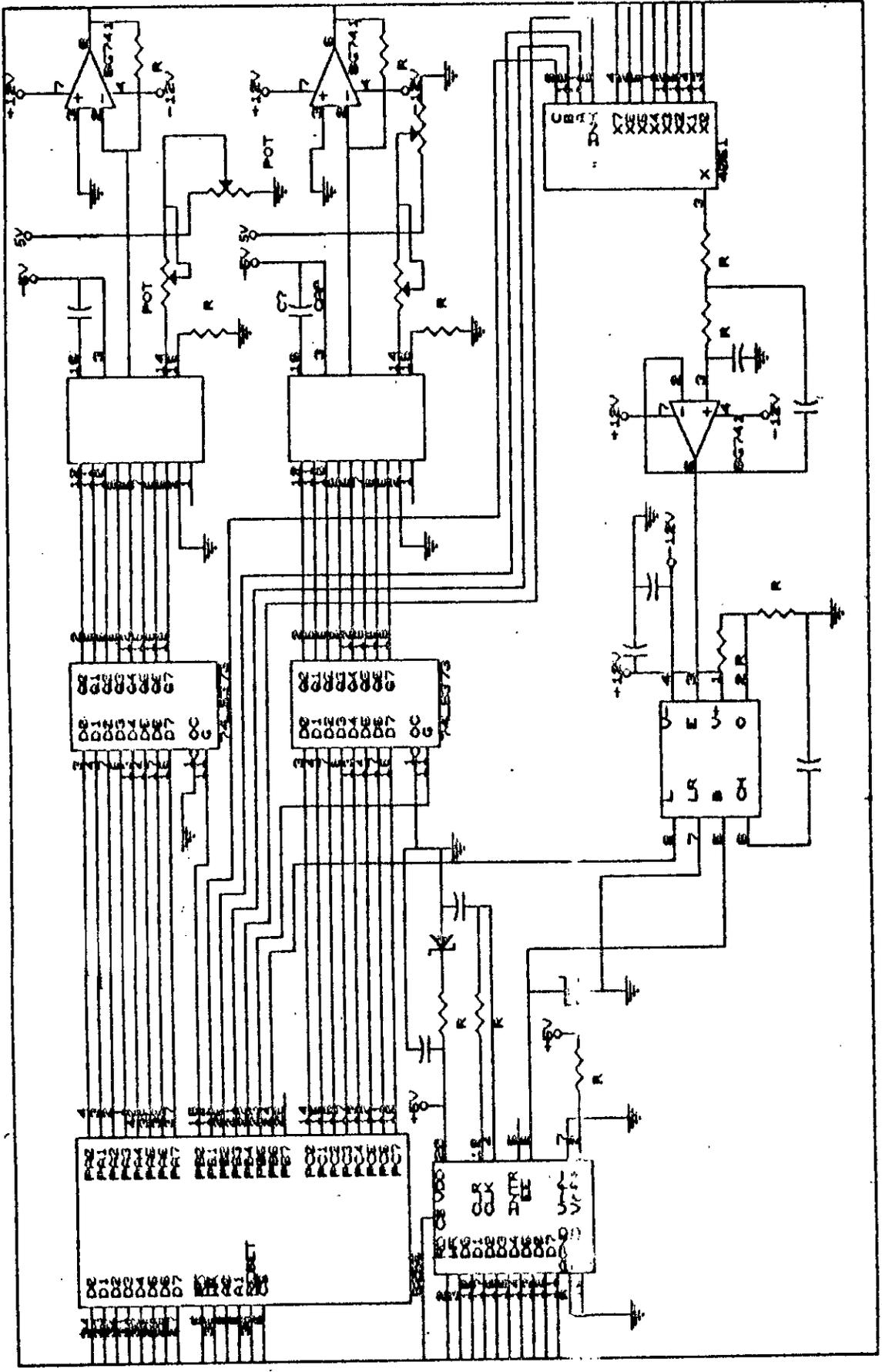
états, il possède une commande qui le met en troisième état, bien que la donnée soit présentée en entrée. Pour pouvoir satisfaire à toutes ces lignes de commande et d'adresse, notre carte d'interface doit contenir deux buffers de type 74 LS 244. Les lignes de commande et les lignes d'adresse ne seront pas inversées, donc, on a relié les deux commandes 1G et 2G à la masse.

Le temps de propagation maximum que nécessite le transfert des informations à travers ces buffers est de 160 ns.

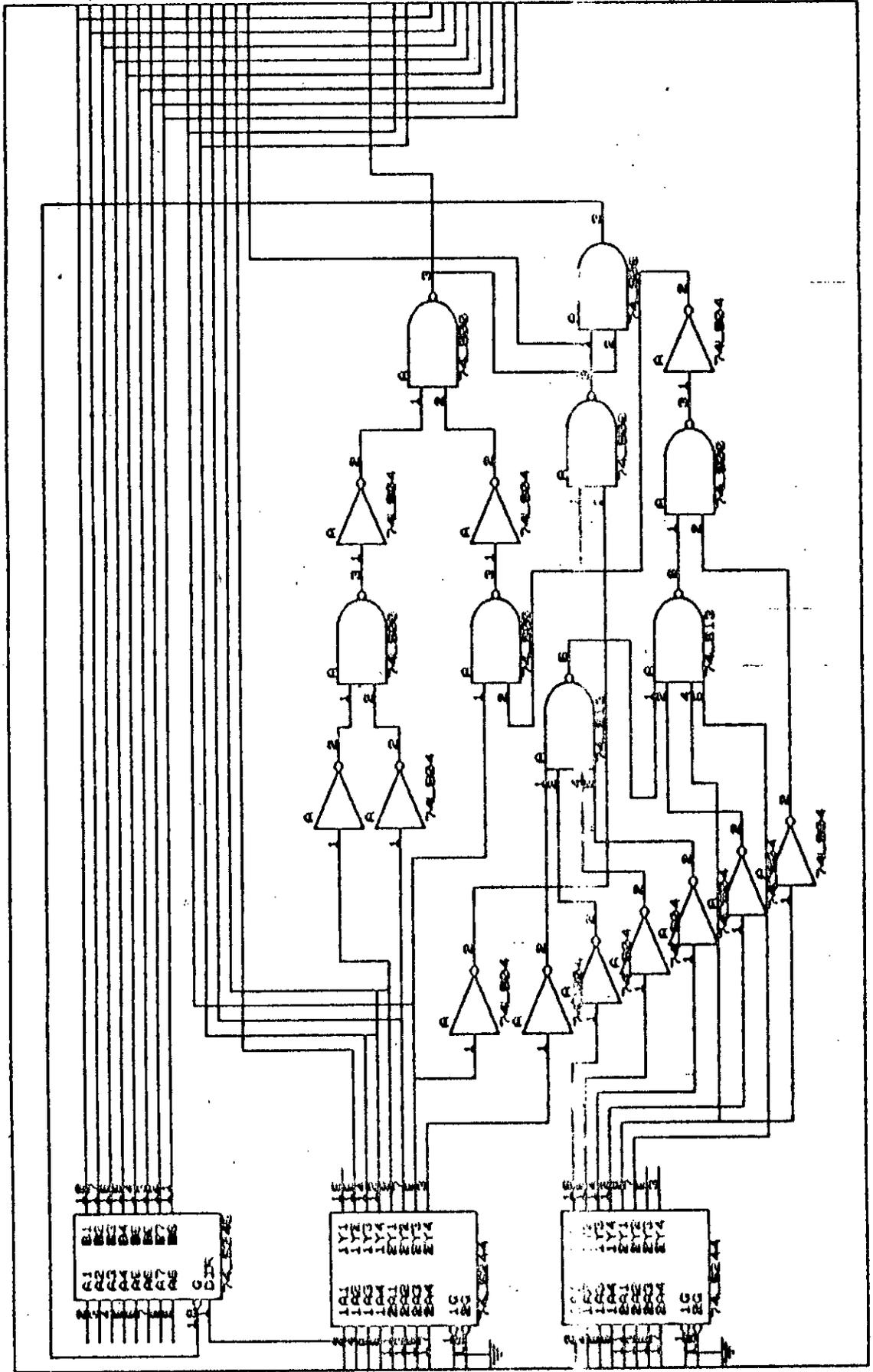
***BUFFER 74LS245:**

C'est un buffer bidirectionnel à huit bits et à trois états. Il sera donc destiné au bus de donnée. Il faudra tenir compte seulement de la commande du sens de transfert DIR. Elle doit être reliée à la ligne de commande de lecture READ (RD) du micro-processeur. La sélection de ce boîtier se fera par la commande G qui sera commandée par le bloc de décodage des adresses.

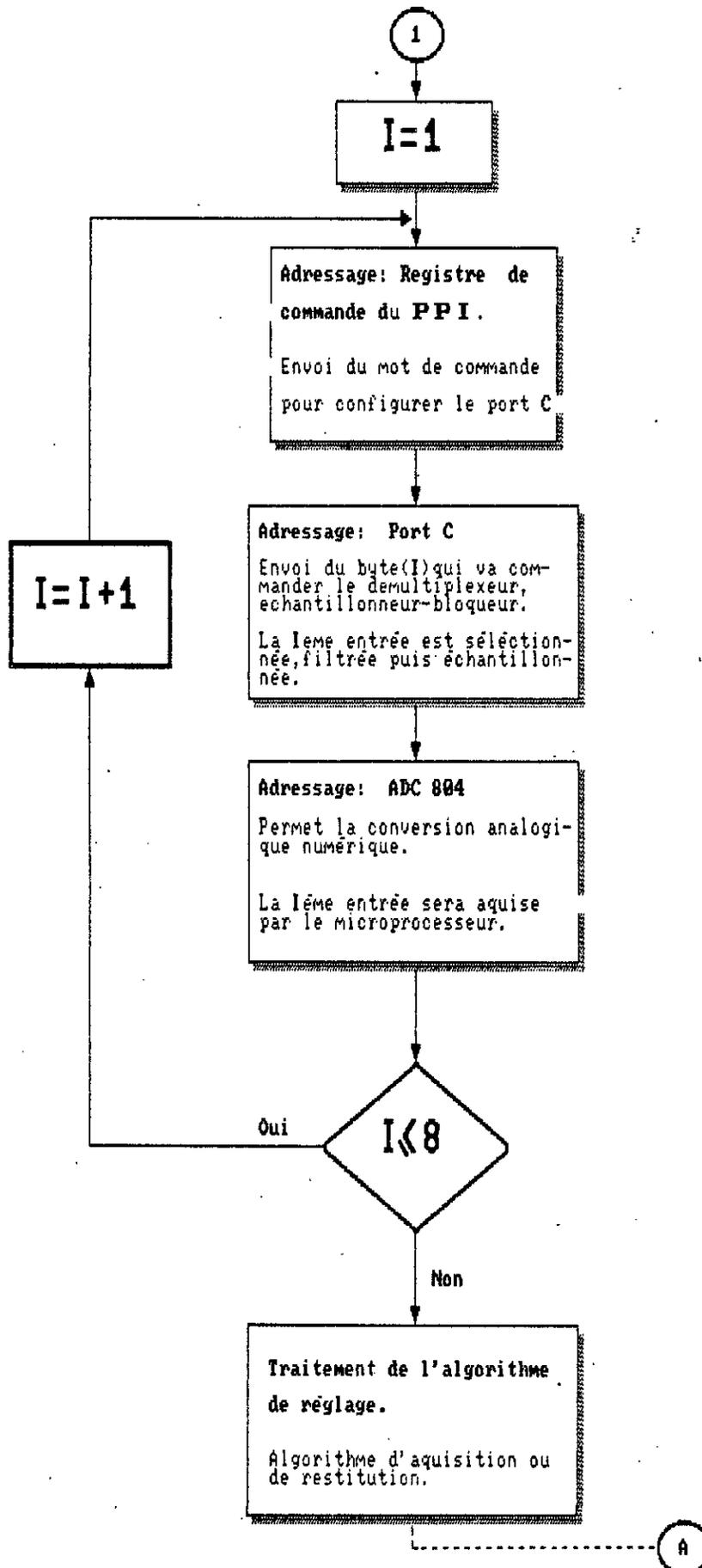
SCHEMA ELECTRIQUE



SCHEMA ELECTRIQUE



ORGANIGRAMME GENERALE DE LA CARTE



A

Adressage: Registre de
commande du P P I .
Envoi du mot de commande pour
configurer les ports A,B et C

Adressage: Port A
Envoi de la 1ère sortie de
commande.

Adressage: Port B
Envoi de la 2ème sortie de
commande.

Adressage: Port C
Il va effectuer l'envoi des
données de commande des deux
lachts vers les deux conver-
tisseurs numérique/analogique
et les commandes seront
envoyées vers le système.

RETOUR
à 1

CHAPITRE IV

APPLICATION REGLAGE D'ETAT D'UN MOTEUR A COURANT CONTINU

IV.1 INTRODUCTION:

Avec le développement de l'électronique de puissance et de l'informatique, la commande numérique du moteur électrique a vu le jour, évitant ainsi l'emploi des régulateurs analogiques et leurs problèmes.

La carte d'interface réalisée dans le chapitre précédent est utilisée en vue de la commande numérique d'un moteur à courant continu.

Dans ce chapitre, on donnera la structure optimale d'un réglage d'état, dans le cas monovariante, pour le réglage du courant de l'induit, puis le réglage de vitesse. En fin, la simulation en temps réel du moteur permet d'évaluer les performances de ce réglage.

IV.2 REGLAGE D'ETAT:[14]**IV.2.1 STRUCTURE OPTIMALE:**

Le réglage d'état se base sur la structure optimale obtenue après minimisation du critère quadratique suivant:

$$J = \sum_{k=0}^{n-1} [e^T(k) Q e(k) + u^T(k) R u(k)] \quad (\text{IV.1})$$

Le vecteur optimale de commande est donné par:

$$U[k] = -K_s^T X_s[k] + K_I X_I[k] + K_w W[k] - K_v V[k] \quad (\text{IV.2})$$

La structure optimale de réglage est donnée par la Fig(IV.1)

IV.2.1 EQUATION DU SYSTEME:

Soit les équations d'état échantillonnées du système à régler:

$$\begin{aligned} X_s[k+1] &= F_s X[k] + h_s U[k] + h_{sv} V[k] \\ Y[k] &= C_s^T X_s[k] \end{aligned} \quad (\text{IV.3})$$

Il est parfois nécessaire d'introduire un régulateur intégrateur dans la boucle de réglage dont l'équation d'état aux différences est donnée par:

$$X_r[k+1] = X_r[k] + W[k] - C_s^T X_s[k] \quad (\text{IV.4})$$

En introduisant le vecteur d'état globale:

$$X[k] = \begin{bmatrix} X_s[k] \\ X_r[k] \end{bmatrix} \quad (\text{IV.5})$$

Les équations d'états échantillonnées du système globale sont:

$$\begin{aligned} X[k+1] &= FX[k] + hU[k] + h_w W[k] + h_v V[k] \\ Y[k] &= C^T X[k] \end{aligned} \quad (\text{IV.6})$$

Avec:

$$F = \begin{bmatrix} F_s & 0 \\ -C_s^T & 1 \end{bmatrix} \quad h = \begin{bmatrix} h_s \\ 0 \end{bmatrix} \quad (\text{IV.7})$$

$$h_w = \begin{bmatrix} 0 \\ 1 \end{bmatrix} \quad h_v = \begin{bmatrix} h_{sv} \\ 0 \end{bmatrix} \quad C^T = [C_s^T \ 0]$$

La grandeur optimale de commande devient:

$$U[k] = -K^T X[k] + K_w W[k] - K_v V[k] \quad (\text{IV.8})$$

Avec:

$$K^T = [K_s^T \quad -K_r] \quad (\text{IV.9})$$

En introduisant (IV:8) dans (IV.6), on obtient les équations d'états échantillonnées du système global fermé:

$$\begin{aligned} X[k+1] &= F_g X[k] + h_{gw} W[k] + h_{gv} V[k] \\ Y[k] &= C^T X[k] \end{aligned} \quad (\text{IV.10})$$

Avec:

$$\begin{aligned} F_g &= F - hK^T \\ h_{gw} &= h_w + hK_w \\ h_{gv} &= h_v - hK_v \end{aligned} \quad (\text{IV.11})$$

IV.2.3 DETERMINATION DES COEFFICIENTS DE REGLAGE D'ETAT:

D'après l'expression de la commande optimale (IV:8), il est nécessaire de déterminer les coefficients de réglage d'état K^T , K_w et K_v pour assurer le réglage.

IV.2.3.1 Coefficients de la contre réaction d'état (K^T):

L'équation caractéristique du système en boucle fermée est déterminé par:

$$P(z) = \det(zI - F_g) = z^n + \gamma_{n-1} z^{n-1} + \dots + \gamma_1 z + \gamma = 0 \quad (\text{IV.12})$$

Les coefficients γ_i de ce polynôme sont en fonction de K_s^T et K_r . Cette équation permet de déterminer les pôles du système en boucle fermée.

L'assignation des pôles z_1, z_2, \dots, z_n du système globale fermé détermine l'équation caractéristique associée à la matrice F_g .

$$P(z) = (z - z_1)(z - z_2) \dots (z - z_n) \quad (\text{IV.13})$$

Cette relation peut s'exprimer sous forme d'un polynôme:

$$P(z) = z^n + \alpha_{n-1} z^{n-1} + \dots + \alpha_1 z + \alpha_0 \quad (\text{IV.14})$$

La relation entre les pôles z_i et les coefficients α_i est donnée par le théorème de Viète.

Il est très commode d'utiliser la méthode de comparaison pour la détermination de K^T pour le système de petit ordre, en identifiant les deux équations; (IV.14) et (IV.12).

IV.2.3.2 Coefficients de l'intervention directe des grandeurs de consigne et de perturbation K_w et K_v :

La détermination du coefficient K_w de l'intervention directe de consigne utilise deux possibilités:

-Méthode de compensation d'un pôle du système globale fermé.

$$K_w = \frac{K_r}{1 - z_i} \quad (\text{IV.15})$$

où z_i étant le pôle à compenser.

-Méthode de l'annulation de la grandeur d'état de régulateur en régime établi.

$$K_w = \frac{1}{C_s^T (1 - F_s + h_s K_s^T)^{-1} h_s} \quad (\text{IV.16})$$

La détermination du coefficient K_v de l'intervention directe de la grandeur de perturbation, utilise la méthode de l'annulation de la grandeur d'état du régulateur en régime établi.

$$K_v = \frac{C_s^T (1 - F_s + h_s K_s^T)^{-1} h_{sv}}{C_s^T (1 - F_s + h_s K_s^T)^{-1} h_s} \quad (\text{IV.17})$$

IV.3 REGLAGE D'ETAT D'UN MOTEUR A COURANT CONTINU:

IV.3.1 DESCRIPTION DU SYSTEME:

Le système à régler est un moteur à courant continu à excitation séparée alimenté par un convertisseur de tension. Le circuit de l'inducteur est alimenté avec une tension constante. Le circuit de l'induit est alimenté par un redresseur monophasé à thyristors. Ce moteur est couplé à une charge variable. Voir Fig(IV.2).

IV.3.2 MODELISATION DU SYSTEME:

-Equation électrique:

L'équation électrique de l'induit est:

Le moteur étant excité à courant nominal, l'équation réduite de l'induit est

$$\begin{aligned} U_d &= (r_a + r_s) I_d + (L_a + L_s) \frac{dI_d}{dt} + E_i \\ E_i &= C_m \Omega \end{aligned} \quad (\text{IV.18})$$

donnée par:

$$\frac{di_d}{dt} = \frac{K_e (u_d - n) - i_a}{T_e} \quad (\text{IV.19})$$

Avec:

$$K_e = \frac{1}{r_a + r_s} \frac{U_n}{I_n} \quad \text{et} \quad T_e = \frac{L_a + L_s}{r_a + r_s}$$

-Equation mécanique:

$$\begin{aligned} J \frac{d\Omega}{dt} &= C_e - C_r - C_f \\ C_e &= C_m I_d \end{aligned} \quad (\text{IV.20})$$

Passant aux grandeurs relatives:

$$\frac{dn}{dt} = \frac{K_m (i_a - C_r) - n}{T_n} \quad (\text{IV.21})$$

Avec:

$$K_m = \frac{C_n}{f \Omega_n} \quad \text{et} \quad T_m = \frac{J}{f}$$

-Equation du convertisseur:

Le redresseur à thyristors est représenté par une fonction de transfert de premier ordre de constante de temps T_c .

$$G_c = \frac{K_c}{1 + sT_c} \quad (\text{IV.22})$$

L'équation différentielle du convertisseur est:

$$\frac{du_d}{dt} = \frac{K_c v_c - u_d}{T_c} \quad (\text{IV.23})$$

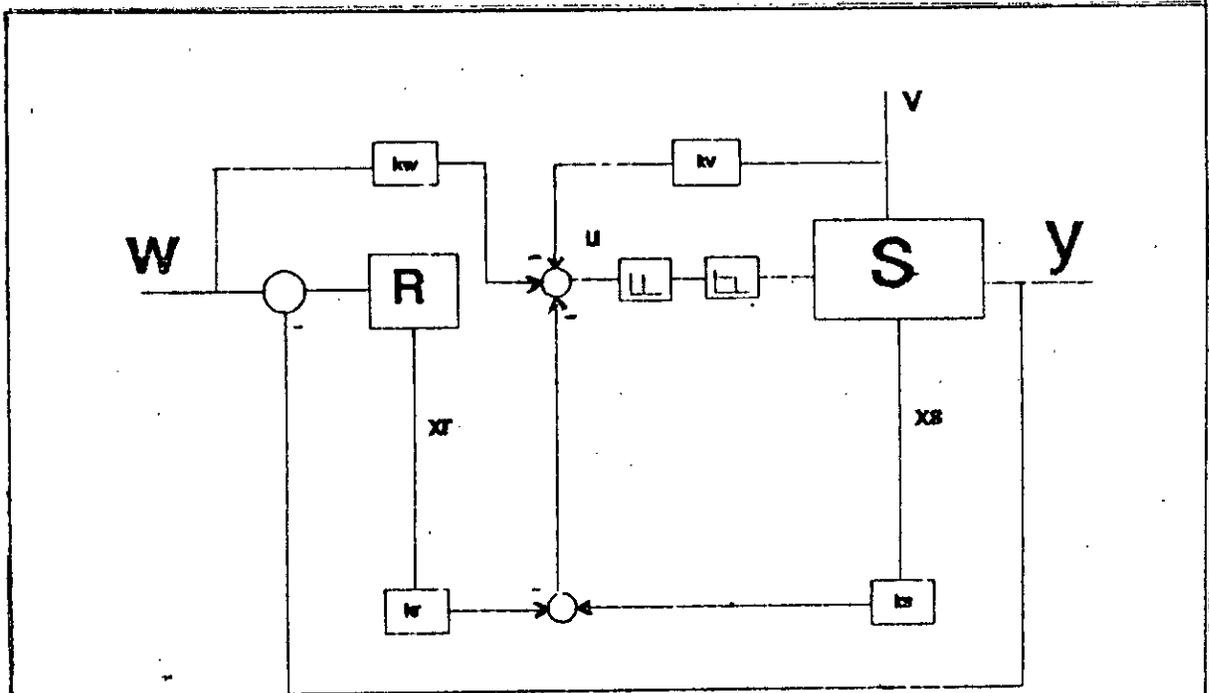
IV.3.3 SCHEMA FONCTIONNEL DU SYSTEME:

A partir des équations réduites du fonctionnement (IV.19), (IV.21) et (IV.23), on en déduit le schéma fonctionnel Fig(IV.3). Les paramètres du moteur sont donnés en Annexe C.

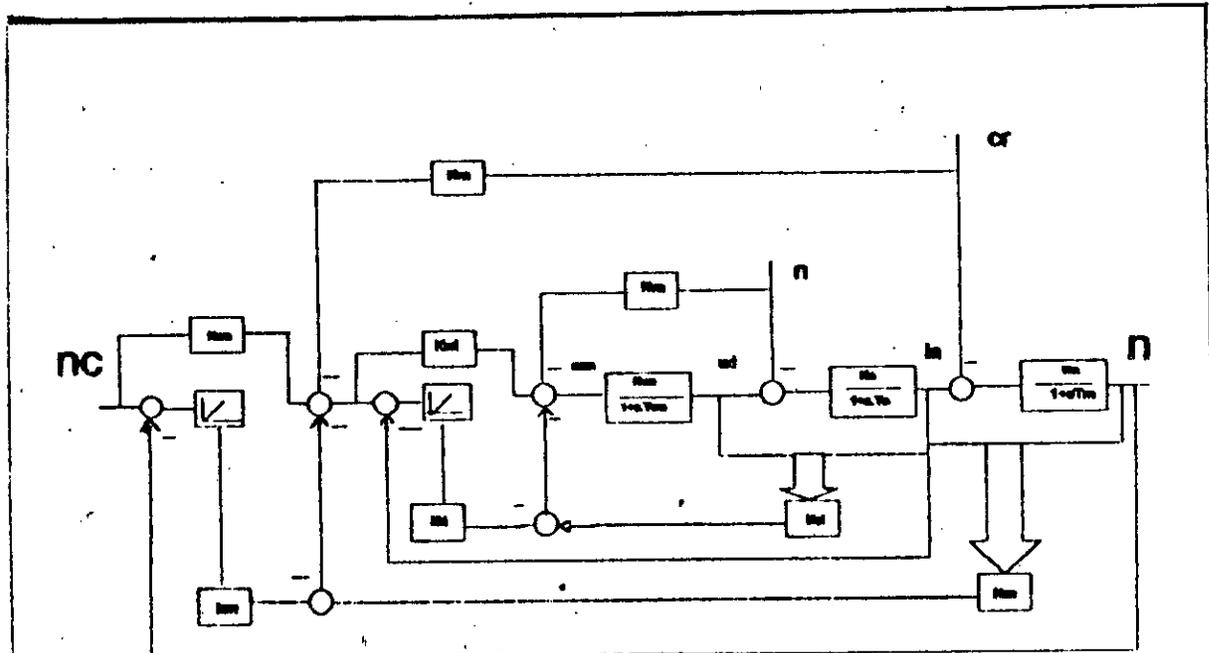
IV.3.4 STRUCTURE GLOBALE DE REGLAGE:[13]

La commande de vitesse nécessite la limitation du courant, il est alors adopté une structure de réglage d'état en cascade. Cette structure est basée sur la structure optimale de réglage Fig(IV.1). La structure globale Fig(IV.4) comprend un réglage d'état dans la boucle intermédiaire du courant et un réglage d'état dans la boucle principale de vitesse.

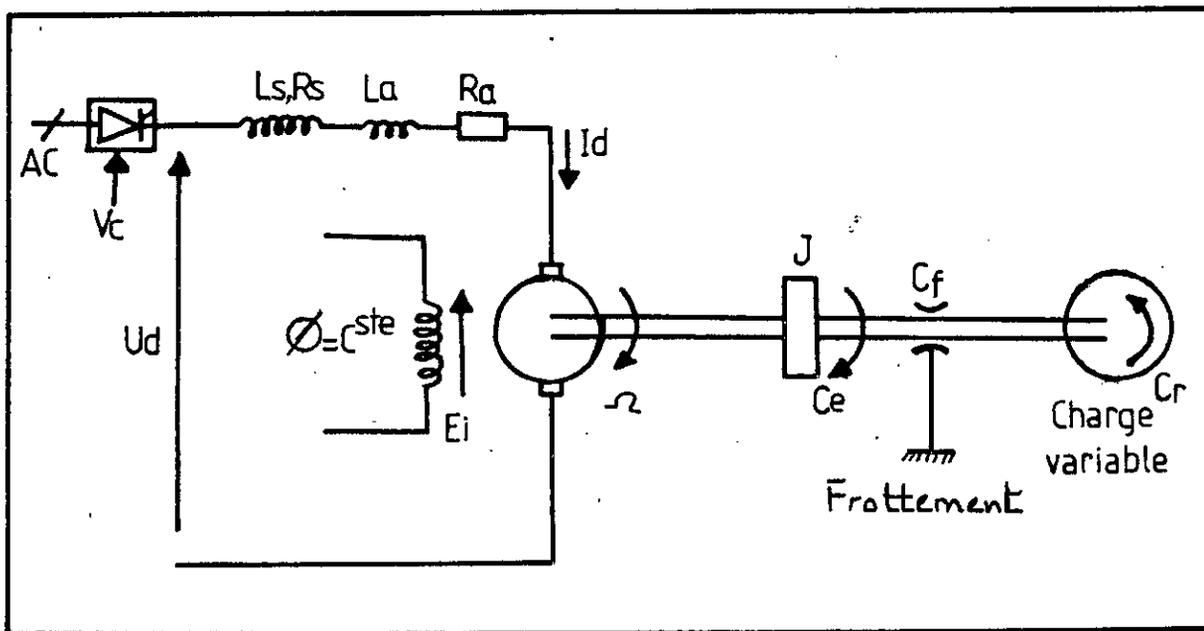
La contre-réaction du vecteur d'état est formée des grandeurs i_d et u_d pour le réglage du courant et des grandeurs i_d et n pour le réglage de la vitesse.



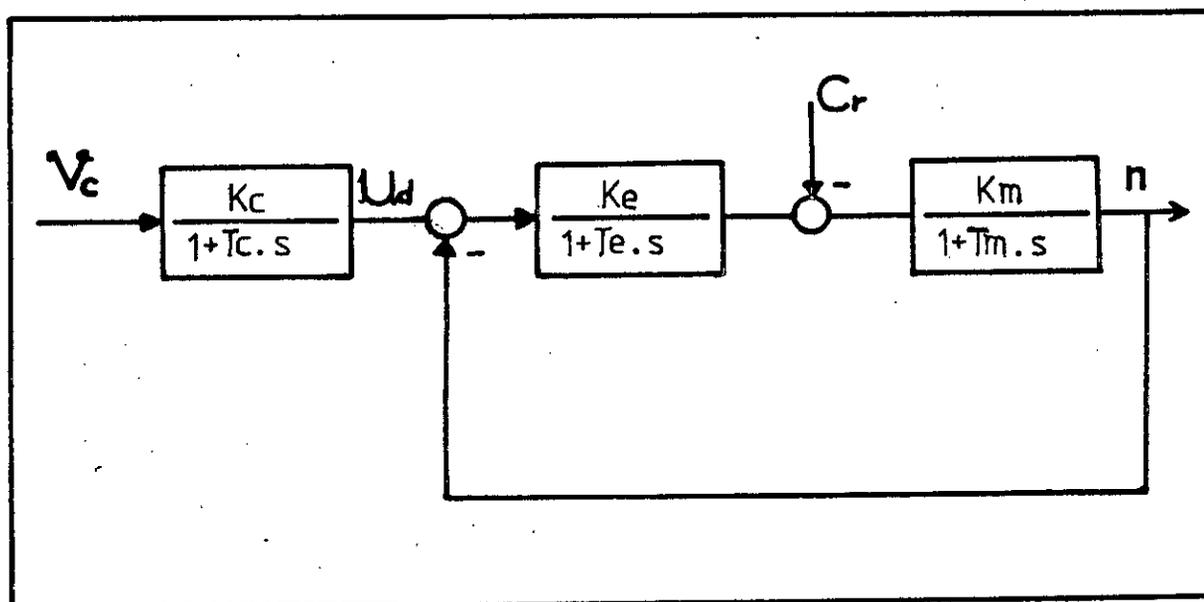
Fig(IV.1) - Représentation schématique de la structure optimale du réglage d'état d'un système monovisible.



Fig(IV.4) - Structure globale du réglage d'état en cascade.



Fig(IV.2) Schéma du système à régler



Fig(IV.3) Schéma fonctionnel du système

IV.3.5 REGLAGE D'ETAT DU COURANT:

Les équations d'état aux différences du système sont données par[15]:

$$\begin{aligned} X_s[k+1] &= F_s X_s[k] + h_s v_c[k] + h_{sv} n[k] \\ i_d[k] &= C_s^T X_s[k] \end{aligned} \quad (\text{IV.25})$$

Avec:

$$F_s = \begin{bmatrix} 1 - \frac{T}{T_e} & \frac{K_e T}{T_e} \\ 0 & 1 - \frac{T}{T_c} \end{bmatrix} \quad h_s = \begin{bmatrix} \frac{K_c K_e T^2}{2 T_c T_e} \\ \frac{K_c}{T_c} \left(T - \frac{T^2}{2 T_c} \right) \end{bmatrix} \quad (\text{IV.26})$$

$$h_{sv} = \begin{bmatrix} -\frac{K_e}{T_e} \left(T - \frac{T^2}{2 T_e} \right) \\ 0 \end{bmatrix} \quad C_s^T = [1 \quad 0]$$

IV.3.5.1 Structure de réglage:

En ne considérant que la boucle interne, la structure du réglage intermédiaire est représentée par la Fig(IV.5).

V.3.5.2 Equation d'état du système:

A partir des équations réduites de fonctionnement (IV.19), (IV.23), on a obtenu les équations d'état du système:

$$\begin{bmatrix} \dot{i}_d \\ \dot{u}_d \end{bmatrix} = \begin{bmatrix} -\frac{1}{T_e} & \frac{K_e}{T_e} \\ 0 & -\frac{1}{T_e} \end{bmatrix} \begin{bmatrix} i_d \\ u_d \end{bmatrix} + \begin{bmatrix} 0 \\ \frac{K_c}{T_c} \end{bmatrix} v_c + \begin{bmatrix} -\frac{K_e}{T_e} \\ 0 \end{bmatrix} n \quad (\text{IV.24})$$

$$i_d = [1 \quad 0] \begin{bmatrix} i_d \\ u_d \end{bmatrix}$$

IV.3.5.3 Détermination des coefficients de réglage:

La détermination de coefficients de réglage nécessite un bon choix de la période d'échantillonnage et une assignation de pôles. Afin d'obtenir un comportement dynamique satisfaisant du système, on doit choisir des pôles garantissant un amortissement relatif optimal selon [14].

$$Z_{1,2} = \text{Exp}(wT) [\cos(wT) \pm j \sin(wT)] \quad (\text{IV.27})$$

Comme notre système, est du 3ème ordre, on choisira une paire de pôles complexes conjugués et un pôle réel [14].

La période d'échantillonnage choisie est: $T=20\text{ms}$.

$$\begin{aligned} Z_{1,2} &= 0.29 \pm j0.3 \\ Z_3 &= 0.43 \end{aligned}$$

D'où le calcul des coefficients donne:

$$\begin{aligned} K^T &= [0.1609 \quad 0.2343 \quad -0.0634] \\ K_w &= -0.1112 \\ K_v &= 0.1277 \end{aligned}$$

IV.3.6 REGLAGE D'ETAT DE LA VITESSE:

IV.3.6.1 Détermination de la constante de temps équivalente:[13]

Pour simplifier l'étude du circuit principale, on remplace le circuit de courant en boucle fermée par un système équivalent du 1er ordre de constante de temps T_{eq} . Cette constante de temps s'obtient de manière à assurer l'égalité de la surface de réglage pour la réponse réelle avec celle de la réponse du système du 1er ordre dont sa fonction de transfert est:

$$\frac{1}{1+T_{eq}}$$

IV.3.6.2 Structure de réglage:

La Fig(IV.6) illustre la structure de réglage de la vitesse de rotation.

IV.3.6.3 Equation d'état du système:

Le système à régler est régi par les équations d'états suivantes:

$$\begin{bmatrix} \dot{n} \\ \dot{i}_d \end{bmatrix} = \begin{bmatrix} -\frac{1}{T_m} & \frac{K_m}{T_m} \\ 0 & \frac{1}{T_{eq}} \end{bmatrix} \begin{bmatrix} n \\ i_d \end{bmatrix} + \begin{bmatrix} -\frac{K_m}{T_m} \\ 0 \end{bmatrix} C_r \quad (\text{IV.28})$$

$$n = [1 \quad 0] \begin{bmatrix} n \\ i_d \end{bmatrix}$$

Les équations d'états aux différences du système échantillonné sont données par[15]:

$$\begin{aligned} X_s[k+1] &= F_s X_s[k] + h_s I_c[k] + h_{sv} C_r[k] \\ n[k] &= C_s^T X_s[k] \end{aligned} \quad (\text{IV.29})$$

Avec:

$$X_s^T = [n \quad i_d]$$

$$F_s = \begin{bmatrix} 1 - \frac{T}{T_m} & \frac{K_m T}{T_m} \\ 0 & 1 - \frac{T}{T_{eq}} \end{bmatrix} \quad h_s = \begin{bmatrix} \frac{K_m T^2}{2 T_{eq} T_m} \\ \frac{1}{T_{eq}} \left(T - \frac{T^2}{2 T_{eq}} \right) \end{bmatrix} \quad (\text{IV.30})$$

$$h_{sv} = \begin{bmatrix} -\frac{K_m}{T_m} \left(T - \frac{T^2}{2 T_m} \right) \\ 0 \end{bmatrix} \quad C_s^T = [1 \quad 0]$$

IV.3.6.4 Détermination des coefficients de réglage:

la structure de réglage de vitesse est identique à celle du courant. Alors, la méthode présentée dans le paragraphe(IV.3.5.3) permet aussi le dimensionnement des coefficients de réglage de la boucle principale. Ce dimensionnement nécessite la connaissance de la constante du temps équivalente T_{eq} . Elle est déterminée à partir de

la réponse indicielle du courant: $T_{eq} = 45\text{ms}$.

Sachant que la boucle de vitesse est très lente par rapport à celle du courant, donc, la partie réelle des pôles est très proche de 1.

$$\begin{aligned} z_{1,2} &= 0.90 \pm j0.098 \\ z_3 &= 0.95 \end{aligned}$$

D'où:

$$\begin{aligned} K^T &= [5.698 \quad 0.14 \quad -0.421] \\ K_w &= 2.899 \\ K_v &= -1.14 \end{aligned}$$

IV.3.7 SIMULATION ET INTERPRETATION:

On a utilisé, pour la simulation numérique de notre système, le logiciel Simnon. Il permet de simuler des systèmes linéaires, non linéaires, continus et discrets, comme il permet, aussi, les conections interactives entre eux.

Lors de fctionnement du moteur, le courant d'induit peut atteindre des valeurs excessives. La méthode de réglage en cascade a permet sa limitation comme le montrent les courbes de simulation.

les courbes obtenus par simulation sont représentées ci-dessous:

-La Fig(IV.7) représente le courant et la vitesse de démarrage à vide du moteur.

-La Fig(IV.8) représente le courant et la vitesse de démarrage à vide avec changement de consigne en régime établi.

-La Fig(IV.9) représente le courant et la vitesse de démarrage à du moteur avec apparition d'une perturbation en régime établi.

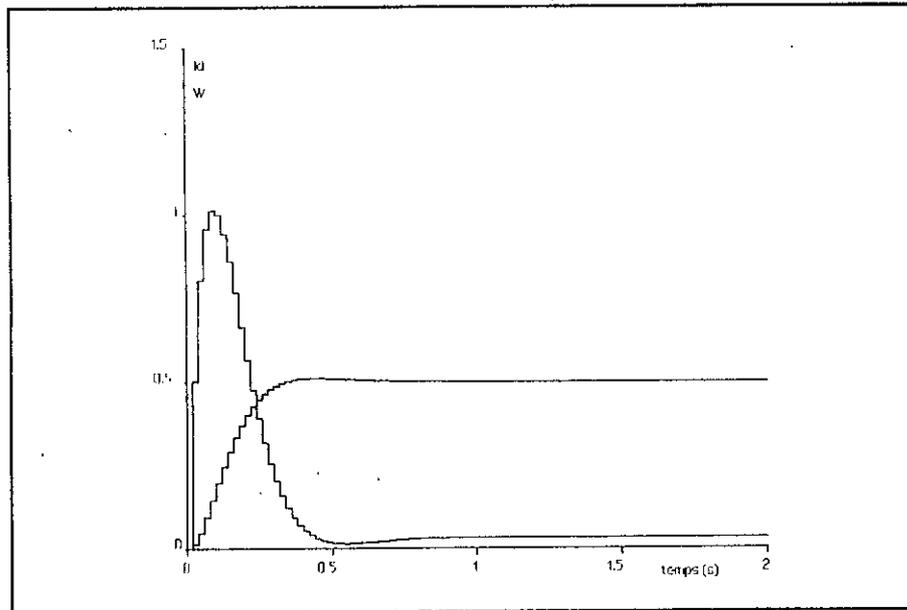
-La Fig(IV.10) représente le courant et la vitesse de démarrage en charge du

moteur avec apparition d'une perturbation en régime établi.

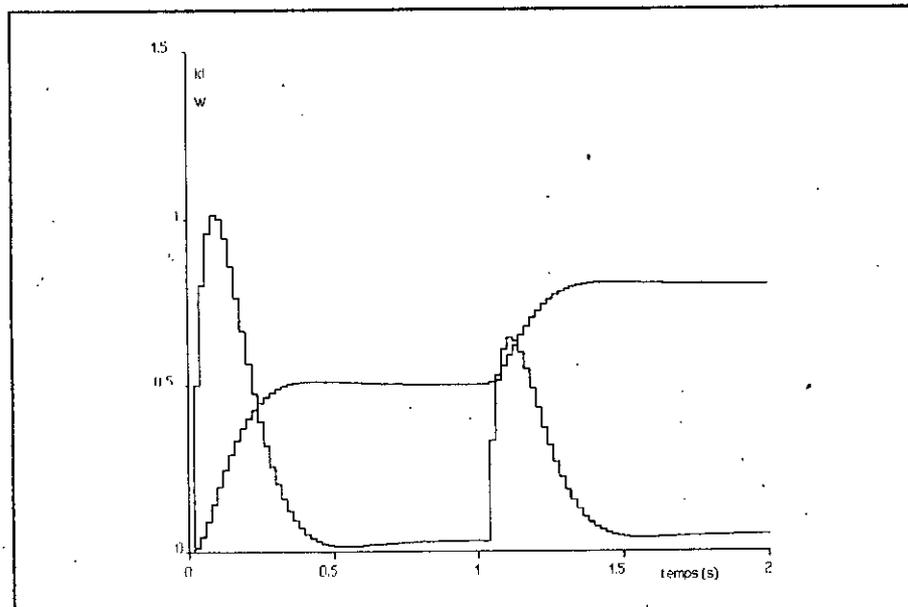
-La Fig(IV.11) représente le courant et la vitesse de démarrage en charge du moteur avec apparition d'une perturbation en régime établi sans contre-réaction $K_{vn}=0$.

D'après les courbes obtenues par simulation, le réglage par retour d'état assure des réponses optimales et donne de bonnes performances. Cela est dû à la présence des coefficients d'intervention directe de la perturbation et de la consigne.

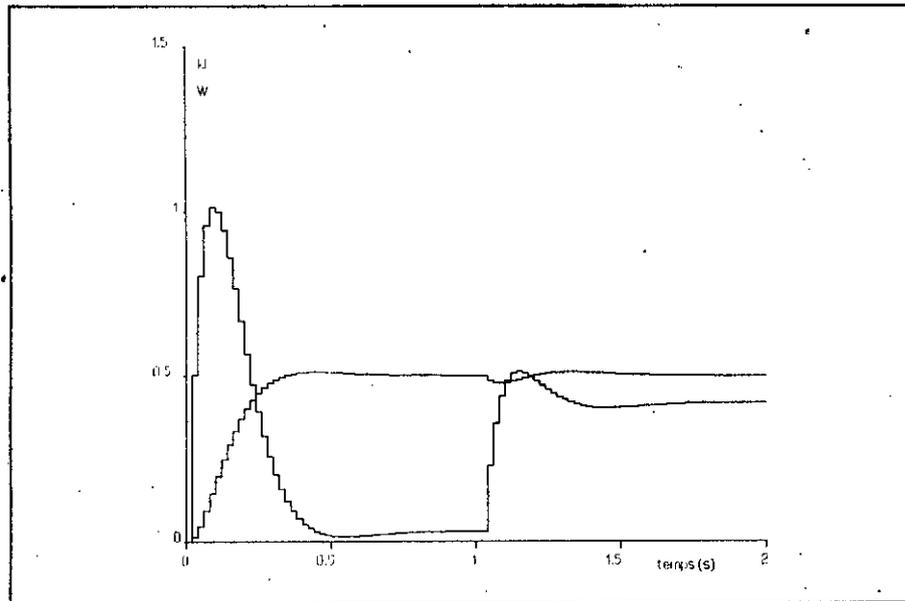
En pratique, la charge n'est pas toujours mesurable, la Fig(IV.11) montre un cas réel ($K_{vn}=0$). On remarque que la prise en charge de la perturbation est moins rapide que dans le cas de la Fig(IV.10). Donc, l'introduction d'un observateur reste intéressante.



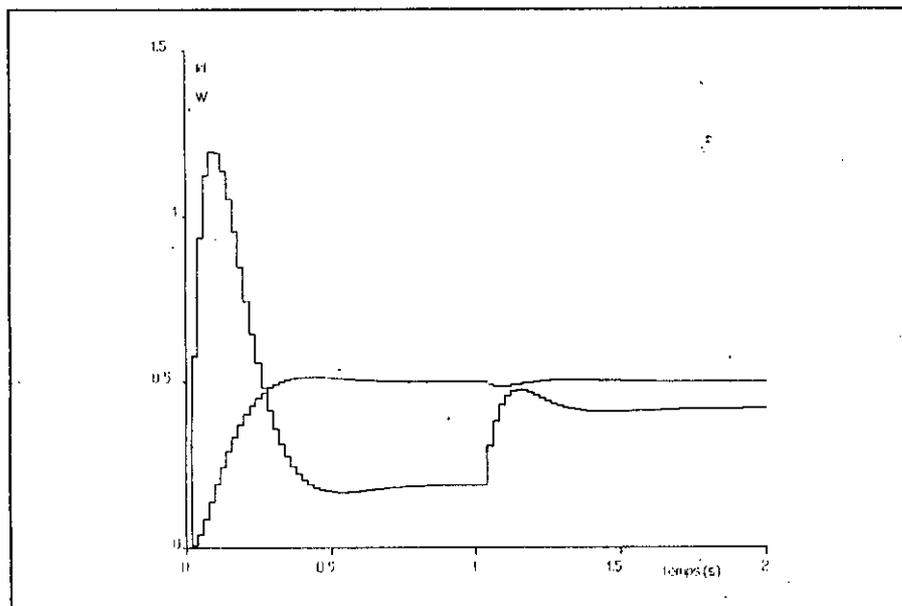
Fig(IV.7) Démarrage à vide du moteur.



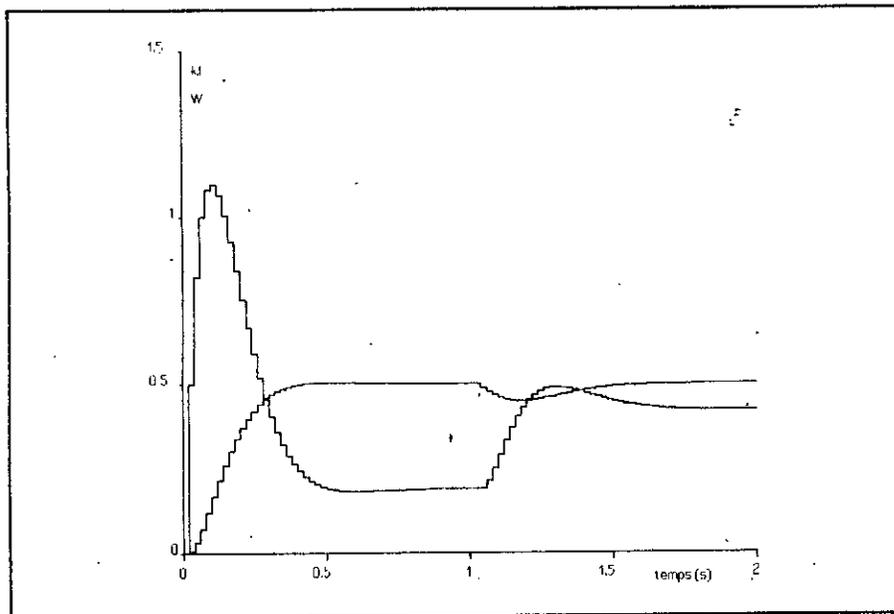
Fig(IV.8) Démarrage à vide avec changement de consigne en régime établi.



Fig(IV.9) Démarrage à vide avec apparition d'une perturbation en régime établi.



Fig(IV.11) Démarrage en charge avec apparition d'une perturbation en régime établi.



Fig(IV.11) Démarrage en charge avec apparition d'une perturbation en régime établi sans contre-réaction $K_{vn}=0$.

CHAPITRE V

PRESENTATION DU LOGICIEL CONTICARD

V.1 INTRODUCTION:

Le logiciel Contcard (Control card) a été réalisé pour familiariser l'utilisateur avec les différentes fonctions de la carte.

Contcard a été développé, en utilisant le Logiciel générateur d'interface TV-TOOL sous l'environnement de programmation Turbo Pascal version 6.0, utilisant le système d'exploitation MS-DOS. Il peut fonctionner sur tout micro-ordinateur répondant à la norme IBM-PC et compatible et disposant d'un écran graphique. Il comporte plusieurs fonctions appelées à partir d'un menu principal comme le présente la Fig(V.1).

V.2 PRESENTATION DU MENU:

V.2.1 TEST:

Cette fonction fait appel à un sous menu:

- Test des entrées.
- Test des sorties.

Elle permet à l'utilisateur de tester le fonctionnement de la carte en entrée et en sortie.

V.2.2 ACQUISITION:

Cette fonction fait appel à sous menu:

- Nombre des entrées.
- Fichier des entrées.
- Lancer Acquisition.

Elle permet à l'utilisateur de stocker des entrées analogiques dans un fichier de données. Le nombre des entrées et le fichier sont choisis par l'utilisateur. Le nombre maximale des entrées est huit et le nom par défaut de fichier est "SANSNOM.CTD". Le fichier de données est compatible au Logiciel GRAPHER.

L'organigramme d'acquisition est représenté par la Fig(V.2).

V.2.3 RESTITUTION:

Cette fonction fait appel à un sous menu:

- Nombre des sorties.
- Fichier de sorties.
- Lancer Restitution.

Elle permet à l'utilisateur de générer un ou deux signaux analogiques à la sortie de la carte, à partir des données stockées dans un fichier.

L'organigramme de restitution est présenté par la Fig(V.3).

V.2.4 COMMANDE MCC:

Cette fonction permet le réglage d'état d'un moteur à courant continu. Le sous menu permet d'introduire les différents coefficients des contres-réactions de réglage du courant et de vitesse. L'algorithme de commande exige l'introduction de la consigne de vitesse et de la charge du moteur.

L'organigramme de commande est présenté par la Fig(V.4).

V.2.5 FIN:

Cette commande permet de revenir au système d'exploitation.

V.3 PROCEDURES DE BASES:

Les algorithmes de différentes fonctions de menu principal utilisent les procédures de bases suivantes:

V.3.1 PROCEDURE SAISIE:

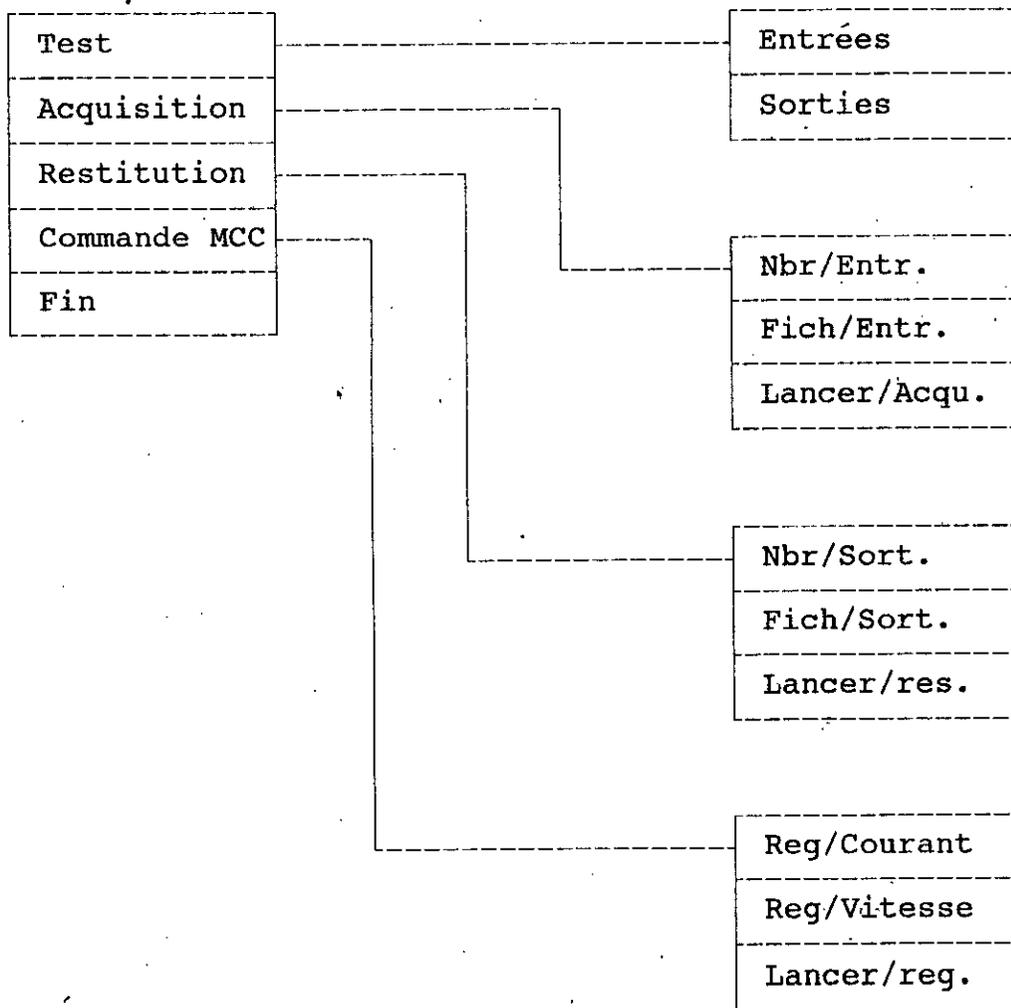
Cette procédure commande le multiplexeur 4051B, l'échantillonneur/bloqueur LF398 et l'ADC 804 pour permettre la saisie d'une seule entrée analogique. L'organigramme de saisie est donné par la **Fig(V.5)**.

V.3.2 PROCEDURE RESTI:

Cette procédure permet la restitution d'une seule sortie à travers l'un des ports A ou B du PPI et le stockage de cette sortie dans un circuit de verrouillage. L'organigramme de Resti est donnée par la **Fig(V.6)**.

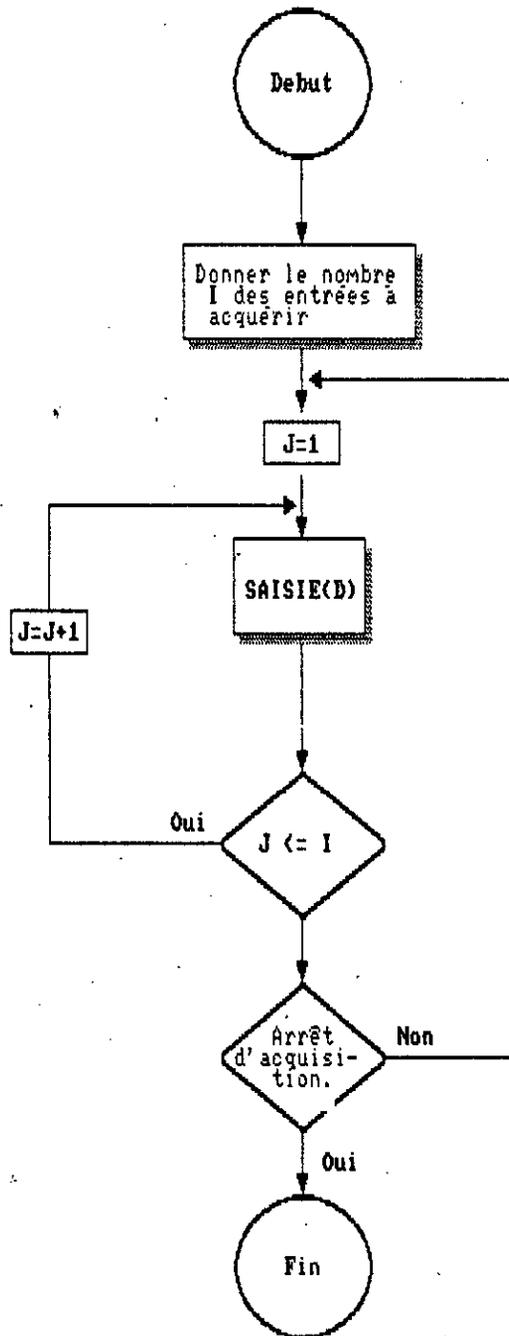
V.3.2 PROCEDURE GLATCH:

Cette procédure commande les deux circuits de verrouillage en sortie(G) pour permettre la conversion numérique/analogique de leurs contenus. L'organigramme de Resti est donné par la **Fig(V.7)**.

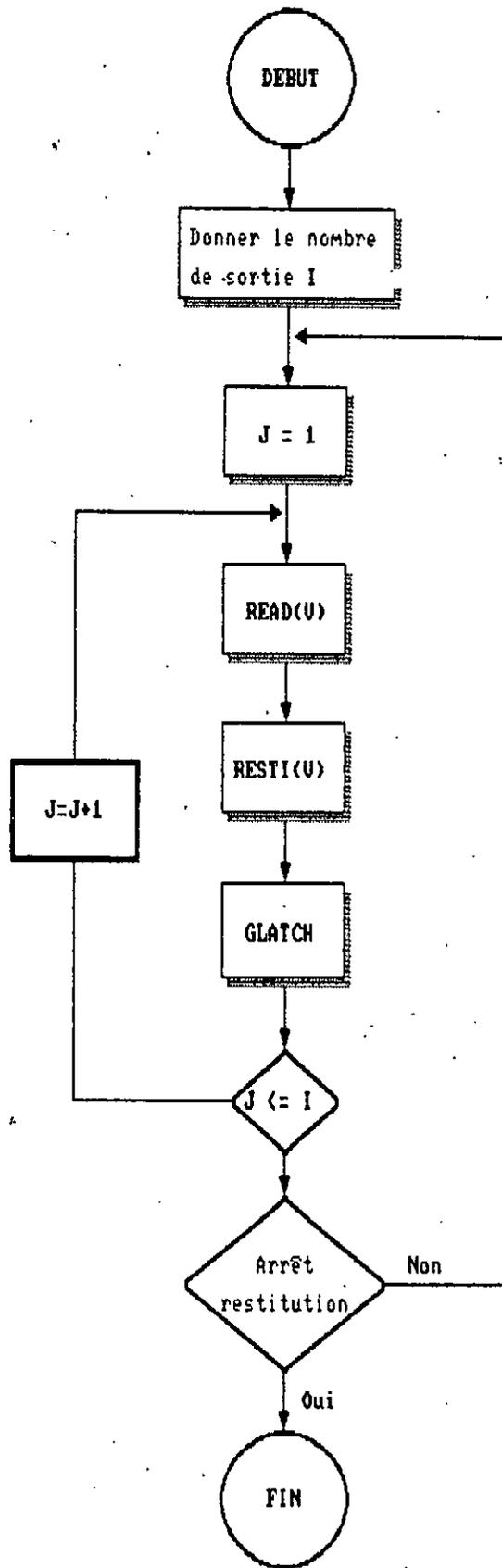


Fig(V.1) Menu du Logiciel

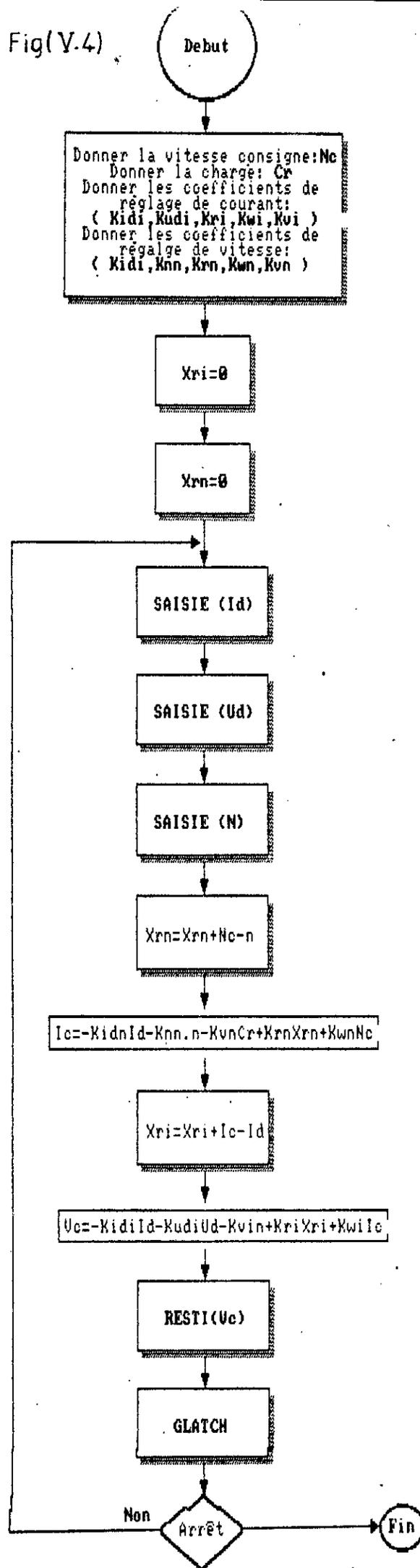
Fig(V.2) ORGANIGRAMME D'ACQUISITION



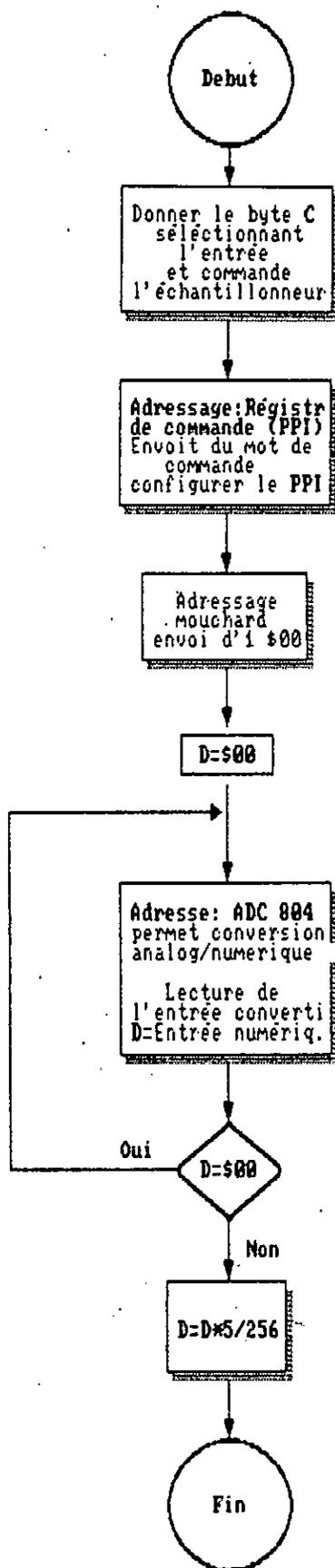
Fig(V.3) ORGANIGRAMME DE RESTITUTION



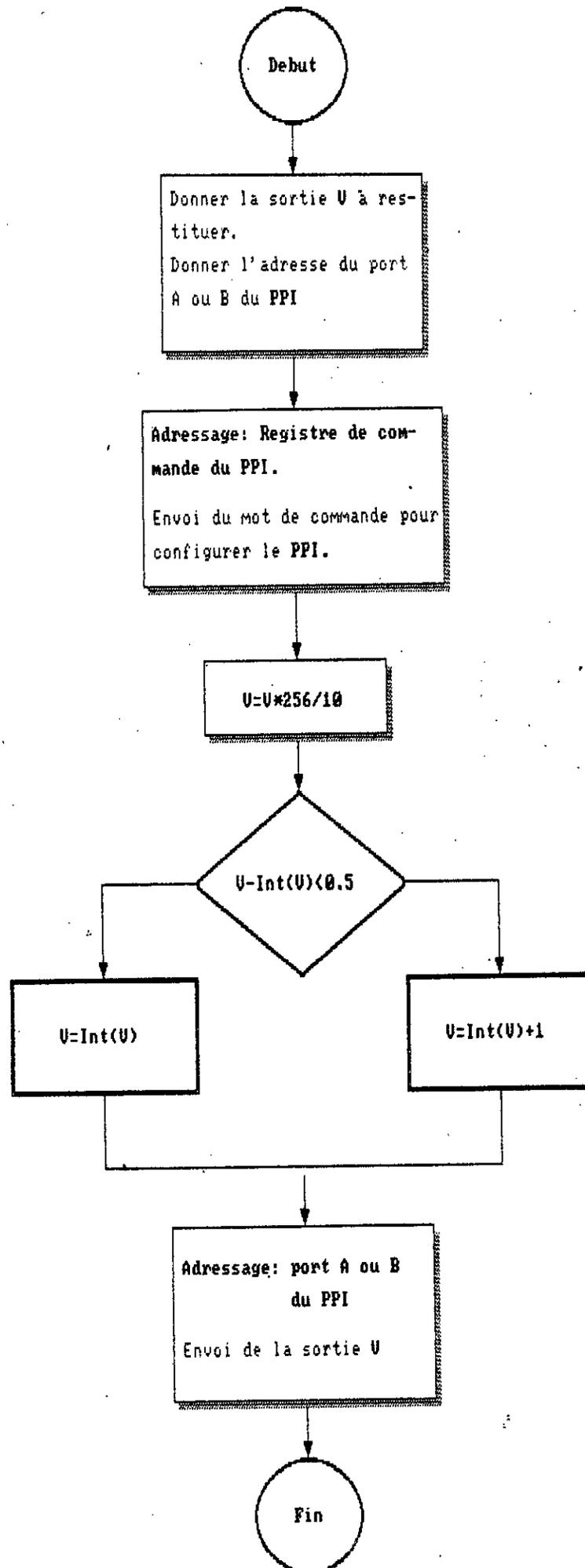
Fig(V.4)



Fig(V.5) ORGANIGRAMME DE SAISIE(D)



Fig(V.6) ORGANIGRAMME RESTI(U)



CONCLUSION

Pour pouvoir élargir le champ d'application des moteurs électriques, en utilisant de différentes techniques de réglages numériques qui nécessitent l'emploi du micro-processeur pour sa rapidité de calcul et sa facilité d'adaptation, on a réalisé une carte d'interface d'entrées/sorties pour IBM-PC et compatible dont sa tâche principale consiste à assurer la communication entre le système réel et le microordinateur muni du programme de réglage.

Cette carte, présente les caractéristiques et comporte, pratiquement tout ce que l'on peut attendre d'une carte d'E/S à la pointe de la technologie.

La mise en place d'une telle carte, permet d'accomplir la tâche de réglage par calculateur avec des entrées et des sorties analogiques.

Comme notre carte ne peut traiter qu'une seule entrée à la fois, et le micro-ordinateur n'a qu'un seul bus de données bidirectionnel et pour pallier à cet inconvénient, on a doté la carte par un circuit intégré spécialisé le PPI 8255A. Ce circuit est chargé d'établir des connexions en entrées ou en sorties selon le besoin du traitement et après un mode de programmation choisi.

L'analyse des autres circuits utilisés a été essentiellement, portée sur le convertisseur ADC804 qui permet la conversion analogique numérique en huit bits.

L'adressage de la carte est assuré par un bloque de décodage des adresses du bus d'extension du PC, suivant une marge réservée dans la mémoire et quelques signaux de commande établiront, ainsi, un synchronisme entre les différentes opérations effectuées

dans la carte.

Pour une exploitation meilleure de la carte et pour faciliter son utilisation, on a présenté, à la fin de ce mémoire, un Logiciel dont le réglage d'état d'un moteur à courant continu fait l'objet d'une application dans son menu principal. L'étude théorique de ce type de réglage a été fait dans le chapitre précédent.

Il nous reste à mentionner, que le calculateur a permet la régulation numérique des systèmes complexes en utilisant des techniques de réglages très avancées, par l'intermédiaire des cartes d'interfaces. Si les possibilités offertes par une seule carte s'avèrent insuffisantes pour l'application envisagée, rien n'empêche d'installer une seconde dans l'ordinateur où à l'extérieur.

Bibliographie

- [1] H. LILEN,
8088 et ses périphériques, les circuits de l'IBM-PC et compatibles,
Edition Radio, 86
- [2] J. UFFENBECK,
The 8086/8088 Family, Design, Programming and Interfacing,
Prentice hall, 87
- [3] J. M. COFFRON
8086/8088 Fonctionnement et programmation,
Sybex, 87
- [4] S. LEIBSON,
Manuel des Interfaces,
Mc. Graw-Hill, 84
- [5] H. LILEN,
Techniques-normes-applications des interfaces pour micro-ordinateur,
Edition radio, 86
- [6] D.U. HALL,
Microprocessors and digital systems,
Mc Graw Hill, 83
- [7] M. LEVREL,
48 ENTREES/SORTIES Programmable pour PC ou compatible,
Micros-systèmes, Sept 88
- [8] A. PELAT,
Pratique de l'amplificateur-opérationnel,
Paris Masson, 83
- [9] CMOS DATA BOOK, 77
- [10] LINEAR INTERFACE INTEGRATED CIRCUITS. MOTOROLA, 79
- [11] LINEAR INTEGRATED CIRCUITS. MOTOROLA, 79
- [12] The TTL DATA BOOK For Design Engineers, 73

- [13] H. BUHLER,
Conception de systèmes automatiques,
Press Polytechniques Romande, 88
- [14] H. BUHLER,
Réglages échantillonnés, traitement dans l'espace d'état,
Press Polytechniques Romande, 86
- [15] K.J. ASTROM, B.WITTENMARK,
Computer-Controlled Systems, Theory and design,
Prentice-Hall, 90
- [16] G. ROSENBAUM, R. SCHOLLES,
Le grand livre de Turbo Pascal 6.0,
Micro Application, 91
- [17] PFE [KIOUS/GUERRADA] A. BENSNOUCI USTHB 92
- [18] PFE [SLATNIA] BOUCHERIT/CHEKIREB ENP 92

ANNEXE A

BUS D'EXTENSION DES SYSTÈMES MICRO ORDINATEURS

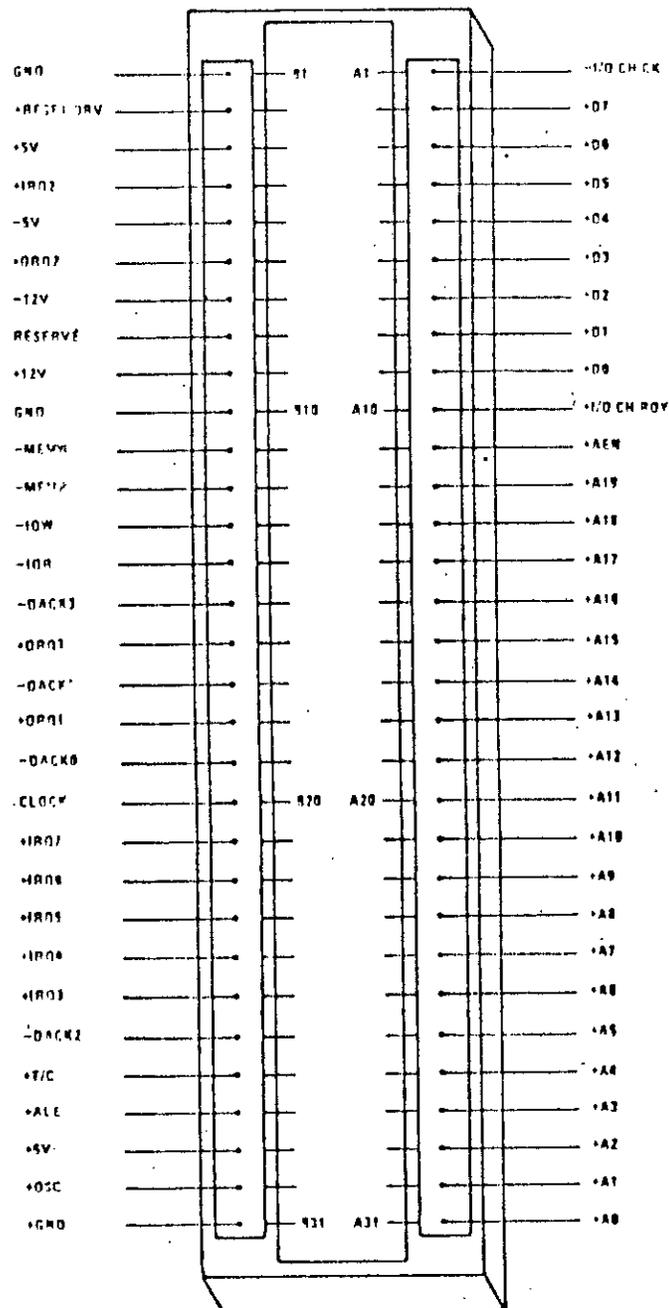
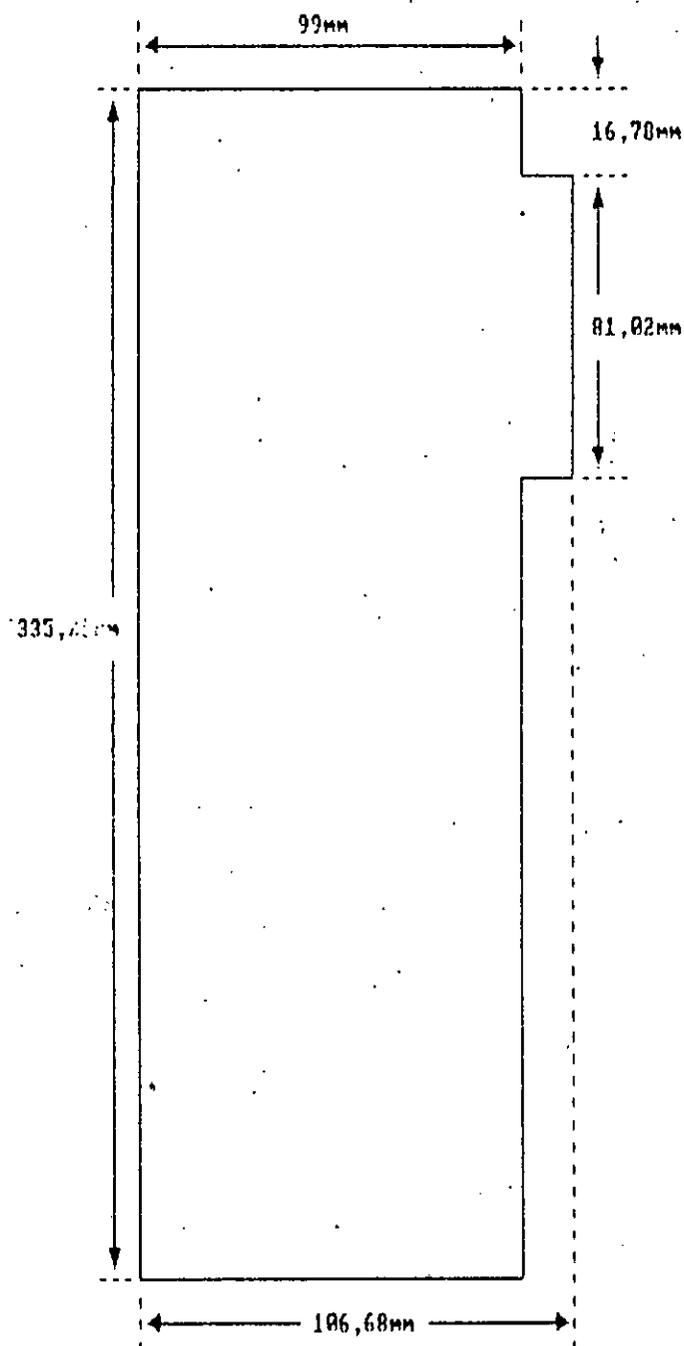


Fig. 1 — Le connecteur d'extension de l'IBM-PC, vu côté composants.

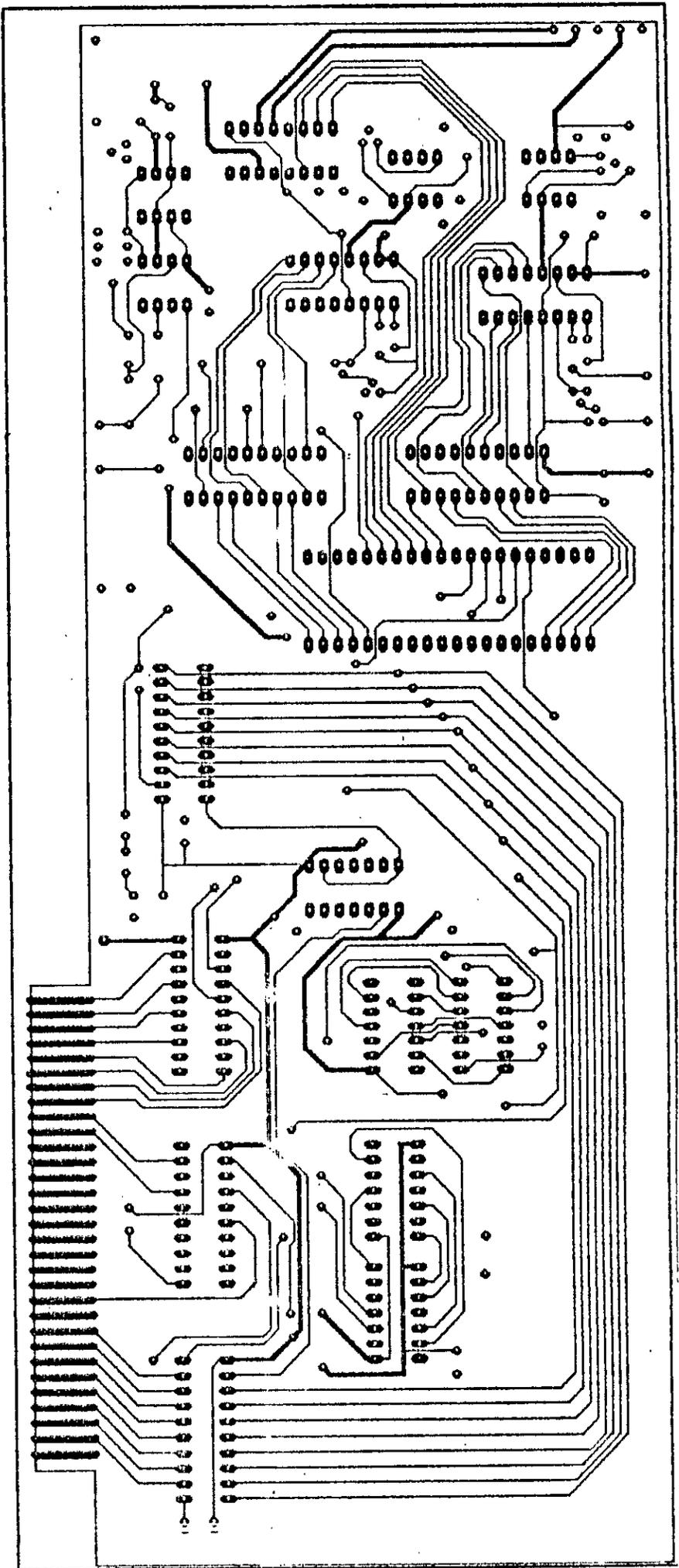
CONNECTEUR D'EXTENSION DE L'IBM-PC

Broche	Nom	Entrée ou Sortie	Fonction
A1	IO CH CK	E	« I/O Channel Check » : test de parité
A2 à A9	D7 à D0	E/S	Octet de donnée
A10	I/O CHR DY	E	« I/O Channel Ready » : pour E/S lentes
A11	AEN	S	« Adress Enable » : autorisation de DMA
A12 à A31	A 19 à A0	S	Adresse sur 20 bits
B1	GND	—	Masse
B2	Reset DRV	S	« Reset driver » : ré-initialisation du système
B3	+ 5V	—	Alimentation
B4	IRQ2	E	Demande d'interruption
B5	- 5V	—	Alimentation
B6	DRQ2	E	Demande de DMA2
B7	- 12V	—	Alimentation
B8	Réservé	—	Sur l'XT, sert à la sélection de carte
B9	12V	—	Alimentation
B10	GND	—	Masse
B11	MEMW	S	Ecriture mémoire
B12	MEMR	S	Lecture mémoire
B13	IOW	S	Ecriture E/S
B14	IOR	S	Lecture E/S
B15	DACK3	S	DMA 3 acquise
B16	DRQ3	E	Demande de DMA 3
B17	DACK1	S	DMA 1 acquise
B18	DRQ1	E	Demande de DMA 1
B19	DACK0	S	DMA 0 acquise
B20	CLK	S	Horloge système 4,77 MHz, rapport cyclique 33 %
B21 à B25	IRQ7 à IRQ3	E	Demandes d'interruptions 3 à 7
B26	DACK2	S	DMA 2 acquise
B27	T/C	S	Compte des terminaux pour DMA
B28	A1F	S	Ordre d'échantillonnage de l'adresse
B29	5V	—	Alimentation
B30	OSC	S	Oscillateur 14318,18 kHz, rapport cyclique 50 %
B31	GND	—	Masse

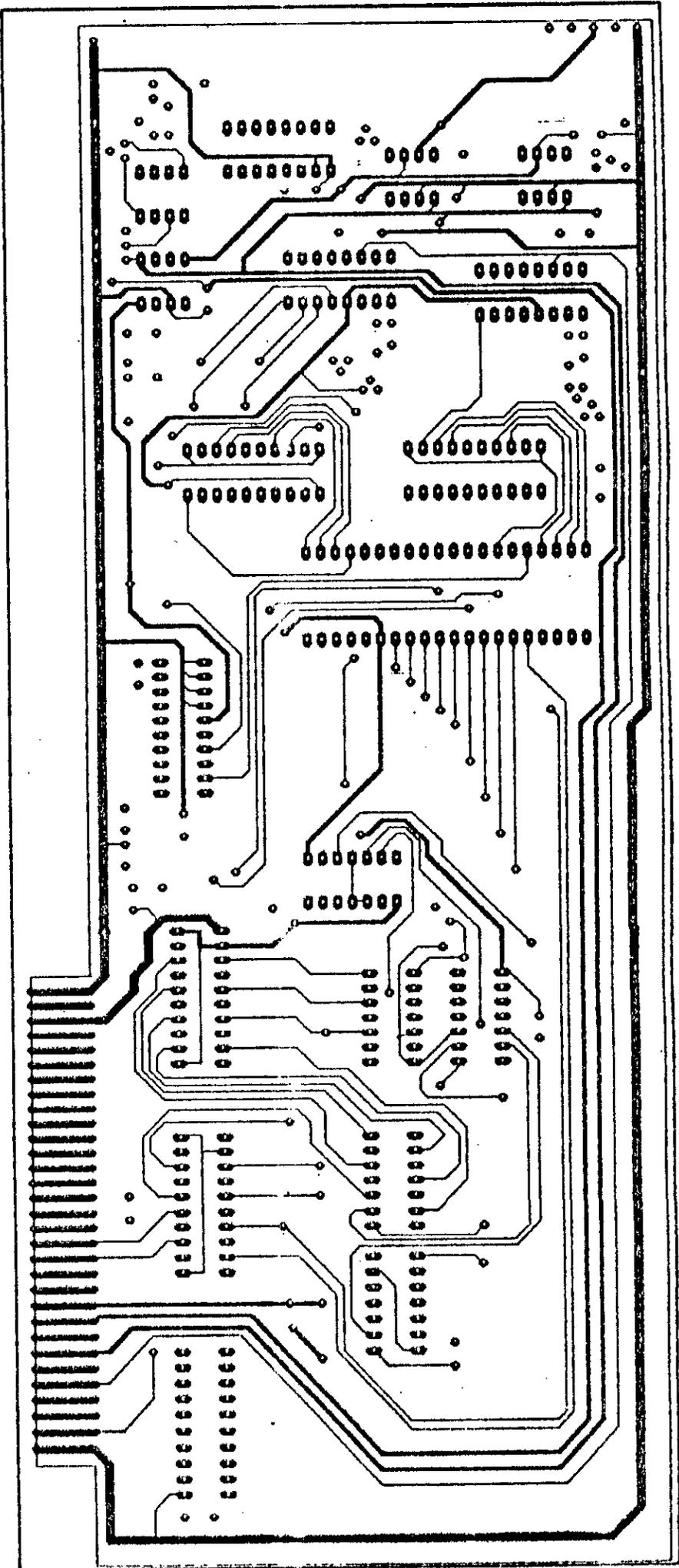


Fig()-- Format des cartes regues par le connecteur de l'IBM-PC.

Face Composants



Face Soudures



ANNEXE B

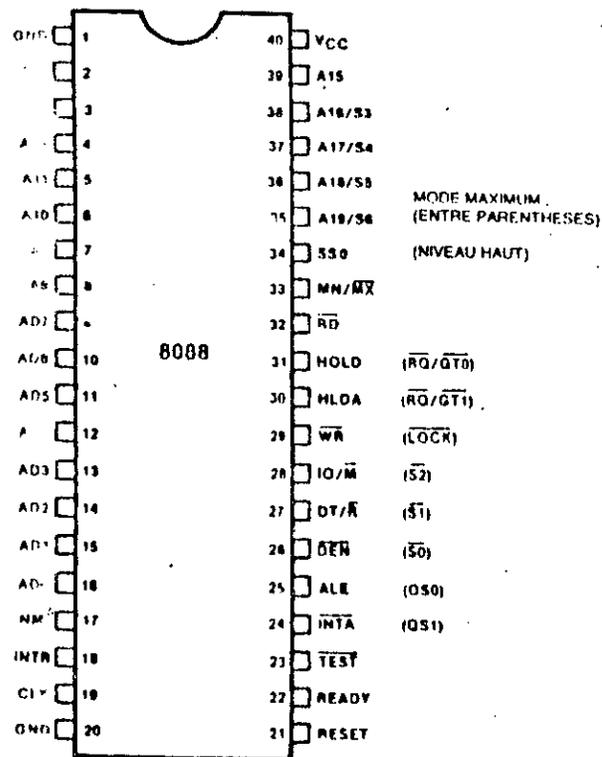


Fig. 1. — Brochage du microprocesseur 8088.

Brochage du 8088

Broches	Marquage	Fonction	Type	Mode
1	GND	Masse	—	—
2 à 8	A14 à A8	Adresses, bits 8 à 14	Sorties	—

9 à 16	AD17 à AD0	Adresses-données, bits 7 à 0	Bidirectionnel, 3 états	—
17	NMI	Demande d'interruption non masquable	Entrée	—
18	INTR	Demande d'interruption masquable	Entrée	—
19	CLK	Horloge système	Entrée	—
20	GND	Masse	—	—
21	R $\overline{\text{FSET}}$	Reset système	Entrée	—
22	READY	Commande d'attente	Entrée	—
23	TEST	Attente sur test	Entrée	—
24	INTA OS1	Acquisition de demande d'interruption Etats de la file d'attente	Sortie Sortie	MN MX
25	ALE QS0	Echantillonnage de l'adresse Etats de la file d'attente	Sortie Sortie	MN MX
26	DEN S0	Données autorisées Etat du cycle bus	Sortie, 3 états Sortie, 3 états	MN MX
27	DT/R SI	Emission des données/réception Etat du cycle bus	Sortie, 3 états Sortie, 3 états	MN MX
28	IO/M S2	Entrées-sorties/mémoires Etat du cycle bus	Sortie, 3 états Sortie, 3 états	MN MX
29	WR LOCK	Commande d'écriture Verrouillage priorité bus	Sortie, 3 états Sortie, 3 états	MN MX
30	HLDA RQ/GT1	Accord du HOLD Demande de bus/Bus accordé	Sortie Bidirectionnel	MN MX
31	HOLD RQ/GT0	Demande de déconnexion des bus Demande de bus/Bus accordé	Entrée Bidirectionnel	MN MX
32	R $\overline{\text{D}}$	Commande de lecture	Sortie, 3 états	—
33	MN/M $\overline{\text{X}}$	Choix du mode min/max	Entrée	—
34	SS0	Equivalent à S0 du mode maximum	Sortie	—
35 à 38	A19/S6 à A16/S3	Adresse/Etat	Sortie, 3 états	—
39	AD15	Adresse-donnée	Bidirectionnel 3 états	—
40	VCC	+5 V	Entrée	—

4051B

8-CHANNEL ANALOG MULTIPLEXER/DEMULTIPLEXER

DESCRIPTION — The 4051B is an 8-Channel Analog Multiplexer/Demultiplexer with three Address Inputs (A_0 - A_2), an active LOW Enable Input (E), eight Independent Inputs/Outputs (Y_0 - Y_7) and a Common Input/Output (Z).

The 4051B contains eight bidirectional analog switches, each with one side connected to an Independent Input/Output (Y_0 - Y_7) and the other side connected to a Common Input/Output (Z). With the Enable Input (E) LOW, one of the eight switches is selected (low impedance, ON state) by the three Address Inputs (A_0 - A_2). With the Enable Input (E) HIGH, all switches are in the high impedance OFF state, independent of the Address Inputs.

V_{DD} and V_{SS} are the two supply voltage connections for the digital control inputs (A_0 - A_2 , E). Their voltage limits are the same as for all other digital CMOS. The analog inputs/outputs (Y_0 - Y_7 , Z) can swing between V_{DD} as a positive limit and V_{EE} as a negative limit. V_{DD} - V_{EE} may not exceed 15 V. For operation as a digital multiplexer/demultiplexer, V_{EE} is connected to V_{SS} (typically ground).

- ANALOG OR DIGITAL MULTIPLEXER/DEMULTIPLEXER
- COMMON ENABLE INPUT (ACTIVE LOW)

PIN NAMES

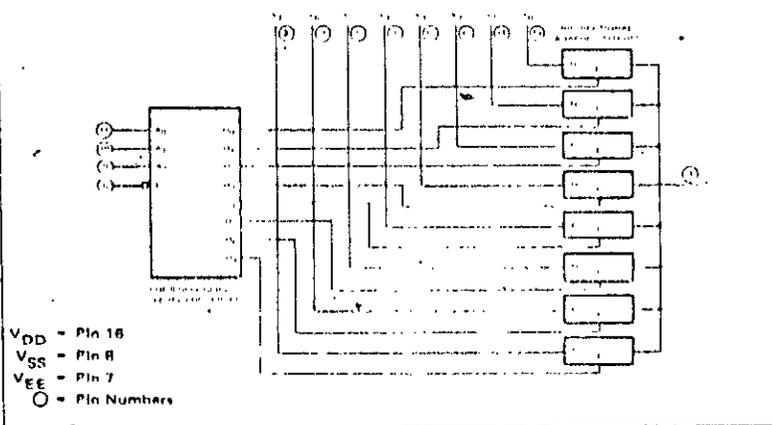
- Y_0 - Y_7 Independent Inputs/Outputs
- A_0 - A_2 Address Inputs
- E Enable Input (Active LOW)
- Z Common Input/Output

TRUTH TABLE

INPUTS				CHANNELS							
E	A_2	A_1	A_0	Y_0 -Z	Y_1 -Z	Y_2 -Z	Y_3 -Z	Y_4 -Z	Y_5 -Z	Y_6 -Z	Y_7 -Z
L	L	L	L	ON	OFF						
L	L	L	H	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
L	L	H	L	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF
L	L	H	H	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF
L	H	L	L	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF
L	H	L	H	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF
L	H	H	L	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF
L	H	H	H	OFF	ON						
H	X	X	X	OFF							

L - LOW Level
H - HIGH Level
X - Don't Care

4051B FUNCTIONAL LOGIC DIAGRAM

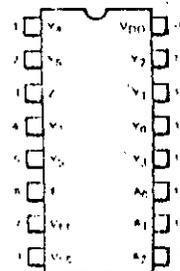


LOGIC SYMBOL



V_{DD} - Pin 16
 V_{SS} - Pin 8
 V_{EE} - Pin 7

**CONNECTION DIAGRAM
DIP (TOP VIEW)**



NOTE:
The Flatpak version has the same pinouts. (Connection Diagram as the Dual in-line Package.)

FAIRCHILD CMOS • 4051B

DC CHARACTERISTICS: V_{DD} as shown, $V_{EE} = 0$ V (See Note 1)

SYMBOL	PARAMETER	LIMITS									UNITS	TEMP	TEST CONDITIONS	
		$V_{DD} = 5$ V			$V_{DD} = 10$ V			$V_{DD} = 15$ V						
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX				
R_{ON}	ON Resistance	XC		95	900		65	380		35	210	Ω	MIN 25°C MAX	$V_{in} = V_{DD}$ to V_{EE} Note 2
				100	1000		65	500		40	280			
				125	1100		100	600		65	340			
R_{ON}	Resistance	XM		90	850		50	340		30	190	Ω	MIN 25°C MAX	
				100	1000		65	500		40	280			
				150	1150		110	600		70	370			
ΔR_{ON}	"A" ON Resistance Between Any Two Channels		25			10			5		Ω	25°C	Note 2	
I_Z	OFF State Leakage Current, All Channels OFF	XC					800				nA	25°C	E = V_{DD} $V_{SS} = V_{DD}/2$ $V_{is} = V_{DD}$ or V_{EE} $V_{os} = V_{EE}$ or V_{DD} E = $V_{SS} = V_{DD}/2$ $V_{is} = V_{DD}$ or V_{EE} $V_{os} = V_{EE}$ or V_{DD}	
	Any Channel OFF	XC				100								
		XM				10								
I_{DD}	Quiescent Power	XC		20		40			80		μA	MIN, 25°C MAX	$V_{SS} = V_{EE}$	
	Supply Dissipation	XM		150		300			600		μA	MIN, 25°C MAX	All inputs at V_{DD} or V_{EE}	

Notes on following page.

LF198/LF298/LF398



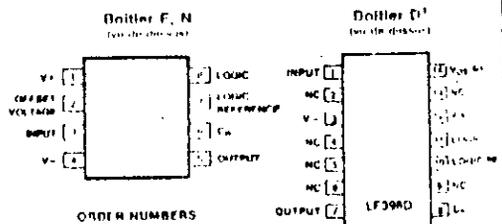
DESCRIPTION :

Les LF198/LF298/LF398 sont des bloqueurs-échantillonneurs qui utilisent la technologie BIFET pour obtenir une très grande précision avec une acquisition rapide du signal. Opérant comme un suiveur de gain unité, la précision est de 0,002 % et la vitesse d'acquisition est plus petite que 6 µs à 0,01 %. Bande passante de 1 MHz et impédance d'entrée de 10¹⁰ Ω.

Valeurs limites

Tension d'alimentation	±18 V
Puissance dissipée (1)	500 mW
Plage de températures de fonctionnement	
LF198	-55 à +125 °C
LF298	-25 à +85 °C
LF398	0 à +70 °C
Plage de températures de stockage	
LF198	-65 à +150 °C
Tension différentielle entre références logiques	
	±7, ±10 V
Durée d'un court-circuit sur la sortie	
	illimitée
Durée d'un court-circuit du condensateur de blocage	
	10 s
Température d'une broche (soudage, 10 s)	
	300 °C

Brochages



Particularités

- Fonctionne de 3,5 V à ±18 V
- Temps d'acquisition meilleur que 10 µs
- Entrées logiques compatibles TTL, PMOS, CMOS
- Marche typique de 0,5 mV pour C_{in} = 0,01 µF
- Faible décalage d'entrée
- Précision du gain 0,002 %
- Faible bruit de sortie en mode bloqué
- Les entrées logiques d'entrée ne changent pas pendant le blocage
- Grand rapport de rejection de la tension d'alimentation en échantillonnage ou blocage
- Grande bande passante

Applications

Les circuits LF198/LF298/LF398 sont idéaux pour une grande variété d'applications des échantillonneurs bloqués, telle que la sauvegarde de données, conversion analogique-numérique, démodulateur synchrone, circuit de test automatique.

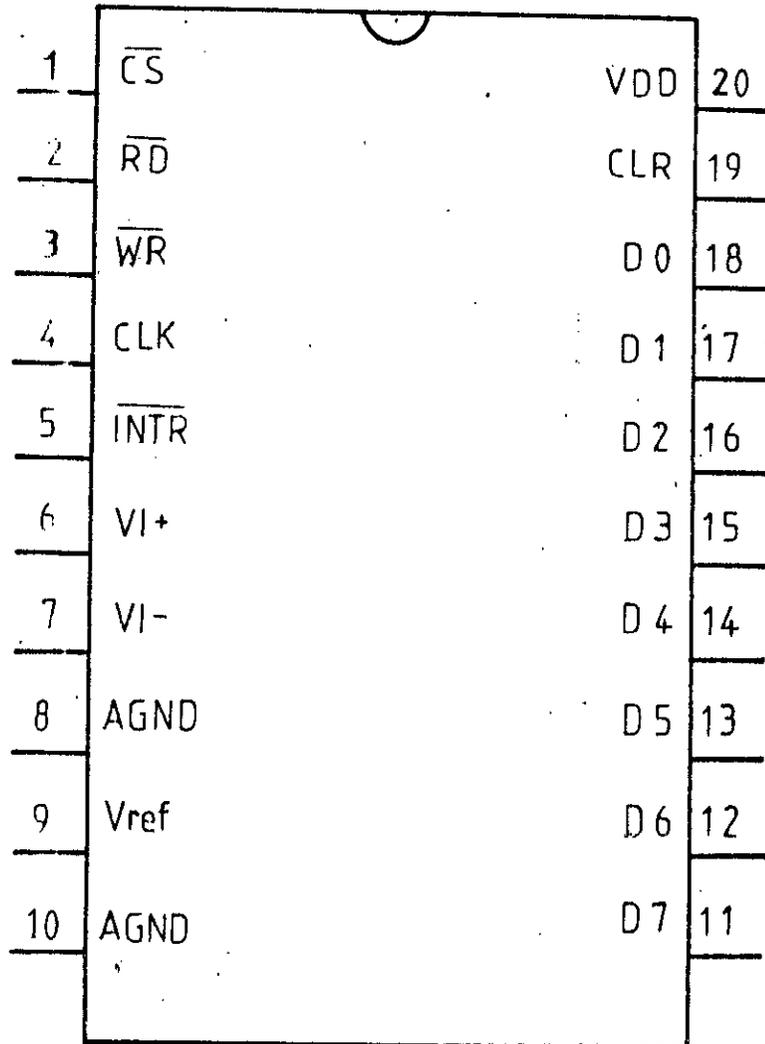
ÉCHANTILLONNEUR BLOQUEUR

Caractéristiques électriques sauf mentions particulières, les conditions s'appliquent en mode échantillonné, V_S = ±15 V, T_J = 25 °C, -11,5 V < V_{IN} < +11,5 V, C_{IN} = 0,01 µF, et R_{IN} = 10 kΩ. Tension logique = 2,5 V

Paramètres	Conditions	LF198/LF298			LF398			Unités
		Min.	Typ.	Max.	Min.	Typ.	Max.	
Tension de décalage d'entrée	T _J = 25 °C		1	3	2	7	10	mV
Courant de polarisation d'entrée	T _J = 25 °C		5	25	10	50	100	nA
	Sur toute la plage de température			75				nA
Impédance d'entrée	T _J = 25 °C		10 ¹⁰		10 ¹⁰			Ω
Erreur de gain	T _J = 25 °C, R _{IN} = 10 K		0,002	0,005	0,004	0,01	0,02	%
	Sur toute la plage de température			0,02				%
Rapport d'atténuation de la tension (référence à 1 kHz)	T _J = 25 °C, C _{IN} = 0,01 µF	80	95		80	90		dB
	T _J = 25 °C, -100 Ω (D+ mode)		0,5	2	0,5	1		dB
Impédance de sortie	Sur toute la plage de température			4		6		Ω
Marche de blocage ⁴	T _J = 25 °C, C _{IN} = 0,01 µF, V _{OUT} = 0		0,5	2,0	1,0	2,2		mV
Alimentation ⁵	T _J = 25 °C		4,5	5,5	4,5	5,5		µA
Courant des entrées logiques	T _J = 25 °C		2	10	2	10		µA
Courant de fuite dans le condensateur ⁶	T _J = 25 °C, Hold mode		30	100	30	100		µA
Temps d'acquisition à 0,1 %	ΔV _{OUT} = 10 V, C _{IN} = 1000 pF		4		4			µs
	C _{IN} = 0,01 µF		20		20			µs
Courant de charge de la capacité de blocage	V _{IN} = V _{OUT} = 2 V		5		5			µA
Rejection de la tension d'alimentation	V _{OUT} = 0	80	110		80	110		dB
Suivi temp. différentiel	T _J = 25 °C	0,8	1,4	2,4	0,8	1,4	2,4	V

NOTES

1. La température maximale de jonction du circuit LF198 est de 150 °C. Si on travaille à température élevée, les boîtiers TO-18 et plastique doivent être sur ventilateur en passant une résistance thermique de 150 °C/W.
2. Toute la tension différentielle d'entrée ne peut pas être sur les entrées bloquées. La tension en mode court-circuit peut être égale à la tension d'alimentation si on réinitialise toute la tension. Pour un fonctionnement correct, les logiques bloquées peuvent attendre (C_{IN} = 2,2 MΩ) (V_S = ±1 V).
3. Sauf mention particulière les conditions suivantes s'appliquent au mode échantillonné: V_S = ±15 V, T_J = 25 °C, -11,5 V < V_{IN} < +11,5 V, C_{IN} = 0,01 µF et R_{IN} = 10 kΩ, tension de blocage = 0 V et tension de rapport = 2,5 V.
4. La tension bloquée est mesurée à la capacité de charge entre l'entrée du signal logique et la capacité de blocage. À titre d'exemple, on utilise une marche de 0,5 mV et une entrée d'entrée de 5 V et 0,01 µF de capacité de blocage. L'impédance de la source est mesurée avec une température de jonction de 25 °C. Les effets dus à l'échauffement par puissance dissipée dans la buffer, si on est en mode bloqué, sont négligeables.
5. Le courant de fuite est mesuré avec une température de jonction de 25 °C. Les effets dus à l'échauffement par puissance dissipée dans la buffer, si on est en mode bloqué, sont négligeables.
6. Les paramètres sont garantis pour une plage de tensions allant de 3,5 V à ±18 V.



ADC 804



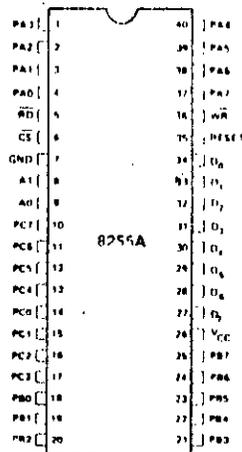
PRELIMINARY

8255A/8255A-5 PROGRAMMABLE PERIPHERAL INTERFACE

- MCS-85™ Compatible 8255A-5
- 24 Programmable I/O Pins
- Completely TTL Compatible
- Fully Compatible with Intel® Micro-processor Families
- Improved Timing Characteristics
- Direct Bit Set/Reset Capability Easing Control Application Interface
- 40-Pin Dual In-Line Package
- Reduces System Package Count
- Improved DC Driving Capability

The Intel® 8255A is a general purpose programmable I/O device designed for use with Intel® microprocessors. It has 24 I/O pins which may be individually programmed in 2 groups of 12 and used in 3 major modes of operation. In the first mode (MODE 0), each group of 12 I/O pins may be programmed in sets of 4 to be input or output. In MODE 1, the second mode, each group may be programmed to have 8 lines of input or output. Of the remaining 4 pins, 3 are used for handshaking and interrupt control signals. The third mode of operation (MODE 2) is a bidirectional bus mode which uses 12 lines for a bidirectional bus, and 5 lines, borrowing one from the other group, for handshaking.

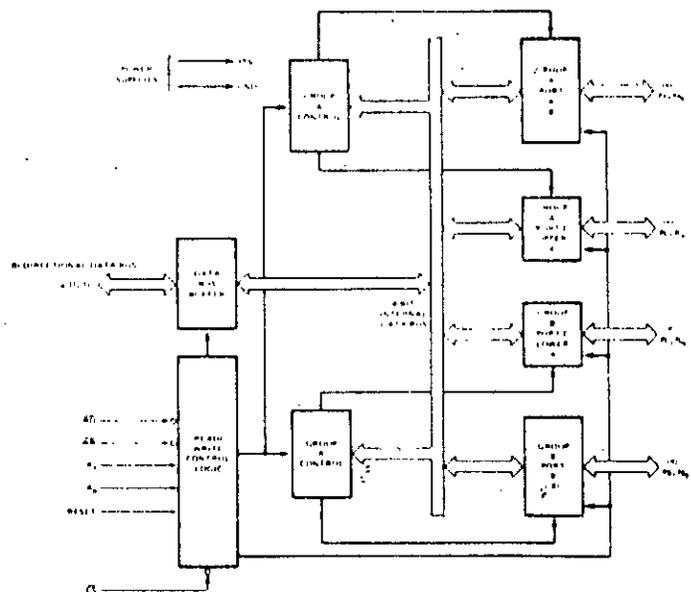
PIN CONFIGURATION



PIN NAMES

D ₇ -D ₀	DATA BUS (BI DIRECTIONAL)
RESET	RESET INPUT
CS	CHIP SELECT
RD	READ INPUT
WR	WRITE INPUT
A ₀ , A ₁	PORT ADDRESS
PA ₇ -PA ₀	PORT A (8 BIT)
PB ₇ -PB ₀	PORT B (8 BIT)
PC ₇ -PC ₀	PORT C (8 BIT)
V _{CC}	+5 VOLTS
GND	0 VOLTS

8255A BLOCK DIAGRAM



8255A/8255A-5

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

(CS)

Chip Select. A "low" on this input pin enables the communication between the 8255A and the CPU.

(RD)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

(WR)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A₀ and A₁)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A₀ and A₁).

8255A BASIC OPERATION

A ₁	A ₀	RD	WR	CS	INPUT OPERATION (READ)
0	0	0	1	0	PORT A → DATA BUS
0	1	0	1	0	PORT B → DATA BUS
1	0	0	1	0	PORT C → DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS → PORT A
0	1	1	0	0	DATA BUS → PORT B
1	0	1	0	0	DATA BUS → PORT C
1	1	1	0	0	DATA BUS → CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS → 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS → 3-STATE

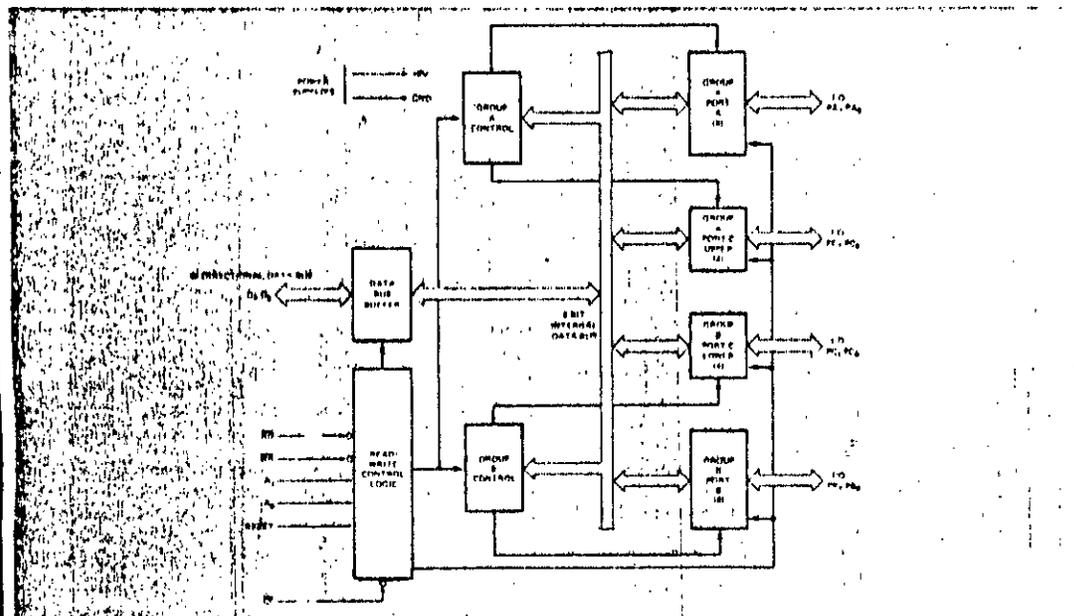


Figure 1. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

8255A/8255A-5

(RESET)

Reset. A "high on this input clears the control register and all ports (A, C, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A - Port A and Port C upper (C7-C4)

Control Group B - Port B and Port C lower (C3-C0)

The Control Word Register can only be written into. No Read operation of the Control Word Register is allowed.

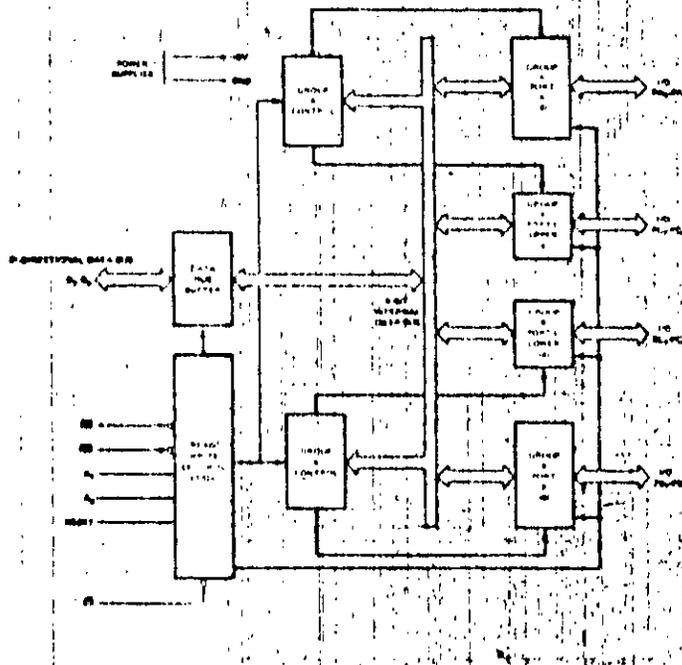
Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

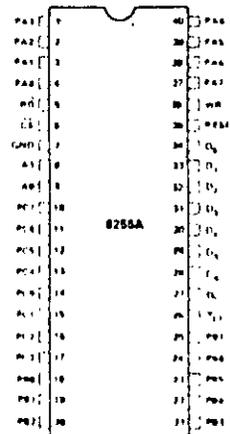
Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.



PIN CONFIGURATION



PIN NAMES

PIN #	DATA BUS DIR. (DIRECTION)
RESET	RESET (INPUT)
CS	CHIP SELECT
CWR	READ/WRITE
RD	WRITE INPUT
WR	WRITE INPUT
AD A1	PORT ADDRESS
PA1-PA8	PORT A (BIT)
PB1-PB8	PORT B (BIT)
PC1-PC8	PORT C (BIT)
VCC	+5 VOLTS
GND	0 VOLTS

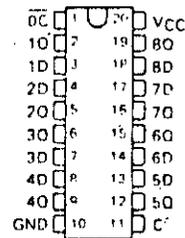
Figure 2. 8255A Block Diagram Showing Group A and Group B Control Functions

TYPES SN54LS373, SN54LS374, SN54S373, SN54S374,
SN74LS373, SN74LS374, SN74S373, SN74S374
OCTAL D-TYPE TRANSPARENT LATCHES AND EDGE-TRIGGERED FLIP-FLOPS

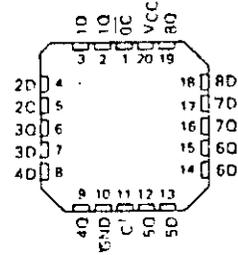
OCTOBER 1975 - REVISED APRIL 1981

- Choice of 8 Latches or 8 D-Type Flip-Flops in a Single Package
- 3-State Bus-Driving Outputs
- Full Parallel Access for Loading
- Buffered Control Inputs
- Clock/Enable Input Has Hysteresis to Improve Noise Rejection ('S373 and 'S374)
- P-N-P Inputs Reduce D-C Loading on Data Lines ('S373 and 'S374)

SN54LS373, SN54LS374, SN54S373,
SN54S374 ... J PACKAGE
SN74LS373, SN74LS374, SN74S373,
SN74S374 ... DW, JORN PACKAGE
(TOP VIEW)



SN54LS373, SN54LS374, SN54S373,
SN54S374, SN74LS373, SN74LS374,
SN74S373, SN74S374 ... FK PACKAGE
(TOP VIEW)



'LS373, 'S373
FUNCTION TABLE

OUTPUT ENABLE	ENABLE LATCH	D	OUTPUT
L	H	H	H
L	H	L	L
L	L	X	Q ₀
H	X	X	Z

'LS374 'S374
FUNCTION TABLE

OUTPUT ENABLE	CLOCK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	X	Q ₀
H	X	X	Z

description

These 8-bit registers feature three-state outputs designed specifically for driving highly-capacitive or relatively low-impedance loads. The high-impedance third state and increased high-logic-level drive provide these registers with the capability of being connected directly to and driving the bus lines in a bus-organized system without need for interstage or pull-up components. They are particularly attractive for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers.

The eight latches of the 'LS373 and 'S373 are transparent D-type latches meaning that while the enable (C) is high the Q outputs will follow the data (D) inputs. When the enable is taken low the output will be latched at the level of the data that was set up.

'C for 'LS373 and 'S373. CLK for 'LS374 and 'S374

TTL DEVICES

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processes may not necessarily include testing of all parameters.



TYPES SN54LS373, SN54LS374, SN74LS373, SN74LS374
OCTAL D-TYPE TRANSPARENT LATCHES AND
EDGE-TRIGGERED FLIP-FLOPS

Switching characteristics, VCC = 5 V, TA = 25°C

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	LS373			LS374			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t _{PLH}			C _L = 45 pF, R _L = 667 Ω See Notes 2 and 3							
t _{PLH}	Data	Any Q		12	18				ns	
t _{PHL}				12	18					
t _{PLZ}	Clock	Any Q		20	30		15	25	ns	
t _{PHZ}	enable	Any Q		18	30		19	25		
t _{OLZ}	Output	Any Q		15	20		20	25	ns	
t _{OLZ}	Control	Any Q	25	30		21	25			
t _{PHZ}	Output	Any Q	C _L = 5 pF, R _L = 667 Ω See Note 3	21	32		25	32	ns	
t _{PHZ}	Control	Any Q		18	25		18	21		
t _{PLZ}	Output	Any Q		12	20		12	20	ns	
t _{PLZ}	Control	Any Q								

NOTE 2: Maximum clock frequency is tested with all outputs loaded.

NOTE 3: See General Information Section for load circuit and voltage waveforms.

- t_{PLH} maximum clock frequency
 t_{PHL} propagation delay time, low to high level output
 t_{PHZ} propagation delay time, high to low level output
 t_{OLZ} output enable time to high level
 t_{OLZ} output enable time to low level
 t_{PHZ} output disable time from high level
 t_{PLZ} output disable time from low level



TTL DEVICES

TYPES SN54LS240, SN54LS241, SN54LS244, SN54S240, SN54S241, SN54S244, SN74LS240, SN74LS241, SN74LS244, SN74S240, SN74S241, SN74S244
 OCTAL BUFFERS AND LINE DRIVERS WITH 3-STATE OUTPUTS

REV. 5/72 (REV. 10/82)

- 3-State Outputs Drive Bus Lines or Buffer Memory Address Registers
- PNP Inputs Reduce D-C Loading
- Hysteresis at Inputs Improves Noise Margins

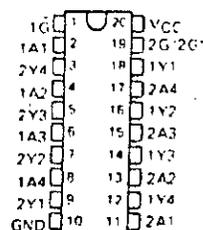
description

These octal buffers and line drivers are designed specifically to improve both the performance and density of three-state memory address drivers, clock drivers, and bus-oriented receivers and transmitters. The designer has a choice of selected combinations of inverting and noninverting outputs, symmetrical \bar{G} (active-low output control) inputs, and complementary \bar{G} and \bar{G} inputs. These devices feature high fan-out, improved fan-in, and 400 mV noise-margin. The SN74LS¹ and SN74S¹ can be used to drive terminated lines down to 133 ohms.

The SN54¹ family is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74¹ family is characterized for operation from 0°C to 70°C.

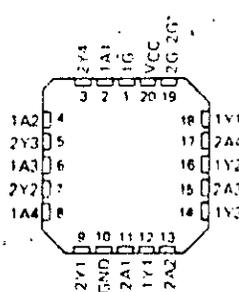
SN54LS¹, SN54S¹ J PACKAGE
 SN74LS¹, SN74S¹ DW JORN PACKAGE

(TOP VIEW)



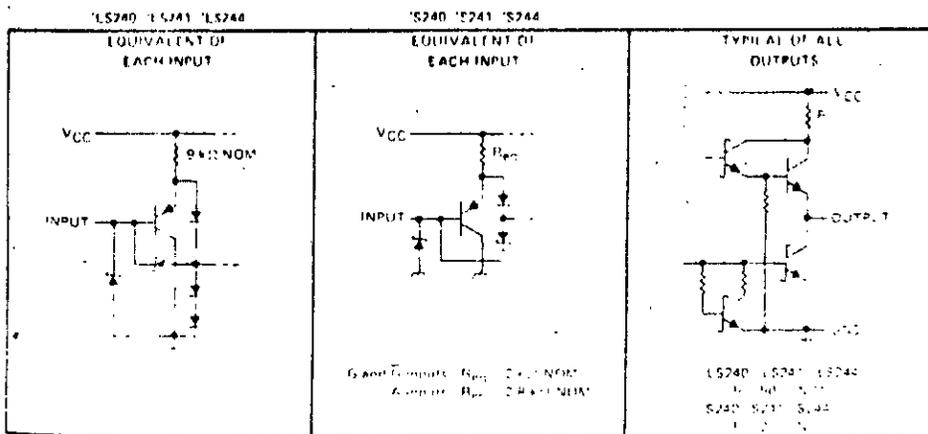
SN54LS¹, SN54S¹ FK PACKAGE
 SN74LS¹, SN74S¹

(TOP VIEW)



¹2G for LS241 and S241 or 2G for all other drivers

schematics of inputs and outputs



PRODUCT'S DATA
 This document contains information current as of publication date. Products conform to specifications per the latest of Texas Instruments standard warrants. Production processing does not necessarily include testing of all parameters.



TTL DEVICES

TYPES SN54LS245, SN74LS245 OCTAL BUS TRANSCEIVERS WITH 3-STATE OUTPUTS

DATE 1977 REVISED APRIL 1987

- Bi-directional Bus Transceiver in a High-Density 20 Pin Package
- 3 State Outputs Drive Bus Lines Directly
- PNP Inputs Reduce D-C Loading on Bus Lines
- Hysteresis at Bus Inputs Improve Noise Margins
- Typical Propagation Delay Times, Part-to-Port . . . 8 ns

TYPE	I _{OL} (SINK CURRENT)	I _{OH} (SOURCE CURRENT)
SN54LS245	12 mA	-12 mA
SN74LS245	24 mA	-15 mA

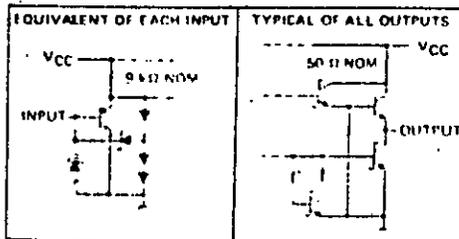
description

These octal bus transceivers are designed for asynchronous two-way communication between data buses. The control function implementation minimizes external timing requirements.

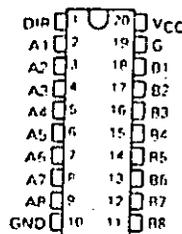
The devices allow data transmission from the A bus to the B bus or from the B bus to the A bus depending upon the logic level at the direction control (DIR) input. The enable input (G) can be used to disable the device so that the buses are effectively isolated.

The SN54LS245 is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74LS245 is characterized for operation from 0°C to 70°C.

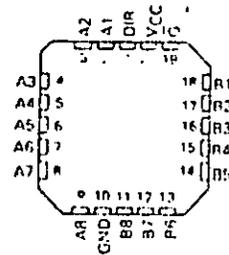
schematics of inputs and outputs



SN54LS245 . . . J PACKAGE
SN74LS245 . . . DW, J OR N PACKAGE
(TOP VIEW)



SN54LS245 . . . FK PACKAGE
SN74LS245
(TOP VIEW)



FUNCTION TABLE

ENABLE G	DIRECTION CONTROL DIR	OPERATION
L	L	B data to A bus
L	H	A data to B bus
H	X	Isolation

H = high-level, L = low-level, X = unspecified

PRODUCTION DATA
This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

TEXAS
INSTRUMENTS

Annexe C

L'étude théorique est appliquée à un moteur à courant continu ayant les caractéristiques suivantes [18]:

- L'inductance de lissage: $L_s = 100 \text{ mH}$
- La résistance de lissage: $r_s = 1.2 \Omega$
- L'inductance de l'induit: $L_a = 16 \text{ mH}$
- La résistance de l'induit: $r_a = 0.4 \Omega$
- L'inertie du moteur: $J = 0.06 \text{ Kg m}^2$
- Le Coefficient de frottement : $f = 0.00975 \text{ MKSA}$
- La vitesse nominale du moteur: $\omega_n = 1500 \text{ tr/mn}$
- Le courant nominal de l'induit: $I_n = 32 \text{ A}$
- La tension nominale de l'induit: $U_n = 110 \text{ V}$
- La puissance nominale du moteur: $P_n = 3 \text{ Kw}$

Les constantes du système à régler sont :

$$K_c = 1.2 \quad T_c = 2.5 \text{ ms}$$

$$K_m = 12.47 \quad T_m = 6150 \text{ ms}$$

$$K_e = 2.15 \quad T_e = 72.5 \text{ ms}$$