

11/98

République Algérienne Démocratique et Populaire
Ministère de l'enseignement Supérieur et de la Recherche Scientifique

Ecole Nationale Polytechnique

D.E.R DE GENIE ELECTRIQUE ET INFORMATIQUE

FILIERE : ELECTRONIQUE

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

PROJET DE FIN D'ETUDES

Pour l'obtention du diplôme d'ingénieur d'état
en Electronique
Thème

Systeme automatisé
pour la caractérisation des
cellules solaires

Proposé et Dirigé par :
Mr M.HADDADI

Etudié par :
T.LANTRI

Promotion : Septembre 1998

E.N.P. 10, AVENUE HASSEN BADI - EL-HARRACH - ALGER

Résumé :

Le but de cette étude, consiste à réaliser une carte logique enfichable dans l'un des slots d'extension libres d'un micro ordinateur, et permet de relever les caractéristiques d'une cellule ou d'un panneau solaire, ainsi que les variations de ces caractéristiques en fonction de l'éclairement et la température.

Abstract :

The aim of this study is to realize a logic card connected with the expand bus of computer, this card permit to take the cell or a panel characteristics, and the variations of this characteristics with the variation of temperatur and ensolation.

ملخص

تهدف هذه الدراسة إلى انجاز بطاقة منطقية متصلة بجهاز الحاسوب عن طريق راسل الإمتداد الحر، وذلك لأخذ خصائص خلية أو لوحة شمسية. وتهدف أيضا هذه الدراسة إلى دراسة تغيرات هذه الخصائص بتغيرات الشدة الضوئية ودرجة الحرارة.

Dédicace

المدسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

- ❖ *A mon père*
- ❖ *A ma mère*
- ❖ *A mes frères et mes sœurs*
- ❖ *A mes amis.*

Tayeb.

Remerciement



Nous remercions DIEU qui nous a donné la santé, la patience et le courage de terminer ce travail jusqu'à la fin.

Nous tenons à remercier vivement :

- Mr M . HADDADI pour ses conseils et sa façon d'entreprendre un travail jusqu'au bout
- Mr ZERGUI qui nous a honoré par présence et de présider mon jury
- Mr BOUSBIA pour avoir accepté de juger ce travail
- Nous tenons à remercier tout le personnel qui nous a donné l'aide pour terminer ce travail.

Sommaire



	page
Introduction général	1
Chapitre I Les cellules solaire	2
I.1. Introduction	
I.2. La cellule solaire	
I.3. Fonctionnement	
I.4. Caractéristiques	
I.5. Schéma équivalent d'une cellule solaire	
I.6. Influence de l'éclairement sur les caractéristiques I(v)	
I.7. Influence de la température sur le caractéristiques I(v)	
I.8. Les panneaux solaires	
I.9. Le relevé de caractéristiques	
Chapitre II Le bus du PC	9
II.1. Le PC compatible	
II.2. Le bus	
II.3. Les slots d'extension	
Chapitre III Acquisition et traitement des données	16
III.1 Acquisition et traitement des données	
III.2. L'interface d'acquisition	
III.2.1. L'organe d'entrée / sortie	
III.2.2. La conversion analogique	
III.2.2.1. Introduction	
III.2.2.2. Convertisseur A.N. rampe numérique	
III.2.2.3. C.A.N. par approximations successives	
III.2.2.4. C.A.N. parallèle (FLASCI)	
III.2.2.5. L'ADC 804	
III.2.3. La conversion numérique- analogique	
III.2.3.1. Introduction	
III.2.3.2. Circuit des convertisseur numérique- analogique	
III.2.3.3. Spécifications des C.N.A.	
III.2.3.4. Le convertisseur DAC0808	
III.2.4. Multiplexage analogique	
III.2.5. La logique de commande	
III.2.6. fonctionnement et gestion de la carte	
Chapitre IV Logiciel réalisé	48
Conclusion générale	53

Introduction générale



La question du remplacement des sources d'énergie conventionnelles et la recherche d'énergies nouvelles est d'une actualité brûlante dans le monde entier. Une des solutions est l'utilisation des cellules solaires, donc il est important de connaître le plus précisément possible leurs caractéristiques ainsi que la variation de ces caractéristiques.

Notre travail consiste à réaliser une carte logique enfichable dans l'un des slots d'extension libre du micro-ordinateur. Cette carte permet de relever le courant (I) et la tension (V) d'une cellule solaire seule ou associée, elle permet aussi de mesurer la température et l'éclairement. L'Ordinateur a pour avantage de rendre le système automatisé de telle sorte qu'il affiche la courbe caractéristique I (V) et les autres caractéristiques qui sont la résistance série, la résistance shunte et la puissance maximale.

Dans le premier chapitre, nous rappellerons brièvement le fonctionnement des cellules solaires conventionnelles au silicium, ainsi que leur caractéristiques courant-tension et l'influence de la température sur ces caractéristiques.

Dans le deuxième chapitre, nous parlerons des généralités sur le PC compatible et ses bus, ensuite nous décrirons avec un peu de détails le bus (ISA) qui recevra notre carte suivie d'une brève description de quelques normes de bus pouvant exister sur la carte mère du PC.

Dans le troisième chapitre, nous exposerons les techniques de conversion analogique-numérique et numérique-analogique ainsi nous décrirons les différents éléments constituant la carte d'acquisition et de traitement et de leur fonctionnement

Nous terminons ensuite notre travail, par la présentation du logiciel de gestion et de fonctionnement de la carte. Le programme est écrit en langage Turbo- pascal.

Chapitre I

Introduction

La conversion directe de la lumière en énergie électrique s'obtient par l'intermédiaire de cellules solaires, suivant le processus appelé couramment effet photovoltaïque. Les cellules solaires sont non seulement adaptées aux régions ensoleillées mais présentent aussi un intérêt pour les régions à faible ensoleillement. Ce comportement provient du fait que les photons de la lumière solaire transfèrent leur énergie aux électrons sans étape thermique intermédiaire d'où la possibilité d'une production relative d'énergie.

I.2. La cellule solaire

I.2.1. Généralités

Le silicium est le matériau semi-conducteur le mieux adapté pour la conversion photovoltaïque de l'énergie. La cellule solaire est fabriquée à partir d'une plaquette de silicium monocristallin dopée différemment sur chacune des faces, l'une positivement et l'autre négativement. L'ensemble forme une jonction P-N. La figure (I.1) illustre la structure d'une cellule solaire au silicium. Cette structure est la plus répandue, mais diverses améliorations peuvent être ajoutées.

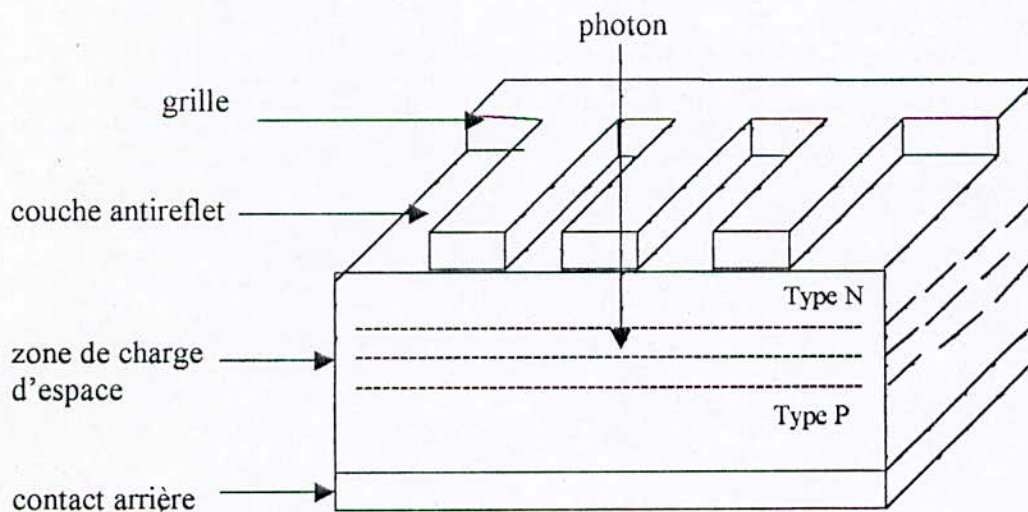


Fig. I.1 : constitution d'une cellule solaire

I.2.2. Technologie conventionnelle des cellules solaires au silicium

Cette technique peut se résumer ainsi :

- Silicium monocristallin tiré à partir d'un creuset dopé au bore (accepteur) ; résistivité située entre 0,1 et 10 ohms.cm, plaquettes ayant une épaisseur d'environ 0,3 mm coupés à la scie ; polissage mécanique et chimique des plaquettes
- Dopage au phosphore (donneur) dans un four de diffusion vers 1000°C sous une atmosphère d'oxyde de phosphore. L'épaisseur de la couche N ainsi formée est de 0,3 micromètres
- Contacts évaporés sous vide, trois couches successives ; titane pour l'adhérence, Palladium comme protection contre l'humidité, argent comme conducteur de courant
- Couche antireflet évaporée sous vide.

I.3. Fonctionnement

Lorsqu'un matériau semi-conducteur se trouve exposé aux radiations lumineuses, il y a apparition de l'effet photovoltaïque. Cet effet ne peut se produire que s'il existe une barrière de potentiel E_g dans le semi-conducteur. Cette barrière existe à l'interface entre la région dopée positivement et la région dopée négativement d'une jonction P-N. Si ce matériau est éclairé, l'énergie $h\nu$ d'un faisceau lumineux peut être transmise aux électrons de valence qui vont migrer dans le semi-conducteur sous forme de paires d'électrons- trous. Donc les charges électriques sont séparées par la barrière avec l'un côté les charges positives et de l'autre les charges négatives, c'est-à-dire apparition d'une tension, donc d'un courant électrique. C'est l'effet photovoltaïque qui est un processus de production de puissance électrique.

I.4. Caractéristiques

La courbe caractéristique courant-tension d'une cellule solaire, tracée à éclairement constant, et qui s'inscrit dans un rectangle, est donnée par la figure (I.2). Elle résulte de la translation de celle d'une diode normale polarisée en direct. Cette translation est due au photocourant qui peut se décrire comme suit :

- le courant supplémentaire dû à la lumière est indépendant de la tension appliquée
- il est proportionnel à l'intensité de la lumière
- il passe dans la direction opposée au courant en sens direct (diode passante)

L'allure de la courbe $I(V)$, d'une cellule solaire éclairée, permet d'écrire :

$$I = I_D - I_{ph} \quad \dots (I.1)$$

I_D : courant de diode

I_{ph} : courant dû à l'éclairement (photocourant).

Mais seulement pour que I et V soit positifs, c'est-à-dire dans le premier quadrant.

$$I = I_{ph} - I_D \quad \dots(I.2)$$

Comme $I_D = I_s (\exp (ev / k T) - 1) \quad \dots(I.3)$

I_s : courant de saturation (ou courant inverse)

K : constante de Boltzman

T : la température absolue.

On peut écrire

$$I = I_{ph} - I_s (\exp (ev / k T) - 1) \quad \dots(I.4)$$

D'autre part, cette courbe fait ressortir trois paramètres importants

- la tension de circuit ouvert V_{co}
- le courant de court-circuit I_{cc}
- un point du fonctionnement optimal pour lequel la cellule délivre une puissance maximale.

Ces trois paramètres définissent les caractéristiques normalisées des cellules solaires.

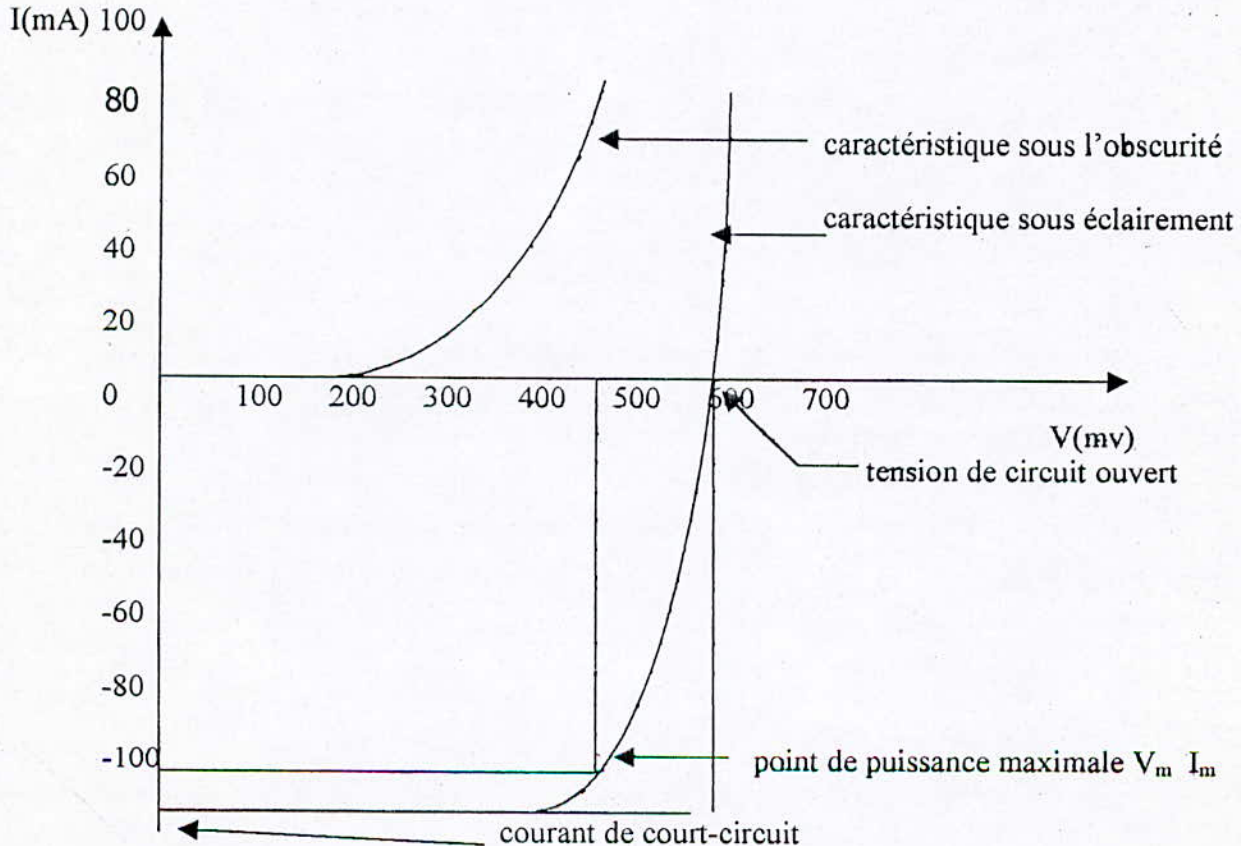


Fig. I.2 : caractéristique $I(v)$ d'une cellule solaire au silicium à l'obscurité et sous éclaircissement

I.5. Schéma équivalent d'une cellule solaire

Une photopile (cellule solaire) est électriquement considérée comme une source de courant shuntée par une diode comme le montre la figure (I.3). La source de courant fournit un courant I_{ph} qui est proportionnel au flux solaire incident ϕ et à la surface S de la cellule et est donnée par l'expression

$$I_{ph} = \alpha \cdot \phi \cdot S \quad \dots(I.5)$$

Où α est un facteur de proportionnalité.

Le courant direct de la diode $I_D (V_j)$ a pour expression :

$$I_D = I_s (\exp (eV_j / n k T) - 1) \quad \dots(I.6)$$

Où n : est le coefficient d'idéalité.

La caractéristique courant-tension de la photopile (figure I.4) résulte de la superposition de celle du générateur de courant constant sous un éclairage donné et de celle d'une diode à une température donnée.

La résistance série est due aux contacts localisés à la surface de séparation semi-conducteur - électrode et à la résistance interne du matériau. Elle influe négativement sur le rendement η de la cellule puisqu'elle est en série avec la charge R_L

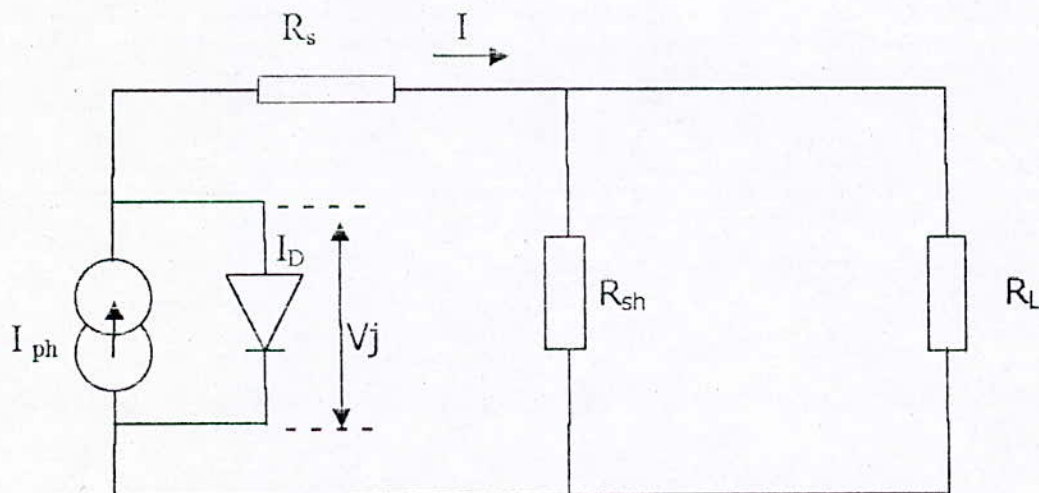


Fig. I.3. Schéma électrique équivalent d'une cellule solaire

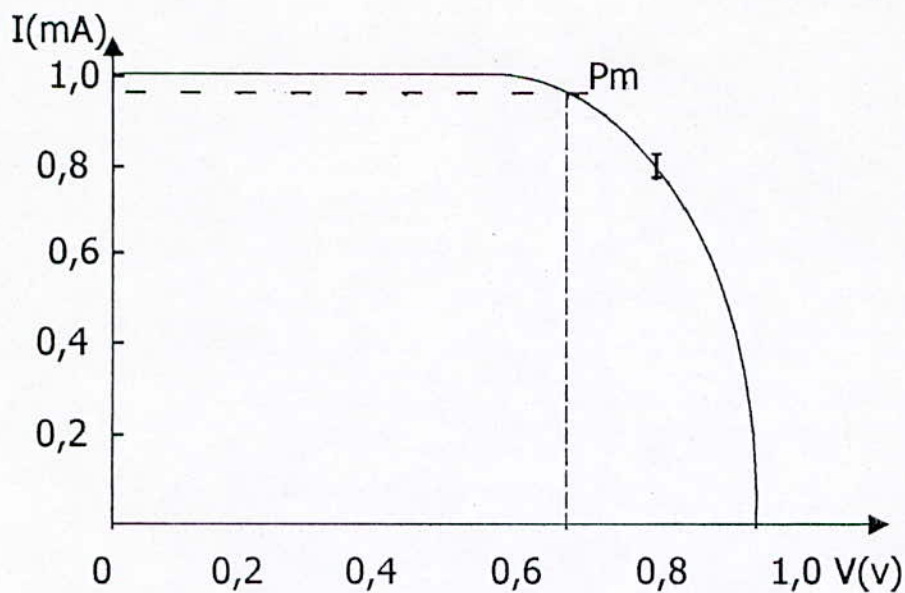


fig. I.4 Caractéristique courant- tension d'une cellule solaire.

I.6. Influence de l'éclairement sur les caractéristiques $I (v)$

Les caractéristiques courant-tension $I (v)$ à différents éclairagements, pour une cellule solaire sont schématisées à la figure (I.6). On remarque que le courant de court-circuit est pratiquement proportionnel à l'éclairement. Cette proportionnalité est facile à expliquer, car plus l'éclairement augmente, plus le nombre de photons absorbés croît, lié à une augmentation de génération de porteurs, d'où il en résulte que I_{cc} (courant de court-circuit) augmente considérablement avec une légère augmentation de V_{co} (tension du circuit ouvert)

I.7. Influence de la température sur les caractéristiques $I (v)$

Les propriétés photoélectriques d'une cellule solaire dépendent fortement de la température. Les caractéristiques courant-tension d'une cellule solaire sont tracées, pour différentes températures, sur la figure (I.5).

On remarque que le courant de court-circuit I_{sc} reste presque le même mais la tension de circuit ouvert subit une diminution importante.

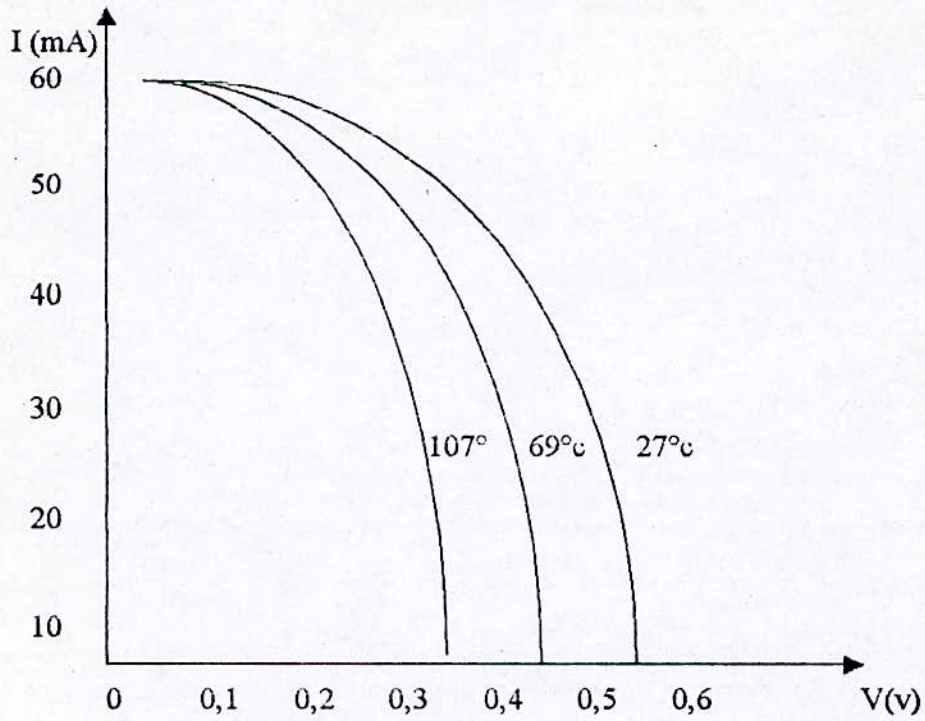


Fig.1.5 caractéristique $I(v)$ d'une cellule solaire au silicium pour différentes températures

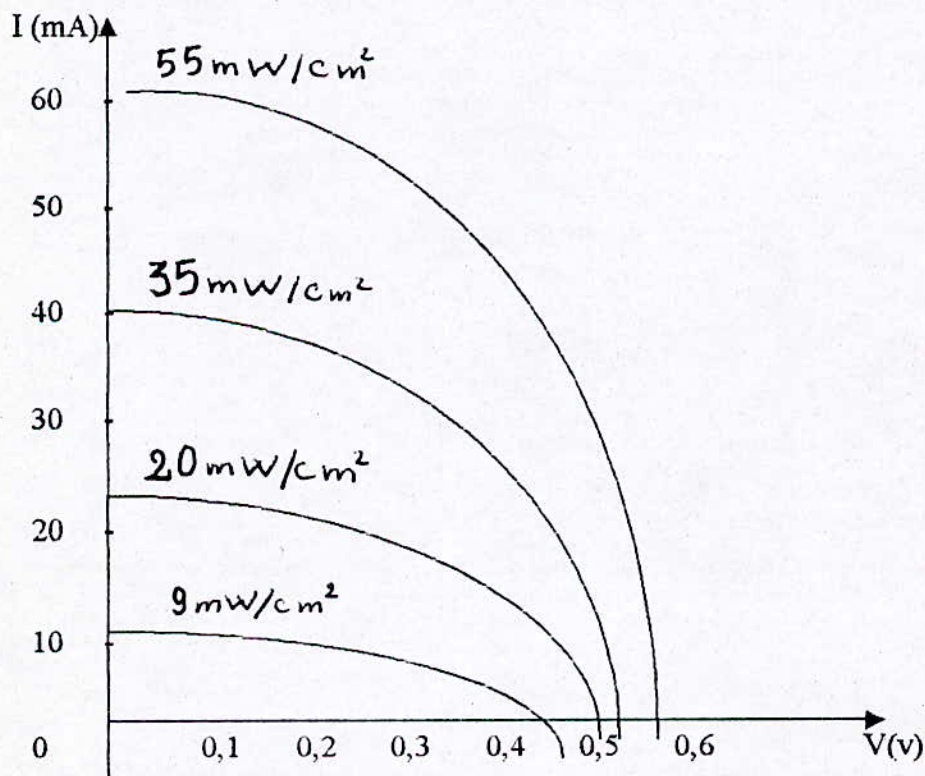


Fig. I.6 Caractéristique $I(v)$ d'une cellule solaire au silicium A différents éclaircements

I.8. Les panneaux solaires

La puissance délivrée par une cellule est de quelques centaines de mW, et sa tension est faible. Pour obtenir de fortes puissances, on procède à des groupements en série, en parallèle, ou mixte de cellules pour constituer des panneaux.

a. Association de cellules

- association série :

quand on associe en série des cellules solaires, la tension obtenue est la somme des tensions unitaires V_m , et le courant prend la valeur la plus basse des courants unitaires (figure I.7.a)

- association parallèle :

dans ce cas, la tension obtenue est relativement la même et le courant est la somme des courants unitaires I_m (figure I.7.b).

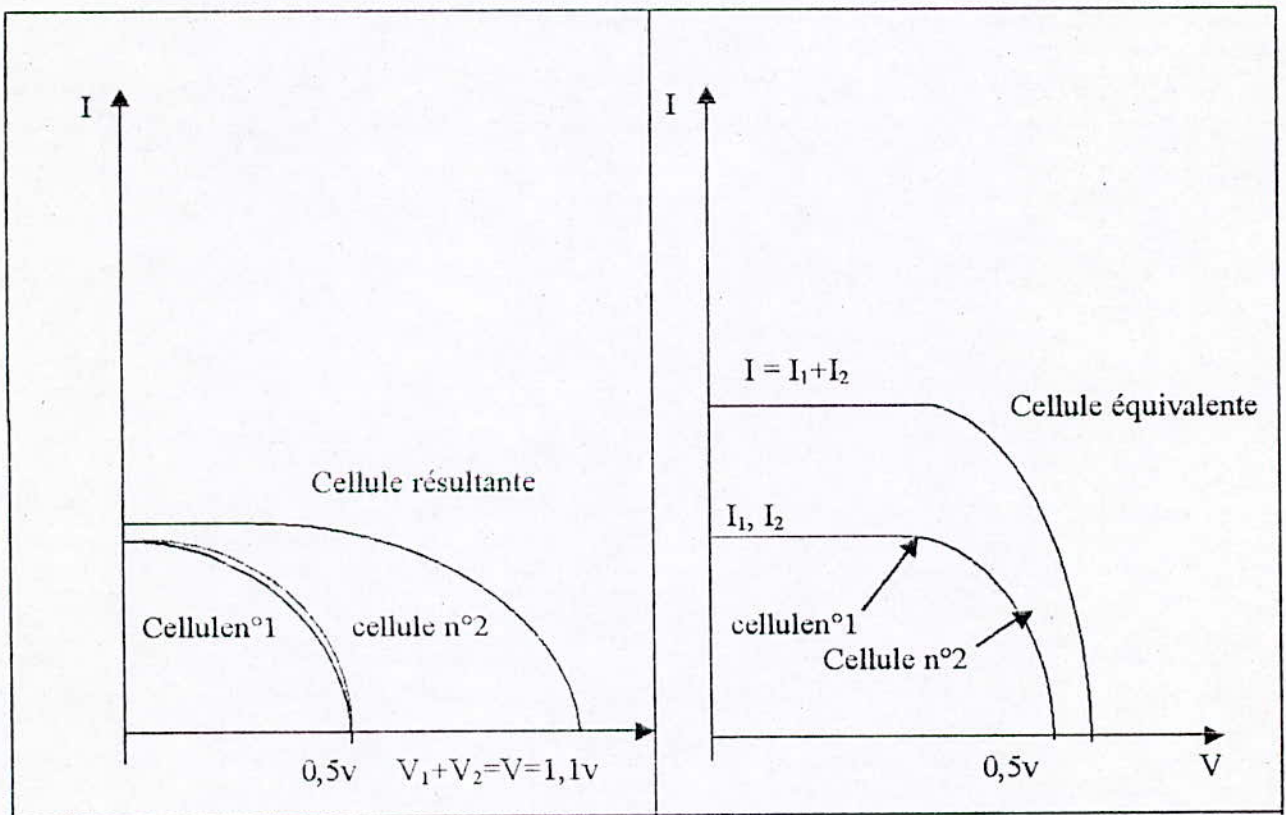


Fig. I.7 : Association des cellules

I.9. Le relevé de caractéristiques

Le montage utilisé pour le relevé des caractéristiques $I(V)$ d'une cellule solaire est identique de celui utilisé pour les caractéristiques d'une diode polarisée en direct. Le schéma électrique est représenté par la figure (I.8).

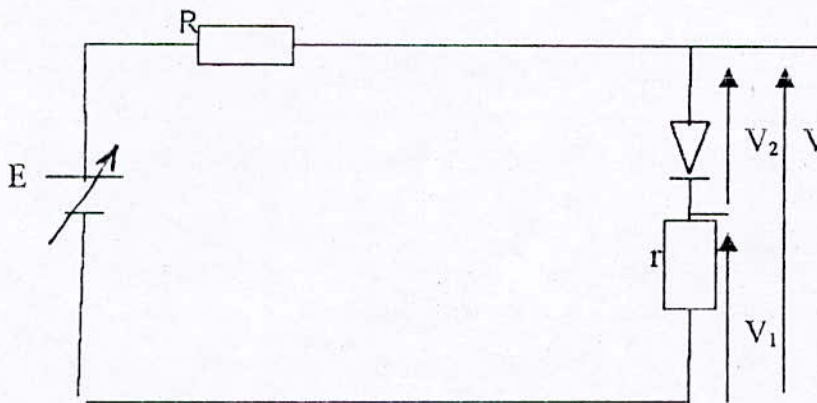


Fig.I.8.montage de relevé de caractéristiques

$$V_2 = V - V_1$$
$$I = V_1/r$$

Pour la mesure de l'éclairement E_c on utilise une cellule solaire court-circuitée par une résistance très faible.

La caractéristique $I_{cc}(E_c)$ est une fonction linéaire c'est-à-dire :

$$I_{cc} = a E_c + b$$

a et b sont des constantes.

Et la même chose pour la mesure de la température tel que la tension à vide V_{co} est une fonction linéaire de la température, c'est-à-dire :

$$V_{co} = c T + d$$

c et d sont des constantes.

Chapitre II

II.1. Le P.C. compatible

Le P.C. compatible est devenu le standard en matière d'informatique individuelle. Il est fabriqué à plusieurs centaines de millions d'exemplaires.

Les raisons du succès de cette machine sont multiples :

- le principe de sa conception de type modulaire avec slots sur lesquels il est possible d'ajouter des cartes supplémentaires. Ainsi de nombreuses sociétés vivent le jour, qui se spécialisent dans les cartes vidéo, les cartes de saisie de données, les cartes contrôleurs, ...etc.
- Cette configuration de type modulaire, permet de faire évoluer la machine au rythme des nouveautés apportées sur ces cartes externes.
- Ces caractéristiques font du P.C. compatible une machine universelle accessible par tous, et beaucoup utilisée par les techniciens, que se soit pour la conception des circuits imprimés, la simulation du fonctionnement des circuits électroniques, ou la commande d'automates et les saisies de données.

Le P.C. dispose également de ports d'entrées-sorties comme le connecteur imprimante ou la liaison série qui permettent la connexion de circuits autres que ceux pour lesquels ils ont été conçus.

II.2. Le bus

Le bus est le système de communication central du P.C.. Toutes les tâches de communication qui arrivent sur le contrôleur principal de la carte mère transitent par le bus.

Le bus relie le microprocesseur à la mémoire centrale ou aux cartes d'extensions. C'est par son intermédiaire que les caractères sont envoyés à l'écran ou que les informations en provenance d'un scanner sont écrites directement dans la mémoire centrale, sans transiter par le microprocesseur.

II.2.1. Composition du bus

Les connexions d'un processeur sont constituées pour une bonne part tous simplement par les conduits du bus. Mis à part quelques fonctions spéciales, ceux-ci représentent le seul lien entre le microprocesseur et le monde extérieur.

Ces circuits permettent au microprocesseur d'accéder à la mémoire centrale afin d'y lire les instructions en langage machine d'un programme en cours d'exécution, d'effectuer une lecture des données qui y sont stockées, de les modifier ou de les déplacer. Les circuits destinés au transport proprement dit des données sont appelées «bus de données».

Il ne suffit toutefois pas que les données soient envoyées sur le bus de données il faut également indiquer leur destination. Cette tâche s'effectue par le biais d'un autre groupe de circuits appelés «bus adresse ».

Vient ensuite un troisième élément appelé «bus système » ou encore «bus contrôle ». Cet élément est indispensable car, comme nous l'avons vu précédemment, d'autres éléments, hormis le processeur et la mémoire de travail, sont connectés au bus. S'il n'y avait pas d'organe de contrôle, la plus grande pagaille ne manquerait pas de régner sur le bus, du fait d'accès en lecture et en écriture simultanées des différents composants. C'est à ce stade que le bus système intervient. Il autorise les différents participants à effectuer des accès ; c'est lui qui indique en particulier s'il s'agit d'une opération d'écriture ou de lecture.

Evidemment, le bus de contrôle est un système de circuits, ce qui signifie qu'il se compose de câbles. Comment alors un tel système composé presque entièrement de câbles, peut-il venir à bout d'une tâche aussi complexe que le contrôle du bus !

En effet, cette tâche est effectuée par le contrôleur du bus, un élément ou plus exactement, un groupe d'éléments. Le contrôleur du bus représente à proprement parler le cerveau du bus. En premier lieu, il veille à ce qu'il n'y ait pas d'interférence ou de conflits et à ce que les données transportées arrivent bien à l'endroit souhaité.

Les performances du bus dépendent donc en partie du degré d'intelligence de système de contrôle. Toutefois, la rapidité et la largeur du bus, c'est-à-dire le nombre de circuits de données travaillant, sont eux aussi des éléments décisifs.

II.3. Les slots d'extension

Les slots d'extension représentent les prises de courant du système de bus. C'est par leur intermédiaire que le bus accède aux cartes d'extension. Il n'est pas nécessaire qu'ils contiennent l'ensemble des conduits du bus pour l'unité centrale. C'est ainsi que l'on trouve fréquemment sur certaines cartes mères équipées d'un microprocesseur à 32 bits des slots d'extension équipés de connecteurs de données à 8 ou 16 bits.

Les connecteurs d'extension sont des emplacements longilignes dans lesquels certaines cartes sont probablement déjà enfichées. Les slots de taille réduite sont des slots 8 bits, ils sont constitués d'une seule partie mais les connecteurs d'extension plus longs en deux parties sont des slots à 16 bits. D'autres slots sont assez longs ou d'une forme différente des autres.

Les bus d'extension de l'ordinateur de la gamme PC AT s'étendent sur une rangée de 7 connecteurs (de X1 à X7). Chaque broche est séparément câblée en parallèle avec toutes les autres broches du même numéro.

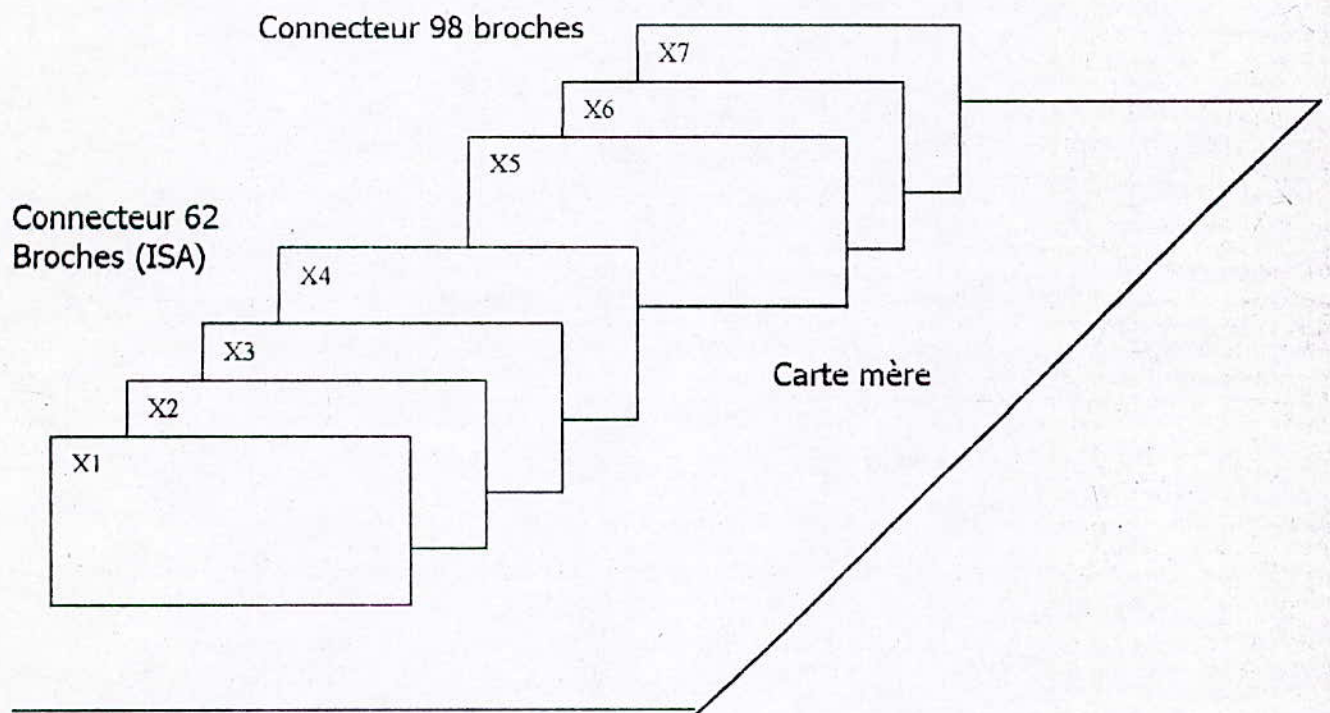


Fig. III.1 Le bus d'extension

La figure (II.1) représente un bloc diagramme de ces connecteurs X1, X2, X3 et X4 sont des connecteurs à 62 broches pour des dispositifs 8 bits. X5, X6, X7 sont connecteurs à 98 broches pour des dispositifs 16 bits.

Le connecteur qui nous intéresse pour notre travaille est le bus ISA qui est un

connecteur à 62 broches. Il comporte un bus de données bidirectionnel à 8 bits, 20 lignes d'adresses, 6 lignes d'interruptions, 3 jeux de lignes de commandes pour l'accès direct mémoire et l'ensemble habituel de ligne de commande des transferts des données et de ligne d'état. Il possède également quatre tensions d'alimentation. Le bus ISA possède un signal inhabituel qui est la ligne d'erreur.

Le tableau(II.1) est une liste des 62 broches qui constituent le bus d'extension.

Les signaux utiles à la réalisation de notre interface seront prélevés du bus ISA. Ces signaux sont :

- les 8 bits du bus de données
- les 10 bits du bus d'adresses
- le signal IOW d'écriture E / S
- le signal IOR de lecture E / S
- Le signal AEN qui indique si le bus d'adresses est commandé par le microprocesseur ou par le contrôleur de DMA (direct memory access). La mise à 1 de AEN indique qu'une transaction par DMA est entrain de s'effectuer
- les tensions de +5V,-5V,+12V,-12V.
- La masse (GND).

Voici une brève description de chaque groupe de lignes.

- Bus données système (D_0 à D_7). Les lignes constituent le bus données système peuvent être activées par le processeur, les mémoires, ou les dispositifs d'E/S. Elles sont bidirectionnelles et considérées comme actives à niveau haut
- Bus adresse système (A_0 à A_{19}). Les lignes constituent un bus adresse système à 20 bits, permettant d'adresser jusqu'à 1 Mega-octet de mémoire. Ces lignes peuvent être commandées à partir du processeur ou à partir du contrôleur de DMA et sont considérées comme actives à niveau haut
- Ecriture E/S système (IOW). Cette commande dit au dispositif d'E/S sélectionné d'accepter les données présentes sur le bus données système. Le signal est actif pendant les cycles d'écriture E/S déclenchés soit par le processeur soit par le contrôleur de DMA

Tableau II.1 Affectation des broches du bus ISA

BROCHE	NOM DU SIGNAL	BROCHE	NOM DU SIGNAL
A ₀₁	I/OCHNLERR	B ₀₁	GND
A ₀₂	SYS DAT ₇	B ₀₂	RESET
A ₀₃	SYS DAT ₆	B ₀₃	+5V
A ₀₄	SYS DAT ₅	B ₀₄	IRQST2
A ₀₅	SYS DAT ₄	B ₀₅	-5V DC
A ₀₆	SYS DAT ₃	B ₀₆	DMARQST2
A ₀₇	SYS DAT ₂	B ₀₇	-12V DC
A ₀₈	SYS DAT ₁	B ₀₈	IOCHLDRQST
A ₀₉	SYS DAT ₀	B ₀₉	+12V DC
A ₁₀	COCHLROYIWAIT	B ₁₀	GND
A ₁₁	SYS AEN	B ₁₁	STS MEMWR
A ₁₂	SYS A ₁₉	B ₁₂	SYSTEMMRD
A ₁₃	SYS A ₁₈	B ₁₃	SYS IOWR
A ₁₄	SYS A ₁₇	B ₁₄	SYS IORD
A ₁₅	SYS A ₁₆	B ₁₅	DMACR3
A ₁₆	SYS A ₁₅	B ₁₆	DMARQST3
A ₀₁₇	SYS A ₁₄	B ₁₇	DMACK1
A ₁₈	SYS A ₁₃	B ₁₈	DMARQSTI
A ₁₉	SYS A ₁₂	B ₁₉	BDMACKO
A ₂₀	SYS A ₁₁	B ₂₀	BSYSCLKO
A ₂₁	SYS A ₁₀	B ₂₁	IRQST7
A ₂₂	SYS A ₉	B ₂₂	IRQST6
A ₂₃	SYS A ₈	B ₂₃	IRQST5
A ₂₄	SYS A ₇	B ₂₄	IRQST4
A ₂₅	SYS A ₆	B ₂₅	IRQST3
A ₂₅	SYS A ₅	B ₂₆	IRQST2
A ₂₆	SYS A ₄	B ₂₇	TCBT
A ₂₇	SYS A ₃	B ₂₈	SYS ALE
A ₂₉	SYS A ₂	B ₂₉	+5V
A ₃₀	SYS A ₁	B ₃₀	B SYSCLK1
A ₃₁	SYS A ₀	B ₃₁	GND

- Lecture E/S système (IOR). Cette ligne de commande est utilisée pour émettre sur le bus données système les données présentes sur un dispositif d'E/S pendant les cycles de lecture d'E/S déclenchés soit par le processeur soit par le contrôleur de DMA
- Validation adresse système (AEN). Lorsque cette ligne est active basse, elle indique que l'un des coprocesseur du système a la commande du système. Lorsque AEN est haut, le bus système est commandé par le contrôleur de DMA qui positionne les ligne d'adresse système, de mémoire système et de lecture, écriture E/S

- Alimentation périphérique. Des connexions d'alimentation

+5 volts + 5%

-5 volts

+12volts

-12 volts

sont prévus pour chaque connecteur d'extension.

Dans ce qui suit, on donnera une brève description d'autres normes de bus d'extension pouvant exister sur les cartes mères du P.C.. Parmi ces normes on cite le bus EISA, VESA (VLB) et le bus PCI.

- Le bus EISA :

EISA est l'abréviation de « Enhanced Industrie Standard Architecture », qui signifie à peu de chose près « Standard Industriel Etendu ».

Le bus EISA est un vrai bus 32 bits, ce qui signifie que l'ensemble des 32 circuits de données du microprocesseur sont présents sur le connecteur d'extension. De plus, EISA est compatible avec ISA.

- Le bus local VESA (VLB) :

Un bus local est un système de bus connecté directement au canaux d'adresse et de données de l'unité centrale et disposant donc de la même fréquence d'horloge et des mêmes largeurs de bus pour les adresses et les données que le processeur principal cité sur la carte mère.

- le bus PCI :

Le bus PCI est apparu depuis le milieu de l'année 1993. La paternité de ce bus revient à INTEL, mais il a été adopté par de nombreux constructeurs. Le bus PCI trouve place surtout sur les cartes mères équipées du Pentium, mais un nombre croissant de cartes 486 sont également fournies avec l'interface PCI.

Le bus PCI offre-lui, trois connecteurs d'extension en plus du bus ISA. Il possède lui aussi une largeur d'adresse et de données à 32 bits, comme l'unité centrale. Il est cadencé à la même fréquence que le processeur.

Du fait de ces propriétés, il arrive que l'on parle du bus « local » PCI, ce qui n'est pas tout à fait exact. En effet, le bus PCI est loin de se connecter directement au circuit de l'unité centrale. Il présente plutôt un système universel largement standardisé, entièrement indépendant de l'unité centrale utilisée. Selon la volonté de ses concepteurs, le bus PCI doit pouvoir être utilisé sur les cartes mères portant des unités centrales "étrangères", par exemple la puce ALPHA de DEC ou la série 68000 de Motorola. Le contact avec l'unité centrale se fait ici par l'intermédiaire de ce qu'on appelle un « host-bridge ». Derrière cette désignation se cache un contrôleur de bus particulièrement complexe, qui doit se mouler à chaque type de processeur existant.

Chapitre III

III.1 Acquisition et traitement des données

Les applications dans lesquelles les données analogiques doivent être numérisées et transférées dans une mémoire d'ordinateur sont nombreuses. Le processus de saisie par ordinateur des données analogiques numérisées s'appelle l'acquisition de données. Selon l'application, l'ordinateur peut manipuler les données de différentes façons.

Quand on utilise un ordinateur pour la régulation ou la commande d'un procédé, ce dernier examine les données ou les transforme au moyen de calcul afin de déterminer les sortie de commande ou de régulation à générer.

Pour cela un système d'acquisition constitue le plus souvent des interfaces avec les ordinateurs, ou tous autres dispositifs d'enregistrement de schéma, d'ensemble d'un tel système à n canaux est représenté à la figure (III.1), il comporte essentiellement

- un convertisseur A/N
- un convertisseur N/A
- un étage de multiplexage à n voies
- Un dispositif de commande.

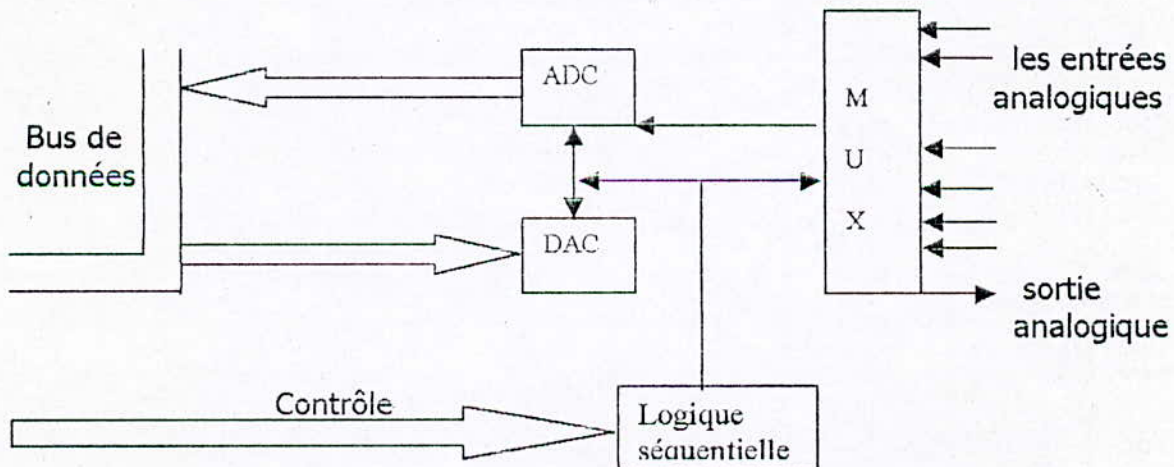


Fig. (III.1) Schéma général d'un système d'acquisition à n canaux.

III.2. L'interface d'acquisition

Nous nous proposons dans cette partie d'étudier une interface d'acquisition des signaux des cellules solaires et répondant aux exigences suivantes :

- Assurer la génération des impulsions de commande des périphériques, entre celles nécessaires aux cellules solaires et à l'acquisition du signal analogique.
- Acquérir les données sur 8 bits, les organiser en fichiers mémoires directement accessibles lors d'une utilisation ultérieure et permettre la gestion en turbo pascal 7 de l'ensemble.

Nous nous sommes inspirés du schéma synoptique représenté à la figure (III.2) pour concevoir l'interface d'acquisition.

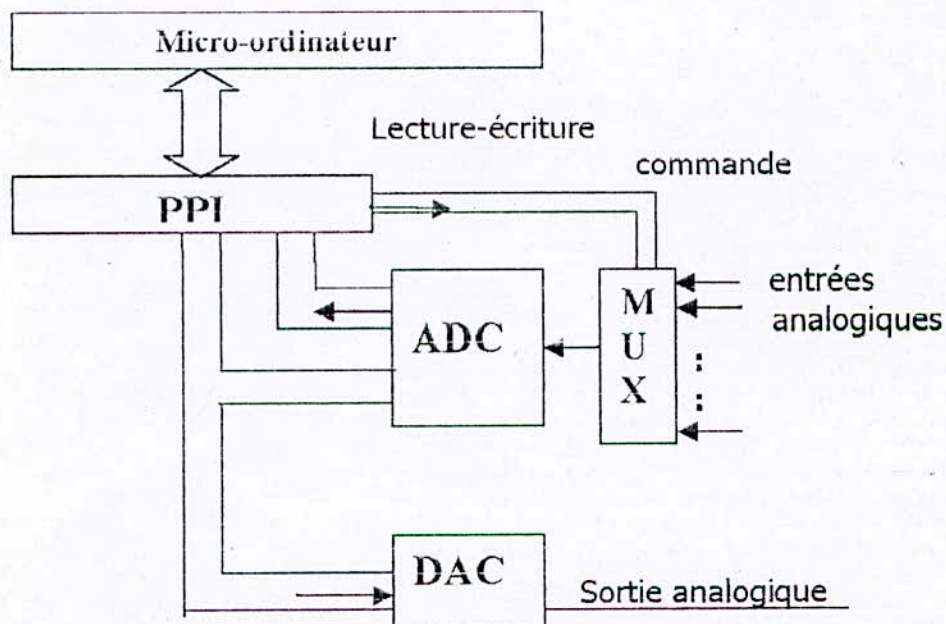


Fig. III.2 : Schéma synoptique de l'interface.

III.2.1. L'organe d'entrées-sorties (PPI 8255)

Ce circuit intégré d'interface parallèle, développé par INTEL, est le noyau de notre interface. Il réalise la liaison entre le micro-ordinateur et les autres éléments de la carte ainsi que leur commande.

a- organisation externe (voir l'annexe)

Il est logé dans un boîtier DIP de 40 broches et comprend :

- la broche de sélection de boîtier (S)
- les pattes de sélection de registre A_0 , A_1
- les pins de commande de lecture (RD), et d'écriture (WR)
- une broche de remis à zéro (RESET)
- huit broches de données bidirectionnelles
- 24 broches d'E/S
- l'alimentation +5v
- La masse.

b- Architecture générale

Le 8255 comprend trois registres de 8 bits A, B et C, appelés ports, et un registre de commande (fig. III.3). La répartition des 24 lignes d'E/S s'établit en deux groupes A et B.

Le groupe A comporte :

- le port A (PA0 à PA7)
- le quartet supérieur du port C (pc4 à pc7)

le groupe B comprend :

- le port B (PB0 à PB7)
- le quartet inférieur du port C (pc0 à pc3)

Les ports A et B peuvent être mis à des modes différents. Le port C supérieur est configuré selon le mode de ports A et le port C inférieur selon le mode du port B. le choix des modes et la programmation des ports s'effectue grâce au registre de commande. La sélection d'un registre parmi les quatre disponibles s'effectue à l'aide des bits A_0 et A_1 .

c- modes de fonctionnement du 8255

le PPI d'INTEL possède trois modes de programmation :

- Mode 0 (E/S de base) : les ports A et B, les demi-ports C peuvent être programmer en entrée ou en sortie
- Mode 1 (E/S échantillonnés) : chacun des ports est servi par un quartet du port C servant à gérer les échanges en « poignée de main »
- Mode 2 (bus bidirectionnelle d'E/S) le port de A est intégralement bidirectionnel ; mais pour cela il doit être servi 5 fils du port C.

Nous détaillerons le mode 0 car c'est celui que nous avons adopté pour la mise en œuvre de notre interface.

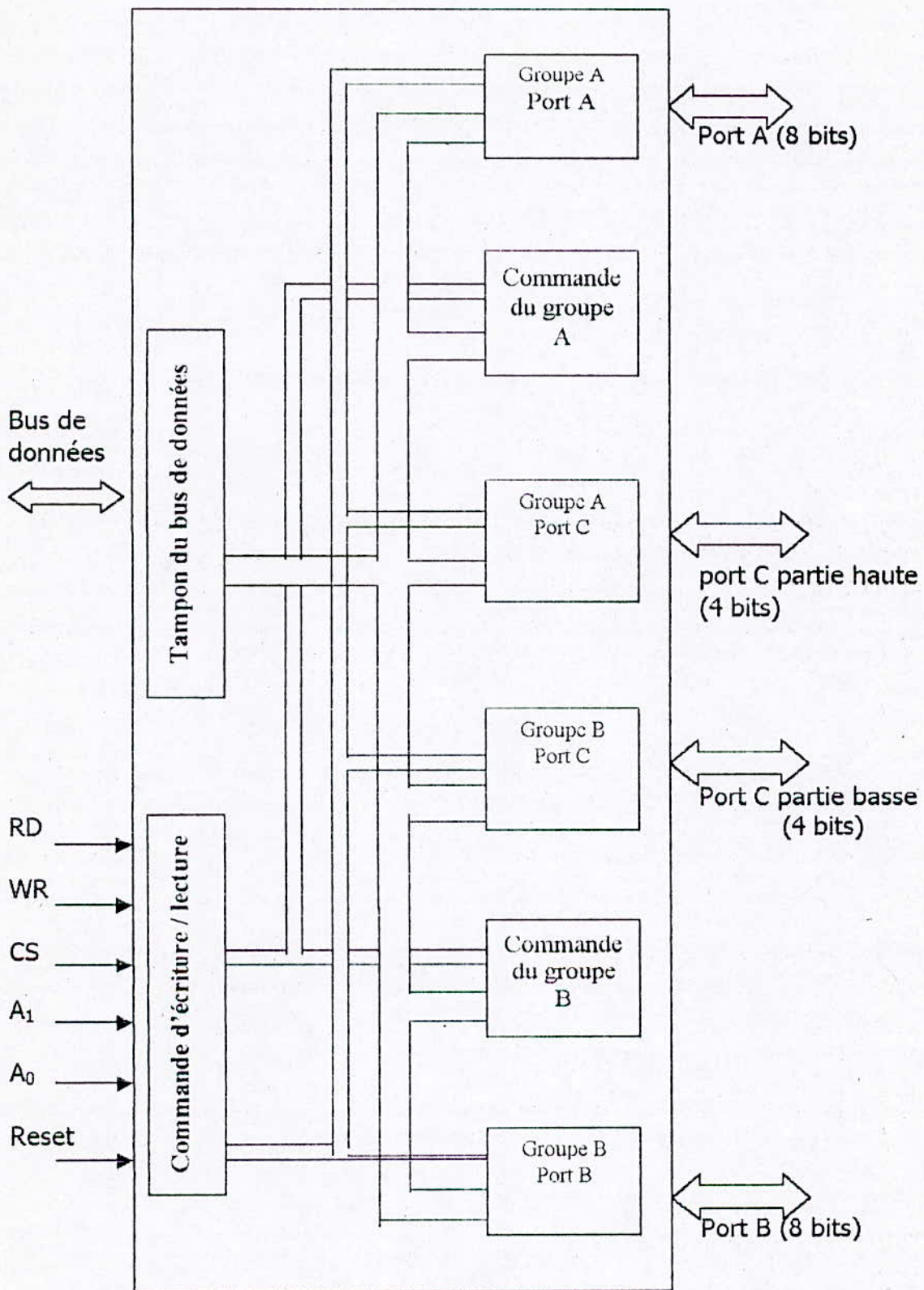


Fig. III.3 : Structure interne du 8255

d- Fonctionnement du 8255 en mode 0

Dans ce mode le PPI possède 24 lignes d'entrées-sorties réparties en quatre groupes. Le sens de transfert est impérativement le même à l'intérieur de chacun des quatre groupes qui sont :

- Le port A : 8 lignes d'E/S
- Le port B : 8 lignes d'E/S
- Le port C inférieur : 4 lignes d'E/S
- Le port C supérieur : 4 lignes d'E/S

Suivant l'application souhaitée, chaque groupe devra être déclaré soit en entrée soit en sortie. Pour chacun des quatre groupes, une entrée-sortie peut être utilisée comme données, comme signal de commande, ou comme signal d'état.

Dans ce mode, les données de sortie sont mémorisées dans le PPI. Elles resteront donc à leurs valeurs dans le périphérique tant qu'elles ne seront pas chargées dans le PPI. Il n'en est pas de même des entrées ; celles-ci ne sont pas mémorisées, il importe donc de les lire lorsqu'elles sont valides.

e- Mot de commande

La composition du mot de commande placé par le microprocesseur sur le bus de données, se fait suivant la configuration exposée à la figure (III.4) ci-dessous.

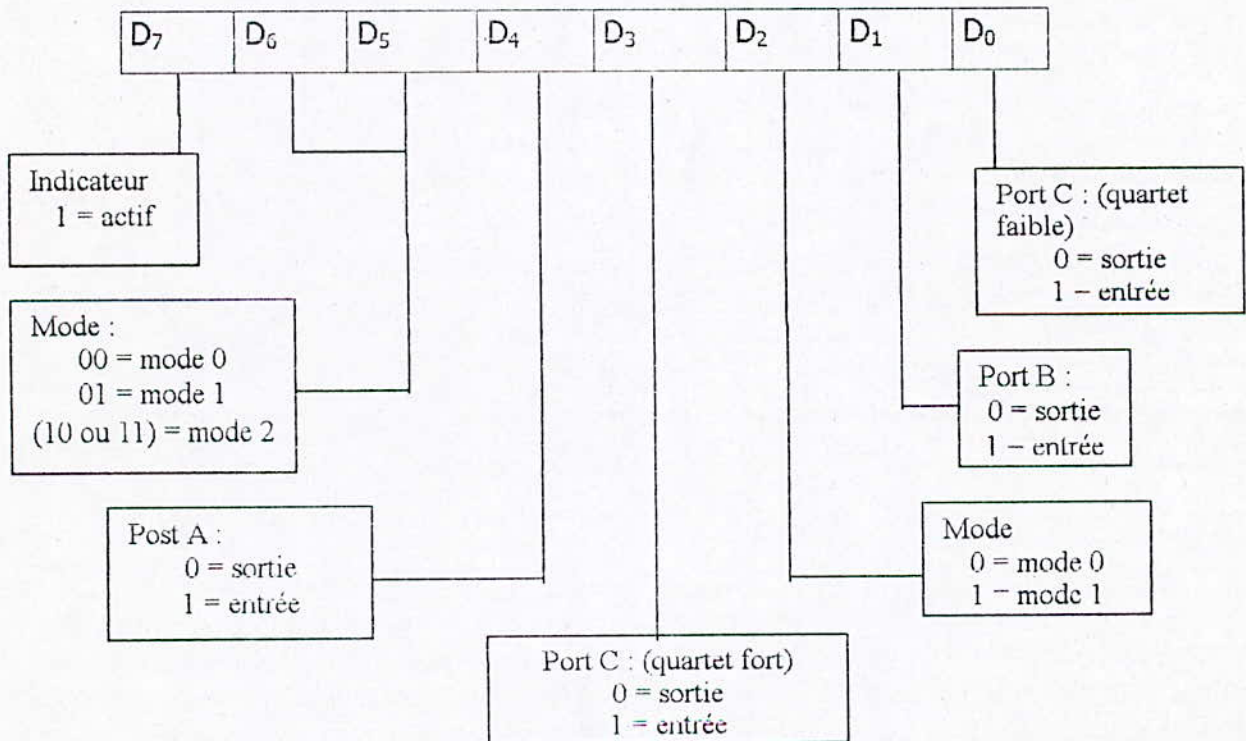


Fig. III.4 : composition du mot de commande

III.2.2. La conversion analogique-numérique

III.2.2.1. introduction

Effectuer une conversion analogique-numérique, c'est rechercher une expression numérique dans un code déterminé, pour représenter une information analogique avec une précision et une résolution données.

Mesurer une distance AB au moyen d'une règle, c'est effectuer une conversion analogique-décimale de cette distance, et les qualités de cette conversion sont limitées soit par l'instrument de mesure lui-même, ici une règle, soit par l'observateur (acuité visuelle par exemple).

On voit donc apparaître déjà l'importance de plusieurs paramètres.

Il faut tout d'abord une valeur étalon sur laquelle va s'appuyer la mesure ou plus exactement la comparaison. Puis le type de code numérique utilisé, sa base notamment et le nombre de digits qui est fonction de la résolution avec laquelle on veut exprimer la valeur analogique. Ce dernier point est très important, d'autant plus que résolution et précision sont très souvent liés à quelques exceptions près, comme par exemple le cas de mesures comparatives où seule une haute résolution peut être demandée sans pour autant exiger une grande précision.

Pour chaque application il est important de fixer la résolution et la précision qu'il est inutile de dépasser.

Notre propos est d'étudier maintenant les principales techniques de conversion analogique-numérique.

Un convertisseur analogique-numérique (C.A.N.) reçoit une tension d'entrée analogique qu'il convertit, après un certain temps, en un code de sortie numérique correspondant à l'entrée.

La connaissance des techniques utilisées nous fera prendre conscience des facteurs qui déterminent le rendement d'un C.A.N..

On retrouve dans les circuits de plusieurs type de C.A.N. un convertisseur numérique-analogique.

La figure (III.5) nous montre le schéma fonctionnel général de cette catégorie de C.A.N., la synchronisation de la conversion est assurée par un signal d'horloge d'entrée. L'unité de commande renferme les circuits logiques qui génèrent la séquence appropriée d'opérations après l'arrivée de la commande DEBUT qui lance le processus de conversion. Le comparateur à deux entrées analogique et une sortie numérique qui prend un état ou l'autre, selon l'entrée analogique qui est la plus grande.

Voici le fonctionnement de base des C.A.N. de cette catégorie :

- 1- la commande DEBUT passe au niveau haut et lance la conversion
- 2- a une cadence déterminée par le signal d'horloge, l'unité de commande modifie sans arrêt le nombre binaire mémorisé dans le registre
- 3- le nombre binaire du registre est converti en une tension analogique (V_a') par le convertisseur N.A.
- 4- Le comparateur compare (V_a') avec l'entrée analogique V_a ; tant que $V_a < V_a'$ la sortie du comparateur demeure au niveau haut. Quand (V_a') dépasse (V_a) d'une valeur au moins égale à (V_t , tension seuil), la sortie du comparateur passe au niveau bas et met fin au processus de progression du nombre dans le registre, qui est l'équivalent numérique de (V_a) et également l'équivalent numérique de (V_a'), à l'intérieur des limites de résolution et de précision propre à ce système.

Les diverses variations de cette solution de conversion N.A. se distinguent surtout par la façon dont la section de commande modifie sans cesse les nombre dans le registre.

A part cela, le principe de base est le même, et la sortie numérique recherchée est mémorisée dans le registre quand la conversion est achevée.

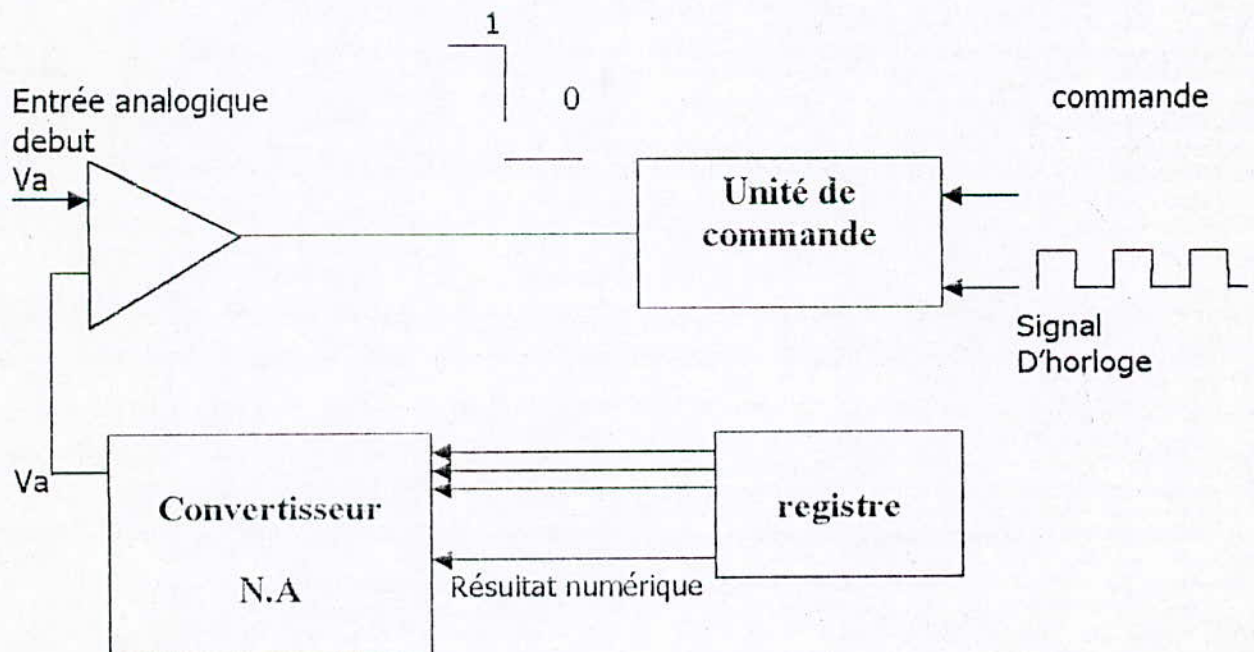


Fig. (III.5) : schéma général d'une catégorie de convertisseur A.N.

III.2.2.2. Convertisseur A.N. rampe numérique

L'une des versions les plus simples du C.A.N. général de la figure (III.6) utilise comme registre un compteur binaire qui est incrémenté par le signal d'horloge (un pas de progression à la fois) jusqu'à ce que $V_a' \geq V_a$.

On l'appelle C.A.N. rampe numérique à cause de la forme d'onde de V_a qui est celle d'une rampe pas à pas (en réalité un escalier).

La figure (III.6) reproduit le schéma complet d'un convertisseur en rampe, voici comment il fonctionne :

- 1- On applique une impulsion DEBUT positive qui a pour effet de mettre à zéro le compteur et de bloquer la porte ET qui empêche le passage des impulsions d'horloge jusqu'au compteur tant qu'elle reste au niveau haut
- 2- Le compteur étant à zéro, $V_a = 0$, et la sortie du compteur est au niveau haut (V_a étant une tension positive quelconque)
- 3- Quant l'impulsion DEBUT revient au niveau bas, la porte ET est validée et le signal d'horloge arrive jusqu'au compteur
- 4- A mesure que le compteur progresse, la sortie (V_a) du C.N.A. augmente à chaque fois d'un échelon de tension égale à la résolution
- 5- Ceci se répète jusqu'à ce que (V_a) atteigne un échelon qui dépasse (V_a) d'une grandeur égale ou supérieure à (V_t). A ce point ci, la sortie du comparateur passe au niveau bas, bloquant les impulsions d'horloge qui arrivent au compteur et gardent dans ce dernier un nombre qui est la représentation numérique recherchée de V_a . La conversion est maintenant terminée. La fin de la conversion est signalée par le front descendant de la sortie du comparateur, on donne souvent à ce signal le nom F.D.C. (Fin De Conversion).

FDC (fin de conversion).

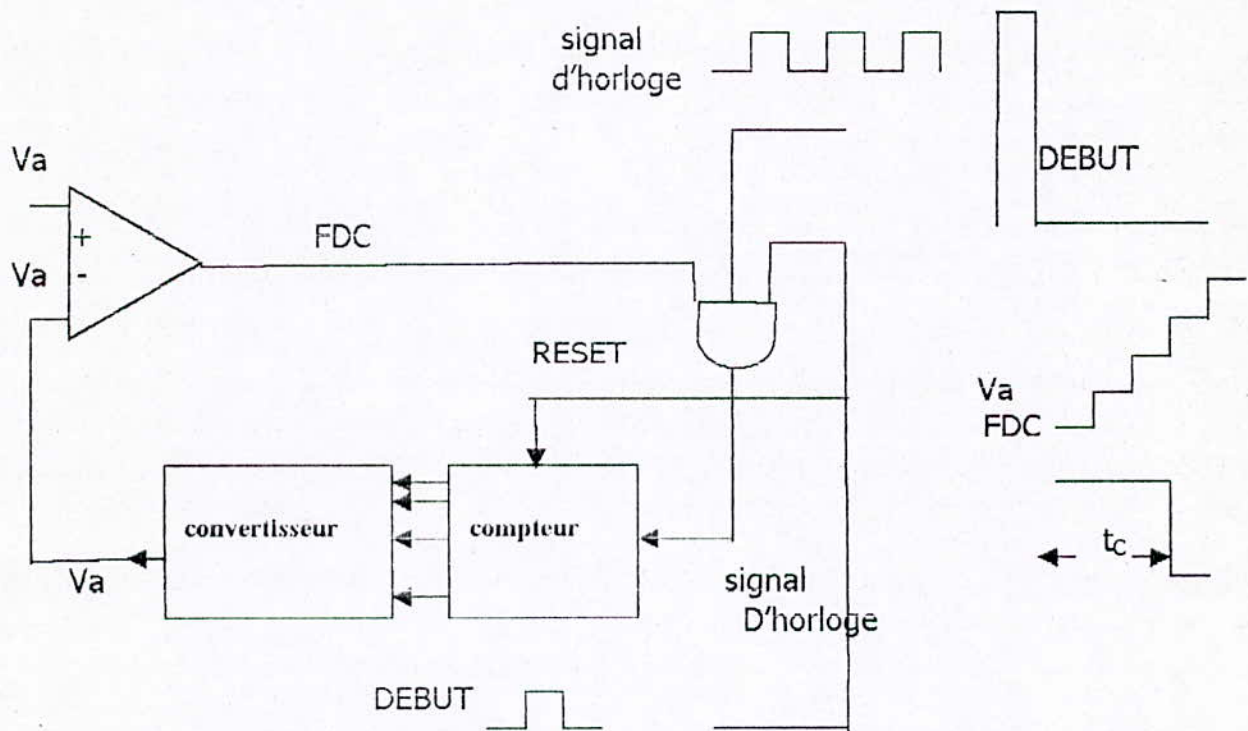


Fig. III.6. convertisseur A.N. rampe numérique

* Résolution et précision d'un C.A.N.

La résolution d'un C.A.N. est égale à la résolution du C.N.A. qui se trouve dans son circuit. La tension de sortie du C.N.A., V_a est une forme d'onde en escalier qui progresse par pas discret jusqu'à ce que (V_a) soit dépassée. Donc (V_a) est une approximation de (V_a) et le mieux auquel on puisse s'attendre est que (V_a) soit à 10mv près de (V_a) si la résolution (pas de progression) est 10mv.

Il est possible de traiter la résolution comme une erreur inhérente que l'on appelle souvent erreur de quantification. Cette erreur de quantification, que l'on peut diminuer en augmentant le nombre de bits du compteur et du C.N.A., est souvent spécifiée comme une erreur de poids du bit le plus faible. La valeur mesurée peut s'écarter de la valeur réelle d'une quantité égale à cette erreur de quantification en raison du pas de progression non nul.

Examinons cette question d'un point de vue différent ; l'entrée (V_a) peut prendre une infinité de valeurs entre zéro volts et la pleine échelle, par contre, l'approximation (V_a) ne peut occuper qu'un nombre fini de valeurs discrètes. Cela veut donc dire qu'il y aura une petite plage de valeurs de (V_a) qui auront la même représentation numérique.

représentation numérique.

La précision n'est pas reliée à la résolution, mais dépend de la précision des circuits constitutifs, comme le comparateur, les résistances de précision et les amplificateurs de niveau du C.N.A., les alimentations de référence ...etc.

Une erreur fixée à 0,01% PE (pleine échelle) indique que le résultat du P.A.N. peut s'écarter de 0,01% PE de la valeur idéal en raison de composants non idéaux. Cette erreur s'ajoute à l'erreur de quantification due à la résolution.

Ces deux erreurs sont généralement du même ordre de grandeur pour une C.A.N. donnée.

* Durée d'une conversion t_c

Dans les convertisseurs rampe numérique, le compteur débute à zéro et progresse jusqu'à ce que $V_a > V_a$. Il est donc facile de déduire que la durée que prend la conversion totale est fonction de la valeur de (V_a) . Il faudra plus de pas de progression pour que la tension en escalier dépasse une grande valeur de (V_a) . La durée de conversion maximale correspond à un (V_a) légèrement inférieur à la pleine échelle, lorsqu'il faut que la tension en escalier atteigne la pleine échelle pour que $V_a > V_a$.

Donc :

$$T_{C_{max}} = 2^n - 1 \quad \text{cycles d'horloge}$$

Par exemple, le C.A.N. de la figure(III.6) aura une durée de conversion maximale de :

$$T_{C_{max}} = (2^{10} - 1) \times 1\mu s = 1023 \mu s$$

Parfois, la durée de conversion moyenne est indiquée ; il s'agit de la moitié du temps de conversion maximal. Dans le cas des convertisseurs rampe numérique, cette durée est :

$$T_{C_{moyen}} = T_{C_{max}} / 2 \cong 2^{(N-1)} \quad \text{cycles d'horloge.}$$

Le principal inconvénient de la méthode de la rampe numérique est la durée de conversion qui double pratiquement chaque fois qu'on ajoute un bit au compteur, de sorte qu'on augmente sa résolution au détriment de durée de conversion. Le C.A.N. ne convient pas aux conversions A.N. des signaux analogiques rapides. Pour les applications lentes la simplicité, relative du convertisseur rampe numérique l'avantage par rapport aux C.A.N. rapides plus complexes.

III.2.2.3. C.A.N. par approximations successives

Ce type de C.N.A. est l'un de ceux que l'on trouve le plus fréquemment.

Il possède des circuits plus complexes que le C.A.N. rampe numérique, mais son temps de conversion est beaucoup plus court. En outre, les conversions par approximation successive (C.A.S.) ont une durée de conversion fixe qui ne dépend pas de la valeur d'entrée analogique.

Le montage de base de ce convertisseur est semblable à celui de convertisseur rampe numérique (voir figure III.7). Toutefois, ce convertisseur n'utilise pas de compteur pour alimenter l'entrée du C.N.A. mais plutôt un registre. La logique de commande modifie le compteur de registre bit par bit jusqu'à ce que la donnée qui s'y trouve soit l'équivalent numérique du signal analogique V_a (compteur de la résolution du convertisseur).

Voici le déroulement de ce processus :

- 1- La logique de commande place dans la bascule du bit de poids le plus fort du registre un 1 et dans tous les autres un 0. Ceci a pour effet de placer à la sortie du C.N.A. une valeur de V_a égale au poids le plus fort. Si V_a est alors plus grand que V_a , la sortie du compteur COMP passe à zéro ce qui donne l'ordre à la logique de commande de ramener à zéro le bit de poids le plus fort. Autrement, le bit de poids fort reste à un.
- 2- La logique de commande fixe à 1 le bit immédiatement à droite du registre. Ceci produit une nouvelle valeur de V_a . Si cette dernière est supérieure à V_a , COMP passe à zéro afin d'indiquer à la logique de commande de ramener le bit à zéro. Autrement, le bit reste à un.
- 3- Ce processus se poursuit pour chacun des bits du registre. Cette méthode à pesées successives exige un cycle d'horloge par bit.

Après l'essai de tous les bits, le compteur du registre est l'équivalent numérique de V_a .

Il n'y a pas de meilleures façons d'illustrer le processus par approximations successives que d'en étudier un exemple. Pour plus de simplicité, utilisons un convertisseur de 4 bits dont le pas de progression est $1v$.

Le tableau 1 nous montre la séquence des étapes permettant de convertir $V_a = 10,4v$. cette conversion se fait en quatre étapes, une étape par cycle d'horloge. Notez que l'approximation de V_a s'améliore à chaque étape. A la fin de la quatrième étape, la conversion est achevée et la valeur numérique recherchée 1010 est mémorisée dans le registre. Cette valeur est équivalente à $10v$ et est inférieure à V_a , il s'agit là d'une caractéristique de la méthode par approximations successives.

Entrée analogique

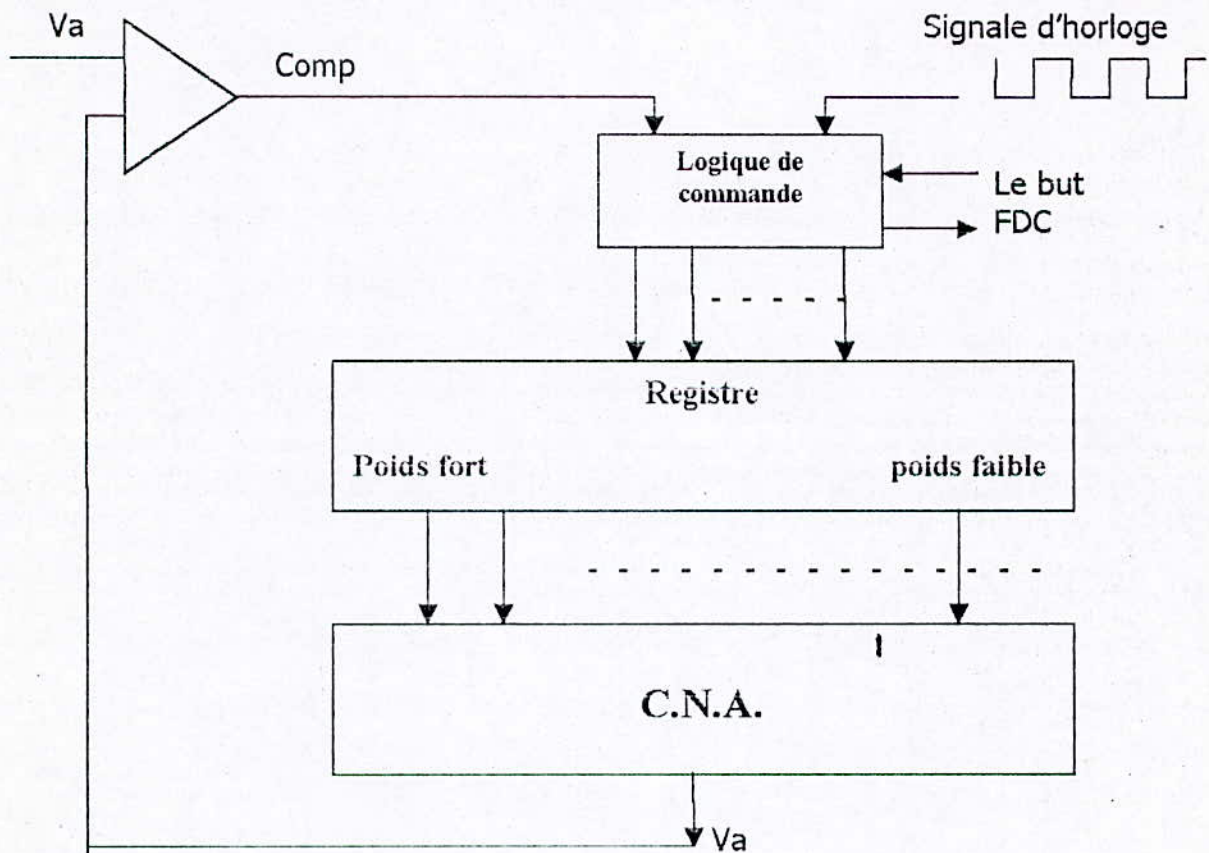


Fig.III.7.montage de base d'un C.A.S.

Tableau 1

Etape	Registre	V_a (v)	V_a (v)	Comparateur
Situation initiale	0000	0	10,4	Haut
I.A. positionner le bit de poids fort à 1	1000	8	10,4	haut
B. le laisser à 1 car $V_a < V_a$				
II.A. positionner le bit immédiatement à droit à 1	1100	12	10,4	Bas
B. le ramener à 0 puisque $V_a > V_a$	1000	8	10,4	Haut
II.A. positionner le bit immédiatement à droit à 1	1010	10	10,4	Haut
B. le laisser à 1 puisque $V_a < V_a$				
III.A. positionner le bit de poids faible à 1	1011	11	10,4	Bas
B. le ramener à 0 puisque $V_a > V_a$	1010	10	10,4	haut
Le nombre contenu dans le registre constitue le résultat final	1010			

Tableau1.les étapes de conversion

* Durée de conversion

Le même fonctionnement est mis en œuvre dans les C.A.S. (Convertisseur Approximations Successives) ayant une meilleure résolution. En général, une C.A.S. de N bits a besoin de N cycle d'horloge pour réaliser une conversion quelle que soit la valeur de V_a . Il en est ainsi parce que les circuits de commande testent une valeur 1 dans chacune des positions binaires pour savoir si elle est nécessaire ou non.

Etant donné que les C.A.S. ont une durée de conversion relativement courte, ce sont eux que l'on utilise dans les applications d'acquisition des données (comme celle de la (figure.III.7) parce qu'ils permettent d'acquérir un plus grand nombre de données pendant un intervalle donné. Ceci est un aspect très important quand les données analogiques changent à un rythme relativement rapide.

Comme la majeure partie des C.S.A. est vendue sous forme de circuits intégrés, il est très rare que l'on doive concevoir les circuits de la logique de commande.

Dans le cadre de notre réalisation, notre choix s'est porté sur ce type de convertisseurs.

Il s'agit de l'A.D.C.804 (C.A.S. de technologie CMOS), celui ci présente l'avantage d'être disponible et simple à utiliser. Sa description viendra après.

III.2.2.4. C.A.N. parallèle (FLASH)

Il s'agit ici du C.A.N. le plus rapide qui soit, et également de celui qui contient le plus grand nombre de circuits.

Par exemple, un C.A.N. parallèle de 6 bits exige 63 comparateurs analogiques, une unité de 8 bits en exige 255 et un convertisseur de 10 bits en exige 1023.

Le grand nombre de comparateurs nécessaires limite dans la pratique les convertisseurs parallèles directs à 6 bits, par contre, les convertisseurs parallèles CI atteignent couramment 8 bits.

Nous décrivons ici le principe de fonctionnement d'un convertisseur parallèle de trois bits seulement.

Le convertisseur parallèle de la figure (III.8.a) à une résolution de trois bits et un pas progressif de $1v$. le diviseur de tension établit des niveaux de référence pour chaque comparateur de sorte qu'on trouve 7 niveaux dont les valeurs sont $1v$ (le plus faible), $2v, 3v, \dots$ et $7v$ pleine échelle.

L'entrée analogique (V_a) est appliquée à l'autre entrée de chaque comparateur.

Si $V_a < 1v$, toutes les sorties des comparateurs $C1 \dots C7$ sont au niveau haut. Si $V_a > 1v$, une au moins des sorties des comparateurs est au niveau bas. Les sorties des comparateurs sont délivrées à un codeur de priorité vrai au niveau bas qui produit une sortie binaire égale à la sortie du comparateur qui se trouve au niveau bas dont le

sortie binaire égale à la sortie du comparateur qui se trouve au niveau bas dont le nombre est plus élevé. Par exemple, quand V_a se trouve entre 3 et 4v, les sorties C1, C2 et C3 sont au niveau bas et toutes les autres sont au niveau haut.

Le codeur de propriété ne réagit qu'à la valeur basse de C3 et donne une sortie binaire CBA = 011, qui représente l'équivalent numérique de V_a avec une résolution de 1v.

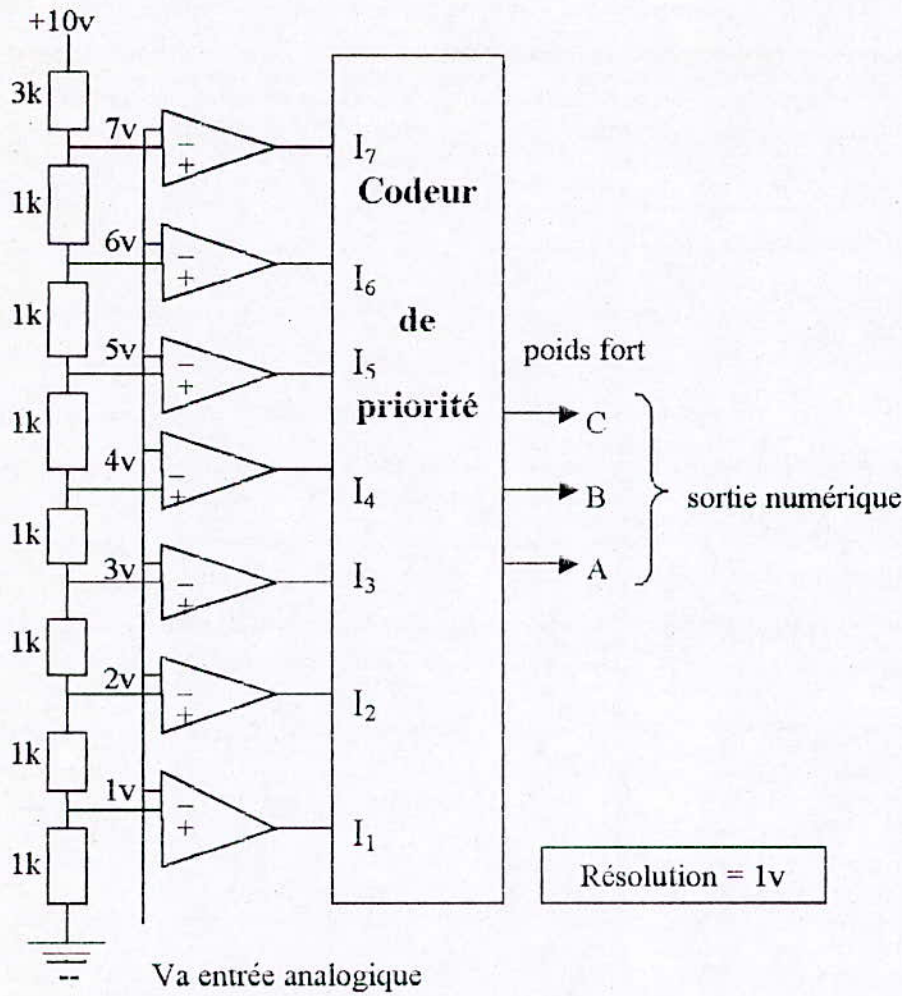
Quand V_a est supérieur à 7v, C1, ...C7 sont tous bas, la sortie du codeur sera C.B.A = 111, ce qui est l'équivalent numérique de V_a .

Le tableau de la figure (III.8.b) nous fait voir les réponses pour les valeurs possibles du signal analogique.

Le convertisseur parallèle n'a pas besoin de signal d'horloge parce qu'il n'y a pas de compteur à synchroniser ou d'opération à effectuer en séquences. Le processus de conversion s'effectue presque instantanément dès que V_a est appliquée, et la durée de conversion dépend seulement des retards de propagation des comparateurs et du codeur. La durée de conversion d'un convertisseur parallèle typique est de 50 ns.

A présent il est facile de constater à quel point le nombre de convertisseur de circuits parallèles augmente à mesurer que l'on veut avoir plus de bits. Le convertisseur de trois bits de la figure (III.8.a) nécessite sept comparateurs parce qu'il y a 8 niveaux de tension possibles. Aucun comparateur n'est nécessaire pour le niveau 0v. dans le cas d'un convertisseur parallèle de 8 bits il y a 256 niveaux de tension y compris 0v, de sorte que pour les construire on doit utiliser 255 comparateurs. En général, pour construire un convertisseur parallèle de N bits il faut $2^N - 1$ comparateurs.

Finalement on voit que le principal avantage de ce convertisseur est sa très grande rapidité, dont le prix à payer est une augmentation sensible de la complexité des circuits. Le prix élevé de ces comparateurs fait en sorte qu'on ne les retrouve que dans les applications où la vitesse est un élément primordial.



Va	C1	C2	C3	C4	C5	C6	C7	C	B	A
< 1v	1	1	1	1	1	1	1	0	0	0
> 1v, < 1v	0	1	1	1	1	1	1	0	0	1
> 1v, < 1v	0	0	1	1	1	1	1	0	1	0
> 1v, < 1v	0	0	0	1	1	1	1	0	1	1
> 1v, < 1v	0	0	0	0	1	1	1	1	0	0
> 1v, < 1v	0	0	0	0	0	1	1	1	0	1
> 1v, < 1v	0	0	0	0	0	0	1	1	1	0
> 1v, < 1v	0	0	0	0	0	0	0	1	1	1

Fig. III.8. a. C.A.N. parallèle de 3 bits
b. Sa table de vérité.

III.2.2.5. L'ADC 804

a) Description de l'ADC 804

L'ADC est un convertisseur analogique numérique par approximations successives. Il se présente en circuit intégré de technologie CMOS, qui utilise une échelle de modification potentiométrique. Il est conçu pour être relié à des microprocesseurs (MOTOROLA, INTEL, ZILOG) à des bus de sortie à 3 états.

Il est considéré par le microprocesseur comme une position mémoire ou un port d'entrée / sortie.

L'entrée analogique différentielle a une bonne réjection en mode commun et permet un décalage du zéro de l'entrée analogique. De plus la tension de référence peut être ajustée pour permettre de coder une plage de tension aussi petite soit-elle avec les 8 bits de résolution.

* Caractéristiques

- 1- temps de conversion inférieur à $100 \mu\text{s}$
- 2- facile à relier à un grand nombre de microprocesseur
- 3- entrée analogique différentielle
- 4- travail avec une plage de tension de référence
- 5- horloge interne
- 6- ne nécessite pas de logique d'interfaçage.

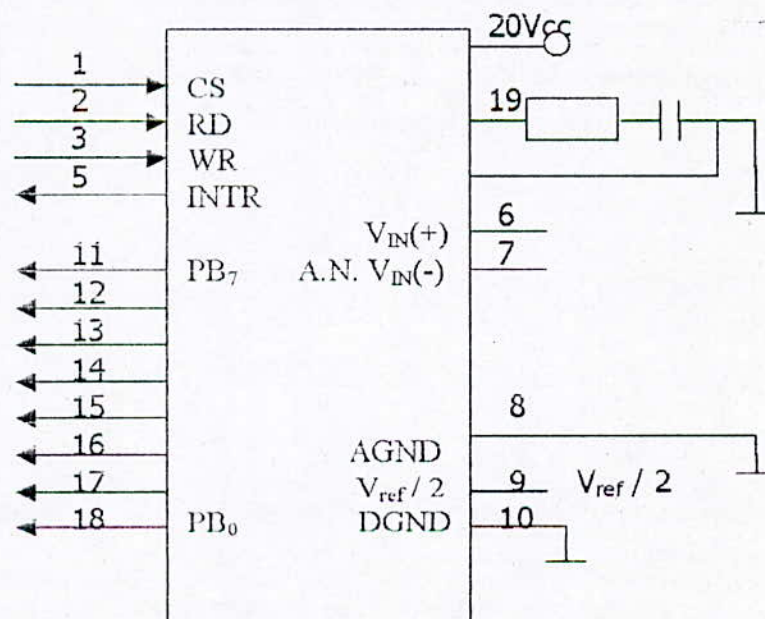


fig. III.9 : Brochage de l'ADC 0804

b) Fonctionnement

Le schéma interne de l'ADN 804 est donné en figure (III.10). Toutes les broches y sont spécifiées et la majeure partie de la logique de commande y est représentée.

Ce composant fonctionne selon le principe de la conversion par approximations successives.

Les interrupteurs analogiques sont fermés séquentiellement par approximations successives jusqu'à ce que l'entrée analogique différentielle ($V_{IN (+)} - V_{IN (-)}$) soit pareille à la tension issue du decodeur.

Le bit de poids fors est le premier à être testé et après 8 comparaisons (64 cycles d'horloge), un code binaire sur huit bits est transmis à la sortie.

La procédure normale est la suivante :

A la transmission haut-bas de l'entrée WR ,le registre à approximations successives (R.A.S.) et le registre à décalage sont réinitialisés et la patte INTR est mise à l'état haut. Aussi longtemps que les entrées CS et WR resteront à l'état bas, le C.N.A. restera en état de reinitialisation.

La conversion débutera après 1 à 8 cycles d'horloge à la suite du passage à l'état haut d'au moins un des deux entrées citées précédemment.

Au bout du temps nécessaire à l'opération de conversion, la patte INTR fera une transition de l'état haut à l'état bas. Cette transition peut être exploitée pour générer une interruption au niveau d'un microprocesseur.

Ce convertisseur peut aussi fonctionner en mode libre (Free-running) et ce en reliant INTR à WR avec CS = 0 et pour assurer l'amorçage de la conversion une impulsion externe sera injectée à WR

b) Détail du processus de conversion

L'ADC 804 effectue un cycle de conversion, quand les broches CS et WR sont mise simultanément au niveau bas.

L'action sur ces deux broches, engendre :

- un niveau haut à la sortie de la bascule START F/F, qui entraîne la reinitialisation du registre à décalage (8-bit stuff registre)
- la reinitialisation de l'interruption INTR F/F
- Un niveau haut à l'entrée de la bascule D, DFF1.

Un signal d'horloge interne, transfert ce niveau haut à la sortie Q de la bascule DFF1.

La porte AND, G1, combine le signal issu de DFF1, avec un signal d'horloge, pour générer au niveau de la bascule START F/F, un signal de reset.

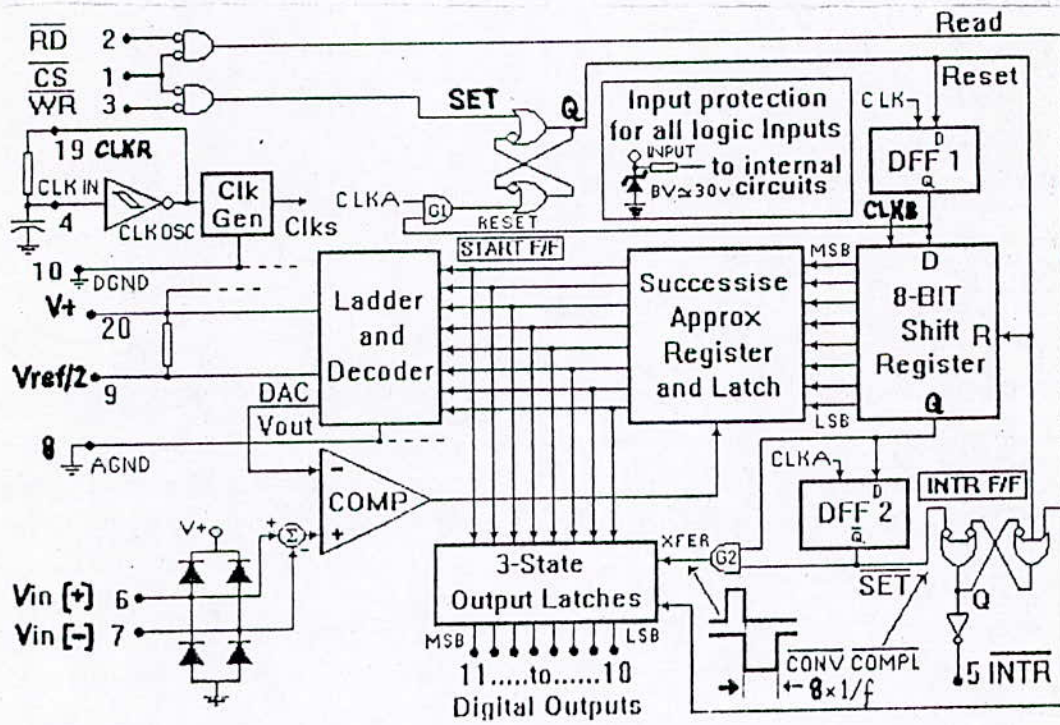


Fig.III.10.structure interne de l'ADC0804

Même si l'un des deux signaux WR ou CS venait à s'interrompre, le processus de reinitialisation continuerait à se faire, et le registre à décalage se verrouillerait, pour nouveau cycle de conversion. Après cela, le niveau haut d'amorçage se trouve à l'entrée de la bascule DFF2.

A la sortie de ce signal du registre de décalage, la porte AND G2 autorisera la pose du « mot digital » en sortie sur les 8 latches à trois états.

La sortie Q de DFF2, fait une transition haut-bas, pour générer une interruption INTR F/F, qui sera, après inversion, au niveau de la broche INTR ainsi se déroule un cycle de conversion.

c) Tension d'alimentation

Une tension régulée de +5v est injectée à la broche 20 du circuit. Il est noter que du fait d'un bruit au niveau de la tension d'alimentation peut causer un cycle de conversion indésirable, un condensateur est relié à la broche 20 pour assurer un filtrage, la valeur recommandée est de 1 μ F ou plus.

d) Ligne de contrôle

Les lignes de contrôle CS, RD et WR sont compatibles a la logique TTL. Elles sont actives au niveau bas, et sont directement reliables à n'importe quel microprocesseur.

Il existe une manière très simple d'utiliser ces lignes, cette méthode consiste à causer un cycle de conversion en n'intervenant que sur une seule broche. Ainsi les lignes Cs, RD sont en permanence validées (CS et RD mise à la masse) et l'ordre de conversion issu d'un microprocesseur attaque WR.

C'est cette méthode que nous avons adoptée.

e) Horloge

Un signal d'horloge est nécessaire pour le fonctionnement du convertisseur. Il peut être issu d'une source externe ou plus simplement généré de façon propre au circuit par l'adjonction d'un réseau RC comme cela est montré en figure (III.9) (les valeurs assurant un bon fonctionnement au circuit sont celles qui sont mentionnées sur cette même figure).

f) Les entrées analogiques différentielles

Grâce à deux entrées analogiques différentielles (broche 6 et 7) nous avons une très grande flexibilité d'utilisation quant au plages de tension à convertir.

Ainsi $V_{IN(-)}$ (broche 7) peut très bien servir à la soustraction automatique d'une certaine valeur fixe de l'entrée à convertir, elle sera injectée à la broche 6 ($V_{IN(+)}$).

C'est un décalage du zéro, ou en d'autres termes une simple transmission des

tensions à convertir, par rapport à un repère.

Ces deux broches peuvent aussi servir à la réduction des bruits en mode commun, en les neutralisant.

g) Ajustage de la plage de tension de référence

Ce convertisseur a été conçu pour être utilisé avec une tension de référence égale à 2,5 volts, ou une toute autre tension ajustable par l'utilisateur.

Ci la plage de tension à convertir V_{max} varie entre deux tensions limites, la tension de référence serait la moitié de l'intervalle de variation de l'entrée analogique.

Exemple :

Soit V l'entrée analogique, on suppose que V variant entre deux tensions limites V_{MIN} et V_{MAX} , alors la tension de référence serait égale à :

$$V_{ref} / 2 = (V_{MAX} - V_{MIN}) / 2$$

$V_{ref} / 2$ sera injecté à la broche 9

V_{MAX} sera égale à $V_{IN}(+)$ est sera injectée à la broche 7.

h) L'erreur zéro

Si la plus petite tension analogique à convertir $V_{IN}(min)$ est différente de zéro, un décalage du zéro peut tout de même exister. Le convertisseur peut être à 0000 0000 en sortie pour cette tension minimale d'entrée et cela en décalant la tension $V_{IN}(-)$ à $V_{IN}(min)$.

L'erreur zéro est liée à la localisation d'un premier créneau de la fonction de transfert et peut être mesurée en mettant à la masse l'entrée $V_{IN}(-)$ et en appliquant une tension positive de faible amplitude à l'entrée $V_{IN}(+)$.

L'erreur zéro sera la différence entre la tension d'entrée nécessaire, pour faire basculer le code de sortie du 0000 0000 à 0000 0001 et la valeur du $1/2$ LSB ($1/2$ LSB = 9,8 mv pour $V_{ref} = 5v$).

i) Ajustage de la pleine échelle

L'ajustage de la pleine échelle peut être fait, en appliquant une entrée différentielle qui sera à $1 1/2$ LSB en dessous de la tension analogique pleine échelle désirée, et ajuster la tension de $V_{ref} / 2$ (broche 9) pour avoir une sortie digitale évoluant de 11111110 à 11111111.

En décalant le zéro, et en utilisant une plage de tension de références $V_{ref} / 2$, l'ajustage de la pleine échelle se fait en attaquant l'entrée $V_{IN}(+)$ par V_{MIN} et en appliquant une tension à l'entrée $V_{IN}(+)$ donnée par l'expression :

$$V_{IN}(+) fs adj = V_{MAX} - 1,5 (V_{MAX} - V_{MIN}) / 256.$$

III.2.3. La conversion numérique-analogique

III.2.3.1. Introduction

On désigne sous le nom « conversion numérique-analogique » la transposition d'une valeur déjà exprimée selon une représentation numérique (comme en binaire normal ou en DCB) en une tension ou un courant proportionnel à cette valeur numérique. La tension ou le courant produit est une grandeur analogique qui peut occuper différentes valeurs dans une plage donnée.

La figure (III.11.a) nous fait voir le schéma fonctionnel d'un convertisseur NA de 4 bits typique.

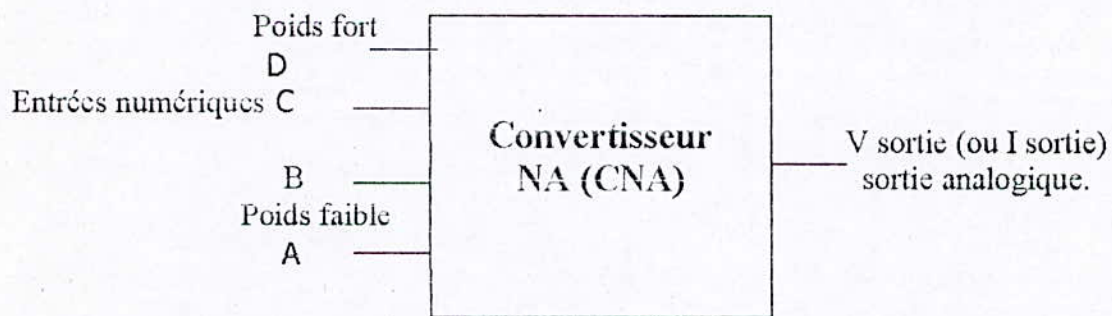


Fig. (III.11.a.) C.A.N de 4 bits

D	C	B	A	V_{out}
0	0	0	0	0 volts
1	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
0	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15 volts

Fig. (III.11.b) la table de conversion

Les entrées numériques D, C, B et A proviennent généralement du registre de sorties du système numérique. Les $2^4 = 16$ nombres binaires qu'on peut représenter avec ces quatre bits sont énumérés à la figure (III.11.b), pour chaque nombre d'entrées, la tension de sortie du convertisseur NA est différente. En fait, dans l'exemple actuel, la tension de sortie analogique V sortie est une grandeur dont l'amplitude, exprimée en volts, est égale au nombre binaire.

Il existe des convertisseurs dont la tension de sortie est égale à deux fois le nombre binaire multiple par un facteur de proportionnalité. Le même principe est aussi vrai si la sortie du CNA est un courant I sortie.

III.2.3.2. Circuits des convertisseurs numérique-analogique

Il existe plusieurs méthodes et circuit pour matérialiser la conversion NA que l'on vient de décrire. Nous nous bornons ici à étudier deux méthodes élémentaires.

a- CNA dont la sortie est un courant

La figure (III.12.a) nous montre le circuit de base de ce type de convertisseurs NA de 8 bits. Il est constitué par un réseau de résistances appelé R-2R. Ce type de circuit qui importe dans ce genre de réseaux, ce n'est pas tant la valeur des résistances, mais le rapport qui existe entre elles. Ce rapport doit être très exactement de 2. La résistance R doit avoir pour valeur l'exacte moitié de la valeur de la résistance 2R. Les interrupteurs SW_0 à SW_7 commutent les résistances $2R_0$ à $2R_7$, soit à la masse lorsque les bits correspondant sont à 0, soit à l'entrée inverseuse de l'amplificateur opérationnel lorsque les bits de données correspondants sont à 1. Ce réseau de résistances est alimenté par une tension de référence que nous appellerons V_{ref} .

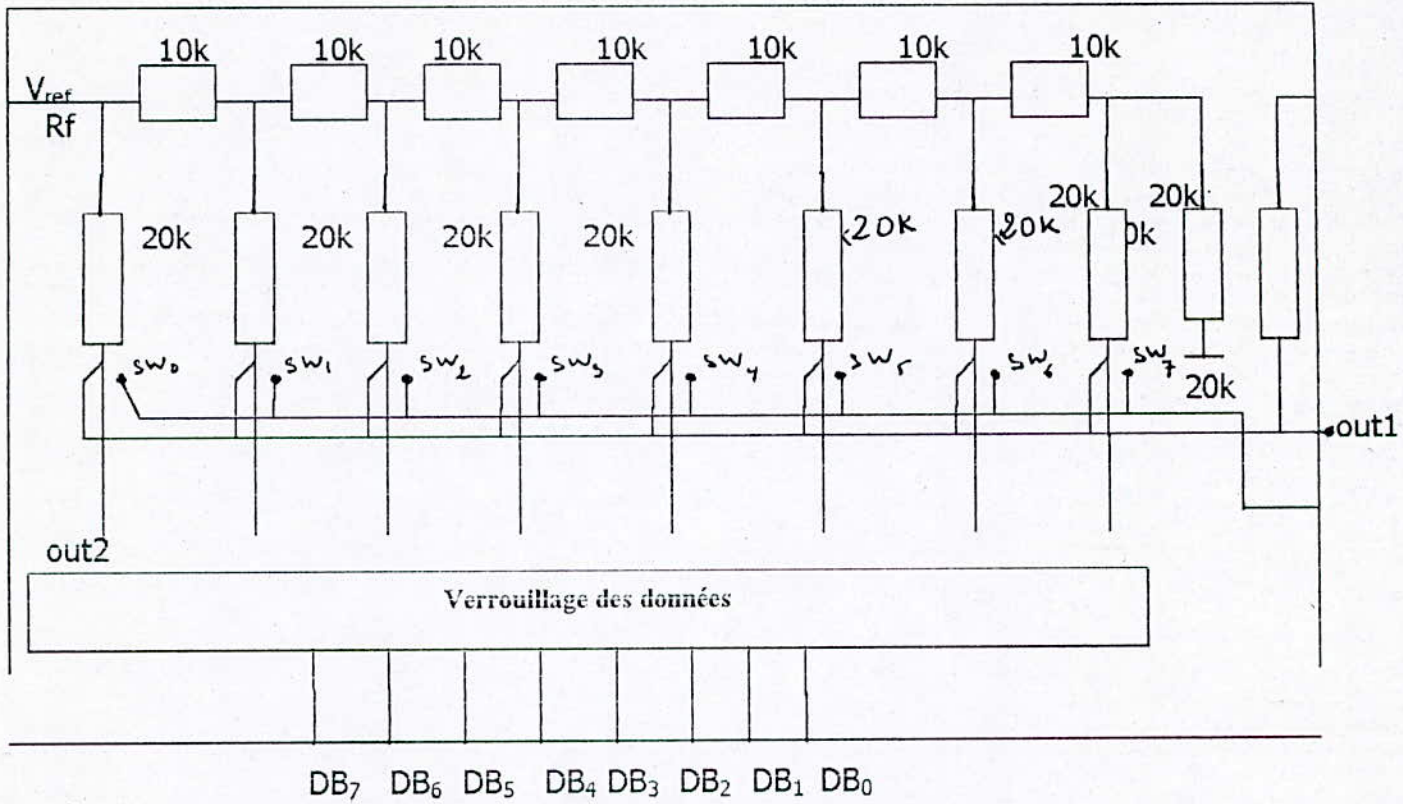


Fig. III.12.a.montage de base d'un C.N.A

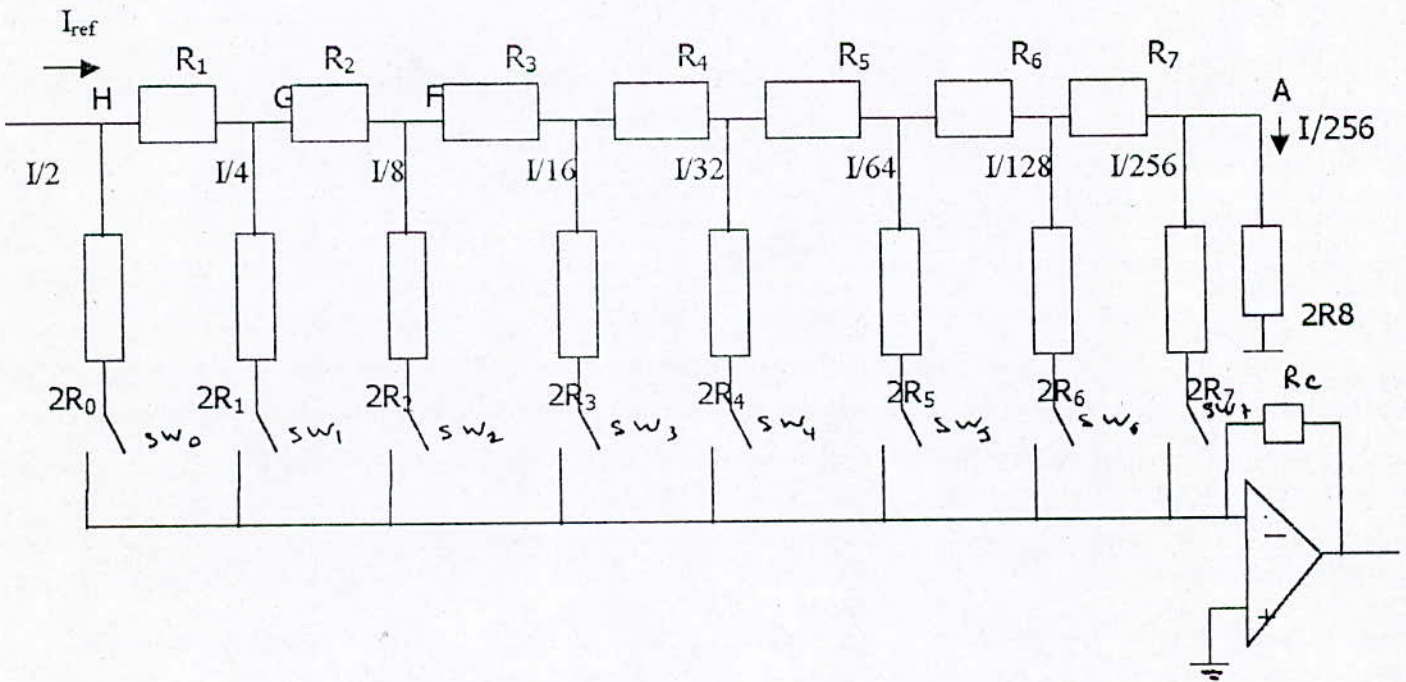


fig. III. 12.b.schema de principe d'un C.N.A (sortie courant)

Considérons maintenant le schéma de la figure (III.12.b) du point de vue de son fonctionnement électrique. Les bits de données sont tous positionnés à 0. Toutes les résistances $2R$ ont un de leur pôle relié à la masse. Partout de la résistance $2R_8$. Elle est en parallèle avec la résistance $2R_7$, et en série avec la résistance R_7 ; ce qui donne :

$2R_8 // 2R_7 + R = R + R_7 = 2R$. Cette dernière résistance $2R$ est elle-même en parallèle avec R_6 ...et ainsi de suite jusqu'à ce que nous arrivions au point H. Ici se situe le point d'entrée de la tension de référence dans le réseau. A cet endroit, le courant I_{ref} rencontrant deux résistances de même valeur se divise en deux ; R_2 est donc traversé par $I_{ref} / 2$. R_1 également, puisque vue de l'entrée elle a la même valeur que $2R_2$.

Arrivé au point G, I_{ref} se divise à nouveau par 2 : $2R_1$ est traversé par $I_{ref} / 4$, ainsi que R_2 . Cela se produit jusqu'au nœud A, où I_{ref} n'est plus égale qu'au $1/128^e$ de sa valeur d'origine ; là, il subit une dernière division par deux, et ce n'est plus qu'un courant de $1/256^e$ de I_{ref} qui traverse $2R_7$ et $2R_8$.

b- CNA dont la sortie est une tension

Le schéma de la figure (III.13) nous montre le circuit de base d'un type de CNA de 4 bits. Les entrées A, B, C et D sont des entrées binaires qui, par l'hypothèse, prennent la valeur 0v ou 5v. L'amplificateur opérationnel est employé comme amplificateur de sommation multiple, chaque tension de sortie par le rapport de la résistance de contre réaction R_c à la résistance d'entrée correspondante $R_{entrée}$. Dans ce circuit :

$$V_{sortie} = - (R_F / R_4 V_D + R_F / R_3 V_C + R_F / R_2 V_B + R_F / R_1 V_A)$$

De cette façon, il est facile de voir que la sortie de l'amplificateur de sommation est une tension analogique qui représente la somme pondérée des entrées numériques.

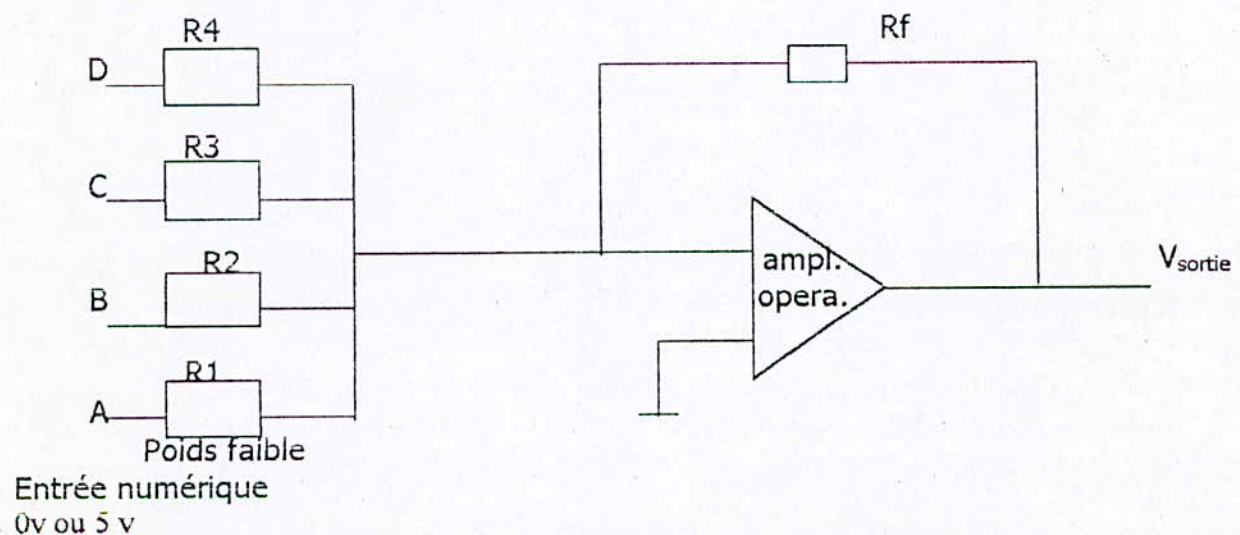


Fig. III.13. schéma de principe d'un C.N.A (sortie tension)

III.2.3.3. Spécifications des CNA

La majeure partie des CNA est actuellement vendue sous forme de CI, les fabricants ont spécifié les caractéristiques les plus importantes en vue de déterminer le CNA convenant à une application particulière.

Résolution : la résolution exprimée en % PE d'un CNA dépend essentiellement du nombre de bits. C'est la raison pour laquelle les fabricants expriment généralement la résolution d'un CNA comme un nombre de bits, un CNA de 10 bits a une résolution plus faible qu'un CAN de 8 bits.

Précision : les fabricants des CNA définissent de différentes façons la précision. Les deux paramètres les plus courants sont appelés erreur pleine échelle et erreur de la linéarité, habituellement exprimée en % de la sortie pleine échelle du convertisseur. L'erreur pleine échelle est l'écart maximal entre la sortie du CNA et la valeur anticipée (idéale).

L'erreur de linéarité est l'écart maximal entre le pas de progression réel et le pas de progression idéal.

Temps d'établissement : la vitesse de fonctionnement d'un CNA est définie par son temps d'établissement qui est le temps nécessaire à la sortie pour passer de 0 à la tension pleine échelle quand l'entrée binaire effectuée sa transmission principale montante généralement, les temps d'établissement s'éloignent entre 50 μ s et 10 μ s, le plus souvent les convertisseurs dont la sortie est un courant ont des temps d'établissement plus court que ceux dont la sortie est une tension.

Tension de décalage : idéalement, la sortie d'un CNA affiche 0v quand l'entrée binaire est constituée essentiellement de 0. En pratique, on mesure une petite tension de sortie due à l'erreur de décalage de l'amplificateur opérationnel de sortie. Ce décalage est généralement 0,25% PE. La majorité des CNA des CNA dont la sortie est une tension ont des boutons de réglage extérieurs du décalage qui permet de compenser cette erreur.

III.2.3.4. Le convertisseur DAC0808

a) présentation du DAC0808

Le convertisseur N/A DAC 0808 se présente dans un boîtier DIP de 16 broches. C'est un convertisseur du type R-2R (la sortie est un courant). Sa sortie analogique est une source de courant commandée sur 8 bits. Il dispose d'un registre interne pour verrouiller la dernière donnée reçue sur son entrée numérique. Le composant peut être utilisé avec une tension de référence fixe ou variable.

b) Organisation externe

Le schéma de brochage du convertisseur est donné en annexe ; on y distingue essentiellement :

- 8 broches pour le bus de données ($D_0 - D_7$)
- deux tensions d'alimentation ; le +5v pour l'alimentation positive (V_{CC}) et le -15v pour l'alimentation négative (V_{EE})
- deux tensions de référence (V_{REF}^+) et (V_{REF}^-)
- la broche de masse
- Le signal de sortie étant récupéré sur la broche I_0
- une broche de compensation
- Une broche non connectée.

D'autres spécifications techniques, concernant l'organisation interne et l'utilisation du composant figure en annexe.

c) Application typique

Comme il est montré dans la figure (III.14) la sortie I_0 , de la roche 4 du convertisseur, alimente un amplificateur opérationnel configuré en convertisseur courant-tension. Il donne à sa sortie une tension comprise entre 0 et 10 volts.

Pour connaître la grandeur de la tension de sortie V_0 en fonction du poids de l'octet envoyé par l'ordinateur, nous pouvons utiliser la formule suivante :

$$V_0 = V_{ref} (D_7/2 + D_6/4 + D_5/8 + D_4/16 + D_3/32 + D_2/64 + D_1/128 + D_0/256) .$$

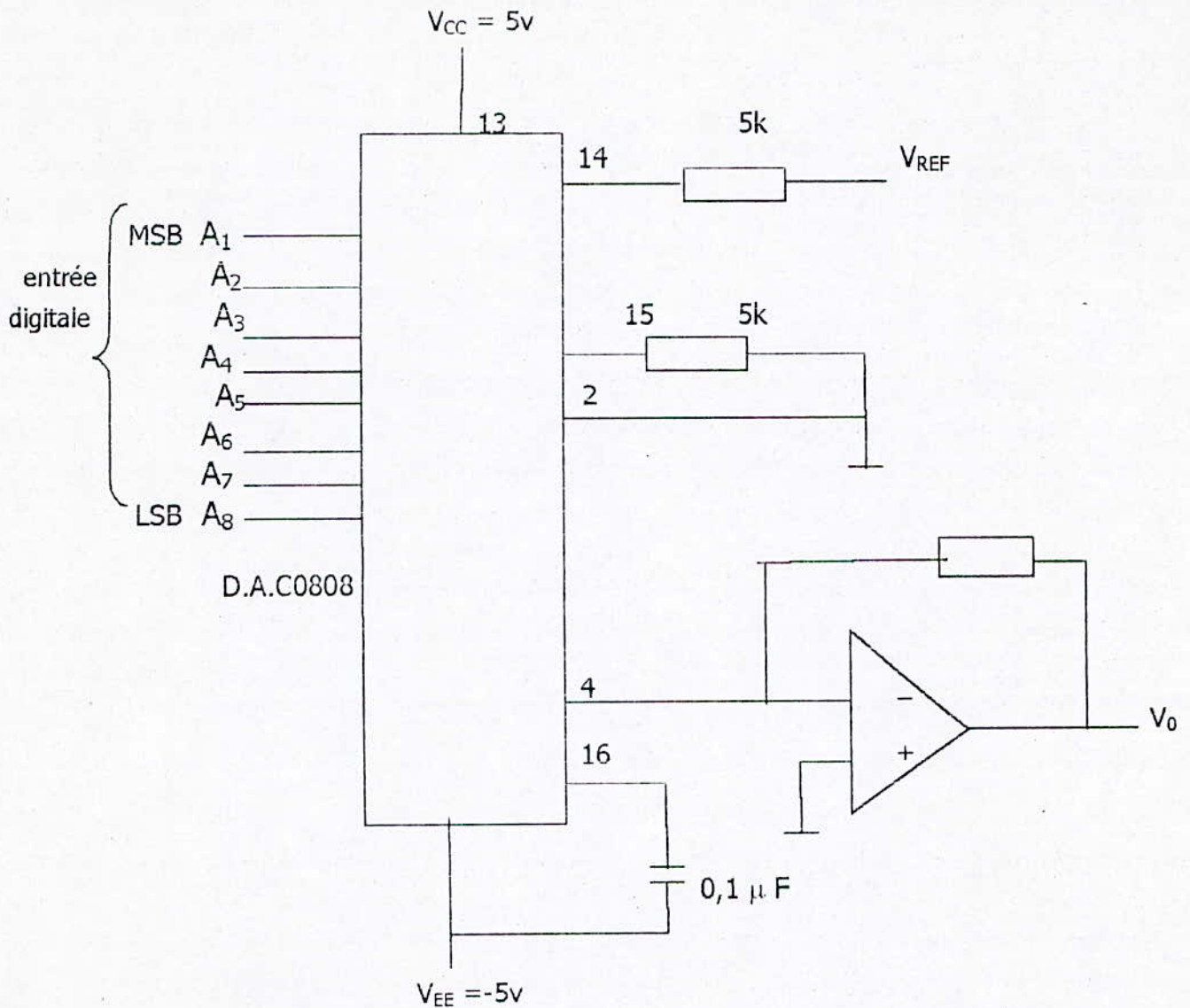


Fig. III.14.schema d'application

III.2.4. Multiplexage analogique

Les convertisseurs analogique-numérique n'étant pas particulièrement simples et bon marché, il n'est pas possible de prévoir un convertisseur par tension à convertir. On utilise des dispositifs nommés multiplexeurs. Un tel dispositif connecte successivement les tensions à convertir sur l'entrée du convertisseur. C'est un sélecteur dont le doigt passe successivement sur toutes les entrées. Pour laisser au convertisseur le temps d'opérer, le multiplexeur doit s'arrêter un minimum de temps sur chaque tension à convertir (figure III.15).

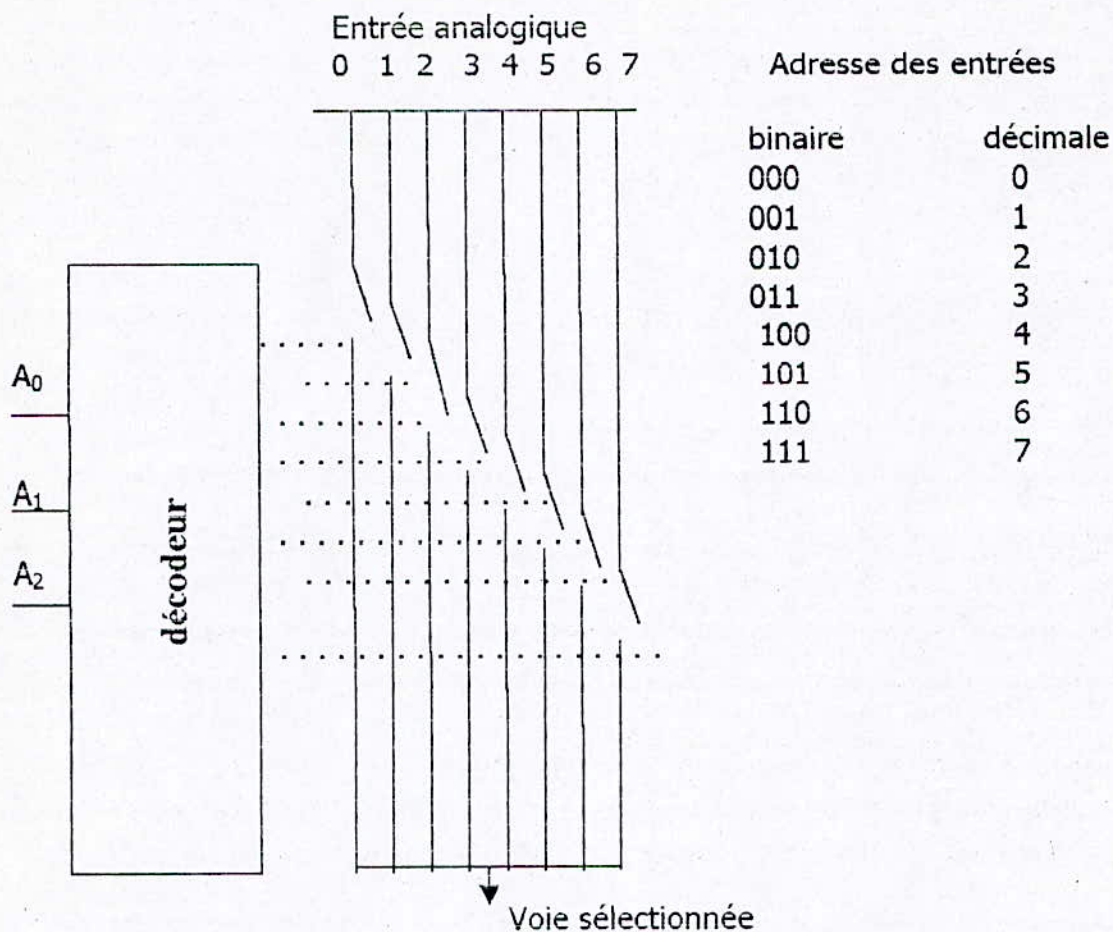


Fig.III.15. Multiplexage analogique

Pour le choix d'un multiplexeur analogique on se base sur quatre paramètres qui sont les besoins d'alimentation, la vitesse de commutation, la fourchette de signal et la diaphonie entre canaux.

Pour notre application on utilise le multiplexeur 4051 qui se présente dans un boîtier de 16 broches. Le brochage est donné en annexe.

III.2.5 La logique de commande

a) Introduction

Son rôle consiste à sélectionner l'interface à l'exclusion de tout autre périphérique. Ainsi que les registres internes du 8255.

L'adressage se fera par la technique de décodage du bus d'adresse.

Rappelons qu'il n'est pas nécessaire de décoder les 20 bits du bus d'adresse, car lors d'un transfert relatif à un circuit d'E/S, les bits A_{19} à A_{16} sont toujours au niveau 0. Seuls les bits A_0 et A_{15} participent au décodage. Dans l'espace mémoire alloué aux cartes de prototyping de la norme IBM PC (300 hex à 31F hex), l'interface occupera 4 positions mémoires, correspondant aux 4 registres du 8255, aux adresses suivantes :

Adresse en hexadécimal	partie adressée
0300	port A
0301	port B
0302	port C
0303	registre de commande

Par ailleurs pour sélectionner le 8255 par la broche CS, il est inutile de décoder les 16 bits précédents (A_0 à A_{15}) car l'architecture de l'IBM PC et ses compatibles dirige toutes les adresses excédant 31F h vers les adresses allant de 300 hex à 31Fhex.

Il suffit de décoder les 10 bits de poids faibles du bus d'adresse. Celles-ci ne sont valides que si la broche AEN (Adresse Enable) est activée ce qui doit être pris en considération lors du décodage. Cette opération est assurée par le circuit de la figure (III.16).

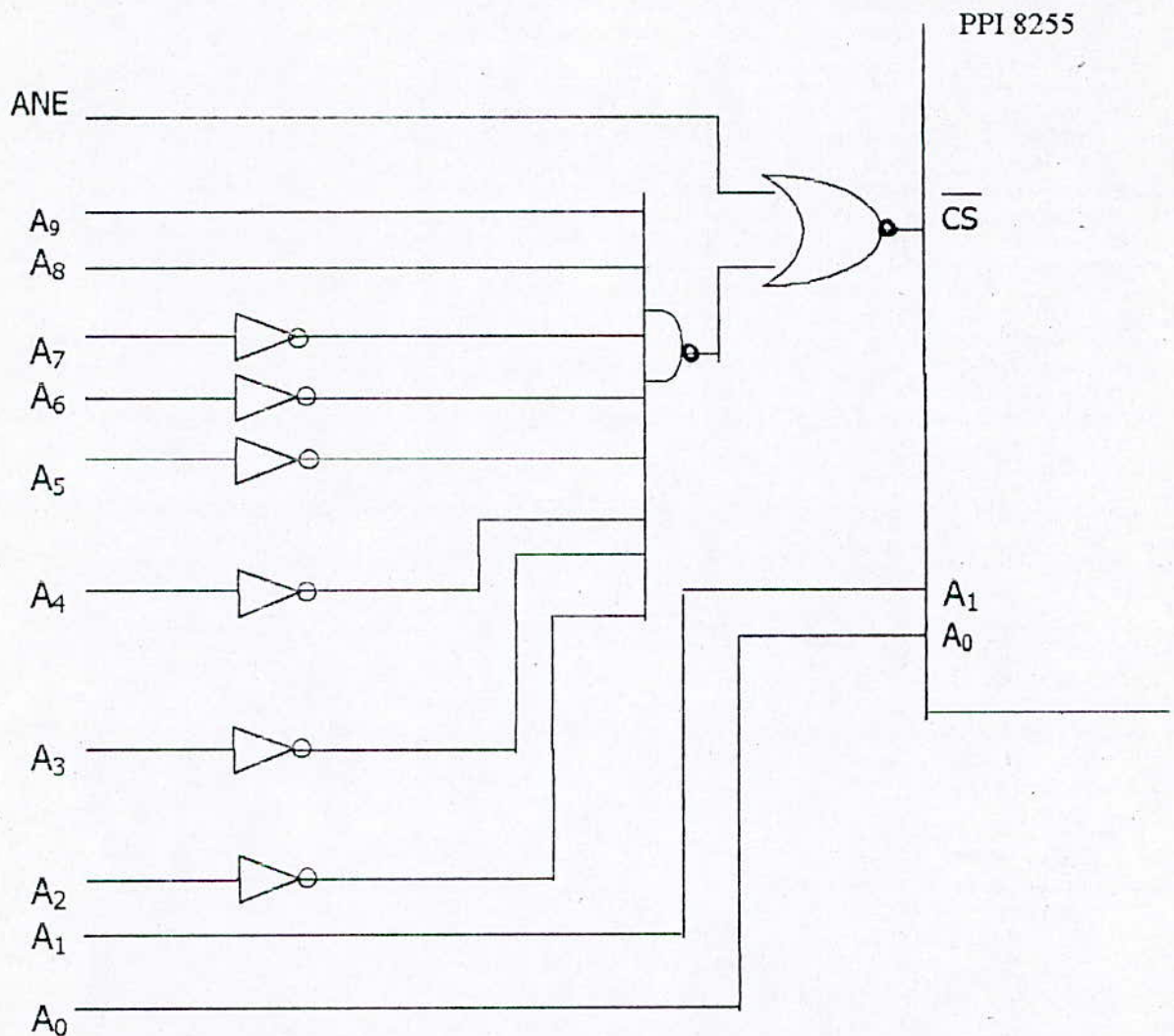


Fig. III.16. Circuit du décodage

b) Les signaux de commande de la carte

Ils assurent la synchronisation des opérations et déterminent le type de transfert ; lecture ou écriture. Les broches IDR et IOW du bus d'extension sont prises comme signaux de commande et connectées respectivement aux broches RD (lecture) et WR (écriture) du PPI 8255. Le signal Reset du bus d'extension complète la série des signaux, on peut le relier à la broche RESET du PPI 8255.

c) Adressage de la carte

Notre carte présentée à la figure (III.17) étant contrôlée à travers le PPI 8255,

Pour l'adresser il faut :

- activer le PPI 8255 à travers la broche CS en décodant le bus d'adresse de l'ordinateur
- indiquer la nature du cycle en cours (WR pour l'écriture ou RD pour la lecture), ce qui est donnée automatiquement par le slot d'extension à travers les lignes IOR et IOW
- sélectionner le registre du PPI 8255 concerné, par le cycle en cours à travers les broches A_0 et A_1 , du PPI 8255

III.2.6. fonctionnement et gestion de la carte

Après avoir initialiser le PPI en mode 0 (en mettant le port A en entrée et les deux ports B et C en sortie) par envoi du mot 10010000 au registre de commande, on procède ensuite à la conversion de données.

* Conversion analogique numérique

Les signaux analogiques sont directement connectés au Mux 4051 qui est alimenté par les tensions $-5v$ et $+12v$ qui sont disponibles sur le slot d'extension du P.C.. En plus le Mux possède trois lignes de commande nécessaire pour sélectionner la voie à convertir.

Pour le relevé les caractéristiques $I(v)$, on réservera les voies IN1 et IN2 pour mesurer la tension et le courant d'une cellule solaire ou d'un panneau, et les voies IN3 et IN4 pour mesurer l'éclairement et la température.

Afin de déterminer laquelle des entrées (IN1 et IN8) on désire lire, on utilise les trois broches Pc_0 , Pc_1 et Pc_2 du PPI8255 pour générer la commande de la voie désirée.

La sortie du Mux est directement connectée au CAN 0804 à la broche 6. Le CAN est alimenté par une tension de $5v$ disponible sur le slot d'extension du micro-ordinateur. La tension de référence est obtenue à l'aide d'une zéner de précision et un amplificateur opérationnel, cette tension sera réglée très exactement à $2,5v$.

Le processus de conversion est lancé par l'application d'un niveau bas sur la broche WR du convertisseur analogique-numérique, ce niveau est généré par la broche Pc_3 du PPI 8255.

Le signal RD du CAN lui aussi actif à l'état bas, permet d'aller lire les données D_0 à D_7 présente dans les verrous du convertisseur, la commande de lecture est assurée par la broche Pc_4 du PPI 8255, les données D_0 à D_7 sont transférées au registre de données du PPI 8255 à travers le port A. Ces données seront ensuite transférées jusqu'au mémoire de l'ordinateur à travers de bus d'extension.

* La conversion numérique-analogique

La carte que nous allons décrire permettra la génération d'une tension analogique (0 à +10v), par la conversion d'un octet qui lui sera envoyé au PPI 8255 à travers le bus d'extension du micro-ordinateur. Le PPI 8255 reçoit les données, en format de 8 bits et les transmet au DAC 0808, ce dernier est alimenté par une tension de 5v disponible sur le slot d'extension. La tension de référence sera obtenue par une zener de référence et un amplificateur opérationnel.

Tous les convertisseurs réclament un découplage efficace de leur point d'alimentation par des condensateurs situés au plus près de leur boîtier, c'est ce qui est fait par des condensateurs de 0,1 μ F tous les autres circuits, logique et analogique, sont également munis de leur capacité de découplage.

Les lignes d'alimentation provenant du slot d'extension sont également filtrées par des condensateurs de 22 μ F.

Chapitre IV

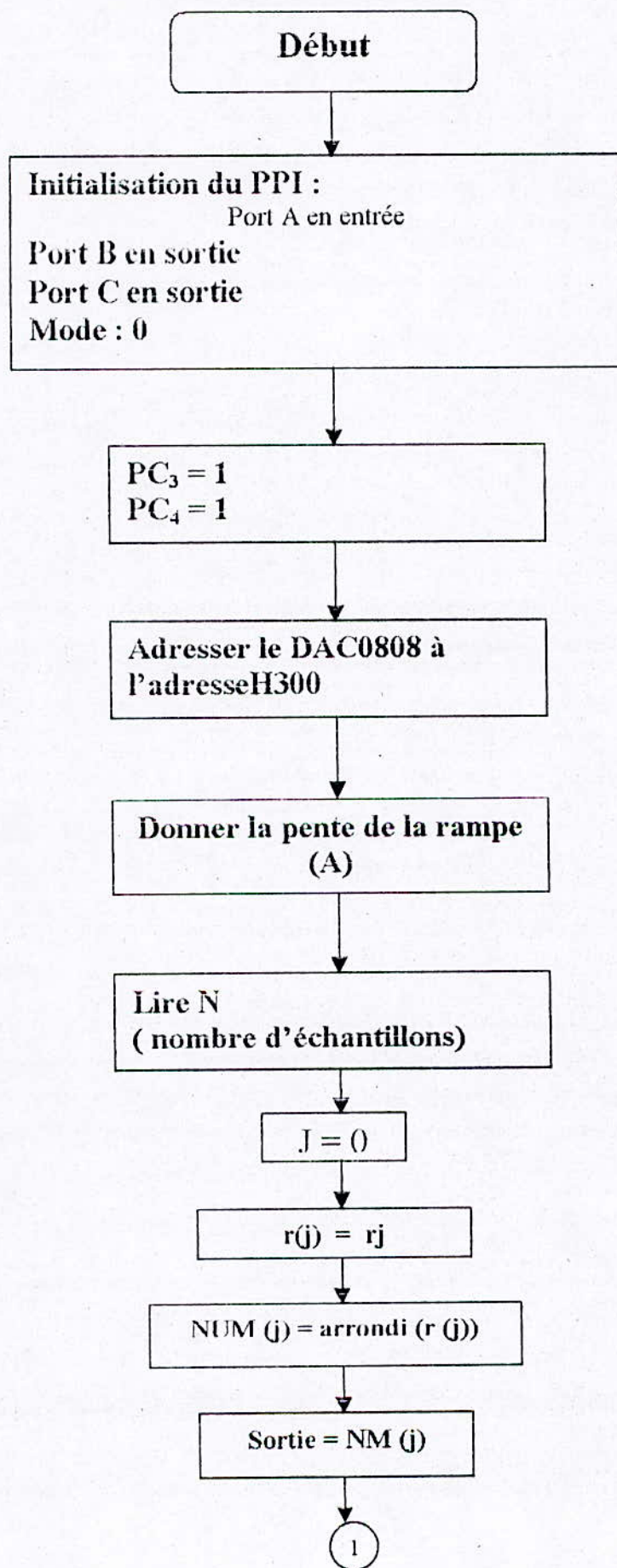
Le programme de gestion de notre carte est écrit en langage turbo pascal version 7.0. il initialise le PPI 8255, de telle sorte que le port A soit programmé en entrée et les deux ports B et C en sortie. La configuration des ports du PPI sera effectuée par l'envoi du mot 144 au registre de commande du PPI

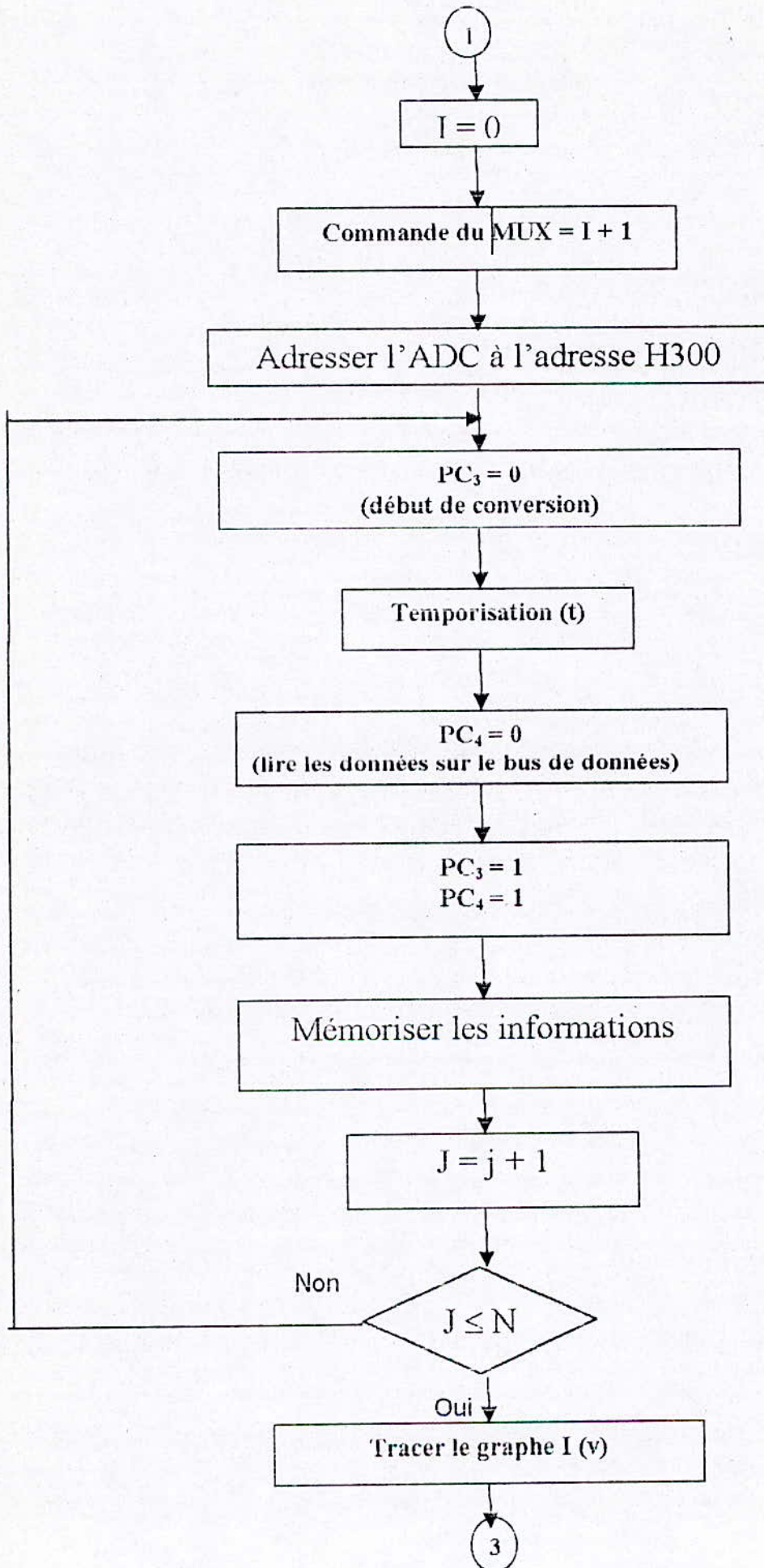
*** Algorithme de gestion de la carte.**

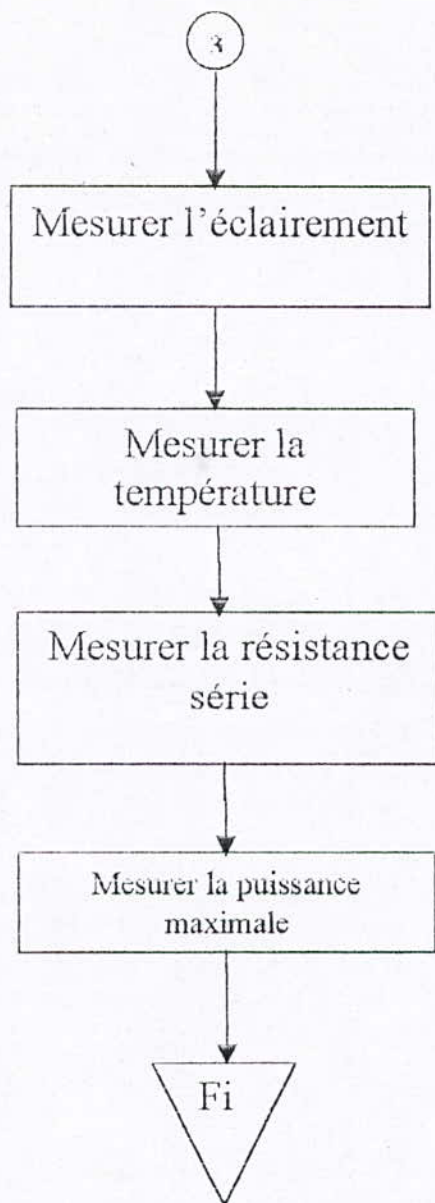
Après avoir initialiser le PPI, nous proposons les étapes suivantes pour la gestion de notre carte.

- 1- Adresser le DAC 0808 à l'adresse H301 et on donne la pente (A) de la rampe à générer. ($A \leq 1$), si $A = 1$, la valeur numérique 255 correspondant à V_{ref} (10v)
- 2- lire le nombre d'échantillons (N) par période de rampe
- 3- envoyer l'octet à convertir vers le DAC 0808 à travers le bus d'extension
- 4- Adresser le convertisseur ADC 0804 à l'adresse H300.
- 5- envoyer l'octet 00 sur le bus de données vers l'entrée commande du MUX 4051
- 6- lancer le processus de conversion
- 7- créer une temporisation
- 8- lire les données présentes sur les verrous de l'ADC
- 9- mémoriser l'information
- 10- envoyer l'octet 01 sur le bus de donnée vers l'entrée commande du MUX 4051
- 11- lancer un autre signal de conversion
- 12- créer une temporisation
- 13- lire les données présentes sur les verrous de l'ADC 0804
- 14- mémoriser l'information
- 15- répéter les opérations (3 à 14) pour relever N échantillon du courant (I) et de la tension (V)
- 16- envoyer l'octet 2 sur le bus de données vers l'entrée commande du MUX4051
- 17- lancer le processus de conversion
- 18- créer une temporisation
- 19- lire les données présentes sur le bus de données
- 20- mémoriser l'information
- 21- répéter les opérations (16 à 20) pour mesurer la température et l'éclairement
- 22- tracer la caractéristique I(V)
- 23- mesurer la résistance R_s
- 24- mesurer la puissance maximale ($p = VI$ et $P_{max}(VI)$)

* L'organigramme :







Conclusion générale

La carte que nous avons étudié, permet de caractériser les générateurs photovoltaïques, qui se développent pour l'exploitation de l'énergie solaire. Elle est destinée pour les panneaux de faibles puissances, et répond aux normes AT des PC compatibles. Elle est gérée en langage turbo pascal.

Notre choix est fixé pour les convertisseurs ADC 0804 et le DAC 0808 pour des raisons qu'ils sont disponibles sur le marché national et possédant des plages d'amplitudes de sorties modifiables selon la tension de référence appliquée.

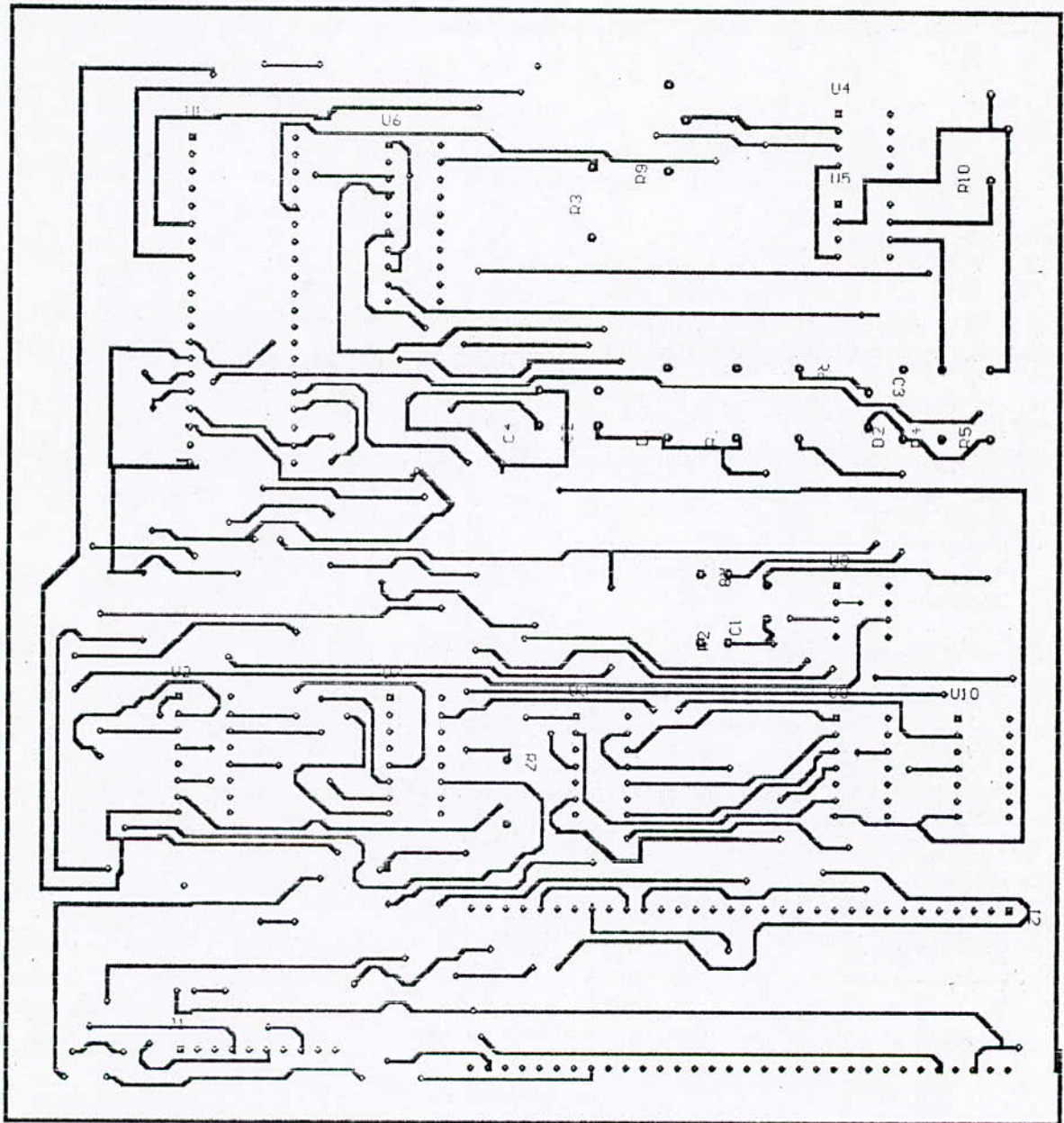
Il reste cependant, que notre carte peut faire l'objet d'amélioration sur deux plans :

- Au niveau matériel, et moyennant quelques modifications peut devenir une carte plus précise et plus complète en remplaçant les composants à 8 bits par d'autres de 16 ou 32 bits.
- Au niveau logiciel, quelques modifications ou enrichissements peuvent être ajoutés pour étendre l'utilisation de notre carte au contrôle ou à la régulation de stockage d'énergie électrique fournie par les générateurs photovoltaïques. Cette utilisation peut étendre aussi pour caractériser autres dispositifs ou circuits électriques.

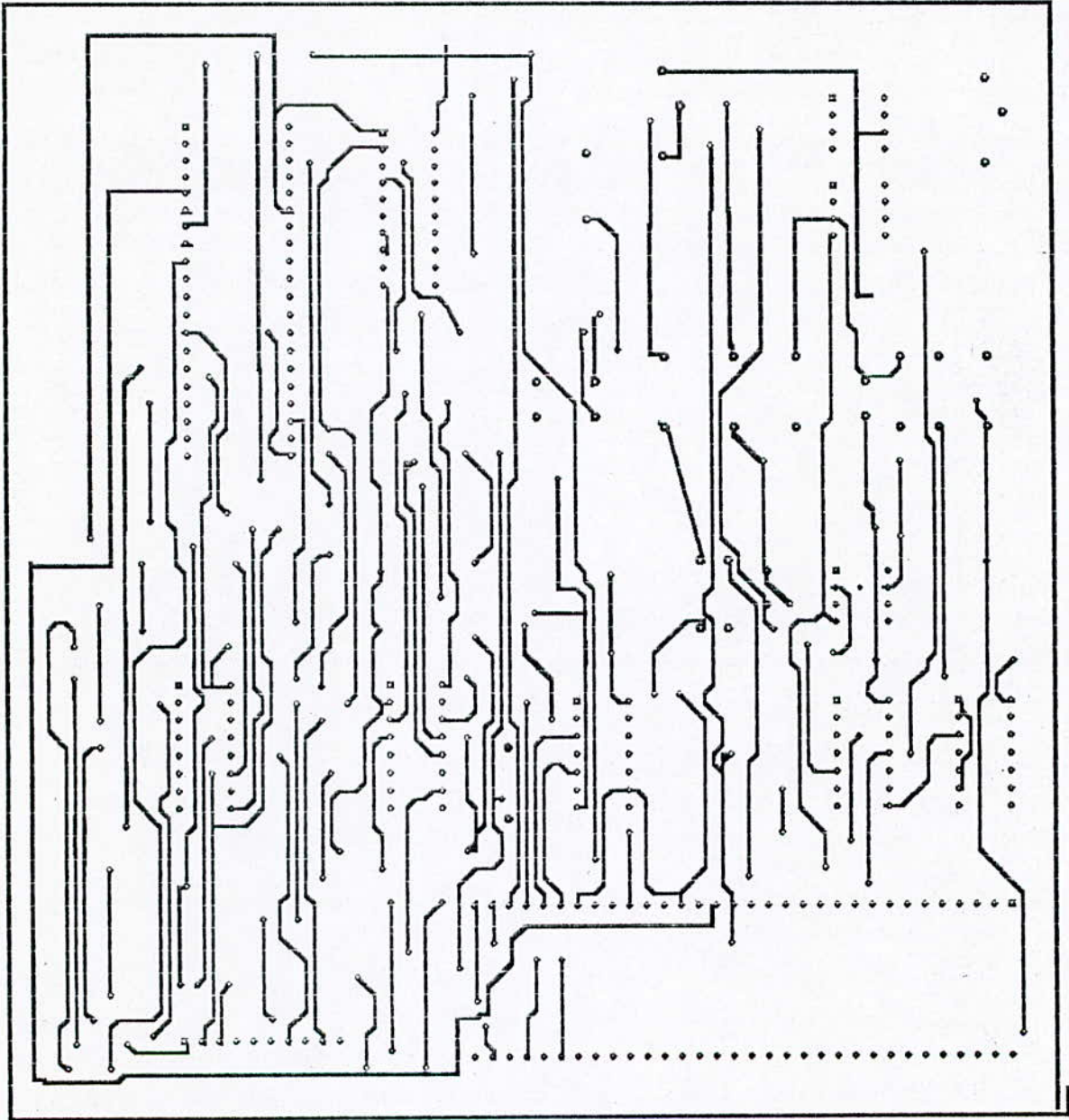
BIBLIOGRAPHIE

- 1- Technologie des composants électroniques. R. BESSON. Ed radio.
- 2- Circuits. C. CIARCIA. Ed Mc Graw- Hill 1985.
- 3- Electricité solaire. W. PALZ. Ed Dunod.
- 4- Interfaces PC. P. OGUIC. ETSF 1994.
- 5- Structure des ordinateurs. M. KOUDIL & S. KHALIFATI. OPU.
- 6- The indispensable PC hardware book. HANS & P. MESSMER.
- 7- Manuel des interfaces. S. LEIBSON. Ed Mc Graw- Hill 1982.
- 8- Circuits numériques. R. TOCCI. Ed Bordas 1988.
- 9- Informatique industrielle. H. SOUBIES & CAMY. Ed radio.
- 10- Maîtrisez les interfaces de votre PC. F. SAGUEZ. Ed Eyrolles 1984.
- 11- Convertisseurs photovoltaïques. Technique de l'ingénieur. D572.
- 12- National semiconductor corporation 1995.
- 13- ADC 0804 HRRIS semiconductor.
- 14- Linear applications handbook National semiconductor.
- 15- PFE Caractérisation électrique des convertisseurs photovoltaïques
A. HOCINE & M. IGHILARIZ. ENP JANVIER 1978.
- 16- PFE Caractérisation des cellules solaires
A. REMITA & HENNINI. ENP JUIN 1980.
- 17- PFE Réalisation d'un appareil de mesure de la puissance maximale d'un panneau solaire
A. BENOuada & A. BENGHANEM. ENP JUIN 1980.
- 18- Magister Réalisation d'interface A/N et N/A compatible IBM PC pour la génération des gradients X. Y. Z du champ magnétique
MEKKAOUI. ENP 1991.

ANNEXE

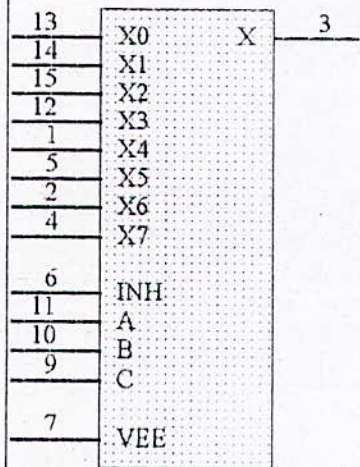


CIRCUIT IMPRIME : FACE A



CIRCUIT IMPRIME FACE :B

4051



Description :
Foot Print 1 : DIP16
Foot Print 2 :
Foot Print 3 :
Foot Print 4 :
Field 1 :
Field 2 :
Field 3 :
Field 4 :
Field 5 :
Field 6 :
Field 7 :
Field 8 :
Designator
Sheet Part



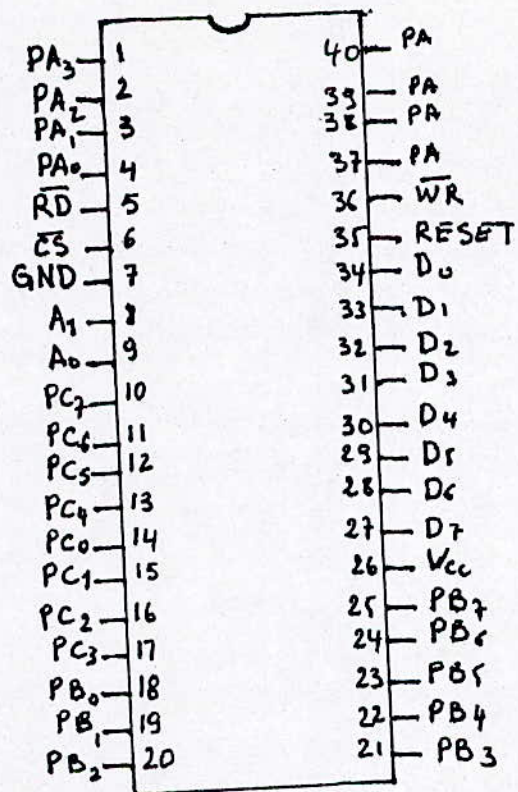


Schéma de brochage du 8255A