

Teac

وزارة التعليم العالي
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

PROJET DE FIN D'ETUDES

SUJET

**CONCEPTION ET REALISATION D'UNE
CARTE UNITE CENTRALE A BASE DU
MICROCONTROLEUR i 80186 D'INTEL**

Proposé par :

H-BOUSBIA-SALAH

Etudié par :

Djamel KHADRAOUI

Dirigé par :

H-BOUSBIA-SALAH
N-BOUZA
A-TAGHLIT

PROMOTION : JUIN 1990

S O M M A I R E :

PREAMBULE

CHAPITRE I GENERALITES.

- I-1) INTRODUCTION AUX PROCESSEURS.....
- I-2) LES MICROCONTROLEURS.....

CHAPITRE II DESCRIPTION DU PROJET.

- II-1) ETUDE DU PROJET.....
 - II-1.a) Besoins et contraintes du système.....
 - II-1.b) Méthodes et étapes de conception du projet....
- II-2) PRESENTATION DE LA CARTE UC186.....
 - II-2.a) Partie matérielle.....
 - II-2.b) Partie logicielle.....
 - II-2.c) Spécifications techniques.....

CHAPITRE III ETUDE SOMMAIRE DU 180186 ET DE L'UART AY-3-1015.

- III-1) ETUDE DU CONTROLEUR 180186.....
 - III-1.a) organisation matérielle.....
 - III-1.b) Fonctionnement du bus.....
 - III-1.c) Les interruptions.....
 - III-1.d) Les modes d'adressage.....
- III-2) ETUDE DE L'INTERFACE DE COMMUNICATION.....
 - III-2.a) Organisation matérielle de l'UART AY-3-1015...
 - III-2.b) Opération de réception.....
 - III-2.c) Opération d'émission.....

CHAPITRE IV : CONCEPTION ET REALISATION DE LA CARTE.

- IV-1) CIRCUIT D'INITIALISATION.....
- IV-2) CIRCUIT D'HORLOGE.....
- IV-3) INTERFACAGE DU BUS.....
 - IV-3.a) Bus d'adresses.....
 - IV-3.b) Bus de données.....
 - IV-3.c) Bus de commande.....
- IV-4) MODULE MEMOIRE.....
 - IV-4.a) Interfaçage avec les EPROM.....
 - IV-4.b) Interfaçage avec les RAM.....
- IV-5) MODULE D'INTERFACE.....
 - IV-5.a) Validation de l'UART.....
 - IV-5.b) Jonction RS232C.....
 - IV-5.c) Sélection de la vitesse de transmission.....
- IV-6) MISE AU POINT DE LA CARTE.....
 - IV-6.a) Outil de développement.....
 - IV-6.b) Problèmes rencontrés.....

CHAPITRE V PARTIE LOGICIELLE.

- V-1) BLOC DE CONTROLE DE PERIPHERIQUES.....
- V-2) SYSTEME D'INITIALISATION.....
 - V-2.a) Programmation du registre RELOCATION.....
 - V-2.b) Programmation du registre UMCS.....
 - V-2.c) Programmation du registre LMCS.....
 - V-2.d) Programmation du registre PACS et MPCS.....

CONCLUSION

BIBLIOGRAPHIE.....

ANNEXES

- SCHEMATHEQUE.....
- DESCRIPTION DU BROCHAGE DU 180186.....
- DESCRIPTION DU BROCHAGE DE L'AY-3-1015.....
- JEU D'INSTRUCTION DU 80186.....

P R É S E N T A T I O N

Dans le cadre de ses activités, le département péri-informatique de la DRD/ENSI a projeté la réalisation d'un système minimal à base d'un microcontrôleur INTEL i80186.

Ce projet qui m'a été proposé consiste d'une part, en la conception et la réalisation de la carte unité centrale et d'autre part en l'implantation d'un software minimum permettant de piloter la carte à travers un terminal clavier-écran.

En plus des généralités (chapitre I) un aperçu global sur la carte et ses spécifications techniques est donné dans le chapitre II de ce présent mémoire .

Le chapitre III est consacré à l'étude des éléments de base à savoir le microcontrôleur i80186 et l'UART AY-3-1015 .

Le chapitre IV décrit tous les détails module par module, s'appuyant sur les schémas électriques.

Dans le chapitre V on trouvera le logiciel développé.

P R É A M B U L E

Il ya une vingtaine d'années, l'industrie informatique a permis de réaliser une unité centrale simplifiée d'ordinateur en un circuit: le microprocesseur qui comprend l'UAL (unité arithmétique et logique) et l'UC (unité de commande).

Vers la fin des années 70, INTEL a lancé l'industrie des microprocesseurs, ainsi l'évolution a été surprenante et plusieurs générations de microprocesseurs 4,8,16 et 32 bits apparaissent sur le marché.

Les différentes technologies utilisées (PMOS, NMOS, HMOS et XMOS) ont permis d'en accroître rapidement les performances (vitesse et capacité de traitement) ainsi que l'intégration de mémoires mortes, d'horloges, de périphériques etc...

De nos jours, le microprocesseur a fait son entrée dans plusieurs domaines, et certaines applications demandent des calculs rapides avec une gestion de mécanismes complexes, cela a très vite conduit à la nécessité de concevoir des microprocesseurs spécialisés susceptibles de réaliser un programme très spécialisé à l'aide d'un jeu d'instructions réduit.

Parmi ces microprocesseurs on peut citer :

- + Les microprocesseurs monolithiques (en un seul circuit) comportant des mémoires (ROM et EPROM), d'horloge, des unités d'entrée-sortie etc...
- + Les microprocesseurs analogiques pour les applications de traitement de signal comprenant un seul calculateur numérique et un système d'acquisition des signaux analogiques.
- + Les coprocesseurs arithmétiques et graphiques.

Enfin les microcontrôleurs : véritables microprocesseurs spécialisés dans la gestion d'échange d'information avec les périphériques. Ils sont caractérisés d'abord, par l'importance du traitement logique par rapport au traitement arithmétique, ensuite, par la possibilité de la manipulation du bit. Ils permettent ainsi de répondre à des applications de contrôle et de communication des terminaux dans les systèmes industriels .

R 8 M 8 R 8 9 8 M 8 N T 9

Qu'il me soit permis, à travers ce document, d'exprimer ma profonde reconnaissance à Mrs BOUZA .N et TAGHLIT.A qui m'ont permis d'effectuer ce stage et réaliser cette étude en m'accueillant à la D.R.D / E.N.S.I, et surtout pour les conseils et les orientations qu'il m'ont prodigué tout le long de mon travail .

Mes remerciements vont aussi à mon promoteur Mr H. BOUSBIA SALAH qui m'a assisté, soutenu et orienté grâce à ses remarques et critiques. . .

Au terme de mon stage qui s'est déroulé au département péri-informatique de l'ENSI, je tiens à exprimer ma profonde gratitude à toute l'équipe du laboratoire :

- + Mr CHAOUCH MANSOUR.
- + Mlle BENKACI LOUISA.
- + Mr FODIL MAMMAR.
- + Mr KHERCHI HAMID.

Mes remerciements s'adressent aussi à mes professeurs de l'ENP "département d'électronique".

Enfin je n'oublie pas celui, qui, de près ou de loin, par sa présence ou en pensée, moralement ou matériellement a contribué à cet aboutissement.

CHAPITRE I

GENERALITES

1-1) INTRODUCTION AUX PROCESSEURS.

1-2) LES MICROCONTROLEURS.

1-1°) INTRODUCTION AUX PROCESSEURS :

Un ordinateur est constitué de trois organes essentiels :

- + L'unité centrale.
- + Les mémoires auxiliaires .
- + et les périphériques d'entrée-sortie.

Il est en outre doté d'un software qui permet de le faire fonctionner.

L'unité centrale comprend :

- + La mémoire centrale dans laquelle on enregistre le programme, les données et les résultats utilisés pendant un traitement .
- + Le processeur qui traite, sous forme arithmétique et logique les données sous le contrôle du programme.

Grâce au progrès de l'intégration, l'industrie informatique a découvert les avantages des ordinateurs. Ainsi, les premiers ordinateurs de la première génération ont utilisé des tubes dans la réalisation des fonctions arithmétiques et logiques .

L'apparition des transistors a révolutionné la technologie des circuits électroniques en réalisant des ordinateurs dont la vitesse de calcul est appréciable.

Enfin les possibilités offertes par les circuits intégrés font actuellement changer la situation : il est maintenant possible de produire à très bas prix un microprocesseur. Ce dernier possède toute la circuiterie nécessaire lui permettant la gestion et le déroulement de tâches de plus en plus complexes. Jusqu'à présent, cela a été l'une des étapes les plus spectaculaires des technologies informatiques .

Le premier processeur, développé par INTEL, le i4004, est apparu au début des années 70 traitant des informations sur 4 bits, celui à 8 bits fut le i8080 d'INTEL. Ce dernier a ouvert une ère nouvelle à l'informatique puisqu'il constitue le cerveau d'un ordinateur.

Mais dans un certain nombre d'applications les performances des microprocesseurs 8 bits ne sont pas suffisantes, car ces applications demandent :

- + Un espace mémoire adressable supérieur à 64 Koctets.
- + Une plus grande rapidité du système.
- + Une sécurité suffisante.

Cela a donné naissance à des processeurs 16 bits de la première génération :

- + LSI 11 de Digital Equipment.
- + Micronova de Data General.
- + TMS 9900 de Texas Instrument.
- + CP 1600 de General Instrument. etc..

Les processeurs 16 bits de la deuxième génération constitués par :

- + i8086 d'INTEL.
- + Z8000 de Zilog .
- + MC 68000 de Motorola .
- + NS 32000 de National Semiconductor.
- + et 99000 de Texas Instrument.

sont caractérisés par une performance de traitement élevée, une capacité d'adressage supérieure ou égale à 1 Moctet avec un mode d'adressage varié.

Aujourd'hui, plusieurs exigences sont apparues, parmi elles l'aptitude de traitement des entrées/sorties complexes à de grandes vitesses avec des calculs de haute performance.

I-2°) LES MICROCONTROLEURS :

Au fur et à mesure que se sont développés les systèmes à microprocesseur, leurs concepteurs ont vite ressenti le besoin de décharger l'unité centrale de toutes tâches annexes qui pouvaient la ralentir. Face à cette demande croissante et galopante des besoins de calculs rapides et dans le but de gérer et contrôler des mécanismes complexes telsque :

- + Instrumentation.
- + Téléphonie.
- + Distribution automatique de billets.

les constructeurs de composants ont étudié spécialement des microprocesseurs dédiés à ces secteurs dynamiques: Ce qui a donné naissance aux microcontrôleurs.

Les microcontrôleurs apparus jusqu'à ce jour, suivent une évolution similaire aux microprocesseurs; en effet un microcontrôleur est un composant reprenant comme unité centrale le microprocesseur associé dans la même famille.

Ils possèdent plusieurs fonctions supplémentaires dans la gestion de mécanismes et ce, grâce à l'intégration des différents circuits mémoires et périphériques telsque des ports d'entrée-sortie, des compteurs, des temporisateurs, ainsi que des convertisseurs analogiques/numériques et autres.

D'une manière générale, les microcontrôleurs offrent d'énormes possibilités d'applications de commande complexes disposant de quatres fonctions principales :

- + Fonction d'interruptions déclenchées par des événements.
- + Fonction de gestion de ces événements dans le temps par des chronometres.
- + Formation des ports d'E/S.
- + Spécialisation du jeu d'instruction.

L'évolution des microcontrôleurs d'INTEL a donnée naissance à trois grandes familles qui sont:

- + MCS 48 caractérisée par le i8048 (8 bits).
- + MCS 51, caractérisée par le i8051 (8 bits).
- + MCS 96 caractérisée par le i80186 (16 bits).

CHAPITRE II

DESCRIPTION DU PROJET

II-1) ETUDE DU PROJET

II-1.a) Besoins et contraintes du système.

II-1.b) Méthodes et étapes de conception du projet.

II-2) PRESENTATION DE LA CARTE UC186

II-2.a) Partie matérielle.

II-2.b) Partie logicielle.

II-2.c) Spécifications techniques.

II-1) ETUDE DU PROJET

La première tâche dans la conception d'un système logique est de définir le cahier des charges, en identifiant les besoins et contraintes du système.

II-1.a) Besoins et contraintes du système.

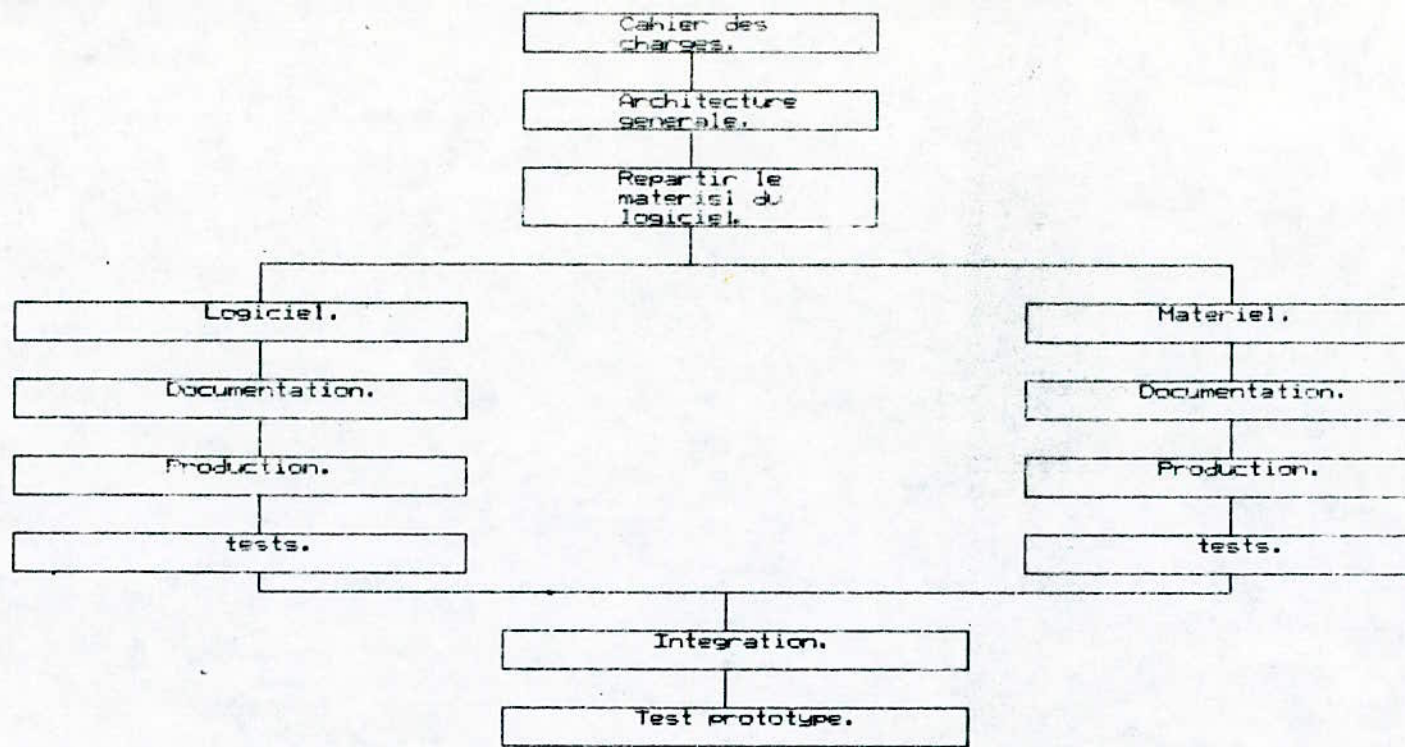
La carte UC186 (unité centrale à base du microcontrôleur 180186) à réaliser doit répondre aux spécificités définies dans le cahier des charges à savoir :

- + L'utilisation du microcontrôleur 180186 piloté par un quartz de 16 Mhz.
- + Une capacité de mémoire vive de 32 Kmots.
- + Une capacité de mémoire EPROM de 32 Kmots.
- + Une possibilité de communication avec un terminal écran-clavier à des vitesses variant de 110 à 9600 bauds, via un port serial standard RS232C.
- + Possibilité de remise à zéro manuelle et automatique.
- + Implantation d'un noyau soft de démarrage et de test à la mise sous tension.

II-1.b) Méthodes et phases de conception du projet.

Un programme d'action muni d'un calendrier mensuel a été suivi lors de la conception, la réalisation et la documentation de ce projet de fin d'étude dans le but de respecter les délais prévus.

Un organigramme et un tableau des différentes tâches définies dans le projet, sont présentés en figure II-1



	RECHERCHE BIBLIOGRAPHIQUE	ETUDE THEORIQUE	CONCEPTION DU SYSTEME	REALISATION ET MISE AU POINT	LOGICIEL	DOCUMENT
OCT.	■					
NOV.	■					
DEC.	■	■				
JAN.	■	■	■			
FEV.		■	■	■		
MAR.			■	■	■	
AVR.				■	■	■
MAI.					■	■
JUI.					■	■

FIGURE II-1
PHASES DE L'ETUDE DU PROJET

II-2) PRESENTATION DE LA CARTE UC186 :

La carte unité centrale batie autour du microcontrôleur 180186 d'INTEL implémente aussi :

- + Les mémoires RAM et EPROM .
- + Le module d'interface .
- + Les registres tampons et buffers .

Cette carte est alimentée par une tension unique de 5V.

Un terminal clavier-écran classique sert de support pour la communication.

La figure II-2 donne un synoptique général de la carte UC186.

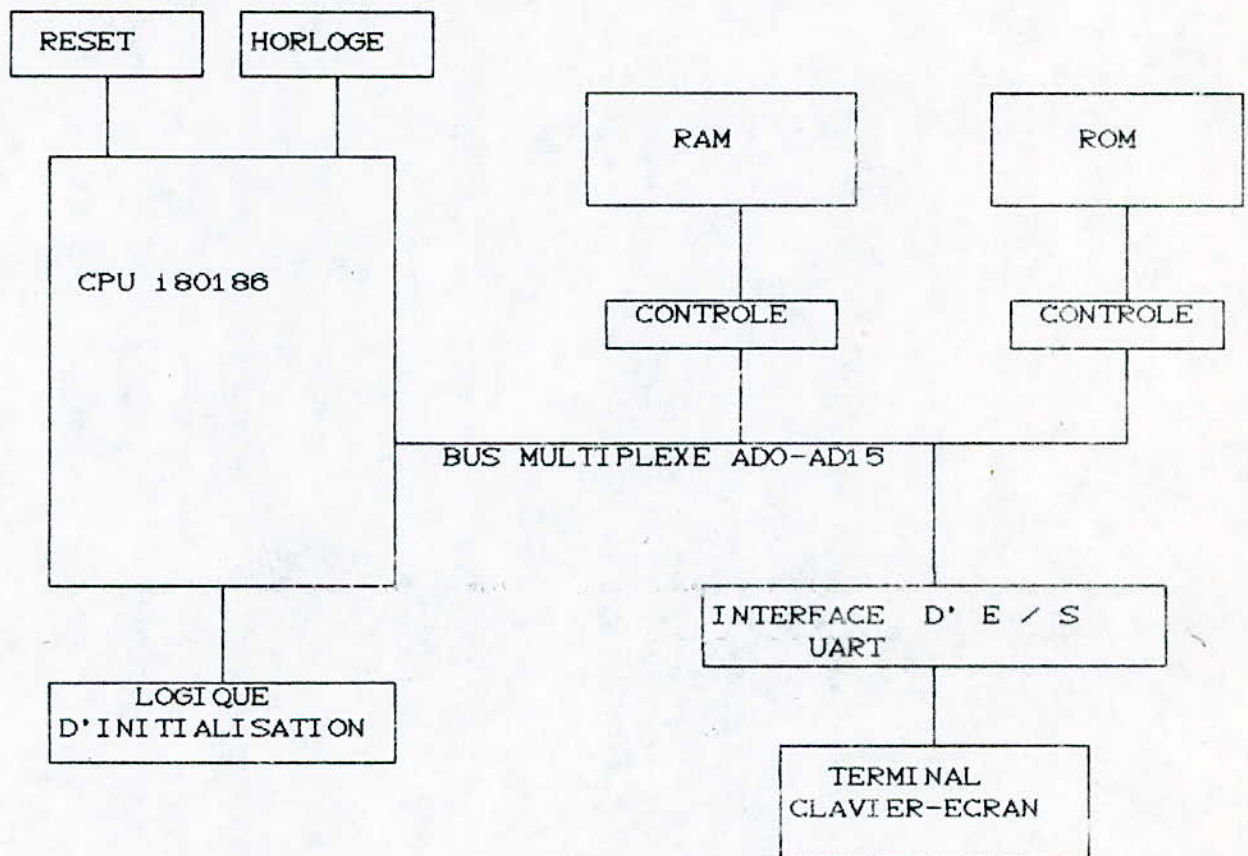


FIGURE II-2

Synoptique général de la carte.

II-2.a) Partie matérielle :

Le microcontrôleur i80186 est piloté par un cristal de 16 Mhz qui est la fréquence maximale permise .

La mémoire est découpée en deux blocs distincts, l'un est pour les octets poids faible, un autre pour les octets poids fort. Elle offre à l'utilisateur une capacité de 32 kmots RAM type HD62256 et 32 Kmots EPROM type i27256 ou i2716.

On utilise un circuit d'interface serie type AY-3-1015, AY-3-1013, l'ACE 8250 ou i8251A, pour pouvoir communiquer avec un terminal.

Les niveaux RS232 sont fabriqués grâce à des convertisseurs de niveau type MC 1488, MC 1489, MAX 238 CNG, MAX 237 CNG qui réalisent la conversion 5V +/- 12V .

II-2.b) Partie logicielle :

Le logiciel développé comporte des programmes d'initialisations afin de permettre des entrées-sorties avec le terminal. Cette routine d'initialisation sera logé à l'EPROM.

II-2.c) Spécifications techniques :

Les spécifications techniques de la carte UC186 sont données dans le tableau de la figure II-3.

Element specifié		Caracteristiques
controlleur		i80186
Horloge	CPU	6 OU 8 Mhz
	PERIPH.	5.069800Mhz
Memoire	EPR0M	2 , 32 Koctets
	RAM	2 , 32 Koctets
Entree-Sortie		Un interface seriel compatible RS232C UART AY-3-1015 avec BAUD RATE réglable : 9600, 4800, 2400, 1200, 600, 300, 150, 110 bauds.
Switchs		RESET MANUEL
		SELECTION DU BAUD RATE
		SELECTION DU MOT D'ETAT
Alimentation		MONOTENSION 5V / 1A MAX
Temperature de fonctionnement		0 a 50 Degre C

figure II-3

Specifications techniques de la carte UC 186

CHAPITRE III

ETUDE SOMMAIRE DU 180186 ET DU AY3-1015

III-1) ETUDE DU CONTROLEUR 180186

III-1.a) Organisation matérielle du 180186.

III-1.b) Fonctionnement du bus.

III-1.c) Les interruptions.

III-1.d) Les modes d'adressage.

III-2) ETUDE DE L'INTERFACE DE COMMUNICATION AY-3-1015

III-2.a) Organisation matérielle de l'UART AY-3-1015.

III-2.b) Opération de réception.

III-2.c) Opération d'émission.

III-1 ETUDE DU CONTROLEUR i80186

Le microcontrôleur i80186 complète la famille iAPX 86 d'INTEL en intégrant l'architecture i8086 dans les applications de microcontrôle et de transfert de données; il intègre en effet plusieurs modules supplémentaires :

- + Deux canaux DMA indépendants.
- + Deux temporisateurs programmables .
- + Un générateur d'horloge .
- + Un contrôleur d'interruption programmable.
- + Un contrôleur de bus local.

Le i80186 est totalement compatible avec le logiciel du i8086 au niveau du jeu d'instructions, suivant en cela la compatibilité ascendante chère à INTEL; il contient en outre 10 nouvelles instructions.

Il est caractérisé par :

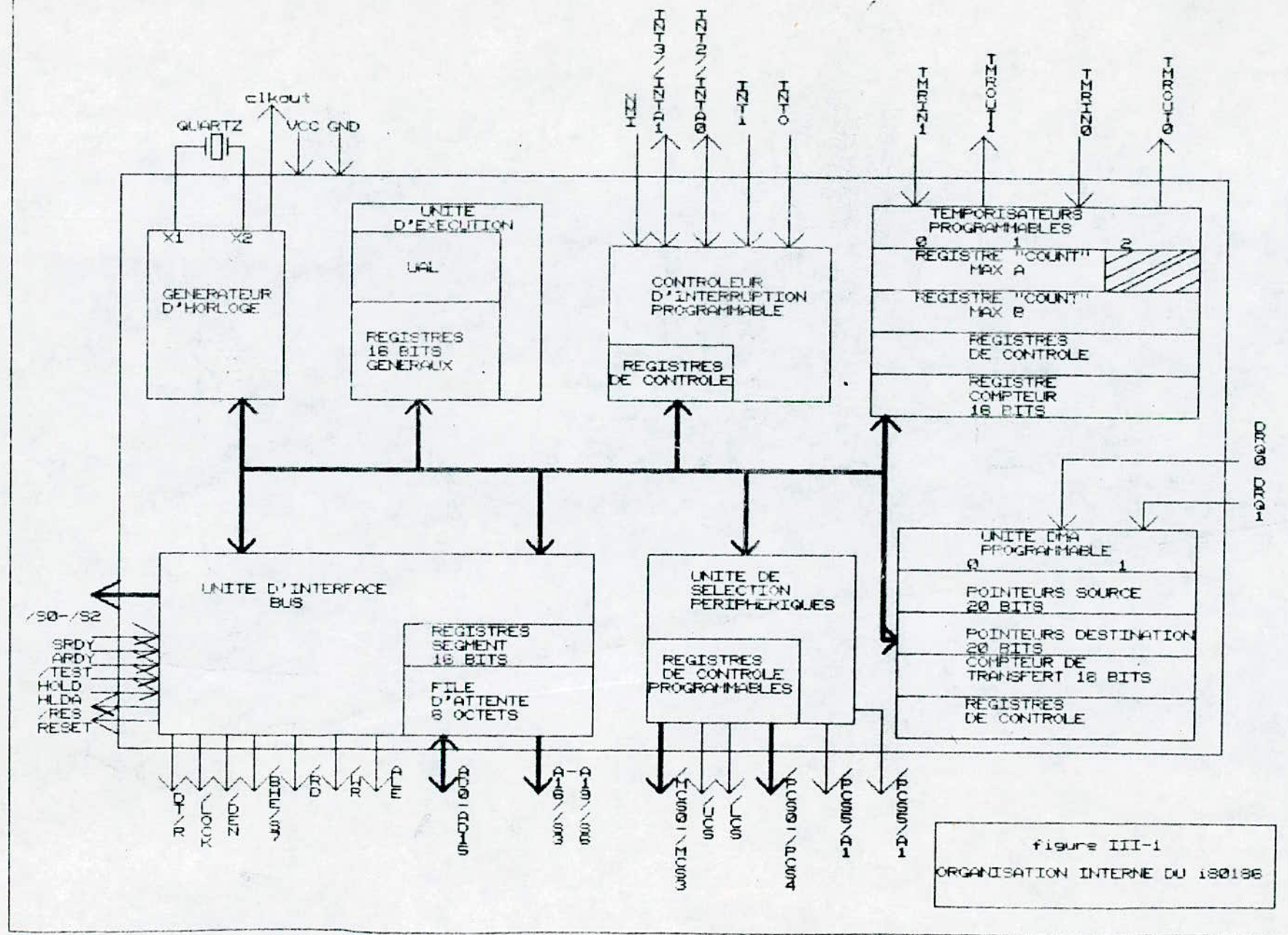
- + Un bus d'adresses/données multiplexé de 16 bits.
- + Un adressage paginé.
- + Quatre espaces adressables séparés ,programme, données, pile, données supplémentaires.
- + Des lignes de sélection prêtes à sélectionner la mémoire et les périphériques.

III-1.a) ORGANISATION MATERIELLE DU i80186 : (figure III-1)

Le i80186 est disponible dans un boîtier carré à 68 broches sous deux versions (8 Mhz et 6 Mhz). Il comprend sept modules intégrés :

- + Une unité d'exécution.
- + Une unité d'interface bus.
- + Un générateur d'horloge.
- + Un contrôleur d'interruption.
- + Des temporisateurs programmables.
- + Une unité DMA (DIRECT ACCESS MEMORY)
- + Une unité de sélection de périphériques.

L'organisation interne du i80186 est montrée en figure III-1.



A- L'UNITE D'EXECUTION "EU":

Elle procède à l'exécution des instructions. Elle comporte les registres généraux AX, BX, CX, DX, SI, DI, BP, SP et les FLAGS (indicateurs).

+ L'accumulateur AX effectue les opérations arithmétiques et logiques.

+ Les registres de base et d'index BX, BP, SP, DI servent pour viser une cellule mémoire dans un segment.

+ Le compteur C sert de compteur lors des instructions de boucles et rotations.

+ Le registre de donnée DX est utilisé comme registre d'adresse d'E/S.

+ Le pointeur de pile SP sert à viser le segment d'une pile.

+ Les FLAGS donnent l'état du résultat d'une opération.

B- L'UNITE D'INTERFACE BUS "BIU":

Elle procède à tous les accès de la mémoire. Elle contient les registres segment CS, DS, ES, SS par l'intermédiaire desquels se fait tout accès à la mémoire. Elle délivre tous les signaux de commande, de contrôle et d'état du bus et contient une file d'attente de six octets. Elle permet de générer l'adresse sur 20 bits (adresse physique)

C- LES CANAUX DMA :

Le 180186 a deux canaux DMA (DIRECT ACCESS MEMORY) indépendants. Chaque canal assure le transfert entre l'espace mémoire et celui d'entrée/sortie, ce transfert peut se faire sur des mots de 8 ou 16 bits à des adresses paires ou impaires.

Chaque canal possède six registres dans le bloc de contrôle:

+ Deux pointeurs source sur 20 bits se situant aux offsets C0h-C2h (canal 0), D0-D2h (canal 1)

+ Deux pointeurs destination sur 20 bits se situant aux offsets C4-C6h (canal 0), D4h-D6h (canal 1)

+ Un compteur de transfert sur 16 bits se situant à l'offset C8h (canal 0), D8h (canal 1).

+ Un registre de contrôle de mots sur 16 bits se situant à l'offset CAh (canal 0), DAh (canal 1).

D- LE CONTROLEUR D'INTERRUPTION :

Le i80186 peut recevoir quatre demandes d'interruptions non masquables et une masquable. Le contrôleur rassemble ces demandes et prend en compte la plus prioritaire.

En fait le i80186 intègre en son sein un contrôleur d'interruption de type 8259A d'INTEL.

Les demandes provenant des canaux DMA peuvent être directement désactivées par leurs propres registres de contrôle ou par les bits de masque internes au contrôleur d'interruption.

Le contrôleur d'interruption opère en deux modes programmables:

- + Mode MAITRE contrôlé par 15 registres dont chacun occupe deux octets dont les offsets se situent entre 22h et 3Eh.

- + Mode iRMX 86 contrôlé par 12 registres dont chacun occupe deux octets se situant entre 20h et 24h et entre 28h et 3Ah.

E- LES TEMPORISATEURS :

Le i80186 possède trois temporisateurs de 16 bits dont deux peuvent être utilisés pour la génération des temporisations ou pour compter des événements externes.

Le troisième sert pour les applications temps réel, il n'est connecté à aucune broche et nécessite la génération de temporisations internes et peut être utilisé comme diviseur d'horloge pour les autres temporisateurs.

Tous les temporisateurs sont contrôlés à partir de 11 registres de 16 bits dans le bloc de contrôle interne.

F- SELECTION PROGRAMMABLE DE L'ESPACE D'E/S :

Le i80186 dispose de sept lignes de sélection de l'espace d'entrée/sortie prêtes à être connectées aux périphériques. Ces sept lignes dénommées $\overline{\text{PCSO}}-\overline{\text{PCS6}}$ sont activées chacune sur un bloc de 128 octets, occupant des espaces contigus définis à partir d'une adresse de base se trouvant dans l'espace mémoire ou dans l'espace d'E/S.

Toutes les lignes sont contrôlées par deux registres PACS et MPCS qui fournissent l'adresse de base des périphériques.

Ces lignes ne peuvent être activées qu'après lecture de ces deux registres qui se situent respectivement aux offsets A4h et A8h.

G- SELECTION PROGRAMMABLE DE L'ESPACE MEMOIRE :

Le i80186 dispose de six broches de sélection de la mémoire pour trois domaines d'adressage : mémoire basse, intermédiaire et haute. La capacité de chacun est fixée par programme et peut être de 2, 4, 8, 16, 32, 64, ou 128 Koctet.

La mémoire basse est comprise entre une limite basse 0000h et une limite supérieure programmable dans le registre LMCS. Cette zone se situant à l'offset A2h est contrôlée par la ligne $\overline{\text{LCS}}$.

La limite de la mémoire haute est définie à la partie supérieure par FFFFFH et au niveau inférieur par programme, celle-ci est contrôlée par la ligne $\overline{\text{UCS}}$ contrôlée par le registre UMCS se trouvant à l'offset A0h .

Les lignes de sélection de l'espace mémoire intermédiaire sont actives dans l'espace de 1 Moctet en dehors de l'espace réservé pour $\overline{\text{UCS}}$ et $\overline{\text{LCS}}$. Ces lignes sont dénommées $\overline{\text{MCS0-MCS3}}$ contrôlent quatre espaces égaux de la mémoire intermédiaire, ces dernières sont contrôlées par deux registres MMCS et MPCS se situant respectivement aux offsets A6h et A8h .

H- GENERATEUR D'HORLOGE :

Le i80186 dispose d'un générateur d'horloge intégré, il suffit de relier le quartz sur ses pins d'entrée. Un oscillateur à quartz peut être utilisé avec un circuit résonnant dont la fréquence est double de celle de travail.

Le brochage du i80186 est décrit en annexe.

III-1.b) FONCTIONNEMENT DU BUS :

Quatre périodes d'horloge du microprocesseur constituent une suite de quatre états désignés par T1, T2, T3 et T4.

Pendant un cycle classique le microprocesseur :

- + Dépose l'adresse d'une position mémoire ou d'un port d'entrée-sortie sur le bus multipléxé à l'état T1.
- + Active le signal de lecture ou le signal d'écriture.
- + Dépose dans le cas d'un cycle d'écriture, une donnée de l'état T2 à l'état T4 sur le bus multipléxé, ou recueille, dans le cas d'un cycle de lecture une donnée pendant les cycles T3 et T4, le bus étant alors à l'état haute impédance à l'état T2.

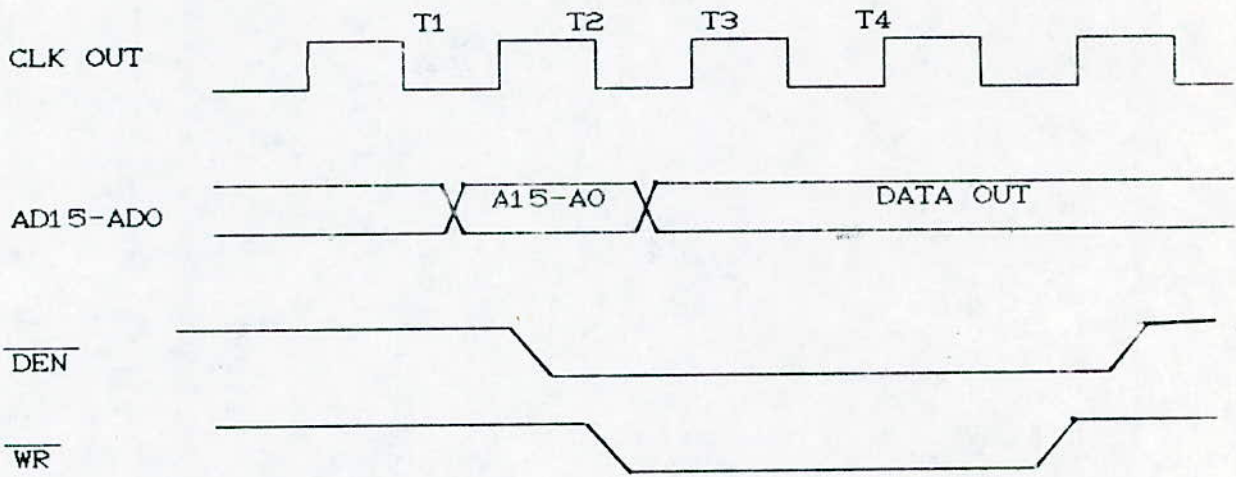
La BIU (BUS INTERFACE UNIT) n'exécute un cycle bus que pour remplir la file d'attente dans laquelle l'EU (EXECUTION UNIT) prélève les mots des instructions, mot après mot, pendant les cycles de recherche .

Au cours des cycles d'exécution des instructions, la BIU est inoccupé pendant de nombreux états dits états TI. Outre ces états inoccupés, le 180186 insère dans certaines conditions des états d'attente TW programmables, pendant lesquels le contenu du bus est inchangé. Ces états insérés entre T3 et T4 sont utilisés lorsqu'une mémoire ou un périphérique n'est pas assez rapide pour déposer sur le bus une donnée à l'état T4 dans le cas d'une lecture par exemple.

Les échanges entre le microcontrôleur et la mémoire ou les périphériques se fait selon des cycles bien définis : le cycle de lecture et le cycle d'écriture.

+ Cycles de lecture : Pendant un cycle de lecture, le contrôleur reçoit des données de la mémoire ou d'un périphérique. Il lit les octets de données dans tous les cas et utilise pour cela le bit A0 et $\overline{\text{BHE}}$ pour préciser la voie que doit emprunter la donnée.

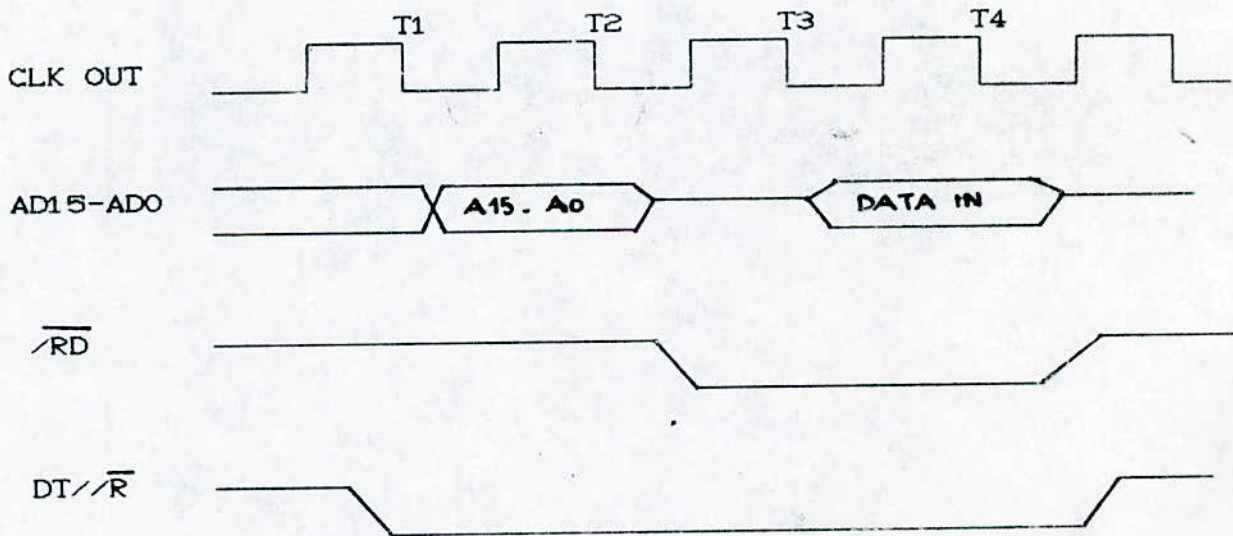
Si l'instruction spécifie une opération sur un mot de 16 bits, dans ce cas $A0=0$ et $\overline{BHE}=0$. Un chronogramme du cycle de lecture d'un mot est donné comme suit :



Cycle de lecture.

+ **Cycles d'écriture** : Lors d'un cycle d'écriture, le contrôleur envoie des données à une mémoire ou à un périphérique.

La structure d'un cycle d'écriture est décrite à l'aide du chronogramme suivant :



Cycle d'écriture.

III-1.c) LES INTERRUPTIONS :

On appelle interruption tout changement de tâche du contrôleur dûe le plus souvent à des événements internes (logiciel) ou externes (matériel).

Les interruptions du i80186 sont du type vectorisé et qu'à chaque interruption correspond un numéro de vecteur qui est un nombre de 8 bits , ce dernier multiplié par 4 donne l'adresse du vecteur d'interruption.

La table d'interruption contient 256 vecteurs de 32 bits située en mémoire basse 000h à 3FFh et est représentée comme suit:

NOM DE L'INTERRUPTION	VECTEUR NUMERO
DIVISION PAR ZERO	0
PAS A PAS	1
NMI : nom masquable	2
BREAKPOINT	3
OVERFLOW	4
ARRAY BOUNDS	5
UNUSED - OPCODE	6
ESC - OPCODE	7
TIMER 0	8
TIMER 1	18
TIMER 2	19
RESERVE PAR INTEL	9
DMA 0 (CANAL 0)	10
DMA 1 (CANAL 1)	11
INT 0	12
INT 1	13
INT 2	14
INT 3	15

III-1.d) MODES D'ADRESSAGE :

Le i80186 dispose de huit modes d'adressage :

★ **Mode d'adressage des registres :**

L'opérande est localisé dans un des registres généraux 8 ou 16 bits.

★ **Mode d'adressage des opérands immédiats :**

L'opérande est inclus dans l'instruction.

★ **Mode d'adressage direct :**

L'offset de l'opérande est contenu dans l'instruction comme un déplacement sur 8 ou 16 bits .

★ **Mode d'adressage des registres indirect :**

L'offset de l'opérande est dans l'un des registres SI,DI,BX ou BP.

★ **Mode d'adressage basé :**

L'offset de l'opérande est la somme d'un déplacement sur 8 ou 16 bits et le contenu du registre de base (BX ou BP).

★ **Mode d'adressage indexé :**

L'offset de l'opérande est la somme d'un déplacement sur 8 ou 16 bits et le contenu d'un registre d'index (SI ou DI).

★ **Mode d'adressage basé indexé :**

L'offset de l'opérande est la somme du contenu d'un registre de base et d'un registre d'index .

★ **Mode d'adressage basé avec déplacement :**

L'offset de l'opérande est la somme des contenus d'un registre de base et d'index et d'un déplacement sur 8 ou 16 bits.

III-2 ETUDE DE L'INTERFACE DE COMMUNICATION AY-3-1015

Il existe deux principaux types d'interfaces :

+ Les interfaces parallèles pour transmettre les informations entre les équipements sur plusieurs fils, chaque fil transporte un seul bit d'un caractère .

+ Les interfaces séries fournissent une solution économique, ils permettent de communiquer avec la périphérie sur un seul fil. Elles effectuent en fait les conversions série/parallèle et parallèle/série.

En communication l'interfaçage série est le plus utilisé .

A l'origine, les interfaces série utilisaient des registres à décalage pour les conversions parallèle/série et série/parallèle. Ces registres fonctionnent bien pour les liaisons synchrones mais pour la réception asynchrone il faudrait une circuiterie pour synchroniser le registre à décalage de réception avec les bits qui arrivent.

De nos jours, des transmetteurs/récepteurs combinés ont été mis sur le marché au point qu'un seul circuit intégré fournit tous les signaux nécessaires pour la transmission.

Chaque interface recouvre un domaine d'application bien spécifique, il existe des interfaces série asynchrones(UART*), synchrones/asynchrones(USART*) et synchrones.

On distingue principalement :

+ L'UART AY-5-1013A de GENERAL INSTRUMENT avec deux tensions d'alimentation .

+ L'UART AY-3-1015 de GENERAL INSTRUMENT avec une seule tension d'alimentation.

+ L'ACIA 6850 de MOTOROLA.

+ L'ACE 8250 de NATIONAL SEMICONDUCTOR.

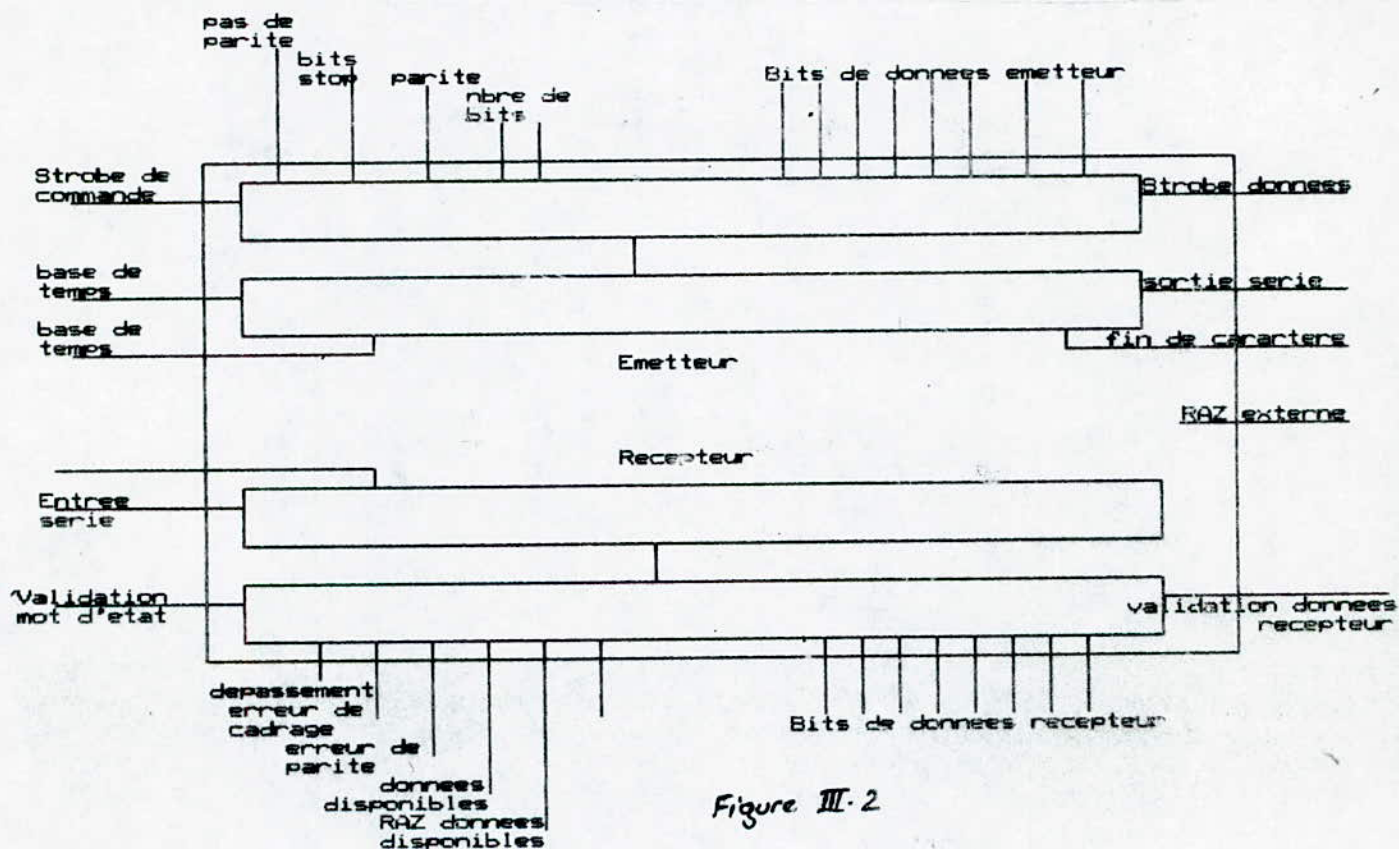
+ L'USART i8251A d'INTEL.

III-2. a) ORGANISATION MATERIELLE DE L'UART AY-3-1015:

(figure III-2)

L'UART se présente dans un boîtier DIP à 40 broches, il est utilisé dans le but de permettre la communication entre l'unité centrale et un terminal.

Sur le schéma fonctionnel de l'UART AY-3-1015 (figure III-2) on distingue deux sections principales, le récepteur et l'émetteur, ils fonctionnent indépendamment mais ont les broches de commande et d'état en commun.



En pratique, l'UART peut être considéré comme constitué par quatre registres indépendants ayant chacun sa broche de commande.

Deux de ces registres peuvent être écrits (le registre tampon d'émission et un registre de commande) et les deux autres peuvent être lus (le registre tampon de réception de données et un registre d'état).

Chacun de ces deux registres a ses propres lignes de données et sa propre ligne de commande.

III-2. b) OPERATION DE TRANSMISSION :

La partie transmission assure la transformation parallèle série de la donnée présente sur le bus de données émission au moment du déclenchement de la transmission. Le signal série SO est généré sur la broche de sortie de l'UART.

Une horloge de fréquence Ft égale à 16 fois la vitesse de transmission de données est appliquée à l'entrée TCP de l'UART.

L'émetteur est prêt à fonctionner en mettant à "1" les lignes TBMT, EOC, et SO.

Les broches de commande sont introduites en mettant à "1" la broche CS de l'UART.

A l'aide de la ligne de commande DS (DATA STROBE) on peut charger le registre d'émission avec un caractère en plaçant les niveaux appropriés sur les lignes bits de données. La broche TBMT (TRANSMIT BUFFER EMPTY) passe alors à zéro, indiquant que le buffer est plein.

Lorsque c'est fait, la ligne d'état EOC (END OF CHARACTER) passe à l'état bas et le maintient jusqu'à ce qu'un autre caractère soit écrit dans le registre et dans ce cas, TBMT passe à "1" indiquant que le buffer est prêt à recevoir un autre caractère.

III-2. c) OPERATION DE RECEPTION :

La partie réception de l'UART assure la transformation série parallèle de la donnée présente sur la broche SI de l'UART. Cette transformation est synchronisée par une horloge dont la fréquence est 16 fois la vitesse de transmission appliquée à la broche RCP.

Le microcontrôleur attend que la ligne DAV (DATA AVAILABLE) apparaisse avant de lire un caractère dans le registre de réception, si non les données lues sont soit le dernier caractère soit des signaux parasites.

Un caractère peut être lu en validant la ligne RDE (VALIDATION DONNEES RECEPTION) en faisant apparaître le contenu du registre de réception sur les lignes BITS DE DONNEES

Un caractère comprend 5 à 8 bits de données, un bit de départ(start) un éventuel bit de parité et 1 ou 2 bits d'arrêt(stop).

L'ordre de travail de l'UART repose sur le choix de :

- + La vitesse de transmission des données (en BAUD)
- + Le nombre de bits par caractère.
- + Le mode parité.
- + Le nombre de bits stop.

Dans le but d'avoir une certaine universalité de l'UART les lignes de commandes :

- + NP (PAS DE PARITE).
- + TSB (NOMBRE DE BITS STOP).
- + EPS (PARITE PAIRE /IMPAIRE).
- + NB1 et NB2 (NOMBRE DE BITS PAR CARACTERE).

sont sélectionnées extérieurement et introduites au moyen de la ligne de commande CS (command strobe).

L'information de commande sur les lignes de l'UART est résumé comme suit :

NOM	FONCTION			
	NP: Pas de parité	0	Parité en émission et en réception	
1		Pas de parité		
TSB: Nombre de bits stop	0	Un bit stop		
	1	Deux bits stop		
EPS: Parité P/I	0	Parité impaire		
	1	Parité paire		
NB1	0	1	0	1
NB2	0	0	1	1
Nombre de bits de données	5	6	7	8

Le brochage de l'UART AY-3-1015 et sa description sont présentés en annexe.

DISPONIBLES.

Le contrôleur doit lire le caractère puis instaurer la broche RDAV de l' UART et se prépare pour le prochain caractère.

La réception se fait avec vérification des bits parité et stop.

CHAPITRE IV

CONCEPTION ET REALISATION DE LA CARTE UC188

IV-1) CIRCUIT D'INITIALISATION.

IV-2) CIRCUIT D'HORLOGE.

IV-3) INTERFACAGE DU BUS.

IV-3. a) BUS D'ADRESSES.

IV-3. b) BUS DE DONNEES.

IV-3. c) Bus de commande.

IV-4) MODULE MEMOIRE.

IV-4. a) INTERFACAGE EPROM.

IV-4. b) INTERFACAGE RAM.

IV-5) MODULE D'INTERFACE.

IV-5. a) VALIDATION DE L'UART.

IV-5. b) JONCTION RS232C.

IV-5. c) SELECTION DE LA VITESSE DE TRANSMISSION.

IV-6) MISE AU POINT DE LA CARTE.

IV-6. a) OUTIL DE DEVELOPPEMENT.

IV-6. b) PROBLEMES RENCONTRES.

Tout système logique géré par un microprocesseur comprend essentiellement une mémoire des interfaces d'entrée-sortie et différents circuits de contrôle et buffers. Tel est le cas pour la carte UC186 .

Afin de faciliter la conception et la mise au point de la carte, il était nécessaire, vu l'absence de système de développement adéquat de répartir les fonctions principales de la carte en différents modules indépendants.

La figure IV-1 représente le schéma bloc de la carte UC186

Le fonctionnement de chaque module va être détaillé dans les paragraphes suivants.

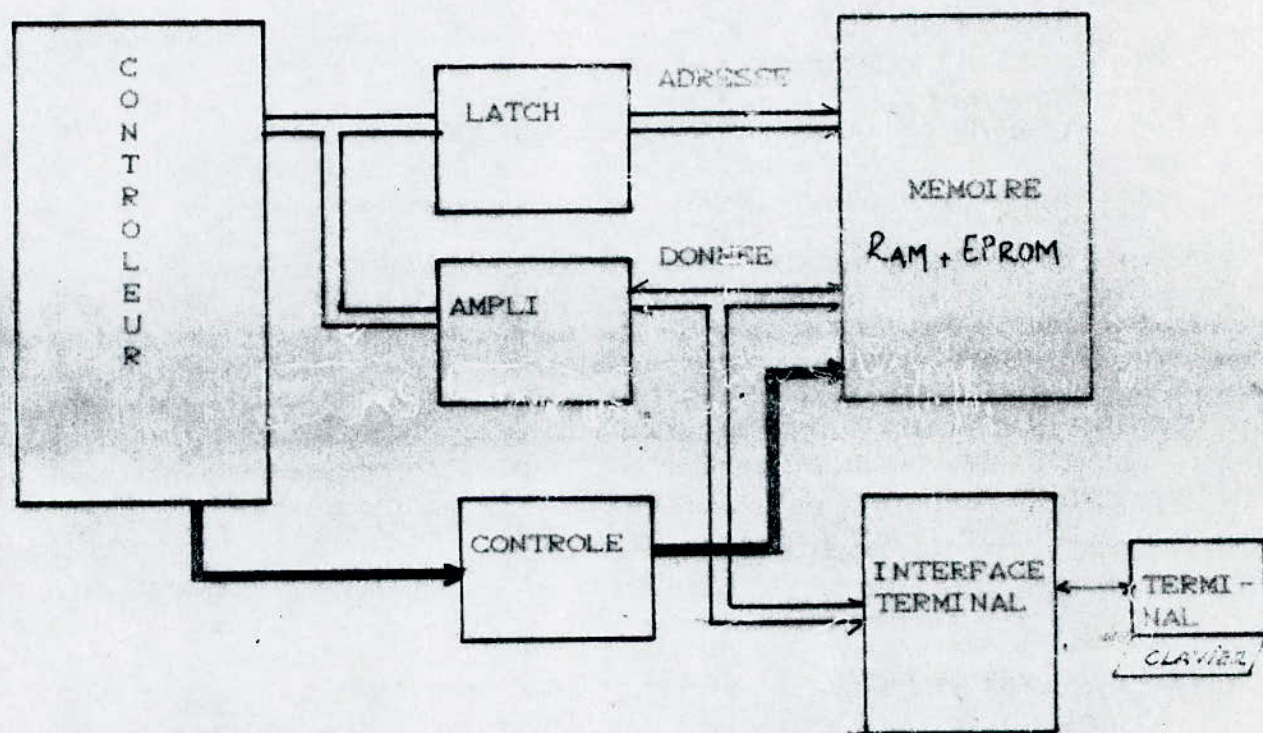


FIGURE IV-1
SYNOPTIQUE DE LA CARTE UNITE CENTRALE.

IV-1) LE CIRCUIT D'INITIALISATION : (figure IV-2)

L'initialisation du contrôleur est accomplie en mettant à l'état bas la broche d'entrée \overline{RES} pendant au moins quatre cycles d'horloge. Le générateur d'horloge synchronise le signal avec la sortie CLKOUT (sortie horloge du contrôleur).

Un simple circuit RC permet la remise à zéro à la mise sous tension en générant un signal exponentiel.

Un bouton poussoir est prévu pour permettre au manipulateur de générer une séquence d'initialisation manuelle. Une bascule RS (anti-rebond) est utilisée dans le but d'avoir une bonne immunité au bruit.

Ainsi la sortie de l'anti-rebond est combinée à celle du circuit RC par une porte AND et assure l'initialisation du contrôleur et de l'UART.

L'activation de \overline{RES} forcera le 180186 à terminer son exécution ainsi que toutes les activités du bus local. Une fois l'initialisation accomplie, le contrôleur commence l'exécution de l'instruction à l'emplacement d'adresse physique FFFF0h après sept cycles d'horloge. Le RESET initialise les registres suivants:

MOT D'ETAT	F002H
POINTEUR D'INSTRUCTION	0000H
CODE SEGMENT	FFFFH
SEGMENT DE DONNEES	0000H
SEGMENT SUPPLEMENTAIRE	0000H
SEGMENT DE PILE	0000H
REGISTRE DE RELOCATION	20FFH
REGISTRE UMCS	FFFBH

Tableau des différents registres affectés au RESET.

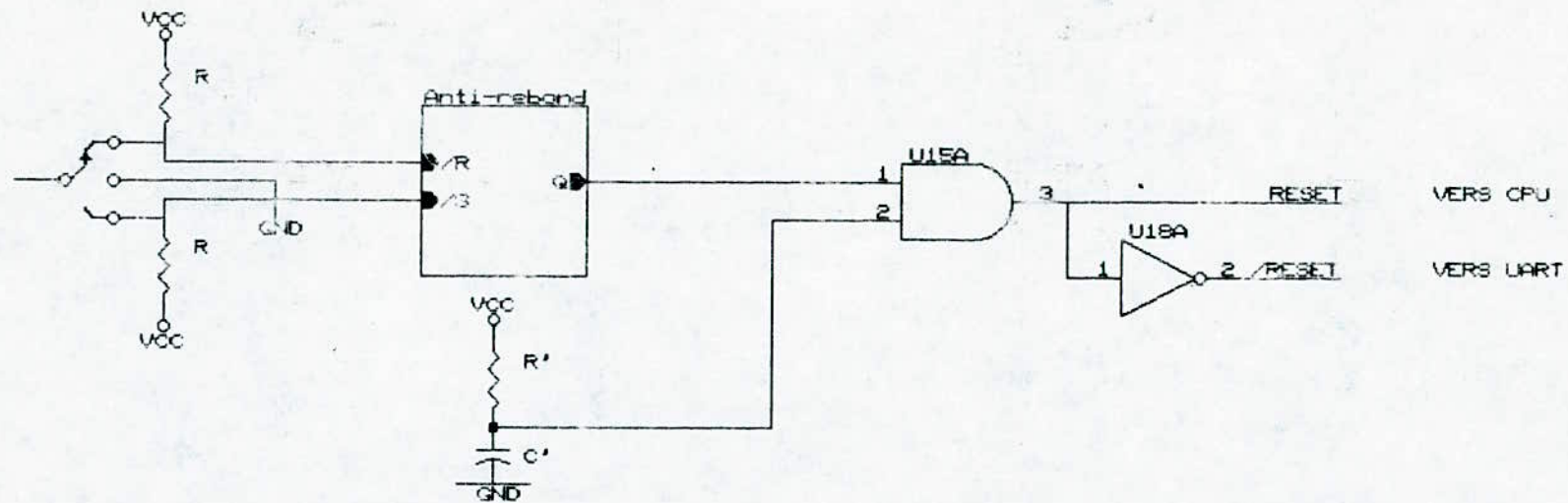


FIGURE IV-2
CIRCUIT D'INITIALISATION

IV-2) LE CIRCUIT D'HORLOGE : (figure IV-3)

Le contrôleur possède un circuit d'horloge interne, un quartz suffit à cet effet pour générer le signal d'horloge.

Cela consiste à relier les broches du quartz sur les entrées X1 et X2 du contrôleur (voir figure IV-3.a).

Il est possible aussi d'utiliser un circuit d'horloge externe et le relier directement à X1. La broche X2 n'étant pas connectée (Voir figure IV-3.b).

Le circuit d'horloge de l'UC186 est conçu d'une manière simple grâce à quelques résistances, des inverseurs et un quartz. Ce dernier doit être double de la fréquence du CPU.

Les deux possibilités sont montrées sur la figure IV-3.

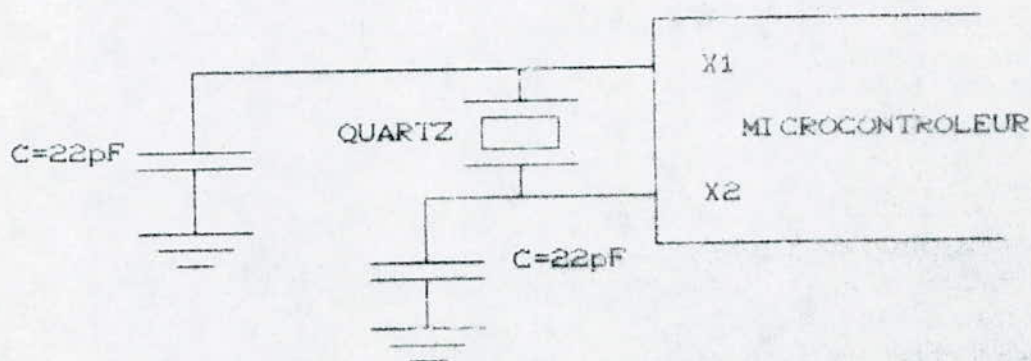


Figure IV-3.a)

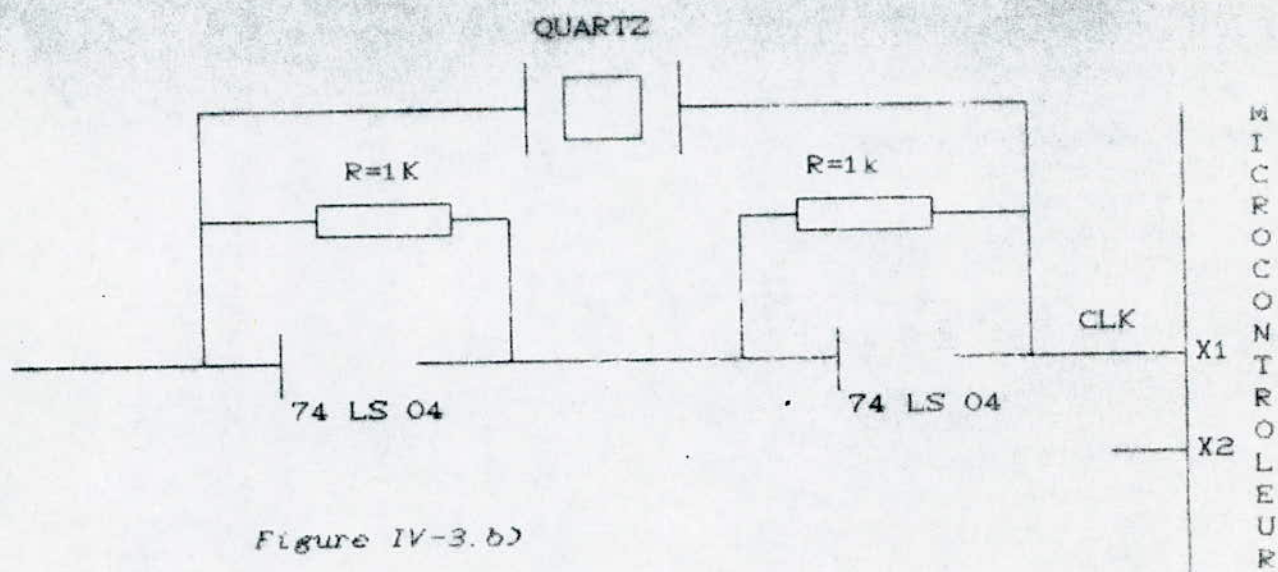


Figure IV-3.b)

IV-3) INTERFACAGE DU BUS :

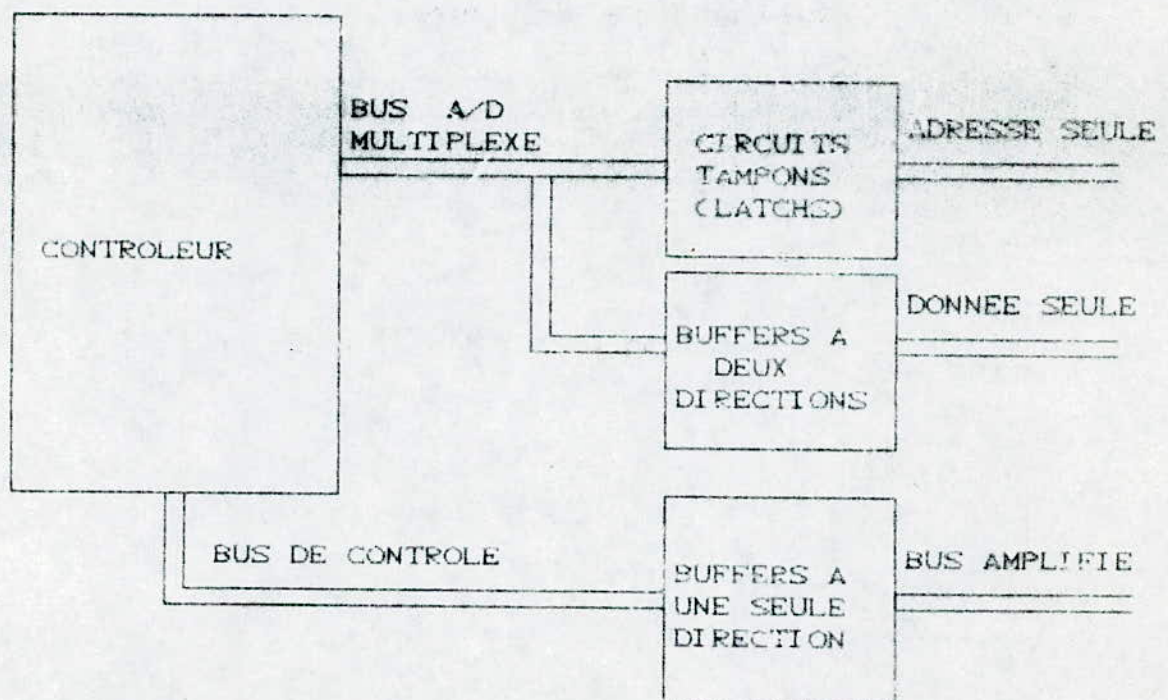
L'une des caractéristiques marquantes de la famille iAPX86 est le multiplexage et ce dont le but d'économiser certaines lignes. A une seule ligne est affecté deux fonctions distinctes se réalisant alternativement. A chaque fonction correspond une ligne de commande précisant l'instant où l'une d'elles est en cours.

Le 180186 possède un bus d'adresse/donnée multiplexé sur 16 bits, ce qui a économiser 16 broches sur le circuit.

Par contre, il faudra obligatoirement séparer ensuite adresses et données, donc demultiplexer ces informations. On traitera ensuite de A0 ou de D0, afin de désigner le fil d'adresse "pur" zéro ou le fil de donnée "pur" zéro de même pour A1 et D1 etc...

En fait à cause du bus multiplexé le contrôleur délivre un signal horloge supplémentaire pour prévenir de la présence de l'adresse sur le bus. Il en est de même pour la donnée. (Voir chronogrammes figures IV-4 et IV-5).

Le bus du 180186 est composé du bus d'adresse, de données et de contrôle.



PRINCIPE DE L'INTERFACAGE DU BUS.

IV-3.a) BUS D'ADRESSES : (figure IV-4)

Le 180186 peut adresser 1 Moctet de mémoire par le bus d'adresses, ce bus étant multiplexé, pour récupérer l'adresse séparément, il est nécessaire d'avoir un tampon d'adresses, qui mémorise celles-ci.

Le démultiplexage est effectué pour les 20 lignes du bus utilisant trois registres traitant chacun un octet. Un ordre d'échantillonnage de l'adresse est délivré par la ligne ALE (ADDRESS LATCH ENABLE) du contrôleur qui est directement connectée à la ligne de validation des registres.

Un circuit typique de démultiplexage de l'adresse physique est montré en figure IV-4.

Ce circuit utilise deux registres tampon de type 74 LS 373 pour les 16 bits A0-A15, et un registre du type 74 LS 273 pour les 4 bits de poids fort A16-A19. Notons que la ligne BHE est aussi échantillonnée par un ordre de ALE.

La taille de la mémoire utilisée est de 64 koctet RAM et EPROM, on utilise à cet effet les lignes A0-A15 du bus d'adresses.

Le temps de génération de cette adresse est la somme du temps de présence de celle-ci sur le bus multiplexé (état bas du signal d'horloge T1), et du temps de propagation à travers le registre tampon; ce temps vaut :

$$T_g = T_m + T_p = 44ns + 30ns = 74ns$$

Le chronogramme de génération d'une adresse sur 20 bits est montré en figure IV-4.

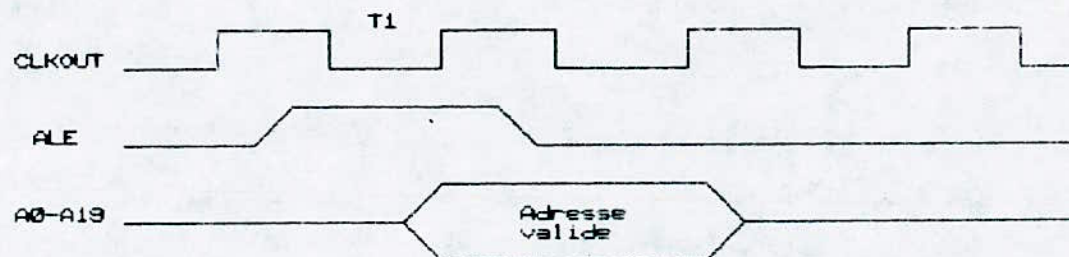
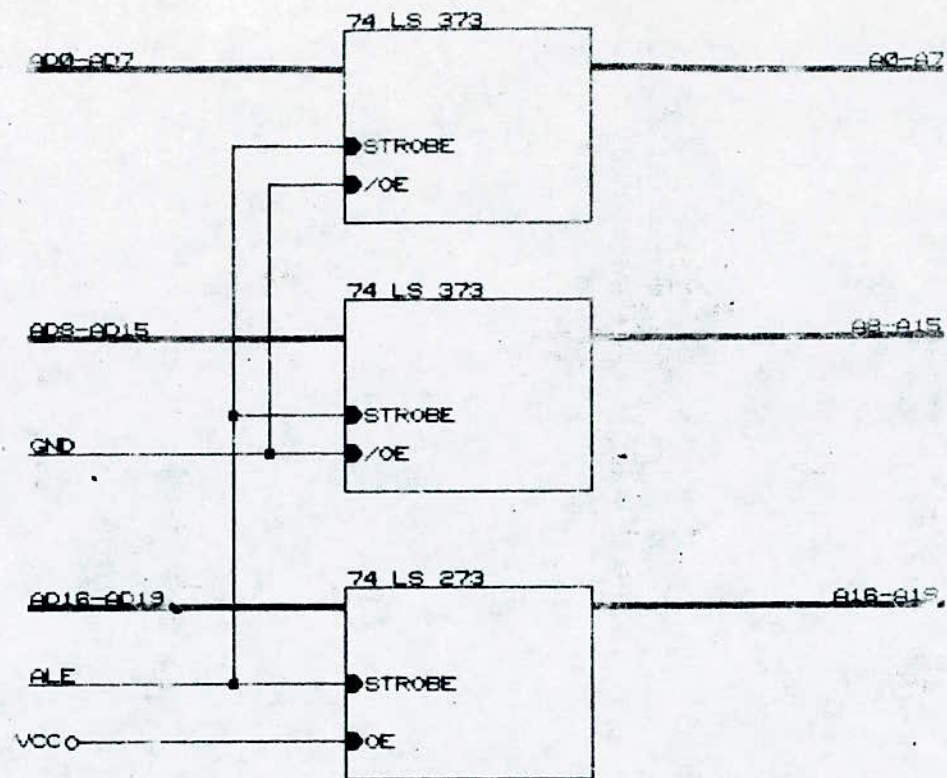


figure IV-4
DEMULPLEXAGE DE L'ADRESSE

IV-3. b) BUS DE DONNEES : (figure IV-5)

Le bus de données du 180186 est sur 16 bits multipléxé, deux circuits transmetteurs permettent la gestion des échanges de données sur 8 bits dans les deux sens, du ou vers le contrôleur.

Le 180186 dispose de deux lignes de commande des transmetteurs \overline{DEN} et DT/\overline{R} pour faciliter la bufferisation de ces lignes de données. La figure IV-5 donne le circuit de bufferisation du bus de données utilisant les 74LS 245 comme registres transmetteurs.

La ligne \overline{DEN} , active à l'état bas durant les cycles de lecture/écriture, valide directement les buffers bidirectionnels pour un transfert de données. Elle est connectée à la ligne \overline{OE} des transmetteurs.

Le sens de transmission de la donnée du ou vers le contrôleur est déterminé par la ligne de commande DT/\overline{R} , connectée à la ligne T des registres transmetteurs.

IV-3. c) BUS DE COMMANDE :

Le microcontrôleur possède au niveau de toutes ses lignes de sorties, une sortance faible à une charge T.T.L, on voit qu'il est nécessaire d'amplifier les signaux pour toute utilisation où le nombre de circuit est important.

On utilise à cet effet un buffer unidirectionnel type 74LS244 pour bufferiser les signaux de commande à savoir :

- * Le signal de lecture \overline{RD} (READ) utilisé pour lire un mot en mémoire ou en entrée-sortie.
- * Le signal d'écriture \overline{WR} (WRITE) pour écrire en mémoire ou transférer un caractère à l'écran.
- * Le signal d'échantillonnage de l'adresse ALE (ADDRESS LATCH ENABLE) validant les latches.
- * Le signal de validation de la donnée \overline{DEN} (DATA ENABLE) utilisé pour valider les buffers bidirectionnels.
- * Le signal indiquant le sens de transfert DT/\overline{R} (DATA TRANSMIT RECEIV) pour diriger les buffers bidirectionnels.
- * Le signal de validation de la mémoire haute \overline{UCS} (UPPER CHIP SELSCT) validant l'EPROM.

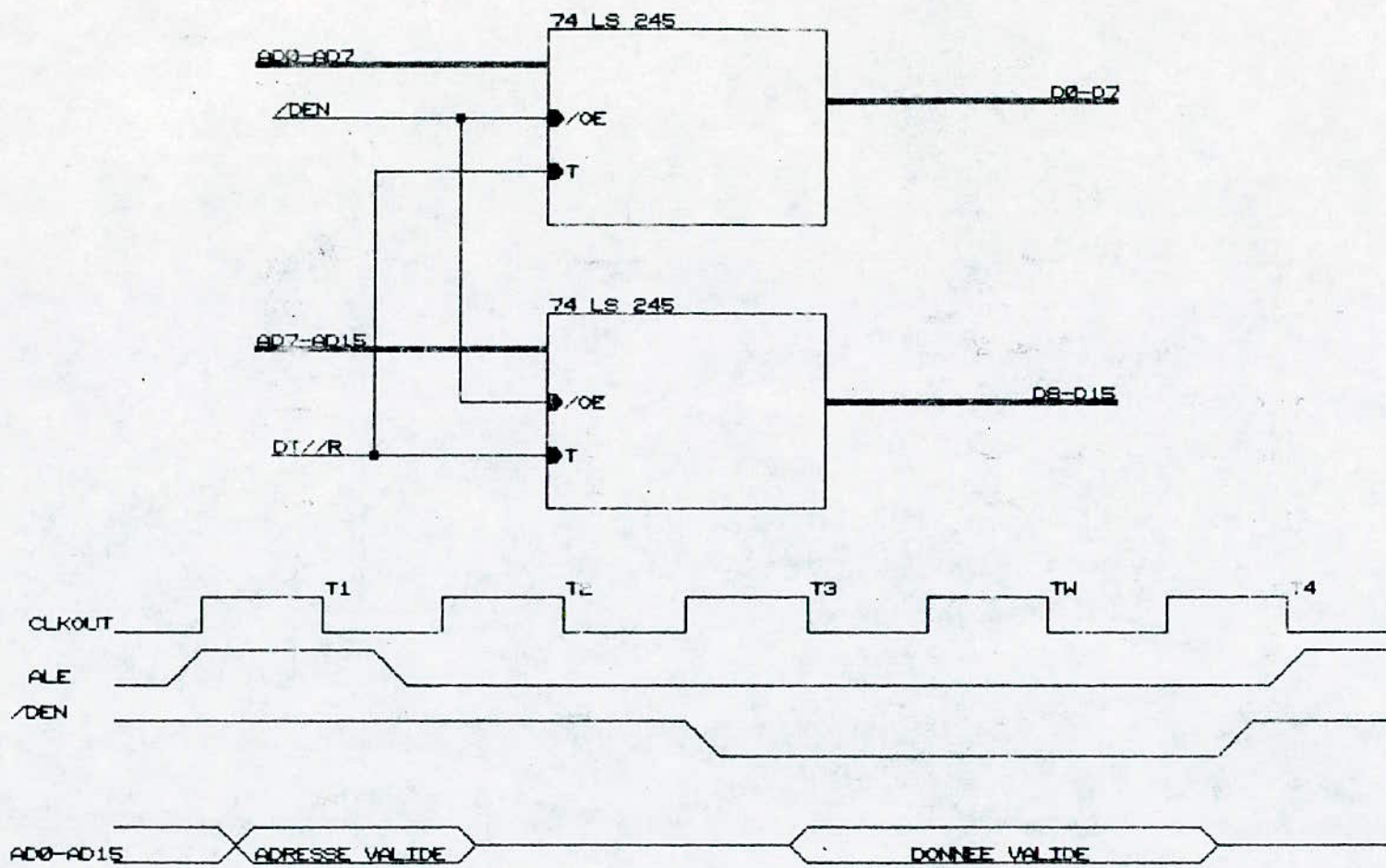


figure IV-5
Demultiplexage de la donnée

* Le signal de validation de la mémoire basse $\overline{\text{LCS}}$ (LOWER CHIP SELSCT) validant la RAM.

* Les deux signaux $\overline{\text{PCS0}}$ et $\overline{\text{PCS1}}$ (PERIPHERAL CHIP SELESCT 0 et 1) pour sélectionner l'interface d'entrée-sortie à écrire un caractère sur l'écran ou lire un caractère du clavier.

* Le signal de demande d'interruption INT0 (INTERRUPTION 0) venant de l'interface dans le cas de réception d'un caractère du clavier.

* Le signal de synchronisation du microcontrôleur avec l'interface d'E/S ARDY (ASYNCHRONOUS READY) informant s'il est prêt à recevoir un caractère ou non.

IV-4) MODULE MEMOIRE

La mémoire est scindée en deux blocs de 512 Koctets chacun, les octets de poids fort et les octets de poids faible.

Le 180186 peut effectuer une lecture ou une écriture de:

- + Un mot de 16 bits, aligné sur une adresse paire.
- + Un octet de poids forts D15-D8.
- + Un octet de poids faibles D7-D0.

En fait les lignes A0 et $\overline{\text{BHE}}$ donnent la possibilité de travailler en mots de huit bits ou seize bits.

L'état bas de A0 sélectionne le banc mémoire connecté à la moitié basse du bus de données. Le signal $\overline{\text{BHE}}$ actif à l'état bas valide la mémoire des octets de poids forts.

L'accès à un mot aligné sur une adresse impaire peut se faire, mais celui-ci revient à accéder à deux octets dans deux mots consécutifs (donc à deux cycles de lecture ou d'écriture). $\overline{\text{BHE}}$ est bas durant la première période du cycle bus T1 pour un cycle de lecture, d'écriture ou d'une interruption.

$\overline{\text{BHE}}$	A0	fonction
0	0	transfert d'un mot complet
0	1	transfert d'un octet(D8-D15)
1	0	transfert d'un octet(D0-D7)
1	1	réservé

Le contrôle de la mémoire se fait par les signaux $\overline{\text{RD}}$ (lecture), $\overline{\text{WR}}$ (écriture) et les différents signaux de validation $\overline{\text{UCS}}$, $\overline{\text{LCS}}$ et autres signaux d'état.

IV-4. a) INTERFACAGE AVEC LES EPROM :

On dispose de deux modules de mémoire EPROM de capacité de 32 Koctets chacun découpées en deux zones EPROM high et EPROM low.

Les mémoires EPROM permettront de stocker les routines d'initialisations des différents registres internes et activer les lignes de sélection de la mémoire, et de l'interface prévu.

Notons que la ligne A0 de chaque mémoire est connectée à la ligne A1 du bus d'adresses et non pas à A0, la ligne A0 est utilisée pour sélectionner le banc mémoire de poids faible.

La séparation entre la lecture/écriture mémoire de celle d'entrée-sortie est effectuée par la ligne d'état $\overline{\text{OE}}$. La lecture mémoire se fait par le signal $\overline{\text{RDM}}$ issu d'une combinaison des lignes d'état avec le signal de lecture $\overline{\text{RD}}$.

Le signal $\overline{\text{UCS}}$ (pour UPPER CHIP SELECT) valide les deux boîtiers mémoire, il est directement connectée à la ligne $\overline{\text{CE}}$ des mémoires.

Afin d'éviter les conflits d'accès à la mémoire, ces dernières doivent être valides ($\overline{\text{UCS}}$) avant toute tentative de lecture.

Pour ce faire on a préféré déclencher la lecture avec le signal de validation $\overline{\text{UCS}}$.

En fait cela permet de retarder le signal de lecture par rapport au signal de validation.

La tension de programmation de l'EPR0M est fixée à +5V.

La sélection des mémoires ainsi que la lecture de celles-ci est illustré en la figure IV-6 avec les chronogrammes correspondants.

IV-4. b) INTERFACAGE AVEC LES RAM :

Deux modules RAM de 32 Koctets chacun s'interfaçent au bus d'adresses A1-A15 et de données D0-D15.

La lecture se fait par la ligne \overline{RDM} , l'écriture par le signal \overline{WR} connectée directement à la ligne \overline{WE} de la RAM.

Les lignes A0 et \overline{BHE} sont combinées à la ligne de validation de la RAM \overline{LCS} (pour LOWER CHIP SELECT) afin de pouvoir faire un accès sur l'un des deux bancs mémoire pour la lecture ou pour l'écriture.

La figure IV-6 montre l'interfaçage RAM utilisé.

La carte mémoire de la carte UC185 est la suivante:

Systeme d'interruption.....	RAM.....	00000-003ffh
RAM utilisateur.....	RAM.....	00400-0ffffh
Prévu pour extension.....	ROM ou RAM.....	10000- ffffffh
EPR0M utilisateur.....	ROM.....	F0000 -fffffh
Séquence de démarrage.....	ROM.....	FFFF0-FFFF2h

L'espace d'entrée/sortie est occupé par les plages suivantes:

Adresse de l'écran.....	3B0-3BFh
Adresse du clavier.....	080-083h

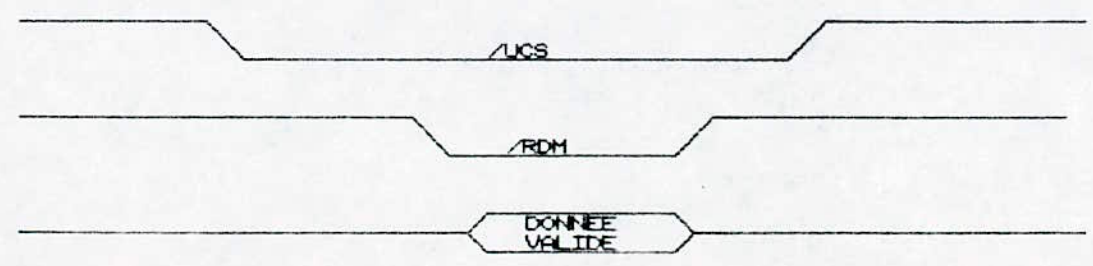
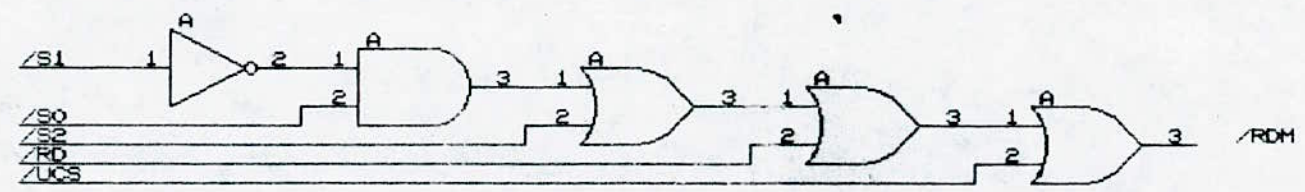
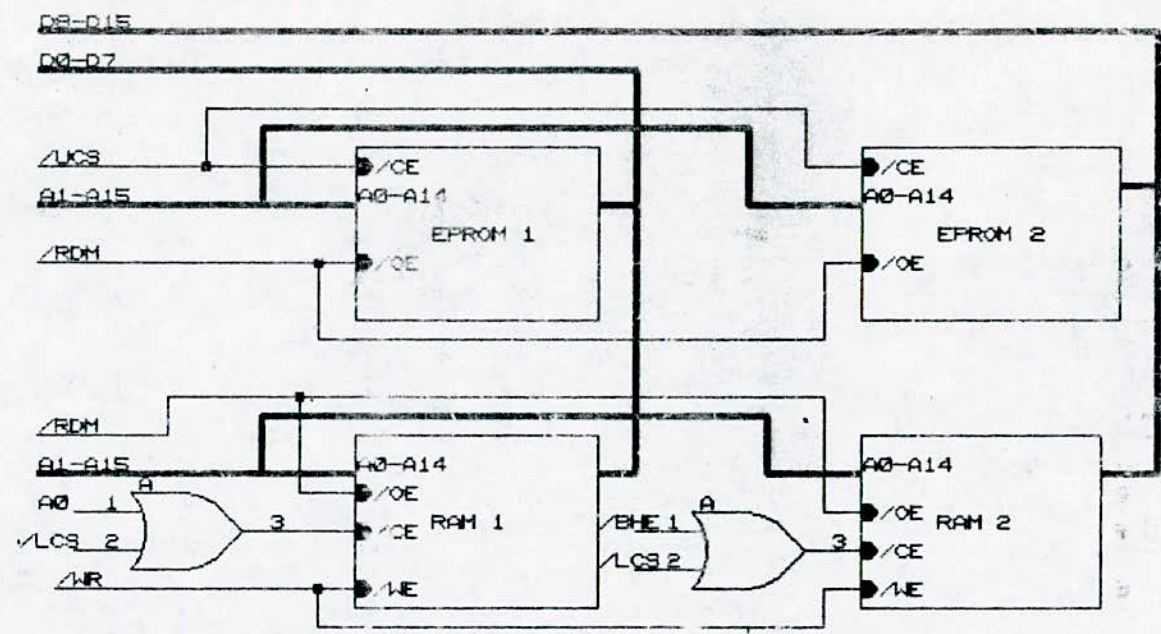


figure IV-6

IV-5) L'INTERFACE D'ENTREE/SORTIE :

La carte dispose d'une seule interface série compatible RS232C, à cet effet un UART est utilisé comme circuit d'émetteur/récepteur permettant l'émission et la réception des données en série.

L'UART AY-3-1015 est le circuit d'interface entre le microcontrôleur et un périphérique travaillant en mode série asynchrone. Il réalise la mise en format des données et le contrôle de la transmission.

Ce dernier est relié au système par des entrées de sélection, d'entrée d'horloge, de la ligne de lecture et d'écriture, d'une ligne d'interruption, d'une ligne de synchronisation asynchrone, et un bus de données de 8 bits.

Comme indiqué sur la figure IV-7 l'interface d'entrée-sortie fait la liaison entre le périphérique et le microcontrôleur, on distingue en fait trois parties :

IV-5.a) VALIDATION DE L'UART :

L'entrée CS (command strobe : autorisation d'accès au mot de commande) de l'UART est fixé à 5V.

La ligne \overline{WR} combiné aux lignes \overline{PCSO} et $\overline{S2}$ est utilisé pour accéder au registre d'écriture à travers la ligne DS et adresser ainsi l'écran (opération d'émission) ayant comme adresses la plage 3B0h-3BFh dans l'espace d'entrée-sortie.

La lecture d'un caractère s'effectue par \overline{RD} combinée aux lignes $\overline{S2}$ et \overline{PCSI} connectée directement à \overline{RDE} , permet à l'UART de charger un caractère du clavier (opération de réception) à l'adresse 060h-063h dans l'espace d'entrée-sortie.

IV-5.b) JONCTION RS 232 C :

Sur les 25 signaux spécifiés par la norme RS232C, seuls 3 signaux sont utilisés pour la communication avec le terminal TxDATA, RxDATA, GND.

TxDATA : Ligne de transmission de données.

RxDATA : Ligne de réception de données.

GND : La masse.

Le passage des niveaux TTL (0-5v) aux niveaux RS232C (-12v,12v) est réalisé par le circuit intégré MAX 238 CNG, qui a pour avantage d'être alimenté sous 5v évitant ainsi l'utilisation d'une autre alimentation sur la carte (cas des circuits MC 1488 et MC 1489).

Le MAX est un circuit intégré monotension permettant la conversion du +5V au +/-10V. La capacité C' double la tension du +5V au +10V par contre C'' inverse la tension de +10V à -10V.

Pour s'assurer du bon fonctionnement du MAX238 on vérifie que

- La pin 11 est à 10V.
- La pin 15 est à -10V.

IV-5. c) SELECTION DE LA VITESSE DE TRANSMISSION :

L'interface comporte entre autre un générateur de baud rate type AY-5-8116 piloté par un quartz de valeur 5.0888 mhz permettant de fixer la vitesse de transmission de l'UART avec la périphérie.

Le GBR (générateur de baud rate) délivre les fréquences d'émission et de réception qui sont imposées par les états logiques des lignes RA, RB, RC, RD du GBR, pour la réception et des lignes TA, TB, TC, TD pour l'émission.

Ces deux fréquences deviennent égales en reliant respectivement les broches RA, RB, RC, RD du récepteur aux broches TA, TB, TC, TD du transmetteur.

Le forçage des états (RA, TA); (RB, TB); (RC, TC); (RD, TD) est effectué par l'intermédiaire de switches afin d'avoir une certaine universalité quand à l'utilisation de ces fréquences.

Les fréquences délivrées par le GBR varient entre 110 et 9600 baud fonctionnant avec un quartz de 5.0888 Mhz

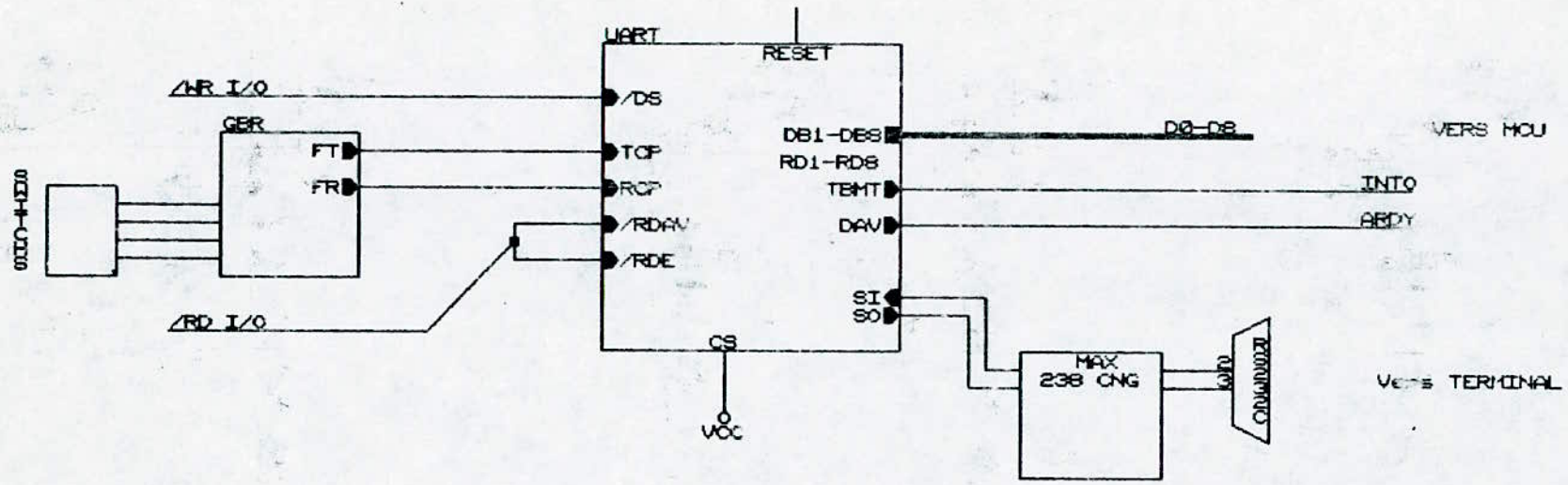


FIGURE IV-7
INTERFACE D'ENTREE/SORTIE

IV-6) MISE AU POINT DE LA CARTE :

IV-6.a) OUTIL DE DEVELOPPEMENT :

Un analyseur logique 8 voies est le seul outil de développement utilisé pour la mise au point du Hardware. Il permet de visualiser la cohérence et l'analyse détaillée de tous les signaux de la carte et la résolution de certains problèmes posés par les circuits, surtout ceux liés aux timings, aux délais de déclenchement et de synchronisation des différents boîtiers.

IV-6.b) PROBLEMES RENCONTRES :

* Bus d'adresses :

En essayant de suivre à l'analyseur les 8 bits poids faible du bus d'adresses en sortie des latches (74 LS 273), se déclenchant sur un front, nous avons remarqué que l'analyseur ne donne pas l'adresse convenable au reset.

Il a fallu recourir à la solution d'utiliser des tampons du type 74 LS 379 se déclenchant sur un niveau. Cela nous a permis d'avoir les adresses prévues au reset (F0-F2-F4-F6....). ces adresses sont présentes sur toute la durée de validation des registres par le signal ALE actif au niveau haut.

* Accès à la mémoire EPROM :

Le problème rencontré au niveau des mémoires était l'accès à la donnée convenable. En fait l'activation de la ligne \overline{OE} de l'EPROM ne suffit pas avec la pin \overline{RD} du CPU, car l'accès à celle-ci sur la ligne \overline{CE} doit se faire avant la lecture évitant ainsi tout conflit d'accès mémoire.

Pour cette raison on a retardé le signal de lecture \overline{RD} par les signaux $\overline{S0}, \overline{S1}, \overline{S2}$ à travers des portes logiques en se synchronisant au signal \overline{UCS} .

Ainsi la lecture des données s'effectue convenablement et

l'analyseur donne sur le bus de données lié à la mémoire une donnée stable sur la période d'activité du signal /DEN (état bas).

◆ **Interface périphérique :**

L'UART ne peut lire un caractère sur le port en sortie venant du terminal que si la vitesse de transmission de ce dernier est identique à celle de l'UART, il en est de même pour le format du caractère à communiquer. Au niveau de l'UART cela est effectué par des switches.

◆ **Utilisation de la carte :**

Pour le bon fonctionnement de la carte un test est proposé afin de détecter une éventuelle panne des modules :

- Alimenter la carte sous 5V
- Effectuer un RESET manuel .
- Configurer le terminal et l'UART (vitesse de transmission , format du caractère).
- Vérifier que ALE est active par une sonde logique , sinon un seconde reinitialisation est nécessaire .
- Vérifier que l'EPROM est accédée et lue (pin 20 et 22).
- Vérifier que les pins 11 et 15 du max 238 CNG sont respectivement à 10V et -10V.

CHAPITRE V

PARTIE LOGICIELLE.

V-1 BLOC DE CONTROLE DES PERIPHERIQUES.

V-2 LE SYSTEME D'INITIALISATION

V-2.a) Programmation du registre de relocation.

V-2.b) Programmation du registre UMCS.

V-2.c) Programmation du registre LMCS.

V-2.d) Programmation du registre PACS.

Le i80186 possède un soft très rapproché à celui du i8086, mais du fait de la présence de quelques fonctions de sélection dues à son hard, on devra pour cet effet inclure une certaine modification dans le code d'initialisation utilisant les fonctions du i80186.

V-1 BLOC DE CONTROLE DE PERIPHERIQUES :

Tous les périphertiques intégrés dans le i80186 sont controlés par des registres contenus dans le bloc de contrôle de périphériques.

Ces registres remplissent un espace de 256 octets continus et peuvent être localisés n'importe où dans l'espace mémoire ou l'espace E/S.

La disposition de tous ces registres est montrée dans le tableau suivant:

	OFFSET:
REGISTRE RELOCATION	FE H
DESCRIPTEUR DMA 1	DA H
	D0 H
DESCRIPTEUR DMA 2	CA H
	C0 H
REGISTRES DE CONTROLE DES CHIPS SELECT	A8 H
	A0 H
TIMER 2	66 H
	60 H
TIMER 1	5E H
	58 H
TIMER 0	56 H
	50 H
EGISTRES DU CONTROLEUR D'INTERRUPTION.	3E H
	20 H

En addition aux registres de contrôle de chaque périphérique intégré du i80186, le bloc de contrôle contient un registre de relocation pour le contrôle des périphériques. Celui-ci permet de préciser le mode de travail du contrôleur d'interruption (mode maître ou mode iRMX86) ainsi que la position des 256 octets dans l'espace mémoire ou l'espace d'E/S.

V-2) SYSTEME D'INITIALISATION :

Le i80186 dispose d'une circuiterie lui permettant d'adresser directement la mémoire ou les dispositifs d'entrée-sortie (chip select).

Toute cette circuiterie doit être initialisée avant d'adresser la mémoire ou les entrées-sorties.

Au "RESET" le registre UMCS (UPPER MEMORY SIZE) est automatiquement programmé à être actif sur une zone mémoire de 1K avec insertion de trois états d'attente pour tous les accès mémoires dans cet espace.

On doit donc programmer tous les registres de contrôle nécessaires (initialisations) avant de quitter cette zone de 1K ROM.

La routine d'initialisation du i80186 comporte la programmation des registres :

- RELOCATION pour définir le mode fonctionnement du contrôleur d'interruption et la localisation du bloc de contrôle des périphériques .

- UMCS (UPPER MEMORY SIZE) pour l'activation de \overline{UCS} validant l' EPROM.

- LMCS (LOWWER MEMORY SIZE) pour l'activation de \overline{LCS} validant la RAM.

- PACS (PERIPHERAL CHIP SELECT BASE ADRESS) et MPCS (MID-RANG MEMORY SIZE) pour l'activation des lignes $\overline{PCS0-PCS6}$ validant les peripheriques.

Le programme écrit en assembleur 80186 et développé par le MASM (macro-assembleur)

V-2.a) PROGRAMMATION DU REGISTRE RELOCATION :

Ce registre 16 bits est situé à l'offset FEh dans le bloc de contrôle de périphériques et représenté comme suit:

Les bits R8-R19 représentent les bits A8-A19 de l'adresse de début du bloc de contrôle.

Le registre contient en outre trois bits précisant l'état de fonctionnement du i80186 (bit RMX), l'espace où le bloc de contrôle sera localisé (bit M/IO) et un bit forçant le i80186 à se bloquer dans le cas où un coprocesseur fait sa demande de bus (bit ET).

+M/IO : 1/0 —> Bloc de registres localisé en mémoire/ dans l'espace d'E/S.

+RMX : 1/0 —> Mode MAITRE du contrôleur d'interruption/ compatible iRMX 86.

+ET : 1/0 —> processeur bloqué/ non bloqué.

V-2.b) PROGRAMMATION DU REGISTRE UMCS :

Ce registre 16 bits est situé à l'offset A0h dans le bloc de contrôle, il permettra de programmer la limite basse de la zone mémoire contrôlée par la pin \overline{UCS} du contrôleur.

Il est représenté comme suit:

1	1	0	0	0	0	0	0	0	0	0	1	1	1	R2	R1	R0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	----	----	----

Registre UMCS.

Les bits R0, R1 et R2 donnent le nombre d'états d'attente.

Les bits 6-13 sont programmables selon l'adresse de base et de la capacité mémoire correspondant. Le tableau suivant présente les différents cas:

ADRESSE DE BASE	CAPACITE DE MEMOIRE	VALEUR DU UMCS (R1=R2=R3=0)
FFC00	1k	FFFBH
FF800	2K	FFB8H
FF000	4K	FF38H
FE000	8K	FE38H
FC000	16K	FC38H
F8000	32K	F838H
F0000	64k	F038H
E0000	128K	E038H
C0000	256K	C038H

V-2.C) PROGRAMMATION DU REGISTRE LMCS :

Ce registre 16 bits se situe à l'offset A2h dans le bloc de contrôle des périphériques, permet de programmer la limite haute de la zone mémoire contrôlé par la pin LCS du microcontrôleur.

Il représenté comme suit :

0	0	U	U	U	U	U	U	U	U	1	1	1	R2	R1	R0
---	---	---	---	---	---	---	---	---	---	---	---	---	----	----	----

REGISTRE LMCS.

Les différentes valeurs programmables du registre sont données sur le tableau suivant:

ADRESSE HAUTE	CAPACITE MEMOIRE	VALEUR DU LMCS AVEC(R1=R2=R0)
003FFH	1K	0038H
007FFH	2K	0078H
00FFFH	4K	00F8H
01FFFH	8K	01F8H
03FFFH	16K	03F8H
07FFFH	32K	07F8H
0FFFFH	64K	0FF8H
1FFFFH	128K	1FF8H
3FFFFH	256K	3FF8H

V-2.c) PROGRAMMATION DES REGISTRES MPCS ET PACS :

L'adresse de début du bloc de sélection des périphériques est définie en programmant les registres PACS et MPCS.

Le registre PACS est localisé à l'offset A4h dans le bloc de contrôle interne, il est présenté comme suit:

0	0	0	0	0	0	0	0	0	0	1	1	1	R2	R1	R0
---	---	---	---	---	---	---	---	---	---	---	---	---	----	----	----

Registre PACS.

Les bits 6-15 correspondent aux bits B10-B19 de l'adresse de base sur 20 bits (PBA)

En plus si le bloc de contrôle des périphériques est situé dans l'espace d'E/S les bits 12-15 doivent être programmés à des zéros. La table suivante montre l'adresse de chaque zone contrôlée par les lignes PCS0-PCS6 :

LIGNE PCS	ACTIVE	ENTRE
PCS0	PBA	- PBA+ 127
PCS1	PBA+127	- PBA+ 255
PCS2	PBA+256	- PBA+ 383
PCS3	PBA+384	- PBA+ 511
PCS4	PBA+512	- PBA+ 639
PCS5	PBA+640	- PBA+ 767
PCS6	PBA+768	- PBA+ 895

L'utilisateur doit programmer les bits 6-15 correspondant au périphérique désiré.

Le mode d'opération des chips select est défini par le registre MPCS qui est utilisé aussi pour donner la capacité de la zone mémoire intermédiaire, il se présente comme suit:

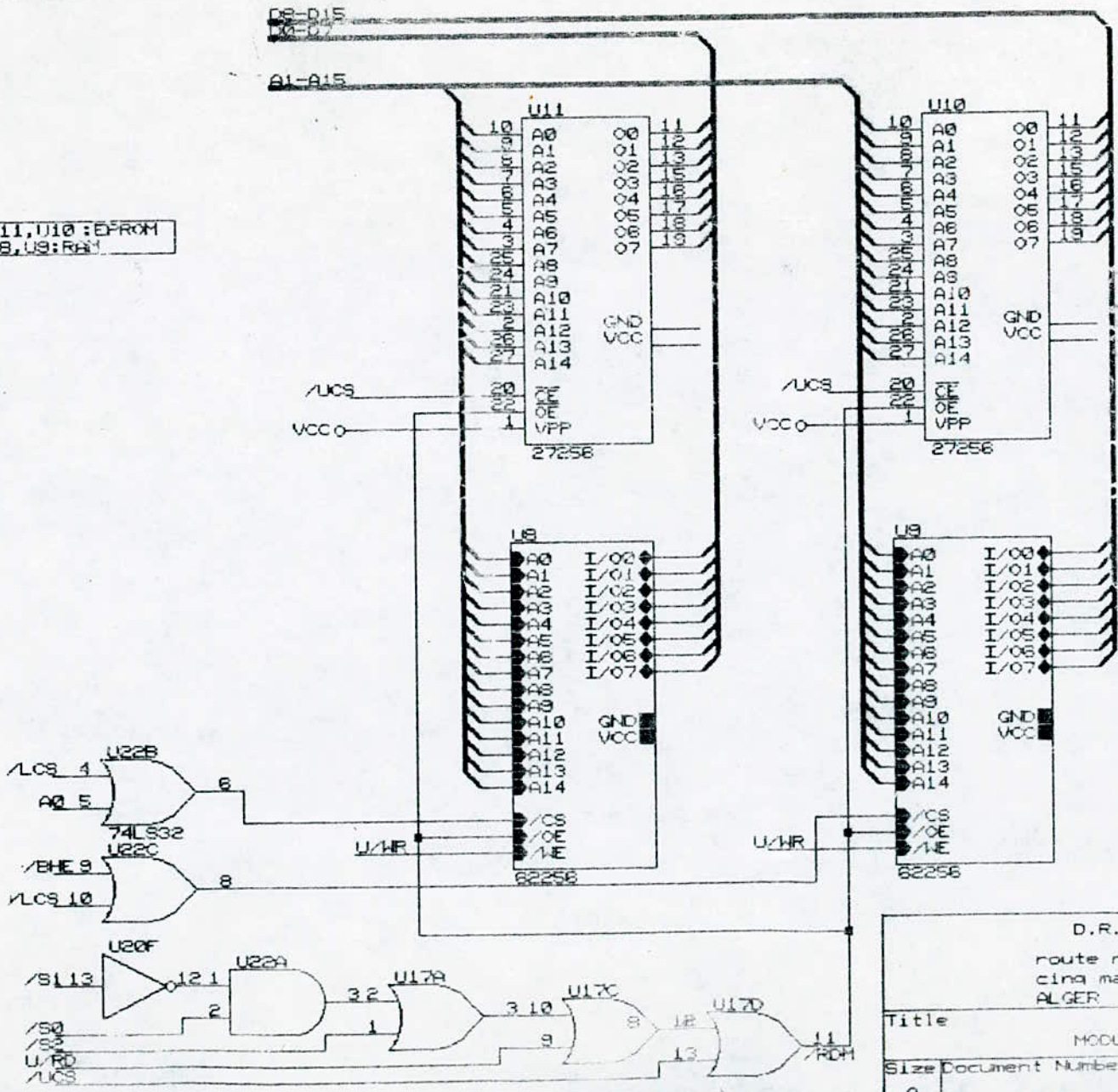
1	M6	M5	M4	M3	M2	M1	M0	EX	MS	1	1	1	R2	R1	R0
---	----	----	----	----	----	----	----	----	----	---	---	---	----	----	----

REGISTRE MPCS.

Ce registre est localisé à l'offset A8h dans le bloc de contrôle interne. Le bit 7 est utilisé pour sélectionner la fonction de $\overline{PCS5}$ et $\overline{PCS6}$, le bit 6 est utilisé pour préciser si ces chips select sont dans l'espace mémoire ou dans l'espace d'E/S. La table suivante décrit la programmation de ces deux registres :

BIT	DESCRIPTION
MS	1 <> LES PERIPHS DANS L'ESPACE MEMOIRE 0 <> LES PERIPHS DANS L'ESPACE D'E/S
EX	1 <> $\overline{PCS5}$ ET $\overline{PCS6}$ NON DISPONIBLES 0 <> $\overline{PCS5}$ ET $\overline{PCS6}$ DISPONIBLES

U11, U10 : EPROM
 U8, U9 : RAM

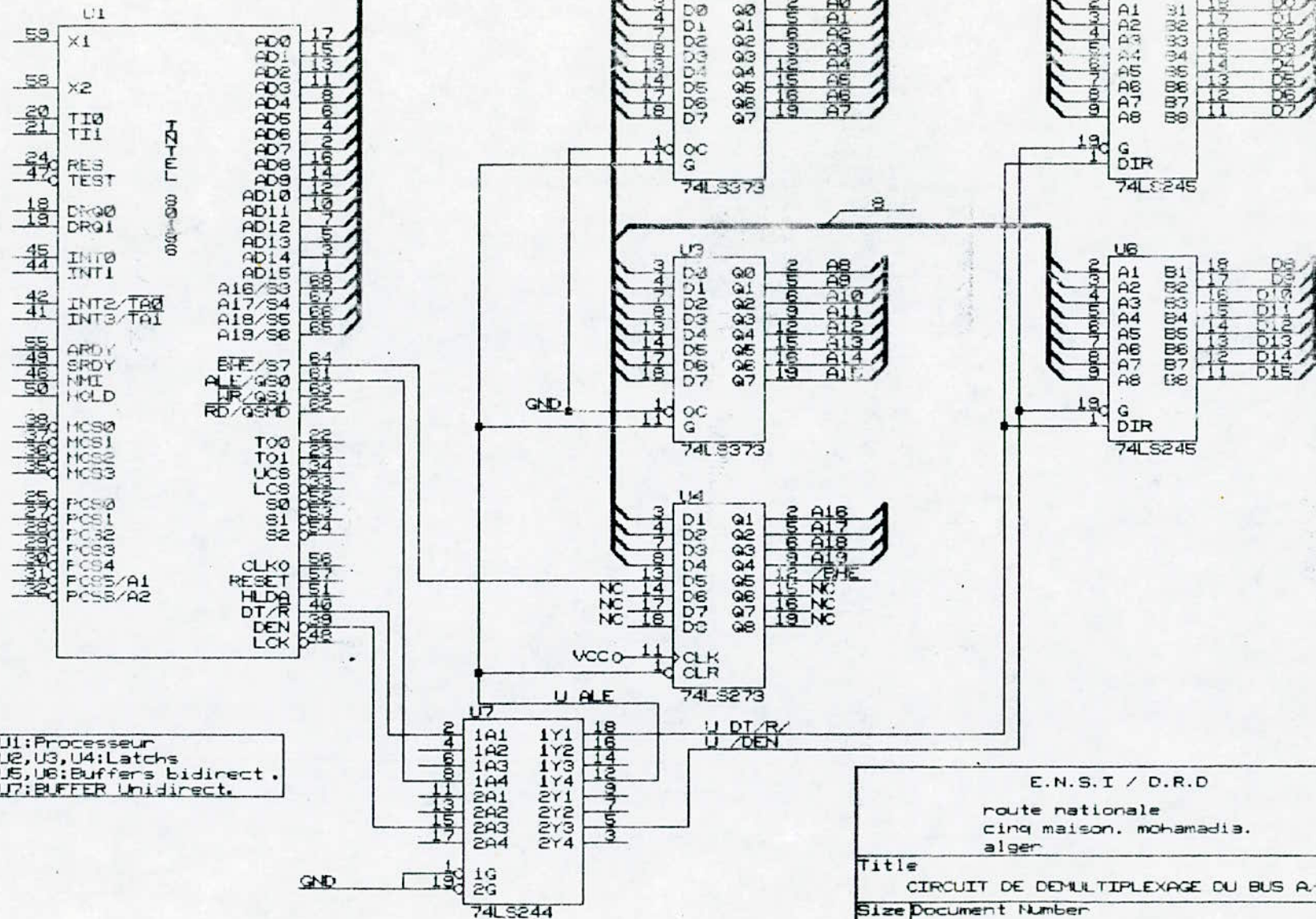


D.R.O/E.N.S.I
 route nationale 5
 cinq maisons. Mohammadia.
 ALGER

Title
 MODULE MEMOIRE

Size Document Number
 A 1

REV
 1



E.N.S.I / D.R.D

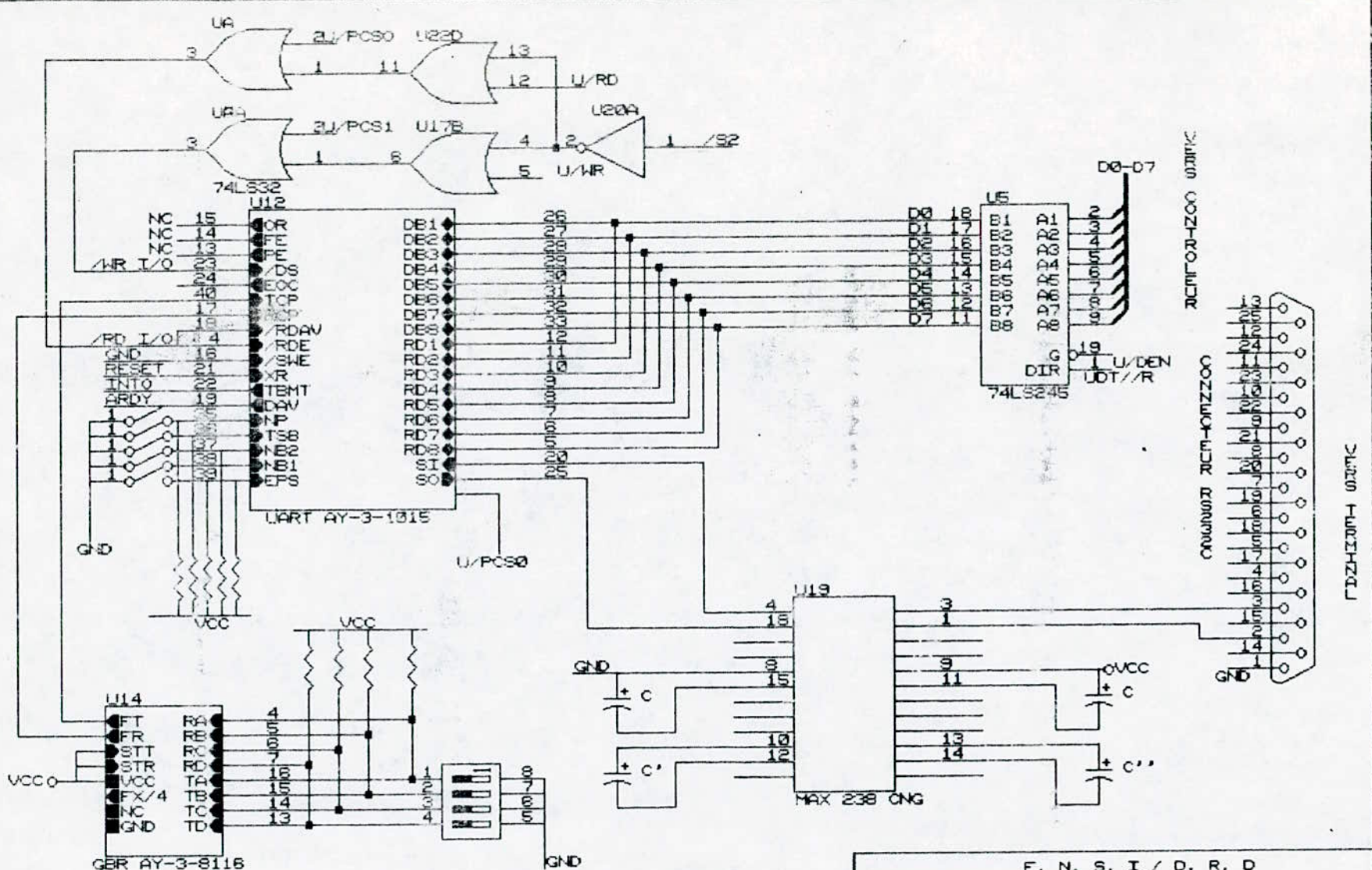
route nationale
 cinq maison. mohamadia.
 alger

Title
 CIRCUIT DE DEMULTIPLEXAGE DU BUS A/D

Size Document Number

A 2 1

Date: January 1, 1980 Sheet 1 of 1



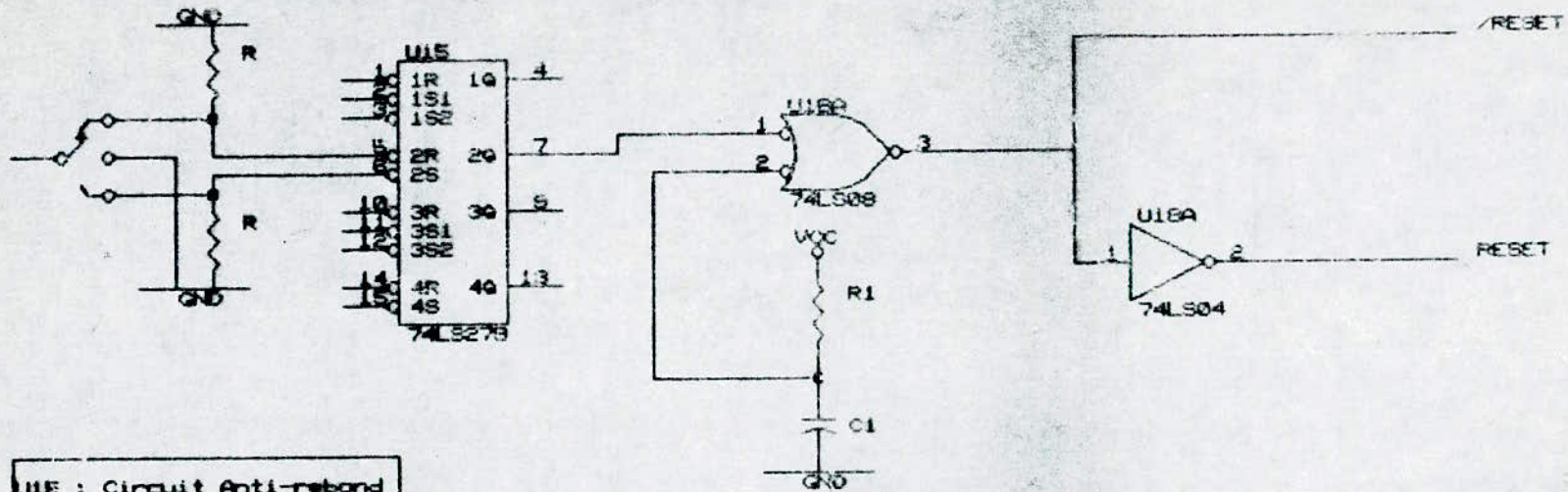
E. N. S. I / D. R. D
 route nationale 5
 cinq maisons. Mohamadia
 ALGER

Title
 MODULE D'ENTREE/SORTIE

Size Document Number
 A 1

REV
 1

Date: January 1, 1980 Sheet 1 of 1



U1E : Circuit Anti-rebond

E.N.S.I / D.R.D		
route nationale 5 cinq maisons. Mohammadia. ALGER		
Title		
CIRCUIT D'INITIALISATION		
Size	Document Number	REV
A	1	1
Date:	January 1, 1980	Sheet 1 of 1

1	AD15		A16/S3	68
2	AD7		A17/S4	67
3	AD14		A18/S5	66
4	AD6		A19/S6	65
5	AD13		/EHE	64
6	AD5		/WR/CS1	63
7	AD12		/RD/CS0	62
8	AD4		ALE/CS0	61
9	VCC		VSS	60
10	AD11		X1	59
11	AD3		X2	58
12	AD10		RESET	57
13	AD2		CLKOUT	56
14	AD5		ARDY	55
15	AD1		/S2	54
16	AD8		/S1	53
17	AD0		/S0	52
18	DRQ0		H LDA	51
19	DRQ1		HOLD	50
20	TMRIN0		SRDY	49
21	TMRIN1		/LOCK	48
22	TMROUT0		/TEST	47
23	TMROUT1		NMI	46
24	/RES		INT0	45
25	/PCS0		INT1	44
26	VSS		VCC	43
27	/PCS1		INT2/INTA0	42
28	/PCS2		INT3/INTA1	41
29	/PCS3		DT/R	40
30	/PCS4		/DEN	39
31	/PCS5/A1		/MCS0	38
32	/PCS6/A2		/MCS1	37
33	/LCS		/MCS2	36
34	/UCS		/MCS3	35

DESCRIPTION DU BROCHAGE DU i80186

+ Bus de données/adresses (AD0-AD15) :

C'est un bus de 16 lignes bidirectionnelles multiplé.

+ Signaux de DMA (DRQ0 et DRQ1) :

Ce sont deux entrées de demande d'accès direct aux canaux DMA0 et DMA1 (Direct acces memory).

+ Signaux des TIMER (TMRIN0, TMRIN1, TMROUT0, TMROUT1):

Ce sont deux entrées d'horloge externes ou entrées de controle de temporisateurs 1 et 2 (TMRIN0 et TMRIN1) et leur sorties correspondantes (TMROUT0 et TMROUT1).

+ Signaux d'initialisation (/RES et RESET) :

/RES est l'entrée de remise à l'état initial.

RESET est la ligne indicatrice de remise à l'état initial.

+ Signaux de sélection de l'espace d'E/S (/PCS0-/PCS6):

Ce sont sept sorties de sélection programmable de l'espace d'E/S. Les lignes /PCS5/A1 et /PCS6/A2 peuvent être programmés comme lignes d'adresses A1 et A2 .

+ Signaux de sélection de l'espace mémoire (/UCS, /LCS, /MCS0-/MCS4)

Ce sont des sorties de sélection de l'espace mémoire pour trois zones /UCS pour la mémoire haute, /LCS pour la mémoire basse et /MCS0-/MCS3 pour la mémoire intermediaire.

+ Signaux de commande

\overline{RD} : Signal de lecture.

$\overline{WR}/QS1$: Signal d'écriture et activité de la file d'attente.

DT/\overline{R} : Ce signal controle la direction du flow de données à travers les buffers bidirectionnels .

\overline{DEN} : Ce signal sert de validation de la donnée à travers les buffers bidirectionnels .

ALE/QS0 : C'est le signal de verrouillage des 16 lignes d'adresses disponibles sur le bus multiplexé et activité de la file d'attente.

$\overline{\text{BHE/S7}}$: Ce signal sélectionne en conjonction avec le bit A0, l'un des deux octets d'un mot de 16 bits. Un état bas sur cette ligne sélectionne l'octet poids fort. S7 est un signal d'état.

+ Signaux d'horloge X1, X2, CLKOUT :

X1 et X2 sont deux entrées de connexion du quartz.

CLKOUT étant la sortie horloge.

+ Signaux d'état du bus $\overline{\text{S0}}$, $\overline{\text{S1}}$, $\overline{\text{S2}}$

Ces trois sorties donnent l'information sur l'état du bus, ce sont des codes de fonctions.

+ Signaux de contrôle d'accès au bus (HOLD, HLDA):

L'entrée HOLD permet à un système externe de demander l'accès au bus local. L'activation de la sortie HLDA prend en compte cette demande de bus.

+ Signaux de demande d'interruption (NMI, INT0-INT3):

Ce sont cinq entrées de demandes d'interruption, une non masquable (NMI) et quatre masquables (INT0-INT3).

+ Signal $\overline{\text{LOCK}}$:

Cette sortie est activée pendant les instructions précédées du suffixe LOCK ; elle interdit l'accès au bus à tout autre circuit que celui qui a le contrôle du bus.

+ Lignes d'adresses A16/S3, A17/S4, A18/S5, A19/S6 :

Ce sont quatre lignes poids fort du bus d'adresses multiplexés avec les lignes d'état.

QS0	QS1	ETAT DE LA FILE D'ATTENTE
0	0	Aucune operation en cours
1	0	Le premier octet d'une instruction a ete preleve de la file d'attente
0	1	La file d'attente a ete initialisee.
1	1	L'octet suivant d'une instruction a ete preleve dans la file d'attente.

Etat de la file d'attente

/S2	/S1	/S0	TYPE DE TRANSFERT EN COURS
0	0	0	Autorisation d'une interruption.
0	0	1	Lecture peripherique.
0	1	0	Ecriture peripherique.
0	1	1	Haute.
1	0	0	Recherche d'une instruction.
1	0	1	Lecture memoire.
1	1	0	Ecriture memoire.
1	1	1	Aucun.

Type de transfert.

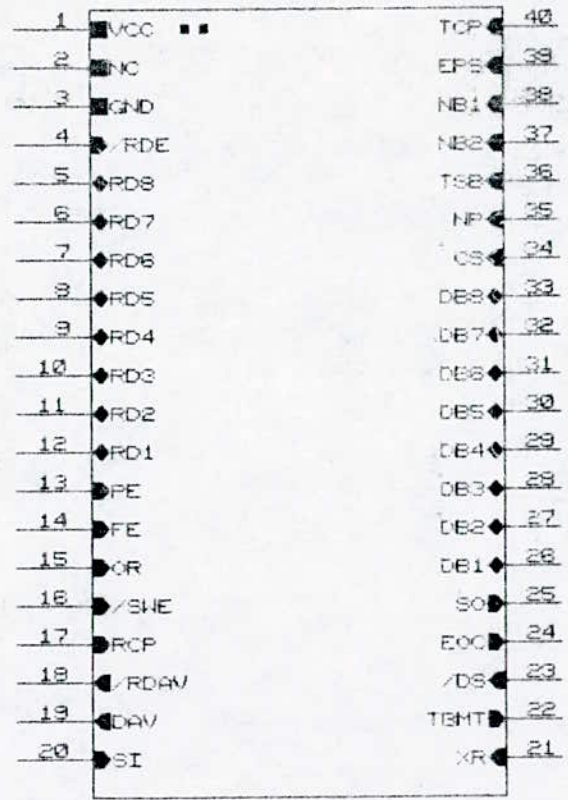
S4	S3	SEGMENT SELECTIONNE
0	0	"DONNEES SUPPLEMENTAIRES"
0	1	"PILE"
1	0	"PROGRAMME"
1	1	"DONNEE"

Segment affecte

S5 : EST UNE COPIE DU BIT D'ETAT "INTERRUPTION" I

S6 : EST AU NIVEAU ZERO.

S7 : EST LOGIQUEMENT EQUIVALENT A /BHE.



BROCHAGE DE L'ART AY-3-1015

PIN NO	NOM	FONCTION
1	VCC	ALIMENTATION +5V
2	NC	NON CONNECTEE
3	GND	MASSE
4	/RDE	UN 0 LOGIQUE AUTORISE LE TRANSFERT DES DONNEES RECUES EN SORTIE
5-12	RDS-RD1	DONNEES RECUES
13	PE	UN 1 LOGIQUE INDIQUE UNE ERREUR DE PARITE DANS LA RECEPTION
14	FE	UN 1 LOGIQUE INDIQUE UNE ERREUR DE PARITE DANS LA RECEPTION
15	OR	UN 1 LOGIQUE INDIQUE UNE SURCHARGE DU RECEPTEUR
16	/SNE	UN 0 LOGIQUE AUTORISE LE TRANSFERT DES SIGNAUX PE, FE, OR, DAV, TBMT EN SORTIE
17	RCP	HORLOGE DU RECEPTEUR
18	/RDAV	UN 0 LOGIQUE REMET A ZERO DAV
19	DAV	UN 1 LOGIQUE INDIQUE QU'UN CARACTERE EST RECU ET TRANSFERE
20	SI	ENTREE SERIE DES DONNEES
21	XR	UN 1 LOGIQUE REMET A ZERO LES REGISTRES DE L'UART
22	TBMT	UN 1 LOGIQUE INDIQUE QUE L'EMETTEUR PEUT RECEVOIR UN CARACTERE
23	/DS	UN 0 LOGIQUE AUTORISE LA TRANSMISSION
24	EOC	UN 1 LOGIQUE INDIQUE LA FIN DE LA TRANSMISSION
25	SO	SORTIE SERIE DES DONNEES
26-33	DB1-DB8	DONNEES A TRANSMETTRE
34	CS	UN 1 LOGIQUE AUTORISE L'ENTREE DES BITS EPS, NB2, NB1, TSB, NP
35	NP	UN 1 LOGIQUE SUPRIME LA PARITE
36	TSB	DETERMINE LE NOMBRE DE BITS STOP
37-38	NB1-NB2	DETERMINE LE NOMBRE DE BITS PAR CARACTERE
39	EPS	DETERMINE LE TYPA DE PARITE
40	TCP	HORLOGE DE L'EMETTEUR

DESCRIPTION DU BROCHAGE DU UART AY-3-1015

INSTRUCTION SET SUMMARY

FUNCTION	FORMAT	Clock Cycles	Comments
DATA TRANSFER			
MOV - Move: Register to Register/Memory	1 0 0 0 1 0 0 w mod reg r/m	2/12	
Register to Register/Memory	1 0 0 0 1 0 1 w mod reg r/m	2/9	
Register/Memory to Register	1 1 0 0 0 1 1 w mod 0 0 0 r/m data data if w = 1	12-13	8/16-bit
Immediate to Register/Memory	1 0 1 1 w reg data data if w = 1	3-4	8/16-bit
Immediate to Register	1 0 1 1 w reg data data if w = 1	9	
Memory to Accumulator	1 0 1 0 0 0 0 w addr-low addr-high	8	
Accumulator to Memory	1 0 1 0 0 0 1 w addr-low addr-high	2/9	
Register/Memory to Segment Register	1 0 0 0 1 1 1 0 mod 0 reg r/m	2/11	
Segment Register to Register/Memory	1 0 0 0 1 1 0 0 mod 0 reg r/m		
PUSH - Push:			
Memory	1 1 1 1 1 1 1 mod 1 0 r/m	10	
Register	0 1 0 1 1 reg	10	
Segment register	0 0 0 1 1 1 0 reg 1 1 0	9	
POP - Pop:			
Memory	1 0 0 0 1 1 1 1 mod 0 0 0 r/m	20	
Register	0 1 0 1 1 reg	10	
Segment register	0 0 0 1 1 1 1 (reg = 01)	8	
XCHG - Exchange:			
Register/Memory with Register	1 0 0 0 0 1 1 w mod reg r/m	4/17	
Register with Accumulator	1 0 0 1 0 reg	3	
SHL - Logical Shift:			
Fixed port	1 1 1 0 0 1 0 w port	10	
Variable port	1 1 1 0 1 1 0 w	8	
SHR - Logical Shift:			
Fixed port	1 1 1 0 0 1 1 w port	9	
Variable port	1 1 1 0 1 1 1 w	7	
ROL - Rotate Left:			
Variable port	1 1 0 1 0 1 1 1	11	
ROR - Rotate Right:			
Variable port	1 1 0 0 1 1 0 1	6	
LDI - Load Immediate:	1 0 0 0 1 0 1 mod reg r/m	18	
LDD - Load Double Word:	1 1 0 0 0 1 0 1 mod reg r/m (mod = 11)	18	
LES - Load Pointer:	1 1 0 0 0 1 0 0 mod reg r/m (mod = 11)	18	
LAD - Load Accumulator with Flags:	1 0 0 1 1 1 1 1	2	
STAF - Store Accumulator Flags:	1 0 0 1 1 1 1 0	3	
PUSHF - Push Flags:	1 0 0 1 1 1 0 0	9	
POPF - Pop Flags:	1 0 0 1 1 1 0 1	8	
SEGMENT - Segment Override:			
CS	0 0 1 0 1 1 1 0	2	
DS	0 0 1 1 0 1 1 0	2	
SS	0 0 1 1 1 1 1 0	2	
ES	0 0 1 0 0 1 1 0	2	

Shaded areas indicate instructions not available in IAPX 86, 88 microsystems.

INSTRUCTION SET SUMMARY (Continued)

FUNCTION	FORMAT	Clock Cycles	Comments
ARITHMETIC			
ADD - Add			
Register-memory with register to either	$0000000w \text{ mod reg r/m}$	3/10	
Immediate to register-memory	$1000000s w \text{ mod } 000 \text{ r/m} \text{ data} \text{ data } f/w = 01$	4/16	
Immediate to accumulator	$0000010w \text{ data} \text{ data } f/w = 1$	3/4	8/16-bit
ADC - Add with carry			
Register-memory with register to either	$0001000w \text{ mod reg r/m}$	3/10	
Immediate to register-memory	$1000000s w \text{ mod } 010 \text{ r/m} \text{ data} \text{ data } f/w = 01$	4/16	
Immediate to accumulator	$0001010w \text{ data} \text{ data } f/w = 1$	3/4	8/16-bit
INC - Increment			
Register-memory	$1111111w \text{ mod } 000 \text{ r/m}$	3/15	
Register	01000 reg	3	
DEC - Subtract			
Register-memory and register to either	$0010100w \text{ mod reg r/m}$	3/10	
Immediate from register-memory	$1000000s w \text{ mod } 011 \text{ r/m} \text{ data} \text{ data } f/w = 01$	4/16	
Immediate from accumulator	$0010110w \text{ data} \text{ data } f/w = 1$	3/4	8/16-bit
DBT - Subtract with borrow			
Register-memory and register to either	$0001100w \text{ mod reg r/m}$	3/10	
Immediate from register-memory	$1000000s w \text{ mod } 011 \text{ r/m} \text{ data} \text{ data } f/w = 01$	4/16	
Immediate from accumulator	$0001110w \text{ data} \text{ data } f/w = 1$	3/4	8/16-bit
DEC - Decrement			
Register-memory	$1111111w \text{ mod } 001 \text{ r/m}$	3/15	
Register	01001 reg	3	
DDI - Convert			
Register-memory with register	$0011101w \text{ mod reg r/m}$	3/10	
Register with register-memory	$0011100w \text{ mod reg r/m}$	3/10	
Immediate with register-memory	$1000000s w \text{ mod } 111 \text{ r/m} \text{ data} \text{ data } f/w = 01$	3/10	
Immediate with accumulator	$0011110w \text{ data} \text{ data } f/w = 1$	3/4	8/16-bit
NEG - Change sign	$1111011w \text{ mod } 011 \text{ r/m}$	3	
AAD - ASCII adjust for add	00110111	8	
AAS - ASCII adjust for sub	00100111	4	
AAS - ASCII adjust for subtract	00111111	7	
AAD - ASCII adjust for add	00101111	4	
MUL - Multiply (unsigned)	$1111011w \text{ mod } 100 \text{ r/m}$	26-31	
Register-Byte		35-37	
Register-Word		32-34	
Memory-Byte		41-43	
Memory-Word			
IMUL - Integer multiply (signed)	$1111011w \text{ mod } 101 \text{ r/m}$	25-28	
Register-Byte		34-37	
Register-Word		31-34	
Memory-Byte		40-43	
Memory-Word			
SHR - Shift right logical	$0110011w \text{ mod } 100 \text{ r/m}$	22-23	
Register-Byte		22-23	
Register-Word		22-23	
Memory-Byte		22-23	
Memory-Word		22-23	
SHR - Shift right arithmetic	$1111011w \text{ mod } 110 \text{ r/m}$	29	
Register-Byte		38	
Register-Word		35	
Memory-Byte		44	
Memory-Word			

Shaded areas indicate instructions not available in iAPX 86, 88 microsystems.

INSTRUCTION SET SUMMARY (Continued)

FUNCTION	FORMAT	Clock Cycles	Comments
ARITHMETIC (Continued)			
IRI - Integer divide (signed)	$111011w \text{ mod } 111 \text{ r/m}$	44-52	
Register-Byte		53-61	
Register-Word		50-58	
Memory-Byte		59-67	
Memory-Word		19	
AAD - ASCII adjust for multiply	110101000001010	15	
AAS - ASCII adjust for divide	1101010100001010	2	
CBW - Convert byte to word	10011000	4	
CWD - Convert word to double word	10011001		
LOGIC			
Shift/rotate instructions:			
Register-Memory by 1	$1101000w \text{ mod } 111 \text{ r/m}$	2/15	
Register-Memory by CL	$1101001w \text{ mod } 111 \text{ r/m}$	5-n/17+n	
TTT instructions			
		0 0 0	FCL
		0 0 1	FCR
		0 1 0	FCL
		0 1 1	FCR
		1 0 0	SHL-SAR
		1 0 1	SHR
		1 1 1	SAR
AND - And			
Register-memory and register to either	$0010000w \text{ mod reg r/m}$	3/10	
Immediate to register-memory	$1000000s w \text{ mod } 100 \text{ r/m} \text{ data} \text{ data } f/w = 1$	4/16	
Immediate to accumulator	$0010010w \text{ data} \text{ data } f/w = 1$	3/4	8/16-bit
TEST - And test/sets to flags, no result			
Register-memory and register	$1000010w \text{ mod reg r/m}$	3/10	
Immediate data and register-memory	$1111011w \text{ mod } 000 \text{ r/m} \text{ data} \text{ data } f/w = 1$	4/10	
Immediate data and accumulator	$1010100w \text{ data} \text{ data } f/w = 1$	3/4	8/16-bit
OR - Or			
Register-memory and register to either	$0000100w \text{ mod reg r/m}$	3/10	
Immediate to register-memory	$1000000s w \text{ mod } 011 \text{ r/m} \text{ data} \text{ data } f/w = 1$	4/16	
Immediate to accumulator	$0000110w \text{ data} \text{ data } f/w = 1$	3/4	8/16-bit
XOR - Exclusive or			
Register-memory and register to either	$0011000w \text{ mod reg r/m}$	3/10	
Immediate to register-memory	$1000000s w \text{ mod } 110 \text{ r/m} \text{ data} \text{ data } f/w = 1$	4/16	
Immediate to accumulator	$0011010w \text{ data} \text{ data } f/w = 1$	3/4	8/16-bit
NOT - Invert register-memory	$1111011w \text{ mod } 010 \text{ r/m}$	3	
STRING MANIPULATION			
MOVS - Move byte word	$1010010w$	14	
CMPS - Compare byte word	$1010011w$	22	
SCAS - Scan byte word	$1010111w$	15	
LDS - Load byte word to ALAX	$1010110w$	12	
STD - Store byte word from ALAX	$1010101w$	10	
STOS - Store byte word to memory	$0110110w$	14	
STOS - Store word to memory	$0110111w$	14	

Shaded areas indicate instructions not available in iAPX 86, 88 microsystems.

INSTRUCTION SET SUMMARY (Continued)

FUNCTION	FORMAT	Clock Cycles	Comments
STRING MANIPULATION (Continued):			
Repeated by count in CX			
MOVB - Move string	11100101010010W	8-8n	
CMPS - Compare string	111100121010011W	5+22n	
SCAS - Scan string	111100121010111W	5+15n	
LODS - Load string	111100101010110W	8+11n	
STOS - Store string	111100101010101W	8+9n	
CONTROL TRANSFER			
CALL - Call Direct within segment	11101000 disp-low disp-high	14	
Regular memory indirect within segment	11111111 mod 010 r/m	13/19	
Direct intersegment	10011010 segment offset segment selector	23	
Indirect intersegment	11111111 mod 011 r/m mod = 11	38	
JMP - Absolute jump Short/long	11101011 disp-low	13	
Direct within segment	11101001 disp-low disp-high	13	
Regular memory indirect within segment	11111111 mod 100 r/m	11/17	
Direct interseg	11101010 segment offset segment selector	13	
Indirect intersegment	11111111 mod 101 r/m mod = 11	26	
RET - Return from CALL Within segment	11000011	16	
Within seg adding address to SP	11000010 data-low data-high	18	
Intersegment	11001011	22	
Intersegment adding address to SP	11001010 data-low data-high	25	

Shaded areas indicate instructions not available in IAPX 86, 88 microsystems.

INSTRUCTION SET SUMMARY (Continued)

FUNCTION	FORMAT	Clock Cycles	Comments
CONTROL TRANSFER (Continued):			
JNZ - Jump on not zero	01110100 disp	4/13	JMP not taken/JMP taken
JL/JG - Jump on less/greater or equal	01111100 disp	4/13	
JLE/JGE - Jump on less or equal/greater or equal	01111110 disp	4/13	
JMP/JMP - Jump on below/above or equal/below	01110010 disp	4/13	
JBE/JBE - Jump on below or equal/below or equal	01110110 disp	4/13	
JMP/JMP - Jump on parity/parity odd	01111010 disp	4/13	
JM - Jump on overflow	01110000 disp	4/13	
JC - Jump on carry	01111000 disp	4/13	
JNE/JNE - Jump on not equal/not zero	01110101 disp	4/13	
JNL/JNG - Jump on not less/greater or equal	01111101 disp	4/13	
JNL/JNG - Jump on not less or equal/greater or equal	01111111 disp	4/13	
JNB/JNB - Jump on not below or equal/below	01110011 disp	4/13	
JNB/JNB - Jump on not below or equal/below	01110111 disp	4/13	
JMP/JMP - Jump on not parity odd	01111011 disp	4/13	
JNO - Jump on not overflow	01110001 disp	4/13	
JNS - Jump on not sign	01111001 disp	4/13	
JCCZ - Jump on CF zero	11100011 disp	5/15	
LOOP - Loop if not zero	11100010 disp	6/16	
LOOPZ/LOOPE - Loop while zero/equal	11100001 disp	6/16	LOOP not taken/LOOP taken
LOOPNZ/LOOPNE - Loop while not zero/not equal	11100000 disp	6/16	
INTERRUPT			
INT - Interrupt Type specified	11001101 type	47	
Type 3	11001100	45	
INT0 - Interrupt on overflow	11001110	48/4	if INT taken/INT not taken
IRET - Interrupt return	11001111	28	

Shaded areas indicate instructions not available in IAPX 86, 88 microsystems.

INSTRUCTION SET SUMMARY (Continued)

FUNCTION	FORMAT	Clock Cycles	Comments
PROCESSOR CONTROL			
CS-2B carry	11111000	2	
CS-2B overflow carry	11111001	2	
CS-2B carry	11111010	2	
CS-2B direction	11111011	2	
CS-2B direction	11111100	2	
CS-2B interrupt	11111101	2	
CS-2B interrupt	11111110	2	
CS-2B	11111111	2	
CS-2B	10011011	6	# test = 0
CS-2B odd parity	11110000	2	
CS-2B Processor Extension Escape	10011111 mod LLL rrr LLL, rrr are opcode or processor extension	6	

Shaded areas indicate instructions not available in IAPX 86, 88 microsystems.

FOO

The
comp

if mo

if mo

are 4

if mo

16-b

if mo

if mo

if mo

if mo

if mo

if mo

if mo

if mo

if mo

if mo

if mo

Dis

ne

is

out

is

is


```

:      Système d'initialisation du 80186 ou du 8086. Cette
:      routine détermine s'il s'agit du 80186 ou du 8086 et
:      si c'est le 80186 elle initialise tous les registres
:      intégrés du microcontrôleur.

```

```

:      reprendre          segment at          0FFFFh
:
:                          org      0000h
:                          jmp      far ptr initialisation
:
:      reprendre          ends

```

```

:
:                          extrn    moniteur:far
:
:      inithw             segment at          0FFFF0h
:                          assume   CS:inithw

```

```

:      Ce segment initialise les chips selects. Il doit être
:      localisé dans la zone de 1K afin que le registre UMCS
:      de sélection de la ROM soit programmé.

```

```

:      Localisation des registres chips select

```

```

:      UMCSreg            equ      0FFA0H
:
:      LMCSreg            equ      0FFA2H
:
:      PACSreg            equ      0FFA4H
:
:      MPCSreg            equ      0FFA8H
:
:      UMCSval            equ      0F838H
: ;64k sans état attente
:
:      LMCSval            equ      07F8h
:
:      PACSval            equ      007AH
: ;Adresse de base des périphs à 400h.
:
:      MPCSval            equ      0BAH
: ;PCS5 et PCS6 disponibles. Periphs dans l'espace E/S
:
:      RELOCATIONreg       equ      0FFFFh

```

```

MASQUEintr          equ          0FF28h
CONTintr            equ          0FF38h
:
:
:
initialisation      proc          far
:determine s'il s'agit du 8086 ou du 80186

                    mov          AX,2
                    mov          CL,33
                    shr          AX,CL
                    test         AX,1
                    jz           NON80186

:
:   Initialisation du registre UMCS
:
                    mov          DX,UMCSreg ;programme du registre UMCS
                    mov          AX,UMCSval
                    out          DX,AX
:
:   Initialisation du registre LMCS
:
                    mov          DX,LMCSreg ;programme du registre LMCS
                    mov          AX,LMCSval
                    out          DX,AX
:
:   Initialisation du registre PACS
:
                    mov          DX,PACSreg ;programme du registre PACS
                    mov          AX,PACSval
                    out          DX,AX
:
:   Initialisation du registre MPSC
:
                    mov          DX,MPSCreg
                    mov          AX,MPSCval
                    out          DX,AX

```

NON80186:

jmp far ptr moniteur

```
Initialisation      endp
```

```
inithw              ends  
                  end
```

```
    ; Initialisation du registre RELOCATION pour préciser le mode  
    ;  
    ; fonctionnement des interruptions.
```

```
Modemaitre          segment public 'modemaitre'
```

```
                  assume CS:modemaitre
```

```
Relocationreg      equ          OFFFEh
```

```
Setmaitre          proc far
```

```
                  push DX
```

```
                  push AX
```

```
                  mov DX,relocationreg
```

```
                  in AX,DX
```

```
                  and AX,DX
```

```
                  out dx,ax
```

```
                  pop AX
```

```
                  pop DX
```

```
Setmaitre          endp
```

```
Modemaitre         ends
```

```
    ; Maintenant les registres sont initialisés, le programme principal  
    ;  
    ; de l'ordinateur peut commencer à s'exécuter.
```

```
    ; Initialisation de l'interruption INTO
```

```
Code               segment public 'code'
```

```
                  assume CS:code,DS:code
```

```
contintr          equ          OFF38h
```

```
push DX
push AX
mov ax,00100111b
mov dx,contintr
out dx,ax
mov ax,01001101b
mov dx,masqueintr
out dx,ax
pop ax
pop dx
Seintr      endp
code        ends
end
```

```

;       Système d'initialisation
u 80186 ou du 8086. Cette
;
;       routine détermine s'il s
git du 80186 ou du 8086 et
;
;       si c'est le 80186 elle i
tialise tous les registres
;
;       intégrés du microcontrô
r.
0000      ;
          ;       reprendre          segment
          at          0FFFFh
          ;
0000      ;
          ;
          000h          org
0000      EA 0000 ---- R          jmp
          ;
          ;       ar ptr initialisation
0005      ;
          ;       reprendre          ends
          ;
          ;
          ;       oniteur:far          extrn
0000      ;
          ;       inithw          segment
          at          0FFFFh
          ;
          ;
          CS:inithw          assume
          ;
          ;       Ce segment initialise les c
ps selects. Il doit être
          ;       localisé dans la zone de 1K
fin que le registre UMCS
          ;       de sélection de la ROM soit
rogrammé.
          ;
          ;       Localisation des registres
hips select
= FFA0      ;
          ;       UMCSreg          equ
          0FFA0H
= FFA2      ;
          ;       LMCSreg          equ
          ;

```

```

                                OFFA2H
= FFA4                          PACSreg          equ
                                OFFA4H
= FFA8                          MPCSreg          equ
                                OFFA8H
= F838                          UMCSval         equ
                                OF838H
                                ;64k sans état attente
= 07F8                          LMCSval         equ
                                07F8h
= 007A                          PACSval         equ
                                007AH
                                ;Adresse de base des périphs à
                                0h.
= 00BA                          MPCSval         equ
                                0BAH
                                ;PCS5 et PCS6 disponibles.Perip
                                dans l'espace E/S
= FFFF                          RELOCATIONreg    equ
                                OFFFEh
= FF28                          MASQUEintr     equ
                                OFF28h
= FF38                          CONTintr       equ
                                OFF38h
                                ;
                                ;
0000                             initialisation  proc
                                far
                                ;determine s'il s'agit du 80
                                u du 80186

```

```

0000 B8 0002                      mov     AX,2
0003 B1 21                        mov     CL,3
0005 D3 E8                        shr     AX,
0007 A9 0001                      test    AX,
000A 74 1C                        jz     NON

```

```

;
; Initialisation du regis
MCS

```

```

;
000C BA FFA0 mov DX,UMCS
eg ;programme du registre UMCS
000F B8 F838 mov AX,UMCS
al
0012 EF out DX,AX
;
; Initialisation du registre
CS
0013 BA FFA2 mov DX,LMCS
eg ;programme du registre LMCS
0016 B8 07F8 mov AX,LMCS
al
0019 EF out DX,AX
;
; Initialisation du registre
CS
001A BA FFA4 mov DX,PACS
eg ;programme du registre PACS
001D B8 007A mov AX,PACS
al
0020 EF out DX,AX
;
; Initialisation du registre
CS
0021 BA FFAB mov DX,MPCS
eg
0024 B8 00BA mov AX,MPCS
al
0027 EF out DX,AX
0028 EA 0000 ---- E
NON80186: jmp far ptr mor
ur ; un saut vers un programme
; moniteur
Initialisation endp
inithw

```

ends

Segments and Groups:

Name	Size	Align	Combine Class
INITHW	002D	AT	FFFF0
REPRENDRE	0005	AT	FFFF

Symbols:

Name	Type	Value	Attr
CONTINTR	Number	FF38	
INITIALISATION	F PROC	0000	INITHW Length = 002D
LMCSREG	Number	FFA2	
LMCSVAL	Number	07F8	
MASQUEINTR	Number	FF28	
MONITEUR	L FAR	0000	External
MPCSREG	Number	FFA8	
MPCSVAL	Number	00BA	
NON80186	L NEAR	0028	INITHW
PACSREG	Number	FFA4	
PACSVAL	Number	007A	
RELOCATIONREG	Number	FFFE	
UMCSREG	Number	FFA0	
UMCSVAL	Number	F838	

119 Source Lines
 119 Total Lines
 37 Symbols

49506 Bytes symbol space free

0 Warning Errors
 0 Severe Errors

CONCLUSION :

La carte UC186 est actuellement opérationnelle sur le plan hardware, le logiciel développé n'est rien moins que des routines d'initialisations de test et de mise au point de la carte proprement dite.

Du point de vue hardware, certaines améliorations peuvent être apportées à la carte elle même à savoir:

- + Utilisation des RAMs dynamiques au lieu des RAMs statiques.
- + Passer à la réalisation du bus système en ajoutant sur la carte des contrôleurs de bus et des arbitreurs de bus.

La carte UC186 qui a fait l'objet de ce travail peut supporter plusieurs extensions grâce à son soft, de développer plusieurs applications pouvant même aller jusqu'à implémenter un vrai moniteur doté d'un éditeur de page et d'un debbuger, afin d'afficher les registres sur l'écran et la possibilité de programmer en langage évolués courant tels que BASIC, PASCAL etc..

La carte peut être aussi intégré dans une série de projets tels que:

- + Cartes d'interface disque.
- + Cartes graphiques.etc..

Au terme de cette étude, qui m'a été profitable sur de nombreux plans, j'ai eu l'occasion d'approfondir mes connaissances dans le domaine de la microinformatique s'étendant sur plusieurs domaines tels que:

- + Les microprocesseurs 16 bits.
- + L'environnement des microordinateurs.
- + Le langage assembleur de la famille INTEL.

A N N E X E

SCHEMATHEQUE

DESCRIPTION DU BROCHAGE DU 180188

DESCRIPTION DU BROCHAGE DE L'JART AY-3-1015.

JEU D'INSTRUCTION DU 180188.

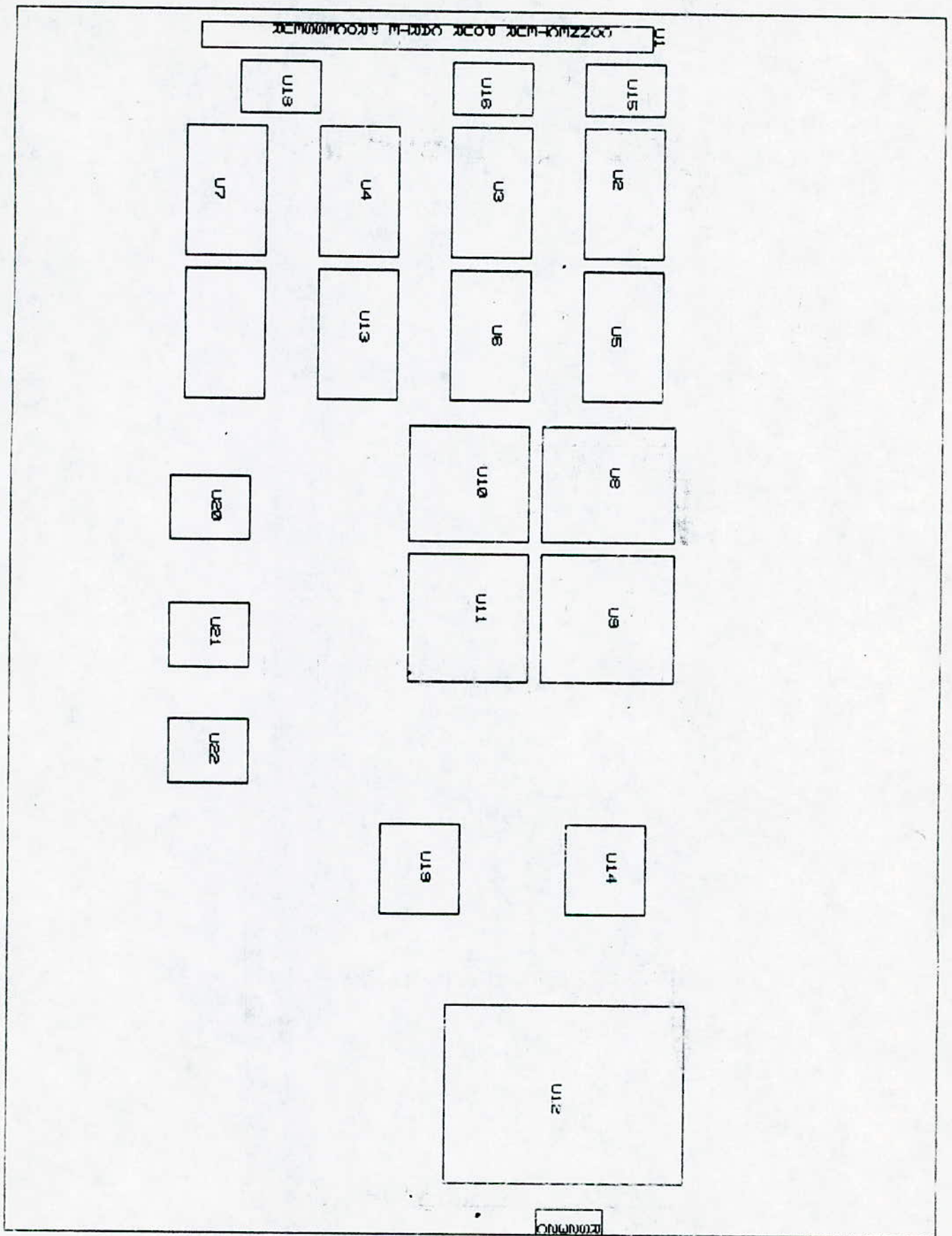


Schéma d'implantation
de la carte LC186.

BIBLIOGRAPHIE :

- **The 8086 book**
RUSSEL RECTOR - GEORGE ALEXY
- **Initiation aux microordinateurs niveau 2**
ADAM OSBORNE
- **Les microprocesseurs 16 bits.**
AUMIAUX
- **Les microprocesseurs 16 bits à la loupe.**
DUBOIS
- **General instrument corp**
telecommunications
- **Revue "Electronique industrielle"**
no 167 nov 89
- **Revue " science et avenir "**
no 24
- **Architecture et programmation du 8086/8088.**
J.M.Trio EDITIONS EYROLLES 1987.
- **IBM-PC Structure et environnement.**
Peter Norton INTER-EDITION 1985.
- **Manuel des interfaces.**
Steve Leibson Mc GRAW HILL 1983.
- **Les circuits clés de l'IBM PC et compatibles.**
H. Lilien EDITION RADIO 1986.
- **Les systemes à microprocesseurs.**
M. Aumiaux EDITION MASSON.
- **Memory components handbook**
INTEL 1984.
- **Microprocessor interfacing techniques.**
R.Zaks et A.Lesea SYBEX 1979
- **Document INTEL d'origine volume I**