



DEPARTEMENT ELECTRICITE

FILIERE D'INGENIEUR EN ELECTRONIQUE

PROJET DE FIN D'ETUDES

ETUDE D'UN PHASEMETRE

NUMERIQUE



Proposé Par :

Mr. ESCALUP

Ingénieur

Etudié Par :

Mr. K. KERROUM

EXHIBIT 310010

DEPARTEMENT ELECTRICITE
FILIERE D'INGENIEUR EN ELECTRONIQUE

PROJET DE FIN D'ETUDES

ETUDE D'UN PHASEMETRE
NUMERIQUE

Proposé Par :

Mr. ESCALUP
Ingénieur

Etudié Par :

Mr. K. KERROUM

PROMOTION JUIN 1978

A Mes Parents

KERROUM KAMEL

- Je tiens à remercier toutes les personnes qui m'ont aidé de près ou de loin à la réalisation de ce projet
- Mes remerciements vont particulièrement à Monsieur ESCALUP qui par ses remarques judicieuses et son aide précieuse, m'a guidé au long de mes travaux.

K. KERROUM

PLAN DE L'ETUDE

Introduction au VOR.

Chapitre 1: Généralités sur les phase-mètres à lecture directe ou à affichage numérique.

Chapitre 2: Etage excréteur et mise en forme.

Chapitre 3: Traitement logique - Processus d'intégration.

- I) Principe.
- II) Chronogramme de la logique.
- III) Système d'indication du sens du déphasage
- IV) Processus d'intégration.

Chapitre 4: Conversion analogique numérique.

- I) Définition
- II) Convertisseur à rampe
- III) Convertisseur à double rampe
- IV) Comptage décimal
- V) Registre mémoire
- VI) Decodeurs BCD/7 segments
- VII) Affichage numérique.

INTRODUCTION AU VOR

Un système d'aide à la navigation très répandu et très utilisé est le VOR. Le système VOR fonctionne sur VHF. Il est à correspondance « Azimut - Phase ». Ce qui signifie que la mesure de l'azimut s'effectue à partir d'une mesure de phase. En ce qui concerne la navigation par VOR deux signaux 30Hz sont extraits de l'onde rayonnée par les circuits du récepteur : l'un est nommé signal phase de référence parce que la phase est invariable quelque soit la position du récepteur en azimut (angle du rayon vecteur balise avec le rayon vecteur Nord magnétique). Le second signal est appelé signal à phase variable parce que son déphasage par rapport au signal de référence varie comme l'azimut. Lorsque l'avion est au Nord il reçoit deux signaux en phase ; s'il est à 90° (EST) le déphasage est de 90° , s'il est à 180° le déphasage est de 180° . À partir des deux signaux de 30Hz un phase-mètre à affichage numérique mesure le déphasage. Il existe aussi des phase-mètres à aiguille (lecture directe) la sortie vers un ordinateur.

Chapitre 1.

Generalités sur les phasemètres à lecture directe ou à affichage numérique.

La phase dans de nombreux équipements : radionavigation - radiogonimétrie - servomecanismes constitue le paramètre essentiel de l'emploi du phasemètre est tout récent. La phase est la translation angulaire d'un décalage dans le temps séparant deux signaux électriques de configuration périodique. Rappelons que le signal le plus apte à la mesure est le signal sinusoïdal (dans notre cas on a deux signaux sinusoïdaux de 30Hz) et que la mesure du déphasage d'un signal (phase variable) consiste à déterminer son avance ou son retard par rapport à un signal de même fréquence.

Les constructeurs ont de grandes difficultés à la fabrication de phasemètres car toutes sortes de précautions s'avèrent nécessaires : sélection rigoureuse des composants, vieillissement, appariement de certains éléments actifs, méthode de réglage élaborée, fiabilité, précision.

La différence entre un phasemètre à lecture directe et un phasemètre à affichage numérique réside dans l'affichage du résultat. Dans le premier cas l'affichage est obtenu sur un galvanomètre dans le second cas on utilise un voltmètre numérique à quatre digits en prévoyant une sortie BCD.

La constitution d'un phasemètre numérique apparaît assez simple si l'on juge le schéma synoptique de la figure 1.

On notera : A_2 signal à phase variable. B_2 signal à phase fixe.

Chacune des entrées débouche sur un étage ecriteur qui a pour mission de transformer la forme sinusoïdale en signaux rectangulaires à fronts de montée et de descente très courts. La mise en forme suivante délivre les signaux logiques nécessaires à l'attaque "TT2" du circuit de traitement. Ce dernier comporte entre autre un circuit « ou exclusif » qui fournit une suite d'impulsions de largeur rigoureusement égale au décalage existant entre les tensions A_2 et B_2 appliquées à l'entrée. Un circuit intégrateur transforme en valeur moyenne la durée équivalente au décalage. Une saturation rend disponible la tension « analogique » composante continue exprimant la pente de conversion « tension - degré ». En appliquant cette tension à un voltmètre numérique on obtient toute la précision souhaitable.

Le traitement logique déclenche une bascule D qui s'inverse une fois pour toute à l'application des signaux A_2 et B_2 pour éclairer la lampe, selon que le premier signal est en avance ou en retard sur le second. Le mécanisme de ce lever de doute sera expliqué par le schéma même du système logique.

Le Phasemètre numérique comprend un très grand nombre de composants et il n'est pas très pédagogique d'en donner le schéma complet. Celui-ci est donc représenté sous forme de blocs fonctionnels. Si l'on a compris le fonctionnement des blocs pris séparément, l'étude de l'ensemble se trouvera grandement facilitée. La reproduction complète du schéma deviendra ainsi inutile.

Le phasemètre est à forte impédance d'entrée et de faible impédance de sortie afin d'obtenir une réduction considérable de la puissance consommée.

La bande "passante" est élargie, une précision nettement améliorée.

L'indication numérique (affichée) est exempte d'un grand nombre d'erreurs affectant un phasemètre à lecture directe: fidélité; mauvais contacts, champ parasite, coefficient de température.

Les principaux phénomènes gênant la mesure du déphasage sont :

- bruit thermique dans une résistance et dans une impédance.
- bruit de fond dans une impédance.
- bruit caractéristiques des transistors.
- les ronflements : un mauvais filtrage de la source peut engendrer des ronflements.

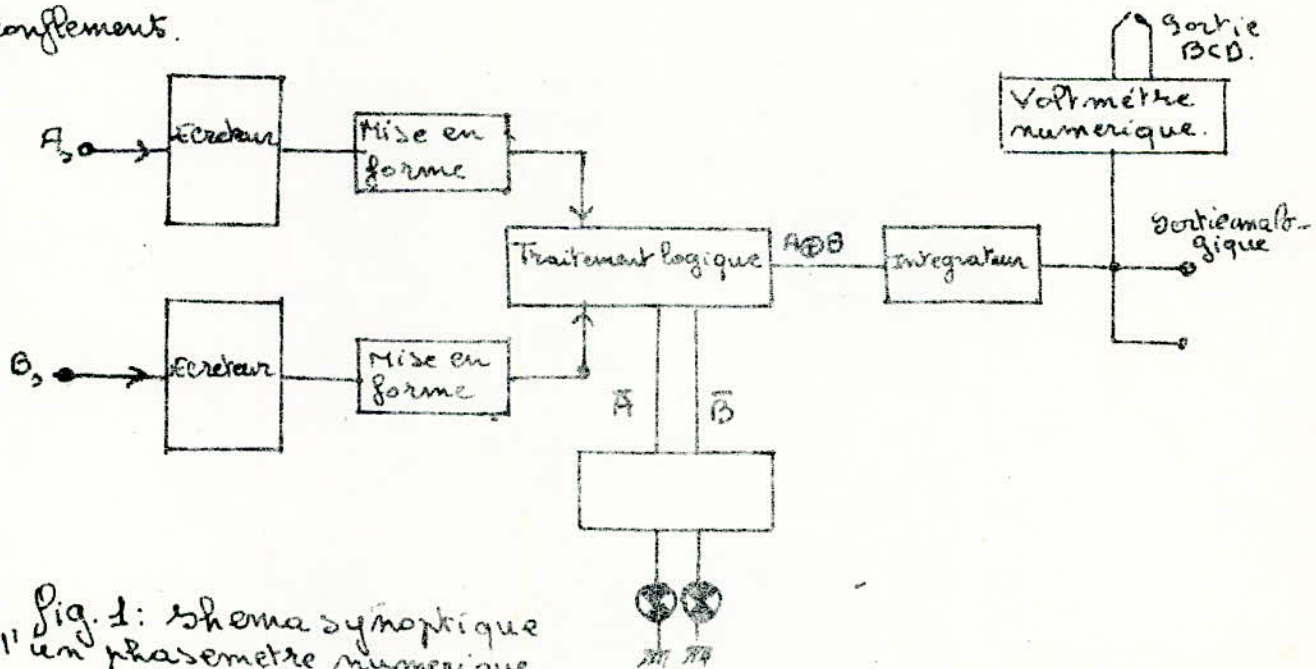


Fig. 1: schéma synoptique d'un phasemètre numérique.

Chapitre 2

Étage écriteur et mise en forme.

Il faut transformer les signaux sinusoïdaux (30Hz chacun) appliqués à l'entrée des étages afin qu'ils soient compatibles TTL. Le montage de la figure A) utilise deux circuits intégrés très classiques (7409 et le 7402) montés en écriteur et plusieurs transistors, diodes et autre semi-conducteurs.

Chaque entrée débouche sur un circuit RC de liaison dont l'impédance est évaluée à 820K Ω aux fréquences moyennes.

Les résistances R_1 et R_2 constituent un pont diviseur qui évite de reporter sur les entrées la non linéarité des diodes D_1 et D_2 . Celles-ci écrivent le signal à 10,7V (tension de seuil d'une diode à silicium) environ et protègent le transistor à effet de champ qui suit contre les surcharges d'entrée. On fait par ailleurs appel à un TEC afin d'obtenir une grande impédance branchée sur les diodes afin que celles-ci remplissent leur fonction limiteuse avec le maximum d'efficacité. Le couplage direct avec le transistor BC 212 permet d'accroître l'amplification faible avec le TEC précédent.

Le microcircuit suivant comporte un ampli opérationnel dont les principales caractéristiques sont données par le tableau suivant:

condition de mesure: T_{ambiante}	25°C
tension de sortie comprise entre:	$\pm 3\text{V} \pm 15$ volts
decalage de la tension d'entrée	1mV
decalage du courant à l'entrée	50 nA
Resistance d'entrée	400k Ω
Resistance de sortie	150 Ω
consommation de puissance	80mW

Le $\mu\text{A}709$ comporte deux possibilités de compensation entre les bornes 6 et 1 et entre les bornes 5 et la sortie 6. En effet le gain en boucle ouverte du $\mu\text{A}709$ est élevé entre 25000 et 70.000 (soit environ entre 88 et 97 dB) et sans compensation il se met à osciller or un seul réseau ne réussit qu'à compenser sur plus de 60 dB.

Dans notre schéma une compensation élémentaire consiste donc à connecter des capacités $C_2 = 10\text{pF}$ entre les bornes 1 et 8 et $C_6 = 3\text{pF}$ entre les bornes 5 et 6. Pour élargir la bande passante une résistance $R_{10} = 1\text{k}\Omega$ est branchée en série avec C_2 . Le condensateur C_2 introduit dans la caractéristique de réponse une fréquence de coupure f_1

telle que:

$$f_1 = \frac{1}{2\pi C_2 R_a}$$

R_a : résistance vue entre la borne 1 et la masse.

A_2 : Gain en tension de l'ampli (TR_4 et TR_6).

- 7 -

La résistance R_5 série, de 50 Ω environ connectée en sortie du $\mu A 709$ élimine les oscillations dues aux faibles charges capacitives. Lorsque la liaison à l'étage suivant est directe comme dans notre cas une compensation de la tension de décalage du $\mu A 709$ s'impose, c'est le but poursuivi par le potentiomètre R_1 dont le curseur aboutit via un atténuateur par 100 ($R_{16} \# 100\Omega$ $R_{17} \# 10k\Omega$) à l'entrée non inverseuse 3.

Le microcircuit comprenant le $\mu A 703$ fonctionne en limiteur double alternance grâce aux diodes D_3 et D_4 . En continue le gain de l'étage est limité par le rapport $\frac{R_9 + R_{13}}{R_7}$ qui est de l'ordre de 20.

Les résistances R_9 et R_{13} sont en effet découplées par C_3 . En alternatif le gain est défini par le rapport $\frac{R_{14}}{R_7} \# 100$ et ce jusqu'à concurrence de l'action limitatrice des diodes D_3 et D_4 (jusqu'à 90°). Lorsque celles-ci conduisent, le gain de l'étage devient en effet quasiment nul.

L'étage suivant a été choisi à telles fins que le signal de sortie soit compatible TTL. Il comporte un circuit opérationnel le $\mu A 708$ dont les principales caractéristiques sont données par le tableau suivant:

condition de mesure : Température ambiante 25°C
Tension de sortie +12V - 6V
Tension de décalage à l'entrée 0,5 mV
Courant de décalage à l'entrée 0,18 μA .

Une surtension appliquée à l'entrée du 74702 risque de l'endommager si son niveau dépasse la tension maximale permise. Pour parer à cet inconvénient on place deux diodes D_5 et D_6 montées "tête bêche".

La compensation en fréquence est réalisée en reliant les bornes 4 et 8 par C_{10} et C_{11} . Lorsque le 74702 attaque le circuit classique de logique deux précautions sont alors à prendre :

- 1) La tension de sortie du circuit linéaire ne doit guère excéder la tension d'entrée du circuit logique.
- 2) Le courant de sortie du circuit linéaire ne doit pas dépasser la valeur maximale admise.

On obtient si ces deux résultats grâce aux deux diodes D_7 et D_8 . La diode D_8 limite l'excursion à environ -0,7 volts. La résistance interne de l'amplificateur permettant alors de maintenir le courant de sortie à une valeur compatible avec son bon fonctionnement. La diode D_7 est connectée entre la base du transistor de puissance et la ligne d'alimentation positive du circuit de logique ainsi la tension de sortie ne peut excéder cette dernière.

Pour ce faire on aligne la sortie à +5 volts en reliant la borne 6 du 74702 à une source constante de +5 V via la diode D_9 . Ainsi la tension apparaissant en 7 ne peut monter au delà de +5 volts, inversement grâce à D_8 la dite tension ne peut devenir négative. Le signal est donc sensiblement aligné au niveau 0.

Le 7402 utilisé fonctionne en comparateur puisque la sortie 4 revient via une résistance R_{22} sur l'entrée non inverseuse 3.

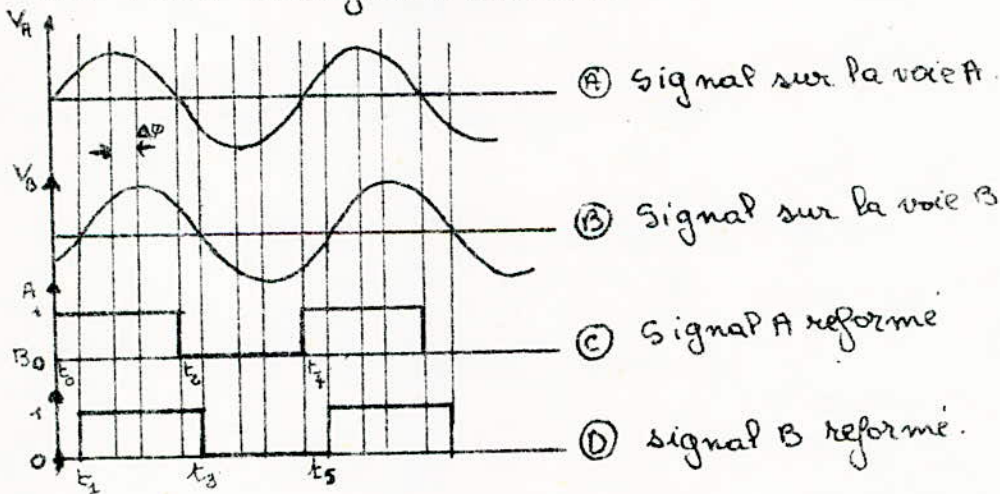
La réaction étant positive l'étage bascule rapidement d'état à chaque sollicitation d'entrée.

En raison du fait que le 7402 fournit à sa sortie des niveaux logiques il est tout naturellement destiné à être suivi par des circuits logiques.

Son niveau bas doit se situer autour de 0V et son niveau haut doit par conséquent être positif.

On reçoit les signaux rectangulaires A et B en parfait synchronisme avec les signaux d'entrée A_s et B_s lesquels sont sinusoïdaux.

On obtient les signaux suivants.



Remarquons que le circuit de mise en forme est assez complexe un schéma de mise en forme peut être réalisé plus facilement à l'aide d'un circuit intégré le 6M311.

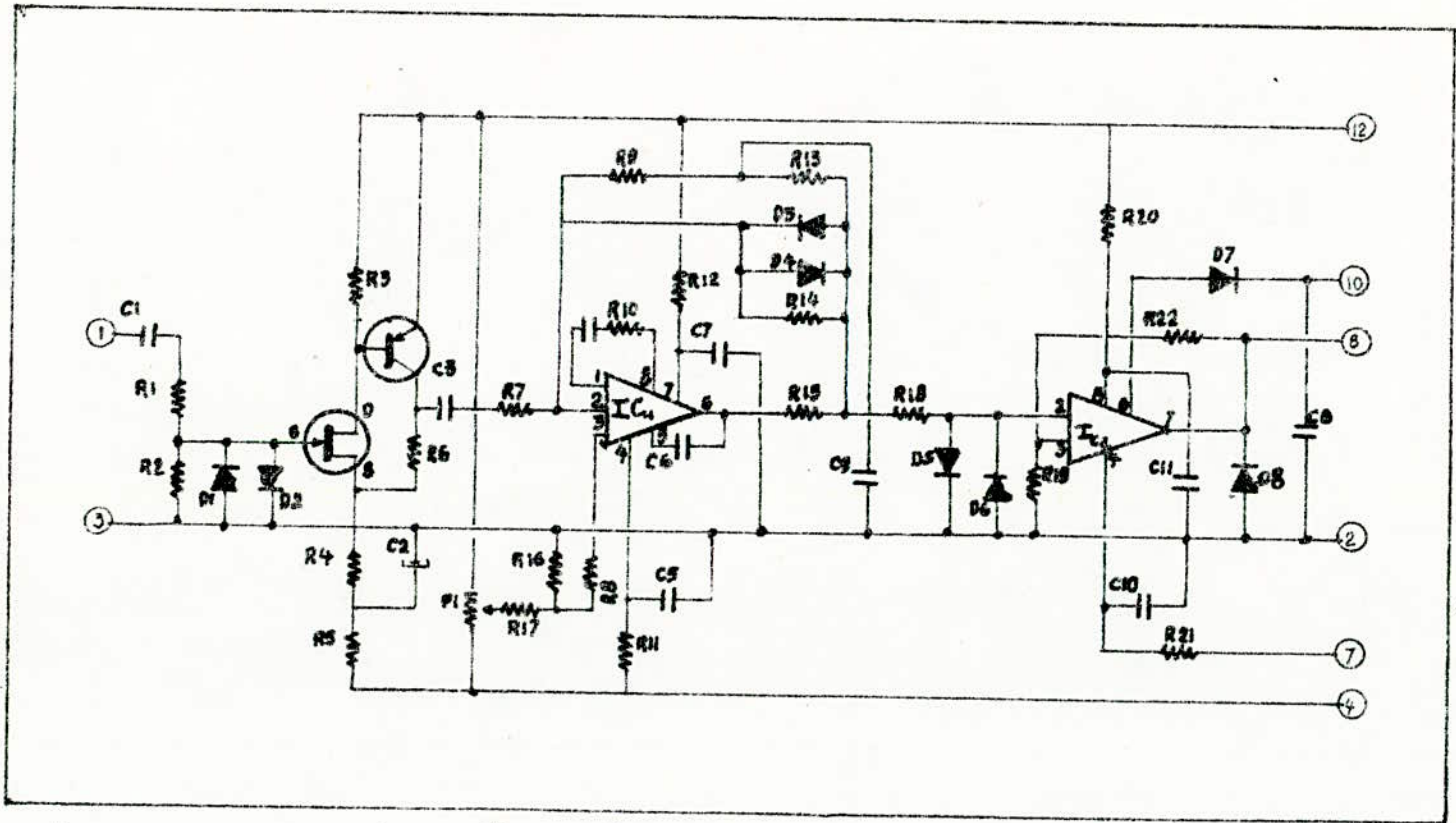
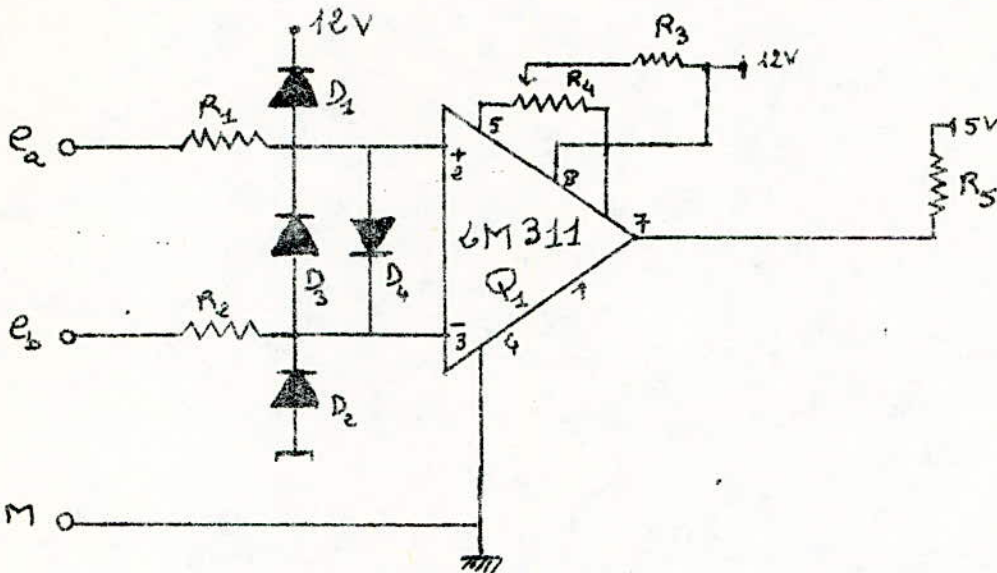


Fig 1: Schéma de l'amplificateur exciteur.
IC₁: 74709 IC₂: 74702

Autre schéma de mise en forme:



Le signal de référence e_a est appliqué aux entrées du comparateur Q_1 par l'intermédiaire d'un réseau composé $R_1 - R_2$ et D_1 à D_4 . Ces éléments ont pour fonction de protéger le comparateur contre les surcharges éventuelles.

Un circuit identique peut être réalisé pour le signal variable e_b .
Les sorties des deux comparateurs attaquent un circuit "ou exclusif" comme dans le cas précédent.

Chapitre 3.

Traitement logique. Processus d'intégration

I Principe

Chaque étage metteur en forme contribue à créer des impulsions décalés dans le temps à cause du déphasage. Ces signaux ^{aboutissent} à des portes NAND par les entrées (3) et (5). La liaison des circuits « mise en forme » au circuit logique s'effectue par le câblage assez complexe de la figure (2) auquel sont associés le système d'alimentation générale et les sources particulières nécessaires au bon fonctionnement de la logique et des circuits annexes. Les portes ET-NON sont agencées en symétrique afin que les impulsions traversent une chaîne de circuits identiques, de telle sorte que les temps de transit restent voisins. Aucun décalage de aux circuits n'apparaît donc entre les signaux traités. Certaines portes sont regroupées de telle manière que la fonction « ou exclusive » soit obtenue. Il en ressort un train d'impulsions dont la durée correspond exactement au décalage de temps existant entre les deux signaux reformés. Cette information temps est intégrée est intégrée par le microcircuit IC₂ SW7841 qu'on verra dans la partie : intégration. Ce montage^{intégrateur} se présente sous la forme assez classique d'un amplificateur opérationnel comportant sur l'entrée inverseuse et la sortie

un condensateur ($C_1 \# 4,7 \mu F$) shunté par une résistance ajustable ($T_1 + T_2 + R_2$ variant de $47 k\Omega$ à $157 k\Omega$).

Le schéma des étages assurant le traitement du déphasage et le processus d'intégration est donné par la figure 3.

La sortie délivre une tension continue proportionnelle au déphasage qu'un voltmètre numérique (convertisseur analogique-numérique) peut compter. Un ajustement de la tension disponible permet le réglage de l'affichage maximale.

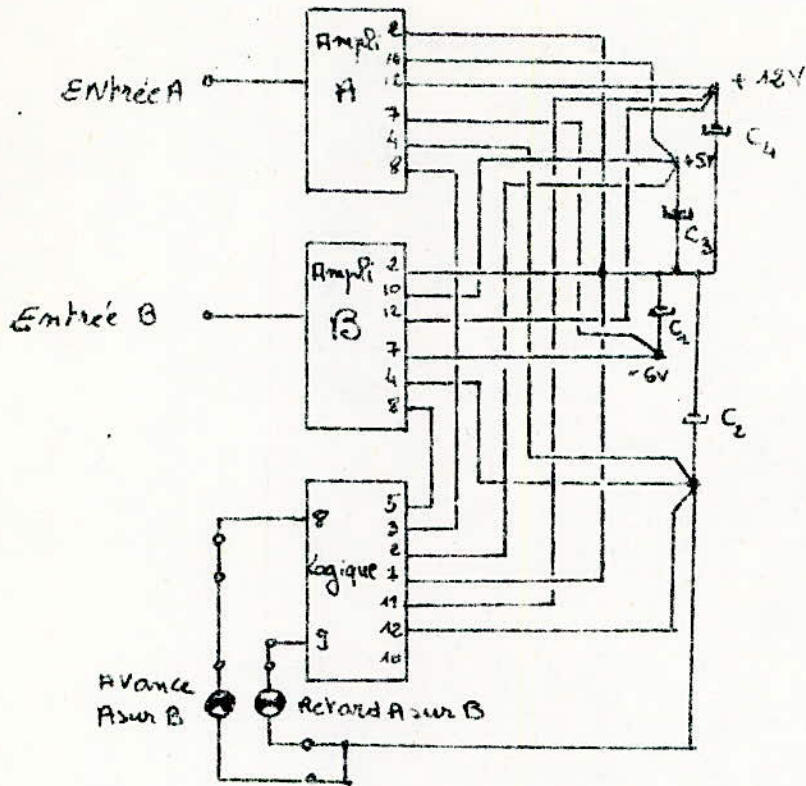


Figure 2 : liaison des circuits « mise en forme » au circuit logique

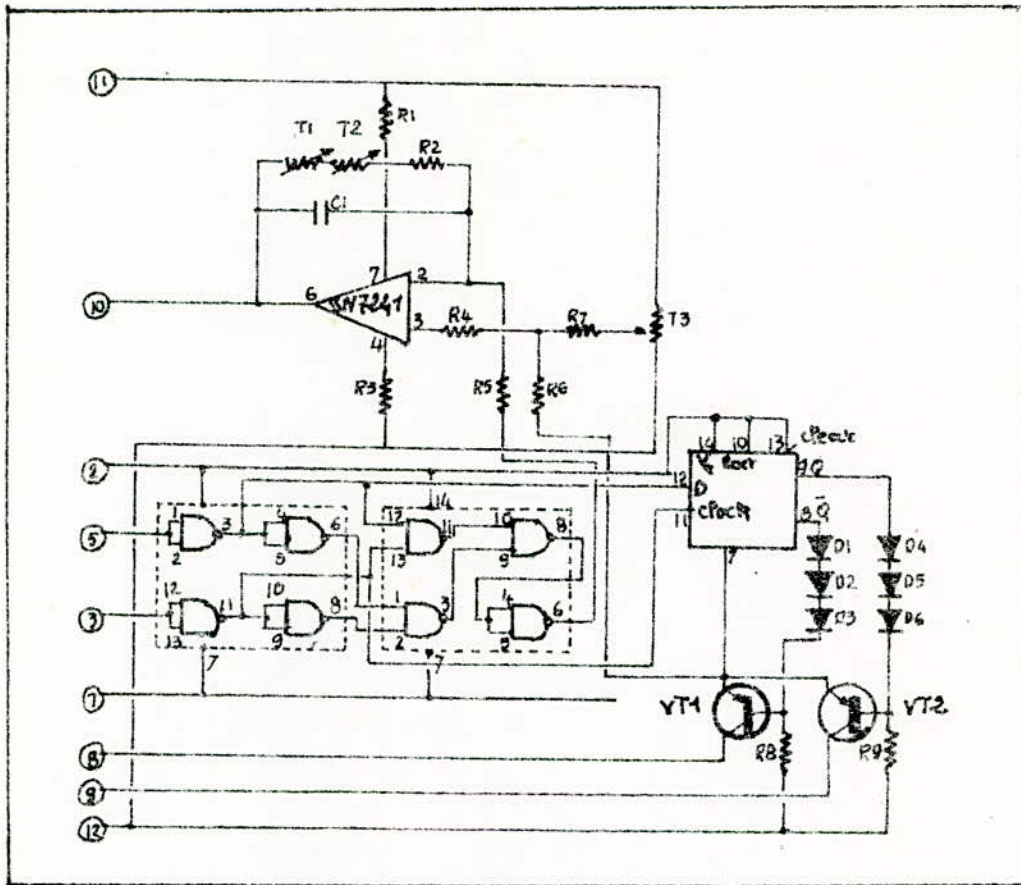


Fig 3 : Etages assurant le traitement du déphasage

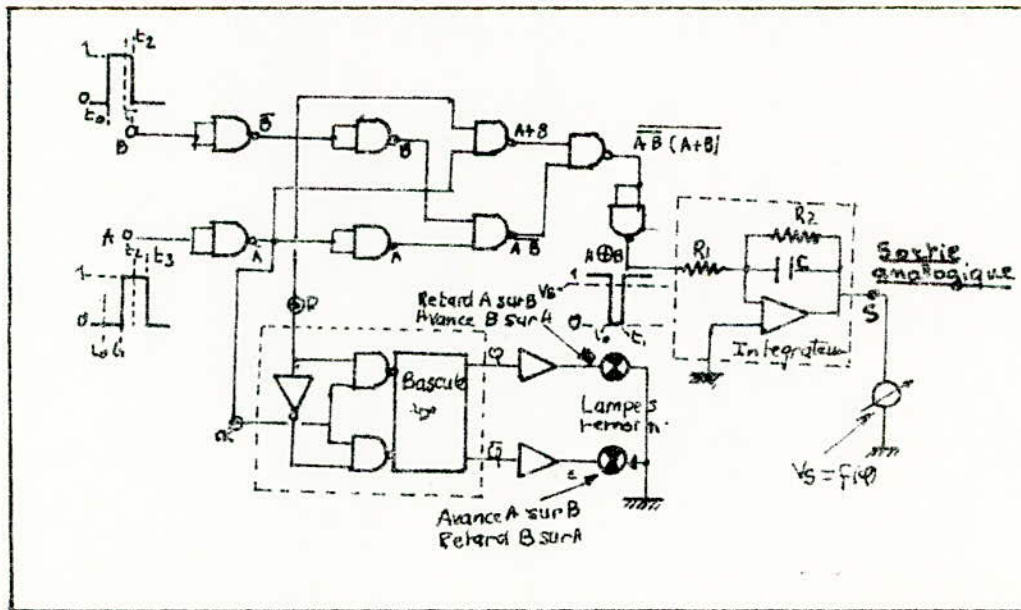


Fig 4: schéma synoptique du traitement des signaux déphasés et du peage de douze sur le sens du déphasage

II Chronogramme de la Logique

Afin d'expliquer le fonctionnement précis du dispositif mettant en évidence le décalage entre les signaux A et B il faut reprendre le schéma synoptique du traitement logique et l'expliquer mieux. Considérons alors la figure 4.

Chacun des signaux reformés rencontre un nombre identique de portes NAND. Les temps de transit sont donc analogues ceci explique et justifie à la fois que les fonctions ET complémentées et OU obtenus par le truchement des règles de Morgan sont réalisés à partir des signaux plusieurs fois complémentés. A l'extrémité de la chaîne on a $S = A \oplus B$. C'est ce signal qui aboutit finalement à l'intégrateur.

Le chronogramme de la figure 5 donne le détail des transformations: en V_A et V_B nous trouvons les signaux sinusoïdaux décalés dans le temps par suite d'un déphasage $\Delta\varphi = \omega \Delta t$ ce Δt est par principe contrôlé sur un oscilloscope bicourbe mais non mesuré.

Après reformage des informations sous la forme des impulsions A et B le décalage est plutôt défini par $\Delta t = t_2 - t_0 = t_3 - t_2 = t_5 - t_4$.

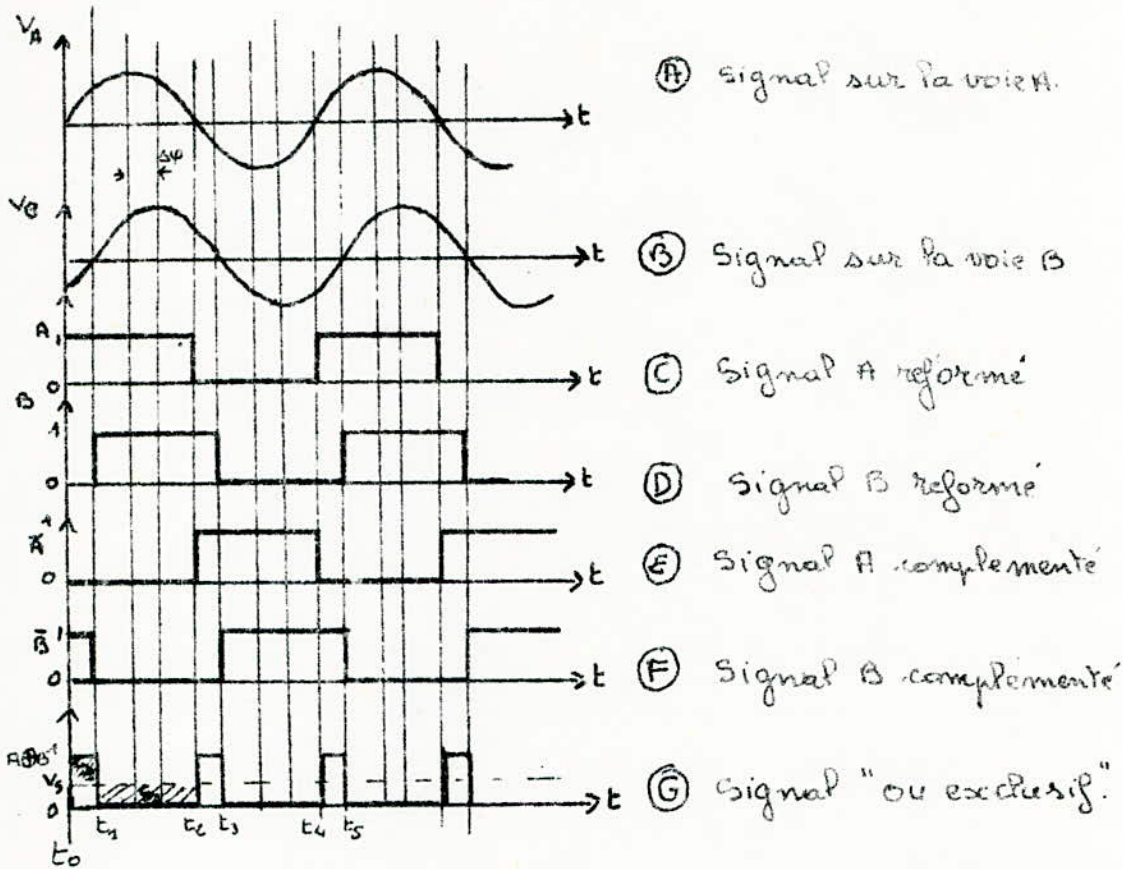
En complémentant les signaux A et B on retourne simplement le sens des impulsions. Le niveau 1 correspondant à la présence d'un signal on peut pour chacun d'entre eux établir le tableau séquentiel suivant:

Signal	Sequences				
	$t < t_0$	$t_0 < t < t_1$	$t_1 < t < t_2$	$t_2 < t < t_3$	$t > t_3$
A	0	1	1	0	0
B	0	0	1	1	0
\bar{A}	1	0	0	1	1
\bar{B}	1	1	0	0	1
$A\bar{B}$	0	1	0	0	0
$\bar{A}B$	0	0	0	1	0
$\bar{A}B + A\bar{B}$	0	1	0	1	0

on constate d'après ce tableau qui se trouve être évidemment le tableau de vérité d'un circuit "ou exclusif" que ce sont les intervalles de temps correspondant précisément au décalage Δt qui créent un niveau logique 1.

Le signal G de la figure 5 montre la présence d'impulsions dont la largeur est d'autant plus grande que le décalage est lui-même important. Pour aucun déphasage les impulsions n'existent pas pour $\varphi = 90^\circ$ les impulsions occupent la moitié de la période de récurrence qui du fait de la logique combinatoire est elle-même moitié du signal appliqué. Si le déphasage tend vers 180° les intervalles $t_1 - t_0$ et $t_3 - t_2$ croissent amenuisant l'espace $t_2 - t_1$ jusqu'à l'annuler pour $\varphi = 180^\circ$. Théoriquement l'intégrateur se verrait attaqué par un niveau 1 constant. Ce niveau 1 se trouve alors strié par les transitions des

impulsions. L'intégration représente une mesure très voisine de 1.



On voit que les impulsions engendrent une valeur moyenne proportionnelle au déphasage.

la valeur moyenne étant indépendante de la période de récurrence.
 la bande passante du système s'avère grande.

III Systeme d'indication du sens du déphasage

Le système d'indication du sens du déphasage est obtenu au moyen de deux lampes commandés par des transistors BC 2126 (figure 3) eux mêmes attaqués par les niveaux logiques Φ et $\bar{\Phi}$ délivrés par une bascule D. Cette bascule D a pour propriété de reproduire sur Φ le niveau logique de D chaque fois que l'entrée horloge passe de 0 à 1 (front de montée pour le SN 7474)

On en utilise les signaux \bar{B} et \bar{A} pour attaquer respectivement les entrées « D » et « clock ». Les diodes D_1 à D_2 (figure 3) en série avec les bases des transistors précédents agissent en contre batterie avec les tensions de repos déjà existantes et séparent les transistors des circuits de sortie du SN 7474 N. Ce dernier a ses entrées « clear » et « reset » à 1. L'entrée D reçoit l'information complétement exprimant le signal d'une voie (soit \bar{B}). L'horloge clock est reliée à l'autre voie pour recevoir le signal complémenté. Ainsi la sortie Φ ne peut reproduire le niveau logique apparaissant en D que si il existe « 1 » sur l'entrée horloge. On voit tout de suite que cela n'est possible que si \bar{B} existe déjà avant \bar{A} ce dernier est alors en retard sur \bar{B} ce qui contribue à l'éclairage de la lampe correspondante (celle branchée en \ominus).

En se reportant à la figure 6 on voit que la sortie Q passe à 1 quand \bar{B} est en avance sur \bar{A} en effet \bar{B} est à 1 sur D quand \bar{A} passe de 0 à 1 sur l'entrée clock (horloge).

Par contre Q passe à 0 si le front de montée de \bar{A} se fait quand \bar{B} est à ce moment là, au niveau bas. Dans le premier cas Q débloque VT_2 (BC2122) ce qui allume l'ampoule $\textcircled{2}$ caractérisé par un retard de A sur B .

Dans le second cas c'est \bar{Q} qui débloque VT_1 ce qui illumine l'ampoule branchée en $\textcircled{1}$ (A en avance sur B). Si le niveau est insuffisant le déblocage est alterné et les lampes s'éteignent l'une après l'autre. Ceci s'explique par le fait que la bascule D ne sait plus sur quelle position se stabiliser quand les signaux qui y parviennent sont insuffisamment reformés ou si leur amplitude est trop faible.

Il faut bien comprendre que l'affichage est définitif dès lors que le signal est appliqué, il suffit que le signal D soit à 1 une fois quand la transition en positif s'effectue sur l'horloge. Ensuite il n'est plus possible de prévoir une inversion puisque D est déjà à 1. Le même raisonnement tient lorsque D est initialement à 0.

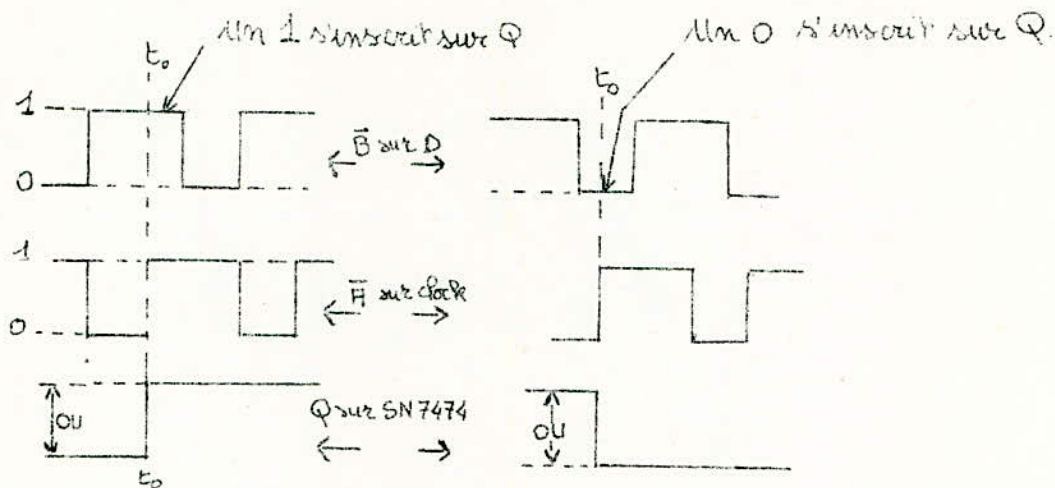


Figure 6: Mecanisme du Pevea de doute sur le sens du dephasage

Rappelons qu'on a noté A, signal à phase variable et B, signal à phase fixe, donc si à l'application des deux signaux de 30Hz, c'est la lampe branchée en (3) qui s'allume le pilote saura qu'il est à l'Est (A en retard sur B). Si au contraire c'est la lampe branchée en (2) qui s'allume le pilote saura qu'il est à l'Ouest (A en avance sur B) ce qui correspond à un déphasage de plus de 180° .

Table de vérité du SN7474

t_n	t_{n+1}	
D	Q	\bar{Q}
0	0	1
1	1	0

Dans certains phase-mètres, pour connaître le sens du déphasage on utilise une insertion temporaire d'un réseau déphaseur à caractéristiques progressivement variables à la place de la bascule D. Ce réseau est introduit à la sortie de l'un des étages de mise en forme (Figure 7). Il est réalisé à partir d'une batterie de condensateurs de valeurs croissantes et apporte un décalage supplémentaire dans la voie A, et selon le décalage entre A et B l'indication du déphasage croît ou décroît. Pour comprendre ce procédé de lever de doute il faut prendre un cas précis, admettons par exemple que A soit en retard sur B, en agissant sur le réseau déphaseur celui-ci retardant la transmission augmente le décalage et l'affichage indique une valeur supérieure. Au contraire si A est à l'origine en avance sur B l'affichage indique alors une valeur inférieure, le réseau agissant ainsi en compensation. En conclusion si l'action de la rotation du réseau déphaseur entraîne une augmentation de l'indication numérique c'est que A est en retard sur B par contre s'il se produit une réduction du déphasage affiché c'est que A est en avance sur B.

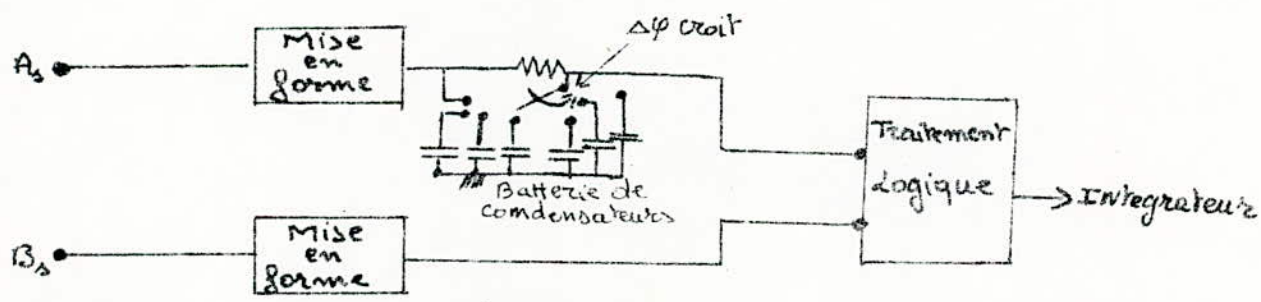


Fig 7: Insertion d'une batterie dans certains phase-mètres pour lever le doute sur le sens du déphasage.

IV PROCESSUS D'INTEGRATION

On peut se demander comment un train d'impulsions de largeur variable peut se transformer en une tension continue proportionnelle à cette largeur alors que la fréquence de récurrence peut varier dans de larges proportions. Si l'on se reporte à la figure (4) qui résume le montage de la figure (3) on remarquera que l'intégration se complique par la résistance R_2 aux bornes de C . Si l'on appelle V_e la tension d'entrée de l'intégration compte tenu du fait que la tension d'attaque du microcircuit est toujours négligeable devant les tensions appliquées. Il vient l'expression du courant i_1 dans R_1 $i_1 \neq \frac{V_e}{R_1}$ ce même courant traverse R_2 et C $i_1 = i_{R_2} + i_C$ d'où la relation: $\frac{V_e}{R_1} = \frac{U_2}{R_2} + C \frac{dU_2}{dt}$

Après transformation il vient l'équation différentielle:

$$dt = \frac{dU_2}{R_1 C}$$

$$V_e - \frac{R_1}{R_2} U_2$$

dont la résolution assez simple conduit à l'expression:

$$U_2 = V_e \frac{R_2}{R_1} \left(1 - e^{-\frac{t}{CR_2}} \right)$$

on pourrait s'attendre à une réponse quasi exponentielle. Toutefois le temps pendant lequel l'intégration s'opère (intervalle $t_1 - t_0$, $t_3 - t_2$) reste toujours très court devant la constante de temps CR_2 . En effet avec $C = 2,77 \text{ nF}$ et $R_2 \sim 100 \text{ k}\Omega$ on a $\tau = 0,44 \text{ s}$.

Le condensateur C a pour fonction d'extraire la composante moyenne du signal résultant de la comparaison. Par ailleurs pour $\varphi = 180^\circ$ à la fréquence la plus basse de la gamme de fréquence (10 Hz environ) les intervalles « $t_3 - t_0$ » « $t_3 - t_2$ » ne dépassent pas $\Delta t \leq 50 \text{ ms}$ on peut faire l'approximation en développant au 1^{er} terme d'une série:

$$\Delta U_s \approx \frac{V_e R_2 \Delta t}{C R_2} - \frac{V_e \Delta t}{R_1 C}$$

avec $R_1 \approx 220 \text{ k}\Omega$ et $\theta' = R_1 C \approx 1 \text{ s}$. Pour un signal logique TTL la variation de tension ΔU_s superposée à la valeur moyenne ne dépasse pas $\Delta U_s \approx \frac{5 \times 40 \cdot 10^{-3}}{1} = 0,25 \text{ V}$ on a pris $\Delta t = 40 \text{ ms}$.

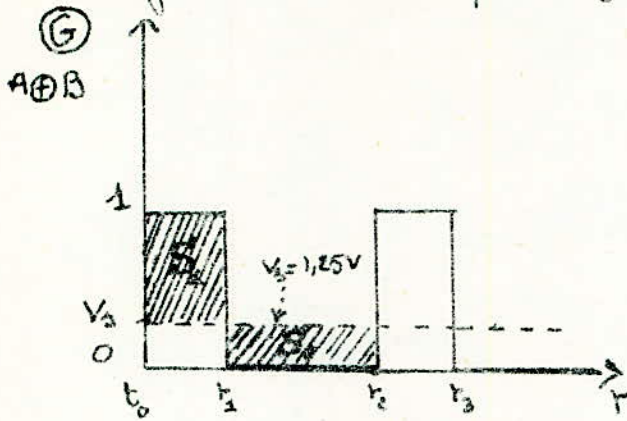
On peut donc dire que la tension apparaissant à la sortie de l'intégration reste toujours très voisine de la composante continue moyenne V_s définie figure 5 (signal 0) par l'identité des surfaces $S_1 = S_2$ soit, par rapprochement avec les grandeurs « amplitude par rapport au temps » (avec $E_p =$ niveau logique TTL = 5V):

on a donc: $(E_p - V_s) \Delta t = V_s \left(\frac{T}{2} - \Delta t \right)$ ou après transformation de l'identité: $V_s \frac{T}{2} = E_p \Delta t$. L'expression linéaire du déphasage en tenant compte que $\Delta \varphi = \omega \Delta t$ est:

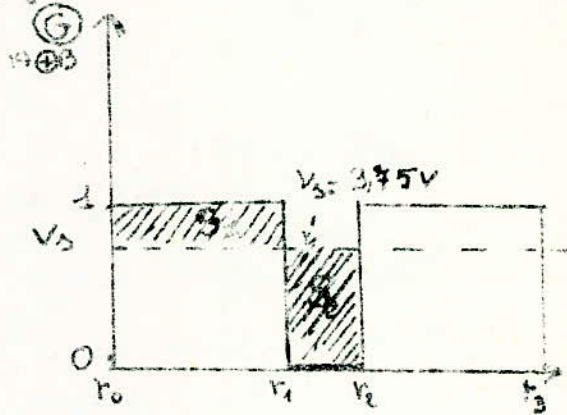
$$\boxed{V_s = \frac{E_p \varphi}{\pi}}$$

on voit que la tension de sortie V_s évolue de 0 à E_p quand φ passe progressivement de 0 à π . Celle-ci évolue bien linéairement

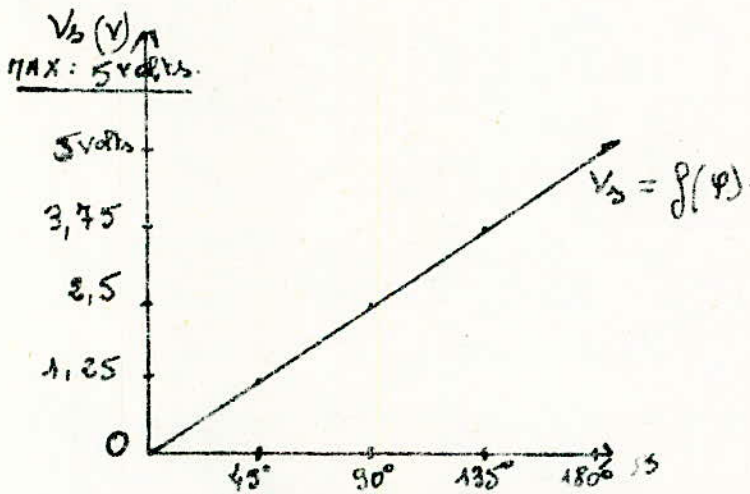
en fonction du déphasage. Les figures suivantes donnent 2 exemples :



Tension de sortie pour un déphasage de 45° .



Tension de sortie pour un déphasage de 135° .



Variations de la valeur moyenne V_s en fonction de

la phase entre les signaux d'entrée F_1 et F_2 .

Chapitre 4

Conversion analogique-numérique

I Définition.

À la sortie de l'intégrateur nous avons une tension continue proportionnelle au déphasage, le problème revient à afficher le résultat en degrés sous forme numérique. Avant d'aborder ce problème on fera un rappel sur la méthode analogique et la méthode numérique.

Quand on désire enregistrer ou transmettre une grandeur on utilise le plus souvent l'intermédiaire de la transmission électrique.

Il existe deux méthodes pour transmettre ou enregistrer une grandeur par voie électrique.

1. La méthode analogique: Elle consiste à associer à la variation de la valeur à transmettre celle d'une grandeur électrique (Tension, courant). Cette grandeur varie donc progressivement et c'est elle que l'on transmettra par l'intermédiaire des fils de connexion. À la réception on pourra mesurer cette grandeur électrique et l'afficher au moyen d'un appareil à aiguille.

2. La méthode numérique: ou digitale, consiste à estimer la valeur de la grandeur sous forme d'un nombre d'unités et à transmettre ce nombre. La transmission de ce nombre sous forme d'une série est longue. On préfère une autre solution en codant ce nombre et en l'exprimant électriquement afin de le transmettre aisément.

Le codage le plus logique consiste à exprimer le nombre en code binaire et à transmettre sur plusieurs fils (méthode //) ou sur un même fil des presences ou des absences de tension correspondant aux chiffres 0 ou 1 du nombre binaire qui exprime la grandeur.

La conversion des grandeurs continues en ensemble de "digits" ou la conversion AN et la conversion inverse NA sont des opérations fondamentales dans l'utilisation des systèmes de traitement et de transmission de l'information sous forme numérique.

Les performances que l'on exige des dispositifs de conversion varient avec les applications envisagées.

Pour un phase-mètre ou autre appareil de mesure on regarde la précision mais aussi le taux de rejection des complémentaires la vitesse etant un parametre moins important.

Un système de conversion AN utilisé pour une grandeur mécanique (angle de rotation) se code est réalisé par des disques codes.

II Convertisseur à rampe :

Nous avons à la sortie analogique $V_s = \frac{E}{180} \varphi$. Pour réussir à afficher φ en degrés un convertisseur à rampe suffira, mais néanmoins on préfère utiliser un convertisseur à double rampe pour réduire l'erreur due au bruit.

Bien que le mode de conversion à rampe soit techniquement inférieur à celui du mode de conversion à double rampe il est bon d'en parler afin de mieux comprendre par comparaison le second procédé.

Dans un convertisseur à rampe, un signal en dent de scie présentant une montée linéaire de tension, franchit deux signaux successifs ($+V_e$ et $-V_e$ ou bien 0 et $+V_e$) dont la distance représente la tension continue à numériser (il suffit dans notre cas de faire $V_e = V_s$).

Un comparateur présente à sa sortie un signal présent lorsque la tension de rampe est comprise entre les deux niveaux; il s'agit donc d'un créneau de durée proportionnelle à V_e . Pour traduire numériquement V_e il suffit de compter des impulsions pendant la durée du créneau.

On verra dans la partie "Conversion à double rampe" comment numériser φ et non pas $V_e = V_s$.

Un convertisseur doit pouvoir renouveler régulièrement sa mesure. Par conséquent, un générateur d'impulsions appelé "base de temps" fournit les signaux "commande PA initialisation, transfert, RAZ compteur".

Le Bloc diagramme et un voltmetre numérique fait l'objet de la figure (8).

Les principaux signaux observés font l'objet de la figure (9).

L'élément prépondérant du dispositif est la base de temps qui fournit les impulsions suivantes:

1. un signal rectangulaire "Commande PA", qui rend passante pendant la durée de la rampe, la poutre analogique PA. L'intégrateur reçoit alors V_{REF} à son entrée; il fournit une dent de scie envoyée au comparateur à deux niveaux.
2. un signal d'initialisation de l'intégrateur, qui ramène la dent de scie à son point de départ.
3. une impulsion "transfert" qui autorise le transfert du contenu du compteur vers un registre mémoire.
4. une impulsion de remise à zéro du compteur (RAZ compteur).

L'avantage du convertisseur à rampe est sa bonne linéarité.

Inconvénients: durée d'une mesure importante, forte sensibilité aux bruits.

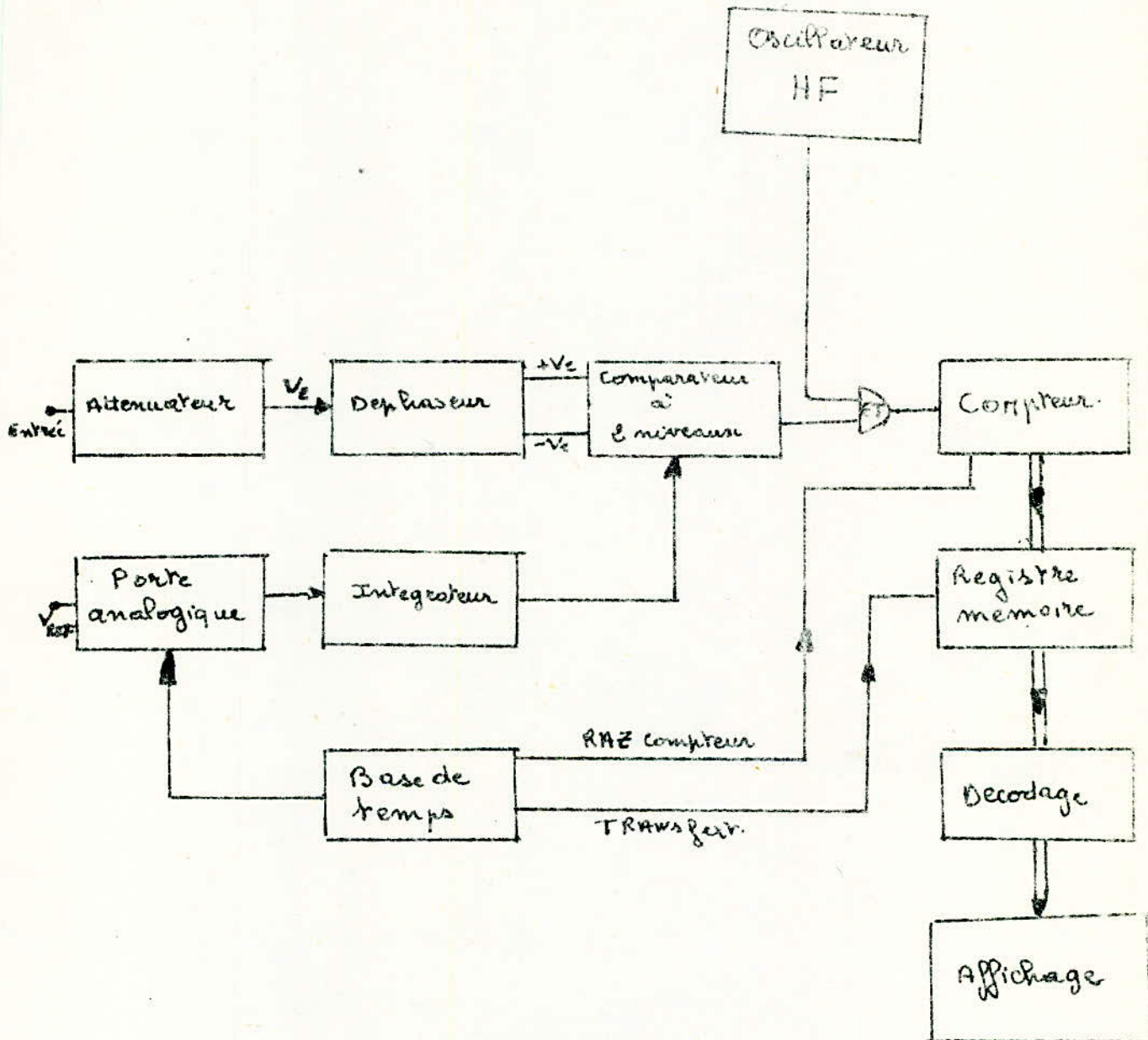


Figure 8: Bloc diagramme d'un voltmètre numérique à rampe.

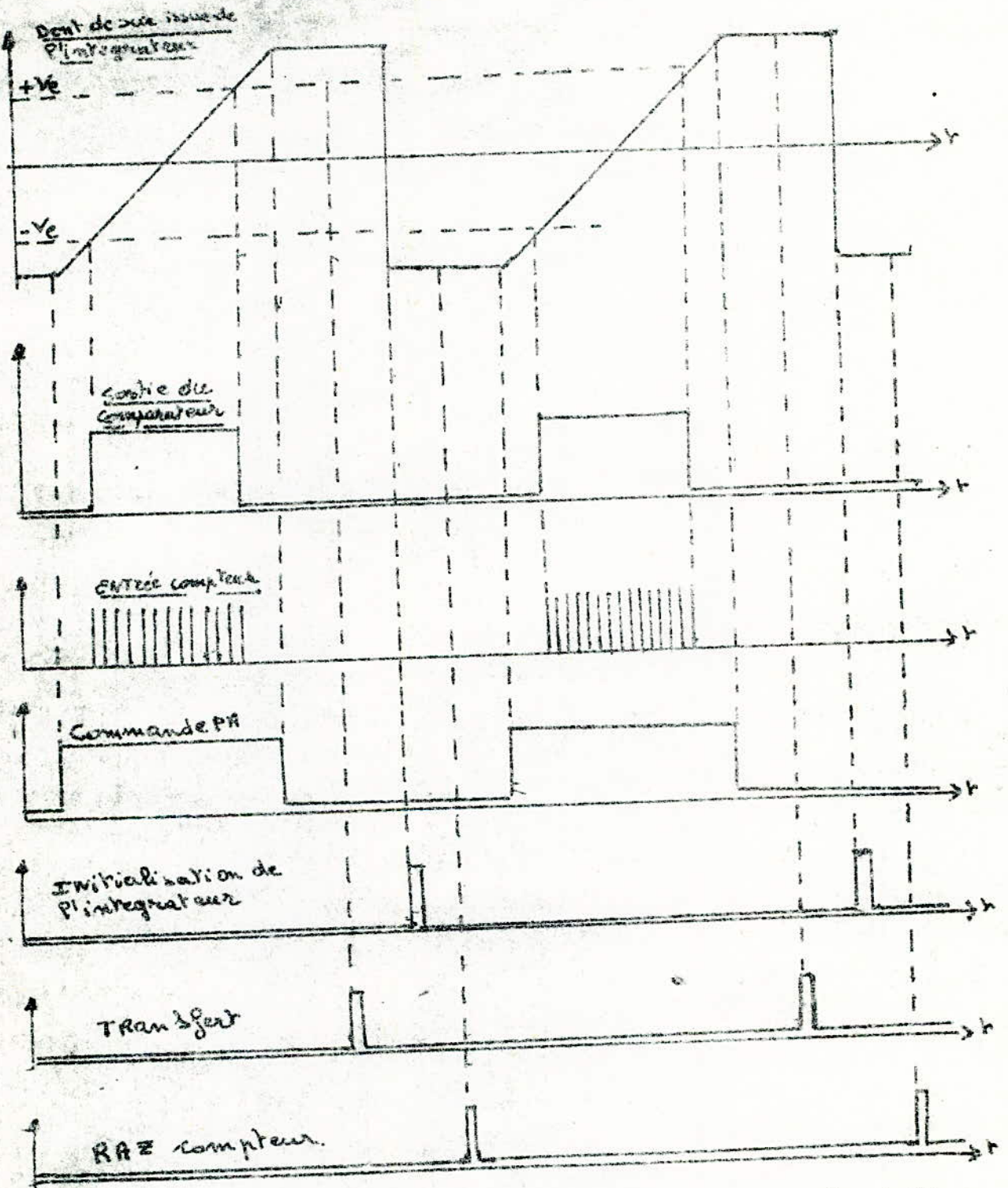


Figure 10: Principales signaux du convertisseur analogique numérique

III. Convertisseur à double temps :

Grâce à ce convertisseur par double intégration, on peut réaliser l'affichage en degrés.

Dans ce type de convertisseur on commence par intégrer le signal d'entrée V_E (c'est le signal de sortie de l'intégrateur qu'on a noté V_S) pendant une durée calibrée T_1 .

on prendra $T_1 = 18 \text{ ms} = 180 T$ (T étant la période de l'horloge).

La tension de sortie de l'intégrateur (figure 10) initialement au zéro est donc

$$V_{SA} = \frac{-1}{RC} \int_0^{T_1} V_S dt = -\frac{V_E T_1}{RC}$$

Pour $R=RC$: (voir figure 10)

Puis le retour au zéro se fait par intégration d'une tension de référence $-V_{REF}$ (on choisit $V_{REF} = 5V$) de signe opposé à celui de V_E .

$$\text{on a: } V_{SR} = V_{SA} - \frac{1}{RC} \int_{T_1}^{T_1+T_2} -V_{REF} dt = V_{SA} + \frac{V_{REF} T_2}{RC}$$

$$\text{or } V_{SR} = 0 \quad \text{d'où } \frac{V_E}{RC} T_1 = \frac{V_{REF} T_2}{RC}$$

$$T_2 = T_1 \frac{V_E}{V_{REF}}$$

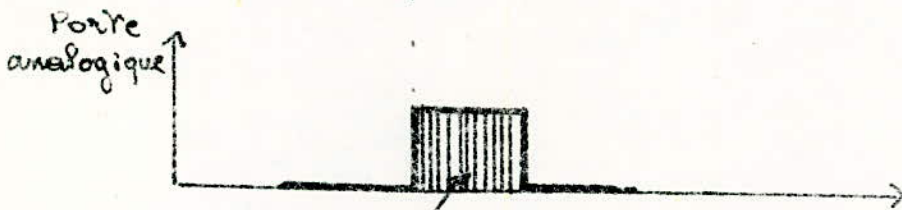
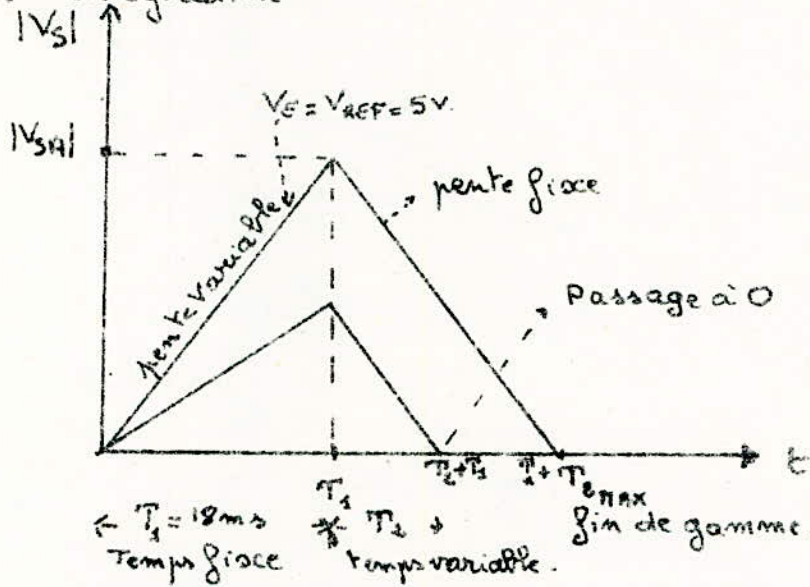
avec $T_2 = N T$ N information numérique désirée.

on a donc

$$N = 180 \frac{V_E}{V_{REF}}$$

Pour $V_E = V_{REF} = 5V$ tension maximale admise on a une indication de 180.

La figure ci dessous montre le principe de la conversion par double integration.



Pour $T_{2max} = T_1$ on a $N = 180$ composantes d'horloge, de me impulsion d'horloge cotes pondre due à un degre.

La tension V_{SA} , obtenue par intégration du signal d'entrée V_E pendant une durée fixe T_1 varie avec la tension et le déphasage à mesurer.

Toutefois ce que l'on mesure, c'est la durée T_2 de retour au zéro après intégration d'une tension de référence $-V_{REF}$ de signe opposé à celui de V_E .

La durée du retour T_2 est proportionnelle à la tension à mesurer et par conséquent proportionnelle au déphasage φ . Ce résultat apparaît clairement sur la figure précédente où l'on voit bien que le retour se faisant à vitesse constante, sa durée est proportionnelle au déphasage et à la tension à mesurer.

Comme dans le système à rampe on est donc passé par l'intermédiaire d'une conversion amplitude-temps.

Le dispositif pratique (figure 10) doit compter des impulsions de fréquence fixe ($f = 10 \text{ kHz}$ $T = 0,1 \text{ ms}$) pendant la durée T_2 .

L'intégrateur reçoit sur son entrée soit la tension d'entrée V_E , soit la tension de référence, par l'intermédiaire des portes analogiques PA_1 et PA_2 . Dès le début de la première phase le montage intègre comme la charge du condensateur C , ainsi plus la tension V_E est grande, plus grande est la montée de la charge, laquelle s'effectue à courant constant puisqu'on utilise un montage intégrateur à amplificateur opérationnel.

L'intégrateur est suivi par un détecteur de zéro qui permet de stopper l'intégration de $-V_{REF}$ au moment où V_3 passe par zéro.

La séquence de mesure est déterminée au moyen d'un compteur qui compte les impulsions d'une horloge H . On utilise un montage astable comme horloge. Dans certains cas on utilise des circuits "Trigger de Schmitt" pour réaliser des montages astables d'une grande simplicité et très efficaces.

Notre compteur est constitué par trois décades il revient à zéro après l'impulsion 999.

La manœuvre de la porte PA1 peut être obtenue au moyen d'une bascule Eccles Jordan (bistable) armée au moment de la remise à zéro du compteur et mise au repos à l'arrivée de l'état 180.

La manœuvre de la porte PA2 peut être confiée à un deuxième Eccles Jordan, armée à l'état 180 et mise au repos à l'arrivée d'un état spécifique compris entre 180 et 360. Cela n'est pas contradictoire avec le fait que T_2 est variable. En effet le détecteur de zéro placé après l'intégrateur a pour mission de commander la prédétermination de l'état compris entre 180 et 360 du compteur dès que s'opère le passage à zéro.

Le schéma de la figure (11) montre l'exemple des principales signaux du CAN à double rampe.

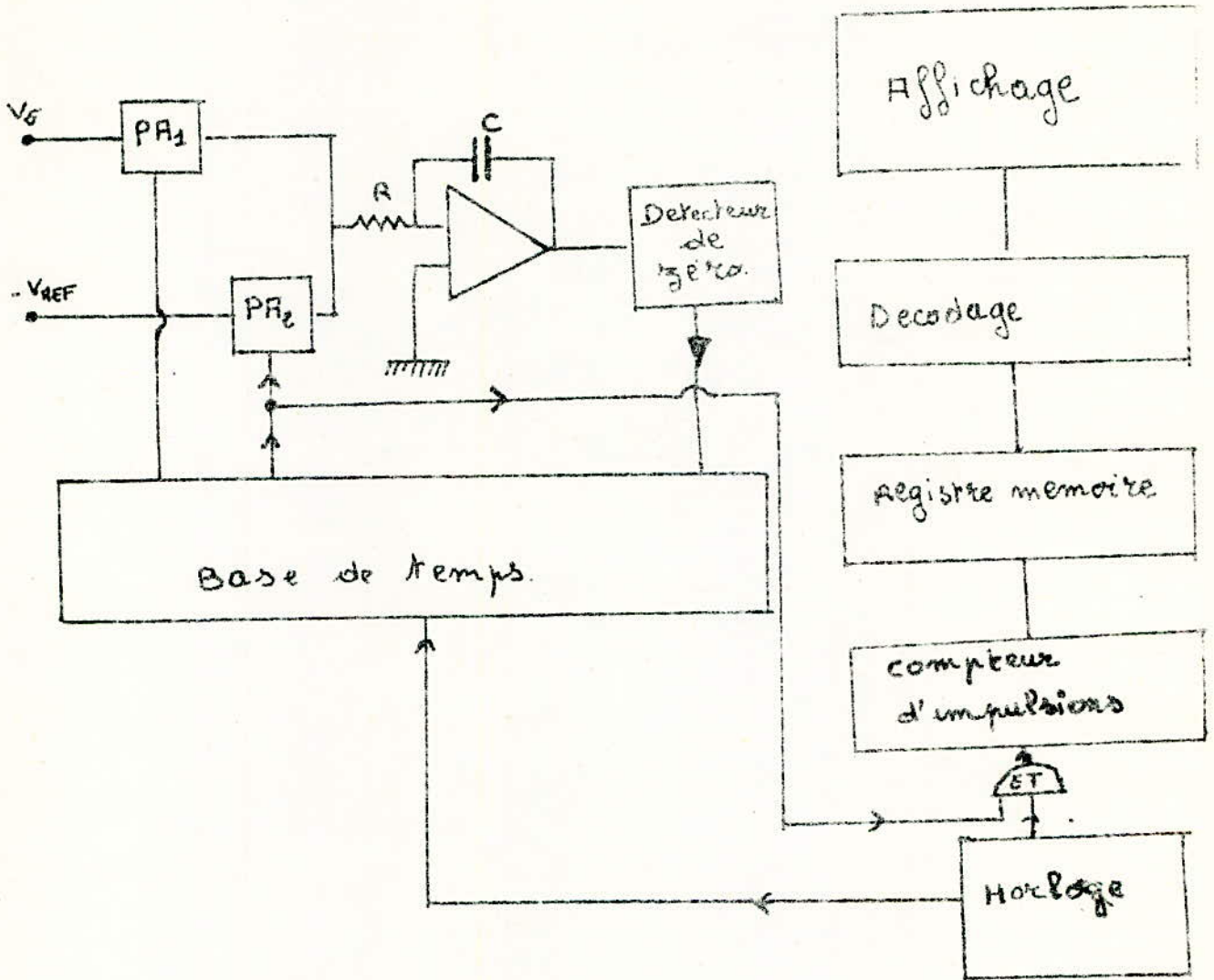


Figure 10: Bloc diagramme d'un convertisseur analogique numérique à double intégration.
La base de temps commande la PA2 du compteur et le transfert du contenu du compteur vers le registre mémoire.

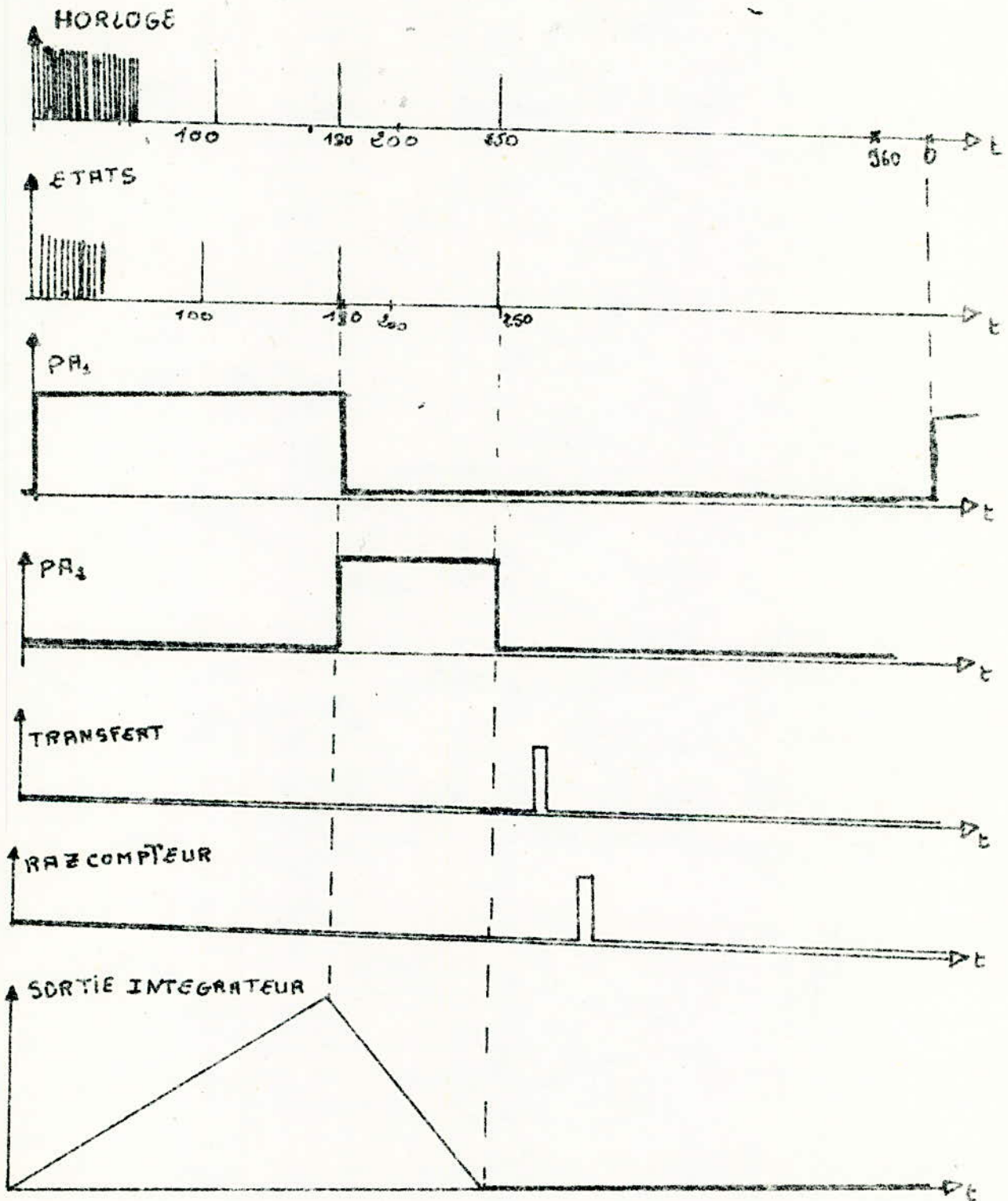


Figure 11: Principaux signaux du convertisseur analogique-numérique.

L'intérêt essentiel de ce type de convertisseur est que la tension mesurée est d'abord intégrée: la précision ne dépend donc pas des fluctuations instantanées de cette tension.

En tenant compte de la proportionnalité entre V_e et φ la précision sur la mesure de φ est bonne.

La formule $N = 180 \frac{V_e}{V_{REF}}$ montre que l'information est indépendante

de R, C, T ce qui augmente la précision. On suppose que ces paramètres sont constants au cours du temps.

L'erreur due au bruit est réduite du fait que la double intégration présente un taux de rejection faible, donc assez bon. C'est pour cette raison qu'on utilise ce système pour notre phasemètre numérique.

Le convertisseur à double rampe admet un temps de conversion supérieur à 300 μ s; c'est le temps nécessaire pour obtenir en sortie un signal numérique correspondant au signal d'entrée analogique avec la précision désirée.

Le convertisseur à double rampe est ICA N Pent.

Le temps de conversion total est: $t_c = t_2 - t_0$

t_0 : instant où l'on commence l'intégration de V_e .

t_2 : instant du passage à zéro

$t_c = t_2 - t_0 = (t_1 - t_0) + (t_2 - t_1)$ t_1 : instant à l'état 180.

$t_c = T_1 + T_2$ pour $T_1 = T_2 = 18 \text{ ms}$

$t_c = 36 \text{ ms}$ ce qui correspond, quel'on fait 1666

mesures à la minute.

COMPTAGE DECIMAL1. Synthèse d'une decade asynchrone dans le code 8.4.2.1.

Une decade est dite asynchrone lorsque les impulsions à compter ne sont pas envoyées sur toutes les entrées horloges des bascules; en pratique, ces impulsions ne sont appliquées qu'à l'entrée horloge de la première bascule. Les entrées horloges des bascules suivantes reçoivent des signaux de fréquence plus faible.

La méthode de synthèse est la suivante.

a) on dresse le tableau de la decade et le diagramme des phases

Sequence	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

code de la decade

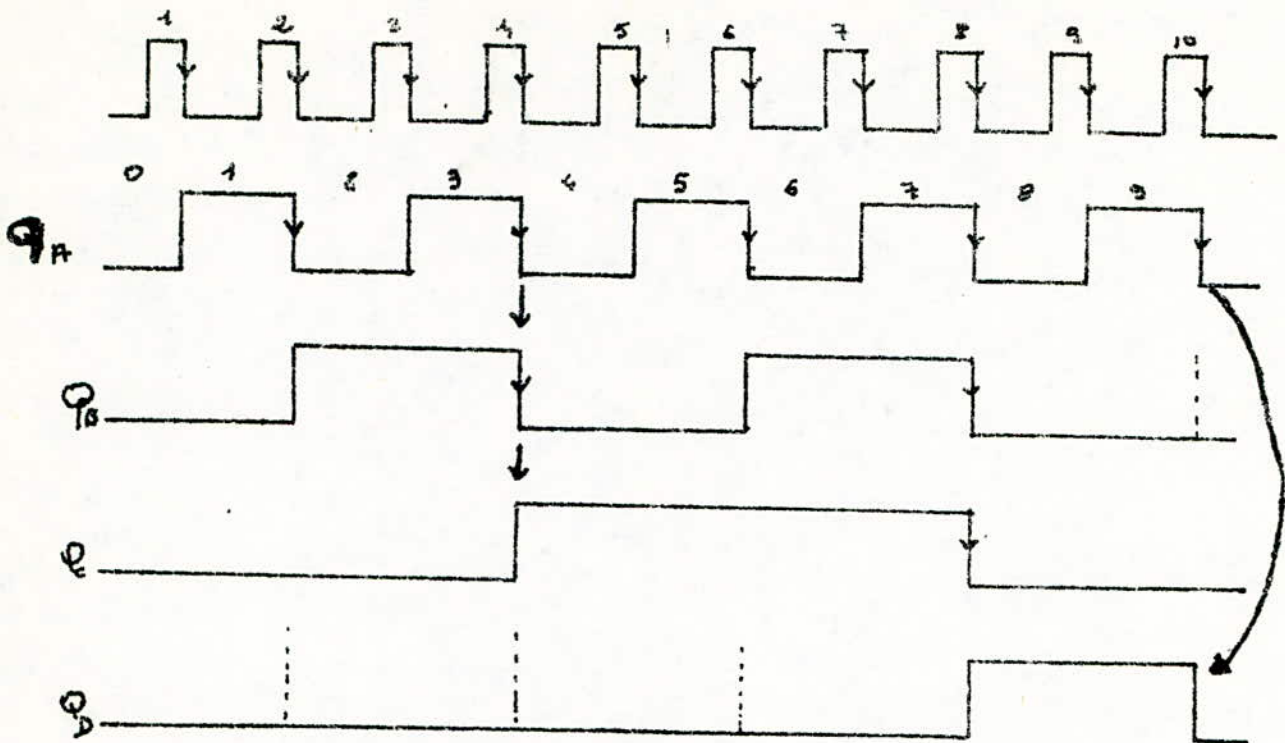


Diagramme des phases de la decade.

3) on réalise les connexions des horloges:

L'horloge de la bascule B peut être reliée à Q_A ; l'horloge de la bascule C peut être reliée à Q_A ; l'horloge de la bascule D ne sera reliée ni à Q_C ni à Q_B ; on peut la relier à Q_A .

4) En écrivant les signaux d'entrée nécessaires, dans chaque état, pour préparer l'état suivant tout en s'aidant de la table de vérité des bascules JK et des indéterminations dues à la structure asynchrone, les diagrammes de Karnaugh nous donnent les résultats suivants:

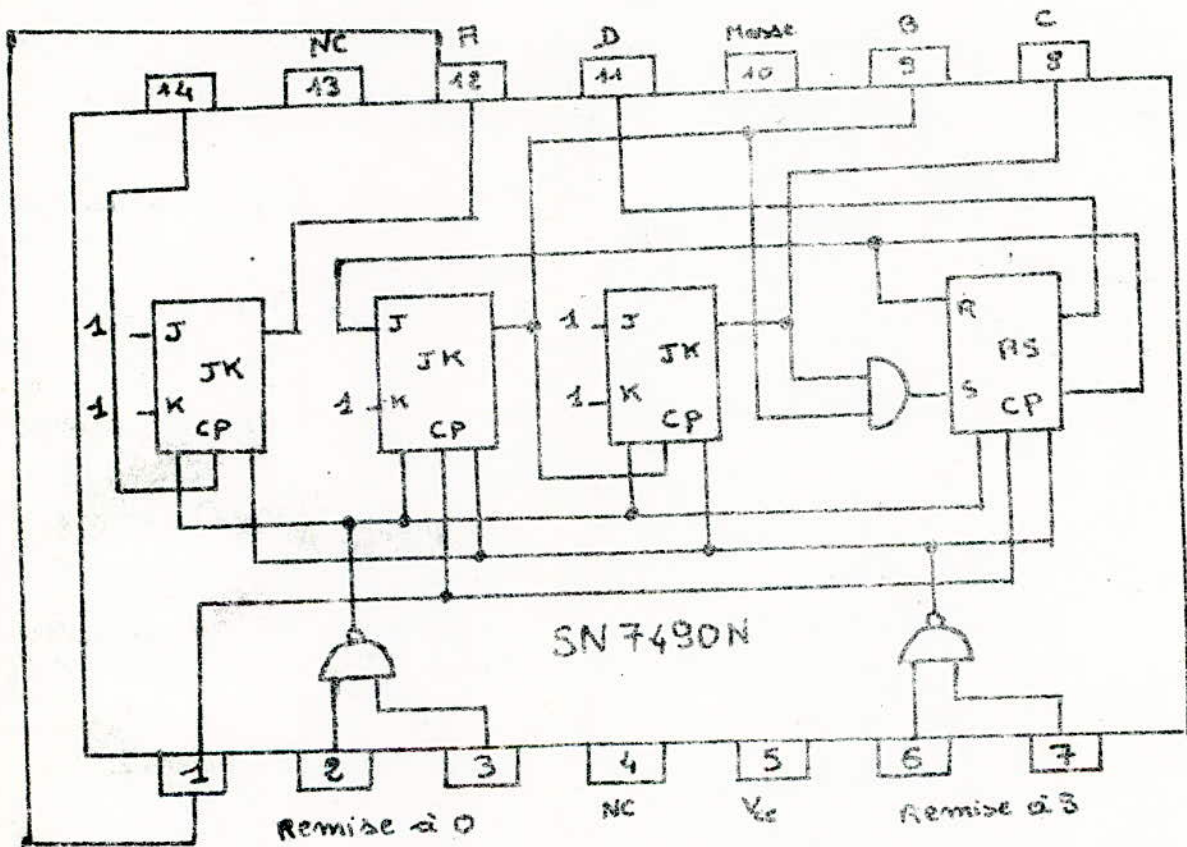
$$J_A = K_A = 1; \quad J_B = \bar{Q}_D; \quad K_B = 1; \quad J_C = K_C = 1; \quad J_D = Q_C Q_B; \quad K_D = 1.$$

A partir de ces résultats on peut dresser un schéma de réalisation d'une decade asynchrone de type 84.2.1 à l'aide de bascules JK.

Neanmoins on prefere utiliser une realisation integree:

Le SN7490N decade asynchrone 8421, forme de trois bascules JK et d'une bascule RS.

2. Realisation integree: Le SN7490N



Schema de la decade SN7490N.

Le circuit permet de realiser une decade asynchrone 8421. La 4^e bascule etant de type RS on a $S_D = Q_B Q_C$ $R_D = Q_B$.

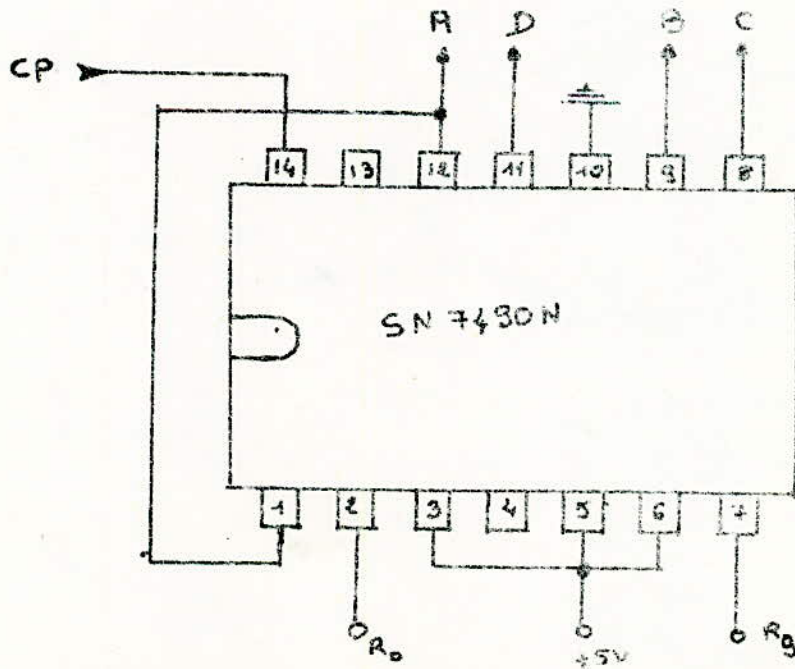
Les commandes de la bascule RS ont ete cablees par le constructeur.

Le tableau suivant nous donne la logique de predetermination ou X indique que le niveau logique 0 ou 1 peut etre applique a l'entree.

Entrées de prédétermination				Sorties			
$R_0(2)$	$R_0(3)$	$R_9(6)$	$R_9(7)$	D	C	B	A
1	1	0	X	0	0	0	0
1	1	X	0	0	0	0	0
X	0	1	1	1	0	0	1
0	X	1	1	1	0	0	1
1	1	1	1	1	0	0	1
X	0	X	0	Comptage			
0	X	0	X	comptage.			
0	X	X	0	comptage			
X	0	0	X	Comptage.			

TABLEAU de la Logique de prédétermination

Le schéma de branchement du circuit intégré SN7490 N en decade 8421 est donc le suivant :



Decade 8421 utilisant le circuit SN7490N.

3. Ensembles de comptage

Notre ensemble sera constitué par trois décades (SN7490N). Selon le mode des interconnexions, il peut être synchrone ou asynchrone indépendamment des décades utilisées.

Les impulsions à compter durant la durée T_2 (ouverture de la porte PA_2) seront envoyées dans la decade des unités. Le retour à zéro de cette decade à la 10^e impulsion doit faire avancer d'une unité la decade des dizaines. Celle-ci est couplée de la même façon à la decade des centaines.

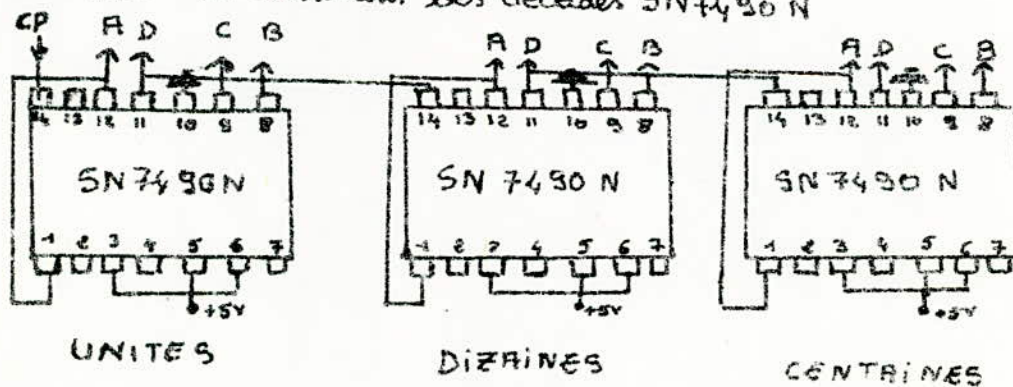
3.1. assemblages synchrones:

Dans ce cas, les impulsions à compter sont envoyées aux entrées *Horloge* des trois décades.

3.2. assemblages asynchrones:

Dans ce cas, les impulsions à compter ne sont envoyées qu'à l'entrée *Horloge* de la première decade: celle des unités.

Un exemple de structure asynchrone est donné par la figure suivante en utilisant des décades SN7490N



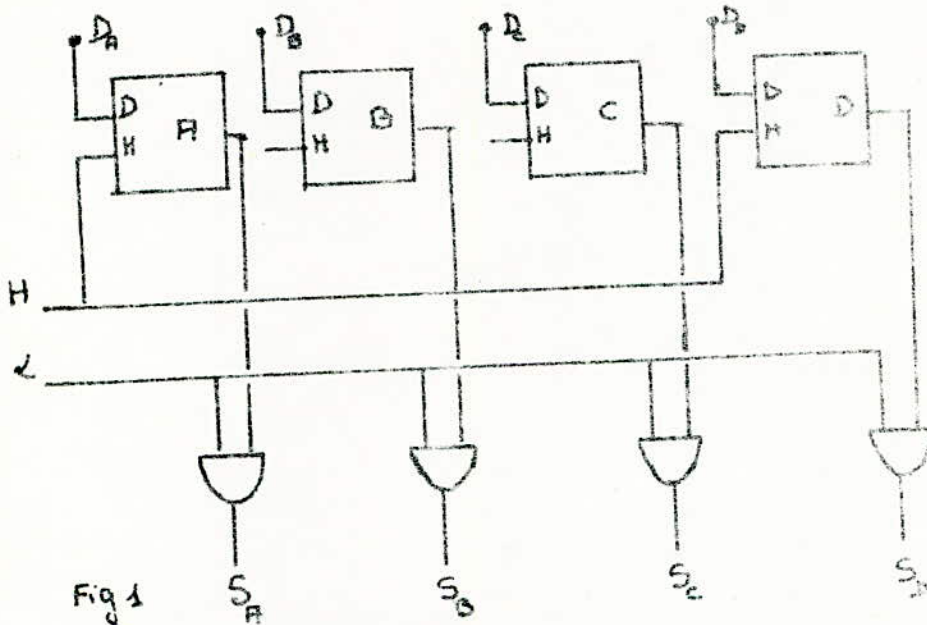
on a alors une information BCD.

Registre memoire

1. role du registre memoire: Le role essentiel du registre est de permettre le stockage provisoire et le transfert d'une information

2. realisation d'un registre de bascules non interconnectees:

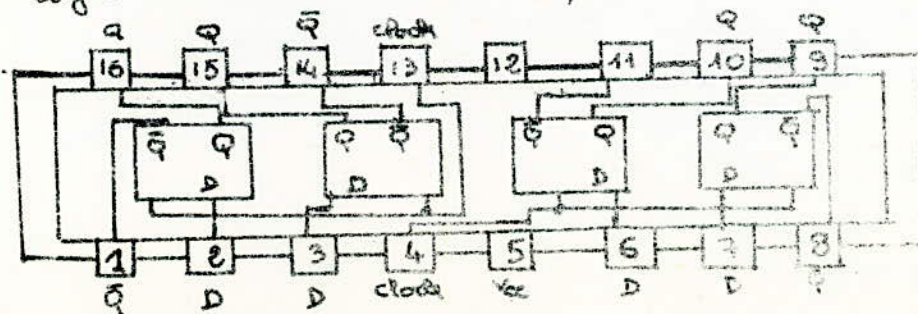
Il est constitue par la juxtaposition de bascules D (Fig. 1)



Les signaux presents en D_A , D_B , D_C , D_D , entrent dans les bascules apres application d'une impulsion en H.

Il peuvent apparaitre en S_A , S_B , S_C , S_D , apres application d'un signal de lecture en L.

3. Exemple de realisation integree: SN 7475N: c'est un registre a entrees et sorties paralleles.



VI Decodeurs BCD/7 segments:

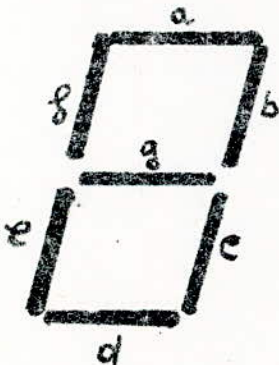
1. Definition: C'est un dispositif permettant d'exprimer une quantité binaire en son équivalent decimal. Ils sont réalisés en general par des circuits ET.

2. rôle du decodeur BCD/7 segments

Quelle que soit le type d'afficheur à sept segments, il s'agit, par la sortie du decodeur qui commande ces segments à partir des signaux d'entrée, fournis sur quatre voies A, B, C et D en BCD, de fournir une tension si l'affichage est à cristaux liquides ou de se laisser traverser par un courant si l'affichage est à diodes électroluminescentes.

3. Fonctions logiques à la sortie du decodeur:

Les segments sont placés comme l'indique la figure suivante:



a, b, c, d, e, f, g sont les sorties du decodeur.
A, B, C, D sont les entrées du decodeur.

Si on fait le tableau de vérité des sorties en fonctions des entrées en tenant compte que pour les nombres 10, 11, 12, 13, 14, 15 on a des indéterminations et que par exemple pour afficher le nombre 3 il suffit d'allumer a, b, g, c et d, et en dressant les tableaux de KARNAUGH on aboutit aux équations logiques des sorties en fonction des entrées:

$$a = B\bar{D} + \bar{A}\bar{B}\bar{C}D$$

$$d = B(\overline{C \oplus D}) + \bar{B}\bar{C}D$$

$$b = B(C \oplus D)$$

$$e = D + \bar{B}\bar{C}$$

$$c = \bar{B}\bar{D}C$$

$$f = CD + \bar{B}\bar{C} + \bar{A}\bar{B}D$$

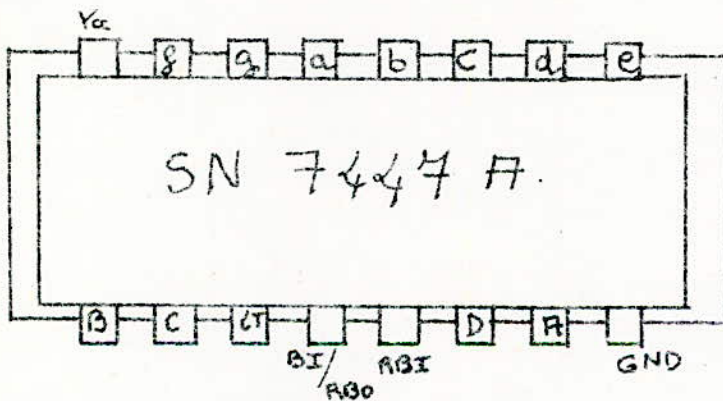
$$g = \bar{A}\bar{B}\bar{C} + BCD$$

4. Exemple de réalisation intégrée: le SN 7447A.

Le circuit logique existe sous forme de circuit intégré réalisant les équations logiques précédentes.

Pour une réalisation pratique on utilisera 3 CI SN 7447A.

Il possède aussi des ordres spéciaux.



- 1. 2. 6. 7 entrées BCD.

- 9. 10 - 11 - 12 - 13 - 14 - 15 - sortie 7 segments.

- BI: blocage des entrées: si BI est à 0 aucun chiffre n'apparaît.

- ABI: sert à commander l'effacement du chiffre zéro.

- LT sert à tester l'affichage pour l'affichage du 8 chiffre utilisant les sept segments.

Les sorties a, b, c, d, e, f, g sont connectés au segment à travers des résistances.

VII Affichage numérique

1. Définition: Un dispositif d'affichage est un transducteur électro-optique qui transforme une quantité d'énergie électrique en énergie lumineuse ou en information visible.

Les systèmes d'afficheurs les plus utilisés sont:

- Les tubes NIXIES
- les segments à 7 filaments incandescents, et à diodes électroluminescentes
- les systèmes à cristaux liquides.

2. Les tubes Nixies:

Ces tubes sont des tubes à gaz à cathode froide; ils comprennent une anode transparente grillagée, et 10 cathodes en fil très fin représentant les chiffres de 0 à 9. Une cathode d'alumine sous l'action d'une tension convenable.

3. les segments à 7 filaments incandescents:

A l'aide de sept filaments convenablement placés, on peut représenter tous les chiffres décimaux de 0 à 9. Les fils qui sont excités deviennent incandescents et nous permettent de visualiser la forme du chiffre désiré.

4. L'affichage à sept segments à diodes électroluminescentes:

L'afficheur comporte sept diodes LED ayant l'anode comme électrode commune. Les LED sont des sources de lumière ponctuelles, mais des diffuseurs de lumière font en sorte que la lumière de chaque diode

se diffuse en un petit trait constituant un segment.

Les LED sont des diodes à l'arséniure de gallium, dont la tension directe est comprise entre 1,5 et 1,8V, mais dans lesquelles le courant augmente rapidement quand la tension à leurs bornes dépasse un peu ce seuil; Pour y remédier à ce problème il y aura donc, par poste d'affichage, un circuit decodeur, sept résistances et l'afficheur.

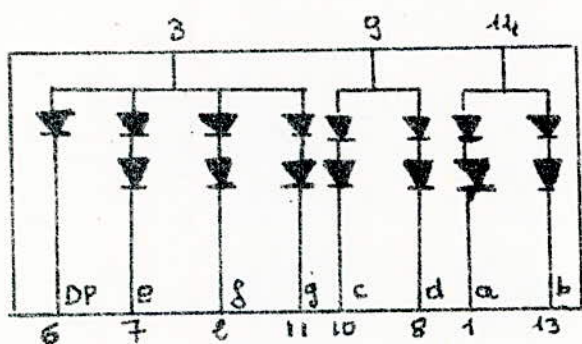
La consommation des L.E.D est faible (10mA par segments pour des chiffres de 10mm sous 5V).

On trouve actuellement des dispositifs à sept segments, chaque segment étant constitué par l'assemblage de plusieurs diodes.

Le MAX 1 fait partie de ces dispositifs, c'est un circuit intégré capable d'afficher tous les chiffres de 0 à 9, le point décimal et certaines lettres.

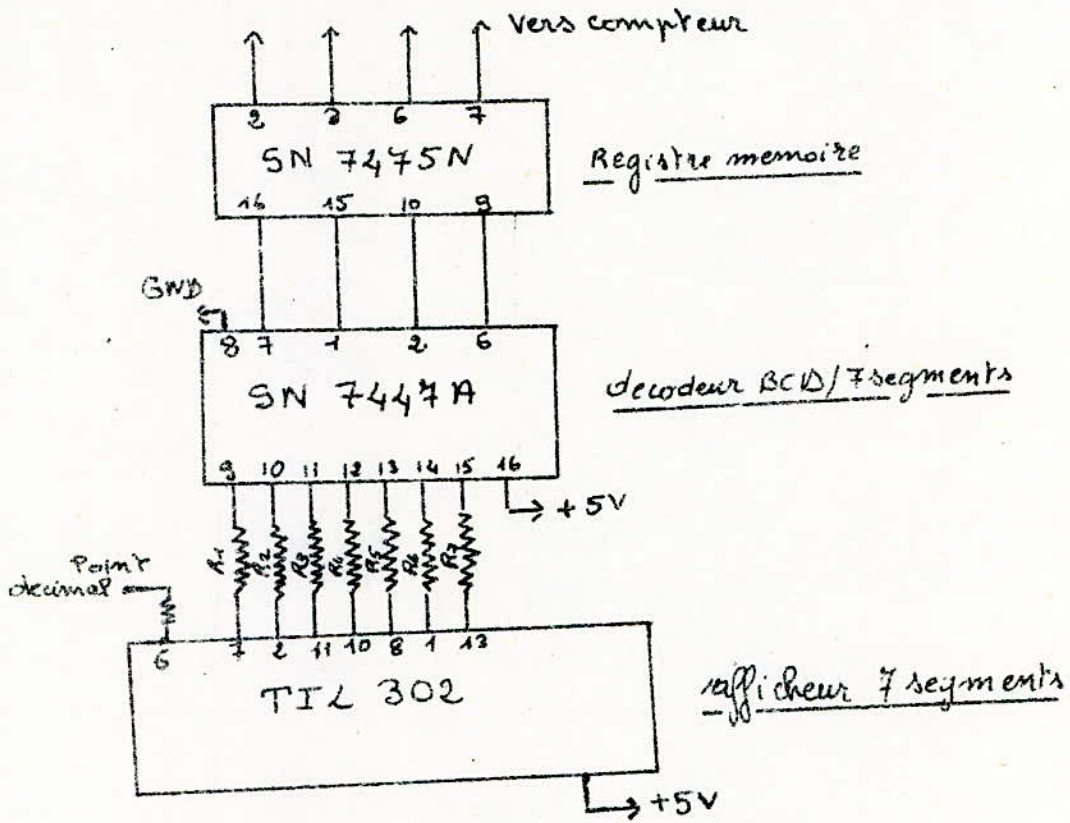
Le courant direct maximal est de 30mA sous 6V.

Pour une réalisation pratique on peut utiliser trois circuits intégrés TIL 302.



Afficheur 7 segments TIL 302.

Le système d'affichage proposé est alors le suivant.



Conclusion

La relative nouveauté des phasemètres numériques dans le domaine de la mesure, fait que l'ouvrage définissant les caractéristiques de cette ligne de produit n'est pas universel. Aussi pour choisir un phasemètre numérique est-il nécessaire de rassembler la documentation des différents constructeurs, d'en extraire les caractéristiques techniques et de les rendre homogènes. C'est après ce travail de recherche qu'on pourra choisir le meilleur appareil ou celui qui sera le mieux adapté au besoin de l'utilisateur.

Les chapitres précédents nous ont fait connaître des dispositifs très employés dans les appareils de mesures électroniques.

Dans cette étude on a donné la prépondérance aux dispositifs à circuits intégrés pour des raisons économiques et miniaturisation.

BIBLIOGRAPHIE

1_ Emploi Rationnel des CIRCUITS INTEGRES

J.P. OEMICHEN

2_ Mesures Electriques et Electroniques

G. NEY

3_ Techniques de Conversion A/D et D/A

D. HOESCHEL

REVUES

* Haut-Parleur : Nov. 75 n° 1528

* Electronique Professionnelle : Juin 74 - Juin 73

* Toute l'electronique : Avril. 78

EXLIB SIMON