

وزارة التعليم العالي والبحث العلمي
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
«O»

المدرسة الوطنية للعلوم الهندسية
ECOLE NATIONALE POLYTECHNIQUE D'ALGER
«O»

DEPARTEMENT D'ELECTRONIQUE
«O»

PROJET DE FIN D'ETUDES
«O»

THEME

Etude et réalisation
d'un prototype de microordinateur
1^o partie
Unité centrale
memoire centrale

Proposé par :

M. A. BOURKEB

Etudié par :

M. D. BOUARAB

Dirigé par :

Mr. A. BOURKEB

M. R. KERMOUCHE

المدرسة الوطنية للعلوم الهندسية
المكتبة
ECOLE NATIONALE POLYTECHNIQUE
BIBLIOTHÈQUE

Promotion Janvier 1985

الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
«O»

وزارة التعليم العالي والبحث العلمي
Ministère de l'Enseignement Supérieur et de la Recherche Scientifique
«O»

المدرسة الوطنية للعلوم الهندسية
ECOLE NATIONALE POLYTECHNIQUE D'ALGER
«O»

DEPARTEMENT D'ELECTRONIQUE
«O»

PROJET DE FIN D'ETUDES
«O»

THEME

Etude et réalisation
d'un prototype de microordinateur
1^o partie
Unité centrale
memoire centrale

Proposé par :

M. A. BOURKEB

Etudié par :

M. D. BOUARAB

M. R. KERMOUCHE

Dirigé par :

Mr. A. BOURKEB

Promotion Janvier 1985

_____ o _____ /)édicaces _____ o _____

A la mémoire de mon père

A la mémoire de ma mère

A mes sœurs

Djamal.

A mes parents

A mes frères

A mes sœurs

Rachid.

-o- Remerciements -o-

Nous remercions:

M. BOURKEB pour le sujet qu'il nous a proposé,
pour son suivi attentif et ses conseils judicieux.

Les membres du laboratoire maintenance, M. e~~lle~~
AOUANOUK, M. FEGUAS; M. HADDAD pour leur esprit cooperatif

Les membres du laboratoire photogravure pour tous
les services rendus.

M^{me} DJOUDI et Samia pour la méticulosite de leur
travail de frappe.

M. CHEBAH qui réalisé le tirage du polycopé.

Que tous les professeurs qui ont contribué à
notre formation trouvent ici l'expression de notre
gratitude.

Sommaire

-Introduction	1
Généralités	
1.Historique	2
2.Applications.....	3
3.Choix d'une configuration.....	4
4Schéma synoptique général.....	5
5.Présentation du microordinateur.....	6

Unité centrale

Introduction	8
Synoptique CPU.....	9
1.MPU	10
2.Interfaçage des bus.....	15
3.Interface série asynchrone.....	17
4.Circuits d'initialisation.....	23
5.CIRCUIT d'horloge.....	24
6.Organisation du champ mémoire.....	25
7.Logique de décodage.....	26
8. Schéma d'implatation CPU.....	35
9. Conclusion	36

Mémoire centrale

1.Introduction.....	37
2.Généralités.....	38
3.Trigger de schmitt.....	41
4.Synoptique mémoire centrale.....	42
5.Logique de décodage.....	43
.....	56

...../.....

6. Rafrachissement.....	49
7. Schéma d'impantation.....	55
8. Conclusion.....	56

Conclusion

Annexe

---oOo- I N T R O D U C T I O N -oOo---
-----oOo-----

INTRODUCTION.

La micro - informatique exerce aujourd'hui une macro-influence sur la vie économique et sociale. Depuis la sortie du 1^{er} micro-ordinateur,

L'Atlair en 1975, ce secteur a connu une évolution très rapide. Désormais aucun domaine de l'activité humaine ne peut échapper à l'informatisation.

Le Marché de la micro-informatique est dominé actuellement par quelques "multinationales" et aucun transfert de technologie vers les pays sous - développés ne s'est accompli.

En Algérie plusieurs réalisations de micro-ordinateurs ont été faites, mais toutes sont restées au stade du prototype.

Maquettes en Wrapping, système modulaire nécessitant une précision accrue dans la réalisation et un prix de revient excessivement élevé ont empêché la fabrication en série et par suite la diffusion du produit.

Le projet que nous a confié le service électronique du CEN est ambitieux. Il s'agit de réaliser un prototype de micro-ordinateur monocarte sur circuit imprimé double face. Le choix de cette configuration permettra une fabrication en série avec un prix de revient abordable. Ce micro-ordinateur étant destiné à la petite et moyenne industrie ainsi qu'aux établissements scolaires ses caractéristiques sont celles réservées traditionnellement à ce secteur. A savoir une mémoire morte de 3 Ko contenant le moniteur, une mémoire vive de 48 Ko, une interface disque souple et une interface entrée/sortie.

Le projet a été étudié par 2 binômes et notre travail était de réaliser l'unité centrale et la mémoire de 48 Ko.

-----oOo-- G E N E R A L I T E S --oOo-----
-----oOo-----

1 - HISTORIQUE :

La naissance en 1970 chez Intel du 1er microprocesseur, le 4004, fût saluée comme l'événement le plus marquant de la dernière décennie. En effet jamais invention n'a bouleversé les structures sociales aussi profondément, aussi radicalement que ne le fait actuellement la micro-informatique.

Dores et déjà notre époque est baptisée "âge du microprocesseur" comme on la fait pour "l'âge de pierre" et "l'âge de bronze".

Le " Time" de janvier 1982 a été jusqu'à désigner comme homme de l'annéele microordinateur.

Cette informatisation massive de la société est due aux immenses progrès technologiques accomplis ces dernières années et à la baisse spectaculaire des prix.

En 1982, la 4eme génération de microprocesseur, les 32 bits, a vû le jour et maintenant on pense déjà au microordinateur intégré sur une seule "puce" :

2 - APPLICATIONS :

Le champ d'application des microprocesseurs ne cesse de s'étendre. En Industrie, le contrôle des processus, le filtrage numérique, la régulation des paramètres, la commande d'électro-vannes sont confiés à un microprocesseur, le prix du matériel étant nettement inférieur à celui du logiciel. On préfère alors construire des petits systèmes spécialisés dans telle ou telle fonction.

Le microprocesseur a fait aussi son apparition dans les foyers. Machine à laver programmable, four à micro-ondes, microordinateur familial et bien d'autres "gadgets" font désormais partie intégrante de notre environnement.

3 - CHOIX DU MICROPROCESSEUR :

Passer du schéma de principe à une réalisation pratique est une tâche ardue, tant elle demande des moyens matériels importants, une connaissance parfaite de l'électronique digital et un savoir faire dont seule l'expérience et une pratique continue peuvent l'acquérir;

L'expérience que le service électronique du CEN possède en ce domaine nous fût précieuse, a guidé notre travail et nous a évité les tâtonnements.

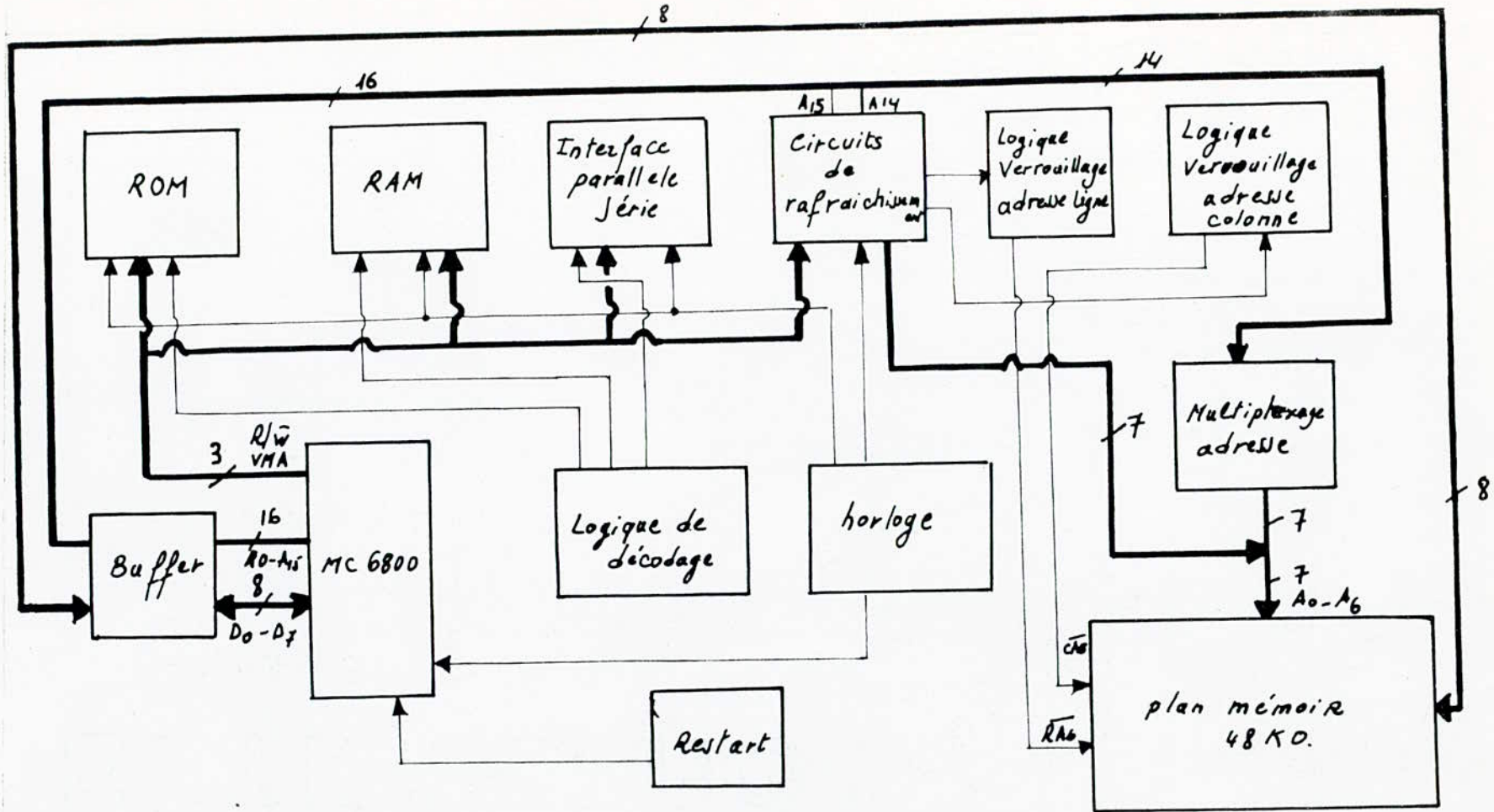
Le choix du microprocesseur était une étape importante, entre le 16 bits 68000 de motorola, le 6809 et le 6800 nous avons préféré ce dernier.

Le 6800 est un microprocesseur très utilisé, disponible au niveau du CEN, maîtrisable et plusieurs projets l'on adopté.

L'existence du système de développement du 6800 a été déterminant quant à son choix car réaliser le hardware et le software en 3 mois par des personnes non initiées est une utopie.

Le but de notre projet était de réaliser un microordinateur pour la PMI, on a évité ainsi le spectaculaire dont le prix de revient est élevé et "l'original sur papier".

5)



SYNOPTIQUE GENERAL

4 - PRESENTATION DU MICROORDINATEUR :

Le microordinateur dont on nous a confié la réalisation à une configuration assez particulière. C'est un "monocarte à pseudo-modularité et comprend les quatre parties essentielles, le CPU, la mémoire centrale, le contrôleur de disque souple et une interface entrée/sortie.

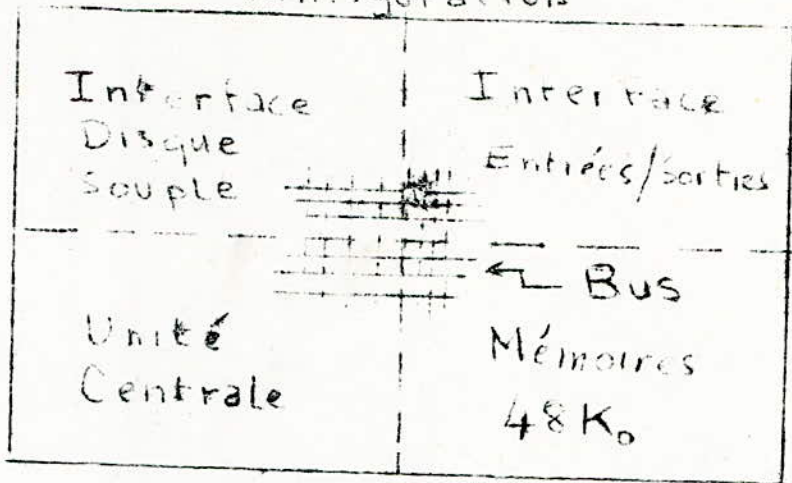
Le système "multicartes" est un ensemble de cartes compatibles de mêmes dimensions et s'assemblent par l'intermédiaire d'un "panier". Avec ce système l'extension et le dépannage sont faciles mais sa réalisation exige une grande finition, l'achat de connecteurs onéreux et non disponibles et une main d'oeuvre qualifiée, tout ceci grêffe lourdement le prix de revient du microordinateur.

Le monocarte, lui, est un système figé non évolutif difficile à dépanner.

Notre système se situe entre ces 2 cas extrêmes, ainsi on allie les avantages des deux tout en éliminant leurs inconvénients. L'étude du système a été faite carte par carte ainsi la localisation de la panne est plus facile. c'est un système évolutif, il suffit de changer la carte dont les performances sont insuffisantes avec une seule contrainte, ramener le bus en entier dans le "coin" de la carte.

.../...

Configuration



Le système présente plusieurs avantages : économie de connecteurs, de vissérie, de "panier", plus compact, gain sur le temps d'assemblage.

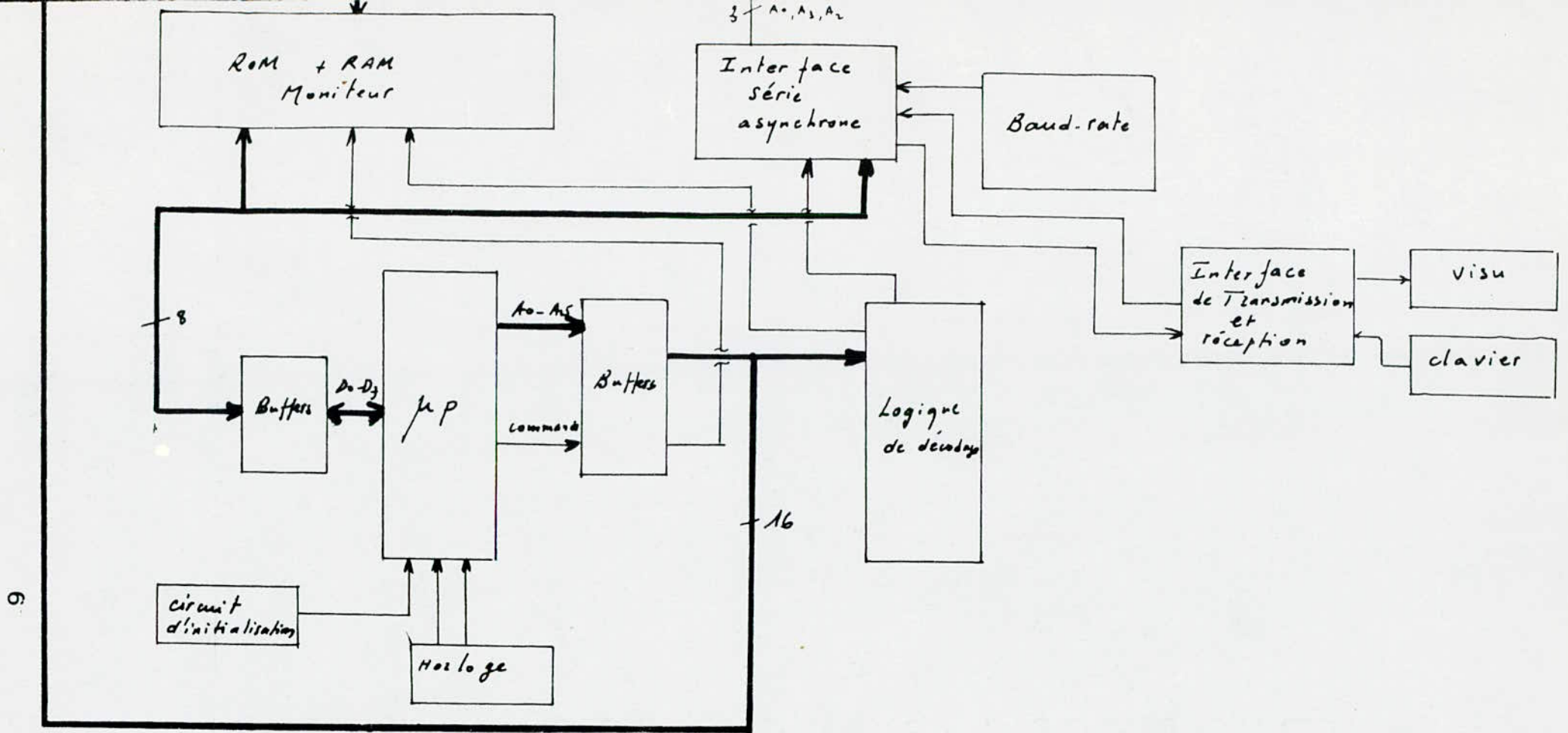
--oOo-- U N I T E C E N T R A L E --oOo--
-----oOo-----

Introduction

L'unité centrale comprend outre le microprocesseur MC6800, des buffers d'extension, une mémoire morte de 3Ko , une mémoire vive de 2K bits, une logique de décodage, une interface série asynchrone.

Elle a été réalisée sur circuit imprimé double face et permet la **gestion** des trois autres parties, à savoir une mémoire de 48Ko, une interface disque souple, une entrée/sortie parallèle/série, série/parallèle.

Dans les pages qui suivent on étudiera en détail les différentes parties du CPU et on donnera le schéma de principe, ~~le circuit imprimé~~ et le schéma d'implantation.



synoptique de l'unité centrale

1. le M.P.U

1.1 INTRODUCTION

Motorola Corp. a introduit son microprocesseur M.C 6800 vers le milieu des années soixante-dix. depuis ce constructeur a mis au point la famille 6800 à bases de nouvelles puces plus élaborées qui sont généralement compatibles au niveau logiciel et dans une moindre mesure au niveau matériel avec L'U.C.M 6800.

Le M.C 6800 a des performances modestes, mais il est fiable, disponible et une documentation abondante existe a son sujet. l'existence de plusieurs secondes sources est une garantie supplémentaire.

Nous rappelons bievements ses différentes caractéristiques.

1.2 Les SIGNAUX DU 6800

Le M.C 6800 est un microprocesseur à 8 bits logé sur D.II à 40 broches. L'U.C.M type opère avec une fréquence d'horloge de 1 M H Z.

Il se caractérise par une

- Compatibilité T.T.L directe
- Alimentation monotension
- Capacité d'adressage 64 K.O par bus d'adresse 16
- Bus de donnée : bidirectionnel à 8 bits
- Technologie N M.O.S

- Halt (broche 2)

Quand l'entrée Halt est active, le 6800 entre en mode arrêt, les circuits trois états passent à leur état haute impédance et le processeur stoppe. Elle est utilisée pour parcourir un programme pas à pas au cours de la mise au point d'un programme. Elle est dans notre unité centrale mise à l'état haut par connexion au + V cc.

- Horloge $\phi 1$, $\phi 2$

L'unité centrale exige deux phases d'horloge sans recouvrement.

- V.M.A (Validation d'adresse mémoire)

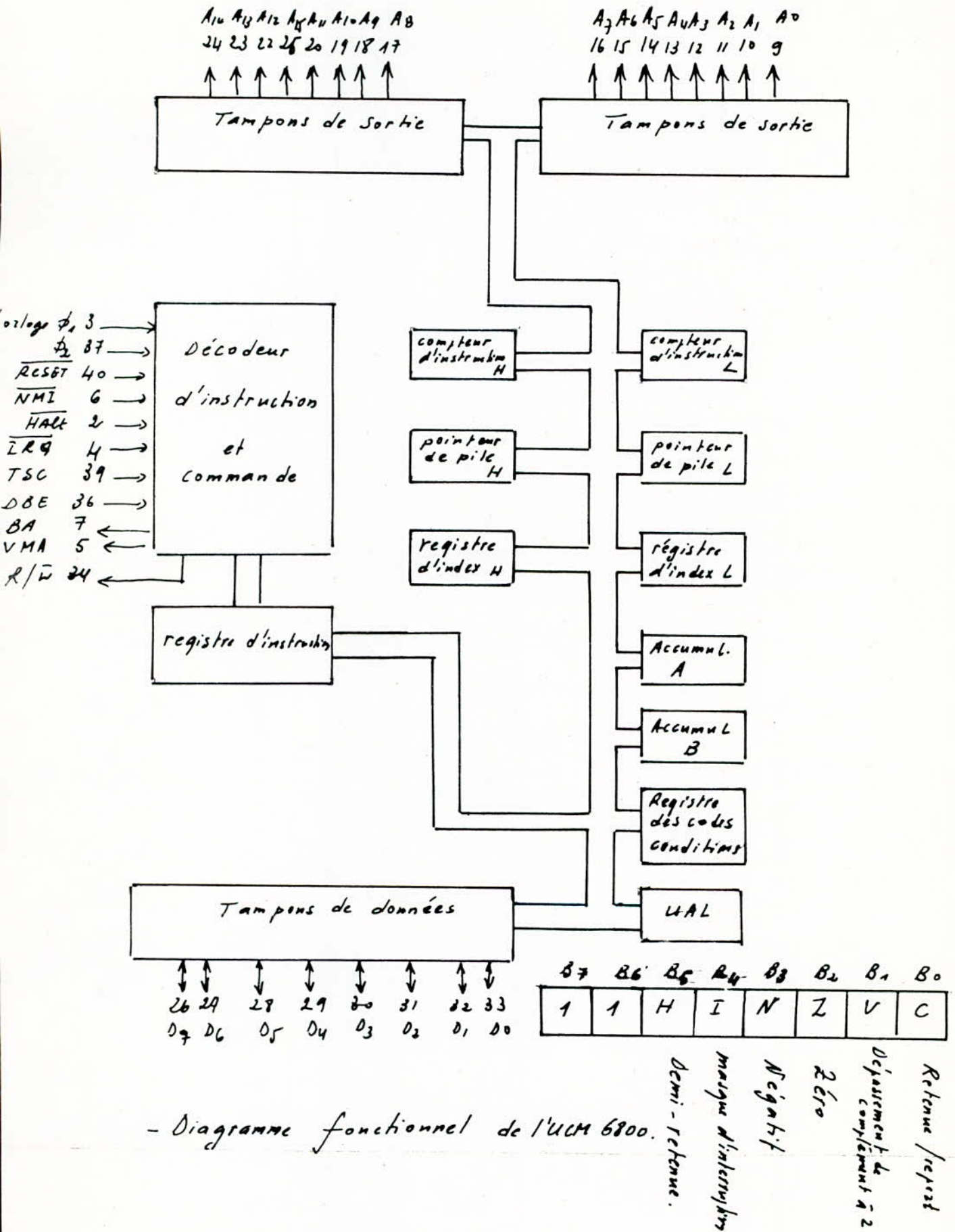
Quand la sortie V.M.A passe à 1 elle signale aux autres unités du système que l'adresse portée par le bus d'adresse est stable.

- B.A (Bus Disponible)

Quand la sortie B.A passe à 1, elle signale aux unités externes que le 6800 a stoppé l'exécution d'instruction le 6800 stoppe l'exécution par suite d'une instruction W.A.I.T on par entrée Halt. La ligne commande B.A permet de dire aux unités ecternes que les bus de données et d'adresse du 6800 sont en modes haute impédance.

- Validation du bus de données D.B.E

Comme les transferts de données prennent place pendant le temps où l'horloge $\phi 2$ est à l'état haut la broche D.B.E est connectée généralement à la ligne $\phi=2$ de l'horloge.



- Diagramme fonctionnel de l'UCM 6800.

T.S.C : Commande de mode trois états

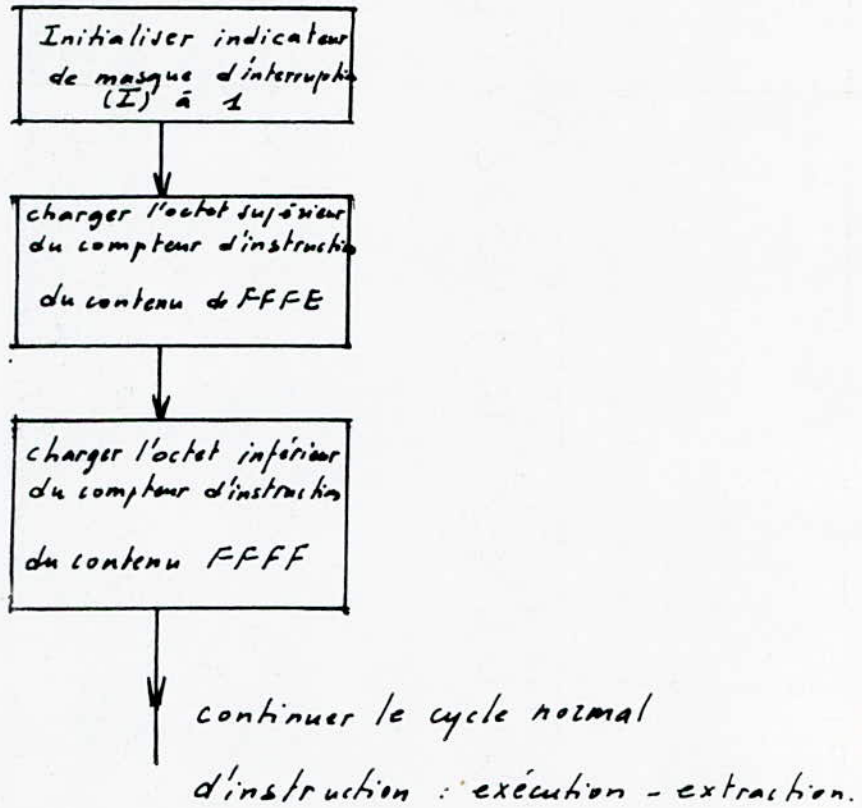
Quand l'entrée T.S.C est placée en "HIGH" par une unité externe toutes les lignes d'adresse et la ligne R/W passe en mode ^{haute} ~~haute~~ impédance. Dans notre système on n'utilise pas de D.M.A et la broche T.S.C est à la masse .

Les Commandes d'Interruption

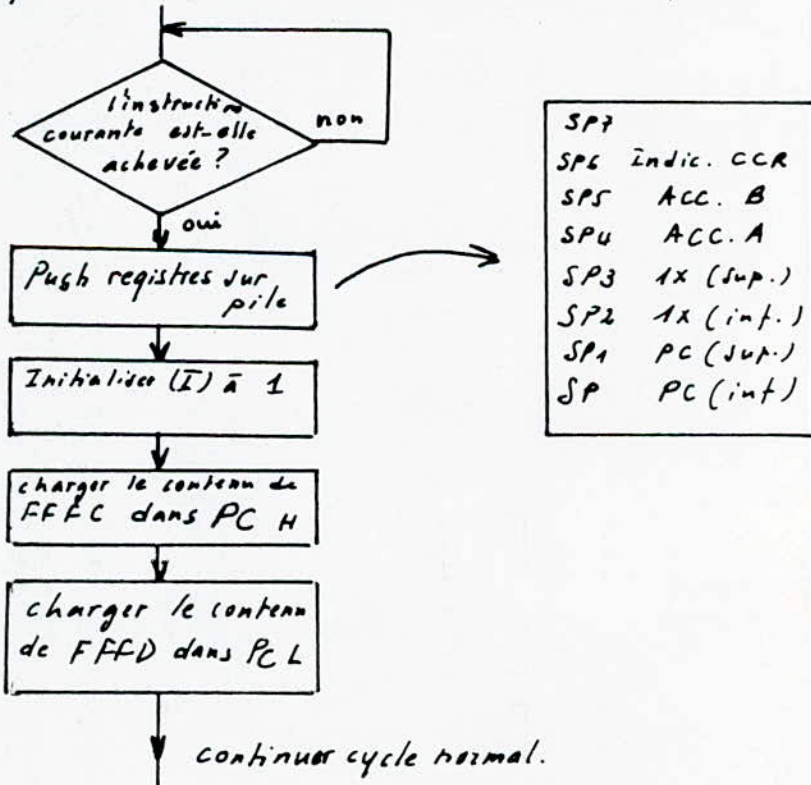
Le M.C 6800 possède 4 types d'interruption dont 3 matériels et une logicielle et qui sont par ordre de priorité décroissante : R.E.S.E.T , N.M.I , I.R. Φ , S.W.I . Dans les pages qui suivent on donne les organigrammes des trois interruptions matériels.

Commande de lecture / Ecriture R/\bar{W} .

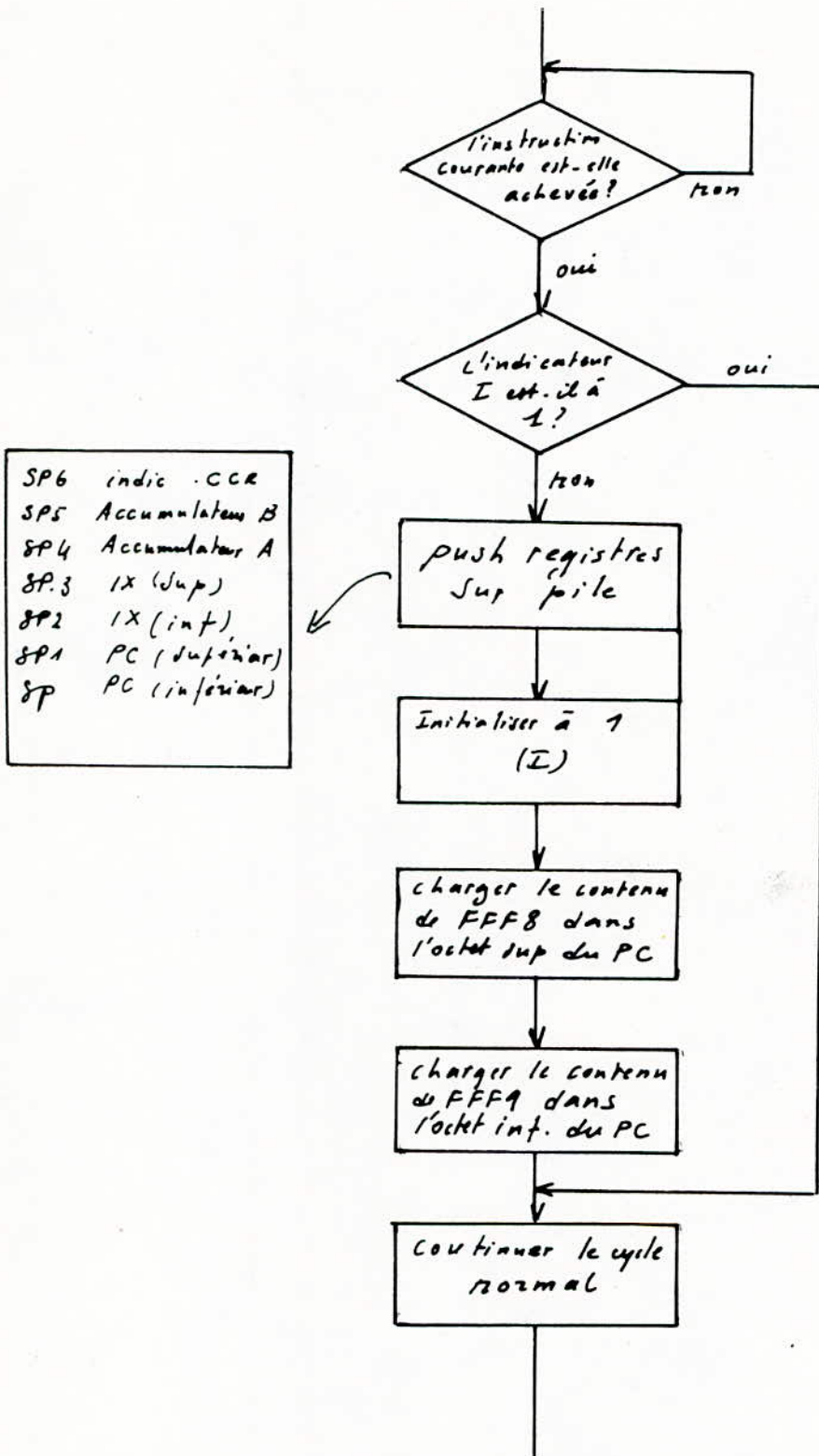
La sortie R/\bar{W} est une ligne de commande permettant de faire une opération de lecture (R/\bar{W} à 1) ou une opération d'écriture (R/\bar{W} à 0).



- Séquence de réinitialisation d'interruption: $\overline{\text{Reset}}$



- Séquence d'interruption non masquable: $\overline{\text{NMI}}$



2 - INTERFACAGE DES BUS :

2 - 1 NOTION D'ENTRANCE ET DE SORTANCE

On définit ces 2 notions comme suit:

- ENTRANCE : C'est la valeur du courant de commande exprimée en une unité qui est le courant de commande typique de la famille.
- SORTANCE : C'est le rapport entre le courant maximum fourni par le circuit et le courant de commande typique.

Par exemple un circuit qui a une sortance de 2 peut commander 2 circuits qui ont une entrance de 1.

Le microprocesseur possède au niveau de toutes ses lignes de sortie une sortance faible, d'une charge T.T.L, on voit qu'il est nécessaire de "bufferiser" les signaux pour toute utilisation ou le nombre de circuits est important.

2 - 2 LES BUFFERS :

On utilise 2 sortes de buffers les unidirectionnels pour le bus d'adresses, les bidirectionnels pour le bus de données. (voir fig 2.2).

Apart V.M.A et R/W les autres signaux de commandes ne sont pas "bufferisés" car n'étant pas beaucoup utilisés.

Notre système n'étant pas prévu pour un accès direct en mémoire, les buffers du bus d'adresses sont validés en permanence et V.B.A est mise à la masse! Le sens du transfert des données est déterminé par l'opération effectuée: lecture ou écriture ; 2 signaux de commande pour déterminer ce sens :

$\emptyset 2$: ne permet de valider les buffers du bus de données que pendant le transfert $\emptyset 2 = 1$.

R/W ; Pour différencier entre une lecture et une écriture.

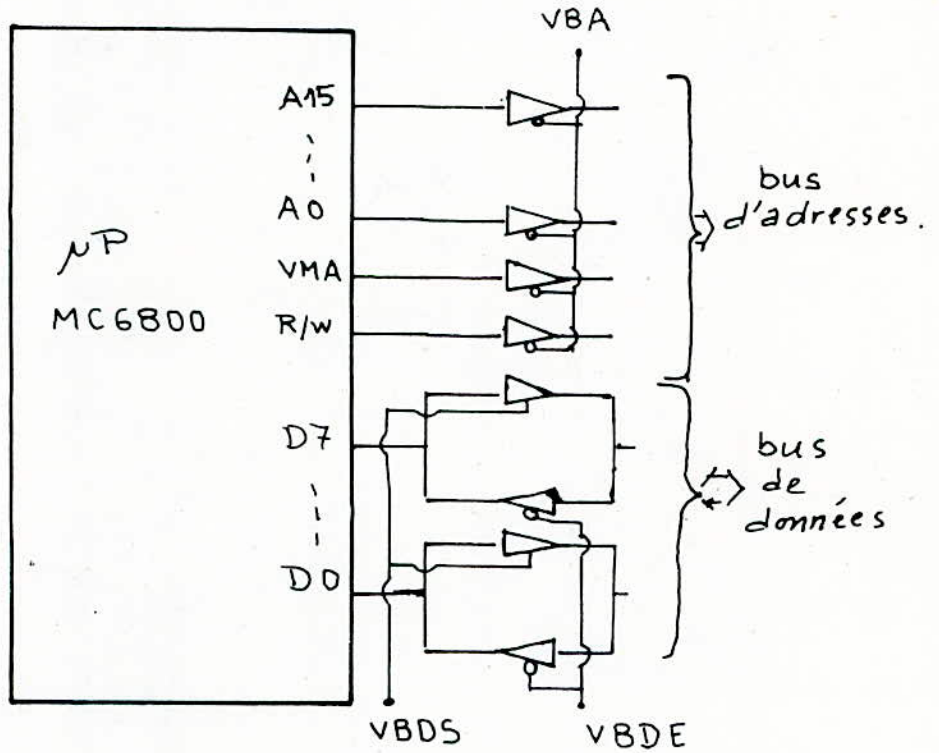


Fig2.2.

Validation des amplis de bus.

VBA : Validation du Bus d'Adresses.

VBDE : " " " de Données Entrée.

VBDS : " " " " " Sortie.

Lecture $R/W = 1$ et $\phi_2 = 1$

Ecriture $R/W = 0$ et $\phi_2 = 1$

Ni lecture, ni écriture $\phi_2 = 0$ pas d'échange avec le micro
Etat haute impédance.

D'après la figure précédente pour avoir :

Une lecture : V.B.D.S = 0 et V.B.D.E = 0

Ecriture : V.B.D.S = 1 et V.B.D.E = 1

Etat haute impédance : V.B.D.S = 0 et V.B.D.E = 1

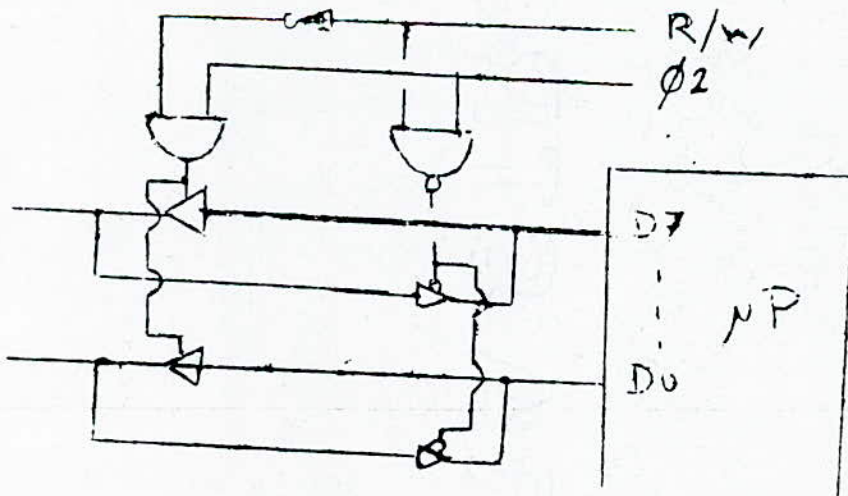
R/W	0	1
ϕ_2	0	0
1	1	0

V.B.D.S
= $\overline{R/W} \cdot \phi_2$

R/W	0	1
ϕ_2	1	1
1	1	0

V.B.D.E
= $\overline{R/W} \phi_2$

Les circuits utilisés pour le renforcement des bus sont les 8 T 28 (bidirectionnels) et les 8 T 97 (unidirectionnels), voir schémas et brochage en annexe.



- fig

3.1. - INTRODUCTION :

Une interface série est nécessaire pour communiquer avec un périphérique travaillant en mode série ; tele type, clavier série, imprimante série , modem, terminal de visualisation, enregistreur à cassettes.
NORME RS 232 C.

3.2. - L'ACIA 6850.

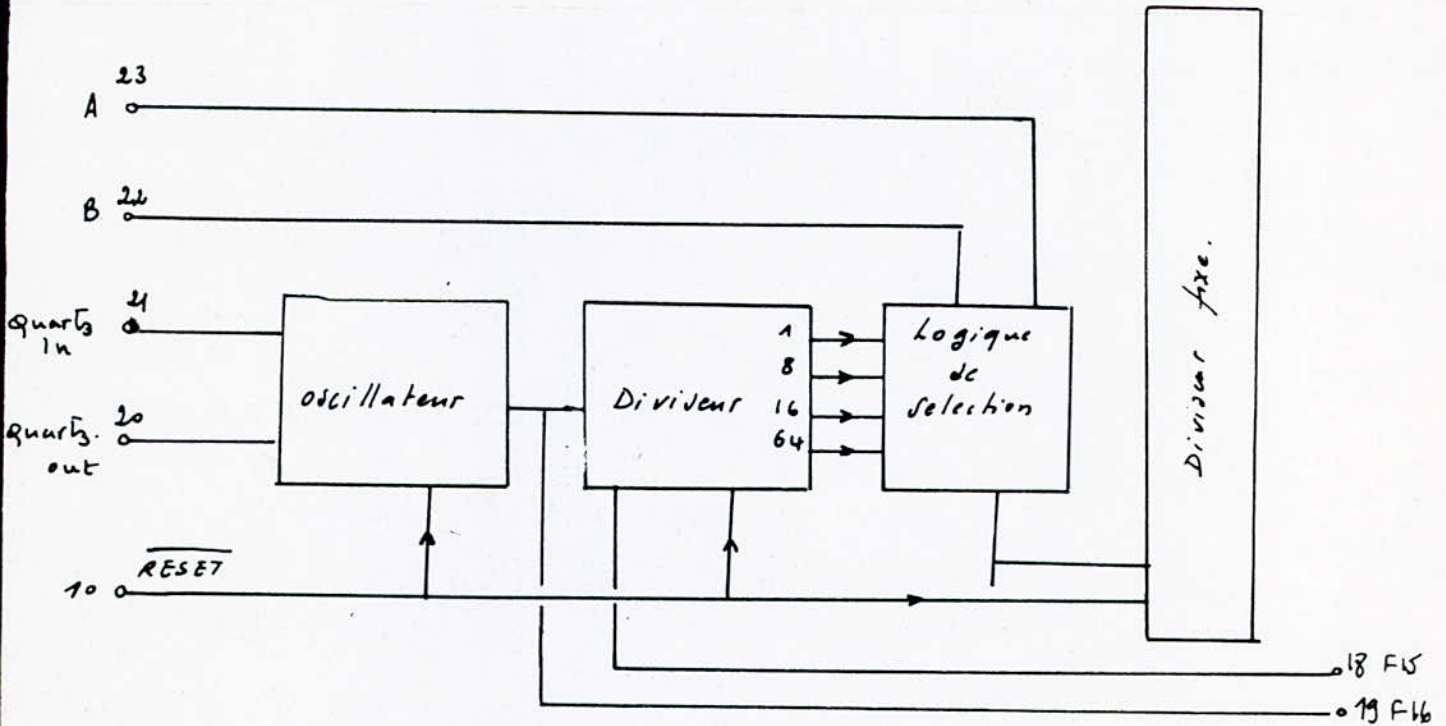
Le MC 6850 est une interface série programmable asynchrone réalisée en technologie N.MOS et s'alimente sous une tension unique +5V. Toutes les entrées/~~sorties~~ sont compatibles TTL.

L'ACIA dispose, côté microprocesseur, de trois lignes de validation de boitiers CS0, CS1, CS2, une ligne d'activation E reliée à $\phi 2$, une ligne R/W, une entrée RS selection des registres internes, une ligne d'interruption IRQ et un bus de données.

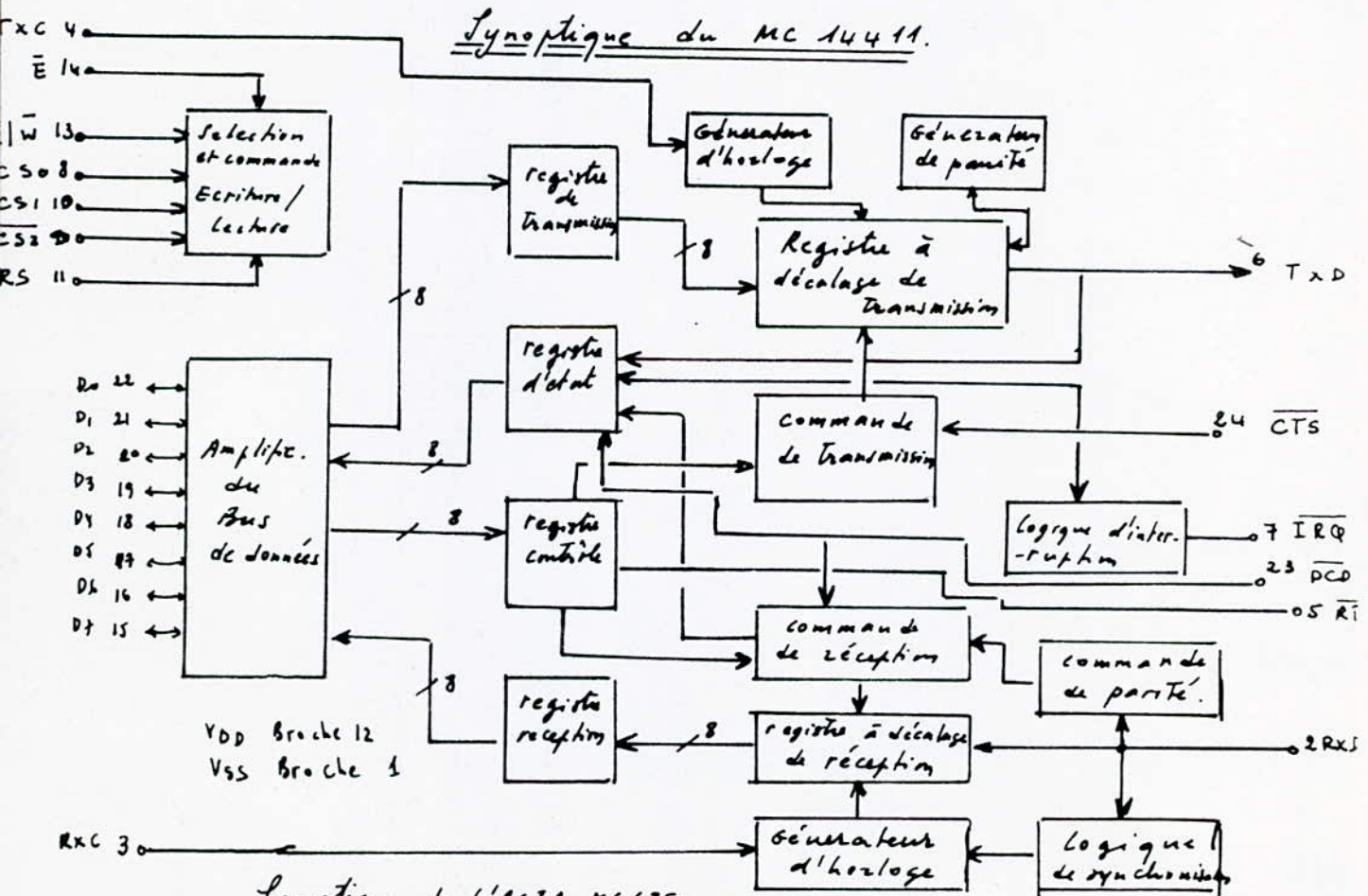
Côté périphérique on trouve une sortie transmission série TXD, une entrée reception RXD, avec horloges indépendantes TXC et RXC et trois lignes contrôle modem CTS, RTS, DCD.

L'ACIA possède quatre registres internes dont deux à lectures seulement, le registre d'état SR et le registre de réception RDR, et 2 à écriture seulement. Le registre d'émission TDR, registre contrôle CR. La ligne RS et la ligne R/W déterminent le registre Selected.

<u>R.S.</u>	<u>:</u>	<u>R/W</u>	<u>:</u>	<u>Registre Selected</u>	<u>:</u>
0	:	0	:	C.R.	:
0	:	I	:	S.R.	:
I	:	0	:	TDR.	:
I	:	I	:	RDR.	:



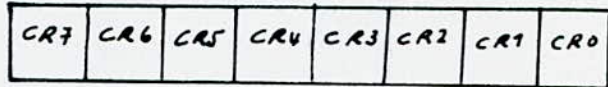
Synoptique du MC 14411.



Synoptique de L'ACIA MC6850

Validation des interruptions lors d'une reception	
CR7	Fonction
1	Valide les interruptions provoquées par - registre reception plein - Front montant sur DCD
0	inhibe les interruptions

Rapport de division des horloges RxC et TxC		
CR0	CR1	Rapport de division
0	0	÷ 1
0	1	÷ 16
1	0	÷ 64
1	1	master reset.



Contrôle : des interruptions provoquées par la condition registre Transmission Vide - de la sortie RTS émission break		
0	0	RTS=0 inhibe TDRE
0	1	RTS=0 valide TDRE
1	0	RTS=1 inhibe TDRE
1	1	RTS=0 inhibe TDRE Transmission d'un break.

Format des caractères échangés					
CR4	CR3	CR2	Longueur	parité	bits stop
0	0	0	7	paire	2
0	0	1	7	impaire	2
0	1	0	7	paire	1
0	1	1	7	impaire	1
1	0	0	8	SANS	2
1	0	1	8	SANS	1
1	1	0	8	paire	1
1	1	1	8	impaire	1

- Signification des bits du registre de contrôle.

SR0	ADRF	SR0 = 1 registre de reception plein ; SR0 = 0 vide
SR1	TDRE	SR1 = 1 registre transmission vide, SR1 = 0 plein
SR2	DCD	SR2 = 0 la porteuse est présente, SR2 = 1 porteuse perdue
SR3	CTS	SR3 = 1 le modem n'est pas prêt, SR3 = 0 modem prêt
SR4	FE	SR4 = 1 Erreur de format, SR4 = 0 Format correct
SR5	OVEN	SR5 = 1 recouvrement des caractères, SR5 = 0 pas de recouvrement reçus
SR6	PE	SR6 = 1 erreur de parité, SR6 = 0 pas d'erreur
SR7	ZBR	SR7 = 1 interruption SR7 = 0 pas d'interruption.

- fonctions des bits du registre d'état.

3.3. - MISE EN OEUVRE DE L'ACIA.

Un signal TTL est impropre à des liaisons par câble long (assimilé à un réseau RC). Deux circuits classiques les MC I488 et MC I489 assurent la conversion TTL → RS 232C.

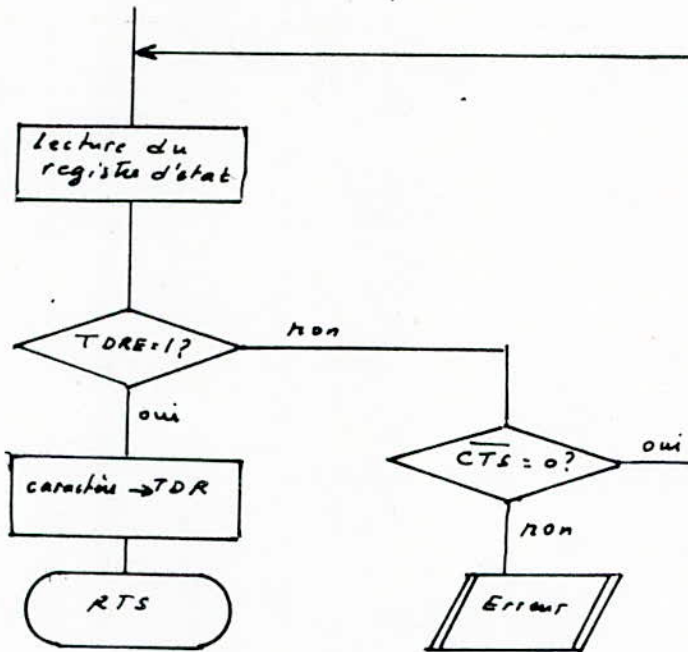
La RS 232C est l'une des normes la plus utilisée pour interconnecter un micro-ordinateur et un terminal, ses caractéristiques sont données en Annexe.

Les vitesses de transmission et de réception sont normalisées pour ces différents périphériques. Le circuit Baud rate MC I44II permet de générer ces différentes fréquences et de piloter ainsi l'ACIA. On donne ~~ci-après~~ ^{en pages 18 et 19} les synoptiques de l'ACIA, du Baud rate, Et la signification des bits du registre d'état et de contrôle.

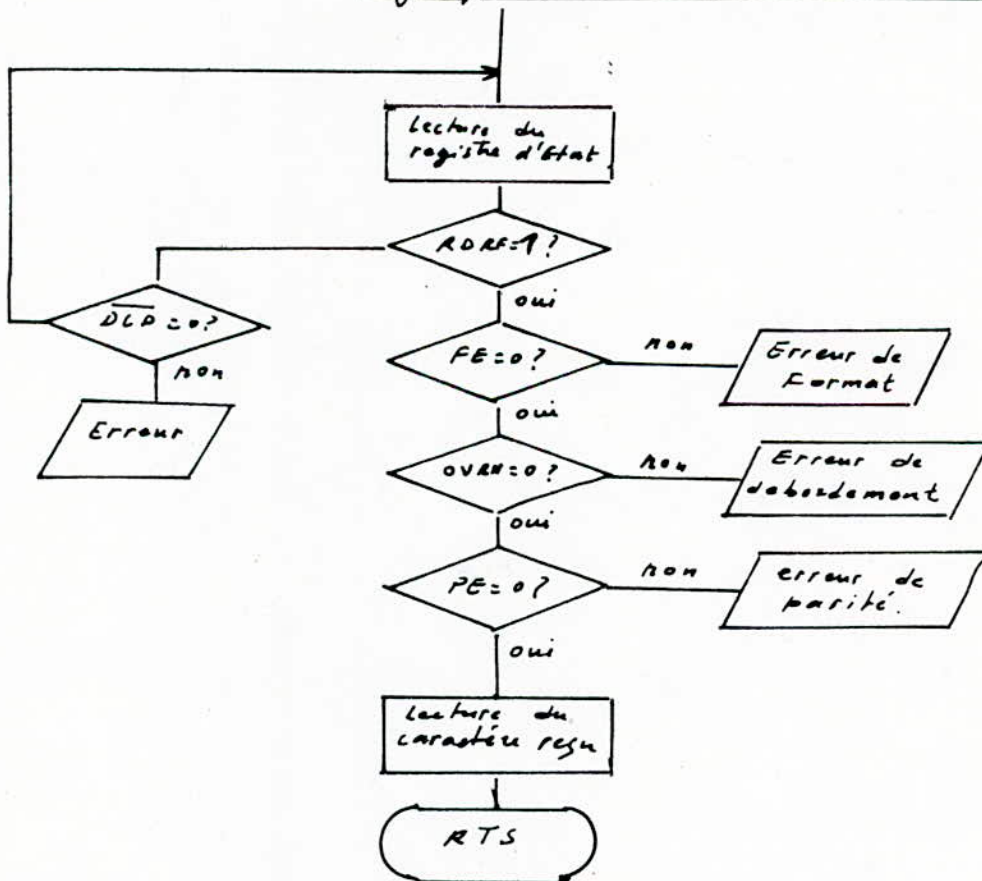
3.4. - PROGRAMMATION DE L'ACIA.

La programmation de l'ACIA fait appel à 3 sous-programme, le sous-programme d'initialisation, le sous-programme d'émission et le sous-programme de réception.

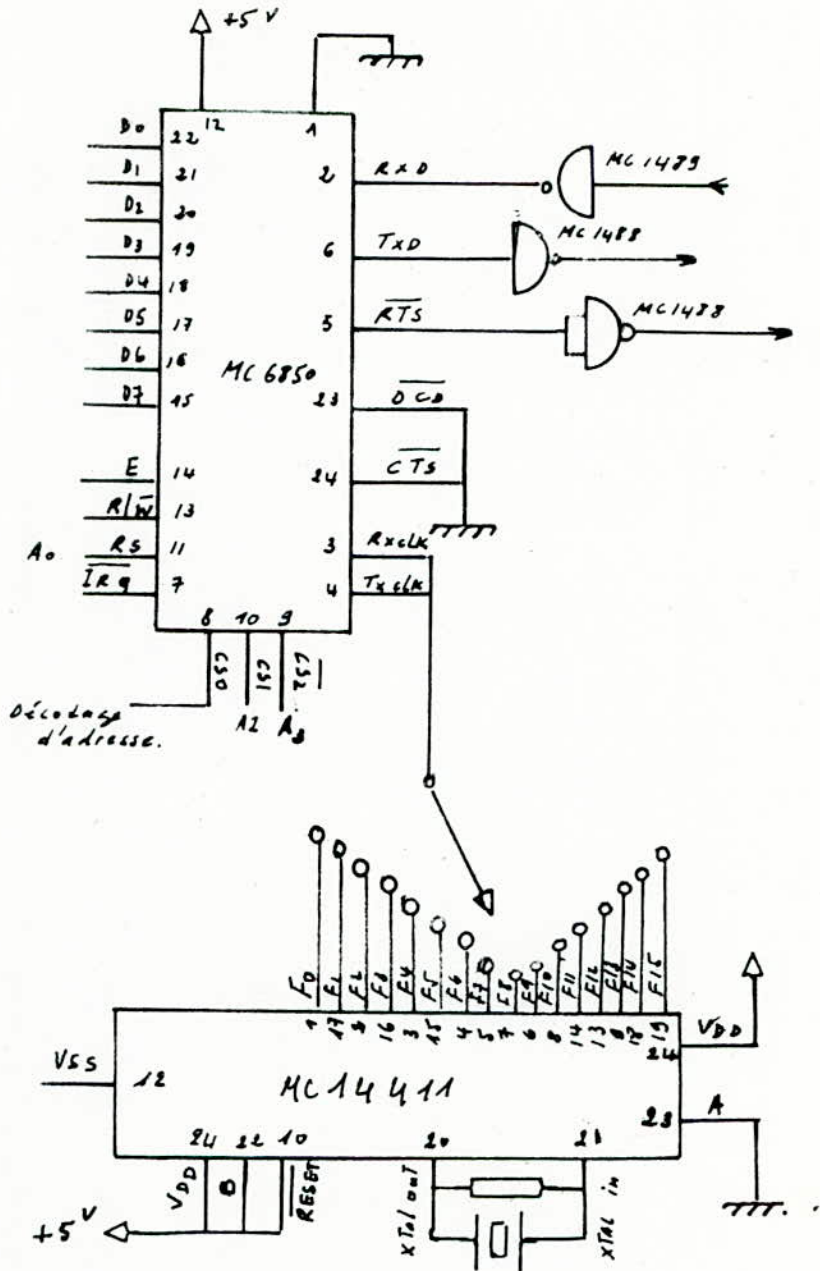
Ci-après les organigrammes des sous-programme d'émission et de réception.



organigramme de routine de transmission.



organigramme de routine de réception.



F0	9600
F1	7200
F2	4800
F3	3600
F4	2400
F5	1800
F6	1200
F7	600
F8	300
F9	200
F10	150
F11	134,5
F12	109,9
F13	75
F14	921,6K
F15	1,8432M

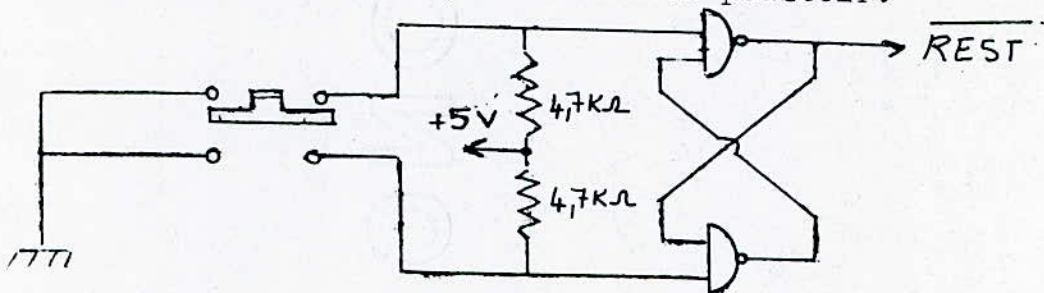
(en bauds.)

4- Circuits d'initialisation

Deux circuits d'initialisation sont prévus.
Un restart manuel qui permet d'initialiser le micro-
-processeur à tout moment et restart automatique qui
l'initialise à la mise sous tension.

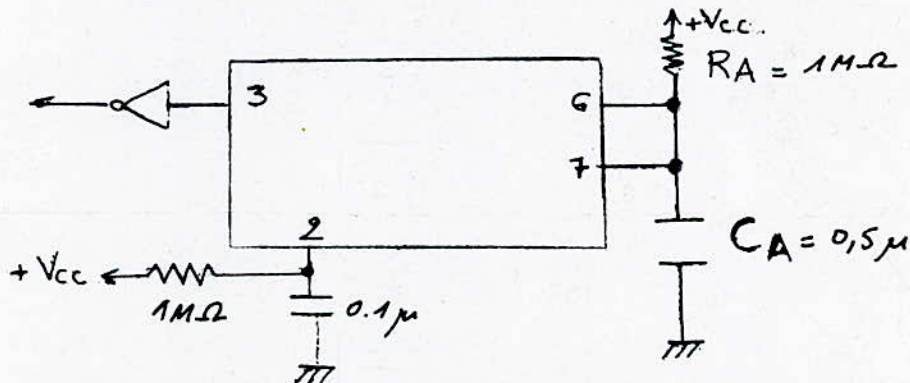
4.1 - Restart manuel:

A chaque pression du bouton poussoir on obtient une
impulsion négative. Une bascule RS classique élimine les
rebondissements mécaniques du bouton poussoir.



4.2 Restart automatique:

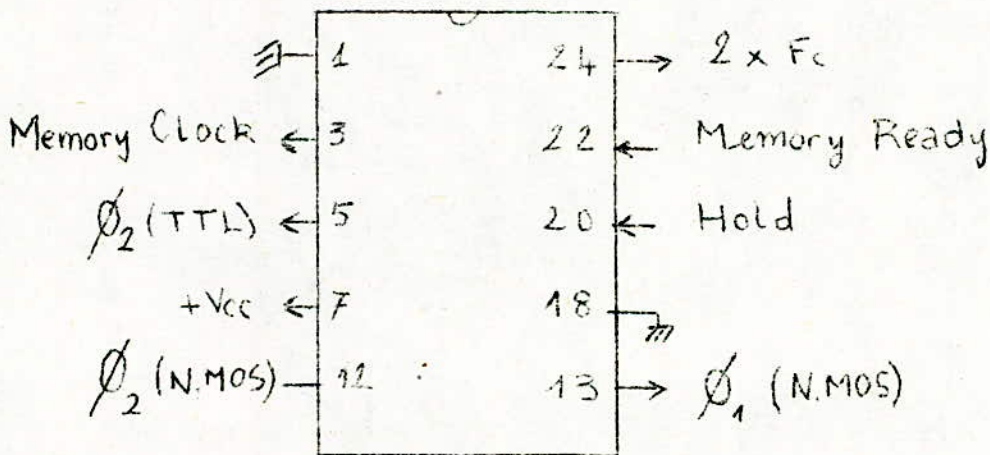
Il est conçu autour du NE555 monté en monostable.
Il envoie une impulsion sur la sortie 3 dès qu'il
reçoit un niveau bas sur l'entrée 2 (donc à la mise sous
tension). L'impulsion a une largeur $T = 1,1 R_a \times C_a$



5 - CIRCUIT D'HORLOGE.

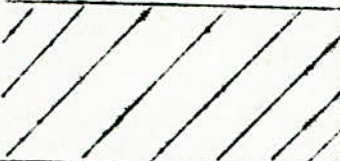

Le microprocesseur MC6800 utilise une horloge externe lui délivrant 2 signaux de fréquence 1 MHz sans recouvrement ϕ_1 (N.MOS) et ϕ_2 (N.MOS) et en opposition de phase. On utilise la MC6871 A qui renferme un quartz interne et un oscillateur générant un signal de fréquence 1MHz. En plus des signaux ϕ_1 (N.MOS), ϕ_2 (N.MOS) et ϕ_2 (TTL) la MC6871 A génère les signaux suivants:

- $2 \times F_c$ qui est deux fois la fréquence d'horloge.
- Memory ready : cette commande prolonge l'état haut de ϕ_2 (ou l'état bas de ϕ_1).
- Memory clock: signal de selection mémoire.
- Hold : ce signal prolonge l'étendue de l'état haut ϕ_1 .



66 Organisation du champ mémoire de la partie C.P.U.

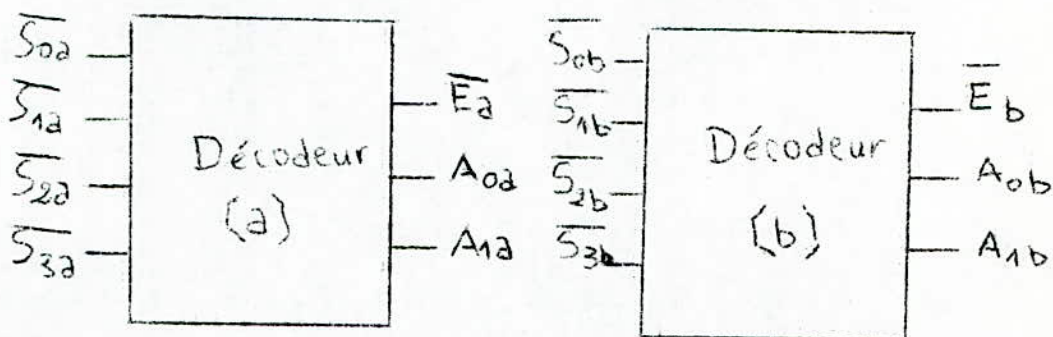
Le champ mémoire occupé par la partie C.P.U va de F000 à FFFF et il est organisé de la manière suivante:

CIRCUITS	Adresses en Hexa	Commentaire
1ere ROM	F000 F7FF	MONITEUR: Implantation de l'Exbug.
2eme ROM	F800 FBFF	
		Adresses ouvertes
A.C.I.A	FCF4 FCF7	Registres internes
		Adresses ouvertes
1ere RAM	F000 FF7F	MONITEUR: Stockage intermédiaire de données.
2eme RAM	FF80 FFFF	

LOGIQUE DE DECODAGE

7.1 - INTRODUCTION:

.Pour adresser les differents boitiers prevus dans la partie CPU, nous avons réalisé un decodage complet du bus d'adresses par l'intermediaire de Portes et de 2 decodeurs. Le circuit utilisé est le SN 74 LS 138 qui est un double decodeur 1 parmi 4 dont le brochage est donné en annexe. Les 2 decodeurs ont chacun une entrée de validation \bar{E} .

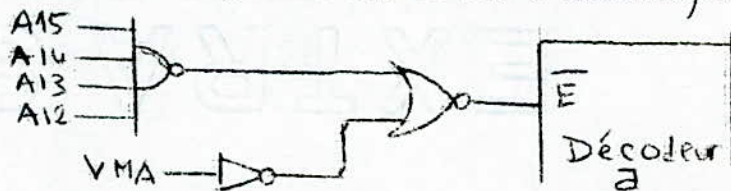


7- 1 - VALIDATION DES 2 EPROM

.Pour adresser la partie CPU qui comprend le groupe d'adresses de F000 à FFFF, on utilise une Porte NAND à 4 entrées.



Le decodeur ne sera validé que si l'adresse est comprise entre F000 à FFFF. En utilisant un verrouillage par VMA: VMA étant à 1 lorsque une adresse est disponible sur le bus d'adresses, \bar{E}_N aura:



Le decodeur n'est validé que si A15, A14, A13, A12 et VMA sont à 1

	A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
1 ^{ère} ROM { 1 ^{er} K ₀	1	1	1	1	0	0	X	X	X	X	X	X	X	X	X	X
2 ^e K ₀	1	1	1	1	0	1	X	X	X	X	X	X	X	X	X	X
2 ^e ROM - 1 ^e K ₀	1	1	1	1	1	0	X	X	X	X	X	X	X	X	X	X
ACIA	1	1	1	1	1	1	0	0	1	1	1	1	0	1	X	X
1 ^{ère} RAM	1	1	1	1	1	1	1	1	0	X	X	X	X	X	X	X
2 ^e RAM	1	1	1	1	1	1	1	1	1	X	X	X	X	X	X	X

- tableau du champ mémoire en binaire.

Pour valider les 2 ROM qui l'omprennent une entrée de validation chacun CS on utilise aux entrées adresses du décodeur (a) les digits A10, A11. (voir fig 7.1).

- S0a et S1a valideront la 1er ROM lorsque A11 est à 0" , de F 000 à F7FF
- S2a validera la 2ème ROM lorsque A11 est à 1 et A10 à 0 , de F 800 à FBFF
- S3a validera le décodeur b lorsque A11 et A10 sont à 1. à partir de FCOO.

On remarquera au passage que S3a servant à valider le 2é décodeur le 2é me Ko de la 2é ROM ne pourra plus être adressé.

7.2 - VALIDATION DES 2 RAM.

Le second décodeur va nous permettre de sélectionner l'ACIA et les 2 RAM. *fig 7.2 page 31*

On utilise aux entrées d'adresses du décodeur (b) les digits A8 , A9.

- S3b nous permet de sélectionner partiellement les 2 RAM lorsque A8 et A9 sont à 1, aux adresses. F F 00 à FFFF. Partiellement car les 2 RAM utilisées sont les MC 6810 qui possèdent 6 entrées de validation (select chip)

CS0, CS1, CS2 , CS3, CS4, CS5.

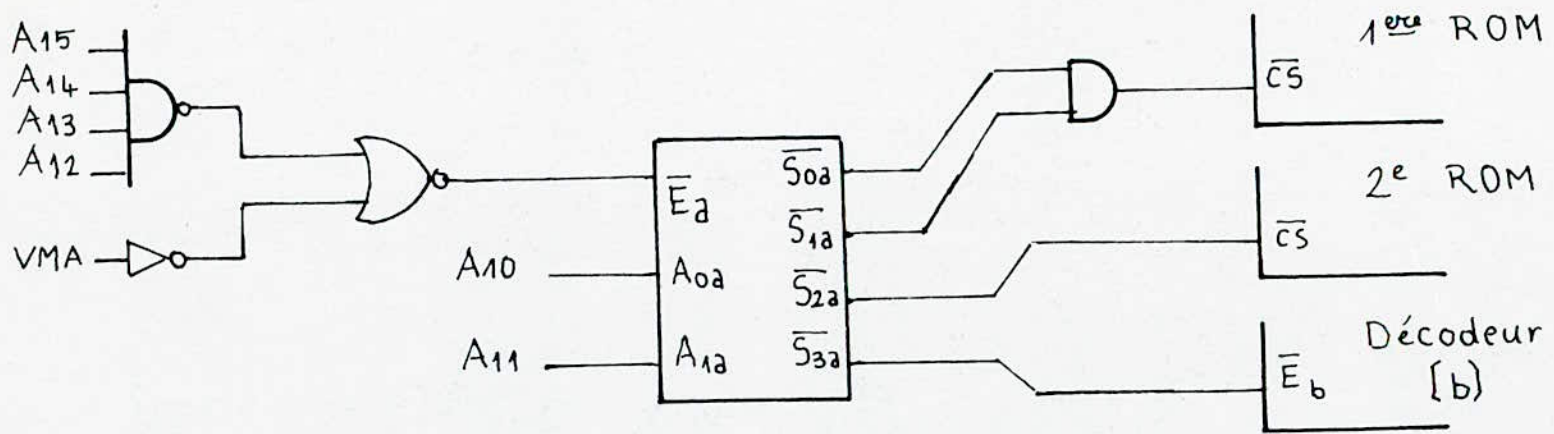
Le boitier ne sera validé que si :

Sont à

CS0	CS1	CS2	CS3	CS4	CS5
1	0	0	1	0	0

Connections sur les Select Chip :

Select Chip	RAM1	RAM2
CS5	A7	GND
CS4	Sortie Q2 bascule JK	
CS3	Ø2	
CS2	Sortie S3b Décod. b	
CS1	GND	
CS0	Vcc	A7 .../...



29

A_{1a}	A_{0a}	\bar{S}_{3a}	\bar{S}_{2a}	\bar{S}_{1a}	\bar{S}_{0a}	\bar{CS} 1 ^{ère} ROM	\bar{CS} 2 ^e ROM	\bar{E}_b
0	0	1	1	1	0	0	1	1
0	1	1	1	0	1	0	1	1
1	0	1	0	1	1	1	0	1
1	1	0	1	1	1	1	1	0

- fig 7.1 -

- $\phi 2$ permet de synchroniser les RAM lorsqu'il y a échange d'instructions sur le bus :

C S3 sélectionné lorsque $\phi 2$ est à I.

- La sortie $\overline{Q_1}$ de B la bascule JK permet ~~d'inhiber~~ ^{d'inhiber} les 2 RAM lorsqu'on met une remise à zéro.

- $\overline{CS2}$ validée par le décodeur (b) lorsqu'une adresse du groupe F F00 à FFFF est disponible.

- $\overline{CS1}$ est validée en permanence et mise à la masse.

- Les 2 autres Select chip vont nous permettre d'adresser séparément les 2 RAM en utilisant A7.

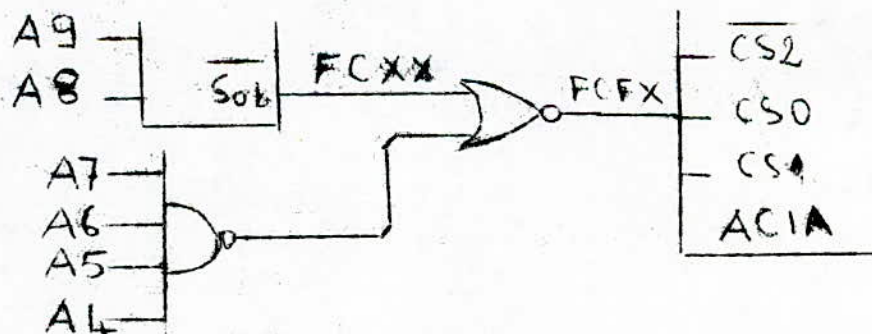
	A15.....A12,	A11.....A8,	A7,	A6.....A0
1ere RAM.....	F	F	0	X
2éme RAM	F	F	1	X

Dans la 1ère RAM $\overline{CS0}$ est validée en permanence et ~~connectée~~ ^{connectée} à Vcc tandis que $\overline{CS5}$ n'est validée que si A7 est à 0, F F00 à ~~FFFF~~ ^{FFFF}.

Dans la 2ème RAM $\overline{CS5}$ est validée en permanence et ~~connectée~~ ^{connectée} à la masse et $\overline{CS0}$ ne sera validée que si A7 est à 1, FF 80 à FFFF.

7.3 - VALIDATION DE L'ACIA :

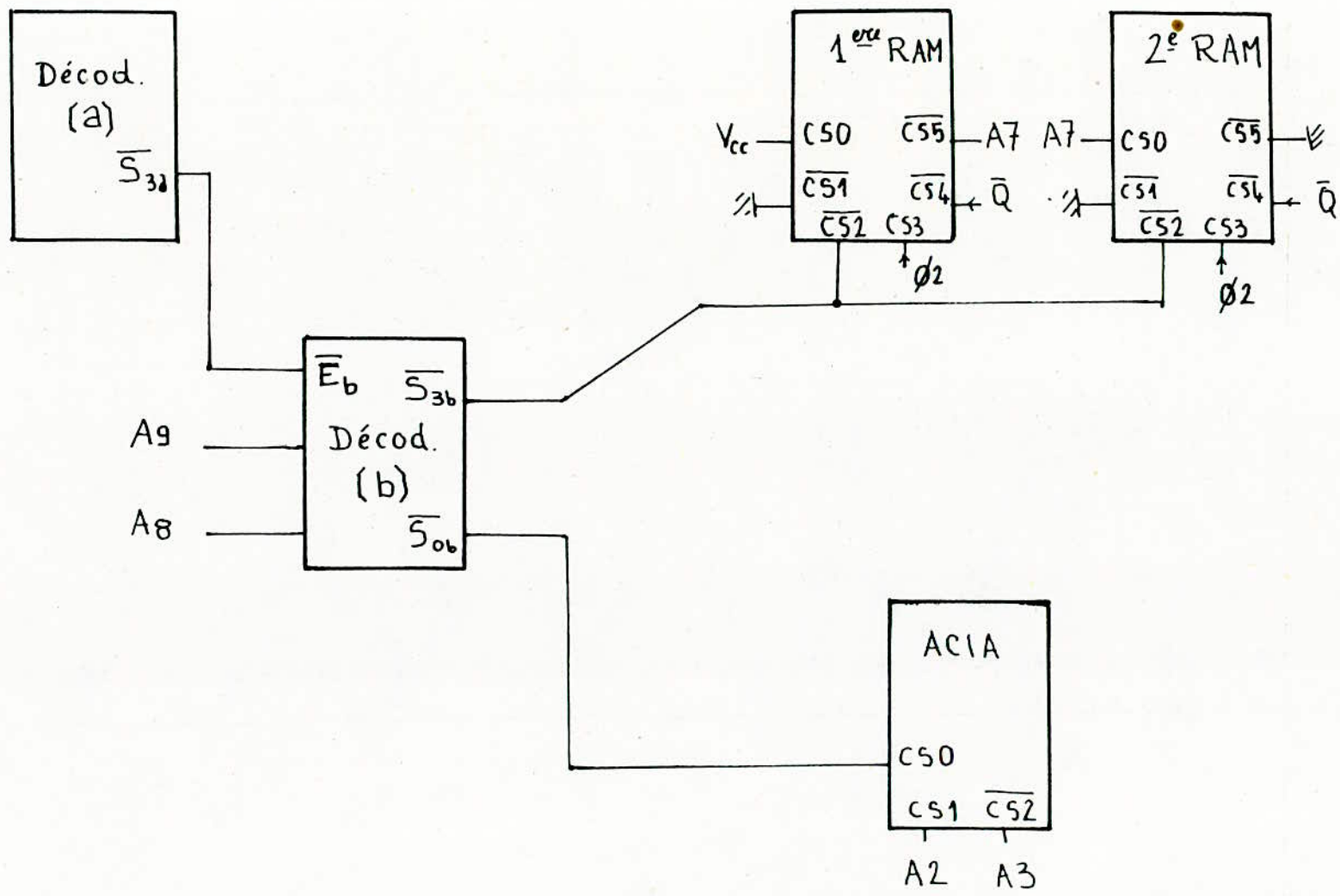
Lorsque A8 et A9 sont à 0, la sortie Sob du décodeur est à 0 et permettra d'adresser le groupe FCXX. Pour adresser l'ACIA aux adresses FCFX les digits A7, A6, A5, A4 étant à 1 on utilise une porte à 4 entrées comme le montre la figure suivante.



L'ACIA possédant 3 select chip $\overline{CS2}$, $\overline{CS0}$, $\overline{CS1}$ elle ne sera validée que si :

	$\overline{CS2}$	$\overline{CS0}$	$\overline{CS1}$
Sont à :	0	1	1

.../...

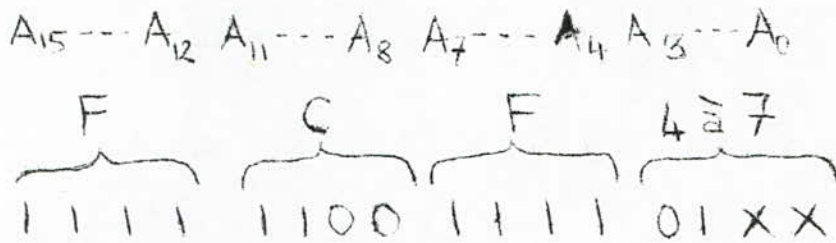


- fig 7.2

On a vu que CS0 est validée aux adresses FC FX.

On connecte A2 et A3 respectivement à CSI et $\overline{CS2}$.

L'ACIA sera validé aux adresses.



Soit de FCF4 à FCF7

7.4 : Chargement des vecteurs d'interruption.

Il s'agit de charger en mémoire vive (RAM 6810) à la mise sous tension ou après un "Reset" les vecteurs d'interruption aux adresses FFF8 à FFFF.

L'adresse du début de programme qui permet de faire ce transfert est contenue dans une 3e ROM (EPROM 2716).

Au restart, une ligne d'inhibition permet de désélectionner les boîtiers du moniteur tandis que la 3e ROM est sélectionnée, le 6800 va chercher l'adresse de début en FFF8 et FFFF non pas dans les RAM du moniteur (qui sont inhibées) mais dans la 3e ROM qui est validée pendant toute la durée d'initialisation. (fig 7.4)

Lorsque "Reset" revient à 1 la 3e ROM est inhibée et les vecteurs d'interruptions sont stockés dans la RAM aux adresses FFF8 à FFFF.

Ce système nous permet au lieu d'avoir des vecteurs d'interruption stockés de manière définitive de pouvoir les modifier par programmation, mais à chaque "Reset" effectué il y aura rechargement en mémoire centrale des vecteurs d'interruption.

Une double bascule JK nous permet de valider la 3e ROM. Lorsque $\overline{\text{Reset}}$ passe à zéro les 2 bascules sont initialisées et la sortie $\overline{Q_2}$ se met à "1" inversé par une porte NOR on aura "0" sur le chip select $\overline{\text{CS}}$ de la 3e 2716 qui sera validée tandis que les 2 RAM du "moniteur" qui reçoivent la sortie $\overline{Q_2}$ sur le select chip $\overline{\text{CS2}}$ seront inhibées.

Lorsque reset revient à "1" $\overline{Q_2}$ ne repasse à zéro qu'après le 2e cycle d'horloge parce qu'une instruction comporte 2 cycles d'horloge et afin de ne pas perturber le déroulement de l'instruction.

A remarquer que l'entrée d'horloge des 2 bascules ne reçoit $\overline{Q_2}$ que si l'adresse est comprise entre F000 et FFFF soit le champ mémoire occupé par la partie CPU.

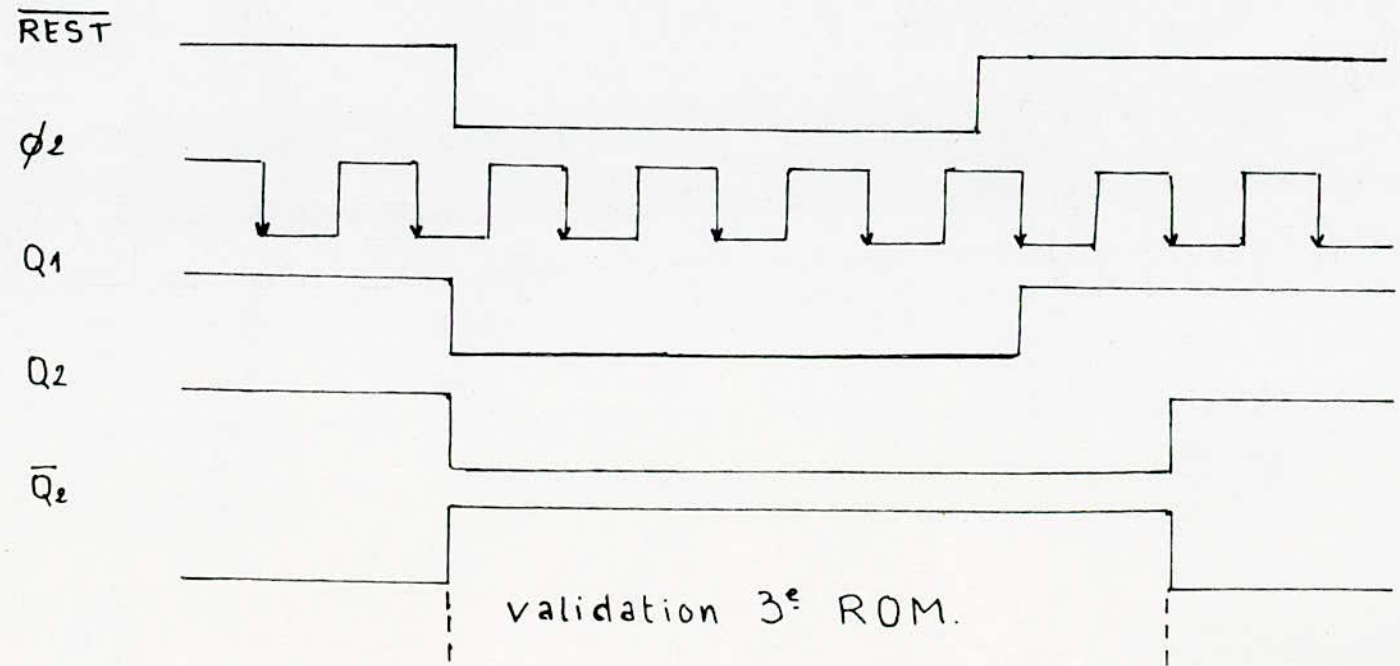
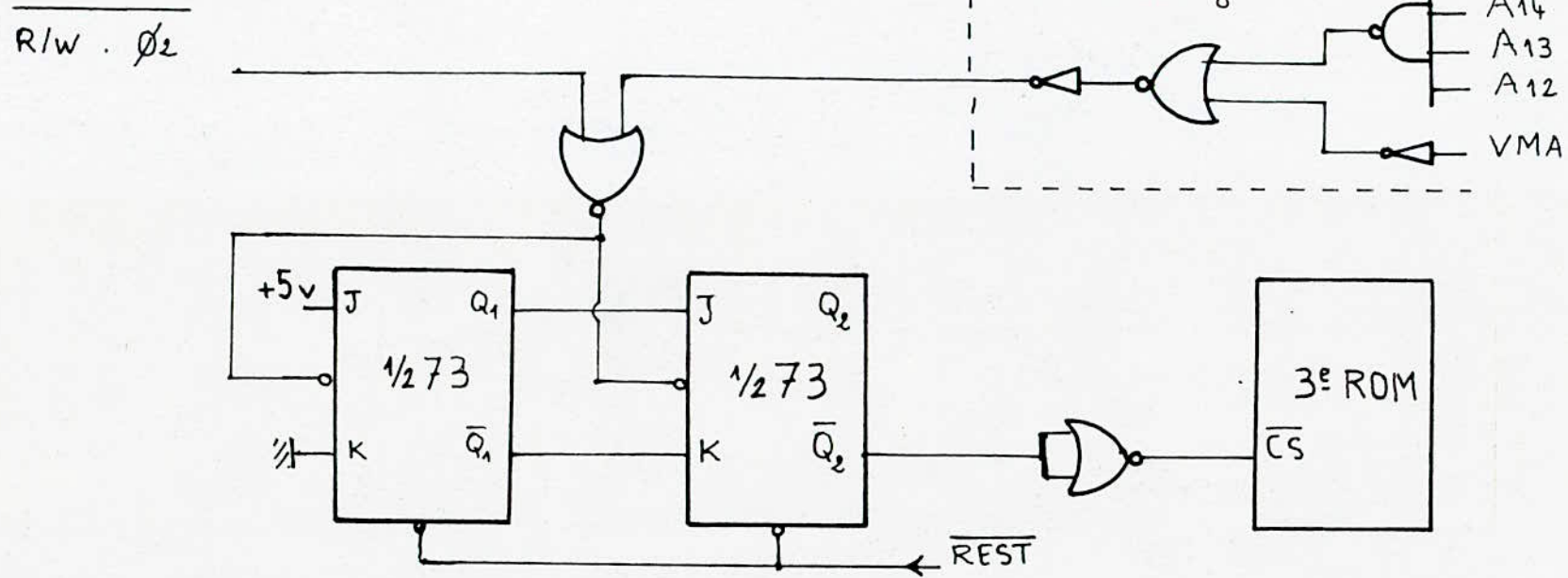
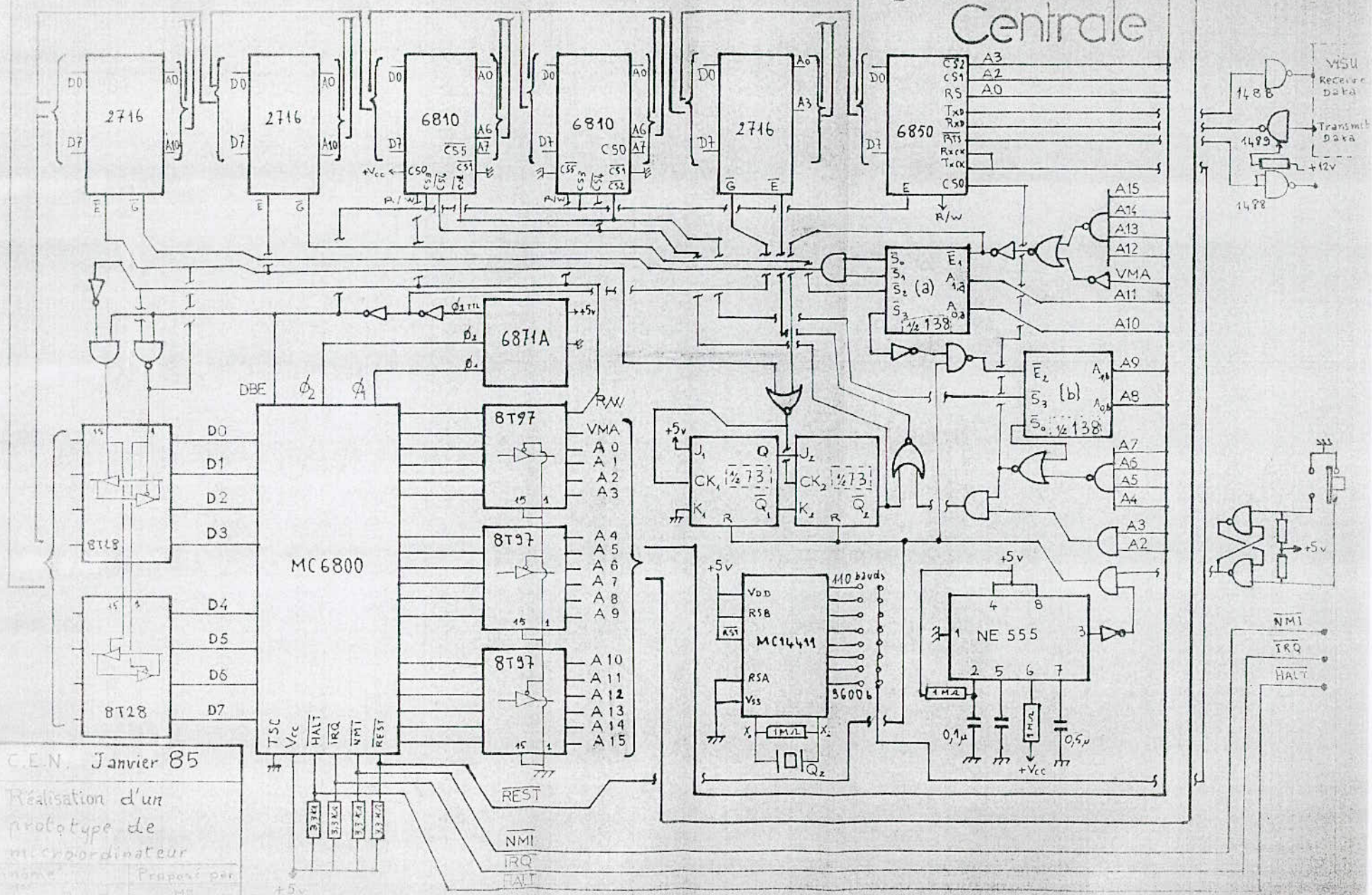


fig. 7.4

Unité Centrale



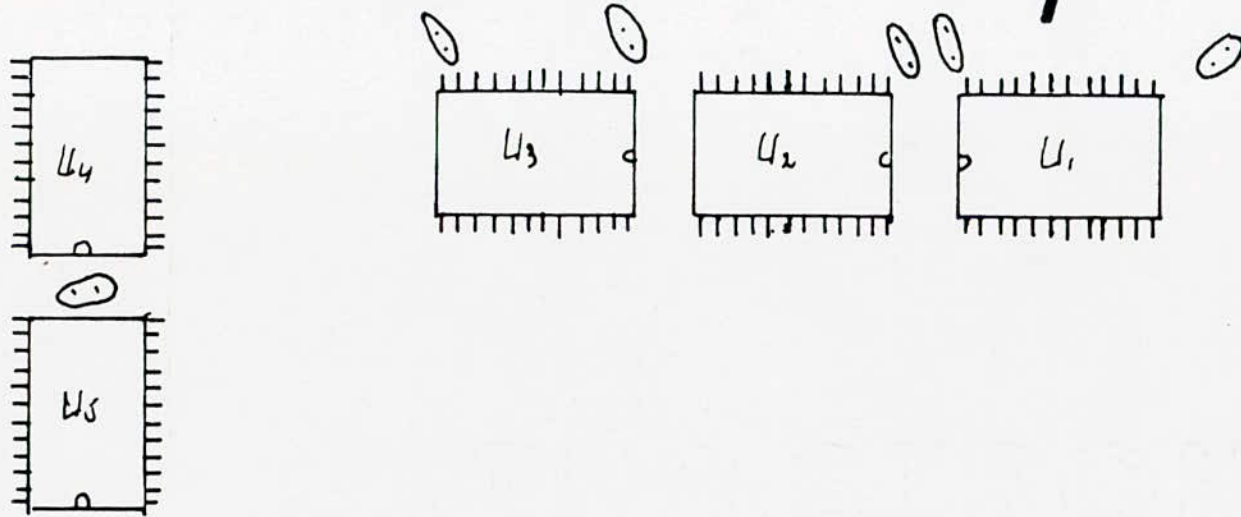
C.E.N. Janvier 85

Réalisation d'un prototype de microordinateur

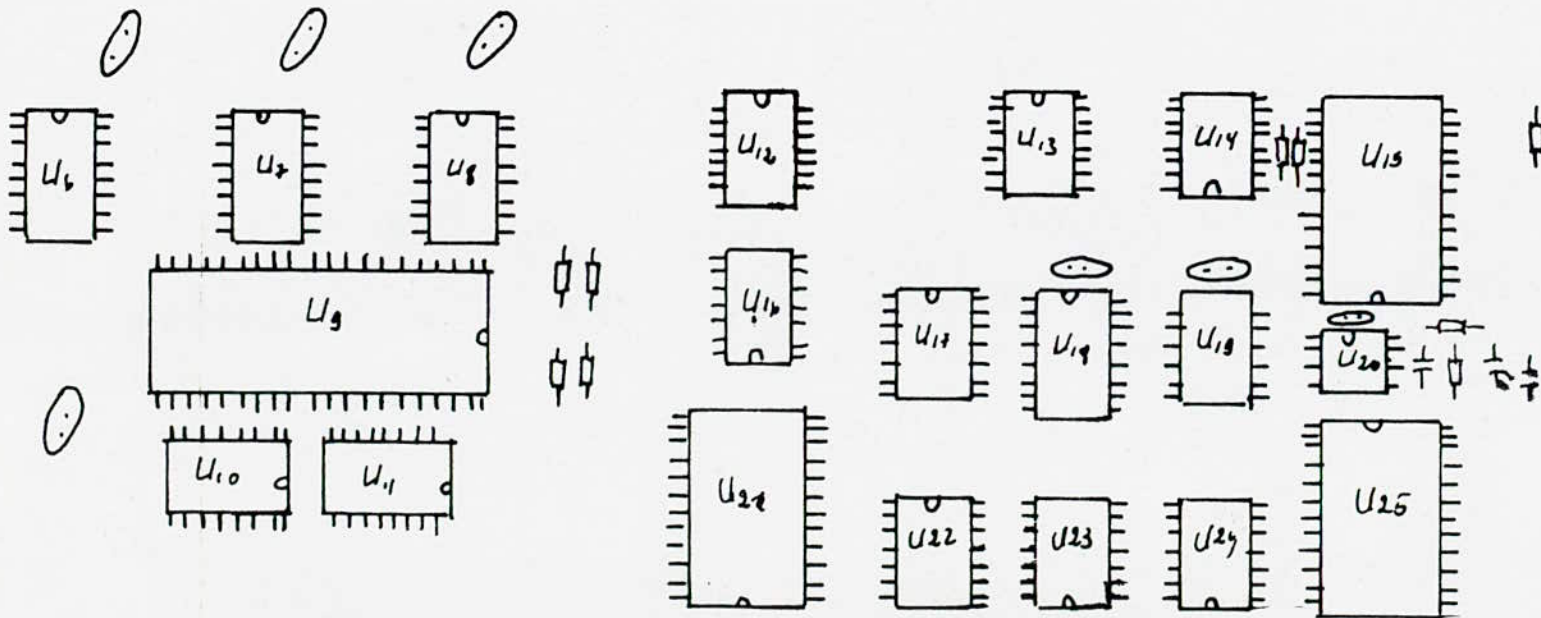
Proposé par
M. Bouxès

schema d'implantation

unite centrale.



35



		BND	+5	+12 -12
U1, U4, U5	2716	12	24	
U2, U3	6810	1	24	
U6, U7, U8	8T97	8	16	
U9	6800	1, 21	8	
U10, U11	8T28	8	16	
U21	6850	1	12	
U22	7428	7	14	
U23	7408	7	14	
U24	7473	7	11	
U25	6871A	1, 18	7	
U12	1488	7	-	14 1
U16	1485	7	14	
U17, U19	7404	7	14	
U18	74139	8	16	
U13	7420	7	14	
U14	7400	7	14	
U15	14411	12	24	
U20	555	1	5	

- CONCLUSION

Malgré quelques difficultés, la réalisation pratique de l'unité centrale fût menée à terme. Les tests ont été conclus et le cahier de charge a été scrupuleusement respecté.

L'absence de circuit imprimé double - face à trous métallisés a été à l'origine des difficultés rencontrées lors de la mise au point.

EXTRA STRONG

--oOo-- C A R T E M E M O I R E --oOo--
-----oOo-----

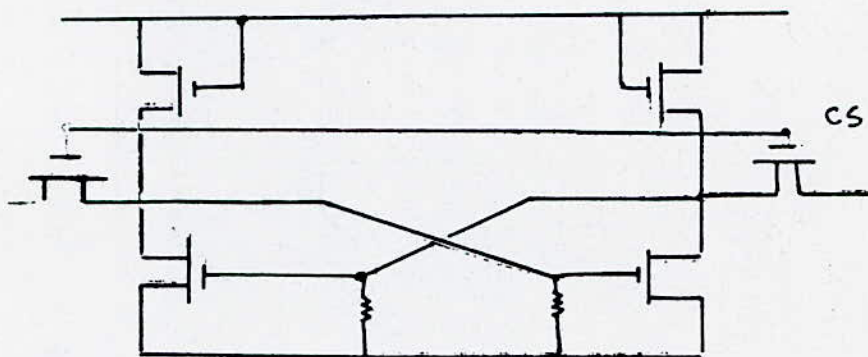
Introduction

La mémoire centrale a une capacité de 48Ko.
Elle est constituée de 3blocs de 8 mémoires dynamiques
16Kbits. Elle comprend des buffers d'adresses et de
données, une logique dev décodage et des circuits de
rafraichissement. Dans les pages qui suivent on étudiera
en détail les différentes parties.

2 - GÉNÉRALITÉS

Il existe 2 types de mémoires vive, les statiques et les dynamiques.

Les premières ont pour élément de stockage une bascule. Elles sont monotension, sans horloge, moins de logique de support. Cependant elles présentent un coût par bit élevé une intégration limitée et une consommation excessive. Elles ne sont utilisées que pour des plans mémoires de capacité inférieure à 8 Ko.

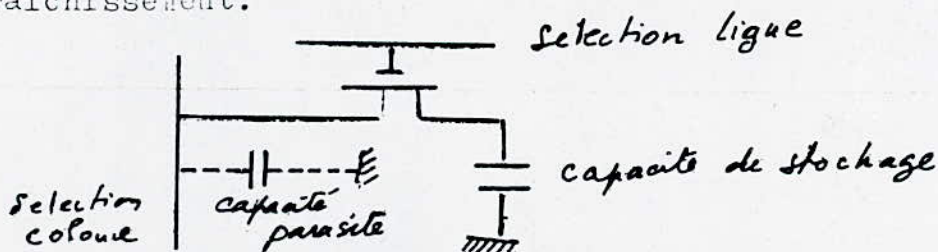


- Cellule de base d'une RAM statique en technologie MOS les RAM dynamiques, ont pour cellule de stockage la capacité de gachette - source d'un transistor MOS.

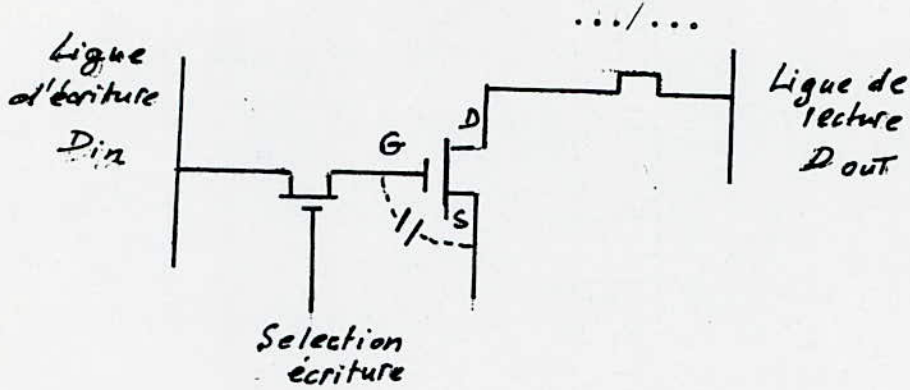
La tension aux bornes de cette capacité se recharge peu à peu et de plus le courant d'entrée du MOS, si faible soit-il, charge cette capacité et modifie la tension préalablement stockée.

L'information se dégrade de plus en plus fortement avec le temps, de sorte qu'il est nécessaire de régénérer la tension initiale. On dit qu'il faut rafraîchir la mémoire. La période de rafraîchissement est de 2 à 3 millisecondes environ selon la mémoire.

Ces RAM dynamiques présente une très grande intégration, un coût par bit faible, une consommation réduite. Mais ce sont des tri-tensions + 12 v pour le drain, - 5v pour le substrat, + 5v pour la compatibilité TTL et nécessite des circuits de rafraîchissement.



- Cellule élémentaire à transistor unique.



- Cellule de base à 3 transistors.

TECHNIQUES DE RAFFRAICHISSEMENT.

Pour ne pas augmenter le nombre de broches des circuits intégrés de 16 K ou 64 K soit 1 bit, les fabricants de mémoires ont adopté la solution du multiplexage d'adresse.

L'adresse rangée et l'adresse colonne sont envoyées l'une après l'autre à la mémoire sur les mêmes fils. Bien entendu cela ne peut se faire qu'en mémorisant au moins la première adresse envoyée. Ce qui nécessite l'envoi à la mémoire d'une commande de verrouillage pour la mémorisation de l'adresse rangée. On a ainsi 2 commandes de verrouillage l'une pour les rangées RAS (Row address strobe) et l'autre pour les colonnes CAS (Column address strobe).

2-1-1

RAFFRAICHISSEMENT GROUPE (BURST MODE)

Le rafraichissement de la 1^{er} colonne est immédiatement suivi du rafraichissement de la 2^o colonne puis de la 3^o et ainsi de suite jusqu'à la dernière. Le fonctionnement du microprocesseur est suspendu pendant ce temps, puisque la RAM est inutilisable, ce type de rafraichissement n'est pas utilisé puisqu'il ralentit le système.

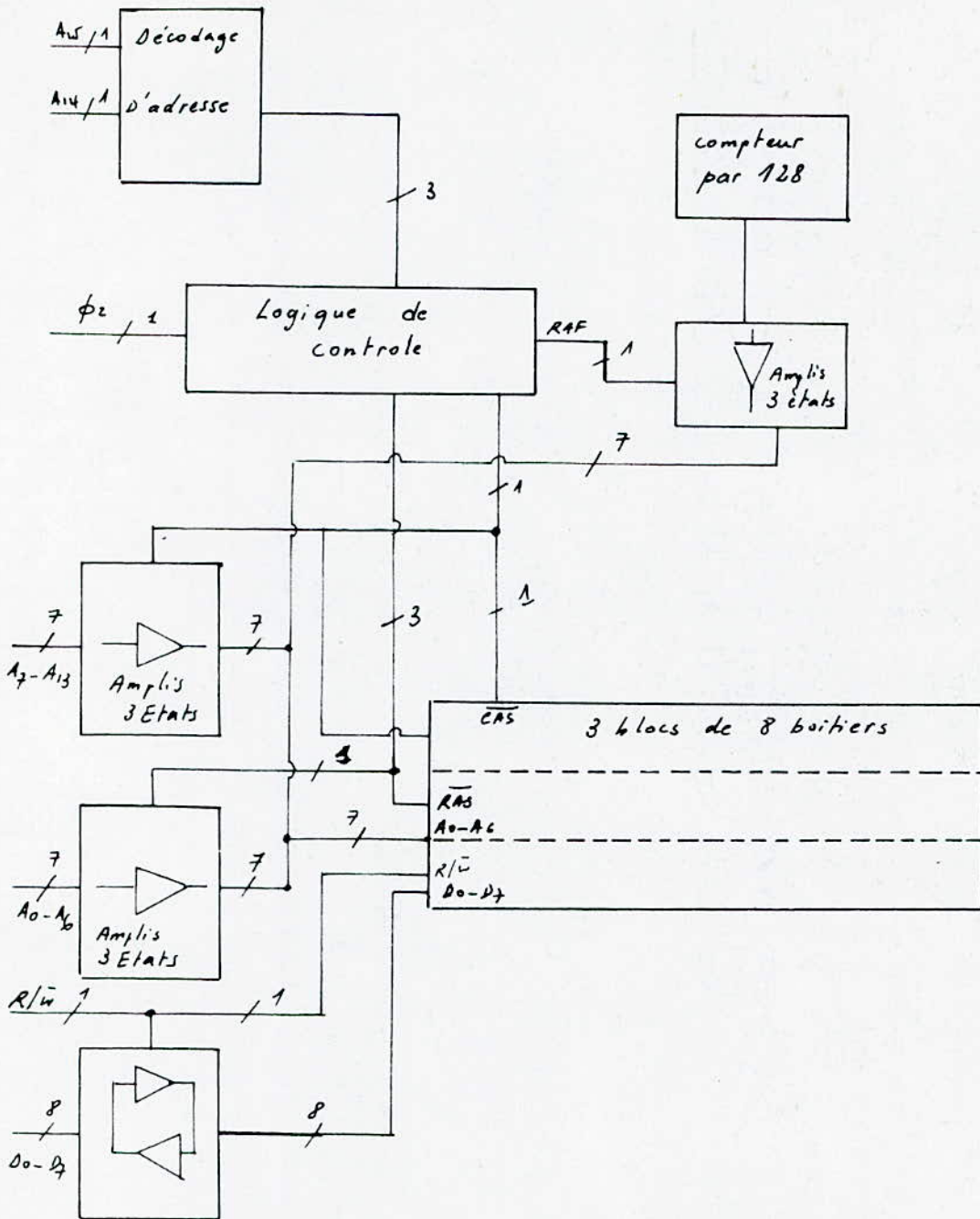
2-1-2 RAFFRAICHISSEMENT PAR "VOL DE CYCLE"

Dans cette technique le rafraichissement de N rangées est distribué sur T (période de rafraichissement) à raison d'une rangée toutes les $\frac{T}{N}$.

Le fonctionnement du microprocesseur doit être arrêté pendant chaque cycle de rafraîchissement. La perte de temps est la même que pour le "Burst mode".

RAFRAICHISSEMENT TRANSPARENT (Câche, ou synchrone)

Une circuiterie réalise le rafraichissement d'une manière transparente vis à vis du microprocesseur ; par exemple si les échanges des données se font sur le bus quand l'horloge ϕ_2 est à l'état haut, le rafraichissement pourrait avoir lieu pendant l'état bas de ϕ_2 . Ce type de rafraichissement a été préféré aux autres car il n'introduit pas un ralentissement du système.



synoptique de

la partie memoire

5 - LOGIQUE DE DECODAGE.

Notre carte comporte 48 Ko disposés en 3 blocs de 16 Ko chacun.

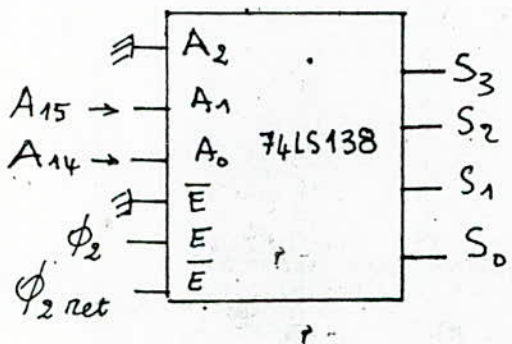
Le bloc 1 est adressable de 0000 à 3FFF

2 4000 à 7FFF

3 8000 à BFFF

A ₁₅	A ₁₄	A ₁₃	A ₁₂ ...A ₀	
0	0	X	X.....X	----) 0000 à 3FFF
0	1	X	X.....X	----) 4000 à 7FFF
1	0	X	X.....X	----) 8000 à BFFF

Le décodage d'adresse s'effectuera à partir de A₁₄ et A₁₅. Le circuit utilisé pour le décodage est le SN 74LS 138 qui est un décodeur 1 parmi 4, qui comprend 3 entrées d'adresses et 3 entrées de validation.



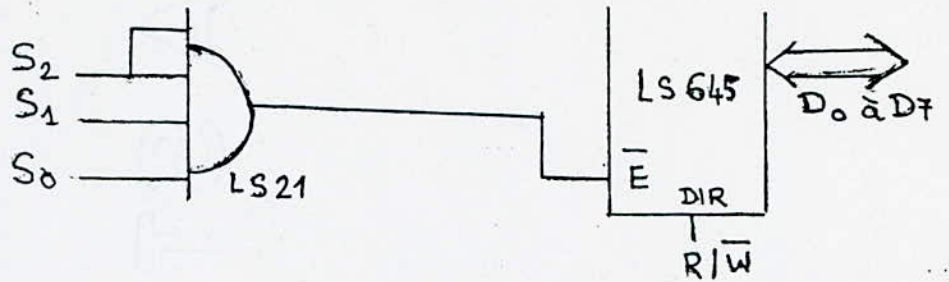
A ₁₅	A ₁₄	S ₀	S ₁	S ₂	S ₃
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

- S₀ = 0 -----) validation du bloc 1
- S₁ = 0 -----) " " 2
- S₂ = 0 -----) " " 3

S₃ non connecté = S₃ = 0, (A₁₅ = 1, A₁₄ = 1) la partie mémoire n'est pas adressable.

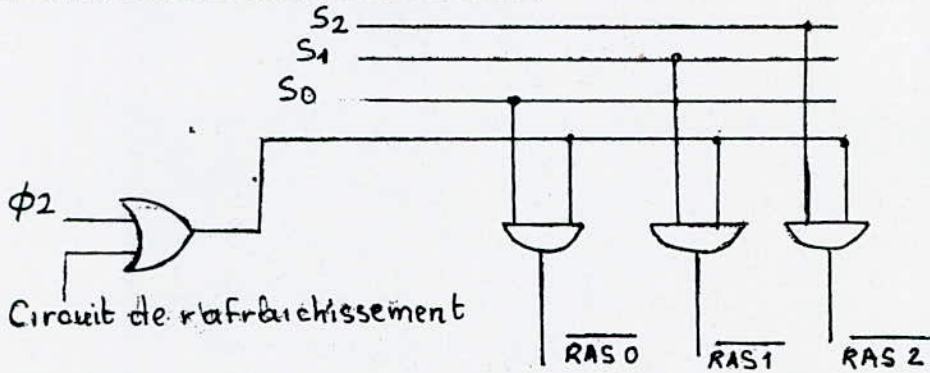
Les 3 sorties S₀, S₁, S₂ sont appliquées à une porte AND à 4 entrées qui permettront de valider l'ampli trois états du bus de données dès qu'il y a une adresse comprise entre 0000 à BFFF.

.../...



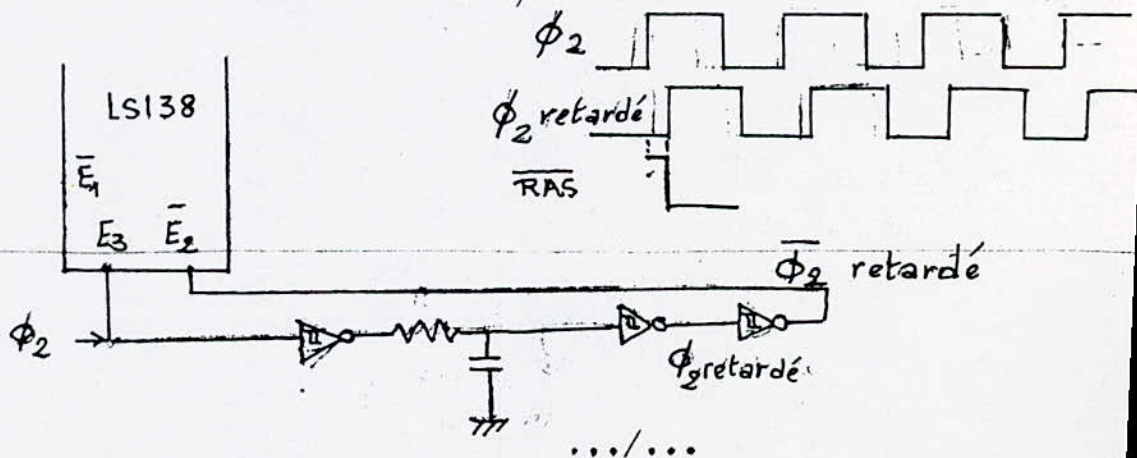
On a 0 à l'entrée de validation \bar{E} du 645 si $S_0 = 0$ ou $S_1 = 0$ ou $S_2 = 0$.
Si S_0, S_1, S_2 sont à 1 l'ampli trois états est en haute impédance et aucun échange de données avec les mémoires n'est permis.

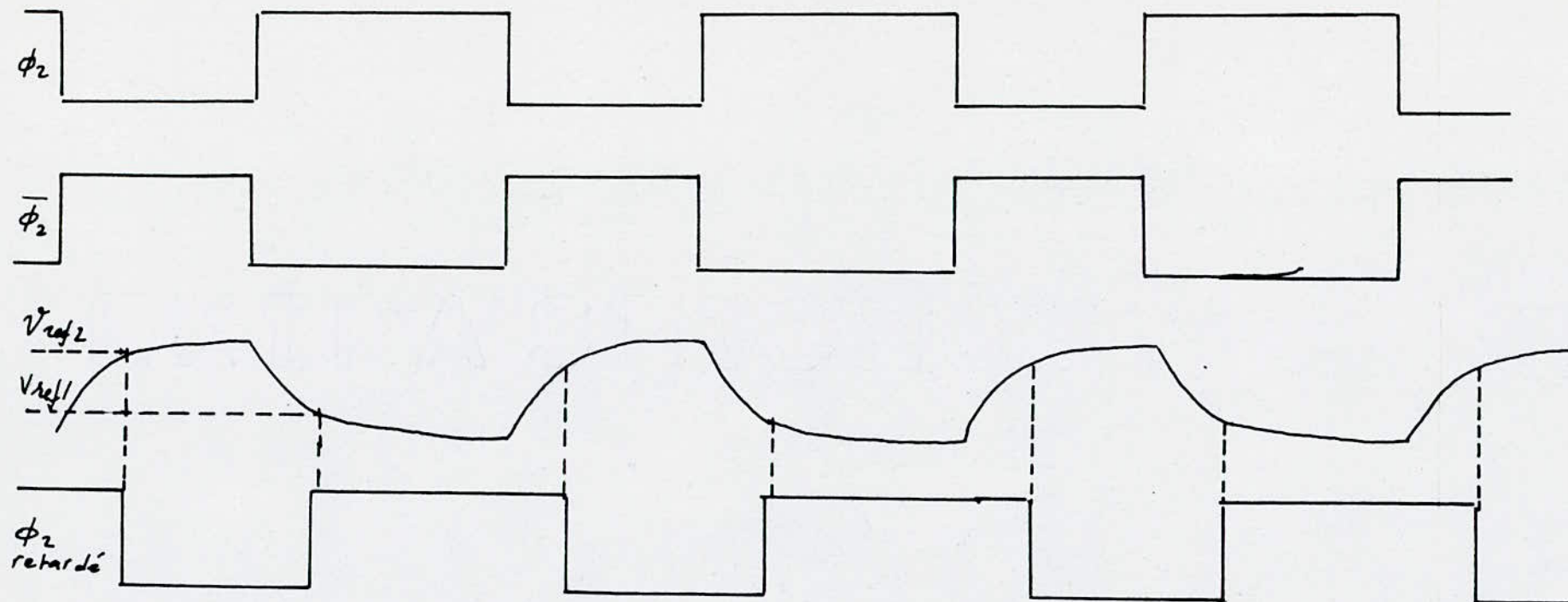
5 - 1 VALIDATION ADRESSE LIGNE =



D'après les chronogrammes de lecture et d'écriture le signal \bar{RAS} ne devra descendre à 0 qu'avec un certain retard après le front montant de ϕ_2

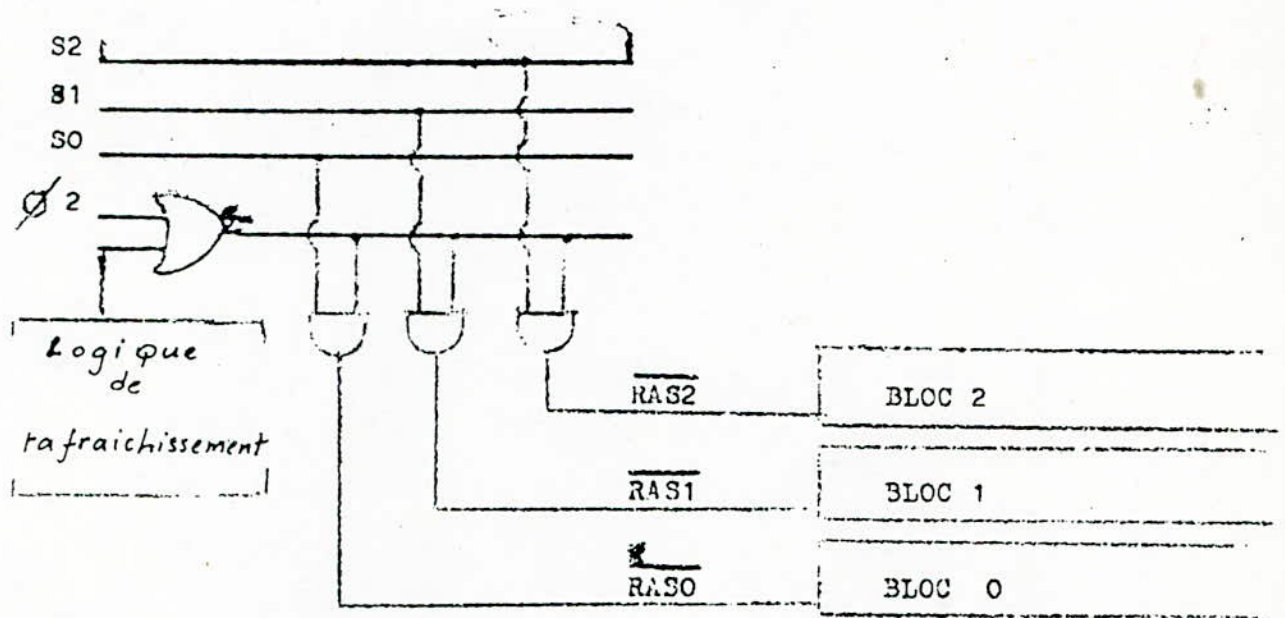
Ainsi une ligne à retard a été prévue sur les entrées de validation du décodeur. (Fig 5.1)



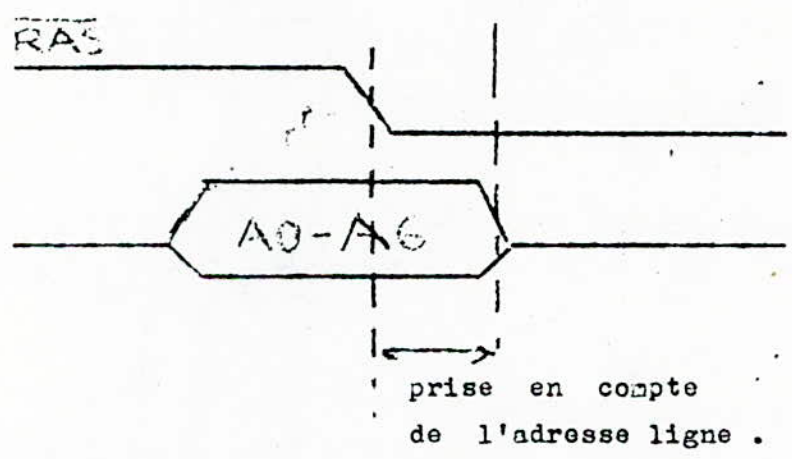


On voit que entre ϕ_2 et V_{C_2} il y'a un retard dont la valeur dépend du choix de R et C.

fig 5.1



Lorsque \overline{RAS} descend à zéro l'adresse ligne déjà présente aux entrées d'adresse est prise en compte par le bloc des mémoires validé .



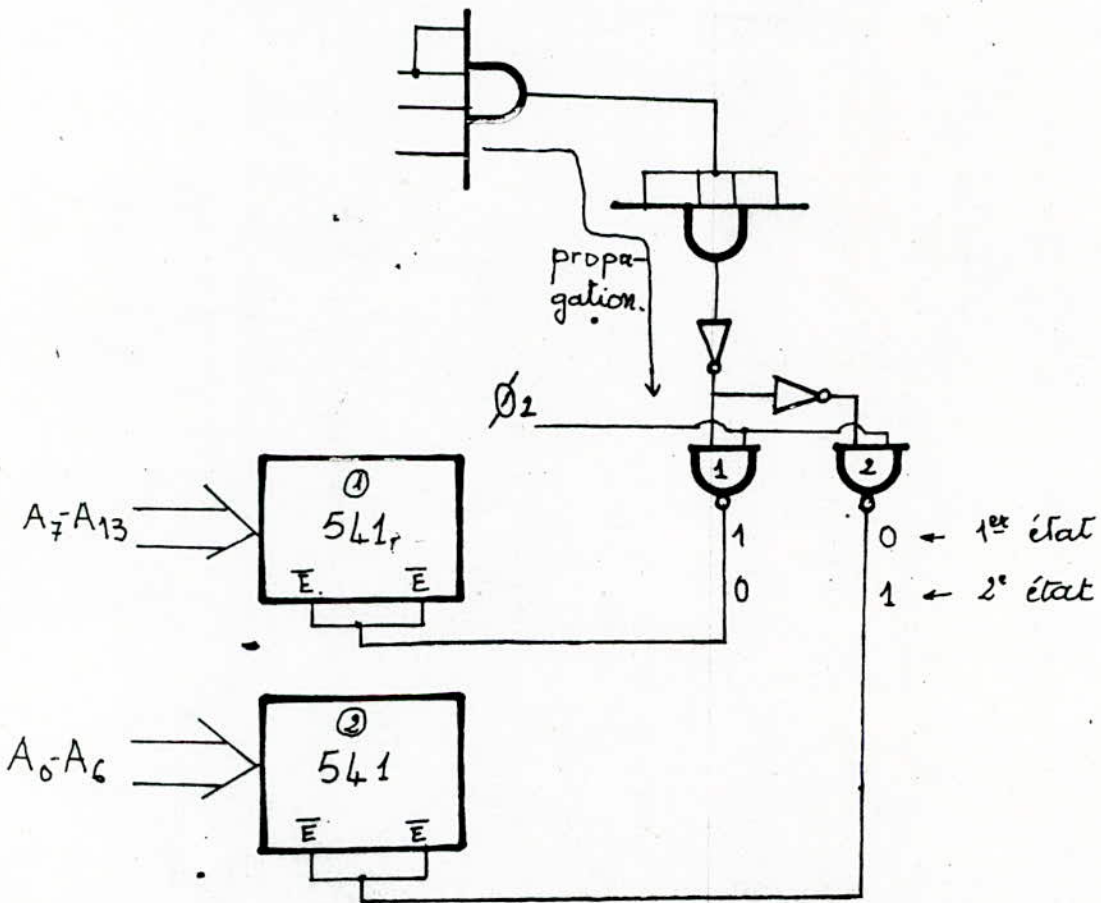
Le retard est de quelques nanosecondes.

Le principe est basé sur le basculement du trigger de Schmitt lorsqu'on atteint des tensions de référence (V_{ref_1} et V_{ref_2}) fixes.

Le circuit R,C permet de retarder l'atteinte de ces seuils à la charge ou à la décharge de C.

Le circuit, utilisé est le SN 74 LS 14 qui comprend 6 inverseurs triggers de schmitt dont les seuils de référence sont $V_{ref_1} =$ et $V_{ref_2} =$

5 - 2 VALIDATION DES AMPLIS DE BUS D'ADRESSES.



Lorsque \varnothing_2 monte le signal issu du décodeur met un certain temps de propagation pour arriver aux entrées des 2 portes NAND et on a à la sortie de la porte 2 un état bas qui valide l'ampli trois états du bus d'adresses lignes ($A_0 - A_6$) l'autre ampli étant désactivé lorsque le signal arrive *fig ci-dessus et fig 5.2*

Chronogrammes Validation addresses.

48

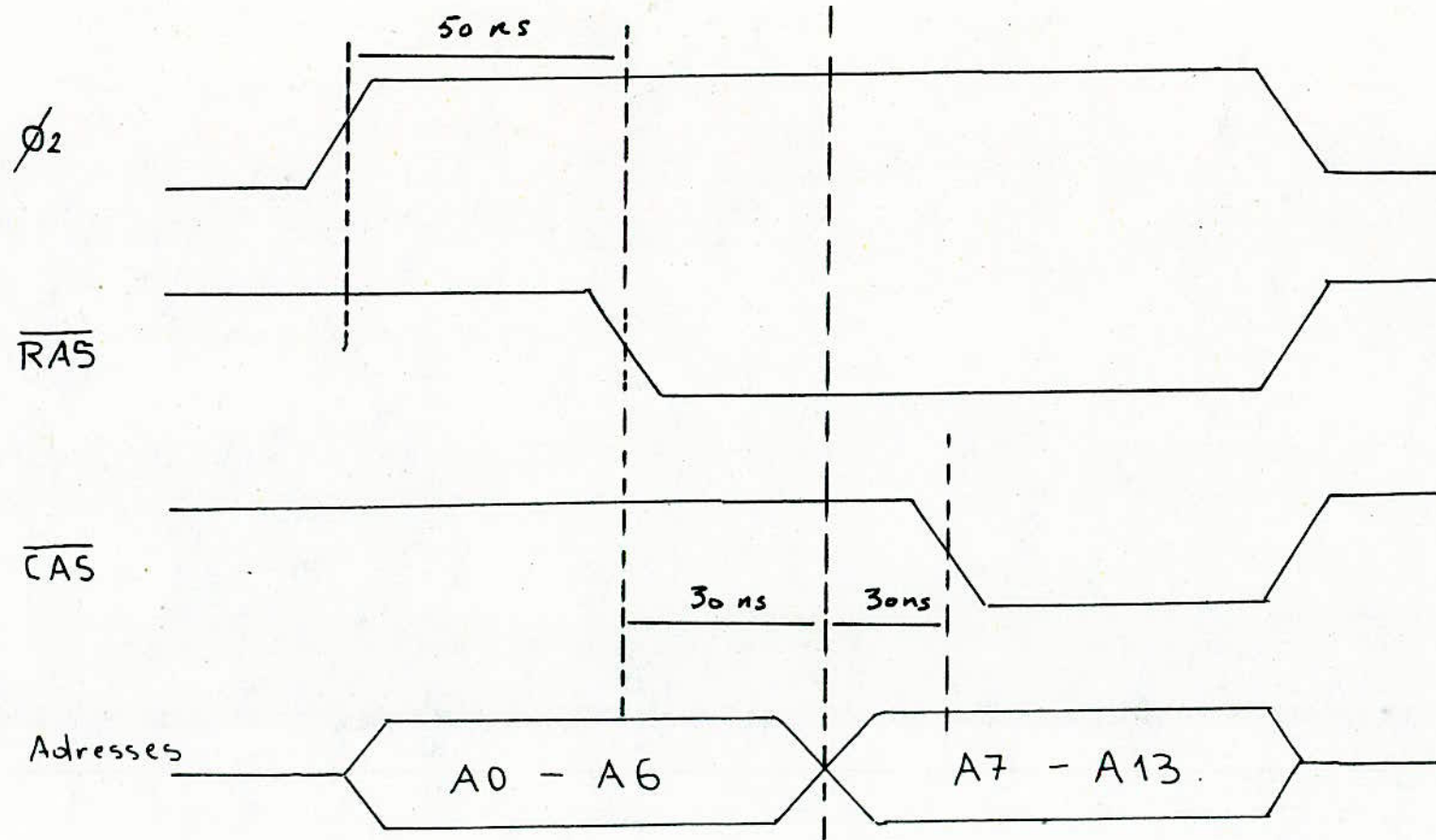
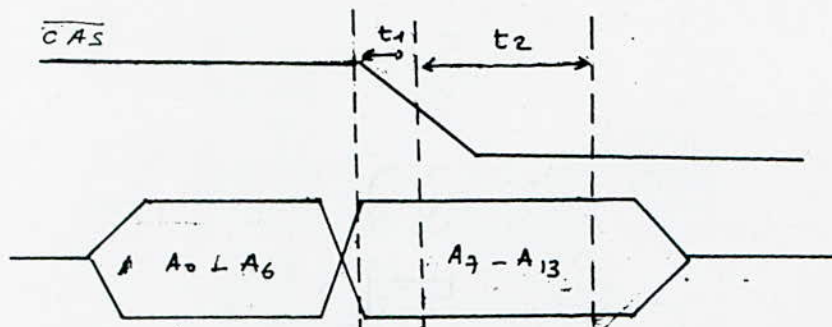


Fig 5.2.

l'inverse se produit et c'est l'ampli d'adresses colonnes qui est validé.

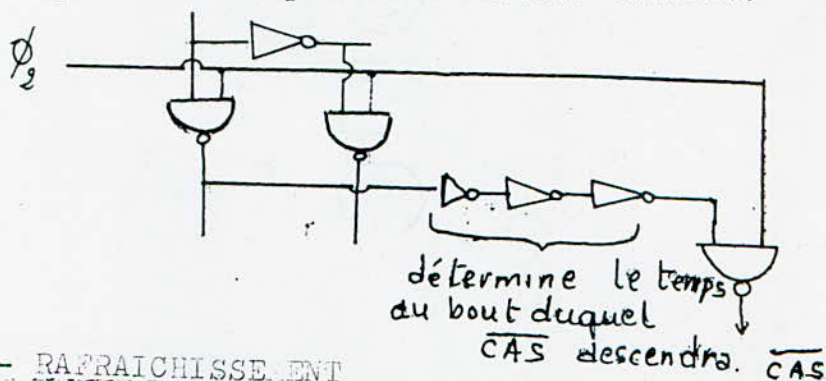


Pour que les mémoires prennent en compte les adresses colonnes, $\overline{\text{CAS}}$ doit descendre quelques instants après la validation de l'ampli trois états du bus d'adresses colonnes



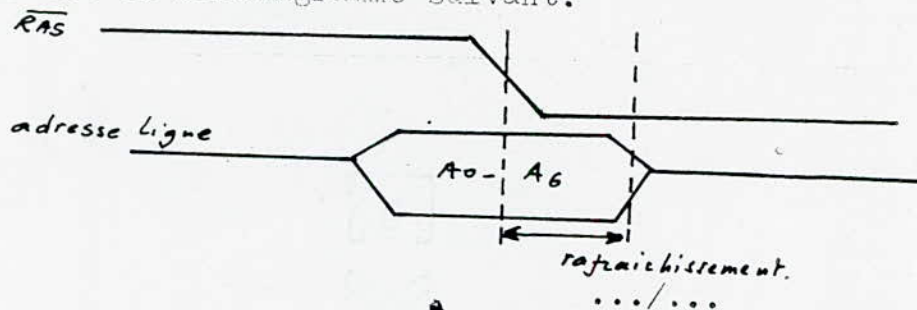
t_1 est obtenu à l'aide du temps de propagation de trois inverseurs.

t_2 : prise en compte de l'adresse colonne.



6 - RA Fraichissement

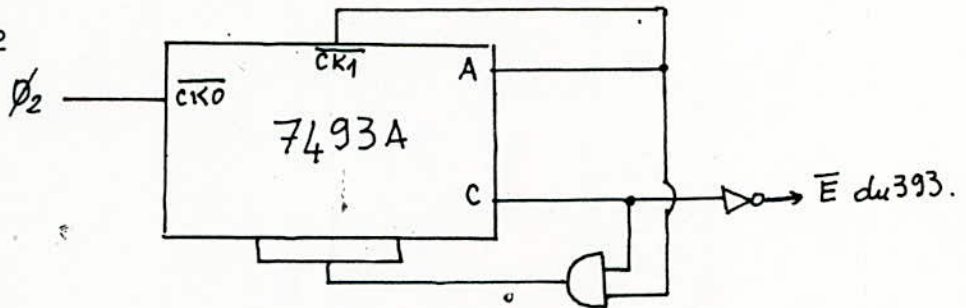
Pour rafraichir les mémoires il suffit de faire une lecture de tous les bits des positions mémoires ce qui revient à présenter l'adresse ligne aux entrées d'adresses des mémoires et de faire descendre $\overline{\text{RAS}}$ un instant après en suivant le chronogramme suivant.



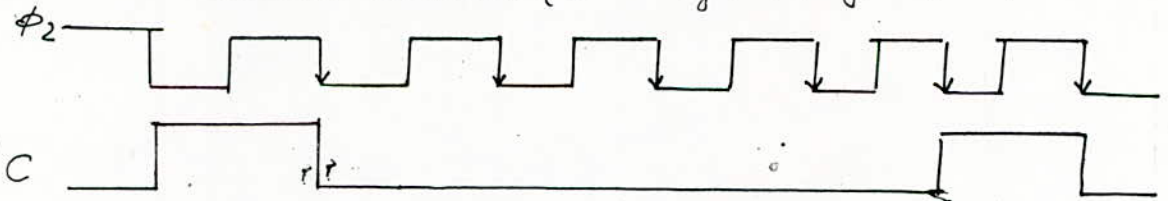
Le rafraichissement réalisé sur notre carte est un rafraichissement transparent c'est à dire pendant que ϕ_2 est à l'état bas.

Pour réduire la consommation des mémoires, il ne sera autorisé que tous les 5 ϕ_2 .

Pour cela un compteur de ϕ_2 est ajouté et qui ne permettra l'avance du Compteur par 128 qu'au cinquième front descendant de ϕ_2



on n'aura une impulsion positive sur la sortie C qu'au cinquième front descendant de ϕ_2 et elle est remise à zero au front descendant suivant. (voir fig 6. a page 51)



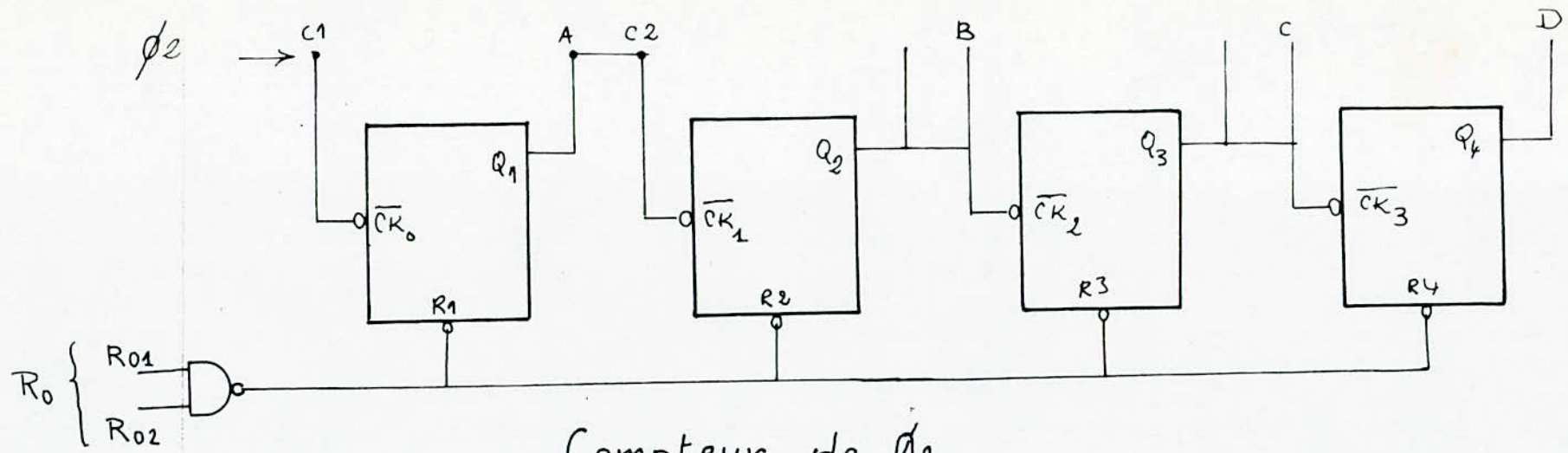
La sortie C commande un autre compteur qui a pour but de présenter l'adresse ligne aux entrées des mémoires.

Le circuit utilisé est le SN 74 LS 393 qui est un double compteur 4 bits.

Autorisation de rafraichissement

Pour que le rafraichissement ne soit fait que pendant que ϕ_2 soit à l'état bas et seulement au cinquième front descendant de ϕ_2 , le 541 ne sera validé qu'à ce moment.

(fig 6. b page 52)



Compteur de ϕ_2 .

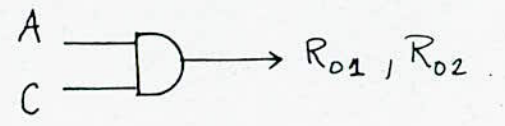
51

Le compteur est à remise à zéro prématurée: à la 1^{ère} impulsion il se met à zéro. On relie ϕ_2 à C1, à chaque front descendant de ϕ_2 le compteur avance d'1 pas, à la 5^e il se remet à zéro.

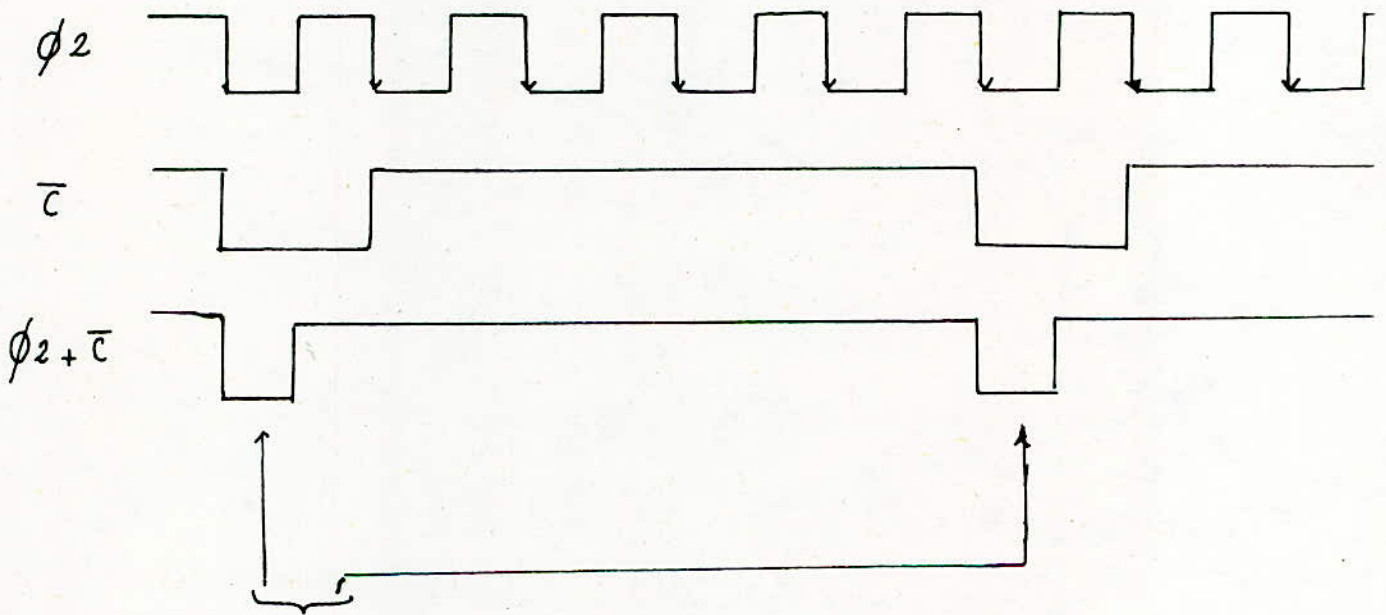
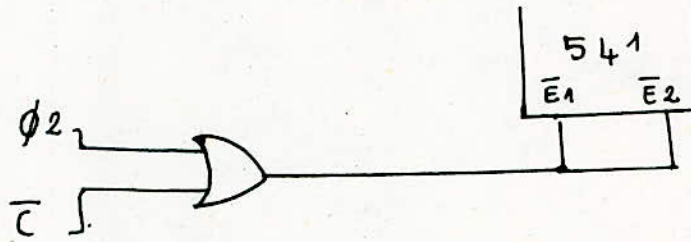
fig 6.a

D	C	B	A
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1

Remise à zéro du compteur



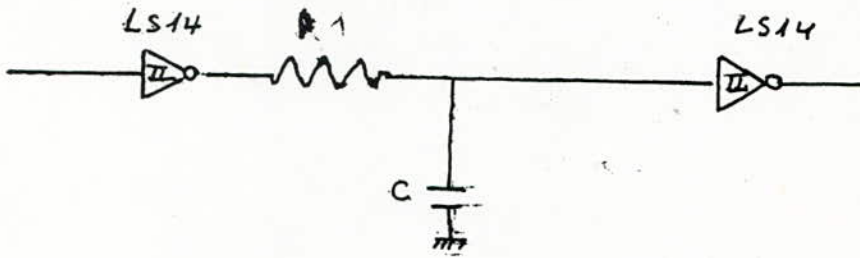
ET SEULEMENT AU CINQUIÈME FRONT DESCENDANT DE ϕ_2 , LE 541 NE SERA VALIDÉ QU'À CE MOMENT PRÉCIS .



Validation du 541.

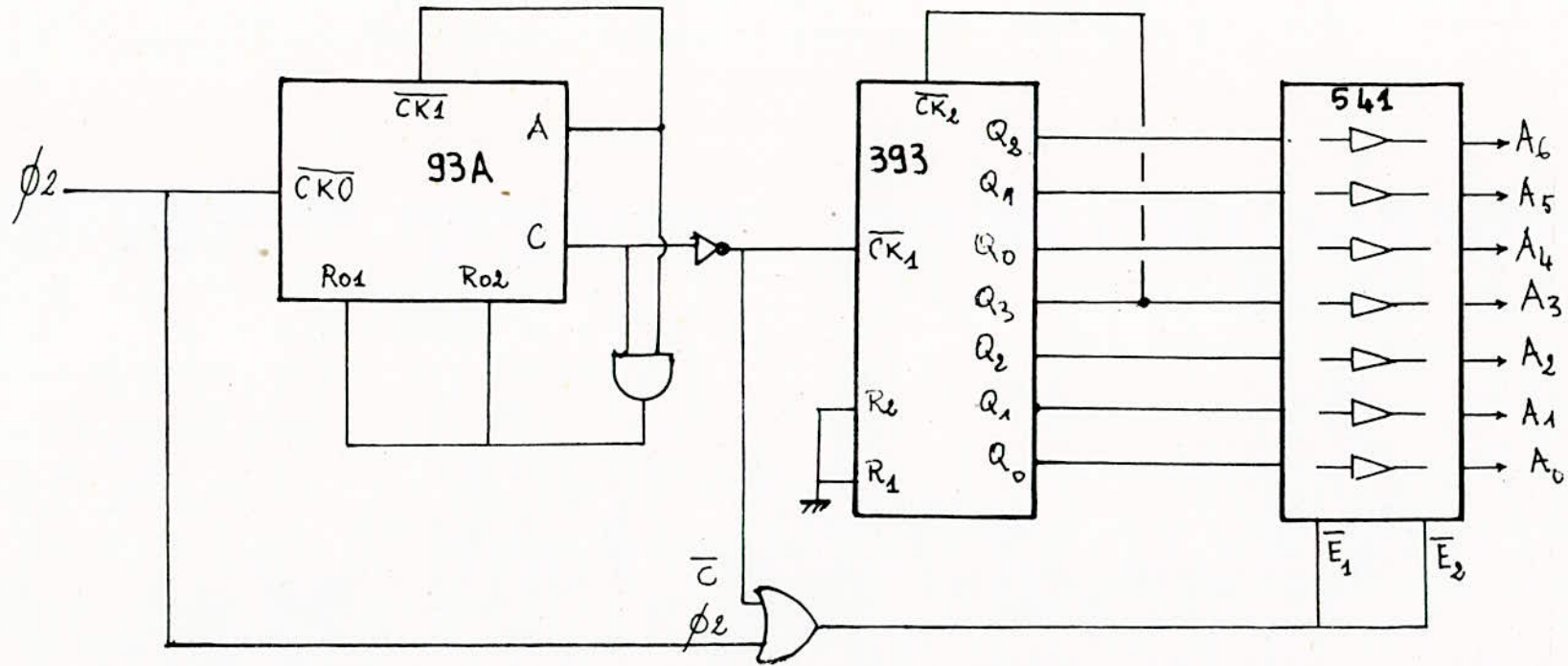
- fig 6.b -

Pour valider l'adresse ligne $\overline{\text{RAS}}$ doit descendre à zéro un certain temps après le front descendant de ϕ_2 . Pour cela une ligne à retard est utilisée.



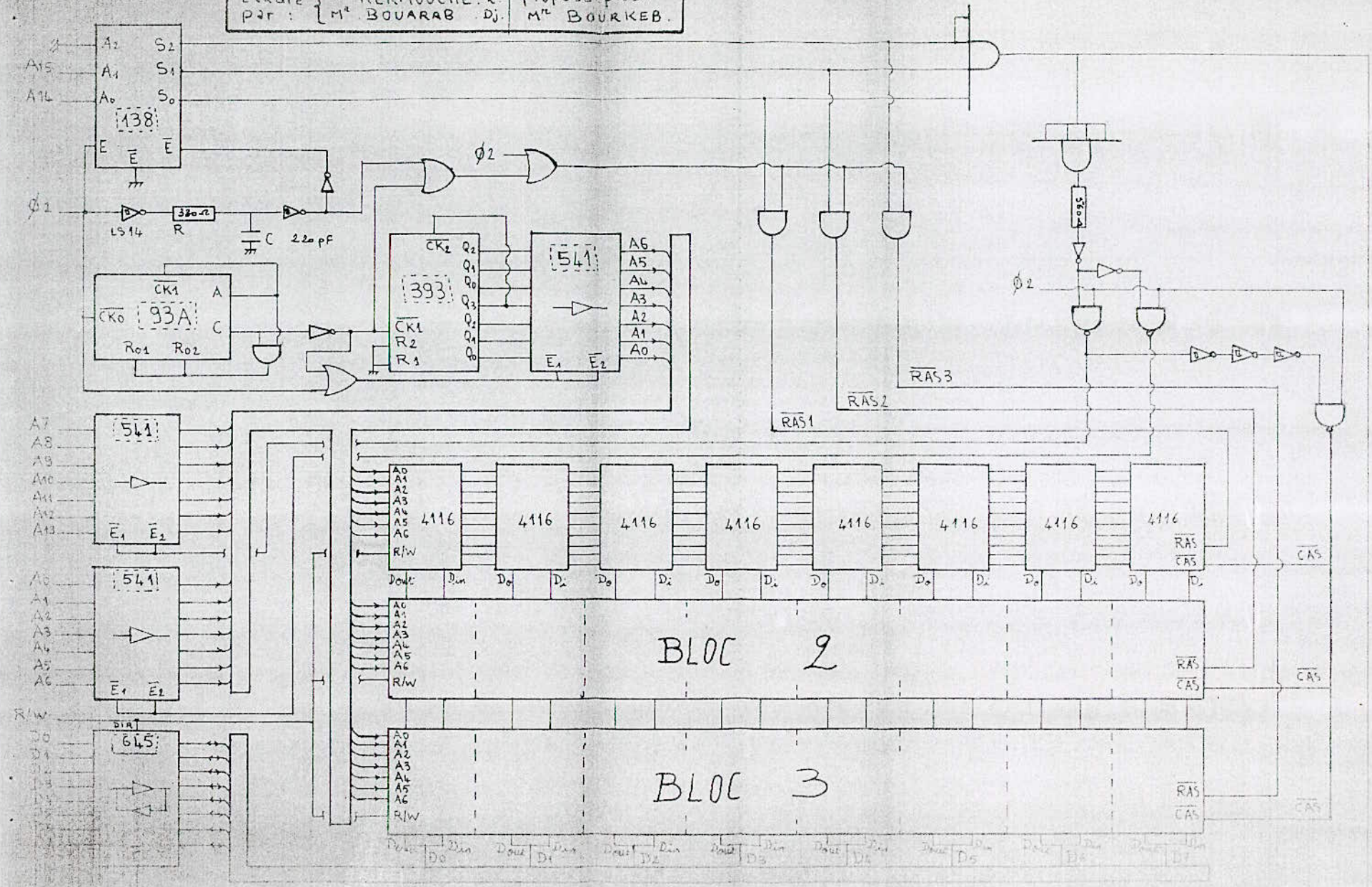
- Ligne à retard

Circuit de rafraichissement.



C.N. Janvier 85. Projet de fin d'études
 Etude et réalisation d'un prototype de
 micro-ordinateur
 Etudié par : M^{rs} KERMOUCHE R.
 par : M^{rs} BOUARAB DJ. Proposé par :
 M^{rs} BOURKEB.

"Carte" mémoires



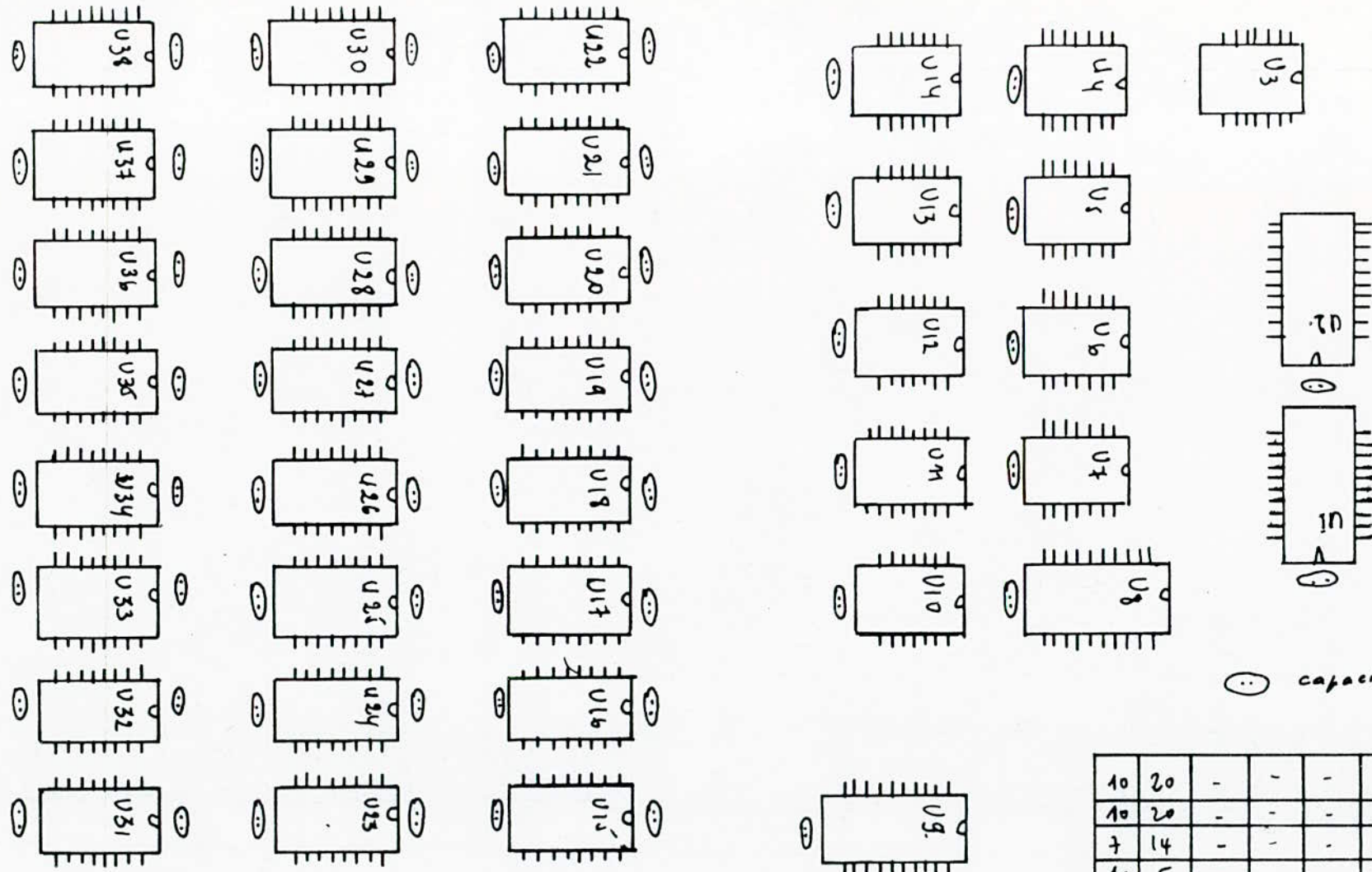


schéma d'implantation

- partie mémoire -

10	20	-	-	-	74LS541	U1, U2, U8
10	20	-	-	-	74LS645	U9
7	14	-	-	-	74LS08	U10, U3
10	5	-	-	-	74LS93	U4
7	14	-	-	-	74LS14	U5, U13
7	14	-	-	-	74LS00	U6
7	14	-	-	-	74LS393	U7
8	16	-	-	-	74LS138	U11
7	14	-	-	-	74LS21	U12
7	14	-	-	-	74LS32	U13
16	9	8	-	1	MC4116	U15 - U38
GND	+5V	+12V	-12V	-5		

- CONCLUSION

Faute d'un circuit intégré, le double compteur 74 LS 393, réalisant le rafraîchissement la carte mémoire n'a pas été testée complètement. Malgré cela, elle fût réalisée dans les normes avec la capacité de 48 Ko et un rafraîchissement transparent qui nécessite un respect absolu des chronogrammes de la mémoire, donc difficulté de synchronisation.

Les tests sur les autres parties ont été conclus.

100

EXTRA STROKE

-----oOo== C O N C L U S I O N ==oOo-----
-----oOo-----

EXTRA STROKE

CONCLUSION

La réalisation en série d'un produit est confrontée à divers problèmes qui paraissent, de prime à bord, sans importance; mais qui en vérité, conditionne dans une large mesure la rentabilité de l'opération.

Notre projet a pour but de concevoir un microordinateur pour une fabrication en série.

Il s'agissait alors d'optimiser les paramètres suivants: nombres de composants, temps de fabrication d'une unité, prix de revient, possibilité d'extension du système, facilité du dépannage.

Les solutions proposées vont dans ce sens et permettent d'arriver au but.

1) Nombre de composants

La configuration utilisée permet de supprimer les circuits de validation des cartes et de diminuer le nombres de buffers.

2) Temps de réalisation

L'architecture moncarte nous dispense de connecteurs, de glissiers, de visseries et d'un travail fini de grande précision ; d'où un gain sur le temps de fabrication.

3) Prix de revient

Les deux points étudiés précédemment influent directement sur le prix de revient du microordinateur et leur minimisation entraîne celle du prix de revient.

4) Extension du système

La pseudo-modularité permet de faire évoluer les capacités du microordinateur suivants les besoins. Il suffit pour cela de changer le "scotch" de la partie incriminée.

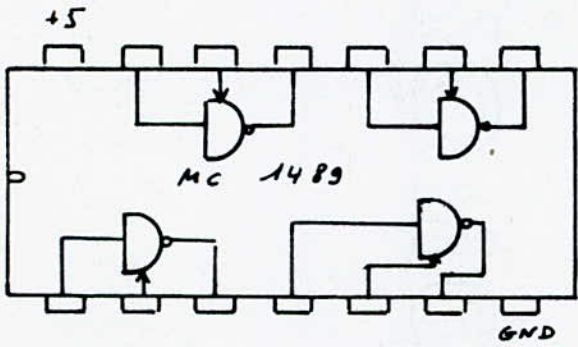
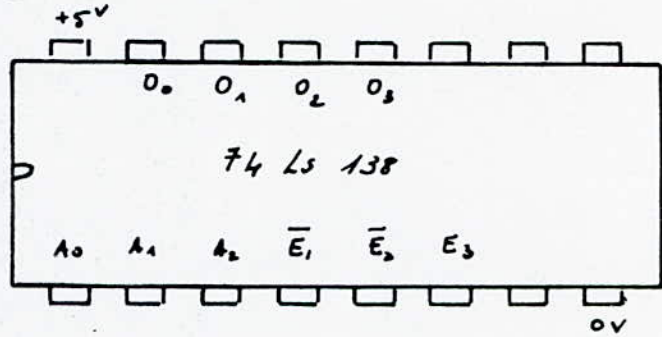
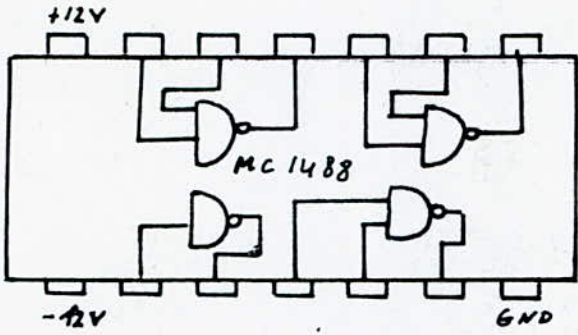
5) Dépannage

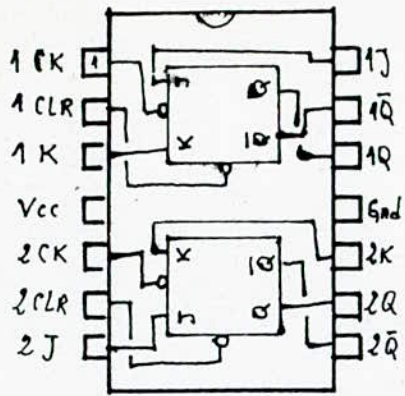
Là aussi, il est facile de localiser une panne du microordinateur, car étant conçu de façon modulaire.

La réalisation par étape du microordinateur, l'unité centrale en premier, la partie mémoire ensuite nous a permis d'effectuer les tests sans un matériels spécialisé. Un oscilloscope a suffi pour l'unité centrale et cette dernière pour la partie mémoire.

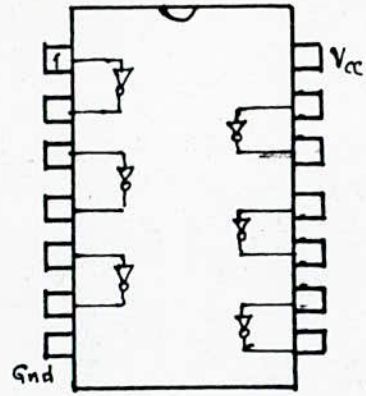
Enfin le projet est encore perfectible, mais déjà on peut envisager ~~la~~ fabrication en série de la version de base.

--oOo-- A N N E X E --oOo--
----oOo----

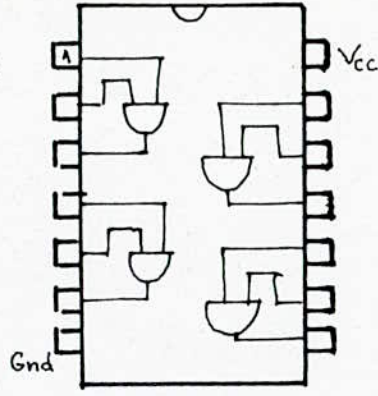




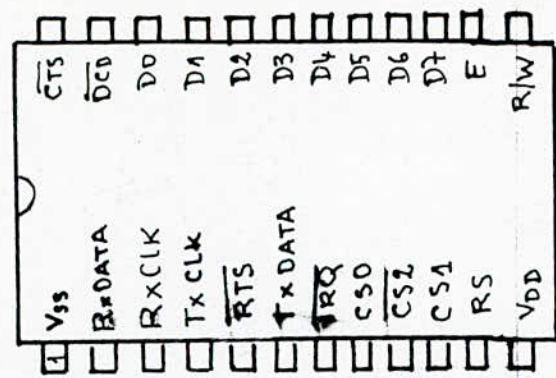
SN74LS73



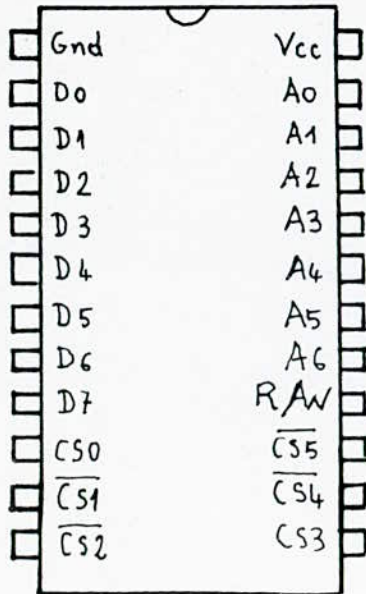
SN74LS04



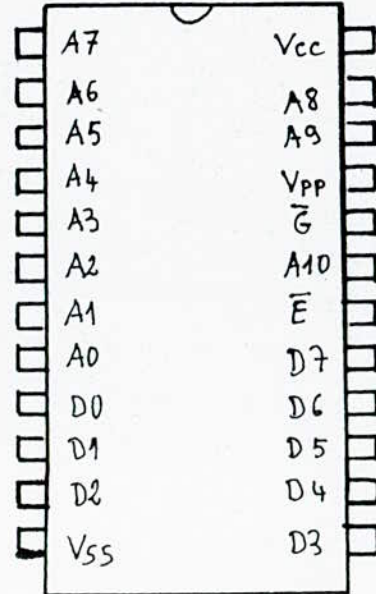
SN74LS08



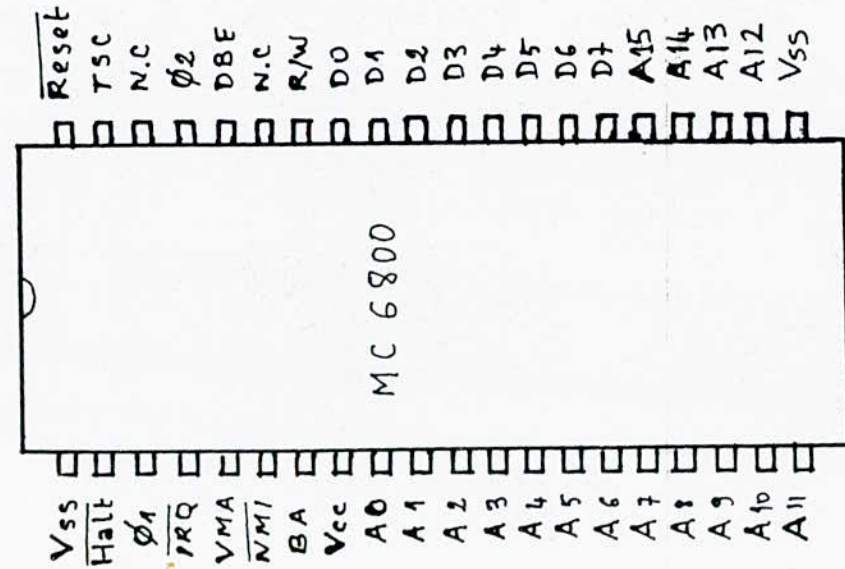
MC 6850



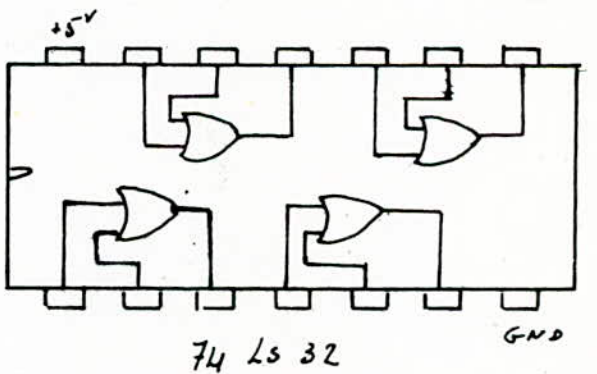
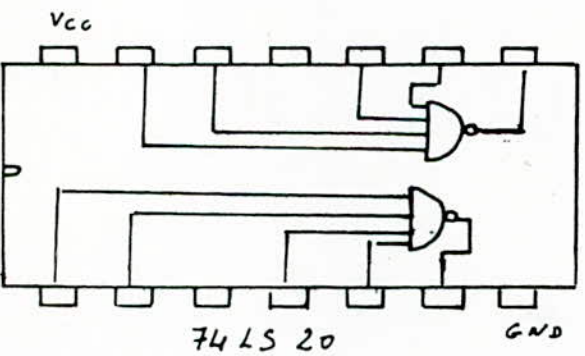
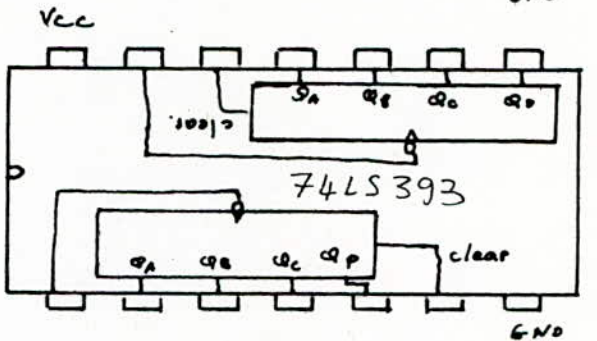
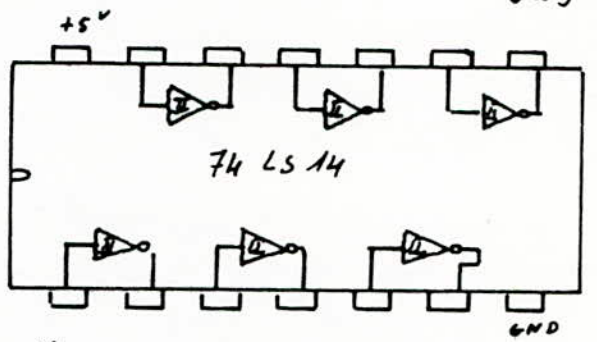
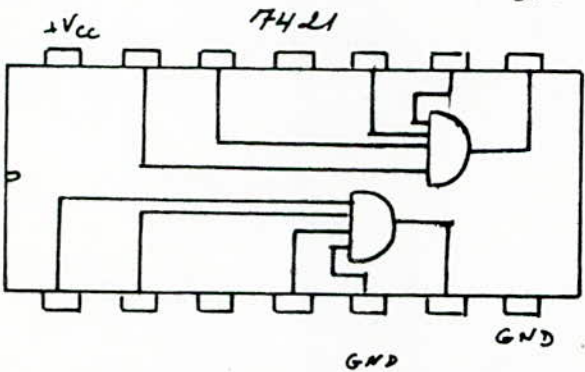
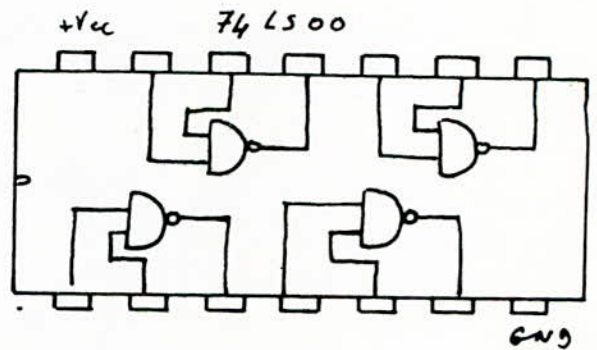
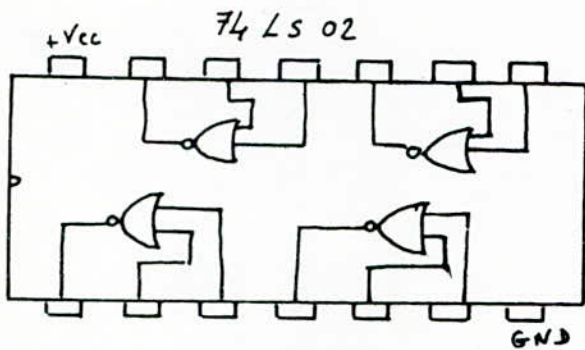
MC 6810



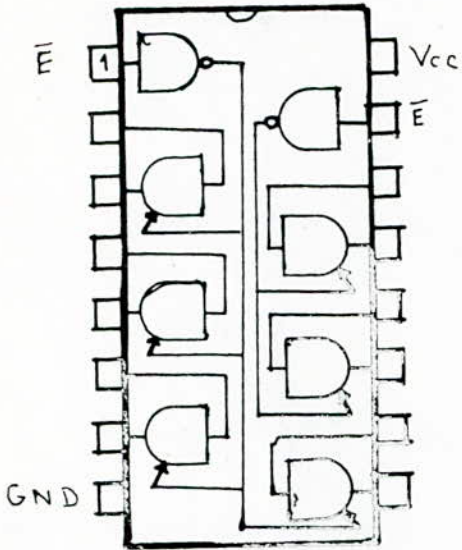
MC 2716



MC 6800

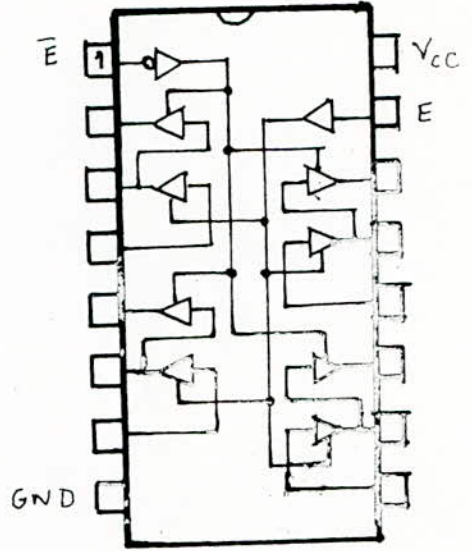


8T97

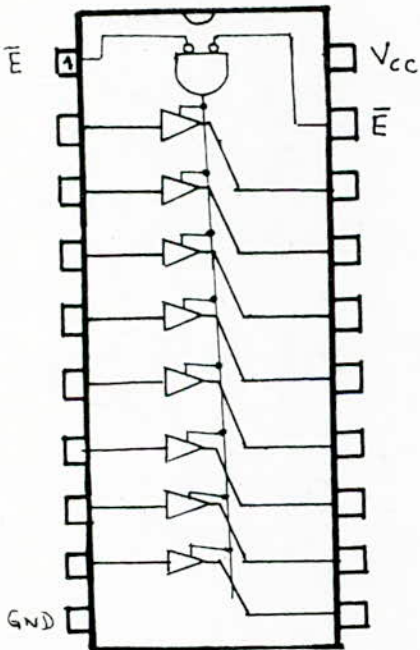


Enable	Input	Output
L	L	L
L	H	X
H	X	O

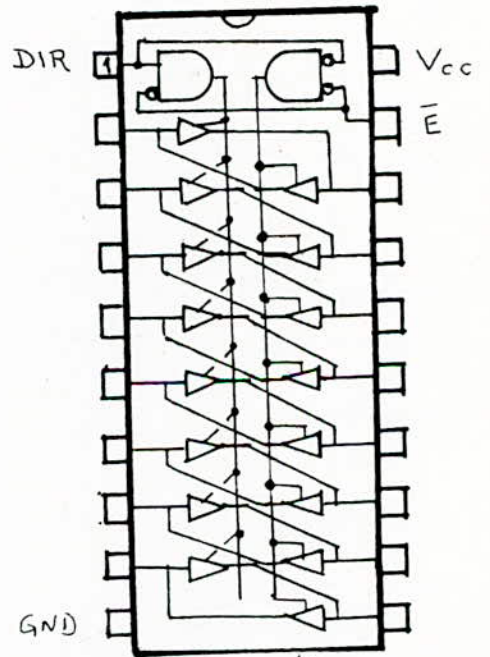
8T28



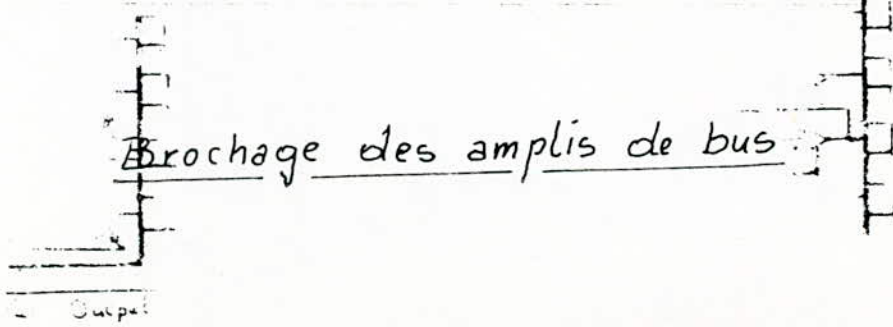
SN74LS541

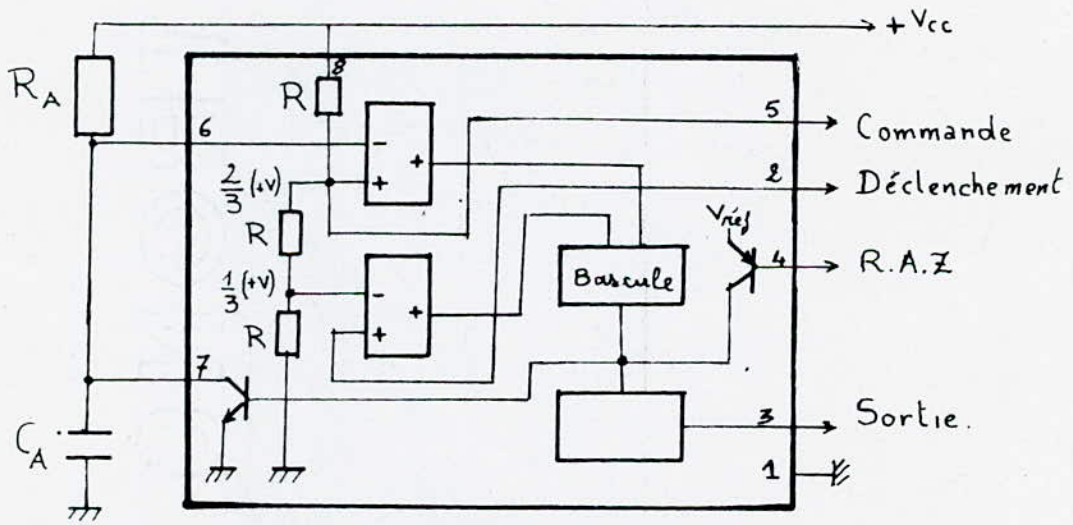
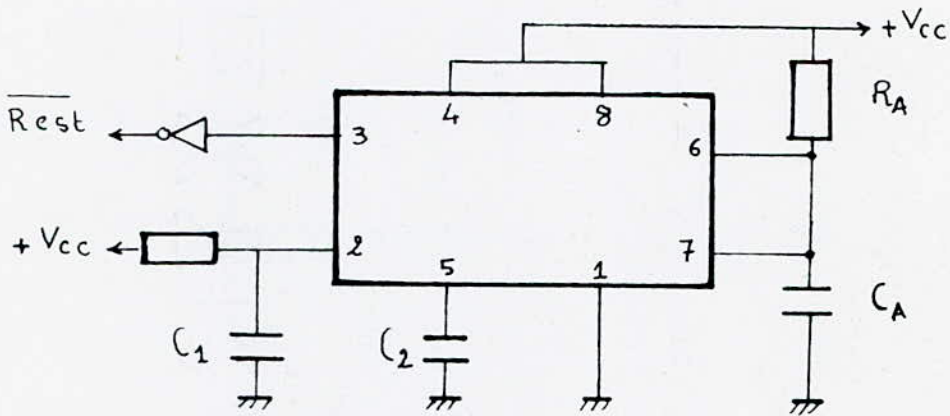
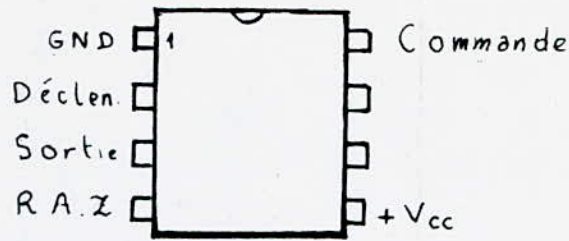


SN74LS645



Brochage des amplis de bus





Brochage, schéma interne du NE 555.

Caractéristiques de la Norme EIA (Electrical Industrie Association)

La RS 232C

Mode : 1 fil

Longueur maximale du câble : 17 mètres

Débit maximum : 20 K bauds.

Tension minimale de sortie en charge : $\pm 0,5^V$ à $\pm 15^V$

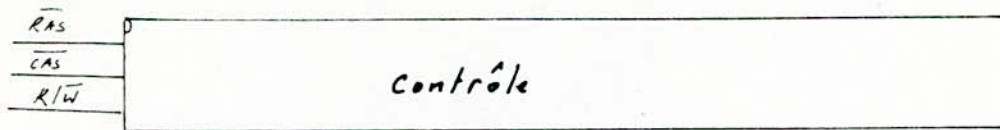
Tension maximale en circuit ouvert : $\pm 25^V$

Résistance de sortie minimale : $R_o = 300 \Omega$

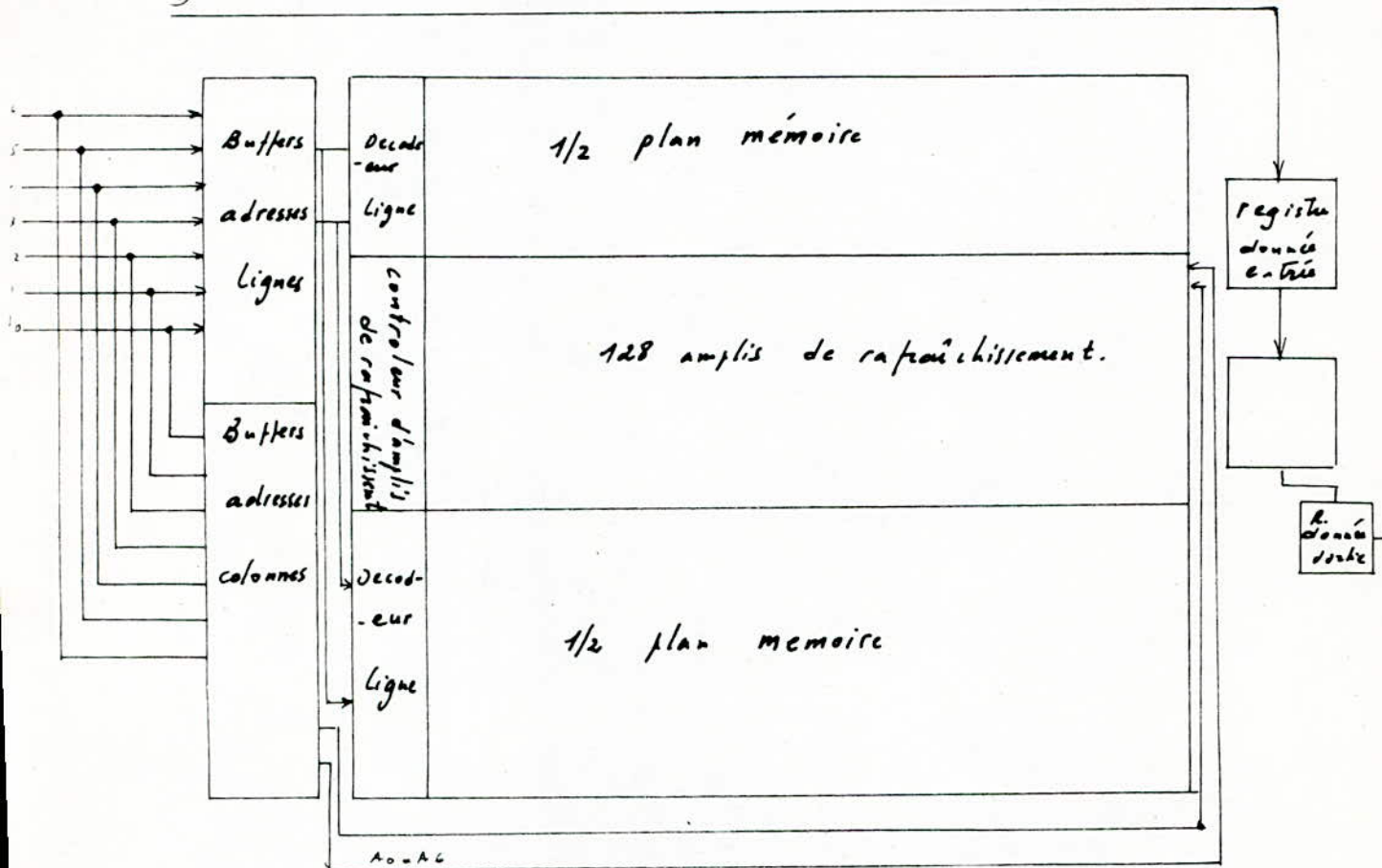
Courant maximal de court-circuit : $\pm 0,5 A$

Seuil maximal du récepteur : $+3^V$ à -3^V

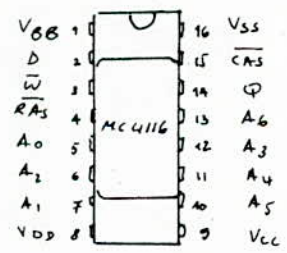
Tension maximale à l'inter-récepteur : -25^V à 25^V



D



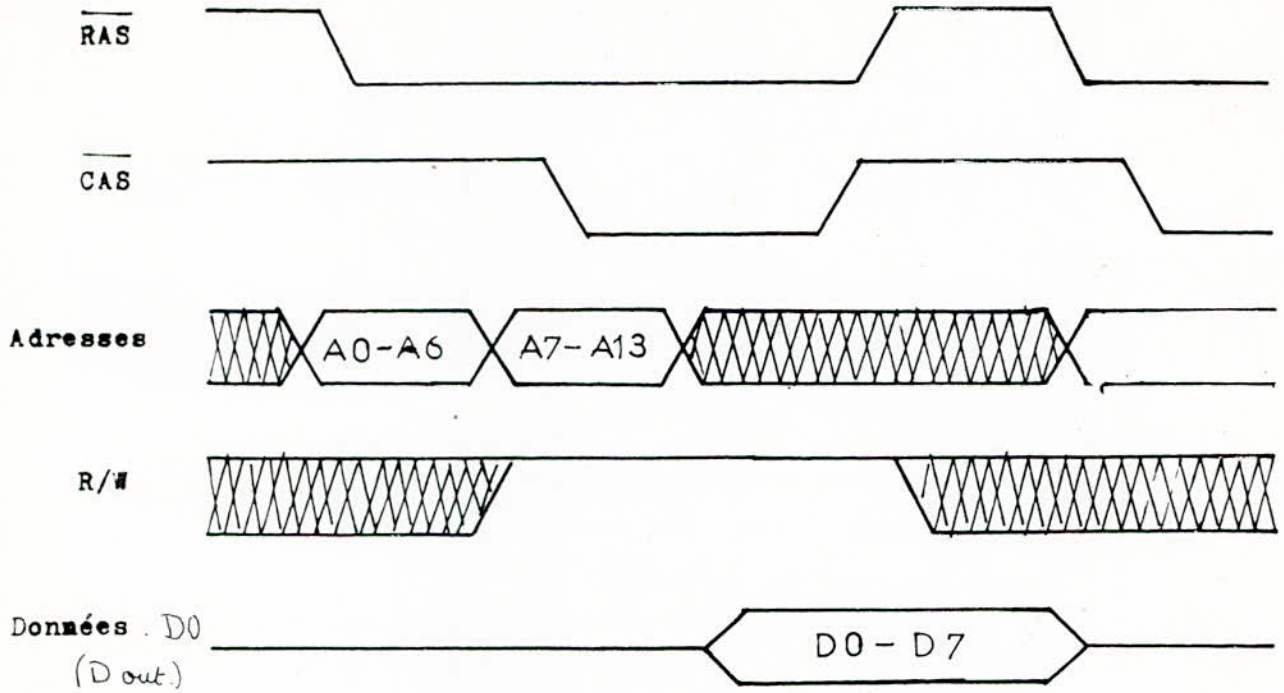
$V_{BB} : -5V$
 $V_{CC} : +5V$
 $V_{DD} : +12V$
 $V_{SS} : 0V$ masse.



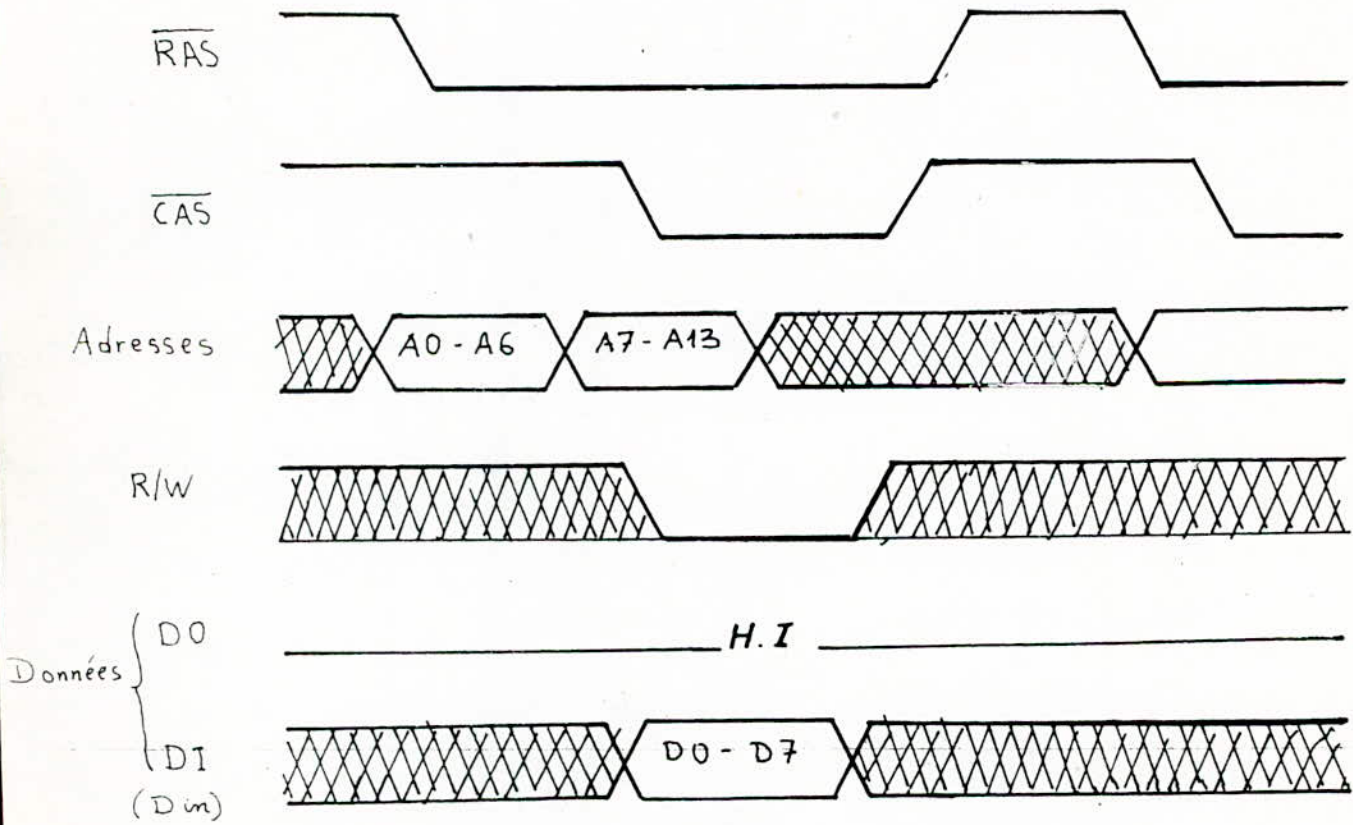
$A_0 - A_6$: entrées adresses
 \overline{CAS} : commande verrouillage adresse colonne
 D : entrée donnée.
 Φ : sortie donnée
 \overline{RAS} : commande verrouillage adresse ligne.
 \overline{W} : validation écriture.

schema interne mc4116

Lecture.



Ecriture.



CHRONOGRAMMES DES SIGNAUX DE LECTURE ET D'ECRITURE DE LA MEMOIRE DYNAMIQUE MC4116 .

Bibliographies

- Microprocesseur: du 6800 au 6809
modes d'interfaçage
par G. REVELLIN Dunod 1981
- Les systèmes à Microprocesseurs
par M. Aumicaux Masson 1982
- Aide à la conception de systèmes Micro-ordinateurs
thèse ingénierat d'état ENP juin 1983
- De la logique câblée aux microprocesseurs, etc
par J.M Bernard, J. Hugon Eyrolles 1980
- haut parleur juillet 82.
- Document Motorola.
- Data Book TTL.