

UNIVERSITÉ D'ALGER
ÉCOLE NATIONALE POLYTECHNIQUE

2/71

red

DÉPARTEMENT TÉLÉCOMMUNICATION

ELECTRONIQUE

THÈSE DE FIN D'ÉTUDES

الطبعة الوطنية
المكتبة

ÉCOLE NATIONALE POLYTECHNIQUE
BIBLIOTHÈQUE

SUJET

ÉTUDE ET RÉALISATION D'UN COMPTEUR
BINAIRE SYNCHRONÉ NUMÉRIQUE
AVEC DES ÉLÉMENTS MICROLOGIQUES

Proposé par :

M^r J. FLORET

Étudié par :

AMOURI Mohamed Chérif

ANNEE 1970 - 1971

UNIVERSITÉ D'ALGER
ÉCOLE NATIONALE POLYTECHNIQUE

DÉPARTEMENT TÉLÉCOMMUNICATION

THÈSE DE FIN D'ÉTUDES

SUJET

**ÉTUDE ET RÉALISATION D'UN COMPTEUR
BINAIRE SYNCHRONE NUMÉRIQUE
AVEC DES ÉLÉMENTS MICROLOGIQUES**

Proposé par :

M^r J. FLORET

Étudié par :

AMOURI Mohamed Chérif

cf. H. Ben Jounif.

ANNEE 1970 - 1971

« à mes parents »

AMC

Je remercie Monsieur Floret pour
m'avoir aidé et suivi le long des mes
travaux.

Mes remerciements vont aussi à M^{me} Mondon
pour le tirage des circuits imprimés, et
à Monsieur Duouché, technicien au labo-
ratoire de Télécommunications pour sa
précieuse collaboration dans mes montages
pratiques -

Que tous les enseignants qui ont contri-
bué à ma formation à l'école nationale
polytechnique, trouvent ici ma gra-
titude la plus reconnaissante.

SOMMAIRE

- 3

Introduction. - - - - - 1

Chapitre I: Elements de réseau logique combinatoire - -

1-1 Elements de mémoire - - - - - 3.

1-2. Les bascules synchrones - - - - - 6

1-3 Les compteurs - - - - - 12

Chapitre II: Caractères logiques des circuits logiques
intégrés -

2-1: Hypothèse de deux niveaux logique quantifiés - - - 14

2-2: Logique positive et logique négative - - - 14.

2-3: les deux grands de fonctions logiques - - - 16

2-4: les circuits logiques intégrés (C.L.I) séquentiels - - - 18

Chapitre III

Réalisation pratique du compteur binaire synchrone
utilisant des bascules J-K (modulo 16).

3-1. T.T.L Circuit - - - - - 33

3-2. Circuit de commande: Horloge - - - - - 36

3-3- Réalisation pratique du compteur - - - 49

3-4- Conclusion. - - - - - 51

Conclusion générale - - - - - 52.

Annexe: les circuits intégrés - - - - - 1 - - 10

I n t r o d u c t i o n

Si l'on veut se représenter un compteur à impulsions de la manière la plus générale possible, on est amené à considérer ce compteur comme composé de deux parties essentielles.

1) Un ensemble d'éléments de mémoire, généralement des flip-flop, en proportion du nombre des impulsions que l'on désire compter, c'est ce que nous appellerons le réseau logique séquentiel

2) Un réseau logique qui les relie entre eux de manière à ce que l'état final de ces flip-flop après chaque impulsion corresponde exactement à un code choisi. Nous l'appellerons le réseau logique combinateur.

Cependant il est nécessaire de considérer les deux grandes catégories de compteurs que l'on peut utiliser :

1) les compteurs asynchrones,

2) les compteurs synchrones

La différence essentielle qui existe entre ces deux types de compteurs est la méthode d'introduction et d'action des impulsions que l'on veut compter ou, d'une manière plus générale, des signaux d'horloge ou déclencheur périodique.

Dans les compteurs asynchrones, le déclencheur périodique s'applique, en général, sur le premier élément de mémoire. Le déclenchement de n éléments est alors donné par le déclenchement successif d'un certain nombre d'éléments précédents. Il en résulte que la commande du $n^{\text{ème}}$ élément est obtenue avec un certain retard par rapport au déclencheur périodique, d'où le nom de asynchrone.

Au contraire, dans les compteurs synchrones le déclencheur périodique s'applique à toutes les entrées des éléments de mémoire, si bien que le basculement d'un élément d'ordre quelconque est toujours en synchronisme avec le déclencheur périodique.

Aussi le positionnement complet d'un compteur synchrone ne se fait-il jamais avec un retard plus grand que celui d'un élément et cela apporte évidemment des avantages de rapidité.

Le problème que nous nous proposons est l'étude d'un compteur binaire pur synchrone utilisant des bascules J-K et comptant jusqu'à 15.

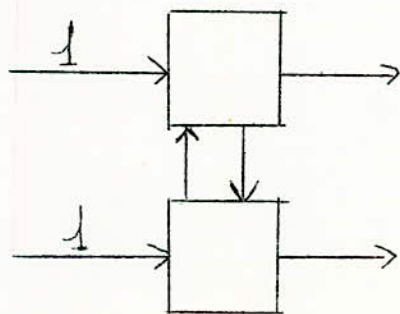
Chapitre I

- Elements de réseau logique -
Combinateur -

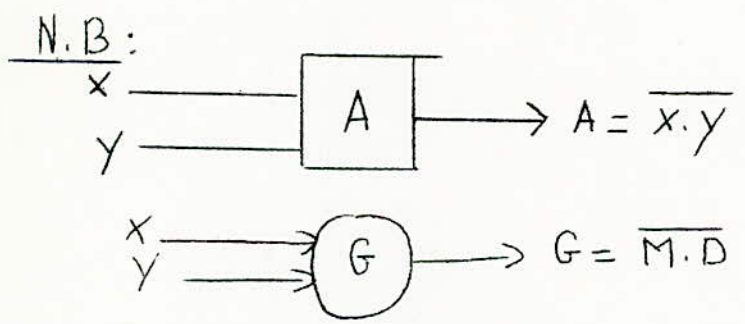
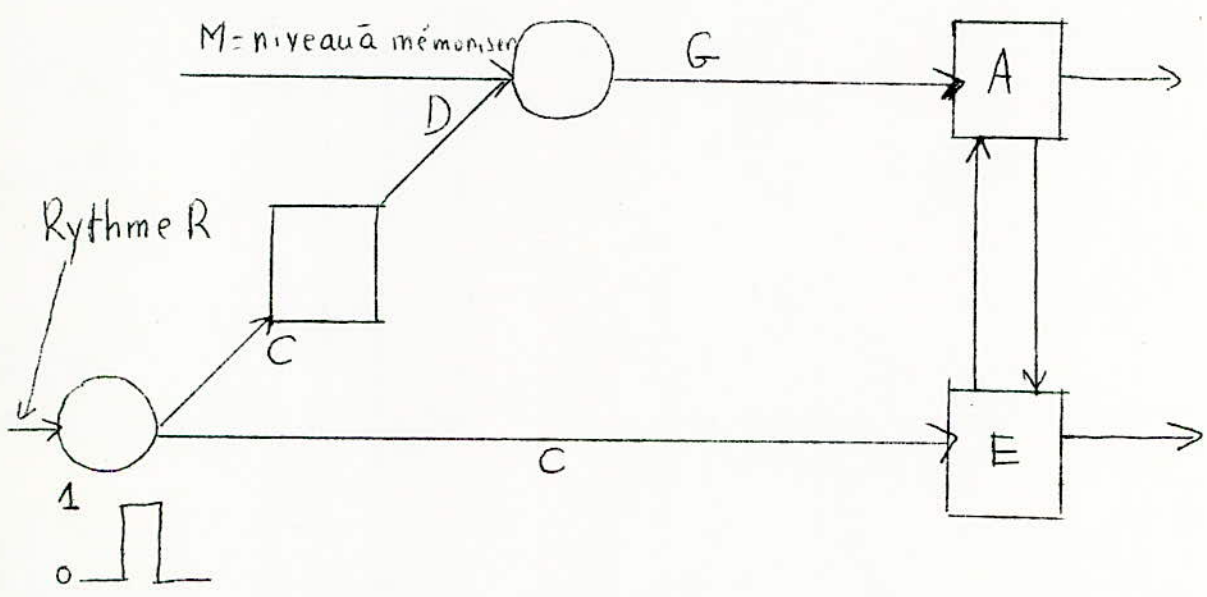
En dehors des éléments mémorisants constituant la mémoire centrale proprement dite d'un ordinateur, et qui sont presque universellement des composants passifs (tours), on rencontre dans les circuits de l'unité de contrôle et de commande, des systèmes mémorisants actifs, c'est-à-dire qu'ils ne conservent cette faculté de mémoire qu'au prix d'une dépense d'énergie - l'élément de base en est la bascule, ou flip-flop dont il existe de nombreux types, et dont la capacité est le 1 bit. L'association de plusieurs bascules pour mémoriser un mot, un caractère, pour transférer ce mot en un autre emplacement de l'ordinateur, ou pour le transformer est le registre -

La notion de retard de l'effet par rapport à la cause, qui est souvent gênante dans les circuits combinatoires constitue la base physique de la plupart des éléments de mémoire: il peut y avoir mémoire si un système possède de l'hystérésis -

Considérons deux portes NAND, l'une attaquant l'autre, et attaquées chacune en outre par deux signaux 1 -



- Parmi les 4 combinaisons EN-EN, HORS-HORS, EN-HORS, HORS-EN, les deux premières sont interdites, et c'est bien ce qu'on souhaite, c'est-à-dire deux sorties complémentaires - Il faudra donc qu'en dehors des périodes où l'on désire la mémorisation, un 1 soit appliqué aux deux portes - On y arrive grâce au schéma suivant:



En dehors des impulsions d'horloge, les entrées des portes de la bascule sont à 1, le niveau à mémoriser est inhibé, la bascule garde la mémoire de son état antérieur - Quand est appliqué l'échantillonnage de rythme R, la bascule est remise à 0 - Puis, avec un retard voulu, le signal à mémoriser est validé -

- Si $A = 1$ le flip-flop sera dans l'état non défini où ses deux entrées sont 0. Mais au retour à 0 de R, E passera à 0, et par réaction A restera à 1.

Il ya quatre possibilités, suivant les deux états initiaux possibles de la bascule, et les 2 valeurs possibles de M. Elles sont illustrées par le diagramme des temps ci-dessous, dans l'hypothèse où chaque porte introduit un retard identique T, l'impulsion de système durant $6T$. Il suffit d'écrire les équations des 5 portes $C = \bar{R}$, $D = \bar{C}$, $G = \overline{D.M}$, $A = \overline{G.E}$, $E = \overline{C.A}$, mais en les considérant comme équations aux différences, les valeurs prises par les premiers membres étant retardées de T par rapport à ce que donnent les deuxièmes membres.

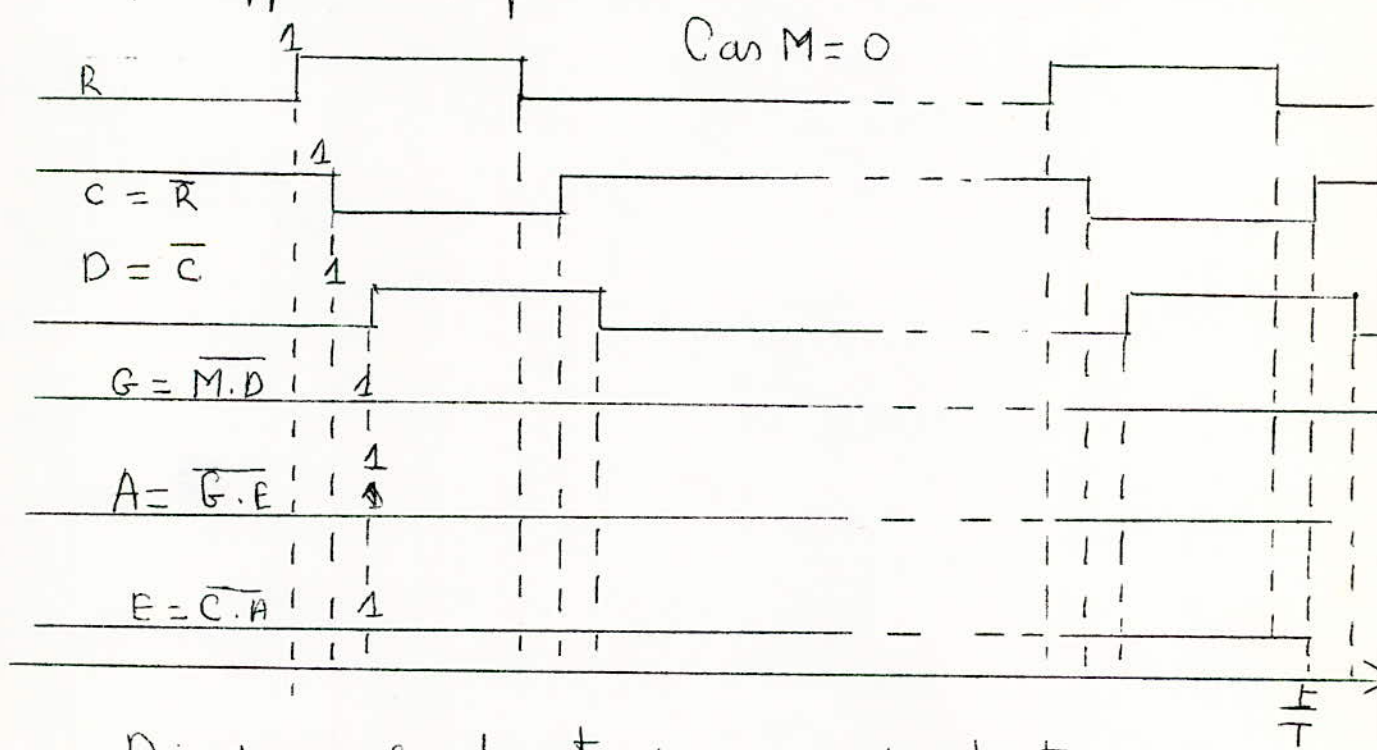
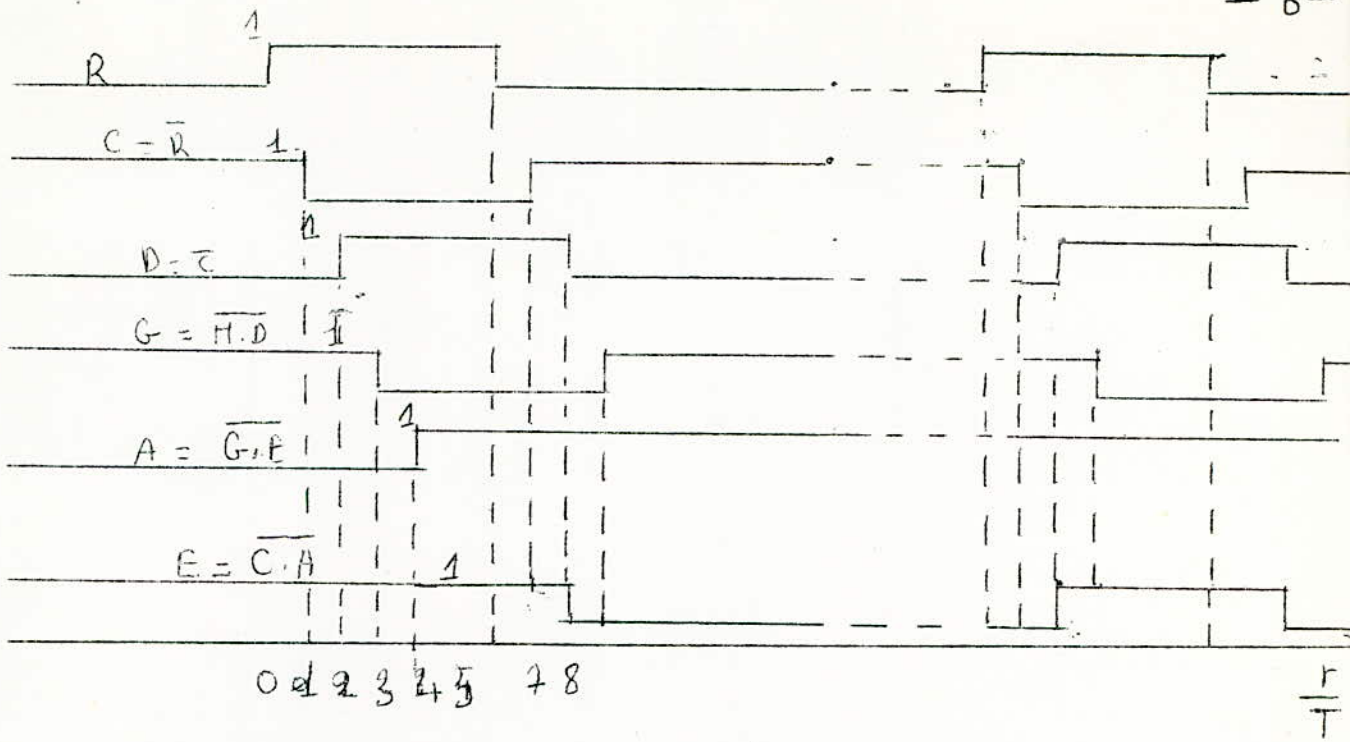


Diagramme des temps correspondant au cas $M = 0$



- Diagramme des temps correspondant au cas $M=1$ -

1.2 - Les bascules synchrones:

Il existe plusieurs de bascules, mais lorsque leur basculement est obtenu au rythme d'une horloge, l'équation traduisant leur fonctionnement est l'équation aux différences:

$$(Q)^{n+1} = f(Q, \text{entrées})^n$$

La valeur des deux sorties complémentaires Q et \bar{Q} à l'instant de l'impulsion $n+1$ est fonction de l'état antérieur du flip flop au top n .

Par commodité et par convention introduisons deux signaux d'entrée fictifs, ne correspondant pas forcément à des signaux physiques -

$g = 1$ qui a pour effet de mettre le FF à 1 s'il était à 0

$h = 1$ qui a pour effet de maintenir le FF s'il était déjà à 1

En appelant Q la sortie "1" et \bar{Q} la sortie "0" on en déduit l'équation aux différences et la table de vérité correspondantes

$$Q^{n+1} = (g \cdot \bar{Q} + h \cdot Q)^n \tag{1}$$

$$(g \cdot h \cdot Q)^n \cdot Q^{n+1}$$

0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

L'équation générale d'application (1) est indépendante des types de bascules dont nous allons passer en revue les principaux-

a) Bascules R.S.

Ce flip-flop a deux entrées S et R (set-reset) pour lesquelles on s'interdit de jamais avoir $S \cdot R = 1$ - S n'est pas identique à g , pas plus que R n'est h .

Le fonctionnement est le suivant:

Si $S = 1$ à t_n , alors $Q = 1$ à t_{n+1}

Si $R = 1$ à t_n , alors $Q = 0$ à t_{n+1}

Si $R + S = 0$ à t_n , alors $(Q)^{n+1} = (Q)^n$

C'est analogue à une commande par deux boutons poussoirs marche - arrêt que l'on s'interdit d'actionner simultanément.

On peut en déduire la table de vérité et le diagramme de Karnaugh suivants, où les X représentent les combinaisons interdites.

$(Q \ S \ R)^n$	$(Q)^{n+1}$
1 0 0	1
1 0 1	0
1 1 0	1
1 1 1	X

Q S R	$(Q)^{n+1}$
0 0 0	0
0 0 1	0
0 1 0	1
0 1 1	X

	R.S			
Q	00	01	11	10
0	0	1	X	0
1	1	1	X	0

Le tableau de Karnaugh donne l'équation caractéristique de la bascule R-S -

$$(Q)^{n+1} = (S + \bar{R} \cdot Q)^n$$

b) Bascule T:

Il n'y a qu'une entrée T dont l'application a pour effet de complémenter l'état du flip-flop - L'équation caractéristique est :

$$(Q)^{n+1} = (T \cdot \bar{Q} + \bar{T} \cdot Q)^n$$

c) Bascule J.K:

Il n'y a que deux entrées J et K dont les rôles sont respectivement les mêmes que ceux de S et R du flip-flop R.S, sauf qu'il est autorisé d'avoir $J \cdot K = 1$, auquel cas ~~la bascule~~ la bascule changera d'état - La table de vérité et le diagramme

de Karnaugh donnent l'équation caractéristique

$$(Q)^{n+1} = (J \cdot \bar{Q} + \bar{K} \cdot Q)^n$$

(Q)	J	$(K)^n$	$(Q)^{n+1}$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

$J \cdot K$	00	01	11	10
0			1	1
1	1			1

D) Equations caractéristiques d'application:

En combinant les quatre équations caractéristiques avec l'équation générale ~~d'équation~~ ^{d'application}, nous obtenons les équations caractéristiques d'application, c'est-à-dire les S, R, T, J, K en fonction de $(g, h, Q)^n$. On pourra ainsi à partir de l'énoncé d'un problème, soit déterminer les circuits combinatoires d'interconnexion de bascules dont le type est imposé, soit choisir la solution la plus économique -

Par exemple pour la bascule R.S, il s'agit de résoudre en R et S le système d'équations booléennes

$$\begin{cases} S + \bar{R} \cdot Q = g \cdot \bar{Q} + h \cdot Q \\ R \cdot S = 0 \end{cases}$$

On peut résoudre ce système algébriquement, mais on devra passer par un raisonnement trop lourd -

Pour arriver plus rapidement au résultat, nous utiliserons une autre méthode, qui consiste à écrire une double table de vérité - A gauche on porte les 8 valeurs de $(g, h, q)^n$ - On en déduit $(Q)^{n+1}$. De même $(Q)^n$ et $(Q)^{n+1}$ donnent à leur tour S et R, au lieu T, au lieu J et K -

Pour la bascule R-S:

	1 g^n	2 h^n	3 q^n	4 $(Q)^{n+1}$	5 (S)	6 (R)
0	0	0	0	0	0	x
1	0	0	1	0	0	1
2	0	1	0	0	0	x
3	0	1	1	1	x	0
4	1	0	0	1	1	0
5	1	0	1	0	0	1
6	1	1	0	1	1	0
7	1	1	1	1	x	0

Diagramme en S

g/h	00	01	11	10	
0	0	0	1	1	$(S = g \cdot \bar{q})^n$
1	0	x	x	0	

Diagramme en R

g/h	00	01	11	10	
0	x	x	0	0	$(R = \bar{h} \cdot q)^n$
1	1	0	0	1	

les colonnes 1, 2, 3 fournissent la colonne 4. Les colonnes 3 et 4 permettent de remplir les colonnes 5 et 6, comme suivant

lignes 0 et 2: si Q reste 0, alors S=0, R=x (x=indifférent)

lignes 1 et 5: si Q devient 0, alors S=0, R=1

lignes 3 et 4: si Q reste 1, alors S=x, R=0

lignes 4 et 6: si Q devient 1, alors S=1, R=0

On peut ainsi en déduire S et R en fonction de $(g, h, q)^n$

Si $\bar{g} + h = 1$, c'est à dire $g \cdot \bar{h} = 0$, les équations deviennent: $(S = g)^n$; $(R = \bar{h})^n$ si $g \cdot \bar{h} = 0$

De même pour les autres bar-cules, on peut avoir les $\bar{T}, \bar{S}, \bar{K}$ en fonction de $(g, h, q)^m$

Voici le tableau suivant:

	$(Q)^{n+1} = (g \cdot \bar{q} + h \cdot q)^n$	
Bar-cule R-S	$\left\{ \begin{array}{l} (S = g \cdot \bar{q})^n \\ \text{Si } \bar{g} + h = 1 \end{array} \right.$	$\left(\begin{array}{l} (R = \bar{h} \cdot \bar{q})^n \\ (R = \bar{h})^n \end{array} \right)^n$
Bar-cule T	$T = (g \cdot \bar{q} + \bar{h} \cdot q)^m$	
Bar-cule J-K	$(\bar{J} = g)^m$	$(K = \bar{h})^m$

Pour illustrer nous donnons un exemple d'application

c) Exemple d'application:

Réalisation d'un compteur à 3 bits en code réfléchi:

Dans le code binaire réfléchi, un seul poids change d'état quand on passe d'une valeur codée à la valeur supérieure - A chaque impulsion de rythme, le compteur affichera en séquence les équivalents binaires de 0, 1, 3, 2, 6, 7, 5, 4, 0.

Supposons en plus que les combinaisons 0 et 4 sont interdites, ces trois bar-cules (il faut 3 bar-cules pour $2^3 = 8$ états) sont soit toutes à 0, soit toutes à 1, c'est-à-dire qu'on veut l'affichage séquentiel: 1, 3, 2, 6, 5, 4 -

Il n'y a plus que 6 états, mais les 3 bar-cules sont toujours nécessaires -

Réalisation - d'un compteur binaire réfléchi à 3 bits

→ Code binaire réfléchi:

Table des états

Décimal	A	B	C
0	0	0	0
1	0	0	1
3	0	1	1
2	0	1	0
6	1	1	0
4	1	1	1
5	1	0	1
4	1	0	0
-	-	-	-

affichage	(A B C) ⁿ	(A B C) ⁿ⁺¹
0: interdit	0 0 0	x x x
1 → 3	0 0 1	0 1 1
2 → 6	0 1 0	1 1 0
3 → 2	0 1 1	0 1 0
4 → 1	1 0 0	0 0 1
5 → 4	1 0 1	1 0 0
6 → 5	1 1 0	1 0 1
4: interdit	1 1 1	x x x

La table des états nous donne les tableaux de Karnaugh suivants:

	BC		
A	00	01	11
	0	1	1
	1	x	1

(1)

$$(A)^{n+1} = (\bar{c}\bar{a} + (b+c) \cdot a)^n$$

	CA		
B	00	01	11
	x		1
	1	x	1

(2)

$$(B)^{n+1} = [\bar{a}\bar{b} + (\bar{a}/b)]^n$$

	AB		
C	00	01	11
	x	1	1
	1		x

(3)

$$(C)^{n+1} = [a \cdot \bar{c} + (\bar{a} \cdot \bar{b}) \cdot c]^n$$

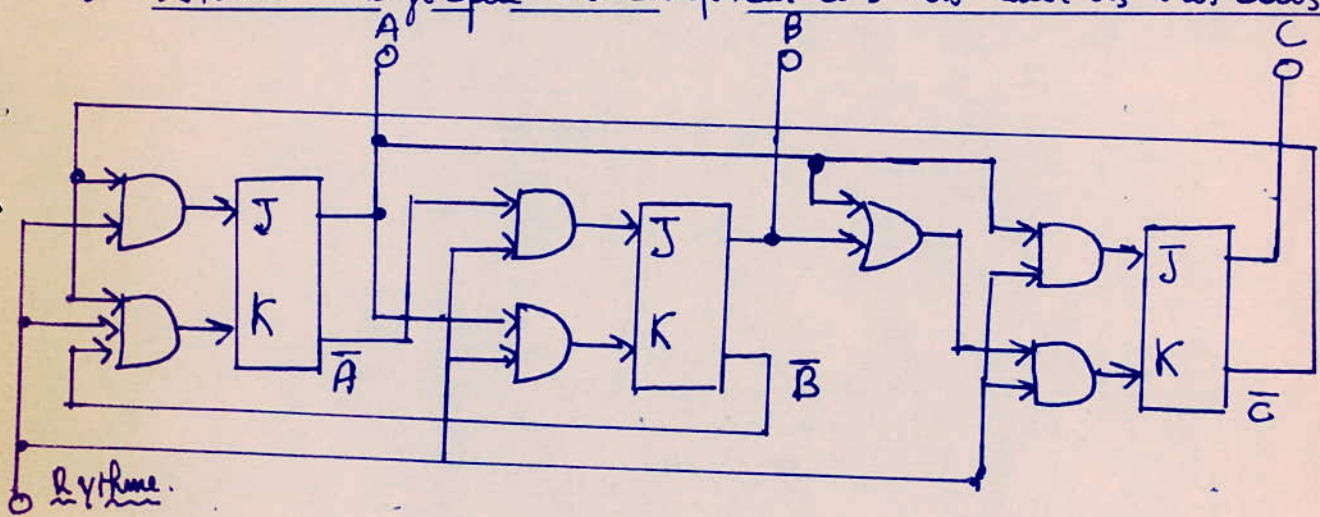
Ces équations nous donnent g, h par $(\varphi)^{n+1} = (g \cdot \bar{\varphi} + h \cdot \varphi)^n$

$$g_A = \bar{c}, h_A = b+c, \bar{g}+h \neq 1; \quad g_B = \bar{a}, h_B = \bar{a}, \bar{g}+h = 1; \quad g_C = a, h_C = \bar{a} \cdot \bar{b}, \bar{g}+h \neq 1$$

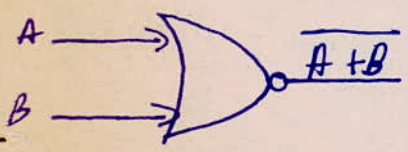
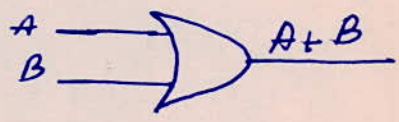
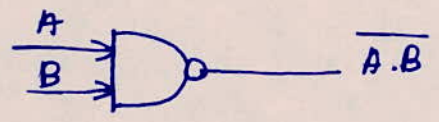
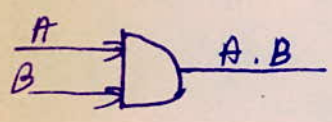
On déduit les valeurs R, S, T, J, K:

	Bascule A	Bascule B	Bascule C
S	$\bar{C} \cdot \bar{A}$	\bar{A}	$A \cdot \bar{C}$
R	$(\bar{B} + C) \cdot A \cdot \bar{B} \cdot \bar{A}$	A	$(A + B) \cdot C$
T	$\bar{C} (\bar{A} + \bar{B})$	$\bar{A} \cdot \bar{B} + A \cdot B$	$A + B \cdot C$
J	\bar{C}	\bar{A}	A
K	$B + C = \bar{B} \cdot \bar{C}$	A	$A + B$

• Schéma logique du compteur à 3 bits avec des bascules J, K.



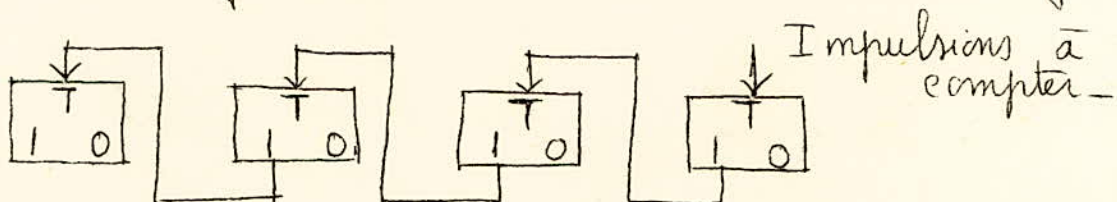
○ Rythme.



N.B: Deux fils croisés ne se touchent pas

1.3 Compteurs :

En groupant, suivant le réseau ci-dessous, n bascules de type T qui se complètent quand elles reçoivent un signal de transition $1 \rightarrow 0$, on réalise un compteur binaire pure modulo 2^n - Les impulsions à compter arrivent sur la bascule de rang 0 - La sortie affichage de la bascule de rang K va à l'entrée T de celle de rang $K+1$



On a omis sur le schéma un signal de remise à 0 RAZ et les entrées correspondantes sur les bascules - Ensuite, comme dans un compteur kilométrique, lorsque le registre contient le nombre maximal $1111 = F$ et qu'arrive une impulsion, toutes les bascules sont remises à 0 - Si on veut être informé de ce débordement, on peut ajouter un autre flip-flop ou décoder les sorties -

a) Compteur synchrone 84-2-1 :

Dans un compteur synchrone, toutes les bascules mémorisent ont une horloge commune -

En opérant de la même manière que pour le compteur binaire en code réfléchi, nous aurons le réseau logique logique du compteur synchrone modulo 2^4 (comporte quatre bascules) -

Compteur synchrone - Module 16 -

Diagrammes de Karnaugh:

$(H \ D \ \varphi \ u)^n$				$(H \ D \ \varphi \ u)^{n+1}$			
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1
1	0	0	1	1	0	1	0
1	0	1	0	1	0	1	1
1	0	1	1	1	1	0	0
1	1	0	0	1	1	0	1
1	1	0	1	1	1	1	0
1	1	1	0	1	1	1	1
1	1	1	1	0	0	0	0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0

		Du			
		00	01	10	11
$H\varphi$	00	1		1	
	01	1		1	
	11	1		1	
	10	1		1	

$$(u)^{n+1} = [(1) \cdot \bar{u} + (0) \cdot u]^n$$

		Du			
		00	01	11	10
$H\varphi$	00				
	01			1	
	11	1	1		1
	10	1	1	1	1

$$(H)^{n+1} = [(0 \cdot Du) \cdot \bar{H} + (\varphi \cdot Du) \cdot H]^n$$

		Du			
		00	01	10	11
$H\varphi$	00			1	
	01	1	1		1
	10	1	1		1
	11			1	

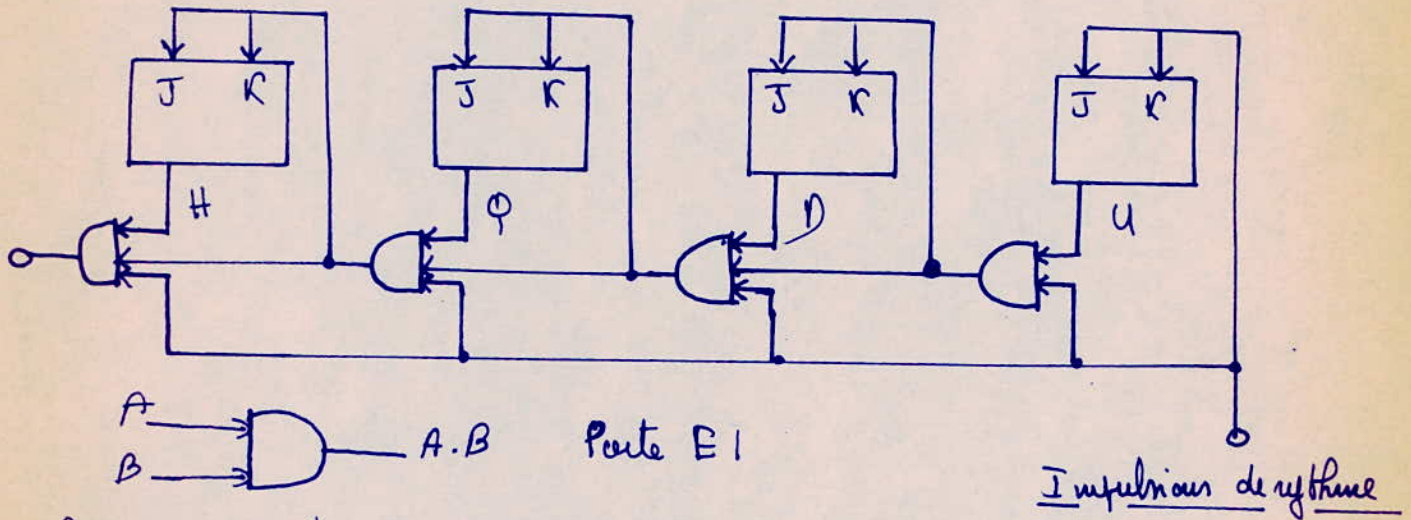
$$(\varphi)^{n+1} = [(0 \cdot u) \cdot \bar{\varphi} + (0 \cdot \bar{u}) \cdot \varphi]^n$$

		Du			
		00	01	10	11
$H\varphi$	00		1		1
	01		1		1
	10		1		1
	11		1		1

$$(D)^{n+1} = [(u) \cdot \bar{D} + (\bar{u}) \cdot D]^n$$

L'équation générale étant $(Q)^{n+1} = (g \cdot \bar{Q} + h \cdot Q)^n$, on a par conséquent $g = \bar{h}$

On emploie des bascules J.K avec $\bar{J} = K = g = \bar{h}$ car $(\bar{J} = g)^n, (K = \bar{h})^n$
d'où le schéma suivant.



La remise à zéro RAZ n'est pas représentée.

Bien, qu'apparemment en plus, les 3^{èmes} entrées des portes ET accélèrent le comptage.

Schéma du compteur binaire synchrone modulo 26

b) Réalisation d'un compteur décimal code binaire: D.C.B

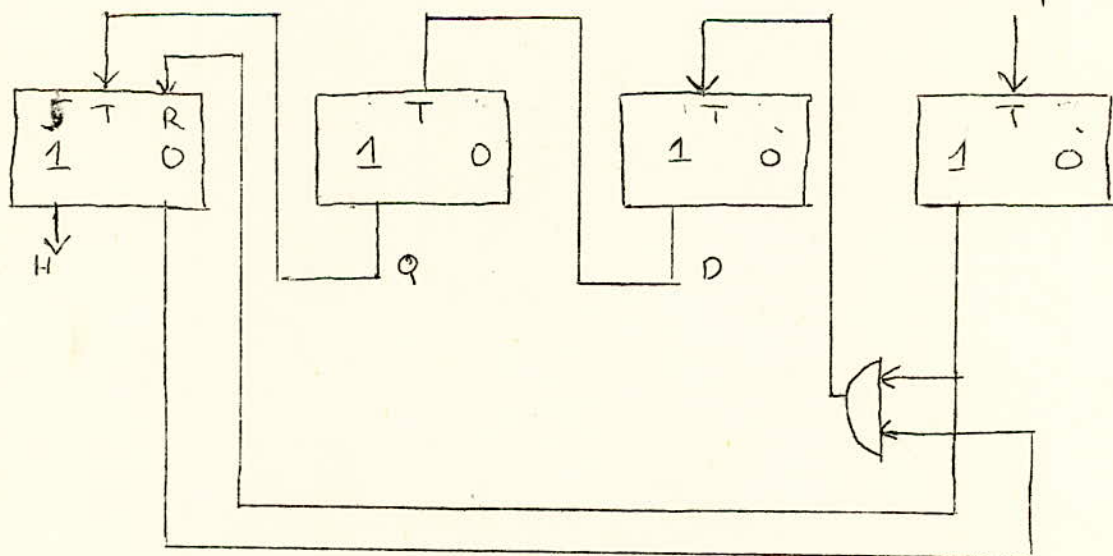
Le compteur DCB, ou compteur 8-4-2-1, est un compteur dont on s'interdit les configurations $> \bar{a}9$

Le montage est celui d'un compteur binaire à 4 étages, avec addition d'une ^{porte} T - la bascule 8 est du type S-R-T, qui fonctionne à la fois comme une bascule R-S, et comme une bascule T avec : $SR = ST = RT = 0$

La transition de $1\bar{a}0$ du premier étage n'atteint le 2^{ème}, et ne le fait basculer que pour les chiffres de 0 à 7 - le passage de 7 à 8 remet d'abord la bascule de rang 3 à 0, puis lorsque les flaps-flops de rang 0, 1, 2 ont basculé, la bascule de rang 3 passe à 1, inhibant ainsi le changement d'état de la bascule de rang 2 lors du passage de 8 à 9.

Quand le compteur indique $1001 = 9$, l'impulsion remet tout à 0

Impulsions à compter



Mais nous allons réaliser la version synchrone de ce compteur DCB 8421 -

Compteur synchrone DCB - 8-4-2-1-

Diagrammes de Karnaugh-

	(H	Q	D	U) ⁿ	(H'	Q	D	U) ⁿ
0	0	0	0	0	0	0	0	1
1	0	0	0	1	0	0	1	0
2	0	0	1	0	0	0	1	1
3	0	0	1	1	0	1	0	0
4	0	1	0	0	0	1	0	1
5	0	1	0	1	0	1	1	0
6	0	1	1	0	0	1	1	1
7	0	1	1	1	1	0	0	0
8	1	0	0	0	1	0	0	1
9	1	0	0	1	1	0	0	0
	1	0	1	0	x	x	x	x
	1	0	1	1	x	x	x	x
	1	1	0	0	x	x	x	x
	1	1	0	1	x	x	x	x
	1	1	1	0	x	x	x	x
	1	1	1	1	x	x	x	x

Du

Hq	00	01	11	10
00				
01			1	
11	x	x	x	x
10	1		x	x

$$H^{(n+1)} = [(Q \cdot D \cdot U) \cdot \bar{H} + (\bar{U}) \cdot H]^n$$

Du

Hq	00	01	11	10
00			1	
01	1	1	x	1
11	x	x	x	x
10			x	x

$$Q^{(n+1)} = [(D \cdot U) \cdot \bar{Q} + (\bar{D} \cdot U) \cdot Q]^n$$

Du

Hq	00	01	11	10
00		1		1
01		1		1
11	x	x	x	x
10			x	x

$$D^{(n+1)} = [(H \cdot U) \cdot \bar{D} + (\bar{U}) \cdot D]^n$$

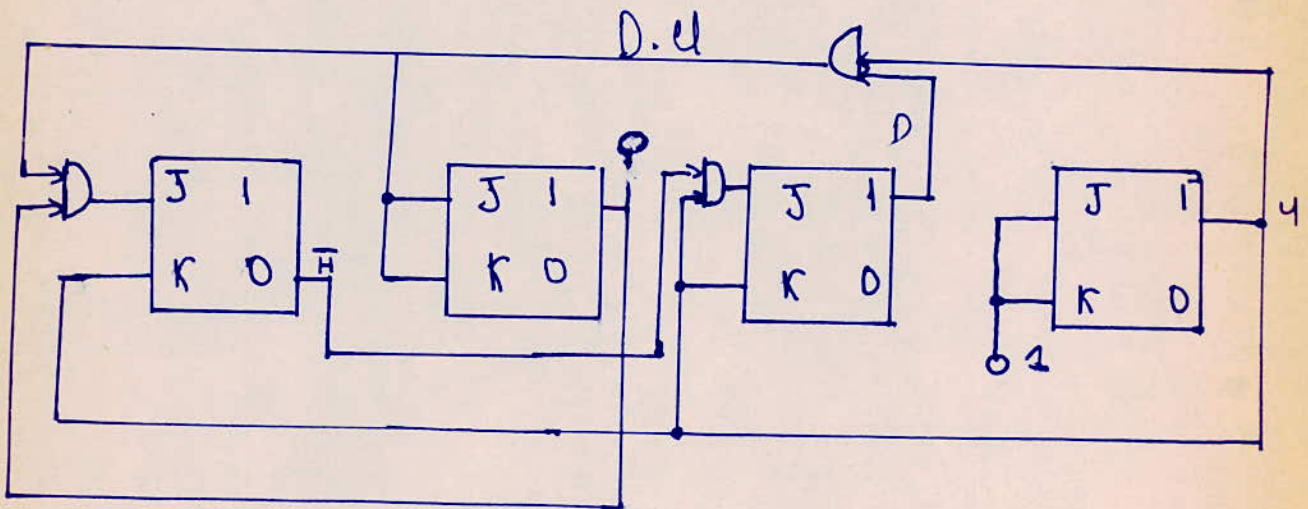
Du

Hq	00	01	11	10
00	1			1
01	1			1
10	x	x	x	x
11	1		x	x

$$U^{(n+1)} = [(1) \cdot \bar{U} + (0) \cdot U]^m$$

Version J-K - 3 parts ET -

	\bar{J}	K
H	0.D.4	4
Q	D.4	D.4
D	$\bar{H}.4$	4
4	1	1



Compteur synchrone 8-4-2-1 .D.C.B.

Chapitre II

- Caractères logiques des C.L.I. -

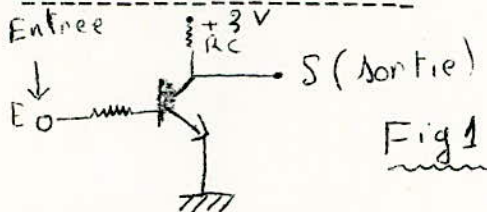
CARACTERES LOGIQUES DES C.L.I.

2.1. Hypothèse des deux niveaux logiques quantifiés :

Du point de vue du logicien qui ne tient pas compte des dispersions physiques des grandeurs, les tensions appliquées aux bornes d'entrée, et recueillies aux bornes de sortie sont capables de prendre seulement deux valeurs quantifiées.

- le niveau H auquel correspond le plus fort voltage
- le niveau B auquel correspond le plus bas voltage

Soit le schéma suivant :



E	S
H	B
B	H

Suivant cet exemple, on peut écrire la table de correspondance ci-dessus à lecture horizontale, entre les niveaux quantifiés appliqués en E (entrée) et recueillis en S (sortie).

2.2. Logique négative et logique positive :

Des conventions symboliques opposées s'attachent à ce que nous appellerons : logique positive et logique négative.

La logique sera dite positive si on convient d'exprimer une affirmation par la présence du niveau H. Une affirmation étant elle-même symbolisée par le " 1 logique ", il en résulte évidemment qu'en logique positive, le niveau H exprime le " 1 logique ". On dira de même qu'en logique positive le niveau B exprime une infirmation, c'est à dire le zéro logique. Lorsque les rôles des niveaux H et B sont inversés pour désigner les affirmations ou les infirmations logiques, c'est à dire les " 1 " ou les " zéro logique ", on dira qu'on a affaire à une logique négative.

Cependant, par coutûme, on utilise les C.L.I. de préférence dans la logique positive pour une raison purement mnémotechnique : la borne de sortie des C.L.I. est, dans la plupart des cas constituée par le collecteur d'un transistor N.P.N., monté en émetteur à la masse et saturable.

Dans ces conditions, le niveau B de sortie correspond à la tension de saturation émetteur-collecteur, très voisine de zéro volt. Ce " zéro volt " évoque donc le "zéro logique ", et on est tenté de faire coïncider ces deux zéros. Avec des P.N.P., la situation serait évidemment inversée, le zéro volt serait le niveau H et on serait plus facilement conduit à utiliser la logique négative.

Mais il n'y a pas de règle qui impose le choix et il peut se trouver des ensembles complexes dont le travail de conception peut être facilité par un usage simultané des conventions de logique positive et négative.

Pour illustrer ces définitions, nous pouvons, dans le cas du circuit suivant, envisager des tables de correspondances entre les niveaux d'entrée et ceux de sortie

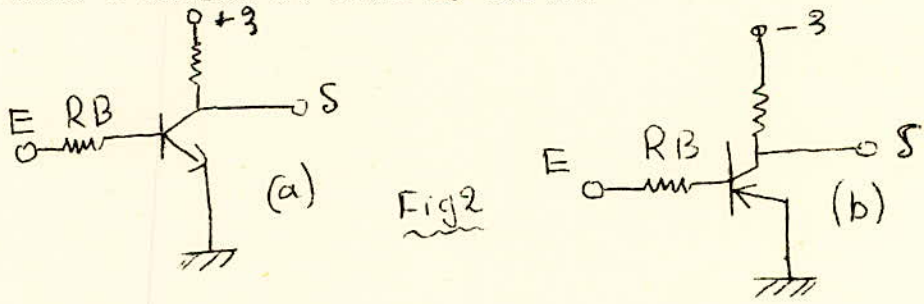


Fig 2

- a) T. NPN : E = + 3 volts (H) : T est saturé et $S = V_{CEsat} = +0,3v(B)$
 E = 0,3 v (B) : T est bloqué et S = + 3 v (H)
- b) T. PNP : E = - 3 volts (B) : T est saturé et $S = V_{CEsat} = -0,3v(H)$
 E = - 0,3 v (H) : T est bloqué et S = - 3 v (B).

Donc nous avons les "tables de vérités" suivantes :

Niveaux Electriques		Logique > 0		Logique < 0	
E	S	E	S	E	S
H	B	1	0	0	1
B	H	0	1	1	0

2.3. Les deux grandes classes de fonctions logiques :

a) Fonctions logiques combinatoires :

Pour ces fonctions, les commandes antérieures qui ont été appliquées sur les bornes d'entrées sont sans influence sur le résultat observé, à l'instant considéré, sur les bornes de sortie.

Exemple : un C.L.I. comportant trois bornes d'entrées désignées par A,B,C et une borne de sortie S, les niveaux H ou B décelables sur cette borne ne dépendent que de la combinaison particulière opérée par la fonction entre ces trois variables d'entrée présentes à l'instant choisi pour l'observation.

L'algèbre de BOOLE, d'emploi particulièrement commode, s'applique à cette première classe de fonctions.

On peut classer ces fonctions par degré de complexité :

- 1) Les fonctions élémentaires
 - Non
 - Ou (or)
 - Et (and)
- 2) Les fonctions de fonctions du premier degré
 - Ou-Non (Nor)
 - Et-Non (Nand)
- 3) Les fonctions de fonctions complexes
 - Ou exclusif (exclusive or)
 - Et-ou-non
 - circuit d'addition et de retenue

b) Fonctions logiques séquentielles :

Ces fonctions fournissent sur les bornes de sortie des niveaux H et B qui dépendent des commandes qui avaient été appliquées sur les bornes d'entrées, antérieurement à l'instant considéré.

Il s'agit donc de fonctions qui possèdent une qualité de "mémorisation" des états antérieurs, ou même plus précisément, ce sont des fonctions dont le résultat desquelles intervient, en plus de l'état des données à l'instant considéré, la séquence complète des données antérieures. L'algèbre de BOOLE n'est pas facilement applicable à ces fonctions et on raisonnera le plus souvent à partir de diagrammes de temps comme les oscillogrammes, ou bien au moyen de "tables de vérité" ou tables de phases où on distinguera des colonnes qui définissent des niveaux sur les bornes de sortie avant l'instant repère (signal de synchronisation), et après cet instant.

Nous distinguons les C.L.I. suivants :

- Les bascules bistables
- les compteurs d'impulsions
- les registres à décalages qui accomplissent une fonction de mémoire série.
- les mémoires matricielles à bascules commandées par combinaisons de niveaux appliqués sur des "bornes X" et sur des " bornes Y"

N.B. : deux interrupteurs, mis en série ou en parallèle dans le circuit d'une lampe exigent, pour allumer, ou pour ne pas allumer la lampe, une condition logique combinatoire entre les positions des deux interrupteurs (fonctions logiques combinatoires)

Pour un circuit d'allumage en "va et vient", l'opération à effectuer sur l'un ou l'autre des deux interrupteurs pour allumer, ou pour éteindre, dépendra de la séquence de toutes les positions antérieurement prises par chacun des deux interrupteurs (fonctions logiques séquentielles).

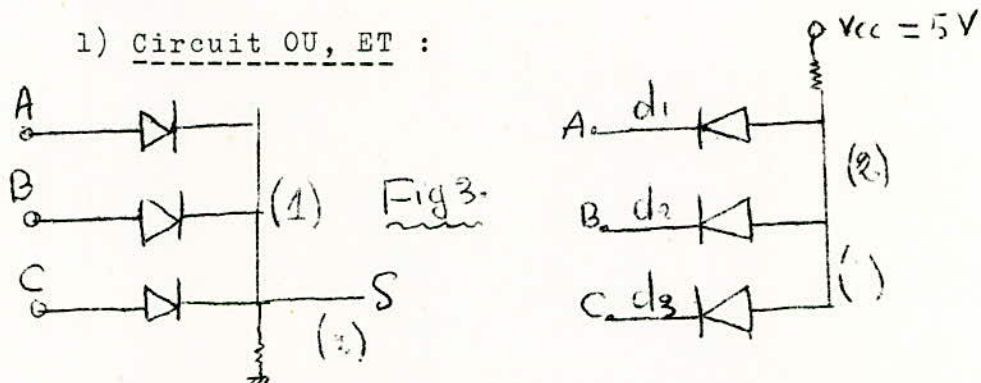
2.4. C.L.I. Séquentiels :

a) simple élément de mémorisation à 2 portes bouclées :

On peut constituer, par exemples, avec deux portes NOR (DCTL/RTL), ou bien avec deux portes NAND (DTL), une bascule faisant fonction de mémoire en bouclant l'entrée de chacune d'elles sur la sortie de l'autre.

Rappel :

1) Circuit OU, ET :



Les chutes de tension dans les diodes lorsqu'elles sont passantes sont négligées.

Nous aurons suivant la figure 3 :

- en logique positive ; S est au niveau H, c'est à dire $S = 1$ si au moins une des entrées A, B ou C est au niveau H ; ce qui s'écrit :

$$S = A + B + C \quad (\text{fig 3.1})$$

S est en niveau H si, chacune des entrées A, B et C est au niveau H d'où

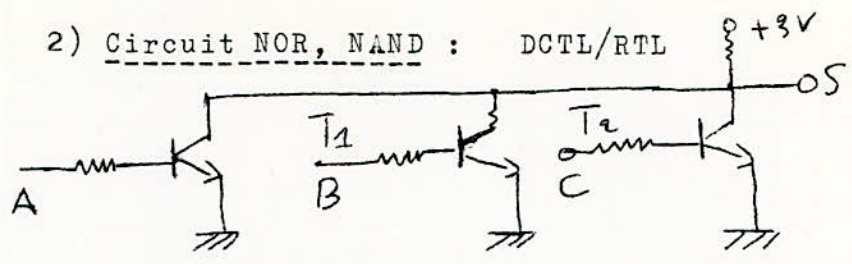
$$S = A.B.C. \quad (\text{fig 3.2})$$

- en logique négative ; S est au niveau B, c'est à dire $S = 1$ si : $S = A.B.C.$ (fig 3.1)

S est au niveau B, c'est à dire $S = 1$ si au moins une des entrées A, B ou C est au niveau B ; ce qui s'écrit :

$$S = A + B + C \quad (\text{fig 3.2})$$

2) Circuit NOR, NAND : DCTL/RTL

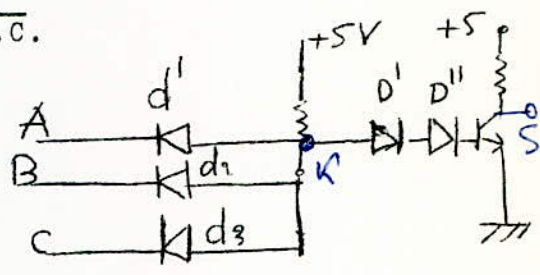


- logique positive : $S = 0$, si au moins l'une des entrées A, B ou C est au potentiel H, c'est à dire

$$A + B + C = 1 \text{ d'où } S = \overline{A + B + C}$$

- en logique négative : $S = \overline{A \cdot B \cdot C}$.

Circuit DTL :



En logique positive : $K = A \cdot B \cdot C$.

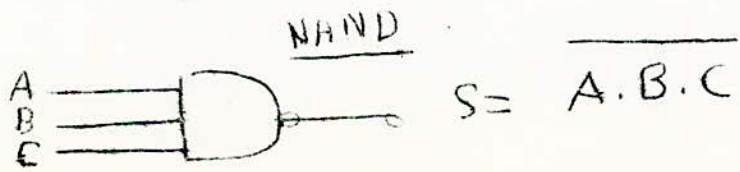
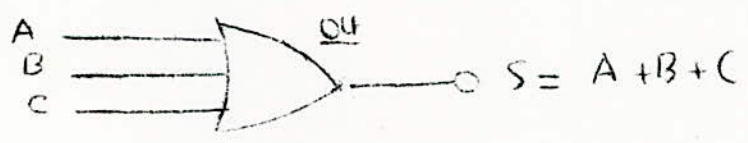
$$S = \overline{A \cdot B \cdot C}$$

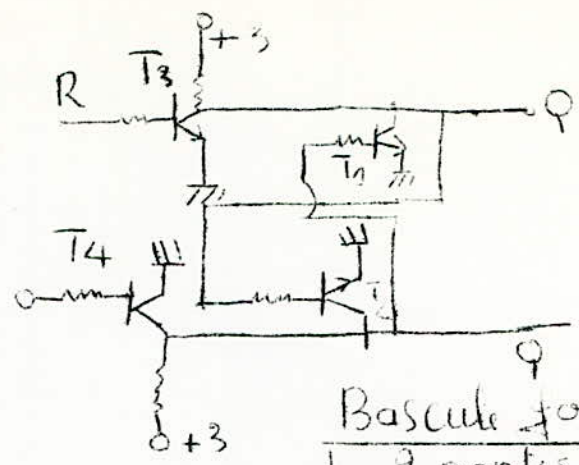
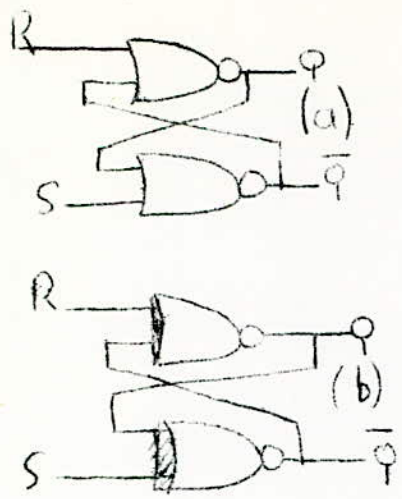
En logique négative : $K = A + B + C$

$$S = \overline{A + B + C}$$

Suivant ce rappel, nous pouvons donner les schémas réalisant une bascule faisant fonction d'élément de mémoire

N.B.





DCTL/RTL

Bascule formée de 2 portes NOR

Fig 4

1) En l'absence de signaux appliqués sur les bornes d'entrées R et S:

On peut vérifier que l'un des transistors T_1 ou T_2 représentés sur la figure 4 est nécessairement bloqué, alors que l'autre est saturé.

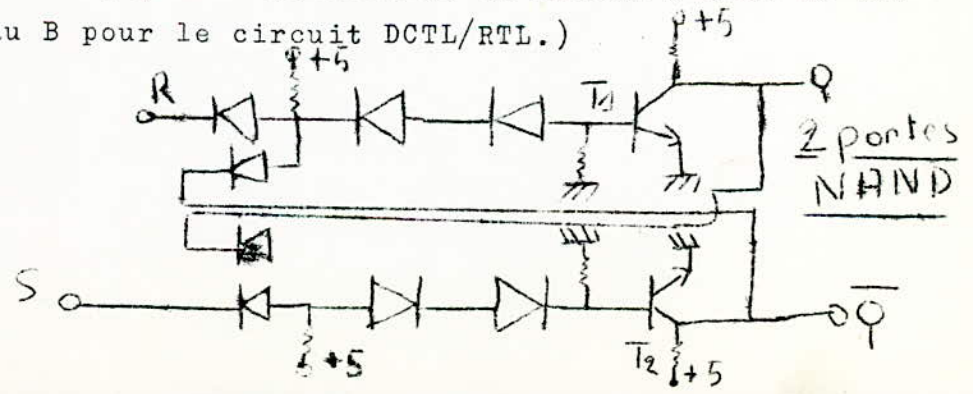
En effet :

a) supposons d'abord que T_1 et T_2 soient saturés l'un et l'autre. Les potentiels en Q et en \bar{Q} seraient alors égaux à B (0,2 v) et : T_1 et T_2 seraient alors bloqués, ce qui serait alors en contradiction avec l'hypothèse.

b) supposons que T_1 et T_2 soient tous les deux bloqués. Les potentiels en Q et \bar{Q} seraient alors égaux à H (3 à 5 v) : T_1 et T_2 seraient alors saturés, ce qui serait contraire avec l'hypothèse.

c) si T_1 et T_2 bloqué ou vis versa, la situation est stable On en déduit donc que les signaux sur les bornes de sortie Q et \bar{Q} , délivrés sur les collecteurs, sont toujours complémentaires l'un de l'autre lorsque les entrées R et S sont soit déconnectées soit bloquées l'une et l'autre (par l'application du niveau H pour le circuit DTL, du niveau B pour le circuit DCTL/RTL.)

Circuit DTL
(Fig 4. b)



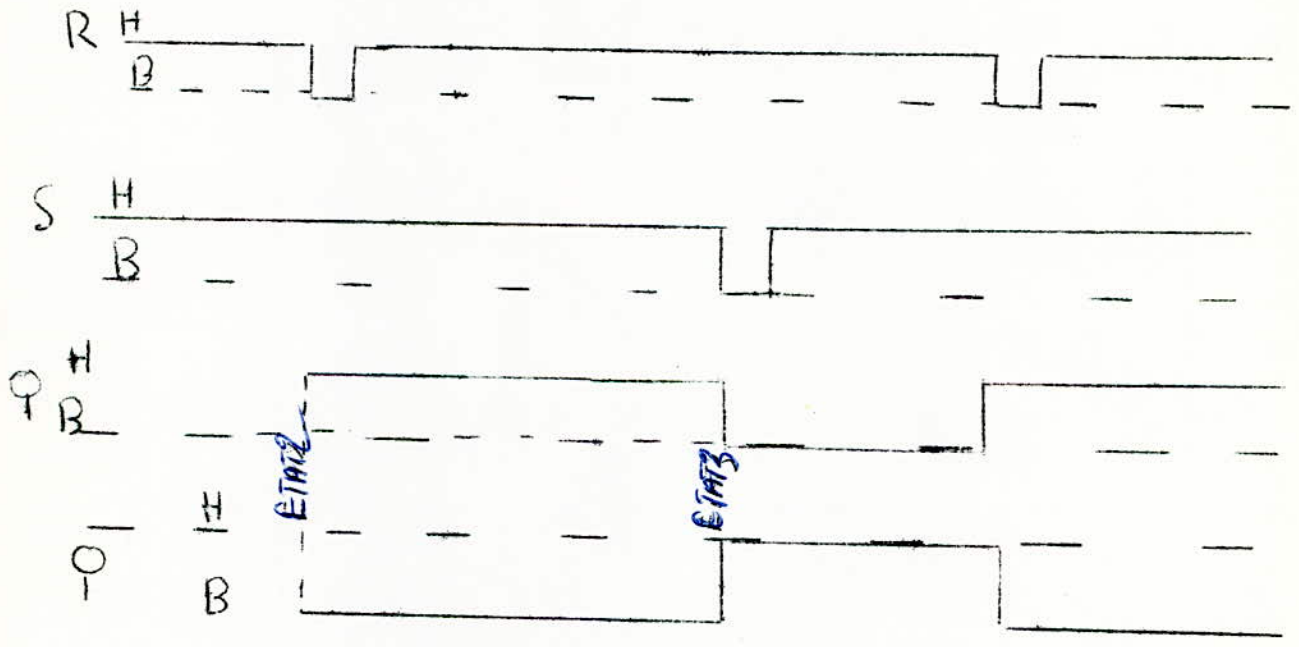
2 portes NAND

2) En présence de signaux appliqués aux entrées :

La " table de vérité " suivante décrit l'état des sorties :

N° d'états		R	S	Q	\bar{Q}	
①	DTL	H	H			
	DCTL/RTL	B	B			
②	DTL et DCTL	B	H	H	B	
③	DTL et DCTL	H	B	B	H	
④	DTL	B	B	H	H	Sorties non complémentaires
	RTL/DCTL	H	H	B	B	

Le système constitue une mémoire en ce sens qu'un retour de l'un des états (2) ou (3) vers l'état (1), considéré comme état de repos, le système conserve mémoire, comme le montrent les diagrammes niveaux/temps relatifs à la bascule DTL ci-dessous :

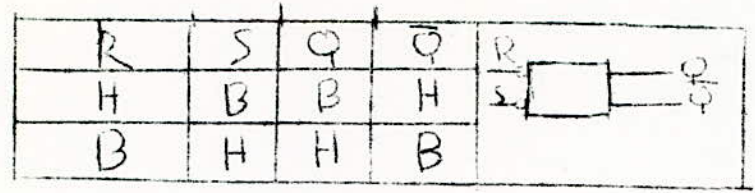


BASCULE E - RS constituée par

2 portes DTL

b) Représentation et état d'une bascule simple :

La représentation symbolique d'une bascule simple sera comme ci-dessous :



On dit qu'une bascule est à l'état actif (état 1) quand $Q = 1$ et $\bar{Q} = 0$, et à l'état inactif (état 0) quand $Q = 0$ et $\bar{Q} = 1$

c) Bascule synchronisable - définition :

Les bascules synchronisables offrent des possibilités supplémentaires. Elles comportent en général des entrées R_T et S_T ou J_T et K_T sur lesquelles on applique les deux signaux d'entrée. Mais ces signaux d'entrée ne provoquent pas directement le changement d'état des signaux de sortie en Q et \bar{Q} . L'instruction est seulement programmée au moyen de signaux appliqués aux entrées R_T S_T , J_T et K_T , tandis que l'ordre final d'exécution du changement d'état est donné par un autre signal, " l'horloge " T dont la nature sera définie plus bas. L'indice T , que l'on écrit au bas des lettres des entrées évoque cette propriété. Enfin les entrées R_D et S_D permettent, en leur appliquant des signaux en états complémentaires, de " forcer " l'état de la bascule dans une position choisie, indépendamment des niveaux appliqués sur les autres entrées. L'indice D évoque l'action directe des signaux appliqués sur les autres entrées. Cette action s'appelle le " forçage ".

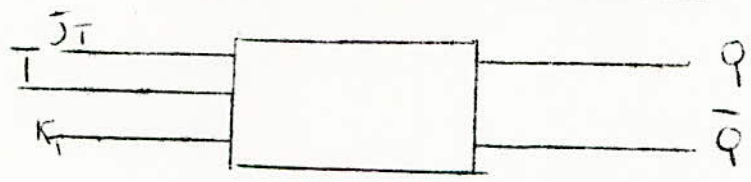
Pour une classification des différents types de bascules, nous nous attacherons à deux aspects essentiels :

- 1) leur aspect purement logique
- 2) leur mode de synchronisation

- Logique des bascules synchronisables :

1) Bascules R_T S_T et J_T K_T

Nous avons la figure ci-dessous :



R_T (ou J_T) S_T (ou K_T) sur lesquelles on applique les niveaux logiques qui définissent l'état futur de la bascule.

T sur laquelle on applique le signal de synchronisation qui donne l'ordre ultime du basculement

Q, \bar{Q} ce sont les deux bornes de sortie des niveaux logiques les niveaux obtenus sur chaque borne sont toujours complémentaires l'un de l'autre

R_D, S_D ce sont les bornes de "forçage", qui imposent instantanément et indépendamment de T l'état de la bascule.

La notion de circuit séquentiel, constitué par une bascule évoque que l'on fasse maintenant une distinction dans le temps entre

- l'état avant l'application de l'ordre ultime de basculement
- l'état après l'exécution de cet ordre

On affecte le premier de l'indice t_n et le deuxième de l'indice t_{n+1} .

Nous avons le tableau suivant où les bornes d'entrée sont désignées d'une manière générale par X_T et Y_T .

	X_{Tn}	Y_{Tn}	Q_{Tn+1}	\bar{Q}_{Tn+1}
1) Bascules $R_T S_T$	1	1	Etat indéterminé	
	1	0	1	0
	0	1	0	1
	0	0	Q_{Tn}	\bar{Q}_{Tn}
2) Bascules $\bar{J}_T K_T$	1	1	\bar{Q}_{Tn}	Q_{Tn}
	1	0	1	0
	0	1	0	1
	0	0	Q_{Tn}	\bar{Q}_{Tn}

La bascule $R_T S_T$ comporte une indétermination comme nous l'avons déjà vu dans le premier chapitre. Elle est levée par la bascule $J_T K_T$. Grâce à cette absence d'indétermination, la bascule $J_T K_T$ peut par exemple, être utilisée comme un diviseur par Deux. On peut pour cela imposer en permanence $X = 1$ et $Y = 1$. La table de vérités précédente montre que dans ce cas ~~le manque~~ de synchronisation est divisé par 2.

la fréquence

- Mode de synchronisation des bascules :

Nous distinguons deux possibilités de synchronisation :

1) bascule synchronisée par un des fronts ascendant ou descendant du signal d'horloge, ce qui exige pour ces fronts une raideur $\frac{dV}{dt}$ suffisante. (supérieure à 0,5 volt/ 20 Ns par exemple) voir fig 4.1.

2) bascule à niveau : synchronisée au moment où, le signal d'horloge s'abaissant, (à une vitesse alors quelconque) le niveau atteint un seuil. Dans ce type de bascules les raideurs des fronts du signal d'horloge ainsi que la forme de celui ci n'ont aucune importance. Le signal d'horloge doit seulement être compris entre certaines limites d'amplitude. Ces bascules sont généralement du type " maître-esclave ", dont le type sera étudié plus bas.

Bascule " maître esclave ". - Elle comportent seulement des combinaisons de bascules simples, et de portes, qui agissent sans la présence de circuits différentiateurs.

Ce sont des bascules " à niveau " dont la colonne de droite de la figure 4.2. donne la définition du seuil de basculement. Leur fonctionnement ne fait pas nécessairement appel à des fronts brefs d'horloge ; les variations du signal d'horloge peuvent être aussi lentes qu'on le voudra, à condition qu'on ne recherche pas une performance précise du basculement. Leur schéma de principe est donné par la figure 5.

Les circuits 3 et 4 constituent la bascule appelée " maître " tandis que 7 et 8 forment " l'esclave ". Les portes 5 et 6 autorisent le " maître " à imposer son état à " l'esclave " lorsqu'elles sont ouvertes.

Modes de synchronisation des bascules

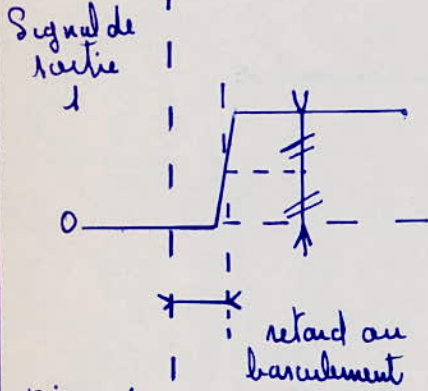
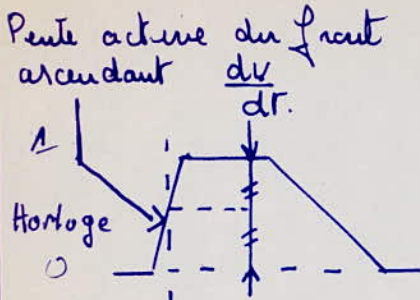


FIG. 4.1.

temps t_n \leftarrow t_{n+1}

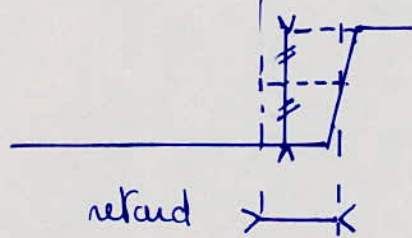
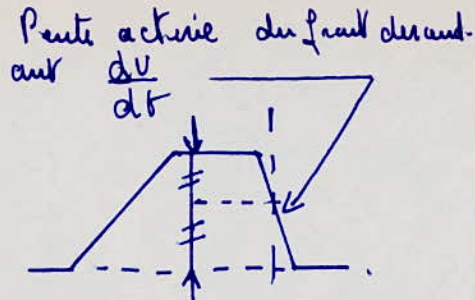


FIG. 4.2.

t_n \rightarrow t_{n+1}

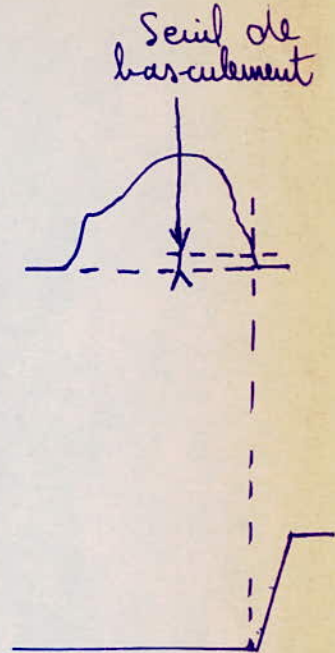


Fig. 4.3.

BASCULES à FRONTS	BASCULES à NIVEAUX
\bar{a} front ascendant	\bar{a} front descendant
TTL 7470	Ex: RTL DCTL JK Flip-Flop 26. Ex: TTL 7472

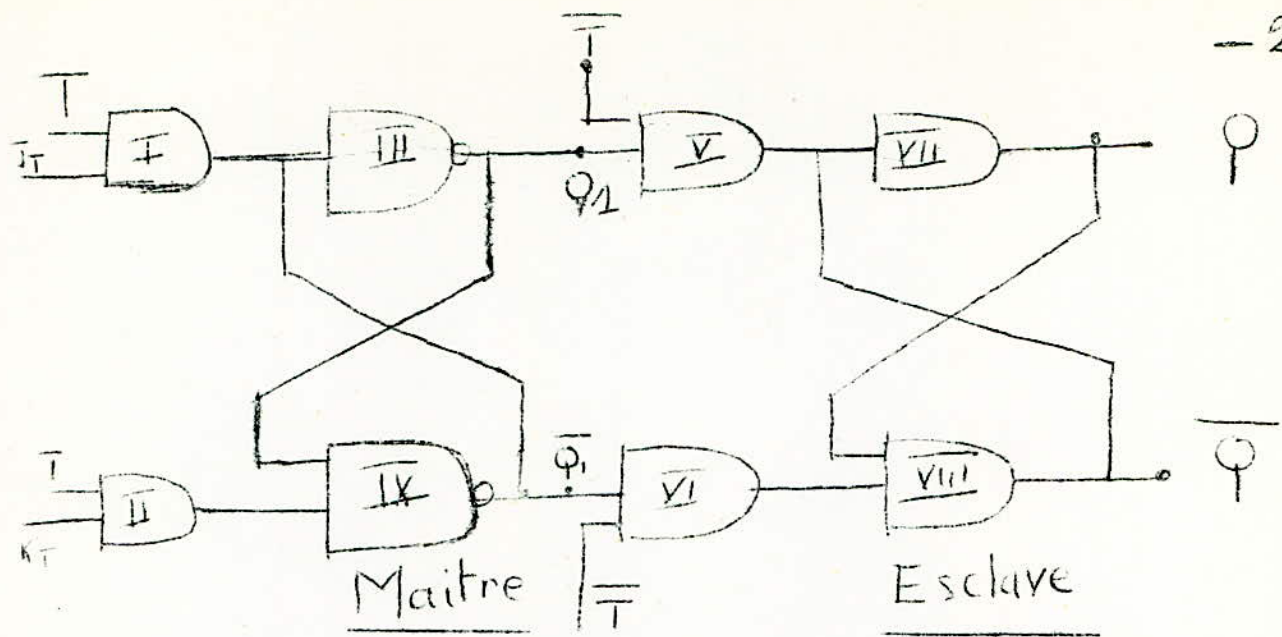


Fig. 5
 Schéma d'une bascule « Maître - esclave »

On dira qu'une porte est " ouverte " lorsque l'information qui se présente à son entrée est transmise à sa sortie. Lorsqu'elle n'assure pas cette transmission, la porte sera dite " fermée ".

Quant au " maître " il prend l'état imposé par les niveaux d'entrée J_T et K_T lorsque les portes 1 et 2 sont ouvertes.

On constate sur la figure 5 que :

- 1) pour $T = B$ - les portes V et VI sont " ouvertes " les sorties du " maître " imposent leur état à " l'esclave "
 - les portes I et II étant " fermées ", la bascule " maître " est verrouillée et ne perçoit donc pas les instructions données en J_T et K_T
- 2) pour $T = H$ - les portes V et VI sont " fermées " La bascule " esclave " est donc isolée du " maître ", elle demeure dans l'état préimposé par le maître lors de l'état précédent
 - les portes I et II étant " ouvertes " les entrées J_T et K_T imposent au " maître " son état.

On peut, en général décomposer la suite des opérations logiques internes au fur et à mesure de l'évolution du potentiel du signal T d'horloge nous aurons ainsi les diagrammes des temps indiqués par la figure 6.

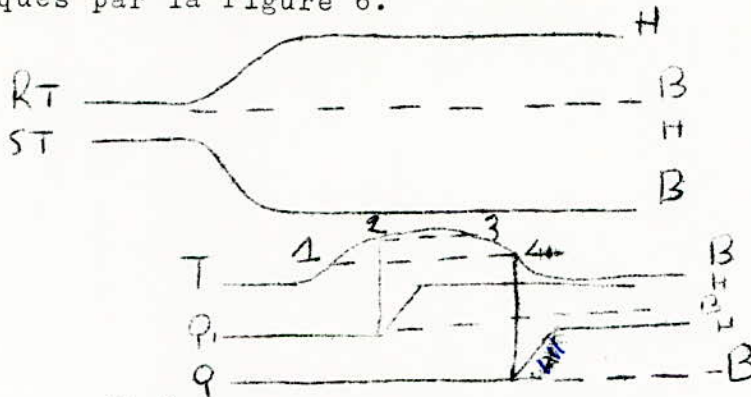


Fig 6

D'où successivement on a :

au cours de la phase de croissance de T :
potentiel T = H

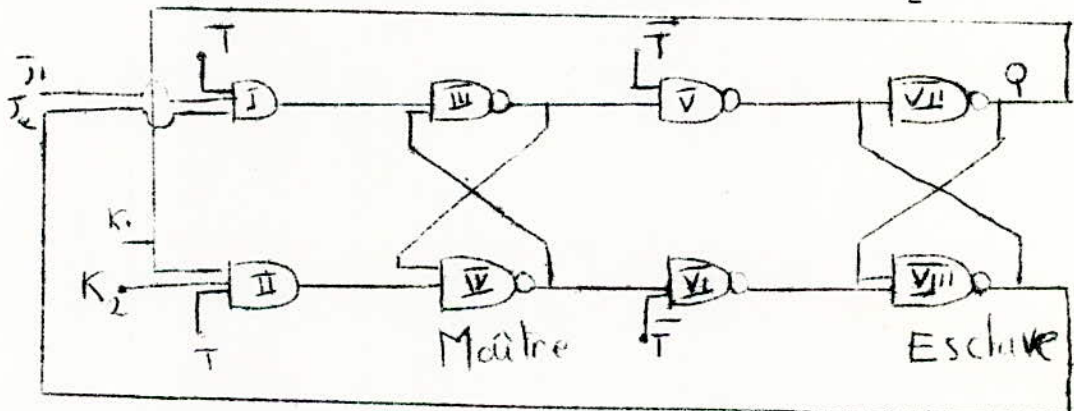
Potentiels 1 : " l'esclave " est isolé du maître
2 : " le maître " est déverrouillé et change éventuellement d'état suivant les instructions qui ont été "programmées" par les niveaux appliqués aux entrées J_T et K_T

au cours de la phase de décroissance de T :
potentiel T = B

3 : " le maître " est verrouillé
4 : la liaison "maître-esclave" est établie ; éventuellement, l'esclave bascule

Fonctionnement en mode J.K. d'une bascule "maître-esclave"

Pour avoir un fonctionnement en mode J.K. il suffit d'utiliser comme circuit d'entrées 2 portes ET à 3 entrées J_1, J_2, T d'une part, K_1, K_2 et T, d'autre part en reliant J_2 à \bar{Q} et K_2 à Q



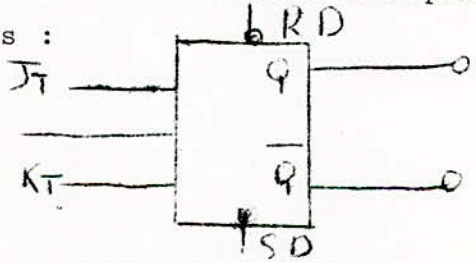
Remarque : Les bascules " maître-esclave " de la série T.T.L. Texas (circuit 7470, 7472, 7473) possèdent les liaisons internes nécessaires

Dans ces conditions de connexion entre les entrées et sorties, la " table de vérité " sera la suivante :

T	$J_T \bar{I}_n$	$\bar{Q}_n = J_2$	$J_T \bar{I}_T$	$K_T \bar{I}_n$	$\bar{Q}_n = K_2$	$K_T K_2 T$	Q_{n+1}	\bar{Q}_{n+1}
H	B	B	B	B	H	B	$Q_n = H$	$\bar{Q}_n = B$
H	B	B	B	B	H	B	$Q_n = H$	$\bar{Q}_n = B$
H	H	B	B	B	H	B	$Q_n = B$	$\bar{Q}_n = H$
H	H	H	B	B	H	B	$Q_n = B$	$\bar{Q}_n = H$
H	B	H	B	B	H	B	$Q_n = H$	$\bar{Q}_n = B$
H	H	H	B	B	H	B	$Q_n = H$	$\bar{Q}_n = B$
H	H	H	H	B	B	B	$Q_n = B$	$\bar{Q}_n = H$
H	H	H	H	H	B	B	$Q_n = B$	$\bar{Q}_n = H$
H	H	H	H	H	H	B	$Q_n = H$	$\bar{Q}_n = B$
H	H	H	H	H	H	H	$Q_n = H$	$\bar{Q}_n = B$
			Ce	q'ont	peut	resumer		
H	B			B			Q_n	\bar{Q}_n
H	B			H			B	H
H	H			B			H	B
H	H			H			\bar{Q}_n	Q_n

On voit que ce tableau est bien conforme à celui qui définit une fonction bascule en mode J.K.

Pour bien éclaircir les choses indiquons, les symboles des bascules synchronisables :



$K_T ; J_T, R_D, S_D$ sont directes lorsque nous aurons la "table de vérité " qui correspond à :

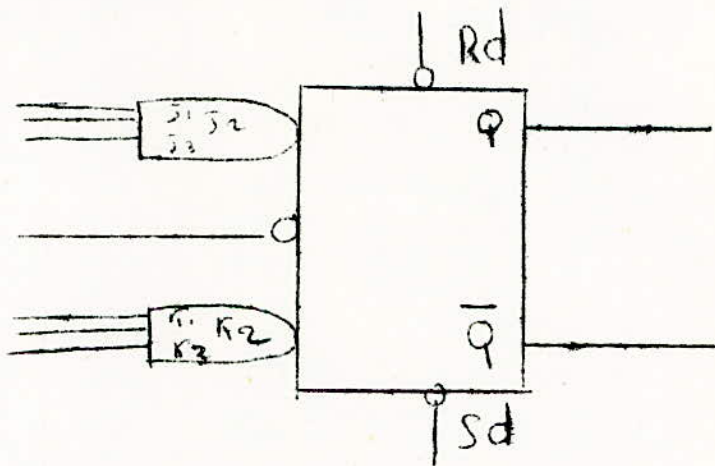
$$\left\{ \begin{array}{l} Q_{t+1} = H \\ \bar{Q}_{t+1} = B \end{array} \right. \text{ pour } \left\{ \begin{array}{l} J_{Tt} = H \\ K_{Tt} = B \end{array} \right. \text{ ou bien pour } \left\{ \begin{array}{l} R_D = H \\ S_D = B \end{array} \right.$$

Au contraire, les entrée J_T et K_T , ou R_D et S_D comportent un petit rond, symbole d'inversion, pour des "tables de vérités" conduisant à :

$$\left\{ \begin{array}{l} Q_{t_{n+1}} = H \\ \bar{Q}_{t_{n+1}} = B \end{array} \right. \quad \text{pour} \quad \left\{ \begin{array}{l} J_{T_{tn}} = B \\ K_{T_{tn}} = H \end{array} \right. \quad \text{ou bien pour} \quad \left\{ \begin{array}{l} R_D = B \\ S_D = H \end{array} \right.$$

En ce qui concerne l'entrée T d'horloge elle sera directe, ou bien comportera au contraire un petit cercle, symbole d'inversion selon que la synchronisation de la bascule se fait sur le front ascendant, ou bien sur le front descendant du signal d'horloge.

Exemple:



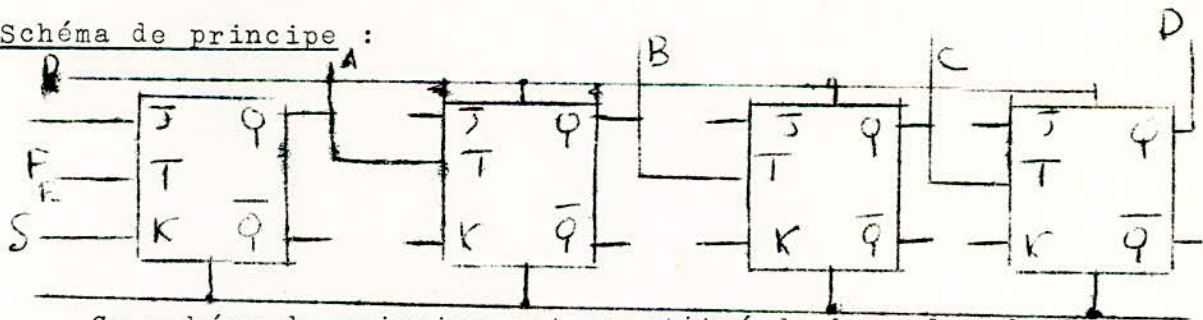
Bascule TTL N° SN7472

2.5. COMPTEURS D'IMPULSION :

Définition : un compteur est essentiellement constitué par des bascules interconnectées spécialement pour constituer un registre où les impulsions incidentes d'entrée se propagent pas à pas, suivant des lois propres au compteur considéré. A chaque instant l'ensemble des bascules qui constituent un compteur présente sur l'ensemble des bornes de sortie de ces bascules un ensemble d'états "1" ou "zéro" (ou chiffres 1 ou zéro 0) figuratifs d'un nombre codé N. Lorsque les impulsions se succèdent à l'entrée du compteur, N évolue et peut, à chaque instant représenter le nombre d'impulsions incidentes : le dispositif fonctionne bien alors en compteur. Lorsque N atteint la valeur maximale possible pour le compteur considéré, il convient de signaler ce fait par une impulsion de sortie du compteur. Celle-ci commande la progression du compteur suivant qui, éventuellement, compte les impulsions suivant un ordre, (décimal par exemple) supérieur. Mais cette même impulsion qui détecte N_{\max} , doit, en même temps provoquer la remise en son état initial du compteur, pour le préparer à compter à nouveau une suite limitée d'impulsions.

Principe des compteurs :

Schéma de principe :



Ce schéma de principe est constitué de bascules de type $J_T K_T$, auxquelles on impose en permanence $J_T = 1$ et $K_T = 1$.

Dans ces conditions comme nous l'avons vu (bascules $R_T S_T, J_T K_T$) ; chaque bascule effectue un cycle complet d'évolution pour deux impulsions successives appliquées sur la borne T.

Supposons maintenant qu'à l'instant initial, avant l'application des impulsions à compter, on ait imposé à chacune des bascules un état tel que $Q = 0$. Ceci est possible au moyen des circuits R, S de forçage des bascules. Imaginons maintenant que en F_E soient introduites les impulsions à compter. Ecrivons le tableau des états successifs des bascules qui ~~k~~ correspondent aux numéros successifs des impulsions introduites. En raison de la propriété rappelée plus haut des bascules $J_T K_T$ utilisées, la sortie A change d'état à chaque impulsion incidente, la sortie B change d'état après chaque "1" présent en A, c'est à dire lorsque deux impulsions incidentes ont été appliquées, la sortie C change d'état après chaque nouveau "1" apparu en B, c'est à dire lorsque quatre impulsions incidentes ont été appliquées, D change d'état toutes les 8 impulsions incidentes ; et si le compteur comportait d'autres bascules la $n^{ème}$ changerait d'état pour 2^n impulsions incidentes. Ainsi on dresse le tableau suivant :
 (voir tableau 2.5.1.)

N.B. On note particulièrement le retour du compteur à son état initial pour $n = 16$. Si la compteur possédait n bascules, celui ci compterait de zéro à $2^n - 1$; il reviendrait en l'état initial zéro après 2^n impulsions, prêt à effectuer un nouveau cycle de comptage.

Nous voyons d'après le tableau des états de sortie du compteur considéré que le numéro de l'impulsion écrit dans la colonne de gauche sous forme décimale est justement égal au nombre exprimé par l'ensemble des états présents sur les entrées A, B, C, D de la ligne N de cette table, suivant la formule :

$$N = A \cdot 2^0 + B \cdot 2^1 + C \cdot 2^2 + D \cdot 2^3$$

Dans cette expression A, B, C, D sont les chiffres de valeur zéro ou un et $2^0, 2^1 \dots$ sont les " poids " d'ordre 0, 1... du nombre N exprimé sous forme binaire.

Tableau 2.5.1

Numeros d'impulsions	ETats de Sortie			
	A	B	C	D
N				
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1
0	0	0	0	0
⋮	⋮	⋮	⋮	⋮

■ En réalisant la fonction " ET " convenable entre les sorties A, B, C, D on peut obtenir à la sortie de cette " porte ET " un niveau haut H au moment où n impulsions ont été comptées (en logique positive) ainsi, si nous voulons par exemple détecter l'instant où 9 impulsions ont été introduites dans le compteur nous réaliserons à partir des sorties la fonction " ET " tel que :

$$A = 1, B = 0, C = 0, D = 1$$

c'est à dire que pour obtenir l'impulsion de sortie au moment de cette neuvième impulsion d'entrée, nous devons réaliser la fonction logique :

$$A \cdot \bar{B} \cdot \bar{C} \cdot D = 1 \quad N = 9$$

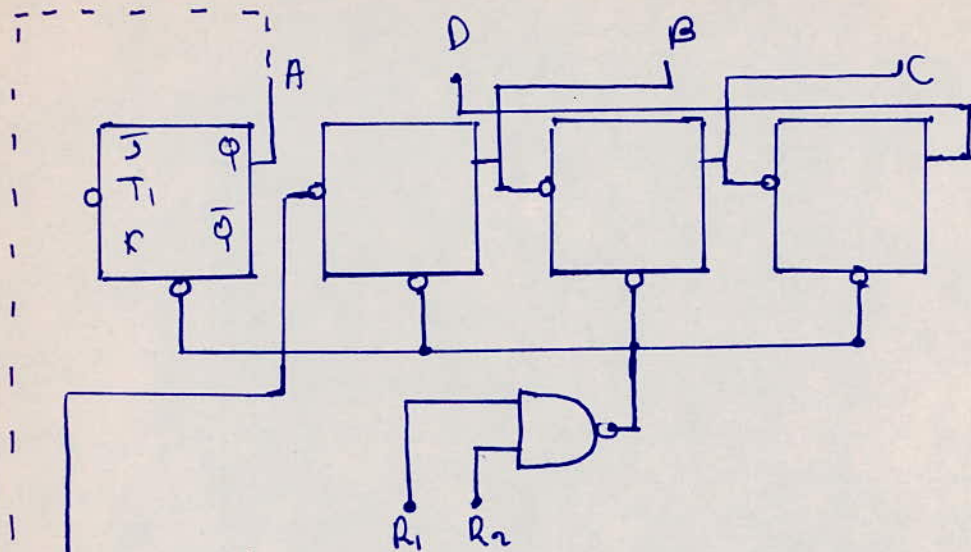
(voir figure 7).

Exemple de fonctionnement de compteurs binaires intégrés :

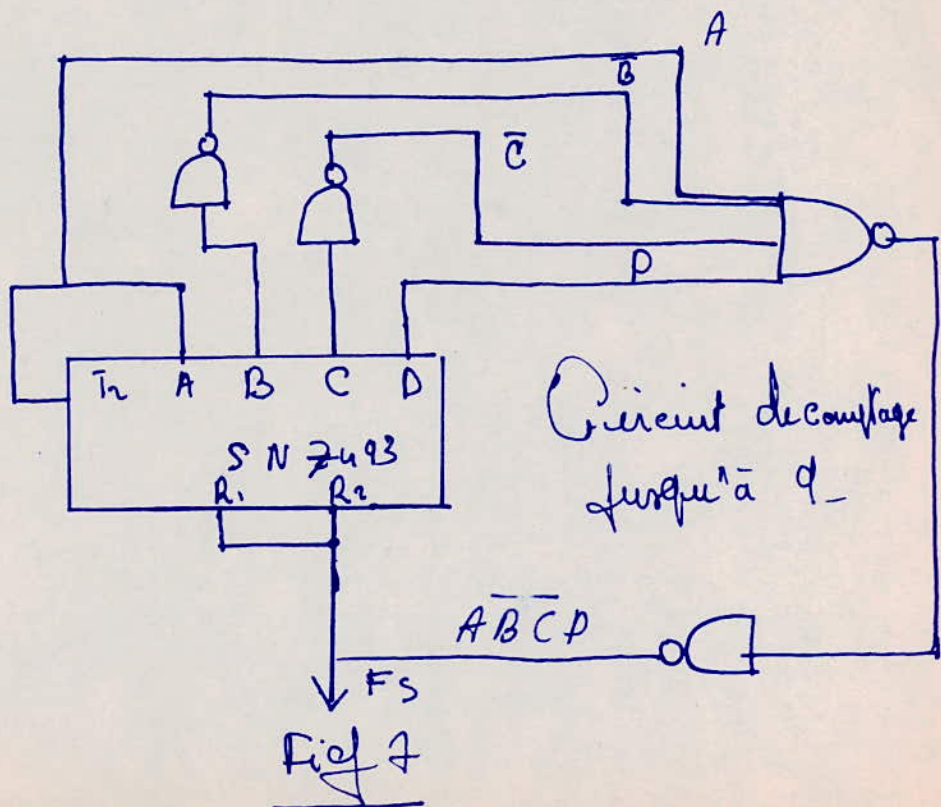
Supposons que nous voulions compter à partir de circuits intégrés, N impulsions ou bien que nous voulions diviser par N une fréquence incidente.

On applique la méthode suivante :

1) supposons le compteur initialement au zéro (toutes les bascules délivrant $Q = 0$). Comptons N impulsions d'entrée par le moyen de la " porte ET " qui vient d'être décrite, qui délivre une impulsion au moment où apparait la nième impulsion incidente. Provoquons, au moyen de cette impulsion, un retour au zéro du compteur, le cycle de comptage de N impulsions recommence. Si on applique à l'entrée des impulsions périodiques de commande à la fréquence F_E , on obtient en sortie de la " porte ET " des impulsions périodiques à la fréquence F_S telle que $F_S = \frac{F_E}{N}$, (voir circuit T.T.L. bascule " maître-esclave " type SN 7493 " et la figure 7).



Type SN 7493 <<4 bit binary counter>>



Fiel 7

Après avoir vu le principe des compteurs, examinons le cas du compteur binaire synchrone.

Compteur binaire synchrone:

Un compteur est dit synchrone (comme il a été déjà vu) lorsque toutes ses bascules mémoire possèdent une horloge commune. Supposons que, par l'application d'un potentiel convenable sur les bornes R_d, S_d , le compteur soit mis à zéro, c'est à dire qu'avant comptage on impose :

$$Q_1 = Q_2 = Q_3 = Q_4 = \dots = Q_n$$

En dressant la table de combinaisons, on voit que N_1 change d'état à chaque impulsion d'horloge, la bascule N_2 changera d'état à chaque impulsion venant après le basculement de N_1 , c'est à dire toutes les 2 impulsions, la bascule N_3 toutes les quatre impulsions et de façon, la bascule changera d'état toutes les 2^{n-1} impulsions.

Nombres d'impulsions	Etats de sorties			
	Q_1	Q_2	Q_3	Q_4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	0	1	0
4	0	1	0	1
5	1	0	1	0
6	0	1	0	1
7	1	0	1	0
8	0	1	0	1

POUR

Pour cette fonction définie par le tableau ci-dessus, le tableau vu sur les bascules J_T, K_T , montre qu'il faut appliquer des niveaux hauts sur chaque borne J_T, K_T toutes les deux impulsions, toutes les quatre impulsions sur les bornes J_{T_2}, K_{T_2} , enfin toutes les 2^{n-1} impulsions sur les bornes J_{T_n}, K_{T_n} .

Ainsi nous aurons le schéma du compteur binaire synchrone.

(voir fig.8)

Compteur binaire synchrone.

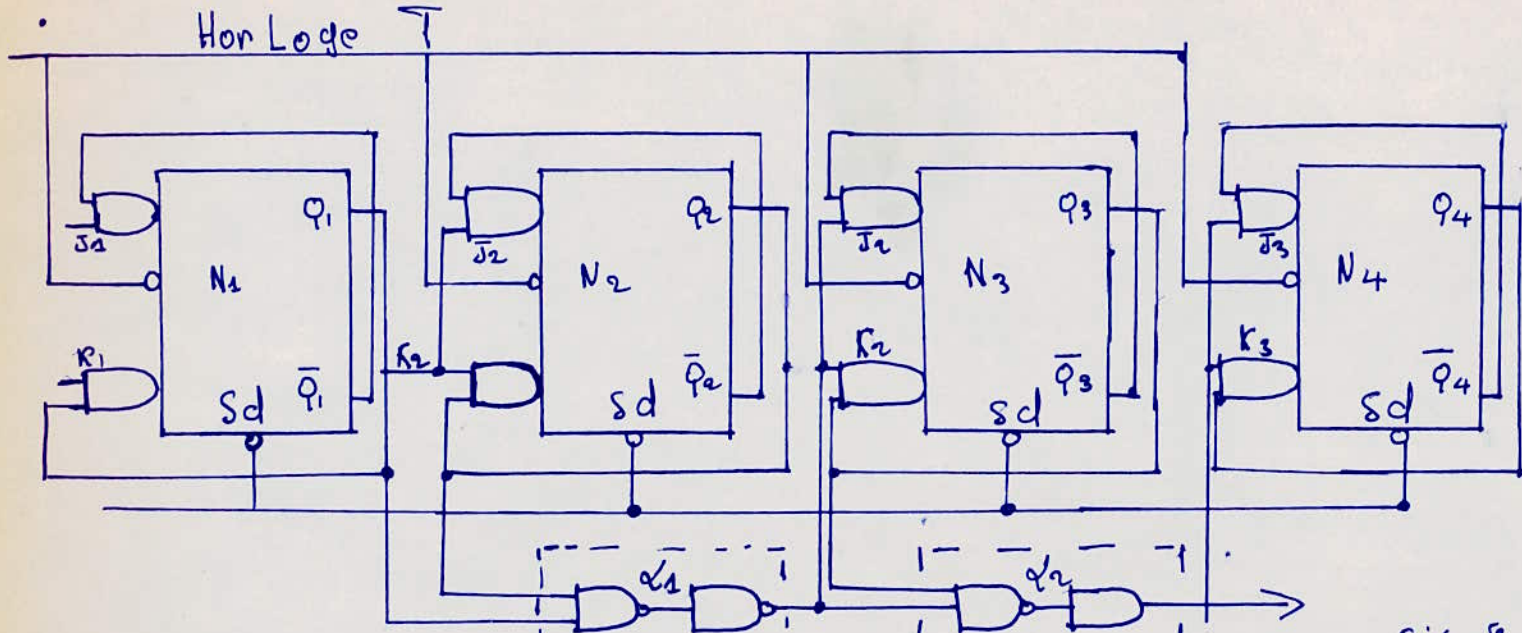


FIG. 8

α_1, α_2 permettent l'application de niveaux hauts sur les J et K au moment voulu pour chaque bascule -

Chapitre III

- Réalisation pratique du compteur binaire
synchronisé utilisant des bascules $\bar{S}-K$ -
- (Module 16) -

III Réalisation du compteur binaire synchrone utilisant des bascules J-K et comptant jusqu'à 15 -

Comme les bascules utilisées sont des SN7472 (C.L.I.TTL) nous dirons quelques mots sur les circuits TTL.

3.1 TTL circuit: (transistor transistor Logic)

Depuis 1963, la technique TTL a fait un essor considérable car elle offre pas mal d'avantages quand aux buts de la microélectronique - Cette technique TTL exploite les diodes des fonctions émettrices comme les diodes d'entrée et les diodes de la fonction collectrice comme la diode attaquant la base du transistor de sortie (Voir Fig. 3.1).

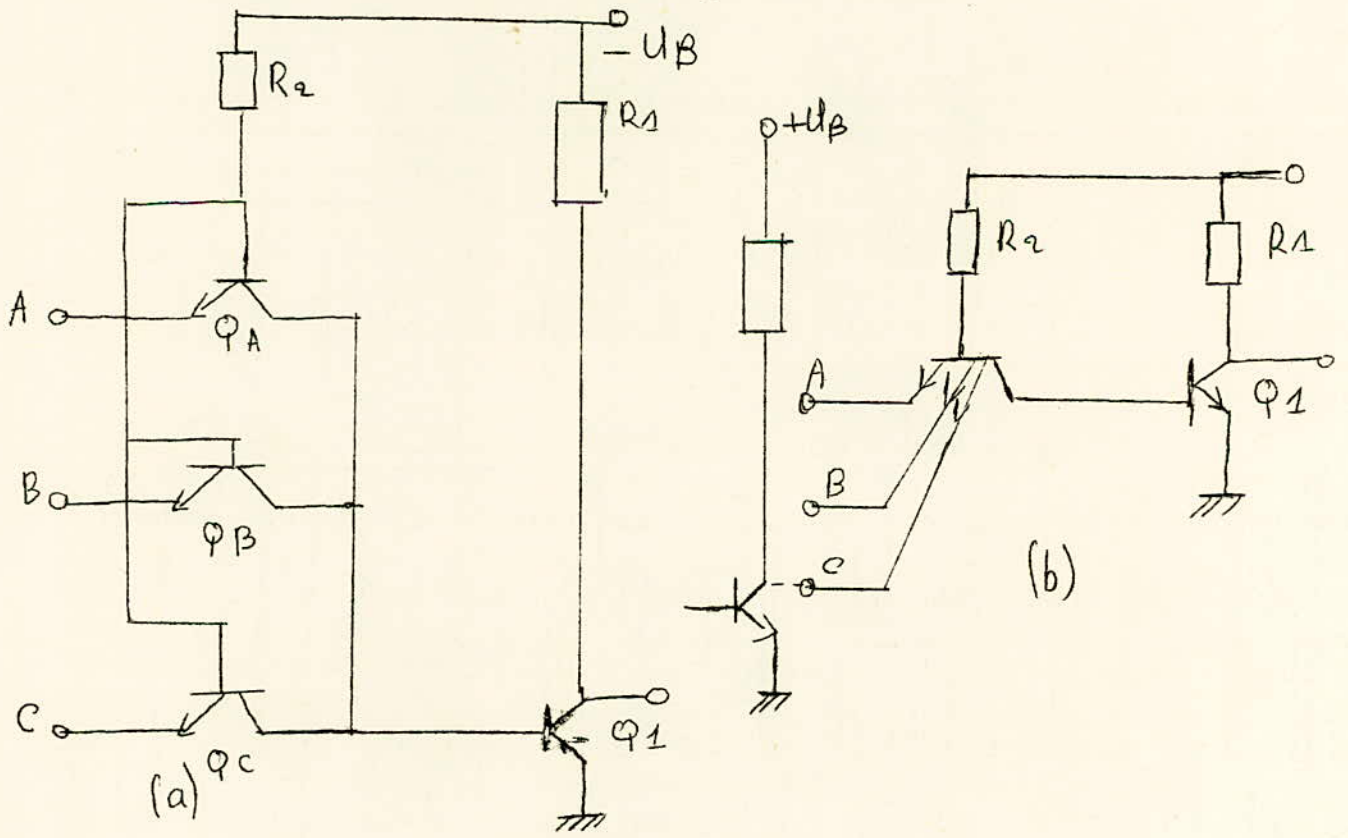


FIG. 3.1

La construction d'une porte TTL se simplifie d'une manière essentielle, si au lieu de plusieurs transistors on utilise un seul transistor à plusieurs émetteurs séparés, d'où on aura un transistor multi'émetteur -

Avantages:

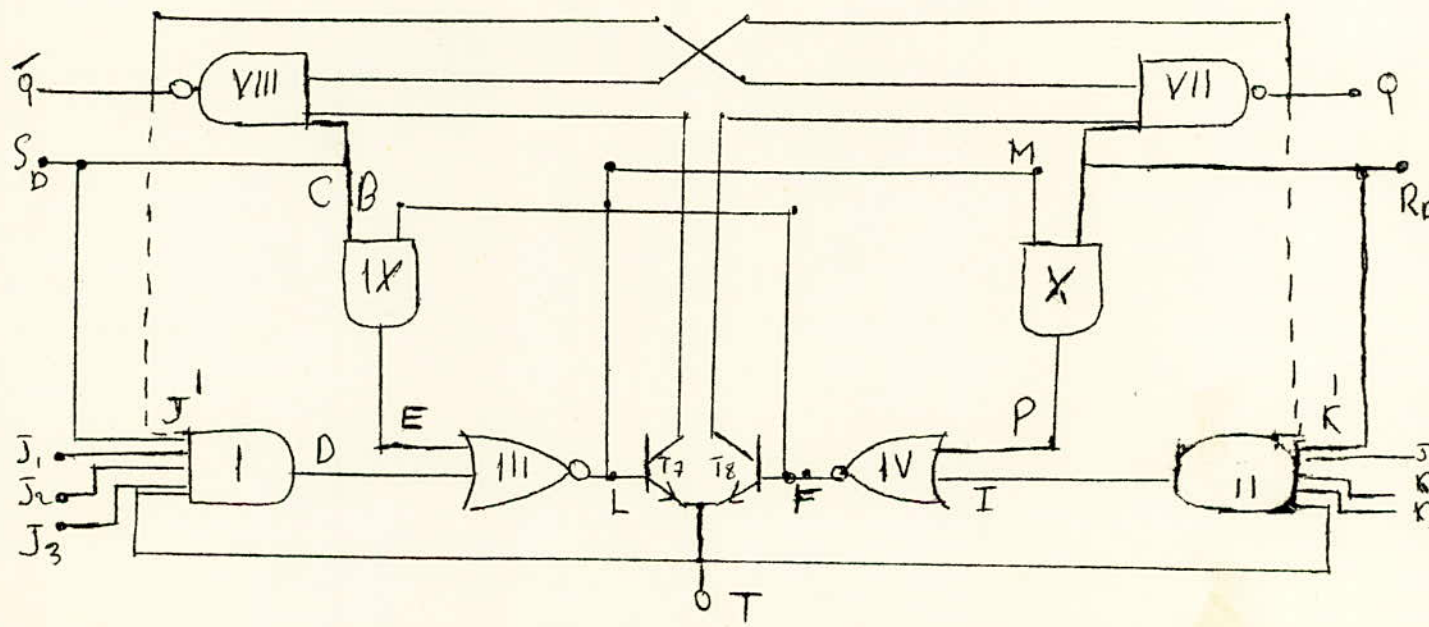
- simplification de construction par rapport à d'autres circuits (LLL par exemple) -
- absence de résistance de base (donc de la capacité parasite), ce qui augmente la vitesse de commutation -
- une seule tension d'alimentation -

Inconvénients:

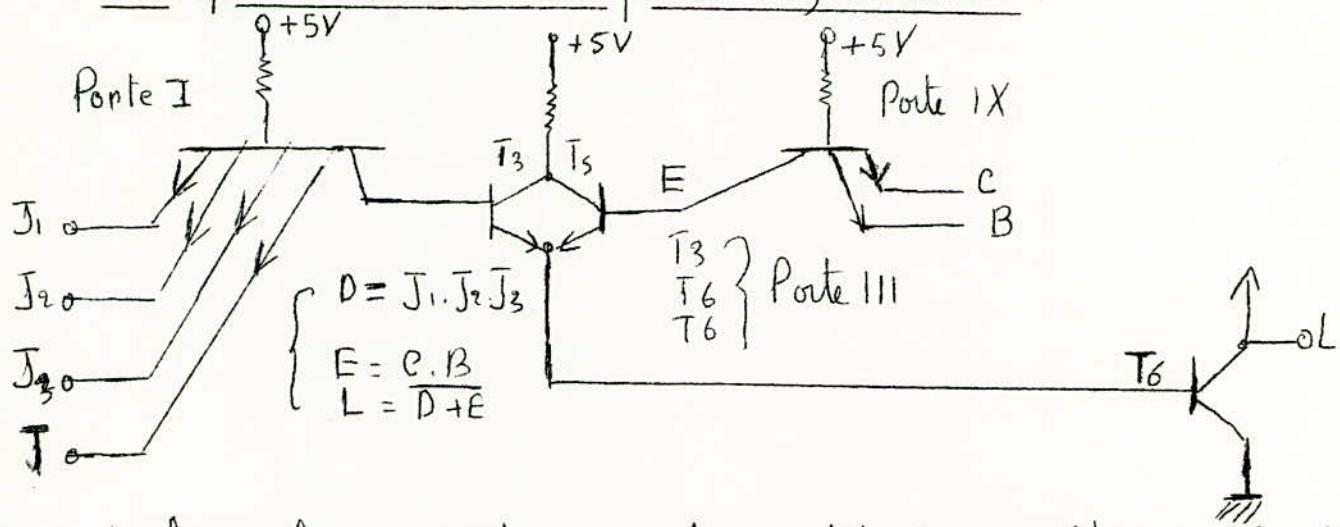
- l'amplification donne naissance à l'effet "current robbing", ce qui limite la valeur à l'entrée -
- risque de bruit

Bas-cule "maître - esclave" TTL Type 5472 / 7472:

Description:



Principe d'ensemble des portes : I, III et IX :



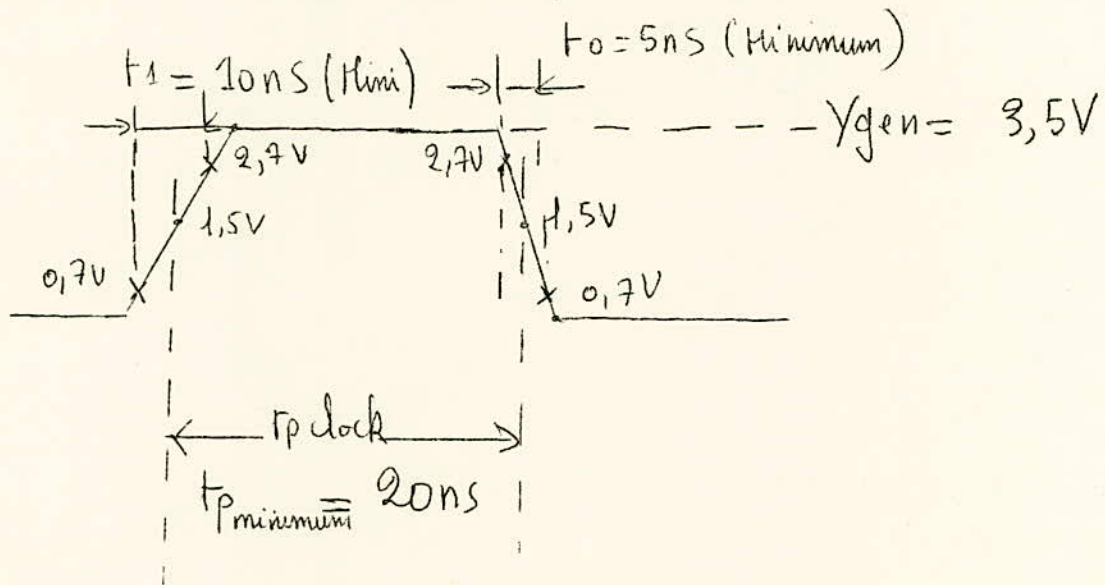
la bascule « maître » est constitué par l'ensemble des portes III, IX et IV, X. les liaisons telles que FBE, et LHP, assurent le bouclage entre ces portes d'inversion III et IV.

les portes VIII et VIII forment la bascule « esclave » - les transistors T7 et T8 n'autorisent la connexion de « l'esclave » au « maître » que si le signal de synchronisation T est bas (T haut bloque T7 et T8 à cause de leurs potentiels d'émetteurs qui s'élèvent par apport à leurs bases) Mais on voit aussi que les portes d'entrées des données I et II ne pourront s'ouvrir que si T est haut -

On a représenté en pointillés les liaisons internes \bar{q} , J et q, K', qui imposent à ce circuit « maître-esclave » un fonctionnement en « mode $\bar{J}_T K_T$ » - le circuit de « forçage » commandé en R_D et en S_D est représenté en traits forts. On voit qu'il agit simultanément sur les bascules « maîtres » et « esclaves » quels que soient les niveaux appliqués en T -

-36-

Les SN 7442 basculent par une certaine impulsion de rythme dont les caractéristiques sont les suivantes =



La forme de l'impulsion importe peu, ce sont ces niveaux qui comptent. Cependant il faut un temps t_p au minimum égal à 20ns afin que les bascules SN 7442 aient le temps de basculer. Maintenant nous allons étudier le montage capable de fournir l'impulsion et qu'on appelle circuit de commande (ou horloge)

3.2 - Circuit de commande : Horloge -

3.2.1 - Organisation Synchronisme.

3.2.1.1 - Description :

Dans ce type de commande, il existe un organe, dit horloge, qui a souvent une structure très simple. On y trouve un oscillateur et un étage de mise en forme.

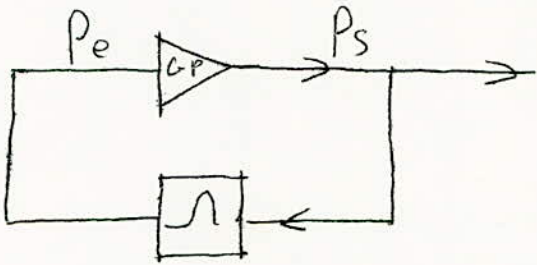
3.2.1.2 - Outils Technologiques

· (a) Oscillateur :

Un oscillateur n'est autre qu'un amplificateur dans lequel une partie de la puissance disponible en sortie est réinjectée à l'entrée.

Cependant la réinjection n'est autorisée qu'à une fréquence particulière - Si le gain en puissance active est supérieur au rapport : $\frac{\text{Puissance de sortie}}{\text{Puissance réinjectée}}$ Ce système est auto-entretenu.

On peut donner un schéma simplifié d'un oscillateur.

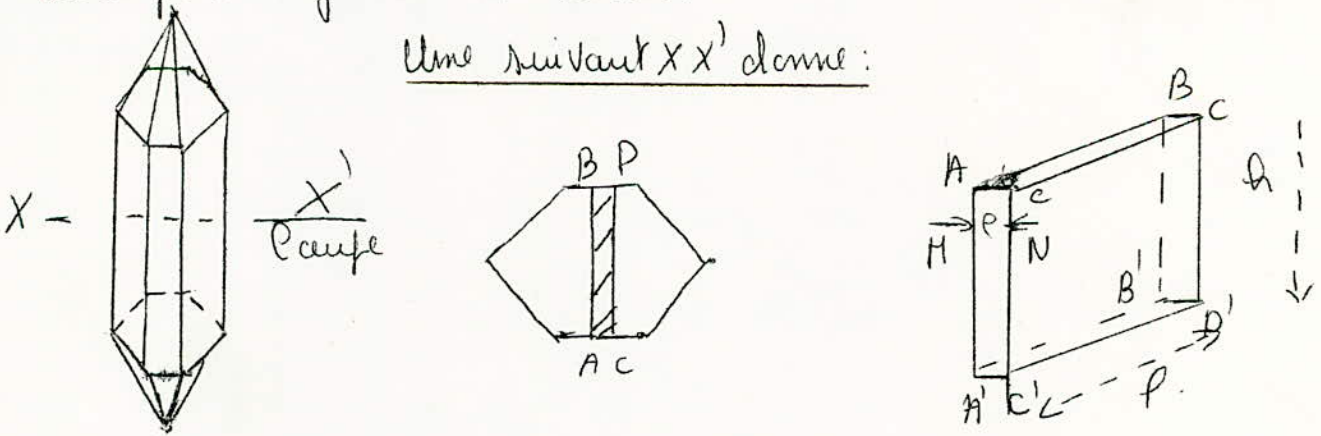


Cependant on utilise le plus souvent des oscillateurs à quartz pour stabiliser la fréquence d'oscillations.

Le quartz :

Un quartz est un cristal de roche pur qui cristallise suivant la coupe hexagonale ci-dessous -

Une coupe suivant XX' donne :



Si le quartz est placé dans un champ électrique $E \rightarrow$ suivant la polarité de ce dernier \rightarrow il se contracte ou se dilate suivant AA' . La variation relative de longueur du quartz est :

$\frac{\Delta P}{P} = K E \Rightarrow \Delta P = PK E$, cette variation de longueur est de l'ordre moléculaire ($\Delta L = 6,36 \mu$, pour $E = 300V$).

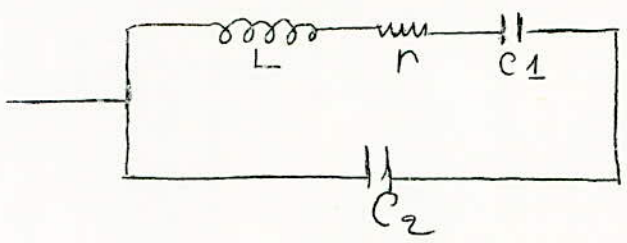
Le cristal vibre sur sa fondamentale suivant la fréquence F:

$$F = \frac{2450 \text{ KHz}}{e}$$

l'amortissement est 1000 fois plus petit que dans un bon circuit oscillant -

Circuit équivalent à un quartz

On démontre que le cristal de quartz oscillant est équivalent électriquement au schéma ci-dessous:

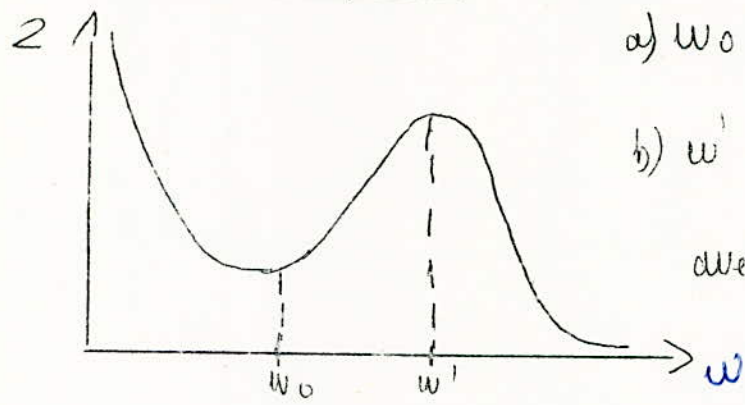


L: correspond à son inertie mécanique
C1 à son élasticité, r à sa viscosité -

C2: représente la capacité due aux électrodes qu'on applique.

entre et N

Courbe $Z = f(\omega)$:



a) $\omega_0 = \frac{1}{\sqrt{LC_1}}$: résonance série

b) $\omega' = \frac{1}{\sqrt{LC}}$: résonance parallèle

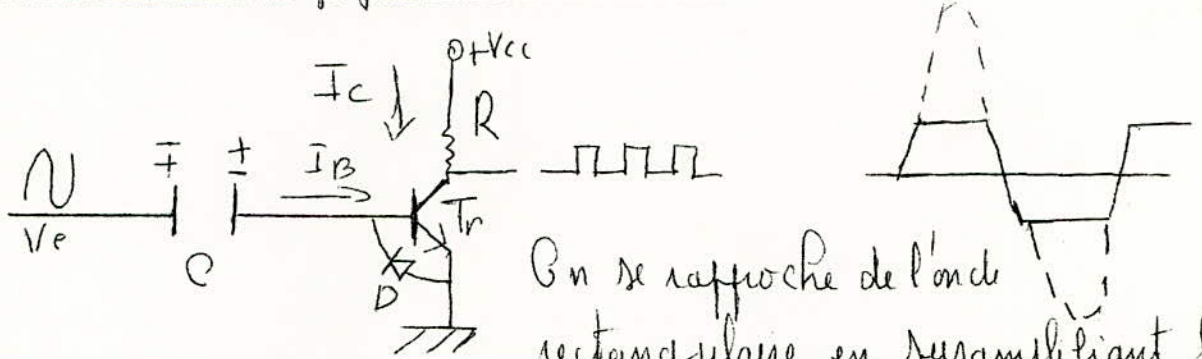
avec $C = \frac{C_1 C_2}{C_1 + C_2}$

C2 est une capacité légèrement variable, C1 est strictement fixe, donc il est beaucoup plus intéressant de faire travailler le quartz à la résonance série qu'à la résonance parallèle si on veut avoir une bonne stabilité de fréquence - En plus pour la résonance série le quartz se comporte comme un court-circuit et on peut réaliser un retour direct: sortie - entrée - On obtient sans aucune pé-

b) Etage de mise en forme:

Pour transformer la sinusoïde produite par l'oscillateur en signal carré, il suffit d'amplifier suffisamment la tension de manière qu'une petite fraction de l'amplitude de chaque alternance amène un transistor successivement au blocage et à la saturation.

Schéma de l'amplificateur - émetteur:



On se rapproche de l'onde rectangulaire en suramplifiant la -

sinusoïde et en écartant le produit amplifié -

Soit $V_e = V \sin \omega t$, $I_B = C \frac{dV}{dt} = CV\omega \cos \omega t$ (Pendant l'alternance positive)

Le transistor est saturé tant que $I_B > I_c$, $B_n = \text{gain en courant}$
ou: $I_B > \frac{I_c}{B_n} = \frac{V_{cc}}{B_n R}$, soit $CV\omega \cos \omega t > \frac{V_{cc}}{B_n R}$

$$\boxed{\cos \omega t > \frac{V_{cc}}{CV\omega B_n R}}$$

Donc le collecteur évolue de 0 à V_{cc} pour: $\alpha < \omega t < \frac{\pi}{2}$

avec $\alpha = \text{Arccos} \frac{V_{cc}}{CV\omega B_n R}$

Rôle de la diode D:

Au cours de l'alternance positive, C a acquis une certaine charge sous le courant I_B , charge dont le sens est donné sur la figure ci-dessus - Si D n'existait, cette charge ne serait pas évacuée et à l'alternance posi-

positive suivante on accumulerait encore des charges de même signe. Au bout d'un certain nombre d'alternances la capacité C se chargerait à la valeur crête V_e , et il ne serait plus possible de faire circuler du courant dans la base - D a donc pour rôle au cours des alternances négatives de décharger C .

3.2-2 : Réalisation pratique de l'horloge - of Oscillateur :

On utilise le montage suivant :

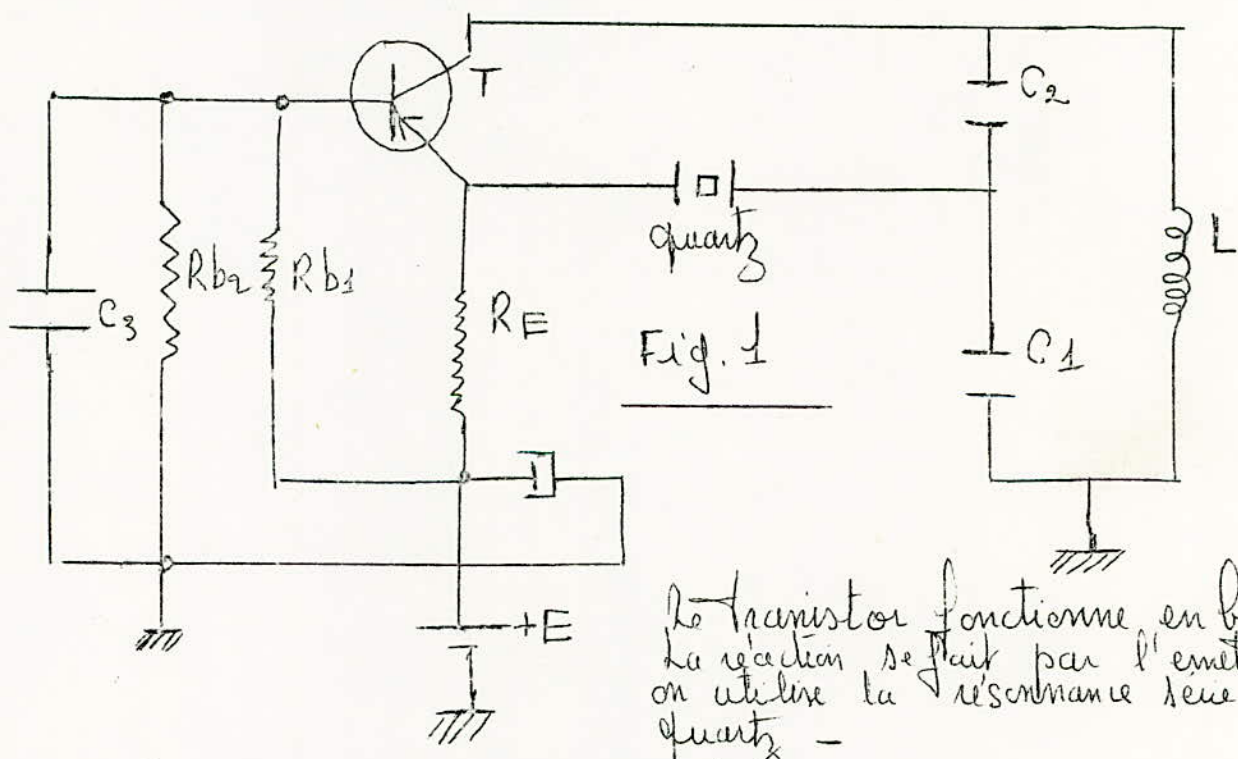


Fig. 1

Le transistor fonctionne en base-muse. La réaction se fait par l'émetteur, on utilise la résonance série du quartz -

R_{b1} , R_{b2} : pont de base

R_E : résistance d'émetteur

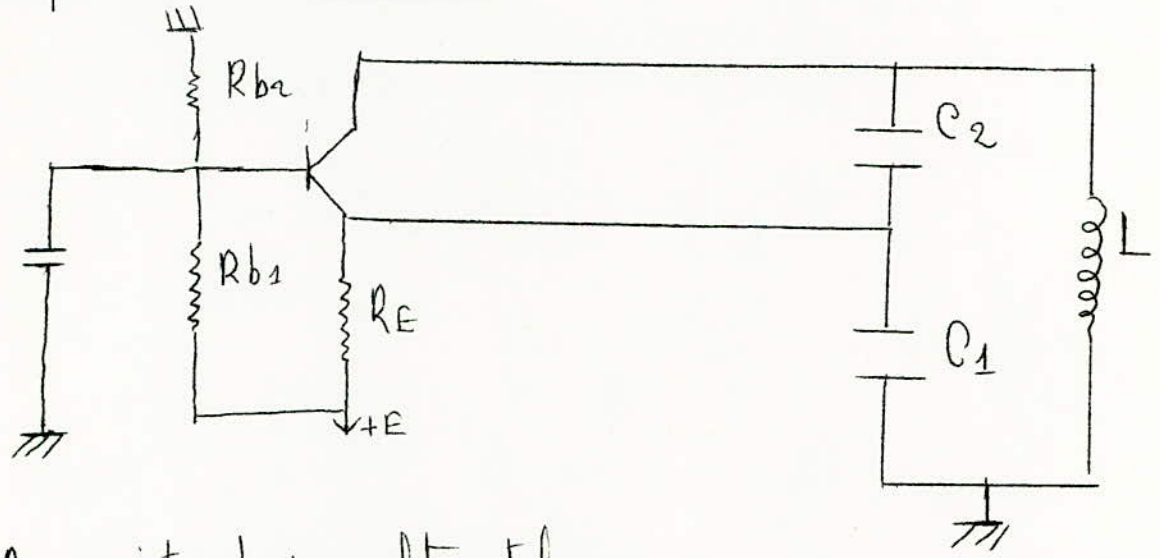
C_3 , C_4 : capacités d'arrêt du courant continu -

C_4 : utilisée pour découpler la tension au cas où on mettrait une pile laquelle avec le temps peut s'user et le point - peut ne plus être un point froid.

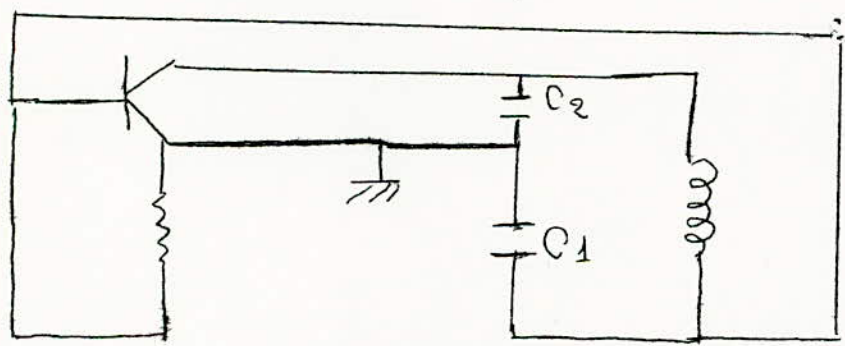
2) Condition d'oscillations et fréquence d'oscillations:

Schémas équivalents:

- Au point de vue continu

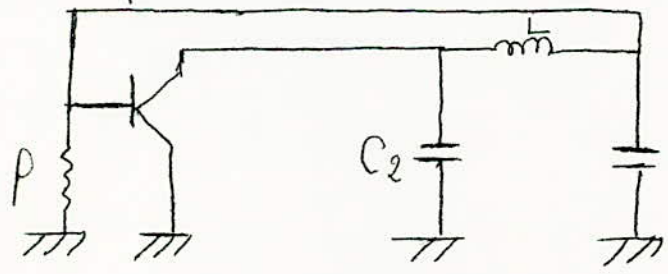


- Au point de vue alternatif



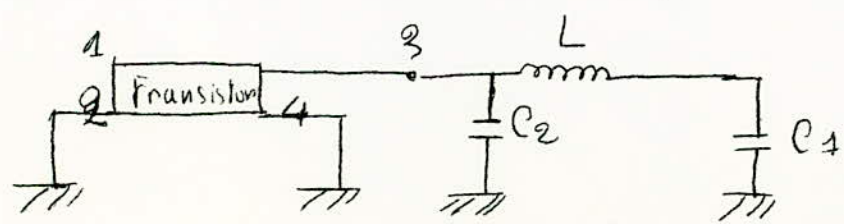
On a relié toutes les masses et on prend le point masse en A-

- Ceci donne finalement



Ceci est un montage classique d'oscillateur Colpitts -

ou

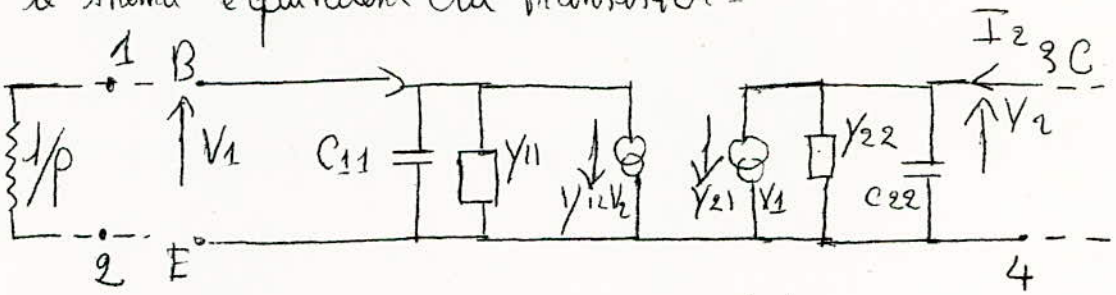


Pour le transistor on a :

$$\begin{pmatrix} I_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{pmatrix} \begin{pmatrix} V_1 \\ V_2 \end{pmatrix}$$

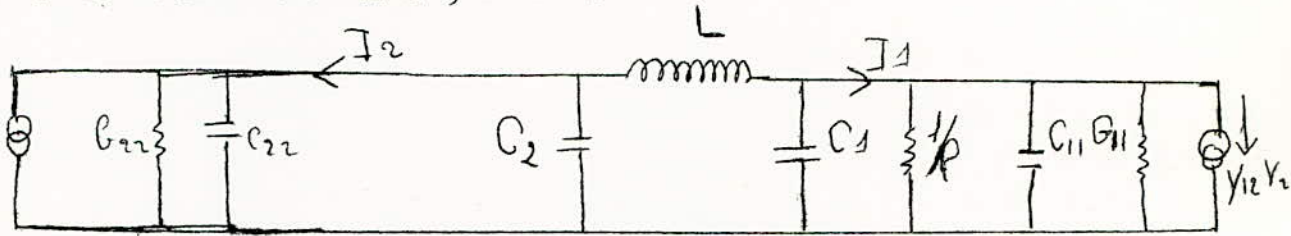
$$\begin{cases} I_1 = Y_{11} V_1 + Y_{12} V_2 \\ I_2 = Y_{21} V_1 + Y_{22} V_2 \end{cases}$$

d'où le schéma équivalent du transistor -



$$\rho = \frac{R_{b1} \cdot R_{b2}}{R_{b1} + R_{b2}} \quad C_{11} \text{ et } C_{22} : \text{capacités parasites en H.F.}$$

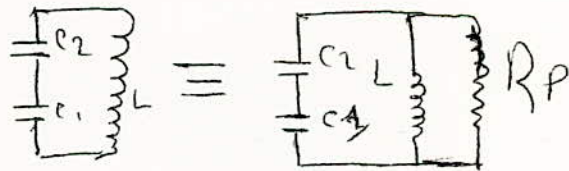
Avec le circuit oscillant, on obtient :



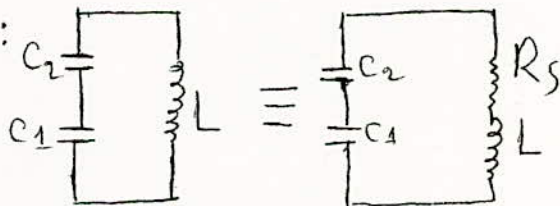
Pour le circuit oscillant nous avons le coefficient de surtension :

$$Q_0 = \frac{L\omega}{R_{serie}} = \frac{R_{parallele}}{L\omega} \implies R_p = \frac{L^2\omega^2}{R_s} = Q_0 L \omega$$

en HF, on considère :

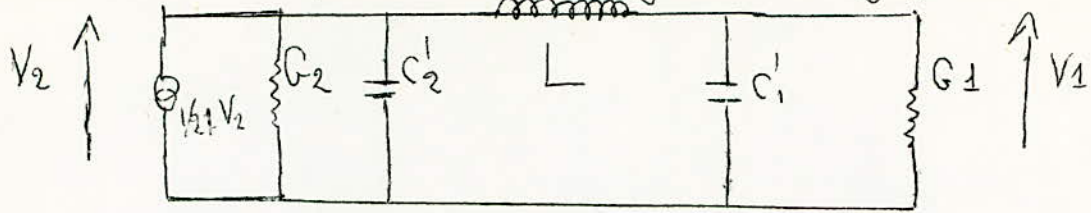


en BF, on considère :



$R_p = Q_0 L \omega$, Q_0 est assez grand, pour un bon circuit sélectif, en H.F ω est très grand, donc R_p tend vers l'infini et on ne la considère pas : $R_p \rightarrow \infty$, $Y_{12} \approx 0$ -

D'où le même équivalent en négligeant en négligeant $y_{12}V_2$ car $y_{12} \rightarrow 0$



Avec $G_2 = G_{22}$ $C'_2 = C_{22} + C_2$
 $G_1 = G_{11} + 1/p$ $G'_1 = G_{11} + G_1$

Maintenant nous allons essayer de trouver une relation où les V_1 et V_2 seront éliminés:

On a : $\begin{cases} y_{21}V_1 + G_2V_2 + jC'_2\omega V_2 + (G'_1 + jC'_1\omega)V_1 = 0 \\ V_1 + jL\omega(G_1V_1 + jC'_1\omega V_1) = V_2 \end{cases}$

Ces 2 équations nous donnent la fréquence d'oscillation et la condition d'oscillation.

On a : $y_{21} = -G_2[V_1 + jL\omega(G_1V_1 + jC'_1\omega V_1)] - jC'_2\omega[V_1 + jL\omega(G_1V_1 + jC'_1\omega V_1)] - G_1V_1 - jC'_1\omega V_1$

$y_{21} = -G_2 - jL\omega G_1G_2 + G_2C'_1L\omega^2 - j\omega C'_2 + jC'_2C'_1L\omega^3 - G_1 - jC'_1\omega$

D'où : $y_{21} = -G_2 + G_2 \frac{L C'_2 G_1 \omega^2}{C'_1 L \omega^2} + \frac{L C'_2 G_1 \omega^2}{L C'_2 G_1 \omega^2} - G_1$ Terme réel

$y_{21} = G_2(C_1L\omega^2 - 1) + G_1(LC'_2\omega^2 - 1)$

et : $-jL\omega G_1G_2 - j\omega C'_2 + jC'_2C'_1L\omega^3 - jC'_1\omega = 0$

donc : $\omega^2 = \frac{L G_1 G_2 + C'_1 + C'_2}{L C'_2 C'_1} = \frac{G_1 G_2}{C'_2 C'_1} + \frac{1}{L C_T}$

$G_1 \text{ et } G_2 \omega_0^2 = 1$

$\omega^2 = \omega_0^2 \left(\frac{G_1 G_2 - L C'_1 C'_2}{C'_1 C'_2 (C'_1 + C'_2)} + 1 \right) \Rightarrow \omega = \omega_0 \sqrt{\frac{G_1 G_2 L}{C'_1 + C'_2} + 1}$

En effet : $\omega_0^2 = \frac{1}{L C_T} = \frac{1}{L \frac{C'_1 C'_2}{C'_1 + C'_2}} = \frac{C'_1 + C'_2}{L C'_1 C'_2}$

ω est très voisin de ω_0
 f_0 : fréquence propre du circuit ; f : fréquence d'oscillation

Avec certaines approximations on a $f \approx f_0 \Rightarrow \boxed{f = \frac{1}{2\pi\sqrt{LC_T}}}$ -44

Condition d'oscillation:

$$y_{21} = G_2 \left[C_1 L \left(\frac{C_1' + C_2'}{L C_1' + C_2'} \right) - 1 \right] + G_1 \left[L C_2 \left(\frac{C_1' + C_2'}{L C_1' + C_2'} \right) - 1 \right]$$

d'où : $y_{21} = G_2 \frac{C_1}{C_2} + G_1 \frac{C_2}{C_1} = G_2 S + G_1 \frac{1}{S}$

De là on tire : $S = \frac{G_1}{G_2} = \frac{y_{21} \pm \sqrt{y_{21}^2 - 4 G_1 G_2}}{2 G_2}$

Généralement en valeurs numériques : $2 G_1 G_2 \ll y_{21}^2$

Donc $\boxed{y_{21} \approx G_2 \frac{C_1}{C_2}}$

Il y a donc une valeur minimale de y_{21} pour obtenir l'oscillation ; c'est une valeur optimiste (On n'a pas tenu compte des pertes dans les résistances).

Pour le montage, on emploie un transistor PNP Germanium VHF, le AF125 car on ~~emploie~~ ^{utilise} de quartz dont la fréquence d'oscillation est $F = 1,902 \text{ MHz}$ (le quartz le plus petit en fréquence existant dans le département) - En plus le AF125 est un bon amplificateur en VHF et ses valeurs limites sont dans une grande gamme ($-V_{CB_{max}} = 32V$; $-V_{EB} \approx 2 \text{ Volt}$; $-I_{CM} = 10 \text{ mA}$, $P_C = 60 \text{ mW}$; $F_r = 45 \text{ MHz} =$ fréquence au-delà de laquelle l'utilisation du transistor n'est plus à conseiller.) -

Pour la fréquence de $1,902 \text{ MHz}$, le AF125 donne les caractéristiques suivantes :

$$\begin{cases} G_2 = G_{2e} = 25 \text{ mho} \\ y_{2e} = 34 \text{ m.m.ho} \end{cases}$$

Si on prend $C_1 = 150 \text{ pF}$ et $C_2 = 150 \text{ pF}$, on vérifie que la condition d'oscillation est réalisée -

Donc on peut calculer la valeur de L :

$$f = \frac{1}{2\pi\sqrt{C_T}} \quad f = 1,902 \text{ MHz}$$

$$C_T = \frac{c'_1 \cdot c'_2}{c'_1 + c'_2} \quad \text{avec } c'_2 = C_{22} + C_2 ;$$

$$c'_1 = C_{11} + C_1 ;$$

le AF 125 donne :

$$\begin{cases} C_{22} = 3180 \text{ pF} \\ C_{11} = 35 \text{ pF} \end{cases} ; \begin{cases} C_2 = 150 \text{ pF} \\ C_1 = 15 \text{ pF} \end{cases}$$

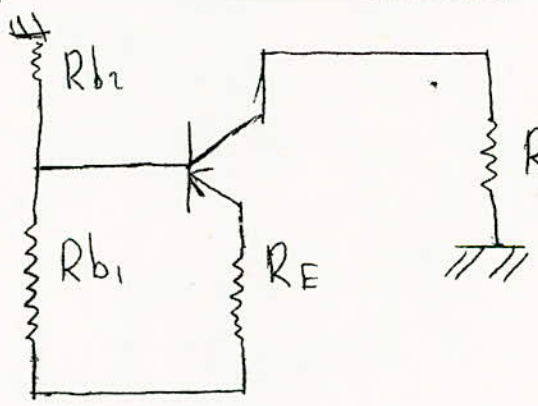
d'où :

$$\begin{cases} c'_2 = 3330 \text{ pF} \\ c'_1 = 50 \text{ pF} \end{cases} \Rightarrow \boxed{C_T = 145 \text{ pF}}$$

d'où $\boxed{L = 35 \text{ p p H}}$ On emploie un mandrin sur lequel on enroule 40 spires de fil (cuivre) - Un moyen réglable permet des modifications

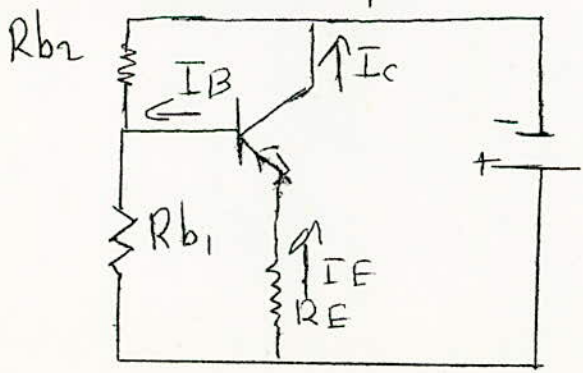
3) Calcul du pont de polarisation.

Au point de vue continue, on a : Tension de polarisation = 9V.

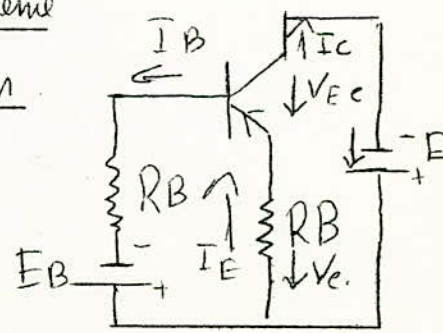


R_S : résistance très faible de la bobine -

ou le schéma classique :



Par le théorème de Thévenin



Avec : $R_B = \frac{R_{b1} \cdot R_{b2}}{R_{b1} + R_{b2}}$ et $E_B = \frac{E R_{b1}}{R_{b1} + R_{b2}}$ - 46 -

On choisit le point de fonctionnement suivant avec le AF125 :

($I_E = 1 \text{ mA}$; $I_B = 7 \mu\text{A}$; $I_C = 1 \text{ mA}$; $V_{EC} = 6 \text{ V}$, $V_{EB} = 0,2 \text{ V}$)

On a : $E = V_{EC} + R_E \cdot I_E \Rightarrow R_E = \frac{E - V_{EC}}{I_E} = 13 \text{ k}\Omega$

- Calcul de R_B : $R_E = 13 \text{ k}\Omega$

Le facteur de stabilité du point de fonctionnement en température est choisi à la valeur 5.

$S = \frac{R_E + R_B}{R_E + R_B(1 - \alpha)}$; $\alpha = \frac{\beta}{1 + \beta}$; $\beta = 150 = \frac{I_C}{I_B}$

d'où $R_B = 14 \text{ k}\Omega$

- Calcul de R_{b1} , R_{b2} :

Le courant I attaquant la base doit être indépendant du courant de base, d'où on prend $I = 10 I_B$ (règle du 1/10)

Donc $\frac{E}{10 I_B} = R_{b1} + R_{b2}$;

aussi nous avons : $E \cdot \frac{R_{b1}}{R_{b1} + R_{b2}} = R_E I_E + R_B I_B + V_{EB}$

Les deux relations nous donnent :

$R_{b1} = 22,6 \text{ k}\Omega$
$R_{b2} = 34,7 \text{ k}\Omega$

La capacité C_4 est fixée à la valeur $25 \mu\text{F}$ (condensateur chimique) et $C_3 = 6,8 \text{ mF}$.

Le montage constitué avec les valeurs ci-dessus donne un début d'oscillations qui sont très vite amorties -

Pour maintenir les oscillations, il est nécessaire de provoquer, à intervalles réguliers, des variations de courant de collecteur de phase convenable; ces variations sont engendrées par des modifications de la tension entre la base et l'émetteur du transistor.

Ceci est dû au fait suivant:

Lorsque le transistor est alimenté (9V), un courant collecteur parcourt le bobinage L; le circuit oscillant (L, C₁, C₂) est le siège d'un courant qui donne naissance à des oscillations de fréquence.
$$F_0 = \frac{1}{2\pi\sqrt{LC_T}}$$

On note point de fonctionnement donne I_c = 1mA, ce qui est insuffisant (expérimentalement) pour réaliser l'accrochage de l'oscillateur; donc on a intérêt à augmenter I_c, d'où le nouveau point de fonctionnement:

$$\begin{cases} I_c = 6,75 \text{ mA} & ; & I_B = 45 \mu\text{A} & ; & V_{EB} \approx 2 \text{ Volts} \\ I_E \approx 6,75 \text{ mA} & ; & V_{EC} = 6 \text{ Volts} & ; & \end{cases}$$

Suivant le même procédé de calcul, nous obtenons:

$R_E = 450 \Omega$	$R_{b1} = 2,2 \text{ k}\Omega$
$R_B = 1,94 \text{ k}\Omega$	$R_{b2} = 18 \text{ k}\Omega$

ce sont des valeurs normalisées.

Pour C₂ nous employons deux ajustables de 100 pF chacun, et C₁ = 222 pF (ceci par expérience).

Avec ces dernières valeurs, nous avons obtenu de bonnes oscillations (relevées à l'aide d'un oscilloscope) - 8V crête à crête - et de fréquence 1,9 MHz (mesurée avec un générateur HF par la méthode de Lissajous).

b) Etage de mise en forme -

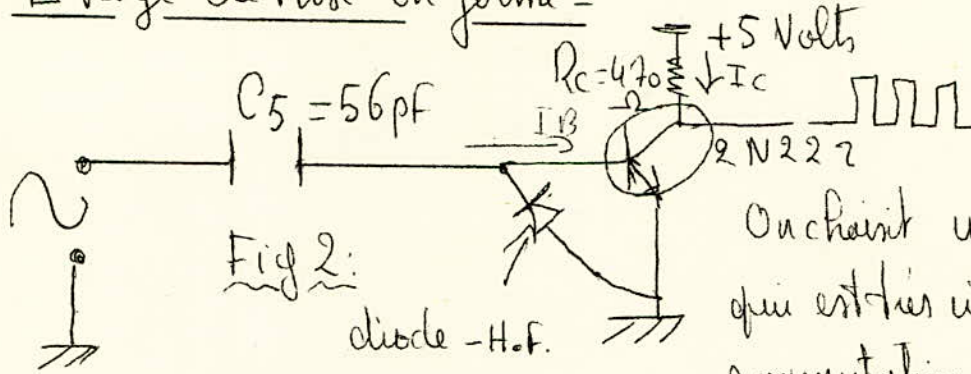


Fig 2:

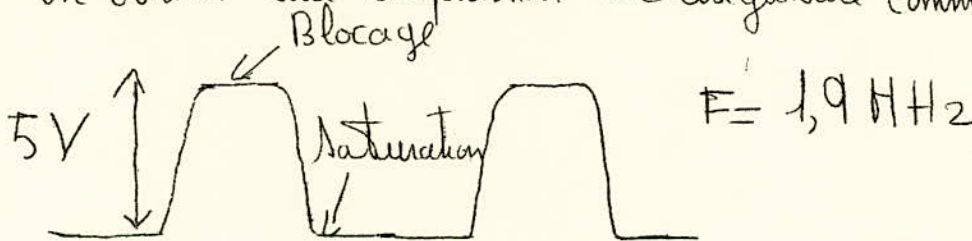
diode - H.F.

On choisit un NPN 2N2222 qui est très utilisée pour la commutation rapide -

Comme on emploie des bascules à niveaux, les temps de montée et de descente de l'impulsion donnée par ce montage nous importent peu, la valeur de C_5 a été déterminée expérimentalement - $R_c = 470 \Omega$ a été déterminé par un rapide calcul de polarisation -

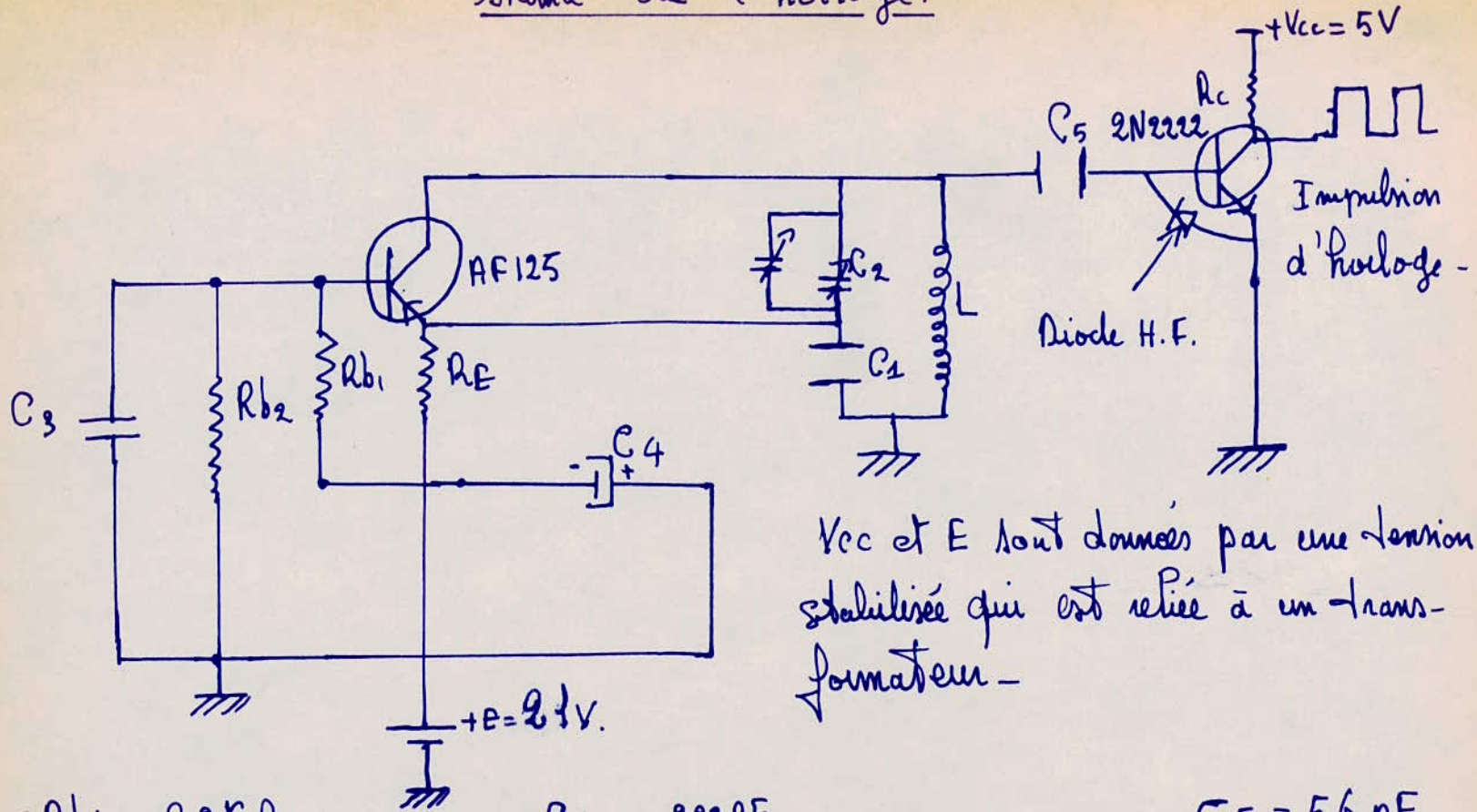
N.B : en couplant l'oscillateur avec le montage ci-dessus, on constate que l'oscillateur décroche à cause de la capacité d'entrée de l'étage de mise en forme (donc il fallait refaire l'accord qui est réalisé grâce aux deux ajustables de 100 pF remplaçant C_2 sur le montage de l'oscillateur) - Avec la tension oscillateur chute de beaucoup, pour cela on a augmenté la polarisation de ce dernier à $E \approx 2 \text{ V}$ en vérifiant qu'on est toujours dans les limites de tensions permises pour V_{ce} et V_{be} -

Ainsi on obtient une impulsion rectangulaire comme suivant



Le transistor travaille au blocage et à la saturation -

Schema de l'horloge.



V_{cc} et E sont données par une tension stabilisée qui est reliée à un transformateur.

$$\left\{ \begin{array}{l} R_{b1} = 2,2 \text{ K}\Omega \\ R_{b2} = 18 \text{ K}\Omega \\ R_E = 450 \Omega \\ R_C = 470 \Omega \end{array} \right.$$

$$\left\{ \begin{array}{l} C_1 = 222 \text{ pF} \\ C_2 = 2 \text{ ajustables de } 100 \text{ pF chacun} \\ C_3 = 6,8 \text{ mF} \\ C_4 = 25 \text{ pF (condensateur chimique)} \end{array} \right.$$

$$C_5 = 56 \text{ pF.}$$

3-3: Réalisation pratique du compteur

Le schéma théorique est donné dans le schéma précédent.
On utilise 4 bascules J.K SN7472 et 2 portes NAND SN7400N Texas -

Les schémas des boîtiers sont donnés sur les pages suivantes ainsi que le schéma de câblage du compteur -
Le câblage a été réalisé sur une plaque de cuivre double face en utilisant la technique des circuits imprimés -
Nous obtenons avec ce compteur les résultats suivants:

1/ Oscillateur:

Tension de sortie $\approx 6V$ (r)

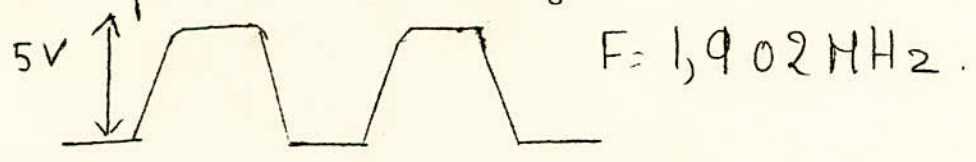
Fréquence d'oscillations $\approx 1,902$ MHz.

2/ Impulsion d'horloge.

amplitude de l'impulsion $\approx 5V$

Fréquence $\approx 1,902$ MHz.

On note que l'impulsion d'horloge est bien rectangulaire à de légères courbures au niveau 5V témoignant de l'effet des capacités parasites du montage -



3/ Compteur:

Basculé I

Impulsion rectangulaire d'amplitude $\approx 2,5V$ et de fréquence

$$F_1 \approx 1,902 / 2 = 0,95 \text{ MHz} = 950 \text{ KHz}.$$

Bascule n° 2:

Impulsion rectangulaire d'amplitude $\approx 2,5V$ et de fréquence $F_2 = 446\text{ KHz} \approx F/4$ (Hervuë par la méthode de dérivées)

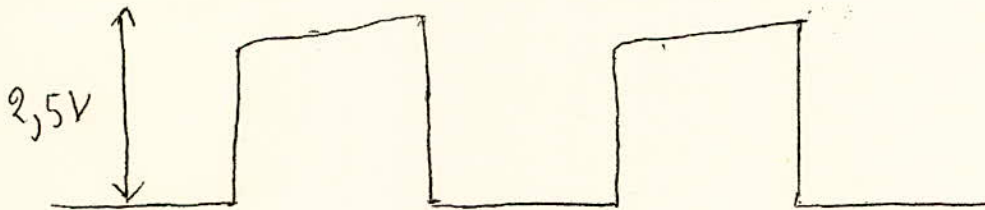
Bascule n° 3:

Impulsion rectangulaire d'amplitude $\approx 2,5V$ et de fréquence $F_3 = 0,23\text{ KHz} = 230\text{ KHz} \approx F/8$

Bascule n° 4

Impulsion rectangulaire d'amplitude $\approx 2,5V$ et de fréquence $F_4 = 110\text{ KHz} \approx F/16$.

Les 4 bascules donnent des impulsions de même forme dont l'allure est comme suivant =



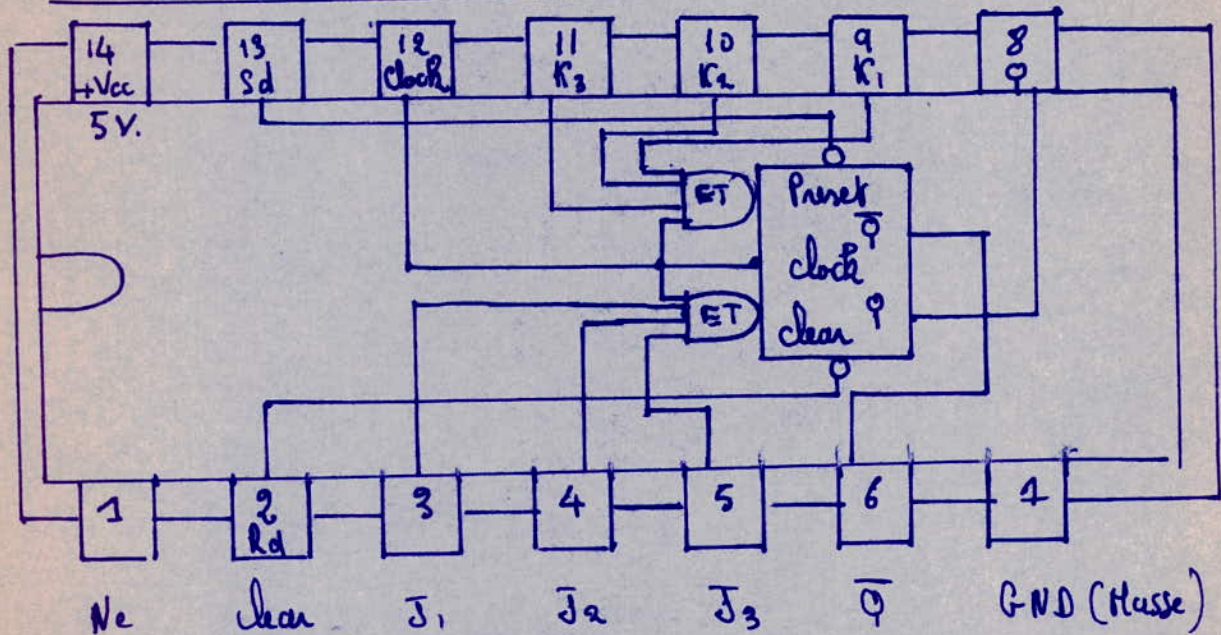
Les sautes sont l'effet des capacités parasites qui imposent une certaine constante de tension.

Ainsi nous avons réalisé un compteur binaire à 4 bascules: Bascule n° 1 de valeur 0, soit $2^0 = 1$; bascule n° 2 de valeur, soit 0, soit $2^1 = 2$; bascule n° 3 de valeur, soit 0, soit $2^2 = 4$; bascule n° 4 de valeur, soit 0, soit $2^3 = 8$.

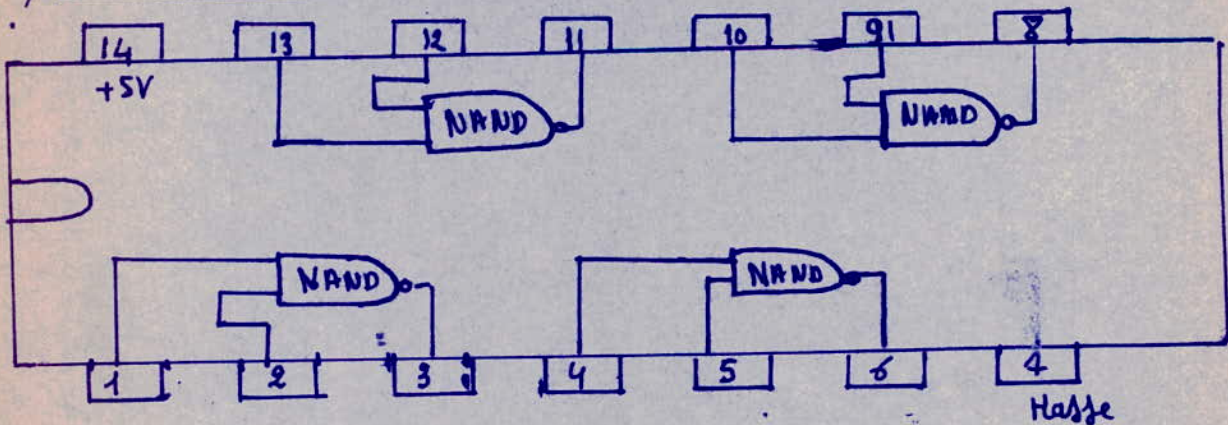
Ce compteur pourra donc compter de 0 à $1+2+4+8=15$, il aura donc 16 positions binaires.

Shémas des boîtiers en vue de dessus des Circuits intégrés
employés dans le compteur.

1/ Bascule J.K. SN 7472. Texas.



2/ Porte NAND de la série SN7400 N Texas:



clear = remise à zéro ; clock = horloge -
Preset = remise à 1 ; Ne = borne sans connexion.

Le fait de travailler à environ 1,9 MHz ne nous permet pas de visualiser les sorties Q1, Q2, Q3, Q4 du compteur par des voyants lumineux car, ces derniers resteront toujours allumés -

On aurait pu réaliser une commande manuelle avec un bouton marche-arrêt et quatre voyants lumineux affichant le nombre d'impulsions qu'on envoie ; cependant cette éventualité a été écartée car le transformateur de la tension stabilisée ne délivre pas assez de puissance pour que tout le montage soit allumé y compris les 4 voyants -

On a placé un voyant lumineux (lampe 220V) qui relié à un interrupteur marche-arrêt, visualise la présence ou l'absence de la tension 220V dans le montage -

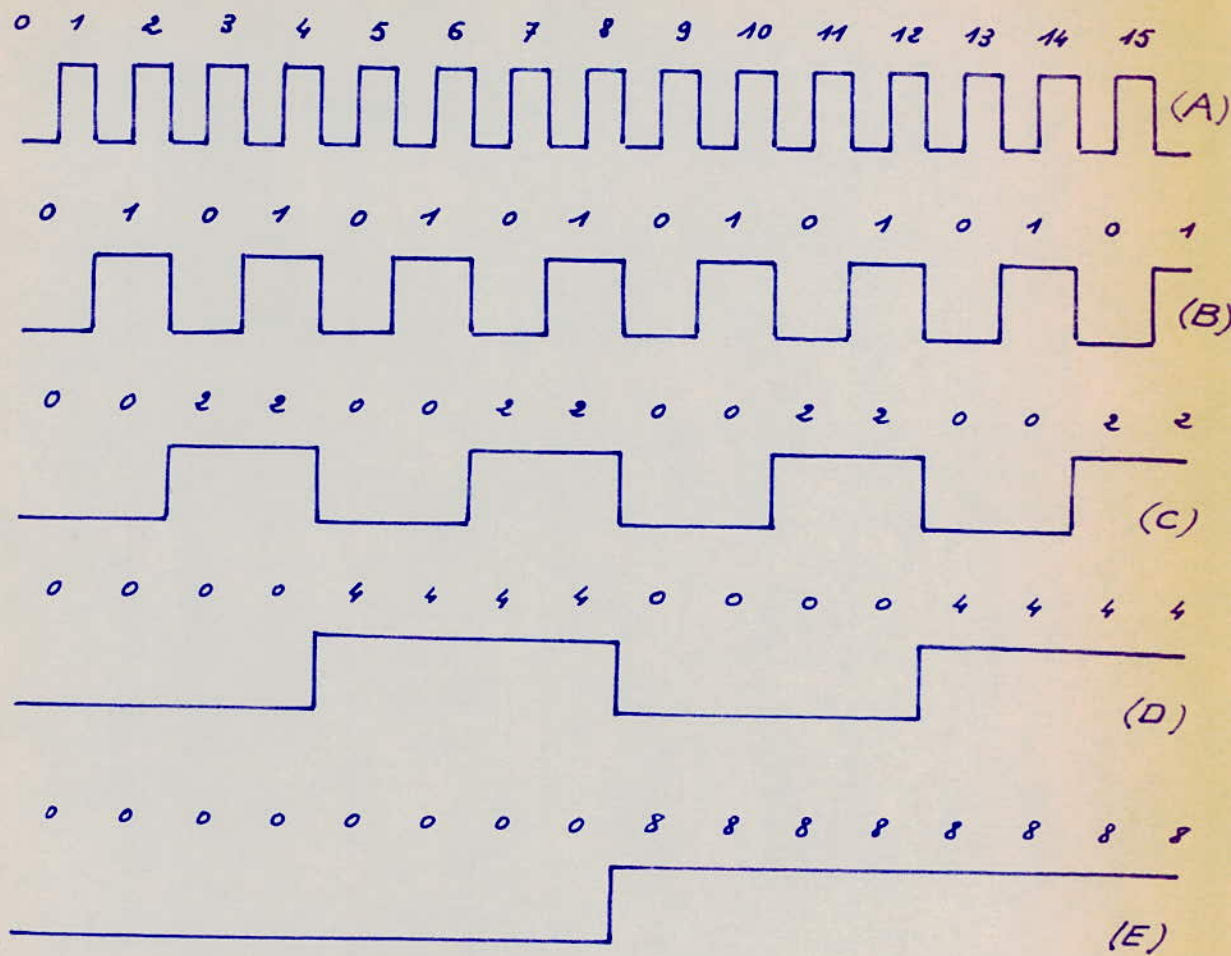
3.4 = Conclusion :

La réalisation pratique du compteur synchrone indiquant 16 positions binaires nous amène aux déductions suivantes.

a) Il est nécessaire d'avoir un quartz dont la fréquence de résonance est inférieure à environ 20 Hz (limite du pouvoir de perception de l'œil) afin de pouvoir visualiser le rang de l'impulsion d'horloge qui passe à l'aide de voyants lumineux -

b/ Egalement il faut avoir un bon transformateur de puissance pour pouvoir alimenter tout le montage y compris les voyants -

c/ Prévoir des circuits (comme il a été vu dans le chapitre 2) annexes qui reliés au compteur peuvent lui faire compter un nombre d'impulsions voulu (n'importe lequel) mais n'exédant pas 15 -



- (A) Entrée horloge
- (B) Etat de la bascule (I)
- (C) Etat de la bascule (II)
- (D) Etat de la bascule (III)
- (E) Etat de la bascule (IV)

Diagramme des temps du Compteur binaire à 4 bascules

Cablage du Compteur.

A, B, C, D: C-ISA7442

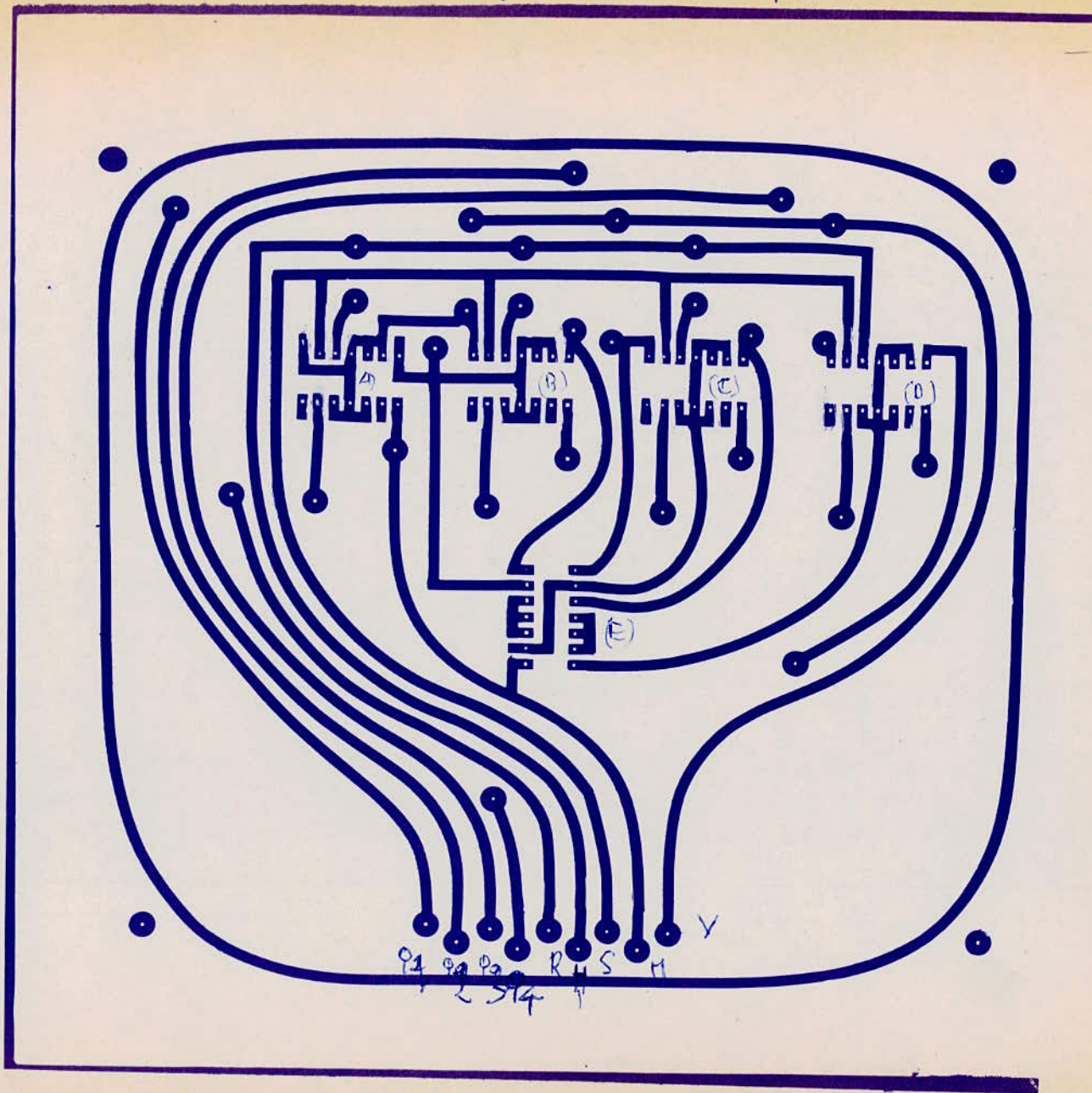
E: C-ISA7400N.

Y: Niveau d'alimentation 5V

M: Masse

H: Horloge

Q1, Q2, Q3, Q4: sorties



Conclusion générale:

* Les applications des compteurs sont de plus en plus nombreuses - Ils sont par exemple d'un emploi courant en physique nucléaire (comptage d'impulsions aléatoires) en recherche médicale dans les industries chimiques et pétrolières, dans les calculs numériques, les systèmes de traitement de l'information et le radar -

Il est possible d'effectuer plusieurs mesures différentes à l'aide d'un certain nombre de compteurs disponibles dans le commerce -

* La réalisation d'horloges électroniques apporte un grand avantage pour l'affichage de l'heure lequel constitue un problème résolu, jusqu'à ces derniers temps, par des procédés mécaniques ou électromécaniques - Le recours à des systèmes électroniques en l'occurrence le compteur électronique procure:

- la possibilité de réaliser une multitude de combinaisons pour un encombrement réduit;
- une consommation très faible;
- une grande fiabilité, un service et un entretien pratiquement nuls.

Le seul inconvénient au point de vue économique est l'emploi de circuits intégrés lesquels coûtent assez chers -

ANNEXE

- Circuits intégrés -

I n t r o d u c t i o n :

Si la miniaturisation était la seule justification de la micro-électronique, une amélioration de 10^3 dans l'efficacité volumétrique pourrait être atteinte par l'élimination des espaces vides du câblage conventionnel.

Mais la création de la micro-électronique ne se justifie pas seulement par le poids et la taille, mais aussi et surtout par la réduction du prix, de la fiabilité, et par la venue des systèmes complexes.

L'évolution de cette technique a pour base la technologie des diodes et des transistors et s'est développée de façon à inclure de plus en plus de combinaisons complexes.

Cette intégration varie entre deux limites dont l'une est le " chip approach " où les éléments sont construits de façon séparés, puis connectés et assemblés dans un même emballage pour former un circuit fonctionnel. Ceci est en fait de la micro-construction. Et l'autre extrémité est telle que tous les éléments sont fabriqués sur un même support en même temps, ayant des régions aux propriétés différentes qui sont connectées ou isolées directement par construction.

Nous allons voir plus spécialement les éléments entièrement intégrés à semi-conducteurs qui sont produits sur un seul bloc monolithique. Les seuls matériaux utilisés seront le Silicium et le Germanium (le Silicium est le plus sinon le seul utilisé).

CONSTITUTION ET CARACTERISTIQUES DES CIRCUITS MONOLITHIQUES

(Silicium)

A) -Les différentes zones du monocristal :

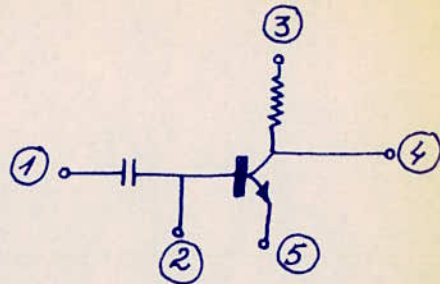
On réalise à l'intérieur d'une structure cristalline continue les différents micro-éléments : résistances, parfois capacités, transistors et diodes.

Cette technique conduit aux circuits intégrés. Elle constitue une révolution issue directement de la technique Planar initialement imaginée pour réaliser des transistors Silicium à la fois " fiables " et productibles en grandes séries.

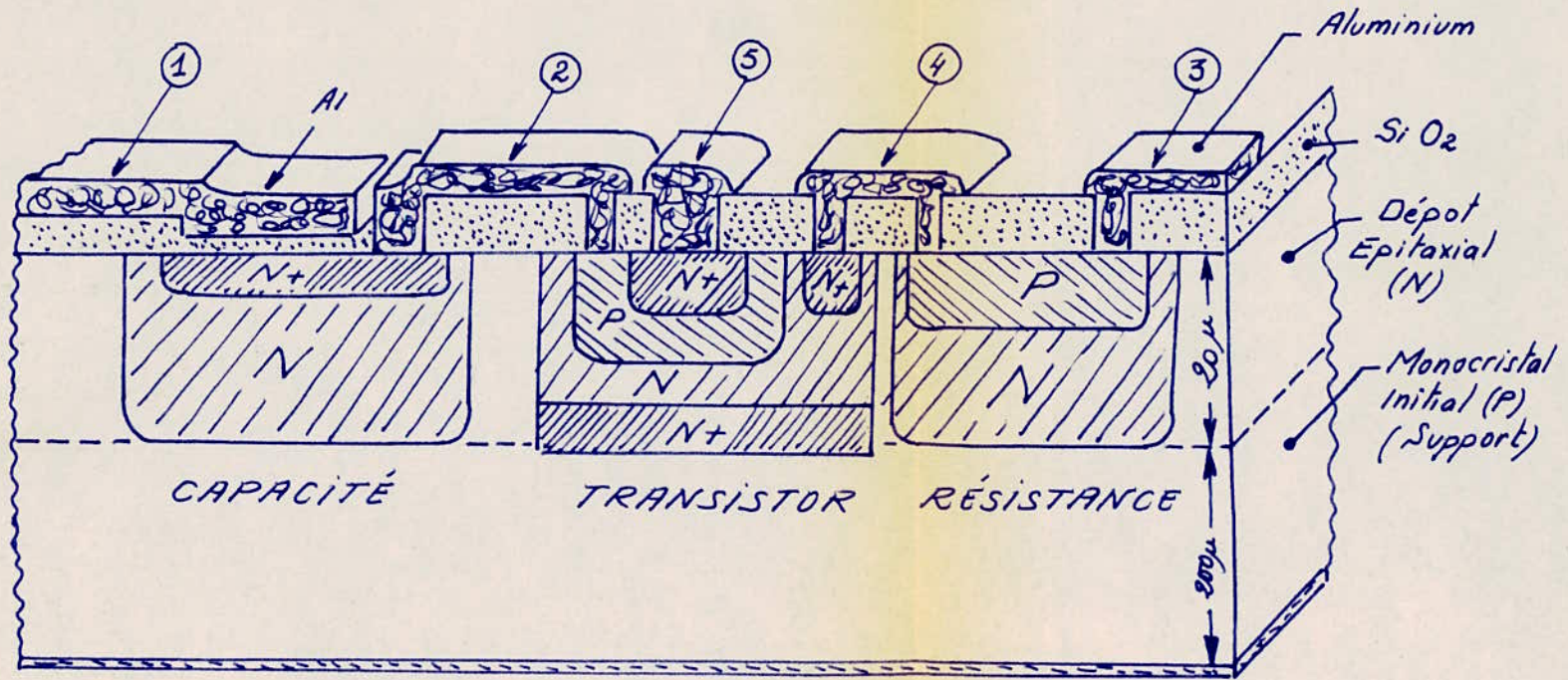
Un circuit intégré est constitué essentiellement par un monocristal de Silicium, pavé dont la forme extérieure est par exemple un parallépipède rectangle de 0,2 mm d'épaisseur et de 2 mm . 2 mm de surface (actuellement, cette surface ne peut guère dépasser une dizaine de mm². Le monocristal comportant en effet un certain nombre de défauts de structure par unité de surface, la probabilité croît évidemment avec la surface utile. Rendement de fabrication, et surface utile sont ainsi liés entre eux.) Sa face inférieure est soudée à l'embase du boîtier par l'intermédiaire d'un eutectique or-silicium.

Au voisinage de la face supérieure on a introduit au moyen des procédés de diffusion à travers le monocristal de Silicium, à des profondeurs variables, de l'ordre de quelques microns, des impuretés P ou N en quantités convenables qui définissent des zones affirmées P ou N. Ces zones peuvent s'inscrire successivement les unes dans les autres, au fur et à mesure des diffusions alternées. Mais souvent le monocristal résulte de deux couches superposées : la couche inférieure, épaisse appelée support (200 microns d'épaisseur environ) ; la couche supérieure, fine appelée dépôt épitaxial (10 à 20 microns d'épaisseur).

Fig. (A)



Fig(B)



Description générale d'un Circuit intégré

Fig. 1.

Fig(A): Schéma du Circuit désiré.

Fig(B): "Intégration" du Circuit.

Chacune de ces couches, continues du point de vue structure cristalline, peuvent néanmoins être pourvues de façon différente.

Par exemple, le support peut être du type P, tandis que le dépôt épitaxial sera du type N faiblement dopé (10^{23} atomes d'impuretés par m^3 ; un mètre cube de Silicium monocristallin contient environ 5.10^{28} atomes à $27^{\circ}C$).

Au voisinage de l'interface entre le support monocristallin et le dépôt épitaxial, il sera d'autre part possible d'inscrire des flots dopés de manières particulières qui se trouveront absolument internes à la structure cristalline.

La partie supérieure du cristal est couverte d'une couche protectrice de Silice ; SiO_2 , continue avec le cristal Si, isolante et étanche à beaucoup d'agents de contamination.

Sur cette couche cheminent des rubans d'aluminium (ou d'or) qui assurent les interconnexions. Des fenêtres ménagées dans l'oxyde permettent au film d'aluminium de se trouver en contact avec les points utiles du circuit (contacts d'émetteurs, de base, de collecteur des transistors ; contacts d'extrémités de résistances) .

Dans une coupe de cristal, dans le sens de la hauteur (voir fig 1) nous pourrions ainsi distinguer jusqu'à 7 zones de la structure avant sa soudure sur son embase.

Description générale d'un circuit intégré :

(voir Fig 1)

- a) Schéma du circuit intégré
- b) Intégration du circuit

Aux bornes 1, 2, 3, 4, 5 du circuit désiré correspondent les films d'aluminium de mêmes numéros du circuit intégré.

Nous énumérons les zones à partir de la face supérieure du cristal :

- 1) les films d'aluminium d'interconnexions
- 2) la couche protectrice et isolante de SiO₂
- 3) les flots N+ fortement dopés (10²⁴ à 10²⁶ atomes d'impuretés par mètre cube) ; le signe + exprime que la concentration d'impuretés est voisine à la limite physiquement permise par la solubilité de l'impureté dans le Silicium à la température de sa diffusion.

Ces flots N+ servent d'émetteurs pour les transistors NPN , pour les diodes et ils fournissent aussi des zones de contact à faible résistivité des collecteurs. Exceptionnellement ils permettent la réalisation de résistances de faibles valeurs, d'environ 2 à 3 0 hms par carré. Leur profondeur est d'environ 2 microns par rapport à la surface.

4) Les zones P, plus profondes que les flots précédents, et qui se situent entre deux et trois microns de la surface.

Les concentrations d'impuretés varient, suivant l'abscisse considéré dans la profondeur, entre 10²³ et 10²⁴ impuretés par mètre cube environ. Ces zones P peuvent servir de base pour les transistors NPN. C'est en général au moyen des zones P que sont réalisées les résistances dont les valeurs unitaires sont de 100 à 200 Ohms par carré.

5) Une zone N à impuretés réparties uniformément, plus faiblement dopée, constituée souvent par le dépôt épitaxial dopé au cours de sa croissance, d'une épaisseur variant de 10 à 20 microns. Cette zone constitue les collecteurs des transistors NPN.

6) Dans le cas des transistors, on diminue la résistance des collecteurs en introduisant, dans la partie inférieure de la zone N précédente faiblement dopée, une zone N+ spéciale fortement pourvue d'impuretés, appelée " semelle N+ ".

7) Une zone P inférieure d'environ 200 microns d'épaisseur qui constitue le support monocristallin sur lequel a été construit le dépôt épitaxial, 10 à 20 fois moins épais, envisagé plus haut.

On remarque particulièrement la capacité du type MOS (métal, oxyde, semi-conducteur) qui comprend l'aluminium et le matériau N+ supérieur comme armature, et le bioxyde Si O₂ comme diélectrique.

Remarque : il est bien évident que le monocristal étant toujours plus ou moins conducteur de l'électricité, il sera nécessaire de prévoir une disposition spéciale capable d'isoler les uns des autres, intérieurement au cristal, les éléments du circuit que l'on y inscrit. Pour obtenir ce résultat on entourera chaque élément, ou chaque groupe d'éléments par une paroi isolante. On dit encore que chaque élément, ou chaque groupe est inscrit dans un caisson isolant.

B) - Caractéristiques des résistances :

Dans la majorité des cas les résistances sont réalisées au moyen de la zone P diffusée utilisée également comme base des transistors. Parfois la zone N+ d'émetteur peut être utilisée. Notons encore la possibilité de réaliser des résistances par dépôt de matériaux en filmsminces superposés à la couche isolante Si O₂ .

Notons que dans un semi-conducteur, la résistivité est donnée par :

$$\rho = \frac{1}{q\mu N}$$

avec q = charge de l'électron (1,6 10⁻⁹ Coulomb)

μ = la mobilité des porteurs majoritaires

N = |N_D - N_A| valeur absolue de la différence des concentrations des donneurs et accepteurs

a) Capacité répartie le long des résistances intégrées :

Lorsque la résistance est obtenue au moyen de la zone P similaire à celle des bases de transistors, il y a lieu de considérer la structure PNP formée par cette zone P, le dépôt épitaxial N, et le support monocristallin P.

L'ensemble a pour schéma équivalent celui de la figure 2, où les capacités C_1 et C_2 sont les capacités de transition associées aux jonctions D_1 et D_2 .

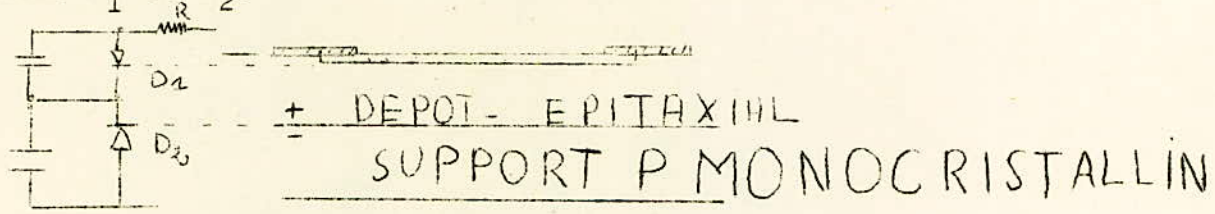
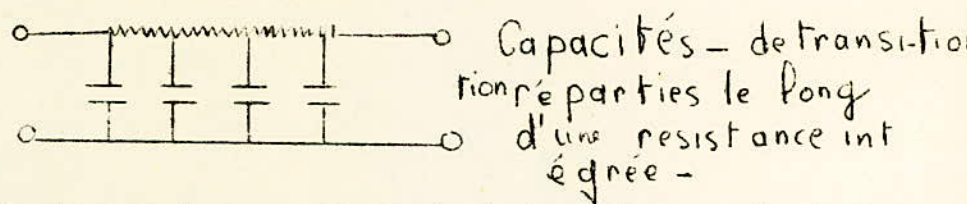


Fig: 2



Rappelons sur la figure 3 comment varient les charges de transition Q_T localisée au voisinage d'une jonction PN lorsqu'on fait varier la tension inverse appliquée à la jonction :

$$Q_T = \lambda (V - \phi_0) \frac{1}{n}$$

ϕ_0 = barrière de potentiel

La capacité de transition, variable avec V, a pour expression :

$$C_T = \frac{dQ_T}{dV}$$

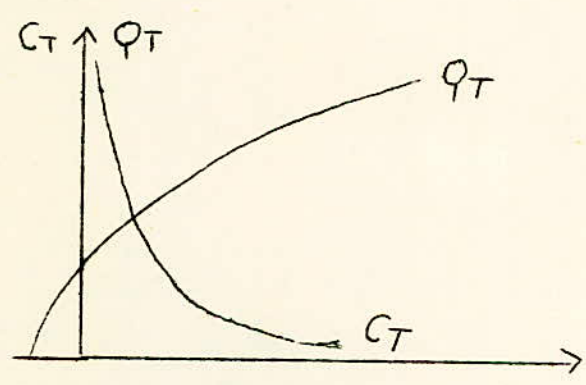


Fig-3

Elle décroît quand $V_{inverse}$ augmente, comme il est visible sur la figure

C) Caractéristiques des capacités :

Deux moyens permettent d'obtenir des capacités/ Ce sont :

1) l'utilisation des capacités de transition de jonctions PN polarisées en inverse.

2) l'utilisation de la structure M.O.S. (métal, oxyde, semi-conducteurs).

a) Capacités de transitions : la charge de transition accumulée au voisinage d'une jonction PN polarisée en inverse s'accroît avec celle ci suivant une loi de la forme :

$$Q_T = \lambda (V - \Phi_0)^{\frac{1}{n}}$$

Pour chaque valeur de V on peut définir un coefficient C_T , appelé capacité de transition, par la relation :

$$C_T(V) = \frac{dQ_T}{dV}$$

C'est une fonction décroissante de V représentée par la courbe de la figure 3.

Les valeurs des capacités possibles, par unité de surface, peuvent aisément se déduire du tableau où on aura représenté le type de résistance, la tension inverse limite V, la capacité en pF/kOhm, et la fréquence de coupure pour une résistance d'une certaine largeur.

Cependant il est à noter que ces capacités de transition présentent des inconvénients qui en limitent l'emploi. Ce sont :

- 1) la faible valeur maximale possible de capacité
- 2) le mauvais isolement, surtout aux températures les plus élevées, en raison du courant inverse de jonction ;
- 3) la résistance série due à celui des matériaux P ou N le plus résistant ;
- 4) la nécessité de polariser la jonction pour obtenir la valeur voulue de capacité ;

5) les caractères de non-linéarité des capacités de transition capables d'engendrer des distorsions de signaux et des générations d'harmoniques d'une fréquence fondamentale

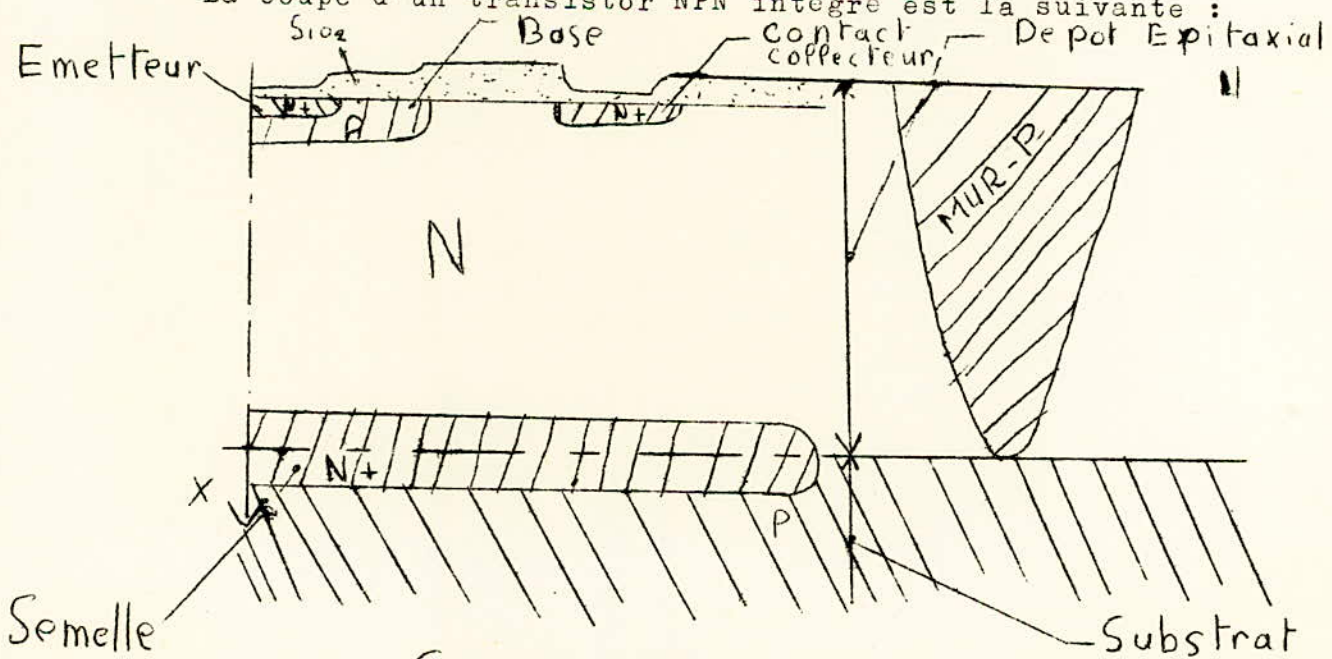
b) Capacités M.O.S. :

Les capacités M.O.S. constituent de vrais condensateurs à coefficient C constant avec la tension appliquée. Une des armatures est le semi-conducteur contigu à l'oxyde ; la seconde armature est obtenue par le film d'aluminium réalisé en même temps que les interconnexions et le diélectrique est l'oxyde superficiel Si O₂. La constante diélectrique de Si O₂ vaut $\epsilon = 4$. Pour une épaisseur de 800 à 1000 Angstroms qui est la faible valeur capable d'assurer une continuité suffisante, la valeur de la capacité est de l'ordre de 500 pF/mm². La valeur de Q est limitée par la résistance série présentée par l'armature en semi-conducteur.

D) - Les transistors intégrés dans un mono cristal :

a) transistor du type NPN :

La coupe d'un transistor NPN intégré est la suivante :



- Coupe d'un transistor NPN intégré -

b) transistor du type PNP :

On emploie surtout des transistors NPN car il est difficile d'obtenir des PNP à gain élevé.

En effet le gain dépend principalement des deux critères suivants :

1) le gain sera d'autant plus élevé que l'épaisseur de base sera fine par rapport à la longueur L de diffusion des porteurs minoritaires dans la base (rendement de base $\delta \ll 1$)

2) Le gain sera d'autant plus élevé que le rapport du taux d'impuretés de l'émetteur à celui de la base, au voisinage de la jonction émetteur-base, est élevé (rendement d'injection d'émetteur $\gamma \ll 1$) - voir LYON-CAEN " Diodes et Transistors utilisés en commutation ".

$$\text{Or le gain } \alpha_n = \frac{\text{courant collecteur}}{\text{courant émetteur}} = \delta \gamma$$

$$\text{et le gain } \beta_n = \frac{\text{courant collecteur}}{\text{courant de base}} = \frac{\alpha_n}{1 - \alpha_n}$$

Or le collecteur, pour qu'il conserve un type P ou N affirmé aux températures voisines de 150°C, devra comporter au moins 10^{21} atomes d'impuretés par mètre cube pour ne pas dégénérer en matériau pseudo intrinsèque à partir de cette température.

Ainsi pour définir une base N ou P affirmée par rapport au collecteur le procédé de diffusion impose un diagramme de répartition d'impuretés tel que le taux d'impuretés au voisinage de la partie supérieure de base, située à 1 à 2 microns au dessus de la jonction collecteur-base, soit voisin de 10^{24} atomes par mètre cube.

Pour que l'émetteur soit donc nettement plus dense en impuretés que la base (condition nécessaire pour obtenir γ élevée) il faudra "doper" l'émetteur avec une concentration en surface de la structure supérieure à 10^{25} impuretés par mètre cube.

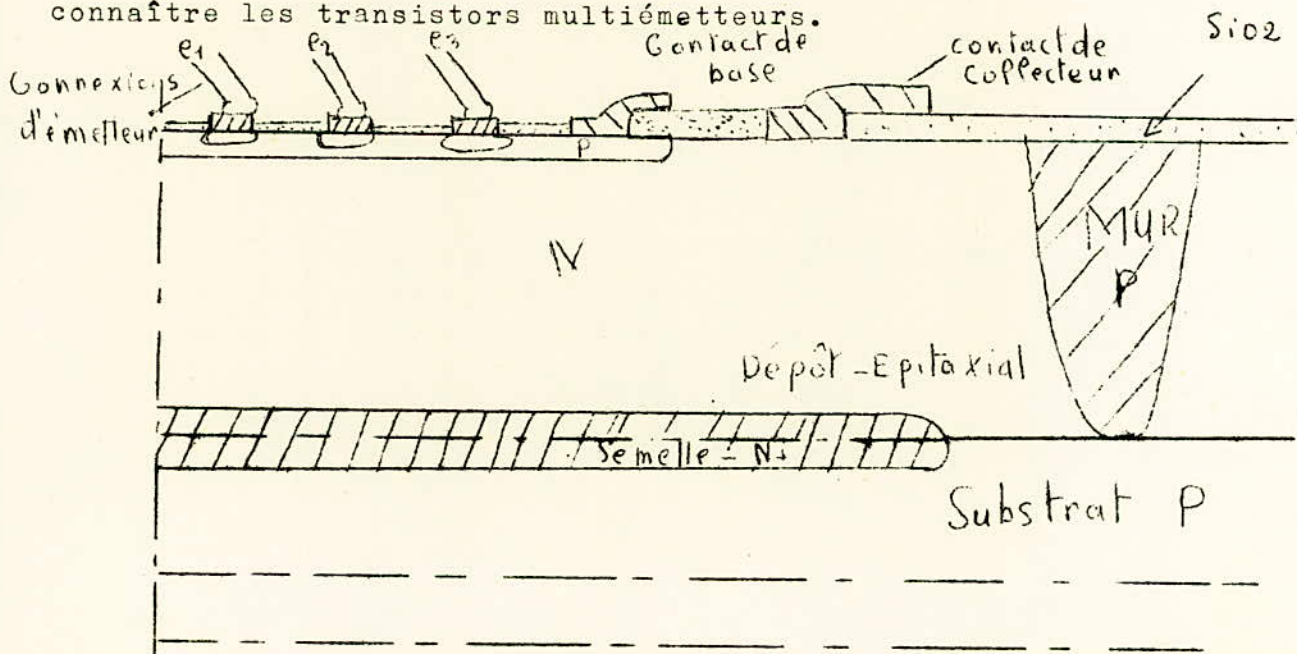
Or les courbes de solubilité des diverses impuretés P ou N dans le Silicium, au voisinage de la température de diffusion de 1200°C montrent que les limites de solubilité sont dans l'ordre des solubilités décroissantes :

Impuretés N	arsenic	~	$2 \cdot 10^{27}$	atomes/m ³
Impuretés N	phosphore	~	10^{27}	atomes/m ³
Impuretés P	bore	~	$2 \cdot 10^{26}$	atomes/m ³
Impuretés P	gallium	~	$3 \cdot 10^{25}$	atomes/m ³
Impuretés P	aluminium	~	10^{25}	atomes/m ³

On voit donc, d'après ces chiffres qu'en définissant l'émetteur du transistor par diffusions d'atomes N d'arsenic ou de phosphore on obtiendra les meilleures valeurs pour β , donc des meilleurs gains de transistor. Ceci explique pourquoi les transistors NPN sont plus aisément et plus couramment réalisés par le procédé Planar que les transistors PNP.

c) Transistors multiémetteurs :

Comme on emploie dans notre réalisation des bascules JK du type S.N. 7472 (circuit intégré de la famille TTL), il est bon de connaître les transistors multiémetteurs.



- Coupe d'un Transistor Multiémetteur -

L'intérêt de cette disposition est mise à profit dans les circuits logiques TTL.

Le circuit TTL permet d'éviter les durées d'acquisition et d'évacuation des charges de diffusion puisque la charge de diffusion du transistor multiémetteur demeure en permanence quel que soit l'état du circuit.

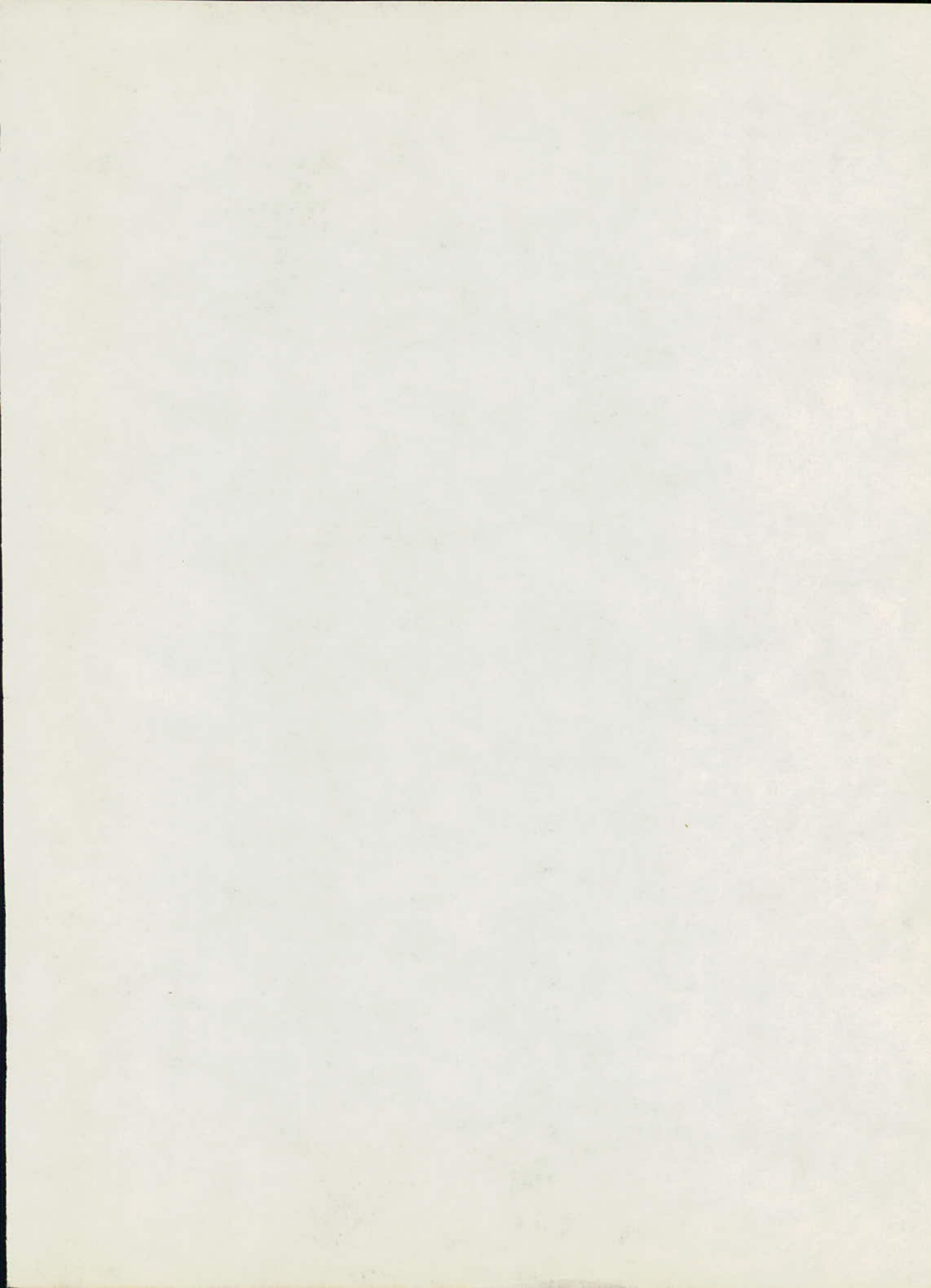
- BIBLIOGRAPHIE -
=====

FLORINE: Automatismes à séquences .

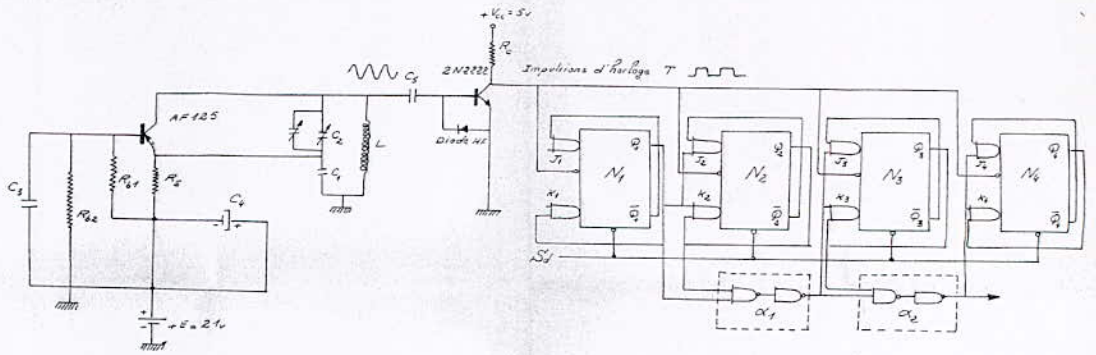
DOYLE : Techniques des impulsions.

LYON-CAEN: Circuits logiques et intégrés.

Publications SUP-ELEC: Eléments de mémoires et de logique.



SCHEMA DU COMPTEUR BINAIRE SYNCHRONE
AVEC SA COMMANDE D'HORLOGE



- | | |
|--------------------------------|---|
| $R_{b1} = 2,2 \text{ k}\Omega$ | $C_1 = 222 \text{ pF}$ |
| $R_{b2} = 18 \text{ k}\Omega$ | $C_2 = 2 \text{ ajustables de } 100 \text{ pF}$ |
| $R_b = 450 \Omega$ | $C_3 = 5,8 \text{ nF}$ |
| $R_c = 470 \Omega$ | $C_4 = 25 \mu\text{F}$ (Condensateur Chimique) |
| $L = 35 \mu\text{H}$ | $C_5 = 56 \text{ pF}$ |

V_c et E sont donnés par une tension stabilisée
reliée à un transformateur 220-16v

α_1 et α_2 forment 4 portes NAND données par le circuit intégré "SN7400"
 N_1, N_2, N_3 et N_4 sont des bascules J, K de la série "SN7470".
Les entrées des bascules sont des portes "ET"
 V_c indique le forage de chaque bascule.