

République Algérienne Démocratique et Populaire
Ministère de l'enseignement Supérieur et de la Recherche Scientifique

Ecole Nationale Polytechnique



Département d'Electronique

Laboratoire des Dispositifs de Communication et de Conversion Photovoltaïque

Thèse de doctorat en Electronique

Présentée par :

Fayçal Amrani

***Contribution à la Conception
des Amplificateurs Distribués
Micro-ondes***

Devant le jury d'examen composé de :

M Rabia AKSAS	(Professeur. ENP)	Président
M Mohamed TRABELSI	(Professeur. ENP)	Rapporteur
Mme Rachida TOUHAMI	(Professeur. USTHB)	Examineur
M Arab AZRAR	(Maitre de Conférences. Univ de Boumerdes)	Examineur
Mme Lynda BAZI	(Maitre de Conférences. USTHB)	Examineur

ملخص

في مجال تصميم و تطوير نظم الموجات الدقيقة, المشكلة الأساسية ترتبط بمعياريين: حجم هذه الترتيبات, وتحسين أداؤها. ومن بين هذه الأجهزة, مضخم الموجات الدقيقة ذو التردد العريض المستخدم جدا في نظم الاتصالات السلكية واللاسلكية, الألياف البصرية, والحرب الإلكترونية. اهتمامنا كان على المضخمات الموزعة م ت غ م, م ت م ا, م ت ت م. إذا ال م م غ م ذو الحجم الصغير, يسمح بزيادة الربح, فانه, من ناحية أخرى, يخفض في النطاق الترددي. ومن اجل إيجاد حل لهذه المشكلة, قمنا بتطوير منهجية جديدة تستند على تقريب إجابة توتر الجهاز بدالة شبيشيف, كما طبقنا هذه الطريقة على ال م ت م ا و ال م ت ت م. لزيادة الربح. وقد تمكنا من الحصول على زيادة معتبرة في مجال التردد تقدر ب 141 بالمائة, وزيادة في الربح تقدر ب 12 د ب مقارنة مع م ت م ا و ال م ت ت م. وعلاوة على ذلك, تخفيض ملحوظ في الموجات تحقق. و جميع هذه المضخمات تم تصميمها بتقنية الوشاح المتناهي الصغير.

الكلمات الجوهرية: الموجات الدقيقة, مضخم, م ت غ م, م ت م ا, م ت ت م, الربح, مجال التردد, شبيشيف, الوشاح المتناهي الصغير.

Résumé

Dans le domaine de la conception et du développement des dispositifs micro-ondes, le problème se rapporte à deux critères : miniaturiser ces dispositifs et améliorer leurs performances. Parmi ces dispositifs, l'amplificateur micro-onde à bande de fréquence ultra large est très utilisé dans les systèmes de télécommunication optique et la guerre électronique. Nous nous sommes intéressés aux amplificateurs distribués ADNAC, CSSDA et DFDA. Si l'ADNAC, dont l'encombrement est faible, permet d'augmenter le gain, il réduit, en revanche, la bande passante. Pour apporter une solution à ce problème, nous avons développé une nouvelle méthode, basée sur l'approximation de la réponse fréquentielle de ce dispositif par le polynôme de Chébychev. Cette méthode est aussi appliquée aux CSSDA et DFDA pour accroître le gain. Une augmentation très importante de 141% de la bande passante de l'ADNAC et une amélioration de 12 dB des gains du CSSDA et du DFDA sont obtenues. De plus, une réduction notable de l'ondulation est réalisée. Tous ces amplificateurs ont été conçus en technologie micro-ruban.

Mots clés : micro-ondes, amplificateur, ADNAC, CSSDA, DFDA, gain, bande passante, Chébychev, micro-ruban.

Abstract

In the field of the design and development of the microwaves devices, the problem refers to two criteria: to miniaturize these devices and to improve their performances. Among these devices, the microwave amplifier with ultra broad waveband is very much used in the systems of optical telecommunication and the electronic war. We were interested in distributed amplifiers ADNAC, CSSDA and DFDA. If the ADNAC, whose obstruction is weak, makes it possible to increase the gain, it reduces, on the other hand, the band-width. To bring a solution to this problem, we developed a novel method, based on the approximation of the frequential answer of this device by the polynomial of Chébychev. This method is also applied to the CSSDA and DFDA to increase the gains. A very important increase of 141% of the band-width of the ADNAC and an improvement of 12 dB of the gains of the CSSDA and DFDA are obtained. Moreover, one notable reduction of the undulation is carried out. All these amplifiers were designed in micro-strip technology.

Keywords : Microwave, amplifier, ADNAC, CSSDA, DFDA, gain, band-width, Chébychev, micro-strip

Remerciement

Au terme de ce travail, je tiens à exprimer mes plus sincères remerciements à mon directeur de thèse, monsieur TRABELSI Mohamed, pour m'avoir offert la possibilité d'explorer le domaine des micro ondes, pour ses précieux conseils, son suivi, l'attention constante qu'il a apporté à mon égard et son aide sans réserve tout au long de ce travail.

J'exprime ma plus sincère gratitude au Pr R. AKSAS, qui a soutenu l'entreprise de ce travail. Et je tiens à lui exprimer mes plus vifs remerciements pour l'honneur qu'il me fait en acceptant de juger ce travail et de présider le jury de soutenance.

J'adresse mes plus vifs remerciements à Madame TOUHAMI Rachida, Professeur à l'université des sciences et de la technologie d'Alger (USTHB), qui a aimablement accepté de participer à cette commission de soutenance.

Mes remerciements vont encore à madame Bazi Lynda, Maître de conférences à l'université des sciences et de la technologie d'Alger (USTHB), pour l'honneur qu'elle me fait en acceptant d'examiner mon travail.

Je tiens aussi à remercier Monsieur AZRAR Arab, maître de conférences à l'université de Boumerdes, pour l'honneur qu'il me fait en acceptant de juger ce travail.

Ma reconnaissance va également à tous le personnel du centre d'amplification d'Algérie télécom (Alger CA2), pour leurs soutient et leurs compréhensions tout au long des années de préparation de ce travail.

Sur un plan personnel, je voudrais témoigner ma reconnaissance à toute ma famille, pour leur soutien, leurs encouragements tout au long de ce travail.

Enfin, je remercie tous ceux qui ont, de près ou de loin, contribué à la réalisation et à l'amélioration de ce travail.

Liste des figures

Figure II.1 : nombre de dispositifs requis pour produire un gain de e dans les amplificateurs en cascade et distribué

Figure II.2 : Séquence de réseaux ayant la même capacité totale de $1F$

Figure II.3 : Amplitude de l'impédance d'entrée des quatre circuits de la figure II.2

Figure II.4 : Amplitude de la fonction de transfert en tension des circuits de la figure II.2

Figure II.5 : Schéma d'un quadripôle

Figure II.6 : Quadripôle fermé sur ces impédances image

Figure II.7 : Cellule en L

Figure II.8 : Cellule en L « k constant »

Figure II.9 : Section en T symétrique

Figure II.10: Section en T à partir de deux cellules en L

Figure II.11 : Section en T symétrique « k constant »

Figure II.12 : Section en T à partir de deux cellules en L « k constant »

Figure II.13: Section en Π

Figure II.14 : Section en Π « k constant »

Figure II.15 : Section en Π à partir de deux cellules en L

Figure II.16: adaptation à l'aide d'un quadripôle $[Q_1]$

Figure II.17: Quadripôle $[Q_1]$ m dérivé associé à une cellule en "T"

Figure II.18: Quadripôle $[Q_1]$ m dérivé associé à une cellule en " Π "

Figure II.19: Courbes donnant $\left(\frac{Z_{i2}}{Z_0}\right)$ et $\left(\frac{Z_{i1}}{Z_0}\right)$ en fonction de X_c

Figure II.20: Courbes donnant la variation de α et β en fonction de X_c

Figure III.1: Schéma d'un amplificateur distribué conventionnel

Figure III.2: Modèle électrique simplifié du transistor MESFET

Figure III.3 : Schéma électrique d'un A.D.C

Figure III.4 : Section élémentaire en T de la ligne de grille avec pertes

Figure III.5 : Section en L de la ligne de grille avec pertes

Figure III.6 : Section en T de la ligne de drain

Figure III.7 : Section en L de la ligne de drain

Figure III.8: Gain en puissance d'un ADC

Figure. III.9: Schéma unilatéral simplifié du MESFET

Figure III.10 : Schéma de l'amplificateur CSSDA

Figure III.11: Premier étage du CSSDA

Figure III.12 : Deuxième étage du CSSDA

Figure III.13 : Dernier étage du CSSDA

Figure III.14 : Gain normalisée en fonction de la fréquence normalisée du CSSDA

Figure IV.1.: Amplificateur distribué non adapté (ADNA)

Figure IV.2 : Schéma équivalent de l'ADNA

Figure IV.3 : Gain normalisé en fonction de la fréquence normalisée des amplificateurs ADC4, ADNAC et ADNA

Figure IV.5 : Pulsation de coupure normalisée ω'_{c1} et taux d'ondulation ε^2 en fonction de ζ .

Figure IV.6 : Gain normalisé pour différentes valeurs de ζ en fonction de ω'_{c1}

Figure V.1 : Schéma équivalent d'un transistor à effet de champ

Figure V.2: Circuit cascode à transistors à effet de champ

Figure V.3 : Schéma équivalent du montage cascode

Figure V.4 : Partie imaginaire de l'admittance de sortie

Figure V.5 : Partie réelle de l'admittance de sortie

Figure V.6 : Coefficient de transmission S_{12} du montage cascode et du transistor réel

Figure V.7a: ADNAG pour $\zeta=0.6$ (transistor MESFETI) (MICROWAVE OFFICE)

Figure V.7b : ADNAG pour $\zeta=0.92$ (transistor MESFETI) (MICROWAVE OFFICE)

Figure V.7c : ADNAG pour $\zeta=1$ (transistor MESFETI) (MICROWAVE OFFICE)

Figure V.8 : Gains de l'ADNAG pour différentes valeurs de ζ (transistor MESFETI) (MICROWAVE OFFICE)

Figure V.9 : Gains de l'ADNAG obtenus par notre méthode pour différentes valeurs de ζ

Figure V.10 : Gains de l'ADNAG pour $\zeta =0.6$, $\zeta =0.92$ et $\zeta =1$ – Notre méthode : rouge – MICROWAVE OFFICE : bleu

Figure. V.11: Amplificateur ADC4 (transistor MESFETI) sans les circuits m-dérivé

Figure. V.12: Amplificateur ADC4 (transistor MESFETI) avec les circuits m-dérivé

Figure. V.13: Gains de transfert des amplificateurs ADC4 (transistor MESFETI) avec et sans circuits m-dérivé (MICROWAVE OFFICE)

Figure V.14 : Circuit le l'amplificateur ADNAC (transistor MESFETI) (MICROWAVE OFFICE)

Figure V.15 : Réponse fréquentielle (gain transducique) de l'ADNAC (transistor MESFETI) (MICROWAVE OFFICE)

Figure V.16 : Gains des amplificateurs ADC4, ADNAC et ADNA (transistor MESFETI)

Figure V.17 : Gains de l'ADNAG pour différentes valeurs de ζ (transistor réel) (MICROWAVE OFFICE)

Figure V.18a: ADNAG pour $\zeta=0.6$ (montage cascode) (MICROWAVE OFFICE)

Figure V.18b: ADNAG pour $\zeta=0.92$ (montage cascode) (MICROWAVE OFFICE)

Figure V.18c: ADNAG pour $\zeta=1$ (montage cascode) (MICROWAVE OFFICE)

Figure V.19 : Gain de l'ADNAG pour différentes valeurs de ζ (montage cascode) (MICROWAVE OFFICE)

Figure V.20 : Circuit cascode avec self

Figure V.21a : ADNAG pour $\zeta=0.6$ (montage cascode avec self) (MICROWAVE OFFICE)

Figure V.21b : ADNAG pour $\zeta=0.92$ (montage cascode avec self) (MICROWAVE OFFICE)

Figure V.21c : ADNAG pour $\zeta=1$ (montage cascode avec self) (MICROWAVE OFFICE)

Figure V.22 : Gain de l'ADNAG pour différentes valeurs de ζ (montage cascode avec self) (MICROWAVE OFFICE)

Figure V.23 : Gain de l'ADNAG pour $\zeta=0.92$ avec un transistor idéal- transistor réel- montage cascode-montage cascode avec self inductance

Figure V.24 : ADC4 avec transistor réel (MICROWAVE OFFICE)

Figure V.25 : ADC4 avec montage cascode muni d'une self inductance (MICROWAVE OFFICE)

Figure V.26 : Gains de l'ADC4 avec transistor réel et montage cascode doté d'une self inductance

Figure V.27 : ADNAC avec transistor réel (MICROWAVE OFFICE)

Figure V.28 : ADNAC avec cascode muni d'une self inductance (MICROWAVE OFFICE)

Figure V.29 : Gains de l'ADNAC utilisant un transistor réel et un montage cascode avec self

Figure V.30 : Gains transduciques en puissance des amplificateurs ADNAG, ADC4 et ADNAC

Figure V.31 : Ligne micro ruban

Figure V.32 : ADNAG ($\zeta=0.92$) en technologie micro-ruban

Figure V.33 : Gain de l'ADNAG ($\zeta=0.92$) avant et après optimisation

Figure V.34 : Gains de l'ADNAG ($\zeta=0.92$) avec éléments localisés et semi-localisés en technologie micro-ruban

Figure V.35 : Circuit d'analyse des performances du circuit de polarisation

Figure V.36 : performances du circuit de polarisation

Figure V.37 : ADNAG conçu en technologie micro-ruban avec les circuits de polarisation

Figure V.38 : Gains transducique de l'ADNAG conçu en technologie micro-ruban avec et sans les circuits de polarisation

Figure VI. 1: l'amplificateur CSSDANA

Figure VI.2 : Schéma équivalent du CSSDANA

Figure VI.3 : premier étage du CSSDANA

Figure VI.4 : Schéma du dernier étage du CSSDANA

Figure VI.5 : Circuit du CSSDANA2 avec transistor réel pour $\zeta=0.3$

Figure VI.6 : Circuit du CSSDANA2 avec montage cascode (transistor réel) pour $\zeta=0.3$

Figure VI.7 : Gains du CSSDANA2 avec transistor et montage cascode (transistor réel) pour $\zeta=0.3$ (MICROWAVE OFFICE)

Figure VI.8 : Gains du CSSDANA2 et CSSDA2 avec transistor réel (MICROWAVE OFFICE) ($\zeta=0.3$)

Figure VI.9: Gains du CSSDANA2 et CSSDA2 avec montage cascode (MICROWAVE OFFICE) ($\zeta=0.3$)

Figure VI.10 : Circuit du CSSDANA3 avec transistor réel pour $\zeta=0.3$

Figure VI.11 : Circuit du CSSDANA3 avec montage cascode (transistor réel) pour $\zeta=0.3$

Figure VI.12 : Gains du CSSDANA3 avec transistor et montage cascode (transistor réel) pour $\zeta=0.3$ (MICROWAVE OFFICE)

Figure VI.13 : Gains du CSSDANA3 et CSSDA3 avec transistor réel (MICROWAVE OFFICE) ($\zeta=0.3$)

Figure VI.14 : Gains du CSSDANA3 et CSSDA3 avec montage cascode (MICROWAVE OFFICE) ($\zeta=0.3$)

Figure VI.15 : Circuit du CSSDANA4 avec transistor réel pour $\zeta=0.2$

Figure VI.16 : Circuit du CSSDANA4 avec montage cascode (transistor réel) pour $\zeta=0.2$

Figure VI.17 : Gains du CSSDANA4 avec transistor et montage cascode (transistor réel) pour $\zeta=0.2$ (MICROWAVE OFFICE)

Figure VI.18 : Gains du CSSDANA4 et CSSDA4 avec transistor réel (MICROWAVE OFFICE) ($\zeta=0.2$)

Figure VI.19 : Gains du CSSDANA4 et CSSDA4 avec montage cascode (MICROWAVE OFFICE) ($\zeta=0.2$)

Figure VII.1: Schéma d'un amplificateur équilibré

Figure VII.2 : Schéma d'un Dual-Fed Distributed Amplifier [19]

Figure.VII.3 : Performances des diviseurs/combineurs

Figure VII.4 : Diviseurs/combineur de Wilkinson

Figure VII.5 : Le Té

Figure VII.6 : Amplificateur distribué avec diviseur/combineur de Wilkinson (ADW)

Figure VII.7 : Gain de l'ADW en fonction de la fréquence

Figure VII.8 : Schéma équivalent de l'ADW1 et de l'ADW2

Figure VII.9 : Schéma équivalent du demi-circuit de l'ADW1 et de l'ADW2

Figure VII.10 : ADW1 avec transistor idéal

Figure VII.11 : ADW2 avec transistor idéal

Figure VII.12 : Gains des amplificateurs ADW1 et ADW2

Figure VII.13 : ADW1 utilisant un montage cascode (transistor réel)

Figure VII.14 : ADW2 utilisant un montage cascode (transistor réel)

Figure VII.15 : Réponse de l'ADW2 avec circuit cascode.

Figure VII.16: Schéma équivalent du transistor MESFET en fort signal

Figure VII.17 : Caractéristiques des non-linéarités

Figure VII.18: Puissances mises en jeu dans un amplificateur

Figure VII.19 : Montage pour le tracé des caractéristiques statiques du transistor MESFET EFA018A

Figure VII.20: Caractéristiques statiques $I_{ds} = f(V_{ds})$ du transistor MESFET EFA018A

Figure VII.21 : Schéma de l'ADW2 avec transistor réel

Figure VII.22 : Gain en fonction de la puissance d'entrée de l'ADW2

Figure VII.23: Puissance de sortie en fonction de la puissance d'entrée de l'ADW2

Figure VIII.1 : Prototype d'un filtre passe-bas

Figure VIII.2 : Passage du prototype passe-bas vers le filtre passe-bas réel

Figure VIII.3 : La technologie micro-ruban

Figure VIII.4 : structure générale du filtre passe-bas conventionnel

Figure VIII.5 : Nouvelle structure de filtre passe bas

Figure VIII.6 : Fonction de transfert normalisée du filtre en fonction de la fréquence normalisée

Figure VIII.7 : Layout du filtre proposé

Figure VIII.8 : Réponse du filtre passe bas proposé en fonction de la fréquence

Figure VIII.9 : Lyout du filtre passe-bas conventionnel

Figure VIII.10: Réponse du filtre passe bas conventionnel en fonction de la fréquence

Figure VIII.11 : Layout : (a) filtre passe bas conventionnel (b) filtre passe bas proposé

Liste des tableaux

Tableau IV.1 : Taux d'ondulation en fonction de β

Tableau IV.2 : Comparaison des résultats des gains

Tableau IV.3 : Etude comparative

Tableau V.1 : Paramètres de conception de l'ADNAG

Tableau V.2 : Performances de l'ADNAG pour différentes valeurs de β

Tableau V.3 : Performances des amplificateurs ADC4, ADNAC et ADNA (transistor MESFETI)

Tableau V.4 : Gain et bande passante de l'ADNAG pour différentes valeurs de β (transistor réel)

Tableau V.5 : Gain et bande passante de l'ADNAG pour différentes valeurs de β (montage cascode)

Tableau V.6 : Performances de l'ADNAG pour différentes valeurs de β (montage cascode avec self)

Tableau V.7 : Performances de l'ADNAG pour $\beta=0.92$ avec un transistor idéal-transistor réel-montage cascode-montage cascode avec self inductance

Tableau V.8 : Gains de l'ADC4 avec transistor réel et montage cascode doté d'une self inductance

Tableau V.9 : Gains et taux d'ondulations de l'ADNAC utilisant un transistor réel et un montage cascode avec self

Tableau V.10 : Gains transduciques en puissance des amplificateurs ADNAG, ADC4 et ADNAC

Tableau V.11 : Dimensions des circuits semi-localisés

Tableau V.12 : Dimensions des circuits de l'ANAG ($\beta=0.92$) avant et après optimisation

Tableau V. 13 : Performances de l'ADNAG conçu avec éléments localisés et en technologie micro-ruban

Tableau V.14 : Performances de l'ADNAG avec et sans circuits de polarisation

Tableau VII.1 : Performances de l'ADW2

Liste des symboles

P : Produit gain bande passante.

g_m : Transconductance du transistor [Siemens].

C_{gs} : Capacité grille source [Farad].

C_{ds} : Capacité drain source [Farad].

C_{gd} : Capacité grille drain [Farad].

R_{ds} : Résistance drain source [Ohm].

R_{gs} : Résistance grille source [Ohm].

ADC : Amplificateur distribué conventionnel.

CSSDA : Amplificateur distribué en cascade.

ω_c : Pulsation de coupure [Hertz].

M : Fonction de transfert.

Q : Quadripôle.

Z_{i1} : Impédance image à l'accès 1.

Z_{i2} : Impédance image à l'accès 2.

Z_c : Impédance caractéristique.

γ : Exposant de transfert sur image.

γ_L : Exposant de transfert sur image pour une cellule en L.

γ_T : Exposant de transfert sur image pour une section en T.

γ_π : Exposant de transfert sur image pour une section en Π .

γ_m : Exposant de transfert sur image pour une cellule m dérivée.

α : Coefficient d'atténuation [Neper / mètre].

β : Constante de phase [Radian / mètre].

P_1 : Puissance à l'accès 1 [Watt].

P_2 : Puissance à l'accès 2 [Watt].

ω : Pulsation [Hertz].

X_c : Pulsation de coupure normalisée.

f_c : Fréquence de coupure [Hertz].

Z_0 : Impédance de charge.

C_d : Capacité de la ligne de drain [Farad].

L_d : Inductance de la ligne de drain [Henry].

L_g : Inductance de la ligne de grille [Henry].

G_p : Gain en puissance [dB].

θ : Déphasage [Radian].

Z_{int} : Impédance des lignes inter-étages.

V_{gs} : Tension entre grille et la source [Volt].

G_T : Gain transducique [dB].

ADNAC : Amplificateur distribué non adapté conventionnel.

ADNA : Amplificateur distribué non adapté.

ADNAG : Amplificateur distribué non adapté général.

g_T : Gain transducique normalisé [dB].

ε^2 : Taux d'ondulation.

ζ : Paramètre de variation de fréquence pour l'ADNAG.

CSSDANA : Amplificateur distribué en cascade non adapté.

DFDA : Amplificateur distribué avec diviseurs/combineurs de puissance.

R_0 : Résistance d'isolation du diviseur de Wilkinson [Ohm].

P_e : Puissance d'entrée [Watt].

P_{ALM} : Puissance d'alimentation [Watt].

P_s : Puissance de sortie [Watt].

P_{diss} : Puissance dissipée [Watt].

P_{-1dB} : Puissance à -1dB de compression [Watt].

G_{-1dB} : Gain à -1dB de compression [dB].

η_d : Rendement.

η_{dj} : Rendement ajouté.

W : Largeur des lignes microruban [Mètre].

L : Longueur des lignes [Mètre].

h : Hauteur du diélectrique [Mètre].

t : Epaisseur du métal [Mètre].

ϵ_r : Permittivité relative du diélectrique.

λ : Longueur d'onde [Mètre].

E_g : f.e.m du générateur [Volt].

L_A : Pertes d'insertions.

Ω : Variable de fréquence.

g_i : Paramètre de conception du filtre.

Table des matières

Table des matières

Introduction générale	1
I. Rétrospective sur les amplificateurs distribués	4
II. Concept de l'amplification distribué et théorie des quadripôles	8
II .1 Concept de l'amplification distribué.....	8
II.1.1 Considérations gain-bande passante.....	8
II.1.2 Bande passante d'un circuit distribué.....	9
II.2 Théorie des quadripôles passifs.....	11
II.2.1-Introduction.....	11
II.2.2 Théorie des quadripôles.....	12
II.2.2.1 Impédances images.....	12
II.2.2.2 Fonction de transfert.....	13
a) Fonction de transfert en tension.....	13
b) Caractéristique de transfert en puissance.....	13
II.2.3. Paramètres image et de transfert de certaines structures.....	14
II.2.3.1 Cellule en L.....	14
II.2.3.2 Section en T symétrique.....	15
II.2.3.3 Section en Π symétrique.....	16
II.2.4. Circuits « m dérivé ».....	17
III. Les amplificateurs distribués conventionnels	20
III.1 Introduction.....	20
III.2 Amplificateur distribué conventionnel (ADC).....	20
III.2.1 Principe de base.....	20
III.2.2 Analyse du Montage.....	22
III.2.2.1 Ligne de grille.....	22
III.2.2.2 Ligne de drain.....	24
III.2.3 Gain en puissance de l'ADC.....	26
III.3 L'amplificateur distribué en cascade (CSSDA).....	26

III.3.1 CSSDA sans pertes.....	27
III.3.2 Etude du montage CSSDA.....	28
IV. Méthode de Conception de l'Amplificateur Distribué à un transistor...	32
IV.1 Introduction.....	32
IV.2 Etude de l'amplificateur ADNA.....	34
a) Cas particulier	35
b) Cas général.....	39
Formulation et Résolution du problème.....	39
Taux d'ondulation et fréquence de coupure.....	42
Etude comparative.....	44
Procédure de conception.....	44
V. Conception et simulation.....	46
V.1. Introduction.....	46
V.2 Le circuit cascode.....	46
V.3 Validation de la méthode (transistor MESFETI).....	50
V.4 Conception de l'ADC4 et l'ADNAC (transistor MESFETI).....	54
V.4.1 L'ADC4.....	54
V.4.2 L'ADNAC.....	56
V.4.3 Etude comparative.....	57
V.5 Simulation des performances de l'ADNAG, ADC4 et ADNA (transistor réel et cascode).....	58
V.5.1 ADNAG ($\zeta = 0.6$, $\zeta = 0.92$ et $\zeta = 1$).....	58
V.5.1.a ADNAG avec le transistor réel.....	58
V.5.1.b ADNAG avec le montage cascode.....	59
V.5.2 Amélioration de la bande passante du montage cascode.....	62
V.5.3 L'ADC4.....	66
V.5.4 L'ADNAC.....	67
V.5.5 Comparaison des performances de ADNAG – ADC4 – ADNAC.....	69
V.6 Conception en technologie micro-ruban	70
V.6.1 Conception sans circuit de polarisation.....	72
V.6.2 Conception avec circuit de polarisation.....	74

V.6.2.1 Etude du circuit de polarisation.....	74
V.6.2.2 Conception avec le circuit de polarisation.....	76
VI. L'Amplificateur Distribu� en Cascade non adapt�.....	78
VI.1 Introduction	78
VI.2 Etude du montage.....	78
a) Calcul du gain en puissance.....	78
b) Comparaison des performances.....	81
VI.3 Conception – Simulation.....	82
a) CSSDANA pour N=2.....	82
b) CSSDANA pour N=3.....	85
c) CSSDANA pour N=4.....	87
VII. Amplificateur distribu� associ� aux diviseurs/combineurs de	
puissance.....	91
VII.1 Introduction.....	91
VII.2 Les Diviseurs/Combineurs de puissance.....	92
VII.3 Conception-Simulation.....	94
a) Conception de l'ADW.....	95
b) Conception de l'ADW1 et de l'ADW2	96
Conception avec transistor simplifi�	97
Conception avec montage cascode (transistor r�el).....	98
VII.4 Analyse de l'ADW2 � fort signal.....	100
a) Performances d'un amplificateur de puissance	100
b) Conception- Simulation de l'ADW2.....	103
VIII. Miniaturisation du filtre passe bas.....	106
VIII.1 Introduction.....	106
a) Fonction de transfert.....	106
b) Prototype de filtre passe-bas.....	107
Prototype filtre passe-bas de Butterworth.....	109
Prototype filtre passe-bas de Tchebychev.....	109
c) Transformations de fr�quence et des �l�ments du circuit	109

VIII.2 Les filtres micro-ruban.....	111
a) La technologie micro-ruban.....	111
b) Le filtre passe-bas à pas-d'impédance en technologie micro-ruban.....	111
Conception du filtre passe-bas à pas-d'impédance.....	111
Etapas de conception du filtre passe-bas à pas-d'impédance.....	112
c) Le filtre passe-bas miniaturisé en technologie micro-ruban.....	113
VIII.3 Conception d'un filtre passe bas ($f_C = 1\text{GHz}$)	115
a) Présentation du simulateur électromagnétique.....	115
b) Conception du filtre proposé.....	115
c) Conception du filtre passe-bas à pas-d'impédance.....	116
VIII.4 Etude comparative.....	118
 Conclusion générale et perspectives	 119
 Références bibliographiques.....	 121
 Annexes	 125

Introduction générale

Introduction générale

L'intérêt pour les techniques micro-ondes appliquées aux systèmes de communication s'est considérablement développé depuis quelques années, et les performances des circuits actifs et passifs micro-ondes pour la technologie des télécommunications se sont énormément améliorées.

L'amplificateur micro-onde est l'un des circuits actifs les plus importants utilisés dans les systèmes électroniques. Son évolution est liée aux développements des technologies des dispositifs à semi-conducteurs.

Les amplificateurs micro-ondes, conçus avec les transistors à effet de champ discrets (FET ou MESFET) utilisés, soit dans les circuits intégrés micro-ondes (MICs) soit dans les circuits intégrés monolithiques microondes (MMICs), sont intensivement employés dans le développement de tout système ou sous-système microonde.

La conception de n'importe quel amplificateur diffère selon l'application à laquelle il est destiné. C'est ainsi qu'un émetteur radio exige un amplificateur radiofréquence (RF) de puissance, tandis qu'un récepteur impose un amplificateur à gain élevé avec un minimum de bruit. De plus, un amplificateur peut être soit à bande de fréquence étroite (<10%) soit à bande de fréquence à large bande. Ceci implique donc des structures différentes.

La guerre électronique et les systèmes de télécommunication optique emploient des largeurs de bande ultra larges. Les amplificateurs à bande ultra large sont donc appelés à être davantage développés avec de meilleures performances. C'est à cette thématique que nous nous sommes intéressés.

En effet, notre travail consiste à étudier et à améliorer les performances d'un certain type d'amplificateur à bande ultra large, nommé « Amplificateur Distribué Conventionnel » en abrégé ADC, mais surtout les architectures qui en découlent, en l'occurrence :

- l'amplificateur distribué dénommé « Single-Ended Dual-Fed Distributed Amplifier » et en abrégé « SEDFDA ou ADNAC »
- l'amplificateur distribué dénommé « Cascaded Single-Stage Distributed Amplifier » et en abrégé « CSSDA »
- l'amplificateur distribué dénommé « Dual-Fed Distributed Amplifier » et en abrégé « DFDA »

Comparativement à l'ADC, les amplificateurs ADNAC, CSSDA et DFDA offrent un gain en puissance plus élevé mais une bande passante moins large. Elargir la bande passante est un impératif qui doit exhorter les chercheurs à trouver un moyen pour sa réalisation et ce

compte tenu des besoins actuels, en terme de quantités d'informations importantes à amplifier.

C'est à cette problématique que nous nous sommes intéressés, et pour cela, nous nous proposons de développer et de mettre en œuvre une nouvelle méthode, basée sur l'approximation par un polynôme de Chebyshev, de la réponse fréquentielle (gain transductique en puissance) de ces dispositifs appelés « ADNA » et « ADNAG ». Cette méthode a la particularité de concevoir des amplificateurs selon un certain nombre d'objectifs. Toutefois, cette méthode suppose que le dispositif actif, le FET, soit représenté par un modèle électrique simple, différent du modèle électrique réel. La validité réelle de cette méthode ne saurait donc être effective, ce qui nous a amenés à développer un autre dispositif actif, en l'occurrence le montage cascode que nous avons modifié pour que son comportement électrique s'apparente au mieux à celui du modèle électrique adopté.

Pour valider la méthode que nous proposons, nous avons eu à comparer les résultats de cette méthode à ceux donnés par le simulateur linéaire de MICROWAVE OFFICE. Cette étude a mis clairement en évidence la concordance des résultats.

A ces travaux, nous ajoutons l'étude que nous avons entrepris dans le but de la miniaturisation des filtres en cascade en technologie micro-ruban.

Notre travail est divisé en huit chapitres:

Dans le premier chapitre nous présentons un état de l'art des amplificateurs distribués jusqu'aux travaux les plus récents dans ce domaine.

Le deuxième chapitre présente le concept de l'amplification distribuée et fait appel à toutes les notions fondamentales des quadripôles, base de l'analyse des amplificateurs distribués.

Le chapitre III est consacré à une étude détaillée de l'AD conventionnel.

Dans le chapitre IV, nous présentons une nouvelle technique de conception que nous avons développée et qui donne une grande amélioration des performances des amplificateurs distribués conventionnels.

Le chapitre V est consacré à la conception d'une nouvelle configuration d'amplificateur, et à montrer ces avantages par rapport aux amplificateurs conventionnels en ce qui concerne la bande passante, le gain et la miniaturisation.

Dans le chapitre VI, nous utiliserons cette nouvelle technique pour concevoir à un autre type d'amplificateur distribuée, le CSSDANA, qui permet une augmentation appréciable du gain.

Le septième chapitre se concentre sur la conception de l'amplificateur distribué avec diviseur/combineur de puissance. Nous étudierons pour commencer, l'amplificateur avec diviseur/combineur de Wilkinson. Nous proposerons ensuite une autre structure modifiées du diviseur/combineur de Wilkinson. Cette nouvelle structure va nous permettre d'améliorer les performances de l'amplificateur.

Dans le chapitre VIII, nous présentons notre propre contribution relative à la miniaturisation du filtre passe bas à pas-d'impédance.

Enfin, nous terminons notre travail par une conclusion générale.

Chapitre 1

Rétrospective sur les amplificateurs distribués

Rétrospective sur les amplificateurs distribués

Des amplificateurs avec des largeurs de bande extrêmement grandes et de bonnes performances ont été réalisés avec succès en technologies hybrides et monolithiques durant les deux dernières décennies. Ces dispositifs trouvent des applications dans les domaines des micro-ondes, de la télécommunication optique, de l'instrumentation, et de la guerre électronique.

Depuis la création de l'amplificateur, Le premier but des chercheurs était d'améliorer le produit gain-bande passante. En 1935, ce problème fut intensivement étudié par W.S. Percival [1], qui, en 1936, proposa l'idée de l'amplification distribuée qui, au début, ne fut pas entièrement appréciée. Une décennie plus tard, ce nouveau concept fut étudié et développé par Ginzton [2] et Horton [3].

L'apparition du transistor, au début des années 60, a permis un développement rapide des techniques de l'amplification distribuée. L'amplificateur distribué, utilisant les dispositifs à semi-conducteur GaAs MESFET, a été étudié la première fois par Moser en 1967 [4] et par Jutzi en 1969 [5].

Au début des années 80, la technologie de l'amplification distribuée a été nettement améliorée utilisant les technologies de pointe MICs et MMICs.

Archer à Siemens [6] a réalisé, en technologie hybride, des amplificateurs distribués (AD) à transistor FET à l'arséniure de gallium (GaAsFET) avec des gains de l'ordre de 10 décibels (dB), des pertes de retour en entrée de 12 dB, un facteur de bruit de 3 à 6 dB et une largeur de bande de 0.1 à 6 gigahertz (GHz).

Pour la première fois, un amplificateur à ondes progressives à quatre étages en technologie monolithique utilisant le GaAsFET avec un gain de 8.5 dB, une largeur de bande de 0.5 à 14 GHz, de bonnes pertes de retour en entrée et un bon rendement a été réalisé par Ayasli à Raytheon [7].

En 1982, le premier amplificateur à ondes progressives monolithique avec une bande passante de 13 GHz a été présenté par Ayasli, et autres [8]. L'année suivante, une approche de conception pratique a été formalisée par Niclas, et autres [9].

L'AD est devenu très populaire en raison de sa largeur de bande. Cette performance est obtenue grâce au fait que les capacités d'entrée et de sortie des dispositifs actifs soient absorbées dans les structures distribuées [10].

Plus tard, des expressions pour le gain et la largeur de bande de l'amplificateur ont été développées par Beyer, et autres [11].

Ayasli, et autres [12] ont amélioré les performances de l'amplificateur en obtenant une bande de fréquence s'étendant jusqu'à 20 GHz et un gain de 30 dB avec des GaAs FETs en technologie monolithique.

Kim et Tserng [13] ont décrit un concept original permettant de réduire les pertes de la ligne de grille de l'amplificateur distribué conventionnel (ADC) en plaçant en série des condensateurs avec les dispositifs MESFET GaAs. Ceci a permis d'augmenter la puissance de sortie à 0.5W et un rendement en puissance ajoutée à 7% avec un gain de 5 dB et une bande de fréquence de 2 à 21 GHz.

Ayasli, et autres [14], ont proposé des procédures quantitatives pour la conception des ADC avec le MESFET GaAs en utilisant des condensateurs en série dans les circuits de grille. Ils ont obtenu une puissance de sortie de un watt sur une bande fréquentielle de 2 à 8 gigahertz avec un rendement en puissance ajoutée de 5% à 7%.

Avec le même concept, Prasad, et autres [15], ont prouvé que le choix des condensateurs en série permet au concepteur de trouver un compromis entre le gain et la largeur de bande tout en maintenant un produit gain-bande passante constant. Il a été également prouvé la possibilité d'augmenter la puissance d'entrée en employant des condensateurs en série, qui a comme conséquence une augmentation du produit puissance-largeur de bande.

Aitchison, et autres [16], ont proposé un amplificateur original (dual-fed distributed amplifier : DFDA) basé sur l'ADC, qui est alimenté en entrée au travers d'un coupleur hybride et chargé en sortie par un autre coupleur hybride. Ce nouvel amplificateur améliore le gain de l'amplificateur distribué conventionnel de 6 dB et la puissance d'entrée à -1 dB de compression de 3 dB, ceci permet d'accroître d'autant le gain en puissance.

Minnis [17] a décrit pour la première fois les principes des amplificateurs distribués en cascade (CSSDA). Ses résultats de simulation indiquent que l'amplificateur distribué à un seul étage utilisant le GaAs FET 800 μm est capable de fournir un gain 6 dB plus de 7 à 14 gigahertz de bande passante et occupe moins de 1 mm^2 . Plus tard à la même année, Moazzam et Aitchison [18] ont présenté un amplificateur distribué (Single-ended dual-fed distributed amplifier en abrégé SEDFDA ou ADNAC) à un seul étage doublement alimenté du fait que la ligne d'entrée (grille) soit ouverte à son extrémité ; il en est de même pour la ligne de sortie (drain). Il en résulte des améliorations significatives du gain et du rendement en puissance ajoutée comparativement aux mêmes paramètres de l'ADC et du DFDA.

Paoloni, et autres [19], décrivent une topologie innovatrice d'un amplificateur distribué basé sur les coupleurs de Lange à bande large. Cette topologie engendre une amélioration remarquable du rendement en puissance et du rendement en puissance ajoutée de 13% à 19%.

Liang et Aitchison [20] ont proposé le concept de la configuration en cascade d'AD avec n étages (n -CSSDA) qui a permis d'obtenir un gain plus élevé (14 dB à 20 dB) que celui d'ADC (9dB). Cependant, ce nouveau dispositif est difficile à réaliser pratiquement à cause surtout de son circuit de réaction série.

Shapiro, et autres [21], ont décrit un amplificateur à ondes progressives de puissance original utilisant les techniques de combinaison de puissance.

Des ADC à très large bandes (112 GHz ; 157 GHz et 180 GHz pour des gains respectifs 7 dB ; 5 dB et 5 dB) ont été réalisés par Agarwal, et autres [22]. Tous ces amplificateurs ont été fabriqués avec la technologie 0.1 μm HEMT InGaAs/InAlAs .

Banyamin, et autres [23,24], ont amélioré le dispositif n -CSSDA en éliminant le circuit de réaction série. Les gains obtenus par n -CSSDA, sur une bande de fréquence de 2 à 10 GHz, sont 20 dB ($n=2$), 30 dB ($n=3$), 37 dB ($n=4$) alors que ceux de l'ADC sont 6 dB ($n=2$), 10 dB ($n=3$), 10 dB ($n=4$).

Ben Y. Banyamin et autres [25] ont analysé les performances d' un amplificateur en topologie cascade avec des étages à un seul transistor.

Une nouvelle topologie des amplificateurs distribués de puissance (2 Watts) à large bande (2-8 GHz) a été proposée par J.Ph. Fraywe et autres [26]. Cette topologie, ayant un gain de 9 dB et un rendement en puissance ajoutée supérieur à 20%, est basée sur l'optimisation de la non linéarité du transistor bipolaire à hétérojonction utilisé dans le montage cascode.

En se basant sur la variation de l'impédance le long des lignes de grille et de drain, Gao Huai et autres [27] ont pu augmenter le produit gain-bande passante de l'amplificateur distribué.

Avtar S. Virdee, Bal S. Virdee [28] ont amélioré la bande passante et le gain en puissance de l'amplificateur distribué en topologie cascade, en terminant les lignes de grille et de drain par des charges à la fois résistives et inductives.

Pour étendre la bande passante de 0.5 GHz à 27 GHz et atteindre un gain élevé de 22 dB avec une puce de surface 1.5 x 1 mm², Kuo-Liang Deng et autres [29,30] ont combiné les amplificateurs distribués conventionnel et en topologie cascade. Pour ce faire, un filtre passe bas a été inséré entre ces deux types d'amplificateurs. Ils ont présenté également l'analyse et la conception de ce nouveau type d'amplificateur dans la publication [31].

En utilisant le matériau InGaP-GaAs dans le transistor bipolaire à hétérojonction et en technologie monolithique, Ohkubo, Y. et autres [32] ont réalisé un amplificateur distribué caractérisé par un gain en puissance de 16 dB et une bande passante de 80 GHz.

Jorge Aguirre et Calvin Plett [33] ont utilisé le matériau SiGe dans le transistor bipolaire à hétérojonction ont obtenu une bande passante de 100 MHz à 50 GHz et une faible consommation estimée à 125 mW. Cet amplificateur est réalisé en technologie monolithique.

Le concept de la ligne non uniforme a été employé par Ahmad Yazdi et Payam Heydari [34] pour réduire les dimensions du dispositif actif et de l'inductance. Il en résultait des tensions plus grandes et un produit gain-bande passante élevé.

Une nouvelle méthode d'analyse des amplificateurs distribués en technologie CMOS, basée sur la matrice caractéristique des dispositifs à éléments localisés, a été proposée par Kambiz K. Moez et Mohamed I. Elmasry [35].

Kimberley W. Eccleston [36] a proposé un nouveau type d'amplificateur distribué de puissance en classe F.

En technologie CMOS 0.18- μm , des amplificateurs distribués utilisant des transistors en source commune connectés en cascade et couplé par des inductances ont été réalisés [37]. Leur principale caractéristique est leur faible consommation qui est de 19.6 mW sur une bande fréquentielle de 3.1 GHz à 10.6 GHz.

Payam Heydari [38] ont conçu et analysé des amplificateurs distribué en montage cascade à faible bruit et en technologie CMOS CMOS 0.18- μm .

Chapitre II

Concept de l'amplification distribué et théorie des quadripôles

Concept de l'amplification distribué et théorie des quadripôles

II .1 Concept de l'amplification distribué

II.1.1 Considérations gain-bande passante

L'analyse de l'expression mathématique décrivant la caractéristique de transfert d'un amplificateur avec des composants localisés comme éléments de couplage nous montre que le gain et la bande passante ne peuvent pas être simultanément augmentés au delà d'une certaine limite. Le produit de ces deux paramètres pour un amplificateur a été démontré dans la théorie des amplificateurs [39], et il est donné par:

$$P = \frac{g_m}{2\pi\sqrt{C_{gs}C_{ds}}} \quad (\text{II. 1})$$

Comme résultat, ces deux quantités sont souvent considérer comme un compromis dans la conception d'un amplificateur.

L'équation (II.1) montre que la simple mise en parallèle de N transistors ne permet donc pas une amélioration du produit (gain-bande passante); car s'il en résultera effectivement une augmentation de N fois g_m , il y aura, en revanche, une compensation par l'accroissement de N fois C_{gs} et de N fois C_{ds} . Le produit gain bande passante restera, malgré tout, constant ce que l'on sait déjà.

Donc, Si on peut faire un arrangement tel que les courants de sortie s'ajoutent constructivement tandis que les effets des capacités shunts ne soient pas accumulés ; on pourra obtenir un amplificateur avec un produit gain-bande passante beaucoup plus grand qu'un simple étage.

La solution se trouve dans l'amplificateur distribué ADC, qui présente l'avantage que, les capacités C_{gs} et C_{ds} ne peuvent pas s'ajouter ou augmenter chacune de N fois leur valeur puisqu'elles sont absorbées par les lignes artificielles. Donc, l'ADC procure un produit gain bande passante qui s'accroît, jusqu'à une certaine limite, avec le nombre N de transistors et sa fréquence maximale est la fréquence de coupure des lignes artificielles.

Pour illustrer ceci, Ginzton et Al. (1948) ont fait une comparaison entre le nombre de dispositif qui produit un gain de e ($e = 2.718$) dans l'amplificateur en cascade (un élément par étage) et l'amplificateur distribué. Les résultats son illustrés à la figure II.1.

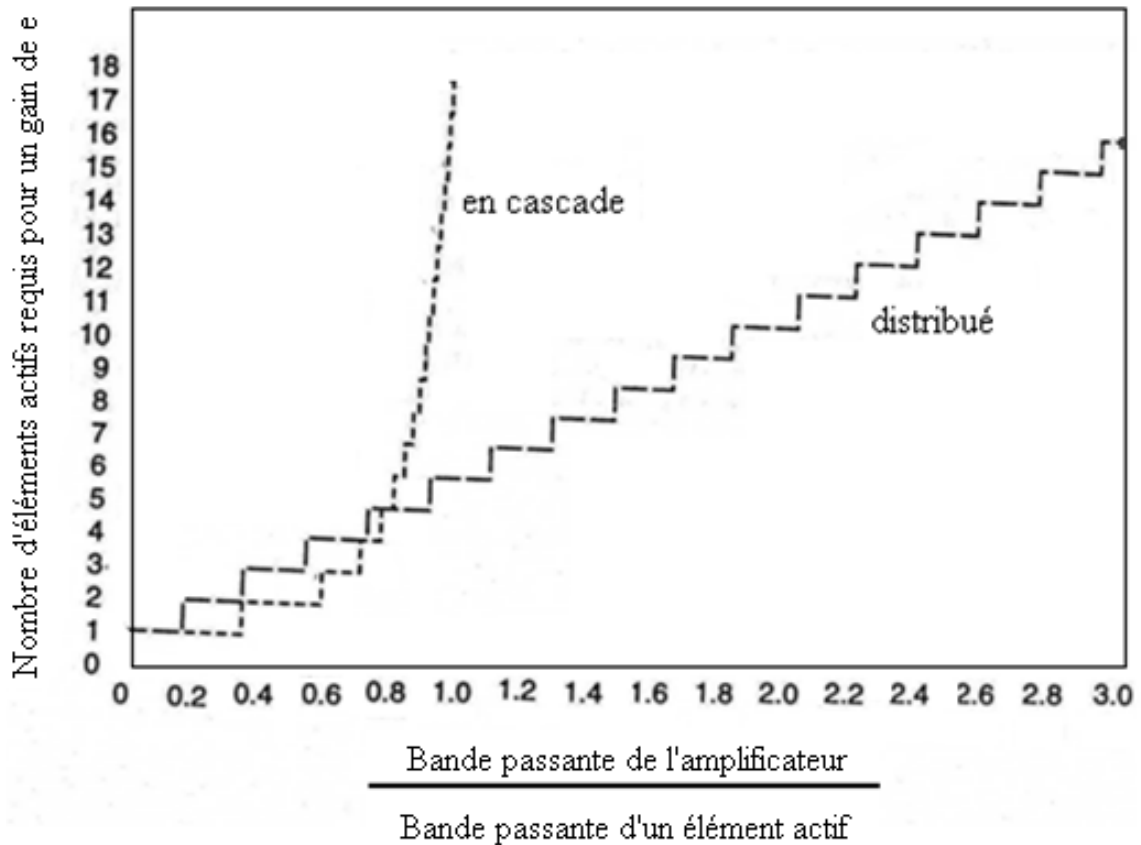


Figure II.1 : nombre d'éléments actifs requis pour produire un gain de e dans les amplificateurs en cascade et distribué [40].

Cette figure montre l'avantage que présente l'amplificateur distribué par rapport à l'amplificateur en cascade du point de vue élargissement de la bande passante.

II.1.2 Bande passante d'un circuit distribué

Pour avoir le gain le plus grand possible sur la gamme de fréquence de 0 à ω_c (fréquence de coupure du circuit), le circuit shunt de la figure II.2 peut être utilisé. De point de vue pratique le réseau doit être fini, autrement dit, une impédance physique réalisable doit être utilisée pour terminer la structure à la bonne sortie. Nous notons que pour une capacité donnée C , le choix de l'inductance L détermine la bande passante, 0 à ω_c , pour laquelle l'amplitude de l'impédance reste constante. Pour visualiser ceci, nous considérons une séquence de circuits comme le montre la figure II.2.

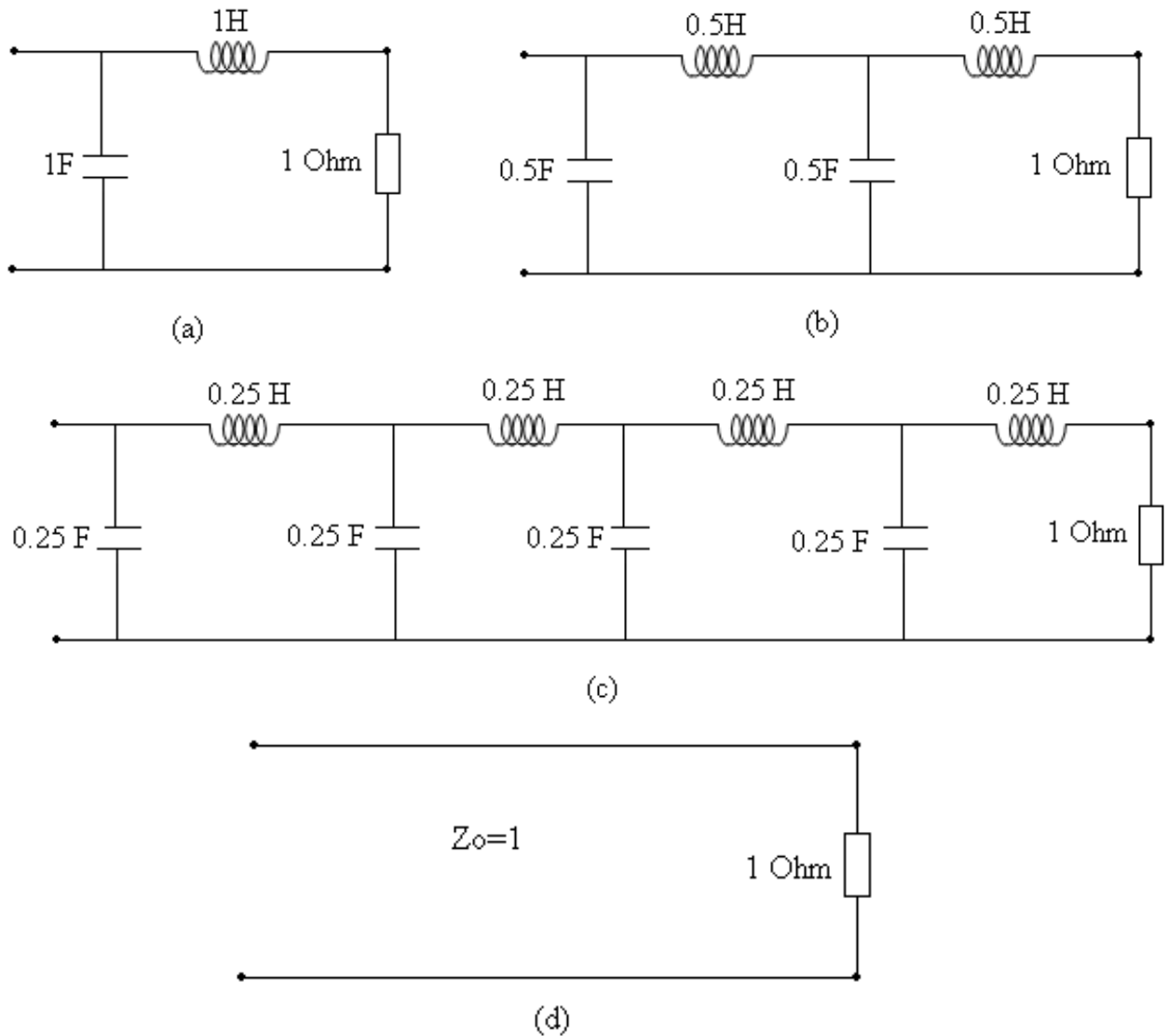


Figure II.2 : S quence de r seaux ayant la m me capacit  totale de 1F.

La somme des capacit s et des inductances dans chaque circuit est  gale   1F et 1H, respectivement. Cependant, au fur   mesure que la s quence progresse, la bande passante augmente, jusqu'  ce que la limite d'une ligne de transmission id ale soit atteinte. Dans ce cas la bande passante devient infinie tandis que l'imp dance image,   qui correspond l'imp dance caract ristique de la ligne, reste  gale   1ohm. La r ponse fr quentielle de l'imp dance d'entr e et de la caract ristique de transfert en tension des quatre circuits sont illustr es aux figures II.3 et II.4 respectivement.

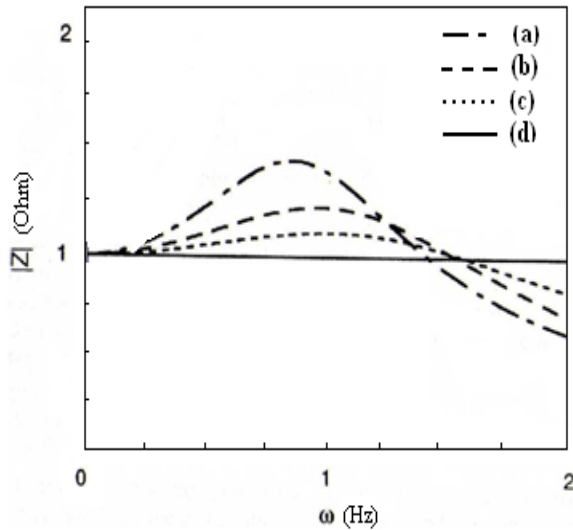


Figure II.3 : Amplitude de l'impédance d'entrée [40].

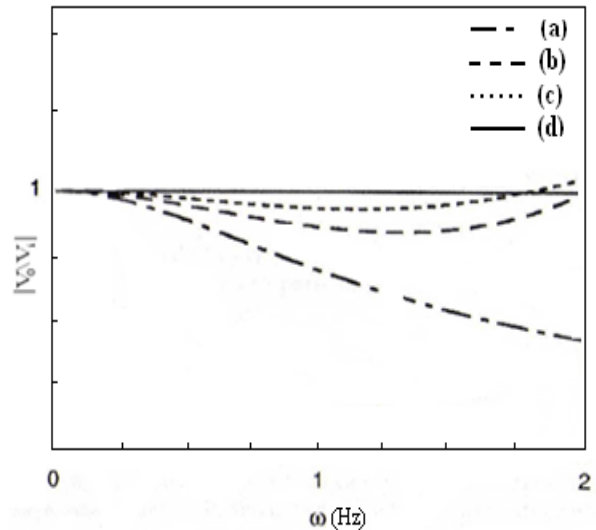


Figure II.4 : Amplitude de la fonction de transfert en tension [40].

L'intérêt de distribuer la capacité prévue sur la structure est immédiatement mis en évidence à partir de ces graphes, parce qu'elle nous permet d'augmenter la bande passante sans altérer l'amplitude de l'impédance et la fonction de transfert en tension.

En distribuant la capacité associée à l'entrée et à la sortie de l'élément actif au long d'un circuit périodique, une plus large bande passante peut être atteinte sans compromettre l'impédance. Comme le circuit périodique a la fonction d'un additionneur de signal des différents éléments, les sorties des dispositifs peuvent être superposées pour que le gain obtenu ne soit pas limité par le produit gain bande passante d'un dispositif à un seul étage.

II.2 Théorie des quadripôles passifs

II.2.1-Introduction

Même si l'amplificateur distribué est constitué d'un certain nombre de transistors à effet de champ, sa topologie permet de le subdiviser en deux circuits passifs couplés unilatéralement par les transconductances des transistors. Chacun des deux circuits comprend des quadripôles passifs identiques du type « k constant » [41], connectés en cascade. Cette manière de représenter l'amplificateur distribué a surtout pour but de faciliter son étude en utilisant la théorie des quadripôles.

II.2.2 Théorie des quadripôles

La théorie des quadripôles caractérise ce type de circuit en appliquant les lois de l'électricité. Comme ils sont connectés en cascade, il est, évidemment, plus intéressant d'utiliser leur matrice de transfert directe qui s'écrit :

$$[M] = \begin{bmatrix} A & B \\ C & D \end{bmatrix}$$

Cette matrice lie les grandeurs électriques en entrée et en sortie d'un quadripôle Q (figure II.5) comme suit :

$$\begin{cases} v_1 = Av_2 - Bi_2 \\ i_1 = Cv_2 - Di_2 \end{cases} \quad (\text{II.2})$$

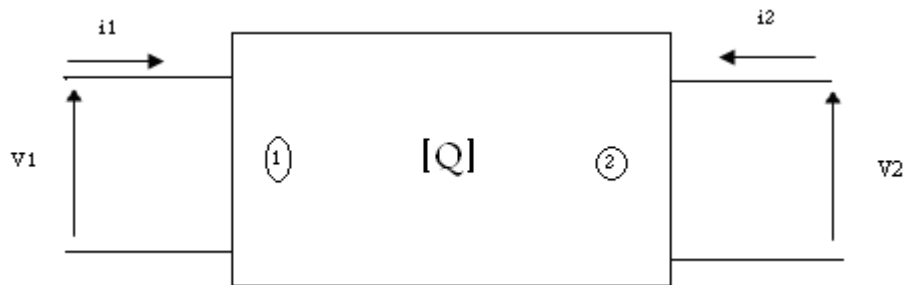


Figure. II.5 : Schéma d'un quadripôle.

II.2.2.1 Impédances images

Sachant que l'amplificateur distribué est constitué d'une succession de quadripôles identiques, les paramètres caractéristiques, dont l'utilisation conduit à un calcul relativement simple de la fonction de transfert, sont les deux impédances images Z_{i1} et Z_{i2} . L'impédance Z_{i1} est vue à l'accès (1) de Q lorsque l'accès (2) est fermé sur Z_{i2} et vice versa (figure II.6). De la matrice de transfert directe, on peut exprimer ces impédances comme suit [41]:

$$Z_{i1} = \sqrt{\frac{AB}{CD}} \quad (\text{II.3})$$

$$Z_{i2} = \sqrt{\frac{BD}{AC}} \quad (\text{II.4})$$

Dans le cas d'un quadripôle symétrique, on définit une seule impédance en l'occurrence l'impédance caractéristique Z_c telle que $Z_c = Z_{i1} = Z_{i2}$.

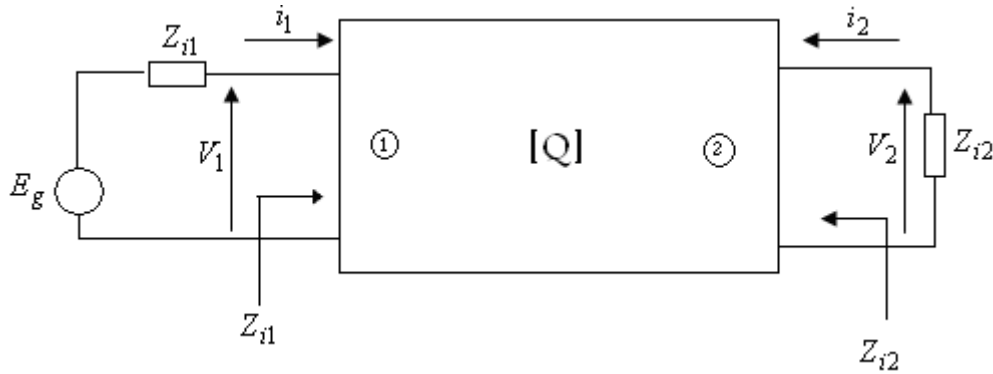


Figure II.6 : Quadripôle fermé sur ces impédances image

II.2.2.2 Fonction de transfert

Un quadripôle chargé à l'accès 2 peut être caractérisé par plusieurs fonctions de transfert. Les deux fonctions de transferts qui nous intéressent le plus sont la fonction de transfert en tension et la fonction de transfert en puissance. Ces fonctions de transfert sont calculées en chargeant le quadripôle par son impédance image Z_{i2} .

a) Fonction de transfert en tension

La fonction de transfert en tension s'écrit [41] :

$$\frac{V_2}{V_1} = \sqrt{\frac{D}{A}} \frac{1}{\sqrt{AD} + \sqrt{BC}} = \sqrt{\frac{Z_{i2}}{Z_{i1}}} e^{-\gamma} \quad (\text{II.5})$$

En utilisant les relations (II.3) et (II.4), on trouve :

$$e^{-\gamma} = \frac{1}{\sqrt{AD} + \sqrt{BC}} \quad (\text{II.6})$$

Si Q est un quadripôle passif, le déterminant de la matrice de transfert vaut l'unité et l'expression (II.6) devient alors [40]:

$$e^{-\gamma} = \sqrt{AD} - \sqrt{BC} \quad (\text{II.7})$$

γ étant l'exposant de transfert sur image, nombre complexe qui s'écrit

$$\gamma = \alpha + j\beta$$

b) Caractéristique de transfert en puissance

La fonction de transfert en puissance, définie comme étant le rapport de la puissance P_2 à l'accès (2) à la puissance P_1 à l'accès (1), est :

$$\frac{P_2}{P_1} = - \left(\frac{i_2}{i_1} \right)^* \left(\frac{v_2}{v_1} \right) \quad (\text{II. 8})$$

Dans le cas où le quadripôle est fermé sur ses impédances images, cette relation s'écrira [40] :

$$\frac{P_2}{P_1} = \sqrt{\frac{Z_{i2}Z_{i1}^*}{Z_{i1}Z_{i2}^*}} \exp(-(\gamma + \gamma^*)) \quad (\text{II. 9})$$

Où bien :

$$\frac{P_2}{P_1} = e^{-2\alpha} e^{j[\arg(Z_{i2}) - \arg(Z_{i1})]} \quad (\text{II. 10})$$

Si $\alpha = 0$ et Z_{i1}, Z_{i2} réelles dans la bande passante, on aura $P_2 = P_1$.

Si $\alpha \neq 0$ et Z_{i1}, Z_{i2} réelles on obtient :

$$\frac{P_2}{P_1} = e^{-2\alpha} \quad (\text{II. 11})$$

II.2.3. Paramètres image et de transfert de certaines structures

II.2.3.1 Cellule en L

Considérons la cellule en L de la figure II.7, le calcul des éléments de sa matrice de transfert donne :

$$A = 1 + \frac{Z_a}{Z_b} \quad B = Z_a \quad C = \frac{1}{Z_b} \quad D = 1$$

En remplaçant ces éléments par leurs expressions dans les relations (II.3), (II.4) et (II.7), on trouve :

$$Z_{i1} = \sqrt{Z_a Z_b} \left(1 + \frac{Z_a}{Z_b} \right)^{\frac{1}{2}} \quad (\text{II. 12})$$

$$Z_{i2} = \sqrt{Z_a Z_b} \left(1 + \frac{Z_a}{Z_b} \right)^{-\frac{1}{2}} \quad (\text{II. 13})$$

$$\gamma_L = \alpha + j\beta = \cosh^{-1} \left(\sqrt{1 + \frac{Z_a}{Z_b}} \right) \quad (\text{II. 14})$$

La figure II.8 représente un exemple de la cellule en L, où $Z_a = j\frac{L}{2}\omega$ et $Z_b = \frac{2}{jC\omega}$. Ce circuit est appelé « circuit k constant » en raison du fait que le produit $Z_a Z_b$ soit indépendant de la fréquence. Pour ce circuit, les relations (II.12), (II.13) et (II.14) donnent:

$$Z_{i1} = Z_0(1 + X_c^2)^{\frac{1}{2}} \quad (\text{II. 15})$$

$$Z_{i2} = Z_0(1 + X_c^2)^{-\frac{1}{2}} \quad (\text{II. 16})$$

$$\gamma_L = \alpha + j\beta = \cosh^{-1}(\sqrt{1 - X_c^2}) \quad (\text{II. 17})$$

Où $X_c = \frac{\omega}{\omega_c}$, $\omega_c = \frac{2}{\sqrt{LC}}$ et $Z_0 = \sqrt{\frac{L}{C}}$, ω et ω_c étant respectivement les pulsations de travail et de coupure.

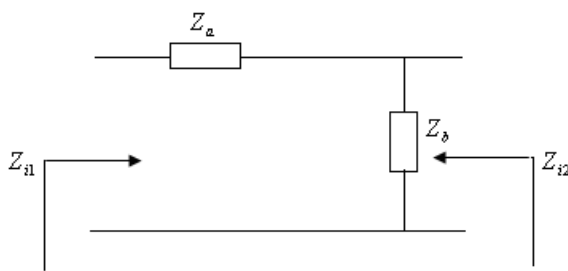


Figure II.7 : Cellule en L

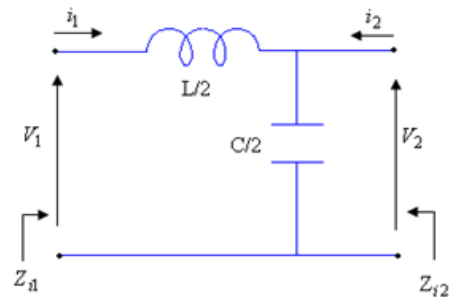


Figure II.8 : Cellule en L « k constant »

II.2.3.2 Section en T symétrique

La section en T symétrique (Figure II.9) peut être obtenue par la mise en cascade de deux cellules en L comme l'indique la figure (II.10). Son impédance caractéristique est donnée par (II.12) et son exposant de transfert sur image est :

$$\gamma_T = 2\gamma_L \quad (\text{II. 18})$$

où γ_L est donné par (II.14)

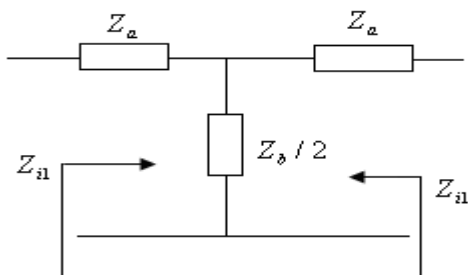


Figure II.9 : Section en T symétrique

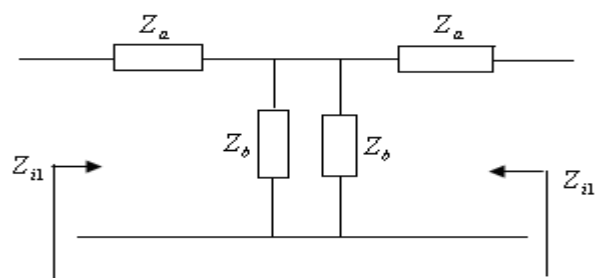


Figure II.10: Section en T à partir de deux cellules en L

Le circuit qui présente un intérêt pour les amplificateurs distribués est l'exemple illustré par la figure II.11, car il en est l'un des éléments constitutifs. Son impédance caractéristique est donnée par (II.15) et son exposant de transfert par :

$$\gamma_T = 2 \cosh^{-1} \left(\sqrt{1 - X_c^2} \right) \quad (\text{II.19})$$

La décomposition du circuit de la figure II.11 en deux cellules en L connectées en cascade donne le circuit de la figure II.12.

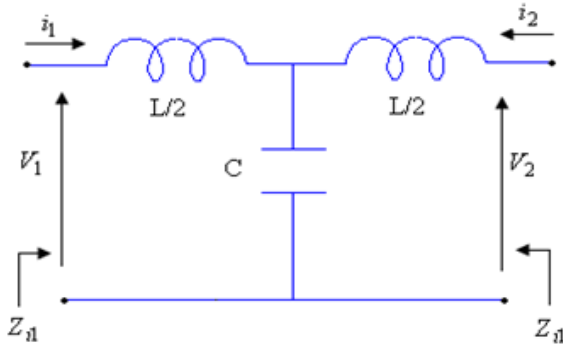


Figure II.11 : Section en T symétrique
« k constant »

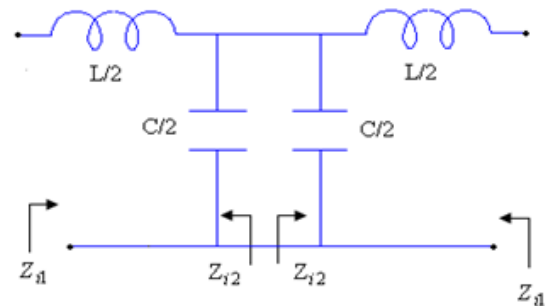


Figure II.12 : Section en T à partir de deux cellules en L « k constant »

II.2.3.3 Section en Π symétrique

Sa topologie a la forme de Π (figure II.13) ; son impédance caractéristique est donnée par (II.13) et son exposant de transfert sur image par (II.18).

On peut aussi obtenir un circuit « k constant » ayant la même forme par une mise en cascade particulière de deux cellules en L comme le montre la figure (II.15)

Ce circuit a une impédance caractéristique dont l'expression est donnée par (II.16) et un exposant de transfert sur image qui s'écrit selon la relation (II.19).

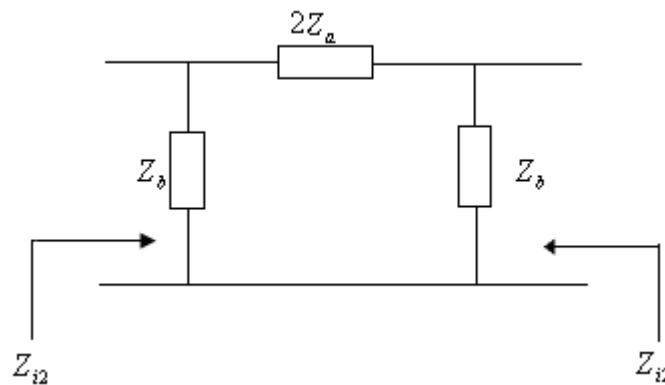


Figure II.13: Section en Π

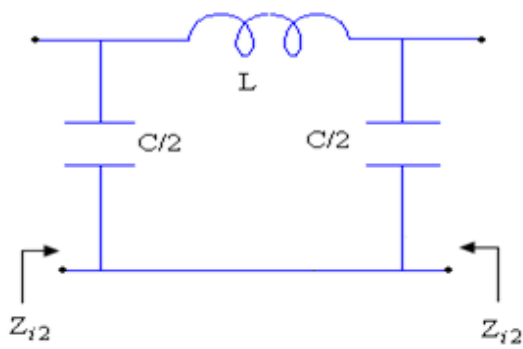


Figure II.14 : Section en Pi « k constant »

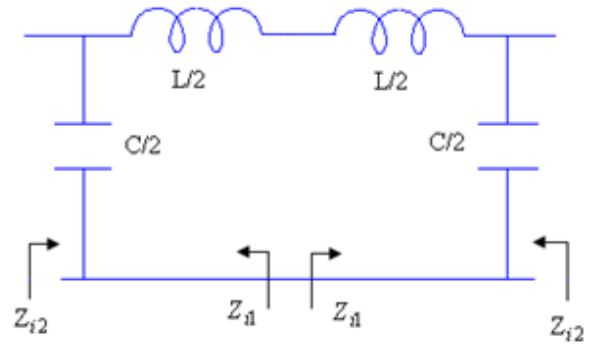


Figure II.15 : Section en Pi à partir de deux cellules en L

II.2.4. Circuits « m dérivé »

Les impédances caractéristiques des sections en T et en Pi sont toutes les deux fonctions de la fréquence. Un problème de désadaptation se posera alors à la sortie de tels quadripôles si la charge Z_0 est une résistance de valeur constante. Pour pallier à ce problème, on intercale un quadripôle $[Q_1]$ appelé circuit « m dérivé » entre l'une des deux sections et Z_0 , afin d'assurer l'adaptation (figure II.16). Il est évident que $[Q_1]$ n'est pas un quadripôle symétrique.

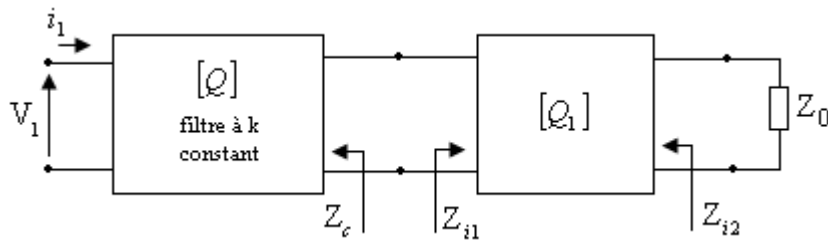


Figure II.16: adaptation à l'aide d'un quadripôle $[Q_1]$

Le quadripôle « m dérivé » $[Q_1]$ peut avoir deux topologies selon qu'il soit associé à une cellule en "T" (figure II.17) ou à une cellule en "Pi" (figure II.18).

Pour la topologie associée à une cellule en "T" (figure II.17), il faut que l'on ait:

$$Z_{i1} = Z_c = Z_0(1 - X_c^2)^{1/2} \quad (\text{II. 20. a})$$

$$Z_{i2} \cong Z_0 \cong C^{te} \quad (\text{II. 20. b})$$

A partir de ces deux conditions et en appliquant la relations (II.13) à cette topologie, on obtient après simplification l'expression (II.20a) et :

$$Z_{i2} = Z_0 \frac{1 - X_c^2(1 - m^2)}{\sqrt{1 - X_c^2}} \quad (\text{II. 21})$$

Pour la topologie associée à une cellule en "II" (figure II.18), il faut aussi vérifier les relations (II.20a) et (II.20b):

En appliquant la relation (II.13), on aboutit à :

$$Z_{i2} = \frac{Z_0 \sqrt{1 - X_c^2}}{1 - X_c^2(1 - m^2)} \quad (\text{II. 22})$$

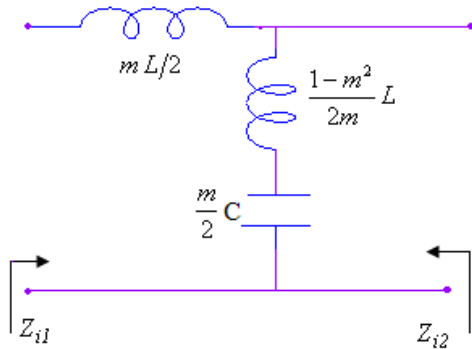


Figure II.17: Quadripôle $[Q_1]$ m dérivé associé à une cellule en "T"

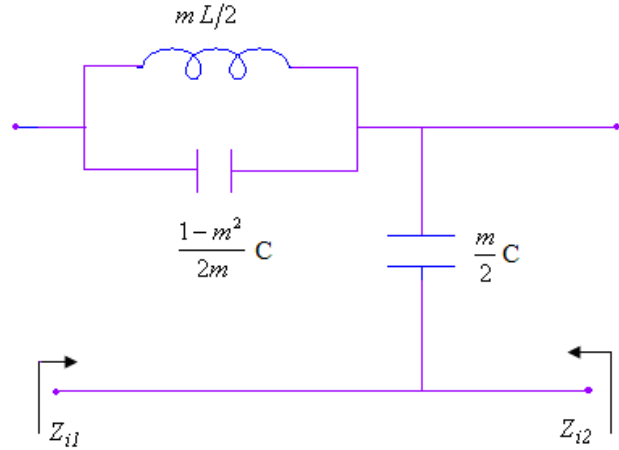


Figure. II.18: Quadripôle $[Q_1]$ m dérivé associé à une cellule en "II".

La figure II.19 représente les variations de $\left(\frac{Z_{i1}}{Z_0}\right)$ et $\left(\frac{Z_{i2}}{Z_0}\right)$ en fonction de la fréquence normalisée pour $m=0,6$ correspondant à la topologie associée à une cellule en "T". On constate que $\left(\frac{Z_{i2}}{Z_0}\right)$ est à peu près constant jusqu'à $X_c = 0.7$ alors que $\left(\frac{Z_{i1}}{Z_0}\right)$ est variable sur toute la gamme de fréquence. Le même résultat est obtenu pour la topologie associée à une cellule en "II" avec $m=0.6$.

En appliquant la relation (II.14), l'exposant de transfert sur image d'un quadripôle m dérivé s'écrit :

$$\gamma_m = \alpha + j\beta = \cosh^{-1} \left[1 + \frac{2m^2(X_c^2)}{(1 - m^2)(X_c^2) - 1} \right] \quad (\text{II. 23})$$

et celui d'une cellule « k constant » est donné par la relation (II.17).

On constate d'après les courbes (figure II.20) que les atténuations des circuits « k constant » et des quadripôles m dérivés sont égales dans l'intervalle $[0,1]$ alors que leurs constantes de phase varient différemment.

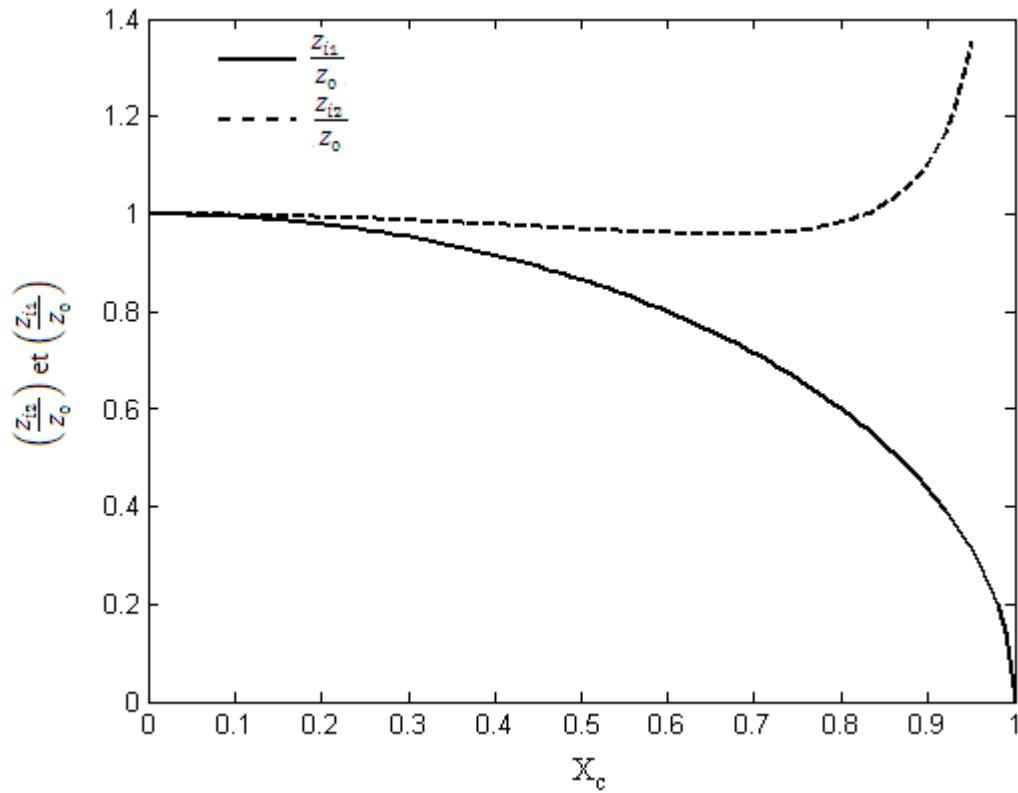


Figure II.19: Courbes donnant $\left(\frac{Z_{i2}}{Z_0}\right)$ et $\left(\frac{Z_{i1}}{Z_0}\right)$ en fonction de X_c pour une cellule en "T"

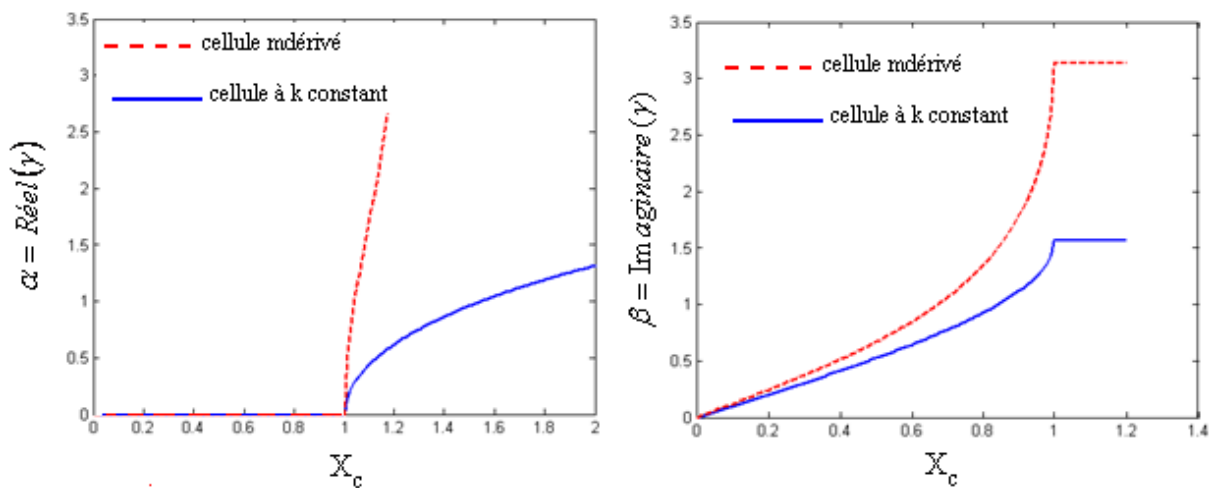


Figure. II.20: Courbes donnant la variation de α et β en fonction de X_c

Chapitre III

Les amplificateurs distribués conventionnels

Les amplificateurs distribués conventionnels

III.1 Introduction

Ce chapitre décrit le principe de fonctionnement de l'amplificateur distribué conventionnel (ADC) et celui de l'amplificateur distribué en cascade (CSSDA). Ces deux amplificateurs offrent un gain plat sur une large bande de fréquence ; leur analyse se fait en utilisant la théorie des quadripôles développée au chapitre précédent.

III.2 L'amplificateur distribué conventionnel (ADC)

Comme l'amplificateur distribué peut être assimilé à deux lignes artificielles constituées d'un certain nombre de quadripôles et couplées d'une manière unidirectionnelle par les transconductances des transistors MESFET, l'étude de ses performances, objet du présent chapitre, se fait donc en utilisant les relations établies au chapitre II.

L'étude des performances de l'amplificateur distribué se ramène en particulier à celle des impédances caractéristiques des lignes, de son gain en puissance et de sa bande passante.

III.2.1 Principe de base :

L'amplificateur distribué conventionnel (ADC) est constitué de N transistors à effet de champ reliant deux lignes de transmission artificielles [40], appelées ligne de grille et ligne de drain. Les capacités de grille des transistors sont les éléments constitutifs de la ligne de grille et les capacités de drain celles de la ligne de drain. Ces deux lignes, constituées également des inductances séries L_g et L_d , sont adaptées à leurs extrémités. L'ensemble forme un octopôle dont l'accès d'entrée, soumis à la tension V_E , est l'une des extrémités de la ligne de grille, et l'accès de sortie, fournissant la tension V_S , est l'extrémité opposée de la ligne de drain (figure. III.1).

Les inductances forment, respectivement et à première approximation avec les capacités shunt C_{gs} (capacité grille-source) et C_{ds} (capacité drain-source) du modèle électrique simplifié du transistor MESFET (figure. III.2), des circuits du type « k constant » connectés en cascade (figure. III.3). Ces circuits peuvent être considérés soit comme des sections en T symétriques (figure. II.11) ou des sections en Π symétriques (figure. II.14) dont les impédances caractéristiques varient avec la fréquence (II.12) et (II.13). L'adaptation des lignes nécessite donc des impédances de fermeture aux différents accès variant avec la fréquence selon les

relations (II.12) et (II.13) ; mais le problème est lié au fait que pratiquement les charges sont des résistances de valeur constante égale à 50Ω . Pour y remédier, on doit alors intercaler des circuits « m dérivés » (figure. II.17 et II.18).

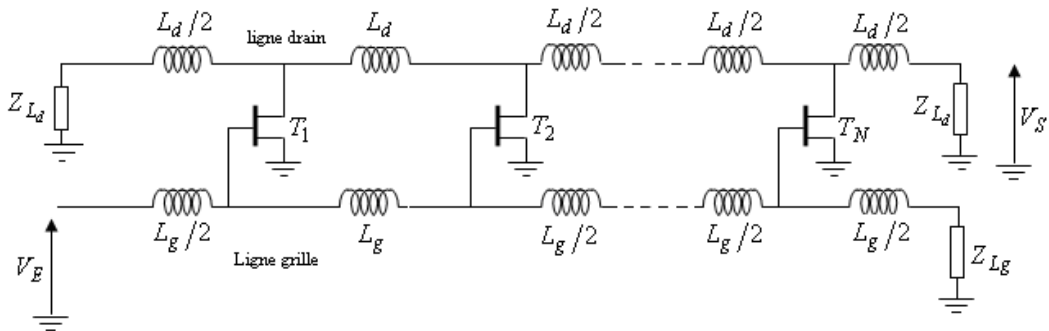


Figure III.1: Schéma d'un amplificateur distribué conventionnel

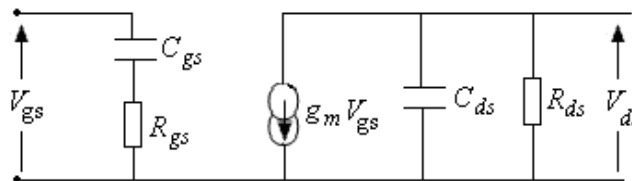
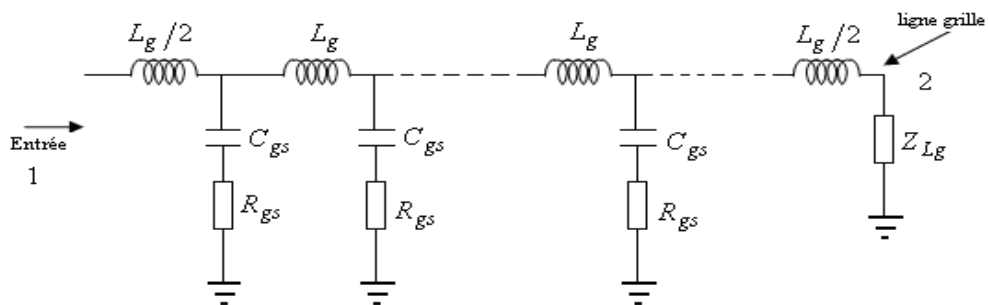
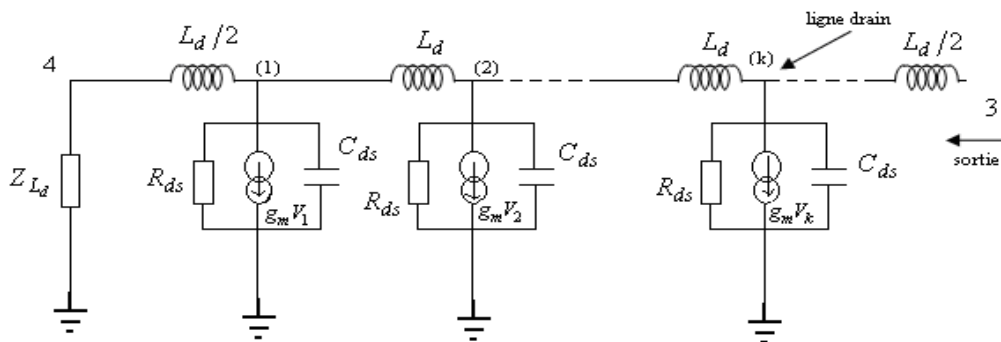


Figure III.2: Modèle électrique simplifié du transistor MESFET



(a)



(b)

Figure III.3 : Schéma électrique d'un A.D.C

(a) ligne de grille; (b) ligne de drain.

En se propageant le long de la ligne de grille, le signal injecté à l'entrée de cette ligne va exciter les différents transistors qui vont générer, à leur tour, des courants sur la ligne de drain au moyen de leurs transconductances g_m . En basse fréquence, ces courants sont déterminés, à la fois, par les impédances de fermeture 50Ω aux deux extrémités de la ligne de drain et par la résistance drain-source R_{ds} du transistor. A haute fréquence, l'amplitude du signal de la ligne de grille décroît au fur et à mesure qu'il s'approche de l'autre extrémité de la ligne et ce, à cause des pertes induites par la résistance grille-source R_{gs} du transistor. D'une autre manière, les pertes augmentent avec le nombre de transistors ; ceci implique qu'il existe une valeur limite attribuée à ce nombre et qu'au-delà de cette limite, les transistors supplémentaires auront un comportement passif car ils seront excités par un signal si faible qu'il puisse être assimilé à du bruit.

La moitié des courants de la ligne de drain qui se dirige vers la charge va s'ajouter d'une manière constructive, et l'autre moitié, celle qui emprunte la direction opposée va, par contre, se détruire plus ou moins en hautes fréquences. L'obtention des ondes constructives n'est assurée que si les constantes de phase des lignes de grille et de drain sont égales. Cette condition, associée à l'adaptation des lignes par des impédances de fermeture égales à leurs impédances caractéristiques, impliquera naturellement l'égalité de ces impédances caractéristiques.

Cette adaptation est indispensable si on veut avoir un gain en puissance aussi constant que possible dans la bande passante de l'amplificateur. La courbe de ce gain va, du point de vue forme, s'apparenter à la courbe produite par la fonction de transfert des circuits « k constant » qui est du type passe bas.

Dans l'ADC, les capacités C_{gs} et C_{ds} ne peuvent pas s'ajouter chacune de N fois leur valeur puisqu'elles sont absorbées par les lignes artificielles. Donc, l'ADC procure un produit gain bande passante qui s'accroît, jusqu'à une certaine limite, avec le nombre N de transistors et sa fréquence maximale est la fréquence de coupure des lignes artificielles.

III.2.2 Analyse du montage

III.2.2.1 Ligne de grille

La section élémentaire de la ligne de grille (figure. III.4) se compose de deux cellules en L (figure. III.5). L'exposant de transfert sur image γ_g de la cellule en L est, compte tenu de (II.14), tel que :

$$\cosh \gamma_g = 1 + \frac{ZY}{2} = 1 - \frac{\omega^2 L_g C_{gs}}{2(1 + j\omega R_{gs} C_{gs})} \quad (\text{III. 1})$$

En posant $\omega_c = \frac{2}{\sqrt{L_g C_{gs}}}$; $\omega_g = \frac{1}{R_{gs} C_{gs}}$; $X_c = \frac{\omega}{\omega_c}$; $X_g = \frac{\omega}{\omega_g}$ et $a = \frac{\omega_c}{\omega_g}$

L'expression (III.1) devient alors :

$$\cosh(\gamma_g) = 1 - \frac{2X_c^2}{1 + jX_g} \quad (\text{III. 2})$$

En développant la fonction complexe $\gamma_g = \alpha_g + j\beta_g$ en partie réelle et en partie imaginaire, *coch* on trouve :

$$\cosh \alpha_g \cos \beta_g + j \sinh \alpha_g \sin \beta_g = 1 - \frac{2X_c^2}{1 + X_g^2} + j \frac{2X_c^2 X_g}{1 + X_g^2}$$

En admettant que les pertes sont faibles ($\cosh \alpha_g \approx 1$), on peut alors obtenir des expressions approchées pour β_g et α_g qui s'écrivent :

$$\cos \beta_g \cong 1 - \frac{2X_c^2}{1 + X_g^2} \quad (\text{III. 3})$$

$$\sinh \alpha_g \cong \alpha_g \cong \frac{aX_c^2}{\sqrt{1 - (1 - a^2)X_c^2}} \quad (\text{III. 4})$$

La présence des pertes, causées par R_{gs} , va affecter les impédances images de la demi section en L (fig. III.5). Compte tenu des relations (II.12) et (II.13), on aura :

$$Z_{i1}^{(g)} = \sqrt{\frac{L_g}{C_{gs}}} \sqrt{1 - X_c^2 + jX_g} \quad (\text{III. 5})$$

$$Z_{i2}^{(g)} = \sqrt{\frac{L_g}{C_{gs}}} \frac{1 + jX_g}{\sqrt{1 - X_c^2 + jX_g}} \quad (\text{III. 6})$$

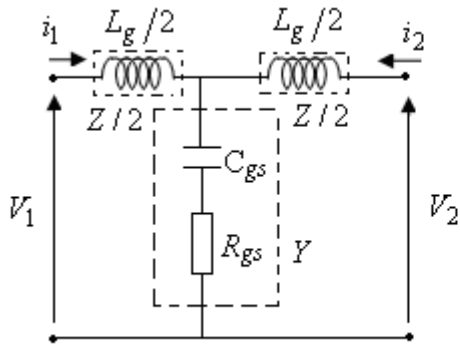


Figure III.4 : Section élémentaire en T de la ligne de grille avec pertes

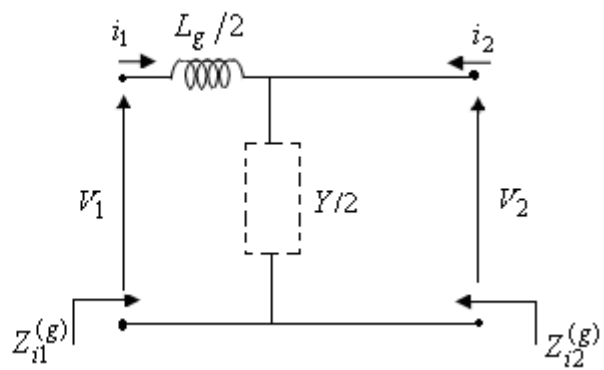


Figure III.5 : Section en L de la ligne de grille avec pertes.

Le rapport des deux impédances images sera par conséquent:

$$\frac{Z_{i2}^{(g)}}{Z_{i1}^{(g)}} = \frac{1 + jX_g}{1 - X_c^2 + jX_g} \quad (\text{III. 7})$$

Puisque les pertes sont très faibles ($a \ll 1$), ce rapport devient:

$$\frac{Z_{i2}^{(g)}}{Z_{i1}^{(g)}} = \frac{1}{1 - X_c^2} \quad (\text{III. 8})$$

Ce résultat, conforme aux propriétés des circuits « k constant », sera utilisé lors de la détermination du gain de l'amplificateur en présence de dissipation interne.

III.2.2.2 Ligne de drain

Pour un transistor MESFET quelconque, C_{gs} est toujours supérieure à C_{ds} , alors si on utilise la même inductance L pour les deux lignes de drain et de grille, on doit donc ajouter une capacité C en parallèle avec C_{ds} (figure. III.6) pour la synchronisation des phases. Cette capacité vaut alors:

$$C = C_{gs} - C_{ds} \quad (\text{III. 9})$$

De la même manière, en analysant la section élémentaire de la ligne drain (figure. III.7), l'exposant de transfert sur image γ_d , d'après la relation (II.14), est:

$$\cosh \gamma_d = 1 + \frac{ZY}{2} = (1 - 2X_c^2) + j2X_c \left(\frac{\omega_d}{\omega_c} \right) \quad (\text{III. 10})$$

Ou bien

$$\begin{aligned} \cosh \gamma_d &= \cosh \alpha_d \cos \beta_d + j \sinh \alpha_d \sin \beta_d \\ &= (1 - 2X_c^2) + j2X_c \left(\frac{\omega_d}{\omega_c} \right) \end{aligned}$$

Car $\gamma_d = \alpha_d + j\beta_d$

Avec

$$Y = \frac{1}{2R_{ds}} + j \frac{C_d \omega}{2}; \quad C_d = C_{ds} + C; \quad \omega_d = \frac{1}{R_{ds} C_d}; \quad \omega_c = \frac{2}{\sqrt{L_d C_d}}; \quad b = \frac{\omega_d}{\omega_c} \text{ et } X_d = \frac{\omega}{\omega_d}$$

En reprenant les mêmes hypothèses (pertes de drain faibles $\Leftrightarrow \cosh \alpha_d \approx 1$) on aura:

$$\cos \beta_d \approx 1 - 2X_c^2 \quad \text{(III. 12)}$$

$$\alpha_d \approx \frac{b}{\sqrt{1 - X_c^2}} \quad \text{(III. 13)}$$

Compte tenu des relations (II.12) et (II.13), les impédances image d'une cellule en L de la ligne de drain (figure. III.7) s'expriment sous la forme:

$$Z_{i1}^d = \sqrt{\frac{L_d}{C_d}} \frac{1}{\sqrt{1 - \frac{j}{X_d}}} \sqrt{1 - X_c^2 + jbX_c} \quad \text{(III. 14)}$$

$$Z_{i2}^d = \sqrt{\frac{L_d}{C_d}} \frac{1}{\sqrt{1 - \frac{j}{X_d}} \sqrt{1 - X_c^2 + jbX_c}} \quad \text{(III. 15)}$$

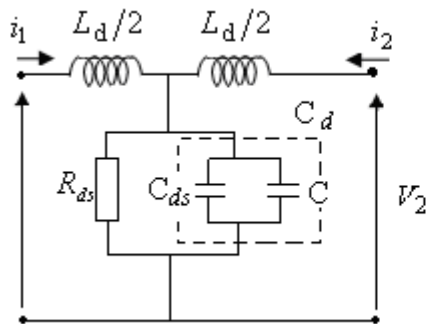


Figure III.6 : Section en T de la ligne de drain.

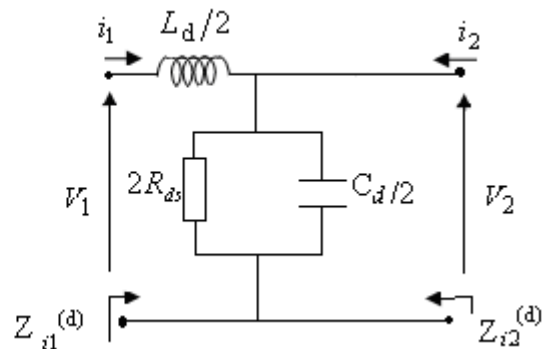


Figure III.7 : Section en L de la ligne de drain

III.2.3 Gain en puissance de l'ADC

En adaptant les accès 2 et 4 (figure. III.3), le gain en puissance, pour $X_c < 1$ s'écrit (Annexe A):

$$G_p \cong \frac{g_m^2 Z_0^d Z_0^g}{4(1 - X_c^2)(1 + X_g^2)} \exp(-N(\alpha_g + \alpha_d)) \frac{\sinh^2[N(\alpha_d - \alpha_g)/2]}{\sinh^2[(\alpha_d - \alpha_g)/2]} \quad (\text{III. 16})$$

où N est le nombre de transistors, α_d et α_g les facteurs d'atténuations des lignes donnés respectivement par les relations (III.4) et (III.13) et $Z_0^g = \sqrt{\frac{L_g}{c_{gs}}}$ et $Z_0^d = \sqrt{\frac{L_d}{c_d}}$.

En supposant que le transistor utilisé est sans pertes ($\alpha_g = \alpha_d = 0$), le gain normalisé devient

$$g_p = \frac{G_p}{0.25N^2 g_m^2 Z_0^d Z_0^g} = \frac{1}{(1 - X_c^2)} \quad (\text{III. 17})$$

La caractéristique du gain normalisé en fonction de la fréquence normalisée sera donc (Figure III.8)

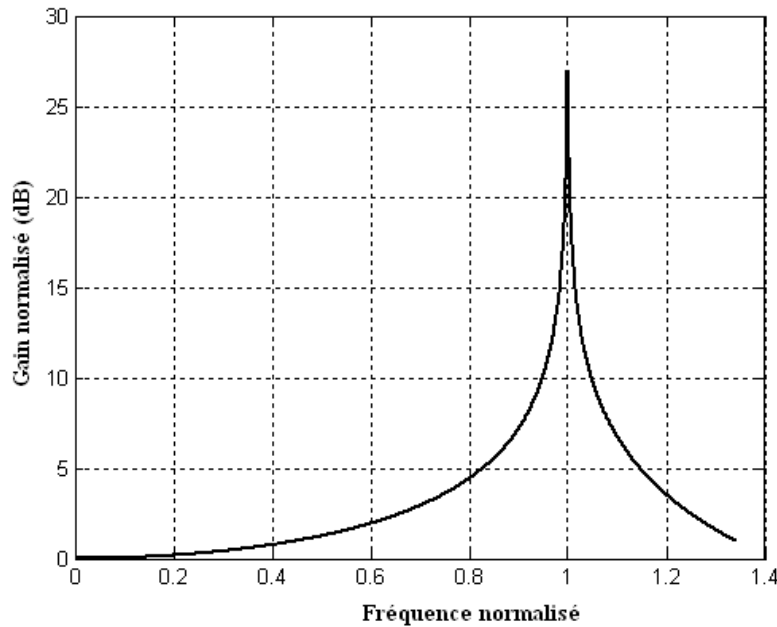


Figure III.8: Gain en puissance d'un ADC

III. 3 L'amplificateur distribué en cascade (CSSDA):

L'amplificateur distribué à un seul étage en cascade (CSSDA) fut proposé par J.Y. Liang et C.S. Aitchison [22]. C'est un dispositif qui comporte plusieurs étages montés en cascade. Les circuits d'entrée, de sortie et inter-étage sont des lignes artificielles adaptées dont

les éléments shunt sont les capacités de grille C_{gs} et de drain C_{ds} du transistor MESFET (fig. III.10). L'entrée et la sortie de chaque transistor sont connectées à une cellule k-constant en pi. Cet arrangement permet d'éliminer la nécessité de maintenir l'impédance caractéristique des étages intermédiaires à l'impédance standard de 50Ω . Une augmentation de cette impédance a pour conséquence un gain disponible plus élevé puisque la tension de grille à chaque étage intermédiaire a également augmenté.

III. 3.1 CSSDA sans pertes

Le transistor utilisé dans l'étude de cet amplificateur est le modèle unilatéral simplifié de la figure III.9, et l'amplificateur CSSDA est représenté par la figure III.10.

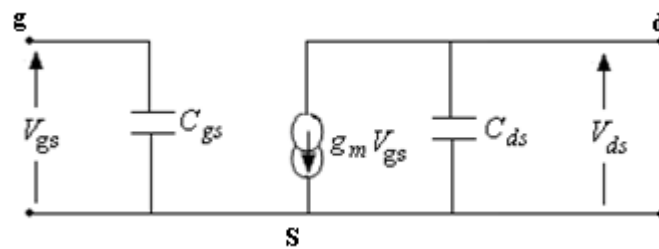


Figure. III.9: Schéma unilatéral simplifié du MESFET

Un générateur de signal connecté à l'entrée de ce réseau se traduira par une différence de potentiel aux bornes du condensateur d'entrée C_{gs} du premier étage. Le signal amplifié par la transconductance du FET produit un courant au niveau de son drain qui se termine par l'impédance de couplage Z_{0int} . Ce courant développera à son tour une tension au niveau de la grille du transistor suivant qui sera amplifié par sa transconductance, produisant un courant au niveau de son drain. Ainsi, le signal sera amplifié par le gain des étages successives, par conséquent, le gain en puissance disponible peut être considérablement augmenter en augmentant le nombre d'étages N . Dans cette conception, seules les impédances caractéristiques de la ligne d'entrée grille et de sortie drain du circuit doivent être fixés. Cela montre la facilité de conception de l'amplificateur distribuée cascade par rapport à l'amplificateur distribué classique, car aucune synchronisation de phase entre les étages successives des lignes de drain et de grille n'est nécessaire.

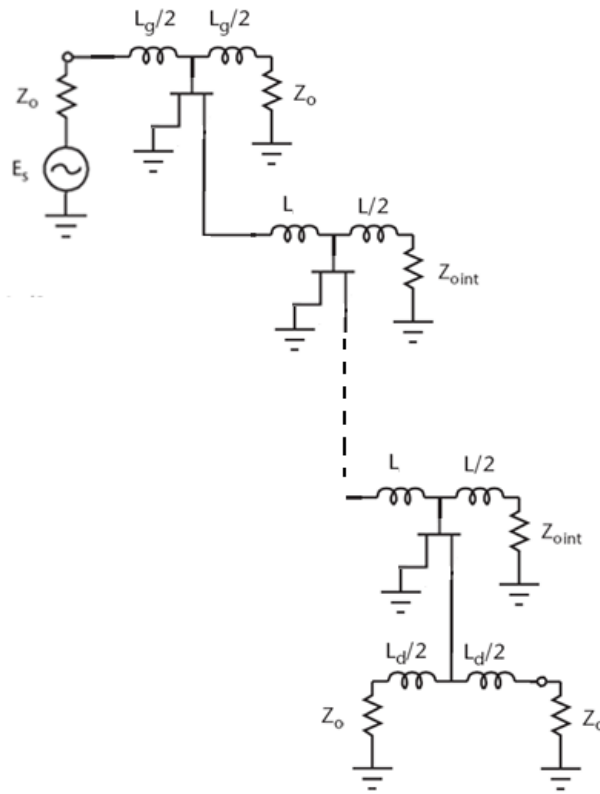


Figure III.10 : Schéma de l'amplificateur CSSDA [41].

III.3.2 Etude du montage CSSDA :

L'expression représentant le gain transducique de l'amplificateur CSSDA à N-étages est obtenue en utilisant la figure (III.11). Cette figure représente le premier étage du CSSDA. Comme indiqué, un générateur de signal sinusoïdal ayant une tension d'amplitude E_s est connecté à l'entrée du CSSDA.

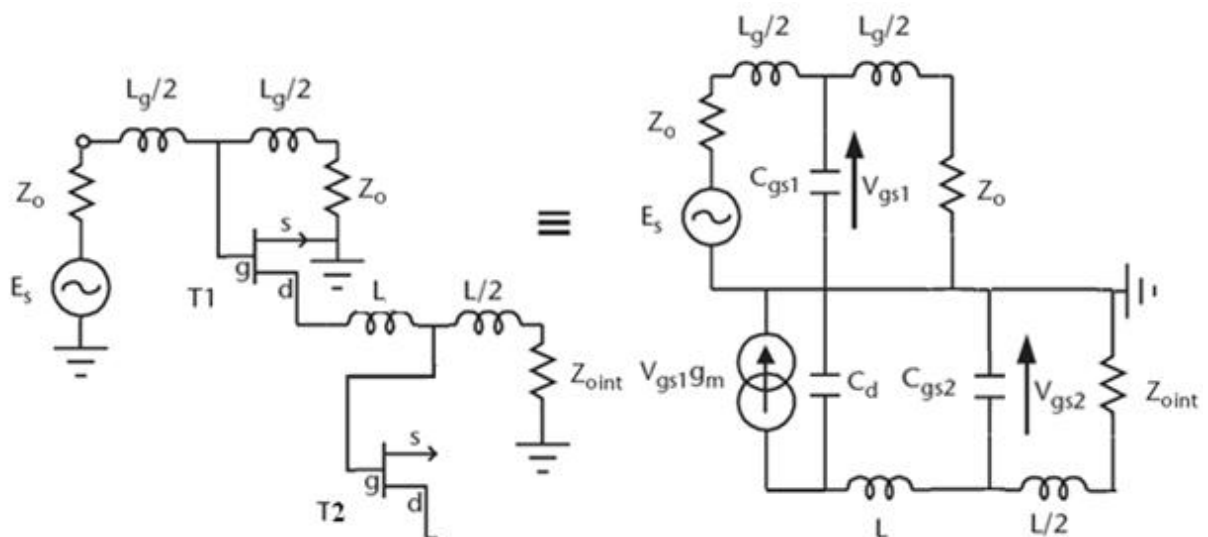


Figure III.11: Premier étage du CSSDA [41].

Comme l'amplificateur est adapté au générateur alors la tension aux bornes de la capacité C_{gs1} du premier étage est :

$$V_{gs1} = \frac{E_s}{2} e^{-j\theta} \quad (\text{III.18})$$

θ étant le déphasage de la demi-section en L

Le schéma équivalent du deuxième étage est représenté à la figure III.12.

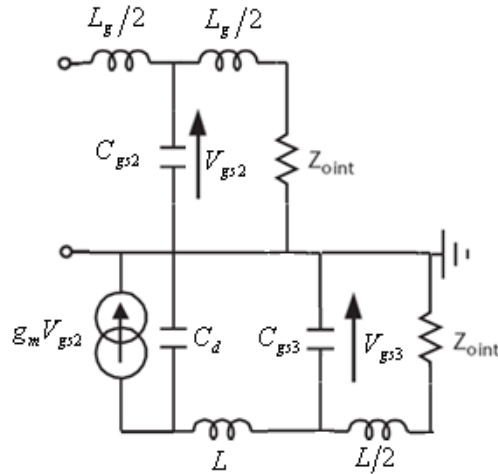


Figure III.12 : Deuxième étage du CSSDA [41]

Sachant que les lignes inter-étages sont toutes adaptées à l'impédance Z_{int} , la tension d'entrée du deuxième transistor est alors

$$V_{gs2} = g_m V_{gs1} Z_{int} e^{-j2\theta} \quad (\text{III.19})$$

Z_{int} est l'impédance caractéristique des lignes inter-étages.

En remplaçant V_{gs1} par sa valeur donnée par (III.18), nous trouvons

$$V_{gs2} = g_m \frac{E_s}{2} Z_{int} e^{-j3\theta} \quad (\text{III.20})$$

La tension d'entrée du troisième transistor sera

$$V_{gs3} = g_m V_{gs2} Z_{int} e^{-j2\theta} \quad (\text{III.21})$$

Qui devient après remplacement de V_{gs2} par sa valeur

$$V_{gs3} = \frac{E_s}{2} g_m^2 Z_{int}^2 e^{-j5\theta} \quad (\text{III.22})$$

On aura finalement la tension d'entrée du dernier étage

$$V_{gsn} = \frac{E_s}{2} g_m^{(N-1)} Z_{int}^{(N-1)} e^{-j(2N-1)\theta} \quad (\text{III.23})$$

Le dernier étage du CSSDA est représenté à la figure III.13. Il est clair que pour une charge adaptée de sortie, le courant sortant du drain du dernier étage sera également réparti entre la charge du drain du côté gauche de la ligne de transmission artificielle et la charge du côté droit.

Ainsi, le courant traversant la charge est

$$I_s = \frac{1}{2} g_m V_{gsn} e^{-j\theta} \quad (\text{III.24})$$

Ou encore

$$I_s = \frac{E_s}{4} g_m^N Z_{int}^{(N-1)} e^{-j2N\theta} \quad (\text{III.25})$$

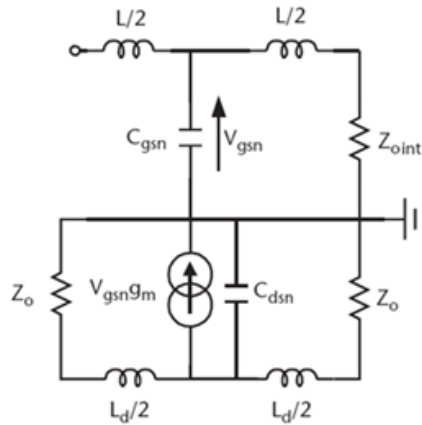


Figure III.13 : Dernier étage du CSSDA.

Le gain transducique de l'amplificateur est

$$G_{tCSSDA} = \frac{\frac{1}{2} \text{Re}(Z_o |I_s|^2)}{\frac{|E_s|^2}{8Z_o}} \quad (\text{III.26})$$

Après simplification nous trouvons

$$G_{tCSSDA} = \frac{1}{4} Z_0^2 g_m^{2N} Z_{int}^{2(N-1)} \quad (\text{III. 27})$$

Sachant que $Z_{int} = Z_{0int} \sqrt{\left(1 - \frac{\omega^2}{\omega_c^2}\right)^{-1}}$ (voir chapitre II), le gain devient

$$G_{tCSSDA} = \frac{Z_0^2 Z_{0int}^{2(N-1)} g_m^{2N}}{4(1 - X_c^2)^{N-1}} \quad (\text{III. 28})$$

On peut noter que G_{tCSSDA} est une fonction exponentielle du nombre de transistors N et de l'impédance de charge des lignes inter-étages Z_{0int} . Autrement dit, le gain peut être considérablement amélioré en augmentant Z_{0int} et le nombre d'étages.

Le gain transductique normalisé du CSSDA est donné par (III.29), et sa réponse fréquentielle est tracée sur le graphe de la figure III.14 pour $N=4$.

$$g_{tCSSDA} = \frac{G_{tCSSDA}}{0.25 Z_0^2 Z_{0int}^{2(N-1)} g_m^{2N}} = \frac{1}{(1 - X_c^2)^{N-1}} \quad (\text{III. 29})$$

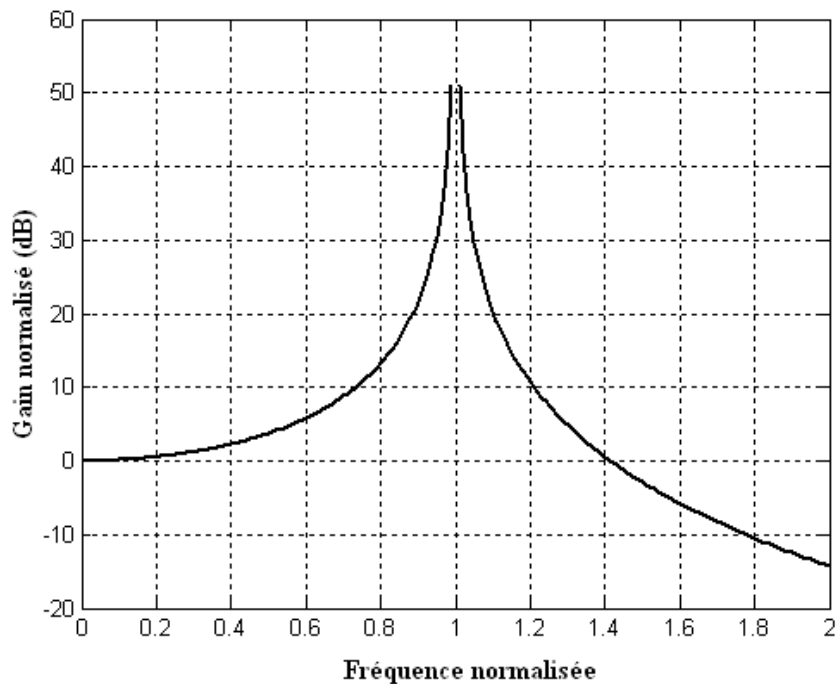


Figure III.14 : Gain normalisée en fonction de la fréquence normalisée du CSSDA.

Chapitre IV

Méthode de Conception de l'Amplificateur Distribué à un transistor

Méthode de Conception de l'Amplificateur Distribué à un Transistor

IV.1 Introduction:

Ce chapitre décrit une méthode, que nous avons développée et mise en œuvre, qui permet de concevoir un amplificateur distribué micro-onde à un seul transistor à effet de champ avec les contraintes suivantes (cahier de charge) :

- une bande passante désirée ;
- un taux d'ondulation du gain imposé ;
- une bande passante et un taux d'ondulation fixés ;
- un bon compromis entre la bande passante et le taux d'ondulation.

Cette méthode permet également d'apporter une amélioration très significative de la bande passante, estimée à 141% par rapport à celles des amplificateurs distribués micro-ondes à un seul transistor à effet de champ [16]-[18], et une réduction notable du taux d'ondulation, évaluée à 41% avec un léger élargissement de la bande passante de 2% comparativement aux mêmes paramètres caractéristiques d'un amplificateur de topologie identique [42]. De plus, nous pouvons, avec cette méthode, concevoir ce type d'amplificateur à un seul transistor de sorte qu'il ait les mêmes performances (mêmes gain et bande passante) que celles d'un amplificateur distribué conventionnel (ADC) à 4 transistors. Le rapport performance-encombrement est ainsi amélioré.

Cette méthode impose l'utilisation d'un transistor vérifiant deux critères liés à la capacité grille source C_{gs} . Cette capacité est l'élément essentiel à partir duquel les autres éléments du dispositif sont déterminés.

Ce type d'amplificateur est constitué d'un seul transistor, d'une ligne de grille et d'une ligne de drain ouvertes chacune à une extrémité (fig. IV.1). Nous le dénommons « amplificateur distribué non adapté conventionnel à un seul étage (ADNAC) ». Ce dispositif qui fut proposé par Moazzam [18] se distingue donc de l'ADC original non seulement par le nombre de transistors, mais aussi par la nature de l'onde qui se propage le long de la ligne de grille.

L'avantage de cette structure par rapport à une structure adaptée au niveau des extrémités des lignes de grille et de drain ou l'ADC à un seul étage est l'obtention d'une tension de grille V_{gs} double à l'entrée du transistor d'une part, et un courant deux fois plus grand dans l'impédance de charge d'autre part. Etant contrôlé par la tension V_{gs} , le courant de

sortie de drain I_{ds} doublera donc. Ajouté à cela le fait que ce courant, au lieu d'être équitablement partagé entre l'impédance de fermeture (accès 3) et l'impédance de charge (accès 4) comme c'est le cas de l'ADC à un seul ou plusieurs transistors, sera entièrement absorbé par la charge, ce qui impliquera inévitablement une amélioration du gain transducique d'une valeur de 12 dB.

L'inconvénient avec cette structure est qu'en utilisant des lignes de grille et de drain d'impédance caractéristique Z_0 égale à 50Ω [18], on obtient une bande passante beaucoup plus faible que celle de l'ADC. Nous pouvons donc comprendre que si on attribue à Z_0 la valeur 50Ω dans le cas de l'ADC c'est surtout par souci d'adaptation des lignes de grille et de drain qui sont, en réalité, chargées par 50Ω . Par contre, pour l'ADNAC rien ne justifie ce choix y compris celui relatif au critère d'adaptation étant donné que ces lignes ne peuvent être adaptées ni dans ce cas ($Z_0 = 50\Omega$) ni dans aucun autre cas ($Z_0 \neq 50\Omega$) car chacune de leur extrémité est ouverte. Nous pouvons donc lever cette contrainte qui oblige à prendre $Z_0 = 50\Omega$ comme c'est le cas de la conception de l'ADNAC.

En n'ayant plus cette contrainte ($Z_0 = 50\Omega$), nous pourrions en effet avoir plus de liberté sur le choix ou la détermination des impédances caractéristiques des lignes de grille et de drain selon évidemment l'objectif recherché. Ces impédances caractéristiques influent fortement sur la bande passante et le taux d'ondulation du gain de transfert en puissance du circuit.

Notre but consiste alors à développer une méthode de conception allant dans le sens de l'amélioration de la bande passante ou du taux d'ondulation du gain. Les impédances caractéristiques des lignes vont par conséquent constituer les paramètres de conception.

La méthode consiste d'abord à approximer le gain de transfert en puissance de l'ADNAC par un polynôme ayant une fonction de transfert stable sur toute la bande passante, en d'autres termes, forcer l'amplificateur ADNAC à avoir la même réponse que le polynôme choisi ; le nouvel amplificateur est dénommé ADNA. Nous portons notre choix sur les polynômes de Chebyshev [43] car ces derniers s'appliquent généralement à des circuits ayant des réponses fréquentielles fluctuantes dans la bande de fréquence, ce qui correspond justement à notre cas.

Ensuite, nous établirons, à partir de cette approximation, les relations donnant les valeurs des paramètres des éléments constitutifs du circuit ainsi que ses performances.

Comme la réponse de l'ADNAC est du type passe bas, il existe donc une fréquence de coupure représentant la limite supérieure de la bande passante. Les paramètres des

éléments du circuit et ses performances dépendent de cette fréquence de coupure, ce qui signifie que son choix est très important.

Au début, nous avons opté pour une certaine valeur de la fréquence de coupure ayant la particularité de simplifier la méthode d'une part et d'obtenir une bande passante de l'ADNA plus grande [42] que celle de l'ADNAC d'autre part. Ensuite, nous avons rendu la méthode plus générale en prenant une fréquence de coupure quelconque, ce qui a donné naissance à notre nouvelle technique de conception. En outre, cette manière d'opérer nous a permis de connaître les conditions permettant une amélioration encore plus grande des performances de l'ADNA.

Deux études seront alors exposées selon le cas où :

- la fréquence de coupure a une valeur particulière (étude particulière) ;
- la fréquence de coupure a une valeur quelconque (étude générale)

IV.2 Etude de l'amplificateur ADNA

Le schéma de l'amplificateur ADNA est donné par la figure (IV.1) où le transistor est un transistor MESFET dont le modèle électrique est supposé simplifié (figure IV.2).

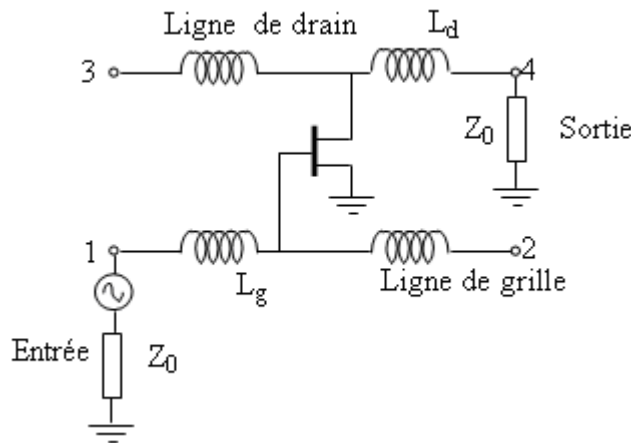


Figure IV.1.: Amplificateur distribué non adapté (ADNA)

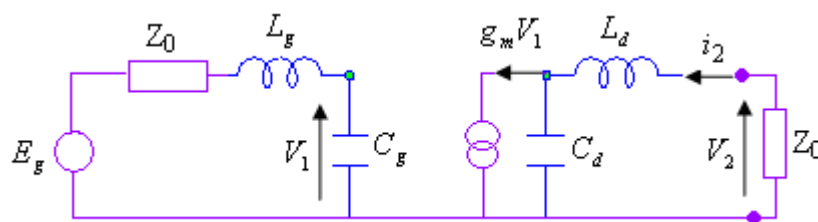


Figure IV.2 : Schéma équivalent de l'ADNA

a) Cas particulier :

Le gain transducique est par définition:

$$G_T = \frac{-\frac{1}{2} R_e (V_2 i_2^*)}{\frac{|E_g|^2}{8Z_0}} \quad (IV.1)$$

En étudiant ce montage, l'expression de G_T , développée en annexe B est :

$$G_T = \frac{4Z_0^2 g_m^2}{\left[(1 - L_g C_{gs} \omega^2)^2 + Z_0^2 C_{gs}^2 \omega^2 \right] \left[(1 - L_d C_D \omega^2)^2 + Z_0^2 C_d^2 \omega^2 \right]} \quad (IV.2)$$

En choisissant respectivement

$$\omega_{c1} = \frac{2}{\sqrt{L_g C_{gs}}} \quad (IV.3)$$

et

$$\omega_{c2} = \frac{2}{\sqrt{L_d C_d}} \quad (IV.4)$$

comme pulsation (fréquence) de coupure de la ligne de grille et de drain, on obtient :

$$G_T = \frac{4Z_0^2 g_m^2}{\left[(1 - 4x^2)^2 + \alpha_1^2 x^2 \right] \left[(1 - 4a^2 x^2)^2 + \alpha_2^2 a^2 x^2 \right]} \quad (IV.5)$$

où $x = \frac{\omega}{\omega_{c1}}$ est la pulsation (fréquence) normalisée par rapport à la pulsation (fréquence) de

coupure de la ligne de grille, $\alpha_1 = 2 \frac{Z_0}{Z_{c1}}$, $\alpha_2 = 2 \frac{Z_0}{Z_{c2}}$, et $a = \frac{\omega_{c1}}{\omega_{c2}}$ avec $Z_{c1} = \sqrt{\frac{L_g}{C_{gs}}}$ et $Z_{c2} =$

$\sqrt{\frac{L_d}{C_d}}$ respectivement les impédances caractéristiques, à des fréquences relativement basses,

des circuits k-constants constituant les lignes de grille et de drain.

Le choix entre ω_{c1} et ω_{c2} comme pulsation de coupure doit porter sur celle qui aura la valeur la plus faible pour que l'approximation de G_T par le polynôme de Chebyshev soit possible. A priori, ω_{c1} pourrait être de valeur plus petite car C_{gs} est toujours supérieur à C_{ds} , et ce en vertu des relations (IV.3) et (IV.4). Nous optons donc pour ω_{c1} . De plus, ce choix nous permettra de comparer le gain de l'ADNA avec ceux de l'ADC et de l'ADNAC.

Le gain transducique (IV.5) en continu, $x=0$, est $G_T = 4Z_0^2 g_m^2$ et le gain en puissance d'un ADC à N transistors (modèle sans les résistances grille-source et drain-source), à la fréquence nulle, est $G_p = 0.25Z_0^2 g_m^2 N^2$. Le gain G_p de l'ADC est égal au gain transducique puisqu'il y a adaptation à l'entrée, ce qui permet de conclure que G_T d'un ADNA et G_p d'un

ADC sont de même nature, donc comparables. La comparaison de ces deux grandeurs en basses fréquences, ou en continu ($x=0$), montre que l'amplificateur ADNA a un gain égal à celui de l'amplificateur ADC à 4 transistors (ADC4).

En normalisant le gain G_T par rapport à la quantité $4Z_0^2 g_m^2$, nous obtenons l'expression suivante :

$$g_t = \frac{G_T}{4Z_0^2 g_m^2} = \frac{1}{[(1 - 4x^2)^2 + \alpha_1^2 x^2][(1 - 4a^2 x^2)^2 + \alpha_2^2 a^2 x^2]} \quad (\text{IV.6})$$

Cette expression contient des grandeurs sans dimensions ; elle peut donc s'appliquer à n'importe quel transistor et à n'importe quelle ligne, ce qui constitue en fait un grand avantage. En développant le dénominateur, nous aboutissons au résultat suivant :

$$g_T = \frac{1}{(1 + A_2 x^2 + A_4 x^4 + A_6 x^6 + A_8 x^8)} \quad (\text{IV.7})$$

où

$$\begin{cases} A_2 = a^2(\alpha_2^2 - 8) + (\alpha_1^2 - 8) \\ A_4 = 16a^4 + a^2(\alpha_1^2 - 8)(\alpha_2^2 - 8) + 16 \\ A_6 = 16a^4(\alpha_1^2 - 8) + 16a^2(\alpha_2^2 - 8) \\ A_8 = (16)^2 a^4 \end{cases}$$

L'approximation par le polynôme de Chebyshev sera faite sur le dénominateur de (IV.7). Cette approximation nous impose d'écrire d'abord le dénominateur de g_T sous la forme $D = 1 + Q_n(x)$ ou bien :

$$D = (1 - \varepsilon'^2) \left[1 + \varepsilon^2 \left(1 + \frac{Q_n(x)}{\varepsilon'^2} \right) \right] \quad (\text{IV.8})$$

où $\varepsilon^2 = \frac{\varepsilon'^2}{1 - \varepsilon'^2}$ représente le taux d'ondulation. Nous procédons ensuite à l'approximation par le polynôme de Chebyshev $T_n^2(x)$ d'une partie du dénominateur D à savoir :

$$1 + \varepsilon^2 \left(1 + \frac{Q_n(x)}{\varepsilon'^2} \right) = 1 + \varepsilon^2 T_n^2(x) \quad (\text{IV.9})$$

D'où :

$$T_n^2(x) = 1 + \frac{Q_n(x)}{\varepsilon'^2} \quad (\text{IV.10})$$

Comme $Q_n(x)$ est de degré 8, $T_n^2(x)$ doit donc l'être aussi [43] :

$$T_n^2(x) = 64x^8 - 128x^6 + 80x^4 - 16x^2 + 1 \quad (\text{IV.11})$$

L'identification des expressions (IV.7) et (IV.11) impliquent le système suivant :

$$\begin{cases} A_8 = 64\varepsilon'^2 \\ A_6 = -128\varepsilon'^2 \\ A_4 = 80\varepsilon'^2 \\ A_2 = -16\varepsilon'^2 \end{cases} \quad (\text{IV.12})$$

Donc, pour concevoir l'amplificateur ADNA nous devons d'abord résoudre le système d'équation (IV.12) dont les racines sont α_1, α_2, a et ε' . Les valeurs de ces racines sont indépendantes du transistor à effet de champ utilisé.

La résolution du système (IV.12) donne le résultat suivant :

$$\alpha_1 = 2.38; \alpha_2 = 0.503; a = 0.511 \text{ et } \varepsilon^2 = 0.37$$

Ces valeurs sont valables seulement pour l'amplificateur ADNA ; pour l'amplificateur (ADNAC) on aura :

$$\alpha_1 = \alpha_2 = 2 \text{ et } a = 1$$

En remplaçant ces paramètres par leurs valeurs dans la relation (IV.6), et en utilisant l'expression du gain en puissance de l'ADC, nous avons tracé les courbes des gains normalisés en fonction de la fréquence normalisée des trois amplificateurs ADNA, ADNAC et ADC4 (figure IV.3). La courbe du gain de l'ADNAC de la figure IV.3 est identique à celle obtenue par Moazzam et Aitchisson [18].

L'avantage de la méthode est que ces courbes sont universelles. Nous remarquons que l'amplificateur ADNA, dont le gain normalisé est approximé par le polynôme de Chebyshev, offre une bande passante deux fois plus grande que celle de l'amplificateur ADNAC. Elle est pratiquement égale à celle de l'amplificateur ADC4. La valeur maximale du taux d'ondulation, trouvée précédemment et qui est de 0.37, est confirmée par la courbe du gain de l'ADNA.

La bande passante est définie ici comme étant la bande de fréquences dans laquelle le gain est constant ou varie dans de faibles proportions. La forme de la courbe du gain normalisé de l'ADC4 est la même que celle obtenue par [3].

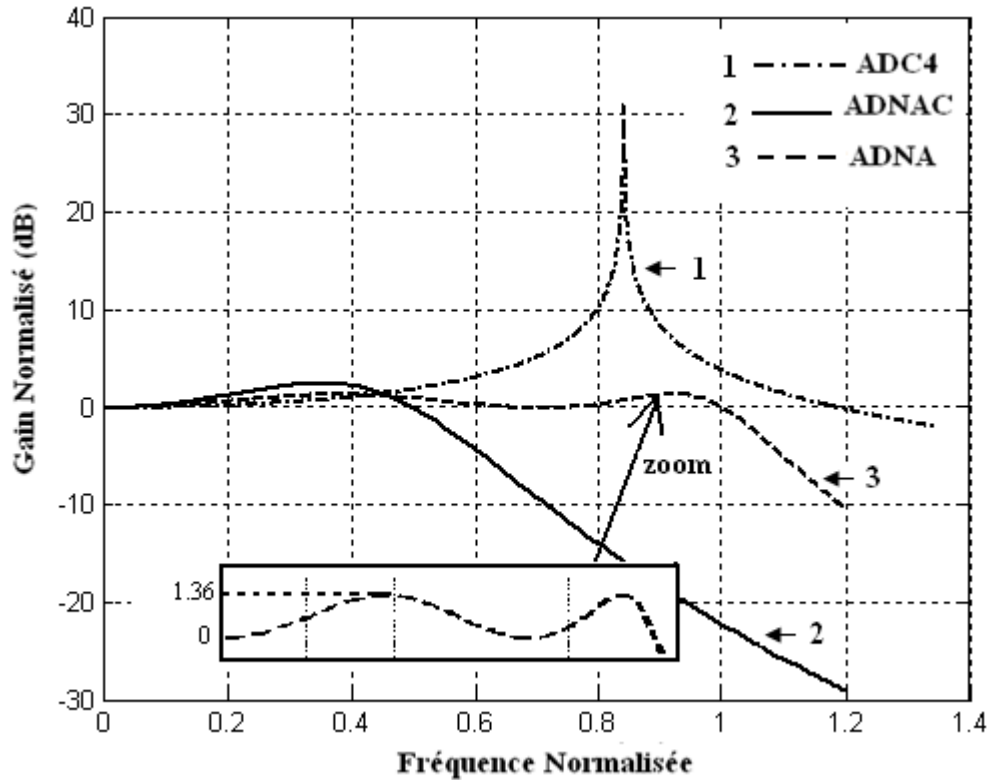


Figure IV.3 : Gain normalisé en fonction de la fréquence normalisée des amplificateurs ADC4, ADNAC et ADNA

Du système (IV.12) et en prenant $Z_0 = 50\Omega$, nous déduisons les valeurs des paramètres de conception en fonction de la capacité de grille C_{gs} :

$$C_d = 0.109C_{gs}; L_g = 1768C_{gs} \text{ et } L_d = 4268C_{gs}$$

Il suffit donc de connaître seulement la valeur de C_{gs} pour pouvoir ensuite procéder à la conception de l'amplificateur. Toutes ces valeurs sont valables quel que soit le transistor utilisé et permettent de tirer les conclusions suivantes :

- la pulsation ω_{c1} est toujours inférieure à ω_{c2} , ce qui justifie le choix de ω_{c1} comme pulsation de coupure;
- le rapport $\frac{C_d}{C_g} = 0.109$ impose l'utilisation de transistors à effet de champ dont le rapport des capacités C_d et C_g est inférieur à 0.109. L'égalité de ce rapport à la valeur 0.109 sera obtenu par l'ajout, entre le drain et la source du transistor, d'une capacité shunt ;
- la valeur de Z_{c1} ($Z_{c1} = 42\Omega$) est toujours inférieure à celle de Z_0 ($Z_0 = 50\Omega$) qui est celle des lignes de grille et de drain d'un amplificateur ADC. Ceci implique une amélioration de la bande passante de l'ADNA de plus de 19% par rapport à celle de l'amplificateur ADC ;
- l'ADNA procure une bande passante deux fois plus grande que celle de l'ADNAC ;

- Le taux d'ondulation reste toujours constant et égal à 0.37 quelque soit le transistor utilisé.

b) Cas général

Dans le cas général, nous définissons une autre pulsation de coupure (pulsation de normalisation), en introduisant un nouveau paramètre noté ζ que nous pouvons modifier à volonté selon l'objectif recherché. Nous dénommons l'amplificateur conçu dans le cas général ADNAG.

Formulation et Résolution du problème

Nous écrivons cette nouvelle pulsation de coupure ainsi:

$$\omega_{c1} = \frac{2\zeta}{\sqrt{L_g C_{gs}}} \quad (\text{IV. 13})$$

Dans ce cas, l'expression du gain normalisé devient [annexe C]:

$$g_T = \frac{G_T}{4Z_0^2 g_m^2} = \frac{1}{[(1 - 4\zeta^2 x^2)^2 + \zeta^2 \alpha_1^2 x^2][(1 - 4a^2 x^2)^2 + \alpha_2^2 a^2 x^2]} \quad (\text{IV. 14})$$

En développant le dénominateur, nous trouvons :

$$D = [1 + \zeta^2(\alpha_1^2 - 8)x^2 + 16\zeta^4 x^4][1 + a^2(\alpha_2^2 - 8)x^2 + 16a^4 x^4] \quad (\text{IV. 15})$$

Le dénominateur est un polynôme de degré huit, il peut s'écrire sous la forme donnée par la relation (IV.7) où :

$$\begin{cases} A_2 = a^2(\alpha_2^2 - 8) + \zeta^2(\alpha_1^2 - 8) \\ A_4 = 16a^4 + \zeta^2 a^2(\alpha_1^2 - 8)(\alpha_2^2 - 8) + 16\zeta^4 \\ A_6 = 16\zeta^2 a^4(\alpha_1^2 - 8) + 16\zeta^4 a^2(\alpha_2^2 - 8) \\ A_8 = (16)^2 \zeta^4 a^4 \end{cases} \quad (\text{IV. 16})$$

En approximant le dénominateur de g_T par le polynôme de Chebyshev d'ordre 8 et en tenant compte du système d'équations (IV.16), nous trouvons [annexe C]:

$$\begin{cases} \frac{16^2}{4} = \frac{16^2 \zeta^4 a^4}{\varepsilon'^2} & (a) \\ -2 \frac{16^2}{4} = \frac{16\zeta^2 a^4}{\varepsilon'^2} (X_1) + \frac{16\zeta^4 a^2}{\varepsilon'^2} (X_2) & (b) \\ 80 = \frac{16^4 a^4}{\varepsilon'^2} + \frac{\zeta^2 a^2}{\varepsilon'^2} X_1 X_2 + \frac{16\zeta^4}{\varepsilon'^2} & (c) \\ -16 = \frac{a^2}{\varepsilon'^2} X_2 + \frac{\zeta^2}{\varepsilon'^2} X_1 & (d) \end{cases} \quad (\text{IV. 17})$$

Avec $X_1 = \alpha_1^2 - 8$ et $X_2 = \alpha_2^2 - 8$

Ce système est non linéaire et comprend quatre équations à cinq inconnues ζ , a , ε' , X_1 et X_2 . Le résultat de la résolution de ce système donnera donc des équations littérales dans lesquelles nous exprimerons a , ε' , X_1 et X_2 en fonction de ζ .

Le développement de (IV. 17) nous donne selon l'annexe C :

$$\varepsilon'^6 B_6 + \varepsilon'^4 B_4 + \varepsilon'^2 B_2 + B_0 = 0 \quad (\text{IV. 18})$$

où

$$\begin{cases} B_6 = \frac{5}{4\zeta^4} - \frac{1}{16\zeta^8} + 16\zeta^4 - 8 \\ B_4 = 6\zeta^4 - 32\zeta^8 + \frac{1}{4} \\ B_2 = 20\zeta^{12} + \zeta^8 \\ B_0 = -4\zeta^{16} \end{cases}$$

$$\alpha_1 = \sqrt{\left[\frac{8 \left[2\zeta^2 - \frac{1}{\zeta^2} \right]}{\frac{1}{4\zeta^4} - \frac{\zeta^4}{\varepsilon'^2}} \right]} + 8 \quad (\text{IV. 19})$$

$$\alpha_2 = \sqrt{\left[-\frac{16\varepsilon'}{\zeta^2} - \left(\frac{2\varepsilon'}{4\zeta^4} \frac{8 \left[2\zeta^2 - \frac{1}{\zeta^2} \right]}{\frac{1}{4\zeta^4} - \frac{\zeta^4}{\varepsilon'^2}} \right) \right]} + 8 \quad (\text{IV. 20})$$

$$a = \sqrt{\frac{\varepsilon'}{2\zeta^2}} \quad (\text{IV. 21})$$

Nous aboutissons donc à un polynôme en ε' de degré 6 dont les coefficients dépendent de ζ (IV.18). Grace à un programme que nous avons développé sous MATLAB, la résolution de (IV.18) montre que pour chaque valeur de ζ , nous obtenons 6 valeurs de ε' certaines sont réelles positives ou négatives, et d'autres complexes, comme l'indique le tableau (IV.1). Comme le paramètre $a = \frac{\omega_{c1}}{\omega_{c2}}$ est un nombre réel positif et d'après la relation(IV. 21), on ne doit donc pas retenir les valeurs négatives et complexes de ε' .

Une des meilleures performances d'un amplificateur est d'avoir un gain aussi constant que possible dans sa bande passante, ceci nous conduit donc à ne retenir que la valeur réelle de ε' la plus faible, les autres valeurs doivent par conséquent être rejetées (tableau IV.1). Donc pour chaque valeur de ε' va correspondre une valeur spécifique du taux d'ondulation ε^2 .

$\zeta =$	$\varepsilon' =$	$\zeta =$	$\varepsilon' =$
0.1	± 0.0002i (à rejeter) ± 0.0002058 (à rejeter) ± 0.0001945 (à garder)	0.7	± 2.4131i (à rejeter) ± 1.2443 (à rejeter) ± 0.2013 (à garder)
0.2	± 0.0032i (à rejeter) ± 0.0036 (à rejeter) ± 0.0029 (à garder)	0.8	± 1.0253 (à rejeter) ± 1.0111 (à rejeter) ± 0.2915 (à garder)
0.3	± 0.0165i (à rejeter) ± 0.0217 (à rejeter) ± 0.0129 (à garder)	0.9	± 1.0296 (à rejeter) ± 1.0164 (à rejeter) ± 0.3987 (à garder)
0.4	± 0.0540i (à rejeter) ± 0.0935 (à rejeter) ± 0.0352 (à garder)	1	± 1.1547 (à rejeter) ± 1.0938 (à rejeter) ± 0.5224 (à garder)
0.5	± 0.1443i (à rejeter) ± 0.4268 (à rejeter) ± 0.0732 (à garder)	1.1	± 1.3288 (à rejeter) ± 1.2088 (à rejeter) ± 0.6621 (à garder)
0.6	± 0.3735i (à rejeter) ± 14.2154 (à rejeter) ± 0.1284 (à garder)	1.2	± 1.5355 (à rejeter) ± 1.3496 (à rejeter) ± 0.8175 (à garder)

Tableau IV.1 : Taux d'ondulation en fonction de β .

Les paramètres de conception que sont L_g , L_d et C_d de l'amplificateur s'exprimeront (Annexe C) en fonction des différentes grandeurs ζ , α_1 , α_2 et a , données par les relations (IV.19 – IV.21) et aussi en fonction de C_{gs} comme suit :

$$\begin{cases} L_g = \frac{4Z_0^2}{\alpha_1^2} C_{gs} & \text{(a)} \\ C_d = \frac{a \cdot \alpha_2}{\alpha_1 \zeta} C_{gs} & \text{(b)} \\ L_d = \frac{4Z_0^2}{\alpha_2 \cdot \alpha_1} \cdot \frac{a}{\zeta} \cdot C_{gs} & \text{(c)} \end{cases} \quad \text{(IV.22)}$$

Les relations (IV.22) mettent en évidence l'importance de C_{gs} dans la conception de l'amplificateur distribué à un seul transistor non adapté, alors que la relation (IV.22a) indique que l'inductance L_g est une fonction non linéaire par rapport à ζ .

Dicté par la relation (IV.22b), le choix du transistor doit donc vérifier le critère :

$$C_{ds} \leq \frac{a \cdot \alpha_2}{\alpha_1 \zeta} C_{gs} \quad (\text{IV. 23})$$

Si la relation (IV.22b) n'est pas vérifiée, on doit ajouter une capacité shunt en parallèle avec C_{ds} de sorte que cette relation soit satisfaite.

Taux d'ondulation et fréquence de coupure

Nous pouvons aussi exprimer la pulsation de coupure ω_{c1} , donnée par la relation (IV.13) de la manière suivante :

$$\omega_{c1} = \frac{\alpha_1 \zeta}{Z_0 C_{gs}} \quad (\text{IV. 24})$$

Comme le terme $(Z_0 C_g)^{-1}$ est une pulsation constante, on peut s'en affranchir en utilisant :

$$\omega'_{c1} = \alpha_1 \zeta \quad (\text{IV. 25})$$

qui représente une pulsation de coupure normalisée par rapport $(Z_0 C_g)^{-1}$ où α_1 peut être calculé pour différentes valeurs de ζ à partir de la relation (IV.19).

Les courbes de la figure (IV.5) représentent les paramètres ε^2 et ω'_{c1} en fonction de ζ et indiquent que pour des valeurs de ζ supérieures à 0.92 (donnant $\omega'_{c1} = 2.41$), les performances de l'amplificateur en l'occurrence sa bande passante et le taux d'ondulation de son gain se dégradent. Il est donc conseillé de se baser sur la valeur maximale $\omega'_{c1} = 2.41$ pour concevoir ce type d'amplificateur, ce qui permet par conséquent de limiter le choix aux seuls transistors vérifiant :

$$f_c \leq \frac{2.41}{2\pi Z_0 C_{gs}} \quad (\text{IV. 26})$$

où f_c est la fréquence de coupure qui pourrait être fixée par un cahier de charge.

Ces courbes seront donc utilisées quelques soient les caractéristiques du transistor, l'impédance de charge et la fréquence de coupure. Elles constituent donc un outil important à partir duquel doit commencer toute conception selon les objectifs :

- (a) une bande passante désirée : en fixant ω'_{c1} dans le cas où le taux d'ondulation ε^2 n'est pas primordial;
- (b) un taux d'ondulation du gain voulu : en fixant ε^2 dans le cas où la fréquence de coupure ω'_{c1} n'est pas primordiale;
- (c) une bande passante et un taux d'ondulation imposés : en fixant ω'_{c1} et ε^2 ;
- (d) recherche d'un compromis entre une bande passante et un taux d'ondulation ;
- (e) une bande passante maximale.

L'objectif (d) doit être envisagé car ω'_{c1} et ε^2 sont antagonistes dans l'intervalle de ζ [0 - 0.92] (fig. IV.5). En effet, lorsque le taux d'ondulation se dégrade (ε^2 augmente), la fréquence de coupure augmente.

Quant à l'objectif (e), il est réalisable car la figure (IV.5) montre effectivement que ω'_{c1} passe par une valeur maximale de 2.41 pour $\zeta = 0.92$. Pour cette valeur de ζ , le taux d'ondulation ε^2 est égal à 0.22.

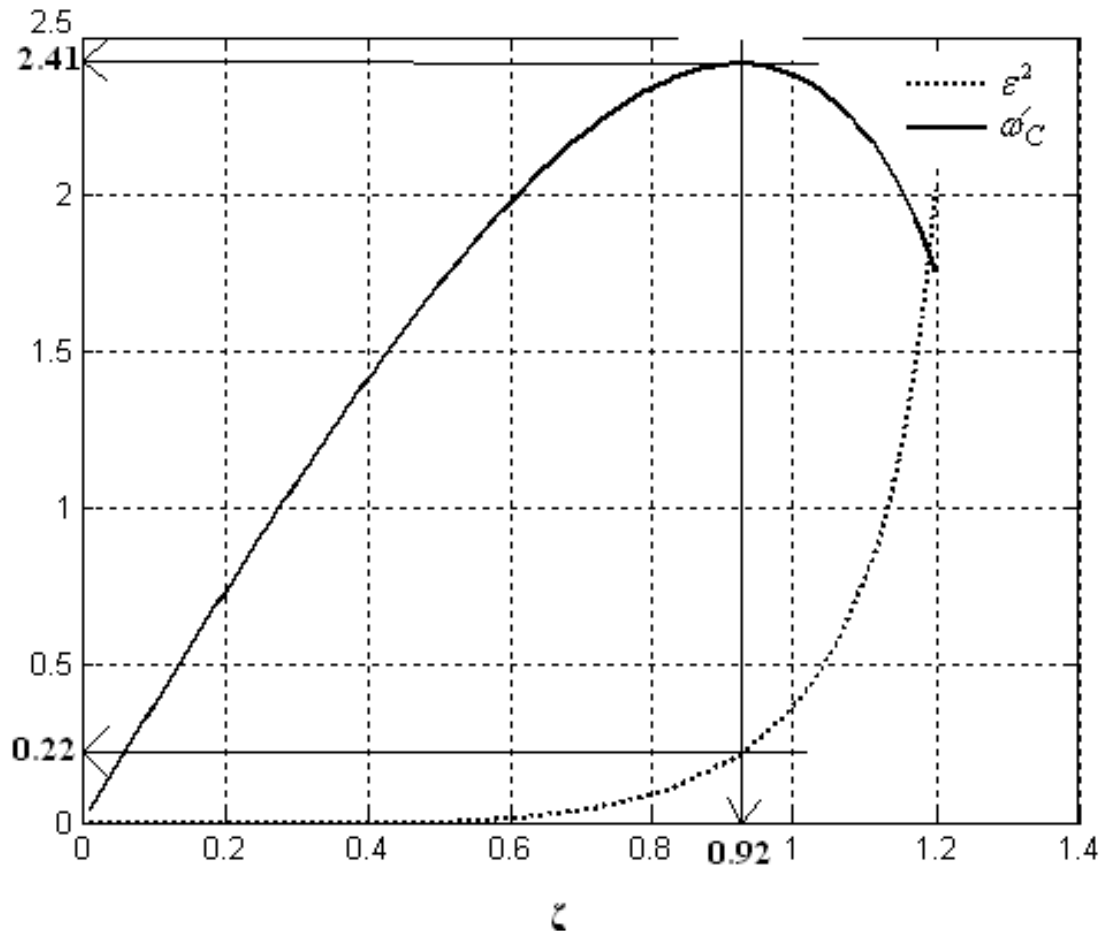


Figure IV.5 : Pulsation de coupure normalisée ω'_{c1} et taux d'ondulation ε^2 en fonction de ζ .

Si le taux d'ondulation est pratiquement nul pour des valeurs de ω'_{c1} faibles, c'est parce qu'à ces fréquences les ondes stationnaires n'apparaissent pas.

La figure IV.6 qui donne les courbes des gains normalisés en fonction de ω'_{c1} pour trois valeurs de ζ (0.6, 0.92, 1.2) conforte les résultats de la figure IV.5 comme l'indique le tableau (IV.2).

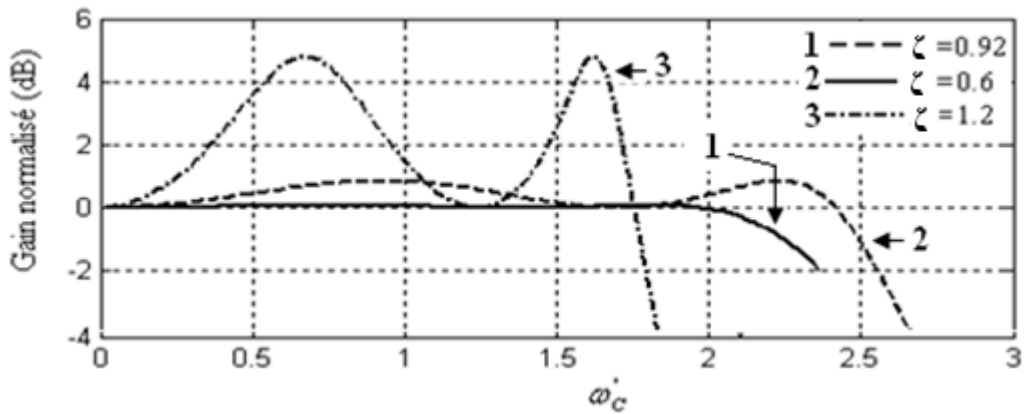


Figure IV.6 : Gain normalisé pour différentes valeurs de ζ en fonction de ω'_c .

	$\zeta = 0.6$		$\zeta = 0.92$		$\zeta = 1.2$	
	ω'_{c1}	ε^2	ω'_{c1}	ε^2	ω'_{c1}	ε^2
Figure IV.5	1.97	0.017	2.41	0.22	1.75	2.01
Figure IV.6	1.97	0.017	2.41	0.22	1.75	2.01

Tableau IV.2 : Comparaison des résultats des gains

Etude comparative :

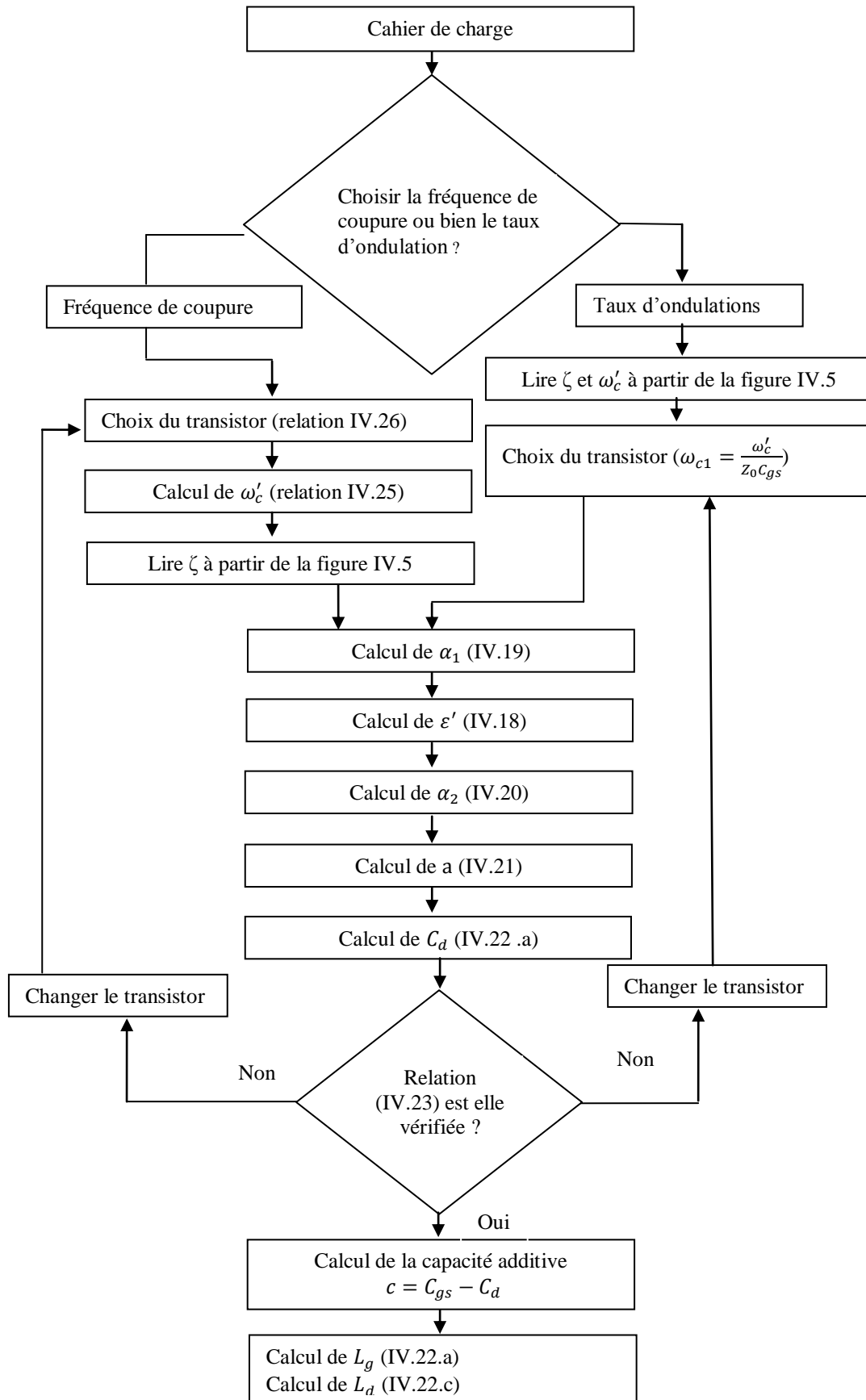
Une étude comparative des performances des amplificateurs ADNAG, ADNA, ADNAC et ADC comme la fréquence de coupure et le taux d'ondulation est présentée dans le tableau (IV.3). Pour l'ADNA qui est conçu pour $\zeta = 1$, nous obtenons $\omega'_{c1} = 2.38$ et $\varepsilon^2 = 0.37$, alors que pour l'ADNAG, dans le cas où $\zeta = 0.92$, $\omega'_{c1} = 2.41$ (valeur maximale) et $\varepsilon^2 = 0.22$. Ceci prouve que l'ADNAG apporte une augmentation de 2% de la bande passante et une diminution notable de 41% du taux d'ondulation.

	ADNAG	ADNA	ADNAC	ADC4
ω'_c	2.41	2.38	1	2
ε^2	0.22	0.37	0.74	99.63

Tableau IV.3 : Etude comparative.

Procédure de conception

La procédure de conception de ce type d'amplificateur est présentée par l'organigramme IV.1.



Organigramme IV.1 : procédure de conception de l'ADNAG.

Chapitre V

Conception et simulation

Conception et Simulation

V.1 Introduction

Ce chapitre aura pour objet d'abord la présentation et l'étude du montage cascode, ensuite la conception et la simulation des amplificateurs ADNA, ADNAG, ADNAC et ADC4.

L'étude du montage cascode montrera que ce dispositif est le mieux indiqué pour répondre aux exigences de notre méthode, présentée au chapitre IV. Quant à la simulation par le logiciel MICROWAVE OFFICE, elle nous offrira surtout la possibilité de valider notre méthode et de mettre en évidence notre contribution à améliorer les performances des amplificateurs distribués.

La conception de l'ADNA, ADNAG et ADNAC sera effectuée par notre méthode et celle de l'ADC4 par la théorie des amplificateurs distribués. Certains amplificateurs seront réalisés avec des circuits localisés alors que d'autres avec la technologie microruban.

V.2 Le circuit cascode

Pour que notre méthode soit applicable, il faut que le transistor à effet de champ, que nous dénommons transistor simplifié et en abrégé MESFETI, soit unilatéral (coefficient de transmission $S_{12} = 0$), d'une part, et seulement capacitif en entrée et en sortie d'autre part. De plus, la transconductance g_m doit impérativement être constante. Or, tous les transistors n'offrent pas toutes ces caractéristiques comme le montre la figure (V.1) où la capacité C_{gd} en particulier rend effectivement le transistor bidirectionnel.

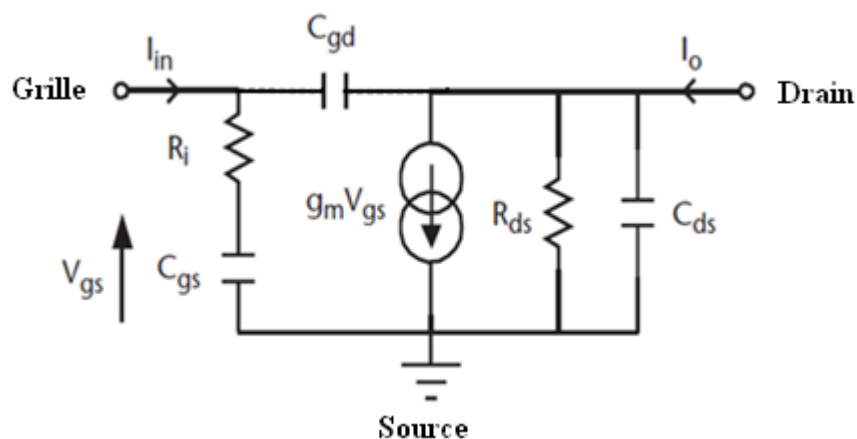


Figure V.1 : Schéma équivalent d'un transistor à effet de champ

En étant bidirectionnel, le transistor, une fois inséré dans le montage amplificateur, aura en entrée et en sortie des impédances passives dissipatives dépendantes l'une par rapport

à l'autre, et une transconductance variable, ce qui le rend incompatible vis-à-vis de notre méthode. Donc, pour rendre applicable notre méthode, nous devons alors trouver un autre dispositif actif répondant le plus possible aux exigences énumérées précédemment. Ce dispositif est le circuit cascode (fig. V.2) qui est constitué de deux transistors à effet de champ, le premier étant en montage « source commune » et le second en montage « grille commune ».

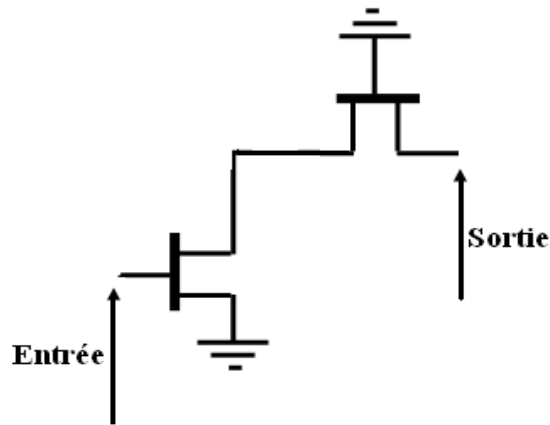


Figure V.2: Circuit cascode à transistors à effet de champ

Le schéma équivalent du montage cascode (fig. V.3) montre qu'à première approximation :

- l'impédance de sortie peut être assimilée à la capacité C_{gd} en parallèle avec une impédance de valeur très élevée à cause du générateur contrôlé $g_m V_{gs2}$;
- S_{12} est de valeur très faible en raison des dérivations que rencontre sur son parcours le signal transmis de la sortie vers l'entrée d'une part, et du fait que l'impédance de sortie se réduit pratiquement à C_{gd} d'autre part.

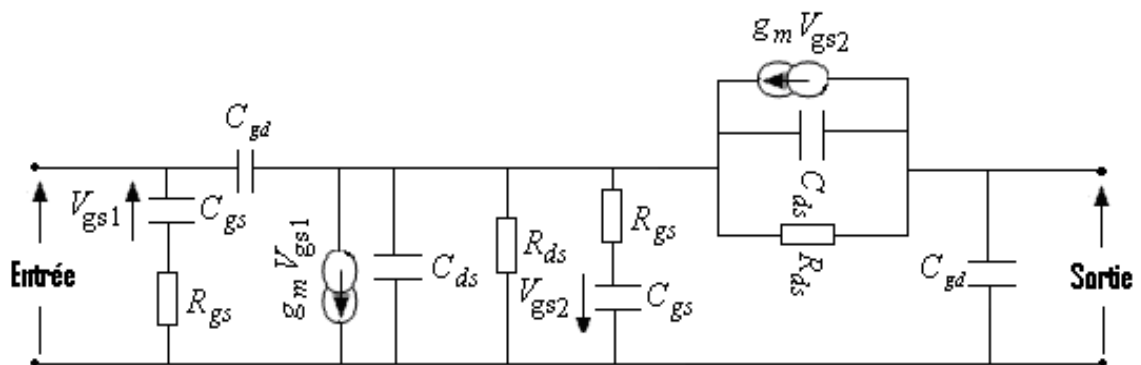


Figure V.3 : Schéma équivalent du montage cascode.

Pour confirmer cette analyse, nous avons, à l'aide du logiciel MICROWAVE OFFICE, simulé l'admittance de sortie ainsi que S_{12} du transistor MESFET EFA918A d'EXCILICS [annexe D] seul d'une part et du montage cascode utilisant ce même transistor d'autre part. Ce transistor est choisi car il vérifie la condition (IV.23). Les éléments du schéma équivalent du transistor MESFET EFA918A d'EXCILICS sont $C_{gs} = 0.17pF$, $C_{ds} = 0.006pF$, $C_{gd} = 0.016pF$, $R_{ds} = 560\Omega$, $R_{gs} = 0.53\Omega$ et $g_m = 32mS$.

Les résultats de la simulation sont donnés sous forme de courbes illustrées par les figures (V.4), (V.5) et (V.6). C'est ainsi que :

- la figure (V.4) indique que la courbe représentant la partie imaginaire de l'admittance de sortie (susceptance) du montage cascode en fonction de la fréquence f est une droite passant par l'origine. Ceci implique que cette susceptance ne peut être qu'une capacité C et donc la pente de la droite sera $C2\pi$. D'après la courbe, cette capacité vaut $0.022pF$, cette valeur est proche de celle de C_{gd} du transistor, qui est de $0.016pF$. Par contre, la partie imaginaire de l'admittance de sortie du transistor n'augmente pas d'une façon linéaire avec la fréquence, ce qui lui confère par conséquent un modèle autre que le modèle capacitif.
- La figure (V.5) nous renseigne que la partie réelle de l'admittance de sortie du montage cascode est de valeur très faible, même négligeable comparativement à celle de la susceptance puisque leur rapport est inférieur à 10%. Donc, l'admittance de sortie est pratiquement constituée de C_{gd} . En revanche, la partie réelle de l'admittance de sortie du transistor est presque égale à la partie imaginaire de l'admittance, de plus elle est nettement plus grande que celle du montage cascode. Ceci fait que le gain en continu de n'importe quel amplificateur distribué comprenant un transistor réel soit plus faible que celui d'un amplificateur du même type utilisant un montage cascode.
- la figure (V.6) montre qu'effectivement le montage cascode est pratiquement un dispositif unilatéral ($S_{12} \approx 0$) alors que le transistor en tant qu'entité est bilatéral ($S_{12} \neq 0$) et que la transmission sortie-entrée augmente avec la fréquence.

Ces résultats nous montrent que l'analyse faite précédemment se confirme et que le montage cascode est le montage qui s'apparente le plus au transistor simplifié MESFETI, son utilisation est donc justifiée dans les amplificateurs distribués à un seul transistor non adapté. Cependant, en hautes fréquences la prédominance de la capacité C_{ds} sur R_{ds} et celle de C_{gs} sur R_{gs} , qui demeure encore à ces fréquences en raison de la petitesse de R_{gs} , font que ces capacités s'ajoutent. Ceci constitue donc un inconvénient qui se traduit par une décroissance de la bande passante. Une solution, présentée plus tard, existe toutefois.

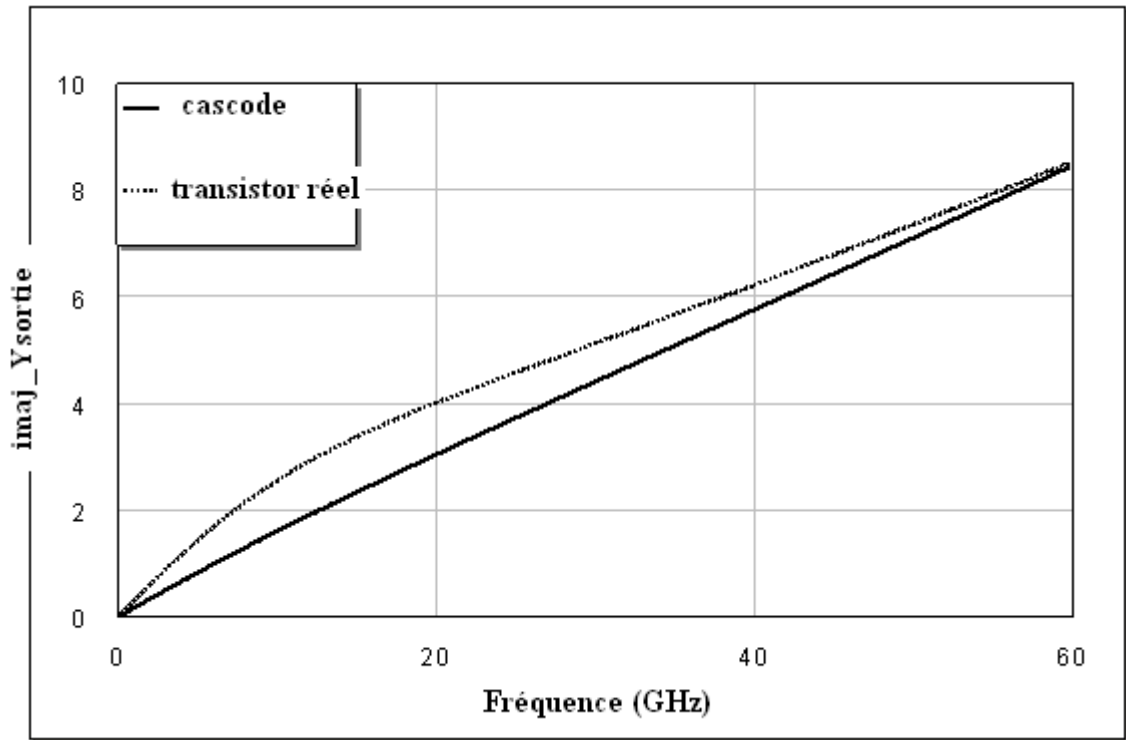


Figure V.4 : Partie imaginaire de l'admittance de sortie.

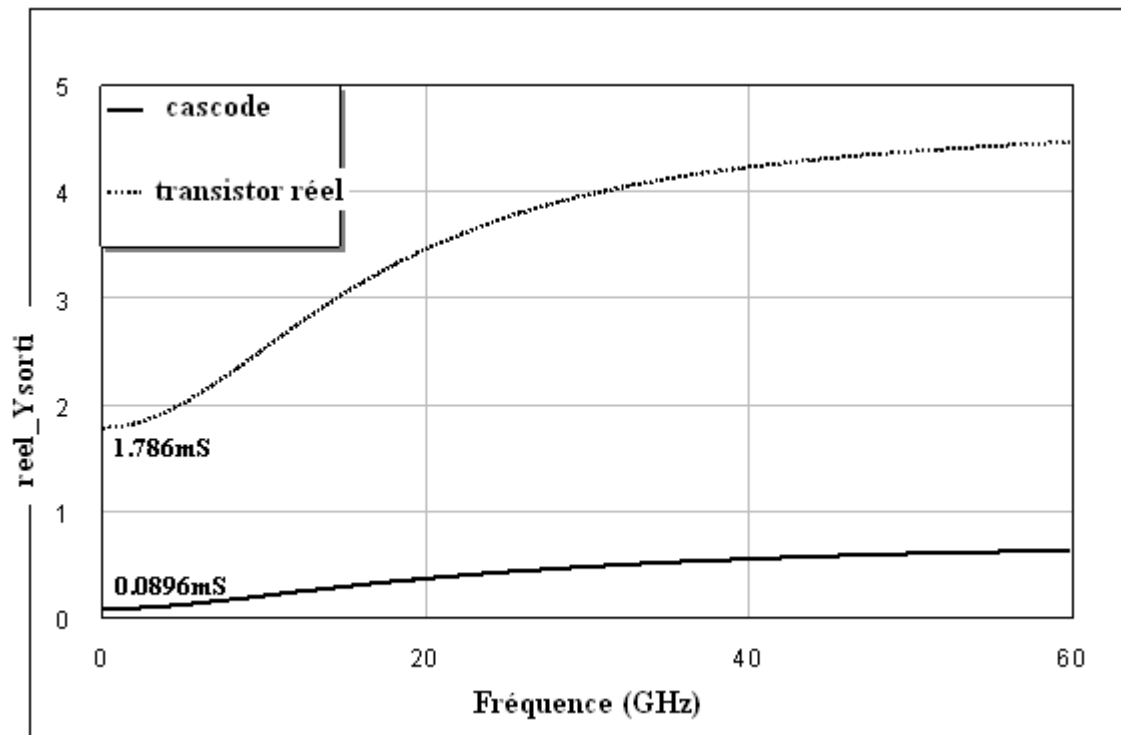


Figure V.5 : Partie réelle de l'admittance de sortie.

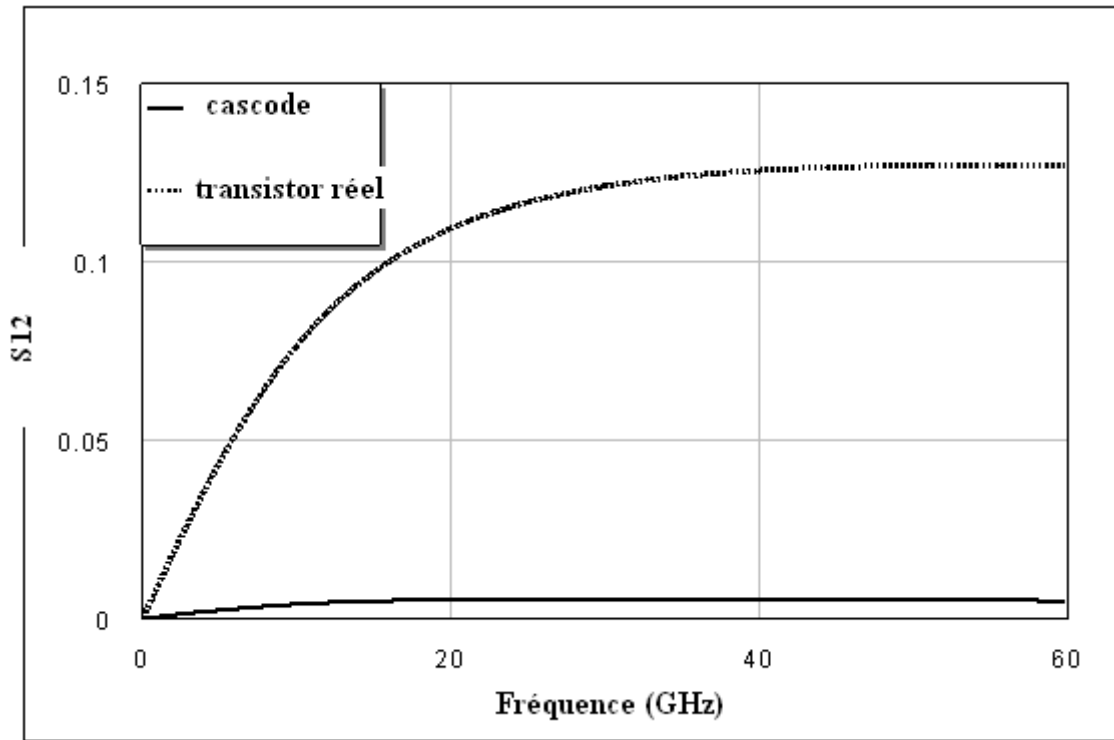


Figure V.6 : Coefficient de transmission S_{12} du montage cascode et du transistor réel.

V.3 Validation de la méthode (transistor MESFETI) :

Pour valider notre méthode, nous devons naturellement confronter les résultats qu'elle obtient à ceux que donne le logiciel MICROWAVE OFFICE pour un certain nombre de dispositifs. De plus, à travers cette confrontation, nous devons mettre en relief l'amélioration de la bande passante qu'offre l'ADNAG conçu pour $\zeta = 0.92$ par rapport à l'ADNA [42] et indirectement par rapport à l'ADNAC [18]. Pour cela, nous allons concevoir l'amplificateur ADNAG pour différentes valeurs de ζ utilisant le transistor MESFETI. Les valeurs de ζ , retenues, sont $\zeta = 0.6$, $\zeta = 0.92$ et $\zeta = 1$.

La conception se fera en suivant les étapes décrites dans l'organigramme IV.1 et le transistor utilisé est le transistor EFA018A. Cet organigramme est traduit sous forme de programme sous MATLAB. Les éléments passifs utilisés des amplificateurs sont à constantes localisées.

Les résultats de la conception obtenus sont illustrés par le tableau (V.1). Dans ce tableau, C est la capacité shunt à ajouter au drain et s'écrit $C = C_d - C_{ds}$.

ζ	α_1	α_2	a	ε'	C_d (pF)	L_g (pH)	L_d (pH)	C (pH)
0.6	3.28	0.96	0.422	0.128	0.035	157.75	380.83	0.029
0.92	2.62	0.59	0.499	0.422	0.021	246.89	596.05	0.015
1	2.38	0.503	0.511	0.522	0.018	300.52	725.52	0.012

Tableau V.1 : Paramètres de conception de l'ADNAG

Les trois montages de l'amplificateur ADNAG pour $\zeta = 0.6$, $\zeta = 0.92$ et $\zeta = 1$, sont réalisés (fig. V.7) et analysés (fig. V.8) en utilisant le logiciel MICROWAVE OFFICE.

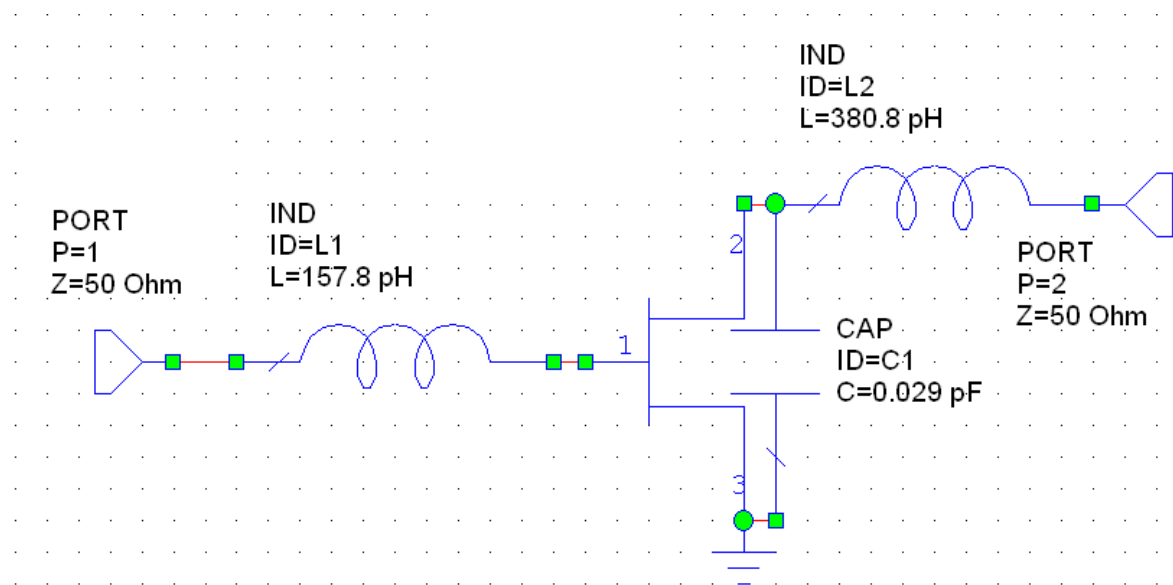


Figure V.7a: ADNAG pour $\zeta = 0.6$ (transistor MESFETI) (MICROWAVE OFFICE)

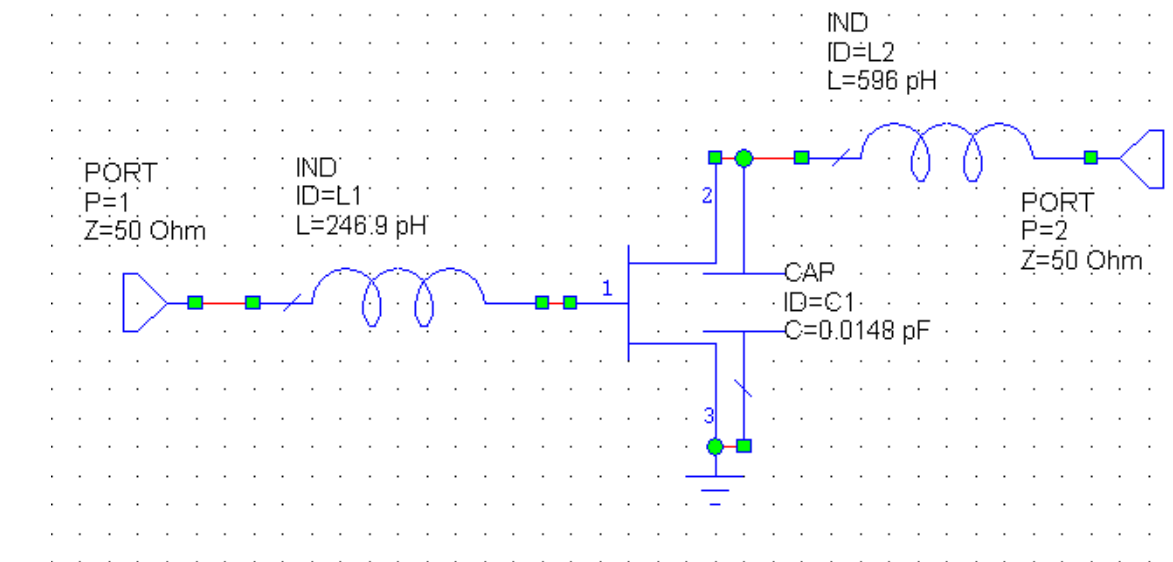


Figure V.7b : ADNAG pour $\zeta = 0.92$ (transistor MESFETI) (MICROWAVE OFFICE)

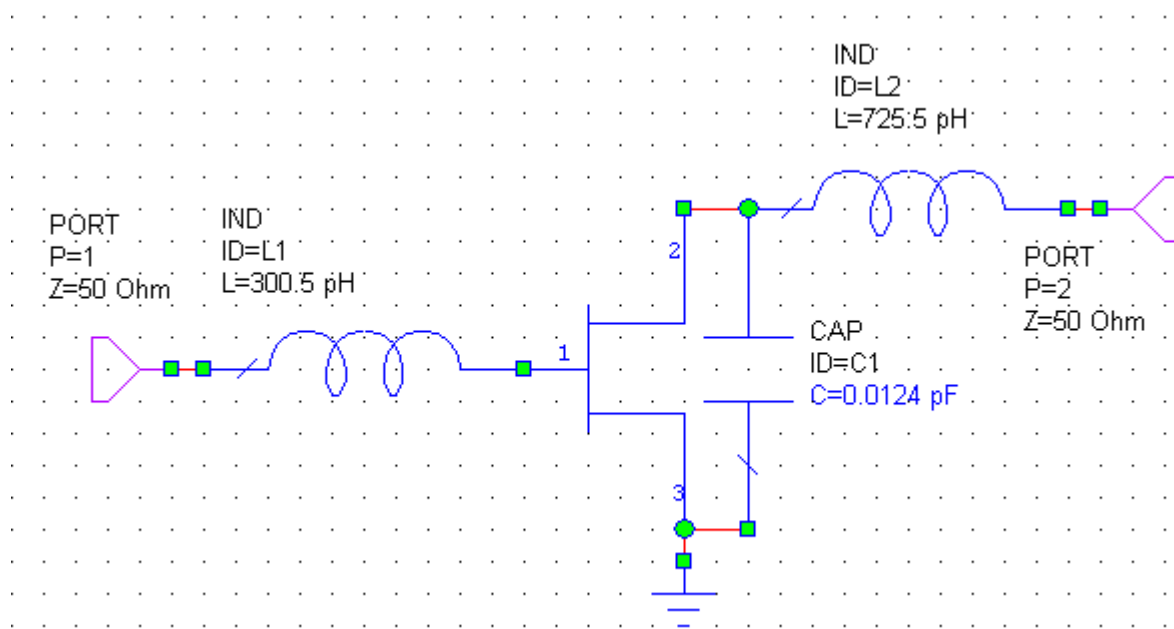


Figure V.7c : ADNAG pour $\zeta=1$ (transistor MESFETI) (MICROWAVE OFFICE)

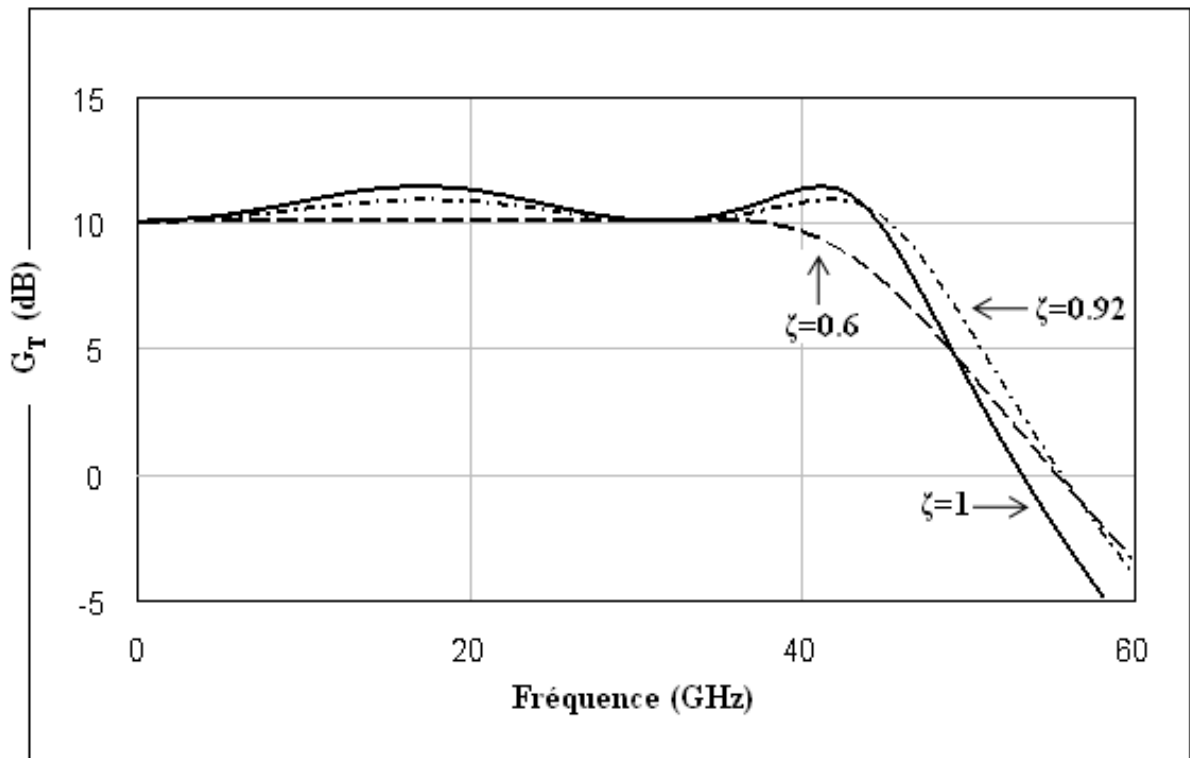


Figure V.8 : Gains de l'ADNAG pour différentes valeurs de ζ (transistor MESFETI) (MICROWAVE OFFICE)

En remplaçant les paramètres ζ , α_1 , α_2 , a et ε' par leurs valeurs dans la relation (IV.14), nous obtenons les courbes de la figure (V.9).

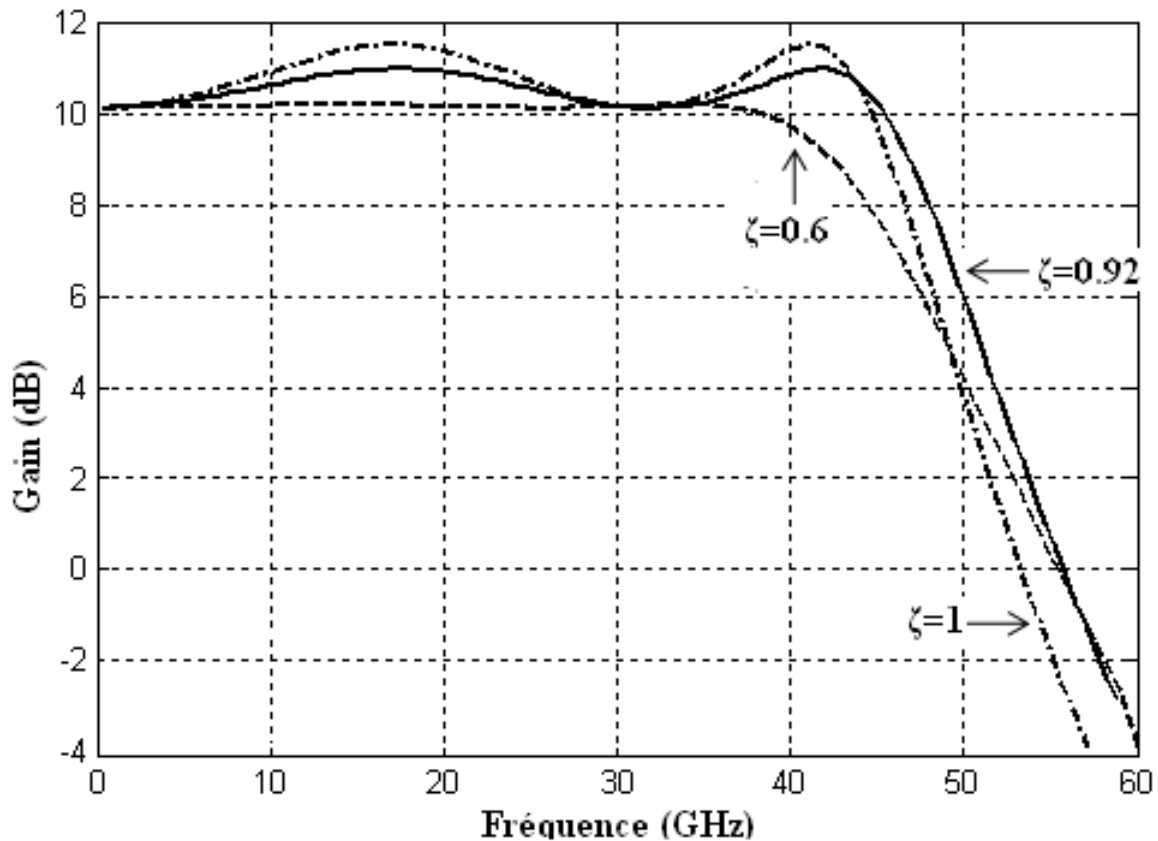
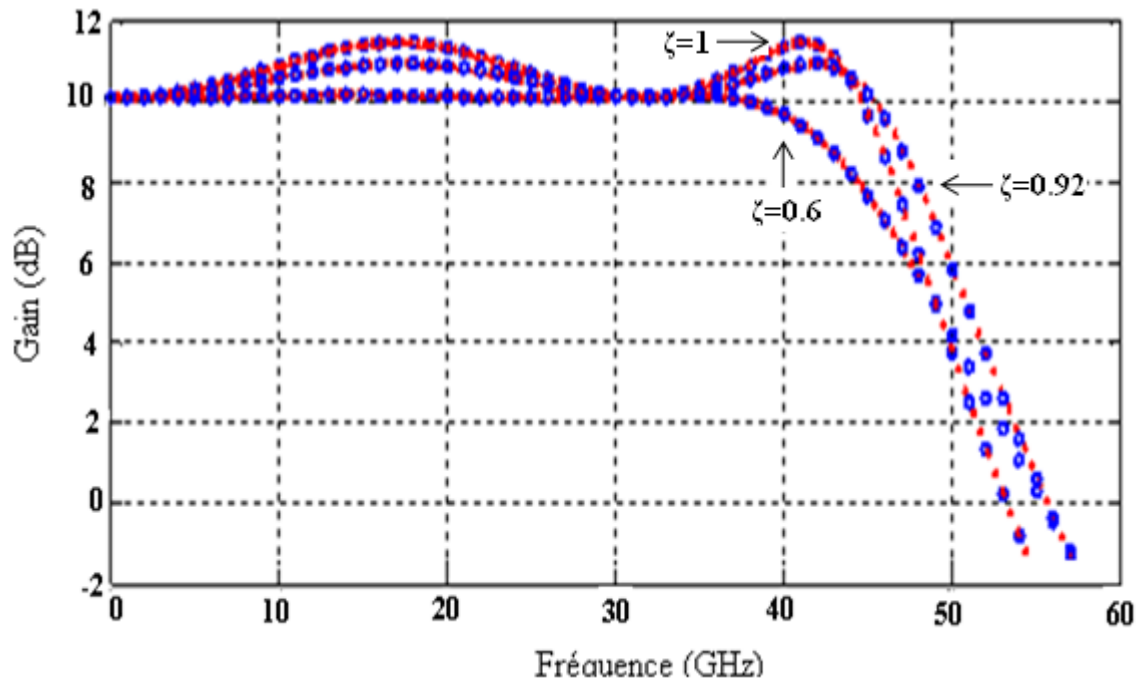


Figure V.9 : Gains de l'ADNAG obtenus par notre méthode pour différentes valeurs de ζ .

Apparemment les courbes des figures (V.8) et (V.9) semblent les mêmes, mais pour une meilleure comparaison nous traçons ces courbes sur le même graphe qui est finalement donné par la figure (V.10). Il apparaît donc que les courbes résultant de l'application de notre méthode et celles du simulateur linéaire de MICROWAVE OFFICE sont confondues deux à deux pour chaque valeur de ζ . Ceci confirme donc clairement que notre méthode est bien conçue. De plus, les résultats (tableau V.2) montrent que le cas $\zeta=0.92$ est meilleur en termes de bande passante et de taux d'ondulations par rapport à l'ADNA [42]. Dans le tableau V.2, f_c est la fréquence à partir de laquelle le gain commence à chuter.


 Figure V.10 : Gains de l'ADNAG pour $\zeta=0.6$, $\zeta=0.92$ et $\zeta=1$

– Notre méthode : rouge – MICROWAVE OFFICE : bleu

	Gain (dB) (en continu $f=0$)	Taux d'ondulation	Bande passante (0 - f_c) (GHz)	Bande passante à -3 dB (GHz)
$\zeta=0.6$	10.1	0.017	36.9	46.12
$\zeta=0.92$	10.1	0.22	45.16	48.79
$\zeta=1$	10.1	0.37	44.55	47.5

 Tableau V.2 : Performances de l'ADNAG pour différentes valeurs de ζ

V.4 Conception de l'ADC4 et l'ADNAC (transistor MESFETI):

V.4.1 L'ADC4

Il faut en premier lieu calculer la valeur de la capacité shunt C à connecter à la sortie de chaque transistor (MESFET EFA018A d'EXELICS) ainsi que les valeurs des inductances des lignes de grille et de drain à partir de $C_{gs} = 0.17pF$, $C_{ds} = 0.006pF$ et $Z_0 = 50\Omega$.

Pour avoir les mêmes constantes de phase et les mêmes impédances, cette capacité C à ajouter doit être telle que $C = C_{gs} - C_{ds}$. Quant aux valeurs des inductances, nous avons utilisé la relation $Z_0 = \sqrt{L_g/C_{gs}} = \sqrt{L_d/C_d} = 50\Omega$, qui nous a donné $L_g = L_d = 425pH$.

La fréquence de coupure est $f_c = \frac{2}{2\pi\sqrt{L_g C_{gs}}} = 37.4GHZ$.

Nous avons réalisé deux montages ADC4 (à 4 transistors), l'un sans les circuits m-dérivé (fig. V.11) et l'autre avec les circuits m-dérivé (figure. V.12), implémentés en utilisant le simulateur linéaire MICROWAVE OFFICE. Avec ce simulateur, nous obtenons les courbes du gain de transfert G_T en fonction de la fréquence (fig. V.13).

Les courbes de la figure (V.13) montrent que les gains sont quasi constants (≈ 10 dB) jusqu'à la fréquence 20 GHz. A partir de cette fréquence, les gains varient avec des ondulations relativement plus importantes pour l'ADC4 sans les circuits m-dérivés. Ceci s'explique par le fait qu'à ces fréquences la désadaptation s'accroît, en raison de la variation des impédances caractéristiques des lignes, et elle est plus prononcée dans le cas où les circuits m-dérivés ne sont pas utilisés.

La fréquence de coupure est $f_c = 38.16\text{GHz}$, et elle est très proche de la valeur théorique (37.4 GHz).

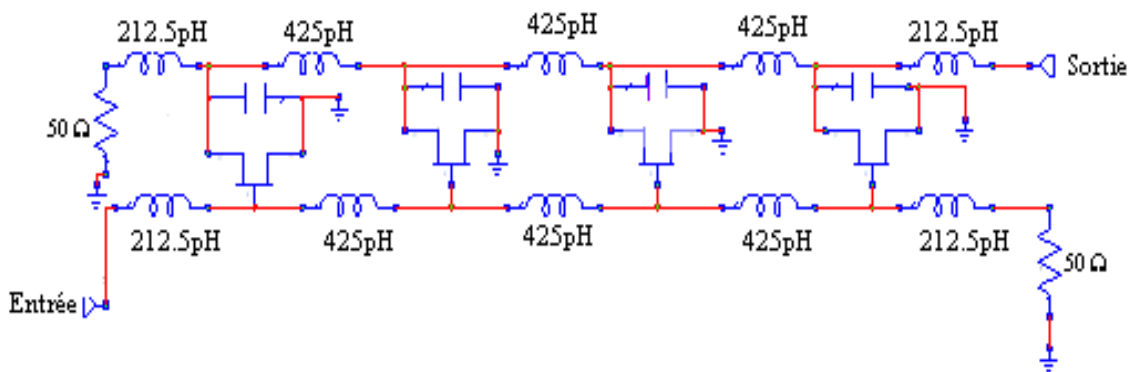


Figure. V.11: Amplificateur ADC4 (transistor MESFETI) sans les circuits m-dérivé.

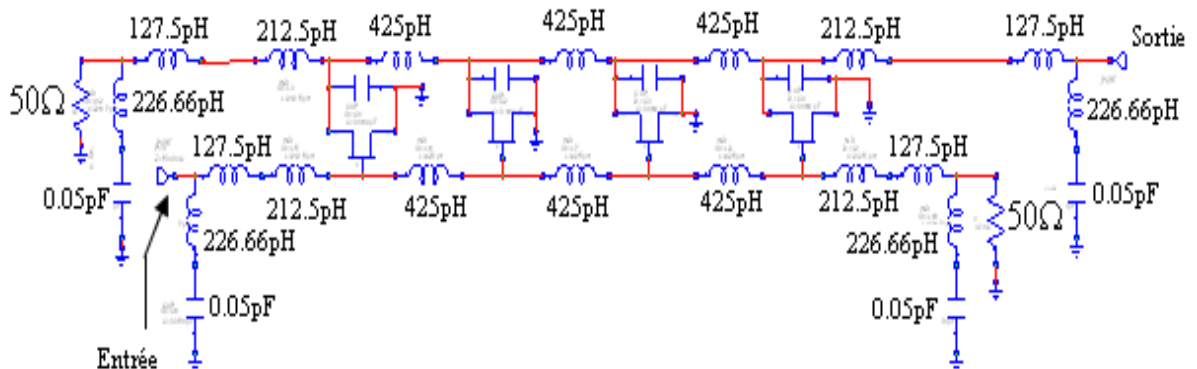


Figure. V.12: Amplificateur ADC4 (transistor MESFETI) avec les circuits m-dérivé.

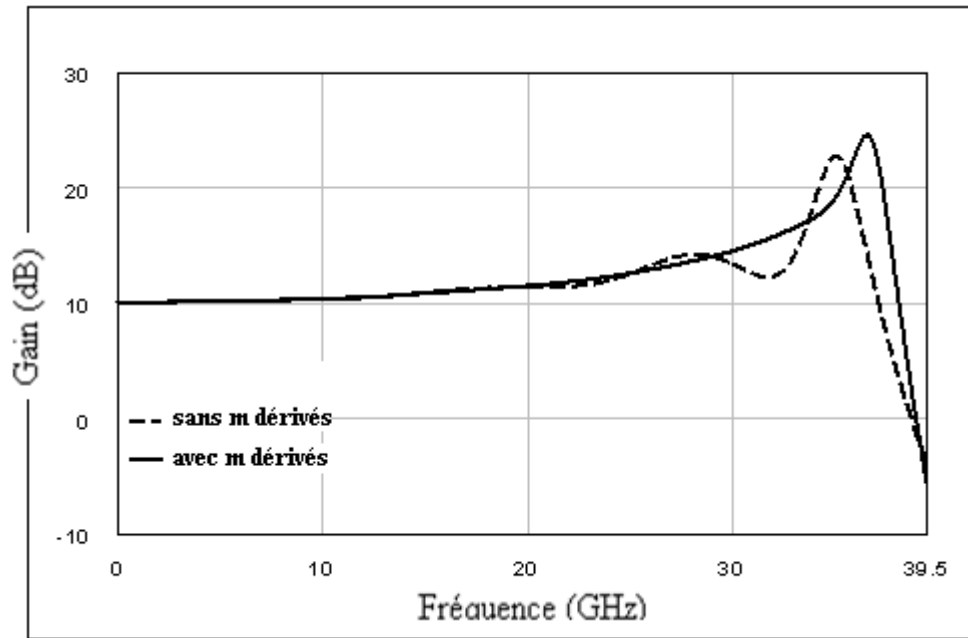


Figure. V.13: Gains de transfert des amplificateurs ADC4 (transistor MESFETI) avec et sans circuits m-dérivé (MICROWAVE OFFICE).

V.4.2 L'ADNAC

L'ADNAC [18] est un amplificateur qui a la même topologie que l'ADNAG, mais dont les valeurs des paramètres de conception sont égales à celle de l'ADC4. Donc pour l'ADNAC on aura $L_g = L_d = 425pH$. et $C=0.164pF$. Le circuit de l'ADNAC est représenté à la figure (V.14), et sa réponse fréquentielle (gain transducique) à la figure (V.15).

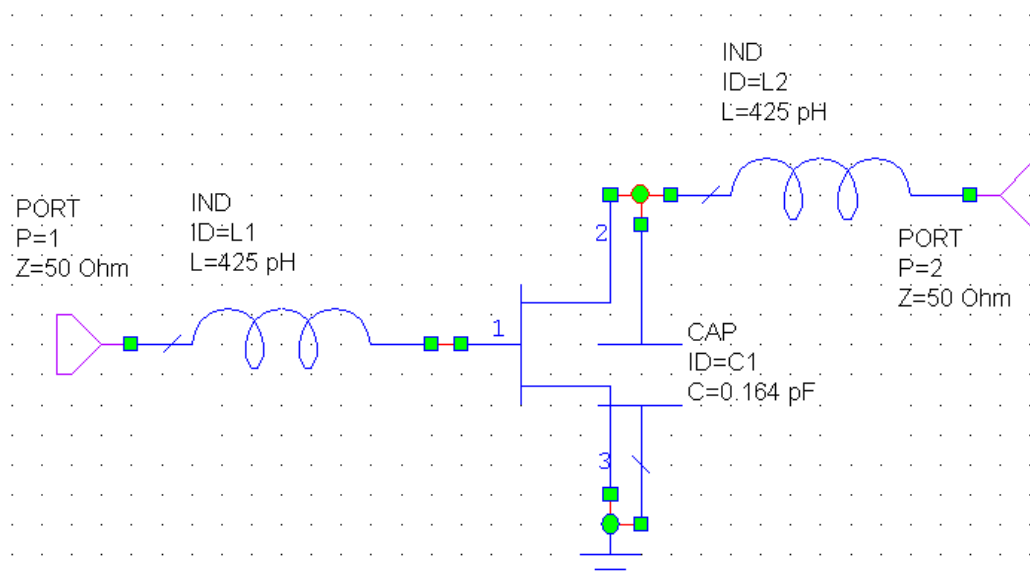


Figure V.14 : Circuit le l'amplificateur ADNAC (transistor MESFETI) (MICROWAVE OFFICE).

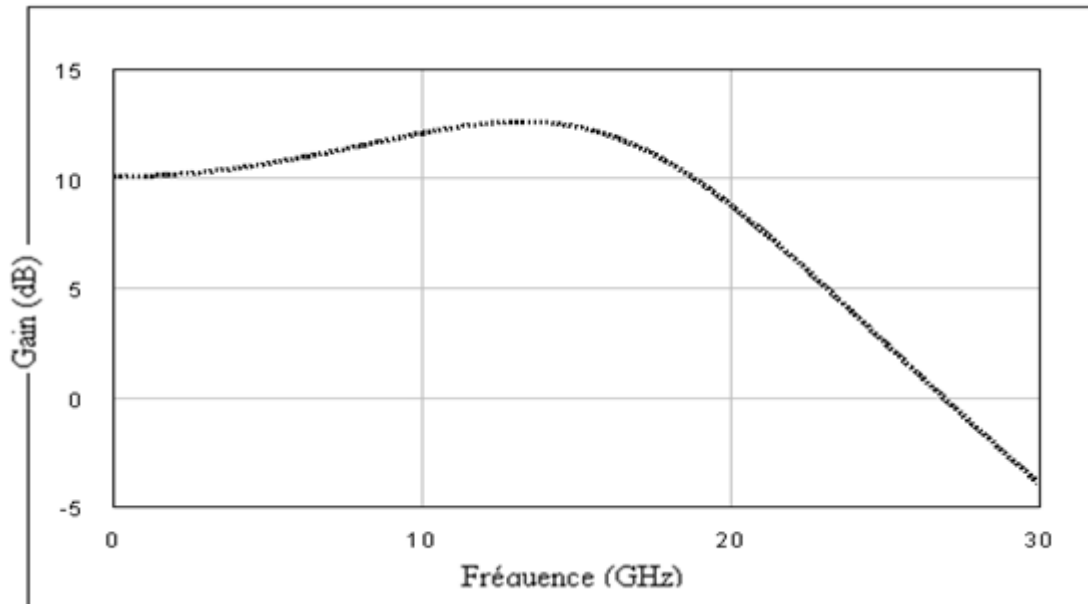


Figure V.15 : Réponse fréquentielle (gain transducique) de l'ADNAC (transistor MESFETI) (MICROWAVE OFFICE).

V.4.3 Etude comparative

Nous procédons à une comparaison des performances des trois amplificateurs ADC4, ADNAC, et ADNAG ($\zeta = 0.92$). Pour cela, nous traçons d'abord les gains de ces trois amplificateurs sur le même graphe (fig. V.16), ensuite nous reportons sur le même tableau (tableau V.3) leurs principales performances.

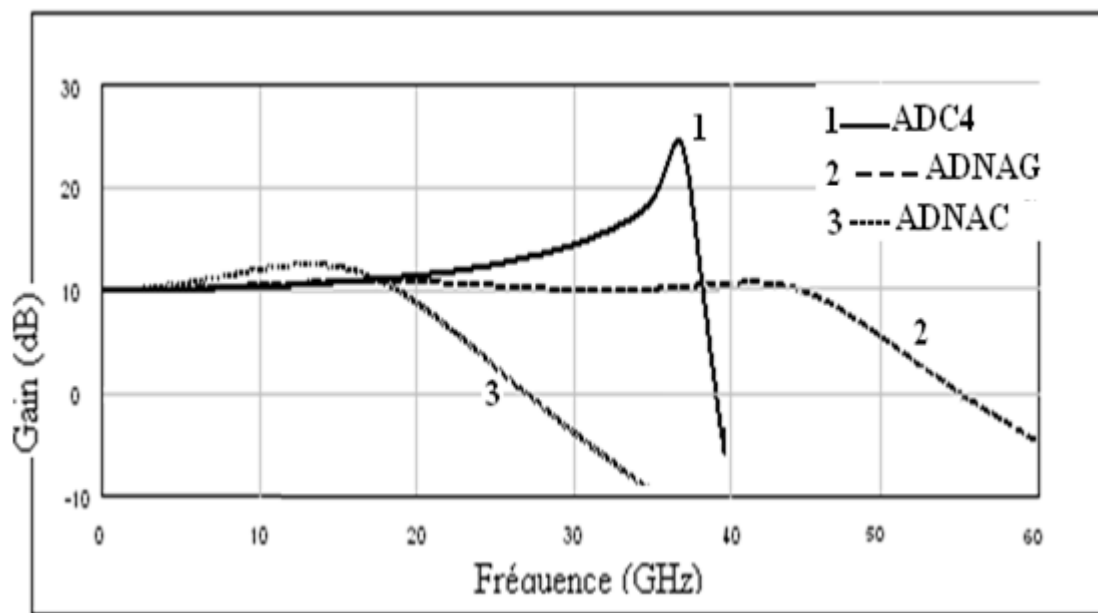


Figure V.16 : Gains des amplificateurs ADC4, ADNAC et ADNAG (transistor MESFETI).

	Gain (dB) (en continu f=0)	Taux d'ondulation	Bande passante (0 - f_c) (GHz)	Bande passante à -3 dB (GHz)
ADC4	10.1	27.3	36.54	38.33
ADNAC	10.1	0.78	18.7	21.4
ADNAG	10.1	0.22	45.16	48.79

Tableau V.3 : Performances des amplificateurs ADC4, ADNAC et ADNA (transistor MESFETI).

De ces résultats, nous pourrions tirer les renseignements suivants :

- par rapport à l'ADC4, la bande passante de l'ADNAG, définie du continu jusqu'à f_c , est plus grande de 23.59% et de 27.28 % si elle est à -3 dB ;
- par rapport à l'ADNAC, la bande passante de l'ADNAG, définie du continu jusqu'à f_c , est plus grande de 141.5% et de 128% si elle est à -3 dB.
- Le taux d'ondulation est meilleur de 0.56 par rapport à l'ADNAC, et de 27.08 par rapport à l'ADC4.

V.5 Simulation des performances de l'ADNAG, ADC4 et ADNA (transistor réel et cascode)

Avec le modèle équivalent du transistor (transistor réel), les résultats des dispositifs seront certainement moins bons que ceux obtenus avec le transistor MESFETI. En revanche, avec le montage cascode les résultats vont sensiblement se rapprocher de ceux générés par le transistor MESFETI.

V.5.1 ADNAG ($\zeta = 0.6$, $\zeta = 0.92$ et $\zeta = 1$)

V.5.1.a ADNAG avec le transistor réel

Effectivement, en utilisant le modèle électrique réel du transistor, les résultats donnés par le simulateur linéaire MICROWAVE OFFICE (figure V.17 et tableau V.4) sont moins bons comparativement à ceux obtenus dans le cas où le transistor est considéré comme un dispositif simplifié (tableau V.2). Les écarts sont :

- de 0.74 dB en ce qui concerne le gain en continu. Ceci est dû à la résistance de sortie du drain R_{ds}
- de 19.53GHz pour $\zeta = 0.6$, 22.79GHz pour $\zeta = 0.92$ et 22.83GHz pour $\zeta = 1$ et ce pour la bande passante -3dB. Ceci est dû principalement aux fréquences de coupure $f_{c1} = \frac{1}{2\pi R_{gs} C_{gs}}$ et $f_{c2} = \frac{1}{2\pi R_{ds} C_{ds}}$ qui ont une valeur infinie dans le cas simplifié.

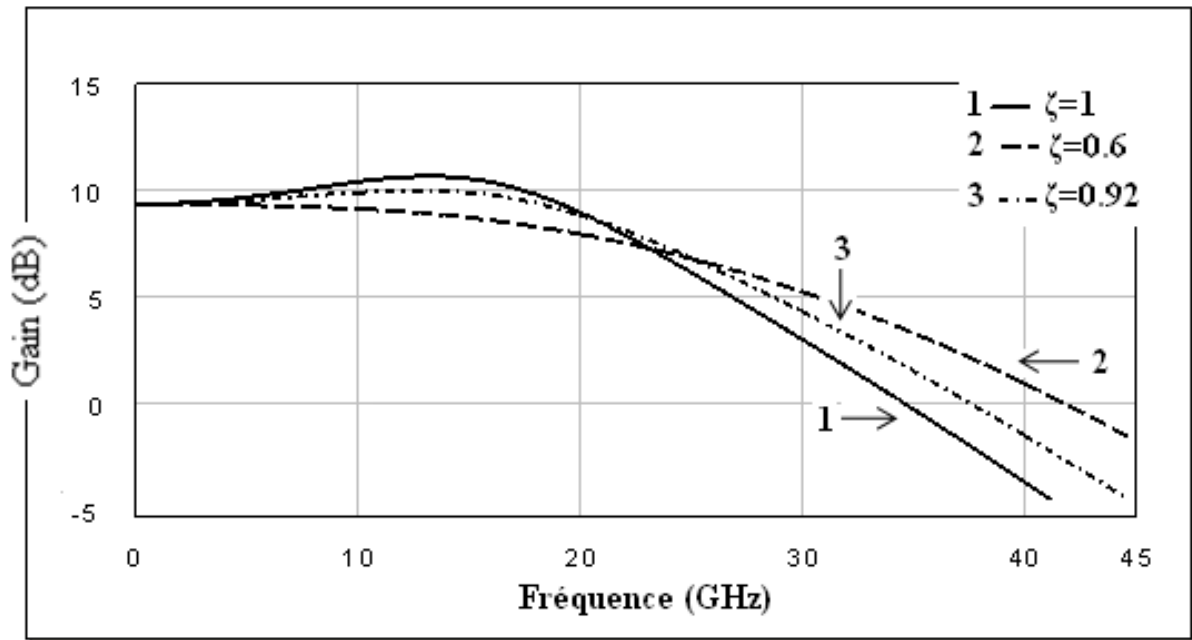


Figure V.17 : Gains de l'ADNAG pour différentes valeurs de ζ (transistor réel) (MICROWAVE OFFICE)

	Gain (en continu f=0) (dB)	Bande passante à -3 dB (GHz)
$\zeta=0.6$	9.36	26.59
$\zeta=0.92$	9.36	25.46
$\zeta=1$	9.36	24.67

Tableau V.4 : Gain et bande passante de l'ADNAG pour différentes valeurs de ζ (transistor réel)

Les écarts, en termes de bande passante, entre le cas simplifié et le cas réel sont si grands qu'il faut trouver une solution pour que notre méthode soit applicable. La solution réside, comme on le verra, dans l'utilisation du montage cascade auquel on apportera une petite modification par l'ajout d'une inductance.

V.5.1.b ADNAG avec le montage cascade

Les figures (V.18a-c) représentent les schémas de l'ADNAG implémentés avec MICROWAVE OFFICE.

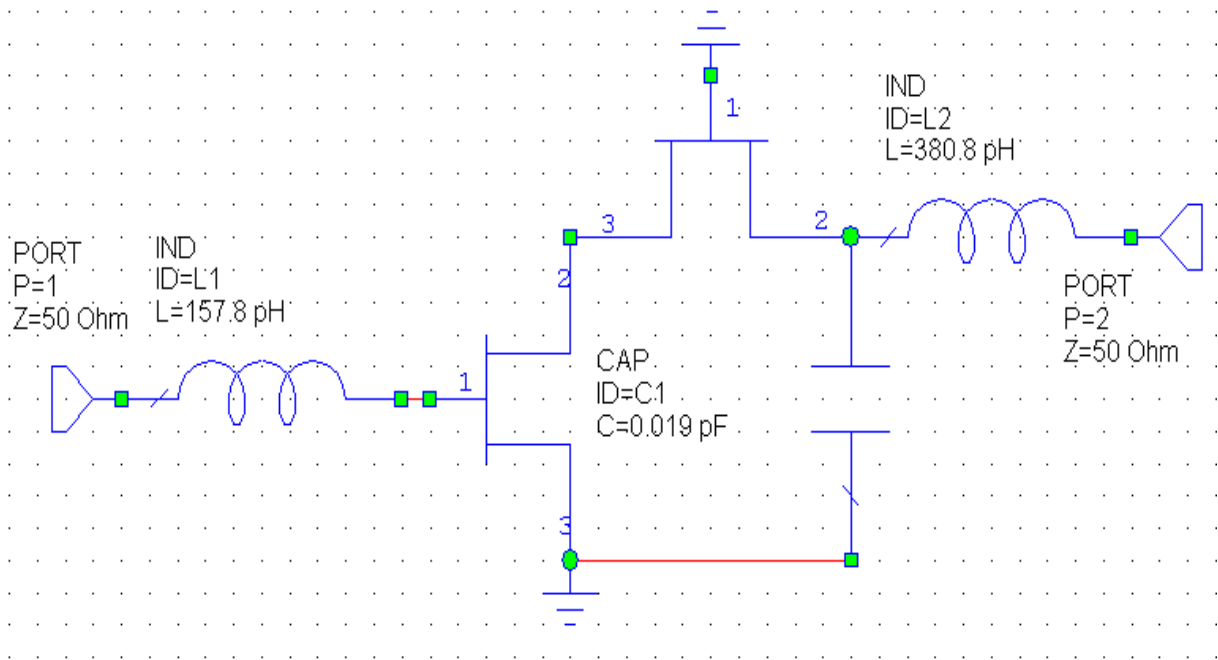


Figure V.18a: ADNAG pour $\zeta = 0.6$ (montage cascode) (MICROWAVE OFFICE)

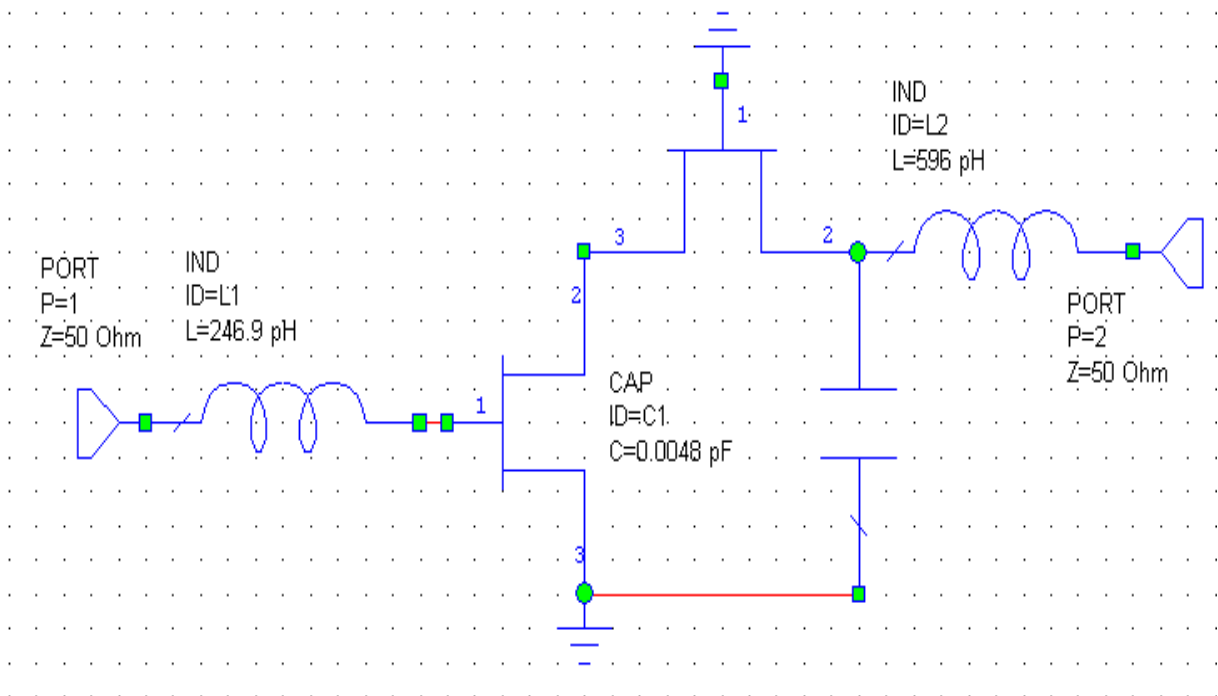


Figure V.18b: ADNAG pour $\zeta = 0.92$ (montage cascode) (MICROWAVE OFFICE)

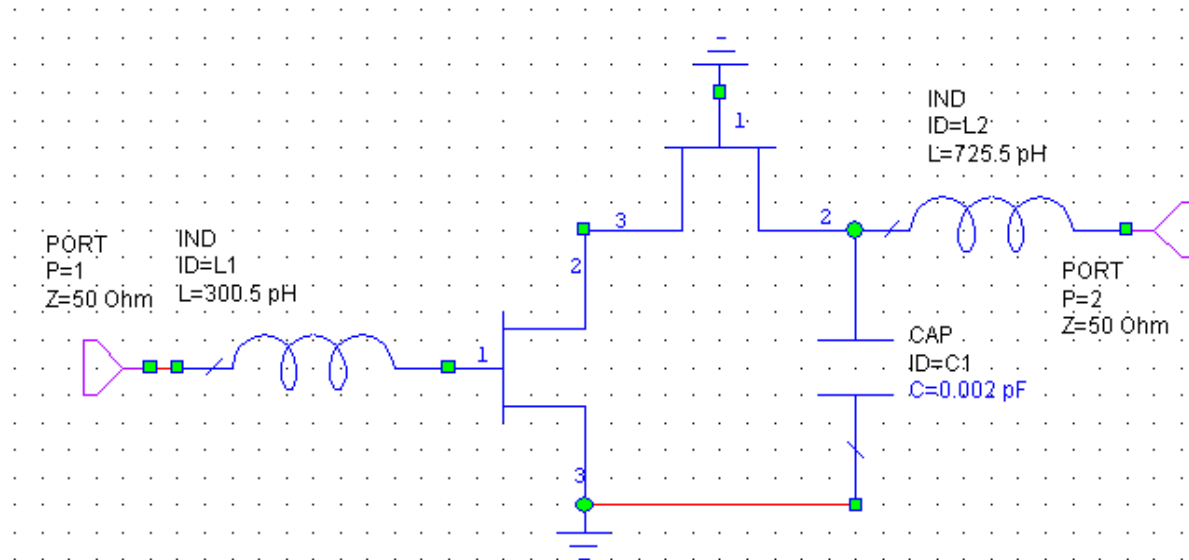


Figure V.18c: ADNAG pour $\zeta=1$ (montage cascode) (MICROWAVE OFFICE).

Par rapport à l'ADNAG avec transistor réel, la figure V.19 et les tableaux V.4 et V.5 montrent une différence de :

- 0.25 dB en faveur de l'ADNAG avec cascode pour le gain en continu.
- 2.69 GHz pour la bande passante en faveur de l'ADNAG avec cascode dans le cas où $\zeta=1$, alors que pratiquement il y a égalité pour les autres cas.

	Gain(en continu f=0) (dB)	Bande passante à -3 dB (GHz)
$\zeta=0.6$	9.61	21.73
$\zeta=0.92$	9.61	25.71
$\zeta=1$	9.61	27.36

Tableau V.5 : Gain et bande passante de l'ADNAG pour différentes valeurs de ζ (montage cascode).

Bien que le montage cascode et le transistor simplifié possèdent certains paramètres caractéristiques presque similaires, il existe néanmoins un autre paramètre différent. Ce paramètre est le coefficient de transmission S_{21} qui décroît plus rapidement en hautes fréquences pour le montage cascode, à cause du fait que les capacités C_{gs} et C_{ds} s'ajoutent pratiquement. C'est la raison pour laquelle nous n'avons pas pu obtenir une amélioration de la bande passante malgré le rapprochement significatif du montage cascode et du transistor simplifié du point de vue de certains paramètres. Donc la recherche d'une solution s'impose.

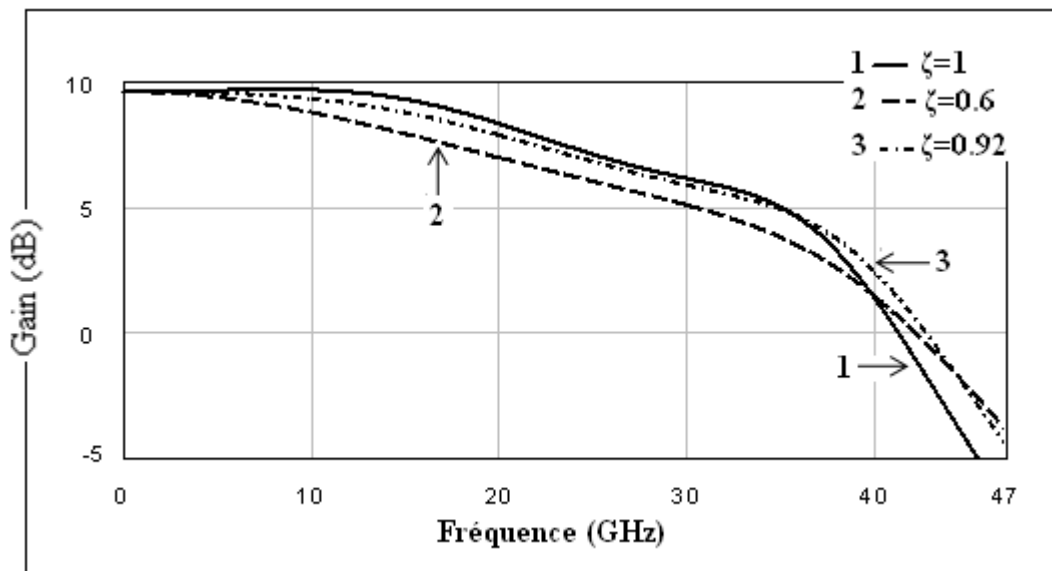


Figure V.19 : Gain de l'ADNAG pour différentes valeurs de ζ (montage cascode) (MICROWAVE OFFICE).

V.5.2 Amélioration de la bande passante du montage cascode

Nous venons de voir que les performances de l'ADNAG avec cascode sont pratiquement les mêmes que celles de l'ADNAG avec transistor réel, il n'en demeure pas moins qu'il existe une autre structure du montage cascode permettant d'améliorer encore plus la bande passante. Cette nouvelle structure est tout simplement le montage cascode auquel on ajoute entre les deux transistors une self inductance L (fig. V.20).

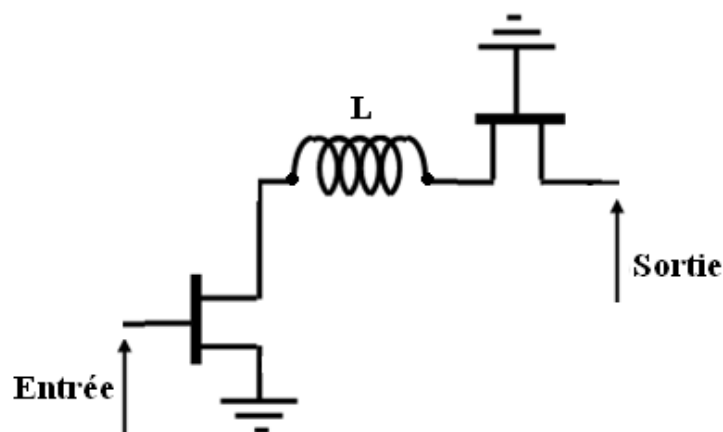


Figure V.20 : Circuit cascode avec self.

La présence de cette self inductance permettra de séparer physiquement les capacités C_{ds} et C_{gs} et empêchera donc d'avoir une capacité équivalente entre le drain du premier transistor et la source du deuxième transistor égale à la somme $C_{ds} + C_{gs}$ (Fig. V.3). Cette

capacité équivalente, si elle existait, c'est-à-dire en l'absence de la self inductance, ferait beaucoup plus chuter le gain en hautes fréquences que les capacités C_{ds} et C_{gs} lorsqu'elles sont séparées. Mais une grande valeur de cette self inductance fera chuter fortement le gain en hautes fréquences alors qu'une petite valeur aura un très faible effet sur la séparation des capacités C_{ds} et C_{gs} . On doit donc chercher une valeur dite valeur optimale qui ne soit ni grande ni petite. Cette valeur optimale est obtenue grâce à la fonction tune du simulateur MICROWAVE OFFICE de sorte que la réponse fréquentielle de l'ADNAG soit la meilleure possible à la fois en termes de gain, bande passante et taux d'oscillations. La valeur obtenue pour chaque cas se trouve sur chacune des figures (V.21a-c).

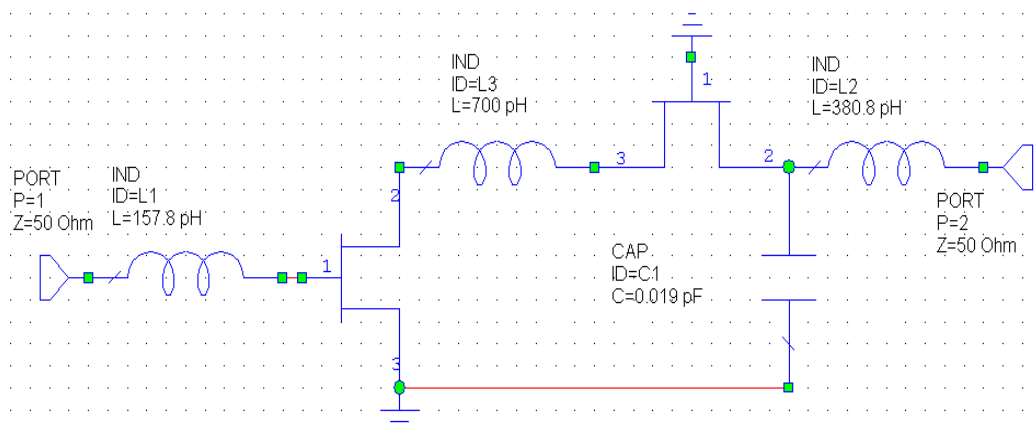


Figure V.21a : ADNAG pour $\zeta = 0.6$ (montage cascode avec self)
(MICROWAVE OFFICE)

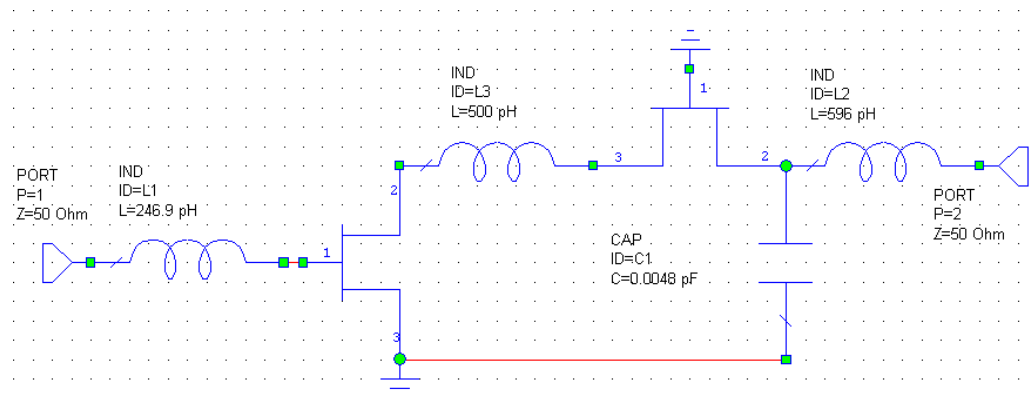


Figure V.21b : ADNAG pour $\zeta = 0.92$ (montage cascode avec self)
(MICROWAVE OFFICE)

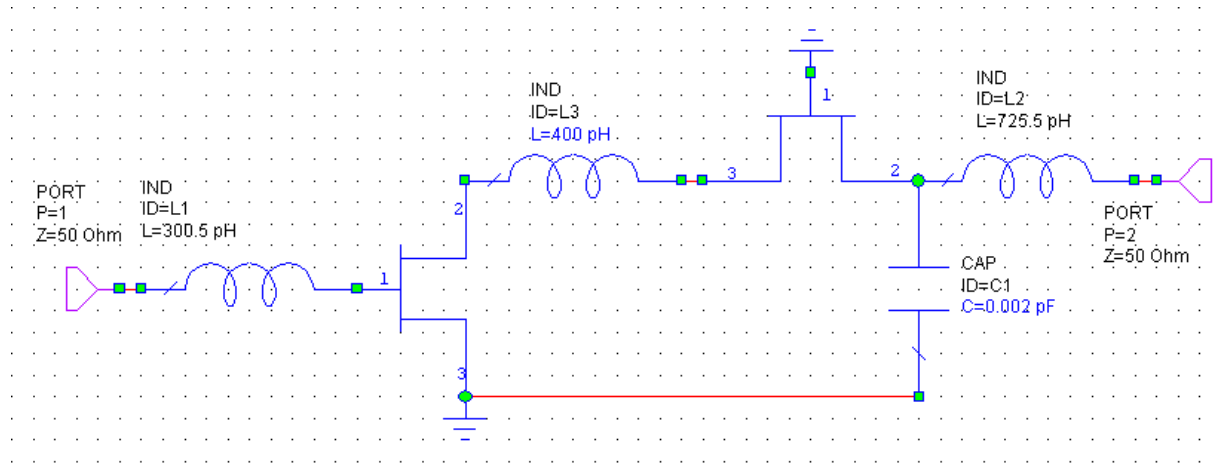


Figure V.21c : ADNAG pour $\zeta=1$ (montage cascade avec self)
(MICROWAVE OFFICE)

Par rapport à l'ADNAG sans self (tableau V.5), la figure V.22 et le tableau V.6 indiquent une amélioration de :

- 14.34GHz (soit 66 %) pour la bande passante dans le cas où $\zeta=0.6$.
- 14.01GHz (soit 54 %) pour la bande passante dans le cas où $\zeta=0.92$.
- 10.71GHz (soit 39 %) pour la bande passante dans le cas où $\zeta=1$.

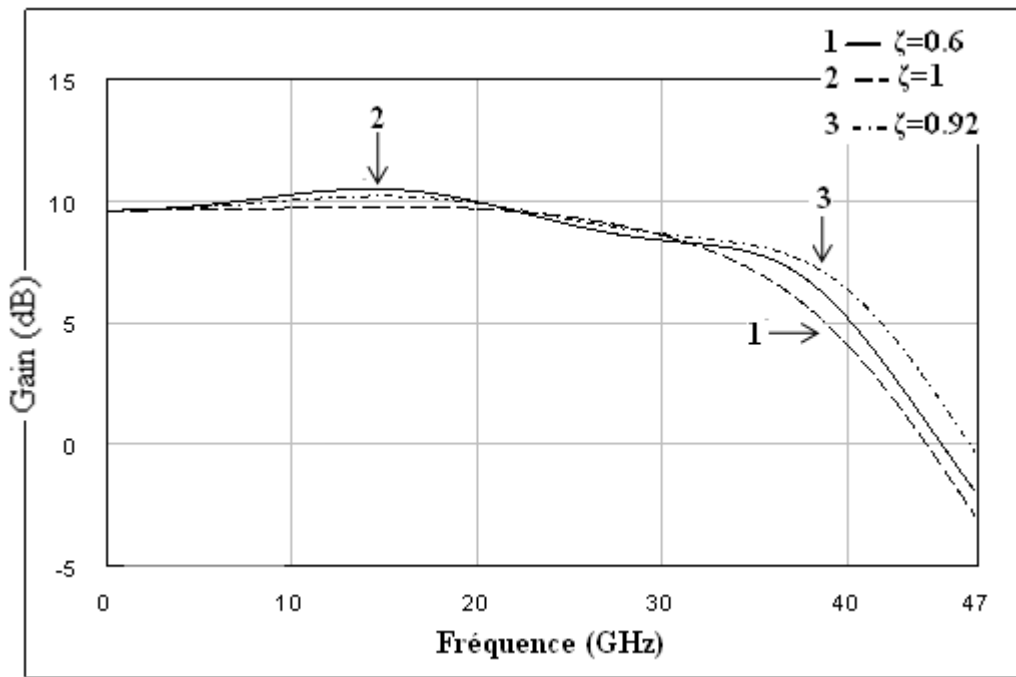


Figure V.22 : Gain de l'ADNAG pour différentes valeurs de ζ
(montage cascade avec self) (MICROWAVE OFFICE)

	Gain en continu (f=0) (dB)	Taux d'ondulation	Bande passante à-3 dB (GHz)
$\zeta = 0.6$	9.61	0.033	36.07
$\zeta = 0.92$	9.61	0.14	39.72
$\zeta = 1$	9.61	0.21	38.07

Tableau V.6 : Performances de l'ADNAG pour différentes valeurs de ζ (montage cascode avec self)

Il apparaît suite à cette étude qu'effectivement dans chaque cas l'ADNAG correspondant à $\zeta = 0.92$ est meilleur. Pour comparer les différents cas entre eux (cas où le transistor est simplifié, réel, montage cascode et montage cascode avec self inductance), nous avons tracé sur le même graphe les courbes des gains (fig. V.23) et dessiné un tableau (Tableau V.7) donnant les principales caractéristiques de l'ADNAG.

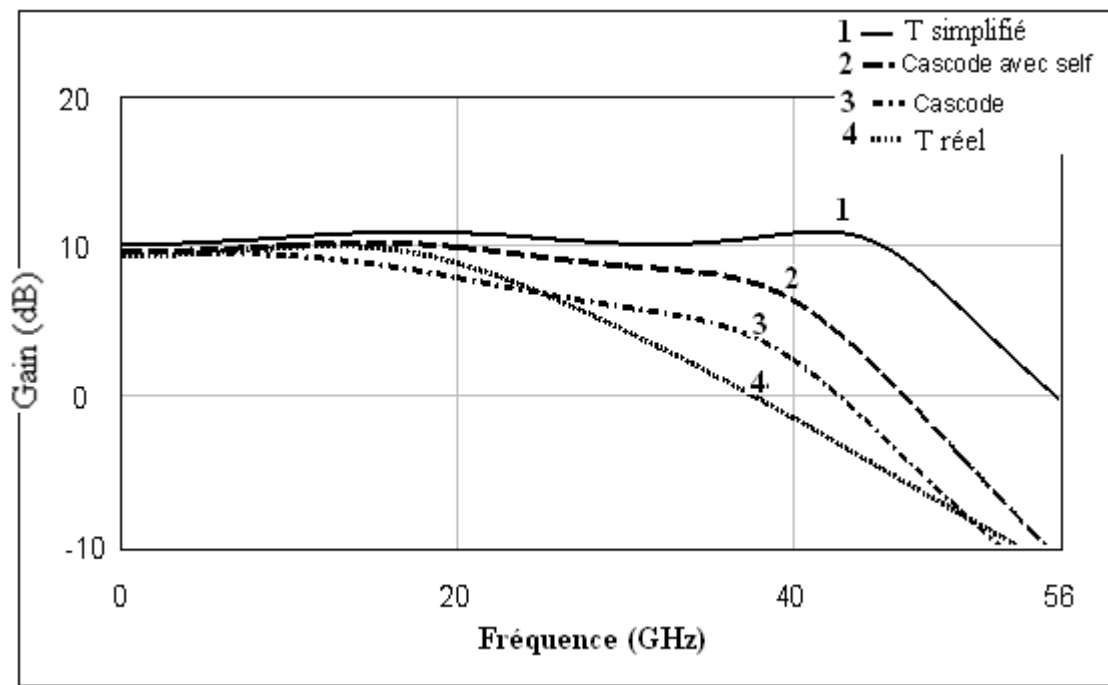


Figure V.23 : Gain de l'ADNAG pour $\zeta = 0.92$ avec un transistor simplifié-transistor réel-montage cascode-montage cascode avec self inductance.

	Gain(en continu f=0) (dB)	Taux d'ondulation	Bande passante à -3 dB (GHz)
transistor simplifié	10.1	0.22	48.79
transistor réel	9.36	0.16	25.46
cascode	9.61		25.71
Cascode avec self	9.61	0.14	39.72

Tableau V.7 : Performances de l'ADNAG pour $\zeta=0.92$ avec un transistor simplifié-transistor réel-montage cascode-montage cascode avec self inductance.

Ces résultats, en terme de gain, taux d'ondulation et bande passante, montrent que l'amplificateur utilisant le montage cascode avec self, se rapproche le plus de l'amplificateur utilisant un transistor simplifié.

V.5.3 L'ADC4

Les figures (V.24) et (V.25) représentent l'ADC4 que nous avons respectivement conçu avec transistor réel et montage cascode muni d'une self inductance. Les résultats de l'analyse par le simulateur linéaire MICROWAVE OFFICE sont donnés par les courbes de la figure V.26 et le tableau V.8.

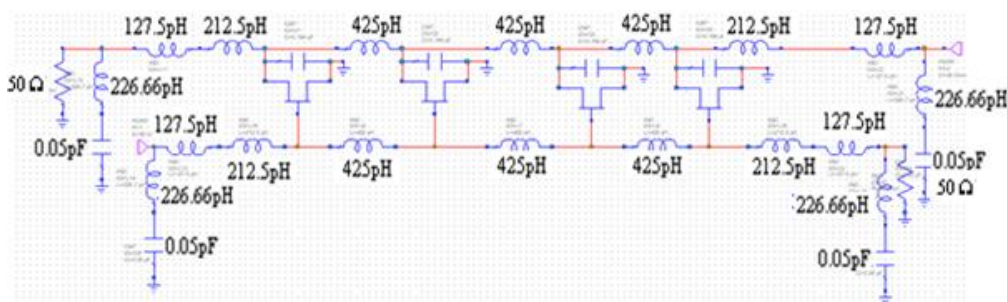


Figure V.24 : ADC4 avec transistor réel (MICROWAVE OFFICE)

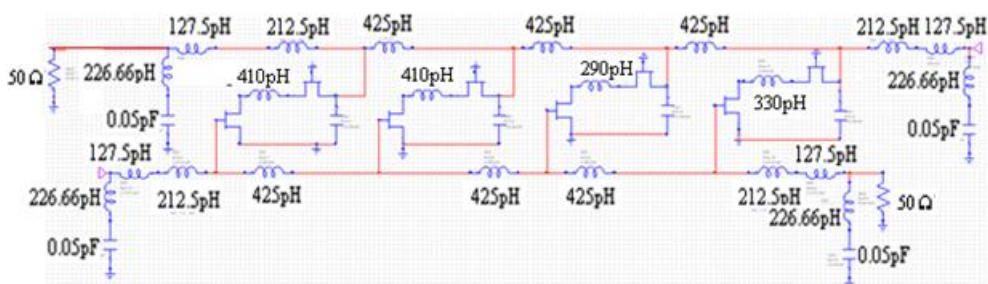


Figure V.25 : ADC4 avec montage cascode muni d'une self inductance (MICROWAVE OFFICE)

	Gain(en continu f=0) (dB)	Taux d'ondulation	Bande passante (GHz)
transistor réel	8.68	0.41	30.6
Cascode avec self	9.58	0.19	31.65

Tableau V.8 : Gains de l'ADC4 avec transistor réel et montage cascode doté d'une self inductance

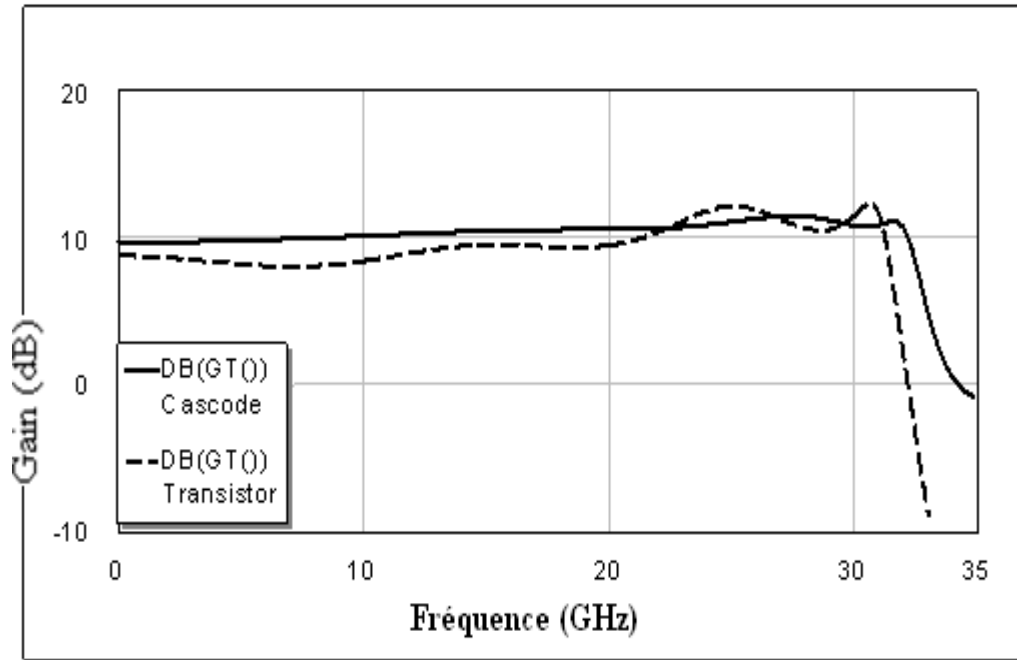


Figure V.26 : Gains de l'ADC4 avec transistor réel et montage cascode doté d'une self inductance

Ces résultats montrent que l'ADC4 utilisant le circuit cascode avec self a de meilleures performances que celui avec un transistor réel :

- un gain plus grand de 0.9dB.
- une bande passante plus large de 6.48GHz.
- un taux d'ondulation plus faible de 0.18.

V.5.4 L'ADNAC

Ce type de dispositif, conçu avec le transistor réel (fig. V.27) et le montage cascode avec self inductance (fig. V.28), est caractérisé par les performances présentées par la figure (fig. V.29) et le tableau V.9.

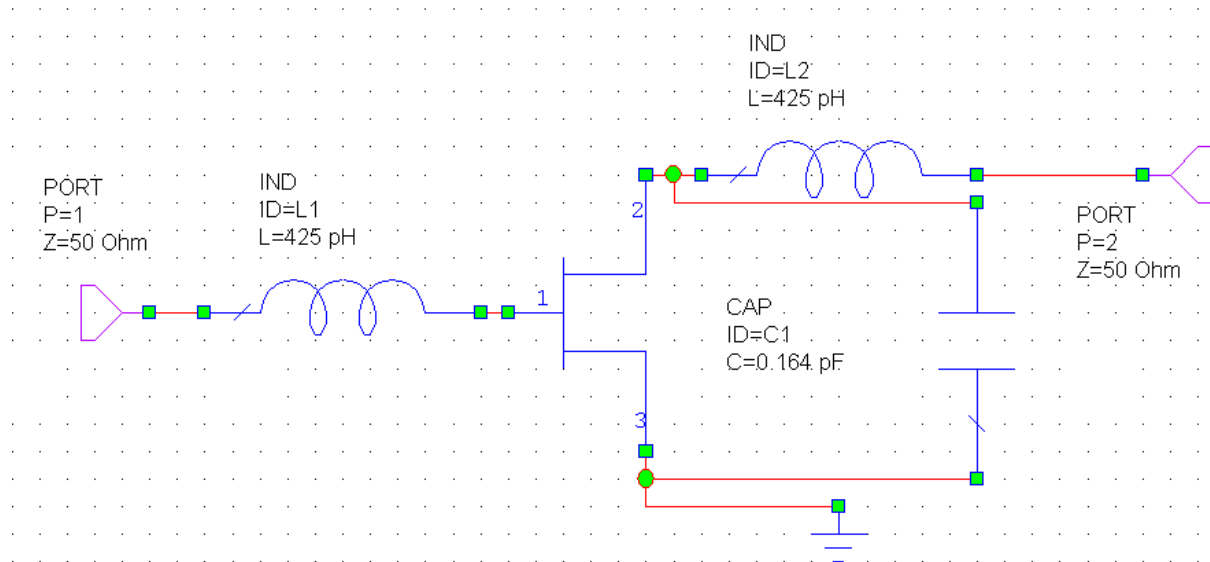


Figure V.27 : ADNAC avec transistor réel (MICROWAVE OFFICE)

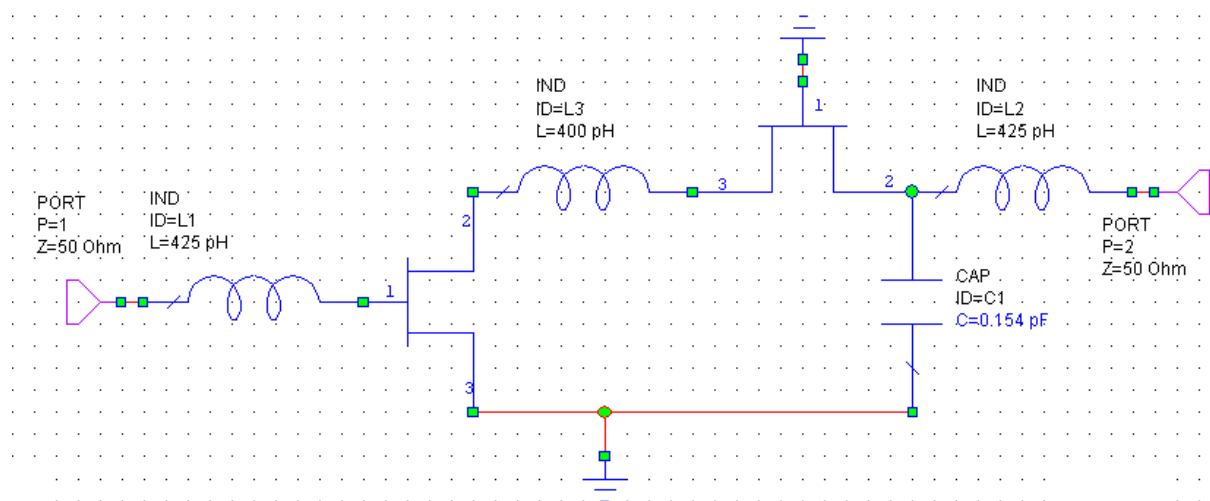


Figure V.28 : ADNAC avec cascode muni d'une self inductance (MICROWAVE OFFICE)

	Gain(en continu f=0) (dB)	Taux d'ondulation	Bande passante à - 3 dB (GHz)
transistor réel	9.36	0.12	18.33
Cascode avec self	9.62	0.18	19.47

Tableau V.9 : Gains et taux d'ondulations de l'ADNAC utilisant un transistor réel et un montage cascode avec self.

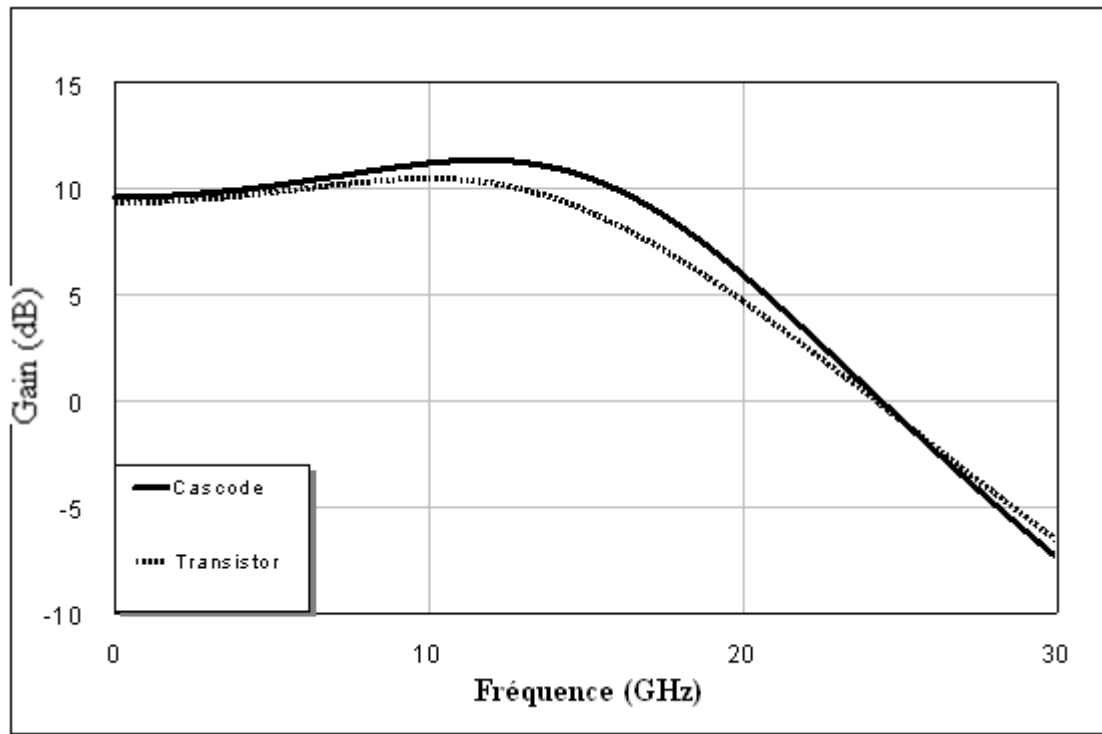


Figure V.29 : Gains de l'ADNAC utilisant un transistor réel et un montage cascode avec self.

V.5.5 Comparaison des performances de ADNAG – ADC4 - ADNAC

La comparaison se fera entre les meilleures performances des amplificateurs ADNAG, ADC4 et ADNAC. Celles-ci sont obtenues en utilisant dans chacun de ces amplificateurs le montage cascode avec self. Cette comparaison qui est présentée sous forme de graphes (fig. V.30) et de tableau (V.10) met clairement en relief l'amélioration qu'apporte notre méthode de conception par rapport aux techniques de conception. Cette amélioration est chiffrée comme suit :

- L'ADNAG offre une bande passante plus grande de 8.07GHz par rapport à l'ADC4, ce qui correspond à une amélioration de 25.49%.
- L'ADNAG offre une bande passante plus grande de 20.25GHz par rapport à l'ADNAC, donc une augmentation de 104%.
- L'ADNAG offre un gain plus stable, ondulation plus faible de 0.4 par rapport à l'ADNAC et 0.5 par rapport à l'ADC4.
- Les gains des trois amplificateurs sont presque les mêmes à la fréquence nulle 0. 9.61dB pour l'ADNAG, 9.58dB pour l'ADC4 et 9.62dB pour l'ADNAC.

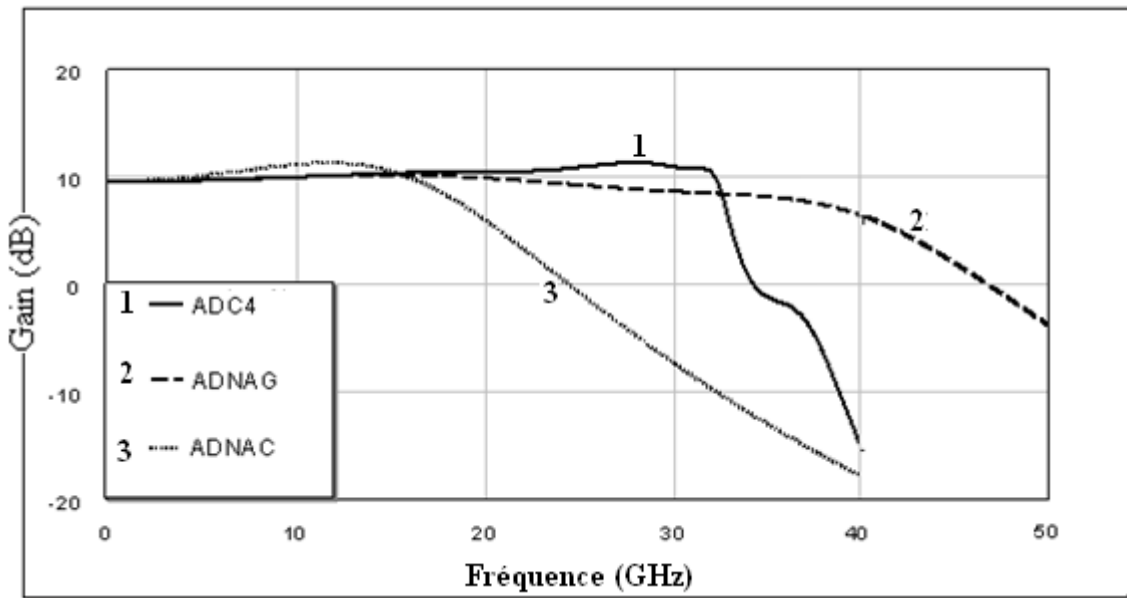


Figure V.30 : Gains transductiques en puissance des amplificateurs ADNAG, ADC4 et ADNAC.

	Gain(en continu f=0) (dB)	Taux d'ondulation	Bande passante (GHz)
ADNAG	9.61	0.14	39.72
ADC4	9.58	0.19	31.65
ADNAC	9.62	0.18	19.47

Tableau V.10 : Gains transductiques en puissance des amplificateurs ADNAG, ADC4 et ADNAC.

V.6 Conception en technologie micro-ruban

Nous allons maintenant concevoir l'amplificateur ADNAG avec $\zeta=0.92$ en technologie micro-ruban. Pour cela, nous devons remplacer les circuits localisés, inductances et capacités, par des circuits semi-localisés qui devront être réalisés par une ligne de transmission appropriée. Cette dernière n'est autre que la ligne micro-ruban en raison de sa compatibilité avec les dispositifs actifs à l'état solide. Le dimensionnement de ces circuits fait appel à un programme de synthèse, dans notre cas c'est le programme TXLINE du logiciel Microwave Office, et s'effectue en connaissant au préalable :

- les valeurs des caractéristiques du substrat (fig. V.31) utilisé à savoir l'épaisseur h du diélectrique, l'épaisseur t du conducteur, la permittivité électrique ϵ_r et les pertes T_{AND} du diélectrique ;

- les valeurs des capacités C et des inductances L ;
- les valeurs des impédances caractéristiques Z_c des lignes micro-ruban. Les petites valeurs (Z_{cmin}) de ces impédances sont attribuées aux lignes réalisant des capacités alors que les grandes valeurs (Z_{cmax}) aux lignes ayant un effet selfique.
- la valeur maximale f_{max} de la fréquence constituant la borne supérieure de la bande passante.

Toutes ces valeurs constituent les grandeurs d'entrée du programme de synthèse qui, en sortie, fournit la largeur W du ruban et la longueur d'onde λ .

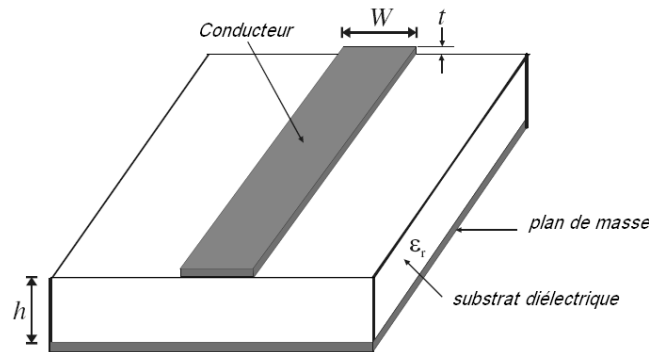


Figure V.31 : Ligne micro ruban

Le substrat utilisé a les caractéristiques suivantes : $h=1.524$ mm, $t=0.017$ mm, $\epsilon_r = 3$ et, $T_{AND} = 0.002$.

Les longueurs électriques des lignes sont calculées en utilisant les relations suivantes :

- pour la capacité : $l = f_{max}\lambda Z_{cmin}C$;
- pour l'inductance : $l = \frac{f_{max}\lambda L}{Z_{cmax}}$.

Les résultats de la synthèse sont donnés dans le tableau V.11.

Inductance et capacité	Impédance choisie (Ω)	Dimension (mm)
$L_g = 596$ pH	$Z_{cmax} = 100$	$W= 1.8928$ $l= 0.447972$
$L_d = 246.9$ pH	$Z_{cmax} = 100$	$W= 1.8928$ $l= 1.08132$
$L = 500$ pH	$Z_{cmax} = 100$	$W= 1.8928$ $l= 0.725754$
$C = 0.0048$ pF	$Z_{cmin} = 20$	$W= 15.5943$ $l= 0.0166923$

Tableau V.11 : Dimensions des circuits semi-localisés.

A cause de la largeur relativement excessive de la capacité additive C , nous devons opter pour une ligne en cascade d'impédance caractéristique 20Ω au lieu d'une ligne shunt. La mise en cascade de cette ligne en tant que capacité n'est valable que si les impédances vues en entrée et en sortie sont de valeur très supérieure à 20Ω . En sortie, la valeur minimale de l'impédance est, à première vue, égale à 50Ω et en entrée elle varie entre 148Ω et $11 \text{ K}\Omega$; ces dernières valeurs sont données par le simulateur.

V.6.1 Conception sans circuit de polarisation

L'amplificateur, conçu en technologie micro-ruban, est donné par la figure V.32. Le caractère semi-empirique de la synthèse, ajouté au fait que la ligne modélisant la capacité additive C ne remplit pas tout à fait les conditions exigées, le résultat escompté ne peut donc être que moins bon. Un réglage des éléments du circuit (tableau V.12) s'impose par conséquent, ce qui nous permet d'aboutir aux courbes des gains avant et après optimisation de la figure V.33. Le réglage est fait dans le sens de l'amélioration du gain dans la bande passante même si cela implique une réponse plus abrupte à très hautes fréquences. Le tableau V.12 montre que seule la ligne réalisant l'inductance L_d n'a pratiquement pas d'impacte sur le gain lors du réglage.

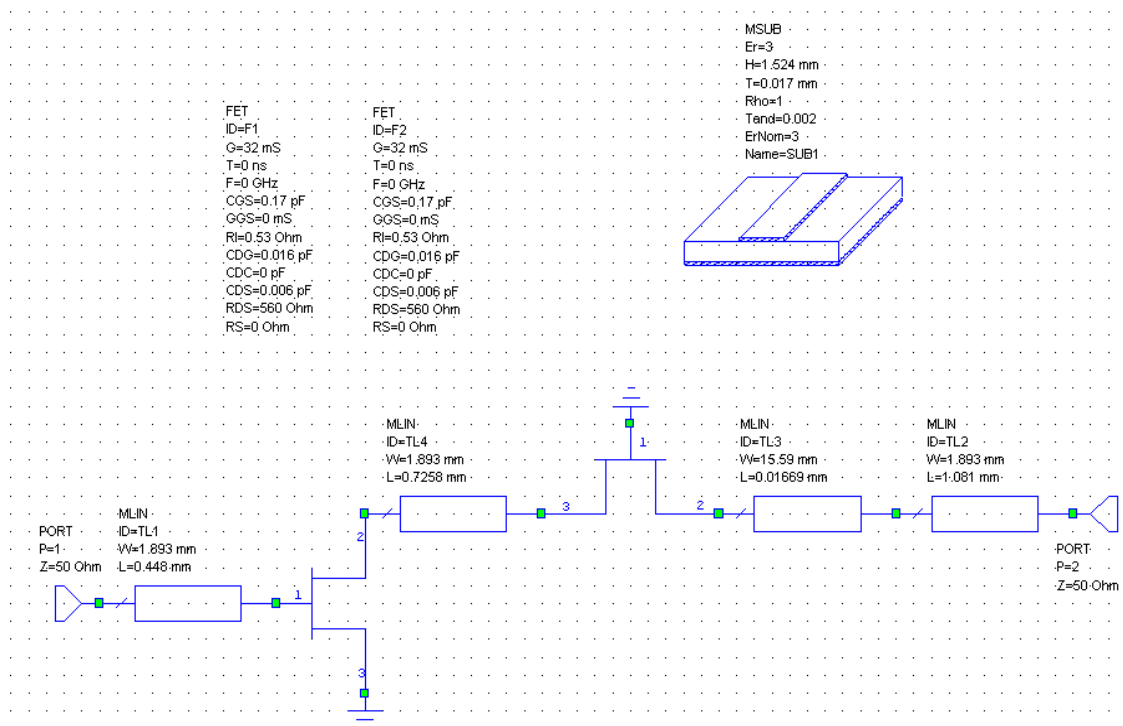


Figure V.32 : ADNAG ($\zeta=0.92$) en technologie micro-ruban.

	Dimension avant optimisation (mm)	Dimension après optimisation (mm)
L_g	W= 1.8928 $l = 0.447972$	W= 2.293 $l = 0.628$
L_d	W= 1.8928 $l = 1.08132$	W= 1.8928 $l = 1.08132$
L	W= 1.8928 $l = 0.725754$	W= 1.493 $l = 1.026$
C	W= 15.5943 $l = 0.0166923$	W= 15.5943 $l = 0.01269$

Tableau V.12 : Dimensions des circuits de l'ANAG ($\zeta=0.92$) avant et après optimisation.

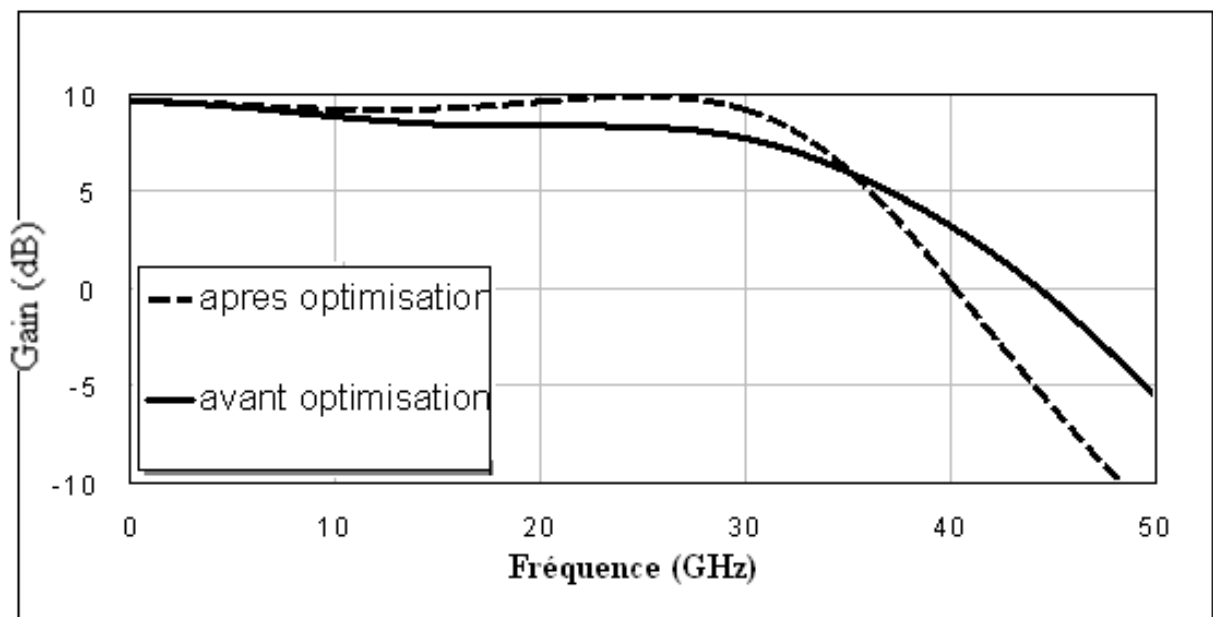


Figure V.33 : Gain de l'ADNAG ($\zeta=0.92$) avant et après optimisation.

La figure V.34 ainsi que le tableau V.13 donnent les performances de l'ADNAG ($\zeta = 0.92$) avec les circuits localisés d'une part et les circuits semi-localisés d'autre part. Il en ressort particulièrement que la bande passante la plus large est celle de l'ADNAG avec les circuits localisés ; ceci peut s'expliquer par la sensibilité relativement grande à la fréquence des paramètres électriques d'une ligne.

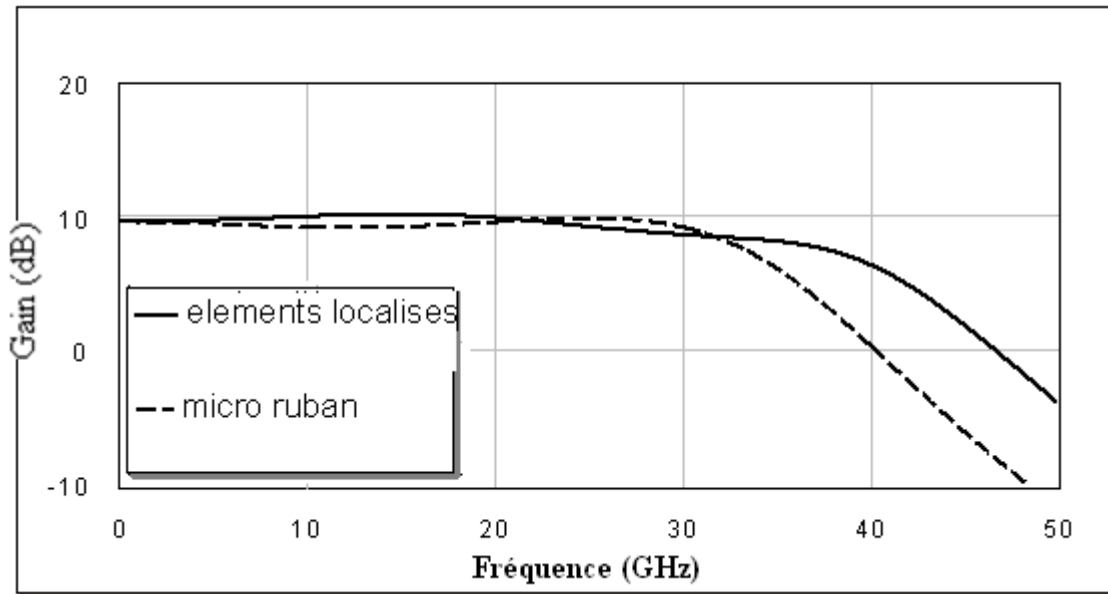


Figure V.34 : Gains de l'ADNAG ($\zeta=0.92$) avec éléments localisés et semi-localisés en technologie micro-ruban.

Amplificateur	Gain (dB) (en continu $f=0$)	Taux d'ondulation	Bande passante à -3 dB (GHz)
Avec circuits localisés	9.61	0.14	39.59
Avec circuits semi-localisés	9.61	0.1	34.4

Tableau V. 13 : Performances de l'ADNAG conçu avec éléments localisés et en technologie micro-ruban.

V.6.2 Conception avec circuit de polarisation

V.6.2.1 Etude du circuit de polarisation

L'étude du circuit de polarisations sera basée sur l'évaluation des pertes d'insertion sur la bande passante à utilisée ; l'idéal c'est d'avoir des pertes nulles sur toute la bande passante. Il faut donc trouver les dimensions du circuit de polarisation qui nous donne les pertes les plus faibles sur toute la bande passante. L'analyse sera faite en évaluant le coefficient de transmission S_{21} d'une ligne de transmission dans laquelle nous avons insérer le circuit de polarisation.

Le dimensionnement du circuit de polarisation se fera en utilisant l'outil TXLINE du simulateur, il s'agit donc de trouver l'impédance et la fréquence à entrée comme donnée dans le TXLINE afin d'avoir un coefficient de transmission égale à 1 sur toute la bande passante. On aura un coefficient de transmission le plus grand possible sur toute la bande fréquence en

choisissant une fréquence de travail et une impédance caractéristique des lignes très élevées. De bons résultats ont été trouvés en choisissant une impédance $Z_c = 435\Omega$ à une fréquence $f = 120GHz$ pour des lignes $\frac{\lambda}{8}$.

Le circuit à analyser est représenté à la figure V.35 et le résultat de la simulation est représenté à la figure V.36.

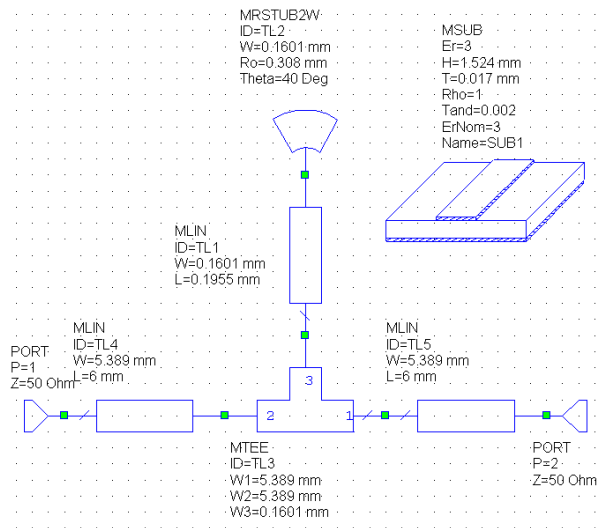


Figure V.35 : Circuit d'analyse des performances du circuit de polarisation

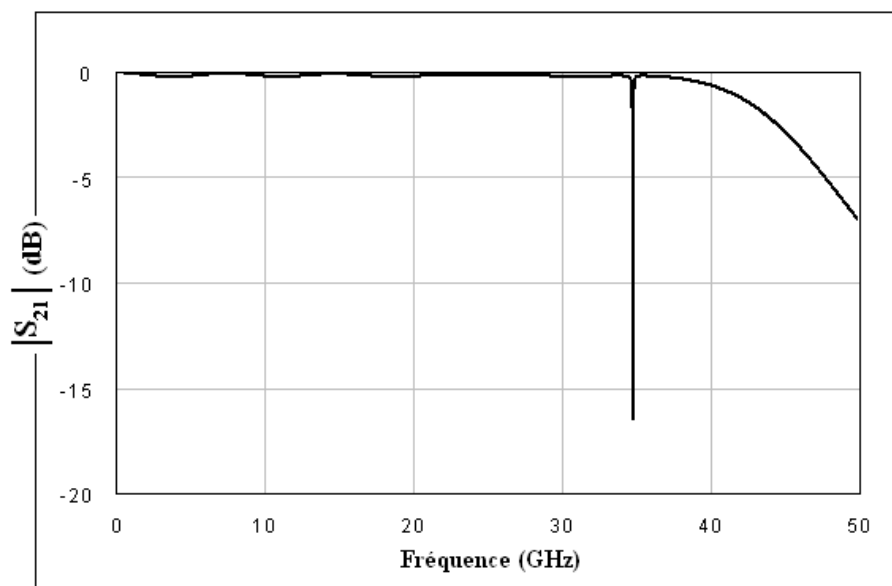


Figure V.36 : performances du circuit de polarisation.

La figure V.36 nous montre des pertes d'insertion nulle sur toute la bande de fréquence de l'ADNAG jusqu'à la fréquence 34.72GHz où on remarque une chute importante de S_{21} , mais cette fréquence se trouve en dehors de la bande passante de notre amplificateur 33.6GHz, elle n'aura donc aucune influence sur les performance de l'amplificateur.

V.6.2.2 Conception avec le circuit de polarisation

Le circuit de l'ADNAG sera le même, il suffi juste d'introduire les circuits de polarisation à l'entrée et à la sortie de l'amplificateur comme le montre la figure V.37.

Le résultat de la simulation est représenté à la figure V.38, et une comparaison avec l'ADNAG sans circuit de polarisation est représentée au tableau V.14.

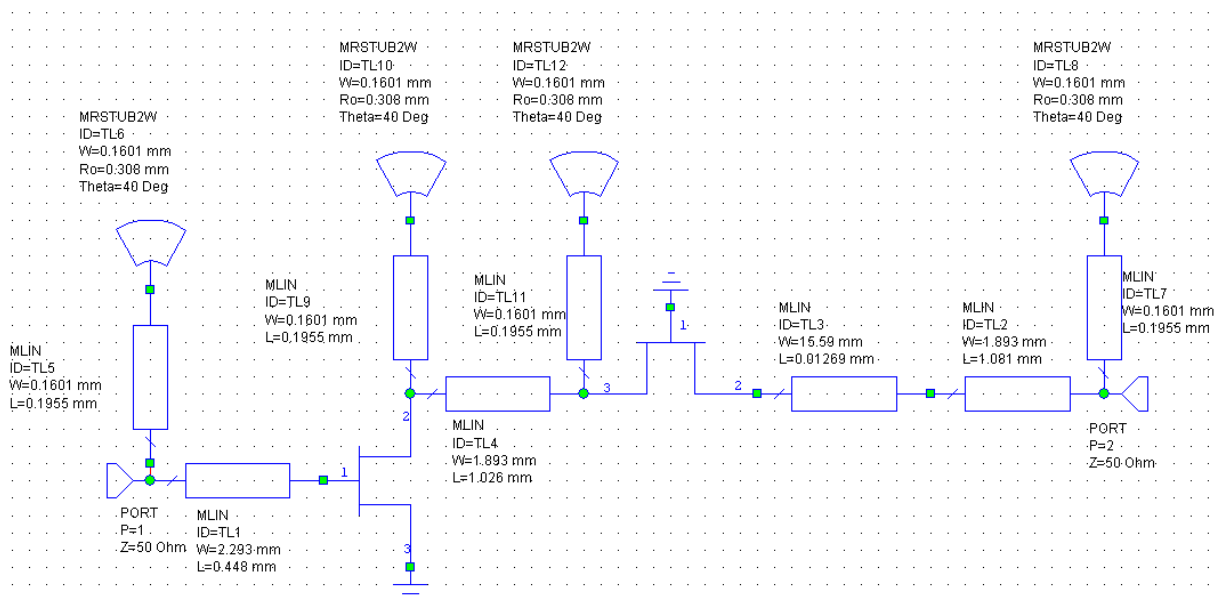


Figure V.37 : ADNAG conçu en technologie micro-ruban avec les circuits de polarisation.

	Gain (dB) (en continu f=0)	Taux d'ondulation	Bande passante (0 - f_c) (GHz)	Bande passante à -3 dB (GHz)
Avec circuits de polarisation	9.61	0.22	32.8	36.5
sans circuits de polarisation	9.61	0.1	28.26	34.4

Tableau V.14 : Performances de l'ADNAG avec et sans circuits de polarisation.

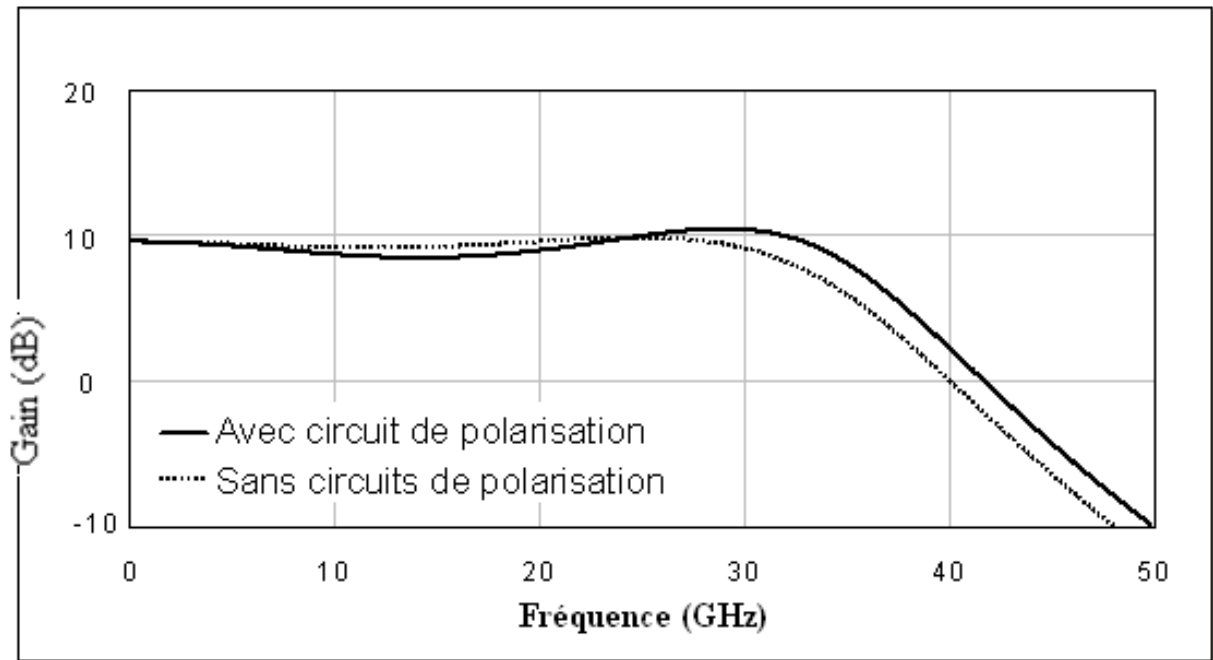


Figure V.38 : Gains transducive de l'ADNAG conçu en technologie micro-ruban avec et sans les circuits de polarisation.

Ce tableau nous renseigne que

- L'ADNAG avec circuit de polarisation donne un taux d'ondulation plus grand de 0.13 que celui sans circuits de polarisation.
- L'ADNAG avec circuit de polarisation donne une bande passante plus large de 4.12GHz si la bande passante est définie quand le gain commence à chuter, et une bande passante plus grande de 2.68GHz si la bande passante est définie quand le gain chute de 3dB.

Chapitre VI

L'Amplificateur Distribu  en Cascade non adapt 

L'Amplificateur Distribué en Cascade non adapté

VI.1 Introduction

Nous proposons un autre CSSDA que nous appelons CSSDANA dont la nouveauté réside dans le fait qu'une extrémité de la ligne de grille en entrée et de la ligne de drain en sortie est ouverte (fig. VI.1). Ainsi, on va doubler la tension V_{gs} du premier transistor et aussi le courant dans la charge. Cette nouvelle structure nous procurera donc une amélioration du gain de 12 dB en basse fréquence mais une bande passante qui risque d'être relativement plus étroite à cause de la désadaptation en entrée et en sortie. Une solution à ce problème est préconisée comme on le verra après.

Ce nouveau dispositif peut être assimilé à l'ADNAG dans la mesure où l'ensemble des circuits inter-étages peut être considéré comme une seule entité active, ce qui veut dire comme un transistor équivalent (fig. VI.2). Si on connecte à la sortie de chaque cellule k-constant en pi son impédance caractéristique $Z_{0\pi}$, ce transistor équivalent aura une transconductance qui augmentera avec la fréquence. Cette augmentation est induite par celle de $Z_{0\pi}$. Nous pouvons donc tirer profit de cet état de fait en compensant les chutes du gain qui augmentent au fur et à mesure que la fréquence croît et qui sont dues en partie à la désadaptation dont nous avons déjà parlé. Cette compensation doit être telle que la courbe du gain soit aussi plate que possible. Cette exigence est rendue possible grâce à notre méthode originale qui met à la disposition du concepteur un degré de liberté qui est le paramètre ζ dont le réglage permet d'agir sur la bande passante.

VI.2 Etude du montage :

a) Calcul du gain en puissance:

La figure VI.3 représente le schéma équivalent du premier étage de l'amplificateur. La tension à l'entrée du premier transistor est, après développement:

$$V_{gs} = \frac{E_g}{1 - L_g C_{gS} \omega^2 + j C_{gS} \omega Z_0} \quad (\text{VI. 1})$$

et celle du deuxième transistor :

$$V_2 = V_1 e^{-j\theta} = Z_{0\pi} g_m V_{gs} e^{-j\theta}$$

où V_1 est la tension à la sortie du premier transistor.

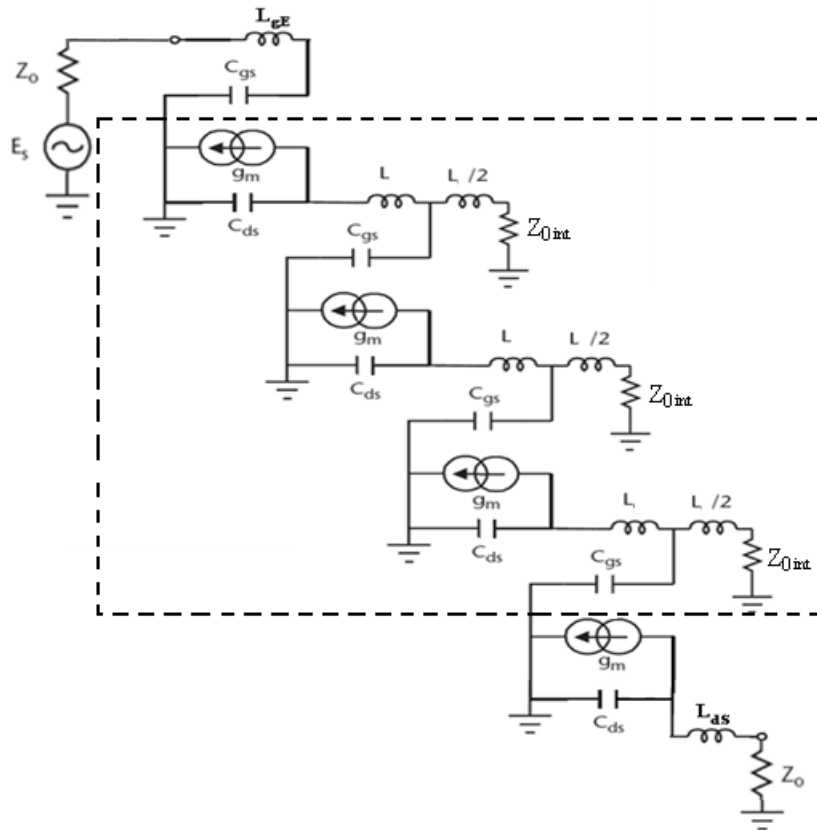


Figure VI. 1: l'amplificateur CSSDANA

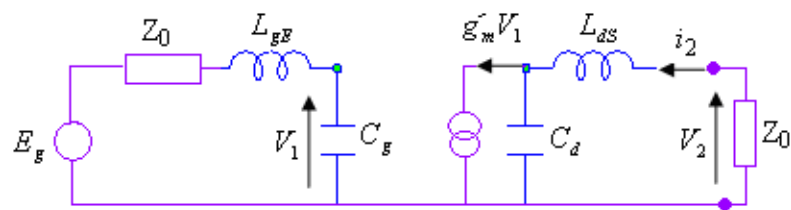


Figure VI.2 : Schéma équivalent du CSSDANA

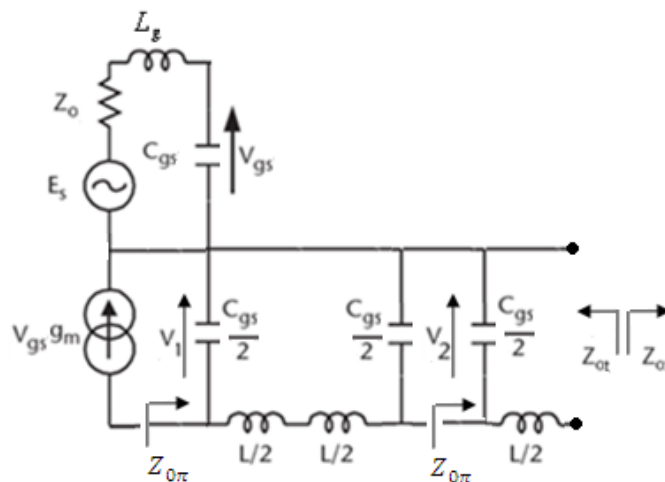


Figure VI.3 : premier étage du CSSDANA

Par conséquent, la tension à la sortie du deuxième transistor sera :

$$V_3 = Z_{0\pi} g_m V_2$$

et la tension à l'entrée du troisième transistor :

$$V_4 = V_3 e^{-j\theta} = (Z_{0\pi} g_m e^{-j\theta})^2 V_{gs}$$

Ainsi de suite, nous arrivons à la formulation générale suivante :

- A l'entrée du $N^{ième}$ transistor :

$$V_{2(N-1)} = (Z_{0\pi} g_m e^{-j\theta})^{N-1} V_{gs} \quad (VI.2)$$

- A la sortie du $N^{ième}$ transistor, le générateur de courant (fig. VI.4) est :

$$g_m V_{2(N-1)} = g_m^N (Z_{0\pi} e^{-j\theta})^{N-1} V_{gs} \quad (VI.3)$$

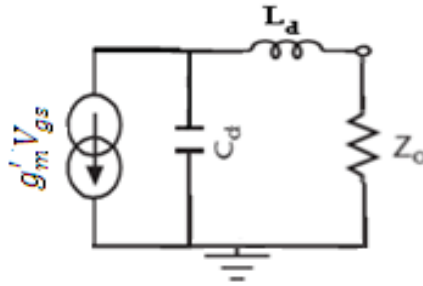


Figure VI.4 : Schéma du dernier étage du CSSDANA.

En tenant compte de l'expression (VI.2) et en se référant à la figure VI.2, la transconductance du transistor équivalent sera donc :

$$g'_m = g_m^N (Z_{0\pi} e^{-j\theta})^{N-1} \quad (VI.4)$$

Avec $Z_{0\pi} = Z_{0int} \sqrt{\left(1 - \left(\frac{\omega}{\omega_c}\right)^2\right)^{-1}}$ et $Z_{0int} = \sqrt{\frac{L}{C_{gs}}}$

Il suffit donc de remplacer dans l'expression du gain (IV.14) de l'ADNAG la transconductance g_m par g'_m (VI.4). Le gain du CSSDANA s'exprimera donc ainsi:

$$G_{T(CSSDANA)} = \frac{4Z_0^2 g_m^{2N} Z_{0int}^{2(N-1)}}{[(1 - 4\zeta^2 x^2)^2 + \zeta^2 \alpha_1^2 x^2][(1 - 4a^2 x^2)^2 + \alpha_2^2 a^2 x^2] \left[\left(1 - x^2 \frac{\omega_{c1}^2}{\omega_c^2}\right)^{N-1} \right]} \quad (VI.5)$$

où ω_{c1} est la pulsation de coupure donnée par la relation (IV.13) et $\omega_c = \frac{2}{\sqrt{LC_{gs}}} = \frac{2}{Z_{0int} C_{gs}}$.

Cette expression peut se mettre sous la forme d'un produit de deux fonctions variant avec la fréquence normalisée x :

$$G_{T(CSSDANA)}(x) = G_{T(ADNAG)}(x) * H(x) \quad (VI.6)$$

Où :

$$G_{T(ADNAC)}(x) = \frac{4Z_0^2 g_m^{2N} Z_{0int}^{2(N-1)}}{[(1 - 4\zeta^2 x^2)^2 + \zeta^2 \alpha_1^2 x^2][(1 - 4a^2 x^2)^2 + \alpha_2^2 a^2 x^2]} \quad (VI. 7)$$

$$H(x) = \frac{1}{\left(1 - x^2 \frac{\omega_{c1}^2}{\omega_c^2}\right)^{N-1}} \quad (VI. 8)$$

$G_{T(ADNAC)}(x)$ diminue lorsque x augmente, par contre $H(x)$ croît, ce qui signifie qu'il peut y avoir compensation auquel cas la courbe du gain serait plus ou moins plate sur une bande passante plus large.

La principale caractéristique de notre méthode, décrite au chapitre IV, est sa capacité de s'adapter, grâce au paramètre ζ , à différentes conceptions qui se basent essentiellement sur des critères de gain et bande passante. Comme la problématique posée par l'amplificateur CSSDANA se rapporte à l'élargissement de la bande passante par un procédé de compensation, notre méthode peut donc s'appliquer à ce type de dispositif. Le procédé de compensation ne peut s'effectuer que par le truchement de ζ , car ce dernier conditionne tout type de conception. Nous sommes donc amenés à trouver, pour un nombre N d'étages donné, une valeur de ζ vérifiant la fonction objectif suivante :

$$\sum_{x=0}^{x=Max} \left| G_{T(ADNAG)}(x, \zeta) * H(x, \zeta) - 4Z_0^2 g_m^{2N} Z_{0int}^{2(N-1)} \right| \leq \delta \quad (VI. 9)$$

Où δ est choisi aussi petit que possible.

La fréquence de coupure sera fixée par celle des lignes des étages intermédiaires, $\omega_c = \frac{2}{Z_{0int} \cdot C_{gs}}$ qui, dans la conception du CSSDANA, doit être considérée comme le premier paramètre à partir duquel les autres paramètres seront déterminés.

b) Comparaison des performances:

Nous allons comparer les gains, à la fréquence nulle, des amplificateurs CSSDANA, CSSDA [25] et de l'ADC [9], qui s'expriment respectivement :

$$G_{T(CSSDANA)} = 4Z_0^2 g_m^{2N} Z_{0int}^{2(N-1)}$$

$$G_{T(CSSDA)} = \frac{Z_0^2 g_m^{2N} Z_{0int}^{2(N-1)}}{4}$$

$$G_{T(ADC)} = \frac{N^2 Z_0^2 g_m^2}{4}$$

A partir de ces expressions, Il apparaît clairement que $G_{T(CSSDANA)}$ est supérieur de 12 dB par rapport $G_{T(CSSDA)}$ et également plus grand que $G_{T(ADC)}$ si la condition suivante est vérifiée :

$$g_m Z_{0int} > \sqrt[N-1]{\frac{N}{4}}$$

Cette inégalité permet de cibler les transistors ainsi que les impédances caractéristiques des étages intermédiaires à utiliser dans le CSSDANA pour que le gain de ce dernier soit meilleur que celui de l'ADC.

VI.3 Conception - Simulation:

La conception débute d'abord par la fixation de la fréquence de coupure des cellules en pi et se poursuit ensuite, pour chaque valeur de ζ et de N, par le dimensionnement de tous les circuits passifs associés aux transistors. La conception des circuits d'entrée et de sortie se fait à l'aide de notre méthode (chapitre IV) alors que celle des étages intermédiaires à partir des expressions de l'impédance caractéristique Z_{0int} et de la fréquence de coupure f_c . Les paramètres des circuits m-dérivés sont déterminés en employant les expressions développer au chapitre II.

La recherche de la valeur de ζ , pour N donné, conduisant à un gain plus ou moins constant dans l'intervalle de fréquence $[0 - \omega_c]$ se fait avec le simulateur linéaire MICROWAVE OFFICE. Dans tous les cas, nous procéderons à deux conceptions, l'une avec transistor et l'autre avec montage cascode. Le schéma du transistor utilisé est le schéma réel. Une comparaison avec le CSSDA s'ensuivra.

a) CSSDANA pour N=2 :

Conception et simulation :

Les circuits conçus sont donnés par les figures (VI.5) et (VI.6), et leur gain par la figure (VI.7). La valeur optimale de ζ est 0.3.

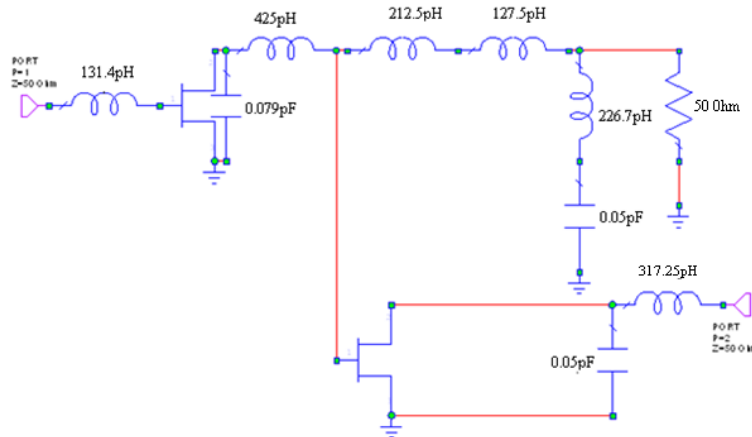


Figure VI.5 : Circuit du CSSDANA2 avec transistor réel pour $\zeta=0.3$.

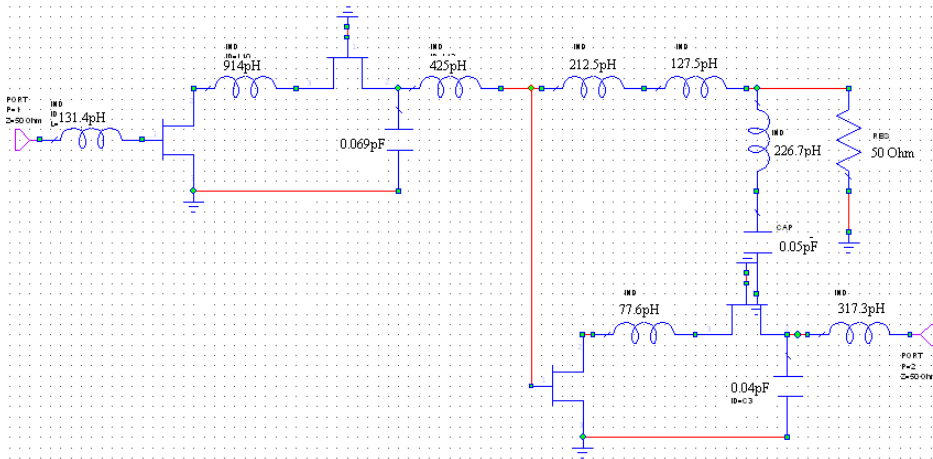


Figure VI.6 : Circuit du CSSDANA2 avec montage cascode (transistor réel) pour $\zeta=0.3$.

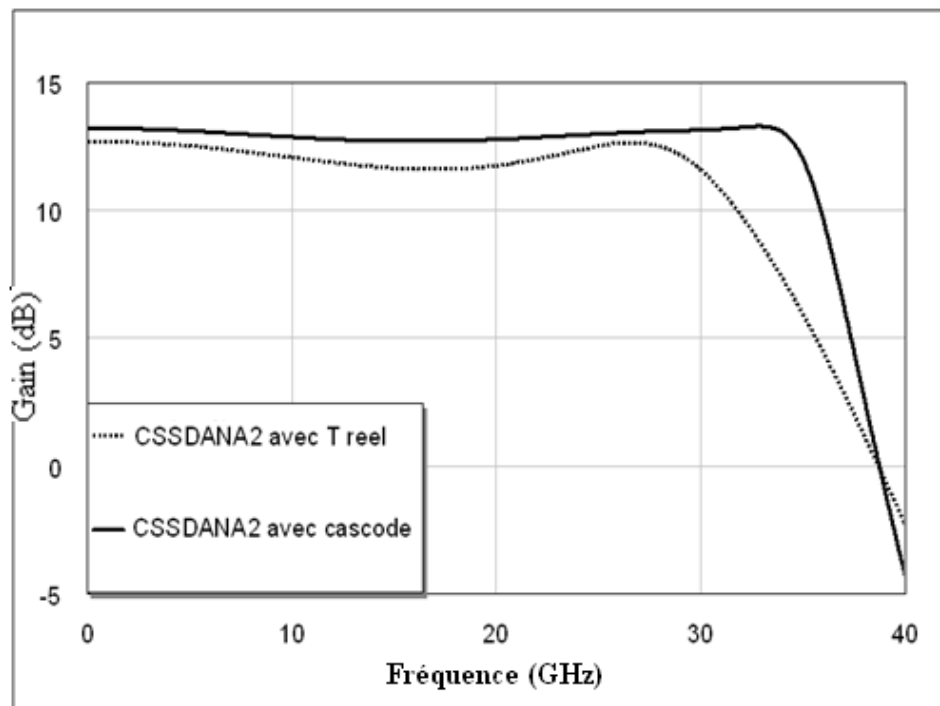


Figure VI.7 : Gains du CSSDANA2 avec transistor et montage cascode (transistor réel) pour $\zeta=0.3$ (MICROWAVE OFFICE).

Comparaison : Les courbes (VI.8) et (VI.9) montrent clairement que le CSSDANA2 possède un gain supérieur de 12 dB environ par rapport à celui du CSSDA2.

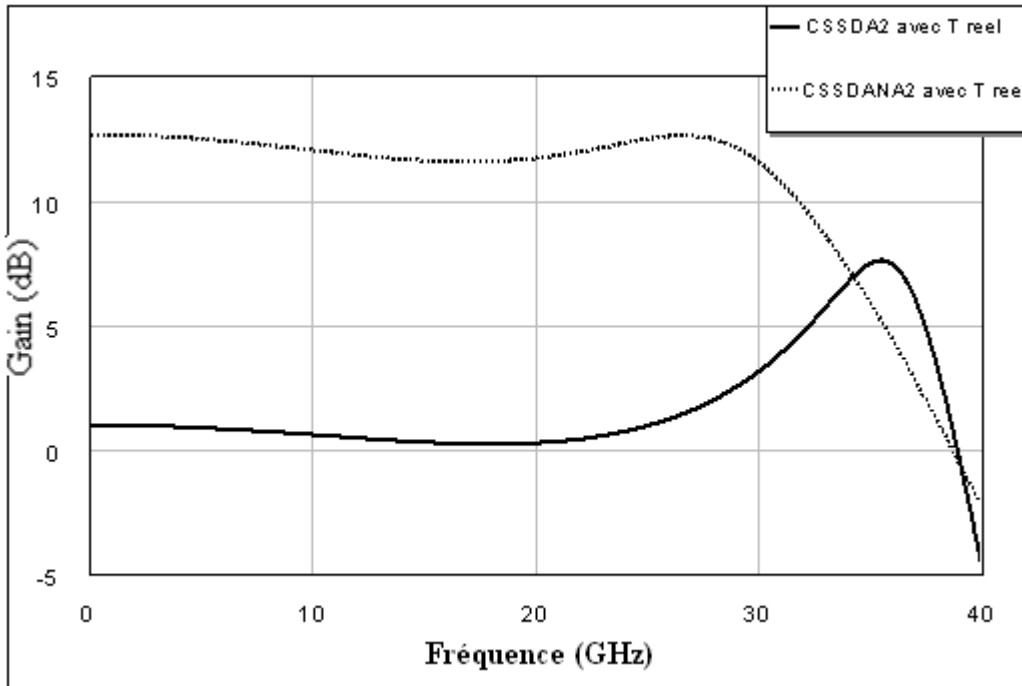


Figure VI.8 : Gains du CSSDANA2 et CSSDA2 avec transistor réel (MICRIWAVE OFFICE) ($\zeta=0.3$).

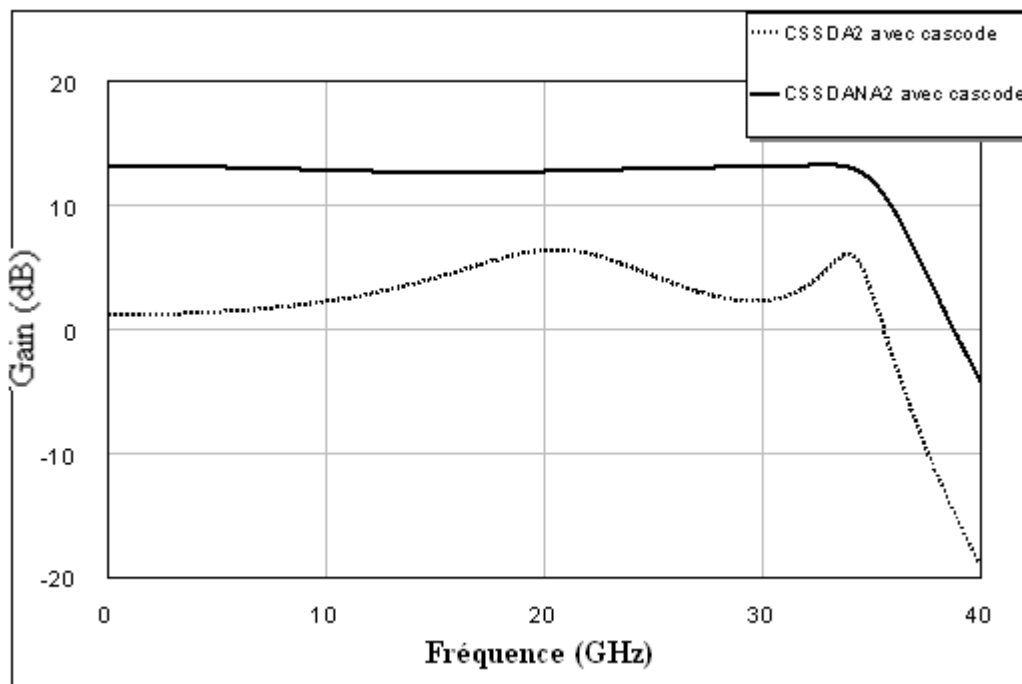


Figure VI.9: Gains du CSSDANA2 et CSSDA2 avec montage cascode (MICROWAVE OFFICE) ($\zeta=0.3$).

b) CSSDANA pour N=3 :

Conception et simulation : Les figures (VI.10) et (VI.11) représentent les circuits conçus et la figure (VI.12) leur gain pour $\zeta = 0.3$, valeur optimale.

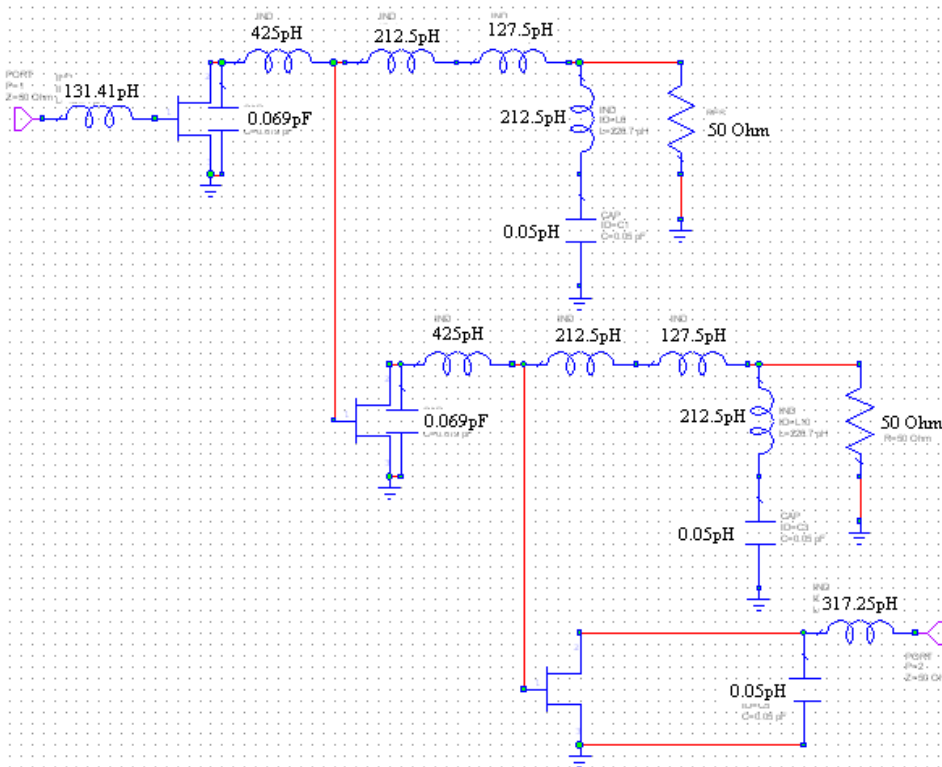


Figure VI.10 : Circuit du CSSDANA3 avec transistor réel pour $\zeta=0.3$.

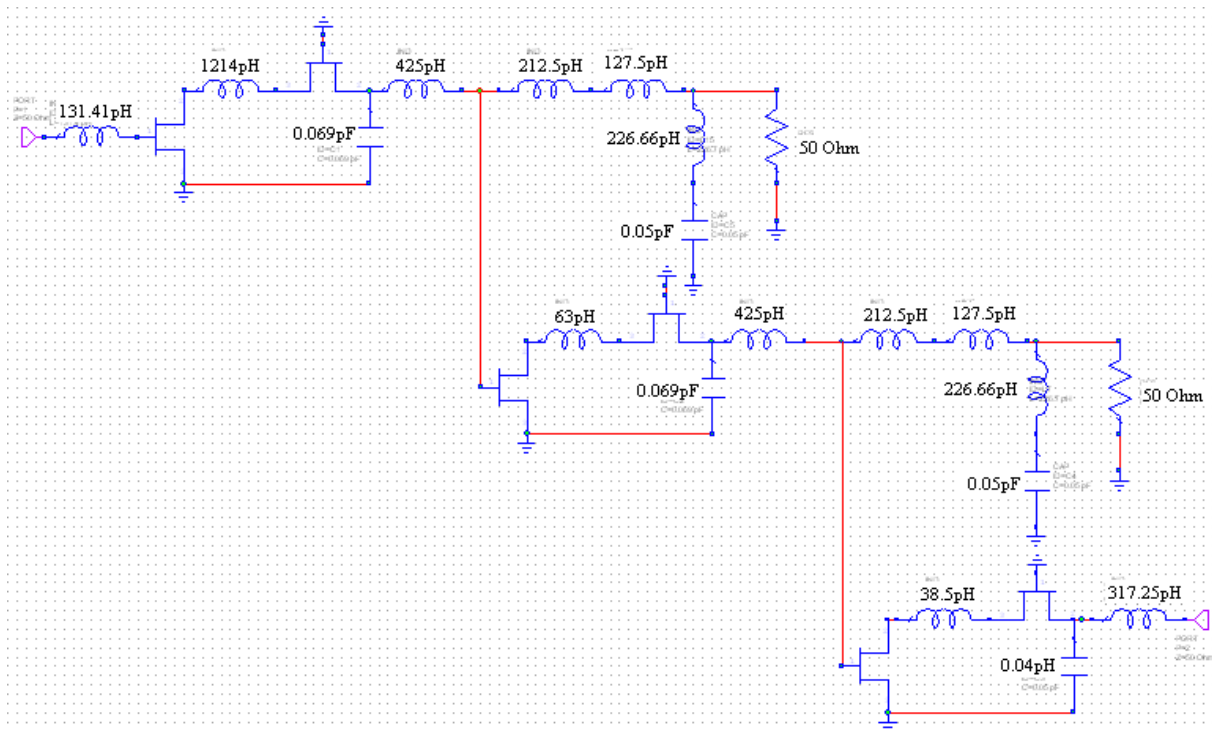


Figure VI.11 : Circuit du CSSDANA3 avec montage cascode (transistor réel) pour $\zeta=0.3$.

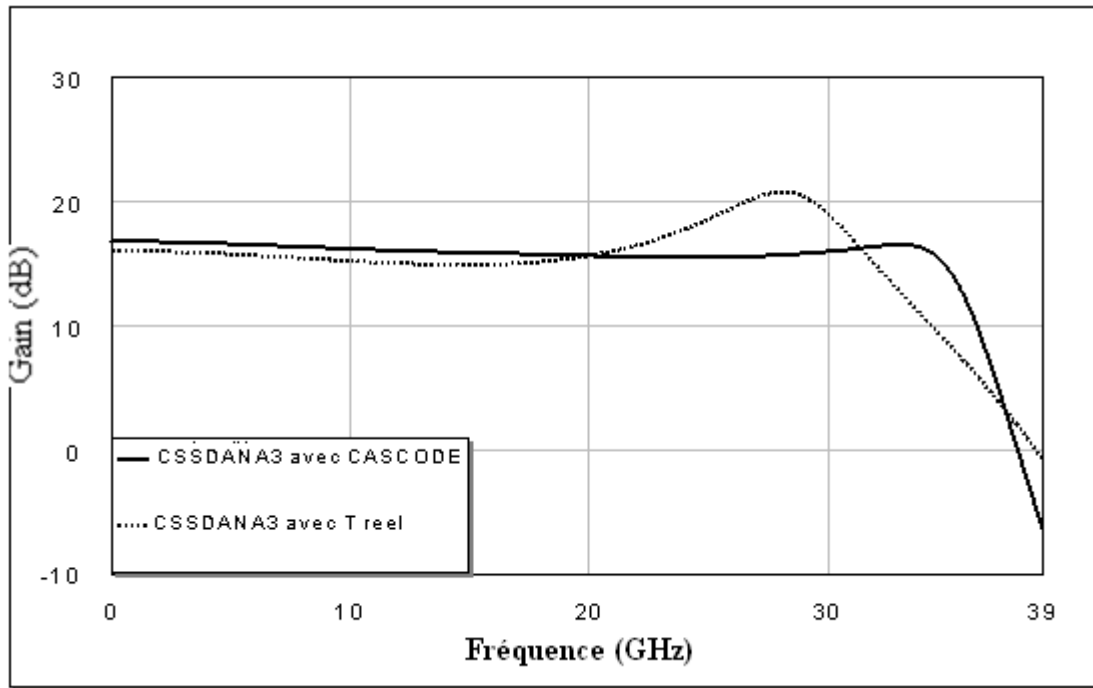


Figure VI.12 : Gains du CSSDANA3 avec transistor et montage cascode (transistor réel) pour $\zeta=0.3$ (MICROWAVE OFFICE).

Comparaison : D'après les courbes des figures (VI.13) et (VI.14), les conclusions à tirer sont les mêmes que dans le cas précédent ($N=2$).

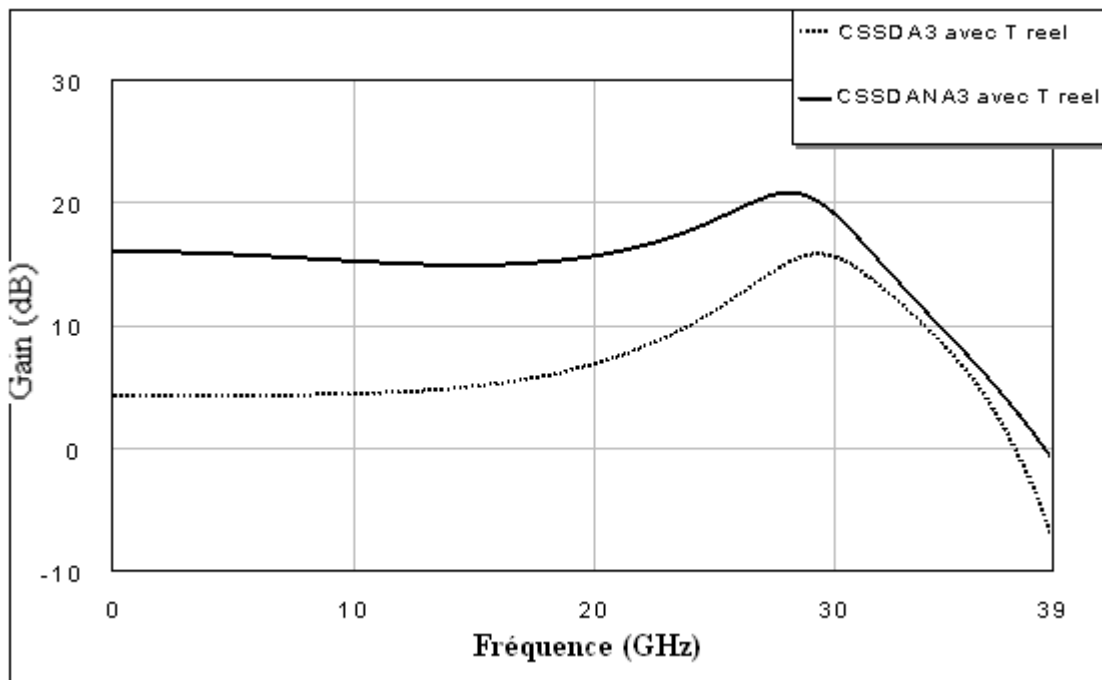


Figure VI.13 : Gains du CSSDANA3 et CSSDA3 avec transistor réel (MICRIWAVE OFFICE) ($\zeta=0.3$).

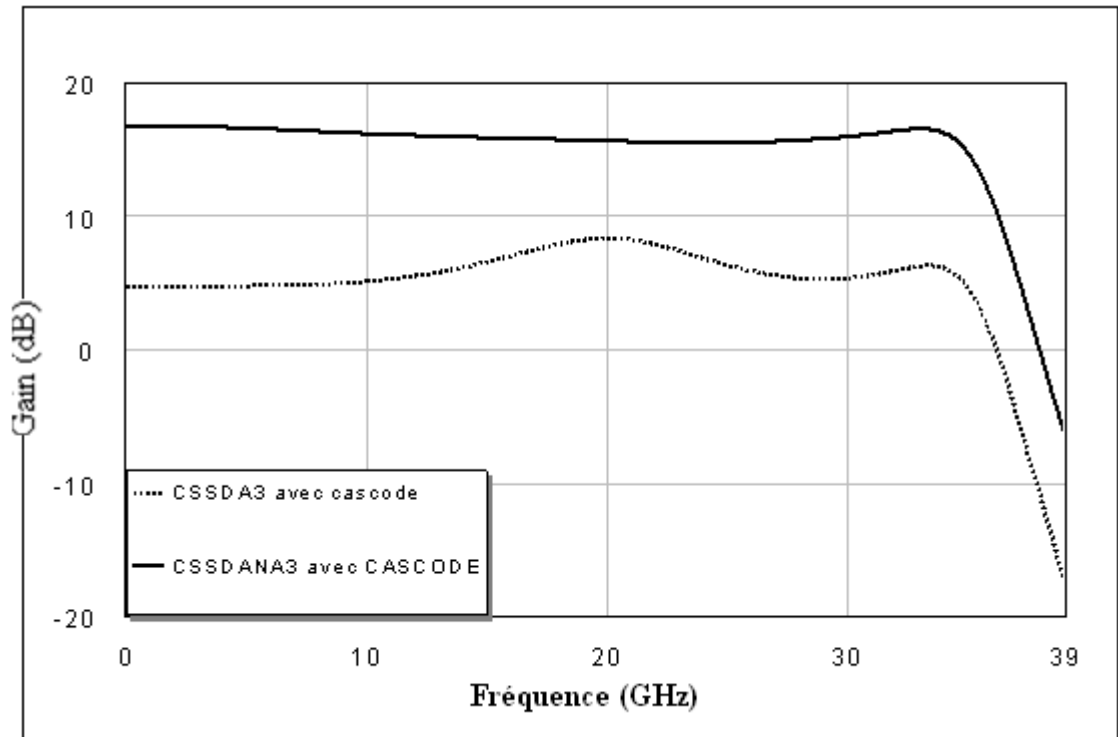


Figure VI.14 : Gains du CSSDANA3 et CSSDA3 avec montage cascode (MICROWAVE OFFICE) ($\zeta=0.3$).

c) CSSDANA pour N=4 :

Conception et simulation : Les circuits conçus sont donnés par les figures (VI.15) et (VI.16), et leur gain par la figure (VI.17). La valeur optimale de ζ est 0.2.

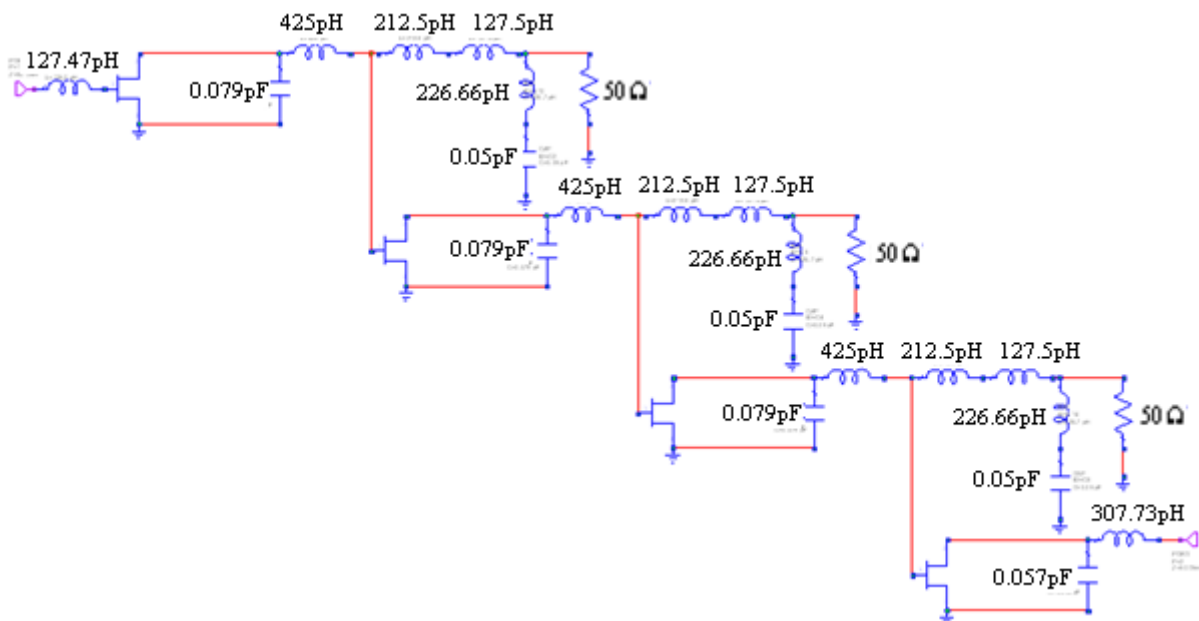


Figure VI.15 : Circuit du CSSDANA4 avec transistor réel pour $\zeta=0.2$.

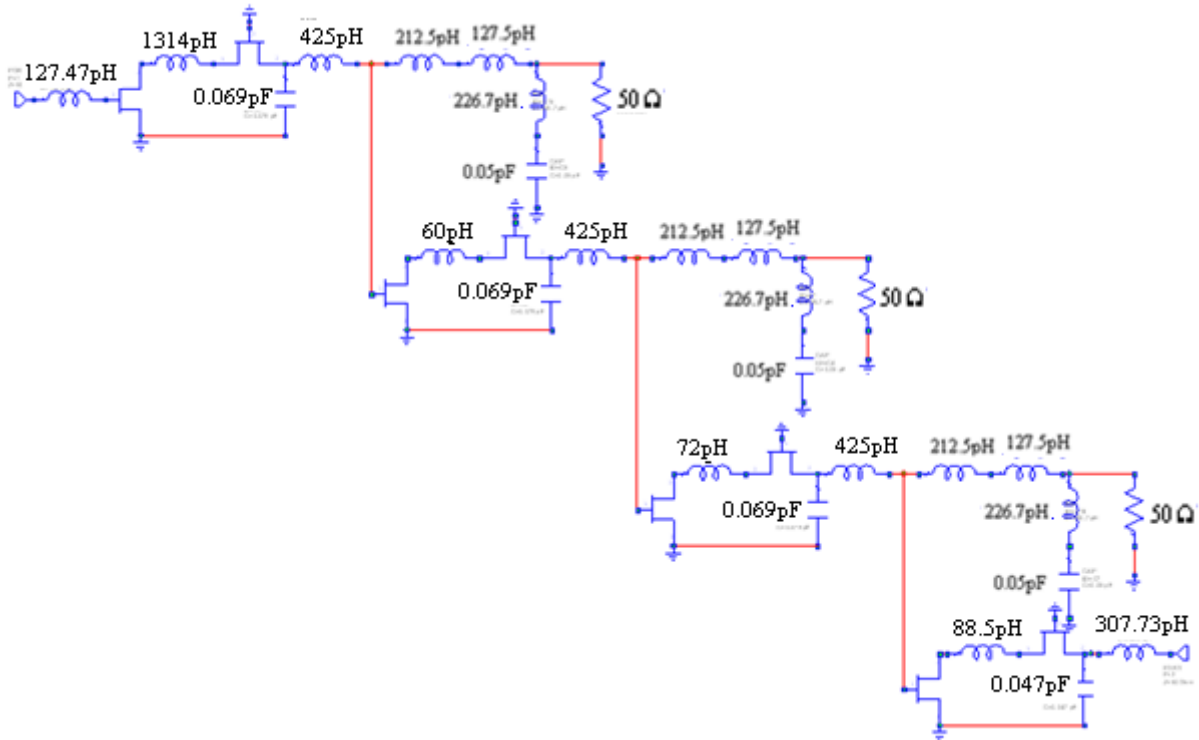


Figure VI.16 : Circuit du CSSDANA4 avec montage cascode (transistor réel) pour $\zeta=0.2$.

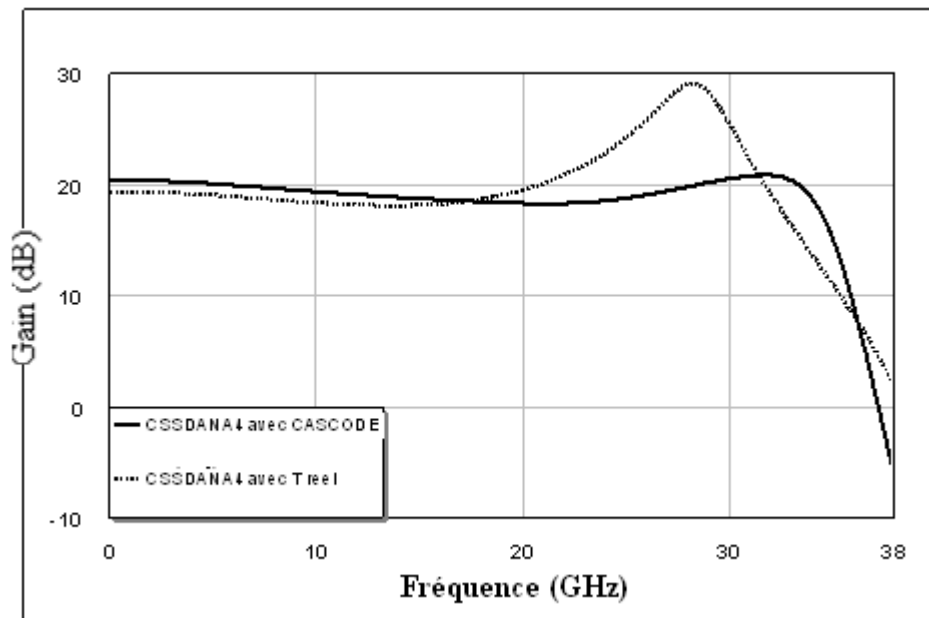


Figure VI.17 : Gains du CSSDANA4 avec transistor et montage cascode (transistor réel) pour $\zeta=0.2$ (MICROWAVE OFFICE).

Comparaison : Les courbes des figures (VI.18) et (VI.19) illustrent bien la supériorité, en termes de gain, du CSSDANA4 par rapport au CSSDA4.

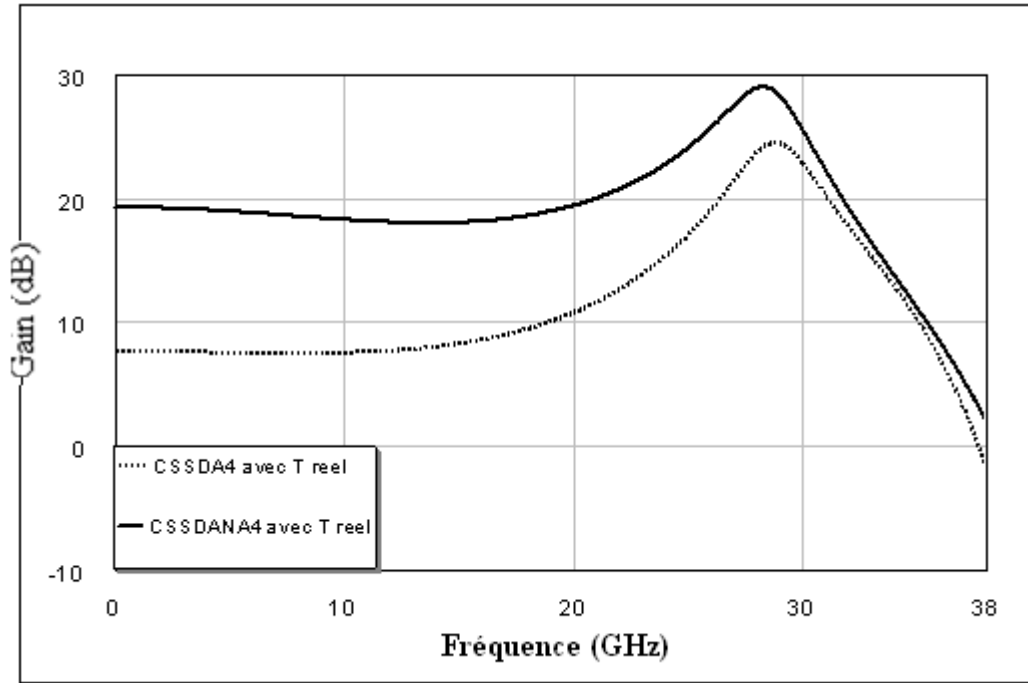


Figure VI.18 : Gains du CSSDANA4 et CSSDA4 avec transistor réel (MICRIWAVE OFFICE) ($\zeta=0.2$).

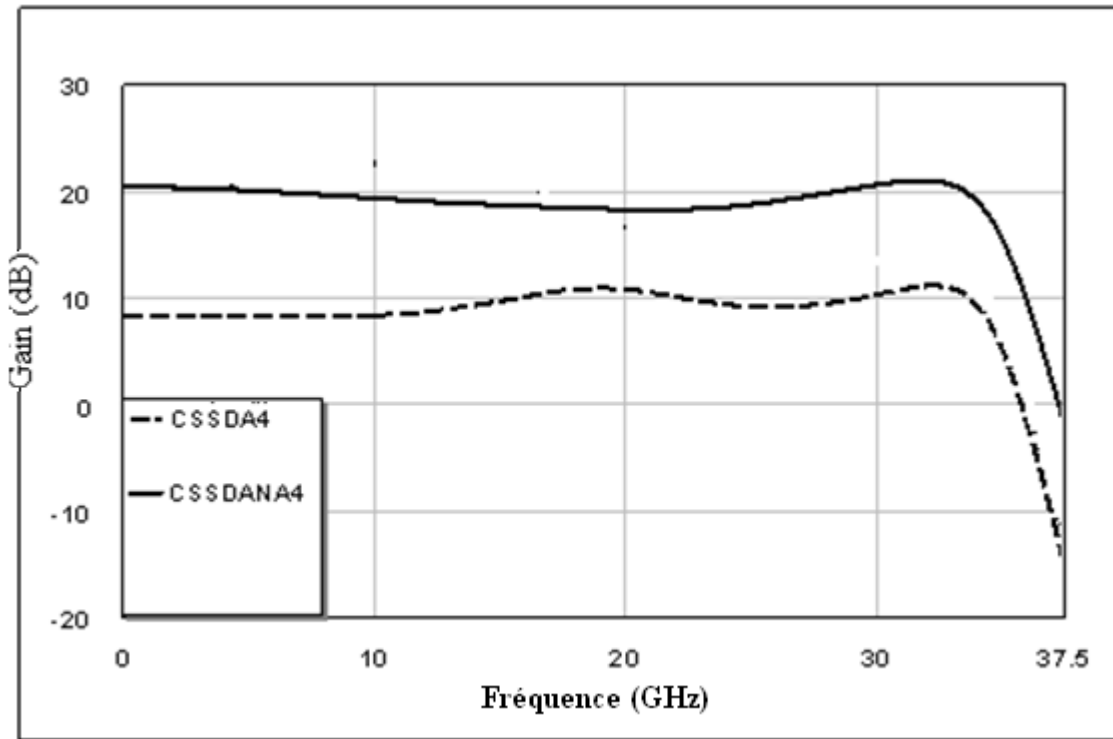


Figure VI.19 : Gains du CSSDANA4 et CSSDA4 avec montage cascode (MICROWAVE OFFICE) ($\zeta=0.2$).

A partir de toutes les courbes, nous constatons que :

- la fréquence de coupure correspondant au gain $G(\text{dB})= 0 \text{ dB}$ est pratiquement la même autour de 38 GHz. Ceci s'explique par le fait que tous les circuits qui ont été conçus comportent en leur sein des structures en pi identiques, donc même $\omega_c = \frac{2}{\sqrt{LC_{gs}}}$;
- lorsque N augmente, la valeur de ζ diminue. L'explication en est que la variation de $H(x)$ (équation VI.8) est d'autant plus importante que N est grand. Donc pour avoir un gain aussi constant que possible, il faut que la variation de $G_{T(ADNAG)}(x)$, d'après la relation (VI. 6), soit d'autant plus faible. Pour cela, il faut que ζ ait des valeurs plus faibles ;
- le CSSDANA a un gain toujours supérieur de 12 dB par rapport à celui du CSSDA comme le prévoyait notre calcul ;
- le gain du CSSDANA varie moins que le gain du CSSDA dans la bande passante. Ceci est du au fait que le CSSDANA est conçu avec notre méthode qui procure, dans la bande passante, un gain d'autant moins sensible à la fréquence que ζ est faible ;
- le montage cascade possède de meilleures performances comparativement au transistor.

Chapitre VII
Amplificateur distribué associé aux
diviseurs/combineurs de
puissance

Amplificateur distribué associé aux diviseurs/combineurs de puissance

VII. 1 Introduction :

De par sa topologie, l'amplificateur dit équilibré [44] permet d'additionner les puissances en sortie. En effet, il est constitué de deux amplificateurs qui peuvent être éventuellement à plusieurs étages et qui sont placés entre un diviseur en entrée et un combineur en sortie (fig. VII.1). Aitchison, C. S., et al. [19] s'en sont inspirés pour créer un nouveau dispositif appelé " The Dual-Fed Distributed Amplifier" en abrégé DFDA (fig.VII.2).

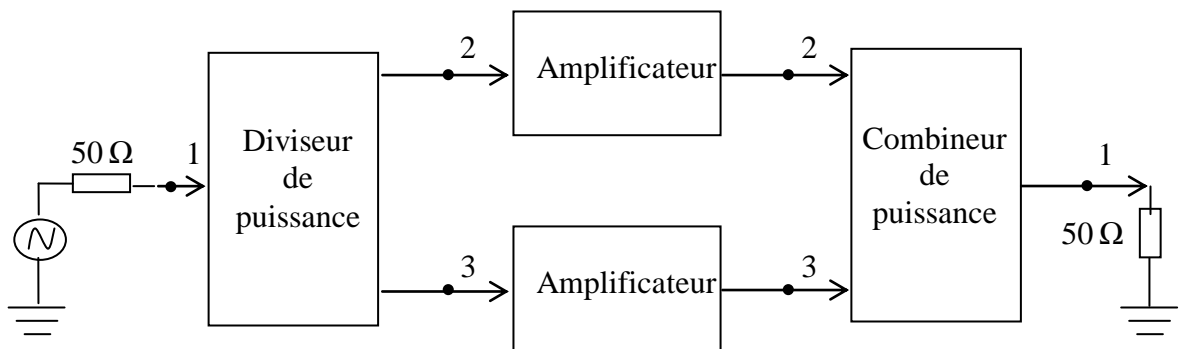


Figure VII.1: Schéma d'un amplificateur équilibré

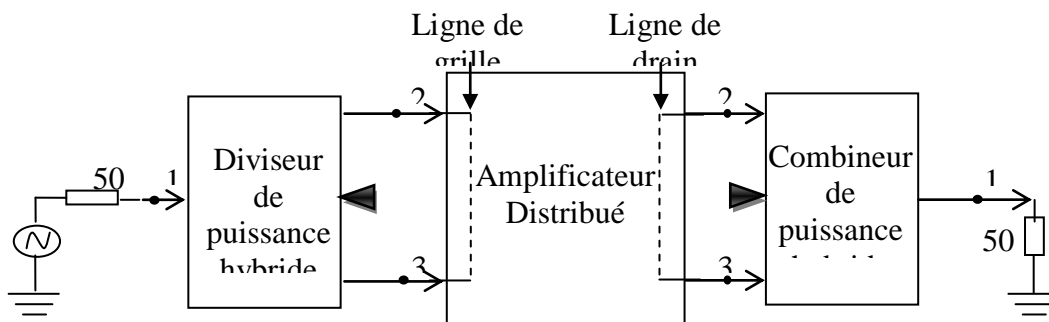


Figure VII.2 : Schéma d'un Dual-Fed Distributed

Le principe de fonctionnement du DFDA consiste à injecter le signal à amplifier aux deux extrémités de la ligne de grille et de récupérer le signal de sortie des deux accès de la ligne de drain.

L'amplificateur DFDA peut être utilisé aussi bien pour les signaux faibles que pour les signaux forts.

L'amplificateur DFDA se caractérise [19] par :

- une augmentation de 6 dB du gain par rapport à l'ADC en raison du fait qu'il additionne et le gain direct et le gain indirect, ce qui n'est pas le cas de l'ADC où seul le gain direct est pris en compte ;
- un facteur de bruit plus faible que celui de l'ADC, du à l'absence de l'impédance de 50Ω à l'une des extrémités des ligne de grille et de drain ;
- une bande passante qui est d'autant moins grande que le nombre N de transistors MESFET augmente. A titre d'exemple, pour N=2 la bande passante s'étend du continu jusqu'à 70% de la fréquence de coupure d'un ADC (fréquence de coupure donnant un gain en puissance égal à l'unité).

Cette dernière caractéristique représente donc un inconvénient par rapport à l'ADC car elle signifie que le DFDA possède une bande passante moins large que celle de l'ADC. En utilisant 2 transistors, Moazzam et al [18] sont parvenus à obtenir les extrémités des lignes de grille et de drain ouvertes. De ce fait, le gain est amélioré mais la bande passante reste, malgré tout, inférieure à celle de l'ADC.

Nous allons résoudre ce problème, à savoir rendre plus large la bande passante, par l'emploi de notre méthode mais seulement pour un nombre de transistors égal à 2.

Mais, il ne faut pas oublier que les diviseurs/combineurs sont eux aussi plus ou moins limités en bande passante. Ceci nous pousse donc à utiliser, parmi ces dispositifs, celui qui présente la meilleure performance en termes de bande passante.

VII.2 Les Diviseurs/Combineurs de puissance

Les diviseurs/combineurs de puissance ont au moins trois accès. Lorsqu'ils sont utilisés en diviseurs, il y a un accès d'entrée et deux ou plusieurs accès de sortie. Les accès de sortie peuvent être isolés ou non. Lorsqu'ils sont utilisés en combineurs, il y a deux ou plusieurs accès d'entrée et un accès de sortie [45]. Les sorties de ces dispositifs peuvent être en quadrature de phase, en phase ou déphasées.

L'amplification de puissance est la plus importante application de ces dispositifs. Dans cette application particulière, le diviseur/combineur de Wilkinson [46] et les coupleurs à branches et de Lange [47] sont les plus utilisés.

Une étude a été faite [47] et a montré que le diviseur/combineur de Wilkinson est le meilleur du point de vue de la bande passante comparativement aux coupleurs à branches et de Lange (fig. VII.3). Par conséquent, c'est le diviseur/combineur de Wilkinson qui sera utilisé.

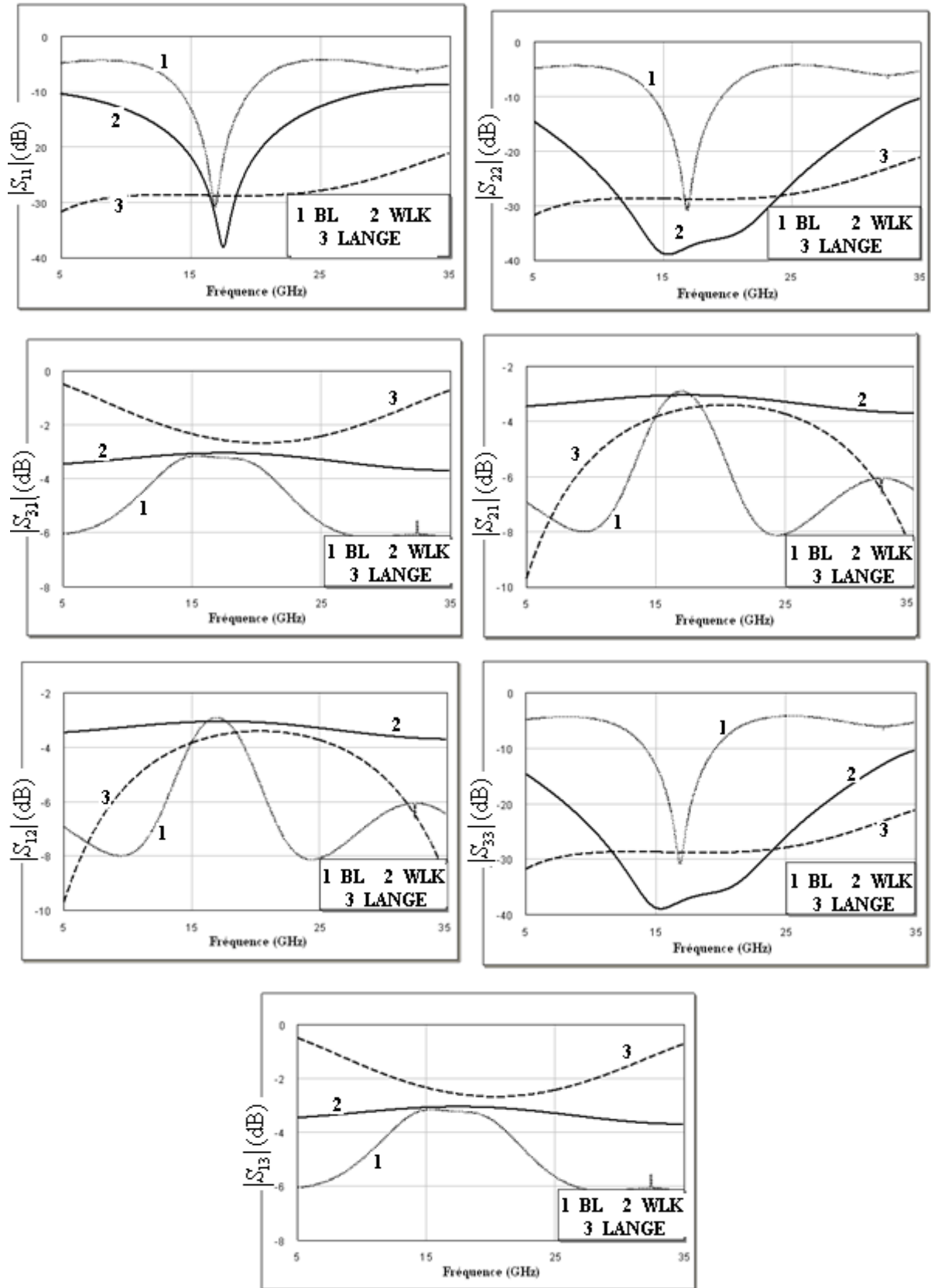


Figure.VII.3 : Performances des diviseurs/combinés

VII.3 Conception-Simulation

Le diviseur/combineur de Wilkinson est un triporte, constitué de deux lignes identiques de longueur quart d'ondes et d'impédance caractéristique $Z_0 = 50\sqrt{2}$, et d'une résistance $R_0 = 100 \Omega$ connectée entre les accès 2 et 3 (fig. VII.4). Le rôle de cette résistance est d'isoler les accès 2 et 3 en absorbant le signal qui pourrait se diriger de l'un de ces accès vers l'autre. Dans le cas du DFDA, cette résistance n'a pas sa raison d'être puisque les accès 2 et 3 ne sont en réalité pas isolés. De ce fait, ce triporte devient ce qu'on appelle un Té. Les deux lignes peuvent avoir une longueur quelconque mais d'impédance caractéristique $Z_0 = 100 \Omega$ (fig. VII.5), valeur qui permet d'élargir la bande passante. Pour accroître davantage la bande passante avec un gain plus ou moins constant, nous allons appliquer notre méthode, décrite au chapitre IV.

Pour montrer l'importance de notre contribution à l'amélioration de la bande passante, il faut envisager une étude comparative. Pour cela, nous allons concevoir :

- un DFDA que nous nommerons ADW et qui sera constitué d'un diviseur/combineur de Wilkinson et de lignes de grille et de drain d'impédance caractéristique $Z_0 = 50 \Omega$;
- un DFDA que nous nommerons ADW1 et qui sera composé du Té (fig. VII.5) et de lignes de grille et de drain d'impédance caractéristique $Z_0 = 100 \Omega$;
- un DFDA que nous nommerons ADW2 et qui sera composé d'un Té (fig. VII.5) et de lignes de grille et de drain conçues pour $\zeta=0.92$ en utilisant notre méthode.

Ces amplificateurs seront conçus soit avec un transistor simplifié, soit avec le montage cascode utilisant un transistor réel. Ils seront analysés dans le cas d'un dispositif à faible signal et le cas d'un dispositif à fort signal (amplificateur de puissance).

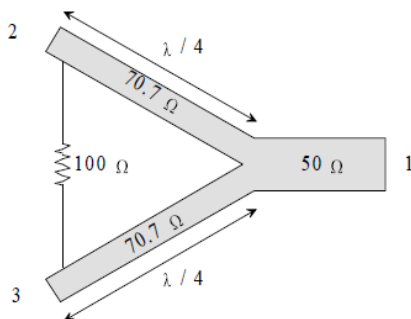


Figure VII.4 : Diviseurs/combineur de Wilkinson.

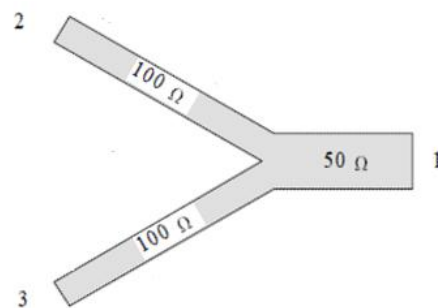


Figure VII.5 : Le Té.

a) Conception de l'ADW :

Ce type d'amplificateur est donné par le schéma de la figure VII.6, et la simulation (MICROWAVE OFFICE) de son gain par la figure VII.7. Nous notons une amélioration de 6dB (en continu) par rapport à l'ADNAG, qui se justifie par l'obtention d'un courant double dans la charge. Par contre, il y a une grande fluctuation du gain dans la bande de fréquence, ce qui s'explique notamment par la désadaptation.

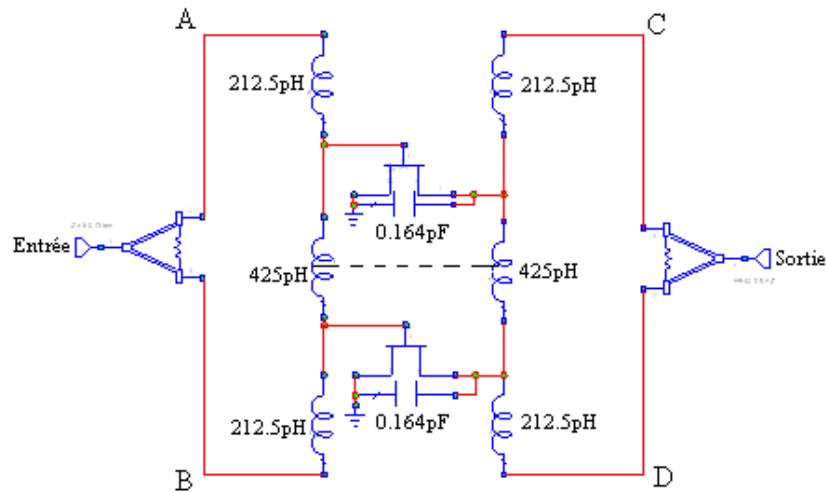


Figure VII.6 : Amplificateur distribué avec diviseur/combiner de Wilkinson (ADW).

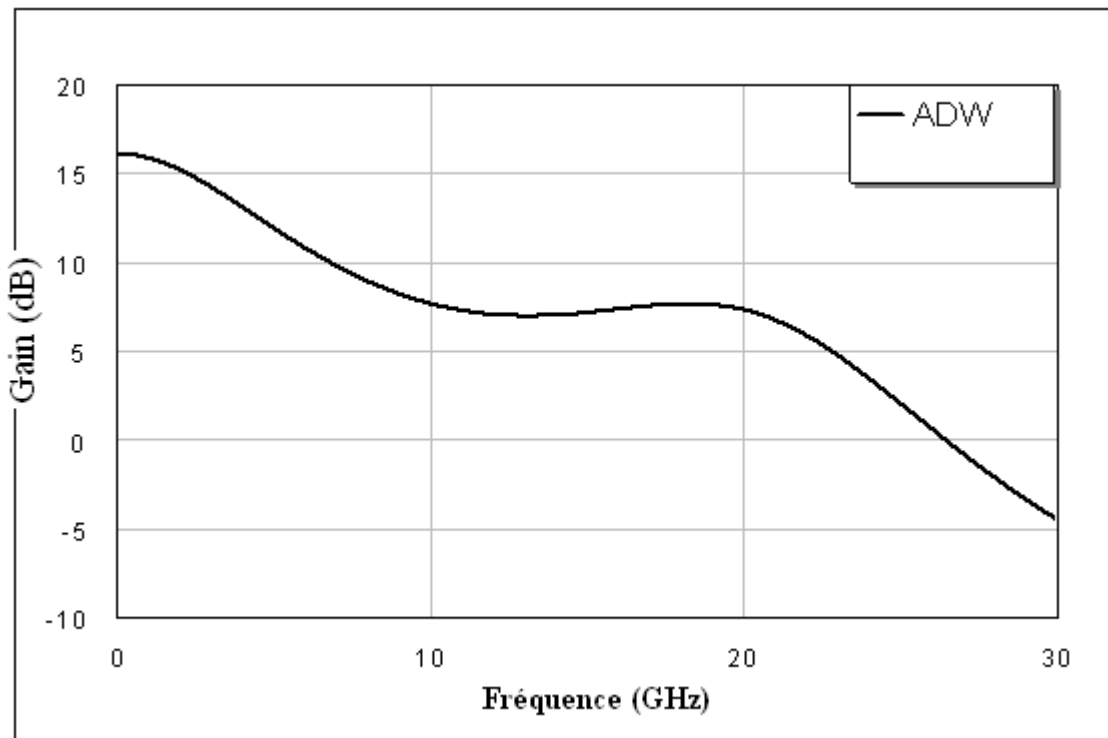


Figure VII.7 : Gain de l'ADW en fonction de la fréquence

b) Conception de l'ADW1 et de l'ADW2 :

Le schéma de l'ADW1 ou de l'ADW2 (fig. VII.8) met en relief l'existence d'un plan de symétrie. Ce qui signifie que ces amplificateurs peuvent résulter de l'association de deux demi-circuits identiques et leur étude se ramènera donc à celle d'un demi-circuit. Le plan de symétrie correspond à un circuit ouvert, et comme les inductances sont éléments à constantes localisées ou semi-localisés, le schéma équivalent du demi-circuit est donné par la figure VII. 9. Ce schéma est le même que celui de l'ADNA (fig. IV. 1 du chapitre IV) sauf que les impédances de source et de charge sont de valeur double ($2Z_0 = 100 \Omega$). L'expression du gain sera donc :

En comparant les expressions (IV.14) et (VII.1), nous constatons que le gain de l'ADW1 ou l'ADW2 est supérieur de 6dB par rapport à celui de l'ADNAG.

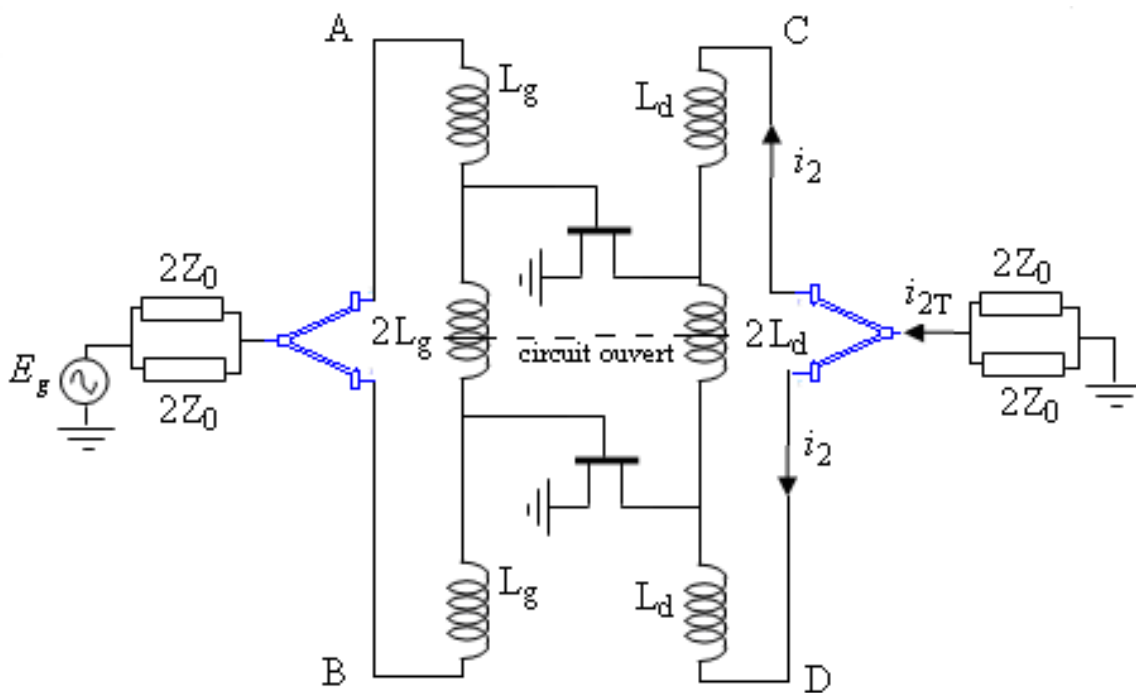


Figure VII.8 : Schéma équivalent de l'ADW1 et de l'ADW2.

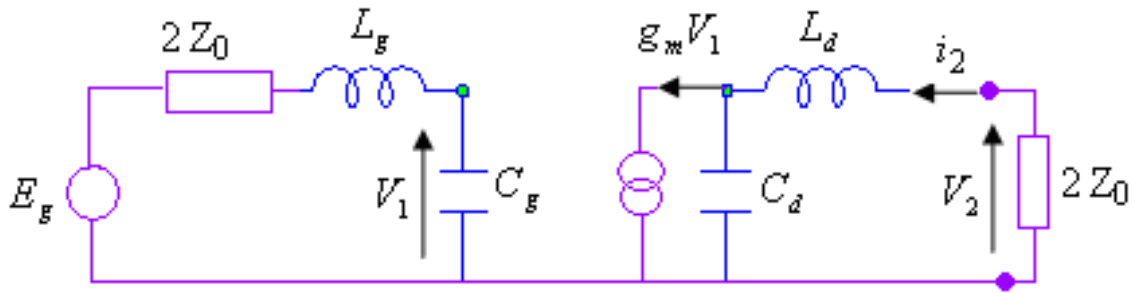


Figure VII.9 : Schéma équivalent du demi-circuit de l'ADW1 et de l'ADW2.

Conception avec transistor simplifié :

Les amplificateurs ADW1 et ADW2, conçus avec le transistor simplifié, sont illustrés respectivement par les figures (VII. 10) et (VII. 11) et leurs gains par la figure (VII. 12). Cette dernière indique que l'ADW2, que nous avons conçu avec notre méthode, possède une bande passante supérieure au double de celle de l'ADW1 et des ondulations plus faibles.

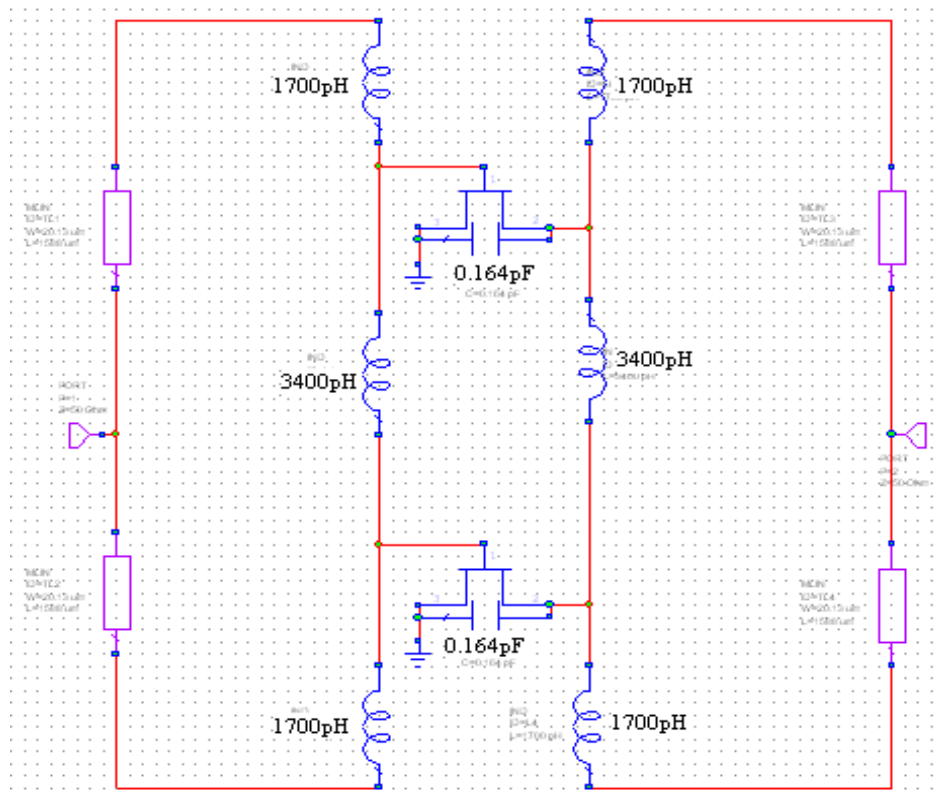


Figure VII.10 : ADW1 avec transistor simplifié

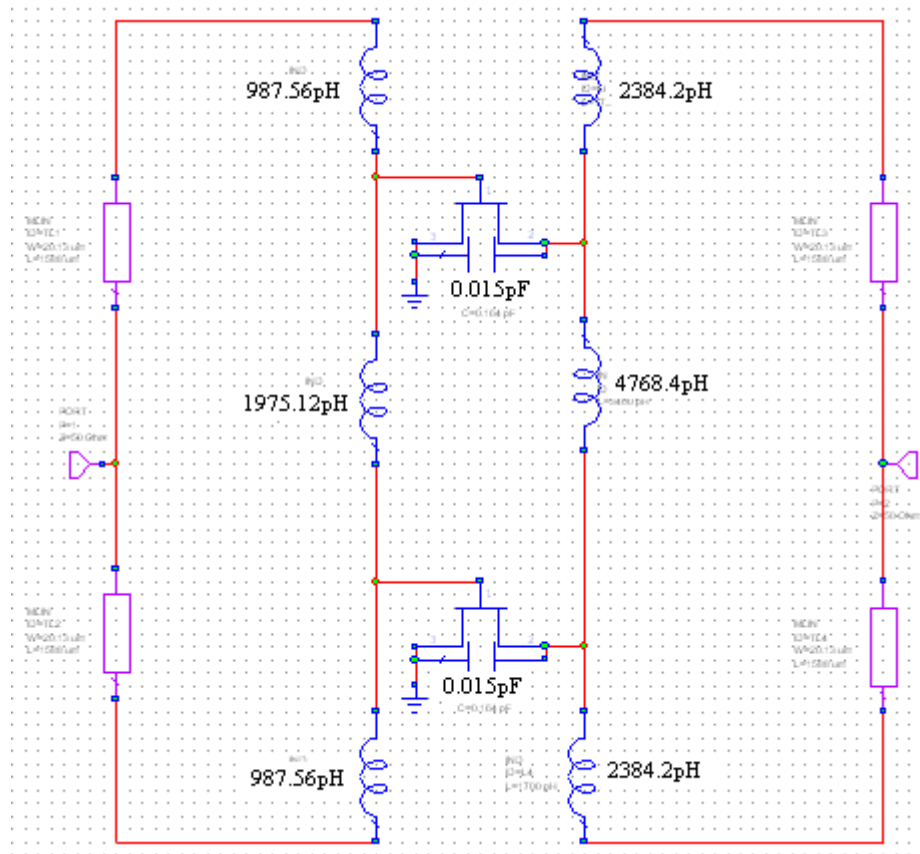


Figure VII.11 : ADW2 avec transistor simplifié.

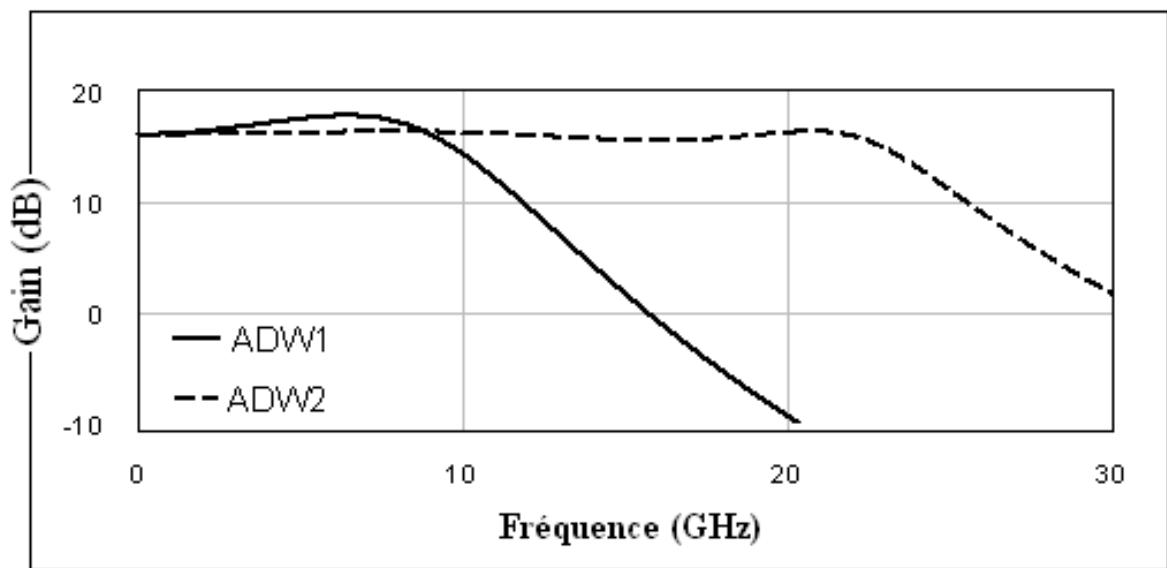


Figure VII.12 : Gains des amplificateurs ADW1 et ADW2.

Conception avec montage cascode (transistor réel) :

Même dans ce cas, l'ADW2 (fig. VII.14), conçu en utilisant notre méthode, offre une meilleure bande passante (fig. VII.15) que celle de l'ADW1 (fig. VII.13).

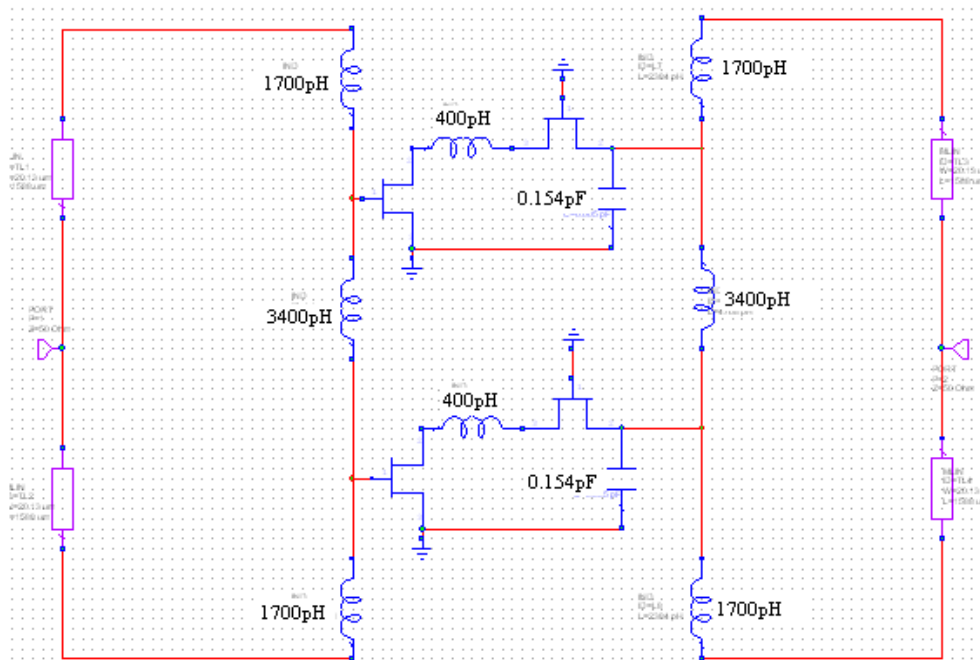


Figure VII.13 : ADW1 utilisant un montage cascode (transistor réel).

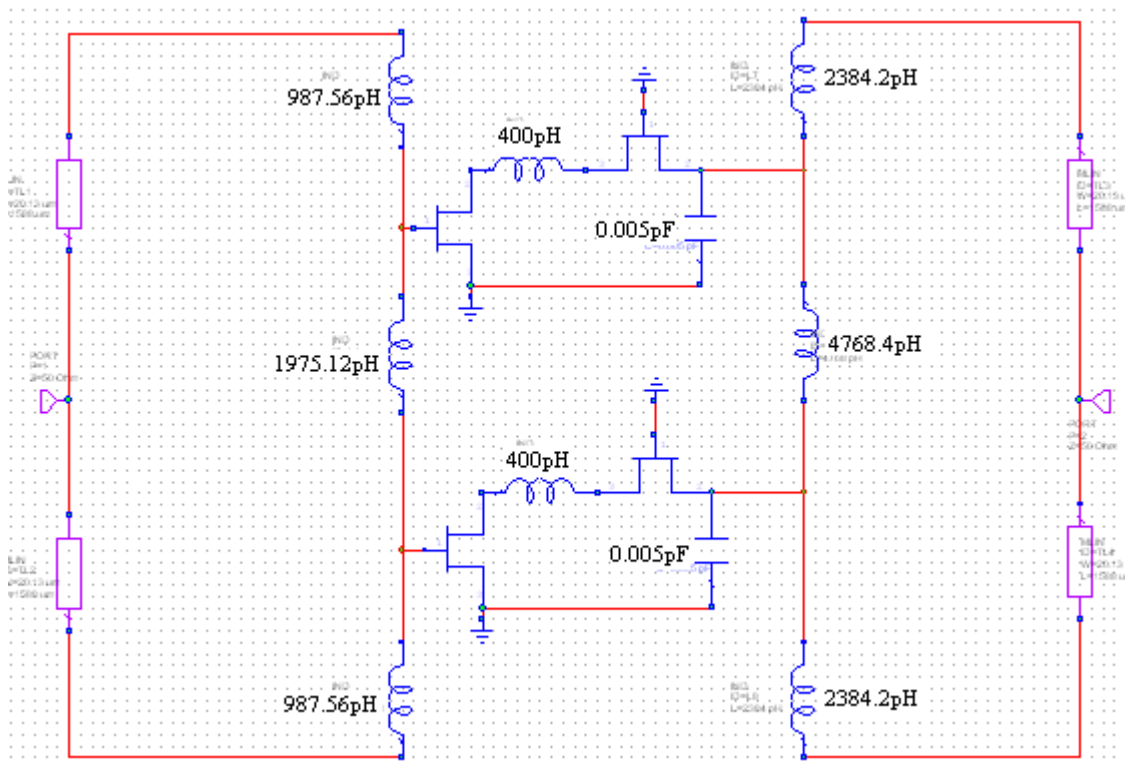


Figure VII.14 : ADW2 utilisant un montage cascode (transistor réel)

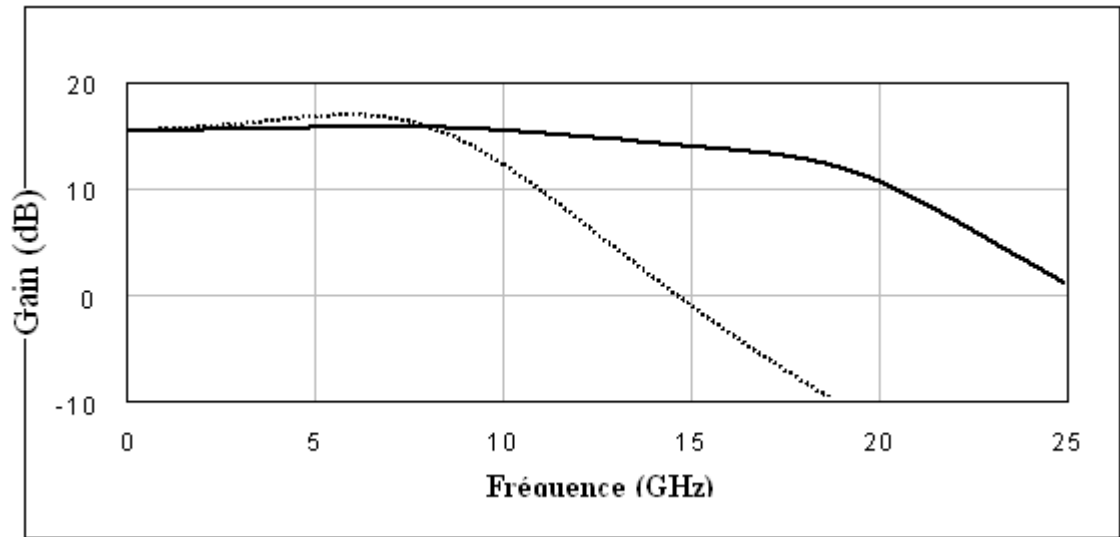


Figure VII.15 : Réponse de l'ADW2 avec circuit cascode.

Cette figure nous montre que l'ADW2 conçu avec un circuit cascode est toujours meilleur que l'ADW1 en termes surtout de bande passante et d'ondulations.

VII.4 Analyse de l'ADW2 à fort signal

a) Performances d'un amplificateur de puissance [48]:

Dans les amplificateurs de puissance, les signaux ont des amplitudes élevées ce qui les caractérise principalement par

- des distorsions dues notamment à la non linéarité de l'élément actif (fig. VII.16).
- des puissances et des rendements élevés ;

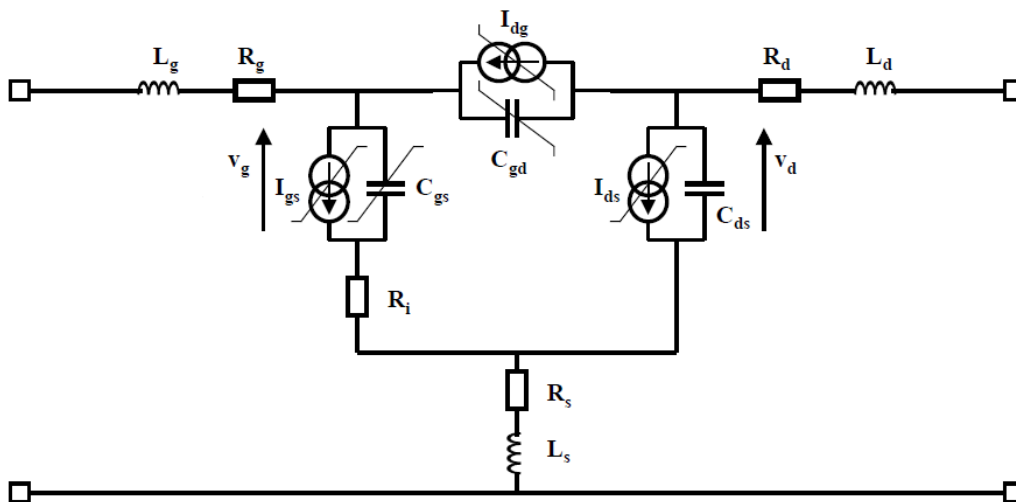


Figure VII.16: Schéma équivalent du transistor MESFET en fort signal

La grandeur électrique non linéaire du transistor MESFET la plus importante est le courant I_{ds} . Plusieurs auteurs ont établi des modèles décrivant ce courant, celui que nous avons retenu est le modèle de **CURTICE-ETTEMBERG** [49] :

$$I_{ds} = (A_0 + A_1V_1 + A_2V_1^2 + A_3V_1^3)\tanh(\gamma(V_d(t)))$$

avec $V_1 = V_g(t - \tau)[1 + \kappa(V_{d0} - V_d(t))]$ où V_{d0} est la tension à laquelle les paramètres A_i , κ et γ sont déterminés.

On définit le point de compression à -1 dB comme le point de fonctionnement de l'amplificateur (point P_c de la figure VII.17) pour lequel la puissance de sortie est diminuée de 1 dB par rapport à la puissance de sortie que donnerait un amplificateur parfaitement linéaire de même gain et attaqué dans les mêmes conditions. Il est défini pour un signal d'entrée mono fréquence (à fortiori à enveloppe constante). Sa connaissance est donc insuffisante pour déterminer la compression du gain dans le cas d'une modulation à enveloppe non constante. Cependant, c'est une caractéristique universellement adoptée, fournie par les constructeurs d'amplificateurs.

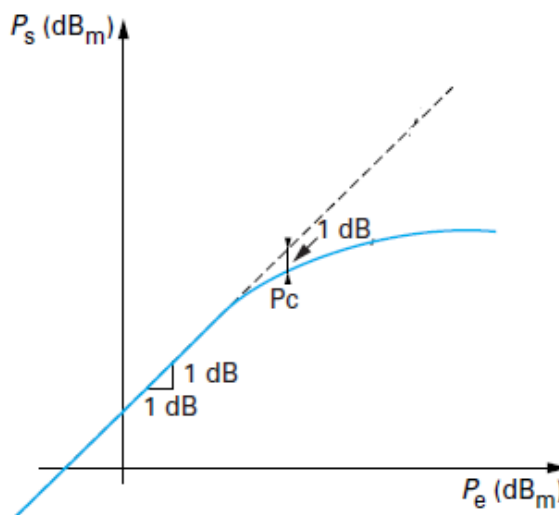


Figure VII.17 : Caractéristiques des non-linéarités

Les puissances intervenant dans un amplificateur (Fig. VII.18) sont généralement au nombre de quatre :

- les puissances fournies à l'amplificateur : la puissance d'entrée (P_e) et la puissance continue provenant des alimentations (P_{ALM}).
- les puissances qui en sortent : la puissance de sortie (P_s) et la puissance dissipée (P_{diss}).

Le bilan des puissances sera par conséquent :

$$P_e + P_{ALM} = P_s + P_{diss}$$

Les puissances susceptibles d'être obtenues ne peuvent jamais dépasser certaines valeurs car les courants et les tensions dans les transistors ne sont jamais illimités.

Un autre point essentiel pour les amplificateurs de puissance est la consommation électrique nécessaire pour obtenir un niveau de puissance de sortie souhaité. Ce point est caractérisé par le rendement électrique.

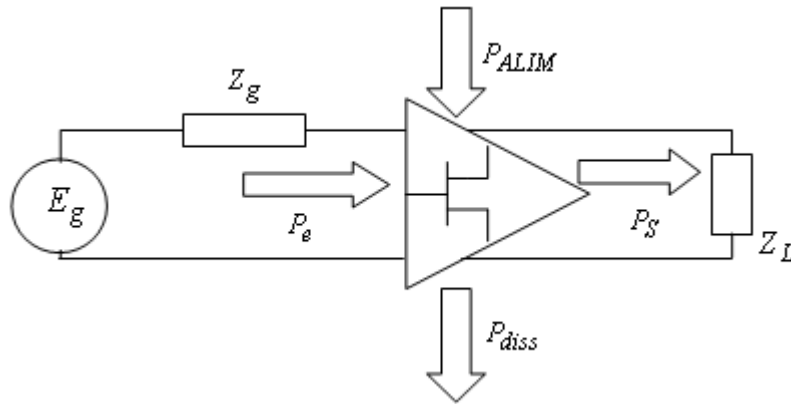


Figure VII.18: Puissances mises en jeu dans un amplificateur.

On entend par performances de l'amplificateur de puissance, ses principales caractéristiques comme :

- la puissance maximale de sortie à la fréquence fondamentale (représentée par l'indice 1) :

$$P_{s1} = \frac{1}{2} V_{ds1} I_{ds1}$$

- la puissance d'entrée :

$$P_e = \frac{1}{2} (V_{gs1})^2 G_e$$

avec $G_e = R_{gs} (C_{gs} \omega)^2$ la conductance d'entrée

- la puissance ajoutée maximale :

$$P_{aj} = P_{s1} - P_e$$

- le gain en puissance :

$$G_p = \frac{P_{s1}}{P_e}$$

- le rendement :

$$\eta_d = \frac{P_{s1}}{P_{AL}}$$

- le rendement ajouté :

$$\eta_{aj} = \frac{P_{aj}}{P_{AL}}$$

Il faut ajouter à ces caractéristiques d'autres caractéristiques traduisant le degré de linéarité, en l'occurrence le gain à 1dB de compression, la puissance à 1 dB de compression et les produits d'intermodulation.

b) Conception- Simulation de l'ADW2 :

Le circuit est le même que celui de l'ADW2 à faible signal. La simulation, par contre, doit tenir compte des tensions de polarisation, ce qui nous oblige donc à les introduire dans le schéma du montage.

Avant de procéder à la simulation des performances de l'ADW2, il est important, dans notre cas, de vérifier si la tension d'avalanche du transistor MESFET pourrait être dépassée par la tension V_{ds} . Pour cela, nous avons tracé les caractéristiques statiques $I_{ds} = f(V_{ds})$ en utilisant le simulateur non-linéaire de MICROWAVE OFFICE (fig.VII.19). Ces caractéristiques statiques sont illustrées par la figure (VII.20).

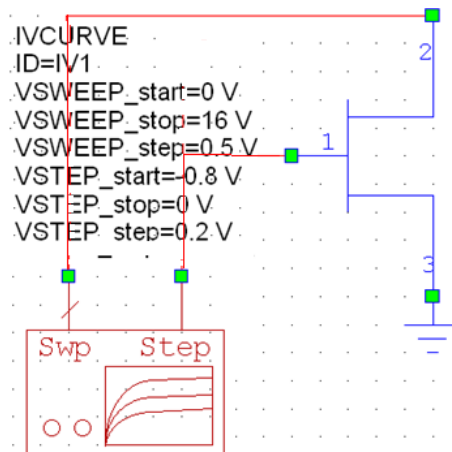


Figure VII.19 : Montage pour le tracé des caractéristiques statiques du transistor.MESFET EFA018A

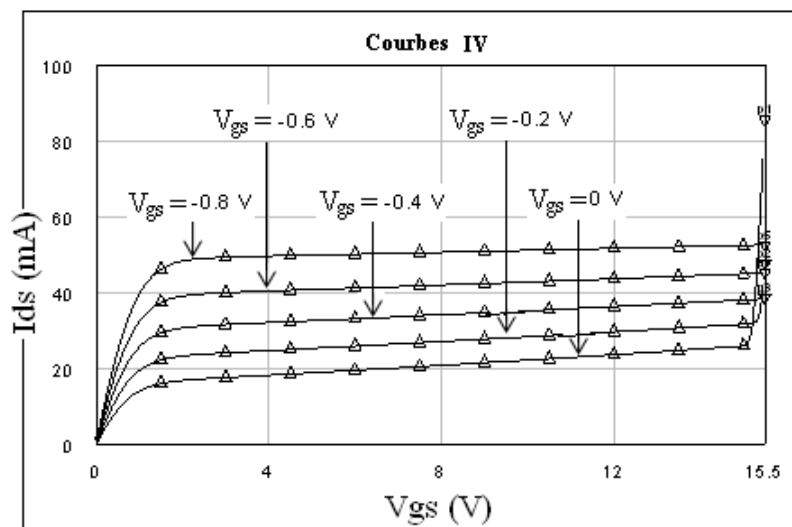


Figure VII.20: Caractéristiques statiques $I_{ds} = f(V_{ds})$ du transistor MESFET EFA018A

En choisissant la classe A comme classe de fonctionnement, nous devons donc fixer le point de polarisation à $I_{ds0} = 50\%I_{dss}$. Et comme $I_{dss} = 50mA$, nous aurons $I_{ds0} = 25mA$. Nous avons choisi une tension $V_{ds} = 6Volts$, ce qui va nous donner, d'après les caractéristiques statiques $V_{gs} = -0.6Volts$.

Le circuit de l'ADW2 avec transistor réel est donné par la figure (VII.21), le gain et la puissance de sortie en fonction de la puissance d'entrée par les figures (VII.22) et (VII.23). Les autres performances sont indiquées dans le tableau (tab.VII.I). Toutes les valeurs sont calculées au point à $-1dB$ de compression où la puissance de sortie d'après la figure (VII.23) est $P_{-1dB}=21 dBm$.

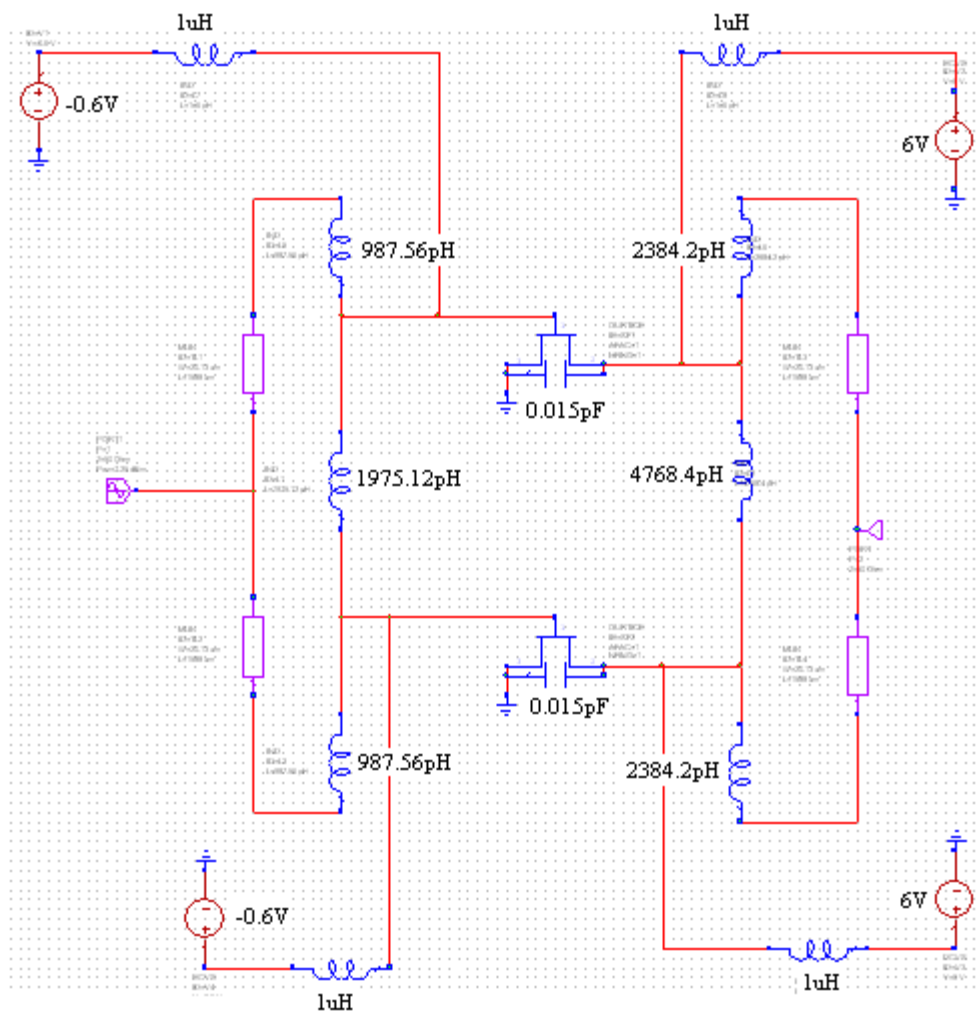


Figure VII.21 : Schéma de l'ADW2 avec transistor réel

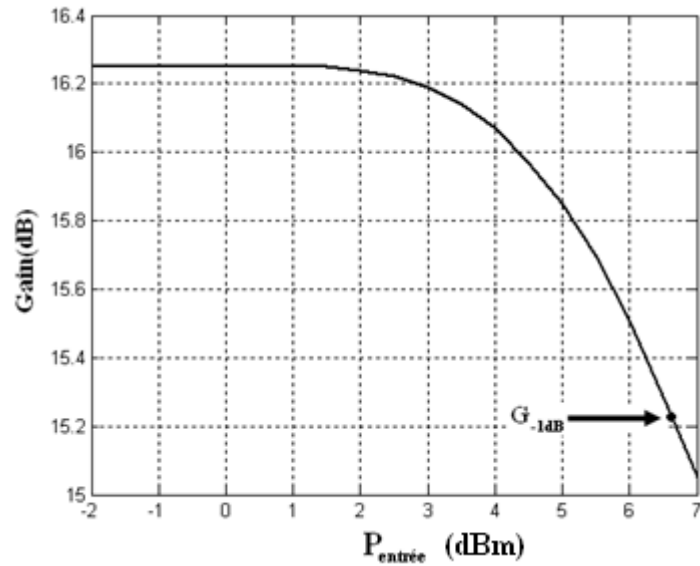


Figure VII.22 : Gain en fonction de la puissance d'entrée de l'ADW2

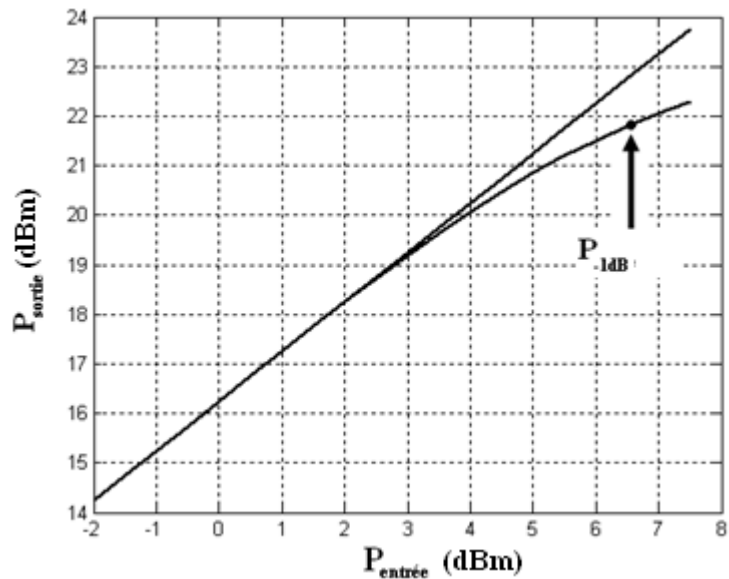


Figure VII.23: Puissance de sortie en fonction de la puissance d'entrée de l'ADW2

P_{AL}	P_{sl}	P_e	P_{aj}	G_p	η_d	η_{dj}
300 mW	149.62mW 21.75 dBm	4.52 mW 6.55 dBm	145.1 mW	15.25 dB	50%	48%

Tableau VII.1 : Performances de l'ADW2

Les performances fournies par le constructeur (Annexe D) sont : $P_{-1dB}=18.5 \text{ dBm}$; $G_{-1dB}=11.5 \text{ dB}$; $\eta_{dj}=35\%$ et $G_p=10.5 \text{ dB}$. Ces performances sont en deçà de celles que nous obtenons.

Chapitre VIII

Miniaturisation du filtre passe bas

Miniaturisation du filtre passe bas

VIII.1 Introduction

Dans ce chapitre, nous allons concevoir un filtre passe bas en technologie micro-ruban de dimensions plus petites que celles d'un filtre passe bas à pas-d'impédance.

Le filtre passe-bas est un quadripôle linéaire qui n'atténue pas les fréquences inférieures à une limite appelée fréquence de coupure.

a) Fonction de transfert

Un filtre passe bas est caractérisé par sa fonction de transfert qui s'écrit [49]:

$$|S_{21}(j\Omega)|^2 = \frac{1}{1 + \varepsilon^2 F_n^2(\Omega)} \quad (\text{VIII. 1})$$

où ε est l'ondulation, $F_n(\Omega)$ représente la fonction caractéristique de filtrage (réponse de Butterworth, Chébychev etc.) ,et Ω est la variable de fréquence.

Le filtre passe bas peut être également définie par les pertes d'insertion du filtre qui s'expriment [49] :

$$L_A(\Omega) = 10 \log \frac{1}{|S_{21}(j\Omega)|^2} \text{ dB} \quad (\text{VIII. 2})$$

La fonction de transfert pour les filtres de Butterworth, qui ont une perte d'insertion $L_{Ar} = 3.01 \text{ dB}$ à la fréquence de coupure $\Omega_c = 1$, est donnée par :

$$|S_{21}(j\Omega)|^2 = \frac{1}{1 + \Omega^{2n}} \quad (\text{VIII. 3})$$

où n est le degré ou l'ordre du filtre, qui correspond au nombre des éléments réactifs requis dans le prototype passe-bas du filtre.

L'expression (VIII.3) peut s'écrire en fonction de la variable complexe $p = \sigma + j\Omega$ de la manière suivante [50-51] :

$$S_{21}(p) = \frac{1}{\prod_{i=1}^n (p - p_i)} \quad (\text{VIII. 4})$$

avec $p_i = j \exp\left[\frac{(2i-1)\pi}{2n}\right]$

La fonction de transfert pour les filtres de Chébychev est :

$$|S_{21}(j\Omega)|^2 = \frac{1}{1 + \varepsilon^2 T_n^2(\Omega)} \quad (\text{VIII. 5})$$

Où :

- ε est relié à L_{Ar} en dB par $\varepsilon = \sqrt{10^{\frac{L_{Ar}}{10}} - 1}$
- $T_n(\Omega)$ est une fonction de Chébychev d'ordre n, qui est définie par :

$$T_n(\Omega) = \begin{cases} \cos(n \cos^{-1}\Omega) & |\Omega| \leq 1 \\ \cosh(n \cosh^{-1}\Omega) & |\Omega| \geq 1 \end{cases} \quad (\text{VIII. 6})$$

Rhodes [51] a trouvé une formule plus générale de la fonction de transfert pour le filtre de Chébychev :

$$S_{21}(p) = \frac{\prod_{i=1}^n [\eta^2 + \sin^2(i\pi/n)]^{1/2}}{\prod_{i=1}^n (p + p_i)} \quad (\text{VIII. 7})$$

Avec

$$p_i = j \cos \left[\sin^{-1} j\eta + \frac{(2i-1)\pi}{2n} \right]$$

$$\eta = \sinh \left(\frac{1}{n} \sin^{-1} \frac{1}{\varepsilon} \right)$$

b) Prototype de filtre passe-bas

La synthèse des filtres est réalisée à partir du prototype de filtre passe-bas [41-52]. Le prototype de filtre passe-bas est défini, en général, comme un filtre passe-bas dont les valeurs de ses éléments sont toutes normalisées pour donner à la résistance ou la conductance de la source la valeur $g_0 = 1$ et à la fréquence de coupure la valeur $\omega_c = 1$. Par exemple la figure (VIII.1), montre deux formes possibles d'un prototype de filtre passe-bas. On peut utiliser l'une ou l'autre des deux formes parce qu'elles donnent la même réponse. On peut noter que dans la figure (VIII.1), g_i pour i de 1 à n représente soit une inductance d'une self-série ou une capacitance d'une capacité-shunt ; par conséquent, n est le nombre des éléments réactifs. Si g_1 est une inductance-série ou une capacitance-shunt alors g_0 est définie comme la résistance ou bien la conductance de source. De même, Si g_n est une inductance-série ou une capacitance-shunt alors g_{n+1} devient la résistance ou bien la conductance de charge. Ce type de filtre passe-bas peut servir comme prototype pour la conception de plusieurs filtres pratiques avec la transformation de fréquence et d'éléments appropriés.

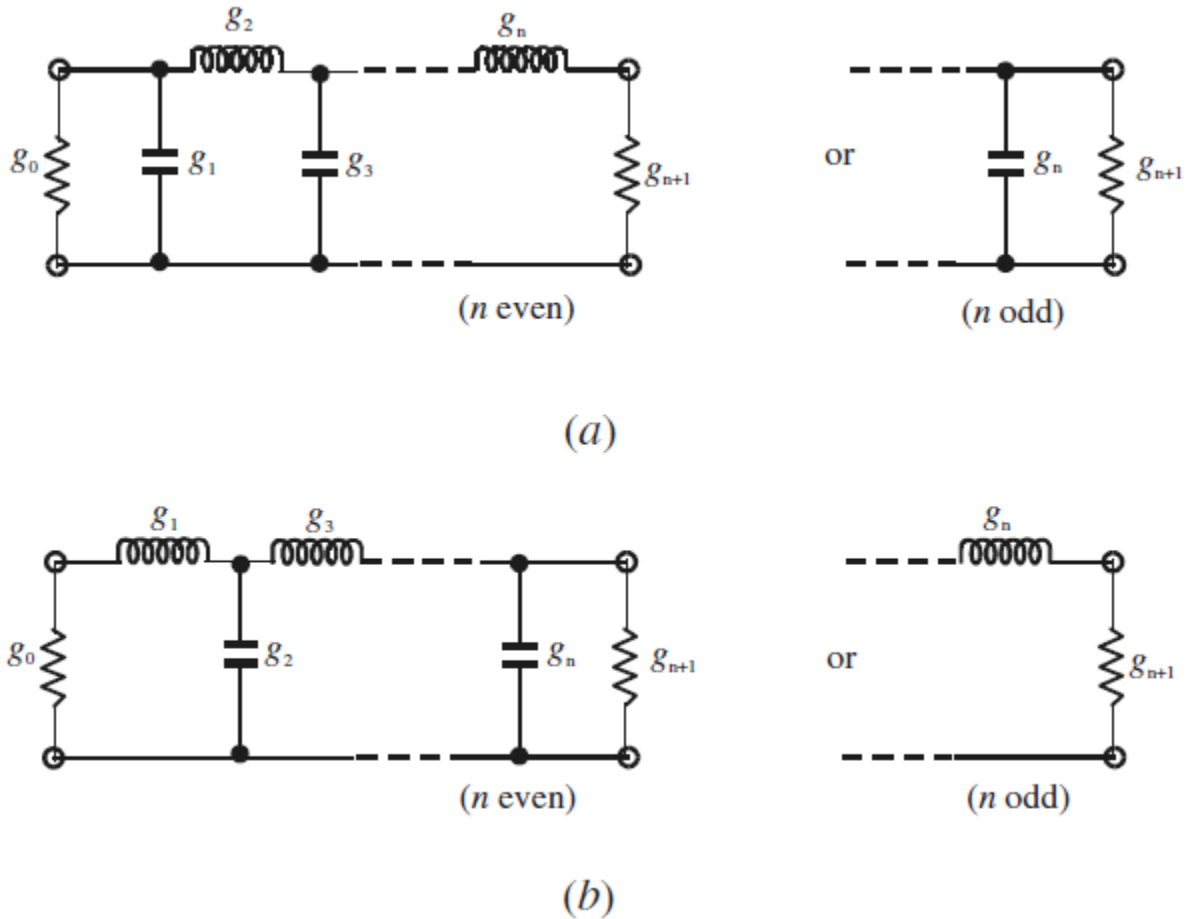


Figure VIII.1 : Prototype d'un filtre passe-bas [49].

Prototype filtre passe-bas de Butterworth

Pour les prototypes de filtres passe-bas de Butterworth, avec des pertes d'insertion $L_{Ar} = 3.01dB$ à la fréquence de coupure $\Omega_c = 1$, les valeurs de ses éléments [49] sont :

$$g_0 = 1$$

$$g_i = 2 \sin\left(\frac{(2i-1)\pi}{2n}\right) \text{ pour } i = 1 \text{ à } n \quad (\text{VIII. 8})$$

$$g_{n+1} = 1$$

Pour déterminer le degré du prototype passe-bas de Butterworth, on se base sur la condition pour une atténuation L_{AS} donnée dans la bande interdite pour $\Omega = \Omega_S$, pour $\Omega_S > 1$, en utilisant l'inégalité suivante [49]

$$n \geq \frac{\log(10^{0.1L_{AS}} - 1)}{2 \log \Omega_S} \quad (\text{VIII. 9})$$

Prototype filtre passe-bas de Tchebychev

Pour un prototype de filtre passe-bas ayant une fonction de transfert, des ondulations et une fréquence de coupure données, les valeurs des éléments du circuit de la (fig. VIII.1) peuvent être calculées en utilisant les formules suivantes [49] :

$$g_0 = 1$$

$$g_1 = \frac{2}{\gamma} \sin\left(\frac{\pi}{2n}\right)$$

$$g_i = \frac{1}{g_{i-1}} \frac{4 \sin\left[\frac{(2i-1)\pi}{2n}\right] \cdot \sin\left[\frac{(2i-3)\pi}{2n}\right]}{\gamma^2 + \sin^2\left[\frac{(i-1)\pi}{n}\right]} \quad \text{pour } i = 2, 3, \dots, n \quad (\text{VIII. 10})$$

$$g_{n+1} = \begin{cases} 1 & \text{pour } n \text{ impair} \\ \coth^2\left(\frac{\beta}{4}\right) & \text{pour } n \text{ pair} \end{cases}$$

Avec

$$\beta = \ln \left[\coth \left(\frac{L_{Ar}}{17.37} \right) \right]$$

$$\gamma = \sinh \left(\frac{\beta}{2n} \right)$$

Pour un taux d'ondulations requis L_{Ar} dB, et une atténuation L_{AS} dB donnée dans la bande interdite à $\Omega = \Omega_S$, le degré du prototype du filtre passe-bas de Chebychev, est [49] :

$$n \geq \frac{\cosh^{-1} \sqrt{\frac{10^{0.1L_{AS}} - 1}{10^{0.1L_{Ar}} - 1}}}{\cosh^{-1} \Omega_S} \quad (\text{VIII. 11})$$

c) Transformations de fréquence et des éléments du circuit :

Le prototype du filtre passe-bas possède des grandeurs normalisées : l'impédance normalisée $g_0 = 1$ et la pulsation de coupure $\Omega_c = 1$. Pour obtenir les caractéristiques d'un filtre passe-bas, on doit, à partir du filtre passe bas prototype, procéder à une dénormalisation des grandeurs en appliquant les transformations de fréquences et des éléments du circuit.

La transformation de fréquence permet le passage de la réponse fréquentielle du domaine Ω , comme par exemple la réponse de Tchebychev dans le prototype passe-bas, vers le domaine ω dans lequel la réponse du filtre réel est exprimée :

$$\Omega = \left(\frac{\Omega_c}{\omega_c}\right) \omega \quad (\text{VIII. 12})$$

Où ω_c est la pulsation de coupure

La transformation des éléments du circuit consiste à ajuster le filtre pour travailler à n'importe quelle impédance de source Z_0 . Pour cela, on définit un facteur d'étalonnage d'impédance γ_0 :

$$\gamma_0 = \begin{cases} Z_0/g_0 & \text{pour } g_0 \text{ une résistance} \\ g_0/Y_0 & \text{pour } g_0 \text{ une conductance} \end{cases} \quad (\text{VIII. 13})$$

Où $Y_0 = 1/Z_0$ est l'admittance de source. En principe, l'application de l'étalonnage d'impédance, qui n'a aucune influence sur la forme de la réponse du filtre, se fait de la façon suivante :

$$\begin{aligned} L &\rightarrow \gamma_0 L \\ C &\rightarrow C/\gamma_0 \\ R &\rightarrow \gamma_0 R \\ G &\rightarrow G/\gamma_0 \end{aligned} \quad (\text{VIII. 14})$$

Ces différentes transformations conduisent à :

$$\begin{aligned} L &= \left(\frac{\Omega_c}{\omega_c}\right) \gamma_0 g \quad \text{pour } g \text{ représentant une inductance} \\ C &= \left(\frac{\Omega_c}{\omega_c}\right) \frac{g}{\gamma_0} \quad \text{pour } g \text{ représentant une capacitance} \end{aligned} \quad (\text{VIII. 15})$$

et sont schématisées telles que le montre la figure (VIII.2)

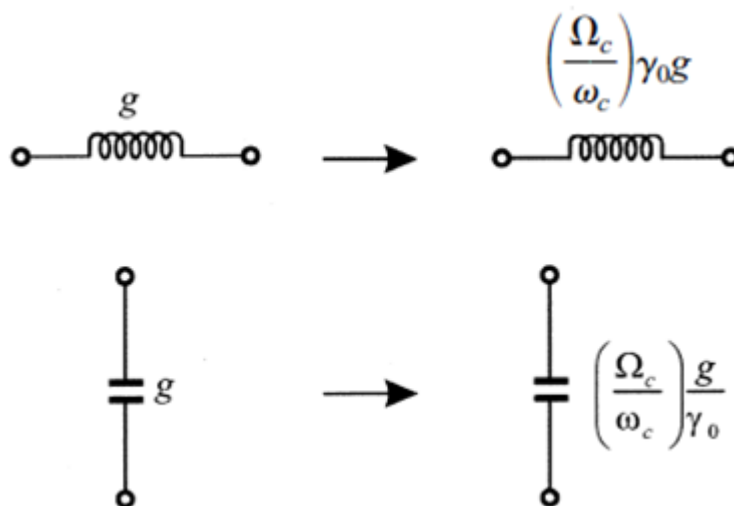


Figure VIII.2 : Passage du prototype passe-bas vers le filtre passe-bas réel

VIII.2 Les filtres micro-ruban

a) La technologie micro-ruban

La technologie à ruban comprend un certain nombre de lignes. Les filtres emploient surtout la ligne micro-ruban qui est constitué d'un conducteur métallique mince déposé sur la face supérieure d'un substrat diélectrique. La face inférieure du substrat est entièrement recouverte de métal (plan de masse) (fig. VIII.3).

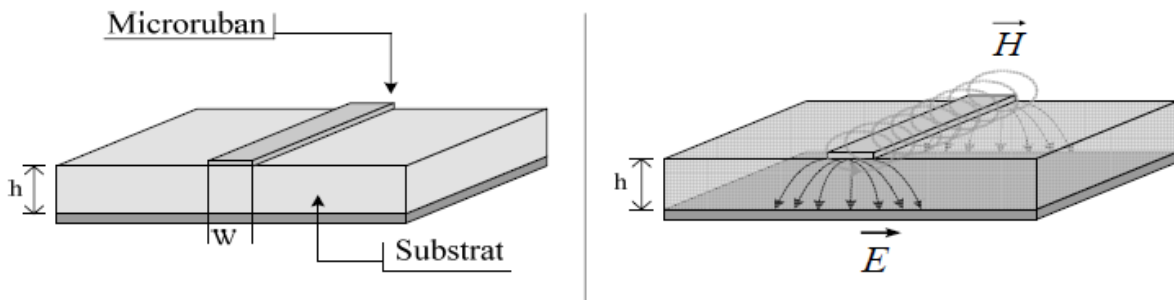


Figure VIII.3 : La technologie micro-ruban

Le substrat, caractérisé par sa permittivité diélectrique et son épaisseur, sert de support mécanique et de support de propagation du champ électromagnétique. Selon les formules élaborées par E.O. Hammerstad et publiées en 1975 [53], l'impédance caractéristique d'une ligne micro-ruban est déterminée par le rapport w/h .

b) Le filtre passe-bas à pas-d'impédance en technologie micro-ruban

Généralement la conception des filtres passe-bas micro-ruban implique deux étapes principales. La première consiste à choisir un prototype passe-bas approprié, comme décrit précédemment, Le choix du type de réponse, y compris l'ondulation dans la bande passante et le nombre d'éléments réactifs, dépendra des caractéristiques requises, Les valeurs des éléments du prototype du filtre passe-bas, qui sont habituellement normalisées pour avoir une impédance de source $g_0 = 1$ et une de fréquence de coupure $\omega_c = 1$, sont alors transformées en éléments LC pour la fréquence de coupure et l'impédance de source désirées. Ayant obtenu la conception appropriée des éléments localisés du filtre, la prochaine étape est de trouver une réalisation appropriée en micro-ruban qui approche le filtre.

Conception du filtre passe-bas à pas-d'impédance

La figure VIII.4.a montre une structure générale des filtres micro-ruban passe-bas à pas-d'impédance, qui emploient une structure en cascade de lignes de transmission en

alternant des impédances de grandes et petites valeurs. Les lignes à grande impédance agissent comme des inductances séries et les lignes à basses impédances agissent comme des condensateurs shunts. Par conséquent, cette structure du filtre peut être réalisée directement à partir de la figure VIII.4.b.

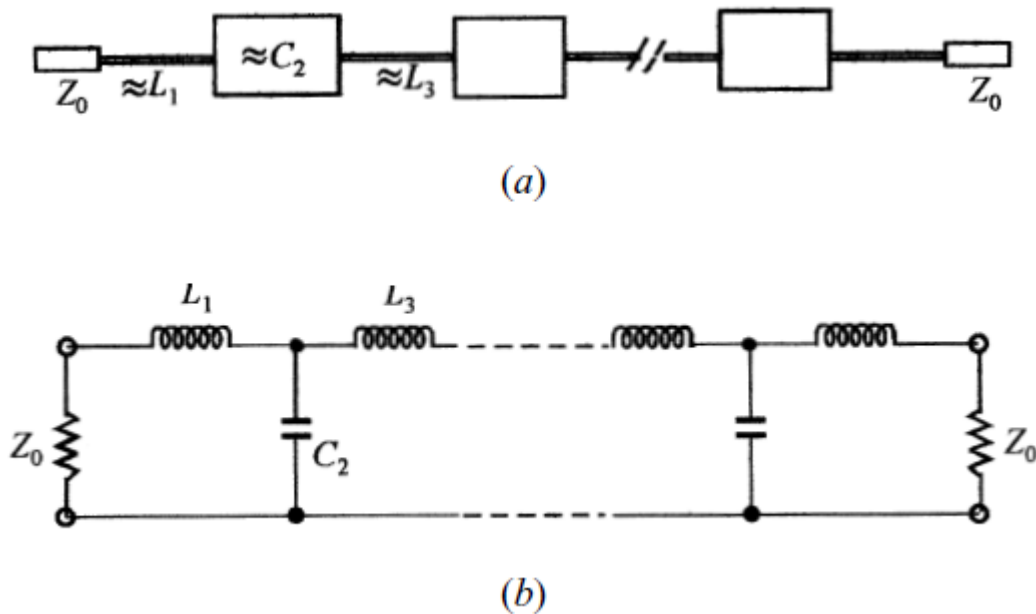


Figure VIII.4 : structure générale du filtre passe-bas à pas-d'impédance.

Certaines informations de conception doivent être fournies au sujet des lignes micro-ruban, parce que les expressions de l'inductance et de la capacité dépendent de l'impédance caractéristique et de la longueur. Il serait pratique, pour fixer les impédances caractéristiques des lignes de grande et de basse impédance, de prendre en compte les considérations suivantes :

- $Z_{0C} < Z_0 < Z_{0L}$, où Z_{0C} et Z_{0L} représentent respectivement les impédances caractéristiques des lignes à basse et à grande impédance, et Z_0 est l'impédance de source, qui est habituellement égale à 50 ohms pour les filtres micro-ruban.
- Z_{0C} a comme conséquence une meilleure approximation d'un condensateur semi-localisé.
- Z_{0L} mène à une meilleure approximation d'une inductance, mais ne doit pas être si grande que sa fabrication devienne démesurément difficile comme ligne étroite, ou ses possibilités transport du courant deviennent une limitation.

Etapes de conception du filtre passe-bas à pas-d'impédance

Première étape : on doit trouver le nombre d'éléments n en utilisant l'équation VIII.14 ou bien VIII.16 selon le type de filtres choisi,

Deuxième étape : on doit calculer les valeurs g_i des éléments du prototype passe-bas choisi en utilisant les équations VIII.13 ou bien VIII.16.

Troisième étape : L'étape suivante est de calculer les valeurs des éléments de conceptions du filtre en utilisant les équations (VIII. 15) qui deviennent pour le $i^{\text{ème}}$ élément :

$$\begin{cases} L_i = \left(\frac{Z_0}{g_0}\right) \left(\frac{\Omega_c}{2\pi f_c}\right) g_i & \text{si } g_i \text{ est une inductance} \\ C_i = \left(\frac{g_0}{Z_0}\right) \left(\frac{\Omega_c}{2\pi f_c}\right) g_i & \text{si } g_i \text{ est une capacité} \end{cases} \quad (\text{VIII. 16})$$

Quatrième étape : On doit déterminer les longueurs des lignes réalisant une inductance et une capacité en appliquant respectivement les relations [49]:

$$\begin{cases} l_L = \frac{\lambda_{gL}}{2\pi} \sin^{-1} \left(\frac{\omega_c L}{Z_{0L}}\right) \\ l_C = \frac{\lambda_{gC}}{2\pi} \sin^{-1}(\omega_c C Z_{0C}) \end{cases} \quad (\text{VIII. 17})$$

$\lambda_{gL,C}$ est la longueur d'ondes dans la ligne.

c) Le filtre passe-bas miniaturisé en technologie micro-ruban

Nous allons proposer une nouvelle structure de filtre passe-bas, se différenciant seulement par son faible encombrement par rapport au filtre à pas-d'impédance. Cette structure est constituée de deux tronçons de ligne micro-ruban identiques de longueur $\lambda/16$ chacun et d'impédance caractéristique de faible valeur, reliés entre eux par une ligne micro-ruban de longueur $\lambda/8$ mais d'impédance caractéristique plus grande (fig. VIII.5).

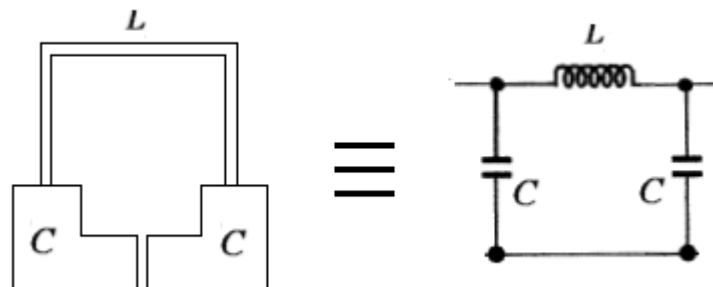


Figure VIII.5 : Nouvelle structure de filtre passe bas.

Pour évaluer les performances de cette nouvelle structure, nous avons utilisé la théorie quadripolaire. Ce qui nous a amenés à utiliser cette théorie c'est le fait que la nouvelle structure possède un plan de symétrie vertical passant par le milieu du gap et coupant la ligne

d'impédance de valeur élevée en deux parties égales. Les calculs que nous avons nous même effectués (voir Annexe E) nous ont conduits à l'expression de la fonction de transfert du filtre suivante :

$$S_{21} = \frac{Y_{0T}Y_0 - Y_{eT}Y_0}{(Y_0 + Y_{eT})(Y_0 + Y_{0T})} \quad (\text{VIII. 18})$$

Où Y_{eT} et Y_{0T} représentent respectivement les admittances d'entrée du filtre en modes paire et impaire (annexe E), et Y_0 l'admittance interne du générateur. La fonction de transfert peut aussi s'exprimer par rapport à $y_{eT} = \frac{Y_{eT}}{Y_0}$ et $y_{0T} = \frac{Y_{0T}}{Y_0}$ comme suit :

$$S_{21} = \frac{y_{0T} - y_{eT}}{(1 + y_{eT})(1 + y_{0T})} \quad (\text{VIII. 19})$$

Cette fonction est donnée à la figure VIII.6.

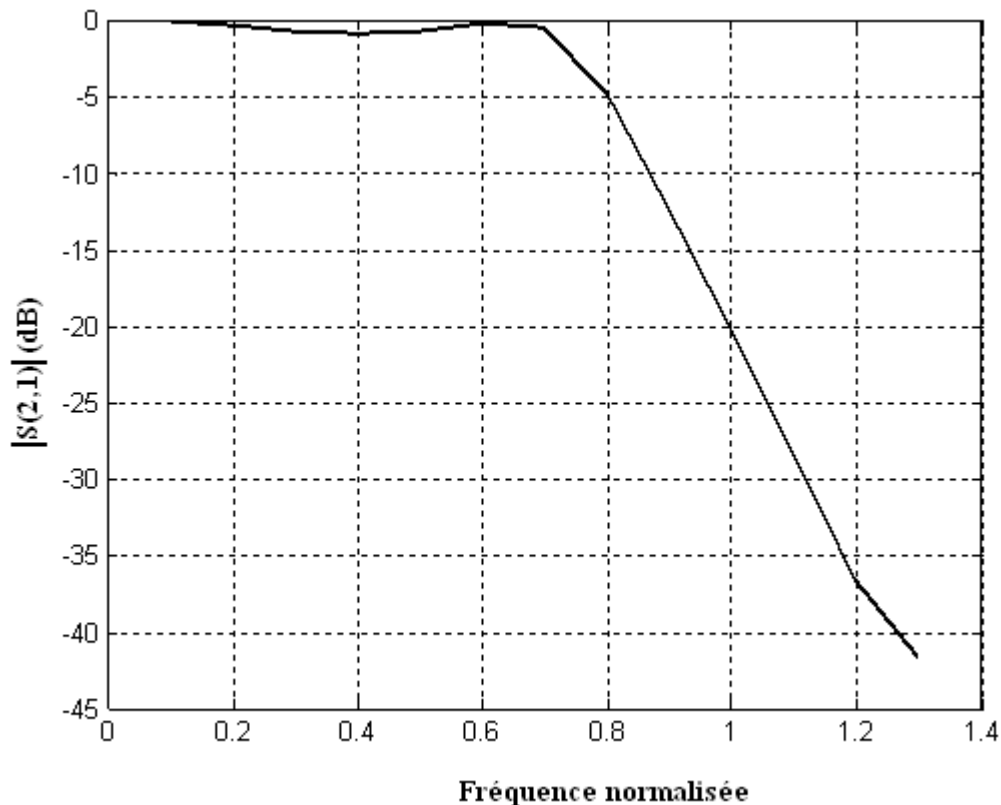


Figure VIII.6 : Fonction de transfert normalisée du filtre en fonction de la fréquence normalisée.

On remarque que la fréquence de coupure normalisée est 0.7, donc pour concevoir un filtre dont la bande passante s'étend de 0 à X GHz, on doit dimensionner les lignes à $f_c = \frac{X}{0.7} GHz$.

La fréquence de conception étant définie, on pourra facilement dimensionner les lignes réalisant la self (tronçon $\lambda/8$) et la capacité (tronçon $\lambda/16$) en utilisant le simulateur Linecalc sous le logiciel ADS.

VIII.3 Conception d'un filtre passe bas ($f_c = 1GHz$)

a) Présentation du simulateur électromagnétique

Le simulateur électromagnétique que nous utiliserons pour l'analyse des structures conçues est le logiciel Momentum de l'ADS. Ce simulateur, comme son nom l'indique, résout numériquement les équations de propagation par la méthode des Moments.

Une fois le dessin du circuit est réalisé à partir d'une bibliothèque de composants, l'utilisateur doit choisir le nombre de mailles à réaliser sur la structure en optant soit pour un maillage régulier soit pour un maillage serré. Il faut donc juger de la pertinence avant de lancer la simulation : trop de mailles nuisent au temps de résolution, trop peu amènent à des résultats approximatifs. Une description du substrat sur lequel reposent les lignes est nécessaire. Chaque substrat est nommé et créé par l'utilisateur qui fixe pour chaque couche l'épaisseur, les caractéristiques électriques, le type de ligne (et son épaisseur) qui sera déposée dessus.

b) Conception du filtre proposé

Nous allons à présent concevoir un filtre ayant une fréquence de coupure de 1GHz. Nous choisiront une impédance $Z_{0C} = 30ohm$ pour la capacité et $Z_{0L} = 90ohm$ pour la self, et utiliserons un substrat ayant les caractéristiques suivantes : $\epsilon_r = 10.8$, $h = 1.27mm$ et $t = 0.015mm$.

Les résultats de la conception sont les suivants :

- pour la ligne selfique : largeur $W=0.12mm$ et longueur $l=22.2mm$;
- pour la ligne capacitive : largeur $W=2.7mm$ et longueur $l=9.48mm$.

Le layout de ce filtre ainsi que sa réponse fréquentielle sont donnés respectivement par les figures (VIII.7) et (VIII.8).

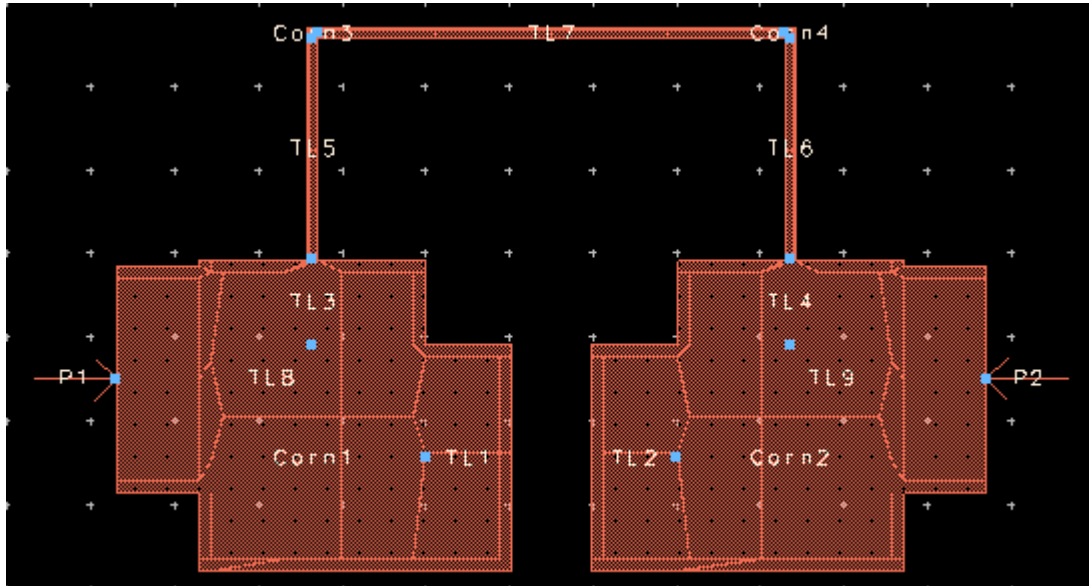


Figure VIII.7 : Layout du filtre proposé

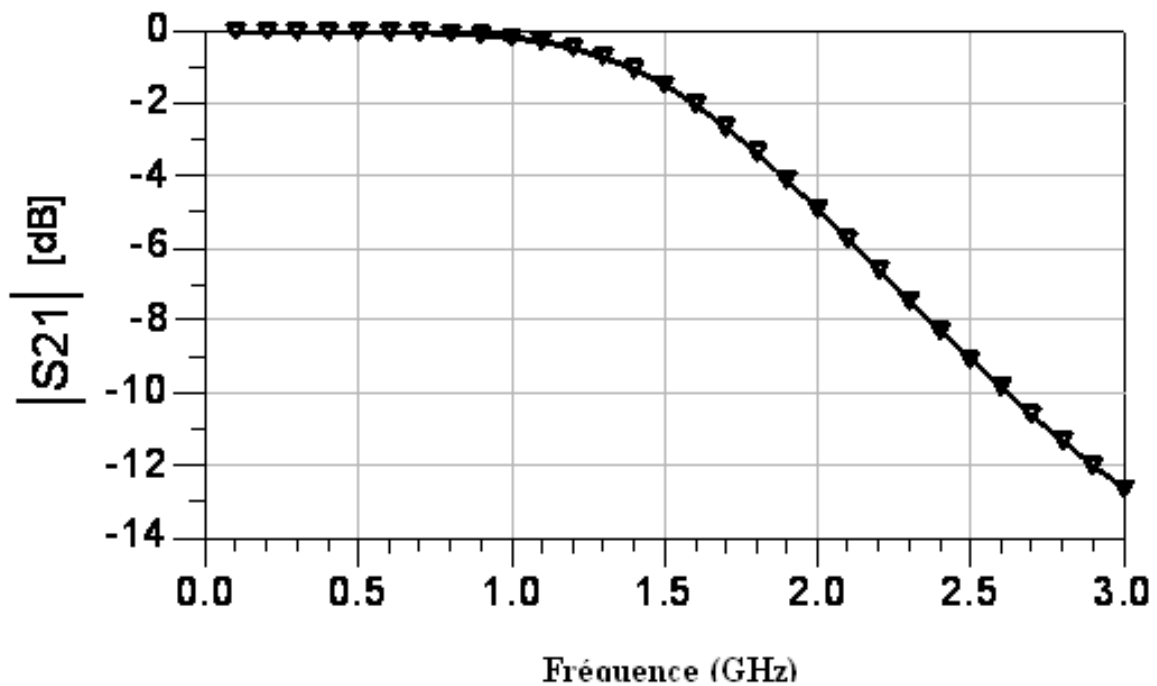


Figure VIII.8 : Réponse du filtre passe bas proposé en fonction de la fréquence.

c) Conception du filtre passe-bas à pas-d'impédance

Nous allons concevoir un filtre répondant au cahier de charge précédent en vue de comparer surtout son encombrement à celui du filtre proposé.

En optant pour un filtre de Chebychev et partant du cahier de charge, l'application de la relation (VIII.16) nous donne un nombre de cellules $n=3$. De l'expression (VIII.15), nous aboutissons aux valeurs des éléments du prototype passe-bas suivantes :

$$g_0 = g_4 = 1, \quad g_1 = g_3 = 1.0316, \quad g_2 = 1.1474$$

En utilisant les équations VIII.21, nous trouvons les valeurs des composants du filtre :

$$L_1 = L_3 = 8.209nH, \quad C_1 = 3.652pF$$

Selon les équations(VIII. 17), les dimensions des lignes sont :

- pour la ligne selfique : largeur $W=0.2\text{mm}$ et longueur $l=10.93\text{mm}$;
- pour la ligne capacitive : largeur $W=4\text{mm}$ et longueur $l=9.77\text{mm}$.

Le layout de ce filtre ainsi que sa réponse fréquentielle sont donnés respectivement par les figures (VIII.9) et (VIII.10).

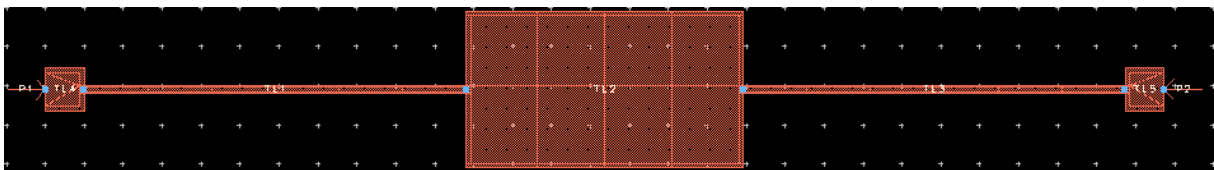


Figure VIII.9 : Layout du filtre passe-bas à pas-d'impédance.

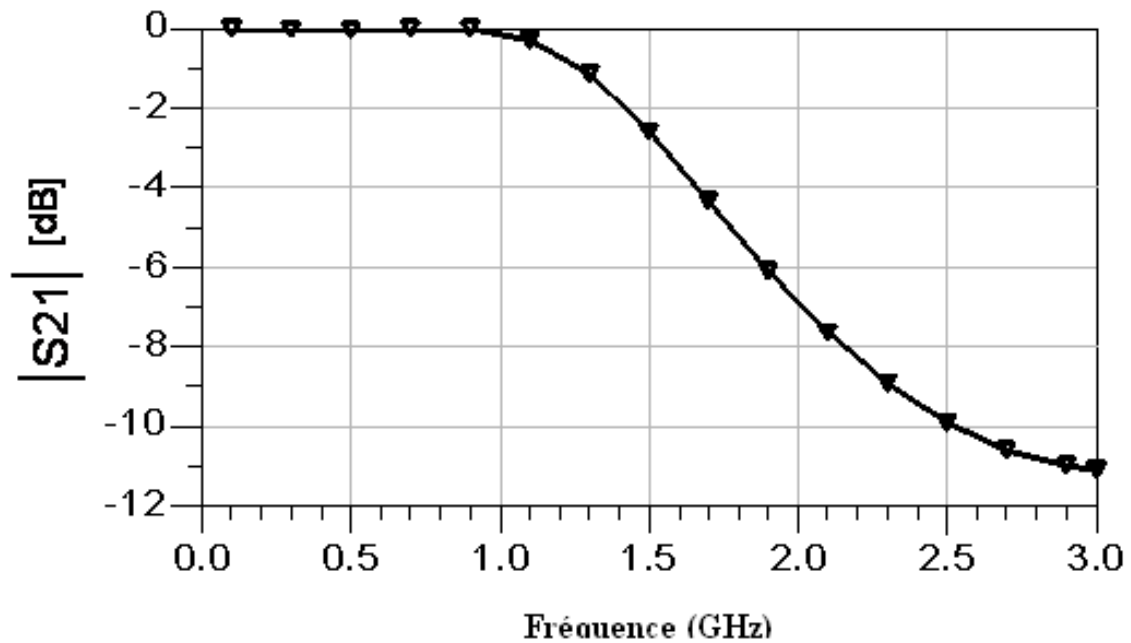


Figure VIII.10: Réponse du filtre passe bas à pas-d'impédance en fonction de la fréquence.

VIII.4 Etude comparative

En ce qui concerne les réponses fréquentielles, les figures (VIII.8) et (VIII.10) montrent qu'il n'existe pas de différence notable. Par contre, du point de vue encombrement le filtre passe bas proposé est nettement petit que le filtre passe bas à pas-d'impédance puisque :

- la longueur du filtre passe bas à pas-d'impédance est 31.63mm ;
- la longueur du filtre passe bas proposé est 8.44mm.

Cette différence de longueur, qui est de 73.32%, est très visible sur la figure (VIII.11) qui représente les layouts des deux filtres à l'échelle réelle.

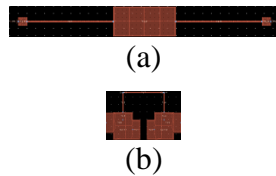


Figure VIII.11 : Layouts : (a) filtre passe bas à pas-d'impédance
(b) filtre passe bas proposé

Conclusion générale et perspectives

Conclusion générale et perspectives

En réalisant ce travail, nous avons réellement apporté notre modeste contribution à satisfaire deux principales exigences de l'heure dans les domaines très sensibles des télécommunications, à savoir, l'élargissement de la bande passante des amplificateurs et la réduction de leur encombrement.

Nous avons montré que l'amplificateur distribué conventionnel ADC possédait la propriété d'avoir une bande passante de quelques dizaines de gigahertz mais, par contre, un encombrement relativement important. La version ADNAC, présentait, en revanche, selon l'étude faite par C.S. Aitchison et M.R. Moazzam des caractéristiques tout à fait inverses de celles de l'ADC4 (4 transistors) : bande passante et encombrement réduits. Nous avons confirmé, de notre côté, cet aspect de l'ADNAC.

En choisissant l'ADNAC, nous devons répondre à la question : comment élargir la bande passante sans altérer le gain ni accroître les dimensions ?

Pour cela, nous avons développé et mis en œuvre une nouvelle méthode de conception qui nous permettait d'aboutir à un autre amplificateur nommé ADNAG.

Les principaux avantages de cette méthode sont :

- indépendance vis à vis des caractéristiques du transistor ;
- élargissement de la bande passante de l'ADNAC de 141.5% et réduction du taux d'ondulation de 40,5% ;
- la conception d'un ADNAG dont le produit gain bande passante est supérieur à celui d'un ADC4 et l'encombrement nettement plus réduit;
- la possibilité de concevoir l'ADNAG selon des buts différents : une bande passante et/ou un taux d'ondulation désirés ou un compromis entre ces deux performances.
- son application à la conception de l'amplificateur distribué dénommé « Cascaded Single-Stage Distributed Amplifier » en abrégé « CSSDA » et de l'amplificateur distribué dénommé « Dual-Fed Distributed Amplifier » en abrégé « DFDA » peut procurer, pour le premier une amélioration du gain de 12 dB sans pour autant affecter la bande passante, et, pour le second, un élargissement de la réponse dans le domaine fréquentiel en maintenant le gain constant.

L'inconvénient de cette méthode se limite seulement au fait qu'elle s'applique pour un transistor dit simplifié dont le circuit équivalent est assez simplifié. Nous avons, malgré tout, solutionné ce problème en utilisant le montage cascode que nous avons modifié en y ajoutant une inductance. Les résultats obtenus ont été très satisfaisants puisqu'ils ont été très proches de ceux obtenus dans le cas du transistor simplifié. Le seul désavantage du montage cascode est qu'il emploie deux transistors.

En plus, nous avons aussi apporté une certaine contribution en améliorant la réponse fréquentielle de l'amplificateur distribué associé au diviseur/combineur de Wilkinson. Pour cela, nous avons choisi une impédance caractéristique des lignes du diviseur/combineur de Wilkinson égale à 100Ω au lieu de 50Ω . Cette amélioration est estimée à une augmentation de la bande passante d'environ 100% par rapport à celle de l'amplificateur distribué associé au diviseur/combineur de Wilkinson avec lignes de 50Ω .

Toujours dans le but de miniaturiser les dispositifs, nous sommes parvenus, en utilisant la théorie des quadripôles, à réduire les dimensions du filtre passe-bas LC en technologie micro-ruban, et à proposer une nouvelle structure qui a permis de miniaturiser le filtre passe-bas à pas-d'impédance de 72% tout en gardant les mêmes performances dans la bande passante.

Nous préconisons, en perspective, des recherches de nature technologique dont l'objet sera le développement d'un transistor (FET) compatible avec notre méthode. La dernière contribution prévoit, des travaux qui devraient être dirigés dans le sens de l'amélioration, encore plus importante, des réponses fréquentielles de l'amplificateur distribué associé au diviseur/combineur de Wilkinson.

Références bibliographiques

Références bibliographiques

- [1] Percival, W. S., *Improvement in and Relating to Thermionic Valve Circuits*, British Patent 460562, January 1937.
- [2] Ginzton, E. L., et al., “Distributed Amplification,” *Proc. I.R.E.*, Vol. 36, 1948, pp. 956–969.
- [3] Horton, W. H., J. H. Jasberg, and J. D. Noe, “Distributed Amplifiers: Practical Consideration and Experience Results,” *Proc. I.R.E.*, Vol. 38, 1950, pp. 748–753.
- [4] Moser, “140 MHz Kettenverstärker Mit Feldeffekttransistoren,” *Inter. Elek Rundschau*, Vol. 5, 1967, pp. 109–115.
- [5] Jutzi, W., “A MESFET Distributed Amplifier with 2 GHz Bandwidth,” *Proc. IEEE*, Vol. 57, June 1969, pp. 1195–1196.
- [6] Archer, J. A., F. A. Petz, and H. P. Weidlich, “GaAs FET Distributed Amplifier,” *Electronics Letters*, June 1981, pp. 433–434.
- [7] Ayasli, Y., et al., “Monolithic Traveling-Wave Amplifier,” *Electronics Letters*, June 1981, pp. 413–414.
- [8] Ayasli, Y., et al., “A Monolithic GaAs 1 To 13 GHz Traveling Wave Amplifier,” *IEEE Trans. on Microwave Theory and Techniques*, Vol. 30, No. 7, 1982, pp. 976–980.
- [9] Niclas, K. B., et al., “On Theory and Performance of Solid State Microwave Distributed Amplifiers,” *IEEE Trans. on Microwave Theory and Techniques*, Vol. 31, No. 6, 1983, pp. 447–456.
- [10] Ayasli, Y., et al., “2 To 20 GHz GaAs Traveling Wave Power Amplifier,” *IEEE Trans. On Microwave Theory and Techniques*, Vol. 32, No. 3, 1984, pp. 290–295.
- [11] Beyer, J. B., et al., “MESFET Distributed Amplifier Guidelines,” *IEEE Trans. on Microwave Theory and Techniques*, Vol. 32, No. 3, 1984, pp. 268–275.
- [12] Ayasli, Y., et al., “2 To 20 GHz GaAs Traveling Wave Amplifier,” *IEEE Trans. on Microwave Theory and Techniques*, Vol. 32, No. 1, 1984, pp. 71–77.
- [13] Kim, B., and H. Q. Tserng, “0.5W, 2 To 21 GHz Monolithic GaAs Distributed Amplifier,” *Electronic Letters*, Vol. 20, No. 7, 1984, pp. 228–289.
- [14] Ayasli, Y., et al., “Capacitively Coupled Traveling Wave Power Amplifier,” *IEEE Trans. on Microwave Theory and Techniques*, Vol. 32, No. 12, 1984, pp. 1704–1709.

- [15] Prasad, S. N., J. B. Beyer, and I. S. Chang, "Power-Bandwidth Considerations in the Design of MESFET Distributed Amplifier," *IEEE Trans. on Microwave Theory and Techniques*, Vol. 36, No. 7, 1988, pp. 1117–1123.
- [16] Aitchison, C. S., et al., "The Dual-Fed Distributed Amplifier," *IEEE MTT-S Digest*, 1988, pp. 911–914.
- [17] Minnis, B. J., "The Traveling Wave Matching Technique For Cascadable MMIC Amplifiers," *IEEE Trans. on Microwave Theory and Techniques*, Vol. 42, No. 4, 1994, pp. 690–692.
- [18] Moazzam, M. R., and C. S. Aitchison, "A High Gain Dual-Fed Single Stage Distributed Amplifier," *IEEE MTT-S Digest*, 1994, pp. 1409–1412.
- [19] Paoloni, C., and S. D'Agostino, "Design of High-Performance Power-Distributed Amplifier Using Lange Couplers," *IEEE Trans. on Microwave Theory and Techniques*, Vol. 42, No. 12, 1994, pp. 2525–2530.
- [20] Liang, J. Y., and C. S. Aitchison, "Gain Performance of Cascade of Single Stage Distributed Amplifiers," *Electronics Letters*, Vol. 31, No. 15, July 1995, pp. 1260–1261.
- [21] Shapiro, E. S., et al., "A High-Efficiency Traveling Wave Power Amplifier Topology Using Improved Power-Combining Techniques," *IEEE Trans. on Microwave and Guided Wave Letters*, Vol. 8, No. 3, 1998, pp. 133–135.
- [22] Agarwal, B., et al., "112 GHz, 157 GHz, and 180 GHz InP HEMT Traveling-Wave Amplifiers," *IEEE Trans. On Microwave Theory and Techniques*, Vol. 46, No. 12, December 1998, pp. 2553–2559.
- [23] Banyamin, B., et al., "A New High Gain Broadband Amplifier Using Cascaded Single Stage Distributed Amplifiers," *Asia-Pacific Microwave Conference*, 1998, pp. 753–756.
- [24] Banyamin, B., and M. Berwick, "The Gain Advantages of Four Cascaded Single Stage Distributed Amplifier Configurations," *Digest of the IEEE MTT-S International Microwave Symposium Digest*, Boston, MA, June 11–16, 2000, pp. 1325–1328.
- [25] Ben Y. Banyamin and Michael Berwick "Analysis of the Performance of Four-Cascaded Single-Stage Distributed Amplifiers," *IEEE Trans. Microwave Theory Tech.*, vol. 48, NO. 12, pp. 2657–2663, December 2000.
- [26] J.Ph. Fraywe, J. P. Viaud, M. Campovecchio, Ph. Auxemery, R. Quéré ' ' A 2W, High Efficiency, 2-8GHz, Cascode HBT MMIC Power Distributed Amplifier'' *IEEE MTT-S Digest*, pp.529-532, 2000.

- [27] Gao Huai, Lin Jiming, Haodong Wu, and Shui Yongan ‘‘ A high-efficiency distributed amplifier by using varying impedance’’ *Microwave and Optical Technology Letters*, vol. 26, No. 5, pp. 339-341, September 2000.
- [28] Avtar S. Virdee, Bal S. Virdee ‘‘ A novel high efficiency multioctave amplifier using cascaded reactively terminated single-stage distributed amplifiers for EW system applications’’ *IEEE MTT-S Digest*, pp.519-521, 2001.
- [29] Kuo-Liang Deng , Huei Wang , C. Glaser, Malcolm G. Stubbs ‘‘ A Miniature High Gain and Broadband MMIC Distributed Amplifier’’ *33rd European Microwave Conference - Munich 2003* pp. 615-618.
- [30] Kuo-Liang Deng, Tian-Wei Huang, and Huei Wang,’’ Novel High Gain and Broadband GaAs MMIC Distributed Amplifiers with Traveling-Wave Gain Stages’’ *2003 IEEE Radio Frequency Integrated Circuits Symposium*, vol. 1, pp. 325-328, 2003.
- [31] Kuo-Liang Deng, Tian-Wei Huang, and Huei Wang, ‘‘Design and Analysis of Novel High-Gain and Broad-Band GaAs pHEMT MMIC Distributed Amplifiers With Traveling-Wave Gain Stages,’’ *IEEE Trans. Microwave Theory Tech.*, vol. 51, NO. 11, pp. 2188–2196, November 2003.
- [32] Ohkubo, Y., Takagi, A., Amano, Y., Koji, T., Kashiwagi, K., and Matsuoka, Y.: ‘16 dB 80 GHz InGaP=GaAs HBT distributed amplifier’, *Electron. Lett.*, 19th February 2004 Vol. 40 No. 4
- [33] Jorge Aguirre and Calvin Plett ‘‘50-GHz SiGe HBT Distributed Amplifiers Employing Constant-k and m-Derived Filter Sections,’’ *IEEE Trans. Microwave Theory Tech.*, vol. 52, NO. 5, pp. 1573–1979, May 2004.
- [34] Ahmad Yazdi and Payam Heydari ‘‘A Novel Non-Uniform Distributed Amplifier’’*ISCAS 2004 IEEE*, pp. 613-616.
- [35] Kambiz K. Moez and Mohamed I. Elmasry ‘‘ A Novel Marix-Based Lumped-Element Analysis Method for CMOS Distributed Amplifiers’’ *ISCAS 2004 IEEE*, pp. 1048-1051.
- [36] Kimberley W. Eccleston’’ Modified Class-F Distributed Amplifier’’ *IEEE Microwave and Wireless Components Letter*, vol. 14, NO. 10, October 2004.
- [37] Xin Guan and Cam Nguyen ‘‘Low-Power-Consumption and High-Gain CMOS distributed Amplifiers Using Cascade of Inductively Coupled Common-Source Gain Cells for UWB Systems’’*IEEE Trans. Microwave Theory Tech.*, vol. 54, NO. 8, pp. 3278–3283, August 2006.

- [38] Payam Heydari "Design and Analysis of a Performance-Optimized CMOS UWB Distributed LNA" *IEEE Journal of Solid-State Circuits*, vol. 42, No. 9, pp. 1892-1905, September 2007.
- [39] H.A. Wheler: "Wide band amplifiers for television": Proceeding of the IRE. Vol 27, pp429-438, 1939.
- [40] Thomas T. Y. Wong "Fundamentals of distributed amplification" *Illinois Institute of Technology, Artech house*, 1993.
- [41] Bal S.Virdee, Avtar S.Virdee and Ben Y.Banyamin "Broadband Microwave Amplifiers" *Artech house, INC. 2004*
- [42] F. Amrani, M. Trabelsi, R. Aksas and M. Azrar "Bandwidth Improvement of a Single-stage Distributed Amplifier" *Micro wave Journal*, Vol.53, No. 5, May 2010. pp. 112-122.
- [43] G. L. Matthaei, L. Young, and E. M. T. Jones, *Microwave Filters, Impedance-Matching Networks, and Coupling Structures* Dedham MA : *Artech House*, 1980.
- [44] Tri T. Ha *Solid-State Microwave Amplifier Design* John Wiley & Sons, New York (1981).
- [45] Daniel Curivod : "Micro-ondes". SIGTEL-Groupe ESIEE Paris-2002.
- [46] LI. Prad and R. L. Moynihan: "Split-Tee Power Divider". IEEE. Transactions on Microwave Theory and Techniques. January 1965.
- [47] F. Amrani et M. Trabelsi. "Etude et conception des amplificateurs distribués associés à des Diviseurs/Combineurs de puissance" mémoire de magister, USTHB, 2007.
- [48] M. Trabelsi. "Cour de la post-graduation". Ecole Nationale polytechnique, El Harrach, Alger.
- [49] Curtice, W. R., "A Nonlinear GaAs FET Model for Use in the Design of Output Circuits for Power Amplifiers," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-33, 1985, p. 1383.
- [50] Jia-Sheng Hong, M. J. Lancaster., "Microstrip Filters for RF/Microwave Applications", *John wiley and sons, inc, 2001*.
- [51] G. C. Temes, and S. K. Mitra, *Modern Filter Theory and Design*, Wiley, New York, 1973.
- [52] J. D. Rhodes, *Theory of Electrical Filters*, Wiley, New York, 1976.
- [53] S. Darlington, "Synthesis of reactance-four-poles which produce prescribed insertion loss characteristics," *J. Math. Phys.*, 30, 257–353, Sept. 1939.
- [54] E. O. Hammerstard, "Equations for microstrip circuit design," in *Proceedings of the European Microwave Conference*, Hamburg, Germany, 1975, pp. 268–272.

Annexes

Annexe A : Calcul du gain d'un amplificateur distribué

L'annexe A présente le développement du calcul nécessaire pour aboutir à l'expression du gain en puissance de l'amplificateur distribué conventionnel (ADC). Pour cela, on a utilisé la théorie des quadripôles. On a supposé que le modèle du transistor MESFET comprend seulement:

- en entrée (entre la grille et la source), la capacité C_{gs} en série avec la résistance R_{gs} ;
- en sortie (entre le drain et la source), la source de courant contrôlée $g_m V_g$ en parallèle avec la capacité C_{ds} et la résistance R_{ds} .

I. Etude de la ligne de grille

La ligne de grille est alors constituée de N cellules élémentaires comprenant chacune deux inductances séries séparées par une impédance shunt fournie par l'entrée de chaque transistor MESFET (fig.A1).

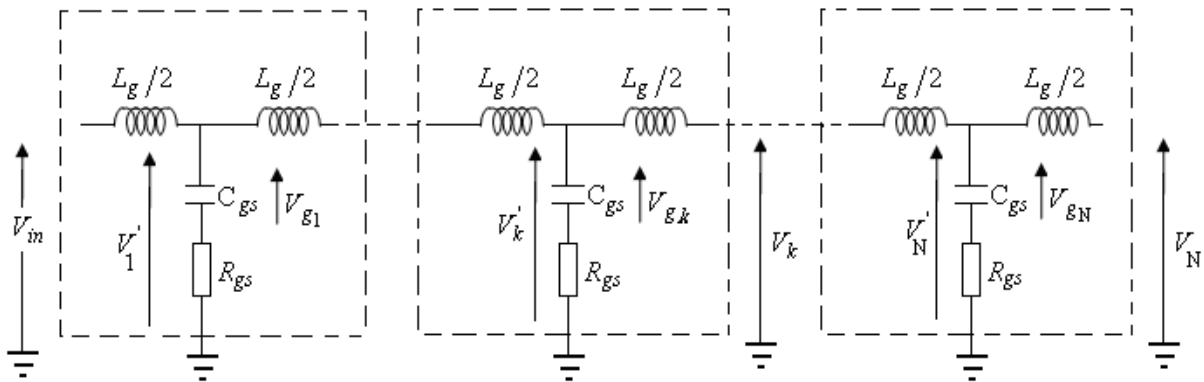


Fig.A1: Cellule élémentaire de la ligne grille d'un ADC.

La première étape consiste à exprimer la tension V_{gk} ($k=1, \dots, N$) en fonction de la tension d'entrée V_{in} et des paramètres du circuit. Pour ce faire, soit la $k^{ième}$ section de la ligne grille (fig.A2) pour laquelle on peut, d'après la théorie des quadripôles (relation I.4), écrire :

$$\frac{V'_k}{V_{k-1}} = \sqrt{\frac{Z_{i2}^{(g)}}{Z_{i1}^{(g)}}} e^{-\frac{\gamma_g}{2}} \quad (\text{A.1})$$

$Z_{i1}^{(g)}$; $Z_{i2}^{(g)}$ sont les impédances images de la demi cellule en L de la cellule élémentaire et γ_g son exposant de transfert sur image.

Le diviseur de tension nous donne:

$$V_{gk} = \frac{1/j\omega C_{gs}}{R_i + 1/j\omega C_{gs}} \cdot V'_k = \frac{V'_k}{1 + jX_g} \quad (A2)$$

où $X_g = \frac{\omega}{\omega_g}$ et $\omega_g = \frac{1}{R_{gs} C_{gs}}$

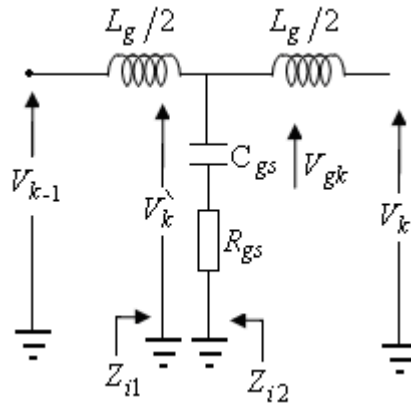


Fig.A2 : $k^{ième}$ cellule de la ligne de grille

En combinant (A1) et (A2), on obtient:

$$V_{gk} = \frac{V_{k-1}}{1 + jX_g} \sqrt{\frac{Z_{i2}^{(g)}}{Z_{i1}^{(g)}}} e^{-\frac{\gamma_g}{2}} \quad (A3)$$

Comme les cellules sont identiques et symétriques, on a alors:

$$V_{k-1} = V_{in} e^{-\gamma_g(k-1)} \quad (k \geq 2) \quad (A4)$$

Les expressions (A3) et (A4) donnent :

$$V_{gk} = \frac{V_{in}}{1 + jX_g} \sqrt{\frac{Z_{i2}^{(g)}}{Z_{i1}^{(g)}}} \exp\left(-k\gamma_g + \frac{\gamma_g}{2}\right) \quad (A5)$$

D'autre part, on peut écrire :

$$\frac{1}{1 + jX_g} = \frac{1}{\sqrt{1 + X_g^2}} e^{-j\phi} \quad \text{où } \phi = \arctg(X_g)$$

Il en résulte donc:

$$V_{gk} = \frac{V_{in}}{\sqrt{1 + X_g^2}} \sqrt{\frac{Z_{i2}^{(g)}}{Z_{i1}^{(g)}}} \exp\left(-k\gamma_g - j\phi + \frac{\gamma_g}{2}\right) \quad (A6)$$

Comme la cellule élémentaire est constituée de deux circuits du type k constant, les relations (I.14) et (I.15) (chapitre I) nous permettent d'écrire, à condition de supposer $R_{gs} \ll 1/jC_{gs}\omega$:

$$\frac{Z_{i2}^{(g)}}{Z_{i1}^{(g)}} = \frac{1}{1 - X_c^2} \quad (A7)$$

Compte tenu de (A6) et (A7), on aboutit finalement :

$$V_{gk} = \frac{V_{in}}{\sqrt{(1 + X_g^2)(1 - X_c^2)}} \exp\left(-k\gamma_g - j\phi + \frac{\gamma_g}{2}\right) \quad (A8)$$

II. Etude de la ligne de drain

Dans cette étude, on s'intéresse particulièrement au calcul du courant total dans la charge I_t qui vaut :

$$I_t = \sum_{k=1}^N I_{0k} \quad (A9)$$

où I_{0k} est le courant parcourant la charge et provenant de la $k^{ième}$ source contrôlée.

Etant donné que l'impédance vue des 2 cotés du drain du transistor est la même, le courant vers la charge est donc $\frac{-I_k}{2}$ (fig.A3).

Où :

$$Z_{ds} = (R_{ds} // C_{ds}) = \frac{R_{ds}}{1 + j\omega R_{ds} C_{ds}}$$

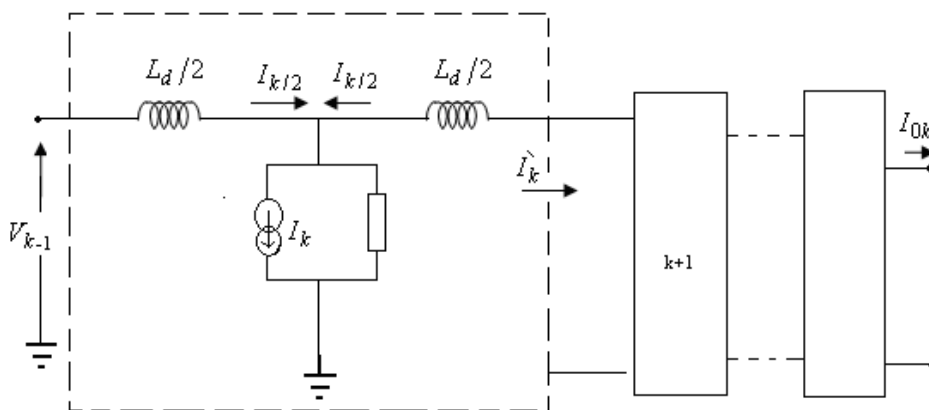


Fig.A3 : $k^{ième}$ cellule de la ligne de drain

Si le courant à l'entrée de la $(k+1)^{ième}$ cellule en T de la ligne de drain est I'_k , alors on aura :

$$I_{0k} = I'_k e^{-(N-k)\gamma_d} \quad (A10)$$

D'autre part et comme le montre la figure (A3), on a :

$$I'_k = \left(\frac{-I_k}{2} \right) \sqrt{\frac{Z_{i2}^{(d)}}{Z_{il}^{(d)}}} e^{-\frac{\gamma_d}{2}} \quad (A11)$$

$Z_{il}^{(d)}$ et $Z_{i2}^{(d)}$ sont les impédances images de la demi cellule en L de la cellule élémentaire et γ_d son exposant de transfert sur image.

La combinaison de (A9) avec (A10) donne :

$$I_{0k} = \frac{-I_k}{2} \sqrt{\frac{Z_{i2}^{(d)}}{Z_{il}^{(d)}}} e^{-\gamma_d \left(N-k+\frac{1}{2} \right)} \quad (A12)$$

qui implique avec (A9), (A10) et (A11):

$$I_t = \sum_{k=1}^N I_{0k} = \frac{-I}{2} \sqrt{\frac{Z_{i2}^{(d)}}{Z_{il}^{(d)}}} \sum_{k=1}^N I_k e^{-\gamma_d \left(N-k+\frac{1}{2} \right)} \quad (A12)$$

Comme $I_k = g_m V_{gk}$, par conséquent:

$$I_t = \frac{-g_m}{2} \sqrt{\frac{Z_{i2}^{(d)}}{Z_{il}^{(d)}}} \sum_{k=1}^N V_{gk} e^{-\gamma_d \left(N-k+\frac{1}{2} \right)} \quad (A13)$$

En remplaçant V_{gk} par sa valeur donnée en (A8) et sachant que $\gamma_g = \alpha_g + j\beta_g$ et $\gamma_d = \alpha_d + j\beta_d$, $\gamma_g = \alpha_g + j\beta_g$ on trouvera :

$$I_t = \frac{-g_m \cdot V_{in}}{2\sqrt{(1-X_c^2)(1+X_g^2)}} \sqrt{\frac{Z_{i2}^{(d)}}{Z_{il}^{(d)}}} e^{-0,5N(\alpha_g+\alpha_d)} \frac{\sinh\left[N(\alpha_g - \alpha_d)/2\right]}{\sinh\left[(\alpha_g - \alpha_d)/2\right]} \quad (A14)$$

Le gain en puissance est par définition :

$$G_p = \frac{P_{out}}{P_{in}} = \frac{|I_t|^2 R_e(Z_{i2}^{(d)})}{\left| \frac{V_{in}}{Z_{il}^{(g)}} \right|^2 R_e(Z_{il}^{(g)})} \quad (A15)$$

où $Z_{i2}^{(d)}$ étant l'impédance de charge a la sortie du montage et $Z_{il}^{(g)}$ l'impédance vue à l'entrée de la ligne grille.

En admettant qu'on a adaptation à la sortie. $Z_L^{(d)} = Z_{i1}^{(g)}$, et qu'on se place dans le cas ou on a des expressions comparables au filtre à "k" constant (c'est-à-dire $\omega_g \gg \omega_c$; $\omega_d \ll \omega_c$) :

$$Z_{i1}^{(g)} \cong Z_0^{(g)} \sqrt{1 - X_c^2}$$

$$Z_{i2}^{(d)} \cong Z_0^{(d)} \sqrt{1 - X_c^2}$$

On trouve finalement :

$$G_p = \frac{g_m^2 \cdot Z_0^{(d)} Z_0^{(g)}}{4(1 - X_c^2)(1 + X_g^2)} e^{-N(\alpha_g + \alpha_d)} \frac{\sinh^2[N(\alpha_g - \alpha_d)/2]}{\sinh^2[(\alpha_g - \alpha_d)/2]} \quad (\text{A16})$$

Annexe B: L'ADNA

I. Introduction

Nous allons calculer le gain de transfert G_T de l'amplificateur distribué à un seul étage (nommé ADNA) (fig.B1), approximé par le polynôme de Chebychev. Cette approximation est rendue possible par le choix de valeurs adéquates des impédances caractéristiques des lignes de grille et de drain. Alors que dans l'amplificateur distribué à un seul étage conventionnel (ADNAC) [18], les valeurs des impédances caractéristiques des lignes de grille et de drain sont fixées à $Z_0 = 50\Omega$. Le gain de transfert G_T sera par la suite comparé à celui de l'ADNAC et au gain en puissance de l'amplificateur distribué conventionnel (ADC).

II. Gain de transfert en puissance

Le montage de l'amplificateur ADNA est donné par la figure (B1) où le transistor est un transistor MESFET dont le modèle électrique est supposé simplifié (fig.B2).

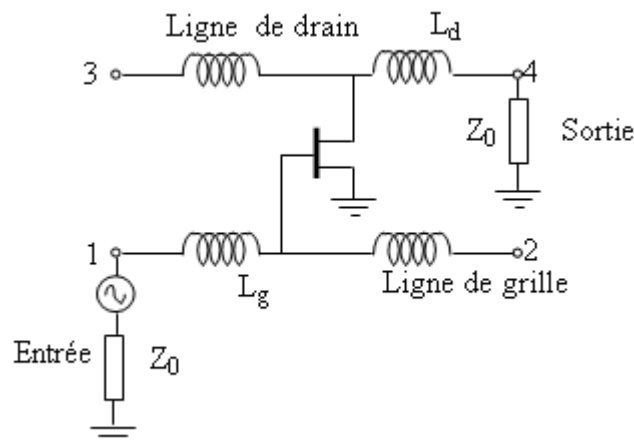


Fig.B1.: Amplificateur distribué non adapté (ADNA)

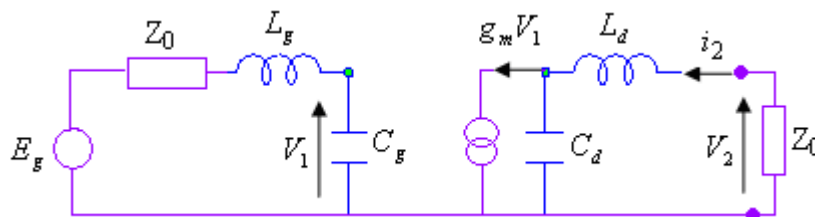


Fig.B2 : Schéma équivalent de l'ADNA

La tension à l'entrée du transistor est, après développement:

$$V_1 = \frac{E_g}{1 - L_g C_g \omega^2 + j C_g \omega Z_0} \quad (\text{B1})$$

En remplaçant le générateur de courant $g_m V_1 // C_d$ par le générateur de tension équivalent :

$$E'_g = \frac{g_m V_1}{j C_d \omega} \quad (\text{B2})$$

on obtient le schéma (fig.B3).

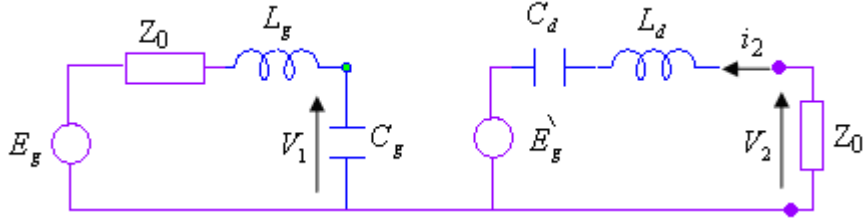


Fig.B3 : Schéma équivalent de l'ADNA

La tension et le courant de sortie valent par conséquent :

$$V_2 = \frac{E'_g C_0}{Z_0 + j \left(L_d \omega - \frac{1}{C_d \omega} \right)} = i_2 Z_0 \quad (\text{B3})$$

$$i_2 = \frac{E'_g}{Z_0 + j \left(L_d \omega - \frac{1}{C_d \omega} \right)} \quad (\text{B4})$$

D'où:

$$V_2 i_2^* = Z_0 |i_2|^2 = Z_0 \frac{|E'_g|^2}{Z_0^2 + \left(L_d \omega - \frac{1}{C_d \omega} \right)^2} \quad (\text{B5})$$

Ou bien :

$$V_2 i_2^* = \frac{Z_0 g_m^2 |V_1^*|^2}{(C_d \omega)^2 \left[Z_0^2 + \left(L_d \omega - \frac{1}{C_d \omega} \right)^2 \right]} \quad (\text{B6})$$

En combinant (B1) et (B6), on aboutit à :

$$V_2 i_2^* = Z_0 g_m^2 \frac{|E_g|^2}{\left[(1 - L_g C_g \omega^2)^2 + (C_g \omega Z_0)^2 \right]} \cdot \frac{1}{(C_d \omega)^2 \left[Z_0^2 + \left(L_d \omega - \frac{1}{C_d \omega} \right)^2 \right]} \quad (\text{B7})$$

Le gain transducique est par définition:

$$G_T = \frac{-\frac{1}{2} R_e (V_2 i_2^*)}{\frac{|E_g|^2}{8Z_0}} \quad (\text{B8})$$

En posant $\omega_{c1} = \frac{2}{\sqrt{L_g C_g}}$, nous obtenons :

$$L_g C_g = \frac{4}{\omega_{c1}^2} \quad (\text{B9})$$

Les expressions (B7), (B8) et (B9) donnent:

$$G_T = \frac{4Z_0^2 g_m^2}{\left[\left(1 - 4 \frac{\omega^2}{\omega_{c1}^2} \right)^2 + Z_0^2 C_g^2 \omega^2 \right] \left[\left(1 - L_d C_d \omega^2 \right)^2 + Z_0^2 C_d^2 \omega^2 \right]} \quad (\text{B10})$$

En posant $\alpha_1 = 2 \frac{Z_0}{Z_{c1}}$, $x = \frac{\omega}{\omega_{c1}}$, $\alpha_2 = 2 \frac{Z_0}{Z_{c2}}$, $Z_{c1} = \sqrt{\frac{L_g}{C_g}}$ et $Z_{c2} = \sqrt{\frac{L_d}{C_d}}$, le gain devient:

$$G_T = \frac{4Z_0^2 g_m^2}{\left[\left(1 - 4x^2 \right)^2 + \alpha_1^2 x^2 \right] \left[\left(1 - 4a^2 x^2 \right)^2 + \alpha_2^2 a^2 x^2 \right]} \quad (\text{B11a})$$

Le gain normalisé est :

$$g_T = \frac{G_T}{4Z_0^2 g_m^2} = \frac{1}{\left[\left(1 - 4x^2 \right)^2 + \alpha_1^2 x^2 \right] \left[\left(1 - 4a^2 x^2 \right)^2 + \alpha_2^2 a^2 x^2 \right]} \quad (\text{B11b})$$

En développant le dénominateur, on trouve:

$$D = \left[1 + (\alpha_1^2 - 8)x^2 + 16x^4 \right] \left[1 + a^2(\alpha_2^2 - 8)x^2 + 16a^4 x^4 \right] \quad \text{avec } \alpha_1^2 \leq 8 \quad \text{et } \alpha_2^2 \leq 8$$

Le dénominateur est un polynôme de degré huit, donc g_T est de la forme suivante:

$$g_T = \frac{1}{\left(1 + A_2 x^2 + A_4 x^4 + A_6 x^6 + A_8 x^8 \right)} \quad (\text{B12})$$

où :

$$\begin{aligned} A_2 &= a^2(\alpha_2^2 - 8) + (\alpha_1^2 - 8) \\ A_4 &= 16a^4 + a^2(\alpha_1^2 - 8)(\alpha_2^2 - 8) + 16 \\ A_6 &= 16a^4(\alpha_1^2 - 8) + 16a^2(\alpha_2^2 - 8) \\ A_8 &= (16)^2 a^4 \end{aligned}$$

III. Approximation polynomiale de Chebychev

Nous allons, dans ce qui suit, approximer le dénominateur du gain g_T par le polynôme de Tchebychev afin de trouver les valeurs des éléments constitutifs de l'amplificateur (L_g, C_g, L_d et C_d). Pour cela, le gain g_T doit être de la forme suivante:

$$g_T = \frac{1}{1 + \varepsilon^2 T_n^2(x)} \quad (\text{B13})$$

Prenons $T_4(x) = 8x^4 - 8x^2 + 1$, $T_4(x)$ étant le polynôme de Chebychev d'ordre 4.

$$\text{Donc } T_4^2(x) = \frac{16^2}{4} x^8 - 2 \cdot \frac{16^2}{4} x^6 + 80x^4 - 16x^2 + 1$$

$$\text{Ecrivons le dénominateur ainsi : } D = 1 + A_2 x^2 + A_4 x^4 + A_6 x^6 + A_8 x^8 = 1 + Q_n(x^2) \quad (n=4)$$

Réarrangeons le dénominateur de la forme suivante:

$$D = 1 + \varepsilon'^2 - \varepsilon'^2 + Q_n(x^2) = (1 - \varepsilon'^2) \left[1 + \frac{\varepsilon'^2}{1 - \varepsilon'^2} + \frac{Q_n(x^2)}{1 - \varepsilon'^2} \right]$$

$$\text{Ou bien } D = (1 - \varepsilon'^2) \left[1 + \frac{\varepsilon'^2}{1 - \varepsilon'^2} \left(1 + \frac{Q_n(x^2)}{\varepsilon'^2} \right) \right] \quad (\text{B14})$$

L'approximation par le polynôme de Chebychev se fait de la manière suivante ::

$$1 + \frac{\varepsilon'^2}{1 - \varepsilon'^2} \left(1 + \frac{Q_n(x^2)}{\varepsilon'^2} \right) = 1 + \varepsilon^2 T_n^2(x) \quad (\text{B15})$$

$$\text{Avec } \varepsilon^2 = \frac{\varepsilon'^2}{1 - \varepsilon'^2} \text{ et } T_n^2(x) = 1 + \frac{Q_n(x^2)}{\varepsilon'^2}$$

$$\text{Or } T_n^2(x) = \frac{16^2}{4} x^8 - 2 \frac{16^2}{4} x^6 + 80x^4 - 16x^2 + 1 \text{ et } Q_n(x^2) = A_8 x^8 + A_6 x^6 + A_4 x^4 + A_2 x^2$$

Donc par identification on trouve:

$$\left\{ \begin{array}{l} \frac{16^2}{4} = \frac{A_8}{\varepsilon'^2} \quad (\text{B16a}) \Rightarrow \frac{16^2}{4} = \frac{16^2 a^4}{\varepsilon'^2} \quad (\text{B16a}') \\ -2 \frac{16^2}{4} = \frac{A_6}{\varepsilon'^2} \quad (\text{B16b}) \Rightarrow -2 \frac{16^2}{4} = \frac{16a^4}{\varepsilon'^2} (X_1) + \frac{16a^2}{\varepsilon'^2} (X_2) \quad (\text{B16b}') \\ 80 = \frac{A_4}{\varepsilon'^2} \quad (\text{B16c}) \Rightarrow 80 = \frac{16a^4}{\varepsilon'^2} + \frac{a^2}{\varepsilon'^2} X_1 X_2 + \frac{16}{\varepsilon'^2} \quad (\text{B16c}') \\ -16 = \frac{A_2}{\varepsilon'^2} \quad (\text{B16d}) \Rightarrow -16 = \frac{a^2}{\varepsilon'^2} X_2 + \frac{X_1}{\varepsilon'^2} \quad (\text{B16d}') \end{array} \right.$$

$$\text{Avec } X_1 = \alpha_1^2 - 8 \text{ et } X_2 = \alpha_2^2 - 8$$

De (B16a'), on déduit :

$$a^4 = \frac{\varepsilon'^2}{4} \quad (\text{B17})$$

En sommant (B16b') et (B17), on trouve:

$$\frac{X_1}{4} + \frac{X_2}{2\varepsilon'} = -8 \quad (\text{B18})$$

En ajoutant (B16c') et (B17), on obtient:

$$80 = 4 + \frac{1}{2\varepsilon'^2} X_1 X_2 + \frac{16}{\varepsilon'^2} \quad (\text{B19})$$

En sommant (B16d') et (B17), on trouve:

$$-16 = \frac{X_2}{2\varepsilon'} + \frac{X_1}{\varepsilon'^2} \quad (\text{B20})$$

En multipliant (B18) par X_1 , on trouve:

$$\frac{X_1 X_2}{2\varepsilon'} = -\frac{X_1^2}{4} - 8X_1 \quad (\text{B21})$$

En multipliant (B19) par X_1 on trouve:

$$\frac{X_1 X_2}{2\varepsilon'} = 76 - \frac{16}{\varepsilon'^2} \quad (\text{B22})$$

En multipliant (B20) par X_1 on trouve:

$$\frac{X_1 X_2}{2\varepsilon'} = -\frac{X_1^2}{\varepsilon'^2} - 16X_1 \quad (\text{B23})$$

De (B18), on trouve:

$$\frac{X_2}{2\varepsilon'} = -8 - \frac{X_1}{4} \quad (\text{B24})$$

En sommant (B22) et (B24), on trouve:

$$76 = -X_1 \left(8 + \frac{X_1}{4} \right) + \frac{16}{\varepsilon'^2} \quad (\text{B25})$$

En additionnant (B23) et (B24), on obtient :

$$-16 = -\left(8 + \frac{X_1}{4} \right) + \frac{X_2}{\varepsilon'^2} \quad (\text{B26})$$

De (B25) et (B26), on aboutit respectivement à:

$$\frac{76}{16} + \frac{X_1}{16} \left(8 + \frac{X_1}{4} \right) = \frac{1}{\varepsilon'^2} \quad (\text{B27})$$

$$\frac{-16}{X_1} + \frac{1}{X_1} \left(8 + \frac{X_1}{4} \right) = \frac{1}{\varepsilon'^2} \quad (\text{B28})$$

En égalant (B27) et (B28) et après simplification, on obtient:

$$\frac{9X_1}{2} + \frac{X_1^2}{2} + \frac{X_1^3}{64} = -8 \quad (\text{B29})$$

La résolution de (B29) nous donne:

$$-2,3 \leq X_1 \leq -2,4 \quad (\text{B30})$$

Comme on a $X_1 = \alpha_1^2 - 8$, alors :

$$5,6 \leq \alpha_1^2 \leq 5,7 \quad (\text{B31})$$

$$2,36 \leq \alpha_1 \leq 2,38 \quad (\text{B32})$$

En remplaçant $\alpha_1 = 2 \frac{Z_0}{Z_{c1}}$ dans (B32) on trouve:

$$1,18 \geq \frac{Z_0}{Z_{C1}} \geq 1,17 \quad (\text{B33})$$

(B33) indique qu'il y a effectivement amélioration de la bande passante.

En remplaçant X_1 par sa valeur donnée par (B30) dans (B27), on obtient:

$$\varepsilon'^2 \approx 0,27 \quad (\text{B34})$$

Le taux d'ondulation est:

$$\varepsilon^2 = \frac{\varepsilon'^2}{1 - \varepsilon'^2} = 0,37 \quad (\text{B35})$$

En combinant (B17) avec (B35), on a:

$$a^4 = \frac{\varepsilon'^2}{4} = 0,0675$$

$$a \approx 0,511 \quad (\text{B36})$$

En combinant (B24), (B30) et (B34), on obtient :

$$X_2 = -7,62 \quad (\text{B37})$$

Etant donné $X_2 = \alpha_2^2 - 8$, par conséquent :

$$\alpha_2 = 0,503 \quad (\text{B38})$$

Ce qui implique :

$$\frac{Z_0}{Z_{C2}} = 0,278 \quad (\text{B39})$$

Pour établir les expressions donnant les paramètres de conception que sont les inductances des lignes de grille et de drain L_g et L_d , et la capacité au niveau du drain du transistor, on utilise le système d'équation suivant:

$$\left\{ \begin{array}{l} a \approx 0.509 \\ \frac{Z_0}{Z_{C1}} = 1.18 \\ \frac{Z_0}{Z_{C2}} = 0.278 \end{array} \right. \quad (\text{B40})$$

et les relations $Z_{c1} = \sqrt{\frac{L_g}{C_g}}$; $Z_{c2} = \sqrt{\frac{L_d}{C_d}}$ et $a = \frac{\sqrt{L_d C_d}}{\sqrt{L_g C_g}}$

Finalement, on obtient :

$$\begin{aligned} C_d &= 0.109C_g \\ L_g &= 1768C_g \\ L_d &= 4268C_g \end{aligned} \quad (\text{B41})$$

Il suffit donc seulement de connaître la capacité de grille C_g du transistor pour procéder à la conception.

Annexe C :

L'ADNAG

I. Introduction:

Comme les deux amplificateurs ADNA et ADNAG sont identiques, alors le gain de l'ADNAG est le même que celui de l'ADNA il suffit juste d'ajouter le paramètre ζ à l'expression de la fréquence de coupure.

II. Gain de l'ADNAG

L'expression du gain de l'ADNAG devient, en remplaçant (B.7) dans (B.8)

$$G_T = \frac{4Z_0^2 g_m^2}{\left[(1 - L_g C_g \omega^2)^2 + Z_0^2 C_g^2 \omega^2 \right] \left[(1 - L_d C_D \omega^2)^2 + Z_0^2 C_d^2 \omega^2 \right]} \quad (C.1)$$

Nous définissons une autre fréquence de coupure, en introduisant un nouveau paramètre noté ζ que nous pouvons modifier selon certaines critères tel que :

$$\omega_{c1} = \frac{2\zeta}{\sqrt{L_g C_g}} \quad (C.2)$$

la pulsation (fréquence) de coupure de la ligne de grille.

On obtient après quelques arrangements:

$$L_g C_g \omega^2 = 4\zeta^2 x^2 \quad (C.3)$$

Avec $x = \frac{\omega}{\omega_{c1}}$ est la fréquence normalisée par rapport à ω_{c1} .

Sachant que

$$Z_{c1} = \sqrt{\frac{L_g}{C_g}} \quad (C.4)$$

l'impédance caractéristique, à des fréquences relativement basses, des circuits k-constants constituant la ligne de grille.

On a alors

$$Z_{c1} C_g = \sqrt{L_g C_g} \quad (C.5)$$

En tenant compte de l'équation (C.2) on aura en remplaçant (C.5) dans (C.2)

$$C_g = \frac{2\zeta}{Z_{c1}\omega_{c1}} \quad (\text{C. 6})$$

En multipliant par ωZ_0 on trouve

$$C_g \omega Z_0 = \frac{2\zeta Z_0}{Z_{c1}} \cdot \frac{\omega}{\omega_{c1}} \quad (\text{C. 7})$$

On posons

$$\alpha_1 = 2 \frac{Z_0}{Z_{c1}} \quad (\text{C. 8})$$

On aura donc (D.8) qui devient

$$C_g \omega Z_0 = \zeta \alpha_1 x \quad (\text{C. 9})$$

Maintenant on pose

$$\omega_{c2} = \frac{2}{\sqrt{L_d C_d}} \quad (\text{C. 10})$$

On obtient alors :

$$L_d C_d = \frac{4}{\omega_{c2}^2} \quad (\text{C. 11})$$

En multipliant les deux termes par ω^2 on trouve

$$L_d C_d \omega^2 = \frac{4\omega^2}{\omega_{c2}^2} \quad (\text{C. 12})$$

En multipliant le numérateur et le dénominateur par ω_{c1}^2 on aura

$$L_d C_d \omega^2 = \frac{4\omega^2}{\omega_{c1}^2} \frac{\omega_{c1}^2}{\omega_{c2}^2} \quad (\text{C. 13})$$

On aura finalement

$$L_d C_d \omega^2 = 4x^2 a^2 \quad (\text{C. 14})$$

Avec $a = \frac{\omega_{c1}}{\omega_{c2}}$

Sachant que $Z_{c2} = \sqrt{\frac{L_d}{C_d}}$ l'impédance caractéristique, à des fréquences relativement basses,

des circuits k-constants constituant la ligne de drain

On aura

$$Z_{c2}C_d = \sqrt{L_d C_d} \quad (\text{C.15})$$

En remplaçant (C.15) dans (C.10) on trouve

$$C_d = \frac{2}{Z_{c2}\omega_{c2}} \quad (\text{C.16})$$

En multipliant (C.16) par ωZ_0 on obtient

$$C_d\omega Z_0 = \frac{2Z_0}{Z_{c2}} \frac{\omega}{\omega_{c2}} \quad (\text{C.17})$$

En multipliant le numérateur et le dénominateur par ω_{c1} on trouve

$$C_d\omega Z_0 = \frac{2Z_0}{Z_{c2}} \frac{\omega}{\omega_{c1}} \frac{\omega_{c1}}{\omega_{c2}} \quad (\text{C.18})$$

On aura finalement

$$C_d\omega Z_0 = \alpha_2 x a \quad (\text{C.19})$$

Avec $\alpha_2 = 2 \frac{Z_0}{Z_{c2}}$

En remplaçant les équations (C.5, C.10, C.15 et C.19) dans la formule du gain (équation C.1) on trouve

$$G_T = \frac{4Z_0^2 g_m^2}{[(1 - 4\zeta^2 x^2)^2 + \zeta^2 \alpha_1^2 x^2][(1 - 4a^2 x^2)^2 + \alpha_2^2 a^2 x^2]} \quad (\text{C.20})$$

En normalisant le gain G_T par rapport à la quantité $4Z_0^2 g_m^2$, nous obtenons l'expression suivante :

$$g_T = \frac{G_T}{4Z_0^2 g_m^2} = \frac{1}{[(1 - 4\zeta^2 x^2)^2 + \zeta^2 \alpha_1^2 x^2][(1 - 4a^2 x^2)^2 + \alpha_2^2 a^2 x^2]} \quad (\text{C.21})$$

Cette expression contient des grandeurs sans dimensions ; elle peut donc s'appliquer à n'importe quel transistor et à n'importe quelle ligne, ce qui constitue en fait un grand avantage.

En développant le dénominateur, on trouve:

$$D = [1 + \zeta^2(\alpha_1^2 - 8)x^2 + 16\zeta^4 x^4][1 + a^2(\alpha_2^2 - 8)x^2 + 16a^4 x^4] \quad (\text{C.22})$$

Le dénominateur est un polynôme de degré huit, est a la même forme que (C.12) :

Où :

$$\begin{cases} A_2 = a^2(\alpha_2^2 - 8) + \zeta^2(\alpha_1^2 - 8) \\ A_4 = 16a^4 + \zeta^2 a^2(\alpha_1^2 - 8)(\alpha_2^2 - 8) + 16\zeta^4 \\ A_6 = 16\zeta^2 a^4(\alpha_1^2 - 8) + 16\zeta^4 a^2(\alpha_2^2 - 8) \\ A_8 = (16)^2 \zeta^4 a^4 \end{cases} \quad (\text{C.23})$$

Approximation polynomiale de Chebychev

Cette approximation nous impose d'écrire d'abord le gain g_T sous la forme

$$g_T = \frac{1}{1 + \varepsilon^2 T_n^2(x)} \quad (\text{C.24})$$

Ce qui veut dire écrire le dénominateur de g_T sous la forme $D = 1 + Q_n(x)$

L'approximation est la même que celle présenté précédemment (dans l'annexe B), et nous aboutissons aussi au système (IV.12), mais les paramètres A vont s'exprimer selon le système (C.23).

En remplaçant donc (C.23) dans (IV.12) nous trouvons

$$\Rightarrow \begin{cases} 64 = \frac{16^2 \zeta^4 a^4}{\varepsilon'^2} & (a) \\ -128 = \frac{16\zeta^2 a^4}{\varepsilon'^2} (X_1) + \frac{16\zeta^4 a^2}{\varepsilon'^2} (X_2) & (b) \\ 80 = \frac{16^4 a^4}{\varepsilon'^2} + \frac{\zeta^2 a^2}{\varepsilon'^2} X_1 X_2 + \frac{16\zeta^4}{\varepsilon'^2} & (c) \\ -16 = \frac{a^2}{\varepsilon'^2} X_2 + \frac{\zeta^2}{\varepsilon'^2} X_1 & (d) \end{cases} \quad (\text{C.25})$$

Avec

$$X_1 = \alpha_1^2 - 8 \quad \text{et} \quad X_2 = \alpha_2^2 - 8$$

Ce système est non linéaire et comprend quatre équations à cinq inconnues ζ , a , ε' , X_1 et X_2 . Le résultat de la résolution de ce système donnera donc des équations littérales dans lesquelles nous exprimerons a , ε' , X_1 et X_2 en fonction de ζ .

De (C.25.a), nous déduisons :

$$a^4 = \frac{\varepsilon'^2}{4\zeta^4} \quad (\text{C.26})$$

En remplaçant (C.26) dans (C.25.b) nous trouvons:

$$\frac{X_1}{4\zeta^2} + \frac{\beta^2}{2\varepsilon'} X_2 = -8 \quad (\text{C.27})$$

En remplaçant (C.26) dans (C.25.c) nous obtenons:

$$80 = \frac{4}{\zeta^4} + \frac{1}{2\varepsilon'^2} X_1 X_2 + \frac{16\zeta^4}{\varepsilon'^2} \quad (\text{C.28})$$

En remplaçant (C.26) dans (C.25.d) on trouve:

$$-16 = \frac{X_2}{2\zeta^2\varepsilon'} + \frac{\zeta^2}{\varepsilon'^2} X_1 \quad (\text{C.29})$$

A partir de (C.26) et (C.29) nous trouvons :

$$X_1 = \frac{8 \left[2\zeta^2 - \frac{1}{\zeta^2} \right]}{\frac{1}{4\zeta^4} - \frac{\zeta^4}{\varepsilon'^2}} \quad (\text{C.30})$$

A partir de (C.27) et (C.30) nous trouvons :

$$X_2 = -\frac{16\varepsilon'}{\zeta^2} - \frac{2\varepsilon'}{4\zeta^4} X_1 \quad (\text{C.31})$$

En multipliant (C.31) par X_1 nous aurons :

$$X_2 X_1 = -\frac{16\varepsilon' X_1}{\zeta^2} - \frac{2\varepsilon'}{4\zeta^4} X_1^2 \quad (\text{C.32})$$

Qui est égale à

$$X_2 X_1 = -2\varepsilon' \left[\frac{8X_1}{\zeta^2} + \frac{X_1^2}{4\zeta^4} \right] \quad (\text{C.33})$$

On obtient alors

$$\frac{X_2 X_1}{2\varepsilon'} = - \left[\frac{8X_1}{\zeta^2} + \frac{X_1^2}{4\zeta^4} \right] \quad (\text{C.34})$$

En remplaçant (C.30) dans (C.34) nous trouvons

$$\frac{X_2 X_1}{2\varepsilon'} = -\frac{64 \left[2 - \frac{1}{\zeta^4}\right]}{\frac{1}{4\zeta^4} - \frac{\zeta^4}{\varepsilon'^2}} - \frac{16 \left[2 - \frac{1}{\zeta^4}\right]}{\left[\frac{1}{4\zeta^4} - \frac{\zeta^4}{\varepsilon'^2}\right]^2} \quad (\text{C.35})$$

A partir de (C.28) et (C.35) nous aurons :

$$80 = \frac{4}{\zeta^4} + -\frac{64 \left[2 - \frac{1}{\zeta^4}\right]}{\frac{1}{4\zeta^4} - \frac{\zeta^4}{\varepsilon'^2}} - \frac{16 \left[2 - \frac{1}{\zeta^4}\right]}{\left[\frac{1}{4\zeta^4} - \frac{\zeta^4}{\varepsilon'^2}\right]^2} + \frac{16\zeta^4}{\varepsilon'^2} \quad (\text{C.36})$$

La simplification de (C.36) nous donne :

$$\varepsilon'^6 B_6 + \varepsilon'^4 B_4 + \varepsilon'^2 B_2 + B_0 = 0 \quad (\text{C.37})$$

Avec

$$\begin{cases} B_6 = \frac{5}{4\zeta^4} - \frac{1}{16\zeta^8} + 16\zeta^4 - 8 \\ B_4 = 6\zeta^4 - 32\zeta^8 + \frac{1}{4} \\ B_2 = 20\zeta^{12} + \zeta^8 \\ B_0 = -4\zeta^{16} \end{cases}$$

On abouti alors à un polynôme de degré 6 fonction de ε' qui pour chaque valeur de ζ possède 6 solution des qu'elles on doit choisir uniquement une seule, d'abord on élimine les solutions complexe et négative, ensuite parmi les solutions réel et positive restante on doit choisir celle qui nous donne le taux d'ondulations ε le plus faible.

Donc pour chaque valeur de ε' va correspondre une valeur spécifique du taux d'ondulations ε , ainsi que les valeurs des paramètres de conception L_g, L_d et C_d de l'amplificateur, qui seront calculées en utilisant les équations développées précédemment et qui vont être fonction de C_{gs} comme suit.

$$\begin{cases} L_g = \frac{4Z_0^2}{\alpha_1^2} C_{gs} \\ C_d = \frac{a \cdot \alpha_2}{\alpha_1 \zeta} C_{gs} \\ L_d = \frac{4Z_0^2}{\alpha_2 \cdot \alpha_1} \cdot \frac{a}{\zeta} \cdot C_{gs} \end{cases} \quad (\text{C.38})$$

Avec a, α_1 et α_2 sont définie à partir des équations précédentes.

Annexe D

Datasheet du transistor EFA018A

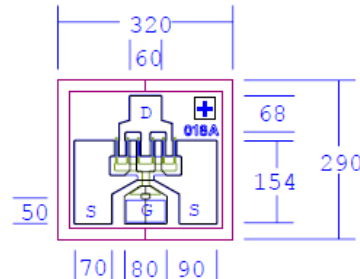


EFA018A

Low Distortion GaAs Power FET

FEATURES

- VERY HIGH f_{max} : 100GHz
- +18.5dBm TYPICAL OUTPUT POWER
- 11.5dB TYPICAL POWER GAIN AT 12GHz
- TYPICAL 1.1dB NOISE FIGURE AND 10.5dB ASSOCIATED GAIN AT 12GHz
- 0.3 X 180 MICRON RECESSED "MUSHROOM" GATE
- Si_3N_4 PASSIVATION
- ADVANCED EPITAXIAL DOPING PROFILE PROVIDES HIGH POWER EFFICIENCY, LINEARITY AND RELIABILITY
- I_{dss} SORTED IN 5mA PER BIN RANGE



Chip Thickness: 75 ± 13 microns
All Dimensions In Microns

ELECTRICAL CHARACTERISTICS ($T_a = 25^\circ C$)

SYMBOLS	PARAMETERS/TEST CONDITIONS	MIN	TYP	MAX	UNIT
P_{1dB}	Output Power at 1dB Compression $V_{ds}=6V, I_{ds}=50\% I_{dss}$		f=12GHz 18.5* f=18GHz 18.5*		dBm
G_{1dB}	Gain at 1dB Compression $V_{ds}=6V, I_{ds}=50\% I_{dss}$	9.5	f=12GHz 11.5 f=18GHz 9.5		dB
PAE	Power Added Efficiency at 1dB Compression $V_{ds}=6V, I_{ds}=50\% I_{dss}$		f=12GHz 35		%
NF	Noise Figure $V_{ds}=2V, I_{ds}=15mA$		f=12GHz 1.1		dB
Ga	Associated Gain $V_{ds}=2V, I_{ds}=15mA$		f=12GHz 10.5		dB
I_{dss}	Saturated Drain Current $V_{ds}=3V, V_{gs}=0V$	25	50	80	mA
Gm	Transconductance $V_{ds}=3V, V_{gs}=0V$	20	30		mS
V_p	Pinch-off Voltage $V_{ds}=3V, I_{ds}=1.0mA$		-2.0	-3.5	V
BVgd	Drain Breakdown Voltage $I_{gd}=0.5mA$	-10	-15		V
BVgs	Source Breakdown Voltage $I_{gs}=0.5mA$	-7	-14		V
Rth	Thermal Resistance (Au-Sn Eutectic Attach)		185		$^\circ C/W$

* $P_{1dB} = 19.5dBm$ can be obtained with 8v/50% I_{dss} bias. Consult factory for wafer selection.

MAXIMUM RATINGS AT 25 $^\circ C$

SYMBOLS	PARAMETERS	ABSOLUTE ¹	CONTINUOUS ²
V_{ds}	Drain-Source Voltage	12V	6V
V_{gs}	Gate-Source Voltage	-8V	-4V
I_{ds}	Drain Current	I_{dss}	I_{dss}
I_{gsf}	Forward Gate Current	4mA	0.7mA
Pin	Input Power	17dBm	@ 3dB Compression
Tch	Channel Temperature	175 $^\circ C$	150 $^\circ C$
Tstg	Storage Temperature	-65/175 $^\circ C$	-65/150 $^\circ C$
Pt	Total Power Dissipation	740mW	625mW

Note: 1. Exceeding any of the above ratings may result in permanent damage.

2. Exceeding any of the above ratings may reduce MTTF below design goals.

Specifications are subject to change without notice.

Excelics Semiconductor, Inc. 310 De Guigne Drive, Sunnyvale, CA 94085
Phone: 408-737-1711 Fax: 408-737-1868 Web: www.excelics.com

page 1 of 3
Rev. 01



EFA018A

Low Distortion GaAs Power FET

S-PARAMETERS

6V, 1/2 Idss									2V, 15mA								
FREQ	--- S11 ---		--- S21 ---		--- S12 ---		--- S22 ---		FREQ	--- S11 ---		--- S21 ---		--- S12 ---		--- S22 ---	
(GHz)	MAG	ANG	MAG	ANG	MAG	ANG	MAG	ANG	(GHz)	MAG	ANG	MAG	ANG	MAG	ANG	MAG	ANG
1	0.99	-9.7	3.06	171	0.01	80.4	0.79	-3.1	1	1.01	-7.4	2.55	173	0.02	85.8	0.53	-4
2	0.98	-19.5	3.02	164	0.02	79.1	0.78	-6.9	2	1.01	-14.7	2.54	167	0.03	78.5	0.53	-8.9
3	0.97	-29.1	2.98	156	0.03	73.7	0.78	-10.4	3	1	-22.3	2.53	160	0.04	74.9	0.53	-14
4	0.96	-39	2.93	148	0.04	67.8	0.77	-14.2	4	0.99	-30	2.52	153	0.06	69.9	0.52	-19.3
5	0.94	-49.2	2.89	141	0.05	63	0.76	-18	5	0.98	-38.7	2.53	146	0.07	63.8	0.5	-25.3
6	0.93	-58.8	2.82	133	0.06	56.4	0.75	-21.6	6	0.97	-47.3	2.5	139	0.09	58.5	0.49	-31.2
7	0.91	-67.9	2.74	125	0.06	51.1	0.74	-25.4	7	0.96	-55.9	2.46	132	0.1	52.9	0.48	-37.5
8	0.89	-77.1	2.66	118	0.07	45.2	0.73	-28.8	8	0.94	-64.1	2.41	125	0.11	46.9	0.46	-43.7
9	0.88	-85.4	2.57	111	0.08	40.1	0.72	-32.2	9	0.93	-72.4	2.35	118	0.12	41.5	0.45	-49.7
10	0.86	-93.4	2.49	105	0.08	34.8	0.7	-35.5	10	0.92	-79.8	2.28	112	0.12	36.4	0.44	-55
11	0.85	-101	2.43	98.1	0.08	30.9	0.7	-38.6	11	0.9	-86.9	2.23	105	0.13	31.5	0.43	-59.9
12	0.84	-109	2.35	92.1	0.09	26.1	0.68	-41.2	12	0.89	-94	2.17	99.5	0.14	27	0.42	-64.5
13	0.82	-117	2.29	85.8	0.09	21	0.67	-44	13	0.88	-101	2.12	93.5	0.15	22.2	0.41	-68.7
14	0.81	-125	2.25	79.6	0.1	17.5	0.66	-46.4	14	0.86	-108	2.09	87.7	0.15	17.6	0.39	-72.7
15	0.8	-134	2.21	73.2	0.1	12.9	0.64	-49	15	0.85	-116	2.07	82	0.16	13.1	0.38	-76.7
16	0.79	-144	2.2	66.5	0.1	8.8	0.63	-51.2	16	0.84	-124	2.06	75.8	0.17	8.8	0.36	-81.8
17	0.78	-154	2.15	59.8	0.11	4.9	0.61	-53.9	17	0.82	-134	2.04	69.1	0.18	3.5	0.33	-87.2
18	0.77	-164	2.09	52.8	0.11	0.2	0.59	-56.3	18	0.82	-144	2.01	62.4	0.19	-2	0.3	-94.2
19	0.77	-175	2.05	45.8	0.11	-3.5	0.57	-59.6	19	0.81	-155	1.97	55.1	0.19	-7.3	0.27	-102
20	0.77	175	1.98	38.7	0.12	-7.7	0.55	-62.9	20	0.8	-166	1.92	47.7	0.2	-13	0.24	-113
21	0.78	166.2	1.89	31.8	0.12	-13	0.52	-68.7	21	0.81	-175	1.78	40.4	0.19	-18	0.22	-133
22	0.79	158.1	1.79	25.4	0.12	-16	0.51	-73.4	22	0.8	176.9	1.7	34.6	0.19	-23	0.22	-144
23	0.79	151.4	1.7	19.1	0.11	-19	0.51	-78.9	23	0.82	169.5	1.63	28.5	0.19	-27	0.23	-155
24	0.8	145.8	1.62	13.3	0.11	-21	0.51	-84.3	24	0.82	164.8	1.54	23	0.19	-31	0.24	-162
25	0.8	142.4	1.53	8.3	0.11	-25	0.52	-89.1	25	0.82	159.8	1.49	18.3	0.18	-34	0.26	-167
26	0.8	139.5	1.47	4.3	0.11	-26	0.53	-94.4	26	0.84	157.1	1.42	13.9	0.18	-36	0.27	-170
27	0.81	137.7	1.42	-0.9	0.11	-27	0.54	-99.3	27	0.82	154.5	1.36	9.9	0.18	-39	0.28	-172
28	0.81	135.5	1.39	-5.3	0.11	-29	0.55	-105	28	0.83	152.5	1.32	5.9	0.18	-41	0.28	-173
29	0.8	133.5	1.37	-9.7	0.11	-29	0.55	-110	29	0.83	150.3	1.29	1.8	0.18	-43	0.29	-175
30	0.8	131.8	1.34	-14.2	0.11	-31	0.56	-114	30	0.83	147	1.27	-2.5	0.18	-46	0.3	-176
31	0.79	127.8	1.32	-19.1	0.11	-34	0.56	-119	31	0.82	143.5	1.24	-6.3	0.18	-49	0.29	-179
32	0.79	122.2	1.3	-25	0.11	-37	0.55	-124	32	0.82	138.1	1.22	-11.6	0.17	-53	0.29	176.4
33	0.78	117.3	1.25	-29.9	0.11	-41	0.54	-130	33	0.8	133	1.17	-16.2	0.17	-57	0.28	169
34	0.77	111.3	1.22	-36.5	0.11	-44	0.52	-136	34	0.81	126	1.14	-21.5	0.17	-62	0.28	162
35	0.81	103.9	1.19	-42.3	0.1	-50	0.51	-143	35	0.81	120.1	1.09	-26.5	0.17	-66	0.27	149.4
36	0.82	97.8	1.15	-48.1	0.1	-53	0.5	-150	36	0.83	111.8	1.05	-31.6	0.16	-72	0.3	137.7
37	0.86	88.5	1.11	-55	0.1	-59	0.5	-157	37	0.86	106.2	1	-37.4	0.16	-78	0.32	125
38	0.88	84.3	1.06	-60.8	0.1	-62	0.52	-165	38	0.88	100.1	0.95	-43	0.16	-84	0.36	116.9
39	0.89	78	0.99	-67.9	0.1	-69	0.53	-172	39	0.91	94.9	0.89	-49.1	0.16	-89	0.41	109.5
40	0.91	74.5	0.92	-73.7	0.1	-71	0.55	-179	40	0.92	91	0.82	-54.9	0.15	-96	0.45	106.1

Note: The data included 0.7 mils diameter Au bonding wires:
1 gate wire, 15 mils each; 1 drain wire, 20 mils each; 6 source wires, 8 mils each.



EFA018A

Low Distortion GaAs Power FET

DISCLAIMER

EXCELICS SEMICONDUCTOR RESERVES THE RIGHT TO MAKE CHANGES WITHOUT FURTHER NOTICE TO ANY PRODUCTS HEREIN TO IMPROVE RELIABILITY, FUNCTION OR DESIGN. EXCELICS DOES NOT ASSUME ANY LIABILITY ARISING OUT OF THE APPLICATION OR USE OF ANY PRODUCT OR CIRCUIT DESCRIBED HEREIN.

LIFE SUPPORT POLICY

EXCELICS SEMICONDUCTOR PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF EXCELICS SEMICONDUCTOR, INC.

AS HERE IN:

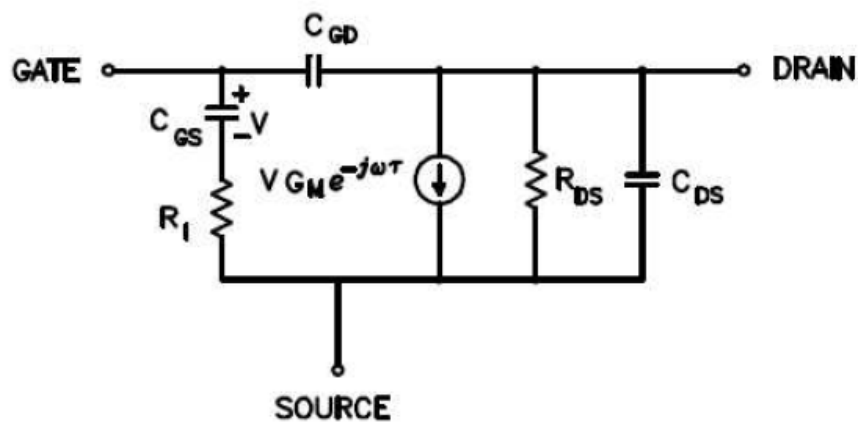
1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, or (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in significant injury to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.



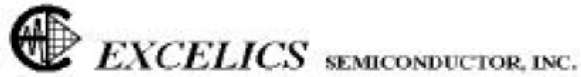
EXCELICS SEMICONDUCTOR, INC.

Small Signal Equivalent Circuit Model

The small signal model shown below can be useful for extrapolating and interpolating the S-parameters as well as for use in circuit simulators that cannot handle S-parameters directly. The element values are derived by fitting the calculated S-parameters of the model to measured data. The bias points and bonding configuration are as described in the individual device data sheets.



Parameter	C_{GS}	R_I	C_{GD}	R_{DS}	C_{DS}	G_M	τ
Units	pF	Ω	pF	Ω	pF	mS	pS
Device:							
EFA018A	0.17	0.53	0.016	560	0.006	32	2.4



**Large Signal Model Parameters for Curtice-Cubic Model For Low Distortion GaAs Power FETs
(Curtice-Ettenburg Model)**

<i>Parameter</i>	<i>Units</i>	EFA018A
BETA	1/V	0.0234
GAMMA	1/V	1.31
VOUT0	V	3.9
VT0	V	-1.7
A0	A	0.0636
A1	A/V	0.0704
A2	A/V ²	0.0235
A3	A/V ³	0.00232
TAU	S	2.00E-12
R1	ohm	0
R2	ohm	0
VB0	V	1.50E+01
VBI	V	1
RF	ohm	0
IS	A	1.40E-14
N	-	1.4
RDS	ohm	547
CRF	F	1.00E-08
RD	ohm	1.3
RG	ohm	2.5
RS	ohm	4.3
RIN	ohm	2.1
CGSO	F	1.63E-13
CGDO	F	1.80E-14
FC	-	0.5
CDS	F	6.00E-14
CGS	F	0
CGD	F	0
KF4	-	0
AF	-	1
TNOM	°C	27
XII		3
EG	eV	1.11
VT0TC	V/°C	0
BETATCE	%°C	0
FFE	-	1
LD	nH	0.3
LS	nH	0.04
LG	nH	0.2

Annexe E :

Gain du FILTRE passe-bas proposé

1 Introduction

Dans cette annexe, nous allons calculer le gain du filtre proposé au chapitre 8 en utilisant la méthode des modes pairs et impairs. Cette méthode met en relation les ondes de puissance réfléchies et les ondes de puissance incidentes.

2 Calcul du gain du filtre

Le filtre est de la forme suivante :

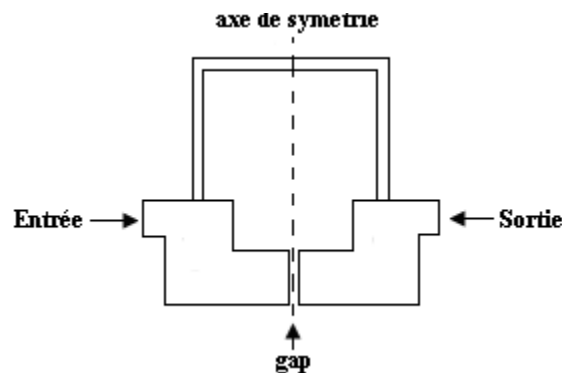


Figure E.1 : Schéma du filtre.

Avec la décomposition en modes pair et impair, il devient plus simple de calculer la matrice S de ce coupleur, et ce d'autant plus qu'il présente un axe de symétrie.

Avant de procéder au calcul du gain nous devons d'abord remplacer le gap par son schéma équivalent.

Le gap microruban peut être remplacé par son schéma équivalent comme le montre la figure E.2.

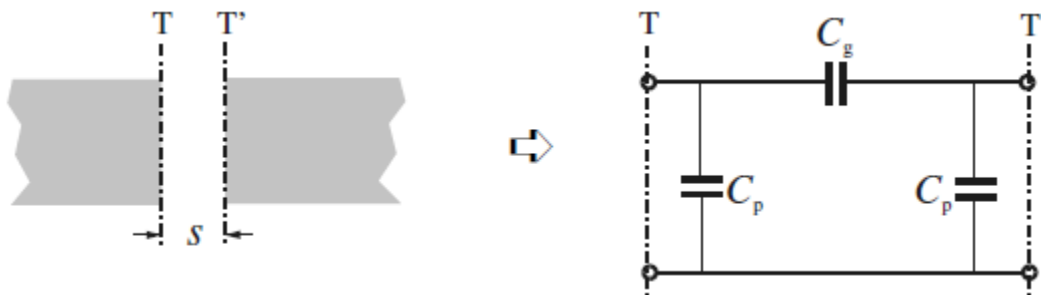


Figure E.2 : Schéma équivalent du gap.

Les capacités shunts et séries du gap peuvent être déterminé par [49] :

$$\begin{cases} C_p = 0.5C_e \\ C_g = 0.5C_0 - 0.25C_e \end{cases} \quad (\text{E. 1})$$

Ou

$$\begin{cases} \frac{C_0}{W} (pF/m) = \left(\frac{\epsilon_r}{9.6}\right)^{0.8} \left(\frac{s}{W}\right)^{m_0} \exp(k_0) \\ \frac{C_e}{W} (pF/m) = 12 \left(\frac{\epsilon_r}{9.6}\right)^{0.9} \left(\frac{s}{W}\right)^{m_e} \exp(k_e) \end{cases} \quad (\text{E. 2})$$

Avec

$$\begin{cases} m_0 = \frac{W}{h} [0.619 \log(W/h) - 0.3853] \\ k_0 = 4.26 - \log(W/h) \end{cases} \quad \text{pour } 0.1 \leq s/W \leq 1 \quad (\text{E. 3})$$

$$\begin{cases} m_e = 0.8675 \\ k_e = 2.043 \left(\frac{W}{h}\right)^{0.12} \end{cases} \quad \text{pour } 0.1 \leq s/W \leq 0.3 \quad (\text{E. 4})$$

$$\begin{cases} m_e = \frac{1.565}{(W/h)^{0.16}} - 1 \\ k_e = 1.97 - \frac{0.03}{W/h} \end{cases} \quad \text{pour } 0.3 \leq s/W \leq 1 \quad (\text{E. 5})$$

Mode pair

Le mode pair consiste à placer un mur magnétique $Z = \infty$ au niveau de l'axe de symétrie

Le schéma équivalent de la demi-section devient alors (Figure E.3).

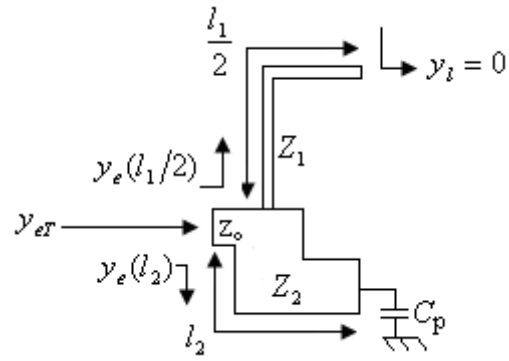


Figure E.3 : demi-section du filtre pour le mode pair.

L'impédance d'entrée y_{eT} de ce circuit est

$$y_{eT} = y_e\left(\frac{l_1}{2}\right) + y_e(l_2) \quad (\text{E. 6})$$

avec

$$y_e\left(\frac{l_1}{2}\right) = y_1 \frac{y_l + jy_1 \operatorname{tg}\left(\beta \frac{l_1}{2}\right)}{y_1 + jy_l \operatorname{tg}\left(\beta \frac{l_1}{2}\right)} \quad (\text{E. 7})$$

$$y_e\left(\frac{l_1}{2}\right) = jy_1 \operatorname{tg}\left(\beta \frac{l_1}{2}\right) \quad (\text{E. 8})$$

et

$$y_e(l_2) = y_2 \frac{jc_1\omega + jy_2 \operatorname{tg}(\beta l_2)}{y_2 - c_1\omega \operatorname{tg}(\beta l_2)} \quad (\text{E. 9})$$

Sachant que

$$l_2 + \frac{l_1}{2} = \frac{\lambda_0}{8} \quad \text{à } f = f_0$$

$$y_e(l_2) = y_2 \frac{j c_p \omega + j y_2 t g \left(\beta \left(\frac{\lambda_0}{8} - l_1/2 \right) \right)}{y_2 - c_p \omega t g \left(\beta \left(\frac{\lambda_0}{8} - l_1/2 \right) \right)} \quad (\text{E. 10})$$

Mode impair

Le mode pair consiste à placer un mur électrique $Z = 0$ au niveau de l'axe de symétrie

Le schéma équivalent de la demi-section devient alors (Figure E.4).

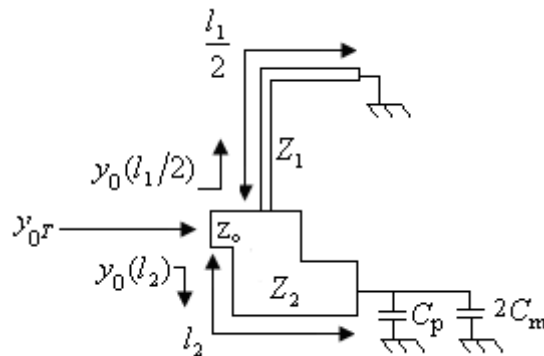


Figure E.4 : Schéma équivalent de la demi-cellule du filtre en mode impair.

L'impédance d'entrée y_{0T} de ce circuit est

$$y_{0T} = y_0 \left(l_1/2 \right) + y_0(l_2) \quad (\text{E. 11})$$

Avec

$$y_0 \left(l_1/2 \right) = \frac{y_1}{j t g \left(\beta \left(l_1/2 \right) \right)} \quad (\text{E. 12})$$

Et

$$y_0(l_2) = y_2 \frac{j c_{eq} \omega + j y_2 t g \left(\beta \left(\frac{\lambda_0}{8} - l_1/2 \right) \right)}{y_2 - c_{eq} \omega t g \left(\beta \left(\frac{\lambda_0}{8} - l_1/2 \right) \right)} \quad (\text{E. 13})$$

Avec $C_{eq} = C_P // 2C_m$

Posons

$$l_1 = \alpha \lambda_0$$

Ou $0 \leq \alpha \leq \frac{1}{4}$

Et normalisons par rapport à λ_0, y_1 et y_2 .

$$\beta = \frac{2\pi}{\lambda} \text{ et } x = \frac{\lambda_0}{\lambda}$$

$$\beta_1 = \frac{c_P \omega_0}{y_2} \text{ et } \beta_{eq} = \frac{c_{eq} \omega_0}{y_2}$$

$$y_{eN} \left(l_1/2 \right) = j t g \left(\frac{2\pi}{\lambda} \cdot \frac{\alpha \lambda_0}{2} \right) = j t g(\alpha \pi x)$$

$$\beta \left(\frac{\lambda_0}{8} - \frac{l_1}{2} \right) = \frac{2\pi}{\lambda} \left(\frac{\lambda_0}{8} - \frac{l_1}{2} \right) = \pi(0.25 - \alpha)x$$

On peut aussi écrire :

$$\omega = \frac{\omega}{\omega_0} \omega_0 = \omega_0 x$$

On aura donc

$$y_{eN}(l_2) = \frac{j \beta_1 x + j t g(\pi(0.25 - \alpha)x)}{1 - \beta_1 x t g(\pi(0.25 - \alpha)x)} \quad (\text{E. 14})$$

Pour les paramètres du mode impair on aura :

$$y_{0N}\left(l_1/2\right) = \frac{1}{jt g(\alpha \pi x)} \quad (\text{E. 15})$$

$$y_{0N}(l_2) = \frac{j\beta_{eq}x + jt g(\pi(0.25 - \alpha)x)}{1 - \beta_{eq}xt g(\pi(0.25 - \alpha)x)} \quad (\text{E. 16})$$

Et sachant que

$$y_{eT} = \left[y_1 y_{eN}\left(l_1/2\right) + y_2 y_{eN}(l_2) \right]$$

$$y_{0T} = \left[y_1 y_{0N}\left(l_1/2\right) + y_2 y_{0N}(l_2) \right]$$

On aura finalement [49]

$$S_{21} = \frac{y_{0T}y_0 - y_{eT}y_0}{(y_0 + y_{eT})(y_0 + y_{0T})} \quad (\text{E. 17})$$

Avec $y_0 = \frac{1}{50\Omega}$