

MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR
ET DE LA RECHERCHE SCIENTIFIQUE

21/80

1 ex

U. S. T. A.

ÉCOLE NATIONALE POLYTECHNIQUE

DÉPARTEMENT ÉLECTRONIQUE ET ÉLECTROTECHNIQUE

PROJET DE FIN D'ÉTUDES



RESTITUTION D'IMAGE SUR OSCILLOSCOPE



Proposé par :

H. TEDJINI

Docteur Ingénieur

Etude et réalisation :

N. GUEFFAF

A. SEDDIKI

JUIN 1980

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE

U. S. T. A.

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT ELECTRONIQUE ET ELECTROTECHNIQUE

PROJET DE FIN D'ETUDES

RESTITUTION D'IMAGE SUR OSCILLOSCOPE

Proposé par :

H. TEDJINI

Docteur Ingénieur

Etude et réalisation :

N. GUEFFAF

A. SEDDIKI

JUIN 1980

A ma mère

S. DAHMANE

A ma mère

A mes frères et Soeurs

G. Nacira.

O=O=O **REMERCIEMENTS** O=O=O
O=O=O=O=O=O=O=

- Nous tenons à exprimer toute notre gratitude et nos plus vifs **remerciements** à Monsieur H. TEDJINI, Docteur - Ingenieur, Professeur à l'USTA pour nous avoir encouragé, guidé et éclairé tout au long de ce travail.
- Nous voulons remercier le Docteur A. ABDELLAOUI pour nous avoir encouragé dans la voie de la TELEDETECTION.
- Nous remercions également Monsieur R. OUGUINI et A. BOURKEB pour les précieux conseils qu'ils nous ont prodigués.
- Nous tenons également à remercier Messieurs Y. SMARA, I. GRIB, HALIMI ainsi que D. BOUNGHAR pour toute l'aide qu'ils ont bien pu nous dispenser.
- Nous remercions Monsieur GUERBAS pour le montage mécanique.
- Nous remercions l'ensemble du personnel du LABO-PHOTO et du Service Reprographie pour leur assistance technique.
- Nos remerciements vont également à Melle N. HALILALI qui a bien voulu s'occuper de la frappe ainsi qu'à Monsieur LAZIB qui a assuré le tirage de ce mémoire.

Que tous ceux qui ont contribué de loin ou de près à notre formation trouvent ici tout notre respect.

O=O=O=O=O=O=O=O=O=O=O
O=O=O=O=O=O=O=O=O=O=O
O=O=O=O=O=O=O=O=O=O=O
O=O=O=O=O=O=O=O=O=O=O
=O=

o=o O M M A I R E o=o
o=o o=o o=o o=o o=o

I -	INTRODUCTION	5
II -	Présentation du sujet - schéma synoptique -	7
III -	Généralités sur les circuits utilisés -	
III -1-	Rappels sur les mémoires -	9
III -1-1-	Généralités sur les mémoires -	
III -1-2-	La mémoire MC 6810 A -	13
III -2-	Les compteurs -	17
III -2-1-	Généralités sur les compteurs -	
III -2-2-	Le compteur / décompteur SN 74 193 -	18
III -3-	La conversion N/A -	21
III -3-1-	Généralités sur les convertisseurs -	
III -3-5-	Le convertisseur N/A "DAC 02" -	23
III -4-	Les registres "LATCH" -	26
III -5-	Les registres "THREE - STATES" -	27
III -6-	Les monostables -	29
III -6-1-	Généralités sur les monostables -	
III -6-3-	Les monostables "SN 74 122" - "SN 74 123" -	
III -7-	Les bascules -	37
III -7-1-	Généralités sur les bascules -	
III -7-2-	La bascule -D	
III -7-3-	La bascule SN 74-74-	38
III -8-	L'horloge -	41
IV -	Réalisation pratique -	
	Schéma de brochage général -	43
IV -1-	Adaptation -	44
IV -2-	Logique de commande -	
IV -3-	Système de Mémorisation -	49
IV -4-	Modulation du Whenelt -	51
IV -5-	Système de retards -	52
IV -6-	Système de comptage -	53
	TIMING général -	54
IV -7-	Atténuateurs -	55
IV -8-	Alimentation stabilisée -	58
V -1-	Aperçu sur l'oscilloscope "TEKTRONIX"-	
V -2-	Aperçu sur le "MULTI 20" -	
	- Organigramme de fonctionnement -	
	- Conclusion -	
	- Lexique -	
	- Bibliographie -	

I- INTRODUCTION

Ce projet a été réalisé au sein de la division ∇ "contrôle et simulation d'un réacteur nucléaire" du centre et de la technologie nucléaire.

-La présente étude consiste en la réalisation d'une interface permettant de reproduire sur un oscilloscope "TEKTRONIX" une image fixe en mode automatique, à partir de données numériques enregistrées sur des bandes magnétiques du type "LANDSAT" ou autre, fournies par un mini-ordinateur "MULTI 20".

Cette image constituant un support visuel, représente une structure d'informations exploitables par le laboratoire de TELEDETECTION (ou autre) dans différents domaines (GEOLOGIE-GEODESIE-MEDECINE, etc...).

Ces informations peuvent être reproduites en différents modes :

- Image en mode automatique.
- Image en mode programmé.
- Courbe X-Y.
- Courbe Y(t).

Le mode automatique a été celui retenu dans le cadre de ce projet de fin d'étude.

La différence entre les modes automatique et programme réside dans le fait que :

1 -En mode automatique l'incrémentatation d'un point sur une ligne ou d'une ligne dans une image ne se fait qu'après élaboration dans l'interface même d'une commande d'autorisation. De même l'image obtenue sur l'écran du dispositif de visualisation est unique et demeure figée dans une dimension choisie préalablement.

par contre, dans le mode programmé, la position initiale et finale du spot sur l'écran ainsi que les dimensions de l'image peuvent être choisies à volonté.

De même le nombre d'images correspondant à des informations différentes peut être aussi choisi par programmation.

L'image visualisée sur l'écran de l'oscilloscope est prise en photographie à l'aide d'un appareil du type "ALPHAX", dont le canon est placé face à l'écran; l'ensemble étant hermétiquement protégé de la lumière extérieure vu le nombre d'erreurs dues notamment à l'oscilloscope et l'appareil photographique.

L'interface a été muni d'une table de correction (mémoires). Ces mémoires étant chargées de manière à éliminer au maximum les imperfections de tout le système.

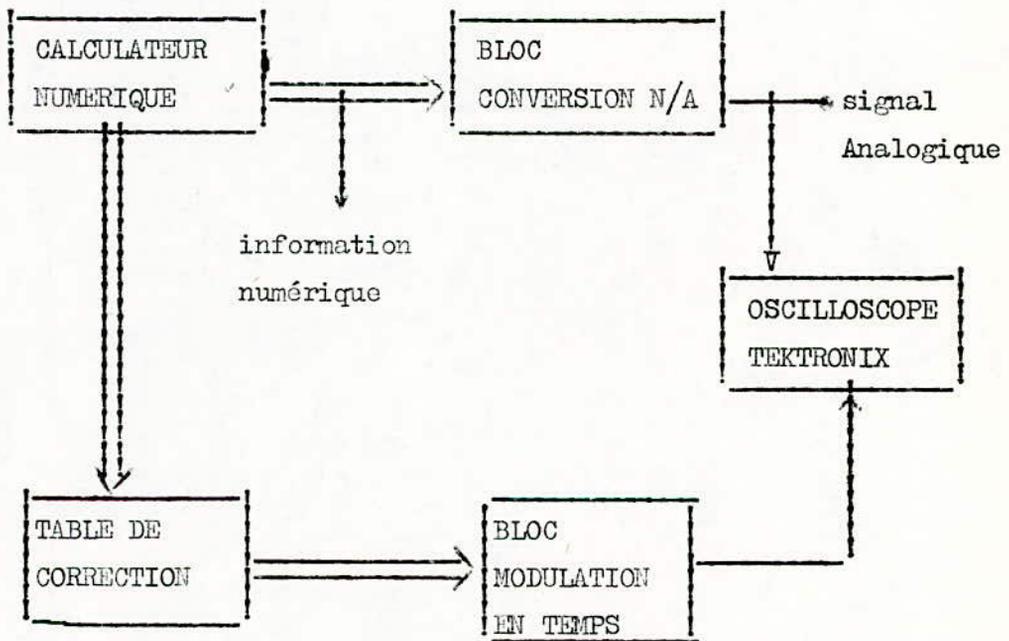
L'interface réalisée assure les fonctions suivantes :

- Il adapte le registre de sortie du calculateur à l'oscilloscope.
- Il génère des tops de fin de mot et de fin d'image, afin

de permettre un dialogue efficace avec le calculateur numérique l'interface a été doté d'un nombre de blocs essentiels tels que :

- La logique de commande
- Le système de mémorisation
- Le système de modulation - temps.
- Le système de conversion N/A.

LE SCHEMA GLOBAL DE L'INTERFACE EST LE SUIVANT :



III - 1 Rappels sur les mémoires :

Généralités :

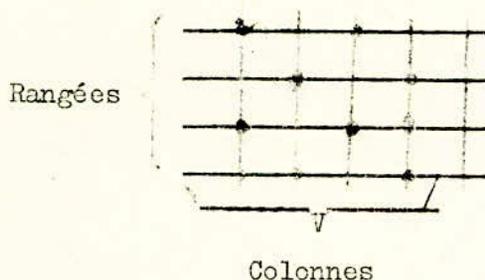
III - 1a - La mémoire stocke des informations binaires 0 ou 1 (bits).

La mémoire est constituée par un réseau de cellules mémoires qui emmagasinent des 0 ou 1.

Une mémoire est un réseau $n \times n$; chaque point de croisement est un point mémoire. L'adresse de chaque point est précisée en binaire, sur les rangées et sur les colonnes, le point mémoire considéré est à l'intersection de la colonne et de la rangée comportant la configuration binaire de sa propre adresse, chaque point de croisement est donc un point mémoire contenant soit (0) soit (1).

L'effacement de chaque point mémoire peut consister en l'inscription d'un zéro.

Exemple de réseau de points mémoires 4×4 .



III - 1 b - Classification des Mémoires :

III - 1 b1 - Mémoires Statiques : L'information ne peut être introduite ou retirée qu'en utilisant des impulsions électroniques.

Dans ce cas, les points mémoires (cellules) sont fixés.

III - 1 b2 - Mémoires Dynamiques : Dont le support de l'information est mobile.

III - 1 b3 - Mémoires à propagation : Ce sont aussi des mémoires dynamiques, cependant le support est immobile.

III - 1 C - Caracteristiques des mémoires :

III - 1 C1 - Volatilité : C'est la possibilité d'une mémoire pour garder l'information après la coupure de l'Alimentation.

III - 1 C2 - Lecture et écriture de l'information :

La lecture de l'information peut-être destructive, dans ce cas là, il faut prévoir une réécriture de l'information (exp : Memoires à Tore de ferrite).

En ce qui concerne l'opération d'écriture, on peut prévoir une remise à zéro prealable (Memoire à tore de ferrite).

Les caracteristique essentielles d'une mémoire sont :

- Le temps d'écriture
- Le temps de lecture

a - Temps de lecture :

C'est le temps qui s'écoule entre l'application de l'adresse et l'instant où l'information est disponible à la sortie.

b - Temps d'écriture :

C'est le temps qui s'écoule entre le moment où l'information à enregistrer et l'adresse sont fournies à l'entrée de la mémoire, et l'instant où l'information est inscrite.

III - 1 C3 - Accès à la Mémoire :

Pour les mémoires statiques, il existe l'accès direct aléatoire ou Selectif, car les points de la mémoire sont individualisés.

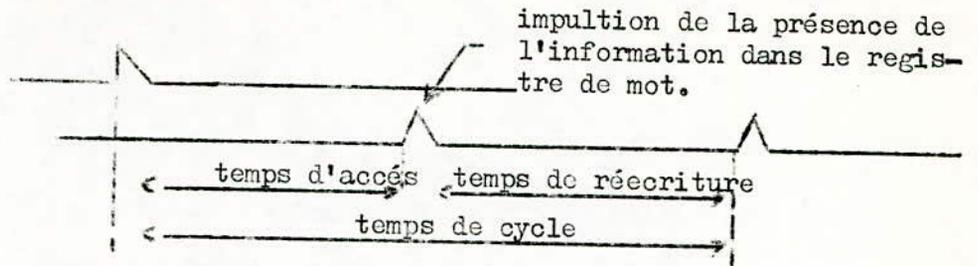
Le choix des points de la mémoire est le même quelle que soit l'adresse.

Pour les Mémoires dynamiques l'accès est sequentiel.

III - 1 C4 - L'adressage : Il peut être individualisé - (exp : mémoires statiques) ; l'adresse de chaque point mémoire est connue. Pour les mémoires dynamiques, il n'y a pas d'association entre l'adresse et l'emplacement de la mémoire.

III - 1 - C5 - Temps d'accès :

C'est le temps écoulé entre l'impulsion d'autorisation de lecture et le signal de la présence de l'information dans le registre de mot.



Temps d'accès + Temps de réécriture = Temps de cycle.

Ceci étant valable pour les mémoires destructives. Pour les mémoires statiques, le temps d'accès ne dépend pas de la place de cette information. Le temps d'accès est le même pour tous les points mémoires.

Temps de lecture = Temps d'accès.

Pour les mémoires dynamiques, le temps d'accès dépend de l'emplacement de l'information.

Il faut prendre comme caractéristique des mémoires dynamiques :

La cadence de transfert ou le débit qui est le nombre d'informations transférées par seconde.

III - 1 - C6 : Capacité de mémoire :

C'est le nombre d'information que peut contenir une mémoire :

Unité de capacité : Kilo information, Mega information, Mega Octet information.

- Kilo = 2^{10} = 1024 bits.

- Meg = 1000 K bits.

- Amovibilité :

C'est la possibilité d'échange d'informations entre les ordinateurs.

III - 1D - ORGANISATION D'UNE MEMOIRE :

On utilise trois organisations.

- Organisation à deux dimensions (2D) pour les selections linéaires.

La capacité est petite et la vitesse est grande.

- Organisation à trois dimensions (3D) : Grande capacité et petite vitesse.

- Organisation à (2,5 D) (intermediaire).

III - 1 E - LES MEMOIRES RAM :

Les RAM (Random - Access - Memory) : Ce sont des mémoires à accès aléatoire ; Ce sont des mémoires " Vives" qu'on peut lire, écrire, effacer, réécrire etc...

IL existe deux types de RAM.

III - 1 E.1 RAM dynamiques :

Grâce à leur grande densité d'intégration, ces mémoires sont utilisées quand la capacité nécessaire de la RAM dépasse 4 K octets.

L'information est stockée sous forme de charge dans la capacité de structure d'un transistor M.O.S.

Cette information fuit à travers des résistances parasites, pour la conserver, la charge doit être régénérée périodiquement (Rafraichissement).

III - 1 E.2 RAM STATIQUES :

Les mémoires emmagasinent l'information dans une bascule (FLIP - FLOP) et ne nécessitent pas de rafraichissement.

Elles sont volatiles, car l'information n'est plus conservée après la coupure de l'Alimentation.

III - 1 - F - Mémoire utilisée.

L'interface réalisée a nécessité l'utilisation de deux mémoires RAM statiques asynchrones du type MC 6810 A et ce dans le but de corrections que nous verrons ultérieurement.

Ces mémoires permettent la conservation de 128 mots de 8 bits chacun.

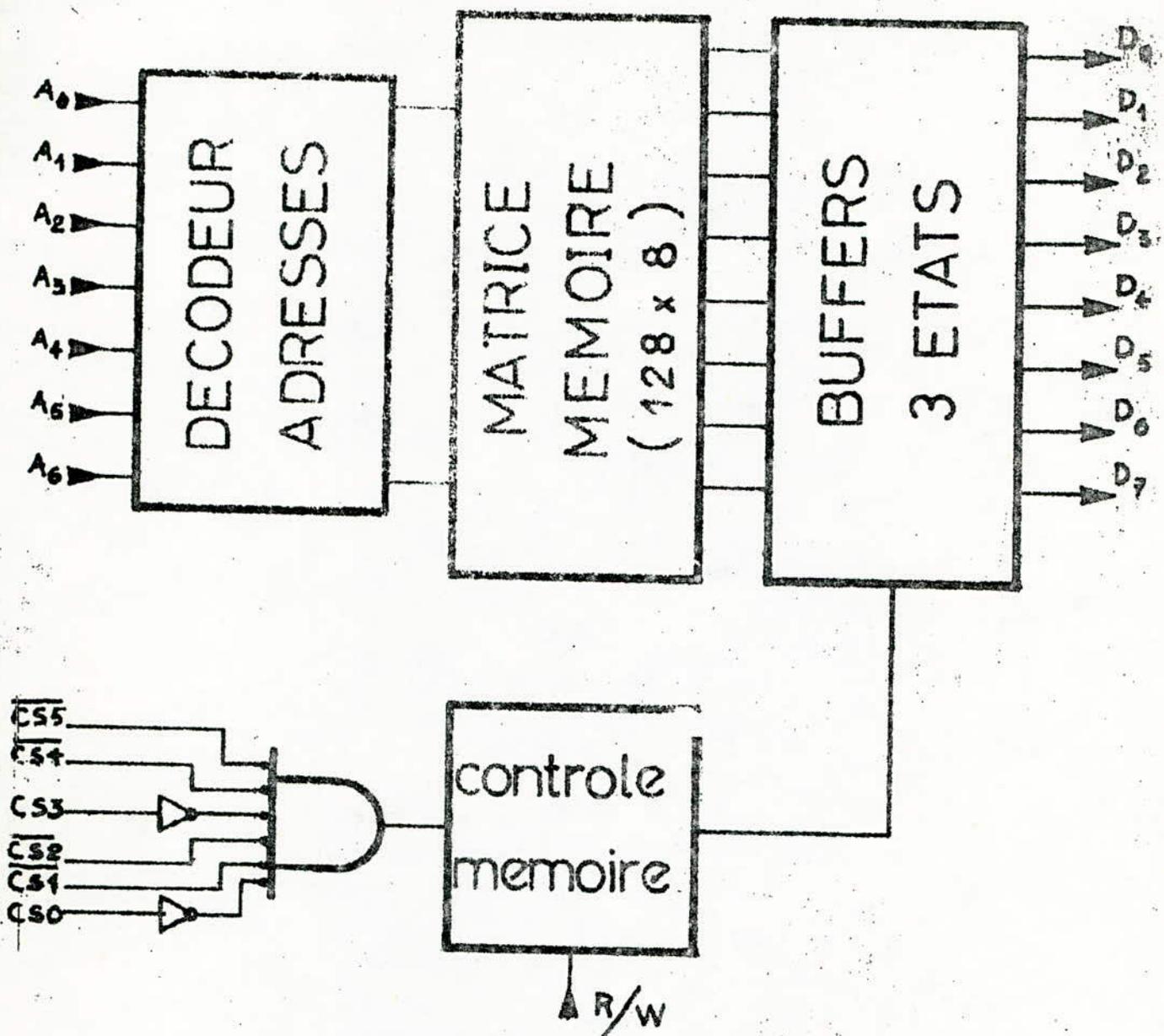
Elles ont chacune un bus de data (données) bidirectionnel et trois états.

Elles sont alimentées sous 5 V.

Leur temps d'accès maximum est de 360 ns.

L'extension de capacité de ces mémoires ne cause aucun problème puisqu'elles disposent chacune de 6 chips selects.

La mémoire M.O.S. MC 6810 A est compatible avec les circuits T.T.L.

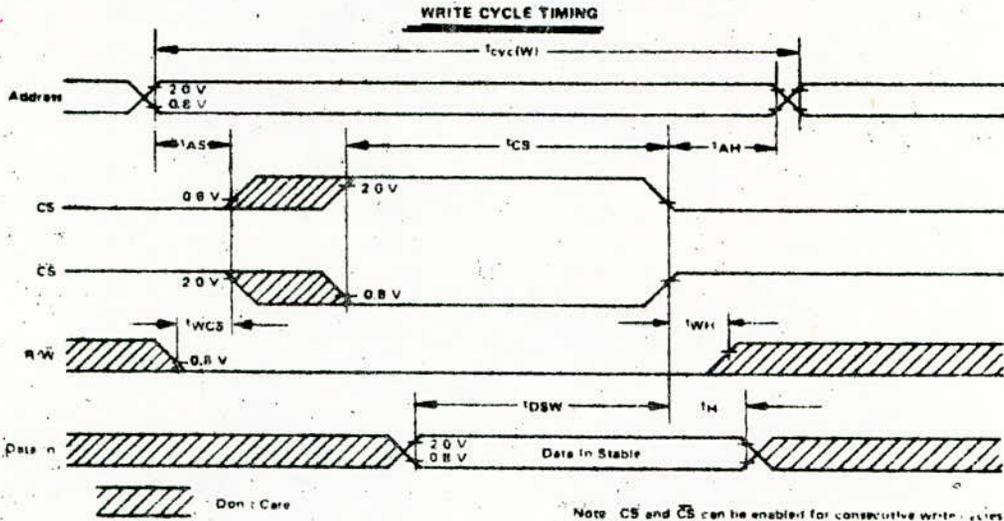


BLOC DIAGRAMME
R.A.M MCM 6810 A

fig.1

WRITE CYCLE ($V_{CC} = 5.0V \pm 5\%$, $V_{SS} = 0$, $T_A = T_L$ to T_H unless otherwise noted.)

Characteristic	Symbol	MCM6810		MCM68A10		MCM68B10		Unit
		Min	Max	Min	Max	Min	Max	
Write Cycle Time	$t_{cyc}(W)$	450	-	380	-	250	-	ns
Address Setup Time	t_{AS}	20	-	20	-	20	-	ns
Address Hold Time	t_{AH}	0	-	0	-	0	-	ns
Chip Select Pulse Width	t_{CS}	300	-	250	-	210	-	ns
Write to Chip Select Delay Time	t_{WCS}	0	-	0	-	0	-	ns
Data Setup Time (Write)	t_{DSW}	190	-	80	-	60	-	ns
Input Hold Time	t_H	10	-	10	-	10	-	ns
Write Hold Time from Chip Select	t_{WH}	0	-	-	-	-	-	-



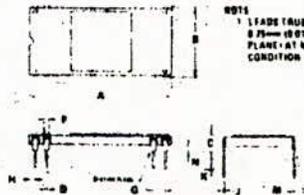
Note: \overline{CS} and \overline{CS} can be enabled for consecutive write cycles provided RW is strobed to V_{IH} before or concurrent with the Address change, and remains high for time t_{AH} .

PACKAGE DIMENSIONS



MILLIMETERS		INCHES	
MIN	MAX	MIN	MAX
2.54	2.54	0.100	0.100
1.27	1.27	0.050	0.050
0.25	0.25	0.010	0.010
0.50	0.50	0.020	0.020
0.76	0.76	0.030	0.030
1.02	1.02	0.040	0.040
1.27	1.27	0.050	0.050
1.52	1.52	0.060	0.060
1.78	1.78	0.070	0.070
2.03	2.03	0.080	0.080
2.29	2.29	0.090	0.090
2.54	2.54	0.100	0.100
2.79	2.79	0.110	0.110
3.05	3.05	0.120	0.120
3.30	3.30	0.130	0.130
3.55	3.55	0.140	0.140
3.81	3.81	0.150	0.150
4.06	4.06	0.160	0.160
4.32	4.32	0.170	0.170
4.57	4.57	0.180	0.180
4.83	4.83	0.190	0.190
5.08	5.08	0.200	0.200
5.33	5.33	0.210	0.210
5.59	5.59	0.220	0.220
5.84	5.84	0.230	0.230
6.10	6.10	0.240	0.240
6.35	6.35	0.250	0.250
6.60	6.60	0.260	0.260
6.86	6.86	0.270	0.270
7.11	7.11	0.280	0.280
7.37	7.37	0.290	0.290
7.62	7.62	0.300	0.300
7.87	7.87	0.310	0.310
8.13	8.13	0.320	0.320
8.38	8.38	0.330	0.330
8.63	8.63	0.340	0.340
8.89	8.89	0.350	0.350
9.14	9.14	0.360	0.360
9.39	9.39	0.370	0.370
9.65	9.65	0.380	0.380
9.90	9.90	0.390	0.390
10.15	10.15	0.400	0.400
10.41	10.41	0.410	0.410
10.66	10.66	0.420	0.420
10.91	10.91	0.430	0.430
11.17	11.17	0.440	0.440
11.42	11.42	0.450	0.450
11.67	11.67	0.460	0.460
11.93	11.93	0.470	0.470
12.18	12.18	0.480	0.480
12.43	12.43	0.490	0.490
12.69	12.69	0.500	0.500
12.94	12.94	0.510	0.510
13.19	13.19	0.520	0.520
13.45	13.45	0.530	0.530
13.70	13.70	0.540	0.540
13.95	13.95	0.550	0.550
14.21	14.21	0.560	0.560
14.46	14.46	0.570	0.570
14.71	14.71	0.580	0.580
14.97	14.97	0.590	0.590
15.22	15.22	0.600	0.600
15.47	15.47	0.610	0.610
15.73	15.73	0.620	0.620
15.98	15.98	0.630	0.630
16.23	16.23	0.640	0.640
16.49	16.49	0.650	0.650
16.74	16.74	0.660	0.660
16.99	16.99	0.670	0.670
17.24	17.24	0.680	0.680
17.50	17.50	0.690	0.690
17.75	17.75	0.700	0.700
18.00	18.00	0.710	0.710
18.26	18.26	0.720	0.720
18.51	18.51	0.730	0.730
18.76	18.76	0.740	0.740
19.02	19.02	0.750	0.750
19.27	19.27	0.760	0.760
19.52	19.52	0.770	0.770
19.78	19.78	0.780	0.780
20.03	20.03	0.790	0.790
20.28	20.28	0.800	0.800
20.54	20.54	0.810	0.810
20.79	20.79	0.820	0.820
21.04	21.04	0.830	0.830
21.30	21.30	0.840	0.840
21.55	21.55	0.850	0.850
21.80	21.80	0.860	0.860
22.06	22.06	0.870	0.870
22.31	22.31	0.880	0.880
22.56	22.56	0.890	0.890
22.82	22.82	0.900	0.900
23.07	23.07	0.910	0.910
23.32	23.32	0.920	0.920
23.58	23.58	0.930	0.930
23.83	23.83	0.940	0.940
24.08	24.08	0.950	0.950
24.34	24.34	0.960	0.960
24.59	24.59	0.970	0.970
24.84	24.84	0.980	0.980
25.10	25.10	0.990	0.990
25.35	25.35	1.000	1.000

NOTES
 1 LEADS TRUE POSITIONED WITHIN 0.25mm (0.010) DIA AT SEATING PLANE AT MAXIMUM MATERIAL CON.
 DIM. DIM. D.
 2 DIM. 1 TO CENTER O.
 LEADS WHEN FORMED PARALLEL
CASE 709-01
 (PLASTIC)



MILLIMETERS		INCHES	
MIN	MAX	MIN	MAX
2.54	2.54	0.100	0.100
1.27	1.27	0.050	0.050
0.25	0.25	0.010	0.010
0.50	0.50	0.020	0.020
0.76	0.76	0.030	0.030
1.02	1.02	0.040	0.040
1.27	1.27	0.050	0.050
1.52	1.52	0.060	0.060
1.78	1.78	0.070	0.070
2.03	2.03	0.080	0.080
2.29	2.29	0.090	0.090
2.54	2.54	0.100	0.100
2.79	2.79	0.110	0.110
3.05	3.05	0.120	0.120
3.30	3.30	0.130	0.130
3.55	3.55	0.140	0.140
3.81	3.81	0.150	0.150
4.06	4.06	0.160	0.160
4.32	4.32	0.170	0.170
4.57	4.57	0.180	0.180
4.83	4.83	0.190	0.190
5.08	5.08	0.200	0.200
5.33	5.33	0.210	0.210
5.59	5.59	0.220	0.220
5.84	5.84	0.230	0.230
6.10	6.10	0.240	0.240
6.35	6.35	0.250	0.250
6.60	6.60	0.260	0.260
6.86	6.86	0.270	0.270
7.11	7.11	0.280	0.280
7.37	7.37	0.290	0.290
7.62	7.62	0.300	0.300
7.87	7.87	0.310	0.310
8.13	8.13	0.320	0.320
8.38	8.38	0.330	0.330
8.63	8.63	0.340	0.340
8.89	8.89	0.350	0.350
9.14	9.14	0.360	0.360
9.39	9.39	0.370	0.370
9.65	9.65	0.380	0.380
9.90	9.90	0.390	0.390
10.15	10.15	0.400	0.400
10.41	10.41	0.410	0.410
10.66	10.66	0.420	0.420
10.91	10.91	0.430	0.430
11.17	11.17	0.440	0.440
11.42	11.42	0.450	0.450
11.67	11.67	0.460	0.460
11.93	11.93	0.470	0.470
12.18	12.18	0.480	0.480
12.43	12.43	0.490	0.490
12.69	12.69	0.500	0.500
12.94	12.94	0.510	0.510
13.19	13.19	0.520	0.520
13.45	13.45	0.530	0.530
13.70	13.70	0.540	0.540
13.95	13.95	0.550	0.550
14.21	14.21	0.560	0.560
14.46	14.46	0.570	0.570
14.71	14.71	0.580	0.580
14.97	14.97	0.590	0.590
15.22	15.22	0.600	0.600
15.47	15.47	0.610	0.610
15.73	15.73	0.620	0.620
15.98	15.98	0.630	0.630
16.23	16.23	0.640	0.640
16.49	16.49	0.650	0.650
16.74	16.74	0.660	0.660
16.99	16.99	0.670	0.670
17.24	17.24	0.680	0.680
17.50	17.50	0.690	0.690
17.75	17.75	0.700	0.700
18.00	18.00	0.710	0.710
18.26	18.26	0.720	0.720
18.51	18.51	0.730	0.730
18.76	18.76	0.740	0.740
19.02	19.02	0.750	0.750
19.27	19.27	0.760	0.760
19.52	19.52	0.770	0.770
19.78	19.78	0.780	0.780
20.03	20.03	0.790	0.790
20.28	20.28	0.800	0.800
20.54	20.54	0.810	0.810
20.79	20.79	0.820	0.820
21.04	21.04	0.830	0.830
21.30	21.30	0.840	0.840
21.55	21.55	0.850	0.850
21.80	21.80	0.860	0.860
22.06	22.06	0.870	0.870
22.31	22.31	0.880	0.880
22.56	22.56	0.890	0.890
22.82	22.82	0.900	0.900
23.07	23.07	0.910	0.910
23.32	23.32	0.920	0.920
23.58	23.58	0.930	0.930
23.83	23.83	0.940	0.940
24.08	24.08	0.950	0.950
24.34	24.34	0.960	0.960
24.59	24.59	0.970	0.970
24.84	24.84	0.980	0.980
25.10	25.10	0.990	0.990
25.35	25.35	1.000	1.000

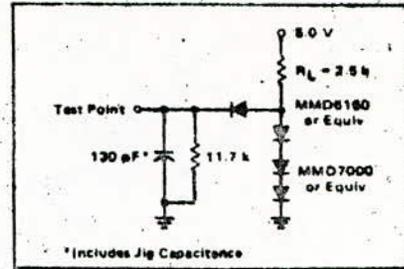
CASE 716-02
(CERAMIC)

fig.2

AC TEST CONDITIONS

Condition	Value
Input Pulse Levels	0.8 V to 2.0 V
Input Rise and Fall Times	20 ns
Output Load	See Figure 1

FIGURE 1 - AC TEST LOAD

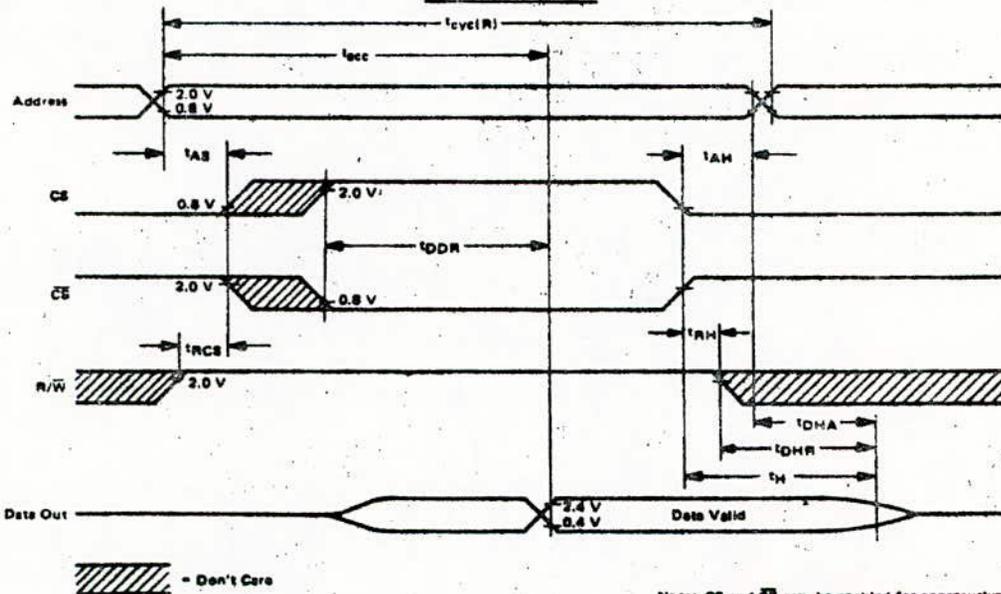


AC OPERATING CONDITIONS AND CHARACTERISTICS

READ CYCLE ($V_{CC} = 5.0 V \pm 5\%$, $V_{SS} = 0$, $T_A = T_L$ to T_H unless otherwise noted.)

Characteristic	Symbol	MCM6810		MCM68A10		MCM68B10		Unit
		Min	Max	Min	Max	Min	Max	
Read Cycle Time	$t_{cyc}(R)$	450	-	360	-	250	-	ns
Access Time	t_{acc}	-	450	-	380	-	250	ns
Address Setup Time	t_{AS}	20	-	20	-	20	-	ns
Address Hold Time	t_{AH}	0	-	0	-	0	-	ns
Data Delay Time (Read)	t_{DDR}	-	230	-	220	-	180	ns
Read to Select Delay Time	t_{RCS}	0	-	0	-	0	-	ns
Data Hold from Address	t_{DHA}	10	-	10	-	10	-	ns
Output Hold Time	t_H	10	-	10	-	10	-	ns
Data Hold from Read	t_{DHR}	10	60	10	60	10	60	ns
Read Hold from Chip Select	t_{RH}	0	-	0	-	0	-	ns

READ CYCLE TIMING



Note: CS and CE can be enabled for consecutive read cycles provided R/W remains at V_{IH} .

FIG 3

III - 2-1 - Généralités sur les compteurs :

Le compteur est un organe séquentiel qui possède une double propriété :

- Il est constitué de "flip - flop", c'est avant tout une mémoire. A la suite de chaque ordre, le nouvel état occupé reste stable et accessible jusqu'au prochain pas .

De plus en interconnectant les "flip - flop" à l'aide de portes logiques, on est capable de faire décrire au compteur une séquence déterminée.

La plus ^{grande} application est le comptage. La suite des états occupés par le compteur est normalisée, c'est généralement un code standard, les plus utilisés étant le code binaire et le code B.C.D (binary coded décimal).

Les compteurs binaires peuvent être classés en deux catégories :

- les compteurs asynchrones
- les compteurs synchrones

De plus, on distingue les compteurs réversibles ou compteur - décompteur (up - down counters).

III -2-1-1- Les compteurs synchrones :

Dans un compteur synchrone, toutes les bascules reçoivent en même temps le même signal d'horloge H.

III -2-1-2- Compteurs - Décompteurs :

Les compteurs travaillent en mode synchrone, ils font partie des compteurs M.S.I qui sont en circuits intégrés, vu le nombre d'interconnexions y existantes. on distingue dans cette série :

- Le type 54/74 190 ou compteur B.C.D
- Le type 54/74 191 ou compteur hexadécimal
- Le type 54/74 192 ou compteur B.C.D
- Le type 54/74 193 ou compteur hexadécimal

C'est le dernier type qu'on a utilisé lors de la réalisation de l'interface.

III - 2.2 - Le compteur SN 74 193 :

C'est un compteur - décompteur qui possède une entrée Clear dont le passage à "1" entraîne la mise à zéro de toutes les sorties.

- Une entrée "Load" dont le passage à zéro permet le changement en parallèle des sorties par les données présentes à l'entrée du compteur.

Dès que le "Load" est au niveau "1", le comptage ou le décomptage peut avoir lieu selon qu'une impulsion est envoyée sur l'entrée "count up" ou sur l'entrée "count down" (Voir le schéma de brochage fig. 1).

Lorsqu'on est en mode de comptage, il faut nécessairement que l'entrée "count down" soit à "1", alors qu'en mode de décomptage, lorsque l'impulsion est envoyée sur l'entrée "count down", il faut que l'entrée "count up" soit à 1.

De même, on dispose de deux sorties.

- carry output.

- borrow output.

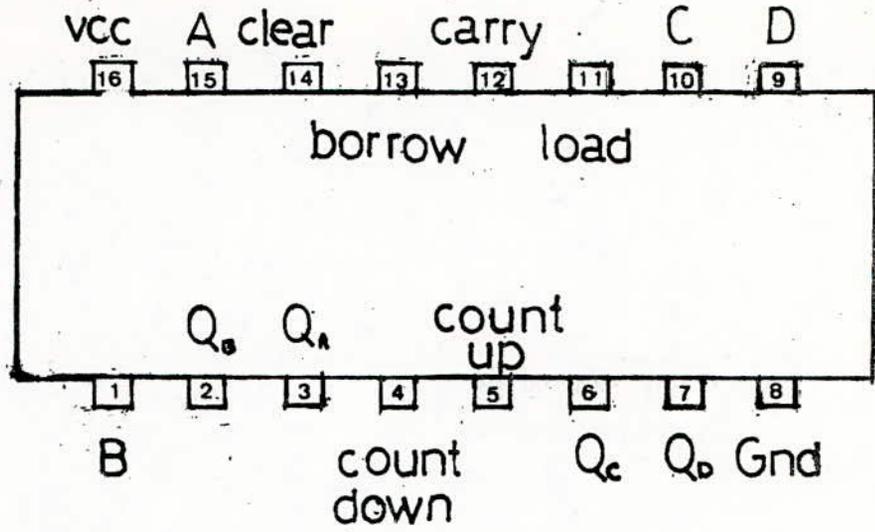
Ces sorties sont destinées à la mise en cascade de plusieurs compteurs 4 bits.

En conséquence, elles jouent le rôle "d'horloge" pour le compteur ou décompteur suivant.

- pour un compteur, on a la sortie carry output.

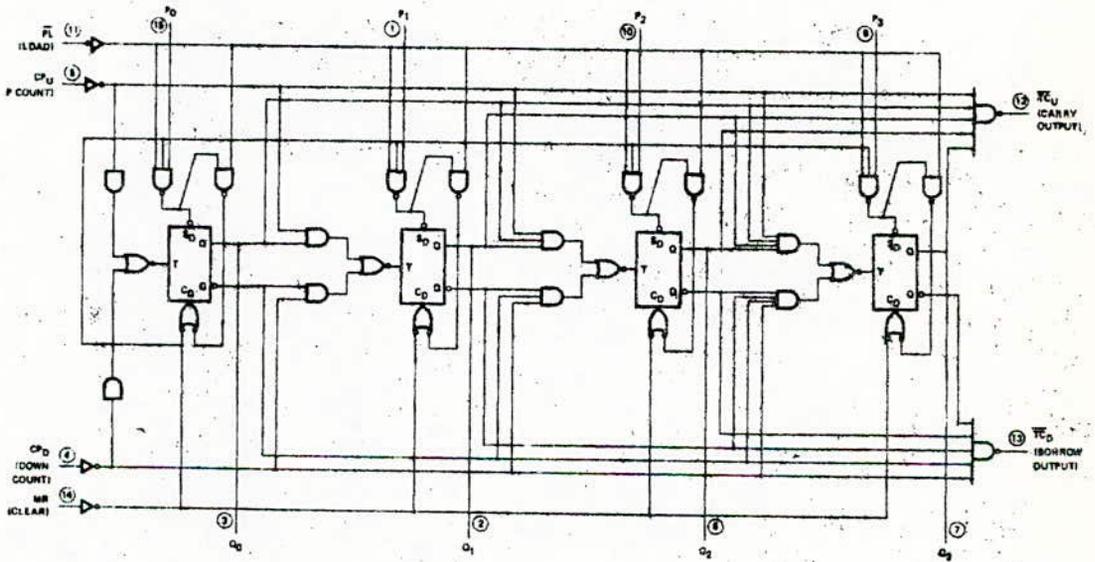
- pour un décompteur, on a la sortie (borrow output).

fig-1



brochage du SN74193

fig 2



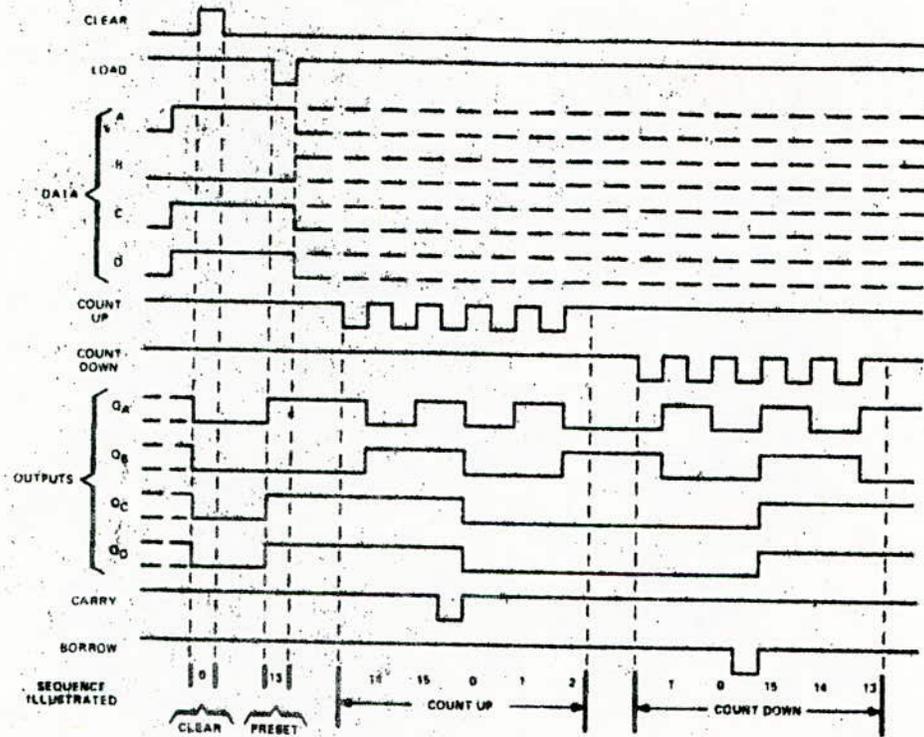
schema interne du SN74LS193

VCC = Pin 16
 GND = Pin 8
 ○ = Pin Number

typical clear, load, and count sequences

Illustrated below is the following sequence:

1. Clear outputs to zero.
2. Load (preset) to binary thirteen.
3. Count up to fourteen, fifteen, carry, zero, one, and two.
4. Count down to one, zero, borrow, fifteen, fourteen, and thirteen.



NOTES: A. Clear overrides load, data, and count inputs.
 B. When counting up, count-down input must be high; when counting down, count-up input must be high.

chronogramme du compteur reversible SN74LS193

fig-3

III - 3-1- Généralités sur les convertisseurs :

Le traitement des informations dans un système est réalisé par un organe central conçu pour travailler avec des informations numériques. Le plus souvent les grandeurs physiques sont des valeurs analogiques ; pour permettre donc un bon dialogue entre l'organe central et l'extérieur, il faut réaliser une conversion numérique-analogique ou analogique-numérique, selon que les signaux sortent de l'organe central ou y entrent.

Lors du traitement, on préfère toujours travailler avec des signaux numériques, vu qu'ils sont moins sensibles que les signaux analogiques aux imperfections des systèmes de transmission (dispersion, bruit) ; Pour les signaux numériques, il suffit de détecter des impulsions pour posséder l'information et la mémoriser pour la conserver.

III - 3-2- Conversion numérique-analogique :

La conversion numérique-analogique consiste en la transformation d'une information disponible dans un système de base B (B = 2 dans notre cas) en une information analogique.

Soit N, l'information numérique qu'on veut convertir :

$$N = \sum_{i=0}^{i=n-1} a_i 2^i \text{ pour un nombre de } n \text{ bits}$$

a_i peut prendre soit 0 soit 1.

Par définition, à l'information binaire N, correspond une quantité analogique $A = q \cdot N$. ou q est la quantité élémentaire analogique, information analogique correspondant à l'information numérique maximale (tous les bits égaux à 1) $V_M = (2^n - 1)q$.

$$V = q \cdot N \quad V_{\min} = 1 \cdot q = q$$

Temps de conversion :

C'est le temps nécessaire pour que le signal de sortie atteigne la valeur désirée à l'erreur spécifiée. Il dépend des éléments utilisés ; notamment des interrupteurs, amplificateurs, il tient compte aussi des retards, des temps de montées, des oscillations etc.....

III - 3-3 - Resolution d'un C.N.A. :

La resolution définit l'amplitude de la plus petite variation de la valeur analogique de sortie que l'on peut obtenir. En d'autres termes, c'est le rapport des valeurs minimales et maximales, compte tenu du nombre de bits (n) imposé à l'entrée.

$$r = \frac{V_m}{V_M} = \frac{q}{(2^n - 1)q} = \frac{1}{2^n - 1} \quad \text{soit } r \approx \frac{1}{2^n} \quad \text{pour } n \text{ grand.}$$

La figure (1) traduit toutes les caractéristiques énoncées.

A : information analogique.

N : information numérique.

III - 3-4- Etudes des principaux convertisseurs numériques-analogiques

Parmi les C.N.A, il existe deux familles :

- C.N.A directs qui convertissent le mot binaire directement en un signal analogique.

- C.N.A indirects lorsqu'on utilise une variation intermédiaire.

Les C.N.A directs se divisent en C.N.A parallèles et C.N.A séquentiel ou série selon que la conversion des bits s'effectue en même temps ou l'un après l'autre.

Les C.N.A parallèles sont les plus rapides.

C.N.A parallèle :

il comprend :

- Une grandeur de référence

- Un système de pondération : multiplication par les coefficients de la suite :

$$\frac{1}{2} ; \frac{1}{4} ; \dots \dots \dots \frac{1}{2^n}$$

- Une commande numérique : multiplication par a qui vaut 1 ou 0.

- Une sommation de ces signaux.

- Une transformation éventuelle courant-tension ou tension-courant.

Généralement, il est plus facile d'additionner des courants.

Fonction de transfert d'un C.N.A. parallèle :

$$U = a_1 \frac{U_{\text{ref.}}}{2} + a_2 \frac{U_{\text{ref.}}}{4} + \dots + a_n \frac{U_{\text{ref.}}}{2^n}$$

$$U = R \left(a_1 \frac{U_{\text{ref.}}}{2R} + a_2 \frac{U_{\text{ref.}}}{4R} + \dots + a_n \frac{U_{\text{ref.}}}{2^n R} \right)$$

On peut écrire :

$$U = R (a_1 I_1 + a_2 I_2 + \dots + a_n I_n)$$

Après avoir effectué la sommation des courants, on peut effectuer la transformation courant-tension selon la figure (2).

Schema d'un C.N.A. // fig. (3).

La pondération utilisée transforme la tension $U_{\text{ref.}}$ en un courant $I_i = \frac{U_{\text{ref.}}}{2^i R}$.

Les interrupteurs réalisant la fonction commande sont eux mêmes contrôlés par les bits du mots binaire en entrée. Suivant que le bit est à l'état 0 ou 1, le courant traversant la résistance correspondante est envoyé à l'entrée de l'amplificateur pour être additionné aux autres courants ou bien au contraire dirigé vers la masse.

III -3-5- Convertisseur utilisé : D.a.c. 02

C'est un convertisseur parallèle, il est constitué d'un assemblage complet comprenant référence et amplificateurs opérationnels de sortie. Il est du type $R/2R$, les courants résultants sont appliqués à deux amplificateurs de sortie ($-V_s$ ou $+V_s$ selon le bit désigné) à l'aide de 10 transistors montés en base commune.

La tension de référence est fournie par l'ensemble diode zener, résistance, $R_{\text{ref.}}$ et amplificateur.

Le premier transistor sert à régler automatiquement la tension des dix derniers transistors en cas de variation de température. Comme les dix derniers sont fabriqués ensemble sur une même pastille, ils sont très appariés et leur tension V_{be} variera de la même manière que celle du premier transistor, ainsi les emetteurs resteront toujours au même potentiel et la précision sera maintenue.

Le D.A.C 02 dispose d'un convertisseur courant-tension.
Il comporte un bit de signe qui, commandé permettra d'obtenir un signal positif ou négatif.

Les entrées digitales ne necessitent pas de code particulier, il faut qu'elles soient tout simplement codées en binaire pur.

Le D.A.C 02 est un circuit intégré.
" DUAL IN LINE " de 18 pattes

La constitution interne et l'ajustage de la tension de sortie sont représentés à la figure suivante

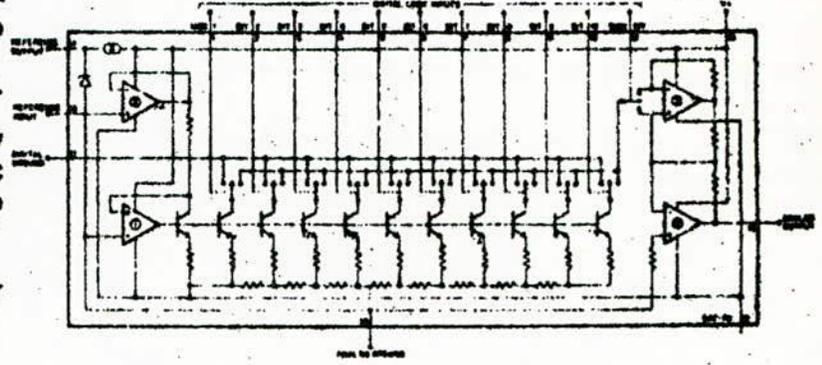
Ajustage de la tension de sortie du D.A.C 02 la tension de sortie étant légèrement inférieure à celle de référence, ou l'ajuste alors à 10 V à l'aide du potentiomètre en mettant toutes les entrées à 1.

Caractéristiques techniques.

- Les entrées sont compatibles avec la T.T.L, D.T.L et C.M.O.S.
- Tensions d'alimentations de (+ 12V + 18V) et de (-12V à - 18V)
- Temps de conversion 1,5 u.s
- Resolution (bits) : 10 + signe.
- Monotonie garantie : 0 à 70° C
- Stabilité : dans toute la gamme de température 60 pp m % C max.
- Sortie bipolaire \pm 10 V.

DAC-02 - CONVERTISSEUR D/A MONOLITHIQUE, 10 BITS + SIGNE

assemblage complet comprenant référence et amplificateurs opérationnels de sortie
 rapidité 1,5 μ s de temps. d'établissement
 sortie bipolaire ± 10 V, ± 5 V
 monotonie garantie 0° à 70°C
 stabilité dans toute la gamme de température 60 ppm/°C max.
 alimentations standard ± 12 V à ± 18 V
 compact ... un simple chip dans un boîtier DIP 18 sorties



Type	Tension de sortie Option Suffix		Résolution (Bits)	Monotonie (0° à 70°C) (Bits)	Linéarité (0° à 70°C)	Coeff. de Temp. pp./°C max.
	+10V	± 5 V				
DAC-02AC	X1	X2	10 + Signe	10	$\pm 0.1\%$	60
DAC-02BC	X1	X2	10 + Signe	9	$\pm 0.1\%$	60
DAC-02CC	X1	X2	10 + Signe	8	$\pm 0.2\%$	60
DAC-02DD	X1	X2	10 + Signe	7	$\pm 0.4\%$	150

AJUSTEMENT DE LA TENSION DE SORTIE

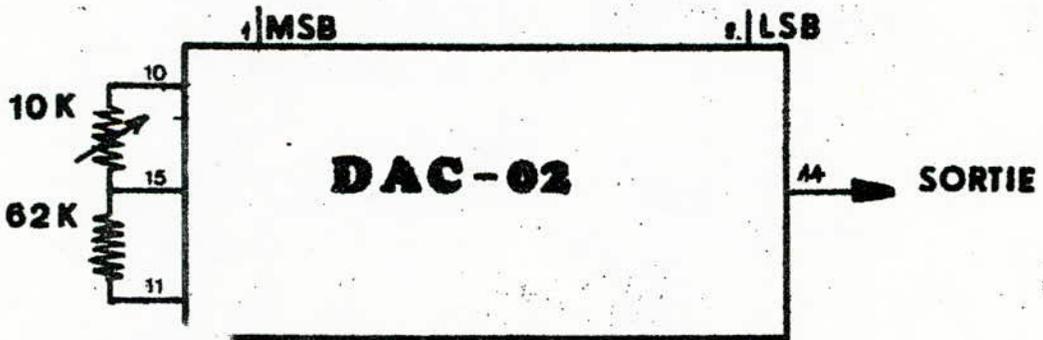


fig-1

Le registre est un élément à mémoire, capable d'emmagasiner des informations binaires.

Il est constitué par la réunion de plusieurs flip - flop (cellules mémoires élémentaires).

La réalisation de la logique de commande de l'interface a nécessité l'utilisation de deux registres LATCH du type SN 74L75

dont le schéma de brochage est représenté (fig. 1).

Les registres sont à entrées et sorties parallèles. C'est à dire que l'introduction et l'extraction des "datas" se font par mot de 4 bits pour chaque registre.

Au front de montée du strobe appliqué à l'entrée de validation, le registre délivre les informations reçues à son entrée.

Les deux registres étant commandés par le même "strobe" d'où la possibilité d'introduire et d'extraire au maximum 8 informations nécessaires en mode parallèle.

Le registre X 8T95 est un registre à trois états :

- Le niveau logique "1"
- Le niveau logique "0"
- L'état haute impédance qui correspond à un circuit ouvert en sortie. C'est un circuit à entrées et sorties en mode parallèle.

Il possède deux entrées de validation "enable" qui sont, soit au niveau "0", soit au niveau "1". Lorsque "enable" est au niveau "0", il y a extraction de toutes les entrées en mots de six bits.

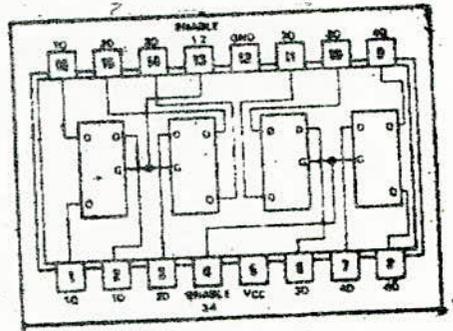
Par contre les sorties sont à haute impédance, quand "enable" est à "1".

L'avantage de ces registres, est la mise en parallèle de plusieurs bus (bus compteur "adresse ; bus "data"...).

Lors de la réalisation pratique, la validation d'un couple de "THREE STATES" est assurée par un même bit. Ceci étant, car le montage nécessite des mots de 8 bits pour les "datas" à traiter ou pour les adresses, alors que le registre 8T95 lui même ne peut délivrer que des mots de 6 bits (Voir fig. 1).

table de verite

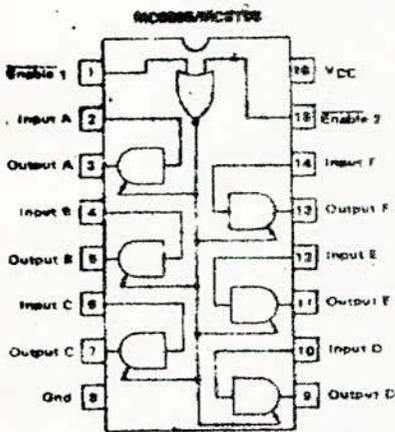
entrees		sorties	
D	G	Q	Q̄
1	1	1	0
0	1	0	1
X	0	Q ₀	Q̄ ₀



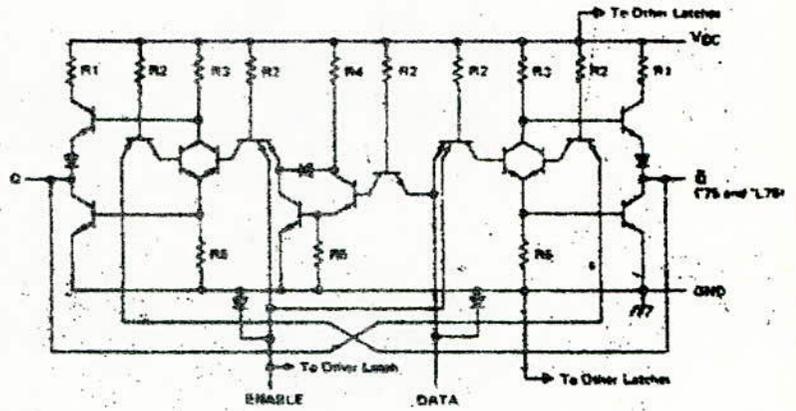
Q₀:Etat antecedent

brochage du SN7475

schematic (each latch)



Enable 2	Enable 1	Input	Output
L	L	L	L
L	L	X	Z
L	H	X	Z
H	L	X	Z
H	H	X	Z



RESISTOR	76, 77	1, 76, 1, 77
R1	120 Ω	280 Ω
R2	4 kΩ	5 kΩ
R3	1.8 kΩ	3.2 kΩ
R4	2.5 kΩ	5 kΩ
R5	1 kΩ	2.5 kΩ

brochage du XC8T95

L: niveau bas

H: niveau haut

Z: haute impédance

Fig-1

III -6-1- Principe :

Un monostable est un circuit qui déclenché par une impulsion délivre une impulsion dont la durée dépend d'un réseau R - C et de paramètre qui lui sont propre.

Le constructeur donne dans ses catalogues des formules ou des abaques liant la durée de l'impulsion obtenue à la valeur du réseau R-C.

La figure (1) donne le schéma de principe d'un monostable et le diagramme correspondant.

Il existe des monostables dits retriggerables ou réamorçables : cela signifie que si une nouvelle impulsion d'entrée se présente avant la fin de l'impulsion de sortie de durée T, l'impulsion de sortie sera prolongée de T à partir de l'instant d'arrivée de la nouvelle impulsion d'entrée . (Voir Fig. 2).

III -6-2- Applications des monostables :

III -6-2-1- Elaboration d'une impulsion de durée déterminée :

A partir d'un signal, on peut en élargir un autre de durée quelconque fixée par le réseau R-C et notamment, obtenir des impulsions longues à partir d'impulsions courtes ; Ces transformations servent dans la commande d'organes à vitesses différentes : Par exemple la commande d'une perforatrice de ruban (vitesse 10 m sec) par une logique de calcul (Vitesse qq μ sec).

III -6-2-2- Elaboration d'instantanés avec des phases particulières :

A partir d'un signal unique et moyennant plusieurs monostables, on peut fabriquer des impulsions ayant des phases déterminées les unes par rapport aux autres.

Supposons que l'on ait besoin, à partir d'un instant déterminé par un signal E, de deux autres signaux de durée t et situés aux instants T_1 et T_2 par rapport au signal E. (Voir Fig. 3).

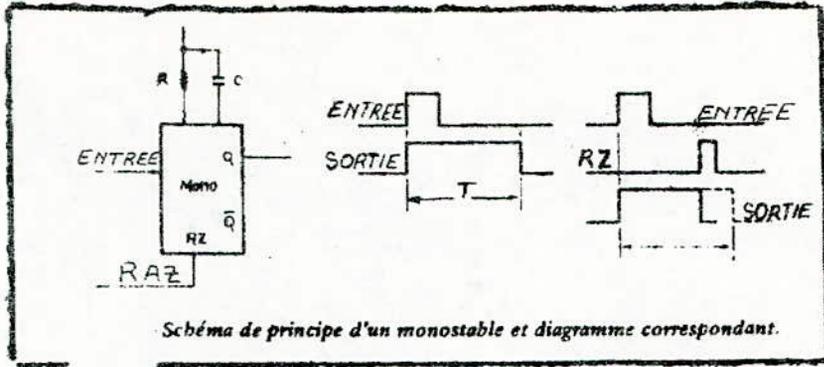


Fig-1

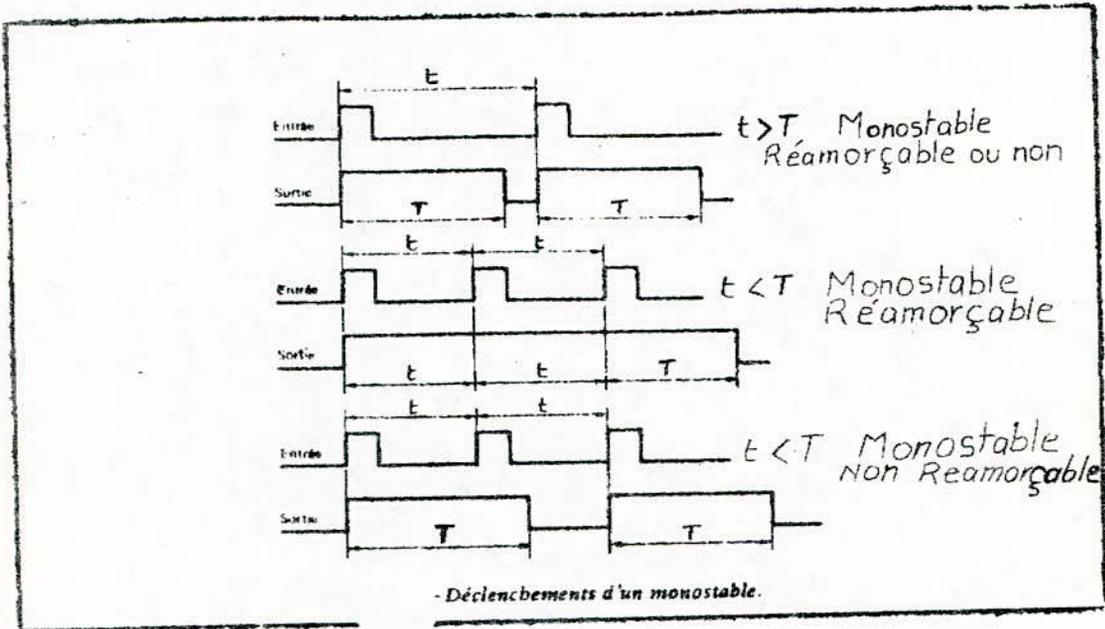


Fig-2

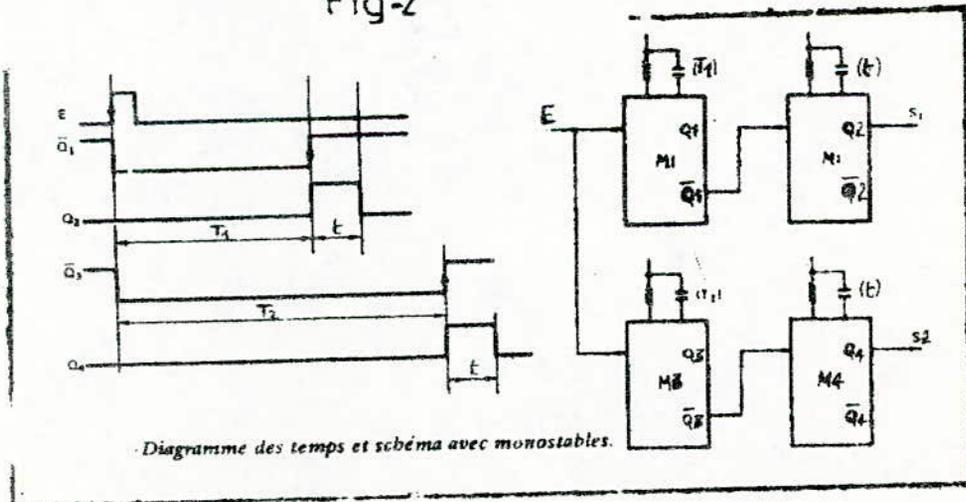


Fig-3

III -6-3- CIRCUITS UTILISES - SN 74-122 -/123.

Le monostable SN/74 122/123 est un circuit qui delivre une impulsion dont la durée est définie par un circuit extérieur $R_T C_T$ après avoir été déclenché par un front.

Ce monostable est redeclenchable; ce qui signifie que son rearmement peut avoir lieu à n'importe quel moment du cycle pourvu que les temps de préconditionnement soient respectés. Chaque réarmement entraîne la prolongation de l'impulsion de sortie, d'une durée égale à celle définie par le réseau R-C. La durée de l'impulsion est définie par la formule.

$$\tau = 0,32 R_T C_T \left(1 + \frac{0,7}{R_T}\right)$$

Pour des valeurs de C_T supérieures à 1000 pF.

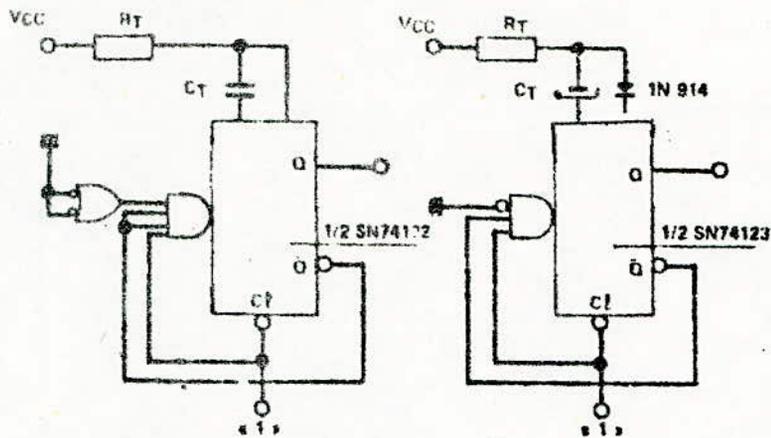
Pour des valeurs inférieures, elle est donnée par le réseau de courbes représenté en (Fig. 4).

La valeur de la résistance R_T ne doit pas dépasser 25 K Ω pour les circuits SN 54 122/123 et 50 K Ω pour les circuits SN 74 122/123. La valeur de C_T , dont la limite inférieure est 50 pF n'a pas de limite supérieure.

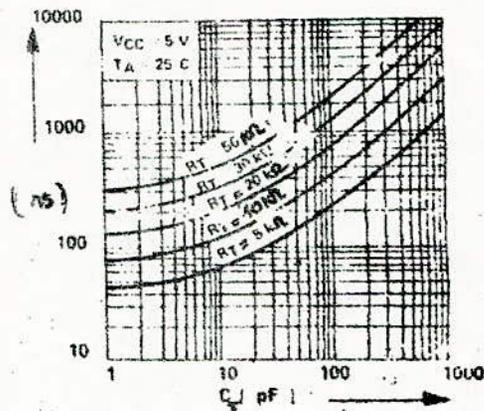
Cependant lors de l'emploi de condensateurs polarisés, il est nécessaire d'utiliser une diode de commutation.

La durée de l'impulsion de sortie est alors déterminée par la formule :

$$\tau = 0,28 R_T C_T \left(1 + \frac{0,7}{R_T}\right)$$



bloc diagramme des monostables



abaque pour $C_T < 1000\text{ PF}$

Fig.4

III -6-4- APPLICATION DES CIRCUITS - SN 74 122 - SN 74 123.

III - 6-4-1- Deux monostables du type SN 74 122 (dont le schéma et la table de vérité sont donnés en Fig. (5).) ont été utilisés selon le montage de la Fig. (6) dans le but de fabriquer deux impulsions de durée t dont les fronts montant sont séparés par une distance connue au préalable et qui est la durée du Strobe 1 (signal de commande issu du calculateur numérique).

Ces impulsions servent pendant la phase d'écriture mémoire : l'une pour la validation Ecriture mémoire, l'autre pour l'incrémentation des compteurs qui donnent le numéro de l'adresse concernée pendant cette phase.

III -6-4-2- Le circuit SN 74 - 123 est en réalité constitué de deux monostables du type SN 74-122 isolés dans un même boîtier. Il a été utilisé suivant le montage de la Fig. (7) et il constitue un véritable délai retardant une impulsion de chargement pour les deux décompteurs chargés de la modulation en temps. La durée du retard infligé a été fixé à 2 μ sec : durée jugée nécessaire à la prédisposition de l'ensemble des circuits entre le moment de la sortie de la data du calculateur et le moment de son chargement dans les deux décompteurs SN 74-193.

L: niveau bas
 H: niveau haut
 X: niveau indifférent
 ↑: transition de bas en haut
 ↓: transition de haut en bas
 ⌋: impulsion positive

	inputs				outputs	
clear	A	A	B	B	Q	\bar{Q}
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
X	L	X	H	H	L	H
H	L	X	↑	H	⌋	⌋
H	L	X	H	↑	⌋	⌋
H	X	L	H	H	L	H
H	X	L	↑	H	⌋	⌋
H	X	L	H	↑	⌋	⌋
H	H	↓	H	H	⌋	⌋
H	↓	↓	H	H	⌋	⌋
↑	L	X	H	H	⌋	⌋
↑	X	L	H	H	⌋	⌋

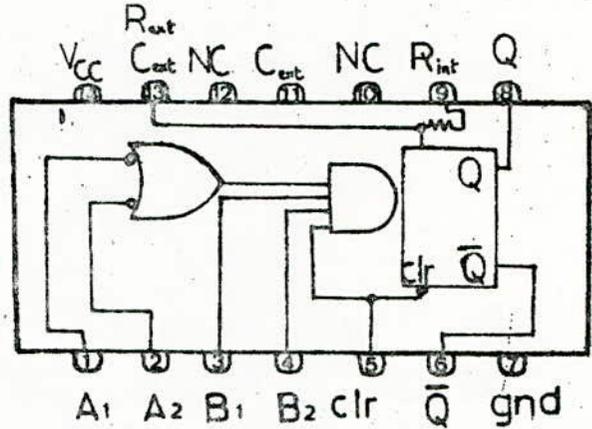


Table de vérité et brochage du SN74122

	inputs		outputs	
clear	A	B	Q	\bar{Q}
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	⌋	⌋
H	↑	H	⌋	⌋
↑	L	H	⌋	⌋

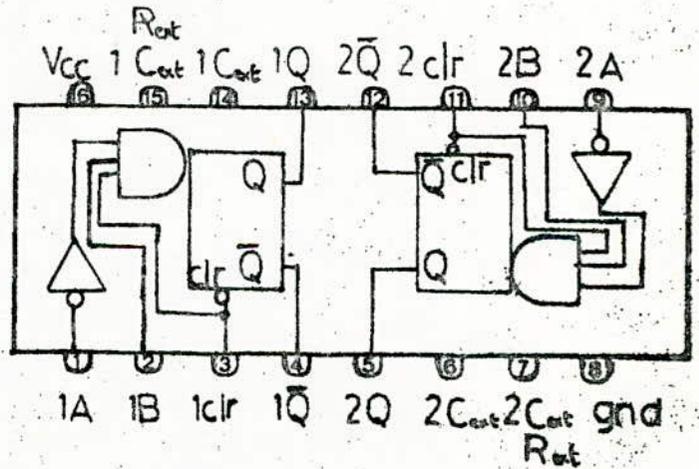
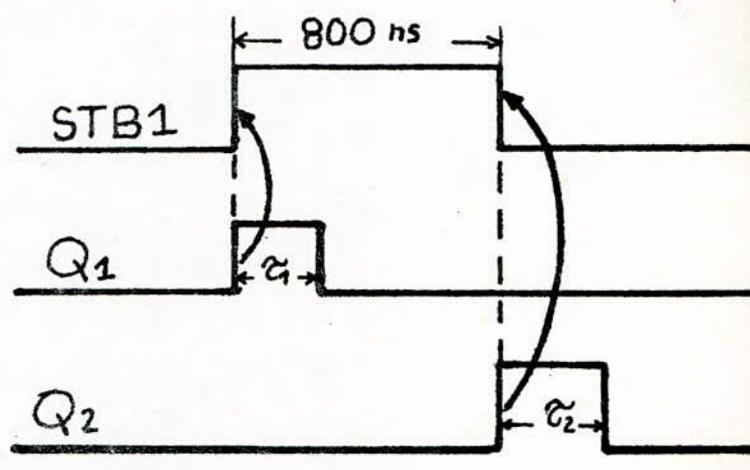
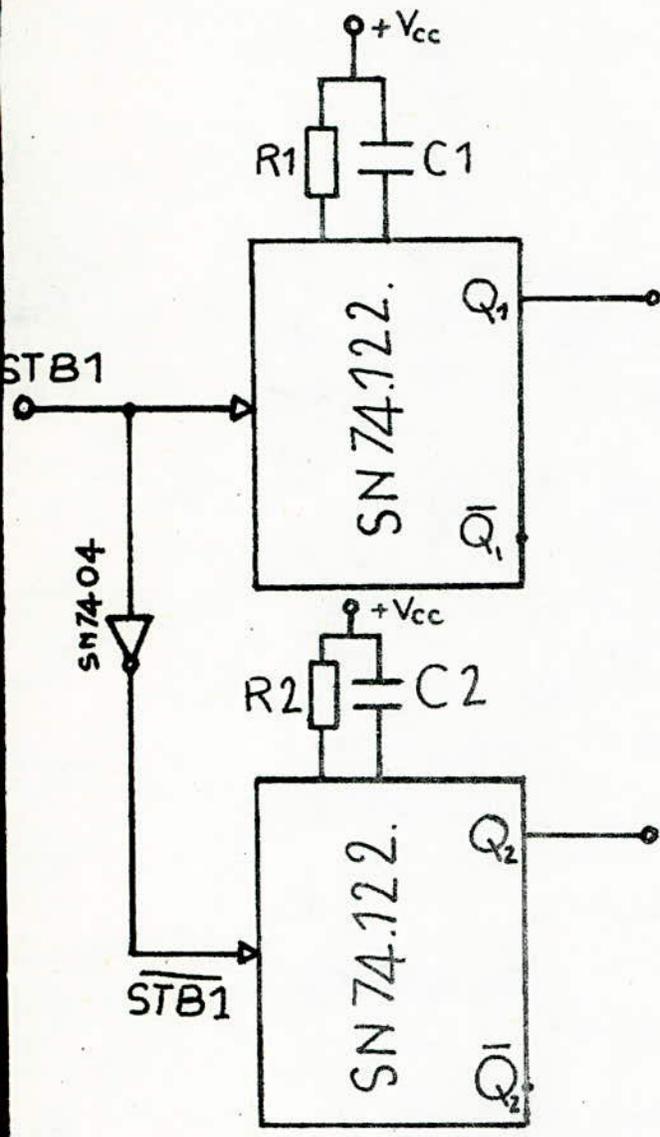
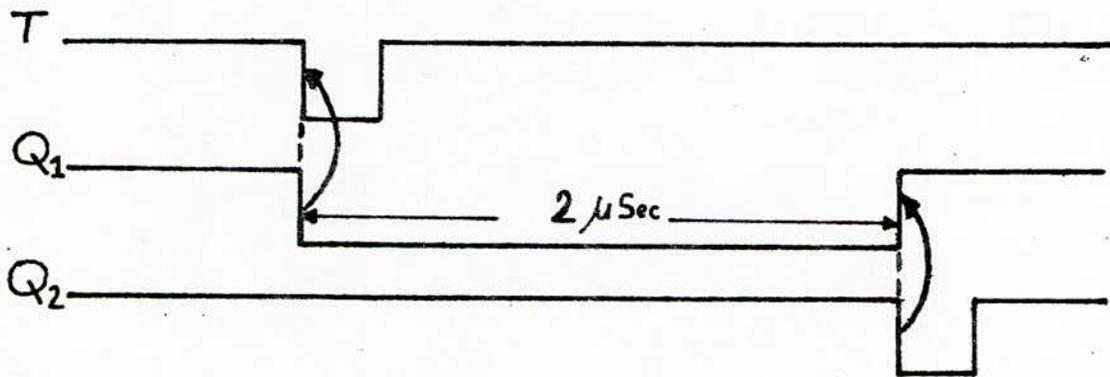
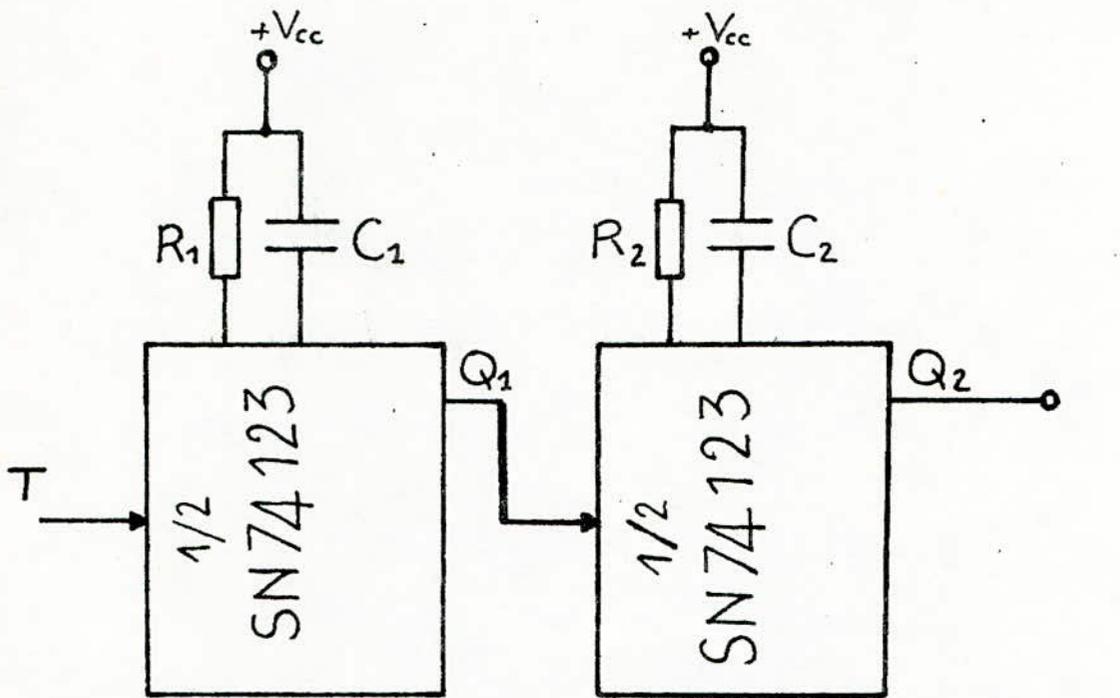


Table de vérité et brochage du SN74123

Fig-5



- FIG. 6. -



- FIG. 7 -

III - 7 -1- Introduction :

Une bascule, ou "flip-flop" est un circuit présentant une sortie Q et une sortie complémentée \bar{Q} accessibles toutes les deux dans la plupart des circuits intégrés.

Selon que cette sortie Q est au niveau logique 1 ou 0, la bascule est dite à l'état 1 ou 0 respectivement (l'information 1 ou 0 est stockée).

L'introduction de cette information binaire dans la "flip-flop" nécessite au préalable l'application d'états logiques bien définis aux diverses entrées ; ainsi que l'observation des diagrammes de temps précis.

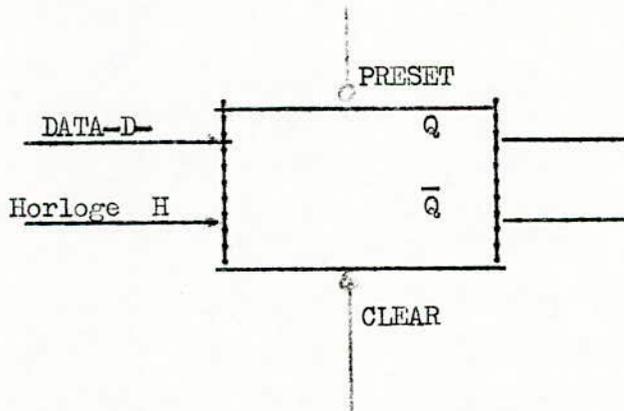
Par exemple l'application d'une impulsion sur l'entrée "CLEAR" permet la mise à zéro de la bascule (R.A.Z.).

Par contre l'application d'une impulsion sur l'entrée (PRESET) met la bascule à l'état 1.

Moyennant un certain nombre de conditions, et tant que l'alimentation n'est pas coupée, l'information reste conservée dans la bascule.

III . 7 -2- LA bascule D :

La figure 1 donne le schéma symbolique d'une bascule D .



-Fig. 1 -

On distingue principalement deux types de bascules **D** :

- a - La bascule LATCH (Type D - LATCH).

C'est une bascule dérivée de R.S.T qui transfère en sortie, en coïncidence avec un signal d'horloge l'information présentée sur l'entrée D. Le schéma, diagramme des temps ainsi que la table de vérité sont donnés en fig. 2.

- b - La bascule D type EDGE - TRIGGERED :

Dans ce type de bascule, la synchronisation a également lieu sur un front d'horloge qui, une fois appliqué isole la sortie de la bascule de son entrée : ce qui n'est pas le cas dans la bascule LATCH.

De plus, dans ce type de bascule, deux entrées supplémentaires permettent :

- 1 - De mettre la bascule à l'état 1 en appliquant zéro sur l'entrée PRESET.
- 2 - De mettre la bascule à l'état 0 en appliquant zéro sur l'entrée CLEAR (RAZ).

- c - La bascule SN 74-74

C'est une bascule du type EDGE - TRIGGERED -

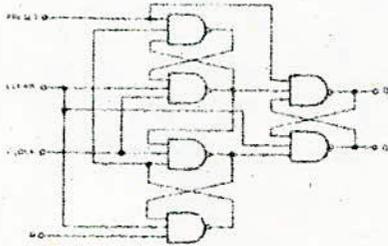
Elle a été utilisée dans notre cas dans le but de traduire en grandeur temps, une série d'informations binaires sortant d'un décompteur, et ce en vue de l'obtention d'une modulation nécessaire au fonctionnement de notre interface.

Elle a été montée suivant les configurations 2 et 4 de la table de vérité représentée en page 39.

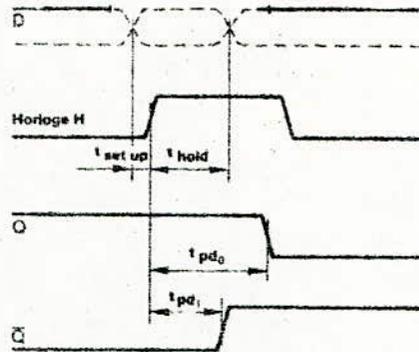
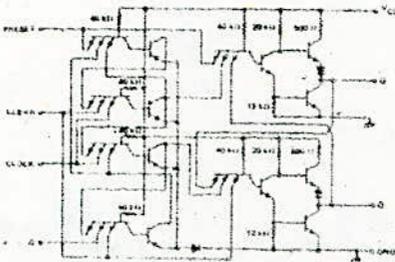
Les entrées "PRESET" et "D" étant maintenues constamment au niveau logique "1" ; une impulsion positive sur l'entrée "CLOCK" (délivrée par le signal STB 1) met la bascule à l'état 1 ; par contre un niveau "zéro" appliqué par le signal "BORROW" sur l'entrée "CLEAR" met la bascule à l'état "zéro".

Le niveau logique "1" de la bascule dure donc pendant toute la durée du décomptage d'une "data" par les deux décompteurs SN 74 193. Par contre le niveau "zéro" ne dure que pendant le temps où le décomptage d'une "DATA" se termine et le moment de l'arrivée d'une autre, qui s'accompagne de l'impulsion "LOAD" de chargement.

Table de verité



	Entrées				Sorties		Remarques
	Preset	Clear	Clock	D	Q*	Q̄*	
ASYNC	0	1	X	X	1	0	Affichage à 1
	1	0	X	X	0	1	Affichage à 0
	0	0	X	X	1*	1*	État instable
SYNC	1	1	↑	1	1	0	Affichage à 1
	1	1	↑	0	0	1	Affichage à 0
	1	1	0	X	0*	0*	Pas de changement



Bascule D à commande sur front (type SN 54/74L74).

Bascule D à commande sur front.

Fig 2

Paramètres	Minimum	Typique	Maximum
Durée de l'horloge (niveau haut)	30 nS		
Durée de l'horloge (niveau bas)	37 nS		
Durée du preset ou clear (niveau bas)	30 nS		
Setup time (préaffichage)	↑ 20 nS		
Hold time (temps de maintien)	↑ 5 nS		
Fréquence maximum d'horloge	15 MHz	20 MHz	
t_{pHL} sous l'action de preset pour Q			25 nS
t_{pHL} sous l'action de preset pour Q̄			40 nS
t_{pHL} sous l'action de clear pour Q			25 nS
t_{pHL} sous l'action de clear pour Q̄			40 nS
t_{pHL} sous l'action de clock pour Q ou Q̄	10	14	25
t_{pHL} sous l'action de clock pour Q ou Q̄	10	20	40

- Paramètres dynamiques de la bascule D 7474.

Fig 3

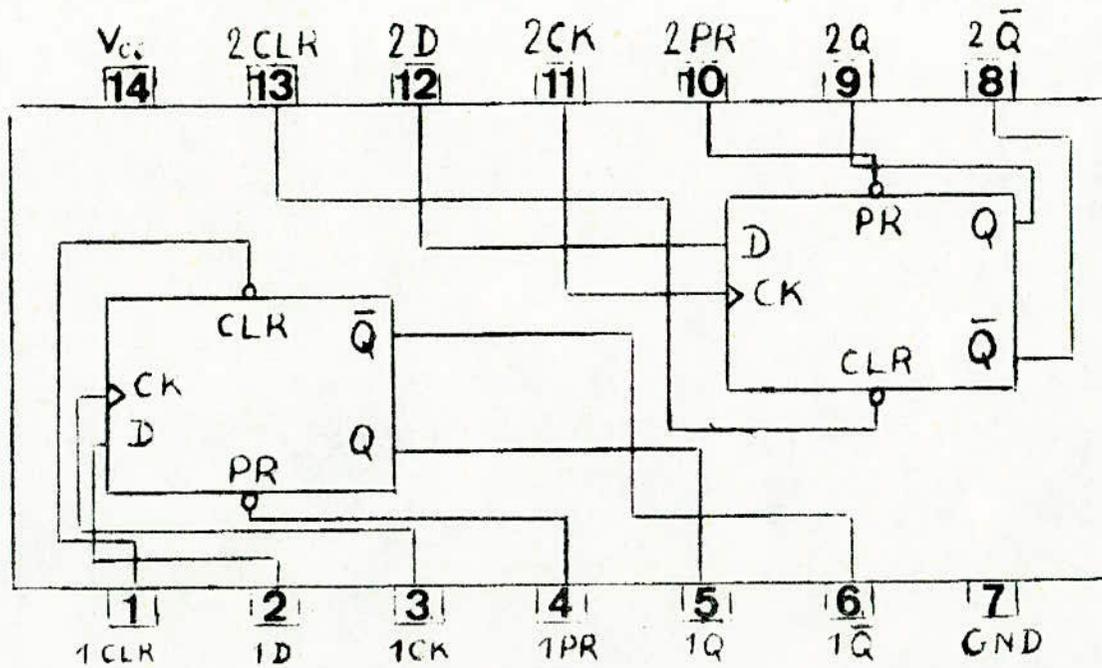


Schéma de brochage de la bascule SN7474

Les circuits trigger de Schmidt (SN 74-13) ont permis la réalisation d'un oscillateur avec une gamme de fréquence de sept décades (Voir fig. 1) grâce à deux caractéristiques importantes:

- L'hystérésis (300 mV typique)
- Fonction logique d'inversion.

L'oscillateur obtenu, du type à relaxation démarre sans intervention extérieure, il existe un retard τ entre l'initialisation et le début du train d'impulsions.

$$\boxed{\tau \approx 220 \times C} \quad \text{pour } R = 220 \Omega$$

Notons que dans ce cas, la sortie comporte un nombre entier de cycles.

La résistance variable de contre réaction permet la variation de la fréquence désirée. La fréquence issue de l'horloge varie théoriquement de 200 khz à 2 Mhz.

En supposant le réseau R-C-exempt de dérive, il est à noter que la fréquence de 1 Mhz obtenue est assez stable.

Les valeurs de $R = r+p$ et C sont obtenues à l'aide de la formule suivante :

$$\boxed{F = \frac{1}{3 (R+P) C}}$$

$F = 1 \text{ Mhz}$

En fixant

$$\boxed{r = 33 \Omega}$$

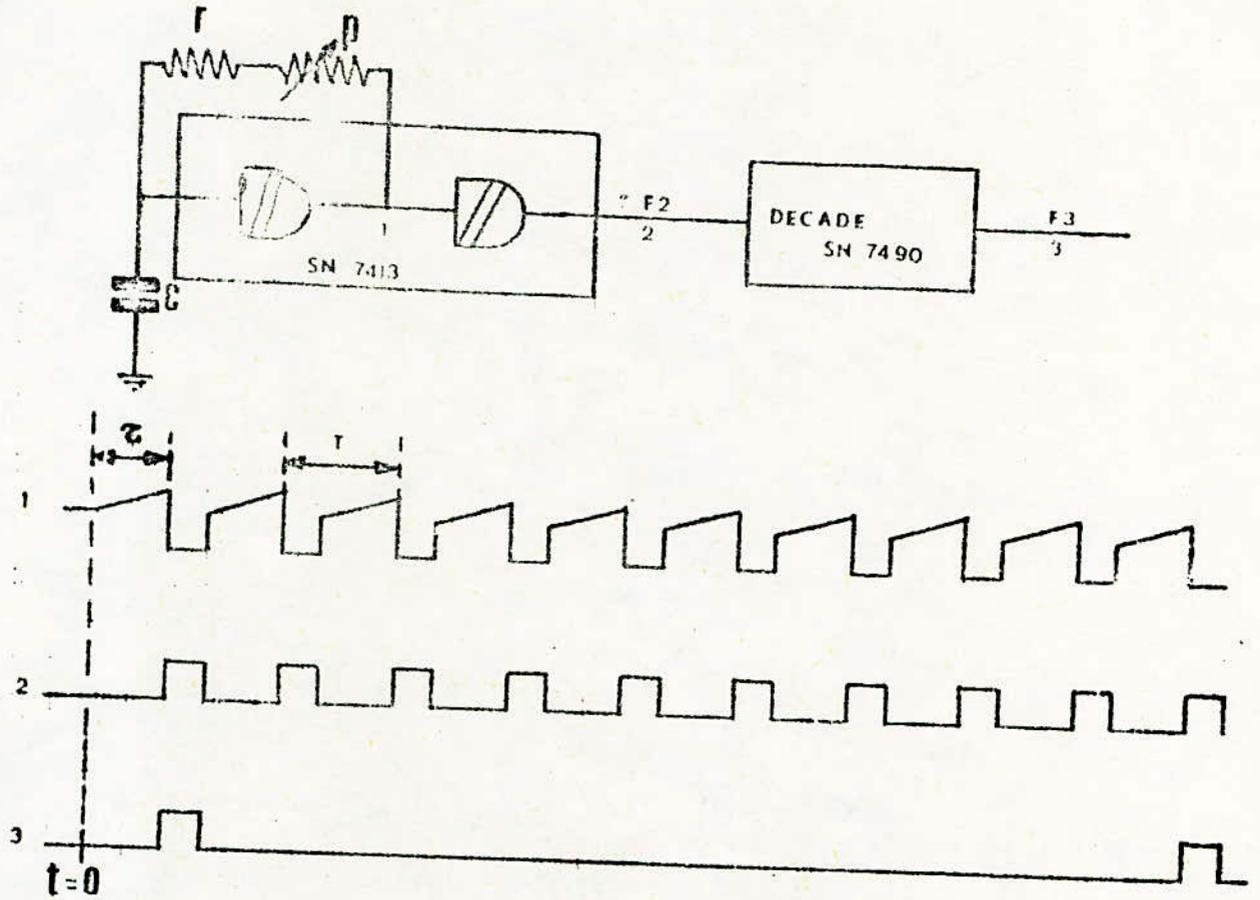
Il vient

$$\boxed{C = 10 \text{ nF}} \quad \text{avec}$$

Voir schéma de brochage (fig. 1).

$$\boxed{r + p = 33 \Omega}$$

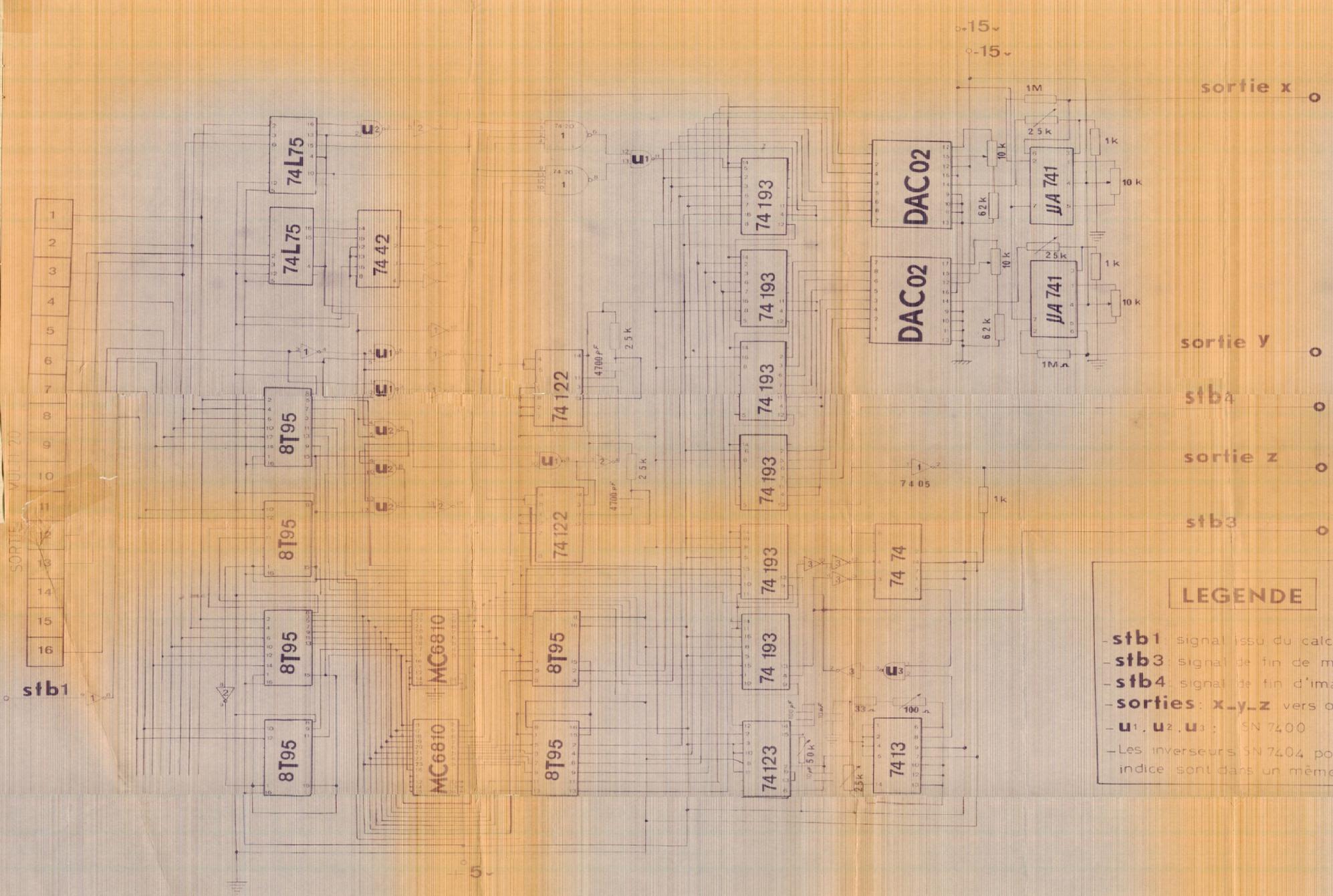
HORLOGE



$$200 \text{ KHz} \ll f_2 \propto \frac{1}{3(r+p)C} \ll 2 \text{ MHz}$$

(fig.1)

$$f_2 = 10 f_3$$

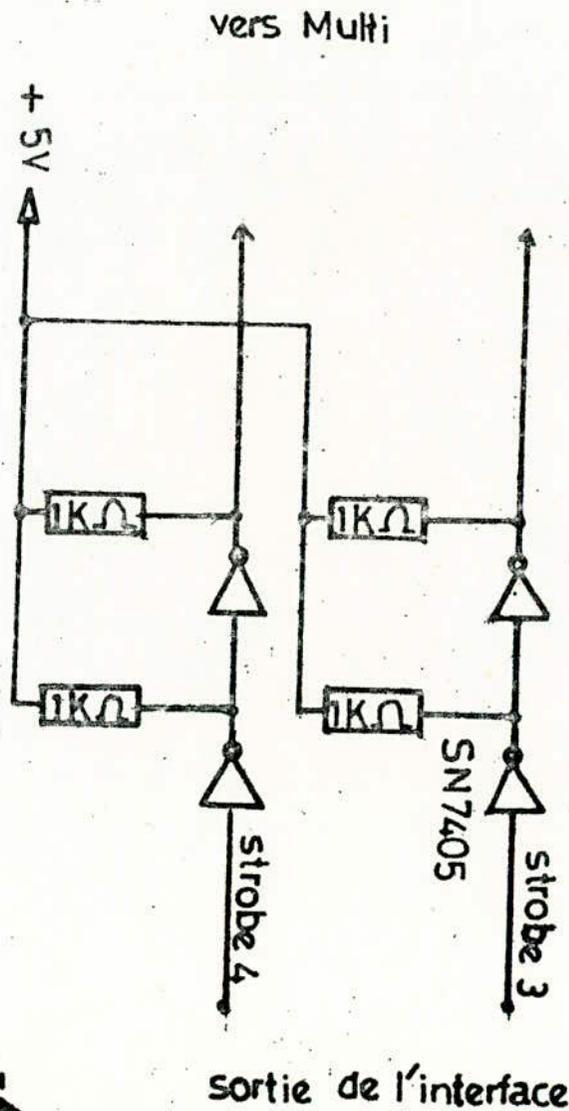


LEGENDE

- stb1 : signal issu du calculateur.
- stb3 : signal de fin de mot.
- stb4 : signal de fin d'image.
- sorties : x-y-z vers oscilloscope
- u1, u2, u3 : SN 7400
- Les inverseurs SN 7404 portant le même indice sont dans un même boîtier

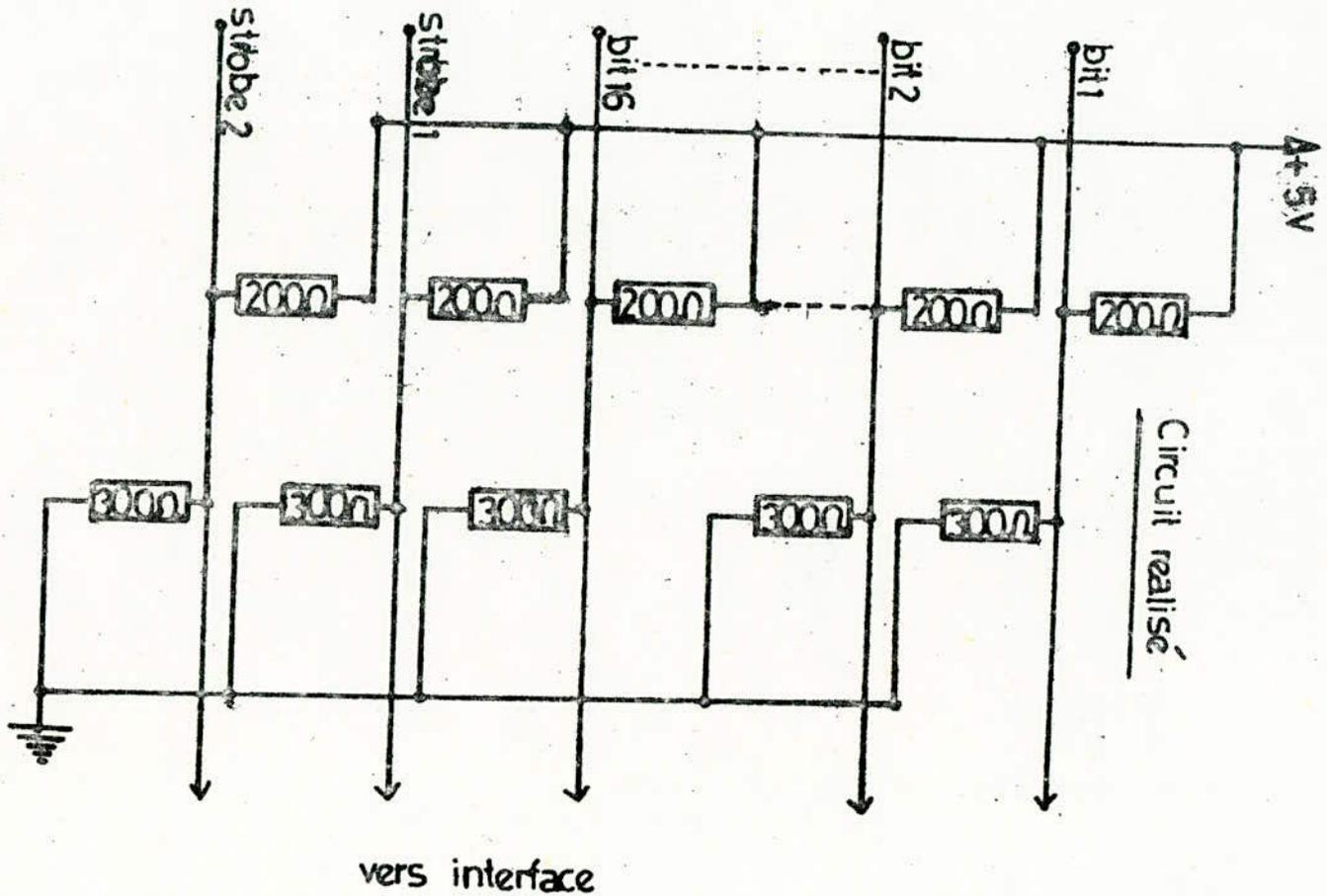
**SCHÉMA DE BROCHAGE GÉNÉRAL
DE
L'INTERFACE MULTI 20 - UNITE DE VISUALISATION**

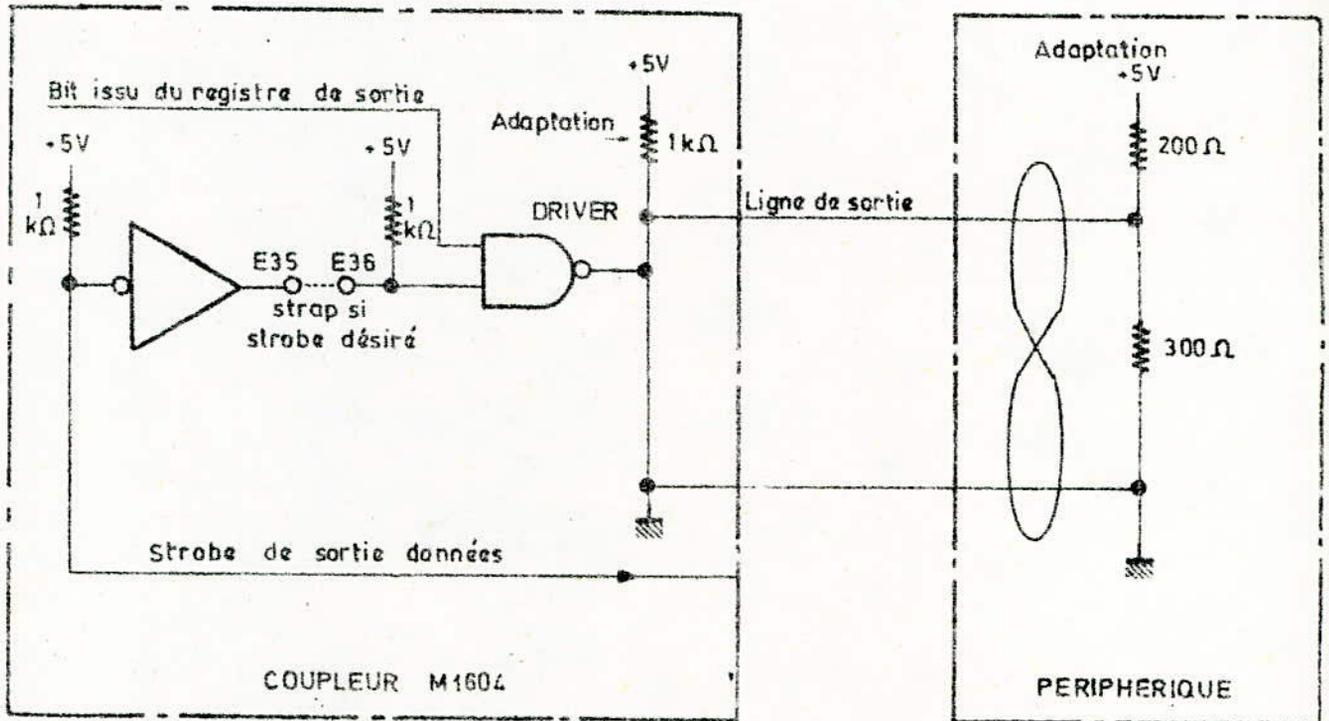
Adaptation en entrée du Multi



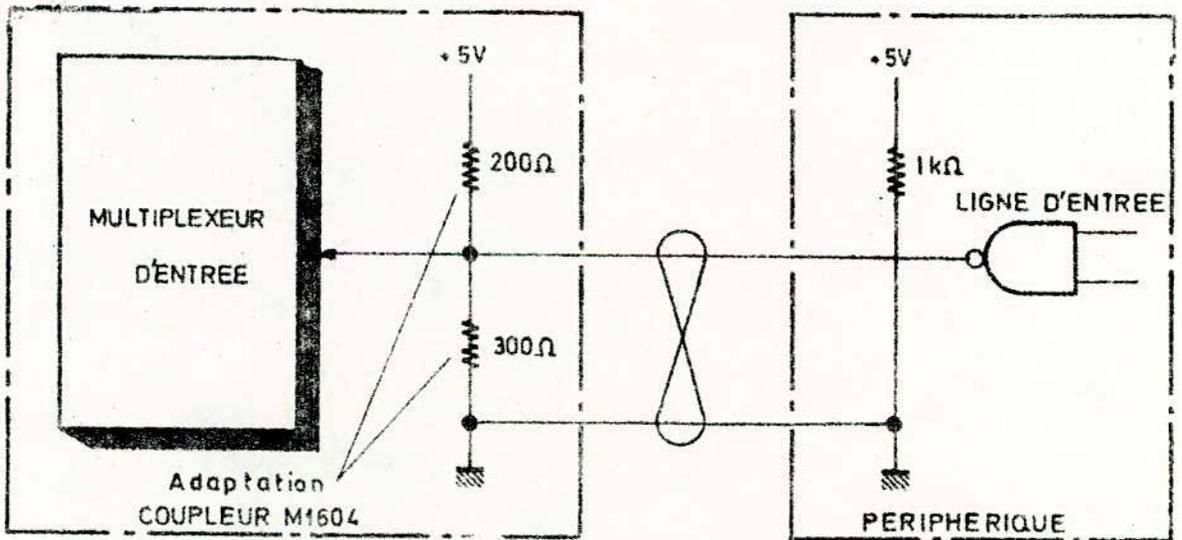
Adaptation en sortie du Multi 20

Lignes de sortie

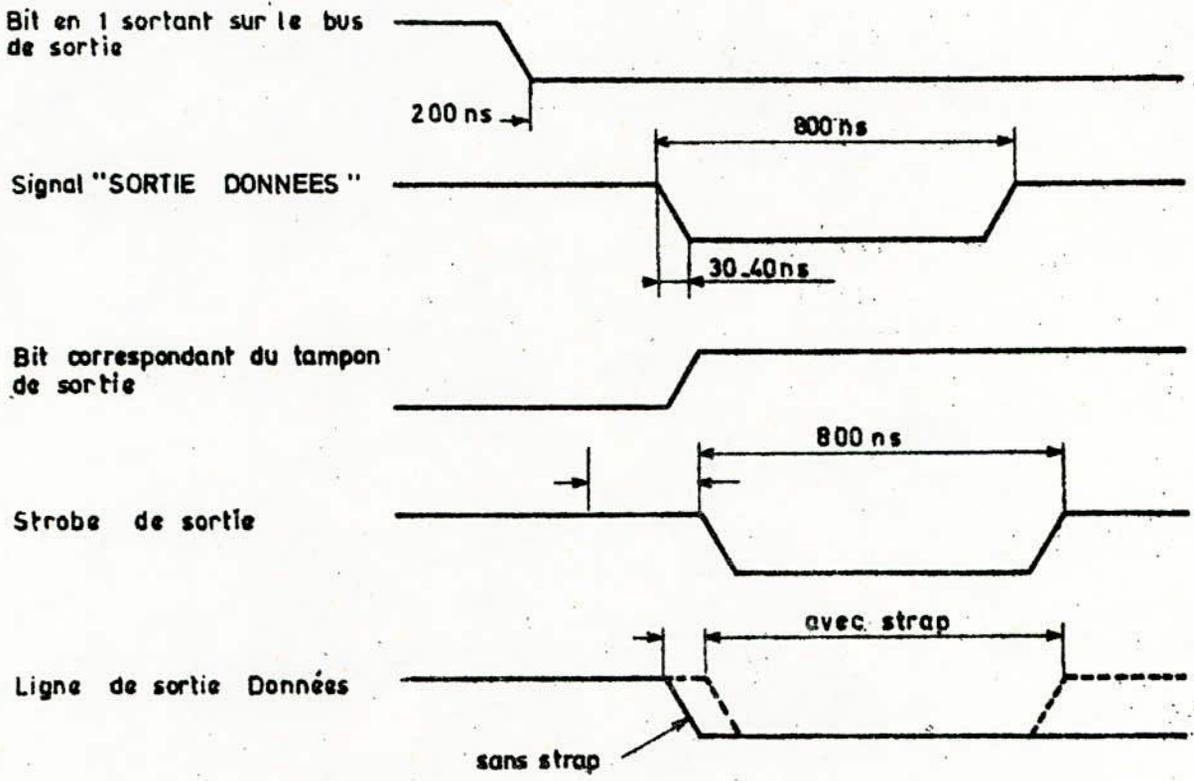




ADAPTATION EN SORTIE



ADAPTATION EN ENTREE



- DIAGRAMME DE TEMPS D'UNE SORTIE

IV - 2 - 2 - Choix des bits de commandes :

- Bit 1 à l'état logique 1 : Initialisation de l'ensemble des circuits du système.
- Bit 2 à l'état logique 1 : Il s'agit d'une commande "Image Automatique".
- Bit 3 à l'état logique 1 : Commande "Ecriture - Mémoire".
- Bit 3 à l'état logique 0 : Commande "Lecture - Mémoire".
- Bit 12 et bit 13 : Commande "Dimension Image".

bit 12	bit 13	dimension (Points/lignes)
0	0	128/128
0	1	256/256
1	0	512/512
1	1	1024/1024

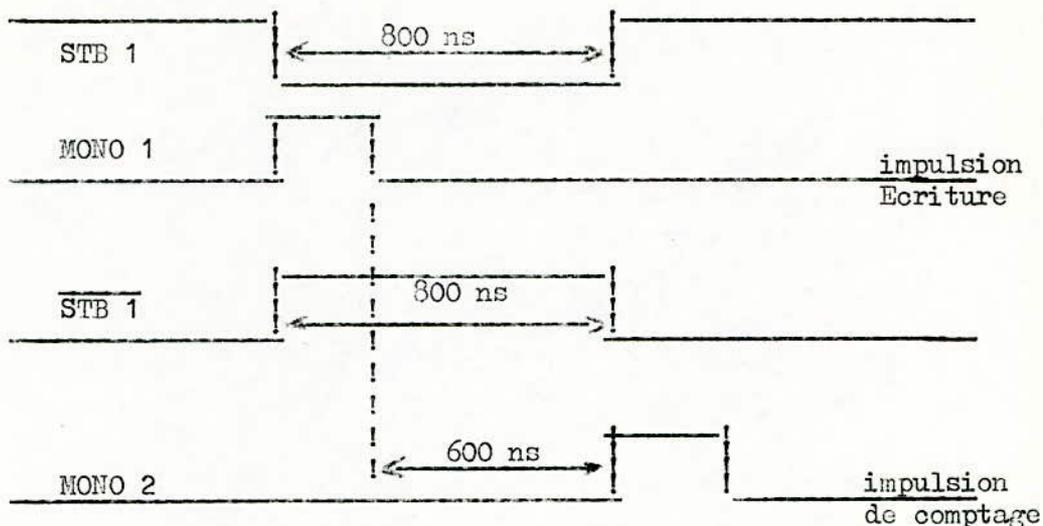
IV - 2 - 3 - Bit 16 à l'état logique 0 :

Les datas considérées sont présentés sur les huit premiers bits et elles sont accompagnées du Strobe STB1.

- Afin de sauvegarder les signaux de commandes Initialisation, Commande R/W, commande image automatique, commande dimension Image, on utilise des registres "LATCH" capables de stocker des informations tant que l'alimentation n'est pas coupée et tant qu'il n'y a pas d'informations à enregistrer dessus.

IV - 2 - 4 - Fonctionnement : Avant toute manipulation, il faut initialiser le système afin de le prédisposer. On passe ensuite en mode d'écriture mémoire.

Pour cela deux monostables sont prévus l'un pour la permission Ecriture - Mémoire en délivrant des impulsions sur les entrées R/W des deux mémoires MC6810 A ; l'autre donnant des impulsions de comptage qui sont envoyées au Compteur - Adresse.



Le décalage entre les deux impulsions est suffisant pour permettre l'inscription du mot en mémoire puis de passer à l'adresse suivante.

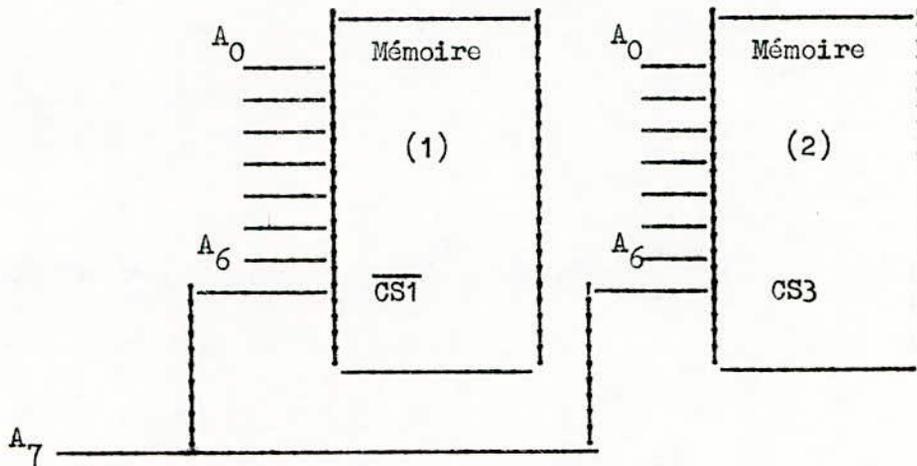
IV - 3 - - Système de mémorisation :

Les mémoires utilisées sont de technologie CMOS, type MC6810 A possédant 6 chips - Select et ayant une capacité de 128 mots de 8 bits avec 8 bits d'entrée/sortie et 7 bits d'adressage.

Dans notre propre réalisation cette mémoire servira de table de correction comportant une échelle de 256 gris différents. En mode d'écriture, on **stocke** les 256 mots correspondant à cette échelle préalablement étudiée en tenant compte d'une multitude de corrections allant même jusqu'aux imperfections intrinsèques de l'oscilloscope TEKTRONIX (Résolution, Remanence du spot sur l'écran etc.....), et de l'appareil photo (cellule photo - sensibles,.....).

Vu que la mémoire MC6810 A a une capacité de 128 mots, il est nécessaire alors de mettre deux mémoires en cascade en utilisant deux chips - Select CS_i d'une mémoire et CS_j de l'autre qui sont liés entre-eux et qui correspondent à un huitième bit d'adresse.

Quand ce huitième bit est à l'état logique "ZERO", ceci correspond à l'adressage de la première mémoire et quand il est à l'état logique "UN", c'est la seconde mémoire qui est validée.



MEMOIRE 1				MEMOIRE 2													
ADRESSE	0	11	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
!	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
!			0														
!			0														
!			0														
!			0														
!	127	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

La première data est stockée dans la cellule mémoire d'adresse "ZERO" ; grâce à la première des deux impulsions provenant des deux Monostables sus-cités, quelques nanosecondes après ; la seconde impulsion délivrée par le second monostable sert d'horloge pour les compteurs -Adresse.

La seconde data est inscrite en adresse 1 qui est alors disponible, le compteur passera à l'adresse 2 ou en écriture binaire à l'adresse 00 0000 10.

En mode d'écriture-Mémoire, la liaison entre les sorties des compteurs SN74 193 et les entrées Adresse-Mémoire se fait grâce à des registres THREE - STATES.

- Pour extraire parallèlement les 8 bits d'un mot, deux registres trois états sont valides simultanément.
- En mode d'écriture : Les datas sont liées aux entrées mémoires à travers un ensemble de registre "THREE - STATE."
- En mode lecture : les deux paires de registres "THREE-STATE" sont à haute impédance et les "DATAS" délivrées par le registre de sortie du Multi 20 sont liées aux adresses des mémoires à travers une troisième paire de registre THREE - STATE.

Les informations nécessaires pour la modulation du Whenelt de l'oscilloscope TEKTRONIX sont alors présentes en sortie de la mémoire grâce au R/W qui est dans ce cas à l'état logique 1 et qui prépare la mémoire à la phase de lecture.

La durée de la présence de la data en sortie de mémoire dépend surtout de l'arrivée du STROBE STB 1 qui accompagne l'adresse, puisque l'ensemble est déjà prédisposé.

IV - 4 - Système de modulation du Whenelt. (En temps)

Les datas présentes à la sortie de la mémoire se dirigent vers les entrées des deux compteurs SN 74 193 liés en cascade. Chaque décompteur possède quatre entrées.

Le borrow du premier décompteur attaque l'entrée COUNT -DOWN du second.

Ainsi nous aurons huit bits en sortie des décompteurs, ceci correspond au mot en sortie de la mémoire.

A l'application d'une impulsion négative issue du calculateur, sur l'entrée LOAD les informations appliquées aux entrées des décompteurs apparaissent en sortie.

Le décomptage s'effectue alors depuis la valeur imposée par la data - information jusqu'à la valeur zéro et ce au rythme d'une horloge extérieure de fréquence ajustable autour de 1Mhz. Un système de verrouillage conçu à partir d'une porte NAND et de circuits inverseurs, recevant à ses entrées la sortie FLIP-FLOP et la sortie horloge, sert à bloquer le décomptage à la réception du signal BORROW issu du second décompteur, et à débloquent le décomptage à l'arrivée de la nouvelle data-information.

La sortie BORROW du second decompteur attaque l'entrée horloge de la bascule "FLIP -FLOP" SN 74 74 qui se retrouve à l'état logique 0.

Dés que le signal annonçant l'arrivée de la nouvelle data arrive sur son entrée "PRESET", la sortie de la bistable reste à l'état 1 pendant toute la durée du decomptage.

Ce qui réalise une modulation en temps permettant de traduire une information binaire en une grandeur temps dont la durée dépend de la valeur de l'information binaire proprement dite.

Ainsi la sortie de la bistable attaque un transistor à collecteur ouvert SN 74 05 pour l'adaptation avec l'entrée de l'oscilloscope, ainsi que pour la mise en forme du signal obtenu.

La sortie de ce transistor attaque l'entrée Whentel de l'oscilloscope TEKTRONIX, qui libère le faisceau électronique lorsque la sortie est à 1 et qui le bloque quand elle est à l'état 0.

On ne verra donc sur l'écran de l'oscilloscope un spot lumineux (dont la luminosité dépend du temps d'exposition du spot sur l'écran : donc de la durée du signal sortant de la bistable) que lorsque l'état logique de la FLIP-FLOP est à 1.

IV - 5 : Système de retard.

Comme le signal STB 1 qui accompagne les datas attaque les entrées "LOAD" des deux decompteurs, il s'agit donc de tenir compte du temps que mettent les "datas" pour transiter dans tous les circuits, avant d'atteindre les decompteurs.

Il faut donc que les datas soient chargées grâce à l'impulsion "LOAD", juste au moment de leurs arrivées et non avant.

Pour cela l'impulsion STB 1 est retardée d'une durée pratiquement égale à la durée de transit des datas soit $\tau \approx 2 \mu \text{sec}$.

Le circuit réalisant cette fonction de délai est représenté en fig. 7 § III 6 -.

IV . 6 Système de comptage.

Quatre compteurs du type SN 74 193 ont été utilisés et montés en cascade pour réaliser un compteur de 16 bits.

Les deux premiers compteurs donnent le balayage horizontale.

Les deux derniers servent quant à eux, au balayage vertical.

Le premier compteur est piloté par le "Strob." STB 1, et à la fin de chaque cycle de comptage, il delivre une impulsion negative "CARRY" qui sert d'horloge au compteur suivant.

Ainsi chaque compteur pilote le compteur suivant, jusqu'au quatrième.

Chaque impulsion "carry" du second compteur sert de signal de "FIN DE LIGNE".

Chaque impulsion "carry" du quatrième compteur sert ^{de signal} de "FIN d'IMAGE".

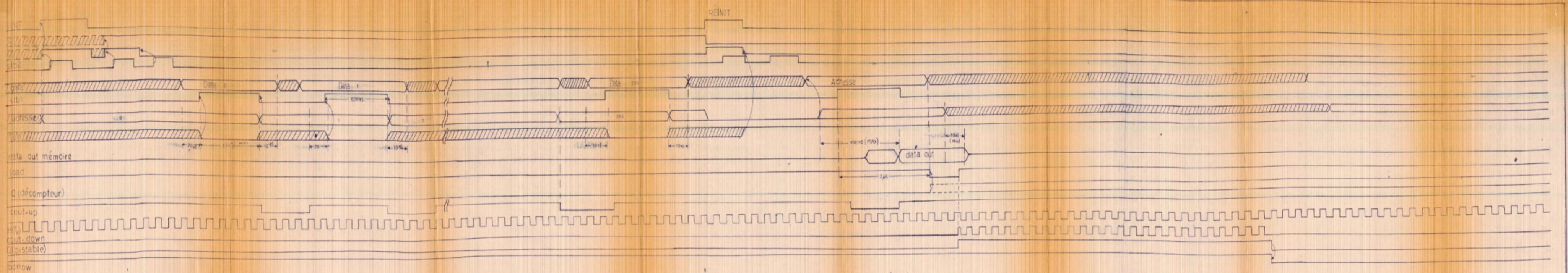
Le signal "FIN DE MOT" quant à lui est issu du second decompteur (SORTIE BORROW).

Les sorties du premier compteur attaquent les entrées d'un convertisseur N/A pour obtenir un signal Analogique pour le balayage en X.

Les sorties du second compteur attaquent eux aussi, un deuxième convertisseur N/A pour obtenir un signal analogique pour le balayage en Y.

La tension maximale en sortie des CNA est réglée à 10 V lorsque toutes les entrées numérique sont à l'état 1.

L'attaque de l'oscilloscope TEKTRONIX se faisant avec de faibles signaux, les sorties X et Y du CNA ont été réduites à $\frac{1}{10}$ de leur valeur grâce à deux circuits atténuateurs à base de circuits intégrés du type μ A 741.



Chronogramme de la phase "ouverture mémoire"

Chronogramme de lecture et de traitement d'une "data"

Etat indéterminé

Le UA 741 est un circuit intègre, qui peut avoir plusieurs fonctions

- Adaptation
- Atténuation
- Amplification

Le montage réalisé permet d'adapter parfaitement le convertisseur à l'oscilloscope et de pouvoir attaquer ce dernier avec de faibles signaux, d'où le rôle d'atténuateur. Ce montage atténue la tension de sortie du convertisseur à 1/10 de sa valeur, c'est à dire à 1v au maximum. le réglage de la tension d'offset du circuit intégré se fait grâce au potentiomètre Rp de 10K Ω (voir schéma).

calcul des éléments

soit G le gain de l'amplificateur

$$V_s = G \cdot V_1$$

$$V_1 = \frac{R_1}{R_1 + R_2} V_s - \frac{R_4}{R_3 + R_4} V_e$$

$$V_s = G \left[\frac{R_1}{R_1 + R_2} V_s - \frac{R_4}{R_3 + R_4} V_e \right]$$

$$\Rightarrow V_s \left[1 - \frac{GR_1}{R_1 + R_2} \right] = -G \frac{R_4}{R_3 + R_4} V_e$$

$$\Rightarrow \frac{V_s}{V_e} = \frac{-\frac{G R_4}{R_3 + R_4}}{1 - \frac{G R_2}{R_3 + R_2}} = \frac{-\frac{R_4}{R_3 + R_4}}{\frac{1}{G} - \frac{R_2}{R_3 + R_2}}$$

G étant très grand, on peut écrire : $\frac{1}{G} \approx 0$

$$\Rightarrow \frac{V_s}{V_e} \approx \frac{R_3 + R_2}{R_4} \cdot \frac{R_4}{R_3 + R_4} = \left[1 + \frac{R_2}{R_4} \right] \frac{R_4}{R_3 + R_4}$$

si $R_1 \gg R_2$

$$\frac{V_s}{V_e} \approx \frac{R_4}{R_3 + R_4}$$

cas du schéma de la fig 2 où on a pris :

$$R_2 = 1M\Omega$$

et R_1 est un circuit ouvert

il faut que :
$$\frac{R_4}{R_3 + R_4} = \frac{1}{10}$$

pour permettre une bonne linéarité sur l'écran .

Schema d'un attenuateur

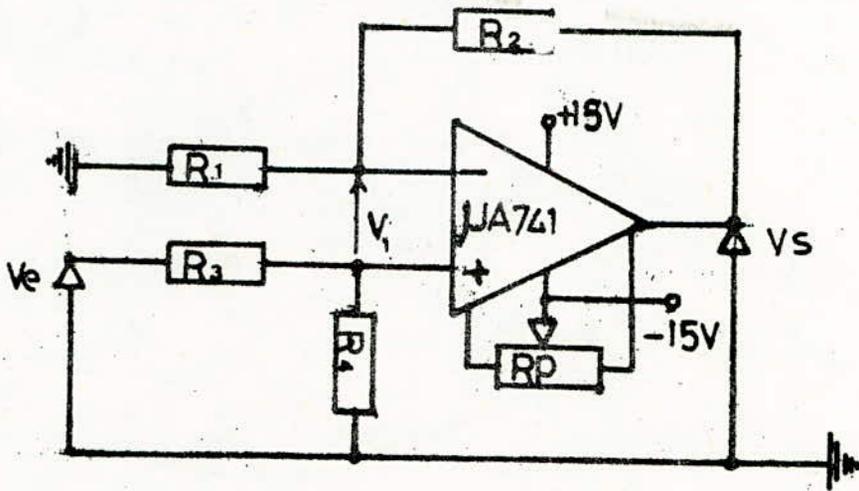


fig.1

Schema utilisé

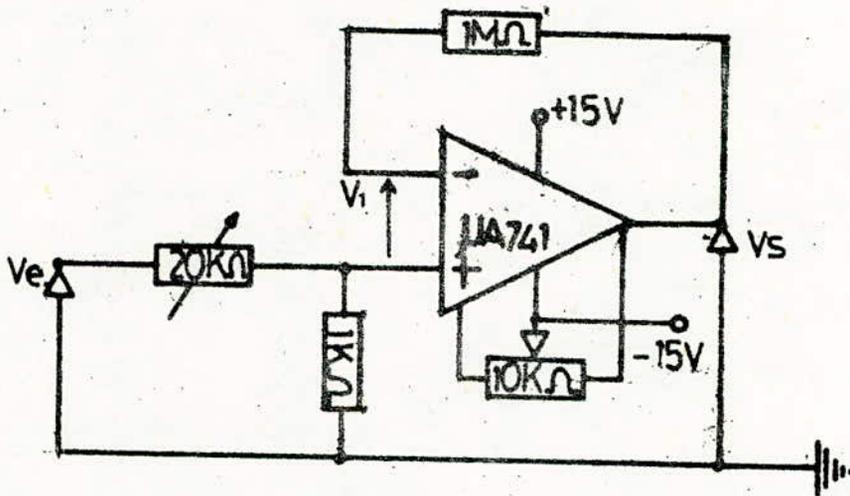


fig.2

IV -8- -- A L I M E N T A T I O N --
○○○○○○○○○○○○○○○○○○○○

Les circuits utilisés nécessitent une Alimentation stabilisée délivrant différentes tensions :

- Une tension de + 15 v sous un débit maximal de 500 mA.
- Une tension de - 15 v sous un débit maximal de 500 mA.
- Une tension de + 5 v sous un débit maximal de 1,5 A.

Alimentation de + 15 v et - 15 v.

C'est une alimentation de conception classique comportant un transformateur 220 v/16 v à deux secondaires de 32 VA à chaque phase.

- Un pont de diodes pour le redressement (MDA 970) ;
- Un condensateur de filtrage de 4700 μ F pour chacune des deux phases.
- Enfin un régulateur MC 7815 pour la tension de (+ 15v) et un autre MC 7915 pour celle de (- 15 v).

Les ondulations éventuelles pouvant produire des ronflements sont atténuées par des condensateurs de faibles valeurs (470 nF) à chaque sortie.

Les deux régulateurs sont montés sur des radiateurs bien aérés afin d'assurer une bonne dissipation.

Malgré la protection intrinsèque des régulateurs contre les Courts-Circuits éventuels, il a été jugé utile de renforcer cette protection par des fusibles à fusion rapide.

Ceci étant, car nul montage n'est à l'abri d'un Court-Circuit ou même d'une manipulation maladroite.

Alimentation de + 5 v.

Le principe adopté est similaire au précédent. Cependant la régulation s'effectue par une diode Zener.

Le débit maximal sous une tension de 5 v étant de 900 mA, il a été jugé nécessaire d'amplifier en courant en utilisant un transistor de puissance (2 N 3055) et ce afin d'obtenir un débit de 1,5 A.

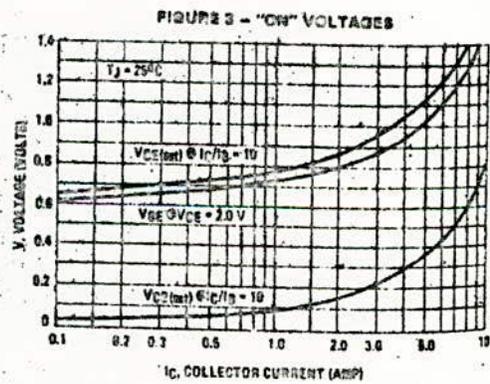
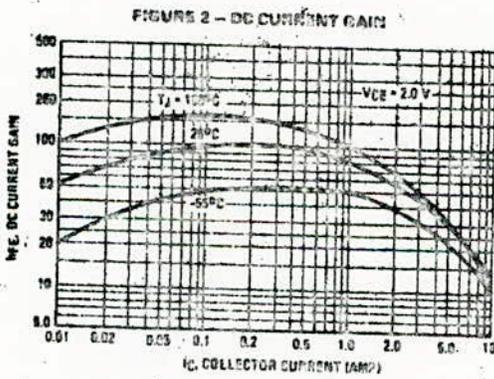
Ce transistor nécessite un refroidisseur (Radiateur) de grande Conductibilité thermique afin de dissiper les calories produites au niveau de la jonction.

MJE3055, MJE3055K (continued)

ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
OFF CHARACTERISTICS				
Collector-Emitter Sustaining Voltage (1) ($I_C = 200\text{ mAdc}, I_B = 0$)	$V_{CE0}(\text{sus})$	60	—	Vdc
Collector Cutoff Current ($V_{CE} = 30\text{ Vdc}, I_B = 0$)	I_{CE0}	—	700	$\mu\text{A dc}$
Collector Cutoff Current ($V_{CE} = 70\text{ Vdc}, V_{BE(\text{off})} = 1.5\text{ Vdc}$) ($V_{CE} = 70\text{ Vdc}, V_{BE(\text{off})} = 1.5\text{ Vdc}, T_C = 150^\circ\text{C}$)	I_{CEX}	—	1.0 5.0	mAdc
Collector Cutoff Current ($V_{CB} = 70\text{ Vdc}, I_B = 0$) ($V_{CB} = 70\text{ Vdc}, I_B = 0, T_C = 150^\circ\text{C}$)	I_{CBO}	—	1.0 10	mAdc
Emitter Cutoff Current ($V_{BE} = 5.0\text{ Vdc}, I_C = 0$)	I_{EBO}	—	5.0	mAdc
ON CHARACTERISTICS				
DC Current Gain (1) ($I_C = 4.0\text{ Adc}, V_{CE} = 4.0\text{ Vdc}$) ($I_C = 10\text{ Adc}, V_{CE} = 3.0\text{ Vdc}$)	h_{FE}	20 5.0	70 —	—
Collector-Emitter Saturation Voltage (1) ($I_C = 4.0\text{ Adc}, I_B = 0.4\text{ Adc}$) ($I_C = 10\text{ Adc}, I_B = 3.3\text{ Adc}$)	$V_{CE(\text{sat})}$	—	1.1 0.0	Vdc
Base-Emitter On Voltage (1) ($I_C = 4.0\text{ Adc}, V_{CE} = 4.0\text{ Vdc}$)	$V_{BE(\text{on})}$	—	1.8	Vdc
DYNAMIC CHARACTERISTICS				
Current Gain - Bandwidth Product ($I_C = 500\text{ mAdc}, V_{CE} = 10\text{ Vdc}, f = 600\text{ kHz}$)	f_T	2.0	—	MHz

(1) Pulse Test: Pulse Width 500 μs , Duty Cycle $\leq 2.0\%$.



V - 1 o=o=o APERCU SUR L'OSCILLOSCOPE TEKTRONIX o=o=o
o=o=o=o=o=o=o=o=o=o=o=o=o=o=o=o

Le "603 STORAGE MONITOR" est un oscilloscope à mémoire présentant 3 entrées "INPUT" X, Y et Z, chacune de ces entrées reproduit fidelement l'attaque analogique sur un écran de (10,2 X 12,7) cm de surface.

La resolution est excellente pour toutes les utilisations de l'appareil, incluant les applications Alpha -Numériques.

Le 603 est très recommandé pour un grand nombre d'applications, parmi lesquelles on note :

- Systèmes de detection ultrasoniques.
- Système de microscope électronique.
- Système d'exploration dans les domaines thermiques et de radiations.
- Analyse des vibrations.
- Système biophysiques et médicaux.

Le 603 est aussi recommandé pour une representation d'informations Alpha-Numériques ou graphiques provenant de bandes magnétiques ou d'autres systèmes de transmission de données.

CARACTERISTIQUES TECHNIQUES :

- 1- Dimension du spot à 0,5 u A : 0,25 mm.
- 2- Dimensions de l'écran : 10,2 X 12,7 cm.
- 3- Bande passante (x - y) : 2 MHz₃
- 4- Bande passante Z : 5 MHz.
- 5- Temps de montée : 70 ns.
- 6- Impedance d'entrée (x - y) : 1 MΩ // 47 pF
- 7- Impedance d'entrée (Z) : 1 MΩ // 47 pF.
- 8- Tension d'entrée maximum (x - y) : \pm 100 V.
- 9- Facteur de reflection horizontale et verticale :
Nominal 1 Volt (pleine echelle) ; Ajustable de 0,5 V à 2,5 V
cequi correspond aux sensibilités respectives (6,25 mV/div ;
312,5 mV/div).

Les principes de conception qui sont à l'origine du succès du Mini Ordinateur Multi 8 ont conduit INTERTECHNIQUE à développer un nouveau matériel qui élargit la gamme des Mini-ordinateurs Inter-technique : MULTI 20.

Comme son prédécesseur MULTI 20 est un calculateur numérique rapide à logique Microprogrammable.

L'application systématique des techniques de microprogrammation en mémoire permanente ROM permet à MULTI 20 de répondre aux besoins des utilisateurs dans de nombreux domaines d'application : Calcul scientifique, automatisation de processus industriels, transmission de données, acquisition et traitement de mesures en temps réel, instrumentation et gestion.

L'architecture interne de Multi 20 est organisée sur la base de l'Octet ou mot de 8 bits, ce qui autorise le traitement d'information en longueur variable et la manipulation de chaîne de caractères de manière souple et économique.

Du point de vue technologique, l'adoption généralisée de circuits intégrés MSI et LSI a permis de réduire efficacement le nombre de composants nécessaires à un aussi large éventail de fonctions.

La conception entièrement modulaire de tous les éléments constitutifs du Multi 20, facilite la réduction ou l'extension du système de base suivant le problème à traiter, donc à moindre coût.

Multi 20 est un mini calculateur numérique rapide, capable de satisfaire aux besoins d'une large gamme d'application, grâce aux possibilités d'extension tant de sa mémoire principale à tore que de sa mémoire permanente à grande vitesse.

La mémoire permanente à grande vitesse contient des séquences de micro instructions pré-programmées qui élaborent tous les signaux nécessaires aux opérations de contrôle et de manipulation de données du calculateur.

La mémoire "permanente" à haute vitesse de Multi 20 peut être réalisée suivant 3 technologies :

- Technologie BROM (Bipolar Read only Memory).
- " PROM (Programmable Read Only Memory).
- " AROM (Alterable Read Only Memory).

Multi 20 est doté de 30 Registres généraux réalisés en semi Conducteurs MSI/LSI. L'utilisation la plus courante de ces registres généraux consiste à leur attribuer le rôle de registres tampons d'entrée/sortie, d'accumulateurs, de registre index ou de compteur ordinal.

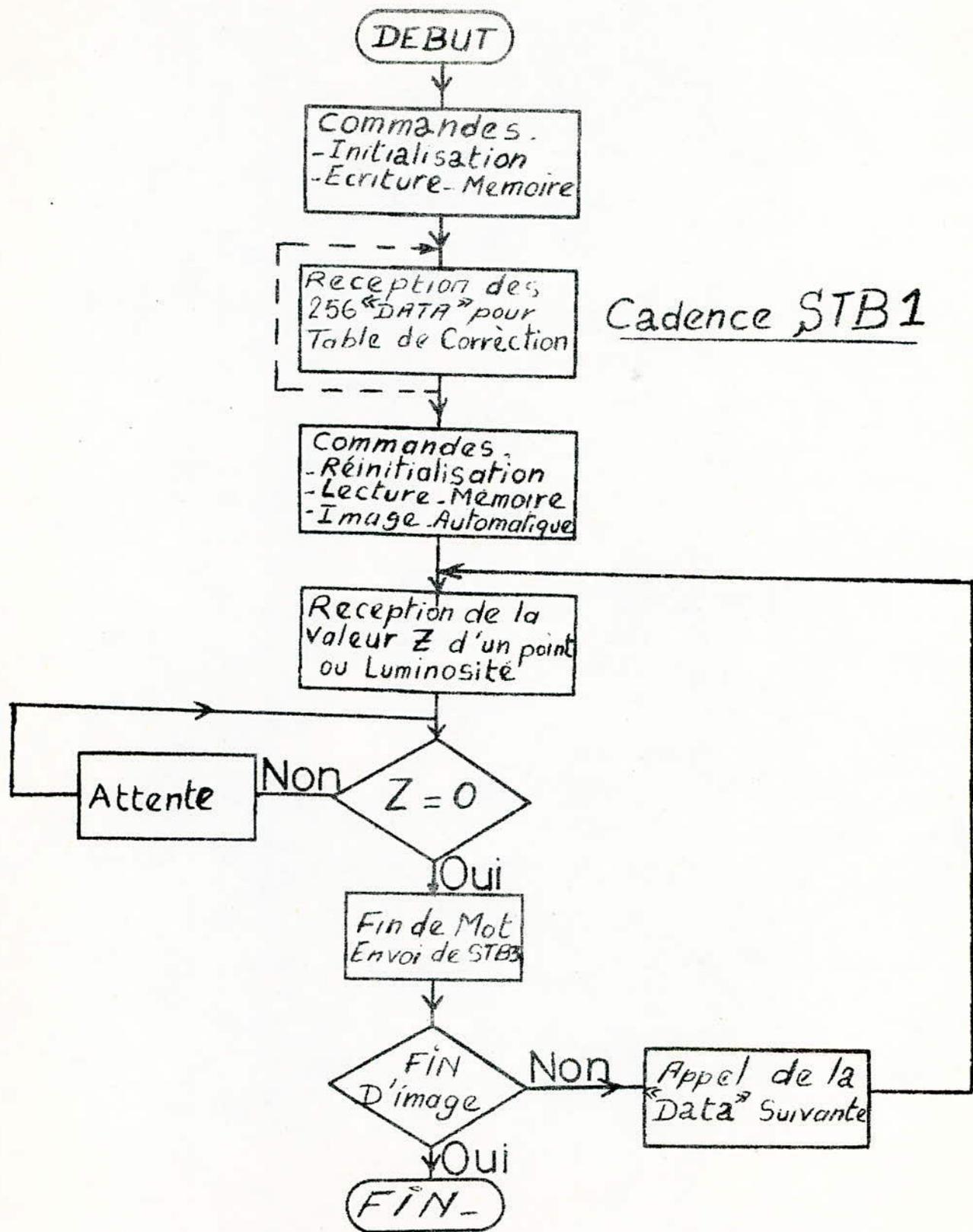
Du point de vue de sa structure interne, Multi 20 utilise des chemins de données et des lignes d'entrée/sortie travaillant par Octet sur des mots de longueur 8 bits.

Suivant la constitution des microprogrammes, la longueur des mots des opérantes dues à la microprogrammation, Multi 20 peut être utilisé aussi bien comme processeur câblé, comme calculateur d'usage général, comme calculateur spécialisé ou encore pour émuler d'autres calculateurs, ou traiter des langages spécialisés. La capacité de la mémoire permanente de Multi 20 peut atteindre 16 K mots de 16 bits, une telle capacité permet d'envisager l'implantation directe de langages de haut niveau BASIC- COBOL - FORTRAN ou de fonctions microprogrammées tout aussi complexes.

BORNIER ENTREES SORTIES LOGIQUES
(connecté à la carte M 1604 du PLURIMAT S)

	N° du bit	N° du connecteur	
	0	1	
	1	2	
	2	3	
	3	4	
	Masse	5	
	4	6	
	5	7	
	6	8	
	7	9	
ENTREES	Masse	10	niveau actif : 0 V
	Strobe 1	11	
	8	12	niveau repos : 5 V
	9	13	
	10	14	
	11	15	
	Masse	16	
	12	17	
	13	18	
	14	19	
	Inutilisé	20	
	Masse	21	
	Strobe 2	22	
	0	23	
	1	24	
	2	25	
	3	26	
	Masse	27	
	4	28	
	5	29	
	6	30	
	7	31	
SORTIES	Masse	32	
	Strobe 1	33	niveau repos : 5 V
	8	34	
	9	35	durée : 50 s
	10	36	
	11	37	
	Masse	38	
	12	39	
	13	40	
	14	41	
15	42		
	Masse	43	
	Strobe 2	44	

Le strobe est indispensable dans le cas d'une entrée logique par interruptior



Organigramme de fonctionnement de l'interface .

o=o=o CONCLUSION o=o=o
o=o=o
o=o=o
o=o=o

En guise de conclusion, nous tenons à faire quelques remarques importantes :

En premier lieu, nous voulons soulever un des problèmes à effet perturbateur vis à vis de l'image obtenue sur l'écran de l'oscilloscope : C'est notamment le problème du bruit.

En effet, le bruit inherent à l'ensemble des circuits composants les plaques numérique et analogique présente un effet néfaste sur la qualité de l'image restituée.

Nous notons particulièrement le bruit dû aux convertisseurs numérique/analogique, dont l'existence prédominante est nettement ressentie juste au moment de la transition d'un palier analogique à un autre, séparé du premier par le pas d'incrémentation dont la valeur a été ajustée à $\frac{10V}{256} \approx 39 \text{ mV}$ et qui correspond au LSB du CNA (last significant bit).

La transition s'accompagnant d'un régime oscillatoire (bruit superposé au signal analogique).

Cet effet se traduit au moment de la restitution par une oscillation du spot lumineux autour de sa position d'équilibre.

Si le bruit est assez important de sorte que le trajectoire du spot devient égale ou supérieure à la valeur du "pas d'incrémentation" soit 39 mV, nous observons sur l'image un recouvrement de deux lignes successives : soit un effet qui sera très gênant lors de l'analyse de l'image.

Une première mesure sur le bruit, directement sur les sorties X, Y, et Z a donné : $V_B \approx 40 \text{ mV}$;

Une deuxième mesure faite après blindage des sorties a donné comme résultat : $V_B \approx 15 \text{ mV}$.

Cette valeur étant toujours insuffisante pour éliminer le problème du recouvrement, vu que l'on compare maintenant la valeur du bruit, non pas à 39 mV mais à $\frac{39}{10} \text{ mV}$ soit 3,9 mV vu que les sorties des convertisseurs attaquent des atténuateurs avec un gain de 1/10.

Les remèdes :

- Blindage des fils de sorties.
- Filtrage de la tension de référence de chaque convertisseur.
- Filtrage des alimentations.
- Filtrage des 3 sorties en utilisant un filtre Passe Bas (rejetant les harmoniques HF du bruit).
- Isoler les plaques Analogique et Numérique par un boîtier mis à la masse.

En second lieu, nous voulons noter une remarque relative à la prise de vue et au développement de l'image obtenue après restitution et ce, dans un souci de reproductibilité.

Nous pensons en disant cela aux conditions mêmes de prise de vue ; tel que :

- Le respect du taux d'obscurité.
- De la distance focale (adaptation de l'appareil photo à l'écran de l'oscilloscope).

Nous insistons surtout sur les précautions à prendre lors du développement :

- Même composition chimique des Bains.
- Même température des bains.
- Même type de pellicules.

Enfin, nous voulons terminer, en insistant particulièrement sur un fait important :

La réalisation pratique concrétisée en guise d'illustration de cette étude, s'est limitée à la restitution d'une image en mode automatique ; nous espérons contribuer ainsi à la mise sur pied d'un système plus complet, permettant une restitution d'image en d'autres modes : Tel le mode programmé, la restitution de courbes $Y = f(X)$; $Y(t)$ etc.....

o=o=o LEXIQUE o=o=o
=o=o=o=o=o=

Afin de faciliter la lecture du manuel, nous donnons un lexique des termes anglo-saxons utilisés.

Bit : Contraction de binary-digit, element binaire.

Borrow : Retenue en soustraction.

Carry : Retenue en addition.

Chip : Substrat de circuit intégré ou parfois circuit.

Chip select : Selection de boitier.

Chip enable : Validation d'un circuit.

Clear : Remise à zéro.

Clock : Horloge.

CMOS : Technologie à MOS complémentaire.

Data : Donnée.

Digit : Chiffre.

Down/Up : Decomptage/ comptage.

Edge :FRont d'un signal.

Enable : Validation.

Enable input : entrée de validation.

Flip-flop : Bistable.

Input : entrée.

Latch : Bascule.

Load : entrée de chargement.

MOS : Technologie de circuit intégré à metal et oxyde de Silicium.

Nand : Non et (contraction de Not-and).

Open collector : Collecteur ouvert, sans charge.

Output : Sortie.

Preset : Affichage ou mise à 1.

RAM : Contraction de "Random Access Memory" c'est une mémoire à accès aléatoire.

Read : Lecture.

Strobe : validation

Time : Temps.

Timing : Chronogramme.

Trigger : Porte avec seuil d'hysteresis, declenchement.

TTL : Technologie de circuits intégrés à transistors (Transostor - transistor - logic).

Write : Ecriture.

o=o=o=o BIBLIOGRAPHIE o=o=o=o
o=o=o=o=o=o=o=o

- R. DELSOL : Circuits intégrés et techniques Numériques --
Deuxième ED - 1976.
- P.M.I : Linear AND CONVERSION
IC. PRODUCTS 1977 - 1978.
- DOCUMENTATION MOTOROLA : LINEAR - INTEGRATED - CIRCUITS.
- DOCUMENTATION TEXAS . INSTRUMENT : THE TTL DATA BOOK 1976.
- J.M. BERNARD
J. HUGON : De la logique cablée aux Microprocesseurs
TOMES - 1 - 2 - 3 - 4 - Application des
Methodes de Synthèses : ED. EYROLLES.
- TEKTRONIX -- INC : INSTRUCTION MANUEL.
- INTERTECHNIQUE : -- MANUEL DE Présentation MULTI 20.
-- MANUEL Interfaces ENTREES/SORTIES.
- MOTOROLA Semiconductors : Memory Products 1979.