

MINISTERE AUX UNIVERSITES

3/92

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT D'ELECTRONIQUE

THESE

Pour l'obtention du grade de MAGISTER

Présentée par Mr. GUERAICHI MOHAMED

SUJET

ETUDE ET SIMULATION DES AMPLIFICATEURS
DE LECTURE DES MEMOIRES MOS - DRAM

Soutenue le 22 Janvier 1992 devant le Jury composé de :

<i>Mr A. FARAH</i>	<i>Maitre de Conferences</i>	<i>Président</i>
<i>Mr A. AMARI</i>	<i>Chargé de cours</i>	<i>Rapporteur</i>
<i>Mr B. BOUSSEKSSOU</i>	<i>Chargé de cours</i>	<i>Examineur</i>
<i>Mr M. HADDADI</i>	<i>Chargé de cours</i>	<i>Examineur</i>
<i>Mr A. MERAGHNI</i>	<i>Professeur</i>	<i>Examineur</i>

MINISTERE AUX UNIVERSITES

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT D'ELECTRONIQUE

THESE

Pour l'obtention du grade de MAGISTER

Présentée par Mr. GUERAICHI MOHAMED

SUJET

ETUDE ET SIMULATION DES AMPLIFICATEURS
DE LECTURE DES MEMOIRES MOS - DRAM

Soutenue le 22 Janvier 1992 devant le Jury composé de :

Mr A. FARAH

Maitre de Conférences

Président

Mr A. AMARI

Chargé de cours

Rapporteur

Mr B. BOUSSEKSSOU

Chargé de cours

Examineur

Mr M. HADDADI

Chargé de cours

Examineur

Mr A. MERAGHNI

Professeur

Examineur

REMERCIEMENTS

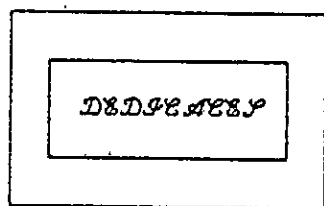
Je tiens à exprimer mes vifs remerciements et ma profonde gratitude à Mr A.AMARI de m'avoir aidé à accomplir cette thèse par ses recommandations, ses orientations et ses conseils tout au long de ce travail malgré ses nombreuses occupations.

J'exprime ma vive gratitude et mes remerciements au Dr A.CHEKIMA professeur à l'ENP pour son aide, son soutien moral, son amabilité et ses encouragements et les efforts qu'il n'a point ménager pour me faciliter la tâche.

Qu'il trouve ici, l'expression de ma sincère reconnaissance et de mon profond respect.

Je remercie Mr A.FARAH de m'avoir fait l'honneur de présider le jury.

Je remercie Mr A.MERAGHNI professeur à l'ENS pour la documentation qu'il m'a fournie ainsi que les fructueuses discussions que nous avons eu et sa disponibilité même lors de ses occupations.



Je dedie ce travail a mes chers parents et a toute ma famille.

NOTATIONS

- DRAM : Mémoires RAM dynamiques.
- β : conductivité spécifique [$\mu\text{A}/\text{V}^2$].
- G : électrode gate.
- D : électrode drain.
- S : électrode source.
- U : mobilité des porteurs [cm/V^2].
- tox : épaisseur d'oxyde [μm ou \AA].
- Nsub : dopage du substrat [at/cm^3].
- v : Variation de tension sur la ligne de bit [V].
- Vp : Niveau de précharge [V].
- S/A : Amplificateur de lecture.
- tsat : temps de saturation [ns].
- ΔV ou ΔV_1 : chute de potentiel du nœud de plus haut niveau [V].
- V1(t) : potentiel du nœud (1) de l'amplificateur de lecture [V].
- V2(t) : potentiel du nœud (2) de l'amplificateur de lecture [V].
- Vs(t) : potentiel de la source commune de l'amplificateur [V].
- Vt : tension de seuil du transistor MOS [V].
- VGS : différence de potentiel entre le gate et la source [V].
- VDS : différence de potentiel entre le drain et la source [V].
- IDS : courant drain-source [μA].
- L : longueur du canal du transistor [μm].
- W : largeur du canal du transistor [μm].
- Cox : capacité d'oxyde [pF].
- Cs : capacité de mémorisation [pF ou fF].
- Cbl : capacité de la ligne de bit [pF].
- If : courant de fuite de la cellule mémoire [$\text{A}/\mu\text{m}$].
- VDD : tension d'alimentation [V].
- g(t) : différence de potentiel (V1(t)-V2(t)) [V].
- n : paramètre permettant de trouver tsat minimal.
- ts : temps au bout duquel on a (V1(t) - V2(t)) = 1/n [ns].
- t'sat : temps compté à partir de ts et pour lequel g(t) atteint Vt [ns].
- t1 : temps au bout duquel le potentiel du nœud de plus haut

niveau devient constant et égale à V_b [ns].

t_f : temps au bout duquel le potentiel du nœud de plus faible niveau s'annule [ns].

t_{vs} : temps où $V_s(t)$ s'annule [ns].

f : expression de $C_{b1}/(C_{b1}+C_s)$.

$\Delta V_{g_{T1}}$: variation du potentiel du nœud (2) due à la conduction de $T1$ [V].

ΔV_{cg} : chute de potentiel due à la capacité gate-canal C_g [V].

v_c : portion de tension inférieure à V_t ajoutée à V_t pour faire conduire légèrement l'un des transistors ayant le nœud de plus haut niveau [V].

$V_s'(t)$: potentiel source auquel on ajoute la quantité $(v_c^2 \cdot t)$ [V].

I ou I_1 : courant constant commandant l'amplificateur de lecture [μA].

I_2 : deuxième courant constant qui commande l'amplificateur de lecture lancé à $t=t_s$ [μA].

S : sensibilité de l'amplificateur de lecture [V].

INTRODUCTION.....	1
<u>CHAPITRE 1 : RAPPELS SUR LE TRANSISTOR MOS</u>	
1.1 Fonctionnement du transistor MOS.....	6
1.1.1 Zone I de la caractéristique.....	8
1.1.2 Zone II de la caractéristique.....	8
1.1.3 Zone III de la caractéristique.....	8
1.2 Les divers types de transistors MOS.....	9.
1.3 Capacités parasites.....	10
1.4 Paramètres caractéristiques.....	11
<u>CHAPITRE 2 : LES MEMOIRES MOS</u>	
2.1 Les divers types de mémoires-définitions.....	12
2.1.1 Les RAM.....	12
2.1.2 Les mémoires vives dynamiques.....	13
a-les divers points mémoires.....	15
b-Organisation interne.....	18
c-Implantation du point mémoire.....	25
d-Le rafraîchissement.....	30
<u>CHAPITRE 3 : APPLICATION D'UNE IMPULSION A FLANC RAIDE</u>	
3.1 Etats de T1 et T2.....	32
3.2 Graphes de $t_{sat}(v)$ et $\Delta V_1(v)$	35
3.3 Commentaire des résultats.....	36
<u>CHAPITRE 4 : CONTROLE PAR BLOCAGE D'UN TRANSISTOR</u>	
4.1 Premier régime.....	37
4.2 Deuxième régime.....	40
4.3 Troisième régime.....	41
4.4 Résumé.....	42
4.5 Graphes de $t_{sat}(v), \Delta V_1(v)$ $V_1(t) V_2(t)$ et $V_8(t)$	45
4.6 Conclusion.....	48
<u>CHAPITRE 5 : CONTROLE PAR LEGERE CONDUCTION D'UN DES TRANSISTORS</u>	
5.1 Premier régime.....	49
5.1.1 Effets de la conduction de T1 sue $V_2(t)$	50
5.1.2 Determination du temps de saturation.....	55
5.2 Deuxième régime.....	55
5.3 Troisième régime.....	57
5.4 Quatrième régime.....	58
5.5 Graphes de $t_{sat}(v), \Delta V_1(v)$ $V_1(t) V_2(t)$ et $V_8(t)$	60

5.6 Conclusion.....	63
<u>CHAPITRE 6 : COMMANDE DE L'AMPLIFICATEUR DE LECTURE PAR</u>	
<u>UN NIVEAU DE COURANT CONSTANT</u>	
6.1 Formulation mathématique.....	65
6.2 Premier régime.....	66
6.2.1 Résolution de l'équation différentielle régissant le système	67
6.2.2 Détermination du temps de saturation....	71
6.2.3 Equations de $V_1(t)$ $V_2(t)$ et $V_s(t)$	71
6.3 Deuxième régime.....	73
6.3.1 Equations de $V_1(t)$ $V_2(t)$ et $V_s(t)$	76
6.4 Troisième régime.....	76
6.5 Résumé.....	77
6.6 Description du programme SIMULATION1.....	78
6.7 Choix de la valeur de \bar{I}_1	80
6.8 Commentaire sur les graphes $\bar{t}_{sat}(\bar{I})$ et $\Delta\bar{V}_1(\bar{I})$	81
6.9 Exemple.....	81
6.10 Graphes de $t_{sat}(v)$, $\Delta V_1(v)$ $V_1(t)$ $V_2(t)$ et $V_s(t)$	82
6.11 Conclusion.....	84
<u>CHAPITRE 7 : COMMANDE DE L'AMPLIFICATEUR DE LECTURE PAR</u>	
<u>DEUX NIVEAUX DE COURANTS CONSTANTS</u>	
7.1 Détermination de \bar{t}_s	86
7.2 Etude de $\bar{t}_s(n)$	88
7.3 Etude de \bar{t}'_{sat}	89
7.4 Choix de $(\bar{V}_1(\bar{t}_s) - \bar{V}_2(\bar{t}_s))$	91
7.5 Equations régissant le système.....	92
7.6 Description du programme SIMULATION2.....	94
7.7 Choix des valeurs des courants \bar{I}_1 et \bar{I}_t	96
7.8 Commentaire des graphes $\bar{t}_{sat}(\bar{I}_t)$ et $\Delta\bar{V}_1(\bar{I}_t)$	97
7.9 Graphes de $t_{sat}(v)$, $\Delta V_1(v)$ $V_1(t)$ $V_2(t)$ et $V_s(t)$	98
7.10 Etude comparative-conclusion.....	100
7.11 Remarque sur le processus technologique.....	103
7.12 Conclusion.....	104
<u>CHAPITRE 8 SIMULATION DE LA COMMANDE PAR UN ET DEUX</u>	
<u>NIVEAUX DE COURANTS CONSTANTS</u>	
8.1 Commande par un seul niveau de	

courant constant.....	106
8.1.1 Simulation par un courant constant.....	106
8.1.2 Conclusion.....	108
8.1.3 Utilisation d'un transistor comme.....	108
source de courant constant	
8.1.4 conclusion.....	111
8.2 Commande par deux niveaux de.....	112
courants constants	
8.2.1 Simulation par deux.....	112
courants constants.....	112
8.2.2 Conclusion.....	115
8.2.3 Utilisation de deux transistors comme.....	115
sources de courants constants.....	115
8.2.4 Conclusion.....	118
<u>CHAPITRE 9 : SCHEMA FINAL DE L'AMPLIFICATEUR DE LECTURE</u>	
9.1 Eléments de précharge.....	120
9.2 Eléments de basculement.....	125
9.3 Eléments d'amplification.....	125
9.4 Schéma final choisi du S/A.....	131
<u>CHAPITRE 10 : SENSIBILITE DU S/A</u>	
10.1 Définition.....	133
10.2 Expression de la sensibilité S.....	133
10.3 Techniques d'amélioration de S.....	134
CONCLUSION GENERALE.....	138
BIBLIOGRAPHIE.....	140
ANNEXES.....	144

INTRODUCTION

On a assisté depuis deux décennies à un bond prodigieux de la technologie MOS. Celle-ci est due en grande partie aux mémoires en particulier aux mémoires vives à accès aléatoire (ou RAM) qui ont contribué à apporter une amélioration soutenue aux procédés de fabrication des transistors MOS. Ceci a permis de diminuer fortement la surface et le prix du point de mémorisation [26].

Les RAM existent sous deux formes : Les mémoires statiques (SRAM) et les mémoires dynamiques (DRAM). Les mémoires statiques ont été les premières à être utilisées; ce type de mémoire a l'avantage de conserver son information aussi longtemps que le circuit reste alimenté mais a le fâcheux inconvénient de nécessiter un nombre élevé d'éléments actifs, donc une surface occupée par bit d'information importante. Aussi a-t-on cherché à diminuer ce nombre d'où l'apparition des mémoires dynamiques.

Les mémoires dynamiques utilisaient quatre puis trois transistors MOS par cellule puis un seul par la suite. D'un autre côté la DRAM offre une densité plus élevée et une consommation plus faible que la SRAM. Elle est par conséquent la plus utilisée dans les systèmes où le coût par bit et la consommation sont dominants [26,35].

Toutes les mémoires dynamiques modernes utilisent la cellule-mémoire à un seul transistor.

Contrairement aux mémoires à plusieurs transistors par cellule où l'amplification de l'information se fait au niveau de chaque cellule, dans le cas de la cellule à un seul transistor nous avons besoin d'un organe pour lire l'information contenue dans le point mémoire; il s'agit de l'amplificateur de lecture (ou sense amplifier S/A).

La cellule-mémoire et l'amplificateur de lecture sont les organes les plus déterminants d'une DRAM aussi bien sur le plan du fonctionnement correct de la mémoire que sur les critères de surface occupée que des autres performances telles

que vitesse, sensibilité et puissance consommée [15]. Cet amplificateur est partagé par toutes les cellules se trouvant sur une même colonne qu'on appelle ligne de bit et à laquelle est associée une capacité parasite C_{bl} . Le plan-mémoire se trouve donc divisé en deux parties; la tâche la plus ardue de l'amplificateur de lecture est de détecter correctement l'information qui se trouve dans la capacité de stockage C_s de la cellule mémoire. Celle-ci est un transistor dont le contenu de la capacité de structure source-substrat constitue l'information "0" ou "1". On accède à cette information en envoyant une tension sur le gate du transistor-mémoire, une variation de tension v se crée alors sur la ligne de bit préchargée initialement à un niveau V_p . L'amplificateur de lecture de base est constitué de deux transistors couplés dont les drains forment deux nœuds rattachés à deux lignes de bit préchargées initialement au potentiel V_p . Après l'apparition de la tension à détecter v , les deux nœuds (1) et (2) vont se trouver aux potentiels V_p et $(V_p - v)$; l'amplificateur va basculer dans un sens ou dans l'autre (tout dépend de l'information contenue dans C_s , "0" ou "1").

A la fin du basculement, le potentiel de l'un des nœuds sera nul tandis que l'autre se retrouvera à un niveau V_b inférieur à V_p et il faudra alors amplifier ce potentiel afin de le ramener à la tension d'alimentation VDD avant de l'envoyer à l'extérieur de la mémoire pour y être lu.

Le schéma principal de base du S/A est la paire de transistors couplés, aussi pour l'analyse du S/A on ne doit s'occuper que de ce schéma [13].

L'étude de l'amplificateur de lecture porte sur l'étude du temps de saturation t_{sat} qui correspond à la durée pendant laquelle les deux transistors constituant l'amplificateur de lecture sont saturés en même temps avant que l'un des des deux ne passe à l'état non saturé. En effet celui-ci domine la durée du basculement du S/A, aussi t_{sat} détermine en grande partie l'attitude du circuit à répondre de façon rapide ou peu rapide [18].

Par ailleurs les points mémoires, les amplificateurs de lecture et les lignes de bit de la mémoire ne sont pas rigoureusement identiques aussi la tension à détecter v qui

dépend et de C_s et de C_{bl} est variable.

Notre objectif est de trouver une fonction de commande de l'amplificateur de lecture qui puisse assurer pour une variation de v entre 50mv et 200mv les conditions suivantes :

1/ Le temps de de saturation doit être court afin d'avoir une lecture rapide et le plus stable possible pour avoir une lecture uniforme pour toutes les cellules-mémoires.

2/ Il faut veiller à ne pas avoir une chute de potentiel $\Delta V = V_p - V_b$ du nœud à plus haut niveau supérieur à 20% du signal de précharge V_p de départ sinon l'amplification de ce nœud après le basculement demanderait beaucoup de temps et pénaliserait de ce fait la vitesse de fonctionnement de l'amplificateur [21]. En outre celle-ci doit être la plus stable possible.

3/ On doit enfin pour le schéma final du S/A consommer le moins de surface possible car en général les amplificateurs occupent près de 30% de la surface totale de la puce et l'intérêt des DRAM est bien justement le taux d'intégration élevé.

La thèse s'articule autour de dix chapitres : Le premier consiste en un rappel sur le transistor MOS suivi d'une description des mémoires dynamiques qui constitue le chapitre 2. Le troisième passe à l'étude de la commande du S/A de base à une tension $V_s(t)$ qui passe brusquement du niveau VDD à 0 Volt et ce pour tester la réponse de notre système.

Néanmoins la commande précédente conduit à une dégradation très importante du potentiel V_b ; afin de garder le potentiel de l'un des nœuds constant on passera alors au quatrième chapitre qui consiste à trouver la tension $V_s(t)$ qui puisse garder un des deux transistors du S/A bloqué; malheureusement cette commande entraîne un temps de saturation instable à l'extrême; toutefois en laissant conducteur un des deux transistors, nous constaterons que les résultats sont nettement améliorés et satisfaisants et on déterminera $V_s(t)$ correspondante; ce qui fera l'objet du chapitre 5.

Cependant du fait que l'expression de $V_s(t)$ trouvée dans ce chapitre est fort complexe et qu'il est difficile de concevoir des générateurs capables de reproduire rigoureusement la forme de $V_s(t)$, on a pensé à commander l'amplificateur de lecture par un niveau de courant constant au niveau de la source commune des transistors constituant l'amplificateur puisque celle-ci ne fait appel pour cela qu'à un simple transistor saturé, ce qui constitue le sixième chapitre.

Dans le souci d'améliorer les performances, le septième chapitre s'occupera de la commande du S/A par deux niveaux de courants constants, le deuxième niveau de courant entrant en action après un temps t_s et ce après que la différence ($V_1(t) - V_2(t)$) atteint un certain seuil choisi de sorte que t_{sat} soit le plus faible possible.

Le huitième chapitre concernera la simulation par le simulateur SPICE universel des commandes par un et deux niveaux de courants constants afin de discuter de la véracité des résultats analytiques suivi en cela par la recherche à l'aide de la simulation du ou des éléments pouvant servir comme sources de courants constants, leur dimensions et les tensions auxquels ils doivent être soumis.

Le neuvième chapitre sera consacré à l'étude du schéma complet du S/A qui sera divisée en quatre parties à savoir la précharge des lignes de bit, suivi en cela par le basculement du S/A et enfin l'amplification du niveau "1". Finalement on aboutira au schéma global de l'amplificateur de lecture qui occupe le moins de surface possible.

Le dixième chapitre traitera de la sensibilité du S/A qui est un critère critique pour les DRAM.

Enfin en dernier lieu on trouvera une conclusion générale sur notre travail. On trouvera également en annexe 1 en détail l'algorithme de RUNGE-KUTTA utilisé lors de la première commande ainsi qu'en annexe 2 certains détails de calculs relatifs au chapitre 6 suivis des différents programmes relatifs aux différents analyses.

CHAPITRE 1
RAPPELS SUR LE TRANSISTOR MOS

Les systèmes intégrés en technologie MOS comportent trois niveaux de matériaux conducteurs, séparés par des couches de matériaux isolants. En particulier du haut vers le bas, ces niveaux sont appelés : la métallisation, le silicium polycristallin et la diffusion [5].

Un transistor MOS sera généré à l'intérieur du système intégré chaque fois qu'une liaison en polycristallin croisera une liaison de diffusion comme l'illustre la figure 1.1 [5].

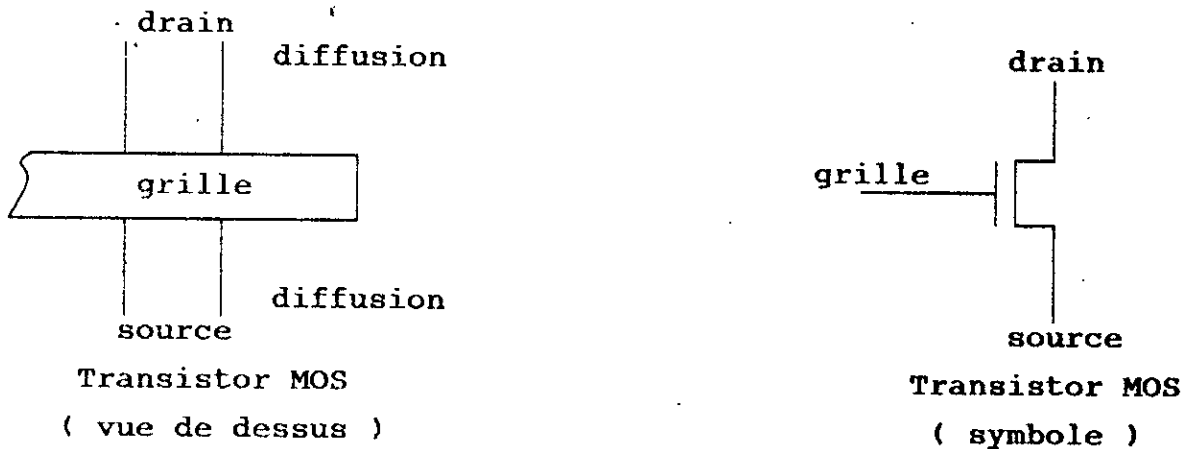


FIGURE 1.1 : REPRESENTATION DU MOS

Il faut remarquer que les extrémités source et drain de cet élément sont physiquement symétriques. Source et drain peuvent être interchangés; Les liaisons de diffusion sont générées après celles en polycristallin. Ce qui évite les liaisons de diffusion sous la grille [1].

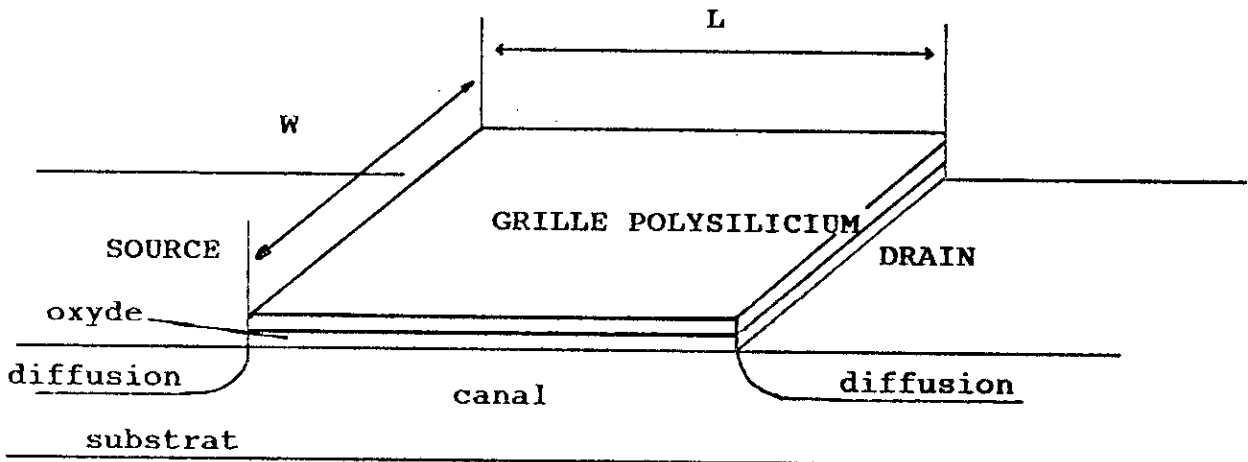


Figure 1.2 : STRUCTURE PHYSIQUE DU TRANSISTOR MOS

1.1 FONCTIONNEMENT DU TRANSISTOR MOS :

Trois régions de fonctionnement peuvent être définies :

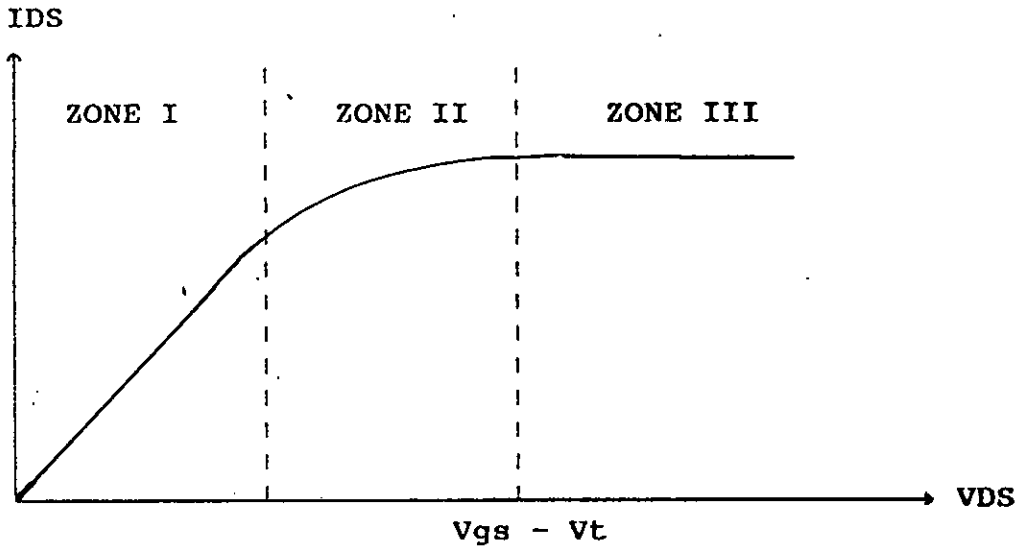


Figure 1.3 : CARACTERISTIQUE $I_D(V_{DS})$

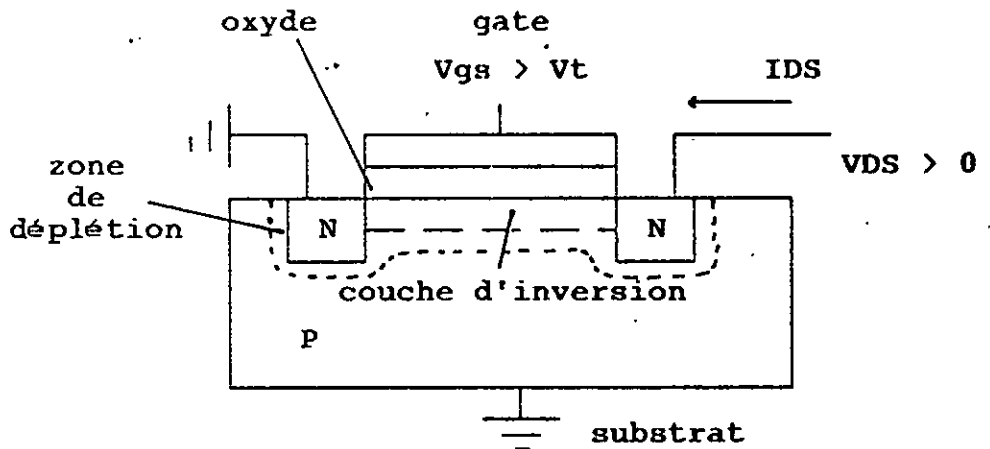


Figure 1.4-a : formation du canal et de la zone de déplétion

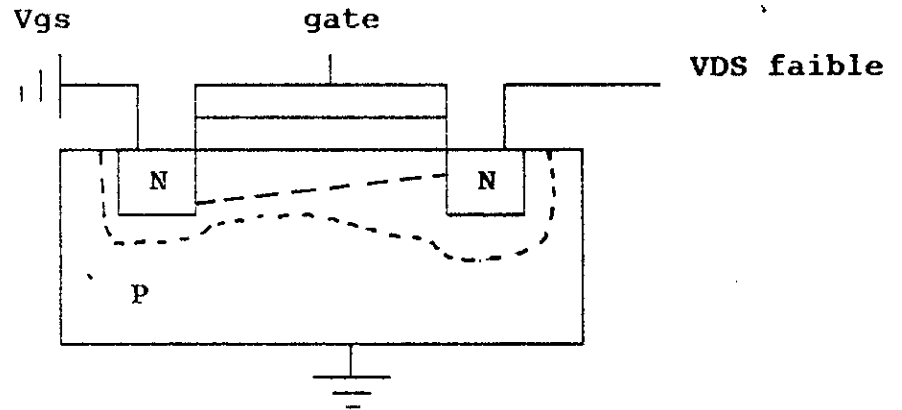


Figure 1.4-b : Forme du canal correspondante à la zone I de la caractéristique $I_{DS}(V_{DS})$.

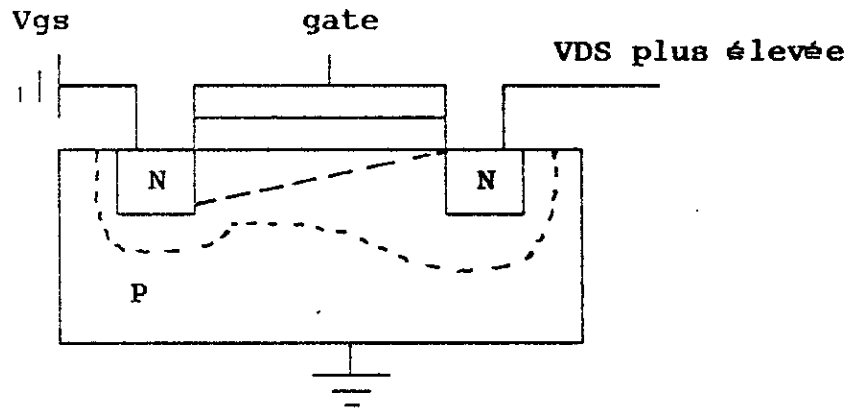


Figure 1.4-c : Forme du canal correspondante à la zone II de la caractéristique $I_{DS}(V_{DS})$.

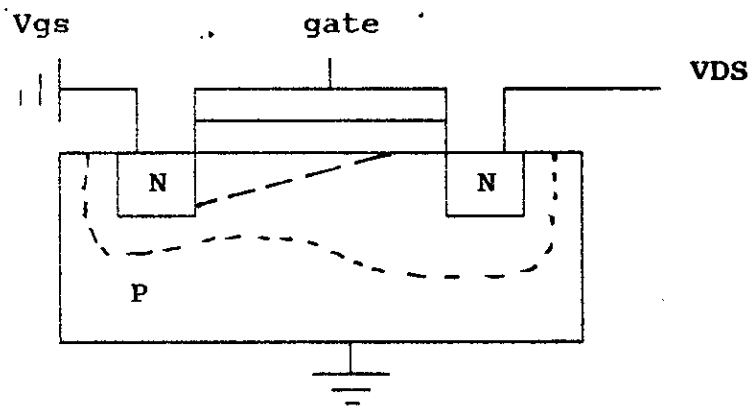


Figure 1.4-d : Forme du canal correspondante à la zone III de la caractéristique $I_{DS}(V_{DS})$.

-En dessous d'une certaine tension appelée tension de seuil V_t , le transistor est bloqué. Aucun courant ne circule entre la source et le drain, excepté le courant de fuite de la diode drain-substrat.

$$V_{gs} < V_t \quad ; \quad I_{DS} = 0$$

-Lorsque V_{gs} dépasse V_t , il y a formation d'une couche d'inversion qui constitue un passage possible pour un courant source-drain. On parle alors d'un canal entre source et drain (figure 1.4-a).

$$V_{gs} > V_t \quad ; \quad I_{DS} \neq 0 \text{ si } V_{ds} \neq 0$$

Le courant I_{DS} qui prend naissance est alors fonction de la tension V_{DS} à V_{gs} donnée :

1.1.1 ZONE I DE LA CARACTERISTIQUE :

V_{DS} étant faible, le transistor se comporte comme une résistance commandée avec :

$$I_{DS} = \mu \text{ Cox } \frac{W}{L} (V_{gs} - V_t) V_{DS}$$

Le canal à la forme indiquée à la figure 1.4-b

1.1.2 ZONE II DE LA CARACTERISTIQUE :

Pour V_{DS} plus élevée, le courant n'est plus proportionnel à V_{DS} , mais satisfait à la loi suivante :

$$I_{DS} = \mu \text{ Cox } \frac{W}{L} \left[(V_{gs} - V_t) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Le canal à la forme indiquée par la figure 1.4-c

1.1.3 ZONE III DE LA CARACTERISTIQUE :

Lorsque V_{DS} dépasse une certaine valeur correspondant au point de saturation, le courant devient indépendant de V_{DS} avec :

$$I_{DS} = \frac{\mu C_{ox}}{2} \frac{W}{L} (V_{gs} - V_t)^2 \quad \text{avec } V_{DS} \geq V_{gs} - V_t$$

Le canal prend l'allure indiquée à la figure 1.4-d

REMARQUES :

Dans les expressions que l'on vient de voir, on trouve :

μ : la mobilité des porteurs qui s'exprime en $cm^2/V.s$.

Ces porteurs sont évidemment des électrons pour un transistor à canal N.

C_{ox} : la capacité d'oxyde de grille par unité de surface s'exprimant en $pF/\mu m^2$

W : la largeur du canal en μm .

L : la longueur du canal en μm (distance entre source et drain).

Le rapport $\frac{W}{L}$ représente la géométrie du transistor.

1.2 LES DIVERS TYPES DE TRANSISTORS MOS :

Il existe deux types de transistors MOS :

.MOS à enrichissement : ce transistor est bloqué à $V_{gs}=0$.

Un canal de conduction est induit par la tension grille.

.MOS à déplétion : il conduit à $V_{gs}=0$

Un canal préformé par dopage superficiel sous la grille. Ce dopage est réalisé par implantation ionique. Pour ce type de transistor, la tension V_{gs} nécessaire au blocage est appelée "tension de pincement" V_p du canal.

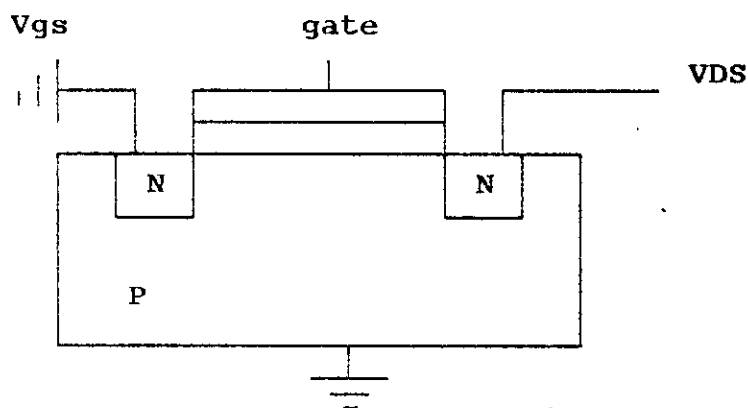


Figure 1.5-a : MOS CANAL N A ENRICHISSEMENT

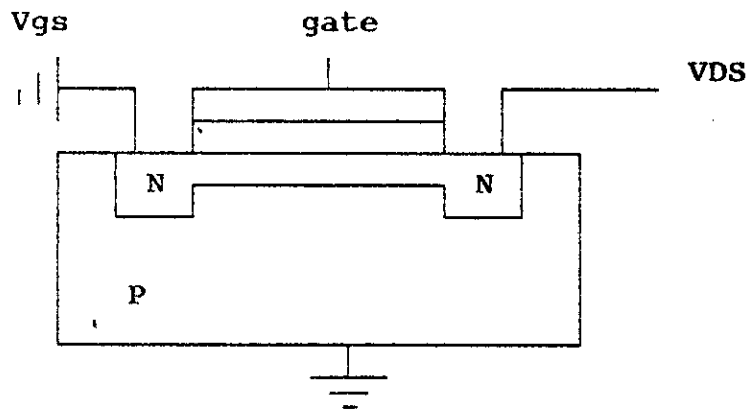


Figure 1.5-b : MOS CANAL N A DEPLETION

1.3 CAPACITES PARASITES :

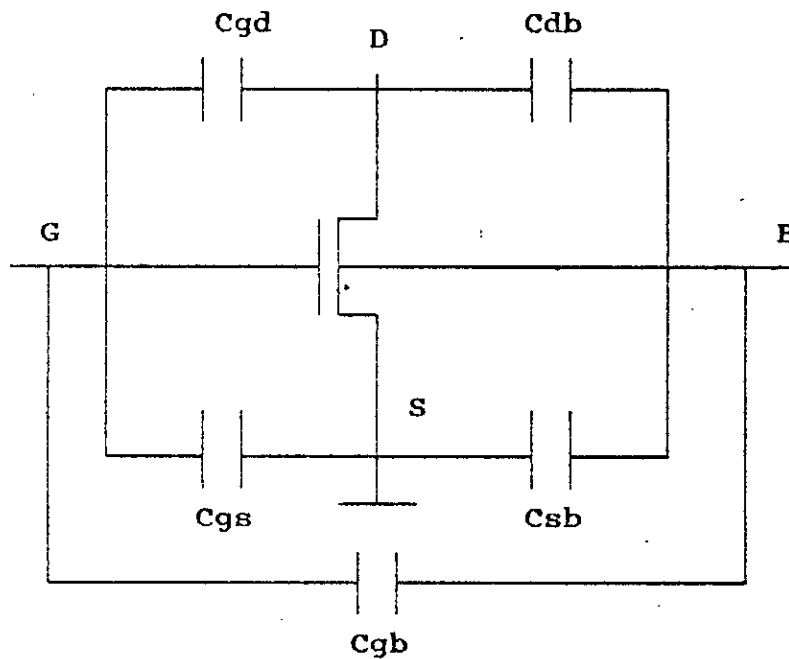


Figure 1.6 : CAPACITES PARASITES DU TRANSISTOR MOS

Avec

Cgs : la capacité intrinsèque grille-source

Cgd : la capacité intrinsèque grille-drain

C_{gb} : la capacité grille-substrat

C_{db} : la capacité drain-substrat

C_{sb} : la capacité source-substrat

C_{gb} n'existe que lorsque le transistor est bloqué, par contre C_{gs} et C_{gd} apparaissent avec le canal de conduction.

1.4 PARAMETRES CARACTERISTIQUES :

Les paramètres les plus significatifs pour le concepteur de circuits à MOS intégrés après les paramètres technologiques sont les dimensions du canal (la largeur W et la longueur L) représentées sur la figure 1.2 [4].

2.1 LES DIVERS TYPES DE MEMOIRES-DEFINITIONS :

La figure 2.1 présente les divers types de mémoires à semi-conducteurs.

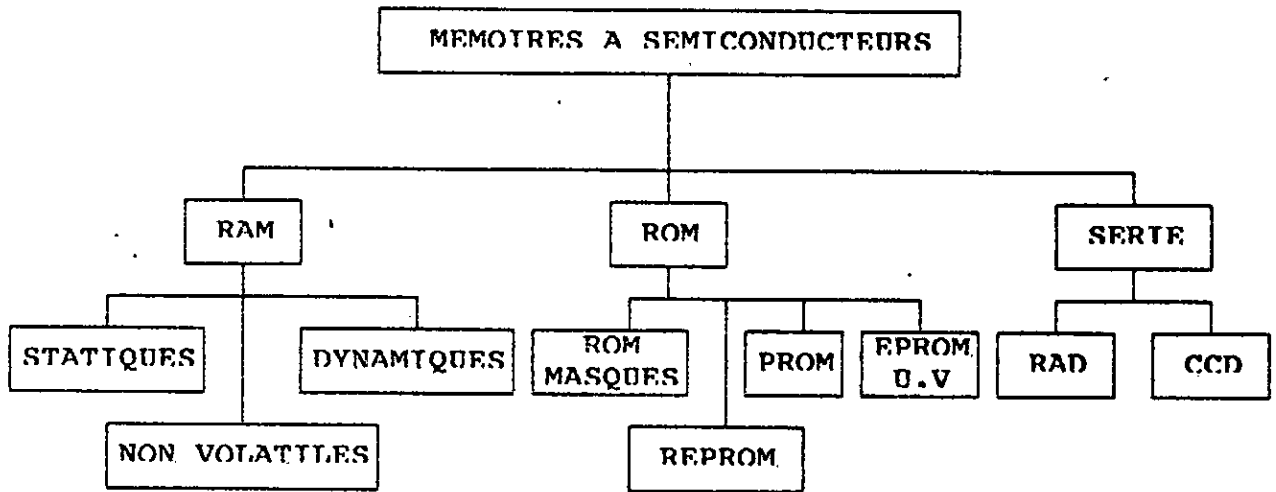


Figure 2.1 : LES DIFFERENTS TYPES DE MEMOIRES MOS

On distingue trois grandes familles :

2.1.1 LES RAM (Random Access Memory) : ou mémoires à accès aléatoires. Il est possible d'écrire ou de lire à tout moment, un quelconque point mémoire parmi les n que contient ce type de mémoire.

On distingue les RAM STATIQUES, les RAM DYNAMIQUES, et les RAM non volatiles :

.Les RAM statiques conservent l'information stockée indéfiniment, tant qu'elles sont alimentées conformément aux spécifications. Aucune "horloge" n'est nécessaire au fonctionnement.

.Les RAM dynamiques ne conservent l'information stockée que pendant un temps limité, puis perdent cette information. Il faut donc "régénérer" périodiquement ces informations, avant qu'elles ne soient perdues. Cette opération s'appelle le

raffraîchissement.

Elle nécessite, soit une horloge de fréquence déterminée, soit une séquence de fonctionnement particulière.

Les RAM non volatiles, qui s'apparentent aux RAM statiques, ont la particularité de conserver l'information stockée même lorsqu'elles ne sont pas alimentées [1,2,4,6,20].

2.1.2 LES MEMOIRES VIVES DYNAMIQUES :

Celles-ci se distinguent essentiellement des mémoires statiques par la nature de leur cellule mémoire, qui est une capacité au lieu d'être un bistable comme c'est le cas pour les mémoires statiques; Le gain en place est significatif, ce qui explique que les mémoires dynamiques aient une capacité beaucoup plus grande que celle des mémoires statiques.

L'organisation générale ne diffère pas de celle des mémoires statiques. On retrouve les mêmes organes fondamentaux (décodeurs lignes et colonnes, circuits périphériques). Par contre, la structure interne de ces éléments est spécifique de ce type de mémoires (figure 2.2).

Cependant les circuits périphériques sont plus complexes du fait que la lecture peut être destructive et que l'information doit être régénérée périodiquement [10].

Parmi ces circuits, la cellule de mémorisation et le circuit de détection de l'information (amplificateur de lecture ou S/A que l'on étudiera en détail) sont certainement ceux qui méritent le plus d'attention lors de la conception de la mémoire. Ce sont en effet ces deux éléments qui déterminent la densité principal intérêt des mémoires dynamiques et les performances de ce type de mémoire (vitesse, sensibilité, consommation) [10].

Nous passerons en revue les divers types de cellules naguère utilisées avant de passer à la cellule-mémoire à un seul transistor ainsi que les différentes organisations des DRAM. On trouvera dans la page suivante le synoptique d'une mémoire dynamique et le positionnement des amplificateurs de lecture dans le plan mémoire.

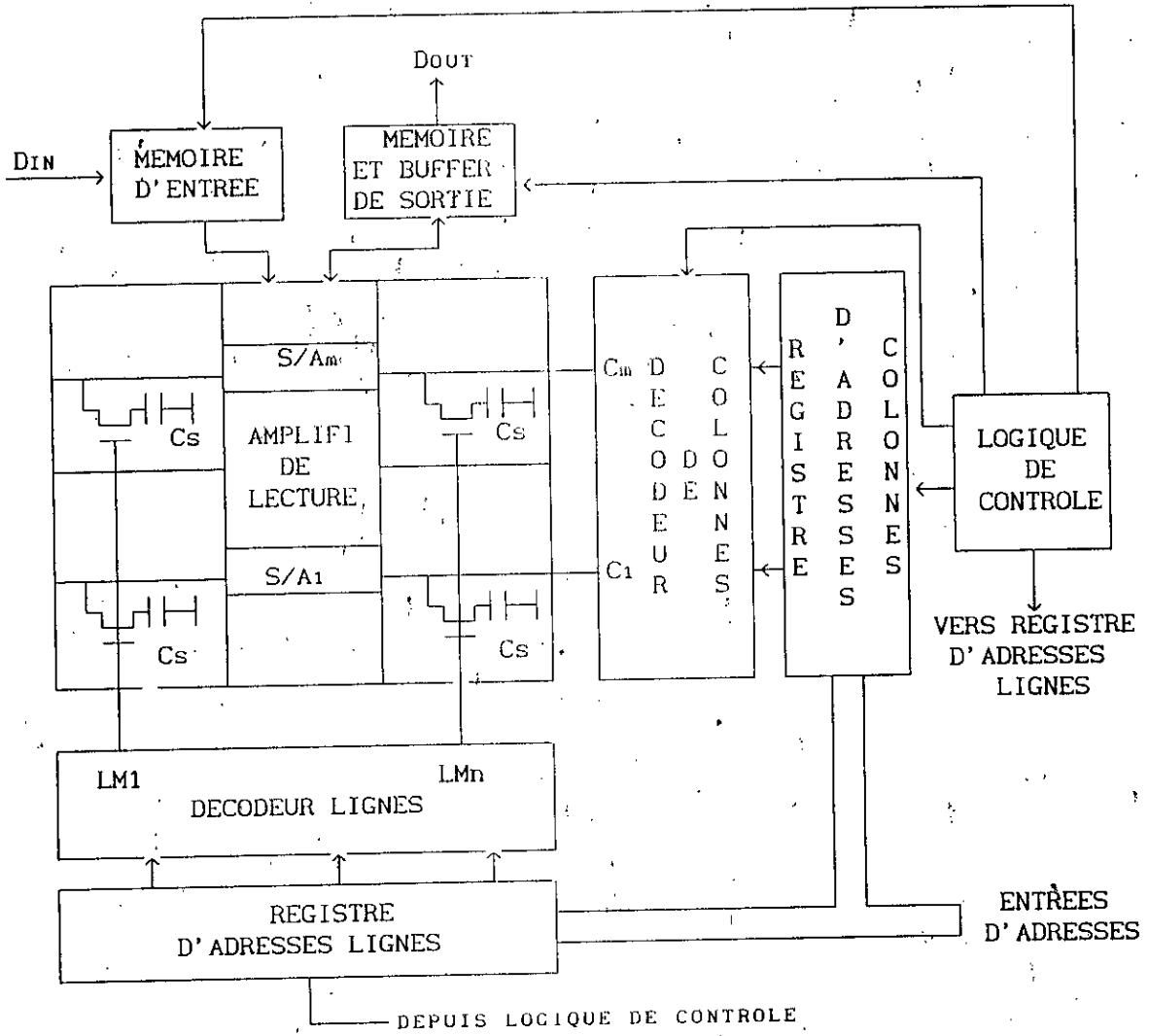
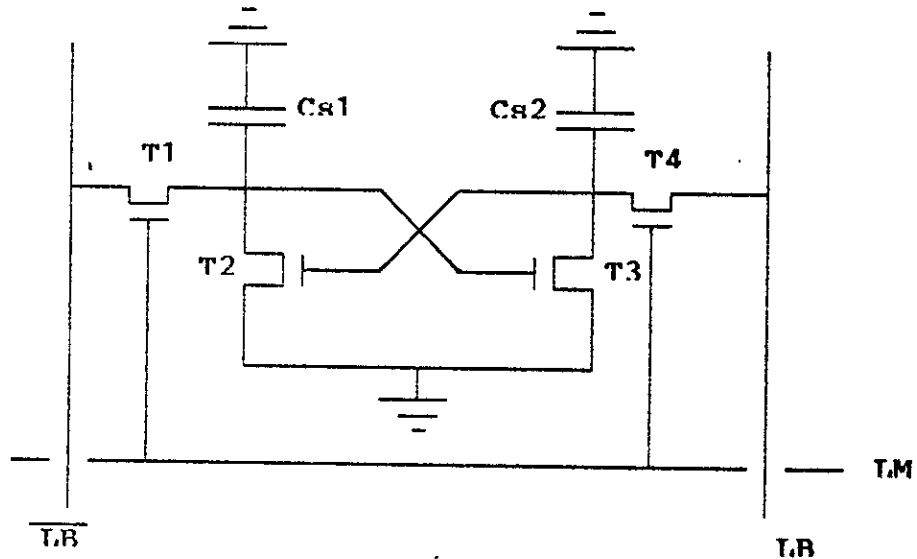


Figure 2.2 : SYNOPTYQUE D'UNE RAM DYNAMIQUE

a- les divers points memoires (figures 2.3) :

La figure 2.3 présente les trois types de cellules de stockage qui ont été successivement utilisées :

- cellule à quatre transistors :



CELLULE DYNAMIQUE A QUATRE TRANSISTORS :

Figure 2.3-a

Celle-ci ressemble beaucoup à la cellule statique à 6 transistors. Les deux transistors de charge ont été supprimés.

L'information est stockée sur les deux capacités Cx. L'une Cx1 par exemple, est chargée à un niveau proche de VDD (alimentation moins V_t), tandis que l'autre, Cx2 est déchargée. De plus Cx2 se trouve court-circuitée par T3 qui est conducteur dans ce cas.

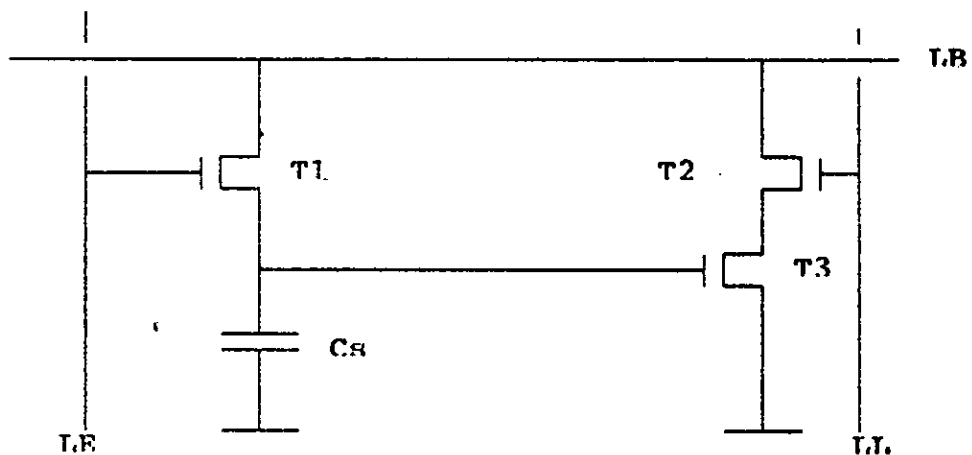
Il y a dégradation de l'état de Cx1 qui se décharge à travers T2, qui présente un certain courant de fuite au blocage. Il faut régénérer cette charge. Cette opération s'effectue automatiquement pendant l'opération de lecture qui est non destructive.

L'avantage de cette cellule est qu'elle est très rapide, avec de bonnes immunités au bruit. Son principal inconvénient est qu'elle nécessite beaucoup de place : près de $5000\mu\text{m}^2$ (mémoires

AMS 6002, INTEL 2105).

Le gain en surface par rapport à une cellule statique est donc faible [10,32].

- cellule à trois transistors :



CELLULE DYNAMIQUE A TROIS TRANSISTORS :

Figure 2.3-b

Celle-ci ne présente plus de rebouclage comme la cellule à 4 transistors.

Le transistor T1, commandé par I.E (ligne d'écriture), sert à l'écriture de la cellule, par l'intermédiaire de la ligne de bit I.B (charge ou décharge de Cs).

Le MOS T2, commandé par I.L (ligne de lecture), est rendu conducteur pour la lecture de la cellule.

Si Cs est chargée, le transistor T3 est conducteur: la ligne de bit est déchargée par T3 et T2, et passe à "0".

Si Cs est déchargée, T3 est bloqué: même lorsque T2 est rendu conducteur, il n'y a pas de décharge de la ligne de bit. I.B reste à "1".

Cette lecture est non destructive: la charge de Cs n'est pas altérée pendant l'opération.

Par contre, le rafraîchissement n'est pas automatique. Pour régénérer la charge de Cs, il faut, à la suite d'une lecture, procéder à une opération d'écriture du complément. En effet, on a vu que si Cs est chargée à l'état haut ("1"), I.B est porté à "0", et inversement.

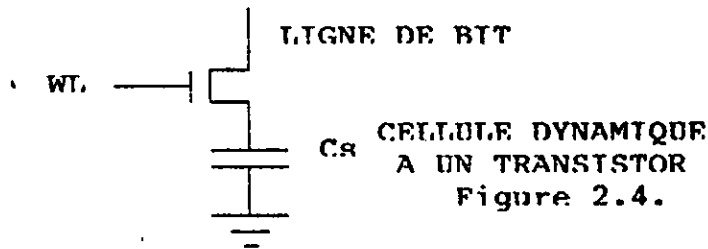
Dans certains circuits, tels que la 2107A d'INTEL, les deux transistors T1 et T2 sont commandés par la même ligne (I.E et I.L.

sont confondues), de manière à gagner un peu de place, au prix d'un fonctionnement plus complexe.

La surface d'une telle cellule est de l'ordre de 1500 à 4600 μm^2 . L'inconvénient est que la régénération n'est pas automatique [2,10,32].

- cellule à un seul transistor :

C'est la seule employée actuellement (figure 2.4)



C'est la plus simple que l'on puisse imaginer, puisqu'elle ne comporte que la capacité de stockage C_s et le MOS interrupteur commandé par la ligne de mot LM (ou WL : word line). Lorsque celui-ci est rendu conducteur, il transmet la charge de la capacité sur la ligne de bit LB [1,2,3,6].

L'inconvénient est que le transistor fuit essentiellement par sa diode drain-substrat. Si la capacité stocke un niveau haut (proche de VDD), elle va donc se décharger par le courant de fuite du MOS interrupteur. Un rapide calcul permet d'apprécier le temps de décharge [10] :

partant de $Q = C_s dV = W.T_f dt$

on en déduit $dt = \frac{C_s dV}{W.T_f}$

Les valeurs typiques que l'on rencontre sont les suivantes :
 $T_f = 10^{-14} \text{ A}/\mu\text{m}$: courant de fuite de diode par unité de longueur.

$C_s = 0.04 \text{ pf}$: capacité de stockage

$W = 40 \mu\text{m}$: périmètre de diode du transistor.

Le temps que met la capacité pour se décharger de 1V est

alors :

$$t = \frac{0.04 \cdot 10^{-12} \cdot 1}{10^{-14} \cdot 40}$$

soit

$$t = 100 \text{ms/V}$$

Ce résultat est valable à température ambiante. Or le courant de fuite double environs tous les 10°C, si bien qu'à 80°C:

$$t(80^\circ\text{C}) \simeq \frac{t(25^\circ\text{C})}{50} = 2 \text{ ms/V}$$

Si l'on se fixe une pente maximale de 1V sur le niveau haut stocké, il faut donc régénérer la charge de la capacité toutes les 2ms. C'est cette période de rafraîchissement qui est généralement retenue pour toutes les mémoires dynamiques.

De son côté le niveau "0" (capacité déchargée) ne subit aucune dégradation : la tension aux bornes de la capacité reste nulle.

Les avantages de cette cellule sont sa grande simplicité, conduisant à une grande densité d'intégration (surface comprise entre 400 et 32 μm^2) [11] et sa régénération automatique.

La figure 2.12 montre l'implantation de cette cellule, suivant la technologie utilisée.

Son fonctionnement, est présenté dans le paragraphe suivant qui traite de la structure interne des mémoires dynamiques récentes, qui font toutes appel à cette cellule [10].

b- organisation interne :

Les mémoires dynamiques récentes, qui utilisent toutes la cellule à un seul transistor, font également toutes appel aux mêmes principes de fonctionnement :

- .la lecture est destructive,
- .un bistable préchargé est utilisé pour "aider" les cellules, la régénération s'accomplit automatiquement à la lecture.

Les figures énoncées plus bas présente trois variantes d'organisation:

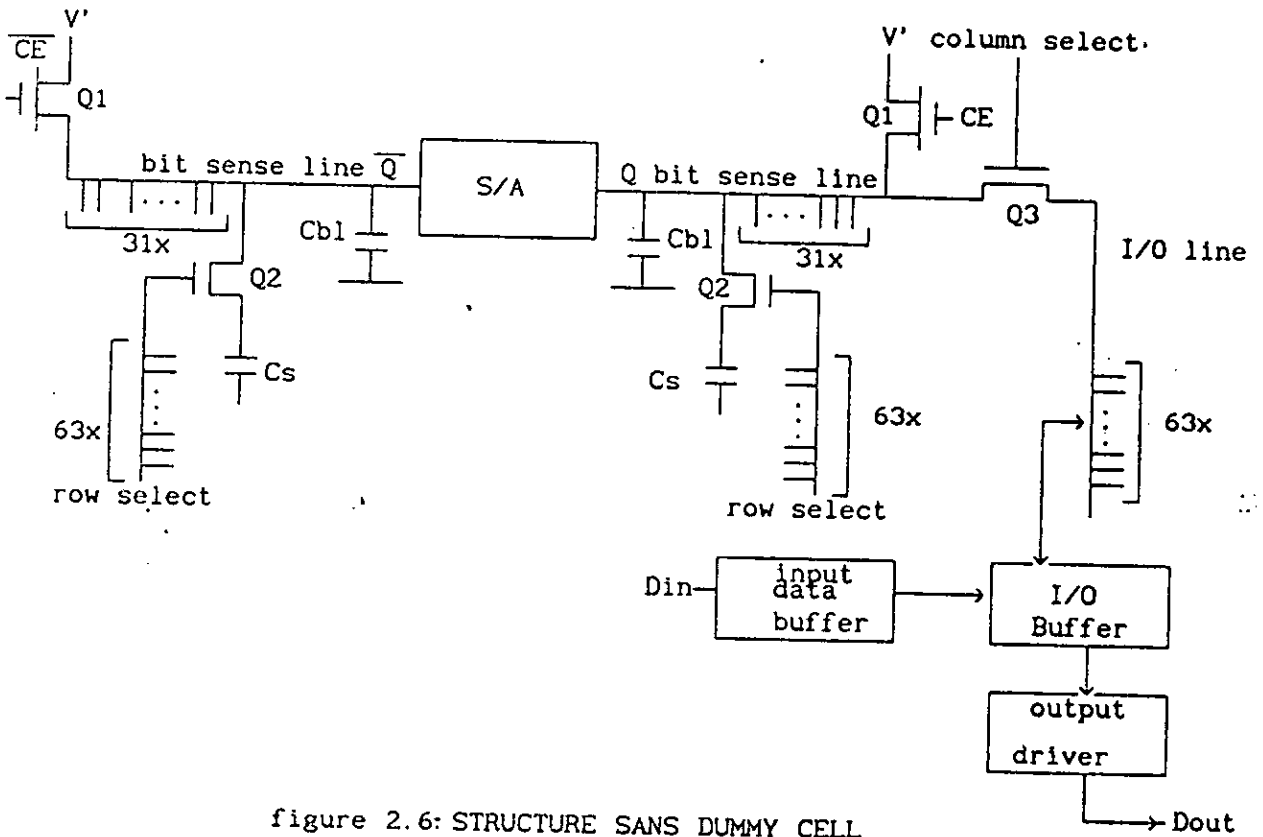


figure 2.6: STRUCTURE SANS DUMMY CELL

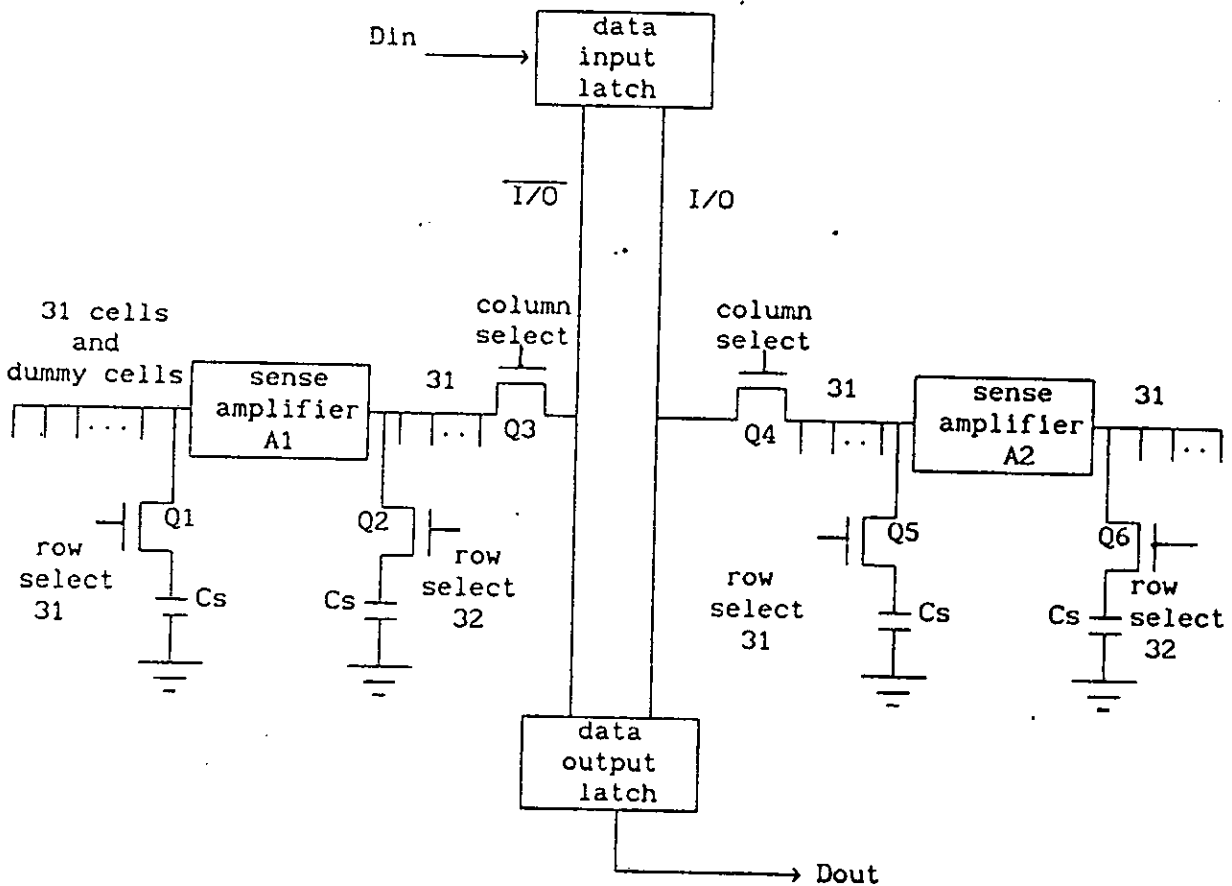


figure 2.7: STRUCTURE AVEC DUMMY CELL

qui était V' initialement.

Cette variation de potentiel est imposée par le diviseur capacitif C_s - C_{bl} , et par l'état de la capacité C_s .

Supposons que cette capacité soit déchargée : le nœud (1) est proche de V_{ss} . On a alors :

$$V_{BL} = V' \frac{C_{bl}}{C_{bl} + C_s}$$

V_{BL} est le potentiel de la ligne de bit après lecture. Comme C_{bl} est assez grande devant C_s , la variation $V' - V_{BL}$ est faible (entre 50 et 200mV). L'amplificateur de lecture est conçu de manière à détecter cette faible variation de potentiel.

Dans notre exemple, où C_s était déchargé, le potentiel V' s'abaisse légèrement, ce qui suffit à faire basculer le bistable S/A dans l'état $\overline{Q} = 0$, $Q = V_{DD}$.

Ce basculement constitue la deuxième phase de la lecture. A la fin de celle-ci, la ligne de bit est forcée par l'amplificateur au même potentiel initial que la capacité C_s , c'est-à-dire V_{ss} dans notre exemple.

La troisième et dernière phase de la lecture, au moment de l'évolution de V' , il y a eu charge de C_s , donc modification de l'information stockée. C'est pourquoi l'on dit que la lecture est destructive.

Il faut donc régénérer l'état initial de C_s , qui est une charge nulle.

Ceci se fait tout simplement en laissant C_s en liaison avec la ligne de bit, après qu'elle ait été forcée à V_{ss} par le bistable. Ainsi, C_s sera déchargée à travers $Q2$ qui est encore conducteur.

L'opération de lecture est alors terminée. $Q2$ est bloqué par le décodeur lignes, et la capacité C_s reste déchargée.

Si la capacité C_s avait été chargée, la lecture aurait suivie le même déroulement, mais le potentiel V' se serait légèrement élevé, ce qui aurait fait basculer le S/A dans l'autre sens ($\overline{Q} = V_{DD}$, $Q = 0$) [10].

La figure suivante présente le bistable S/A, ainsi que l'évolution du potentiel de la ligne de bit.

On retrouve les trois parties de la lecture: sélection de la

cellule (I), basculement de l'amplificateur (II), et régénération (III).

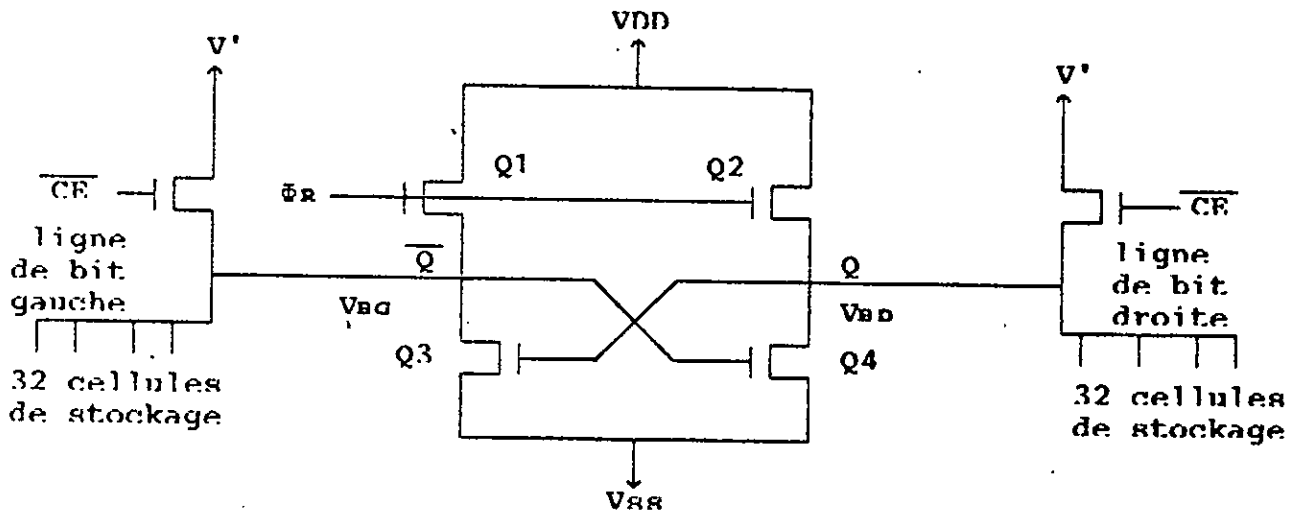
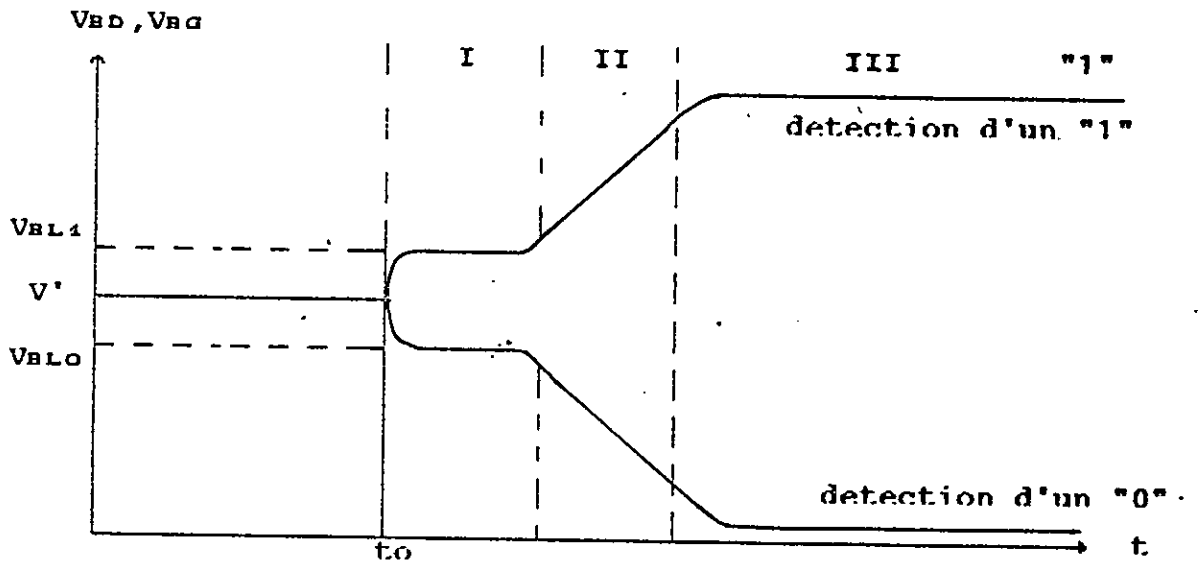


Fig 2.8 : AMPLIFICATEUR DE LECTURE SANS DUMMY CELL.



Potentiel des lignes de bit pendant la lecture :
Figure 2.9

L'écriture se fait simplement en forçant l'amplificateur S/A par l'intermédiaire du buffer d'entrée (Input data buffer) et du transistor Q3, Cs est alors chargée ou déchargée.

Il faut noter que, du côté \bar{Q} du bistable, les cellules stockent la donnée complémentaire de celle imposée par le buffer

d'entrée (inversion due au bistable S/A) [10].

- structure avec dummy cell (figure 2.6) :

La grande différence avec la structure précédente réside dans l'implantation de deux "fausses cellules" (dummy cell) de chaque côté des amplificateurs de lecture (sense Amplifiers A1 et A2).

Le principe de la lecture est inchangé par rapport à l'organisation précédente. On retrouve les trois phases successives.

La différence réside dans la manière d'attaquer le bistable de lecture pendant la première phase. Alors que dans le cas précédent, l'un des côtés voyait un potentiel fixe tandis que l'autre évoluait autour de V' , ici les deux côtés du bistable sont soumis à une variation de potentiel lors de la lecture.

Après avoir placé la bascule dans un état d'équilibre instable en préchargeant les deux lignes de bit à une même tension V_p , une cellule mémoire se trouvant d'un côté de l'amplificateur et la cellule de référence se trouvant de l'autre côté de l'amplificateur sont simultanément interrogées en actionnant les transistors interrupteurs Q1 et Q2. L'évaluation du signal V_s provenant de la cellule interrogée se fait par comparaison avec le signal V_r provenant de la cellule de référence. En actionnant les transistors Q1 et Q2, les tensions initiales des lignes de bits sont affectées par le partage des charges entre les capacités des cellules C_s et C_r et celles des lignes de bits C_{b1} [10,26].

$$\text{- du côté de } C_s \quad : \quad v_{bs} = (V_s - V_p) / (1 + C_{b1}/C_s) \quad (2.1)$$

$$\text{- du côté de } C_r \quad : \quad v_{br} = (V_r - V_p) / (1 + C_{b1}/C_r) \quad (2.2)$$

Une différence de tension s'établit alors entre les deux lignes de bits et vaut, si $C_s = C_r$:

$$v = (V_s - V_r) / (1 + C_{b1}/C_s)$$

Cette différence de tension fait basculer l'amplificateur dans un sens ou dans l'autre suivant que le signal V_s contenu dans la capacité C_s est plus grand ou plus petit que le niveau de référence V_r .

En appelant V_1 et V_0 les niveaux haut et bas que peut prendre V_s et en prenant un niveau de référence $V_r = (V_1 + V_0)/2$ pour discriminer de façon similaire les deux signaux, l'expression de v devient :

- dans le cas de la lecture d'un niveau haut ($V_s - V_1$)

$$v = (V_1 - V_0)/2(1 + C_{bl}/C_s)$$

- dans le cas de la lecture d'un niveau bas ($V_s - V_0$)

$$v = (V_0 - V_1)/2(1 + C_{bl}/C_s)$$

- ou encore de manière générale :

$$|v| = (V_1 - V_0)/2(1 + C_{bl}/C_s) \quad (2.3)$$

Pour faciliter la tâche de l'amplificateur il faudrait avoir une tension à détecter v la plus grande possible; la relation précédente montre qu'on a intérêt à augmenter:

d'une part:

- la différence ($V_1 - V_0$) entre les niveaux de stockage haut et bas d'autre part:

- le rapport C_s/C_{bl} entre la capacité de stockage et celle de la ligne de bit.

Remarquons que la quantité ($V_1 - V_0$) dépend directement de l'amplificateur de lecture utilisé et plus précisément des valeurs que celui-ci régénère en mémoire à la fin d'une opération de lecture ou d'écriture. Quand au rapport C_s/C_{bl} , il est directement lié à la structure et à la nature des constituants de la cellule de mémorisation [26].

A titre d'exemple nous pouvons déterminer la valeur de C_s dans le cas le plus défavorable soit dans notre cas $v = 50\text{mV}$ et $C_{bl} = 1\text{PF}$.

Ce qui donne :

$$C_s = \frac{2 v C_{bl}}{(V_1 - V_0 - 2.v)}$$

soit en remplaçant chaque variable par sa valeur :

$$C_s = \frac{2 \cdot 50 \cdot 10^{-3} \cdot 1 \cdot 10^{12}}{(5 - 0 - 2.50 \times 10^{-3})}$$

$$C_s = 0.02 \text{ PF} = 20 \text{ fF}$$

Nous constatons que cette valeur est extrêmement faible, c'est pourquoi de nouveaux matériaux et implants sont utilisés pour augmenter la capacité des cellules-mémoires.

Ce type d'organisation a pour but de s'affranchir des parasites de commutation qui se produisent pendant les selections des cellules car on sélectionne au même moment la cellule mémoire et la dummy cell [38].

- structure à deux cellules par bit (figure 2.7) :

Il n'y a pas de dummy cell, mais le fonctionnement se rapproche beaucoup de celui de la structure précédente, car l'amplificateur de lecture est attaqué en mode différentielle.

L'originalité de ce circuit réside dans l'utilisation de deux cellules pour stocker une seule donnée.

L'une des cellules stocke l'état voulu, tandis que l'autre stocke le complément. De ce fait, à la lecture, l'amplificateur de lecture voit une différence de potentiel (entre les nœuds A et B) plus grande que dans le cas des deux autres structures, où l'un des côtés voyait toujours un potentiel moyen.

Les capacités de stockage peuvent être plus petites que dans les cas précédents, si bien que l'augmentation de surface, due au doublement du nombre de cellules, est assez faible.

Toutefois la sécurité de fonctionnement est maximale [10].

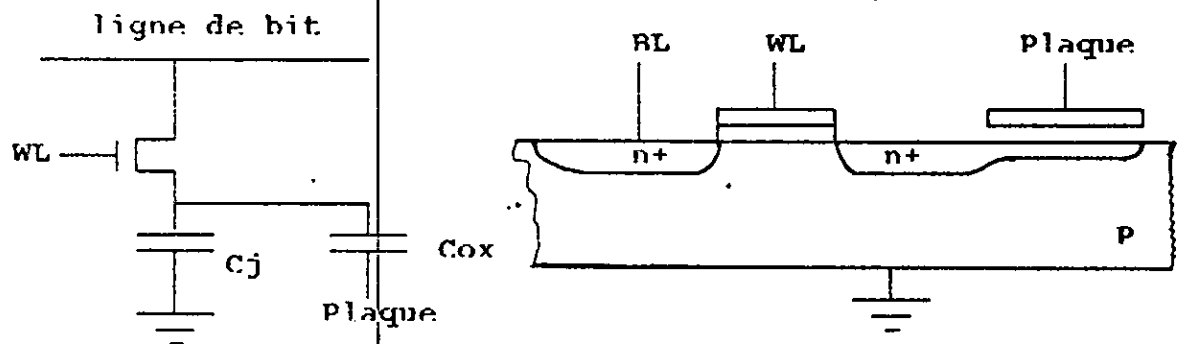
c- Implantation du point mémoire :

Le schéma de principe de la cellule mémoire à un seul transistor a été donné à la figure 2.4.

Le rapport C_s/C_{bl} devant être grand comme on l'a vu précédemment, aussi pour accroître celui-ci nous avons à-priori deux solutions :

- ou augmenter la capacité C_s
- ou diminuer C_{bl}

Pour accroître la capacité de stockage C_s , celle-ci est formée par la mise en parallèle de deux capacités : la capacité d'oxyde C_{ox} entre la ligne de plaque et la couche d'inversion en surface et la capacité de jonction C_j entre la source du transistor interrupteur et le substrat. La capacité C_j dépend de la tension appliquée à la jonction n+p. La capacité C_{ox} quant à elle, ne varie plus à partir du moment où il y a une couche d'inversion en surface; ce qui est toujours le cas lorsqu'on polarise la plaque à la tension d'alimentation VDD. Pour ce qui est enfin des ordres de grandeurs, la capacité C_{ox} est environ égale à 12 fois la capacité C_j (voir figure 2.10) [23,41].



La plaque est reliée à l'alimentation VDD

Figure 2.10 : TECHNIQUE D'ADGMENTATTON DE LA CAPACITTE C_s

Pour ce qui est de C_{bl} , celle-ci est rattachée aussi bien à la longueur de la ligne de bit qu'à la nature de celle-ci. Pour les grandes mémoires telles que 64kb et plus, le problème de la longueur de la ligne de bit est "résolu" en divisant la puce en plusieurs sections ayant leurs propres circuits tels que plan-mémoire, S/A, décodeurs etc.. [16,25,33,39].

Quant à la nature de la ligne de bit, celle-ci est soit diffusée

(dans ce cas C_{bl} est relativement grande) ou tout simplement réalisée en métal tel que l'aluminium (et dans ce cas C_{bl} est relativement faible), néanmoins celui-ci offre une meilleure résistance au rayonnement alpha dont l'origine est la présence de traces radio-actives dans le boîtier du circuit intégré et qui provoque une génération de paire électrons-trous dans Cs, ce qui fait chuter le niveau de potentiel contenu dans cette dernière s'il s'agit d'un "1" et cela fausse l'information (c'est ce qu'on appelle des soft errors) [32,33].

Si le principe de fonctionnement de la cellule à un transistor est resté inchangé, sa structure et la nature de ses constituants ont subi de grandes modifications qui ont permis de réduire la surface de la cellule tout en maintenant, ou parfois même en améliorant le rapport C_s/C_{bl} [26].

A titre d'exemple, le tableau suivant montre les différences entre les mémoires TMS4116 et TMS4164.

densité	16kb	64kb
C_s/C_{bl}	40fF/0.8PF	50fF/0.6PF
longueur du canal L (μm)	6 - 7	2.5 - 3
épaisseur d'oxyde (\AA)	900 - 1000	400 - 500
surface de Cs (μm^2)	428	170
Alimentation (V)	+5,+12	+5

Figure 2.11 : COMPARAISON DE DEUX DRAM 16K ET 64K

La 64K a été atteinte en augmentant légèrement la surface de la puce 16K [11,31] (de 16.4 mm^2 à 21 mm^2), c'est pourquoi des réductions d'échelle substantielles dans la puce ont été opérées [36].

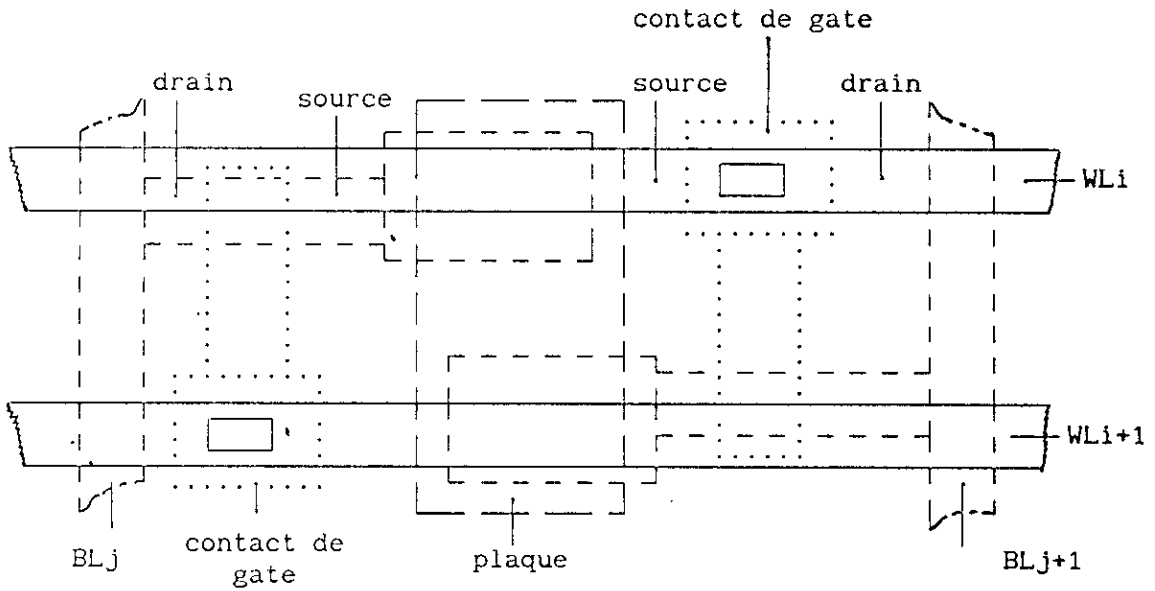
Un aperçu fort complet des différentes structures de la

cellule à un transistor est fourni dans les références [11,14,37]. Ces structures peuvent être regroupées en deux grandes familles. La première famille contient les cellules à complexité minimale basées sur des technologies simples, fiables et bien adaptées aussi bien à la réalisation des cellules de mémorisation qu'à celles des autres circuits de la mémoire (un seul niveau de polysilicium) [11,14,25,37].

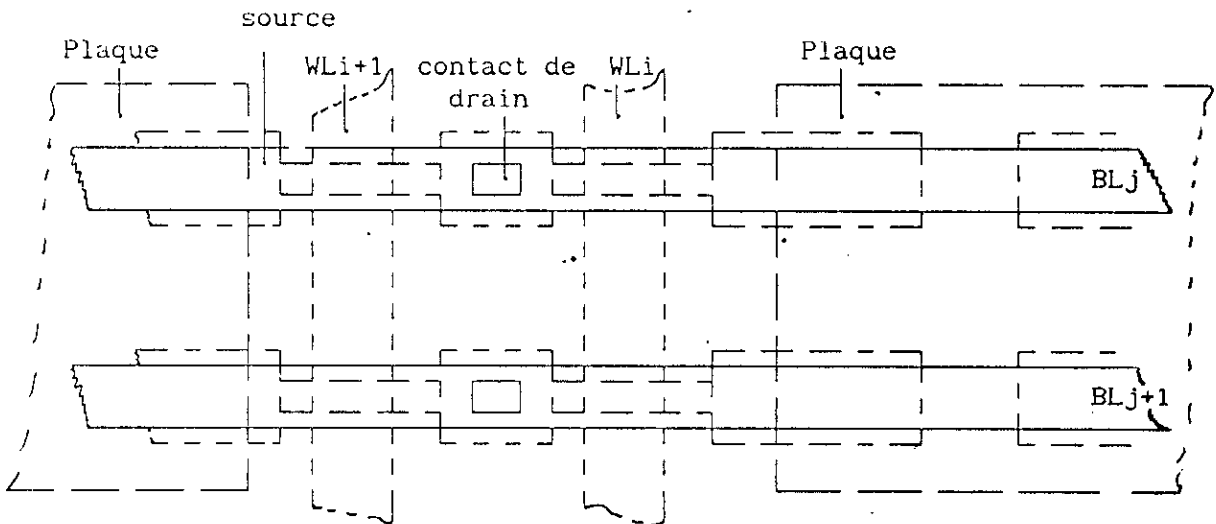
La deuxième famille contient des cellules à plus grande compacité. Cette amélioration est obtenue en général en multipliant les couches conductrices au dessus du silicium; ce qui nécessite des technologies plus sophistiquées (deux niveaux de polysilicium ou plus) [11,14,24,25,28,36,37].

Signalons que le polysilicium est une couche de polycristallin fortement dopé qui forme le gate du transistor MOS, dont les avantages sont une réduction de la surface occupée et l'auto-alignement, ce qui respectivement facilite la réalisation de transistors à canaux courts et diminuent fortement les capacités parasites C_{gs} et C_{gd} , ce qui augmente la vitesse des transistors [6].

La page suivante montre deux types de layout communément utilisées [9,11,26,40].



La plaque est commune à deux cellules mémoires
 Les lignes de bit BLj et BLj+1 sont en Polysilicium
 Les lignes de mot sont en Aluminium
premier type de layout



Le contact de drain est commun à deux cellules mémoires
 Les lignes de bit BL sont en aluminium alors que les
 lignes de mot WL sont en polysilicium
deuxième type de layout

Figure 2.13 : IMPLANTATION DES CELLULES MEMOIRES

d- le rafraichissement :

Celui-ci est automatiquement effectué à la lecture. Mais il ne concerne pas que la cellule en cours de lecture. Le rafraichissement a lieu aussi pour toutes les cellules contrôlées par la même ligne de mot. En effet, les amplificateurs de lecture fonctionnent tous en parallèle, que la colonne soit sélectionnée ou non.

Le rafraichissement de l'ensemble des cellules de la mémoire s'effectue donc en sélectionnant au moins une fois chaque ligne de mot dans l'intervalle de temps permis (2ms).

Si par exemple, une mémoire dynamique de 4096 bits (4kb) est organisée en une matrice de 64 lignes de mot et 64 colonnes, il faudra effectuer 64 opérations de lecture ou d'écriture dans l'intervalle de 2ms. Chacune des 64 opérations devra aboutir à la sélection d'une ligne différente.

On voit donc que l'organisation interne conditionne le nombre de rafraichissement à effectuer dans l'intervalle de temps spécifié. Ce nombre est égal au nombre m lignes de mot.

En général on regroupe les m cycles sur les 2ms. La perte de temps est toujours de 2 à 3%, mais la mémoire n'est jamais indisponible plus d'un cycle de fonctionnement.

Le cycle de régénération est toujours prioritaire sur une demande de lecture ou d'écriture [10]. Signalons aussi que le circuit de rafraichissement peut être intégré sur la puce et donc dans ce cas nous avons un auto-rafraichissement comme c'est le cas pour certaines mémoires 64K.

Le tableau suivant donne les caractéristiques principales de quelques mémoires dynamiques illustrant l'évolution de ces circuits depuis 1972 [10,30,32].

circuit	capacité	année	technol	Nb tr/cell	surface puce(mm ²)	surface p.m (μm ²)	taccès (ns)	puissance (mw)
AMS6002	1024X1	1972	PMOS	4	17	5000	150	170
MK1103	1024X1	1973	PMOS Gate au Si	1	11.6	4600	300	390
TMS4060	4096X1	1973	NMOS Gate Si 1niveau Polysil	1	10	900	-	-
MK4027P	4096X1	1975	"	1	9	808	150	470
TMS4116	16384x1	1977	NMOS Gate Si 2niveau Polysil	1	16.4	428	150	460
TMS4164	65536X1	1980	NMOS Gate Si 2niveau Polysil Echelle reduite	1	21	170	150	125
IMS2800	256KX1b	1985	CMOS	1	40	70	60	-
TMM 411000	256KX4b	1986	3 Niv Poly	1	65	32	80	-

Figure 2.14 : TABLEAU RECENSANT L'EVOLUTION DES DRAM

APPLICATION D'UNE IMPULSION A FLANC RAIDE

V_p étant le niveau haut auquel sont portés les nœuds (1) et (2) de l'amplificateur de lecture, la tension $V_s(t)$ commandant le montage passe instantanément de V_p à 0.

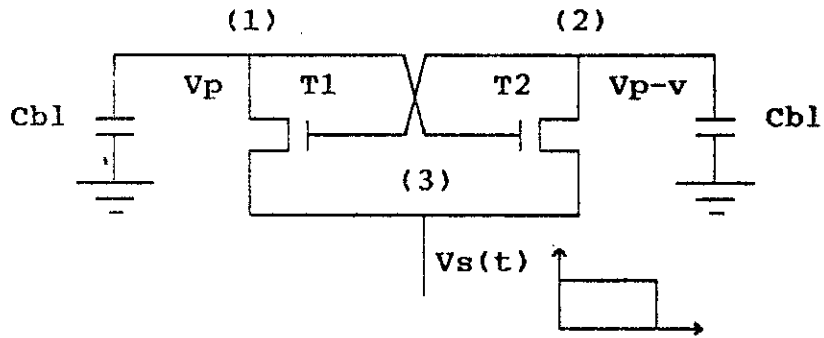


Figure 3.1 : S/A COMMANDE PAR UNE TENSION $V_s(t)$ IDEALE

Quand $V_s(t)$ vaut V_p nous avons :

$$V_{gs1} = V_2 - V_s = V_p - v - V_p = -v < V_t$$

$$V_{gs2} = V_1 - V_s = V_p - V_p = 0 < V_t$$

T1 et T2 sont donc bloqués

Quand $V_s(t)$ s'annule instantanément on aura :

$$V_{gs1} = V_p - v - 0 = V_p - v > V_t$$

$$V_{gs2} = V_p - 0 > V_t$$

T1 et T2 sont donc conducteurs

3.1 ETATS DE T1 ET T2 AVANT LE BASCULEMENT :

Nous avons :

$$\begin{array}{l}
 V_{ds1} = V_1 - V_s = V_1 = V_p \\
 \\
 V_{ds2} = V_2 - V_s = V_2 = V_p - v
 \end{array}
 \rightarrow
 \left\{
 \begin{array}{l}
 V_{ds1} = V_p > (V_{gs1} - V_t) \\
 \qquad \qquad \qquad = V_p - v - V_t < V_p \\
 \\
 V_{ds2} = V_p - v > (V_{gs2} - V_t) \\
 \qquad \qquad \qquad = V_p - V_t \text{ (car } v < V_t)
 \end{array}
 \right.$$

T1 et T2 sont par conséquent saturés

β étant la conductivité spécifique des transistors T1 et T2, celle-ci vaut:

$$\beta = \frac{\mu \epsilon_0 \epsilon_{\text{SiO}_2}}{t_{\text{ox}}} \frac{W}{L}$$

ou μ , ϵ_0 , ϵ_{SiO_2} , t_{ox} et W/L sont respectivement la mobilité des porteurs, la permittivité électrique du vide, la permittivité relative du SiO_2 , l'épaisseur d'oxyde, et la dimension des transistors.

Nous avons :

$$I1 = \beta (V_{gs1} - V_t)^2 / 2 \quad \text{et} \quad I2 = \beta (V_{gs2} - V_t)^2 / 2$$

d'où:

$$\frac{dV1(t)}{dt} = -\beta (V_{gs1} - V_t)^2 / 2C_{bl} = -\beta (V2 - V_s - V_t)^2 / 2C_{bl}$$

$$\frac{dV2(t)}{dt} = -\beta (V_{gs2} - V_t)^2 / 2C_{bl} = -\beta (V1 - V_s - V_t)^2 / 2C_{bl}$$

Plutôt que de manipuler les β , C_{bl} (capacité totale de la ligne de bit), V_p et V_t (la tension de seuil des deux transistors) qui dépendent du processus technologique, il est intéressant de passer à la normalisation du système; ce qui permettra de ne pas se soucier des valeurs de ces paramètres.

On posera alors : $\bar{V} = V / V_t$, $\bar{t} = t / \tau$ avec $\tau = C_{bl} / \beta V_t$.
Il s'ensuit quand $V_s(t) = 0$:

$$\left\{ \begin{array}{l} \frac{d\bar{V}_1(t)}{dt} = - (\bar{V}_2(t) - 1)^2 / 2 \\ \frac{d\bar{V}_2(t)}{dt} = - (\bar{V}_1(t) - 1)^2 / 2 \end{array} \right. \quad (3.1)$$

Le système (3.1) est un système différentiel couplé d'ordre 2 impossible à résoudre manuellement, ce qui nous a contraint à user d'une technique numérique en l'occurrence l'algorithme de Runge-Kutta. En utilisant le processus technologique UCL de 1984 dont les paramètres technologiques sont les suivants :

$$\left\{ \begin{array}{l} U = 800.10^{-4} \text{ cm}^2/\text{V.s} \\ V_t = 1\text{V} \\ \text{tox} = 950 \text{ \AA} \\ N_{\text{SUB}} = 10^{16} \text{ atomes/cm}^3 \end{array} \right. \quad \text{Avec } L = 5\mu\text{m}$$

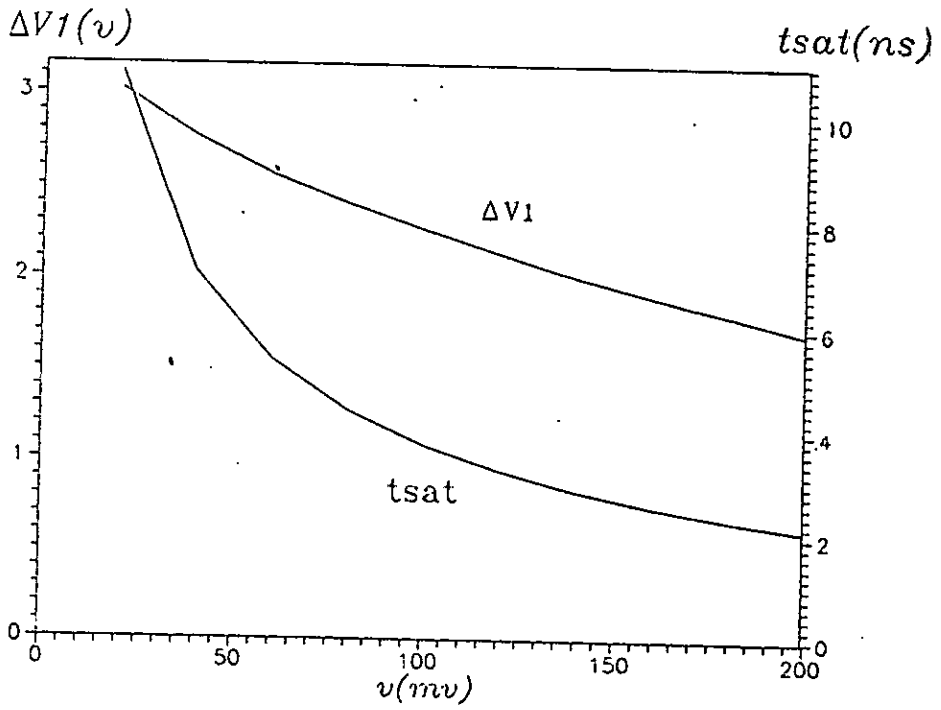
La capacité parasite Cbl de la ligne de bit a été prise égale à 1pF, valeur qui est assez forte afin de se placer dans le cas le plus défavorable; quant à la dimension W/L, celle-ci a été prise égale à 10.

Pour un pas de calcul de 0.01 et pour Vp = 5V (niveau de précharge) une tension à détecter v allant de 20mV à 200mV donne un temps de lecture tsat et une chute de potentiel du nœud à plus haut niveau ΔV1 :

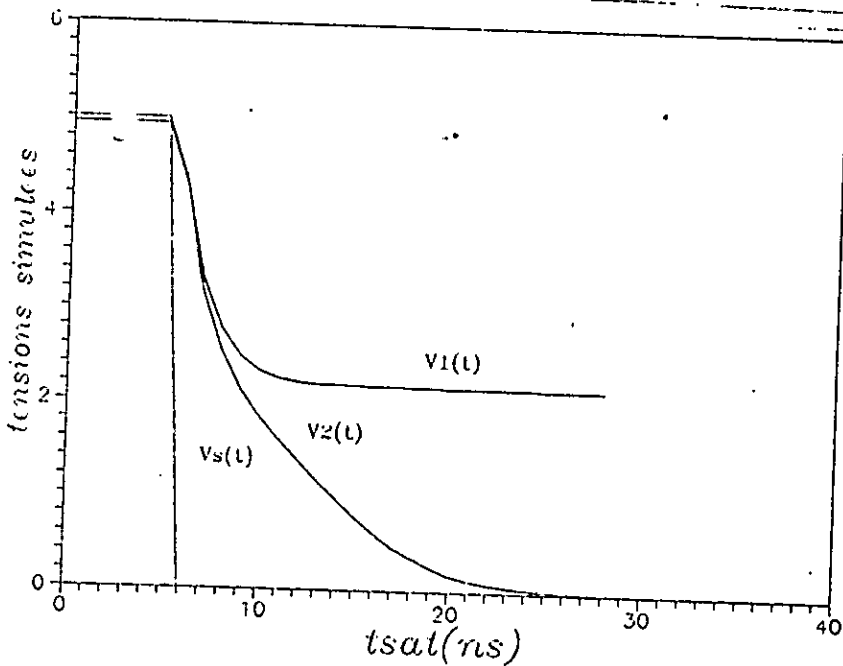
v(mV)	20	40	60	80	100	150	200
ΔV1 (V)	3.02	2.76	2.56	2.40	2.26	2	1.67
tsat (ns)	10.8	7.1	5.2	4.3	3.6	2.6	2.1

Tableau 3.1 : valeurs de tsat et ΔV1 calculées.

3.2 GRAPHES DE t_{sat} ET ΔV_1 EN FONCTION DE v :



GRAPHES DE $t_{sat}(v)$ ET $\Delta V_1(v)$ DONNES PAR L'ALGORITHME DE RUNGE-KUTTA POUR LE PROCESSUS TECHNOLOGIQUE UCL
Figure 3.2



$V_1(t)$ $V_2(t)$ $V_s(t)$ SIMULEES PAR LE SPICE POUR $v=50\text{mv}$
Figure 3.3

3.3 COMMENTAIRE DES RESULTATS :

D'après les résultats obtenus , on remarque que :

-la baisse en tension du nœud ayant le plus haut niveau augmente dans le sens décroissant de v , en particulier cette chute de tension est bien supérieure à la tolérance admise dans ce cas qui est au maximum de 20% du niveau de précharge V_p (figure 3.2).

Outre cela , il faut signaler l'existence des capacités de gate C_g de T1 et T2 qui lorsqu'ils sont conducteurs permettent à ces capacités d'absorber une partie des potentiels des nœuds (1) et (2) d'où une diminution additionnelle particulièrement pour le nœud correspondant au niveau logique "1". De même l'on voit que l'amplificateur de lecture commandé par le signal $V_s(t)$ à flanc raide et simulé par le simulateur SPICE pour $v = 50mV$ montre les réponses de $V_1(t)$ et de $V_2(t)$ (figure 3.3); la diminution de $V_1(t)$ est très importante et dépasse largement les 20% de la tension de précharge V_p , ce qui confirme les résultats trouvés précédemment.

En conclusion , on peut dire que la commande du flip-flop par toute tension $V_s(t)$ dont l'inclinaison se rapproche de l'inclinaison raide idéale conduit à une dégradation très importante du potentiel $V_1(t)$ aussi celle-ci est à déconseiller.

CONTROLE PAR BLOCAGE D'UN TRANSISTOR

Afin de s'éloigner du cas précédent, la première idée qui nous vient à l'esprit est de conserver le transistor T1 bloqué en permanence car de cette façon $V_1(t)$ reste constant.

Il s'agit donc ici de trouver une fonction de commande $V_s(t)$ qui permet au potentiel précédent de rester constant, ceci équivaut à garder le transistor dont le drain est au plus haut niveau (T1 dans notre cas) en permanence bloqué

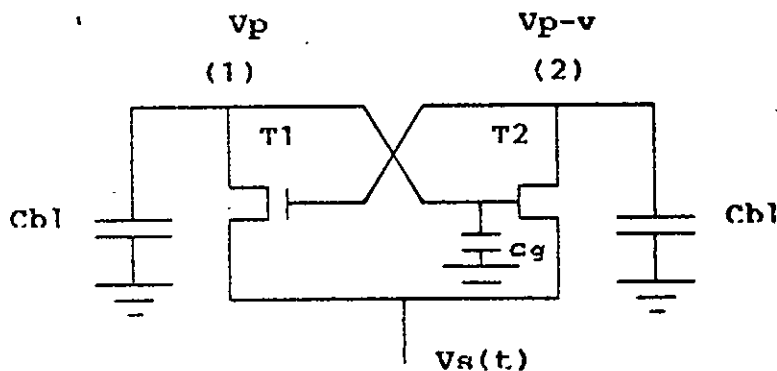


FIGURE 4.1 : AMPLIFICATEUR DE LECTURE AVEC $V_2(t) - V_s(t) = V_t$

4.1 PREMIER REGIME : T1 BLOQUE , T2 SATURE $0 < t < t_{sat}$:

Ceci revient à imposer : $V_2(t) - V_s(t) \leq V_t \quad \forall t$

en particulier nous nous placerons dans le cas où :

$$V_2(t) - V_s(t) = V_t \tag{4.1}$$

Nous avons pris comme niveau de précharge $V_p - V_{DD}$, initialement on a :

$$V_1(t) = V_{DD} \quad \text{et} \quad V_2(t) = V_{DD} - v$$

Nous avons : $V_2(0) > V_1(0) - V_t$

Car $V_{DD} - v > V_{DD} - V_t$ du fait que v est inférieur à V_t .

C'est pourquoi T2 est saturé , nous avons donc :

$$\frac{dV_2(t)}{dt} = -\beta [V_1(t) - V_s(t) - V_t]^2 / 2 C_{bl} \tag{4.2}$$

T2 étant conducteur va permettre à la capacité de gate C_g de celui-ci de se charger, $(V_1(t) - V_s(t) - V_t)$ étant l'excès de tension de grille par rapport au seuil de conduction de T2, C_g prend de C_{bl} au nœud (1) la charge $q(t)$:

$$q(t) = (V_1(t) - V_s(t) - V_t) C_g$$

Il s'ensuit une réduction de niveau au nœud (1) due à C_g :

$$\Delta V = - \frac{q(t)}{C_{bl}} = - [V_1(t) - V_s(t) - V_t] C_g / C_{bl}$$

Au cours du temps on a donc :

$$V_1(t) = V_{DD} - |\Delta V| = V_{DD} - (V_1(t) - V_s(t) - V_t) C_g / C_{bl}$$

En ajoutant $(-V_s(t) - V_t)$ dans les deux membres de l'équation précédente il vient :

$$V_1(t) - V_s(t) - V_t = V_{DD} - V_s(t) - V_t - (V_1(t) - V_s(t) - V_t) \frac{C_g}{C_{bl}}$$

En posant $f = \frac{C_{bl}}{C_{bl} + C_g}$ on aura :

$$(V_1(t) - V_s(t) - V_t) = f. (V_{DD} - V_s(t) - V_t) \quad (4.3)$$

L'équation différentielle (4.2) devient :

$$\frac{dV_2(t)}{dt} = - \frac{\beta f^2}{2 C_{bl}} [V_{DD} - V_s(t) - V_t]^2$$

Si nous posons : $\tau = \frac{C_{bl}}{\beta f^2 V_t}$ alors $\bar{t} = t / \tau$

L'expression normalisée de la dérivée de $\bar{V}_2(\bar{t})$ par rapport à \bar{t} est :

$$\frac{d\bar{V}_2(\bar{t})}{d\bar{t}} = - \frac{1}{2} [\bar{V}_{DD} - \bar{V}_s(\bar{t}) - 1]^2$$

Or l'équation (4.1) implique :

$$\frac{d\bar{V}_2(\bar{t})}{d\bar{t}} = \frac{d\bar{V}_R(\bar{t})}{d\bar{t}}$$

d'où :

$$\frac{d\bar{V}_R(\bar{t})}{d\bar{t}} = -\frac{1}{2} [\bar{V}_{DD} - \bar{V}_R(\bar{t}) - 1]^2$$

Avec comme condition initiale : $\bar{V}_R(0) = \bar{V}_{DD} - \bar{v} - 1$

La résolution de cette équation se présente comme suit :

$$\frac{d\bar{V}_R(\bar{t})}{[\bar{V}_{DD} - \bar{V}_R(\bar{t}) - 1]^2} = -\frac{1}{2} d\bar{t}$$

en intégrant entre $\bar{V}_R(0)$ et $\bar{V}_R(\bar{t})$ d'une part et 0 et \bar{t} d'autre part :

$$\int_{\bar{V}_R(0)}^{\bar{V}_R(\bar{t})} \frac{d\bar{V}_R(\bar{t})}{(\bar{V}_{DD} - \bar{V}_R(\bar{t}) - 1)^2} = -\frac{1}{2} \int_0^{\bar{t}} d\rho$$

Ce qui donne en définitif en tenant compte de la condition initiale:

$$\bar{V}_R(\bar{t}) = \bar{V}_{DD} - 1 - \frac{\bar{v}}{1 - (\bar{v} \cdot \bar{t}) / 2}$$

d'où :

$$\bar{V}_2(\bar{t}) = \bar{V}_{DD} - \frac{\bar{v}}{1 - (\bar{v} \cdot \bar{t}) / 2}$$

Quand $\bar{V}_2(\bar{t}) = \bar{V}_1(\bar{t}) - 1$ le régime de saturation cesse, en outre le temps de saturation correspondant est tel que :

$$\bar{t}_{\text{sat}} = 2 \frac{(1 - f \cdot \bar{v})}{\bar{v}}$$

Ce résultat appelle quelques remarques :

Les paramètres f et \bar{v} étant inférieurs à 1, le produit $(f \cdot \bar{v})$ est donc très inférieur à 1, par conséquent \bar{t}_{sat} peut s'écrire $\bar{t}_{sat} = (2 / \bar{v})$, celui-ci est donc inversement proportionnel à \bar{v} , ce qui est un inconvénient puisque \bar{t}_{sat} ne serait plus constant et varierait dans une large plage quand \bar{v} varie.

4.2 DEUXIEME REGIME : T1 BLOQUE ET T2 NON SATURE $\bar{V}_s(\bar{t}) \neq 0$ $\bar{t}_{sat} \leq \bar{t} \leq \bar{t}_{vs}$

Juste après ce régime, T2 passe au régime non saturé, par conséquent nous avons donc :

$$\frac{d\bar{V}_2(\bar{t})}{d\bar{t}} = -[\bar{V}_1(\bar{t}) - \bar{V}_s(\bar{t}) - 1] - \frac{\bar{V}_2(\bar{t}) - \bar{V}_s(\bar{t})}{2} \quad 1. [\bar{V}_2(\bar{t}) - \bar{V}_s(\bar{t})] \quad (4.4)$$

$$\text{Or } \bar{V}_2(\bar{t}) - \bar{V}_s(\bar{t}) = 1 \quad (4.5)$$

En tenant compte des équations (4.1), (4.3) et (4.5) et en mettant f en facteur, l'équation (4.4) devient :

$$\frac{d\bar{V}_2(\bar{t})}{d\bar{t}} = \frac{d\bar{V}_s(\bar{t})}{d\bar{t}} = - [\bar{V}_{DD} - \bar{V}_s(\bar{t}) - 1 - (1 / 2 f)]$$

qui permet de donner pour $\bar{t} > \bar{t}_{sat}$:

$$\bar{t} - \bar{t}_{sat} = \frac{1}{f} \ln \left[\frac{\bar{V}_{DD} - 1 - (1 / 2 f) - \bar{V}_s(\bar{t})}{(1 / 2 f)} \right]$$

En particulier pour $\bar{t} = \bar{t}_{vs}$ $\bar{V}_s(\bar{t}_{vs}) = 0$:

$$\bar{t}_{vs} = \bar{t}_{sat} + \frac{1}{f} \ln [2 f (\bar{V}_{DD} - 1) - 1]$$

\bar{t}_{vs} est constant quelque soit la tension à détecter \bar{v} .

D'autre part la solution en $\bar{V}_s(\bar{t})$ pour $\bar{t}_{sat} \leq \bar{t} \leq \bar{t}_{vs}$ est :

$$\bar{V}_s(\bar{t}) = \bar{V}_{DD} - 1 - \frac{1}{2 f} - \frac{\exp(f (\bar{t} - \bar{t}_{sat}))}{2 f}$$

Quand à $\bar{v}_2(\bar{t})$ et $\bar{v}_1(\bar{t})$ il valent respectivement :

$$\bar{v}_2(\bar{t}) = \bar{v}_{DD} - \frac{1}{2f} - \frac{\exp(f(\bar{t} - \bar{t}_{sat}))}{2f}$$

et

$$\bar{v}_1(\bar{t}) = f \bar{v}_{DD} + (1 - f) \bar{v}_2(\bar{t})$$

4.3 3EME REGIME : T1 BLOQUE, T2 NON SATURE $\bar{t}_1 \leq \bar{t} \leq \bar{t}_f$ avec $\bar{v}_2(\bar{t}_f) = 0$

Etant donné que $\bar{v}_s(\bar{t})$ est nulle, la condition est $\bar{v}_2(\bar{t}_{vs}) = 1$ et l'équation qui régit le système est alors :

$$\frac{d\bar{v}_2(\bar{t})}{d\bar{t}} = - \left[\bar{v}_1(\bar{t}) - 1 - \frac{\bar{v}_2(\bar{t})}{2} \right] \bar{v}_2(\bar{t})$$

$\bar{v}_2(\bar{t})$ étant inférieur à 1, $\bar{v}_2(\bar{t})$ élevée au carré sera beaucoup plus inférieure à 1, aussi il vient :

$$\frac{d\bar{v}_2(\bar{t})}{d\bar{t}} = - \left[\bar{v}_1(\bar{t}) - 1 \right] \bar{v}_2(\bar{t})$$

soit en tenant compte de l'équation (4.3) avec $\bar{v}_s(\bar{t}) = 0$:

$$\frac{d\bar{v}_2(\bar{t})}{d\bar{t}} = - f \left[\bar{v}_{DD} - 1 \right] \bar{v}_2(\bar{t})$$

Ce qui donne :

$$\frac{d\bar{v}_2(\bar{t})}{\bar{v}_2(\bar{t})} = - f \left[\bar{v}_{DD} - 1 \right] d\bar{t}$$

En intégrant entre \bar{t}_{vs} et \bar{t} :

$$\int_1^{\bar{v}_2(\bar{t})} \frac{d\bar{v}_2(\bar{t})}{\bar{v}_2(\bar{t})} = - f \left(\bar{v}_{DD} - 1 \right) \int_{\bar{t}_{vs}}^{\bar{t}} d\bar{t}$$

d'où le résultat suivant :

$$\bar{V}_2(\bar{t}) = \exp [-f (\bar{V}_{DD}-1) \cdot (\bar{t} - \bar{t}_1)]$$

on peut vérifier que $\bar{V}_2(\bar{t})$ s'annule très rapidement.

Quant à l'équation suivante :

$$\bar{V}_1(\bar{t}) = f \cdot \bar{V}_{DD} + (1 - f) (\bar{V}_s(\bar{t}) + 1)$$

Celle-ci dépend de $\bar{V}_s(\bar{t})$, lorsque $\bar{V}_s(\bar{t})$ s'annule (pour $\bar{t} - \bar{t}_1$) alors $\bar{V}_1(\bar{t})$ reste constante et sa valeur définitive est :

soit :
$$\bar{V}_1(\bar{t}) = f \bar{V}_{DD} + (1 - f)$$

4.4 RESUME :

En résumé , voici les différents régimes avec leurs expressions complètes.

$$t_{sat} = \frac{2 \text{ Cbl } (V_t - f \cdot v)}{\beta f^2 V_t v}$$

de même :

$$t_{vs} = t_{sat} + \frac{\text{Cbl}}{\beta f^2 V_t} \cdot \ln \left[\frac{2 f (V_{DD} - V_t) - V_t}{V_t} \right]$$

1er régime : $0 \leq t \leq t_{sat}$

$$V_s(t) = V_{DD} - V_t - \frac{v}{V_t - \frac{\beta f^2 V_t}{2 \cdot \text{Cbl}}}$$

$$V_2(t) = V_s(t) + V_t$$

$$V_1(t) = f V_{DD} + (1 - f) V_2(t)$$

2ème regime : $t_{sat} \leq t \leq t_{vs}$

$$V_s(t) = V_{DD} - V_t - \frac{V_t}{2f} \left[1 + \exp\left(\frac{f^2 \beta V_t (t - t_{sat})}{\text{Cbl}} \right) \right]$$

$$V_2(t) = V_s(t) + V_t$$

$$V_1(t) = f V_{DD} + (1 - f) V_2(t)$$

3ème regime : $t_{vs} \leq t \leq t_f$

$$V_s(t) = 0$$

$$V_2(t) = \exp \left[-f (V_{DD} - V_t) \cdot \frac{\beta f^2 V_t}{C_{bl}} (t - t_L) \right]$$

$$V_1(t) = f V_{DD} + (1 - f) \cdot V_t$$

Les tableaux suivants donnent t_{sat} , $(t_{vs} - t_{sat})$ et t_{vs} ainsi que ΔV_1 en présence et en absence de la capacité de gate C_g ($f=1$ et $f=0.873$). Le processus technologique DCL utilisé est celui du Laboratoire de micro-électronique de l'université du Louvain en Belgique de 1984 dont les paramètres dont nous avons besoin ont été donnés au chapitre 3.

$t_{sat}(ns)$

pas d'effet de C_g effet de C_g

v(mv)	f = 1	f = 0,873
50	131	173
100	62	82
150	39	52
200	27	37

Tableau 4.1 : valeurs de $t_{sat}(v)$ en présence de C_g ou non

$(t_{vs} - t_{sat}) (ns)$

50	6	9
100	6	9
150	6	9
200	6	9

Tableau 4.2 : valeurs de $(t_{vs} - t_{sat}(v))$ en présence de C_g ou non

$t_{vs}(ns)$

50	137	182
100	68	91
150	45	61
200	33	46

Tableau 4.3 : valeurs de $t_{vs}(v)$ en présence de C_g ou non

$\Delta V1(V)$

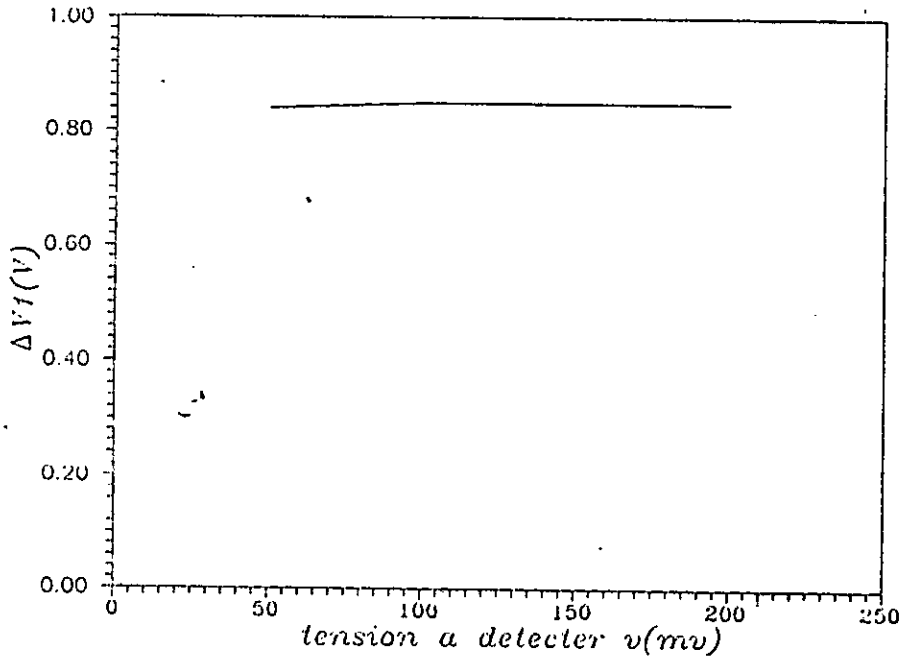
$f = 1$

$f = 0.873$

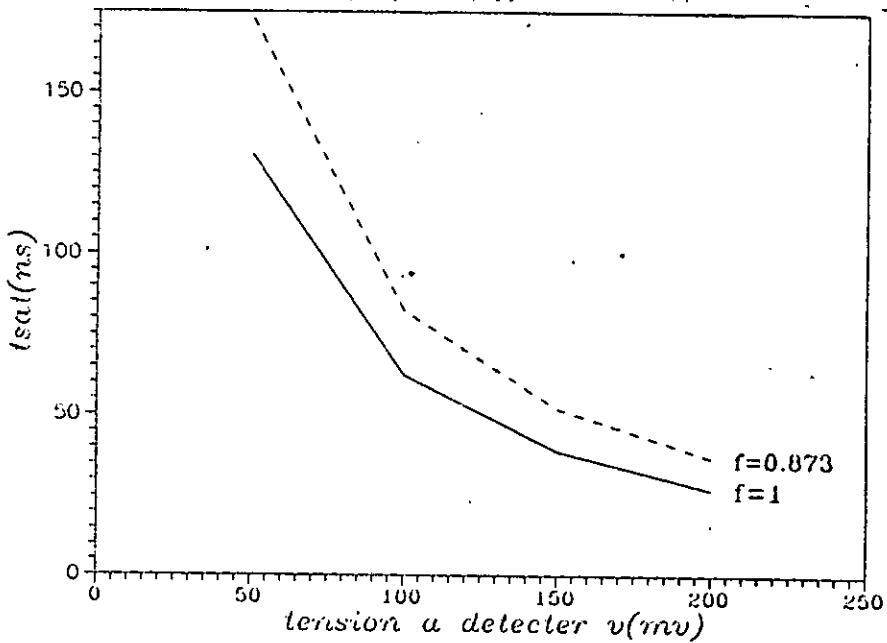
50	0	0.84
100	0	0.85
150	0	0.85
200	0	0.85

Tableau 4.4 : valeurs de $\Delta V1(v)$ en présence de C_g ou non

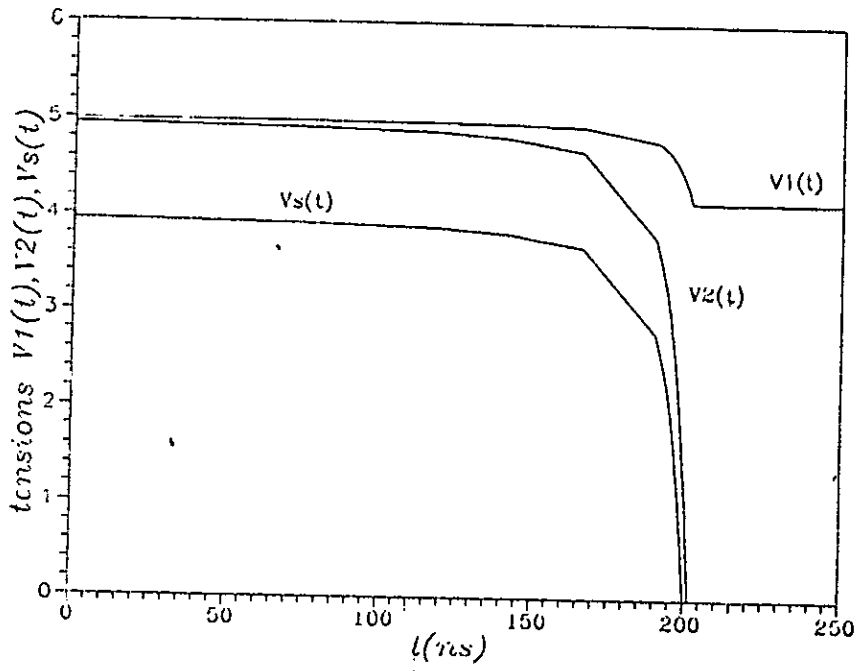
4.5 GRAPHES DE t_{sat} , $\Delta V_1(v)$, $V_1(t)$, $V_2(t)$ et $V_s(t)$:



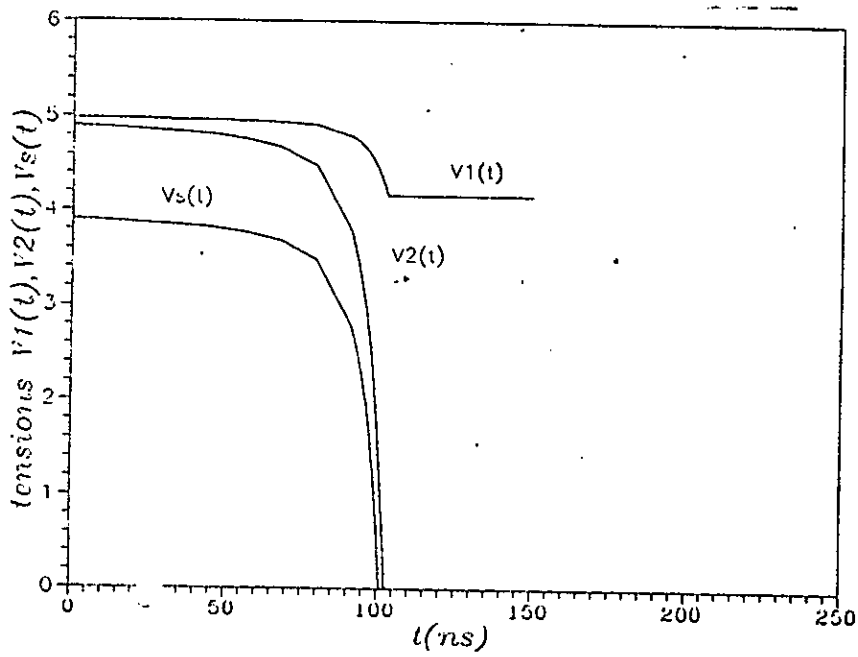
EVOLUTION DE ΔV_1 EN FONCTION DE v
Figure 4.2



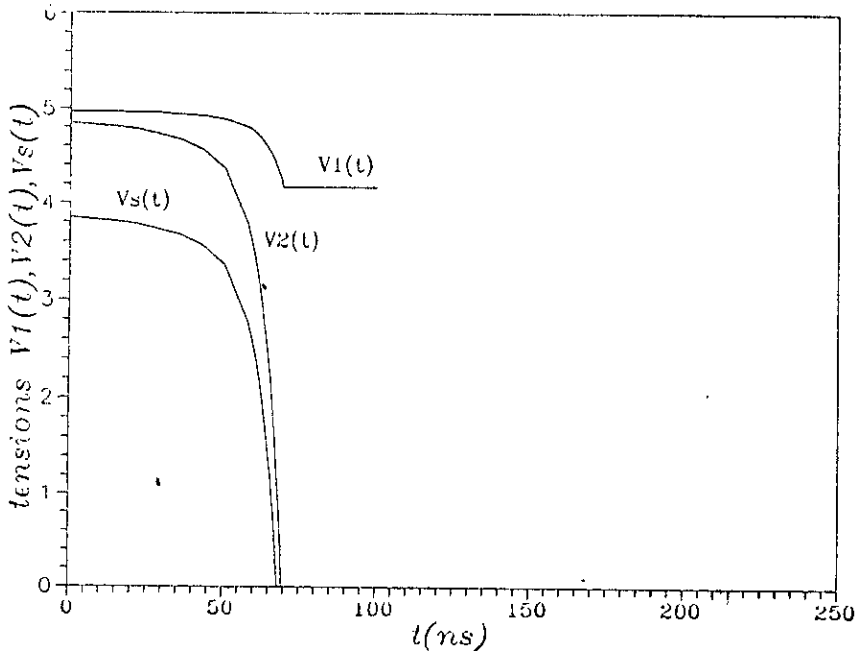
TEMPS DE SATURATION $t_{sat}(v)$ EN ABSENCE ($f=1$)
ET EN PRESENCE DE C_g ($f=0.873$)
Figure 4.3



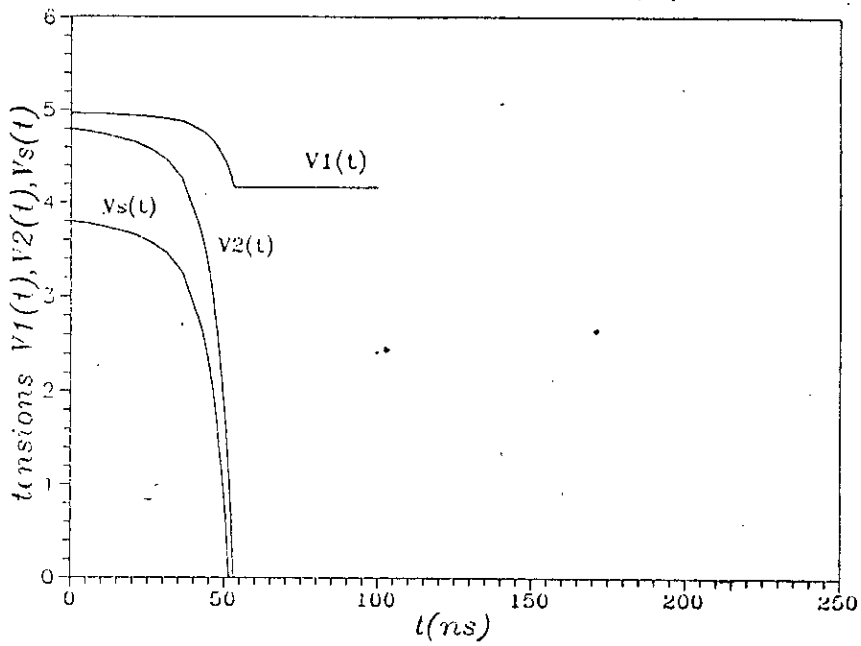
GRAPHES DE $V_1(t), V_2(t), V_s(t)$ POUR $v = 50\text{mv}$
Figure 4.4



GRAPHES DE $V_1(t), V_2(t), V_s(t)$ POUR $v = 100\text{mv}$
Figure 4.5



GRAPHES DE $V_1(t), V_2(t), V_s(t)$ POUR $v = 150\text{mv}$
Figure 4.6



GRAPHES DE $V_1(t), V_2(t), V_s(t)$ POUR $v = 200\text{mv}$
Figure 4.7

4.6 CONCLUSION :

En raison de l'existence de C_g , il y a une chute de potentiel ΔV_1 au nœud (1) mais celle-ci est pratiquement constante. Ainsi pour v allant de 50mV à 200mV, celle-ci vaut 0.84V donc 16.8% de la tension de précharge V_{DD} , elle satisfait donc la condition de départ, par conséquent le niveau "1" est préservé et la détection est correcte (figure 4.2) en revanche le t_{sat} (figure 4,3) est instable à l'extrême (variation de la valeur 173ns à la valeur 37ns dans le cas où l'on tient compte de C_g); cela s'explique par le fait qu'il est inversement proportionnel à v .

Les figures 4.4 à 4.7 montrent que les allures des courbes sont les mêmes à part le fait que les durées de basculement pour v allant de 50mV à 200mV sont trop éloignées entre elles. Ainsi pour $v = 50mV$, la durée de basculement avoisine les 200ns alors que pour $v = 200mV$ celle-ci approche les 50ns soit le quart de la durée précédente.

En définitif la détection d'un "0" ou d'un "1" n'est pas correcte avec cette commande.

CHAPITRE 5
 CONTROLE PAR LEGERE CONDUCTION
 D'UN DES TRANSISTORS

On a vu dans la commande précédente que t_{sat} est inversement proportionnel à la tension à détecter v , aussi faut-il essayer de comprimer la large plage de t_{sat} , de cette façon le t_{sat} ne varierait pas trop pour une variation éventuellement importante de v . En outre pour diminuer encore plus le temps de saturation on a intérêt à ce que $V_2(t)$ baisse encore plus vite, or la présence de la capacité de couplage C_g liée au nœud (2) contribue à diminuer (comme on l'a vu antérieurement) le potentiel de ce dernier mais évidemment à la condition que T1 soit conducteur, c'est pourquoi il s'avère nécessaire de laisser T1 conduire avec en sorte que la baisse totale du potentiel au nœud (1) ne dépasse pas 20% du niveau de précharge.

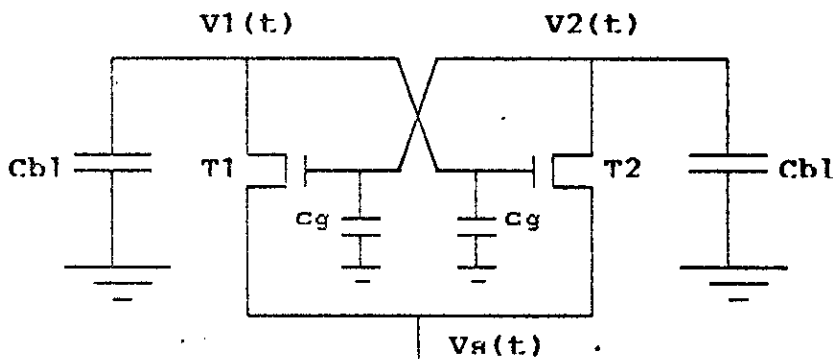


FIGURE 5.1 : AMPLIFICATEUR DE LECTURE ET $V_2(t) - V_R(t) = V_t + v_c$.

5.1 PREMIER REGIME T1 ET T2 SATURES $0 \leq t \leq \bar{t} \leq \bar{t}_{sat}$:

On maintiendra donc $V_{gs1} = V_2(t) - V_R(t) = V_t + v_c$ (5.1) où v_c est une petite tension au dessous de V_t . Initialement nous avons :

$$V_1(0) > V_2(0) - V_t$$

En effet : $V_{DD} > V_{DD} - v - V_t$

T1 est donc à la saturation c'est pourquoi le courant I_1 est constant et nous avons alors :

$$I_1 = \frac{\beta}{2} [V_2(t) - V_R(t) - V_t]^2$$

or d'après (5.1), il vient:

$$I1 = \frac{\beta}{2} \cdot v_c^2$$

Par ailleurs la baisse de potentiel au nœud (2) due à la conduction de T1 est telle que :

$$I1 = - Cb1 \frac{dV1_{\text{conducteur}}}{dt}$$

d'où:

$$\Delta V1_{\text{conducteur}} = - \int_0^t (I1 / Cb1) dt = - 1/Cb1 \int_0^t (\beta \cdot v_c^2 / 2) dt$$

soit :

$$\Delta V1_{\text{conducteur}} = - (\beta v_c^2 t / 2Cb1)$$

d'autre part :

$$V2(0) > V1(0) - Vt$$

car

$$VDD - v > VDD - Vt$$

En effet

$$v < Vt$$

Par conséquent T1 est initialement saturé d'où :

$$\frac{dV2(t)}{dt} = - \frac{\beta}{2Cb1} [V1(t) - V_R(t) - Vt]^2 \quad (5.2)$$

5.1.1 EFFETS DE LA CONDUCTION DE T1 SUR V2(t) :

Du fait que T1 est maintenant conducteur, le potentiel V1(t) devient au cours du temps :

$$V1(t) = VDD - |\Delta V_{Cg}| - |\Delta V_{T1\text{conducteur}}|$$

or la capacité de Cg prend de Cb1 liée au nœud (1) la charge :

$$q(t) = [V1(t) - V_R(t) - Vt] Cg$$

La réduction additionnelle de potentiel du nœud (1) due à Cg est donc :

$$\Delta V_{Cg} = - [V1(t) - V_R(t) - Vt] Cg / Cb1$$

où [V1(t) - V_R(t) - Vt] est l'excès de tension du gate de T2 par rapport au seuil de conduction de celui-ci, finalement V1(t) devient :

$$V1(t) = VDD - [V1(t) - V_R(t) - Vt] \cdot Cg / Cb1 - (\beta \cdot v_c^2 \cdot t / 2Cb1) \quad (5.3)$$

Ajoutons dans les deux membres de (5.3) l'expression suivante :

$$[-V_s(t) - V_t + (\beta v_c^2 \cdot t / 2C_g)],$$

il vient alors:

$$V_1(t) - V_s(t) - V_t + (\beta \cdot v_c^2 \cdot t / 2C_g) =$$

$$V_{DD} - [V_1(t) - V_s(t) - V_t] C_g / C_{bl} - (\beta \cdot v_c^2 \cdot t / 2 \cdot C_{bl}) - V_s(t) - V_t + (\beta \cdot v_c^2 \cdot t / 2C_g) \quad (5.4)$$

Remarquons que

$$\frac{\beta v_c^2 \cdot t}{2 C_{bl}} = \frac{\beta v_c^2 \cdot t}{2 C_g} \cdot \frac{C_g}{C_{bl}} \quad (5.5)$$

en vertu de (5.5), le second membre de (5.4) peut se mettre sous la forme :

$$V_{DD} - [V_1(t) - V_s(t) - V_t + \frac{\beta v_c^2 \cdot t}{2 C_g}] \frac{C_g}{C_{bl}} - V_s(t) - V_t + \frac{\beta v_c^2 \cdot t}{2 C_g}$$

Ce qui permet de mettre en facteur l'expression :

$$V_1(t) - V_s(t) - V_t + (\beta \cdot v_c^2 \cdot t / 2C_g)$$

L'équation (5.4) devient alors :

$$[V_1(t) - V_s(t) - V_t + \frac{\beta v_c^2 \cdot t}{2 C_g}] (1 + \frac{C_g}{C_{bl}}) = V_{DD} - V_s(t) - V_t + \frac{\beta v_c^2 \cdot t}{2 C_g}$$

or $f = \frac{C_{bl}}{C_{bl} + C_g}$ d'où :

$$[V_1(t) - V_s(t) - V_t + (\beta \cdot v_c^2 \cdot t / 2C_g)] = f \cdot [V_{DD} - V_s(t) - V_t + (\beta \cdot v_c^2 \cdot t / 2C_g)] \quad (5.6)$$

En particulier pour maintenir $V_{gs1} = V_t + v_c$, les conditions initiales doivent être telles que :

$$V_2(0) - V_s(0) = V_t + v_c \quad (5.7)$$

T1 étant conducteur, la réduction de potentiel au nœud (2) due à l'existence de C_g est :

$$\Delta V_{2c_g} = - [V_2(t) - V_s(t) - V_t] \cdot C_g / C_{bl}$$

En particulier à $t = 0$:

$$\Delta V_{2c_g} = - (V_2(0) - V_s(0) - V_t) C_g / C_{bl}$$

Or $V_2(0) - V_s(0) = V_t + v_c$ par suite $\Delta V_2(0) = - v_c C_g / C_{bl}$

soit : $V_2(0) = V_{DD} - v - v_c C_g/C_{b1} = V_{DD} - v - v_c (1 - f)/f$

L'équation (5.7) implique :

$$V_s(0) = V_2(0) - v_c - V_t = V_{DD} - V_t - v - (v_c/f) \quad (5.8)$$

De même en reportant la valeur de $V_s(0)$ dans (5.6), on obtient :

$$V_1(0) = V_{DD} - (1-f).v - v_c.(1-f)/f$$

Compte tenu de l'équation (5.6), l'équation différentielle (5.2) devient :

$$\frac{dV_2(t)}{dt} = - \frac{\beta}{2C_{b1}} \left[f \cdot [V_{DD} - V_s(t) - V_t + (\beta \cdot v_c^2 t / 2C_g)] - (\beta \cdot v_c^2 t / 2C_g) \right]^2$$

soit :

$$\frac{dV_2(t)}{dt} = - \frac{\beta}{2C_{b1}} \left[f \left\{ [V_{DD} - V_s(t) - V_t + (\beta \cdot v_c^2 t / 2C_g)] \cdot (f-1)/f \right\} \right]^2$$

or $(f-1)/f = - C_g/C_{b1}$ d'où :

$$\frac{dV_2(t)}{dt} = - \frac{\beta}{2C_{b1}} \left[f \left\{ [V_{DD} - V_s(t) - V_t - (\beta \cdot v_c^2 t / 2C_{b1})] \right\} \right]^2$$

or d'après l'équation (5.1), on en déduit que :

$$\frac{dV_2(t)}{dt} = \frac{dV_s(t)}{dt} \quad (5.9)$$

en définitif l'équation normalisée de $V_s(t)$ est :

$$\frac{d\bar{V}_s(\bar{t})}{d\bar{t}} = - f^2 \left[\bar{V}_{DD} - \bar{V}_s(\bar{t}) - 1 - \bar{v}_c^2 \bar{t} \right]^2 \quad (5.10)$$

Opérons le changement de variable suivant :

$$\bar{V}_s'(\bar{t}) = \bar{V}_s(\bar{t}) + \bar{v}_c^2 \bar{t}$$

cela conduit à :

$$\frac{d\bar{V}_S'(\bar{t})}{d\bar{t}} = \frac{d\bar{V}_S(\bar{t})}{d\bar{t}} + \bar{v}_c^2$$

L'équation différentielle (5.10) devient :

$$\frac{d\bar{V}_S'(\bar{t})}{d\bar{t}} = \bar{v}_c^2 - f^2 \left[\bar{V}_{DD} - 1 - \bar{V}_S'(\bar{t}) \right]^2$$

d'où :

$$\frac{d\bar{V}_S'(\bar{t})}{\bar{v}_c^2 - f^2 \left[\bar{V}_{DD} - 1 - \bar{V}_S'(\bar{t}) \right]^2} = d\bar{t}$$

Une décomposition du premier membre en éléments simples donne :

$$\frac{d\bar{V}_S'(\bar{t})}{\bar{v}_c - f \left[\bar{V}_{DD} - 1 - \bar{V}_S'(\bar{t}) \right]} - \frac{d\bar{V}_S'(\bar{t})}{\bar{v}_c + f \left[\bar{V}_{DD} - 1 - \bar{V}_S'(\bar{t}) \right]} = 2f \cdot \bar{v}_c \cdot d\bar{t}$$

En intégrant entre 0 et \bar{t} , il vient :

$$2 f \bar{v}_c (\bar{t} - 0) = \left[\ln \left\{ \frac{\bar{v}_c - f (\bar{V}_{DD} - 1 - \bar{V}_S'(\bar{t}))}{\bar{v}_c + f (\bar{V}_{DD} - 1 - \bar{V}_S'(\bar{t}))} \right\} \right]_{\bar{V}_S'(0)}^{\bar{V}_S'(\bar{t})} \quad (5.11)$$

soit :

$$2 f \bar{v}_c \bar{t} = \ln \left[\frac{\frac{\bar{v}_c}{f} - \bar{V}_{DD} + 1 + \bar{V}_S(\bar{t}) + \bar{v}_c^2 \bar{t}}{(\bar{v}_c/f) - \bar{V}_{DD} - 1 - \bar{V}_S(\bar{t}) - \bar{v}_c^2 \bar{t}} \cdot \frac{\frac{\bar{v}_c}{f} + (\bar{V}_{DD} - 1 - \bar{V}_S(0))}{(\bar{v}_c/f) - \bar{V}_{DD} + 1 + \bar{V}_S(0)} \right]$$

Compte tenu de la relation (5.8), il vient :

$$\bar{t} = \frac{1}{2 f \bar{v}_c} \ln \left[\frac{\bar{V}_S(\bar{t}) - \bar{V}_S(0) - \bar{v} + \bar{v}_c^2 \cdot \bar{t}}{\bar{V}_S(\bar{t}) - \bar{V}_S(0) - (2\bar{v}_c/f) - \bar{v} + \bar{v}_c^2 \cdot \bar{t}} \left(1 + \frac{2 \bar{v}_c}{f \bar{v}} \right) \right] \quad (5.12)$$

La solution en $\bar{V}_s(\bar{t})$ est :

$$\bar{V}_s(\bar{t}) = K1 \left[\bar{V}_{DD} - 1 + \frac{\bar{v}_c}{f} - \bar{v}_c^2 \bar{t} \right] - K2 \left[\bar{V}_{DD} - 1 - \bar{v}_c^2 \bar{t} - \frac{\bar{v}_c}{f} \right]$$

avec

$$K1 = \frac{\exp(2 f \bar{v}_c \bar{t})}{\exp(2 f \bar{v}_c \bar{t}) - \left[1 + \frac{2\bar{v}_c}{f \cdot \bar{v}} \right]}$$

et

$$K2 = \frac{\left[1 + \frac{2 \bar{v}_c}{f \cdot \bar{v}} \right]}{\exp(2 f \bar{v}_c \bar{t}) - \left[1 + \frac{2 \bar{v}_c}{f \cdot \bar{v}} \right]}$$

D'autre part à $\bar{t} = \bar{t}_{sat}$:

$$\bar{V}_1(\bar{t}_{sat}) - \bar{V}_2(\bar{t}_{sat}) = 1$$

où :

$$\bar{V}_1(\bar{t}_{sat}) - \bar{V}_s(\bar{t}_{sat}) - 1 = 1 + \bar{v}_c$$

or

$$\bar{V}_1(\bar{t}_{sat}) - \bar{V}_s(\bar{t}_{sat}) - 1 = f \left[\bar{V}_{DD} - \bar{V}_s(\bar{t}_{sat}) - 1 - \bar{v}_c^2 \bar{t} \right] = 1 + \bar{v}_c$$

donc :

$$\bar{V}_{DD} - \bar{V}_s(\bar{t}_{sat}) - 1 - \bar{v}_c^2 \bar{t}_{sat} = \frac{1 + \bar{v}_c}{f}$$

ou encore :

$$\bar{V}_s(\bar{t}_{sat}) - (\bar{V}_{DD} - 1) + \frac{\bar{v}_c}{f} + \bar{v} + \bar{v}_c^2 \bar{t}_{sat} - \bar{v} = -\frac{1}{f}$$

soit

$$\bar{V}_s(\bar{t}_{sat}) - \left[(\bar{V}_{DD} - 1) - \frac{\bar{v}_c}{f} - \bar{v} \right] + \bar{v}_c^2 \bar{t}_{sat} - \bar{v} = -\frac{1}{f}$$

En vertu de (5.8), il vient :

$$\bar{V}_s(\bar{t}_{sat}) - \bar{V}_s(0) - \bar{v} + \bar{v}_c^2 \bar{t}_{sat} = -\frac{1}{f} \quad (5.13)$$

5.1.2 DETERMINATION DU TEMPS DE SATURATION \bar{t}_{sat} :

En remplaçant \bar{t} par \bar{t}_{sat} et $\bar{V}_s(\bar{t})$ par $\bar{V}_s(\bar{t}_{sat})$ dans (5.12) on a :

$$\bar{t}_{sat} = \frac{1}{2 \bar{v}_c f} \ln \left\{ \frac{\bar{V}_s(\bar{t}_{sat}) - \bar{V}_s(0) - \bar{v} + \bar{v}_c^2 \bar{t}_{sat}}{\bar{V}_s(\bar{t}_{sat}) - \bar{V}_s(0) - (2\bar{v}_c/f) - \bar{v} + \bar{v}_c^2 \bar{t}_{sat}} \left[1 + \frac{2 \cdot \bar{v}_c}{f \cdot \bar{v}} \right] \right\}$$

Ce qui donne en tenant compte de ce qui précède :

$$\bar{t}_{sat} = \frac{1}{2 \cdot f \cdot \bar{v}_c} \ln \left[\frac{1}{1 + 2 \cdot \bar{v}_c} \cdot \left\{ 1 + \frac{2 \cdot \bar{v}_c}{f \cdot \bar{v}} \right\} \right]$$

5.2 SECOND REGIME: T1 NON SATURE, T2 SATURE $\bar{t}_{sat} < \bar{t} < t_{vs} \bar{V}_s(t_{vs}) = 0$:

Juste après la lecture le transistor T2 devient non saturé, il s'ensuit que :

$$\frac{dV_2(t)}{dt} = -\frac{\beta}{C_{bl}} [V_1(t) - V_s(t) - V_t - \frac{V_2(t) - V_s(t)}{2}] \cdot [V_2(t) - V_s(t)]$$

Soit :

$$\frac{dV_2(t)}{dt} = -\frac{\beta}{C_{bl}} \left[f \cdot (V_{DD} - V_s(t) - V_t - \frac{\beta \cdot v_c^2 \cdot t}{2 \cdot C_{bl}}) - \frac{(V_t + v_c)}{2} \right] \cdot [V_t + v_c]$$

Il découle :

$$\frac{dV_s(t)}{dt} = \frac{\beta f (V_t + v_c)}{2 C_{bl}} \left[V_{DD} - V_t - \frac{V_t}{2 f} - \frac{v_c}{2 f} - V_s(t) - \frac{\beta \cdot v_c^2 \cdot t}{2 C_{bl}} \right]$$

L'équation normalisée correspondante se présente alors :

$$\frac{d\bar{V}_s(\bar{t})}{d\bar{t}} = -2 f (1 + \bar{v}_c) \left[\bar{V}_{DD} - 1 - \frac{1 + \bar{v}_c}{2 f} - \bar{V}_s(\bar{t}) - \bar{v}_c^2 \bar{t} \right]$$

Avec le changement de variable suivant :

$$\bar{V}_s'(\bar{t}) = \bar{V}_s(\bar{t}) + \bar{v}_c^2 \bar{t}$$

Nous obtenons l'équation différentielle suivante :

$$\frac{d\bar{V}_s'(\bar{t})}{d\bar{t}} = \bar{v}_c^2 - 2f(1 + \bar{v}_c) \left[\bar{V}_{DD} - 1 - \frac{1 + \bar{v}_c}{2f} - \bar{V}_s'(\bar{t}) \right]$$

soit :

$$\frac{d\bar{V}_s'(\bar{t})}{\bar{v}_c^2 - 2f(1 + \bar{v}_c) \left[\bar{V}_{DD} - 1 - \frac{1 + \bar{v}_c}{2f} - \bar{V}_s'(\bar{t}) \right]} = d\bar{t}$$

En intégrant entre \bar{t}_{sat} et \bar{t} (avec $\bar{t} > \bar{t}_{sat}$), on obtient :

$$\left[\ln \left\{ \bar{v}_c^2 - 2f(1 + \bar{v}_c) \cdot \left[\bar{V}_{DD} - 1 - \frac{1 + \bar{v}_c}{2f} - \bar{V}_s(\bar{t}) - \bar{v}_c^2 \bar{t} \right] \right\} \right]_{\bar{V}_s(\bar{t}_{sat})}^{\bar{V}_s(\bar{t})} = 2f(1 + \bar{v}_c) \cdot (\bar{t} - \bar{t}_{sat})$$

soit la solution en $(\bar{t} - \bar{t}_{sat})$:

$$(\bar{t} - \bar{t}_{sat}) = \frac{1}{2f(1 + \bar{v}_c)} \ln \left\{ \frac{\bar{v}_c - 2f(1 + \bar{v}_c) \left[\bar{V}_{DD} - 1 - \frac{1 + \bar{v}_c}{2f} - \bar{V}_s(\bar{t}) - \bar{v}_c^2 \bar{t} \right]}{\bar{v}_c - 2f(1 + \bar{v}_c) \left[\bar{V}_{DD} - 1 - \frac{1 + \bar{v}_c}{2f} - \bar{V}_s(\bar{t}_{sat}) - \bar{v}_c^2 \bar{t}_{sat} \right]} \right\}$$

La solution en $V_s(t)$ quant à elle se déduit de l'expression précédente :

$$\bar{V}_s(\bar{t}) = K_3 + \left[-K_3 + \bar{V}_s(\bar{t}_{sat}) \right] \cdot \exp \left[2f(1 + \bar{v}_c) (\bar{t} - \bar{t}_{sat}) \right]$$

Avec :

$$K3 = - \frac{\bar{v}_c^2}{2f(1+\bar{v}_c)} + \bar{V}_{DD} - 1 - \frac{1+\bar{v}_c}{2f} - \bar{v}_c^2 \bar{t}$$

D'autre part pour $\bar{t} = \bar{t}_{vs}$, $\bar{V}_s(\bar{t}_{vs}) = 0$ ce qui donne :

$$(\bar{t}_{vs} - \bar{t}_{sat}) = \frac{1}{2f(1+\bar{v}_c)} \ln \left[\frac{\frac{\bar{v}_c}{f} - 2f(1+\bar{v}_c) \cdot [\bar{V}_{DD} - 1 - \frac{1+\bar{v}_c}{2f} - \bar{v}_c^2 \bar{t}_{vs}]}{\frac{\bar{v}_c}{f} - 2f(1+\bar{v}_c) \cdot [\bar{V}_{DD} - 1 - \frac{1+\bar{v}_c}{2f} - \bar{V}_s(\bar{t}_{sat}) - \bar{v}_c^2 \bar{t}_{sat}]} \right] \quad (5.1)$$

Quant à $\bar{V}_1(\bar{t})$ et $\bar{V}_2(\bar{t})$, celles-ci se déduisent respectivement de (5.6) et (5.1) :

5.3 TROISIEME REGIME T_1 ET T_2 NON SATURES ($\bar{t}_{vs} < \bar{t} < \bar{t}_1$) :

En sachant que $\bar{V}_2(\bar{t}_{vs}) = 1$, les équations qui régissent le système sont dans ce cas :

$$\frac{d\bar{V}_1(\bar{t})}{d\bar{t}} = - 2 \left[\bar{V}_2(\bar{t}) - 1 - \frac{\bar{V}_1(\bar{t})}{2} \right] \bar{V}_1(\bar{t})$$

Nous assimilerons la caractéristique $ID(V_{DS}(t))$ à une droite ce qui donne :

$$\frac{d\bar{V}_1(\bar{t})}{d\bar{t}} \simeq - 2 \left[\bar{V}_2(\bar{t}) - 1 \right] \bar{V}_1(\bar{t}) = - 2 \bar{v}_c \bar{V}_1(\bar{t})$$

car $\bar{V}_2(\bar{t}) - 1 = \bar{V}_s(\bar{t}) + \bar{v}_c = \bar{v}_c$ du fait que $\bar{V}_s(\bar{t}) = 0$ pour $\bar{t} \geq \bar{t}_{vs}$

d'où : $\bar{V}_1(\bar{t}) = \bar{V}_1(\bar{t}_{vs}) \exp \left[-2\bar{v}_c (\bar{t} - \bar{t}_{vs}) \right]$

$\bar{V}_1(\bar{t}_{vs})$ étant donnée par (5.6) soit :

$$\bar{V}_1(\bar{t}_{vs}) = 1 + f(\bar{V}_{DD} - 1 - \bar{v}_c^2 \bar{t}_{vs})$$

Par ailleurs : $\frac{d\bar{V}_2(\bar{t})}{d\bar{t}} = - 2 \left[\bar{V}_1(\bar{t}) - 1 - \frac{\bar{V}_2(\bar{t})}{2} \right] \bar{V}_2(\bar{t})$

soit :

$$\frac{d\bar{v}_2(\bar{t})}{d\bar{t}} \simeq - 2 \left[\bar{v}_1(\bar{t}) - 1 \right] \bar{v}_2(\bar{t}) \quad (5.15)$$

or d'après (5.6), nous avons :

$$\bar{v}_1(\bar{t}) - 1 = f \{ \bar{v}_{DD} - 1 - \bar{v}_c^2 \bar{t} \}$$

L'intégration de (5.15) pour $\bar{t} > \bar{t}_{vs}$ aboutit à :

$$\bar{v}_2(\bar{t}) = \bar{v}_2(\bar{t}_{vs}) \exp \left[2 \bar{v}_c^2 (\bar{t} - \bar{t}_{vs})^2 - 2f(\bar{v}_{DD} - 1) \cdot (\bar{t} - \bar{t}_{vs}) \right]$$

or $\bar{v}_2(\bar{t}_{vs}) = 1 + \bar{v}_c$, d'où :

$$\bar{v}_2(\bar{t}) = (1 + \bar{v}_c) \cdot \exp \left[2 \bar{v}_c^2 (\bar{t} - \bar{t}_{vs})^2 - 2f(\bar{v}_{DD} - 1) \cdot (\bar{t} - \bar{t}_{vs}) \right]$$

\bar{t}_1 est telle que $\bar{v}_2(\bar{t}_1) = 1$, ce qui donne après calculs :

$$\bar{t}_1 = \frac{\bar{t}_{vs} + f(\bar{v}_{DD} - 1) + \sqrt{\Delta'}}{2 \cdot \bar{v}_c}$$

avec $\Delta' = \bar{t}_{vs}^2 + 2\bar{t}_{vs} \cdot f(\bar{v}_{DD} - 1) - 2\bar{v}_c \cdot [\bar{t}_{vs} + f(\bar{v}_{DD} - 1)]^2 + \ln(1 + \bar{v}_c)$

5.4 QUATRIEME REGIME : T1 BLOQUE, T2 NON SATURE ($\bar{t}_1 < \bar{t} < \bar{t}_f$) :

T1 se bloque exactement en $\bar{t} = \bar{t}_1$ car $\bar{v}_{gs1} = \bar{v}_1(\bar{t}_1) - \bar{v}_s(\bar{t}_1) = \bar{v}_1(\bar{t}_1) = 1$.

d'où : $\bar{v}_1(\bar{t}) = \bar{v}_1(\bar{t}_1)$ pour $\bar{t} \geq \bar{t}_1$.

d'autre part :

$$\frac{d\bar{v}_2(\bar{t})}{d\bar{t}} \simeq - 2 \left[\bar{v}_1(\bar{t}) - 1 \right] \bar{v}_2(\bar{t})$$

La résolution de cette équation différentielle donne la solution suivante :

$$\bar{v}_2(\bar{t}) = \exp \left[\left\{ -2(\bar{v}_1(\bar{t}_1) - 1) \cdot (\bar{t} - \bar{t}_1) \right\} \right]$$

avec $\bar{V}_1(\bar{t}_1) - 1 = f[\bar{V}_{DD} - 1 - v_c^2 \bar{t}_1]$

On constate que $\bar{V}_1(\bar{t})$ s'annule très rapidement juste après \bar{t}_1 .

REMARQUE

Dans toutes les formules intervient la tension v_c qui permet au transistor T1 de conduire bien que légèrement, notre choix s'est porté sur $v_c = V_t/2$; remarquons que plus v_c est grande plus le t_{sat} diminue.

VALEURS DE t_{sat} , t_{vs}

Résumons les résultats de t_{sat} pour $C_{b1}=1\text{pf}$, $C_g=0.2\text{pf}$, $\beta=290\mu\text{A}/\text{v}^2$, $V_t=1$, $v_c=0.5$ avec $f=1$ (absence de C_g) et $f=0.873$ (présence de C_g) et ce pour v allant de 50mV à 200mV par pas de 50mV :

t_{sat} (ns)

v (mV)	$f = 0.873$	$f = 1$
50	8.1	9.8
100	5.9	6.3
150	4.6	5.0
200	3.8	4.2

Tableau 5.2 : valeurs de t_{sat} en tenant compte de C_g ou non

Nous remarquons que si l'on néglige C_g , les temps de saturation obtenus seront plus faibles que ceux obtenus en tenant compte de C_g et que l'écart entre ces deux temps se réduit d'autant plus que v augmente.

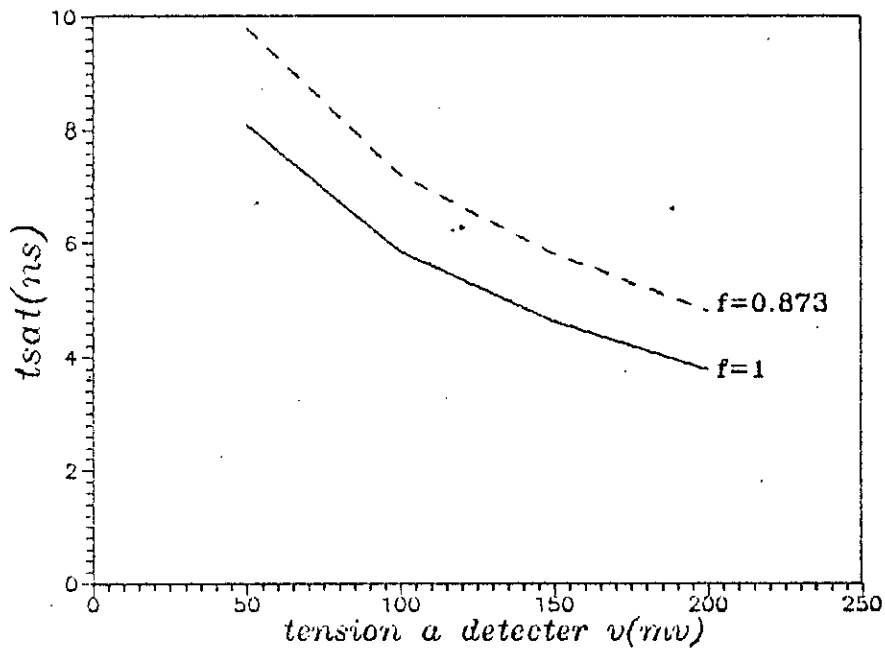
On est donc arrivé à diminuer d'une part t_{sat} mais aussi à comprimer ses proportions pour différentes valeurs de v puisque maintenant t_{sat} est proportionnel à $\ln(\text{cste}/v)$. En contre partie il y a eu une réduction additionnelle de $V_1(t)$ due à la conduction du transistor T1.

En outre en remplaçant les variables par leurs valeurs numériques dans l'expression (5.14), le calcul de t_{vs} par la méthode de bipartition donne pour $f = 0.873$:

v(mV)	50	100	150	200
tvs(ns)	11.5	8.9	7.5	6.6

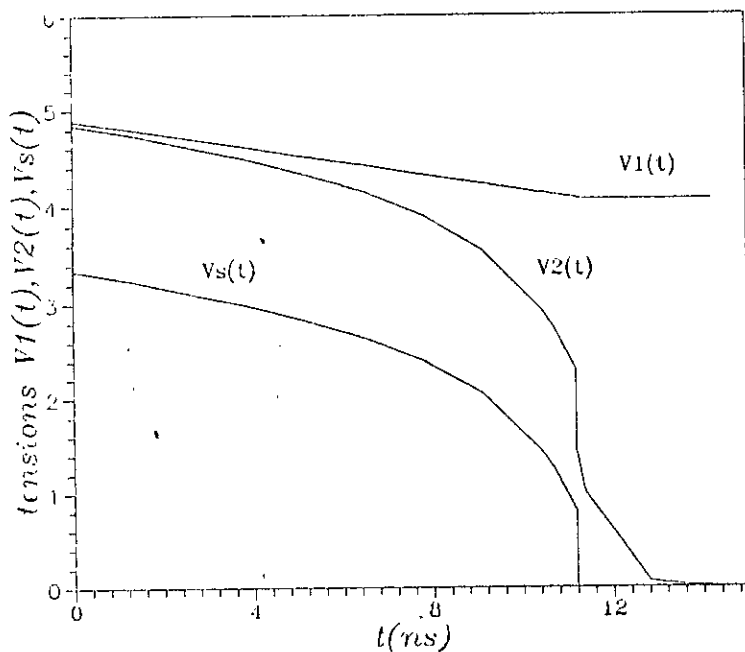
Tableau 5.2: valeurs de tvs en tenant compte de Cg

5.5 GRAPHES DE tsat(v), ΔV1(t) , V1(t) , V2(t) ET Vs(t) :

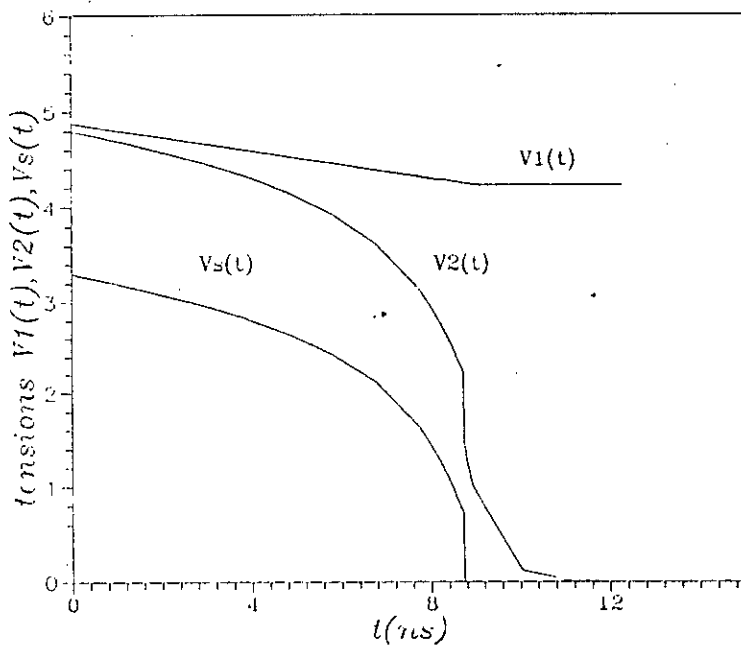


TEMPS DE SATURATION t_{sat} EN FONCTION DE v
EN ABSENCE ET EN PRESENCE DE C_g

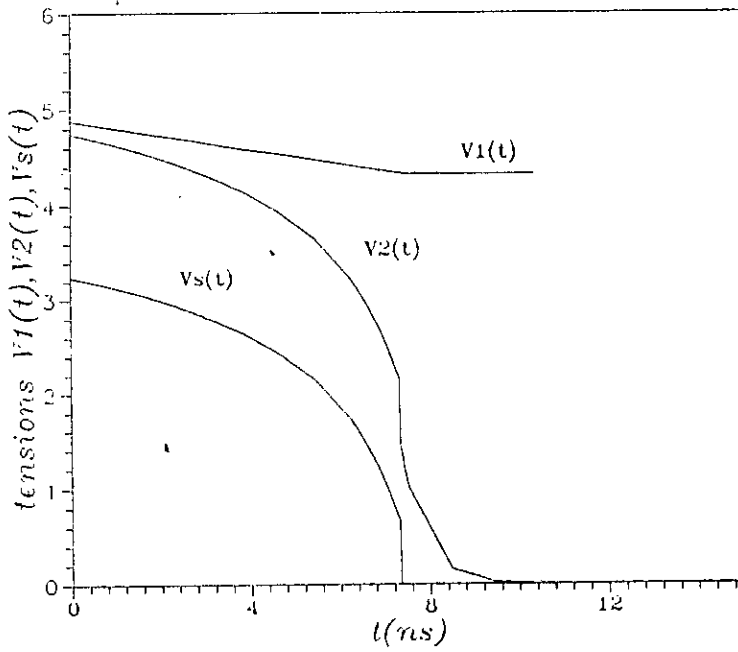
Figure 5.2



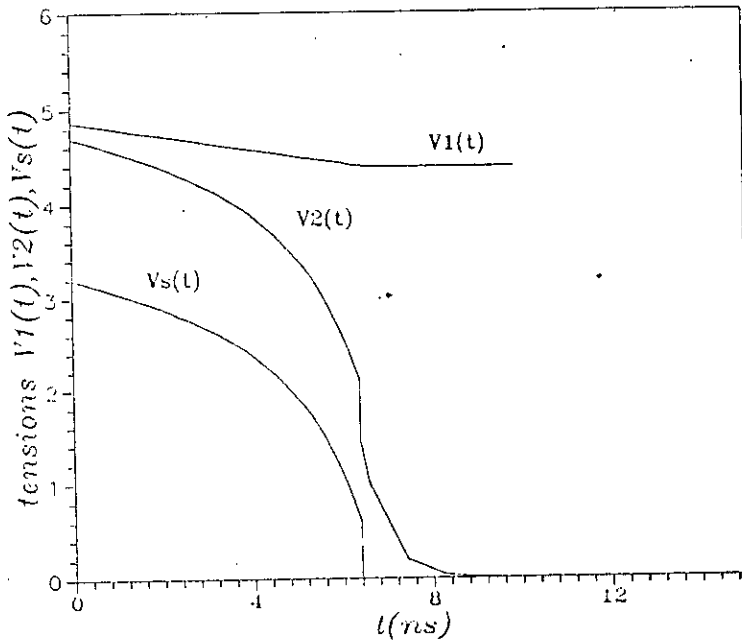
GRAPHES DE $V_1(t), V_2(t), V_s(t)$ POUR $v = 50\text{mv}$
Figure 5.3



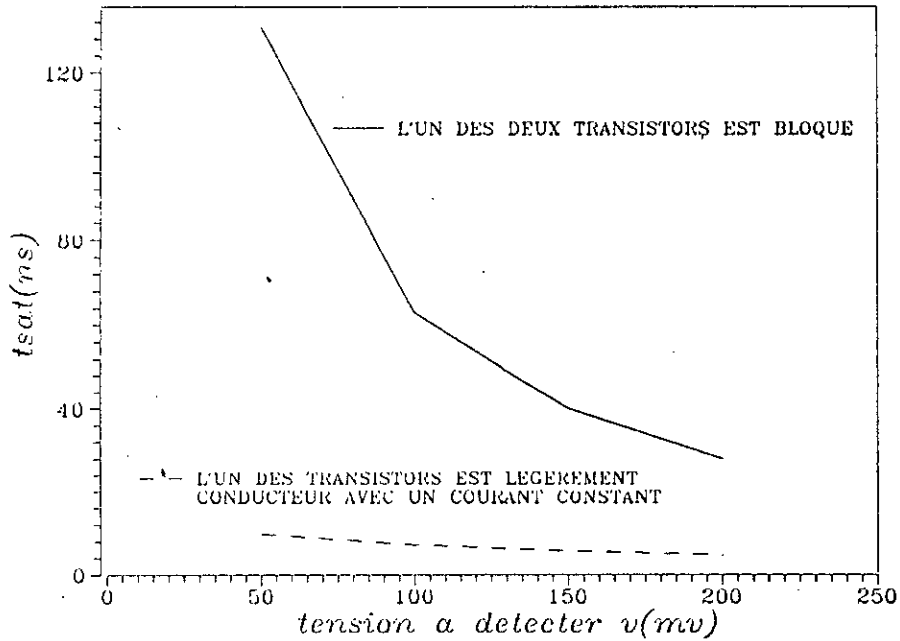
GRAPHES DE $V_1(t), V_2(t), V_s(t)$ POUR $v = 100\text{mv}$
Figure 5.4



GRAPHIES DE $V_1(t), V_2(t), V_s(t)$ POUR $v = 150\text{mv}$
Figure 5.5



GRAPHIES DE $V_1(t), V_2(t), V_s(t)$ POUR $v = 200\text{mv}$
Figure 5.6



COMPARAISON DES TEMPS DE SATURATION t_{sat}
DONNES PAR LES DEUX COMMANDES

Figure 5.7

5.6 CONCLUSION :

Tout d'abord nous constatons que les valeurs de t_{sat} sont beaucoup plus faibles que dans le cas de la commande précédente aussi bien en présence ou en absence de C_g ($f = 0.873$ ou $f = 1$). En outre pour le cas où on tient compte de C_g , la plage de variation de t_{sat} est pratiquement égale à deux fois la valeur initiale de t_{sat} (soit à peu près 8ns) pour une tension à détecter qui augmente de quatre fois (de 50mV à 200mV); t_{sat} ne varie donc pas dans de larges proportions comme c'était le cas précédemment.

Pour ce qui est de ΔV_1 , les valeurs trouvées satisfont totalement la condition de départ concernant ΔV_1 .

De même on peut voir sur les figures 5.3;5.4;5.5 et 5.6 que la durée de basculement a été réduite considérablement et est inférieure pour tous les cas considérés à 15ns et celle-ci se réduit d'autant plus que v augmente. La figure 5.7 montre la comparaison entre les t_{sat} des deux commandes précédentes.

Bien que l'on soit arrivé à :

- D'une part à diminuer ce même tsat pour une v donnée.
- D'autre part à comprimer la large plage de variation de tsat en fonction de v .

Les résultats restent toutefois conditionnés à la réalisation d'un générateur capable de reproduire rigoureusement $V_s(t)$ qui dépend du reste de la tension à détecter v qui peut varier d'un amplificateur à un autre d'où une difficulté majeure apparaît; c'est pourquoi on a pensé à commander le montage en courant et en particulier en courant constant qui ne fait appel pour cela qu'à un simple transistor saturé et qui fera l'objet des prochains chapitres.

COMMANDE DE L'AMPLIFICATEUR DE LECTURE
PAR UN NIVEAU DE COURANT CONSTANT

Le régime transitoire du S/A est largement dominé par la saturation des deux transistors ($t \leq t_{sat}$) [18] ; les courants I_1 et I_2 circulant à travers le S/A sont alors constants , ceci suggère d'attaquer le S/A par un niveau de courant constant.

Par ailleurs afin de garder un courant constant au niveau de la source commune des deux transistors, à cause de la réaction positive, l'augmentation du courant de T2 induit automatiquement la diminution de l'autre (le courant de T1) d'où une précipitation de la capacité reliée au nœud (2) et un freinage de la décharge de la capacité reliée au nœud (1), ce qui correspond bien à notre objectif .

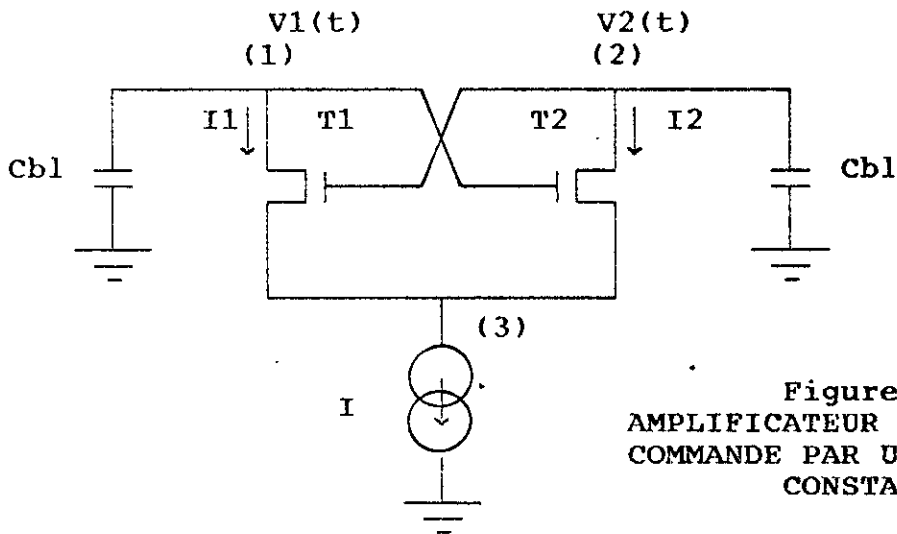


Figure 6.1 :
AMPLIFICATEUR DE LECTURE
COMMANDE PAR UN COURANT
CONSTANT

6.1 FORMULATION MATHÉMATIQUE :

Pour les mêmes raisons cités précédemment, les expressions normalisées sont :

$$\bar{v} = v / v_t \quad ; \quad \bar{t} = t / (C_{b1} / \beta v_t) \quad ; \quad \bar{I} = I / \beta v_t^2$$

Les différents régimes avec leurs équations normalisées se présentent comme suit :

6.2 PREMIER REGIME : T1 ET T2 SATURES : (0 < \bar{t} < \bar{t}_{sat})

$$\left\{ \begin{array}{l} \frac{d\bar{v}_1(\bar{t})}{d\bar{t}} = - \frac{1}{2} (\bar{v}_{2s}(\bar{t}) - 1)^2 \end{array} \right. \quad (6.1)$$

$$\left\{ \begin{array}{l} \frac{d\bar{v}_2(\bar{t})}{d\bar{t}} = - \frac{1}{2} (\bar{v}_{1s}(\bar{t}) - 1)^2 \end{array} \right. \quad (6.2)$$

$$\left\{ \begin{array}{l} \frac{d\bar{v}_1(\bar{t})}{d\bar{t}} + \frac{d\bar{v}_2(\bar{t})}{d\bar{t}} = - \bar{I} \end{array} \right. \quad (6.3)$$

Les conditions initiales sont:

$$\left\{ \begin{array}{l} \bar{v}_1(0) = \bar{V}_{DD} \\ \bar{v}_2(0) = \bar{V}_{DD} - \bar{v} \end{array} \right. \quad \text{avec} \quad \bar{I} = \text{constant}$$

Posons $g(\bar{t}) = \bar{v}_1(\bar{t}) - \bar{v}_2(\bar{t})$ (6.4) avec $g(0) = \bar{v}$

En utilisant les équations (6.3) et (6.4) , il vient :

$$\bar{v}_{2s}(\bar{t}) = \frac{1}{g(\bar{t})} \cdot \frac{dg(\bar{t})}{d\bar{t}} - \frac{g(\bar{t})}{2} + 1 \quad (6.5)$$

et

$$\bar{v}_{1s}(\bar{t}) = \frac{1}{g(\bar{t})} \cdot \frac{dg(\bar{t})}{d\bar{t}} + \frac{g(\bar{t})}{2} + 1 \quad (6.6)$$

En remplaçant $v_{1s}(t)$ et $v_{2s}(t)$ par leurs nouvelles (6.5) et (6.6) dans les équations (6.1) et (6.2), et en reportant ces dernières dans l'équation (6.3) il vient :

$$\left[\frac{1}{g(\bar{t})} \cdot \frac{dg(\bar{t})}{d\bar{t}} \right]^2 + \left[\frac{g(\bar{t})}{2} \right]^2 = \bar{I} \quad (6.7)$$

6.2.1 RESOLUTION DE L'EQUATION DIFFERENTIELLE

REGISSANT LE SYSTEME :

L'équation (6.7) est l'équation qui régit le système, on en déduit à partir de (6.7) :

$$\left[\frac{1}{g(\bar{t})} \cdot \frac{dg(\bar{t})}{d\bar{t}} \right]^2 = \bar{I} - \left[\frac{g(\bar{t})}{2} \right]^2$$

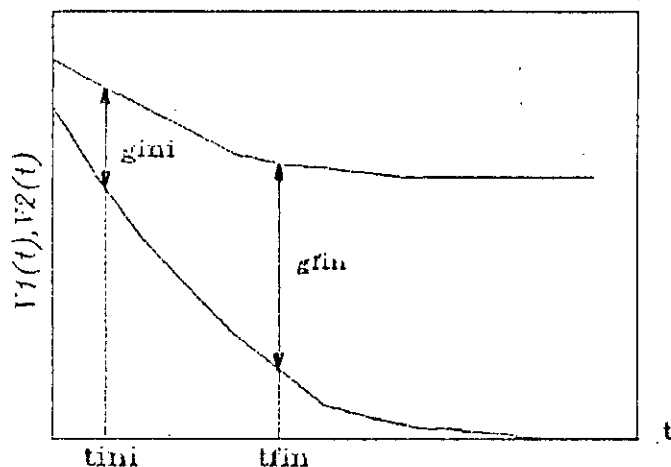
d'où :

$$\left| \frac{1}{g(\bar{t})} \cdot \frac{dg(\bar{t})}{d\bar{t}} \right| = \sqrt{\bar{I} - \left[\frac{g(\bar{t})}{2} \right]^2} \quad (6.8)$$

Or $g(\bar{t}) > 0$ car $\bar{V}_1(\bar{t}) > \bar{V}_2(\bar{t}) \forall \bar{t}$.

De même que l'on peut voir que :

$$\frac{dg(\bar{t})}{d\bar{t}} = \frac{g_{fin} - g_{ini}}{\bar{t}_{fin} - \bar{t}_{ini}} \text{ est positive } \forall \bar{t}$$



GRAPHE MONTRANT QUE $g'(t)$ EST POSITIVE
Figure 6.2

L'équation (6.8) peut donc se réduire à :

$$\frac{1}{g(\bar{t})} \cdot \frac{dg(\bar{t})}{d\bar{t}} = \sqrt{\bar{I} - \left[\frac{g(\bar{t})}{2} \right]^2}$$

si $\sqrt{\bar{I} - \left[\frac{g(\bar{t})}{2} \right]^2}$ est différente de 0, alors :

$$\frac{dg(\bar{t})}{g(\bar{t}) \sqrt{\bar{I} - \left[\frac{g(\bar{t})}{2} \right]^2}} = \sqrt{\bar{I}} \cdot d\bar{t} \quad (6.9)$$

$$g(\bar{t}) \sqrt{1 - \left[g(\bar{t}) / 2 \sqrt{\bar{I}} \right]^2}$$

Posons $u = g(\bar{t}) / 2 \sqrt{\bar{I}}$ alors $du = dg(\bar{t}) / 2 \sqrt{\bar{I}}$

L'équation (6.9) devient ainsi :

$$\frac{du}{u \sqrt{1 - u^2}} = \sqrt{\bar{I}} \cdot d\bar{t} \quad (6.10)$$

Procédons au changement de variable suivant :

$$u = \cos(\theta) \quad \text{d'ou} \quad \theta = \arccos(u)$$

$$\text{Avec} \quad du = -\sin(\theta) d\theta$$

$$\text{Or} \quad \bar{v} \leq g \leq g(\bar{t})$$

$$\text{d'où :} \quad \frac{\bar{v}}{2 \sqrt{\bar{I}}} \leq u \leq \frac{g(\bar{t})}{2 \sqrt{\bar{I}}}$$

Mais la fonction Arcos(u) n'existe que pour $0 < \theta < \pi$

ceci correspond à
$$\frac{\bar{v}}{2\sqrt{\bar{I}}} \leq u \leq \frac{g(\bar{t})}{2\sqrt{\bar{I}}}$$

soit pour θ :

$$\text{Arcos}\left(\frac{g(\bar{t})}{2\sqrt{\bar{I}}}\right) \leq \theta \leq \text{Arcos}\left(\frac{\bar{v}}{2\sqrt{\bar{I}}}\right)$$

L'équation (6.10) devient :

$$\frac{\sin(\theta) d\theta}{\cos(\theta) \sqrt{1 - \cos^2(\theta)}} = -\sqrt{\bar{I}} \cdot d\bar{t}$$

Ou encore :

$$\frac{\sin(\theta) d\theta}{\cos(\theta) |\sin(\theta)|} = -\sqrt{\bar{I}} d\bar{t} \tag{6.11}$$

Or pour θ compris entre 0 et π nous avons $|\sin(\theta)| = \sin(\theta)$

Il vient alors pour l'équation (6.11) :

$$\frac{d\theta}{\cos(\theta)} = -\sqrt{\bar{I}} d\bar{t}$$

soit en intégrant :

$$\int_{\text{Arcos}(a)}^{\text{Arcos}(b)} \frac{d\theta}{\cos(\theta)} = -\int_0^{\bar{t}} \sqrt{\bar{I}} \cdot d\bar{t}$$

Avec $a = \frac{\bar{v}}{2\sqrt{\bar{I}}}$ et $b = \frac{g(\bar{t})}{2\sqrt{\bar{I}}}$

En posant $\text{Arcos}(a) = a_1$, $\text{Arcos}(b) = b_1$, en décomposant en éléments simples et en intégrant, on arrive à :

$$\int_{b_1}^{a_1} \frac{d(\sin(\theta))}{1 - \sin^2(\theta)} = \frac{1}{2} \int_{b_1}^{a_1} \frac{d(\sin(\theta))}{1 - \sin(\theta)} + \frac{1}{2} \int_{b_1}^{a_1} \frac{d(\sin(\theta))}{1 + \sin(\theta)}$$

$$= - \int_0^{\bar{t}} \sqrt{\bar{I}} \, d\rho$$

soit :

$$\left[\text{Ln} \left(\frac{1 + \sin(\theta)}{1 - \sin(\theta)} \right) \right]_{\text{Arcos}(a)}^{\text{Arcos}(b)} = \left[\text{Ln} [\exp(-2 \sqrt{\bar{I}} \rho)] \right]_0^{\bar{t}}$$

Ce qui donne l'expression suivante :

$$\text{Ln} \left[\frac{1 + \sin(\text{Arcos}(b))}{1 - \sin(\text{Arcos}(b))} \cdot \frac{1 - \sin(\text{Arcos}(a))}{1 + \sin(\text{Arcos}(a))} \right] = \text{Ln} \left[e^{-2 \sqrt{\bar{I}} \cdot \bar{t}} \right] \quad (6.12)$$

Or $u = \cos(\theta)$ $\theta = \text{Arcos}(u)$ mais $\sin(\theta) = \sqrt{1 - u^2}$

d'où $\sin(\theta) = \sin(\text{Arcos}(u)) = \sqrt{1 - u^2}$.

L'équation (6.12) se réduit alors à :

$$\left[\frac{1 + \sqrt{1 - b^2}}{1 - \sqrt{1 - b^2}} \cdot \frac{1 - \sqrt{1 - a^2}}{1 + \sqrt{1 - a^2}} \right] = e^{-2 \sqrt{\bar{I}} \cdot \bar{t}} \quad (6.13)$$

Après une série de calculs, on trouve pour $0 \leq \bar{t} \leq \bar{t}_{\text{sat}}$:

$$g(\bar{t}) = \frac{4 \alpha \sqrt{\bar{I}} e^{-\sqrt{\bar{I}} \bar{t}}}{1 + \alpha^2 \exp(-2 \sqrt{\bar{I}} \bar{t})}$$

avec

$$\alpha = \frac{2\sqrt{\bar{I}}}{\bar{v}} + \sqrt{\frac{4 \bar{I}}{\bar{v}^2} - 1}$$

6.2.2 DETERMINATION DU TEMPS DE SATURATION \bar{t}_{sat} :

Celui-ci est obtenu en remplaçant b par $1 / 2 \sqrt{\bar{I}}$ dans l'équation (6.13) en portant le logarithme népérien dans les deux membres, on obtient pour $\bar{I} \geq 1/4$:

$$\bar{t}_{\text{sat}} = \frac{1}{\sqrt{\bar{I}}} \operatorname{Ln} \left[\frac{\alpha}{2\sqrt{\bar{I}} + \sqrt{4 \bar{I} - 1}} \right] \quad (6.14)$$

6.2.3 EQUATIONS DE $\bar{v}_1(\bar{t})$, $\bar{v}_2(\bar{t})$ ET $\bar{v}_s(\bar{t})$:

En dérivant l'équation (6.4) et en faisant la somme (respectivement la différence) on en déduit $\bar{v}_1(\bar{t})$ (respectivement $\bar{v}_2(\bar{t})$) :

$$\bar{v}_1(\bar{t}) = -\frac{1}{2} \int_0^{\bar{t}} dg(\bar{t}) - \frac{\bar{I}}{2} \int_0^{\bar{t}} d\rho + \bar{v}_1(0)$$

$$\bar{V}_2(\bar{t}) = -\frac{1}{2} \int_0^{\bar{t}} dg(\bar{t}) - \frac{\bar{I}}{2} \int_0^{\bar{t}} d\rho + \bar{V}_2(0)$$

Puisque $g(0) = \bar{V}_1(0) - \bar{V}_2(0) = (\bar{V}_{DD} - \bar{v}) - \bar{V}_{DD} = \bar{v}$ on aboutit à :

$$\bar{V}_1(\bar{t}) = -\frac{1}{2} \bar{I} \bar{t} + \frac{g(\bar{t})}{2} - \frac{1}{2} \bar{v} + \bar{V}_{DD} \quad (6.15)$$

$$\bar{V}_2(\bar{t}) = -\frac{1}{2} \bar{I} \bar{t} - \frac{g(\bar{t})}{2} - \frac{1}{2} \bar{v} + \bar{V}_{DD} \quad (6.16)$$

Les deux transistors sont conducteurs par conséquent $\bar{V}_1(\bar{t})$ et $\bar{V}_2(\bar{t})$ sont supérieurs à 1, nous pouvons donc écrire à partir des équations (6.1) et (6.2) :

$$\bar{V}_s(\bar{t}) = \bar{V}_2(\bar{t}) - 1 - \sqrt{-2 \frac{d\bar{V}_1(\bar{t})}{d\bar{t}}}$$

ou :

$$\bar{V}_s(\bar{t}) = \bar{V}_1(\bar{t}) - 1 - \sqrt{-2 \frac{d\bar{V}_2(\bar{t})}{d\bar{t}}}$$

Ce qui donne en dérivant les équations (6.15) et (6.16) de $\bar{V}_1(\bar{t})$ et $\bar{V}_2(\bar{t})$ par rapport à \bar{t} :

$$\bar{V}_s(\bar{t}) = \bar{V}_2(\bar{t}) - 1 - \sqrt{\bar{I} - g'(\bar{t})} \quad \text{ou} \quad \bar{V}_s(\bar{t}) = \bar{V}_1(\bar{t}) - 1 - \sqrt{\bar{I} + g'(\bar{t})} \quad (6.17)$$

Or l'expression de $g'(\bar{t})$ pour $0 \leq \bar{t} \leq \bar{t}_{sat}$ est la suivante :

$$g'(\bar{t}) = 4 \bar{I} \alpha \exp(-\sqrt{\bar{I}} \bar{t}) \cdot \frac{[\alpha^2 \exp(-2\sqrt{\bar{I}} \bar{t}) - 1]}{[\alpha^2 \exp(-2\sqrt{\bar{I}} \bar{t}) + 1]^2}$$

6.3 DEUXIEME REGIME : T1 SATURE, T2 NON SATURE : ($\bar{t}_{sat} < \bar{t} < \bar{t}_1$)

Dans ce deuxième régime, T2 passe de l'état saturé à l'état non saturé.

Toutefois si l'on examine la caractéristique I2 en fonction de V2s(t) on constate que pour V2s(t) < V2s(tsat) cette caractéristique est pratiquement une droite si bien que l'on peut écrire :

$$I_2(t) = \lambda V_{2s}(t)$$

avec λ la pente de la droite, celle-ci est alors égale à :

$$\lambda = \frac{I_2(tsat) - 0}{V_{2s}(tsat) - 0}$$

Mais
$$I_2(tsat) = \frac{\beta}{2} [V_{1s}(tsat) - V_t]^2$$

Or
$$g(tsat) = V_1(tsat) - V_2(tsat) = V_{1s}(tsat) - V_{2s}(tsat) = V_t$$

Par conséquent :
$$V_{1s}(tsat) - V_t = V_{2s}(tsat)$$

L'expression précédente de I2(tsat) devient alors :

$$I_2(tsat) = \frac{\beta}{2} [V_{2s}(tsat)]^2$$

Ce qui donne pour λ :

$$\lambda = \frac{\beta}{2} V_{2s}(tsat)$$

Or

$$I_2(t) = -C_{bl} \frac{dV_2(t)}{dt} \quad \text{et l'on trouve :}$$

$$\frac{dV_2(t)}{dt} = - \frac{I_2(t)}{C_{bl}} = - \frac{\beta}{2 C_{bl}} V_{2s}(tsat) \cdot V_{2s}(t)$$

Ou encore :

$$\frac{d(V_2(t)/Vt)}{d(t/CbI/\beta Vt)} = - \frac{1}{2} \frac{V_{2s}(tsat)}{Vt} \cdot \frac{V_{2s}(t)}{Vt}$$

On retrouve l'expression normalisée :

$$\frac{d\bar{V}_2(\bar{t})}{d\bar{t}} = - \frac{1}{2} \bar{V}_{2s}(\bar{t}sat) \cdot \bar{V}_{2s}(\bar{t})$$

Finalement ce régime est caractérisé par :

$$\left\{ \begin{array}{l} \frac{d\bar{V}_1(\bar{t})}{d\bar{t}} = - \frac{1}{2} [\bar{V}_{2s}(\bar{t}) - 1]^2 \end{array} \right. \quad (6.18)$$

$$\left\{ \begin{array}{l} \frac{d\bar{V}_2(\bar{t})}{d\bar{t}} = - \frac{1}{2} \bar{V}_{2s}(\bar{t}sat) \cdot \bar{V}_{2s}(\bar{t}) \end{array} \right. \quad (6.19)$$

$$\left\{ \begin{array}{l} \frac{d\bar{V}_1(\bar{t})}{d\bar{t}} + \frac{d\bar{V}_2(\bar{t})}{d\bar{t}} = - \bar{I} \end{array} \right. \quad (6.20)$$

avec $\bar{V}_1(0) = 1 + \bar{V}_2(0) = 1 + \bar{V}_{2,1}(\bar{t}sat) = \bar{V}_{1,1}(tsat)$

$\bar{V}_2(0) = \bar{V}_{2,1}(\bar{t}sat)$ ou le deuxième indice "1" indique le premier régime.

En reportant les expressions (6.18) et (6.19) dans l'équation (6.20) on obtient :

$$- \frac{1}{2} [\bar{V}_{2s}(\bar{t}) - 1]^2 - \frac{1}{2} \bar{V}_{2s}(\bar{t}sat) \cdot \bar{V}_{2s}(\bar{t}) = - \bar{I}$$

soit en réarrangeant les termes :

$$\left[\bar{V}_{2s}(\bar{t}) \right]^2 + \bar{V}_{2s}(\bar{t}) [\bar{V}_{2s}(\bar{t}sat) - 2] + (1 - 2 \cdot \bar{I}) = 0 \quad (6.21)$$

L'étude détaillée de (6.21) (voir en annexe) montre que pour $\bar{I} > 1/2$ nous avons :

$$\bar{V}_{2s}(\bar{t}) = \frac{(2 - \bar{V}_{2s}(\bar{t}_{sat})) + \sqrt{\Delta}}{2} \vee \bar{V}_{2s}(\bar{t}_{sat}) \quad (6.22)$$

Avec $\Delta = \left[\bar{V}_{2s}(\bar{t}_{sat}) \right]^2 - 4 \bar{V}_{2s}(\bar{t}_{sat}) + 8 \bar{I}$

et

$$\bar{V}_{2s}(\bar{t}_{sat}) = 1 + \sqrt{\bar{I} - g'(\bar{t})} = 1 + \sqrt{\bar{I} - \frac{\sqrt{4\bar{I} - 1}}{2}} \quad (6.23)$$

Remarquons que pour $\bar{I} = 1/2$ nous avons $\Delta = (\bar{V}_{2s}(\bar{t}_{sat}) - 2)^2$.

Il s'ensuit alors :

$$\bar{V}_{2s}(\bar{t}) = \frac{2 - \bar{V}_{2s}(\bar{t}_{sat}) \pm \left| (\bar{V}_{2s}(\bar{t}_{sat}) - 2) \right|}{2}$$

L'équation (6.23) permet de retrouver $\bar{V}_{2s}(\bar{t}_{sat})$ pour $\bar{I} = (1/2)$ soit :

$$\bar{V}_{2s}(\bar{t}_{sat}) = 1 \quad \text{donc} \quad \left| (\bar{V}_{2s}(\bar{t}_{sat}) - 2) \right| = (2 - \bar{V}_{2s}(\bar{t}_{sat}))$$

$$\text{d'où} \quad \bar{V}_{2s}(\bar{t}) = \frac{(2 - \bar{V}_{2s}(\bar{t}_{sat})) \pm (2 - \bar{V}_{2s}(\bar{t}_{sat}))}{2} = 1$$

$$\text{or } \bar{V}_{2s}(\bar{t}) > 0 \rightarrow \bar{V}_{2s}(\bar{t}) = 2 \frac{(2 - \bar{V}_{2s}(\bar{t}_{sat}))}{2} = (2 - \bar{V}_{2s}(\bar{t}_{sat}))$$

$$\text{soit } \bar{V}_{2s}(\bar{t}) = 2 - 1 = 1 = \bar{V}_{2s}(\bar{t}_{sat}) \quad \forall \bar{t} \leq \bar{t}_{sat}$$

Ceci veut dire que le transistor T1 se bloque exactement en $\bar{t} = \bar{t}_{sat}$ et la chute de niveau de la ligne de bit haute est :

$$\Delta \bar{V}_1 = \bar{V}_{DD} - \bar{V}_1(\bar{t}_{sat})$$

avec $\bar{V}_1(\bar{t}_{sat}) = -\bar{I} \cdot \bar{t}_{sat} / 2 + g(\bar{t}_{sat}) / 2 - \bar{v} / 2 + \bar{V}_{DD}$

6.3.1 EQUATIONS DE $\bar{V}_1(\bar{t})$, $\bar{V}_2(\bar{t})$ ET $\bar{V}_s(\bar{t})$:

Des équations (6.18), (6.19) et (6.22) on tire respectivement $\bar{V}_1(\bar{t})$, $\bar{V}_2(\bar{t})$:

$$\bar{V}_1(\bar{t}) = -\frac{1}{2} [\bar{V}_2s(\bar{t}_{sat}) - 1]^2 (\bar{t} - \bar{t}_{sat}) + \bar{V}_1(\bar{t}_{sat}) \quad (6.24)$$

$$\bar{V}_2(\bar{t}) = -\frac{1}{2} [\bar{V}_2s(\bar{t}_{sat})]^2 \cdot (\bar{t} - \bar{t}_{sat}) + \bar{V}_2(\bar{t}_{sat}) \quad (6.25)$$

En outre $\bar{V}_s(\bar{t}) = \bar{V}_2(\bar{t}) - \frac{(2 - \bar{V}_2s(\bar{t}_{sat})) + \sqrt{\Delta}}{2}$ (6.26)

avec $\bar{V}_2s(\bar{t}_{sat}) = 1 + \sqrt{\bar{I} - \frac{\sqrt{4\bar{I} - 1}}{2}}$

Signalons que $\bar{V}_s(\bar{t}_{vs}) = 0$ pour :

$$\bar{t}_{vs} = \frac{2(\bar{V}_2(\bar{t}_{sat}) - [\bar{V}_2s(\bar{t}_{sat})]^2)}{[\bar{V}_2s(\bar{t}_{sat})]^2} + \bar{t}_{sat}$$

6.4 TROISIEME REGIME : T1 BLOQUE, T2 NON SATURE ($\bar{t}_1 < \bar{t} < \bar{t}_f$) :

Ce dernier régime cesse à $\bar{t} = \bar{t}_1$ ou $\bar{V}_2(\bar{t}_1) = 1$, T1 devient alors bloqué en revanche T2 est encore à l'état non saturé.

Les équations qui régissent ce dernier régime sont :

$$\bar{V}_1(\bar{t}) = \bar{V}_1(\bar{t}_1) = -\frac{1}{2} (\bar{V}_2s(\bar{t}_{sat}) - 1)^2 (\bar{t}_1 - \bar{t}_{sat}) + \bar{V}_1(\bar{t}_{sat}) \quad (6.27)$$

$$\frac{d\bar{V}_2(\bar{t})}{d\bar{t}} = -\bar{I} \quad (6.28)$$

\bar{t}_1 est déterminé en égalisant l'équation (6.24) à l'unité.

soit :

$$\bar{t}_1 = \frac{2 (\bar{V}_2(\bar{t}_{sat}) - 1)}{[\bar{V}_{2s}(\bar{t}_{sat})]^2} + \bar{t}_{sat}$$

Les équations (6.15), et (6.16) du premier régime donnent respectivement $\bar{V}_1(\bar{t}_{sat})$ et $\bar{V}_2(\bar{t}_{sat})$ avec :

$$\bar{V}_1(\bar{t}_{sat}) = - \frac{1}{2} \bar{I} \cdot \bar{t}_{sat} + \frac{1}{2} - \frac{1}{2} \bar{v} + \bar{V}_{DD}$$

$$\bar{V}_2(\bar{t}_{sat}) = \bar{V}_1(\bar{t}_{sat}) - 1$$

En outre l'équation (6.28) donne pour $\bar{t} \geq \bar{t}_1$:

$$\bar{V}_2(\bar{t}) = - \bar{I} (\bar{t} - \bar{t}_1) + \bar{V}_2(\bar{t}_1)$$

ou encore :

$$\bar{V}_2(\bar{t}) = - \bar{I} (\bar{t} - \bar{t}_1) + 1 \text{ puisque } \bar{V}_2(\bar{t}_1) = 1$$

d'autre part :

$$\bar{V}_2(\bar{t}_f) = 0 \text{ pour } \bar{t}_f = \bar{t}_1 + (1 / \bar{I})$$

6.5 RESUME :

Les différentes équations de $\bar{V}_1(\bar{t})$, $\bar{V}_2(\bar{t})$ et $\bar{V}_s(\bar{t})$ se résument comme suit:

I/ Pour $0 \leq \bar{t} \leq \bar{t}_{sat}$

$$\bar{V}_1(\bar{t}) = - \frac{1}{2} \bar{I} \cdot \bar{t} + \frac{g(\bar{t})}{2} - \frac{1}{2} \bar{v} + \bar{V}_{DD}$$

$$\bar{V}_2(\bar{t}) = - \frac{1}{2} \bar{I} \cdot \bar{t} - \frac{g(\bar{t})}{2} - \frac{1}{2} \bar{v} + \bar{V}_{DD}$$

$$\bar{V}_s(\bar{t}) = \bar{V}_2(\bar{t}) - 1 - \sqrt{\bar{I} - g'(\bar{t})}$$

II / Pour $\bar{t}_{sat} \leq \bar{t} \leq \bar{t}_1$

$$\bar{V}_1(\bar{t}) = - \frac{1}{2} (\bar{V}_{2s}(\bar{t}_{sat}) - 1)^2 . (\bar{t} - \bar{t}_{sat}) + \bar{V}_1(\bar{t}_{sat})$$

$$\bar{V}_2(\bar{t}) = - \frac{1}{2} [\bar{V}_{2s}(\bar{t}_{sat})]^2 . (\bar{t} - \bar{t}_{sat}) + \bar{V}_2(\bar{t}_{sat})$$

$$\bar{V}_s(\bar{t}) = \bar{V}_2(\bar{t}) - \bar{V}_{2s}(\bar{t}_{sat})$$

III / Pour $\bar{t}_1 \leq \bar{t} \leq \bar{t}_f$

$$\bar{V}_1(\bar{t}) = \bar{V}_1(\bar{t}_1)$$

$$\bar{V}_2(\bar{t}) = - \bar{I} (\bar{t} - \bar{t}_1) + 1$$

$$\bar{V}_s(\bar{t}) = 0$$

6.6 DESCRIPTION DU PROGRAMME SIMULATION1 :

Le programme SIMULATION1 a été élaboré afin de tirer les différents paramètres critiques de notre S/A tels que le temps de saturation t_{sat} , t_{vs} le temps où $V_s(t)$ s'annule, t_1 le temps de blocage de T1, t_f ou $V_2(t)$ s'annule ainsi que la chute de potentiel ΔV_1 du nœud à plus haut niveau. Il donne également les valeurs de $V_1(t)$, $V_2(t)$ et $V_s(t)$ pour les trois régimes.

Pour cela, il demande la valeur de la tension d'alimentation VDD, la tension à détecter minimale v_{min} à partir de laquelle le calcul doit se faire, la tension à détecter maximale v_{max} ainsi que le pas de progression de v .

Le programme fait lui-même la conversion valeurs non-normalisées en valeurs normalisées et l'inverse lors de la restitution des résultats. De même pour le courant I , il demande les valeurs minimale et maximale ainsi que son pas de progression et ce pour chaque tension à détecter v .

Outre cela il demande les paramètres du processus technologique choisi à savoir la tension de seuil V_t , l'épaisseur d'oxyde t_{ox} et la mobilité des porteurs U . Remarquons au passage que tous les programmes ont été réalisés en Pascal [7] et implantés sur VAX 750. Le programme donne directement les temps t en Nanosecondes et les tensions $V_1(t)$, $V_2(t)$ et $V_s(t)$ en Volts. L'organigramme de SIMULATION1 se présente de la façon suivante :

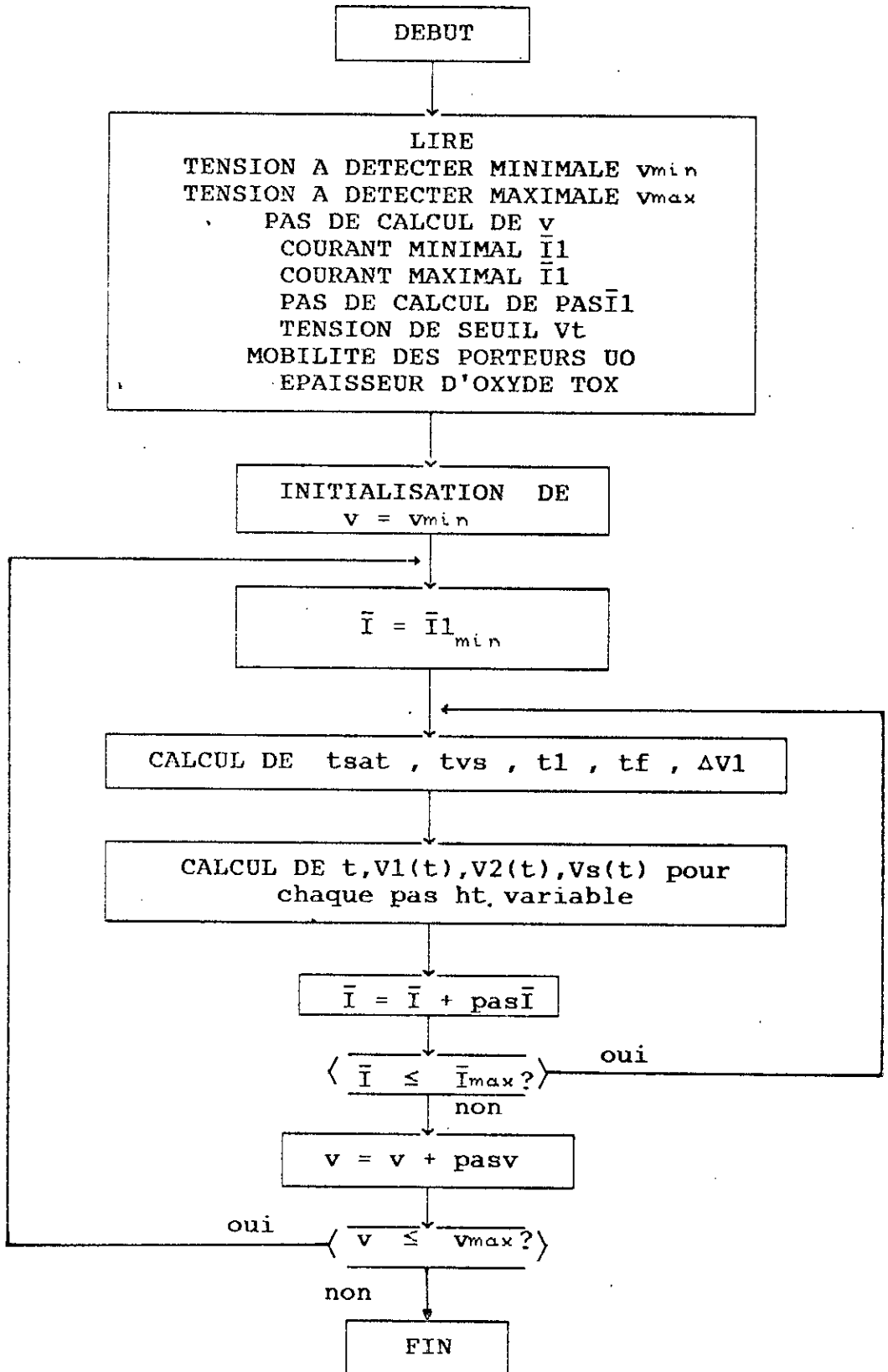
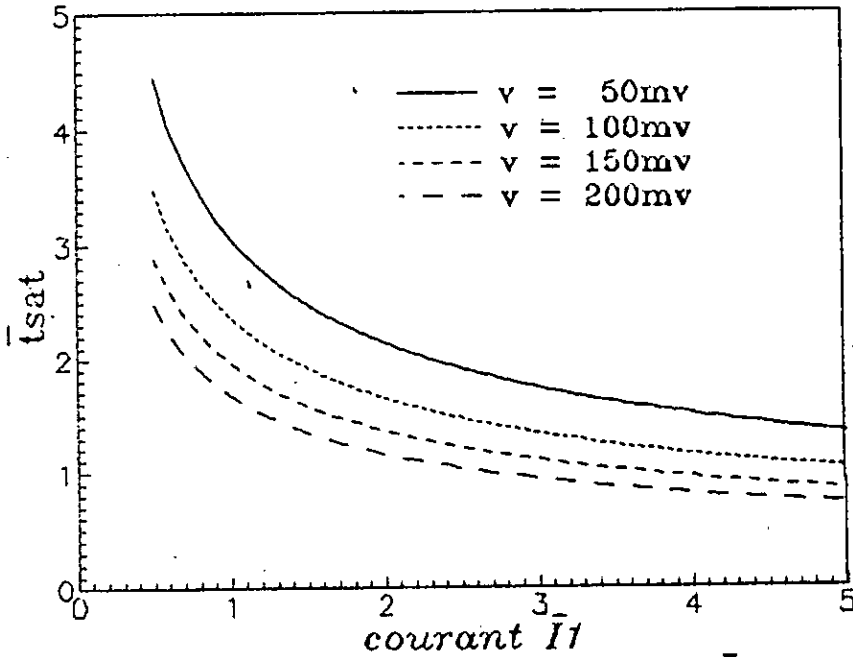


FIGURE 6.3 : ORGANIGRAMME DE SIMULATION1

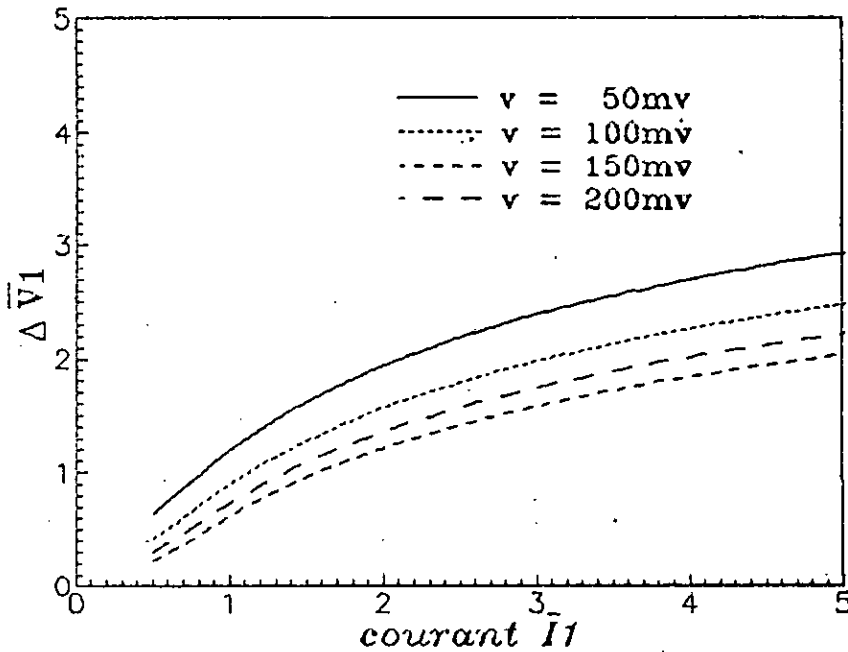
6.7 CHOIX DE LA VALEUR DE \bar{I}_1 :

Les graphes de $\bar{t}_{sat}(\bar{I}_1)$ et $\Delta\bar{V}_1(\bar{I}_1)$ se présentent de la façon suivante :



EVOLUTION DE \bar{t}_{sat} EN FONCTION DE \bar{I}_1 POUR DIFFERENTES TENSIONS A DETECTER v

FIGURE 6.4



EVOLUTION DE $\Delta\bar{V}_1$ EN FONCTION DE \bar{I}_1 POUR DIFFERENTS v

FIGURE 6.5

6.8 COMMENTAIRE SUR LES GRAPHES DE $\bar{t}_{sat}(\bar{I})$ ET $\Delta\bar{V}_1(\bar{I})$:

Les courbes \bar{t}_{sat} et $\Delta\bar{V}_1$ montrent que pour une tension à détecter \bar{v} donnée, \bar{t}_{sat} diminue avec l'augmentation de \bar{I} tandis que $\Delta\bar{V}_1$ de son côté augmente, ce qui est normal puisque plus le courant augmente, plus les capacités des lignes de bit se déchargent et le nœud à plus haut niveau se retrouve à un potentiel plus bas que pour le cas d'un \bar{I} plus faible.

Par ailleurs, \bar{t}_{sat} et $\Delta\bar{V}_1$ sont minimales pour une tension à détecter maximale et vice-versa, ceci est vrai puisque plus \bar{v} est grande plus le basculement est rapide.

Les variations de \bar{t}_{sat} s'accroissent au fur et à mesure que \bar{I} diminue et la plage de variation de \bar{t}_{sat} pour une tension à détecter \bar{v} variable entre 50 et 200mV diminue au fur et à mesure que \bar{I} augmente; en revanche du côté de $\Delta\bar{V}_1$ les résultats sont diamétralement opposés.

Du fait que les transistors constituant le schéma de base de l'amplificateur de lecture sont peu conducteurs au début du basculement, le courant \bar{I} qui doit commander le S/A doit être faible, aussi notre choix s'est porté sur $\bar{I} = 0.5$.

6.9 EXEMPLE :

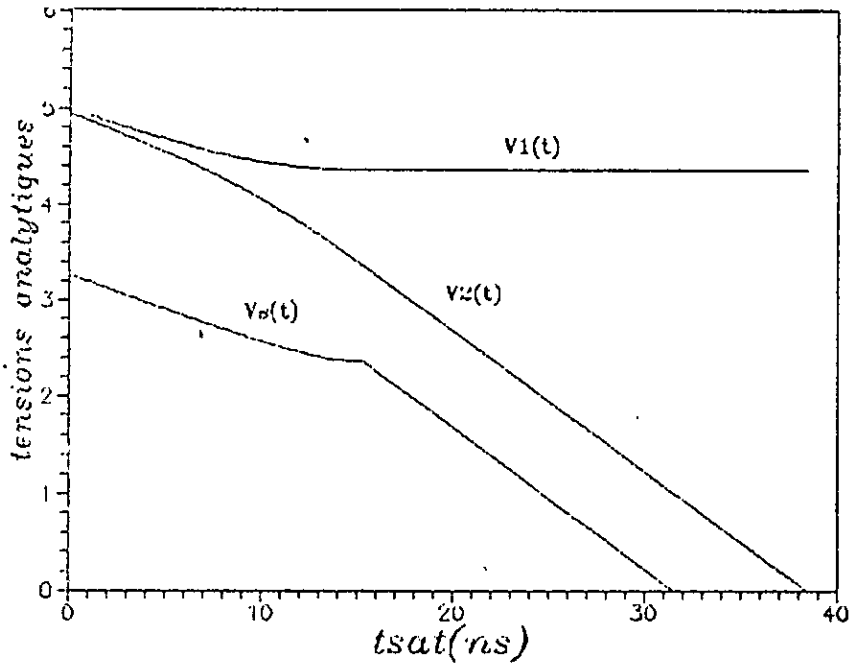
Puisque dans les conceptions actuelles on utilise une alimentation de 5V, VDD sera donc prise égale à 5V.

A titre d'illustration pour $\bar{I} = 0.5$ et $v = 50, 100, 150$ et $200mV$, les valeurs des différents paramètres énoncés précédemment se présentent comme suit :

v(mV)	50	100	150	200
$t_{sat}(ns)$	15.2	11.8	9.9	8.5
$t_{vs}(ns)$	31.4	29.7	28.4	27.5
$t_l(ns)$	31.2	29.4	28.23	27.37
$\Delta V_1(V)$	0.64	0.42	0.30	0.22

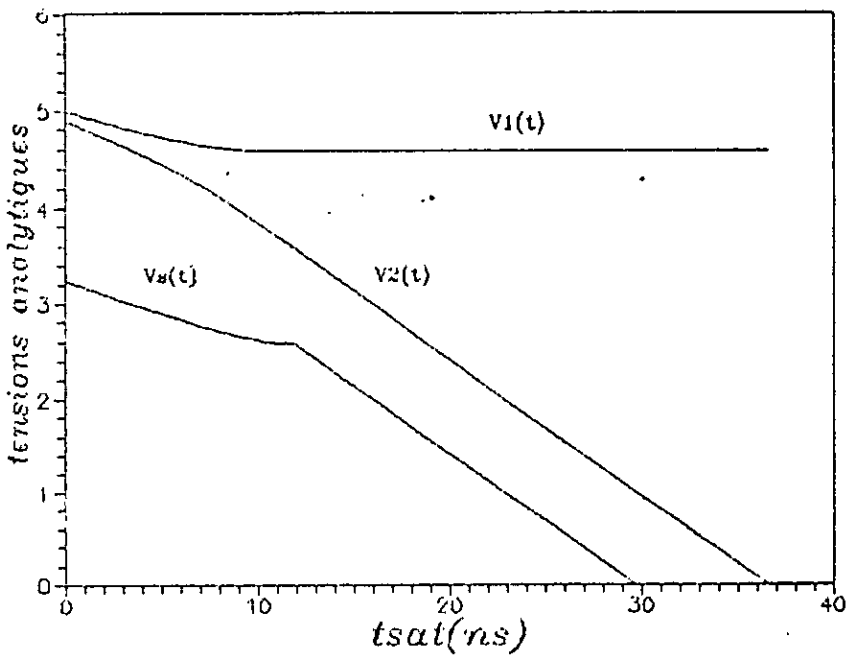
Tableau 6.1 : Valeurs des différents paramètres pour $\bar{I} = 0.5$

6.10 GRAPHES DE $tsat(v)$, $\Delta V_1(v)$, $V_1(t)$, $V_2(t)$ ET $V_s(t)$:



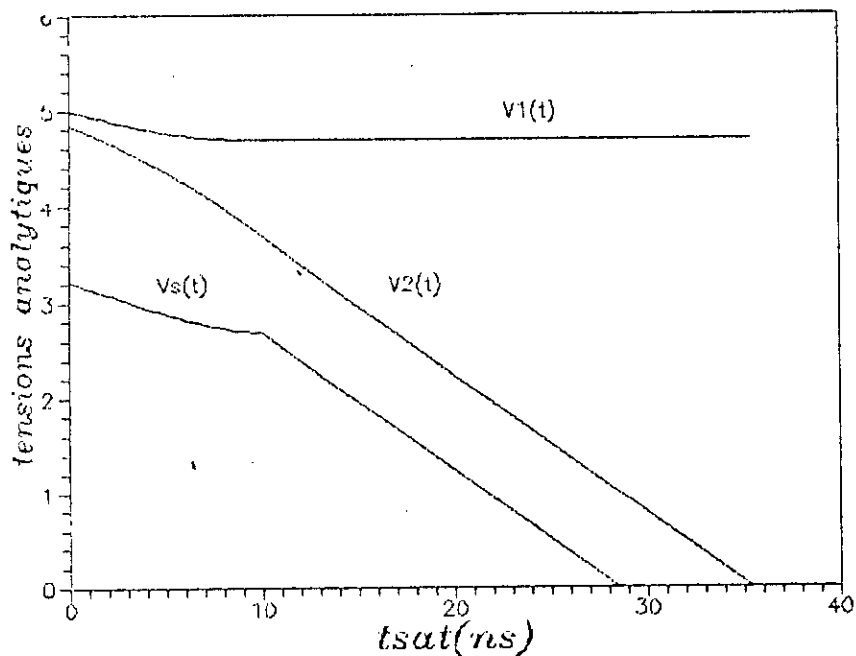
GRAPHES DE $V_1(t)$, $V_2(t)$, $V_s(t)$ DONNES PAR LE PROGRAMME SIMULATION1 POUR UNE TENSION A DETECTER $v=50mV$

FIGURE 6.6

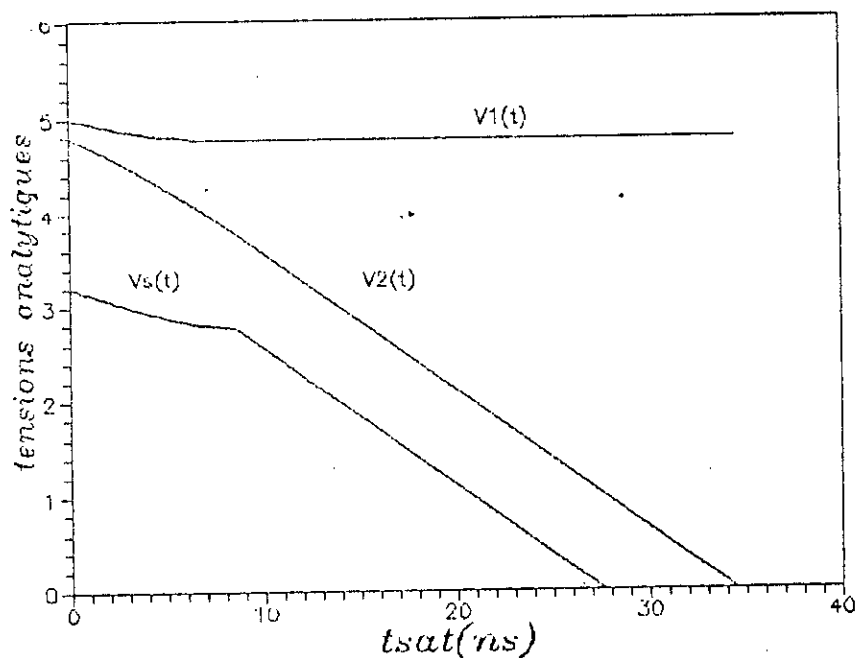


GRAPHES DE $V_1(t)$, $V_2(t)$, $V_s(t)$ DONNES PAR LE PROGRAMME SIMULATION1 POUR UNE TENSION A DETECTER $v=100mV$

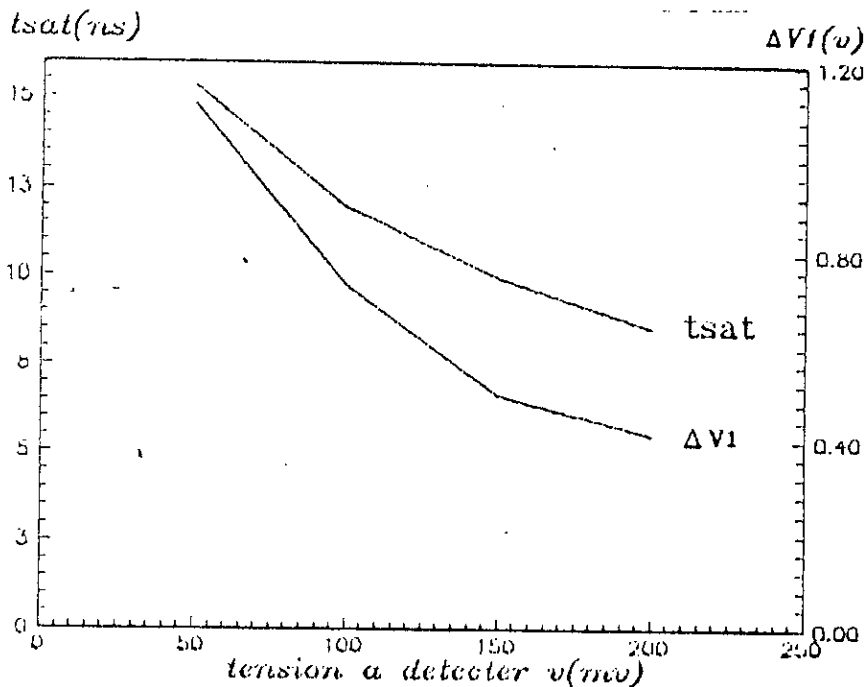
FIGURE 6.7



GRAPHES DE $V_1(t), V_2(t), V_s(t)$ DONNES PAR LE PROGRAMME SIMULATION1 POUR UN TENSION A DETECTER $v=160mV$
 FIGURE 6.8



GRAPHES DE $V_1(t), V_2(t), V_s(t)$ DONNES PAR LE PROGRAMME SIMULATION1 POUR UNE TENSION A DETECTER $v=200mV$
 FIGURE 6.9



TEMPS DE SATURATION $t_{sat}(v)$ ET $\Delta V_1(v)$ POUR LA COMMANDE PAR UN SEUL NIVEAU DE COURANT CONSTANT

FIGURE 6.10

6.11 CONCLUSION :

Ce que l'on peut retenir est que t_{sat} est amélioré, d'un autre côté la plage de variation du même t_{sat} est nettement plus faible par rapport à celle de la commande précédente. Par conséquent celui-ci varie dans des proportions raisonnables.

En ce qui concerne ΔV_1 , les valeurs trouvées sont bien en deçà de 20% du niveau de précharge et par suite ne posent pas de problèmes.

Par ailleurs les graphes 6.6 à 6.9 montrent les courbes de $V_1(t)$, $V_2(t)$ et $V_s(t)$ pour différents v . Comme on le constate, l'allure est la même pour toutes les courbes, les seules différences qui existent résident au niveau de la durée des basculements ainsi que les chutes de potentiels ΔV_1 . Enfin la figure 6.10 montre les graphes de $t_{sat}(v)$ et $\Delta V_1(v)$.

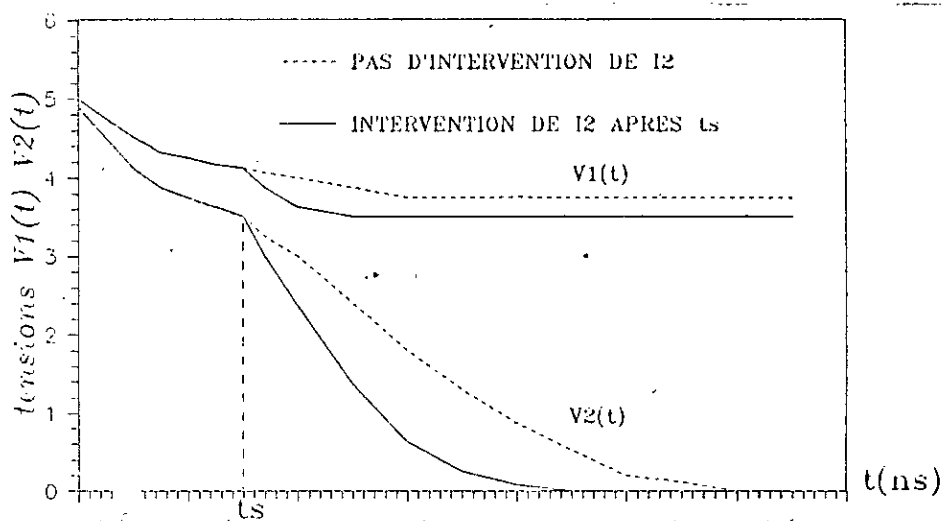
CHAPITRE 7

COMMANDE PAR DEUX NIVEAUX DE COURANTS CONSTANTS

On avait vu dans la commande précédente qu'il fallait commencer à attaquer le circuit par un faible courant I_1 , ceci se justifie par le fait que les deux transistors sont faiblement conducteurs au début du basculement puis deviennent de plus en plus conducteurs.

Lorsque la différence de tension $g(t)$ atteint un certain seuil inférieur à V_t , on attaque alors le circuit par un deuxième courant I_2 .

Le raisonnement sur le graphe ci-dessous amènent à un certains nombre de remarques :



$V_1(t)$ ET $V_2(t)$ PREVUES LORSQU'ON COMMANDE LE S/A
PAR UN DEUXIEME COURANT CONSTANT I_2 APRES t_s

Figure 7.1

En un certain temps t_s (tseuil) correspondant à un seuil bien choisi inférieur à V_t , on peut incliner encore plus le morceau de courbe de $V_2(t)$ vers le bas; bien que $V_1(t)$ le soit de même, son inclinaison pour $t > t_{seuil}$ est beaucoup plus faible que celle de $V_2(t)$.

Ce qui s'ensuit, c'est que la décharge de $V_2(t)$ serait alors plus rapide diminuant ainsi le temps de saturation t_{sat} , t_1 et t_f . La chute globale ΔV_1 du nœud à plus haut niveau devrait être plus grande que celle relative à la commande par un seul niveau de courant constant; celle-ci doit cependant obéir à la deuxième condition de début.

Tout se passe donc comme si nous avons affaire pour $t \geq t_s$ à une commande par un seul niveau de courant $I = (I_1 + I_2)$ avec une tension à détecter $v = v_{seuil}$, ceci permettra de déterminer les nouveaux paramètres critiques tels que temps de saturation etc..

Le temps de saturation réel correspondra en fait à :

$$t_{sat} = t_s + t'_{sat}$$

Il faudra donc veiller:

-A ajouter t_s à chaque t'_{sat} , celui-ci dépendra de v_{seuil} et de $(I_1 + I_2)$ alors que le t_s dépendra de v et v_{seuil} .

7.1 DETERMINATION DE \bar{t}_s :

Nous avons $g(\bar{t}_s) = \frac{1}{n}$ avec $n > 1$

soit

$$\frac{4 \alpha \sqrt{\bar{I}} \exp(-\sqrt{\bar{I}} \bar{t}_s)}{1 + \alpha^2 \cdot \exp(-2\sqrt{\bar{I}} \bar{t}_s)} = \frac{1}{n}$$

Avec $\alpha = \frac{2 \sqrt{\bar{I}}}{\bar{v}} + \sqrt{\frac{4 \cdot \bar{I}}{\bar{v}^2} - 1}$

Ce qui mène à l'équation du second degré suivante :

$$\alpha^2 X^2 - 4\sqrt{\bar{I}} n \alpha X + 1 = 0 \quad \text{avec } X = \exp(-\sqrt{\bar{I}} \bar{t}_s)$$

Le discriminant de cette équation est :

$$\Delta' = \alpha^2 (4 n^2 \bar{I} - 1) \quad \text{avec } \bar{I} > (1 / 4 n^2)$$

nous avons donc deux racines :

$$X_{1,2} = \frac{2n\sqrt{\bar{I}} \pm \sqrt{4n^2\bar{I} - 1}}{\alpha}$$

Ce qui correspond à :

$$\bar{t}_{s_{1,2}} = \frac{1}{\sqrt{\bar{I}}} \operatorname{Ln} \left[\frac{\alpha}{2n\sqrt{\bar{I}} \pm \sqrt{4n^2\bar{I} - 1}} \right]$$

Or pour la commande par un seul niveau de courant :

$$\bar{t}_{\text{sat}} = \frac{1}{\sqrt{\bar{I}}} \operatorname{Ln} \left[\frac{\alpha}{2\sqrt{\bar{I}} + \sqrt{4\bar{I} - 1}} \right]$$

Comme $n > 1$ on peut montrer que :

$$2n\sqrt{\bar{I}} - \sqrt{4n^2\bar{I} - 1} < 2\sqrt{\bar{I}} + \sqrt{4\bar{I} - 1}$$

On en conclue donc que : $\bar{t}_{sz} > \bar{t}_{\text{sat}}$

La racine \bar{t}_{sz} est alors à rejeter et la solution de \bar{t}_s est par conséquent :

$$\bar{t}_s = \frac{1}{\sqrt{\bar{I}}} \operatorname{Ln} \left[\frac{\alpha}{2n\sqrt{\bar{I}} + \sqrt{4n^2\bar{I} - 1}} \right]$$

7.2 ETUDE DE \bar{t}_s EN FONCTION DE n :

La dérivée $\frac{d\bar{t}_s}{dn}$ est égale à l'expression suivante :

$$\frac{d\bar{t}_s}{dn} = \frac{d}{dn} \left[\frac{1}{\sqrt{\bar{I}}} \text{Ln}(\alpha) - \frac{1}{\sqrt{\bar{I}}} \text{Ln} \left(2n \sqrt{\bar{I}} + \sqrt{4n^2 \bar{I} - 1} \right) \right]$$

Soit :

$$\frac{d\bar{t}_s}{dn} = - 2 / \sqrt{4n^2 \bar{I} - 1}$$

cette quantité est négative pour tout n tel que $1 < n < 1/\bar{v}$.

d'ou le tableau de variation de $\bar{t}_s(n)$ indépendamment de \bar{I} :

n	1	1.33	2	3	4	$1/\bar{v}$
$g(\bar{t}_s)$		0.75	0.5	0.33	0.25	
$\frac{d\bar{t}_s}{dn}$				—		
\bar{t}_s	\bar{t}_{sat}					0

Tableau 7.1 : Tableau de variation de $\bar{t}_s(n)$

$$g(0) = \frac{1}{n} = \bar{v} \quad \text{et donc} \quad n = 1 / \bar{v} \quad \text{pour} \quad \bar{t} = 0$$

On remarque que pour $n = 1$, on retrouve le cas de l'attaque par un seul niveau de courant. Une étude similaire de \bar{t}_s en fonction de \bar{I} montre que celui-ci diminue avec l'augmentation de ce dernier.

7.3 ETUDE DU TEMPS DE SATURATION \bar{t}'_{sat} :

La différence de tension $g(\bar{t})$ étant arrivée à $1/n$, tension à partir de laquelle on lance le deuxième courant \bar{I}_2 ; le temps que mettra $g(\bar{t})$ pour atteindre est \bar{t}'_{sat} dont l'expression se présente comme suit :

$$\bar{t}'_{sat} = \frac{1}{\sqrt{\bar{I}t}} \operatorname{Ln} \left[\frac{\frac{2\sqrt{\bar{I}t}}{(1/n)} + \sqrt{\frac{4\bar{I}t}{(1/n)} - 1}}{2\sqrt{\bar{I}t} + \sqrt{4\bar{I}t - 1}} \right]$$

Soit

$$\bar{t}'_{sat} = \frac{1}{\sqrt{\bar{I}t}} \operatorname{Ln} \left[\frac{2n\sqrt{\bar{I}t} + \sqrt{4n^2\bar{I}t - 1}}{2\sqrt{\bar{I}t} + \sqrt{4\bar{I}t - 1}} \right]$$

Remarquons que dans l'expression de \bar{t}'_{sat} , $\bar{I} = \bar{I}t$ avec $\bar{I}t = (\bar{I}_1 + \bar{I}_2)$ le courant total attaquant le circuit.

D'autre part la dérivée de \bar{t}'_{sat} en fonction de n est :

$$\frac{d\bar{t}'_{sat}}{dn} = 2 / \sqrt{4n^2\bar{I}t - 1} \text{ est } > 0 \text{ d'où le tableau}$$

d'où le tableau :

n	1	1.33	2	3	4	$1/\bar{v}$
$g(\bar{t})$		0.75	0.5	0.33	0.25	
$\frac{d\bar{t}'_{sat}}{dn}$				+		
\bar{t}'_{sat}						\bar{t}_{sat}

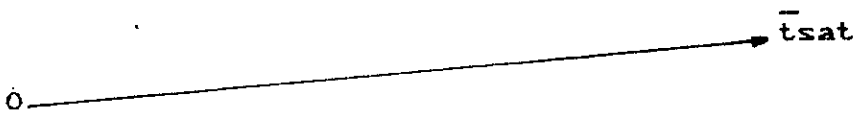


Tableau 7.2 : Tableau de variation de $\bar{t}'_{sat}(n)$

Nous constatons que \bar{t}'_{sat} augmente avec n ; pour $n = 1/\bar{v}$ nous avons $\bar{t}'_{sat} = \bar{t}_{sat}$ et on retrouve le cas de la commande par un seul niveau de courant constant.

De même une étude similaire montre que \bar{t}'_{sat} diminue avec l'augmentation du courant \bar{I}_t .

En outre, le vrai temps de saturation est en fait $\bar{t}_{sat} = \bar{t}_s + \bar{t}'_{sat}$. Si nous essayons de déterminer n pour lequel \bar{t}_{sat} est le plus petit possible, on se rend compte que pour une tension à détecter \bar{v} et ce quel que soit \bar{I}_1 et \bar{I}_2 , \bar{t}_{sat} minimale correspond à n maximale.

Le cas le plus défavorable correspond à une tension à détecter égale à 50mV i-e $\bar{v} = 0.05$.

7.4 CHOIX DE ($V_1(t_s) - V_2(t_s)$) :

L'exemple numérique suivant avec $\bar{I}_1 = 0.5$ et $\bar{I}_2 = 1$ a donné les résultats suivants :

n	1.33	2	3	4
\bar{t}_s	3.94	3.30	2.70	2.29
\bar{t}'_{sat}	0.25	0.59	0.93	1.17
\bar{t}_{sat}	4.19	3.89	3.63	3.45
$\Delta \bar{V}_1$	1.03	1.1	1.20	1.27

Tableau 7.3 : Valeurs des paramètres critiques pour n variable

On constate que pour $n = 4$, \bar{t}_{sat} est le plus faible bien que \bar{t}'_{sat} augmente avec n, \bar{t}_s diminue plus vite que \bar{t}'_{sat} et c'est pourquoi \bar{t}_{sat} minimale correspond à n maximal. Toutefois il faut remarquer que la tension à détecter v peut aller jusqu'à 400mV; en plus la tension de seuil V_t peut être ramenée à 0.7V; pour toutes ces raisons on prendra $n = 2$; la tension ($V_1(t) - V_2(t)$) à partir de laquelle le deuxième courant est lancé sera donc 0.5V.

Pour $n = 2$, les expressions de \bar{t}_s et \bar{t}'_{sat} sont :

$$\bar{t}_s = \frac{1}{\sqrt{\bar{I}_1}} \operatorname{Ln} \left[\frac{\frac{2\sqrt{\bar{I}_1}}{\bar{v}} + \sqrt{\frac{4\bar{I}_1}{\bar{v}^2} - 1}}{4\sqrt{\bar{I}_1} + \sqrt{4\bar{I}_1 - 1}} \right]$$

$$\bar{t}'_{\text{sat}} = \frac{1}{\sqrt{\bar{I}t}} \operatorname{Ln} \left[\frac{4 \sqrt{\bar{I}t} + \sqrt{16 \bar{I}t - 1}}{2 \sqrt{\bar{I}t} + \sqrt{4 \bar{I}t - 1}} \right]$$

7.5 EQUATIONS REGISSANT LE SYSTEME :

1/ Pour $0 \leq \bar{t} \leq \bar{t}_s$ $\bar{I} = \bar{I}_1$ $g(0) = \bar{v}$

$$\bar{V}_1(\bar{t}) = - \frac{\bar{I}_1 \cdot \bar{t}}{2} + \frac{g(\bar{t})}{2} - \frac{\bar{v}}{2} + \bar{V}_{DD}$$

$$\bar{V}_2(\bar{t}) = - \frac{\bar{I}_1 \cdot \bar{t}}{2} - \frac{g(\bar{t})}{2} - \frac{\bar{v}}{2} + \bar{V}_{DD}$$

$$\bar{V}_s(\bar{t}) = \bar{V}_2(\bar{t}) - 1 - \sqrt{\bar{I}_1 - g'(\bar{t})}$$

2/ Pour $\bar{t}_s \leq \bar{t} \leq \bar{t}_{\text{sat}}$ ou $0 \leq \bar{t}' \leq \bar{t}'_{\text{sat}}$

avec $\bar{I} = \bar{I}_1 + \bar{I}_2 = \bar{I}t$ et $g(\bar{t}_s) = 0.5$

$$\bar{V}_1(\bar{t}') = - \frac{\bar{I}t \cdot \bar{t}'}{2} + \frac{g(\bar{t}')}{2} - \frac{0.5}{2} + \bar{V}_1(\bar{t}_s)$$

$$\bar{V}_2(\bar{t}') = - \frac{\bar{I}t \cdot \bar{t}'}{2} - \frac{g(\bar{t}')}{2} - \frac{0.5}{2} + \bar{V}_1(\bar{t}_s)$$

$$\bar{V}_s(\bar{t}') = \bar{V}_2(\bar{t}') - 1 - \sqrt{\bar{I}t - g'(\bar{t}')}$$

3/ Pour $\bar{t}_{\text{sat}} \leq \bar{t} \leq \bar{t}_1$ ou $\bar{t}'_{\text{sat}} \leq \bar{t}' \leq \bar{t}'_1$

$$\bar{V}_1(\bar{t}') = - \frac{1}{2} \left[[\bar{V}_{2s}(\bar{t}'_{\text{sat}})]^2 - 1 \right] [\bar{t}' - \bar{t}'_{\text{sat}}] + \bar{V}_1(\bar{t}'_{\text{sat}})$$

$$\bar{V}_2(\bar{t}') = - \frac{1}{2} [\bar{V}_{2s}(\bar{t}'_{\text{sat}})]^2 \cdot [\bar{t}' - \bar{t}'_{\text{sat}}] + \bar{V}_2(\bar{t}'_{\text{sat}})$$

$$\bar{V}_s(\bar{t}') = \bar{V}_2(\bar{t}') - \bar{V}_{2s}(\bar{t}'_{\text{sat}})$$

$$\text{avec } \bar{V}_{2s}(\bar{t}'\text{sat}) = 1 + \sqrt{\bar{I}t - \frac{\sqrt{4\bar{I}t - 1}}{2}}$$

Les temps $\bar{t}'1$ et $\bar{t}'vs$ temps respectivement à partir desquels les potentiels respectivement $\bar{V}_1(\bar{t})$ devient constant et $\bar{V}_s(\bar{t})$ devient nul sont donnés par les expressions suivantes :

$$\bar{t}'1 = \frac{2 [\bar{V}_2(\bar{t}'\text{sat}) - 1]}{[\bar{V}_{2s}(\bar{t}'\text{sat})]^2} + \bar{t}'\text{sat}$$

$$\bar{t}'vs = \frac{2 [\bar{V}_2(\bar{t}'\text{sat}) - \bar{V}_{2s}(\bar{t}'\text{sat})]}{[\bar{V}_{2s}(\bar{t}'\text{sat})]^2} + \bar{t}'\text{sat}$$

4/ Pour $\bar{t}1 \leq \bar{t} \leq \bar{t}f$ ou $\bar{t}'1 \leq \bar{t}' \leq \bar{t}'f$

$$\bar{V}_1(\bar{t}') = \bar{V}_1(\bar{t}'1)$$

$$\bar{V}_2(\bar{t}) = - \bar{I}t (\bar{t} - \bar{t}1) + 1$$

$$\bar{V}_s(\bar{t}') = 0$$

Ou $\bar{t}f$ indique le temps ou $\bar{V}_2(\bar{t})$ s'annule, celui-ci est donné par :

$$\bar{t}f = \bar{t}1 + (1 / \bar{I}t)$$

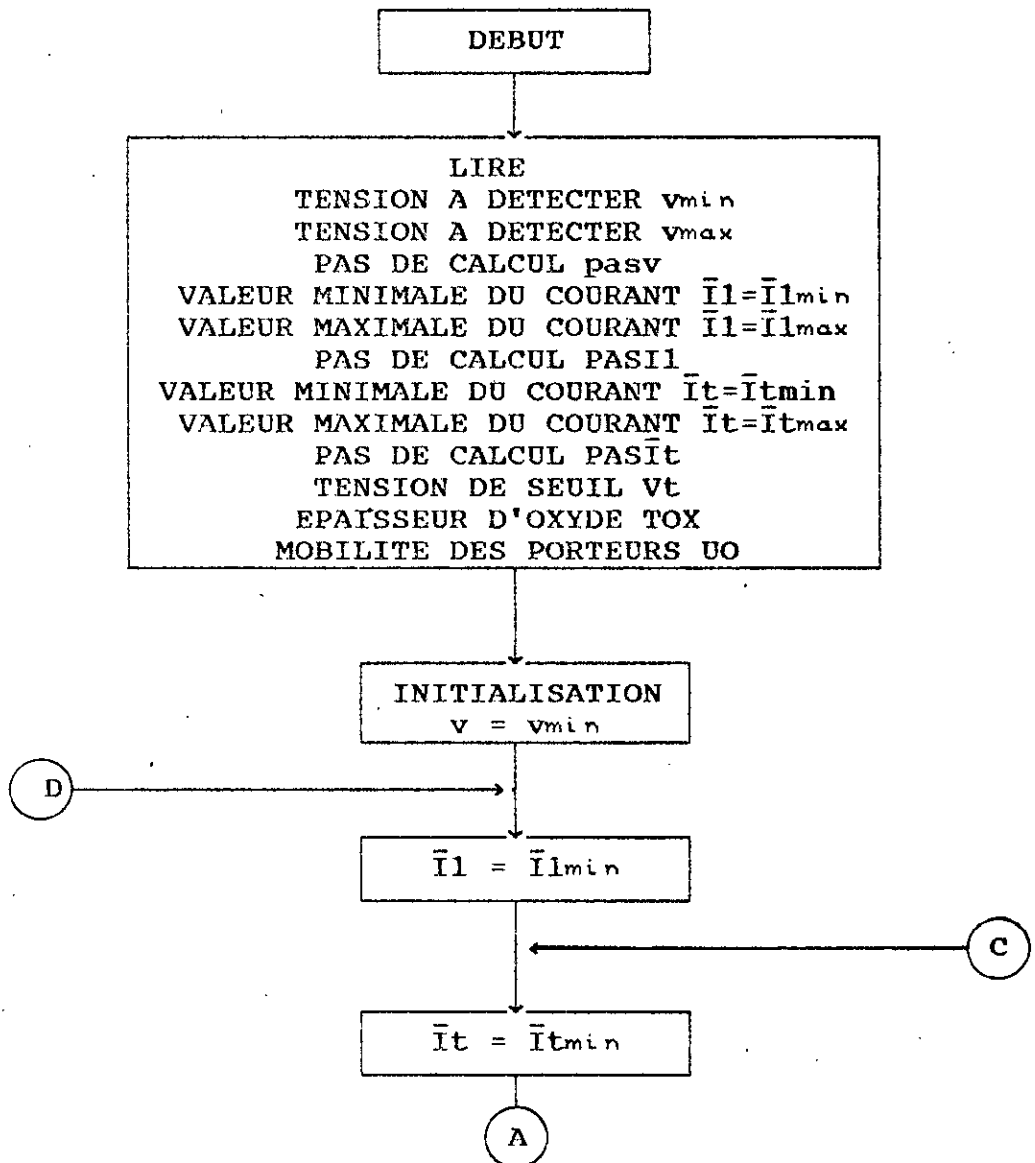
La chute de tension $\Delta\bar{V}_1$ finale est alors égale à :

$$\Delta\bar{V}_1 = \bar{V}_{DD} + \frac{[\bar{V}_{2s}(\bar{t}'\text{sat}) - 1]}{[\bar{V}_{2s}(\bar{t}'\text{sat})]^2} \cdot [\bar{V}_2(\bar{t}'\text{sat}) - 1] - \bar{V}_1(\bar{t}'\text{sa})$$

7.6 DESCRIPTION DU PROGRAMME SIMULATION2 :

Le programme SIMULATION2 a été élaboré afin de calculer pour chaque valeur de la tension à détecter v , du courant I_1 , du courant I_{total} et de la tension à partir de laquelle le deuxième courant est lancé (en donnant la valeur de n), les tensions $V_1(t)$, $V_2(t)$ et $V_s(t)$ pour les différents régimes. Pour un t variant respectivement entre 0 et t_s , t_s et t_{sat} , t_{sat} et t_1 et enfin entre t_1 et t_f avec un pas de calcul variable h_t dépendant de la durée respectivement des durées des différent régimes donc de t_s , t_{sat} , t_1 et t_f .

L'organigramme de SIMULATION2 se présente comme suit :



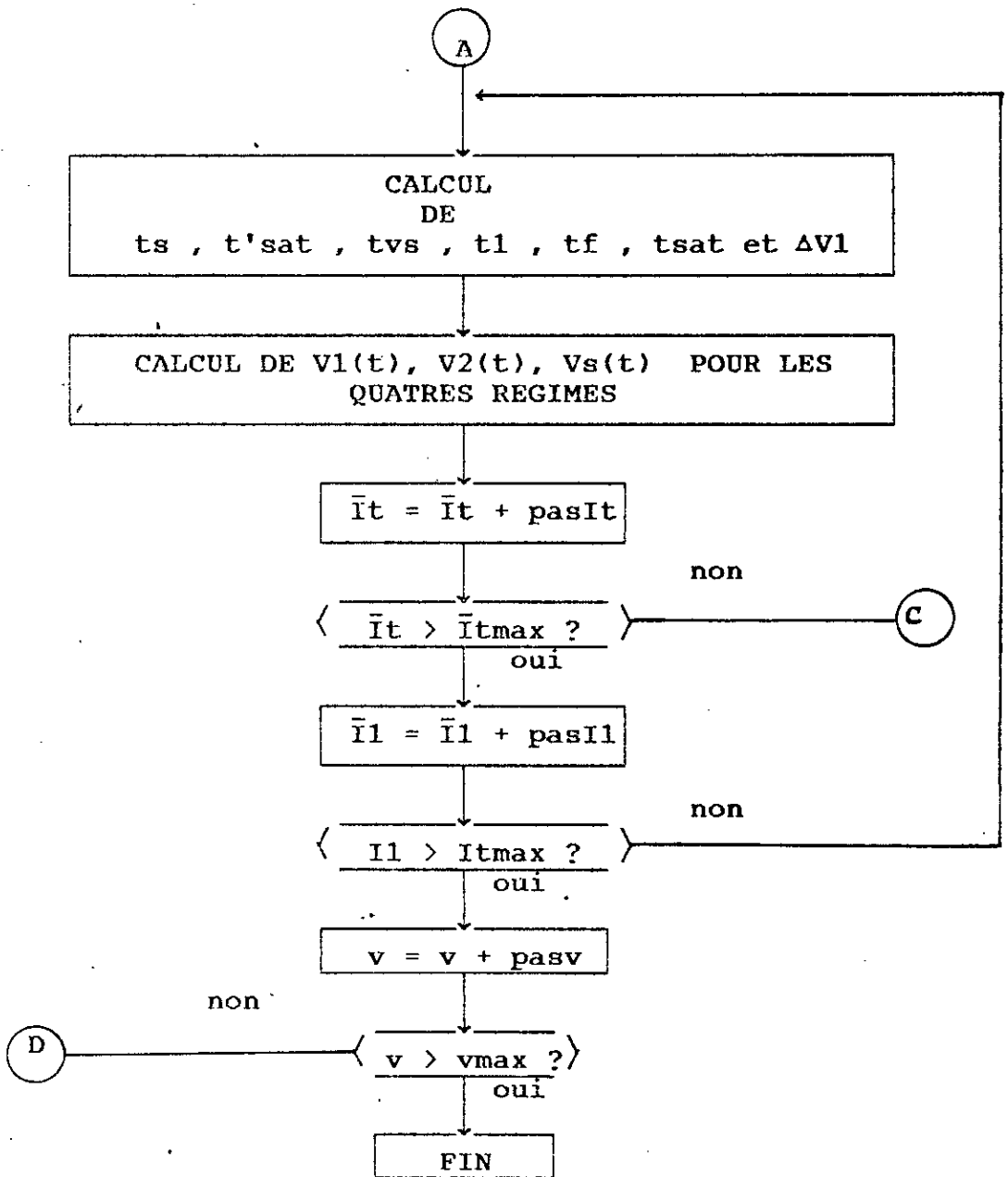
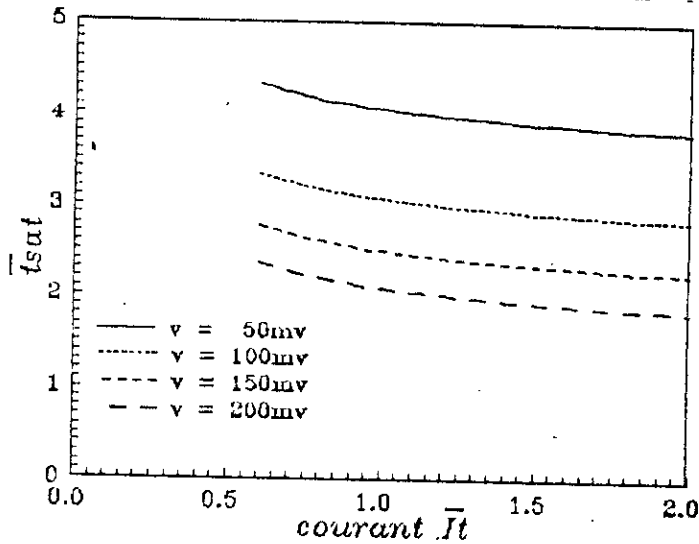


FIGURE 7.2 : ORGANIGRAMME DE SIMULATION2

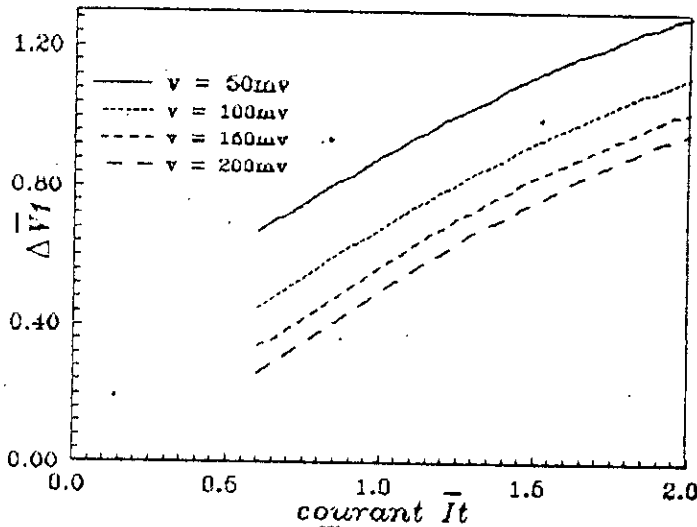
7.7 CHOIX DES VALEURS DES COURANTS \bar{I}_1 ET \bar{I}_2 :

Les graphes ci-dessous montrent les variations de \bar{t}_{sat} et ΔV_1 en fonction de \bar{I}_t .

Le choix du courant \bar{I}_1 à été déjà fait dans la commande précédente, il reste celui de \bar{I}_2 que l'on doit ajouter après \bar{t}_s , le courant total est alors $\bar{I}_t = \bar{I}_1 + \bar{I}_2$.



EVOLUTION DE $\bar{t}_{sat}(\bar{I}_t)$ AVEC $\bar{I}_1=0.5$ POUR DIFFERENTES TENSIONS A DETECTER v
FIGURE 7.3



EVOLUTION DE $\Delta V_1(\bar{I}_t)$ AVEC $\bar{I}_1=0.5$ POUR DIFFERENTES TENSIONS A DETECTER v
FIGURE 7.4

7.8 COMMENTAIRE DES GRAPHES $\bar{t}_{sat}(\bar{I}t)$ ET $\Delta\bar{V}1(\bar{I}t)$:

Le graphe de $\bar{t}_{sat}(\bar{I}t)$ montre qu'à l'opposé de la commande précédente, la famille de courbes varie de façon très modérée et celles-ci tendent à s'applatir; en outre la plage de variation de \bar{t}_{sat} diminue avec l'augmentation de $\bar{I}t$

D'autre part le graphe de $\Delta\bar{V}1(\bar{I}t)$ montre que les courbes sont à la limite des droites, ce qui fait que pratiquement $\Delta\bar{V}1$ augmente proportionnellement avec $\bar{I}t$.

Parmi les conditions que l'on s'est imposé au début, est d'avoir un \bar{t}_{sat} le plus court possible sans que $\Delta\bar{V}1$ ne dépasse les 20% de VDD; nous avons préféré choisir un $\bar{I}t$ qui donne un \bar{t}_{sat} inférieur à 4 à condition toutefois que $\Delta\bar{V}1$ soit au voisinage de 1.

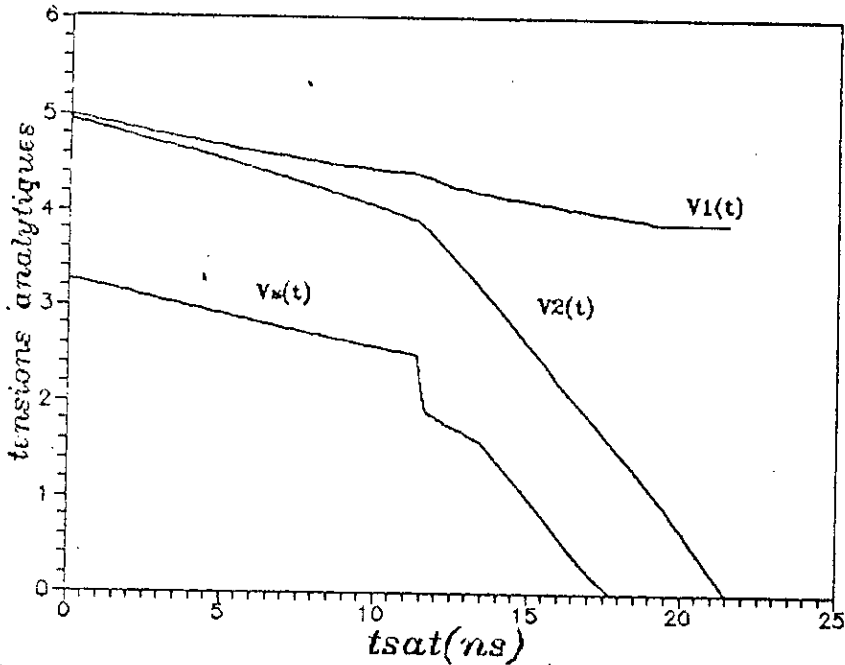
D'après le graphe de $\bar{t}_{sat}(\bar{I}t)$, la valeur de $\bar{I}t$ est 1.5 donc $\bar{I}2 = 1$, ce qui donne $\Delta\bar{V}1 = 1.1$, ce qui n'est pas trop loin de la valeur 1.

A titre d'illustration, pour une tension à détecter v égale à 50mV, les paramètres temps calculés par le programme SIMULATION2 se présentent comme suit :

ts(ns)	t'sat	tsat	tvs	t1	tf
11.2	2	13.2	17.3	18.9	21.2

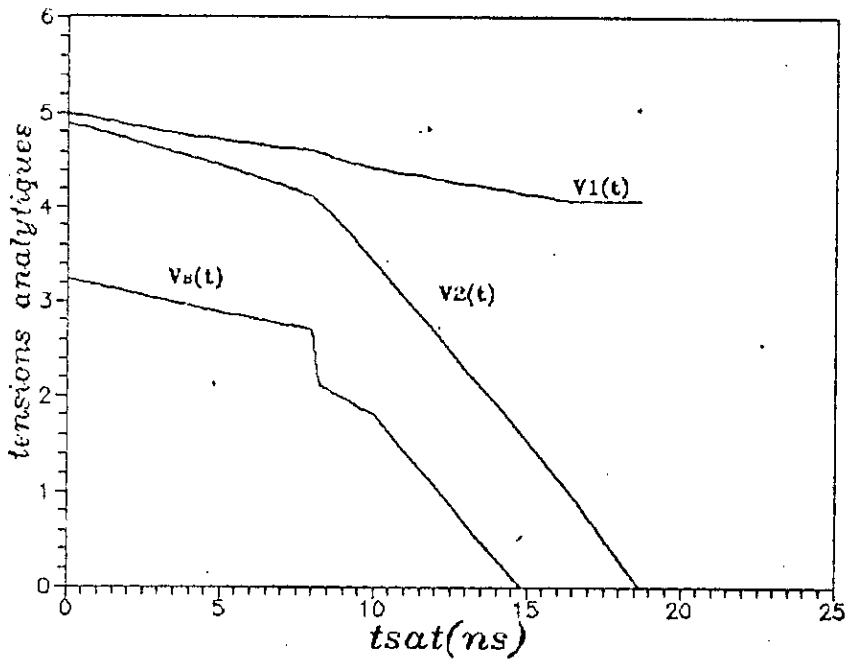
Tableau 7.4 : Valeurs des paramètres critiques

7.9 GRAPHES DE $tsat(v)$, $\Delta V1(v)$, $V1(t)$ $V2(t)$ ET $Vs(t)$:



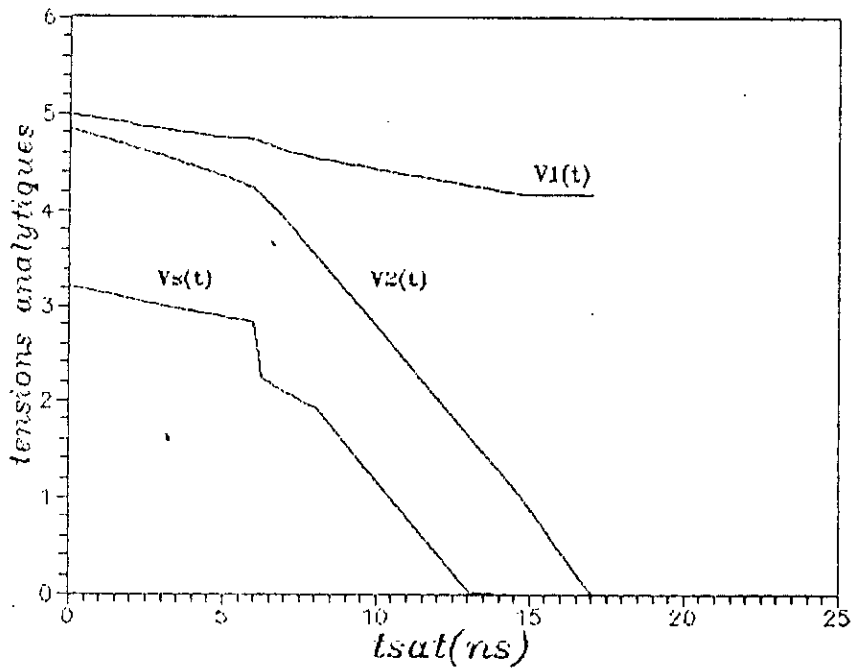
GRAPHES DE $V1(t)$, $V2(t)$, $Vs(t)$ DONNES PAR LE PROGRAMME SIMULATION2 POUR UNE TENSION A DETECTER $v=50\text{mv}$

FIGURE 7.5

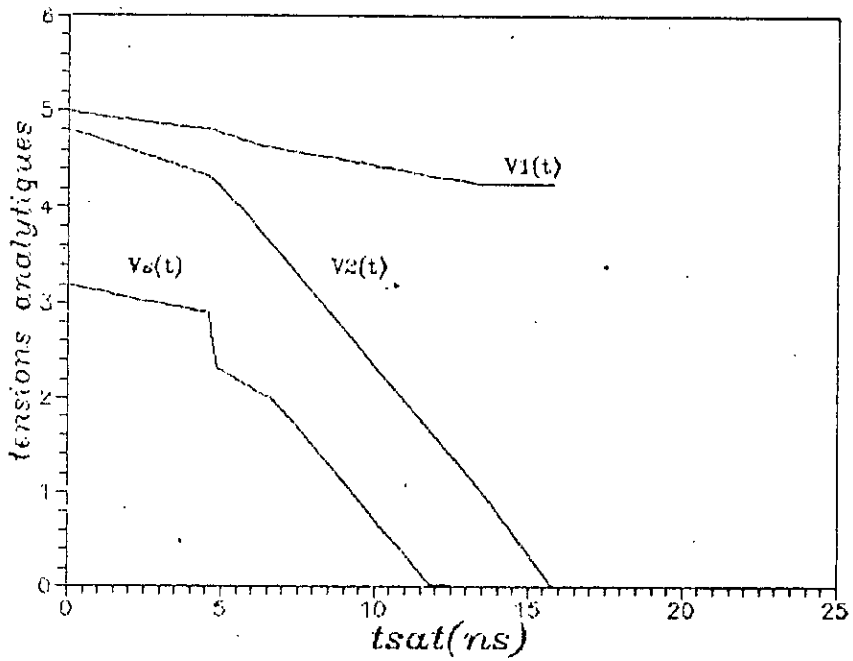


GRAPHES DE $V1(t)$, $V2(t)$, $Vs(t)$ DONNES PAR LE PROGRAMME SIMULATION2 POUR UNE TENSION A DETECTER $v=100\text{mv}$

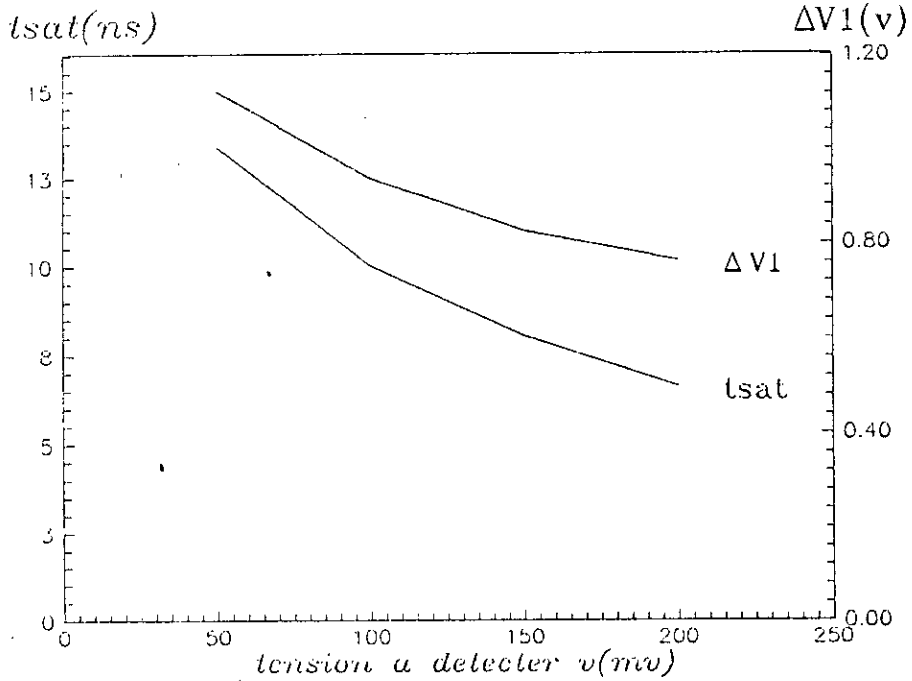
FIGURE 7.6



GRAPHES DE $V_1(t), V_2(t), V_3(t)$ DONNES PAR LE PROGRAMME SIMULATION2 POUR UNE TENSION A DETECTER $v=150mV$
FIGURE 7.7



GRAPHES DE $V_1(t), V_2(t), V_3(t)$ DONNES PAR LE PROGRAMME SIMULATION2 POUR UNE TENSION A DETECTER $v=200mV$
FIGURE 7.8



TEMPS DE SATURATION $t_{sat}(v)$ ET $\Delta V1(v)$ POUR LA COMMANDE PAR DEUX NIVEAUX DE COURANTS CONSTANTS

Figure 7.9

7.10 ETUDE COMPARATIVE :

Pour mieux montrer l'avantage de la commande par deux niveaux de courants constants par rapport à la commande par un seul niveau de courant constant, dressons le tableau suivant afin de faire une étude comparative :

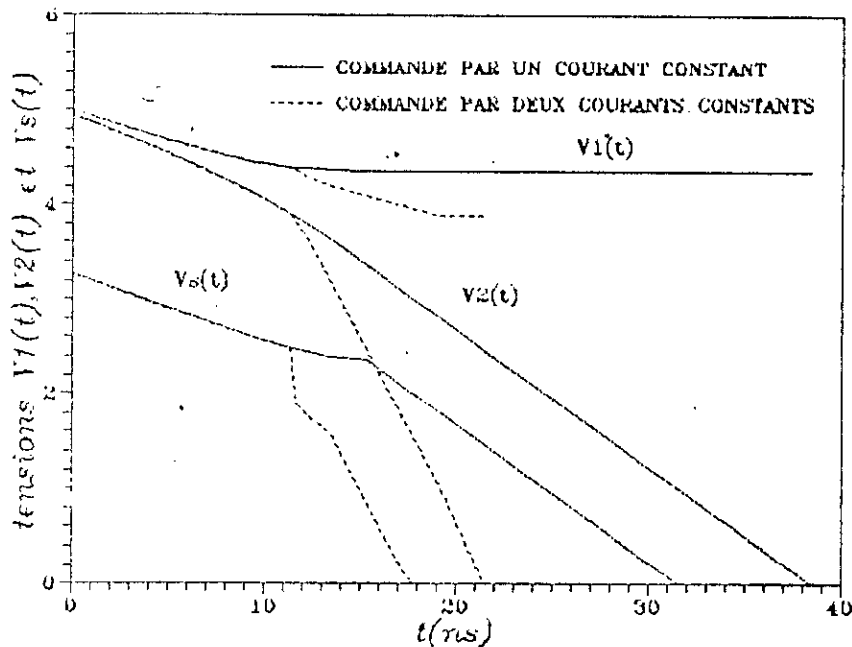
v(mV)	tsat(ns)				ΔV1(V)			
	50	100	150	200	50	100	150	200
un niveau de courant	15.2	11.8	9.9	8.5	0.64	0.42	0.3	0.22
deux niveaux de courants	13.2	9.9	7.95	6.56	1.1	0.92	0.82	0.75

Tableau 7.5 : Comparaison des deux commandes en courants

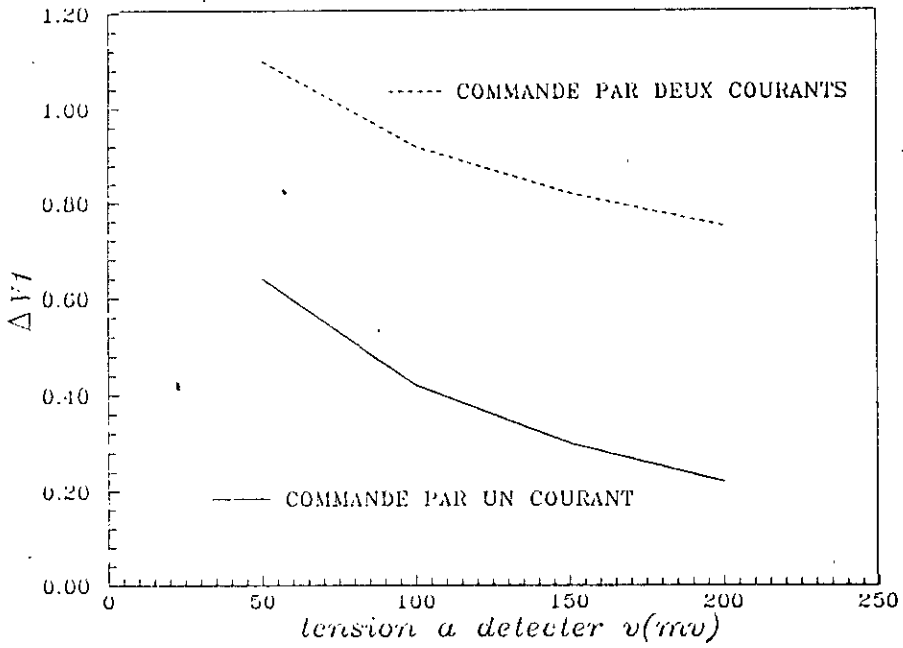
On remarque que l'amélioration apportée par la commande par deux niveaux de courants est en moyenne de 18% pour le temps de saturation alors que la chute de tension ΔV_1 augmente mais reste toujours inférieure ou égale à 20% de la tension d'alimentation (sauf le cas ou $v=50\text{mV}$ ou celle-ci est très voisine de 1).

L'amélioration est surtout palpable lorsqu'on examine les figures 7.5, 7.6 , 7.7 et 7.8 où dans tous les cas la durée de basculement avoisine les 20ns alors que pour le cas de la commande par un niveau de courant constant, celle-ci avoisine les 40ns, soit le double.

On est donc effectivement arrivé à améliorer le t_{sat} ; d'autre part pour une tension à détecter qui augmente de 4 fois (de 50mV à 200mV) , le t_{sat} diminue moins de deux fois de sa valeur initiale , la plage de variation de t_{sat} est encore plus réduite comparée à celle des précédents chapitres

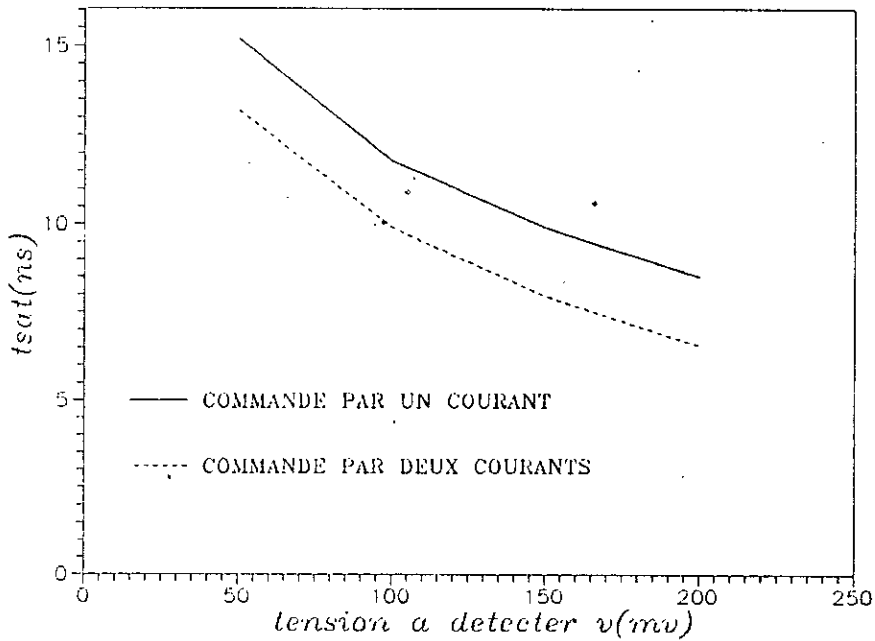


COMPARAISON DES COURBES DE $V_1(t)$ $V_2(t)$ $V_s(t)$ DONNES PAR LES COMMANDES PAR UN ET DEUX COURANTS CONSTANTS POUR $v=50\text{mV}$
FIGURE 7.10



COMPARAISON DES CHUTES DE POTENTIEL $\Delta V1(v)$ POUR LES COMMANDES PAR UN ET DEUX COURANTS CONSTANTS

FIGURE 7.11



COMPARAISON DES TEMPS DE SATURATION $t_{sat}(v)$ POUR LES COMMANDES PAR UN ET DEUX NIVEAUX DE COURANTS CONSTANTS

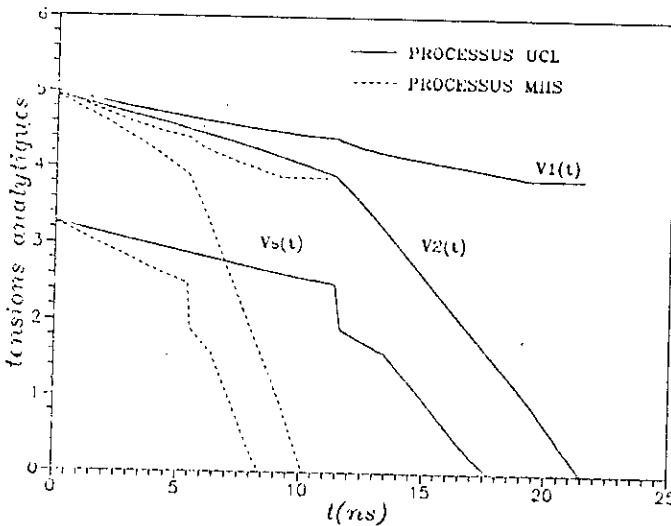
FIGURE 7.12

7.11 REMARQUE SUR LE PROCESSUS TECHNOLOGIQUE :

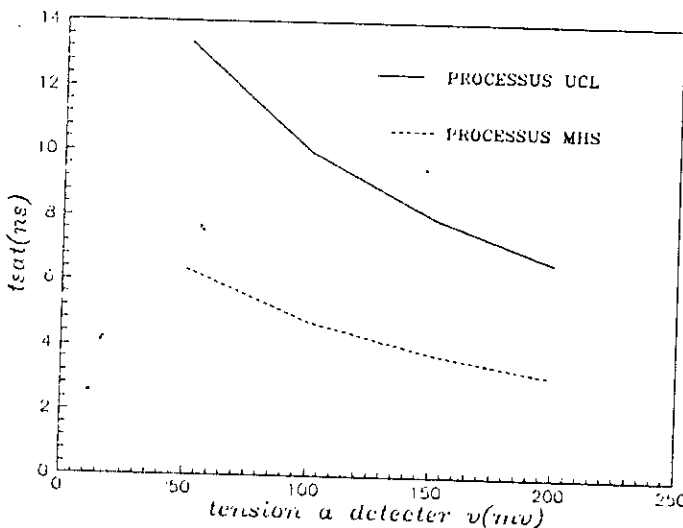
Notons que les performances des circuits restent toujours liées à l'amélioration du processus technologique.

Pour montrer cela, nous avons prévu une comparaison des courbes de t_{sat} et des potentiels de $V_1(t)$, $V_2(t)$ et $V_s(t)$ obtenus à l'aide des processus UCL (université du Louvain de 1984) et MHS (Matra-Harris semiconductor de 1988) dont la mise au point est plus récente, voici quelques paramètres de ce processus :

$V_t = 0.75v$; $t_{ox} = 350 \text{ \AA}$; $N_{sub} = 1.65 \cdot 10^{16} \text{ at/cm}^3$; $U = 780 \text{ cm}^2/\text{s}$ avec $L = 2 \mu\text{m}$



COMPARAISON DES COURBES ANALYTIQUES DONNEES EN UTILISANT LES PROCESSUS TECHNOLOGIQUES UCL ET MHS
figure 7.13.



COMPARAISON DES TEMPS DE SATURATION $t_{sat}(v)$ DONNES EN UTILISANT LES PROCESSUS TECHNOLOGIQUES UCL ET MHS
Figure 7.14

Sur la figure 7.14 de la page précédente, on peut voir que les valeurs de t_{sat} pour le processus MHS sont nettement plus faibles que ceux relatifs au processus UCL. En outre les courbes de $V_1(t)$, $V_2(t)$ et $V_s(t)$ sont inclinées encore plus. Par ailleurs pour tous les cas de v la durée de basculement avoisine les 10ns pour le processus MHS, soit la moitié de celle relative au processus UCL.

7.12 CONCLUSION :

Comme nous l'avons prévu tout à fait au début de ce chapitre, l'intervention du courant I_2 après t_s aboutit à une inclinaison des courbes aussi bien pour $V_1(t)$ que pour $V_2(t)$, cependant celle-ci est beaucoup moins importante pour $V_1(t)$. Par ailleurs l'addition du courant I_2 a eu pour conséquences la diminution de t_{sat} et la réduction de la plage de variation de celui-ci pour v variant entre 50 et 200mV par rapport à la commande par un seul niveau de courant constant.

De même la durée de basculement a été également réduite de moitié toujours par rapport à la commande précédente.

Nous avons constaté également que les valeurs des paramètres technologiques influent sur les résultats et ce en passant d'un processus à un autre (exemple de l'UCL à MHS); c'est ainsi que pour la même dimension des transistors constituant le S/A soit $W/L=10$, le processus MHS permettait d'avoir des réponses plus rapides pour la même chute de potentiel pour le nœud de plus haut niveau.

CHAPITRE 8
SIMULATION DES COMMANDES PAR UN ET DEUX
NIVEAUX DE COURANTS CONSTANTS

Le but de ce chapitre est de vérifier la véracité des résultats. Ceci peut se faire grâce à la simulation en utilisant un programme d'analyse de circuits électroniques, ce programme est conversationnel c'est-à-dire que l'on peut consulter les résultats, les comparer à ceux analytiques puis modifier la dimension des éléments MOS auxquels on s'intéresse, les périodes des horloges actives ces éléments jusqu'à ce que l'on obtienne les résultats souhaités. Dans notre cas nous avons utilisé le simulateur SPICE universellement utilisé qui en réalité comprend plusieurs versions, celles que l'on a utilisé est la 2G.6.

Nous avons procédé en deux étapes :

-la première où nous avons simulé cette commande par un niveau de courant constant du début à la fin égale au courant I_1 . Rappelons que le courant I_1 est tel que :

$$\bar{I}_1 = I_1 \beta / V_t$$

$$\text{où } \beta = \mu_0 \frac{\epsilon_0 \epsilon_{SiO_2}}{t_{ox}} \cdot \frac{W}{L}$$

Soit pour la dimension $\frac{W}{L}$ choisie des transistors constituant l'amplificateur de lecture : $\frac{W}{L} = 10$

$$\beta = 800 \cdot 10^{-4} \frac{8.854 \cdot 10^{-12} \cdot 3.9}{950 \cdot 10^{-10}} \cdot 10 = 290 \mu A^2/V$$

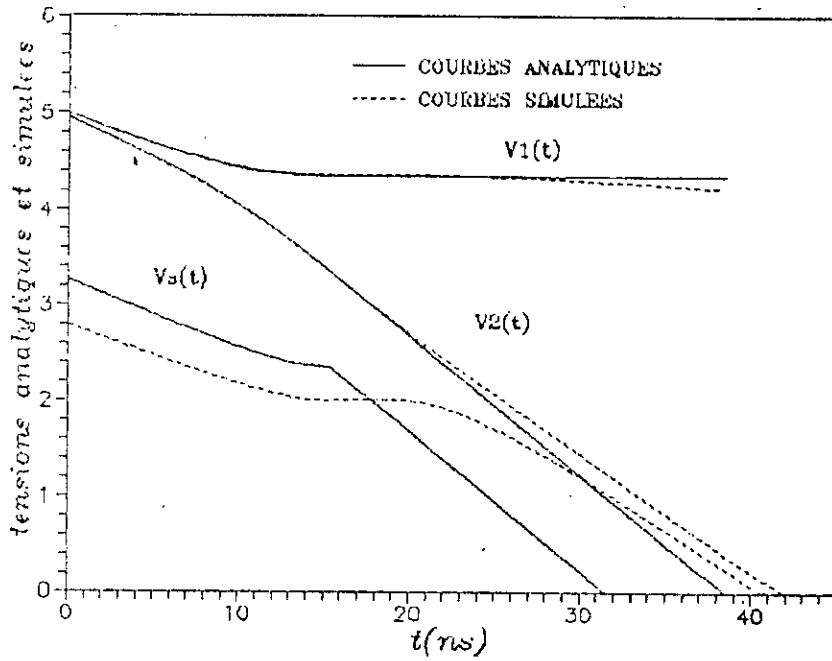
or $\bar{I}_1 = 0.5$ et $\bar{I}_2 = 1.5$ d'où $I_1 = 145 \mu A$ de même $I_2 = 291 \mu A$

-la seconde en recherchant l'élément pouvant se substituer pour constituer une source de courant constant dont les réponses $V_1(t)$, $V_2(t)$ et $V_s(t)$ s'approchent des mêmes tensions analytiques.

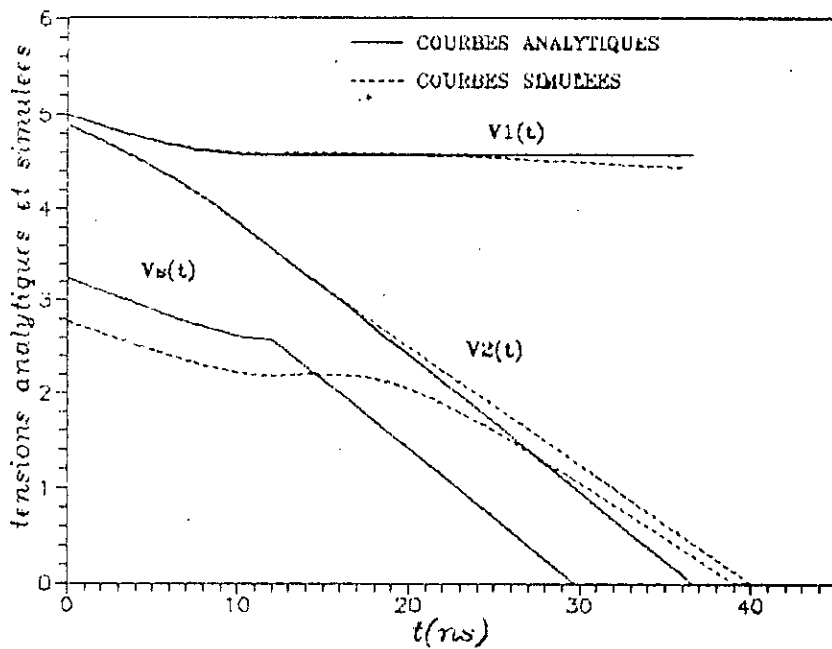
8.1 COMMANDE PAR UN SEUL NIVEAU DE COURANT CONSTANT :

8.11 SIMULATION PAR UN COURANT $\bar{I}_1=0.5$:

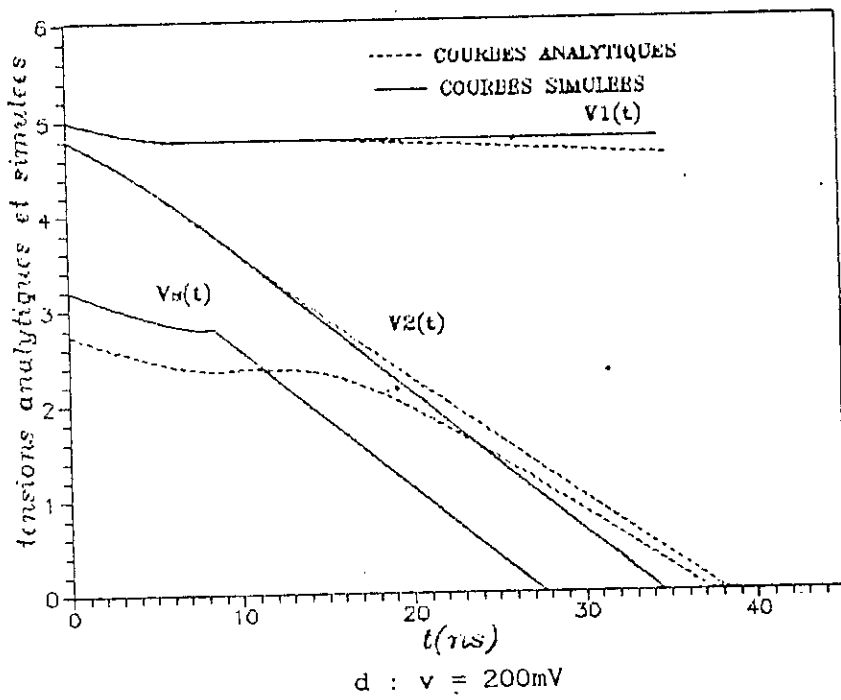
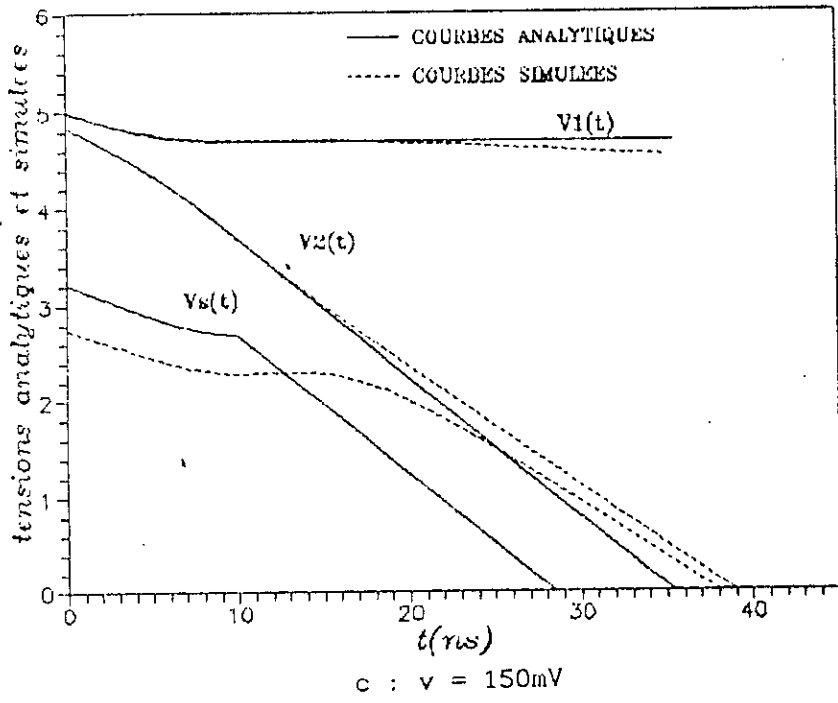
Les graphes 8.1 suivants donnent la comparaison entre les tensions analytiques et simulées par le SPICE avec un courant I_1 constant valant $145\mu A$ pour v parcourant 50,100,150 et 200mV.



a : $v = 50mV$



b : $v = 100mV$



COMPARAISON DES COURBES ANALYTIQUES ET SIMULEES
 PAR UN SEUL NIVEAU DE COURANT CONSTANT
 figure 8.1

8.1.2 CONCLUSION :

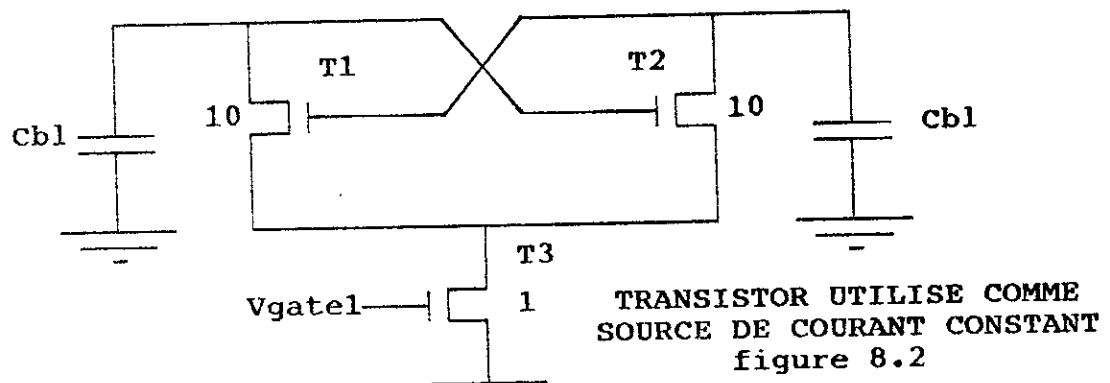
Les figures 8.1 montrent la comparaison entre les courbes analytiques et les courbes simulées et ce pour v allant de 50mV à 200mV par un courant constant valant $I_1 = 145\mu\text{A}$.

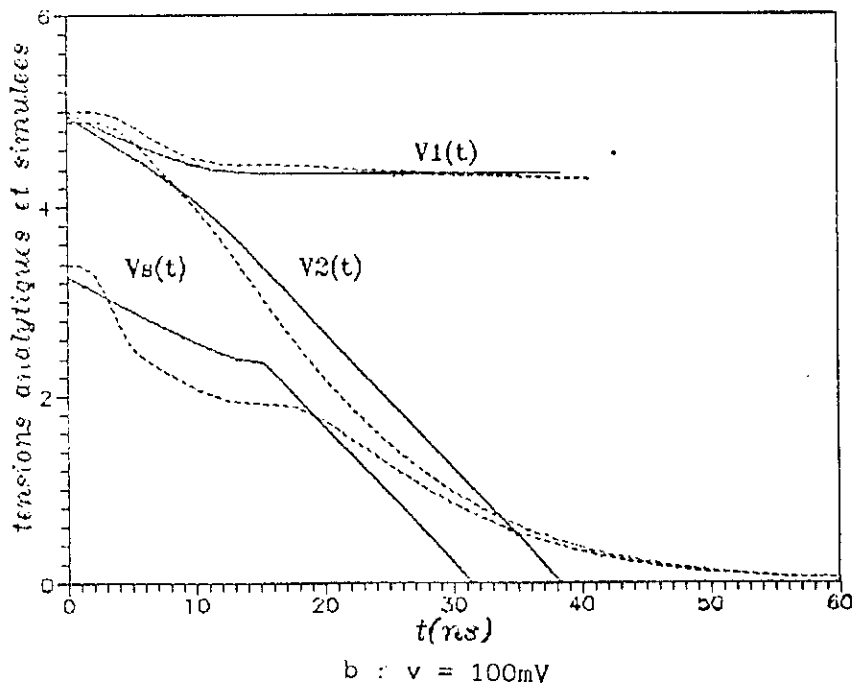
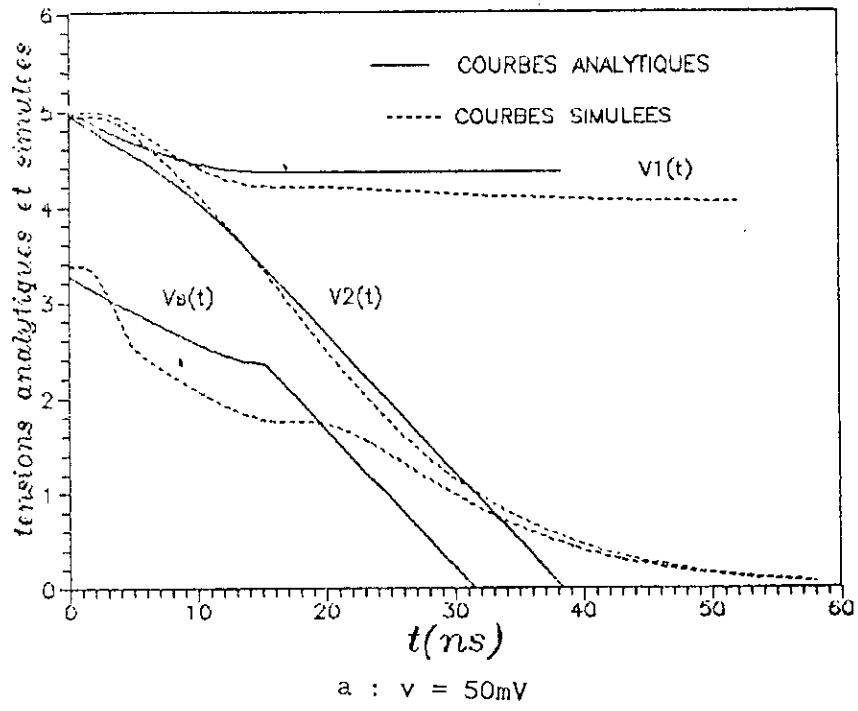
Il ressort de ces graphes que les tensions $V_1(t)$ $V_2(t)$ simulées se superposent aux mêmes tensions analytiques aux premiers régimes de fonctionnement des transistors constituant l'amplificateur de lecture; aux derniers régimes celles-ci tendent à se séparer quoique légèrement. Pour ce qui est maintenant de $V_s(t)$ simulée celle-ci à la même allure que $V_s(t)$ analytique à la différence près qu'elle est décalée et dure plus longtemps.

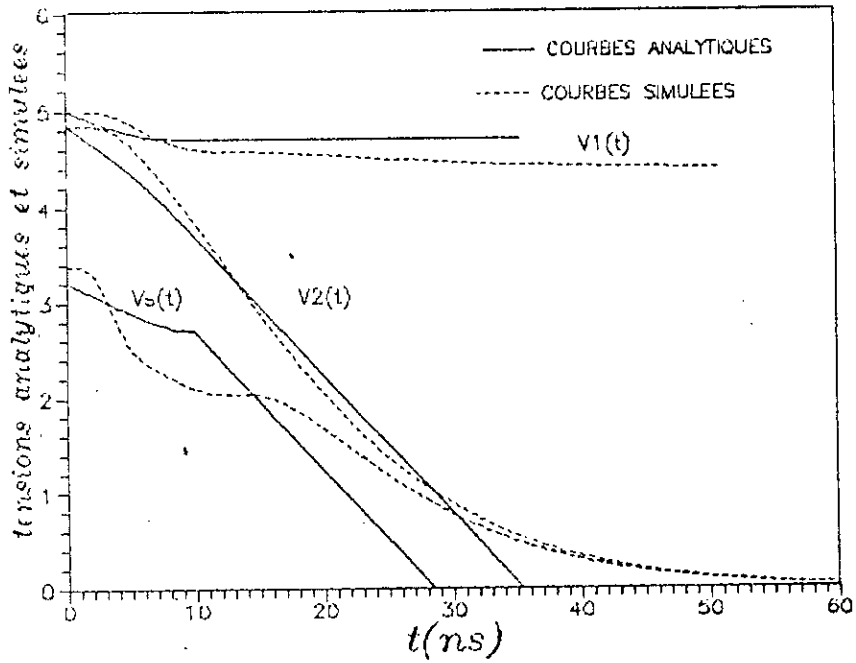
Dans le simulateur SPICE il s'agit de choisir un niveau de simulation (il en existe trois) associés à trois modèles mathématiques du transistor MOS qui sont implantés dans le simulateur. En ce qui nous concerne nous avons utilisé le deuxième niveau; le modèle associé tient compte des effets du second ordre telles que la modulation de la longueur du canal, la conduction sous la tension de seuil, les effets de faibles dimensions etc., ce qui explique les différences constatées aux derniers régimes.

8.1.3 UTILISATION D'UN TRANSISTOR COMME SOURCE DE COURANT :

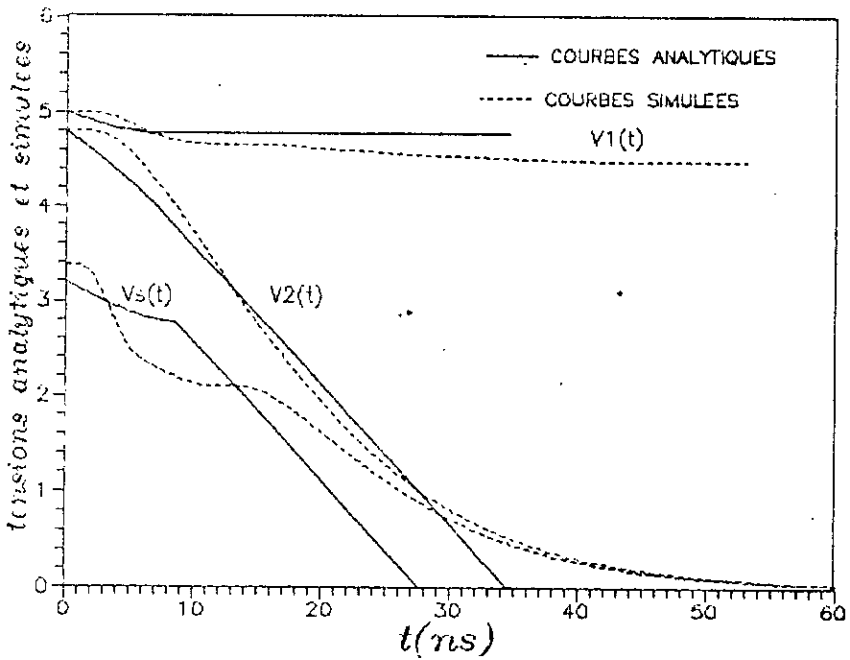
Partant du fait qu'un transistor saturé constitue une source de courant constant, nous avons donc utilisé un transistor de dimension W/L . Pour une impulsion de gate de temps de montée et de descente valant 5ns et demeurant au niveau 5V pendant 50ns pour une durée de 80ns, les courbes simulées se rapprochent le mieux des courbes analytiques pour $W/l = 1$.





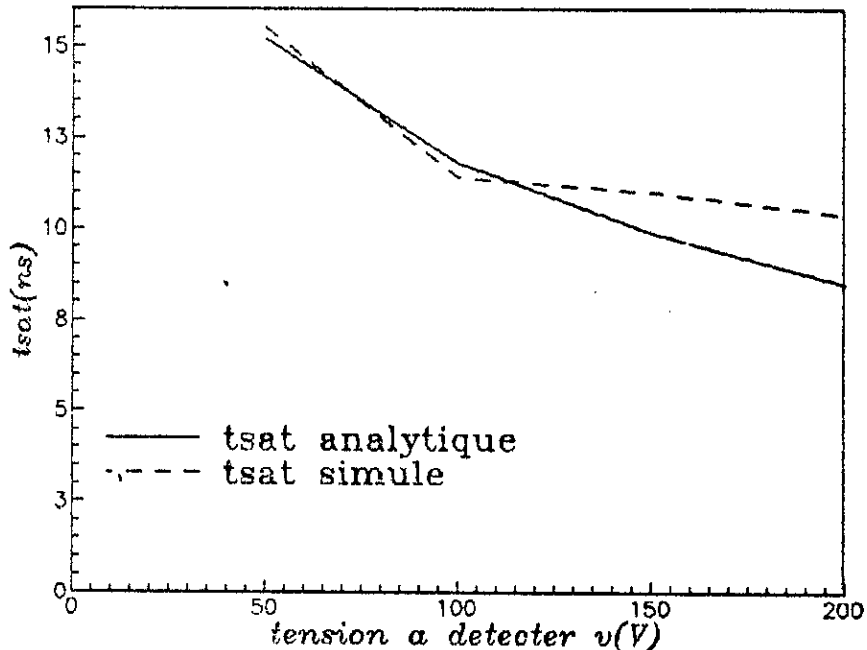


c : $v = 150\text{mV}$



d : $v = 200\text{mV}$

COMPARAISON DES COURBES ANALYTIQUES ET SIMULEES
EN UTILISANT UN TRANSISTOR COMME SOURCE DE COURANT CONSTANT
figure 8.3



COMPARAISON DES TEMPS DE SATURATION t_{sat} ANALYTIQUE
SIMULE PAR LE SPICE DANS LE CAS DE LA COMMANDE PAR
UNE SEULE SOURCE DE COURANT
figure 8-4

8.1.4 CONCLUSION :

Revenons maintenant aux figures 8.3, celles-ci se caractérisent par le fait que nous avons utilisé comme source de courant un transistor dont le drain est connecté à la source commune des transistors croisés attaquée par l'impulsion décrite précédemment. Ce transistor a pour dimension $W/L=1$ soit pour le processus UCL $W=5\mu m$ et $L=5\mu m$.

Les réponses $V1(t)$ $V2(t)$ et $Vs(t)$ simulées montrent que celles-ci diminuent légèrement au début du basculement puis prennent leur élan pour ensuite lentement s'annuler (ceci reste évidemment valable pour $V2(t)$ et $Vs(t)$). Ceci s'explique par le fait qu'il faut au début du basculement un certain temps pour que le courant I_d passant à travers le transistor T3 prenne naissance et commence à augmenter; de même lors de la "descente" le courant I_d tend à diminuer lorsque la capacité de la ligne de bit associée au nœud de plus faible niveau est presque entièrement déchargée. La comparaison entre les t_{sat} analytique et simulé est montrée sur la figure 8.4. Les réponses analytiques et simulées se rapprochent pour les faibles v alors que pour les v croissants celles-ci s'éloignent quelque peu.

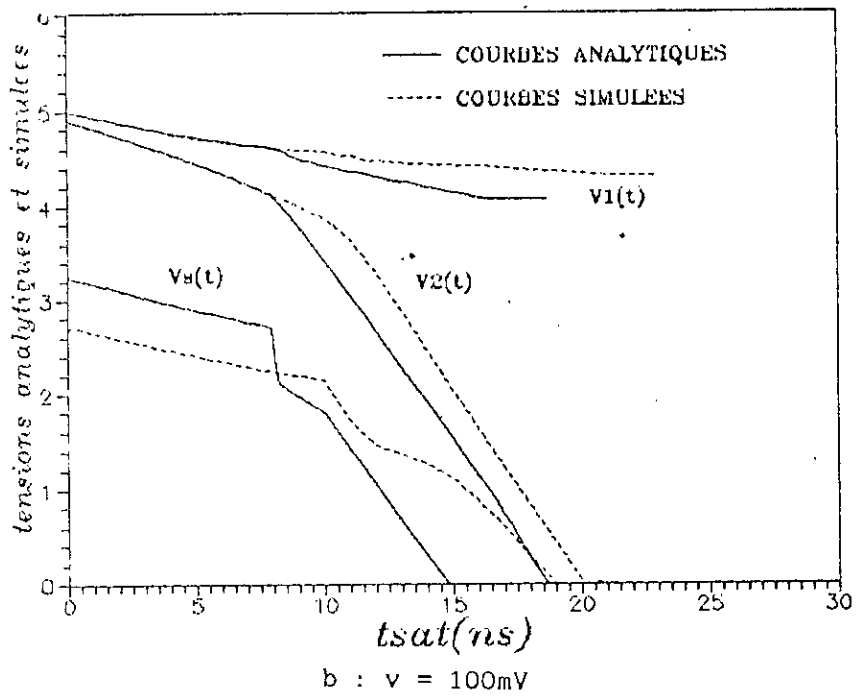
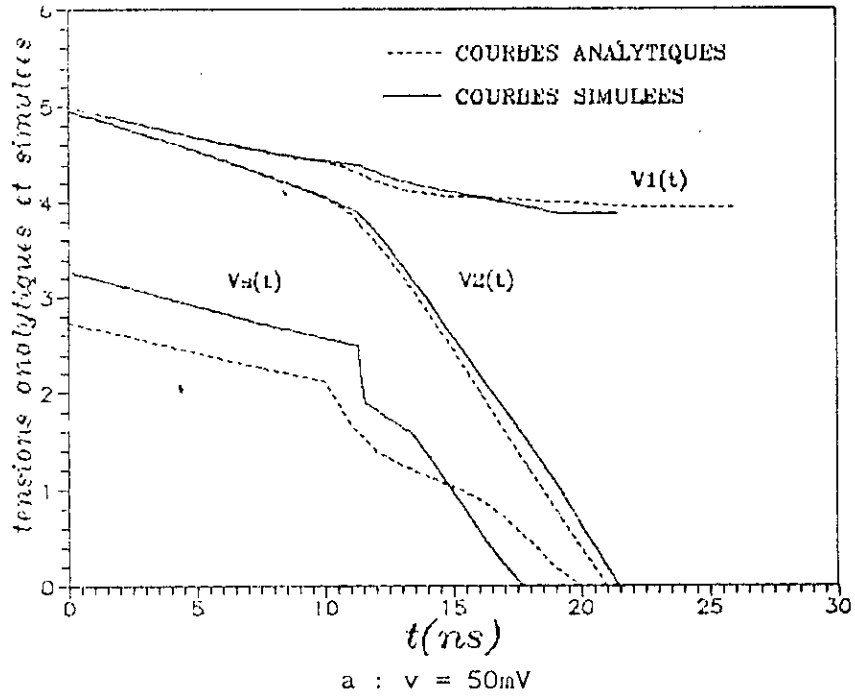
8.2 COMMANDE PAR DEUX NIVEAUX DE COURANTS CONSTANTS :

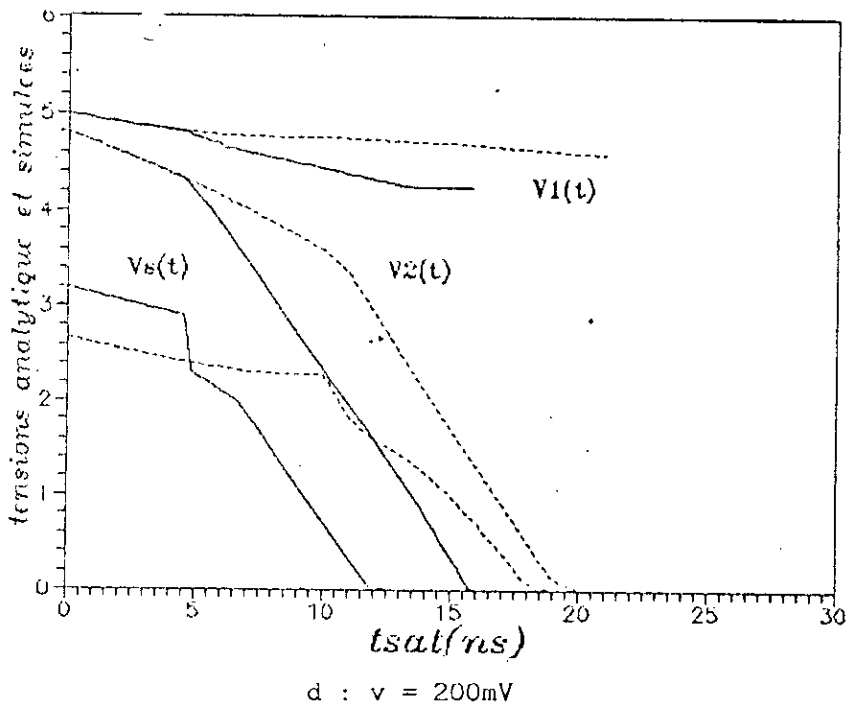
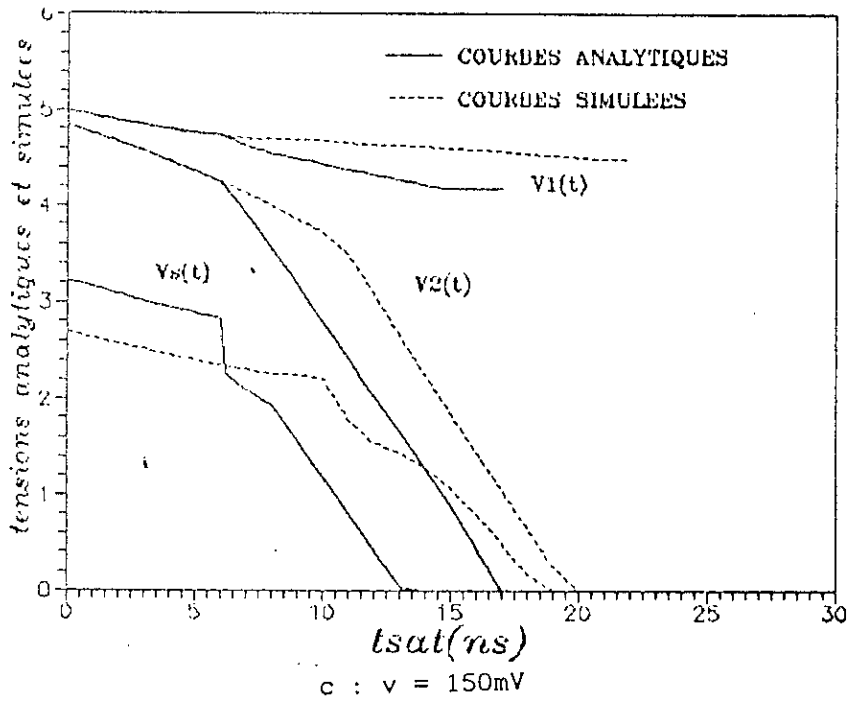
De la même manière que 8.1, la simulation s'est faite en deux étapes :

-Pour la première nous avons simulé l'attaque par un courant $I_1=145\mu\text{A}$ de 0 à t_s (valant 11.3ns pour $v=50\text{mV}$) puis au delà de t_s nous avons ajouté un deuxième courant constant $I_2=291\mu\text{A}$ (ce qui fait au total pour $t > t_s$ $I_t = I_1+I_2 = 436\mu\text{A}$).

8.2.1 SIMULATION PAR DEUX COURANTS CONSTANTS :

Les graphes 8.5 suivants donnent la comparaison des courbes analytiques et simulées par la commande d'un courant constant I_1 valant $145\mu\text{A}$ puis $436\mu\text{A}$ pour $t > t_s = 11.3\text{ns}$.





COMPARAISON DES COURBES ANALYTIQUES ET
SIMULEES PAR DEUX COURANTS CONSTANTS
FIGURE 8.5

8.2.2 CONCLUSION :

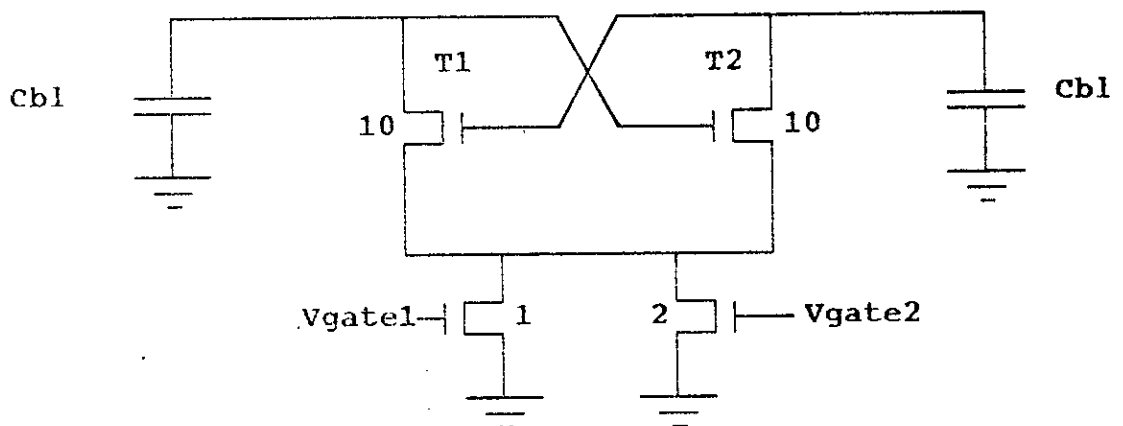
Les graphes 8.5 montrent que les courbes $V_1(t)$ et $V_2(t)$ analytiques et simulées se superposent aux premiers régimes puis restent relativement proches aux derniers régimes. Quant aux courbes $V_s(t)$ on voit qu'elles ont même allure mais que par contre $V_s(t)$ simulée est décalée comme dans le cas du paragraphe 8.1.

En ce qui concerne les courbes analytiques, plus v augmente plus le temps de basculement est moindre et les courbes "reculent" de façon notable vers les t décroissants; en revanche pour les courbes simulées ce recul est moins important, ce qui fait que ces dernières sont moins rapprochées que pour le cas ou $v=50\text{mv}$.

Ces différences s'expliquent par le fait que nous avons usé d'approximations lors des calculs analytiques d'une part et d'autre part par la prise en compte par le simulateur des effets d'ordre deux décrits précédemment.

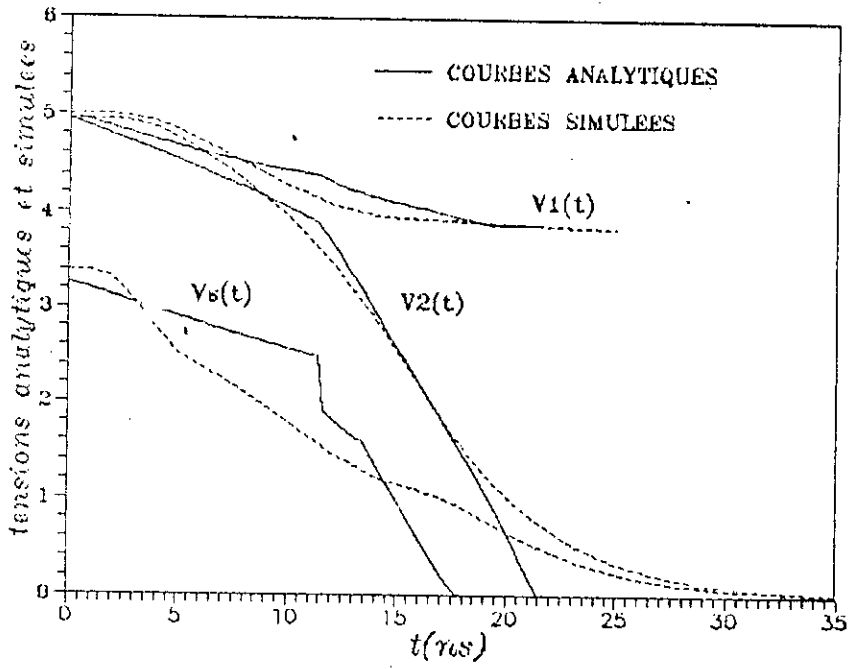
8.2.3 UTILISATION DE DEUX TRANSISTORS COMME SOURCES DE COURANTS :

Dans la deuxième partie on s'est directement occupé à l'emploi de transistors dont les drains sont connectés à la source commune des deux transistors constituant le schéma de base de l'amplificateur de lecture.

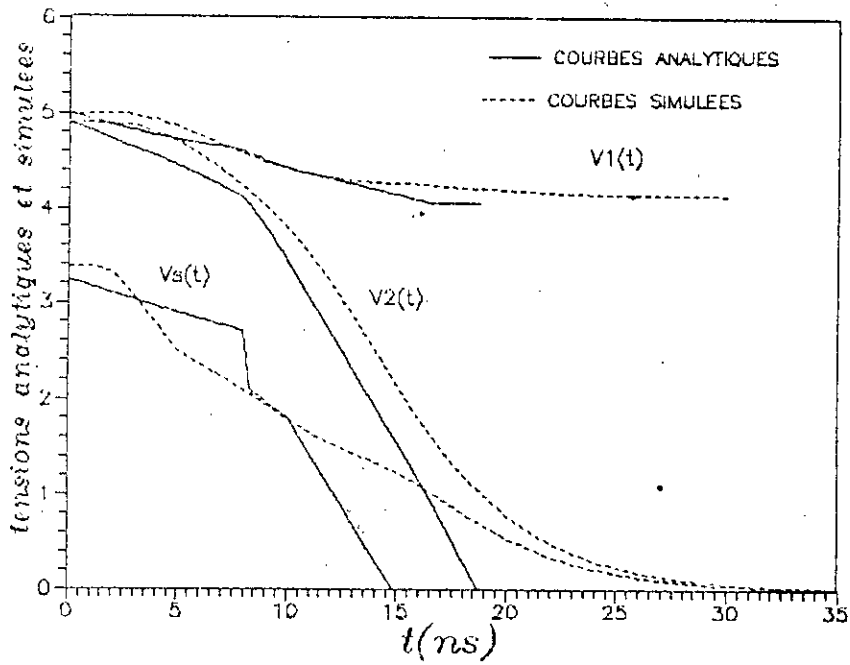


DEUX TRANSISTORS DE DIMENSION 1 ET 2 UTILISES
COMME SOURCES DE COURANTS CONSTANTS

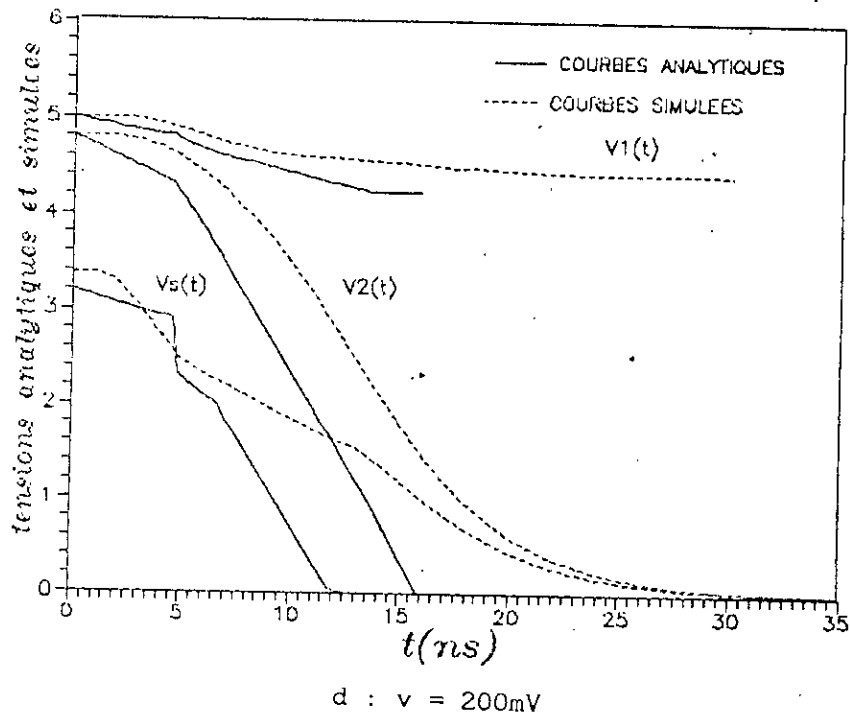
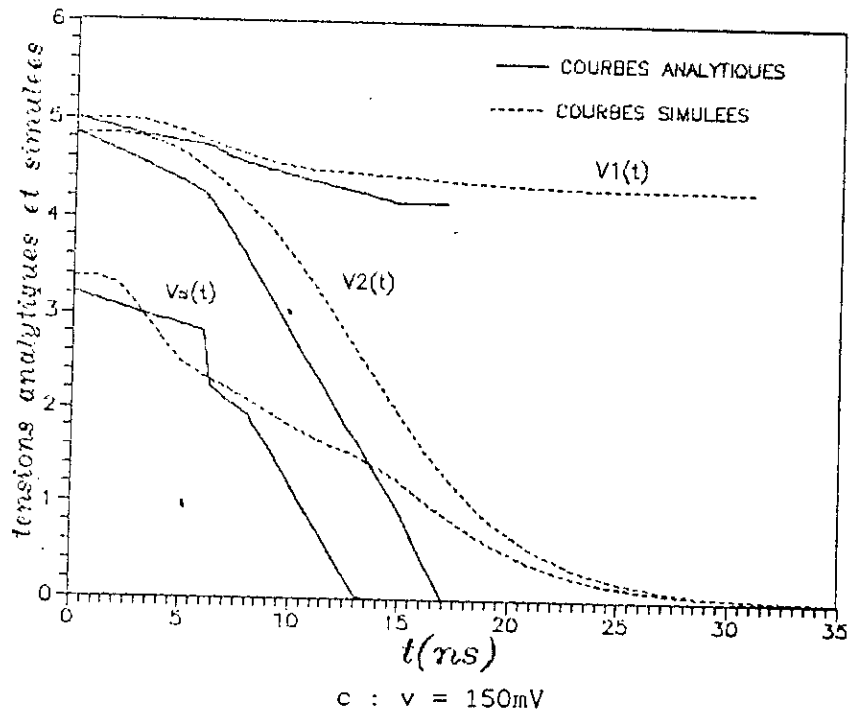
Figure 8.6



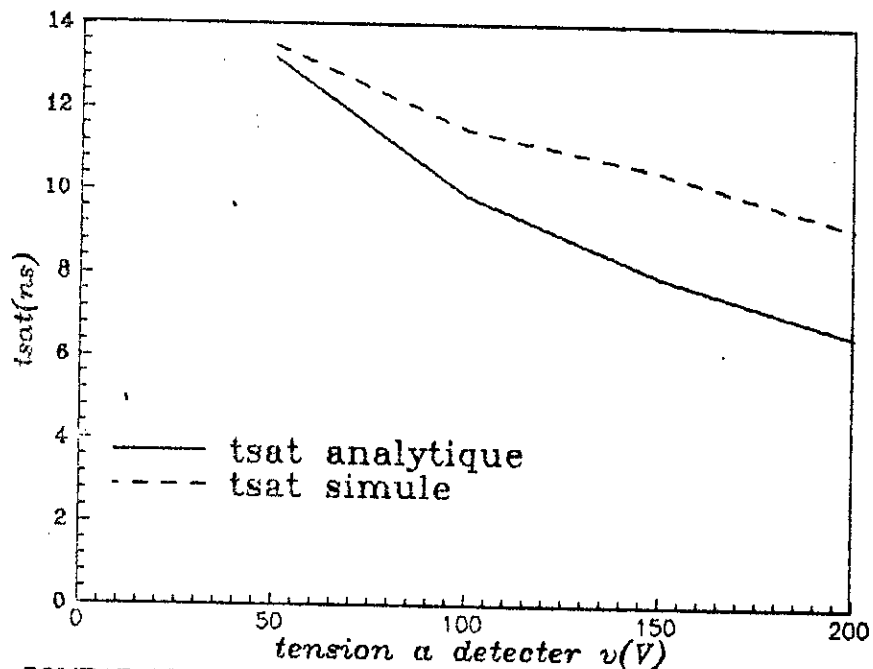
a : $v = 50mV$



b : $v = 100mV$



COMPARAISON DES COURBES ANALYTIQUES ET
SIMULEES EN UTILISANT DEUX TRANSISTORS
COMME SOURCES DE COURANTS CONSTANTS
FIGURE 8.7



COMPARAISON DES TEMPS DE SATURATION $tsat$ ANALYTIQUE
ET SIMULE PAR LE SPICE DANS LE CAS DE LA COMMANDE
PAR DEUX SOURCES DE COURANT

figure 8.8

8.2.4 CONCLUSION :

Pour le cas le plus défavorable c'est à dire $v=50mV$, la simulation a donné des courbes qui se rapprochent des courbes analytiques.

Ces transistors sont de dimensions $W1/L1=1$ et $W2/L2=2$ et sont respectivement commandés par les tensions V_{gate1} et V_{gate2} comme montré à la figure 8.6.

Les courbes simulées $V1(t)$ et $V2(t)$ commencent à diminuer lentement puisque au début le courant circulant à travers les transistors T3 et T4 est faible puis commence à croître ce qui entraîne l'inclinaison de ces courbes, ces courbes se rapprochent alors des courbes analytiques correspondantes.

Remarquons que pour $V1(t)$ simulée, celle-ci se maintient exactement au même niveau ou $V1(t)$ analytique s'arrête.

Tandis que $V2(t)$ analytique s'annule à 21.5ns, $V2(t)$ simulée ne s'est pas encore annulée et est pratiquement nulle à 30ns.

Quand la capacité de la ligne de bit basse est presque entièrement déchargée le courant tend à s'annuler et c'est pourquoi $V_2(t)$ (et du reste $V_s(t)$) diminue lentement à la fin du basculement.

La figure 8.8 montre la comparaison des t_{sat} analytique et simulé; contrairement à la commande par un niveau de courant constant les t_{sat} sont de valeurs plus faibles et confirme le fait que la commande par deux courants constants donne de meilleurs résultats.

La simulation montre donc que pour le cas le plus défavorable, les résultats concordent assez bien aux résultats simulés en tenant compte des approximations et des effets d'ordre deux, aussi l'insertion de deux transistors décrits précédemment constitue une bonne approximation de la commande par deux niveaux de courants constants.

SCHEMA FINAL DE L'AMPLIFICATEUR DE LECTURE

A travers les différents éléments constituant l'amplificateur de lecture, celui-ci peut se présenter de la façon suivante:

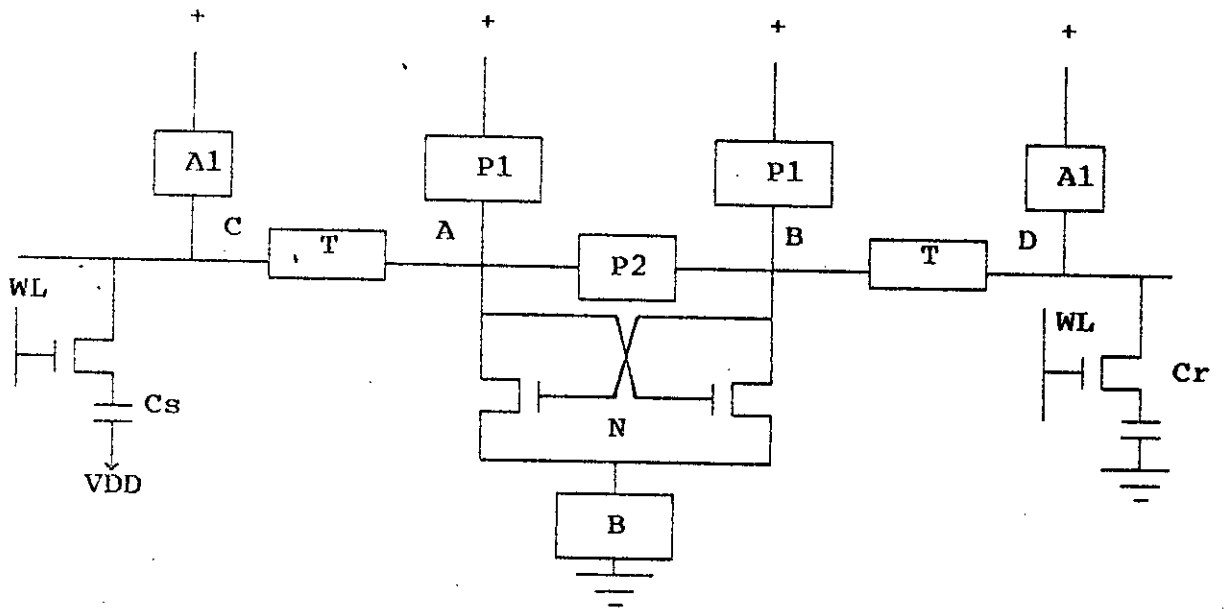


Figure 9.1 : -PRESENTATION DE L'AMPLIFICATEUR DE LECTURE

Le fonctionnement de l'amplificateur peut être classé suivant trois phases [23,26] : -la précharge, -le basculement et enfin l'amplification du nœud de plus haut niveau auxquels sont associés des éléments bien précis.

Nous allons décrire le rôle de chaque élément; ce qui nous permettra ensuite de choisir des circuits particuliers pour le schéma final de l'amplificateur de lecture.

9.1 ELEMENTS DE PRECHARGE :

Ils existent essentiellement trois circuits de précharge comme il est expliqué ci-dessous :

Pour la plupart des amplificateurs, les lignes de bit (et les sorties de la bascule) sont préchargées en les reliant directement à l'alimentation VDD à travers un transistor à enrichissement commandé par la phase de précharge [11,12,15,21,23,26].

Toutefois certains auteurs utilisent d'autres niveaux pour la précharge, par exemple 2V [17].

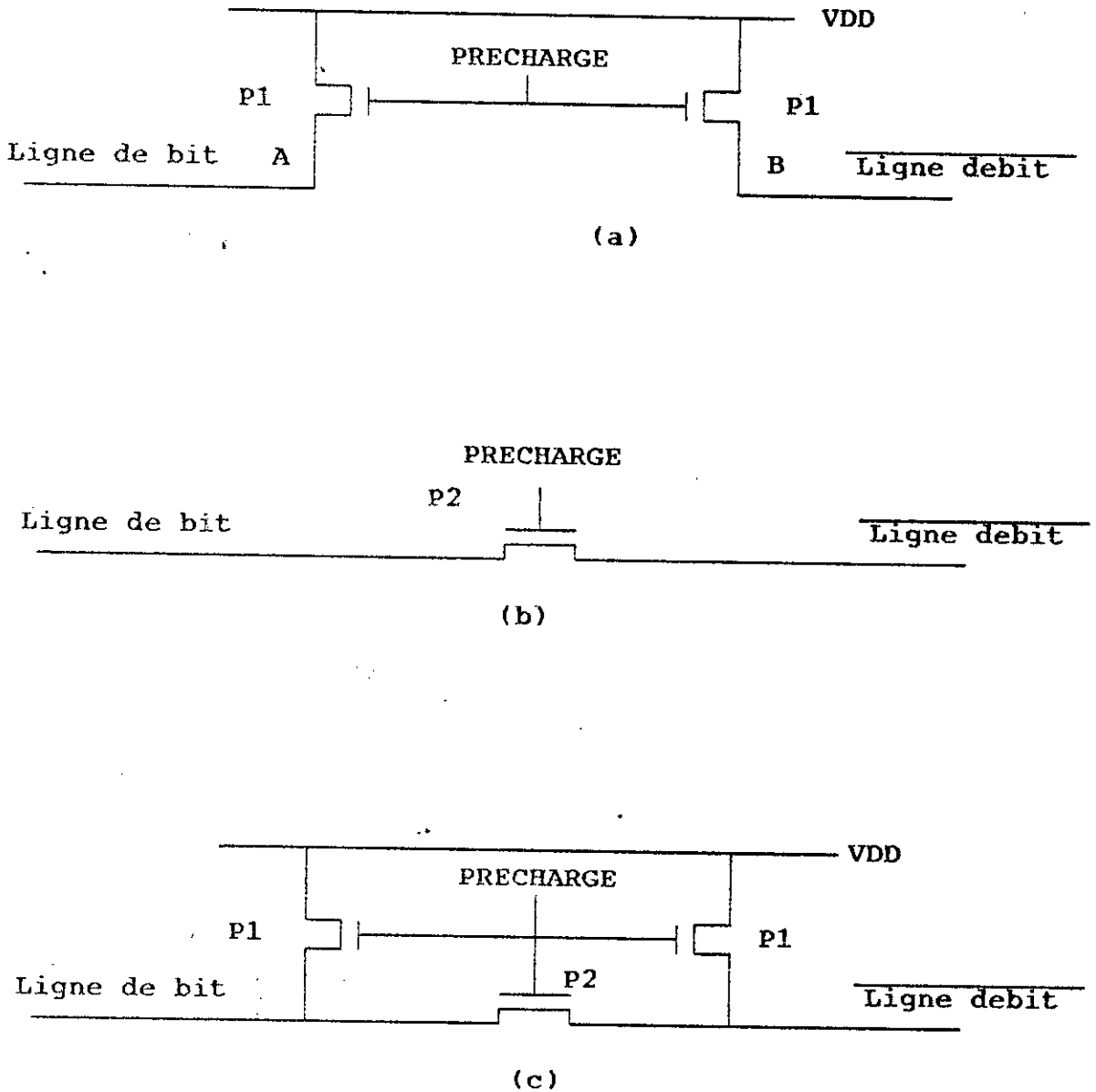


figure 9.2 : -LES DIFFERENTS ELEMENTS DE PRECHARGE

L'élément P1 sera donc un simple transistor dont le drain est relié soit à l'alimentation soit à une tension de précharge particulière.

Remarquons que les éléments T qui ne sont que des transistors dont le canal constitue un passage obligé pour passer des nœuds A

et B de l'amplificateur de lecture au reste des lignes de bit doivent être transparents pendant la précharge et ce afin de permettre aux lignes de bit C et D de se précharger à un même niveau qui n'est pas nécessairement le même que celui de A et B [23].

L'élément P2 est aussi un transistor à enrichissement commandé par la phase de précharge. Son rôle est d'égaliser encore plus les niveaux de précharge des deux côtés de la bascule; cet élément est surtout nécessaire lorsque la dispersion des paramètres entre les éléments P1 est assez grande bien que en général on essaie toujours de l'éviter du fait qu'il pose des problèmes de disposition pour le layout [21].

Cet élément permet aussi d'accélérer la précharge en contribuant, en plus des éléments P1, à la précharge de la ligne de bit qui se trouve à un niveau bas à partir de l'autre ligne de bit qui se trouve forcément à un niveau haut.

Certains auteurs n'utilisent pas d'éléments P1 [12,14,24,39]. Dans ce cas, la précharge se fait en court-circuitant les lignes de bit à l'aide du transistor P2 et la tension de précharge est égale à $(V1+V0)/2$ où V1 et V0 sont respectivement les niveaux haut et bas atteints par les lignes de bit pendant le cycle précédent. Cette solution doit être évitée lorsque l'amplificateur peut rester inactif pendant un temps assez long parce que le niveau haut peut se dégrader fortement et la précharge pendant l'accès suivant se fera à un niveau inacceptable [26].

Signalons encore que la précharge peut se faire en court-circuitant entre elles toutes les lignes de bit de la mémoire [26].

La simulation des circuits de précharge qui suivent donnent l'évolution des potentiels des nœuds à amplifier [11].

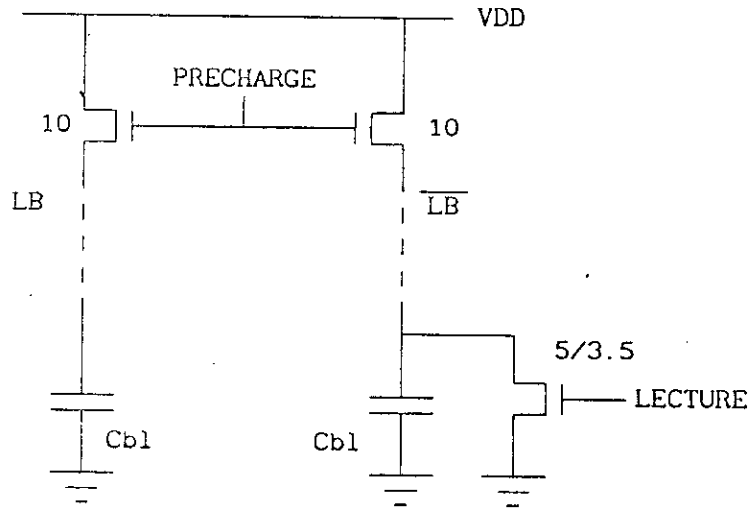
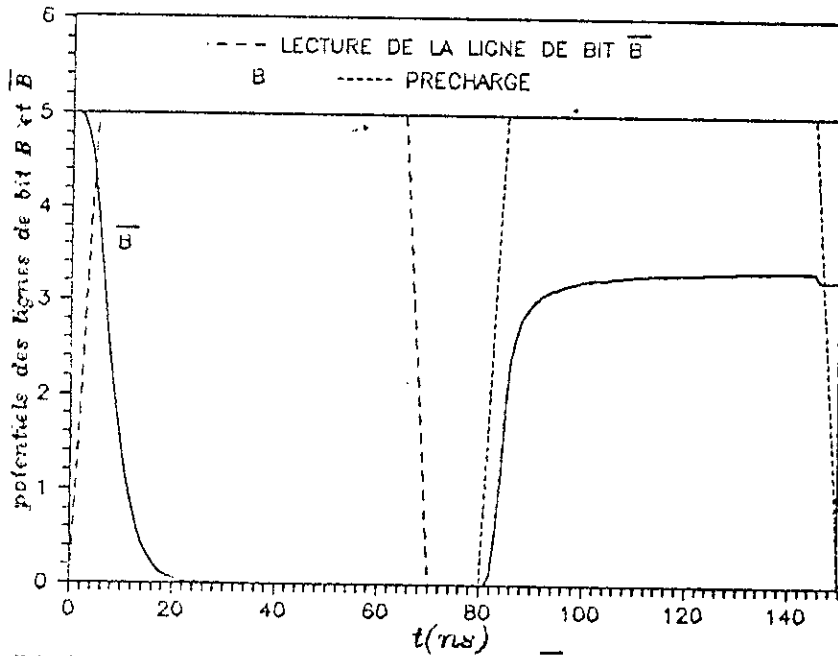


Figure 9.3: CIRCUIT DE PRECHARGE SANS EGALISEUR



POTENTIELS DES LIGNES DE BIT B ET B-bar APRES LECTURE ET PRECHARGE

Figure 9.4

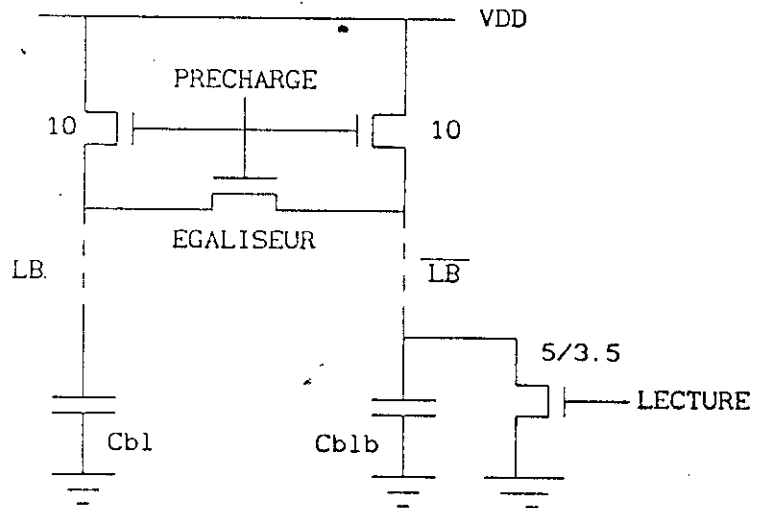
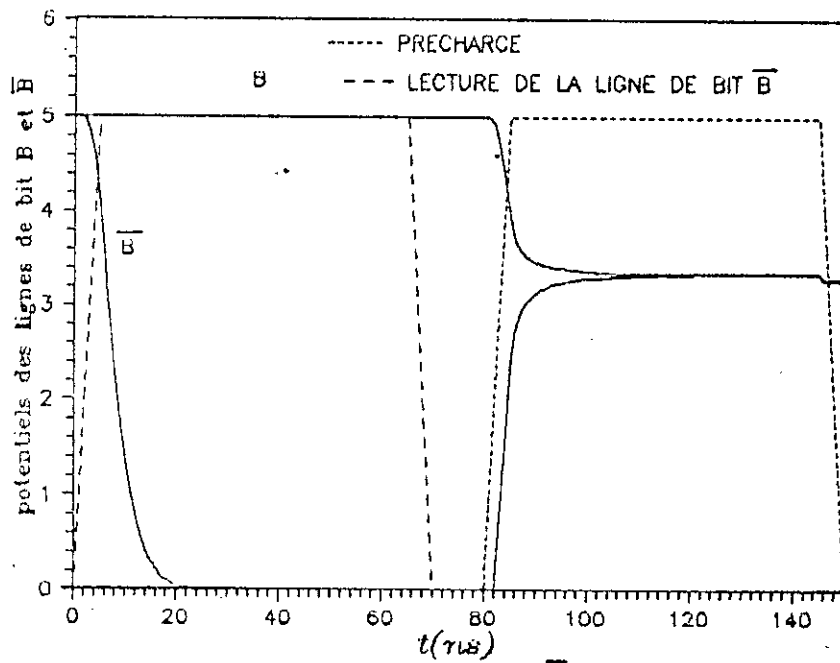


Figure 9.5 : -CIRCUIT DE PRECHARGE AVEC EGALISEUR



POTENTIELS DES LIGNES DE BIT B ET \bar{B} APRES LECTURE ET PRECHARGE
B ET \bar{B} SONT PORTES AU MEME POTENTIEL PAR L'EGALISEUR

Figure 9.6

9.2 ELEMENTS DE BASCULEMENT :

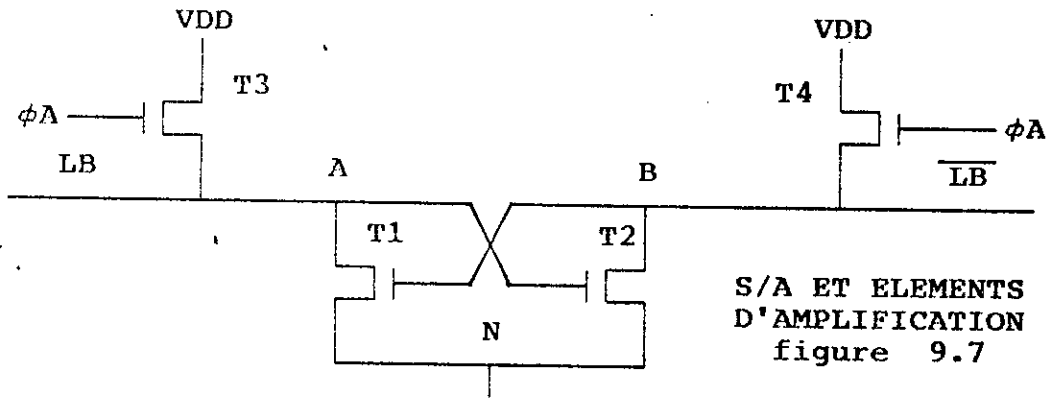
Nous avons vu que les transistors de basculement pouvaient être assimilés à un ou deux transistors saturés ce qui approximent deux sources de courants constants. Ces transistors sont activés un peu avant la selection des cellules mémoire et dummy cell, ce qui permet de prédisposer l'amplificateur à détecter la variation de tension v et par suite basculer afin de lire l'information contenue dans cette cellule.

9.3 ELEMENTS D'AMPLIFICATION :

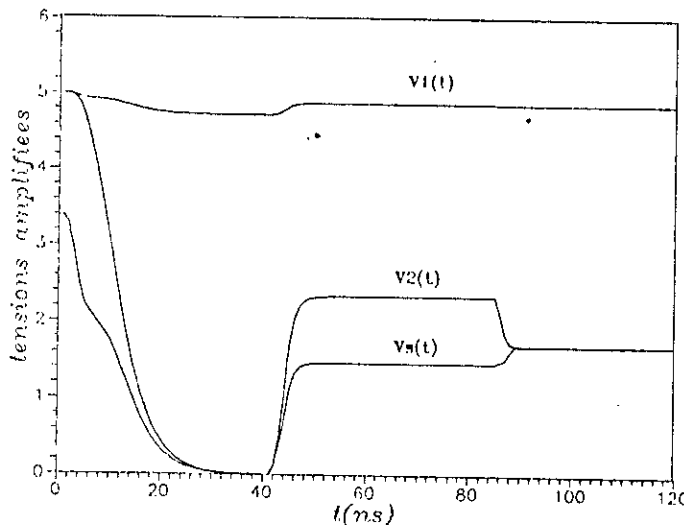
On a vu que pour augmenter la différence de tension initiale ΔV_1 , il fallait que le niveau V_1 soit le plus haut possible et que le niveau V_0 soit le plus bas possible. Ces niveaux dépendent avant tout des signaux qui ont été inscrits dans la cellule mémoire soit à la suite d'une opération d'écriture soit à la fin d'une opération de lecture. Lors d'une opération d'écriture, les signaux inscrits en mémoire proviennent de l'extérieur sous forme de niveaux logiques nominaux et la différence $(V_1 - V_0)$ peut être maximisée. En revanche dans le cas d'une opération de lecture, c'est le niveau atteint par la ligne de bit à la fin du basculement de l'amplificateur qui est réinscrit en mémoire. À la fin du basculement, une ligne de bit est à 0V et l'autre se trouve à un potentiel V_b qui est en général inférieur au niveau de précharge V_p puisque une partie de la charge stockée sur cette ligne s'est écoulée par couplage capacitif [26]. La tension finale de la ligne de bit haute sera d'autant plus faible que l'écart v initial est faible.

La dernière phase de fonctionnement de la mémoire sert à amplifier les niveaux des lignes de bit obtenus à la fin du basculement. Cette amplification est surtout nécessaire pour relever le niveau de la ligne de bit haute. Ce n'est qu'après la phase d'amplification que le signal de la ligne de bit est envoyé vers l'extérieur et en même temps réinscrit dans la cellule interrogée pour régénérer l'information qui vient d'être lue.

Pour avoir de bons niveaux sur les lignes de bit, une première solution consiste à relier ces lignes à l'alimentation à travers deux transistors commandés par la phase d'amplification ϕA [15].



Ci-dessous la simulation de ce type d'amplification ou nous avons utilisé tout d'abord les deux sources de courants afin de faire basculer l'amplificateur puis on est passé à l'amplification du nœud de plus haut niveau en activant ϕA .



GRAPHE MONTRANT LA MONTEE DU POTENTIEL DE LA LIGNE DE BIT BASSE EN MEME TEMPS QUE CELUI DE LA LIGNE DE BIT HAUTE

Figure 9.8

Disons tout de suite que cette solution est simple mais qu'elle présente deux inconvénients :

-Pour que le niveau de la ligne de bit basse ne monte pas

pendant l'amplification du nœud de plus haut niveau, il faut respecter le rapport entre les dimensions des transistors actifs T1 et T2 et celles des transistors de charge T3 et T4; ce qui exige en général une augmentation des dimensions des transistors actifs et donc une plus grande surface de l'amplificateur.

-Pendant l'amplification, le nœud N est à la masse et il existe alors un chemin direct entre l'alimentation et la masse; ce qui a pour conséquence une augmentation de la consommation de l'amplificateur [23].

La figure 9.8 montre les courbes simulées qui montrent que le potentiel de la ligne de bit basse monte avec l'amplification de la ligne de bit haute ce qui fausse la lecture de l'information.

Pour éviter ces inconvénients, on peut séparer les transistors actifs des transistors de charge à l'aide de deux nouveaux transistors T5 et T6 (figure 9.9). T5 et T6 sont actionnés au début de la détection pour permettre à la différence de tension v de s'établir à l'entrée de la bascule. Ces transistors sont ensuite coupés et le restent durant tout le basculement. Pendant ce temps, les deux lignes de bits sont préchargées à un niveau V_1 en actionnant T3 et T4. Une fois que l'amplificateur a basculé, T3 et T4 sont coupés et T5 et T6 de nouveau actionnés. Une seule ligne de bit est alors déchargée à 0V et l'autre reste à son niveau le plus haut V_1 . Remarquons que le fonctionnement des transistors T5 et T6 est identique à celui des transistors T [23].

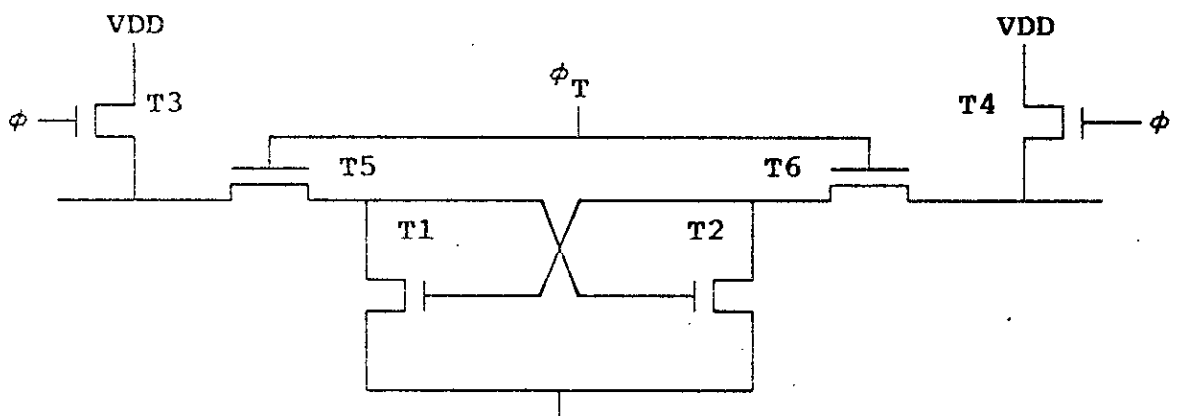


Figure 9.9 : -S/A ET ELEMENTS DE TRANSFERT

Une autre technique qui permet de relever le niveau de la ligne de bit de plus haut niveau utilise un circuit Bootstrap [14,21,23]. L'élément d'amplification comporte alors deux transistors à enrichissement T7 et T8 et une capacité non linéaire qui n'est rien d'autre qu'un transistor déplété (figure 9.10). Le circuit fonctionne comme suit :

A la fin du basculement lorsqu'une ligne de bit est à 0V et l'autre à un niveau V_b , les transistors T7 sont actionnés et les nœuds E et F sont chargés aux valeurs des lignes de bits c'est à-dire 0V et V_b . Ces niveaux fixent les valeurs des capacités non linéaires; celle-ci reste négligeable du côté où la ligne de bit est à 0V et prend une certaine valeur de l'autre côté. Lorsqu'ensuite la phase ϕ_A est actionnée, le gate du transistor T8 est porté à un niveau égal à :

-du côté où la ligne de bit est haute:

$$V_b + C \cdot \phi_A / (C + C_{b1}) \quad (9.1)$$

-du côté où la ligne de bit est à 0V :

$$0 + C \cdot \phi_A / (C + C_{b1}) = 0V \quad (9.2)$$

La ligne de bit qui est à 0V reste alors à son niveau bas puisque le transistor d'amplification T8 qui se trouve sur ce côté est bloqué du fait que sa tension de grille est négligeable. En revanche de l'autre côté, la quantité donnée par (9.1) peut dépasser la valeur de la tension d'alimentation et l'amplification de la ligne de bit correspondante peut se faire à un niveau haut égale à la tension d'alimentation [21] [23] [26] [29].

Toutefois cette solution est relativement lente parce qu'il faut attendre que le basculement soit terminé avant d'activer la phase ϕ_A [26]; de plus le nombre de transistors utilisés dans cette technique est relativement élevé ce qui augmente la surface devant être allouée à l'amplificateur de lecture global, ceci se repercute négativement sur la densité d'intégration de la mémoire dynamique, de même le nombre de signaux nécessaires est deux ce qui fait appel à d'autres générateurs intégrés sur la même puce d'où une perte en surface.

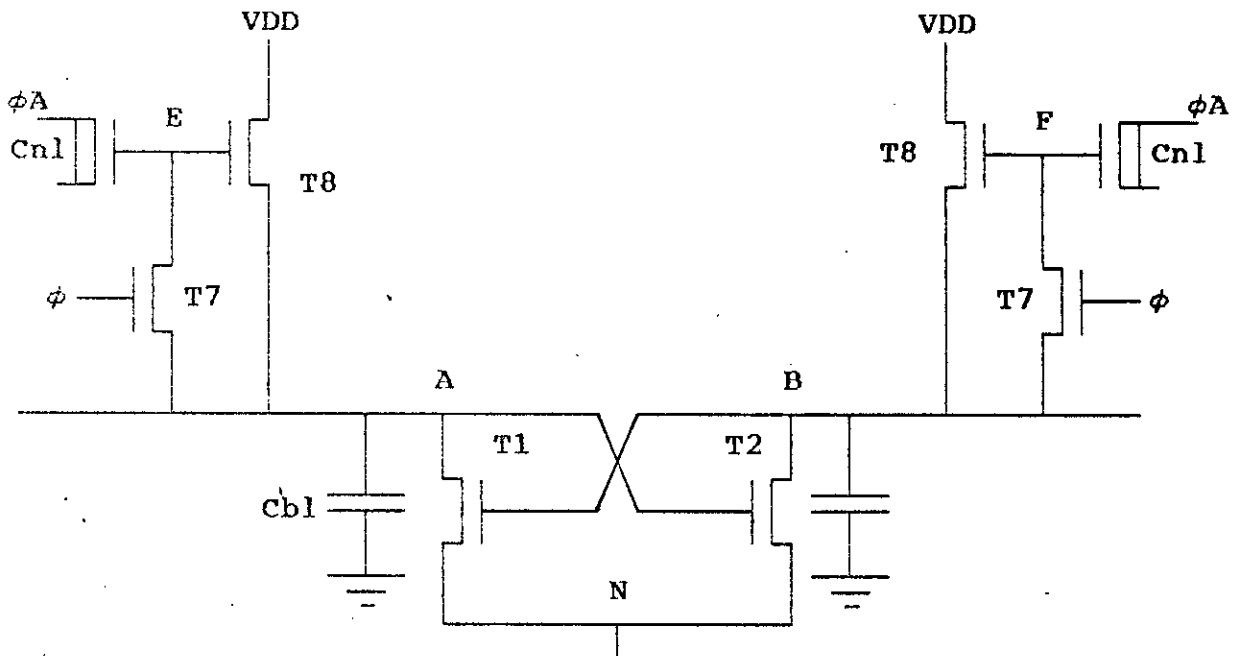


Figure 9.10 : -S/A ET CIRCUIT D'AMPLIFICATION BOOTSTRAP

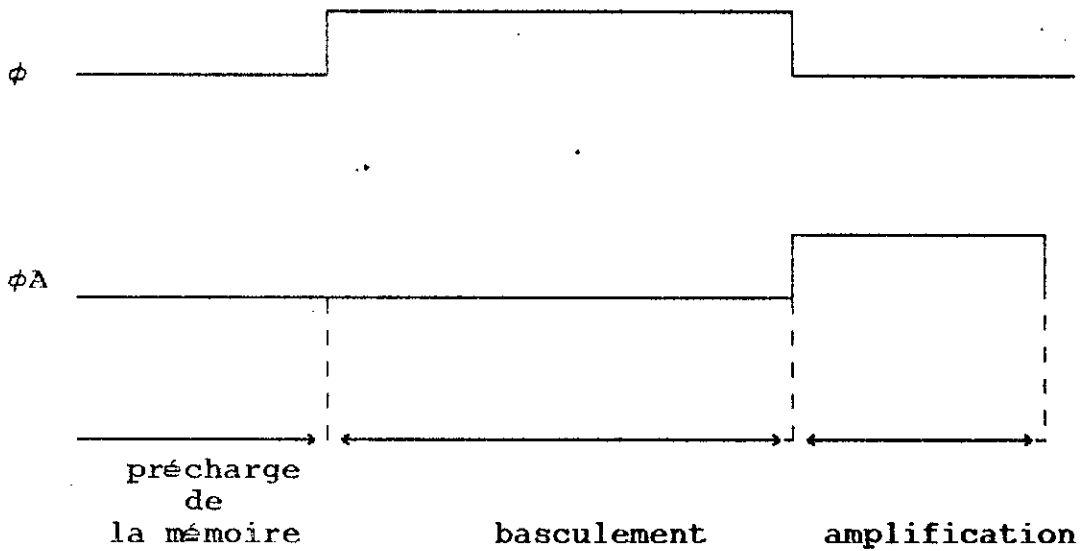


Figure 9.11 : -SIGNAUX ACTIVANT LE CIRCUIT BOOTSTRAP

La figure 9.11 montre les signaux nécessaires pour activer le circuit bootstrap.

Une dernière possibilité qui permet d'améliorer le niveau de la ligne de bit haute consiste à relier par couplage capacitif les deux lignes de bit à une phase d'amplification ϕA (figure 9.12) [21,26].

Dans ce cas et contrairement aux solutions précédentes, la phase d'amplification peut être activée pendant le basculement [26] aussi peut-on utiliser pour cette phase d'amplification le même signal que celui du basculement qui attaque le gate de la première source de courant, la durée du cycle de lecture peut alors être réduite.

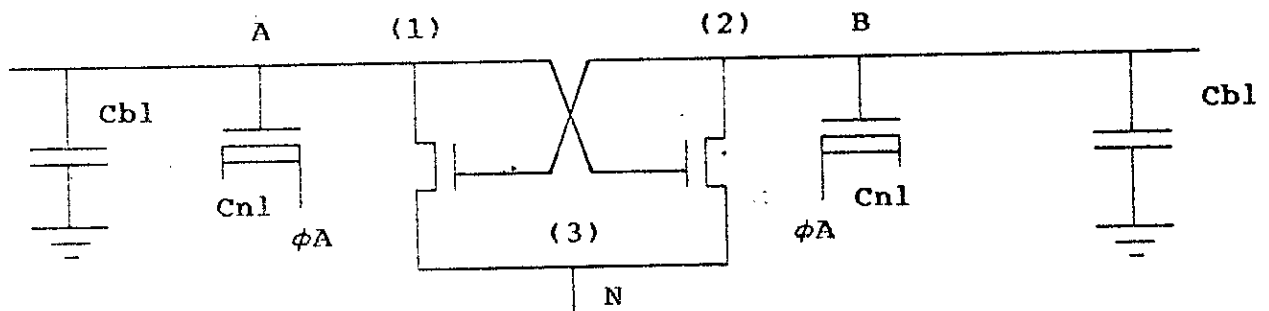
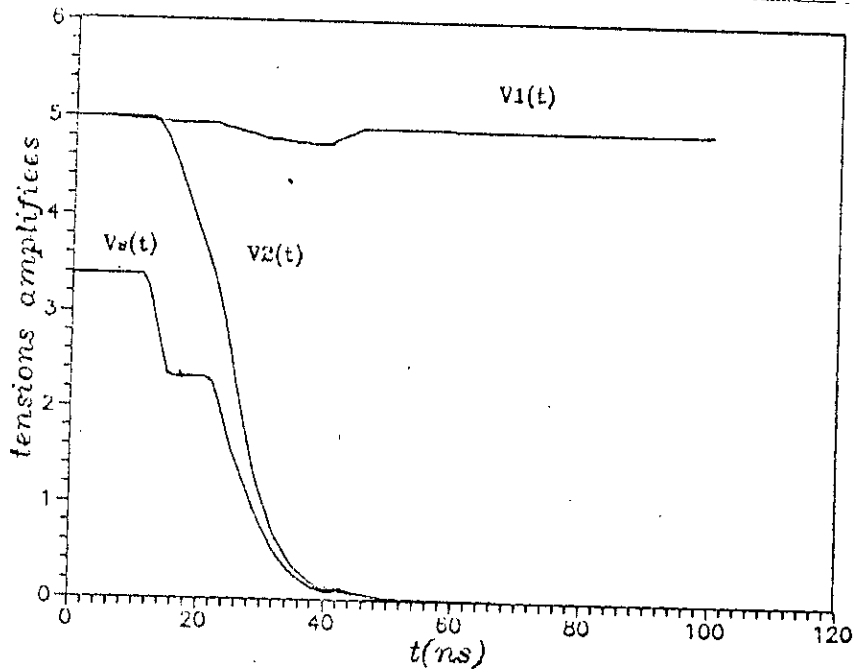


Figure 9.12 : S/A et circuit d'amplification à élément déplété

Le graphe suivant donne les courbes simulées des potentiels de (1), (2) et (3) par cette technique pour un transistor déplété de dimension $W/L=10$.



TECHNIQUE D'AMPLIFICATION PAR L'UTILISATION
 D'UN TRANSISTOR DEPLÉTÉ DE DIMENSION $W/L=10$
 Figure 9.13

9.4 SCHEMA FINAL DE L'AMPLIFICATEUR DE LECTURE :

Vu les avantages que recèle cette dernière technique du point de vue de la vitesse ainsi que de la surface consommée nous l'avons adopté dans notre amplificateur de lecture ainsi que la précharge à trois transistors beaucoup plus sûr pour ramener les deux lignes de bits au même niveau. Finalement compte tenu de ces remarques le schéma global du S/A se présente de la façon suivante :

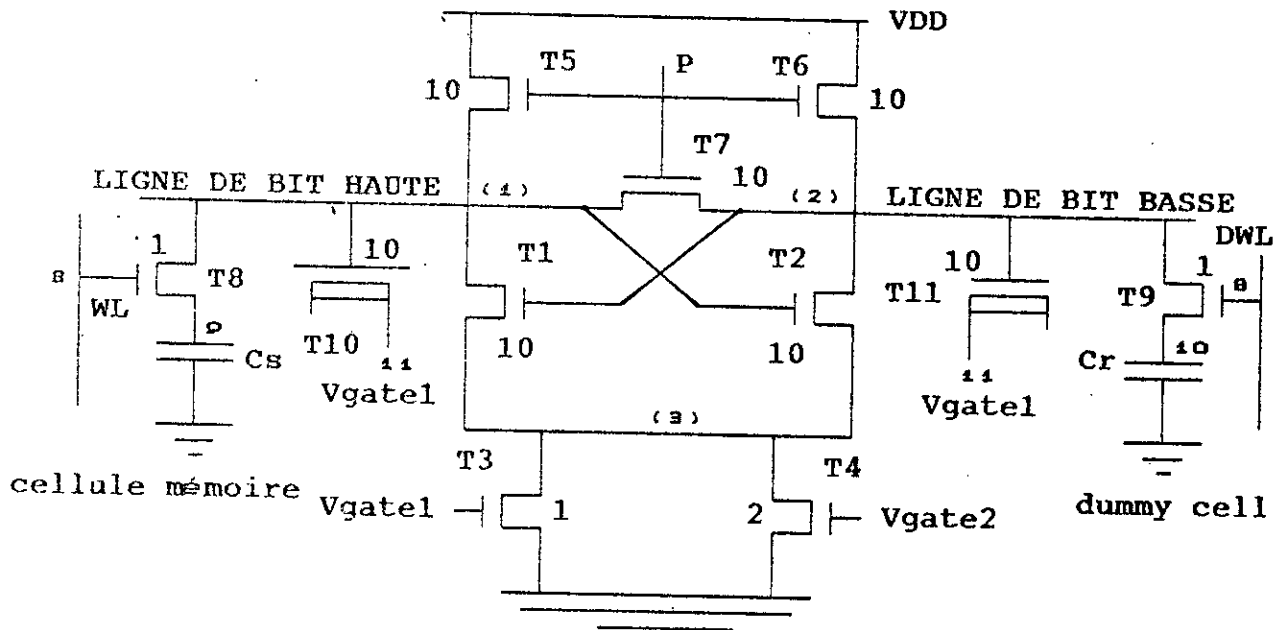


Figure 9.14 : -SCHEMA FINAL ADOPTE DE L'AMPLIFICATEUR DE LECTURE

Remarquons ici que nous n'avons pas utilisé de transistors d'isolement car celui-ci augmente la surface de l'ampli et exige une horloge supplémentaire. D'un autre côté l'horloge qui active le dispositif d'amplification (dans notre cas le transistor déplété) peut être comme on l'a vu précédemment identique au signal qui active l'une des sources de courants par exemple Vgate1, ce qui évite l'addition d'un autre générateur qui pénalise le gain en surface.

SENSIBILITE DE L'AMPLIFICATEUR DE LECTURE

La réalisation optimale la plus soignée des transistors constituant l'amplificateur de lecture ou autres circuiterie intégrée conduit toujours à une dissymétrie aussi infime soit-elle. Ils existent donc toujours des différences entre les paramètres de ces transistors, aussi certaines conditions doivent être respectées pour réaliser une détection correcte.

10.1 DEFINITION DE LA SENSIBILITE DU S/A :

La sensibilité du S/A est définie par la différence de potentiel minimale v qui peut être détectée correctement sans causer une chute de potentiel au nœud de plus haut niveau [18].

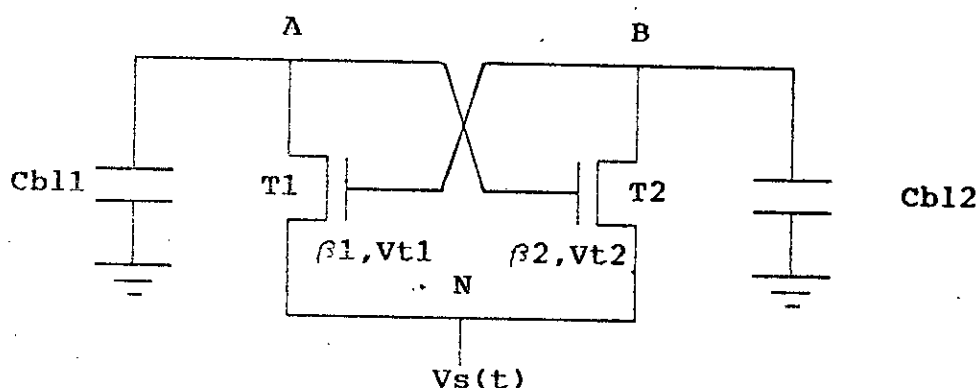


Figure 10.1 :
-Schéma du S/A de base en tenant compte des dispersions technologiques

C_{b11} et C_{b12} sont les capacités totales respectivement de la ligne de bit gauche et droite.

10.2 EXPRESSION EMPIRIQUE DE LA SENSIBILITE S :

Une expression empirique de la sensibilité de l'amplificateur a été établie par Eida et al. [17] :

$$S = | v_{t1} - v_{t2} | + A \sqrt{\frac{C_{blo} K}{\beta_0} \left| \frac{\Delta\beta_1 - \Delta\beta_2}{\beta_0} - \frac{\Delta C_{b11} - \Delta C_{b12}}{C_0} \right|}$$

Avec $\Delta\beta_i = \beta_i - \beta_0$ et $\Delta C_{bli} = C_{bli} - C_{blo}$ ($i = 1, 2$)

Cette expression tient compte des paramètres des transistors T1 et T2, des capacités des nœuds A et B et suppose enfin que la décharge du nœud N est linéaire.

$$\text{Soit } V_s(t) = V_{so} - K \cdot t$$

$$\text{avec } V_{so} = (V_r - V_{to}) / (1 + \alpha)$$

où :

V_r est le potentiel de précharge des nœuds A et B
 V_{to} la tension de seuil des transistors T1 et T2 à $V_s = 0V$

$$K = \text{constante} \quad (V_t = V_{to} + \alpha V_s)$$

10.3 TECHNIQUES D'AMÉLIORATION DE S :

Pour améliorer la sensibilité, cette étude montre qu'il faut :

- rendre l'amplificateur le plus symétrique possible, en effet d'après l'expression de la sensibilité S, celle-ci est petite en faisant :

- réduire les capacités des nœuds A et B
- réduire la pente de la tension du nœud N

Les deux premières conditions sont directement liées au processus technologique qu'il faut soigner encore plus, toutefois la deuxième condition est satisfaite en utilisant l'élément de transfert T.

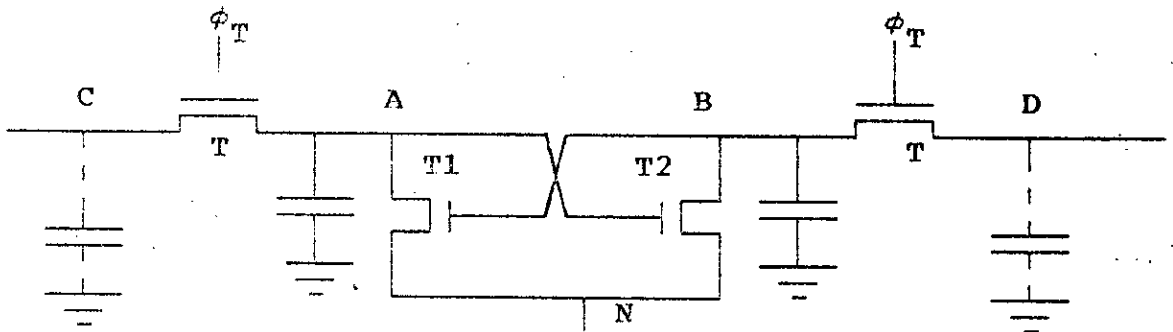


Figure 10.2 : -S/A ET ELEMENTS DE TRANSFERT

Son rôle est d'isoler, pendant le basculement, les sorties A et B de la bascule des nœuds C et D constituant les lignes de bit; ce qui réduit très fortement les capacités des nœuds A et B [15,17].

Très souvent, l'élément T est constitué par un transistor à enrichissement [17,21,23]. Les transistors T sont activés pendant la précharge et le début de la détection pour permettre à la différence v de s'établir entre les nœuds A et B. Ils sont ensuite coupés durant toute la période de basculement. Signalons aussi que l'élément T peut être formé par un transistor à déplétion de grande résistance [21].

l'inconvénient de ce type d'élément est qu'il nécessite un signal d'horloge supplémentaire (ϕ_T) et ralentit en général le fonctionnement de l'amplificateur.

Une utilisation très intéressante de l'élément T a été proposée par Heller et al [22]. Dans ce cas, les transistors T permettent non seulement d'isoler les lignes de bit, mais aussi de préamplifier le signal v de départ. En maintenant les transistors T en saturation, on peut montrer que la différence de tension aux nœuds A et B est égale à $v = V_s - V_r$. Cette expression, obtenue en supposant que $C_s = C_r = C_o$ où C_o est la capacité des nœuds A et B, montre que toute la différence entre le niveau de la cellule et celui de la référence est transmise à l'entrée de la bascule sans la moindre dégradation. Cependant la limitation de ce mécanisme est sa lenteur puisque les transistors T travaillent en source suiveur. cette technique serait intéressante pour les mémoires de très grande capacité où les capacités des lignes de bit sont de plus en plus longues et donc

plus importantes.

L'autre élément qui contribue à la détection correcte de l'information est la cellule de référence. Le rôle de cette cellule est double. Elle permet d'une part, de rendre l'amplificateur le plus symétrique possible pendant la détection en compensant le bruit qui provient de l'activation de la ligne de mot et, d'autre part de créer un niveau de référence qui permettra de différencier les niveaux logiques haut et bas [23].

Pour créer la référence, la façon la plus simple et qui permet d'obtenir la plus grande symétrie consiste à utiliser deux cellules-mémoire situées de part et d'autre et à égale distance de l'amplificateur. Les contenus de ces cellules sont toujours l'inverse l'un de l'autre et, pendant la lecture une cellule joue le rôle de référence pour l'autre. Cette solution ne peut malheureusement pas être utilisées pour les mémoires de grande densité en raison de la surface trop importante utilisée par les cellules de référence [23].

En pratique, on utilise deux cellules de référence par amplificateur. Chaque cellule est située d'un côté de l'amplificateur et est partagée par toutes les cellules mémoires qui se trouvent de l'autre côté de la bascule.

Comme pour la cellule mémoire, la cellule de référence est en général constituée par un transistor interrupteur et une capacité de stockage C_r . Le choix de la tension de référence V_r et de la valeur de la capacité C_r dépend du critère utilisé pour différencier les niveaux haut V_1 et bas V_0 qui sont inscrits dans la cellule mémoire. Si on désire par exemple avoir la même variation de tension v à l'entrée de la bascule aussi bien pour la lecture d'un niveau haut que celle d'un niveau bas, on obtient d'après (2.1) et (2.2) :

$$\begin{aligned} \Delta V_1 &= (V_p - V_1)/(1 + C_{b1}/C_s) - (V_p - V_r)/(1 + C_{b1}/C_r) = \\ &= \Delta V_0 = (V_p - V_r)/(1 + C_{b1}/C_r) - (V_p - V_0)/(1 + C_{b1}/C_s) \end{aligned}$$

ou encore

$$C_s [2V_p - (V_1 + V_0)] / (C_{bl} + C_s) = 2C_r (V_p - V_r) / (C_{bl} + C_r)$$

Deux solutions simples peuvent alors être adoptées :

$$C_s = C_r \quad \text{et} \quad V_r = (V_1 + V_0) / 2$$

$$C_s = 2C_r \quad \text{et} \quad V_r = V_1 + V_0 - V_p = 0V$$

Signalons que notre choix s'est porté sur $C_s=2C_r$ afin d'avoir un V_r nul.

D'autres choix restent toutefois possibles suivant le critère de discrimination utilisé. Certains auteurs utilisent un niveau de référence de 2V avec $C_s=C_r$ [17] ou encore une capacité C_r égale au tiers de la capacité C_s et un niveau de référence égal à 0V [11].

En plus du transistor interrupteur reliant la cellule de référence à la ligne de bit, il faut en général un deuxième transistor pour relier la capacité C_r au signal de référence (figure 10.3).

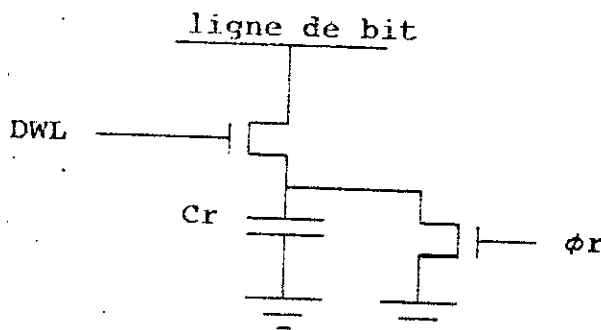


Figure 10.3 :- DUMMY-CELL OU CELLULE DE REFERENCE

CONCLUSION

Les mémoires dynamiques MOS constituent un domaine privilégié où les progrès de la haute intégration ont vu le jour.

Les nombreuses recherches menées sur les mémoires dynamiques portent non seulement sur la technologie mais aussi sur le côté conception et architecture des circuits.

En effet avec les progrès liés à la photolithographie devenue plus précise et permettant de réaliser des canaux encore plus courts que ceux réalisés jusque là; de nouveaux matériaux sont apparus apportant une amélioration soutenue aussi bien pour la réduction de surface que pour la rapidité des circuits; tout ceci a fait que ces mémoires ont connues un essor remarquable.

Le circuit auquel on s'est intéressé constitue l'un des organes les plus déterminants quant aux performances des RAM dynamiques aussi avons nous entrepris de déterminer la commande permettant de satisfaire certaines conditions que l'on s'est imposé dès le début.

Nous avons commandé en premier lieu l'amplificateur de lecture par une tension $V_s(t)$ initialement portée au niveau de précharge puis passant brusquement à 0V; il s'en est résulté que pour tout signal $V_s(t)$ dont la pente s'approche du cas idéal conduit à une dégradation inacceptable pour le nœud de plus haut niveau.

Ce qui nous a suggéré de garder le transistor de plus haut niveau bloqué afin de n'avoir aucune chute de tension. Bien que cette commande permet d'avoir une amplification idéale, un inconvénient important apparaît : le temps de saturation t_{sat} est inversement proportionnel à la tension à détecter v et varie donc dans de larges proportions pour un v variable.

La deuxième commande consistait à laisser légèrement conducteur le transistor précédemment bloqué; les résultats auxquelles on est arrivé répondent bien aux conditions de départ mais vu la difficulté de réaliser un générateur permettant de reproduire exactement la commande $V_s(t)$ précédente, nous nous sommes donc plutôt pencher sur une commande par courant et en particulier constant. Nous avons procédé d'abord à une commande par un niveau

de courant constant.

Quoique les performances trouvées pour la première commande sont en accord avec les conditions énoncées au début, il restait à améliorer encore plus le temps de saturation t_{sat} ainsi que la durée de basculement t_f . C'est la raison pour laquelle nous avons opté pour une commande à deux niveaux de courants constants, qui réalise exactement ce que l'on avait prévu.

Des trois commandes utilisées, la meilleure reste la commande par deux niveaux de courants constants car présentant les plus faibles t_{sat} ainsi que la plus faible variation de celui-ci pour une tension à détecter variable bien que ΔV_1 soit un peu plus élevé mais reste toujours inférieure ou égale à 20% du niveau de précharge.

Afin de vérifier la véracité de nos résultats, nous sommes passé à la simulation des attaques par un et deux niveaux de courants à l'aide du simulateur SPICE, ce qui nous a permis de confirmer que les résultats analytiques s'approchent de ceux simulés, d'autre part la simulation nous a permis de déterminer les éléments pouvant constituer des sources de courants constants ainsi que leurs dimensions et les signaux auxquels ils doivent être soumis.

Dans le but d'aboutir au schéma complet de l'amplificateur nous avons été obligés de passer à l'étude des différentes phases de fonctionnement de l'amplificateur de lecture à savoir la précharge des lignes de bit, l'amplification du niveau "1" devant être envoyé à l'extérieur de la mémoire et reproduit dans la cellule avec les éléments s'y rattachant.

Finalement le schéma complet de l'amplificateur de lecture a été dérivé en tenant compte des remarques vues dans les différentes phases de fonctionnement ainsi que des conditions fixées au départ.

Outre cela, nous nous sommes penché sur la sensibilité du S/A qui est un critère critique pour les mémoires dynamiques actuelles et avons vu ce qu'il fallait faire afin d'avoir une sensibilité élevée de la part du S/A.

BIBLIOGRAPHIE

- [1] "CIRCUITS INTEGRES MOS ET CMOS",
principes et applications par H.Lilen Editions Radio
- [2] "CONCEPTION ET TECHNOLOGIE DES CIRCUITS INTEGRES A
TRANSISTORS MOS", par J.Mavor Editions Eyrolles.
- [3] "Colloque International sur la micro-electronique",
Paris-6-10-Avril 1970, tome I ET II, Editions Chiron.
- [4] "CONCEPTION DES C.I MOS",
"Eléments de base-perspectives", par M.Cand, E.Demoulin,
J.L.Lardy, P.Senn
Editions Eyrolles 1984.
- [5] "INTRODUCTION AUX SYSTEMES VLSI",
par C.Mead et L.Conway
Editions Interditions 1980.
- [6] TECHNIQUES DE L'INGENIEUR
"MEMOIRES A SEMICONDUCTEURS ET CIRCUITS INTEGRES MOS"
PAR J.BOTQUIN, 1990.
- [7] "THEORIE ET PRATIQUE DU LANGAGE PASCAL"
J.L.NEBUT, EDITION TECHNIP
- [8] A.Vladimirescu, A.R.Newton, Pederson
"SPICE2 User's guide"
BERKELEY University of california.
- [9] "THE DESIGN AND ANALYSIS OF VLSI CIRCUITS"
Lance A.CLASSER AND D.W.DOBBERPUHL
A MASSACHUSSETS INSTITUTE OF TECHNOLOGIE
EDITIONS VLS SYSTEM SERIES
- [10] NOTES DE B.NEMMOUR, "MEMOIRES A SEMI CONDUCTEURS", 1979.
- [11] NOTES DE CONFERENCE DU DR JESPERS DONNEE AU HCR A ALGER, MARS
1989; LABORATOIRE DE MICRO-ELECTRONIQUE, UNIVERSITE DU LOUVAIN

BELGIQUE.

- [12] K.U.Stein, A.Sihling, E.Doering, "Storage array and Sense/Refresh Circuits for Single Transistor Memory cells", IEEE JSSC, Vol SC-7, pp. 336-340, october 1972.
- [13] W.T.Lynch, H.J.Boll, "Optimisation of the Latching pulse for dynamic Flip-Flop sensors", IEEE JSSC, Vol. SC-9, pp.49-55, April 1974.
- [14] C.Kuo, "Sense Amplifier is key to one-transistor cell in 4096 RAM" Electronics, September 1973.
- [15] R.C.Foss, R.Harland, "Peripheral Circuits for one-transistor cell MOS RAMS", IEEE JSSC, Vol. SC-10, pp. 255-261, October 1975.
- [16] E.Arai and N.EIDA, " A 64-kbits Dynamic Mos RAM" IEEE JSSC, Vol.SC-13, june 1978.
- [17] N.Eida, Y.Ohmori, K.Takeya and T.Yano, "Single Transistor Mos RAM Using a Short-Channel Mos Transistor" IEEE JSSC, Vol. SC-13, April 1978.
- [18] K.Natori, "Sensitivity of dynamics MOS Flip-Flop Sense Amplifiers", IEEE Transactions on electr dev, Vol ED-33, No 4, April 1986.
- [19] N.K.Jain, G.S.Visweswaran, A.B.Bhattacharyya, "Time-domain sensitivity analysis of dynamic Sense-Amplifier of an NMOS Dynamic RAM", IEEE Trans.circuits and syst ,Vol CAS-33, No 1, pp.77-82, jan 1986.
- [20] J.N.Barry, R.G.George, "Semiconductors memories", IEE Proceedings, VOL 133, pT.E, No 1, pp 8-30, jan 1986.
- [21] J.J.Barnes and J.Y.Chan, "A high performance Sense Amplifier for 5V dynamic RAM", IEEE JSSC, Vol SC-15, No 5, pp. Oct 1980.
- [21] J.J.Barnes and J.Y.Chan, "A high performance Sense Amplifier

- for 5V dynamic RAM", IEEE JSSC, Vol SC-15, No 5, pp. Oct 1980.
- [22] L.G.Heller, D.P.Spampinato, Y.L.Yao, "High-sensitivity charge-transfer sense Amplifier", IEEE JSSC, VolSC-11, No 5, pp.596-601, octobre 1976.
- [23] R.Eberius, "Leseverstärker für höchstintegrierte MOS-DRAM'S" (Tech.Univ,Dresden,Germany) Sektion Informationstechnik No 4, Vol.34, pp.115.120, 1985.
- [24] C.N.Ahlquist, J.R.Breivogel, J.L.McCollum, W.G.Oldham, A.Renninger, "A 16384-bit dynamic RAM", IEEE JSSC, Vol.SC-11, No 5, pp.570-574, Oct 1976.
- [25] T.Wada, M.Takada, S.Matsue, M.Kamoshida, S.I.Suzuki, "A 150ns, 150mw, 64k Dynamic MOS RAM", IEEE JSC, Vol.SC-13, No 5, pp.607-610, Oct 1978.
- [26] Y.Bouterfa, "Implantation des circuits fondamentaux de processeurs intégrés de traitement numérique des signaux" thèse d'état en physique Appliquée, 1984.
Université catholique de Louvain.Louvain-la-neuve.Belgique.
- [27] N.N.Wang, "On the design of MOS Dynamic Sense Amplifiers", IEEE Trans on circuits and syst, Vol.CAS-29, No.7, july 1982.
- [28] K.Natori, M.Ogura, H.Iwai, K.Maeguchi, S.Taguchi "A 64Kbit MOS Dynamic Random Access Memory", IEEE JSSC , Vol.SC-14, No 2, pp.482-485, April 1979.
- [29] P.Tuohy, A.Gribben, A.J.Walton, J.M.Robertson, "A Realistic word-case parameters for circuits Simulation", IEE Proceedings, Vol.134, Pt.I, No 5, Oct 1987.
- [30] M.Wright, "Dynamic RAMs", Special report, pp.134-148, EDN Feb 1986.
- [31] G.R.Mohan Rao, "64K dynamic RAM needs only one 5-volt supply to outstrip 16K parts", Electronics, Sept 28,

pp.109-116, 1978.

- [32] "64K with single supply could be the standart for future design", Electronic Design 13, pp.58-64, June 21, 1979.
- [33] F.Grosvalet, "Memoires 64K : faites votre choix mais attention aux disponibilites", Electronique Industrielle Automatique et Informatique No 7/1-12-80, pp.29-31.
- [34] J.M.Caywood J.C.Pathak, G.L.Vanboren, S.W.Owen, "A novel 4k static RAM with submilliwatt standby power", IEEE on electron devices, Vol.ED-26, No.6, june 1979.
- [35] D.Rhein and H.Pfeiffer, "Sensitivity analysis and design considerations of sense amplifiers for MOS-DRAM'S" "Friedrich list" University of transport and communications DDR-8010 Dresden, Eriedrich-list-Platz 1, pp.105-108.
- [36] H.Masuda, R.Hori, Y.Kamigaki, K.Itoh, "Single 5-V, 64k RAM with Scaled down MOS structure", IEEE .JSSC, vol-SC-15, No 4, pp.672-677, august 1980.
- [37] P.K.Chatterjee, G.Taylor, R.Easley, H.Fu, A.Tasch, "A survey of high-density dynamic RAM cell concept", IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.ED-26, No 6, pp.827-852, june 1979.
- [38] R.P.Center, D.G.Clemens, W.R.Hubert, J.B.Petrizzi, F.J.Procyk, G.M.Trout, "A fault-tolerant 64k dynamic Random-Access Memory", IEEE TRANSACTIONS on electronic devices, Vol.ED-26, No 6, june 1979, pp 853-860.
- [39] "Special report", Electronics/May 22, 1980, pp.120-128.
- [40] K.Itoh, K.Shimohigashi, K.Chiba, K.Taniguchi, H.Kawamoto, "High speed 16KBIT N-MOS", IEEE JSSC, pp.585-590, october 1976.
- [41] V.L.Rideout, "One-device cells for dynamic Random-Access memories: A TUTORIAL", IEEE Transactions on electron devices, Vol.ED-26, No.6, pp.839-852, june 1979.

ANNEXE 1
ALGORITHME DE RUNGE-KUTTA

Il s'agit de résoudre un système d'équations différentielles couplées d'ordre n se présentant comme suit :

$$\left\{ \begin{array}{l} y'1 = f1(t, y1, y2, \dots, yn) \\ y'2 = f2(t, y1, y2, \dots, yn) \\ \vdots \\ y'n = fn(t, y1, y2, \dots, yn) \end{array} \right. \quad (1)$$

La ième composante y'i est donc caractérisée par :

$$y'i = fi(t, y1, y2, \dots, yn)$$

Pour cette composante, la relation entre les itérations j et j+1 se présente de la façon suivante :

$$yi, j+1 = yi, j + h fi(tj, y1, j, y2, j, \dots, yn, j) \quad (2)$$

avec $h = \frac{Tf - to}{M}$

Avec Tf un intervalle de t et M un nombre qui partage cet intervalle

Si to=0 alors Tf = T

avec $t_{j+1} = t_j + h$ ($t_1 = to + h$ si $to = 0$ alors $t_1 = h$)

ou encore :

$$yi, j+1 = yi, j + \frac{1}{6} \left[K_{1,i} + 2K_{2,i} + 2K_{3,i} + K_{4,i} \right] \quad (3)$$

avec $i = 1, 2, \dots, n$

Avec

$$K_{1,i} = h fi(tj, y1, j, y2, j, \dots, yn, j)$$

$$K_{2,i} = h fi(tj+h/2, y1, j + \frac{1}{2} K_{1,1}, y2, j + \frac{1}{2} K_{1,2}, \dots, yn, j + \frac{1}{2} K_{1,n})$$

$$K_{3,i} = h fi(tj + h/2, y1, j + \frac{1}{2} K_{2,1}, y2, j + \frac{1}{2} K_{2,2}, \dots, yn, j + \frac{1}{2} K_{2,n})$$

$$K_{4,i} = h fi(tj + h, y1, j + K_{3,1}, y2, j + K_{3,2}, \dots, yn, j + K_{3,n})$$

Dans le cas d'un système différentiel couplé d'ordre 2 comme dans notre cas, nous avons deux composantes y1 et y2 où :

$$y'1 = f1 = -(y2 - 1)^2 \quad \text{et} \quad y'2 = f2 = -(y1 - 1)^2$$

Il suffit d'appliquer à chaque composante (y_1 et y_2) la relation (3).

ANNEXE 2

RESOLUTION DE L'EQUATION (6.21) :

Celle-ci admet pour discriminant :

$$\Delta = \left[\bar{V}2s(\bar{t}_{\text{sat}}) \right]^2 - 4 \bar{V}2s(\bar{t}_{\text{sat}}) + 8 \bar{I}$$

ETUDE DU SIGNE DE Δ

Le discriminant Δ a lui même un discriminant sous forme réduite :

$$\Delta' = (-2)^2 - 8 \bar{I} = 4 (1 - 2 \bar{I})$$

a/ Si $\bar{I} > 1/2$ alors $\Delta' < 0 \rightarrow \Delta > 0 \quad \forall \bar{V}2s(\bar{t}_{\text{sat}})$

d'où deux racines de $\bar{V}2s(\bar{t})$:

$$\bar{V}2s(\bar{t})_1 = \frac{2 - \bar{V}2s(\bar{t}_{\text{sat}}) + \sqrt{\Delta}}{2}$$

$$\bar{V}2s(\bar{t})_2 = \frac{2 - \bar{V}2s(\bar{t}_{\text{sat}}) - \sqrt{\Delta}}{2}$$

or $\bar{V}2s(\bar{t})$ est positive pour tout \bar{t} , il faut donc prendre la racine positive.

RECHERCHE DE LA RACINE POSITIVE :

1/ En supposant que $(2 - \bar{V}2s(\bar{t}_{sat})) > 0$ et $\bar{V}2s(\bar{t})_2 < 0$ il vient :

$$\frac{2 - \bar{V}2s(\bar{t}_{sat})}{2} < \frac{\sqrt{\Delta}}{2}$$

soit $((2 - \bar{V}2s(\bar{t}_{sat}))^2 < \Delta$

c'est à dire :

$$4 - 4 \bar{V}2s(\bar{t}_{sat}) + [\bar{V}2s(\bar{t}_{sat})]^2 < [\bar{V}2s(\bar{t}_{sat})]^2 - 4 \bar{V}2s(\bar{t}_{sat}) + 8 \bar{I}$$

soit $4 < 8 \bar{I}$ d'où $\bar{I} > 1/2$, ce qui est notre cas, la solution est alors :

$$\bar{V}2s(\bar{t}) = \frac{2 - \bar{V}2s(\bar{t}_{sat}) + \sqrt{\Delta}}{2}$$

2/ Supposons maintenant que $(2 - \bar{V}2s(\bar{t}_{sat})) < 0$, la racine $\bar{V}2s(\bar{t})_2$ est alors négative, il reste alors à montrer que la première racine $\bar{V}2s(\bar{t})$ est positive, ce qui devrait impliquer :

$$(2 - \bar{V}2s(\bar{t}_{sat})) > -\sqrt{\Delta} \Rightarrow ((2 - \bar{V}2s(\bar{t}_{sat}))^2 < \Delta$$

Nous retrouvons alors $\bar{I} > 1/2$, ce qui est aussi notre cas; en définitif la solution finale est :

$$\bar{V}2s(\bar{t}) = \frac{(2 - \bar{V}2s(\bar{t}_{sat})) + \sqrt{\Delta}}{2} \vee \bar{V}2(\bar{t}_{sat}) \quad (6.22)$$

Remarquons que pour $\bar{t} \leq \bar{t}_{sat}$ l'équation (6.17) donne :

$$\bar{V}2s(\bar{t}_{sat}) = 1 + \sqrt{\bar{I} - g'(\bar{t})}$$

En raison de la continuité de $\bar{V}_{2s}(\bar{t})$ au pont $\bar{t} = \bar{t}_{sat}$ nous avons :

$$\bar{V}_{2s}(\bar{t}_{sat}) = 1 + \sqrt{\bar{I} - g'(\bar{t})} = 1 + \sqrt{\bar{I} - \frac{\sqrt{4\bar{I} - 1}}{2}} \quad (6.23)$$

Remarquons que cette expression est constante pour \bar{I} constant

b/ Si $\Delta' = 0$ alors $\bar{I} = 1/2$ alors $\Delta = (\bar{V}_{2s}(\bar{t}_{sat}) - 2)^2$

d'où :

$$\bar{V}_{2s}(\bar{t}) = \frac{2 - \bar{V}_{2s}(\bar{t}_{sat}) \pm \left| (\bar{V}_{2s}(\bar{t}_{sat}) - 2) \right|}{2}$$

L'équation (6.23) permet de retrouver $\bar{V}_{2s}(\bar{t}_{sat})$ pour $\bar{I} = (1/2)$, soit :

$$\bar{V}_{2s}(\bar{t}_{sat}) = 1 \quad \text{donc} \quad \left| (\bar{V}_{2s}(\bar{t}_{sat}) - 2) \right| = (2 - \bar{V}_{2s}(\bar{t}_{sat}))$$

$$\text{d'où} \quad \bar{V}_{2s}(\bar{t}) = \frac{(2 - \bar{V}_{2s}(\bar{t}_{sat})) \pm (2 - \bar{V}_{2s}(\bar{t}_{sat}))}{2} = 1$$

$$\text{or} \quad \bar{V}_{2s}(\bar{t}) > 0 \Rightarrow \bar{V}_{2s}(\bar{t}) = 2 \frac{(2 - \bar{V}_{2s}(\bar{t}_{sat}))}{2} = (2 - \bar{V}_{2s}(\bar{t}_{sat}))$$

$$\text{soit} \quad \bar{V}_{2s}(\bar{t}) = 2 - 1 = 1 = \bar{V}_{2s}(\bar{t}_{sat}) \quad \forall \quad \bar{t} \leq \bar{t}_{sat}$$

Le transistor T1 se bloque exactement en $\bar{t} = \bar{t}_{sat}$ et la chute de niveau de la ligne de bit haute est :

$$\Delta \bar{V}_1 = \bar{V}_{DD} - \bar{V}_1(\bar{t}_{sat})$$

$$\text{Avec} \quad \bar{V}_1(\bar{t}_{sat}) = -\bar{I} \cdot \bar{t}_{sat} / 2 + g(\bar{t}_{sat}) / 2 - \bar{V} / 2 + \bar{V}_{DD}$$

```
*****
* PROGRAMME D'APPLICATION DE L'ALGORITHME DE RUNGE-KUTTA *
*****
```

```

program runge(fs,input,output);
  var v,s,h,e,k1,k2,k3,k4:real;
  I1,I2,I3,I4,v1,v2,Tsat,w:real;
  I,k:integer;fs:text;

begin
  open(fs,'kutta.lis',new);
  rewrite(fs);writeln('faites entrer les donnees');
  readln(h,v);
  k:=21;
  writeln(fs,'-':21);writeln('-':21);
  writeln(fs,'! s ! (v-v2) ! Tsat!');
  writeln('! s ! (v-v2) ! Tsat!');
while k<>0 do
  begin
    k:=k-1;
    readln(s);
    v1:=v;v2:=v+s;e:=v2-v1-1;I:=0;
    while(e<-0.01) and (v2>0) and (v1>0) do
      begin
        k1:=((-h)*((v2-1)**2))/2;
        I1:=((-h)*((v1-1)**2))/2;
        k2:=((-h)*((v2+(I1/2)-1)**2))/2;
        I2:=((-h)*((v1+(I1/2)-1)**2))/2;
        k3:=((-h)*((v2+(I2/2)-1)**2))/2;
        I3:=((-h)*((v1+(k2/2)-1)**2))/2;
        k4:=((-h)*((v2+(I3/2)-1)**2))/2;
        I4:=((-h)*((v1+(k3/2)-1)**2))/2;
        v1:=v1+(k1+(2*k2)+(2*k3)+k4)/6;
        v2:=v2+(I1+(2*I2)+(2*I3)+I4)/6;
        e:=v2-v1-1;
        I:=I+1
      end;
    Tsat:=I*h;
    w:=v-v2;
    writeln(fs,'! ',s:4:2,' ! ',w:4:2,' ! ',Tsat:4:2,' !');
    writeln('! ',s:4:2,' ! ',w:4:2,' ! ',Tsat:4:2,' !');
    writeln(fs,'-':21);
    writeln('-':21);
  end
end.

```

```
*****
* PROGRAMME DONNANT LES RESULTATS ANALYTIQUES RELATIF AU CHAPITRE 4 *
*****
```

```
program bloque(fs,input,output);
  const past=8;
  var VDD,v,Vt,U,tox,Cbl,Cg,dim,f,b1,tsat,tl,tf,V1,V2,Vs,W,L,t,tt,y:real;
      fs:text;m:integer;
BEGIN
  open(fs,'bloc50.dat',new);rewrite(fs);
  write('tension d'alimentation VDD=');
  readLN(VDD);
  write('tension a detecter v=');
  readln(v);
  writeln('entrer les parametres du procede technologique');
  write('tension de seuil Vt=');
  readln(Vt);
  write('mobilite des porteurs U=');
  readln(U);
  write('epaisseur d'oxyde tox=');
  readln(tox);
  write('capacite de la ligne de bit Cbl=');
  readln(Cbl);
  write('capacite gate-canal Cg=');
  readln(Cg);
  write('dimension des transistors W/L=');
  readln(dim);
  VDD:=VDD/Vt;v:=v/Vt;
  f:=Cbl/(Cbl+Cg);
  b1:=(U*(8.854e-12*3.9)*dim)/tox;
  y:=Cbl/(b1*(f**2)*Vt);
  tsat:=2*(1-(f*v))/v;
  tvs:=tsat+((1/f)*ln((2*f*(VDD-1-(1/(2*f))))));
  tf:=tsat+((1/f)*ln((2*f*(VDD-(1/(2*f))))));
  for m:=0 to past do
    begin
      t:=(m*tsat)/past;
      V2:=VDD-(v/(1-((v*t)/(2)))));
      V1:=f*VDD+(1-f)*V2;
      Vs:=V2-1;
      tt:=t*y*(1e9);
      V1:=V1*Vt;V2:=V2*Vt;Vs:=Vs*Vt;
      writeln(fs,tt:2:2,' ':4,V1:1:2,' ':4,V2:1:2,' ':4,Vs:1:2);
      writeln(tt:2:2,' ':4,V1:1:2,' ':4,V2:1:2,' ':4,Vs:1:2)
    end;
  for m:=1 to past do
    begin
      t:=(m*(tvs-tsat)/past)+tsat;
      Vs:=VDD-1-(((1/(2*f))*(1+exp((f)*(t-tsat)))));
      V2:=Vs+1;
      V1:=f*VDD+(1-f)*V2;
      tt:=t*y*(1e9);
      Vs:=Vs*Vt;V1:=V1*Vt;V2:=V2*Vt;
      writeln(fs,tt:2:2,' ':4,V1:1:2,' ':4,V2:1:2,' ':4,Vs:1:2);
      writeln(tt:2:2,' ':4,V1:1:2,' ':4,V2:1:2,' ':4,Vs:1:2)
    end;
end;
```

```
for m:=1 to past do
  begin
    t:=(m*(tf-tvs)/past)+tvs;
    V2:=VDD-(((1/(2*f))*(1+exp((f)*(t-tsat)))));
    V1:=(f*VDD)+((1-f)*V2);
    Vs:=0;
    tt:=t*y*(1e9);
    V1:=V1*Vt;V2:=V2*Vt;Vs:=Vs*Vt;
    writeln(fs,tt:2:2,' ':4,V1:1:2,' ':4,V2:1:2,' ':4,Vs:1:2);
    writeln(tt:2:2,' ':4,V1:1:2,' ':4,V2:1:2,' ':4,Vs:1:2)
  end
END.
```

```

*****
* PROGRAMME DONNANT LES RESULTATS ANALYTIQUES RELATIF AU CHAPITRE 5 *
*****

program chap5(fs,input,output);
const ht=8;
var m:integer;
    VDD,Vt,Vs0,v,vc,tsat,tvs,t1,t,tt,V1,V2,Vs,f,Cb1,Cg,U,dim,tox,s,a:real;
    b,c,d,e,g,V10,Vstsat,V2,t1,delta,o,p,x:real;fs:text;

(* PREMIERE FONCTION *)
function H(x:real):real;
var k:real;
begin
    Vstsat:=VDD-1-(vc/f)-((vc**2)*tsat)-(1/f);
    k:=-1/(2*f*(1-vc))+VDD-1-((1+vc)/(2*f));
    H:=x-k-((-k+(Vstsat/(vc**2))+tsat)*exp(2*f*(1+vc)*(x-tsat)));
end;

(* DEUXIEME FONCTION PERMETTANT D'APPROXIMER tvs PAR BIPARTITION *)
function solution(var o,p,x:real):real;
const lfinal=10;
var Ho,Hp,Hmilieu:real;
    milieu:real;
    I:0..lfinal;
    exact:boolean;
begin
    exact:=false;I:=0;Ho:=H(o);Hp:=H(p);
    while (abs(o-p)>1E-2) and (not exact) and (I<lfinal) do
        begin
            if (Ho*Hp)<0 then
                begin
                    if abs(Ho)<=0.01 then exact:=true
                    else
                        if abs(Hp)<=0.01 then exact:=true
                        else
                            milieu:=(o+p)/2;Hmilieu:=H(milieu);
                            I:=I+1;
                            if abs(Hmilieu)<=0.01 then exact:=true
                            end
                end
            else if (Ho*Hmilieu)>0 then
                begin
                    o:=milieu;
                    Ho:=Hmilieu
                end
            else if (Hp*Hmilieu)>0 then
                begin
                    p:=milieu;
                    Hp:=Hmilieu
                end
            end
        end
    end;
    solution:=milieu;
end;

```



```

(*DEBUT DU PROGRAMME PRINCIPAL*)
begin
  open(fs,'boll.dat',new);
  rewrite(fs);
  write('donner la tension d'alimentation VDD=');
  readln(VDD);
  write('donner la valeur de la tension a detecter v=');
  readln(v);
  write('donner la portion de tension vc=');
  readln(vc);
  writeln('introduire les parametres du processus technologique');
  write('TENSION DE SEUIL Vt=');
  readln(Vt);
  write('CAPACITE DE LA LIGNE DE BIT Cbl=');
  readln(Cbl);
  write('CAPACITE GATE-CANAL Cg=');
  read(Cg);
  write('mobilite des porteurs U=');
  readln(U);
  WRITE('EPAISSEUR D'OXYDE tox=');
  readln(tox);
  write('dimension des transistors W/L=');
  read(dim);
  f:=Cbl/(Cbl+Cg);
  s:=(Cbl*tox)/(U*(8.854E-12*3.9)*dim);
  v1:=v;
  v:=v/Vt;VDD:=VDD/Vt;
  a:=(1+((2*vc)/(f*v)));
  tsat:=(1/(2*f*vc))*ln((1/(1+(2*vc)))*a);
  Vs0:=VDD-1-v-(vc/f);
  V10:=(Vs0*(1-f))+1+(f*(VDD-1));
  delta:=(tvs**2)+(2*tvs*f*(VDD-1)-((2*vc)*((tvs+(f*(VDD-1))**2)+ln(1+vc));
  o:=tsat;p:=5*tsat;
  tvs:=solution(o,p,x);
  writeln('tvs=',tvs:1:6);
  t1:=(tvs+f*(VDD-1)+sqrt(delta))/(2*vc);
  for m:=0 to ht do
    begin
      t:=m*(tsat/ht);
      b:=exp(2*f*vc*t);
      c:=-a+b;
      d:=VDD-1+(vc/f)-((vc**2)*t);
      e:=a/c;
      g:=VDD-1-((vc**2)*t)-(vc/f);
      Vs:=((b*d)/c)-(e*g);
      V2:=Vs+1+vc;
      V1:=(-(vc**2)*t)+V10;
      tt:=t*s*1E9;
      V1:=V1*Vt;V2:=V2*Vt;Vs:=Vs*Vt;
      writeln(fs,tt:2:2,' ',V1:1:2,' ',V2:1:2,' ',Vs:1:2);
      writeln(tt:2:2,' ',V1:1:2,' ',V2:1:2,' ',Vs:1:2);
    end;
  Vstsat:=Vs;

```

```

for m:=1 to ht do
  begin
    t:=(m*(tvs-tsats)/ht)+tsats;
    b:=-(vc**2)/(2*f*(1+vc));
    c:=VDD-1-((1+vc)/(2*f))-((vc**2)*t);
    d:=exp(2*f*(1+vc)*(t-tsats));
    e:=((1+(2*vc))*d)/(2*f*(1+vc));
    Vs:=b+c-e;
    V2:=Vs+1+vc;
    V1:=((-vc**2)*t)+V10;
    tt:=t*s*1E9;
    V1:=V1*Vt;V2:=V2*Vt;Vs:=Vs*Vt;
    writeln(fs,tt:2:2,' ',V1:1:2,' ',V2:1:2,' ',Vs:1:2);
    writeln(tt:2:2,' ',V1:1:2,' ',V2:1:2,' ',Vs:1:2);
  end;
for m:=1 to ht do
  begin
    t:=(m*(t1-tvs)/ht)+tvs;
    Vs:=0;
    V2:=(1+vc)*exp(-2*((vc*(t-tvs))**2)-2*f*(VDD-1)*(t-tvs));
    V1:=1+(f*(VDD-1-((-vc**2)*t)));
    tt:=t*s*1E9;
    V1:=V1*Vt;V2:=V2*Vt;Vs:=Vs*Vt;
    writeln(fs,tt:2:2,' ',V1:1:2,' ',V2:1:2,' ',Vs:1:2);
    writeln(tt:2:2,' ',V1:1:2,' ',V2:1:2,' ',Vs:1:2);
  end;
for m:=1 to ht do
  begin
    t:=(m*(t1)/ht)+t1;
    Vs:=0;
    V1:=V1;
    V2:=exp(-2-(V1-1)*(t-t1));
    tt:=t*s*1e9;
    V1:=V1*Vt;V2:=V2*Vt;Vs:=Vs*Vt;
    writeln(fs,tt:2:2,' ',V1:1:2,' ',V2:1:2,' ',Vs:1:2);
    writeln(tt:2:2,' ',V1:1:2,' ',V2:1:2,' ',Vs:1:2);
  end
end.

```

```

*****
* PROGRAMME SIMULATION1 RELATIF A LA COMMANDE *
* PAR UN SEUL NIVEAU DE COURANT CONSTANT *
*****

```

```

(*-----*)
      (*****)
      program calcul(fs,input,output);
      (*****)

(*-----*)
      (*declaration des variables*)
      const ht=8;
      var VDD,v,vmin,vmax,pasv,I,Imin,Imax,pasI,tt,tsat,tvs,t1,tf,t,v1,v2:real;
          v11,v22,vss,w11,w22,wss,vv1,vv2,vvss,U,tox,dim,Cbl,Vt,s,a1,b1:real;
          v2s,v3,a,b,c,d:real;
          m:integer;
          fs:text;
(*-----*)

begin
  (*ouverture du fichier des resultats en ecriture*)

      open(fs,'I1.dat',new);
      rewrite(fs);

(*-----*)
      (*introduction des donnees*)
      writeln('donner la tension d'alimentation:');
      write('VDD=');readln(VDD);
      writeln;writeln(fs);
      writeln('a partir de quelle tension a detecter vo le calcul commence :');
      write('vmin=');readln(vmin);v:=vmin;
      writeln('jusqu'a quelle tension a detecter voulez-vous allez:');
      write('vmax=');readln(vmax);
      writeln('introduisez le pas de progression de la tension a detecter:');
      write('pasv=');readln(pasv);
      writeln('introduire la valeur minimale Imin:');
      write('Imin=');readln(Imin);
      writeln('introduire la valeur maximale Imax:');
      write('Imax=');readln(Imax);
      write('introduire le pas de progression de I');
      write('pasI=');readln(pasI);
      writeln('faites entrer maintenant les parametres du procede technologique');
      write('tension de seuil Vt=');readln(Vt);write('mobilite U=');readln(U);
      write('epaisseur d'oxyde tox=');readln(tox);
      write('capacite de la ligne de bit Cbl=');readln(Cbl);
      write('dimension des transistors constituant le S/A W/L=');readln(dim);
      s:=(Cbl*tox)/(U*8.854E-12*3.9*dim*Vt);
      v:=vmin/Vt;VDD:=VDD/Vt;vmax:=vmax/Vt;
      while v<=vmax do
      begin
      I:=lmin;
      while I<=imax do
      begin
          a1:=((2*sqrt(I))/v)+sqrt(((4*I)/(v*v))-1);
          b1:=(2*sqrt(I))+sqrt((4*I)-1);

```

```

tsat:=(ln(a1/b1))/sqrt(I);
v1:=((-I*(tsat))/2)+0.5-(v/2)+VDD;
v2:=(v1-1);
v2s:=1+sqrt(I-sqrt((4*I)-1)/2);
v3:=VDD+(((v2s-1)/v2s)**2)*(v1-2))-v1;
tvS:=(((2*(v2-v2s)))/(v2s*v2s))+tsat;
t1:=((2*(v2-1))/(v2S**2))+tsat;
tf:=t1+(1/I);
  for m:=0 to ht do
    begin
      t:=(m*(tsat/ht));
      a:=(2*sqrt(I)/v)+sqrt(((4*I)/(v**2))-1);
b:=(2*a*sqrt(I)*exp(-1*(t)*sqrt(I)))/(1+((a**2)*exp(-2*(t)*sqrt(I)));
      v11:=((-I*t)/2)+b-(v/2)+VDD;
      v22:=v11-(2*b);
c:=(sqrt(I)*(2*b)*(((a**2)*exp(-2*sqrt(I)*(t)))-1))/d;
d:=(((a**2)*exp(-2*sqrt(I)*(t)))+1);
      vss:=v22-1-sqrt(I-c);
      v11:=v11*Vt;
      v22:=v22*Vt;
      vss:=vss*Vt;
      tt:=t*s*(1E9);
      writeln(' ',tt:2:2,' ',v11:1:2,' ',v22:1:2,' ',vss:1:2);
      writeln(fs,' ',tt:2:2,' ',v11:1:2,' ',v22:1:2,' ',vss:1:2);
    end;
  for m:=1 to ht do
    begin
      t:=(tsat+(m*(t1-tsat)/ht));
      w11:=(((v2S-1)**2)*(tsat-t)/2)+v11;
      w22:=((v2s**2)*(tsat-t)/2)+v22;
      wss:=w22-v2S;
      w11:=w11*Vt;
      w22:=w22*Vt;
      wss:=wss*Vt;
      tt:=t*s*(1E9);
      writeln(' ',tt:2:2,' ',w11:1:2,' ',w22:1:2,' ',wss:1:2);
      writeln(fs,' ',tt:2:2,' ',w11:1:2,' ',w22:1:2,' ',wss:1:2);
    end;
  for m:=1 to ht do
    begin
      t:=t1+((m*(tf-t1))/ht);
      vv1:=w11;
      vv2:=1-(I*(t-t1));
      vvss:=0;
      vv1:=vv1*Vt;
      vv2:=vv2*Vt;
      vvss:=vvss*Vt;
      tt:=t*s*(1E9);
      writeln(' ',tt:2:2,' ',vv1:1:2,' ',vv2:1:2,' ',vvss:1:2);
      writeln(fs,' ',tt:2:2,' ',vv1:1:2,' ',vv2:1:2,' ',vvss:1:2);
    end;
    I:=I+pasI
  end;
  v:=v+pasv
end
end.
(*-----*)

```

```

*****
* PROGRAMME SIMULATION2 RELATIF A LA COMMANDE *
* PAR DEUX NIVEAUX DE COURANTS CONSTANTS *
*****

```

```

(*-----*)

      (*****)
      program calcul(fs,input,output);
      (*****)

(*-----*)
      (*declaration des variables*)
      const ht=8;
var v,vo,vfin,pasv,I1,Ilo,Ilfin,pasI1,It,Ito,Itfin,pasIt,ts,tsat1,a1:real;
    tsat,tvs,t11,tff,t1,tf,tt,v1,w1,v2s,v2,v11,v22,vss,w11,w22,wss,b1:real;
    vw1,vw2,vws,t,vv1,vv2,vvss,a,b,c,g,n,VDD,s,Vt,Cb1,U,dim,tox,c1,d1:real;
    d,dd,bc,cc :real;m:integer;
    fs:text;

(*-----*)

begin
  (*ouverture du fichier des resultats en ecriture*)
    open(fs,'I2.DAT',new);
    rewrite(fs);

(*-----*)
      (*introduction des donnees*)
      writeln('donner la tension d'alimentation:');
      write('VDD=');readln(VDD);
      writeln('a partir de quel seuil lance t-on le deuxieme courant:');
      write('V1(t)-V2(t)=');readln(g);
      n:=(1/g);
      writeln('a partir de quelle tension a detecter vo le calcul commence?');
      write('vo=');readln(vo);v:=vo;
      writeln('jusqu'a quelle tension a detecter voulez-vous allez:');
      write('vfin=');readln(vfin);
      writeln('introduisez le pas de progression de la tension a detecter:');
      write('pasv=');readln(pasv);
      writeln('introduire la valeur minimale de I1:');
      write('I1=');readln(Ilo);write('introduire la valeur maximale de I1');
      write('Ilfin=');readln(Ilfin);
      writeln('introduire le pas de progression de I1');
      write('pasI1=');readln(pasI1);
      writeln('introduire la valeur minimale de It:');write('Ito=');
      readln(Ito);writeln('introduire la valeur maximale de It');write('Itfin=');
      readln(Itfin);writeln('introduire le pas de progression de It');
      write('pasIt=');readln(pasIt);
      writeln('donner maintenant les parametres du processus technologique');
      write('CAPACITE DE LA LIGNE DE BIT Cb1=');readln(Cb1);
      write('TENSION DE SEUIL Vt=');readln(Vt);
      write('MOBILITE DES PORTEURS U=');readln(U);
      write('EPAISSEUR D'OXYDE tox=');readln(tox);
      write('dimension des transistors W/L=');readln(dim);
      writeln('les valeurs de V1(t) V2(t) Vs(t) pour cette commande sont :');
      vo:=vo/Vt;vfin:=vfin/Vt;
      VDD:=VDD/Vt;
      v:=v/Vt;

```

```

s:=(Cbl*tox)/(U*(8.854E-12*3.9)*Vt*dim);
while v<=vfin do
begin
  I1:=I1o;
  while I1<=I1fin do
  begin
    It:=Ito;
    while It<=Itfin do
    begin
      a1:=(2*sqrt(I1)/v)+sqrt(((4*I1)/(v*v))-1);
      b1:=2*n*sqrt(I1)+sqrt((4*n*n*I1)-1);
      ts:=(ln(a1/b1))/sqrt(I1);
      v1:=-(I1*(ts/2))+1/(2*n)-(v/2)+VDD;
      c1:=(2*n*sqrt(It))+sqrt((4*n*n*It)-1);
      d1:=(2*sqrt(It))+sqrt((4*It)-1);
      tsat1:=(ln(c1/d1))/sqrt(It);
      tsat:=ts+tsat1;
      w1:=(-(It*(tsat1))/2)+0.5-(1/(2*n))+v1;
      v2S:=1+sqrt(It-(sqrt((4*It)-1))/2);
      tvs:=(((2*(w1-v2S))/(v2S*v2S))+tsat1+ts;
      t11:=(((2*(w1-2))/(v2S*v2S))+tsat1;
      tff:=t11+(1/It);
      t1:=t11+ts;
      tf:=tff+ts;
      v2:=vDD+(((v2S-1)/(v2S))**2)*(w1-2))-w1;
      for m:=0 to ht do
      begin
        t:=m*(ts/ht);
        a:=((2*sqrt(I1)/v)+sqrt(((4*I1)/(v**2))-1));
        b:=(2*a*sqrt(I1)*exp(-1*t*sqrt(I1)))/d;
        d:=(1+((a**2)*exp(-2*t*sqrt(I1))));
        V11:=((-1*I1*t)/2)+b-(v/2)+VDD;
        V22:=((-1*I1*t)/2)-b-(v/2)+VDD;
        c:=(sqrt(I1)*(2*b)*(((a**2)*exp(-2*sqrt(I1)*t))-1))/dd;
        dd:=(((a**2)*exp(-2*sqrt(I1)*t))+1);
        Vss:=v22-1-sqrt(I1-c);
        tt:=t*s*(1E9);
        V11:=V11*Vt;V22:=V22*Vt;Vss:=Vss*Vt;
        writeln(' ',tt:2:2,' ',V11:1:2,' ',V22:1:2,' ',Vss:1:2);
        writeln(fs,' ',tt:2:2,' ',V11:1:2,' ',V22:1:2,' ',Vss:1:2);
      end;
      for m:=1 to ht do
      begin
        t:=(m*(tsat1/ht));
        a:=((2*sqrt(It)/g)+sqrt(((4*It)/(g**2))-1));
        b:=(2*a*sqrt(It)*exp((-t)*sqrt(It)))/bc;
        bc:=(1+((a**2)*exp(-2*(t)*sqrt(It)));
        c:=(sqrt(It)*(2*b)*(((a**2)*exp(-2*sqrt(It)*(t)))-1))/cc;
        cc:=(((a**2)*exp(-sqrt(It)*(t)))+1);
        W11:=((-1*It*(t))/2)+b-0.25+v1;
        W22:=((-1*It*(t))/2)-b-0.25+v1;
        Wss:=w22-1-sqrt(It-c);
        tt:=(t+ts)*s*(1E9);w11:=w11*Vt;w22:=w22*Vt;wss:=wss*Vt;
        writeln(' ',tt:2:2,' ',w11:1:2,' ',w22:1:2,' ',wss:1:2);
        writeln(fs,' ',tt:2:2,' ',w11:1:2,' ',w22:1:2,' ',wss:1:2);
      end;
    end;
  end;
end;
for m:=1 to ht do

```

```

begin
  t=(m*(l11-tsati)/ht)+tsati;
  w1=(-1*((v2s-1)**2)*(t-tsati))/(2+w11;
  w2=(-1*(v2s**2)*(t-tsati))/(2+w22;
  vms=w2-v2s;
  tt=(t+ts)*s*(1E9);w1=w1*Vt;w2=w2*Vt;vms=vms*Vt;
  writeIn(' ',tt:2:2,' ',w1:1:2,' ',w2:1:2,' ',vms:1:2);
  writeIn(fs,' ',tt:2:2,' ',w1:1:2,' ',w2:1:2,' ',vms:1:2);
end;
for m=1 to ht do
  begin
    t=(m*(l11-tsati)/ht)+t11;
    v1=w1;
    v2=(-1*t*(t-t11))+1;
    vss=0;
    tt=(t+ts)*s*(1E9);v1=v1*Vt;v2=v2*Vt;vss=vss*Vt;
    writeIn(' ',tt:2:2,' ',v1:1:2,' ',v2:1:2,' ',vss:1:2);
    writeIn(fs,' ',tt:2:2,' ',v1:1:2,' ',v2:1:2,' ',vss:1:2);
  end;
end;
i1=i1+pas11
end;
v=v+pasv
end
end
)

```