

وزارة التربية الوطنية  
MINISTERE DE L'EDUCATION NATIONALE

ECOLE NATIONALE POLYTECHNIQUE  
المدرسة الوطنية المتعددة التخصصات  
BIBLIOTHEQUE - المكتبة  
Ecole Nationale Polytechnique

DEPARTEMENT D'ELECTRONIQUE

# PROJET DE FIN D'ETUDES

## SUJET

ETUDE ET REALISATION  
D'UNE UNITE CENTRALE  
POUR SIMULATEUR DE  
RESEAU TELEPHONIQUE

Proposé par :  
Mme HAMAMI  
et  
Mr BOUZA

Etudié par :  
S.TOUAT  
et  
K.IDDIR

Dirigé par  
Mme HAMAMI  
et  
Mr BOUZA

PROMOTION  
JUILLET 1993

المدرسة الوطنية المتعددة التقنيات  
المكتبة -  
BIBLIOTHEQUE -  
Ecole Nationale Polytechnique

# PROJET DE FIN D'ETUDES

SUJET

ETUDE ET REALISATION  
D'UNE UNITE CENTRALE  
POUR SIMULATEUR DE  
RESEAU TELEPHONIQUE

PROMOTION  
JUILLET 1993

REMERCIEMENTS

Nous tenons à remercier Mme Hamami pour avoir bien voulu nous encadrer pour faire ce travail, ainsi que Mr N. Bouza pour nous avoir initié aux techniques des microprocesseurs. Nos remerciements s'adressent aussi à Mr Hamami pour avoir bien voulu lire une partie de notre travail.

Nous remercions avec la même chaleur tous ceux qui, restants inconnus, nous ont aidés et sans lesquels ce travail n'aurait pas été achevé dans ces délais.

PARTIE A

	Introduction.....	6
* #	I-Historique de la commutation.....	7
* #	II-Structure d'un réseau de télécommunication.....	8
	1-Organisation générale d'un réseau de télécommunications.....	8
	2-Les abonnés et le trafic.....	12
	3-Les éléments constitutifs du réseau.....	13
* #	III-Fonctions d'un autocommutateur.....	20
	1-L'autocommutateur dans le réseau.....	20
	2-Phases d'un appel téléphonique.....	20
	3-Fonctions assurées par un autocommutateur.....	23
	4-Blocs fonctionnels. matériel et logiciel d'un autocommutateur électronique.....	24
	5-La commande par ordinateur.....	27
	6-Fonctions de l'unité de commande réalisée.....	28

PARTIE B

I-	Présentation de l'UC.....	32
	1-Introduction.....	32
	2-Choix du microprocesseur.....	33
	3-Schema synoptique de l'UC.....	37
II-	Etude du microcontrôleur 8031AH de Intel.....	40
	1-Caractéristiques générales des microcontrôleurs de la famille MCS51.....	41
	2-Organisation interne du 8031.....	42
	Mémoire interne.....	44
	Les registres à fonctions spéciales.....	45
	Description des broches.....	48
	Horloge et déroulement des instructions.....	54
	Le port série.....	56
	Les Timers.....	61
	Utilisation du Timer1 comme générateur de baud rate.....	65
	Les interruptions.....	66
III-	L'unité de commande.....	73
	1-Circuit d'horloge.....	73
	2-Circuit d'initialisation.....	74
	3-Les bus.....	75
	-Démultiplexage du bus ADR/DATA.....	76
	-Amplification des bus.....	79
	-Fonctionnement des Bus.....	81
	4-Les mémoires.....	83
	-Tableau d'adressage.....	83
	-Mapping de la mémoire.....	85
	-Décodage.....	86

-Les circuits de mémoires.....	87
5-Circuits d'initialisation et de gestion de la communication série.....	90
-Introduction.....	90
-Choix du format de la transmission série.....	92
-Choix de la vitesse de transmission série.....	96
-Dialogue (handshake) entre l'UC et un terminal.....	99
7-Routine d'initialisation.....	104
8-Tests réalisés.....	108
ANNEXES.....	115

## INTRODUCTION

Les essais d'appareillages de transmission utilisant le réseau téléphonique, peuvent s'avérer coûteux et surtout lents, voire inefficaces. Cela est dû principalement à la non disponibilité des lignes téléphoniques en nombre suffisant et en temps utile pour les laboratoires d'essais.

Il apparaît donc indispensable de disposer d'un simulateur de lignes téléphoniques pour effectuer des tests sur plusieurs appareils et plusieurs lignes simultanément.

Notre travail consiste à concevoir et réaliser l'unité de commande d'un tel simulateur de lignes. Et cela sur la demande et avec l'aide du Département de Recherche et Développement de l'Entreprise Nationale des Systèmes Informatiques (ENSI).

La partie A est une brève étude des réseaux téléphoniques et des autocommutateurs principalement. Cette partie nous éclaire sur les tâches qu'aura à accomplir l'unité de commande.

La partie B est consacrée à l'unité de commande proprement dite. Le chapitre I de cette partie comporte le choix et l'étude du microprocesseur et le chapitre II la conception et la construction de l'UC.

Le fonctionnement de chacun des circuits qui la composent est expliqué brièvement dans ce chapitre.

En dernier, nous introduisons une routine d'initialisation de l'UC, la préparant ainsi à fonctionner en émission/réception pour effectuer des tests.

**PARTIE A**

6

6

## I-HISTORIQUE DE LA COMMUTATION

Pour construire un réseau téléphonique tel que celui dont nous disposons aujourd'hui, il convient de maîtriser quatre technologies:

- celle des postes téléphoniques;
- celle des lignes d'abonnés;
- celle des centraux téléphoniques;
- celle des systèmes de transmission interurbaine.

La première à avoir été disponible est celle de la ligne d'abonné constituée d'un simple fil de fer. La première fut mise en service en Grande Bretagne dès 1837.

Le poste téléphonique est né officiellement avec le dépôt du brevet de Graham Bell le 10 mars 1876. Et le 28 janvier 1878 est mis en service à New Haven dans le Connecticut (Etats Unis) un commutateur à 21 directions, le premier du genre.

## II-STRUCTURE D'UN RESEAU DE TELECOMMUNICATIONS.

### 1-Organisation générale d'un réseau de télécommunications.

#### 1.1-Les fonctions de base du réseau téléphonique.

La fonction première d'un réseau téléphonique est de mettre en relation deux postes d'abonnés. Pour cela, il faut établir la communication en utilisant les renseignements fournis par l'abonné demandeur (numérotation), la maintenir pendant toute la durée de la conversation, avec une qualité d'écoute suffisante, tout en la supervisant pour détecter le raccrochage, qui déclenche la libération des organes ayant servi physiquement à l'échange entre les deux postes.

On voit donc apparaître trois fonctions:

-l'interconnexion des abonnés: c'est leur fournir temporairement le support qui permet aux deux extrémités de correspondre. Cela avec la transmission de signaux dont la fréquence est comprise entre 300 et 3400 Hz.

-la signalisation des abonnés et du réseau: c'est la numérotation d'abord puis les échanges internes qui permettent l'établissement, la supervision et la rupture de la communication.

-l'exploitation du réseau qui concerne l'échange des informations et des commandes permettant de gérer le réseau (mesures de trafic, reconfiguration en cas de panne...).

Ces trois fonctions se concrétisent en trois réseaux plus ou moins fortement liés.

## *1.2-Organisation d'un réseau téléphonique.*

Un réseau téléphonique est organisé autour de structures techniques, géographiques et administratives.

Nous allons nous intéresser ici, uniquement à l'organisation technique.

### *1.2.1-Organisation technique.*

L'organisation technique est une image du chemin que doit parcourir une communication pour relier deux postes téléphoniques (fig. 1) et des équipements qu'elle met en oeuvre.

#### a) La distribution.

C'est la partie du réseau qui se trouve entre le poste téléphonique et son commutateur de rattachement. On y rencontre dans le cas usuel:

- le poste d'abonné,
- le câble de branchement,
- des câbles de distribution qui regroupent les câbles de branchement,
- des câbles de transport, regroupant à leur tour des câbles de distribution,
- un répartiteur général qui est l'interface entre les câbles de transport et le commutateur; son rôle est de permettre de connecter par une jarretière d'une manière qui soit modifiable la paire de fils qui vient de l'abonné, sur un équipement d'entrée dans le commutateur.

Entre les cables de distribution et les cables de transport se trouve parfois un sous-répartiteur. Il est destiné à augmenter la complexité de la gestion des cables, et leur assure un meilleur taux d'utilisation.

On appelle branchement la partie du réseau de distribution qui va de l'abonné au point de concentration où les cables de branchement sont rassemblés en cables de distribution. La partie du réseau située entre le point de concentration et la sous-répartition (où se trouve le sous-répartiteur) est le réseau de distribution proprement dit. La partie du réseau qui va des sous-répartitions au commutateur constitue le réseau de transport.

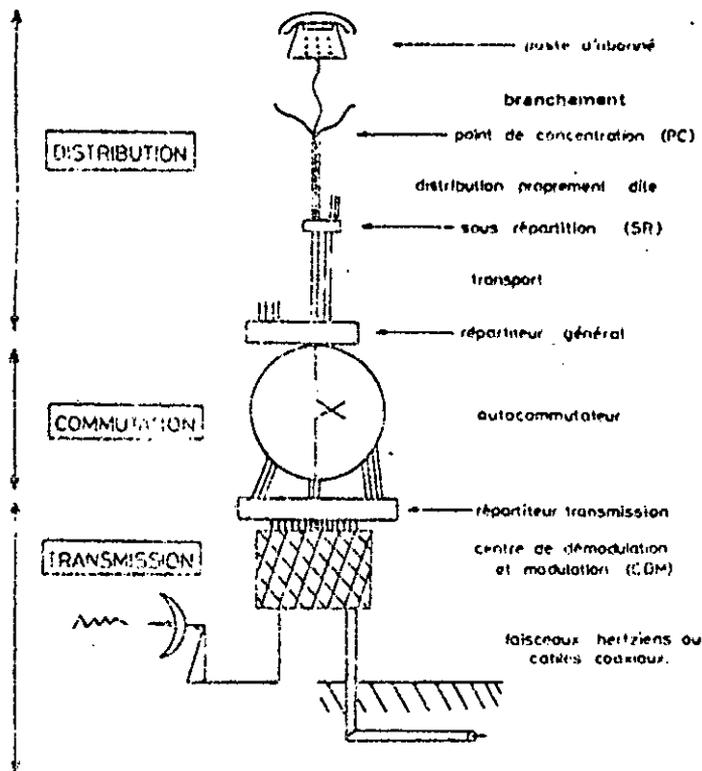


Figure 1- Chaîne de communication.

à cela par l'emploi de centres de modulation et de démodulation qui traitent et multiplexent les signaux téléphoniques.

Les CDM sont reliés entre eux par des artères de transmission composés de supports variés, tels que faisceaux hertziens, câbles à paires symétriques, câbles coaxiaux et fibres optiques.

## 2- Les abonnés et le trafic.

### 2.1- Trafic d'un abonné.

L'activité de la ligne d'un abonné peut être mesurée par la proportion de temps où elle est occupée. C'est ce qu'on appelle l'intensité moyenne du trafic de cet abonné. Par exemple, si un abonné téléphone trois minutes, puis quatre minutes, puis deux minutes au cours d'une heure de mesure, son volume de trafic durant cette heure aura été de  $3+4+2=9$  minutes et l'intensité moyenne de son trafic aura été de  $(3+4+2)/60=0,15$ . L'unité d'intensité de trafic est l'erlang. Le volume de trafic est homogène à un temps.

### 2.2- Trafic d'un groupe d'organes.

Considérons un ensemble de cinq abonnés reliés à un centre A et cherchant à communiquer avec des abonnés d'un centre B, reliés à A par N circuits (fig. 2).

Si nous représentons l'activité de ces cinq lignes sur un diagramme (fig 3), on en déduit aisément l'occupation des circuits du faisceau AB. Le nombre de circuits occupés représente le trafic instantané écoulé par le faisceau de circuits. On définit alors encore l'intensité moyenne du trafic A comme la moyenne dans le temps du nombre de circuits occupés  $n(t)$ :

$$A = \frac{1}{T} \int_0^T n(t) dt.$$

### 2.3-Notions de qualité d'écoulement du trafic.

On constate que le nombre maximum de circuits occupés, soit 5, est en fait rarement atteint. Si donc on admet qu'en de rares occasions (par exemple 1% du temps) un abonné puisse avoir à recommencer son appel parce qu'il a rencontré une saturation du faisceau, on pourra mettre moins de cinq circuits dans le faisceau, d'où économie de matériel.

Pour des lois d'arrivée des appels et des durées de communication données, on peut calculer une fonction  $p=f(N,A)$  représentant la probabilité d'échec en fonction du trafic  $A$  et du nombre de circuits  $N$ . Cette probabilité est une des mesures de ce qu'on appelle la qualité d'écoulement du trafic.

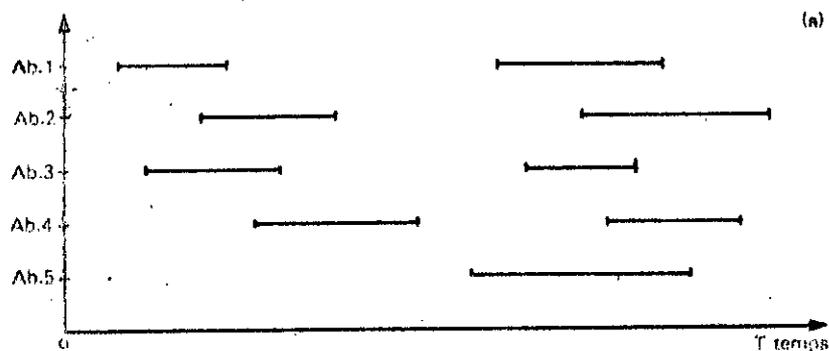


Figure - Trafic des 5 abonnés sur le faisceau AB.

### 3-Les éléments constitutifs du réseau.

#### 3.1-La distribution.

Le rôle du réseau de distribution est de relier tout abonné à son centre de commutation de rattachement avec une qualité suffisante sur les plans:

- de la transmission: bande passante, affaiblissement, résistance de boucle (le courant d'alimentation doit être suffisant).

- de l'écoulement de trafic: la probabilité d'atteindre le commutateur doit être suffisante.

Dans ce qui suit nous allons voir les équipements que l'on rencontre dans le réseau de distribution quand on se déplace de l'abonné vers le commutateur.

a) Le poste téléphonique.

C'est le point d'accès au réseau téléphonique. Il est constitué d'un combiné microphone-écouteur, autorisant la conversation, et d'un organe de signalisation (numérotation).

b) Le câble de branchement.

Le câble de branchement va du poste d'abonné au point de concentration. Le poste d'abonné y est relié par l'intermédiaire d'un dispositif "coupe-circuit" servant à isoler le poste du commutateur lors de travaux.

c) Le point de concentration.

Les câbles de branchement arrivent au point de concentration. Celui-ci joue aussi le rôle d'un mini-répartiteur.

d) Les câbles de distribution.

Les câbles de distribution vont du point de concentration vers la sous-répartition. Ils peuvent avoir trois modes de pose: des canalisations souterraines, pose en pleine terre ou en artères aériennes.

### d) La sous-répartition.

La sous-répartition a pour rôle de regrouper les câbles de distribution et de les relier aux câbles de transport. Une sous-répartition peut rassembler de 100 à 1500 abonnés.

### e) Les câbles de transport.

Les câbles de transport sont analogues aux câbles de distribution, mais leur capacité est plus élevée.

### g) Le répartiteur d'entrée.

Le répartiteur d'entrée est le point d'accès des câbles à l'auto-commutateur.

## 3.2-La commutation.

### a) Les centres d'abonnés.

Un auto-commutateur d'abonnés permettait d'effectuer des connexions temporaires entre les abonnés qui y sont raccordés ou entre ceux-ci et des circuits vers d'autres commutateurs.

Un réseau de connexion est toujours organisé en plusieurs étages.

Une opération de commutation se fait en trois phases:

-la présélection: au décrochage de l'abonné, un chemin est établi dans le ou les étages de présélection, entre celui-ci et un enregistreur libre. L'enregistreur lui envoie la tonalité et s'enregistre la numérotation.

-la traduction: lorsque le numéro est reçu (ie. suffisamment de chiffres pour connaître la direction sortante), l'enregistreur

se connecte à un traducteur libre, pour décoder ce numéro en une direction de sortie.

-la sélection: l'enregistreur utilise les informations disponibles pour rechercher, dans le ou les étages de sélection, un chemin libre vers un circuit libre du faisceau sortant.

Lorsqu'il l'a trouvé, il émet sur ce circuit un signal de prise (qui provoquera une présélection dans le centre aval), puis la signalisation qui permettra au centre aval de déterminer la suite de l'acheminement de la communication. Pour cela il peut s'aider de ce qu'on appelle des auxiliaires (émetteurs-récepteurs de signalisation).

#### b) Les centres de transit.

Les principes restent les mêmes, sauf qu'il n'y a pas d'étages d'abonnés réalisant une concentration. Les opérations de présélection comme de sélection se font à travers un même réseau.

On distingue deux sortes de commutations de transit:

-centres de transit deux fils: la conversation est écoutée sur deux fils qui sont commutés simultanément dans le réseau de connexion.

-centres de transit quatre fils: les deux sens de conversation sont véhiculés sur deux paires de fils différents (pour des raisons de transmission). Il faut donc commuter quatre fils dans le réseau de connexion.

#### c) Les technologies.

Dans les commutateurs électroniques modernes, on trouve deux grands types de réseaux de connexion:

### 1-La commutation spatiale.

Le réseau de connexion établit un chemin physique entre l'entrée et la sortie. Le point de contact peut être différent (relais ordinaires, relais à maintien électrique ou magnétique, circuits électroniques à transistors,...), il reste que pendant toute la durée de la communication un chemin électrique continu est établi entre l'entrée et la sortie pour cette communication et elle seule.

### 2-La commutation temporelle.

Ici, aucun chemin physique ni continuité électrique n'est établie en permanence entre l'entrée et la sortie. En commutation temporelle, le signal émis par les abonnés (fréquence de 300 Hz à 3400 Hz) est transformé par une technique de "modulation par impulsion et codage" (MIC).

La première transformation est un échantillonnage du signal à une fréquence de 8 KHz.

La seconde transformation consiste en un codage des échantillons sur 128 niveaux (d'amplitude variant selon une loi logarithmique pour un meilleur rendu des faibles niveaux), ce qui permet de coder l'échantillon sur 8 éléments binaires, signe compris.

Le débit minimum nécessaire est donc de 64 Kbit/s. Mais comme la technique permet de transmettre des débits très supérieurs sur des circuits électriques, on peut acheminer plusieurs communications sur un même support à condition d'y disposer d'un débit suffisant. La communication entre une entrée et une sortie se fait alors en transférant les suites de groupes de 8 eb appartenants à une même communication.

### 3.3-La transmission.

La transmission est l'ensemble des moyens techniques qui permettent de transmettre le signal téléphonique (et la signalisation associée) entre les auto-commutateurs avec une qualité suffisante (affaiblissement et distorsion limités).

#### a) La transmission basse fréquence (BF).

La transmission basse fréquence n'est utilisable que sur de courtes distances, inférieures à 10 Km. A chaque circuit téléphonique on associe une paire de fils de cuivre sur laquelle le signal est transmis tel quel, c'est à dire en particulier sans redige ou changement de fréquence.

#### b) La transmission analogique haute fréquence.

Dès que la distance dépasse 10 Km, il est plus économique de multiplexer plusieurs circuits téléphoniques sur un même support, c'est à dire faire porter par ce support plusieurs communications en même temps. Une des premières techniques utilisées pour cela est le multiplexage en fréquences, ou analogique.

#### c) La transmission numérique.

Le principe utilisé est celui du multiplexage temporel vu plus haut.

### 3.4-La signalisation.

La signalisation est l'ensemble des signaux échangés entre les équipements afin de permettre l'établissement, la supervision

et la rupture des communications.

On distingue deux types de signalisation:

-les signaux de ligne: ce sont essentiellement la prise et la libération des circuits, et la supervision de la communication (réponse ou raccrochage du demandé);

-les signaux d'enregistreurs, plus nombreux, sont échangés pendant l'établissement de la communication: les signaux de rotation en font partie.

### III-FONCTIONS D'UN AUTOCOMMUTATEUR.

#### 1-L'autocommutateur dans le réseau.

Les autocommutateurs constituent les noeuds du réseau téléphonique automatique et assurent des liaisons temporaires parmi les suivantes:

-Liaison entre deux lignes d'abonnés raccordés au même autocommutateur; c'est la communication locale.

-Liaison entre une ligne d'abonné et une jonction vers un autre autocommutateur.

-Liaison entre une jonction provenant d'un autre autocommutateur et une ligne d'abonné.

-Liaison entre deux jonctions provenant de deux autocommutateurs distincts.

#### 2-Phases d'un appel téléphonique.

##### *2.1-Les différents types d'appels téléphoniques.*

Dans un autocommutateur universel, on peut distinguer quatre types d'appels. Considérons deux abonnés a et b raccordés respectivement aux autocommutateurs A et B (fig.5).

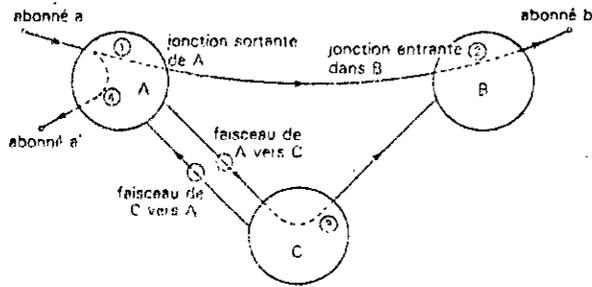


Figure 5- Les différents types d'appels.

- 1 appel sortant de A;
- 2 appel entrant dans B;
- 3 appel de transit dans C;
- 4 appel local dans A.

La première phase du traitement d'un appel: la présélection.

#### Définition.

En général, la réception d'une demande d'appel nécessite en premier lieu l'exécution par l'auto-commutateur, d'un certain nombre d'opérations qui, notamment, le mettront en mesure de recevoir le numéro de l'abonné demandé. C'est l'ensemble de ces opérations qu'on désigne sous le nom de présélection. Suivant que la demande émane d'un abonné ou d'une jonction entrante, le déroulement de cette phase est différent.

Dans le cas d'un appel d'abonné, les opérations de présélection sont celles qui sont exécutées par l'auto-commutateur jusqu'à ce que celui-ci délivre la tonalité d'invitation à numéroté du demandeur.

Dans le cas d'un appel provenant d'une jonction, la présélection est la phase qui sépare la réception d'un signal d'engagement d'appel, de l'instant où l'auto-commutateur est prêt

recevoir la numérotation correspondant à la demande d'appel.

### *2.3-Deuxième phase: l'enregistrement de la numérotation et la sélection.*

La phase de présélection ayant abouti à la connexion d'un récepteur de numérotation ou d'un récepteur de signalisation, l'autocommutateur dans la phase suivante, reçoit et enregistre les signaux de numérotation. Il va les utiliser pour choisir un itinéraire interne permettant d'aboutir à la ligne appelée: cette dernière opération est appelée la sélection.

100

### *2.4-Troisième phase: signalisation.*

Cette phase a pour but la transmission vers un auto-commutateur distant, d'une demande d'appel et des informations relatives à son aboutissement. Elle n'existe donc en principe que pour un appel sortant et pour un appel de transit. Pour un appel entrant, elle se confond avec la phase d'enregistrement. Pour un appel local, cette phase n'existe pas, à moins qu'il soit traité comme un appel sortant suivi d'un appel entrant.

### *2.4-Quatrième phase: supervision de la communication.*

A la fin de la phase de signalisation, le courant de sonnerie est transmis sur la ligne de l'abonné demandé, la tonalité de retour d'appel est émise vers le demandeur, et la liaison entre autocommutateur de départ et autocommutateur d'arrivée est établie. La phase suivante de fonctionnement consiste à superviser l'état de la ligne des abonnés demandeur et demandé, pour permettre la mise en relation de ces abonnés ou le relachement de la liaison établie, et à mettre en route, si nécessaire, la taxation de la communication.

### 3-Fonctions assurées par un autocommutateur.

L'analyse séquentielle, en termes de phases, qui vient d'être présentée peut être complétée par une analyse en termes de fonctions, indépendamment de la technique de commutation utilisée. Les fonctions classiques qu'assure un autocommutateur sont:

#### 3.1-La fonction de connexion.

Un auto-commutateur assure une liaison temporaire entre lignes d'abonnés, ou ligne d'abonné et jonction ou enfin entre deux jonctions.

Cette liaison permet dans des conditions déterminées, la transmission de courants: elle caractérise la fonction de connexion assurée par l'auto-commutateur. Les équipements qui assurent cette fonction sont désignés globalement sous le nom de réseau de connexion.

#### 3.2-La fonction de relation.

Un auto-commutateur téléphonique agit en réponse à des demandes qui lui sont faites à distance, soit par des postes d'abonnés, soit par des autocommutateurs distants. L'établissement des communications nécessite donc des échanges d'information pour lesquelles l'auto-commutateur doit disposer de fonctions de dialogue avec l'extérieur: Ce sont les fonctions de relation.

L'ensemble des procédures qui régissent ces échanges d'information est connu sous le nom de signalisation téléphonique.

### 3.3-Fonction de commande.

Le traitement des informations est assuré par l'unité de commande de l'auto-commutateur. Celle-ci exécute toutes les fonctions nécessitant un "traitement intelligent" ou de la mémoire notamment les fonctions de traduction, de taxation, d'exploitation et de maintenance. Elle assure également l'acquisition des événements et la commande des équipements de signalisation et de connexion qui constituent le reste de l'auto-commutateur.

### 3.4-Fonctions de traduction.

Dans les réseaux téléphoniques on se contraint à ce que les premiers chiffres du numéro d'annuaire caractérisent l'autocommutateur auquel la ligne qu'il désigne est rattachée. Les autocommutateurs examinent ces chiffres, qu'on appelle indicatif de l'autocommutateur de destination pour acheminer l'appel: c'est la traduction de départ. L'autocommutateur de destination doit effectuer une analyse complète du numéro pour orienter l'appel vers la ligne demandée, mais cette traduction ne porte que sur un nombre limité d'indicatifs: c'est la traduction d'arrivée.

### 4-Blocs fonctionnels, matériels et logiciels d'un autocommutateur électronique.

En se tenant au niveau macroscopique des blocs fonctionnels, on reconnaît une découpe commune aux autocommutateurs électroniques. Comme l'indique la figure 6, on distingue:

les équipements individuels de ligne, permettant le raccordement soit des postes téléphoniques, soit des circuits.

2-le réseau de connexion (spatial ou temporel) qui possède généralement ses propres organes de commande.

3-les organes de collecte et de distribution des informations (collecteurs et distributeurs) sont intermédiaires entre les équipements de ligne et la commande, ils traitent en particulier la signalisation voie par voie.

4-la commande comprenant essentiellement des processeurs et des mémoires dans des organisations variées (centralisées et décentralisées).

5-les périphériques de type informatique qui servent aux relations avec le personnel d'exploitation et d'entretien.

La figure 6 fait aussi apparaître un certain nombre de jonctions:

A: les jonctions d'abonnés et de circuits;

B: les jonctions d'accès au réseau;

C, C<sub>1</sub>, C<sub>2</sub>, C<sub>3</sub>: les jonctions internes de commande;

D: les jonctions de relation homme-machine.

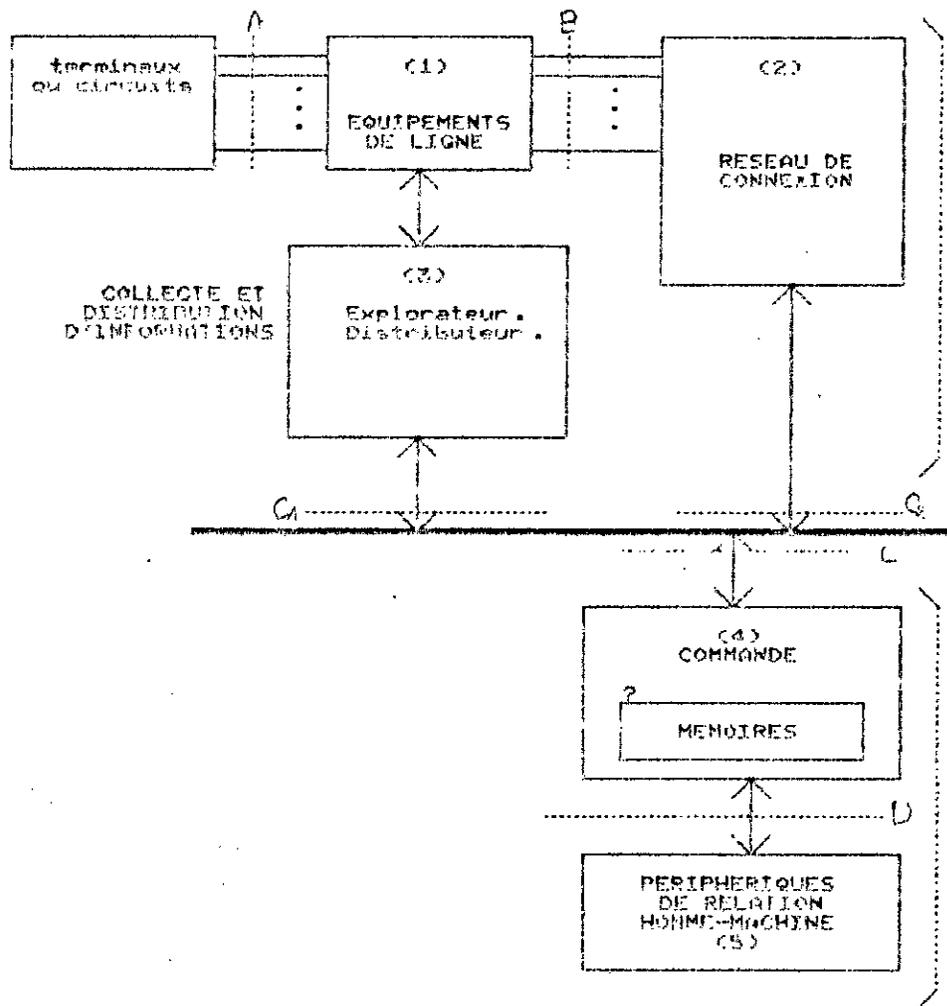


Figure 6- Blocs fonctionnels d'un autocommutateur.

## 5-La commande par calculateur.

L'utilisation d'un calculateur pour commander un autocommutateur téléphonique était une idée toute naturelle car, dès l'origine, il est apparu que les calculateurs électroniques, conçus pour résoudre des problèmes mathématiques, étaient en fait aptes à constituer des centres de décision complexes, pourvu qu'on leur adjoigne les organes périphériques convenables pour l'entrée des données à traiter et la sortie des commandes élaborées.

Un auto-commutateur téléphonique a pour fonction d'analyser des événements extérieurs émanant d'une multitude de sources indépendantes, de les interpréter comme demandes de communications déterminées et d'en déduire les actions à entreprendre afin de leur donner satisfaction.

Il faut remarquer que les calculateurs utilisés en téléphonie s'écartent des structures universelles du fait qu'ils ont en général été conçus pour un système de commutation déterminé: leur code d'instructions présente certaines particularités, l'organisation des mémoires est assez différente (dans beaucoup de systèmes les mémoires de programme et de données sont distinctes), enfin la gamme de leur périphériques est assez inhabituelle (explorateurs, distributeurs, marqueurs,...).

Les fonctions de traitement des appels sont d'abord des fonctions d'acquisition, à travers les points de tests et les explorateurs, des événements se produisant sur les lignes d'abonnés et les jonctions entre auto-commutateurs. Ce sont ensuite ces fonctions de distribution pour commander, à travers les distributeurs et les points de distribution, l'émission de signaux vers ces lignes et jonctions. Entre les deux, se placent des fonctions internes d'analyse des signaux reçus, comme la traduction, ou de décision concernant la progression des appels, comme l'acheminement, enfin la fonction de connexion qui assure la sélection, la mise en place et le relachement des itinéraires dans

le réseau de connexion. A toutes ces fonctions, s'appliquent des contraintes de temps réel de l'ordre de quelques dizaines ou centaines de millisecondes, soit en raison de la nature des signaux, soit en raison de normes de qualité de service à assurer (durée de la présélection, par exemple). Leur exécution nécessite la mémorisation de l'état instantané des éléments mis en jeu, de lignes interconnexions permanentes, de la situation de chaque appel en cours, ainsi que des informations permettant d'interpréter la numérotation et les signaux reçus.

#### 6-Fonction de l'unité centrale réalisée.

Notre travail consiste à concevoir l'unité centrale d'un simulateur de lignes téléphoniques. Elle aura pour fonction de piloter un réseau de lignes simulées, à l'image de l'unité de commande d'un autocommutateur téléphonique.

Pour cela elle aura à commander un certain nombre de périphériques, dont principalement, le réseau de connexion, l'explorateur et le distributeur du simulateur, ainsi que le périphérique de relation homme-machine.

Le dernier est un terminal (clavier et écran de visualisation) qui sera piloté par l'intermédiaire d'une liaison RS-232.

Pour piloter les périphériques proprement dits du simulateur de lignes, nous prévoyons pour l'UC un certain nombre de lignes Chip-Select résultants du décodage de quelques lignes d'adresses.

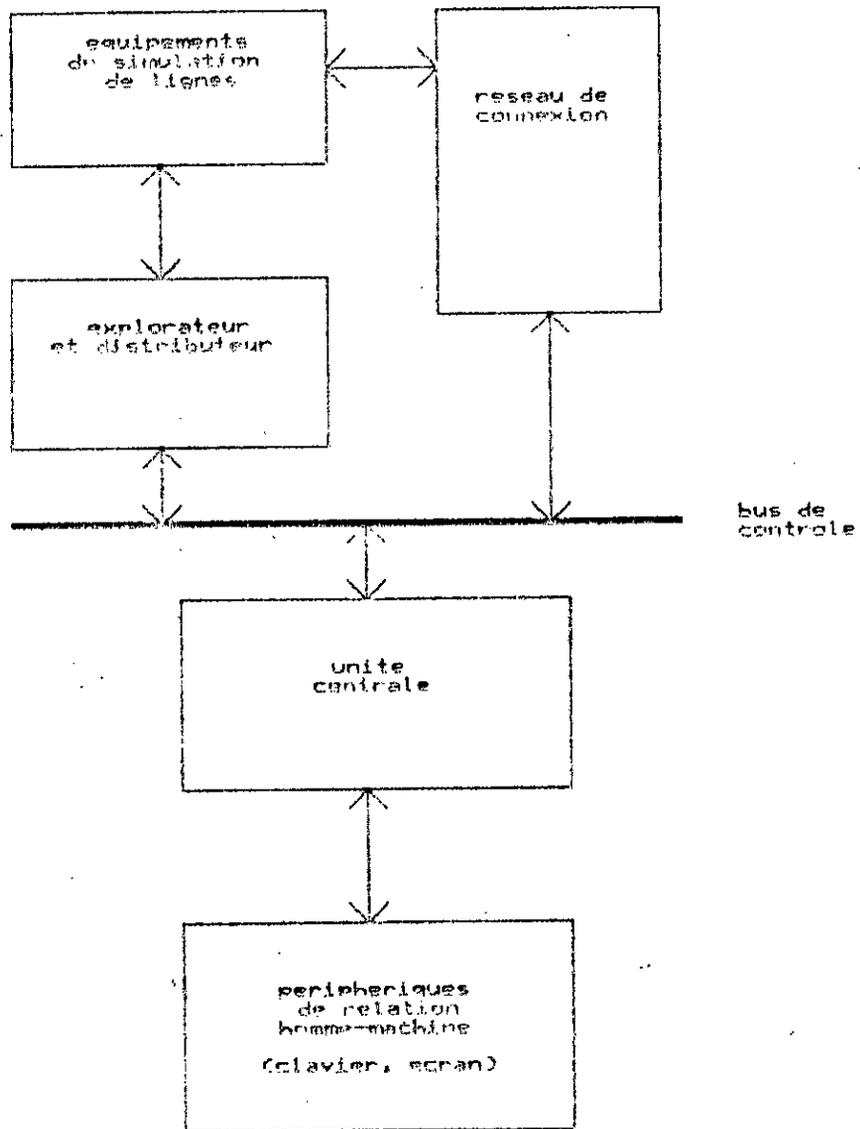


Figure 7- Blocs fonctionnels éventuels du simulateur de lignes téléphoniques.

Après avoir pris connaissance des services exigés d'un autocommutateur électronique, et selon les besoins exprimés par le Département de Recherche et Développement de l'Entreprise Nationale des Systèmes Informatiques (ENSI) nous pouvons établir le cahier des charges de l'unité centrale de l'autocommutateur sur un réseau de lignes simulées:

- capacité mémoire programme de 8 Ko;
- capacité de la mémoire de données de 56 Ko;
- espace adressable réservé aux périphériques de 6 Ko;
- large gamme de vitesses de transmission;
- entrées d'interruptions disponibles.

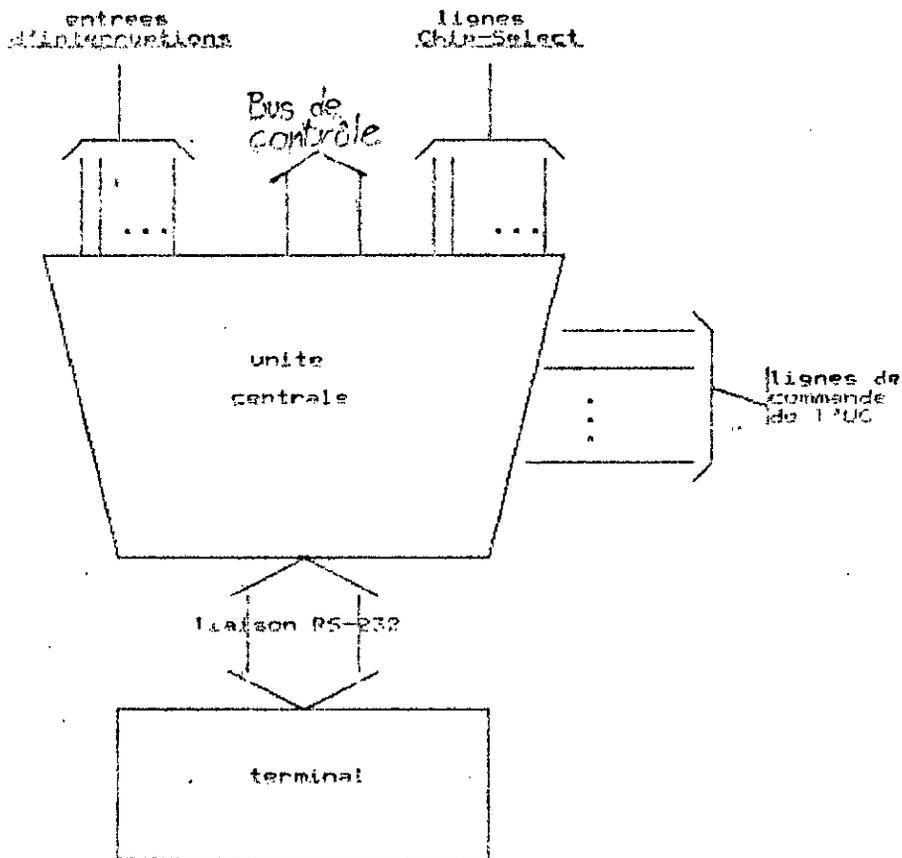


Figure 8- L'unité centrale vue de l'extérieur.

**PARTIE B**

## CHAPITRE 1 Présentation de l'UC.

### 1. Introduction.

-Rôle de l'UC.

L'objet de notre travail consiste à réaliser une unité centrale dont la tâche est de simuler une ligne téléphonique. Ce système trouve son application dans le test des appareils téléphoniques. L'utilisateur communique avec le système par l'intermédiaire d'un clavier et d'un écran de visualisation.

-Constitution d'une unité centrale.

Comme le montre la figure 2.1.1, d'une manière générale, un système à microprocesseur comprend trois parties principales qui sont: la mémoire, l'unité centrale de traitement (CPU) et des ports d'entrée-sortie. (référence: Douglas V. Hall)

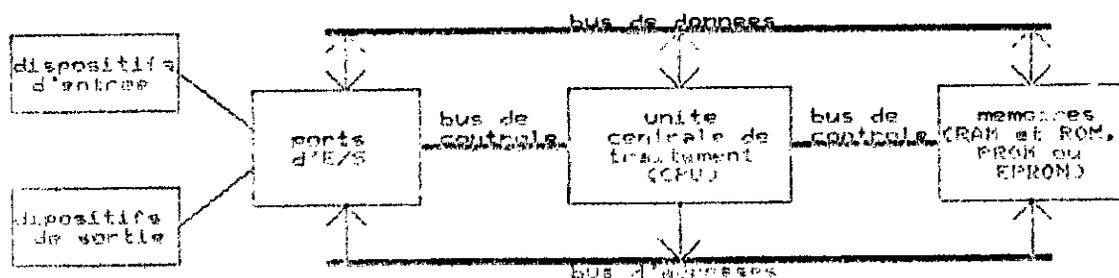


Figure 2.1.1- Schéma bloc d'un système à microprocesseur simple.

-La partie mémoire.

Elle sert à stocker le programme exécuté par le processeur, les données utilisées et les résultats obtenus. Elle peut être constituée de RAM, ROM et des disques ou bandes magnétiques.

-L'unité centrale de traitement (CPU).

Elle est constituée de circuits de contrôle, d'une unité

arithmétique et logique (ALU), d'un compteur programme et de quelques registres. Elle a pour rôle de contrôler les autres circuits du système et exécuter le programme résidant en mémoire.

#### -Interfaces d'entrée/sortie.

Ce troisième bloc représente l'interface du microprocesseur avec le monde extérieur. Ces interfaces sont souvent appelés des ports d'entrée/sortie: un port d'entrée reçoit des données à partir d'un dispositif externe (par exemple le clavier, un CAN,...). Un port de sortie sert à transmettre des données au monde extérieur (par exemple: CNA, écran de visualisation, unité de contrôle des vitesses d'un moteur,...).

Ces trois blocs sont reliés par un bus d'adresses, un bus de données et un bus de contrôle. Nous traiterons ces bus plus en détail dans les sections qui vont suivre (paragraphe II.5).

### 1.2-Choix du microprocesseur.

Depuis l'apparition du premier microprocesseur, des progrès technologiques considérables ont été réalisés, dans le domaine de la microélectronique et de l'intégration des circuits.

De nos jours le coût du matériel est moins important que celui d'un logiciel complexe. Par conséquent la tendance est vers la conception de systèmes spécialisés dans une application bien déterminée.

#### *Classification des microprocesseurs.*

Les microprocesseurs existant au milieu des années 80, peuvent être classés en quatre principales catégories:

a) microprocesseurs à architecture standard.

Ces microprocesseurs utilisent comme mémoire RAM et ROM et ports d'E/S, des circuits intégrés (ci) externes pour la constitution de systèmes de n'importe quelle taille.

Nous pouvons citer comme exemple de ces microprocesseurs: le 8088A de Intel, le Z80 de Zilog et le MC6800 de Motorola.

b) microcontrôleurs ou microsystèmes (on-chip microcomputers).

de tels microprocesseurs contiennent une RAM, une ROM, des circuits d'horloge et des ports d'E/S tous intégrés dans le CI du microprocesseur. Des mémoires RAM et ROM externes, peuvent être ajoutées pour étendre les capacités du "microcalculateur". A titre d'exemple nous citons les microcontrôleurs MCS-48 et MCS-51 de Intel et le MC6801 de Motorola.

c) Les superprocesseurs.

Une des voies de développement de microprocesseurs est celle orientée vers la mise au point de dispositifs pouvant assurer toutes les fonctions d'un "mini calculateur". Les superprocesseurs typiques ont des bus de données de 16 ou 32 lignes.

Leurs bus d'adresses aussi contiennent un grand nombre de lignes leur permettant d'adresser jusqu'à des Méga-octets de mémoire. De plus ils jouissent de la faculté de manipuler, aussi bien des mots, des octets, des mots binaires de 4 bits, des bits que des chaînes de caractères.

Dans cette catégorie on trouve, par exemple: le iAPX86/10 et l'iAPX88/10 de Intel, le MC68000 de Motorola et le TMS9500 de Texas Instrument.

d) Les microprocesseurs en tranche (Bit slice processors).

Ce type de processeur est indiqué pour des applications qui

requièrent des vitesses d'exécution très élevées. Les éléments de base de leur architecture sont des ALU de 4 ou 8 bits mises en parallèle, chacune d'entre elles étant éventuellement associée à des registres et des circuits de multiplexage. Le concepteur spécifie pour chaque instruction une séquence de micro-instructions devant résider en ROM. Comme exemple nous avons le processeur de la série 10800 ECL de Motorola et ceux de la série 12900 de Advanced Micro-services. Il est bon de remarquer que cette catégorie de processeurs est peu utilisée.

### Choix du microprocesseur.

Nous devons choisir le matériel le plus adapté à l'application envisagée et qui offre la capacité et les facilités spécifiées dans le cahier des charges.

Les principales considérations à prendre en compte sont: le type de microprocesseur, la capacité mémoire interne et externe et le type de circuit pouvant lui être connecté.

1-Notre application ne nécessite pas une très grande capacité de traitement (calcul), ce qui fait qu'un microprocesseur à 8 bits sera suffisant.

2-Parmi les microprocesseurs 8 bits, les microcontrôleurs des familles 8051 et 8048 de Intel sont particulièrement adaptés à nos besoins. En effet, ce sont des dispositifs conçus généralement pour des tâches de contrôle et d'instrumentation. Ils sont caractérisés par les éléments suivants:

-circuits d'horloge internes (ils nécessitent uniquement un cristal externe);

-les ports d'E/S intégrés dans la puce du microcontrôleur, offrant un grand nombre de lignes d'E/S avec des verrous et des

sortances et entrances satisfaisantes.

-deux entrées d'interruptions externes, et deux entrées de compteurs à 16 bits, pour l'usage dans différentes tâches de contrôle et de mesure.

-un port sériel duplex-intégral programmable.

-un espace mémoire interne et une capacité d'adressage de 128 Ko de mémoire externe.

-un jeu de 111 instructions, englobant des opérations logiques, des opérations arithmétiques (en binaire et en BCD) et des opérations de transfert de données permettant la manipulation des bits séparément.

-compatibilité TTL.

-possibilité de fonctionnement à alimentation réduite ou momentanément interrompue.

Ces différentes caractéristiques offrent de nombreux avantages, à savoir:

-coût et encombrement réduits: un faible nombre de circuits suffit pour la constitution d'un système autour du microcontrôleur.

-il en découle aussi des facilités de portabilité, spécialement avec les membres de la famille 8048 pouvant être alimentés à l'aide d'une batterie.

-performances satisfaisantes: sécurité (mode d'alimentation

réduite), souplesse d'utilisation des lignes d'E/S et facilité de programmation (diversité des instructions et le nombre considérable de modes d'adressages permis).

Parmi les microcontrôleurs de Intel, celui choisi pour la réalisation de l'UC est 8031AH (à technologie HMOS) vu sa disponibilité et celle de son système de développement.

### 2.3 -Schéma synoptique général de l'UC.

La figure 2.1 montre les différents blocs constituant l'unité centrale réalisée. Son organe central est le microcontrôleur 8031AH de Intel. Un quartz associé à deux capacités pilote les circuits d'horloge interne. Un circuit d'initialisation permet de lancer le fonctionnement du système de deux façons: l'une opérant automatiquement à la mise sous tension, l'autre manuellement à l'aide d'un bouton poussoir pour permettre une réinitialisation du système à n'importe quel instant de son fonctionnement.

La partie mémoire est divisée en une mémoire programme EPROM de 8 Ko pour le stockage du programme utilisateur et une mémoire de données de 56 Ko regroupant une RAM de 32 Ko et trois autres RAM de 8 Ko chacune. Les 8 Ko d'espace mémoire restants sont utilisés pour l'adressage de la partie périphérique, qui englobe les périphériques proprement dits de la partie téléphonique et les circuits utilisés pour mener à bien les communications sériels avec un terminal. Un décodage réalisé en deux temps, par deux décodeurs 2 vers 4, permet de sélectionner en premier lieu un parmi les trois boîtiers RAM de 8 Ko ou les périphériques et de partager en suite cette dernière partie en trois espaces mémoire.

Les bus d'adresses et de données sont démultiplexés grâce à un circuit de verrouillage des adresses piloté par le signal de

contrôle ALE (Address Latch Enable) délivré par le microcontrôleur 8031 et d'un amplificateur bidirectionnel servant à séparer les données des adresses.

Le bus de contrôle est constitué des signaux: ALE (validation du verrou d'adresses),  $\overline{PSEN}$  (validation de la lecture de la mémoire EPROM externe),  $\overline{PE}$  (lecture mémoire),  $\overline{WR}$  (écriture mémoire) et deux entrées d'interruptions externes réservées à la partie téléphonique.

Pour répondre au besoin des nombreuses charges, les lignes  $\overline{RD}$  et  $\overline{WR}$  doivent être amplifiées. Ce n'est pas le cas du bus de données qui est chargé par des circuits à 3 états. L'utilisateur peut entrer des commandes ou contrôler l'état du système à l'aide d'un terminal (clavier et écran de visualisation). Il dispose à cet effet d'un système de micro-switchs pour sélectionner le format et la vitesse de la transmission série ainsi que le type de dialogue (handshake) entre le terminal et l'unité centrale.

Un interface compatible RS-232 permet d'interfacer entre les signaux TTL et ceux de la norme RS-232 acheminés. En plus des lignes de transmission TXD et de réception RXD de données séries, il est connecté à 4 lignes du bus de données à travers un circuit de verrouillage à trois états, pour le transfert des signaux de dialogue par aquitement matériel (hard-handshake) au cas où ce mode est choisi.

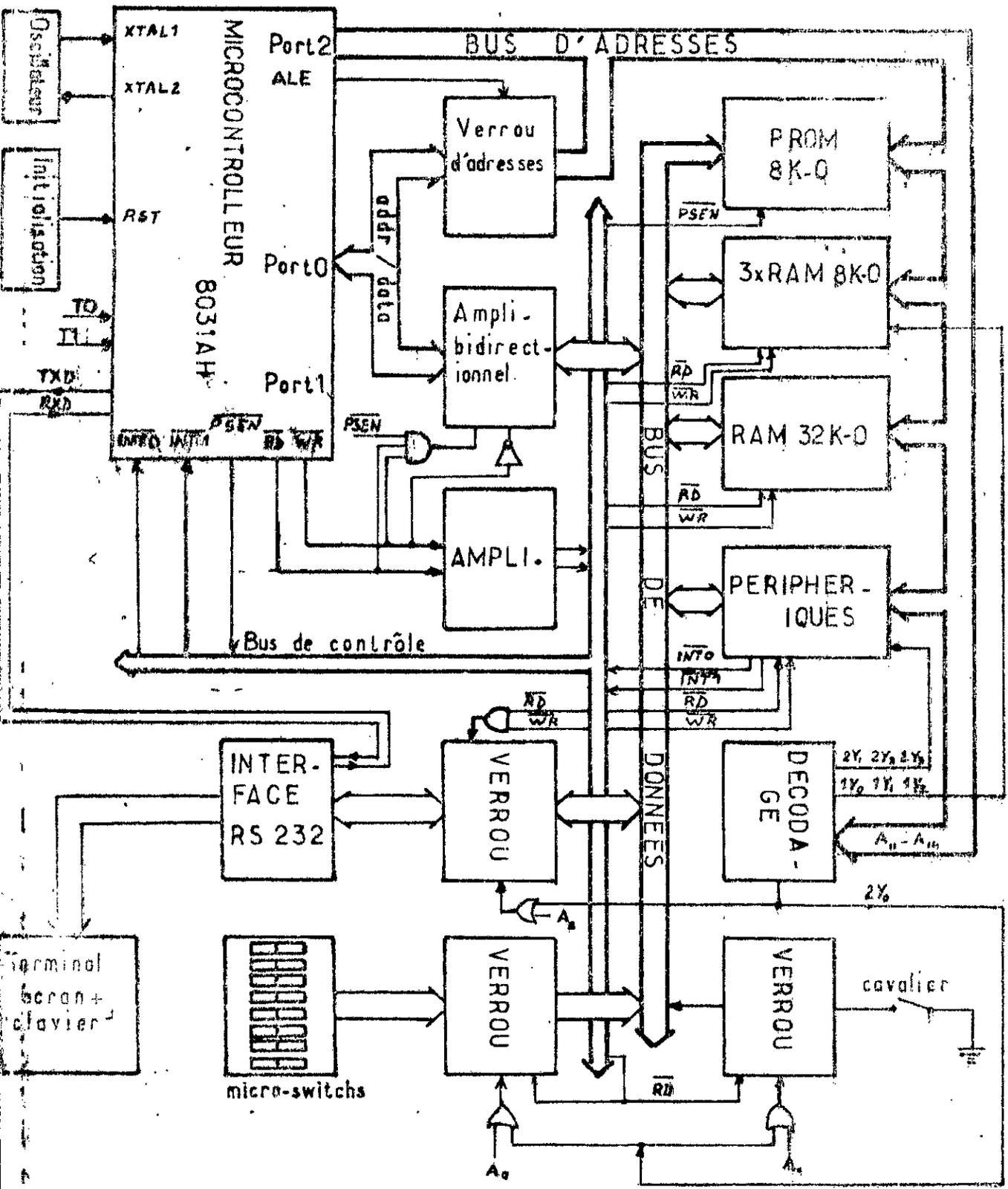


Fig: 2-1 SCHEMA SYNOPTIQUE DE L'UNITE CENTRALE

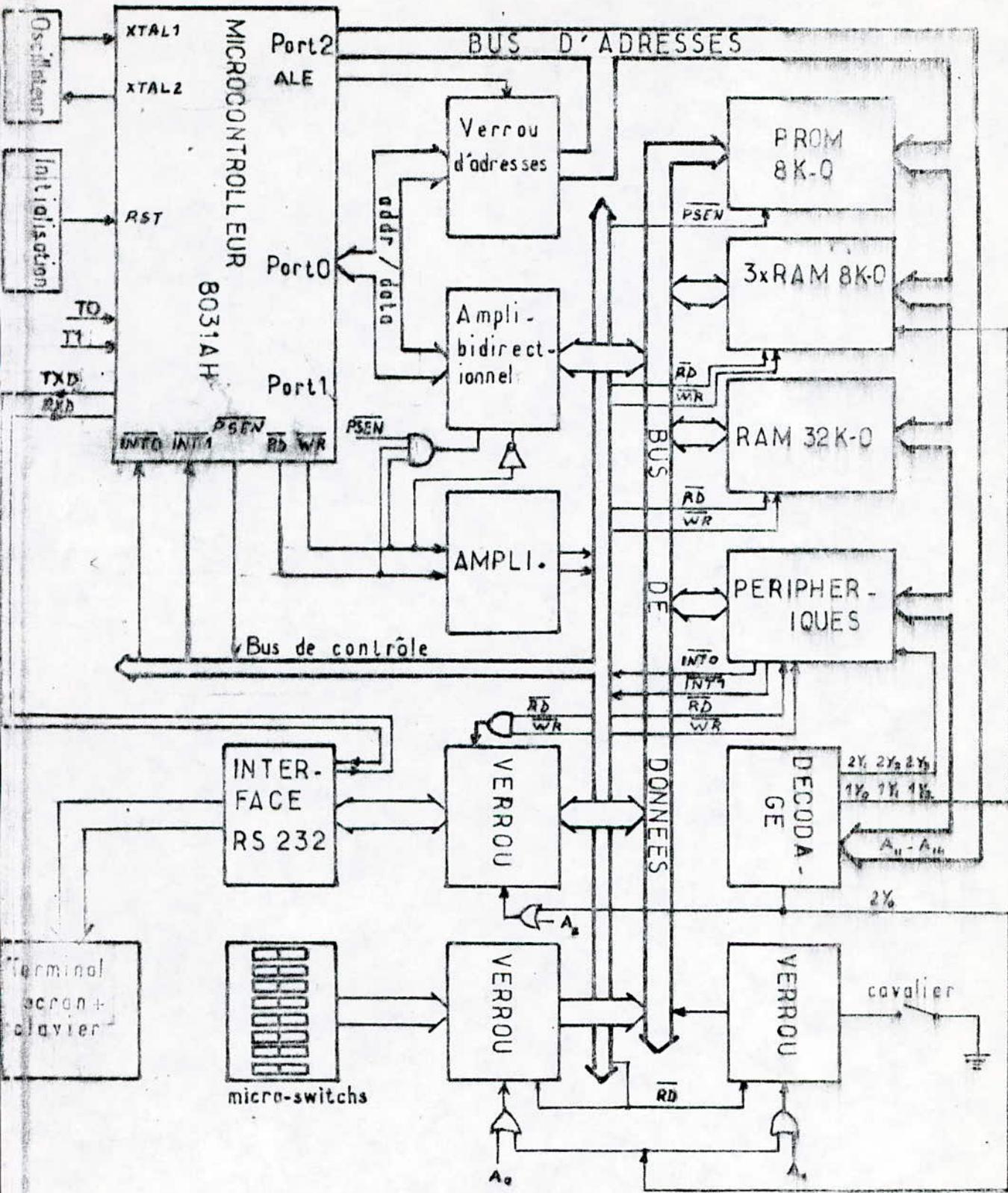


Fig: 2-1 SCHEMA SYNOPTIQUE DE L'UNITE CENTRALE

## CHAPITRE II

### Etude du microcontrôleur 8031AH de Intel.

#### 2.1- Caractéristiques des $\mu$ -contrôleurs de la famille MCS-51.

La famille MCS-51 de microcontrôleurs à 8 bits de Intel, englobe les dispositifs donnés par le tableau 2.1. Le premier à avoir été conçu est le 8051 à technologie HMOS I, dont une autre version en technologie HMOS II, le 8051AH, est produite ultérieurement. Ensuite sont apparus de nouveaux membres à savoir le 8031AH le 8032 et le 8052. Ces deux derniers étant tous les deux désignés par la référence 8052. Ils diffèrent des autres par une plus grande capacité mémoire interne et possèdent un "Timer/counter" à 16 bits supplémentaire.

#### REMARQUES D'ORDRE GENERAL.

1-Les microcontrôleurs 8031AH et 8051AH, sont les versions en technologie HMOS II des 8031 et 8051 respectivement. Bien que l'architecture et le jeu d'instructions soient restés inchangés, les nouvelles versions offrent l'avantage d'une plus faible consommation en puissance.

2-Les caractéristiques de la famille MCS-51 sont valables dans le cas du 8031AH et 8051AH, aussi bien pour les applications orientées vers le calcul, que celles orientées vers le contrôle. Ceci est dû à l'extension des opérations arithmétiques, à la représentation BCD des nombres et à la possibilité de manipuler des données de 1 bit.

3-La différence entre le 8031AH et le 8051AH, réside dans la répartition de l'espace mémoire interne: le premier possède uniquement une RAM interne de 128 octets, tandis que le deuxième intègre en plus une ROM interne de 4 Ko. Avec des caractéristiques identiques le 8032AH possède comme mémoire interne une RAM de 256

octets. Le 8052AH, lui, a en plus de ce dernier une ROM interne de 8 Ko.

4-Le jeu d'instructions est identique pour les quatre microcontrôleurs. Sur les 111 instructions le constituant, 44% sont à un octet, 41% à deux octets et 15% sont à trois octets. Ceci confère une utilisation efficace de la mémoire programme. De plus avec une fréquence d'horloge de 12 MHz, plus de la moitié des instructions sont exécutées en 1µs. Les instructions les plus longues, à savoir la multiplication et la division sont exécutées en 4 µs seulement.

Les principales caractéristiques de la famille MCS-51 peuvent être résumés par les points suivants:

- l'UC (CPU) est à 8 bits;
- le circuit d'horloge est intégré;
- 32 lignes d'entrée/sortie. Un espace mémoire interne (voir tableau);
- une capacité d'adressage maximale de 64 Ko de mémoire de données externes (RAM externe);
- une capacité d'adressage maximale de 64 Ko de mémoire programme externe (ROM et EPROM externe).
- deux Timers/Counters à 16 bits (3 pour le 8032 et le 8052).
- cinq sources d'interruption (6 pour le 8032 et le 8052) avec deux échelles des niveaux de priorités;
- un port série duplex intégral (full duplex);
- un processeur booléen (logique).

Référence	Technologie	Mémoire programme (ROM interne)	Mémoire de données (RAM interne) (octets)
8051AH	HMOS II	4 Ko ROM	128
8031AH	HMOS II	inexistante	128
8751H	HMOS I	4 Ko EPROM	128
80C51	CHMOS	4 Ko ROM	128
80C31e	CHMOS	inexistante	128
8052	HMOS II	8 Ko ROM	256
8032	HMOS II	inexistante	256

OSK  
Tableau 2.1- Les microcontrôleurs de la famille MCS-51.

Les différences entre les microcontrôleurs de la famille MCS-51 étant assimilées, nous nous bornerons dans la suite de cette étude au 8031AH sans qu'il y ait pour autant, aucune difficulté quant à l'utilisation de l'un ou l'autre pour la réalisation pratique de la carte UC ou lors d'un éventuel remplacement en cas de panne (pour plus de détails se référer à la brochure de chacun des microcontrôleurs).

## 2.2- Organisation interne du micro contrôleur 8031AH.

La puce du microcontrôleur comprend en plus des constituants de base que sont l'unité arithmétique et logique, l'unité de commande (Timing and control), le compteur programme (PC)<sup>et</sup> d'un certain nombre de registres à fonctions spéciales:

- une mémoire RAM de 128 octets,
- un oscillateur piloté par un quartz externe,
- 4 ports d'E/S dont trois sont quasi-bidirectionnels (ports 1, 2 et 3) et un port totalement bidirectionnel (port 0). Le port 0 effectue un multiplexage temporel des b d'adresses <sup>(A<sub>0</sub>-A<sub>7</sub>)</sup> Y et du bus données. Le port 3 sert pour des fonctions alternatives (les deux

lignes d'émission et de réception TXD et RXD au port série, les entrées d'interruptions externes INTO et INT1, les entrées des Timers/Counters 0 et 1 et les signaux de contrôle RD et WR.

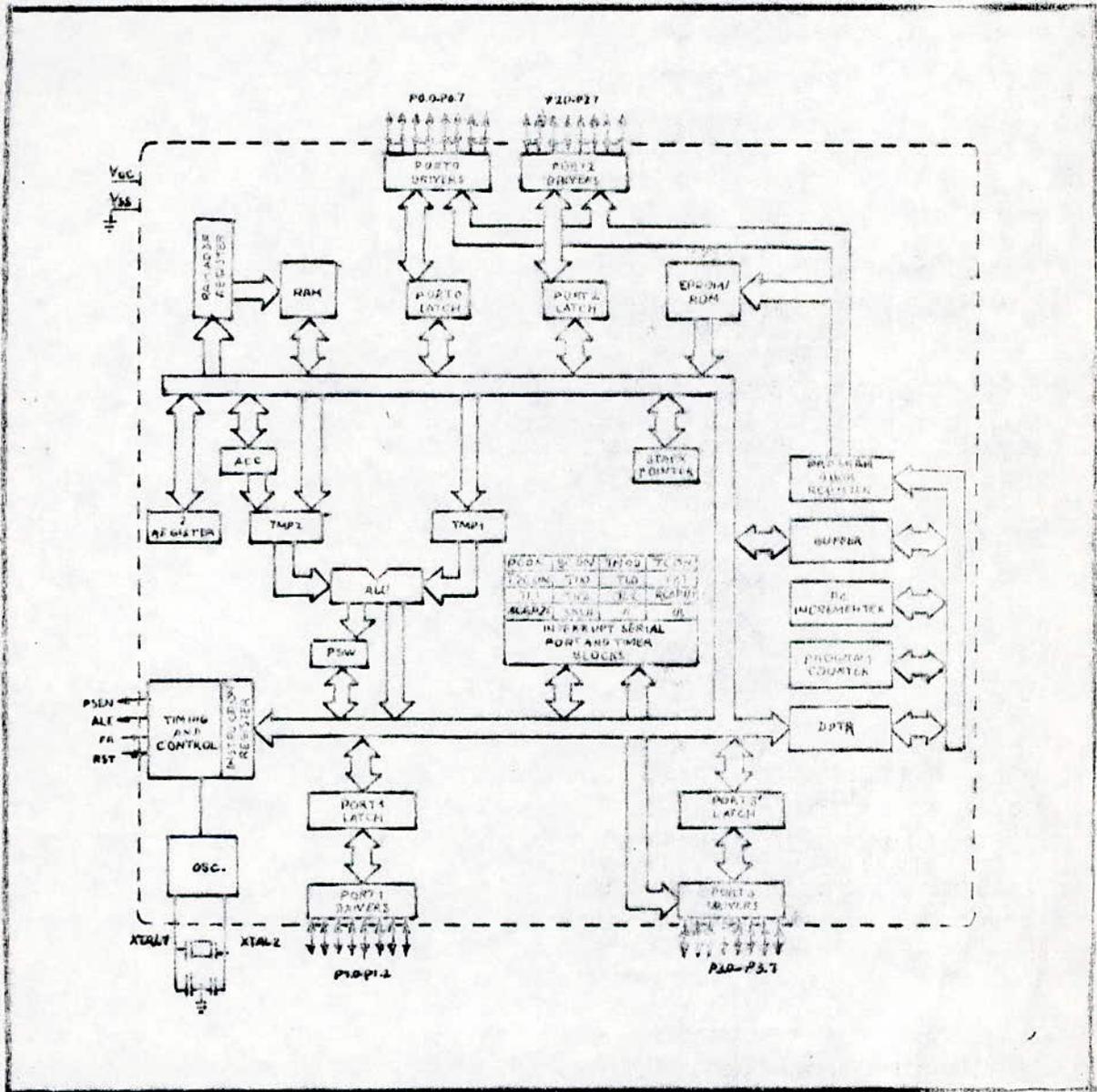


Figure 2.2.1- Structure interne du microcontrôleur 8031

### 2.2.1- Organisation de la mémoire interne.

L'espace mémoire interne du microcontrôleur est divisé en deux blocs distincts (trois blocs dans le cas du 8032 et du 8012) (fig 2.2.2):

1- 128 octets de mémoire RAM interne.

\*- les 32 premiers octets (positions mémoire de 00H à 1FH, figure 2.2.3) sont occupés par quatre groupes de 8 registres (R0 à R7). Un seul groupe est sélectionné à la fois par les bits RSI et RSO du registre d'état PSW.

\*- les 16 octets suivants (position 20H à 3FH) contiennent 128 bits adressables soit individuellement soit par octets.

2-128 octets réservés pour les registres à fonctions spéciales (SFR) entre les positions 80H à FFH. Cette zone est aussi adressable bit par bit (figure 2.2.4).

NOTE: Il faut remarquer que la lecture d'une position non initialisée de la mémoire de données interne a pour résultat une donnée aléatoire.

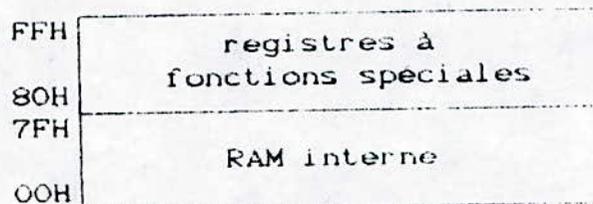


Figure 2.2.2- Espace mémoire des données internes.

Direct Byte Adresse	DR Adresses																Hardware Register Symbol
(MSB)																	(LSB)
000	P7	P6	P5	P4	P3	P2	P1	P0									B
004	E7	E6	E5	E4	E3	E2	E1	E0									ACC
008	CY	AC	P0	R01	R00	OV	P										PSW
00C	D7	D6	D5	D4	D3	D2	D1	D0									
010	TP2	SAF2	BCLK	TCLM	SRM2	TR2	C/T2	CP/AL2									T2CON
014	CF	CB	CO	CC	CB	CA	CA	CA									
018	PT2	P6	PT1	P21	PT0	P20											IP
01C	-	-	B0	BC	B6	BA	B5	B0									
020	B7	B6	B5	B4	B3	B2	B1	B0									P2
024	EA	ET2		E6	ET1	EX1	ET0	EX0									
028	AF	-	AC	AC	AB	AA	AA	AA									IF
034	A7	A6	A5	A4	A3	A2	A1	A0									P3
038	BM0	BM1	BM2	REN	TR0	AB0	T1	R1									BCON
03C	B7	B6	B5	BC	B6	BA	B5	B0									
040	B7	B6	B5	B4	B3	B2	B1	B0									P1
044	TP1	TR1	TP0	TND	IE1	IT1	IE0	IT0									TCON
048	BF	BE	BD	BC	BA	AA	AA	AA									
054	B7	B6	B5	B4	B3	B2	B1	B0									P0

RAM Byte	MSB								LSB								
7FH																	127
2FH	7F	7E	7D	7C	7B	7A	79	78									47
2EH	77	76	75	74	73	72	71	70									46
2DH	6F	6E	6D	6C	6B	6A	69	68									45
2CH	67	66	65	64	63	62	61	60									44
2BH	5F	5E	5D	5C	5B	5A	59	58									43
2AH	57	56	55	54	53	52	51	50									42
29H	4F	4E	4D	4C	4B	4A	49	48									41
28H	47	46	45	44	43	42	41	40									40
27H	3F	3E	3D	3C	3B	3A	39	38									39
26H	37	36	35	34	33	32	31	30									38
25H	2F	2E	2D	2C	2B	2A	29	28									37
24H	27	26	25	24	23	22	21	20									36
23H	1F	1E	1D	1C	1B	1A	19	18									35
22H	17	16	15	14	13	12	11	10									34
21H	0F	0E	0D	0C	0B	0A	09	08									33
20H	07	06	05	04	03	02	01	00									32
1FH																	31
18H	Bank 3																24
17H																	23
10H	Bank 2																15
0FH																	14
08H	Bank 1																8
07H																	7
00H	Bank 0																0

Figure 2.2.3- La RAM interne constituée de trois blocs de 7 registres chacun et 128 bits adressables.

Figure 2.2.4- Espace memoire reserve aux registres a fonctions spéciales avec possibilité d'adressage par bit des registres.

### 2.2.2- Les registres à fonctions spéciales.

Le compteur programme:

c'est un registre de 16 bits qui sert à adresser la mémoire programme, il s'incrémente à la fin de la lecture de chaque octet lors d'une exécution séquentielle des instructions.

Lors d'un branchement ou d'un appel de sous-routine, il est chargé par l'adresse de la position à laquelle s'effectue le branchement.

Dans ce qui va suivre, les registres sont à 8 bits sauf si le contraire est spécifié.

1- L'accumulateur (ACC):

c'est un registre à fonctions multiples:

il est utilisé dans presque la totalité des opérations arithmétiques et logiques; il contient un opérande au début de l'opération puis le résultat à la fin. Il est aussi utilisé dans un grand nombre d'opérations de transfert de données, et pour servir de compteur ou de décompteur (par son incrémentation ou sa décrémentation).

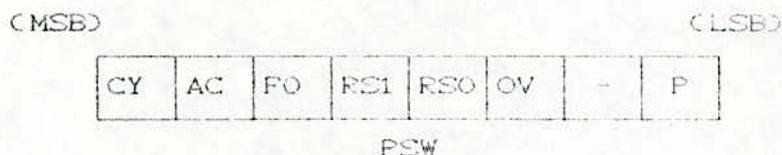
2- Le registre B:

il est utilisé dans les opérations de multiplication et de division. Dans d'autres instructions il peut être utilisé comme un "scratch pad register".

3- Le registre d'état (PSW):

il contient le mot d'état du CPU et est utilisé pour le contrôle des différentes opérations, il rassemble des bits d'état qui contiennent des informations résultant de l'exécution d'une instruction. Il sert aussi à la sélection du groupe des registres de travail.

Nous donnons ci-dessous le symbole et la fonction de chaque bit.



<u>position</u>	<u>symbol</u>	<u>fonction</u>
PSW7	CY	Indicateur de retenue (carry).
PSW6	AC	Indicateur de retenue auxiliaire (pour les opérations en BCD).
PSW5	F0	Indicateur 0 pour usage général.
PSW4	RS1	} Bits de sélection des groupes de registres R0 à R7 de la RAM interne.
PSW3	RS0	
PSW2	OV	Indicateur de dépassement (Overflow flag).
PSW1	-	Réservé.
PSW0	P	Indicateur de parité. Positionné à 1 ou 0 automatiquement à chaque instruction pour indiquer la parité du nombre de 1 dans l'accumulateur (indique la parité "paire").

La sélection du groupe de registres par les bits RS1 et RS0 se fait comme suit:

RS1, RS0	groupe sélectionné	adresse du groupe
0 0	groupe 0	00H-07H
0 1	groupe 1	08H-0FH
1 0	groupe 2	10H-17H
1 1	groupe 3	18H-1FH

#### 4- Le pointeur de pile (SP):

ce registre est incrémenté avant le stockage de données dans la pilette lors des instructions PUSH et CALL.

\*Remarque: La pile peut résider n'importe où dans la mémoire RAM interne. Cependant le pointeur de pile SP est initialisé à 07H après un RESET, ce qui fait que la pile commencera à la position 08H.

#### 5- Le pointeur de données (DPTR):

c'est un registre à 16 bits utilisé pour l'adressage de la mémoire de données externe. Dans son fonctionnement normal, il

doit contenir une adresse de 16 bits. Toutefois il peut être utilisé en tant que deux registres indépendants de 8 bits chacun: DPH et DPL.

#### 6- Les ports 0 à 3:

P0, P1, P2 et P3 sont les registres à fonctions spéciales (SFR) des verrous (8 bascules D pour chaque port) des ports 0, 1, 2 et 3.

#### 7- Tampon de données série (Serial Data Buffer: SBUF):

SBUF sert de référence à deux registres séparés physiquement: un tampon pour l'émission d'une donnée série et un deuxième tampon qui contient la donnée reçue.

#### 8- Les registres "timers":

la paire de registres de 8 bits chacun (TH0, TL0) et (TH1, TL1) constituent les registres de comptage à 16 bits des Timers/counters 0 et 1.

#### 9- Les registres de contrôle:

les registres à fonctions spéciales IP, IE, TMOD, TCON, SCON et PCON contiennent les bits d'état et de contrôle du système d'interruptions des Timers/Counters et du port série. Ils seront étudiés en détail dans la suite de ce chapitre.

### 2.3- Description des broches.

La figure 2.4.1 montre le boîtier à 40 broches du microcontrôleur 8031AH.

L'une des caractéristiques du 8031AH est qu'il nécessite une seule tension d'alimentation de 5v (Vcc).

-L'oscillateur interne est piloté par un cristal de quartz.

connecté aux broches XTAL1 et XTAL2.

-Quatre ports regroupent 32 lignes d'E/S.

-A cause de la limitation du nombre de broches du CI, les 8 bits d'adresses les plus faibles sont multiplexés avec le bus de données à travers le port P0. Le port P3 sert aussi bien de port d'E/S bidirectionnel que pour d'autres fonctions, 2 lignes du port série, deux entrées d'interruptions externes, 2 entrées des Timers/Counters 0 et 1 et les lignes des signaux RD et WR.

-Le 8031 possède cinq sources d'interruptions programmables.

Tous ces points seront traités avec plus de détail tout au long de ce chapitre, mais auparavant nous commençons par une brève description des broches du microcontrôleur 8031.

31	EA/VP	P0.0	29
30		P0.1	28
29	XTAL1	P0.2	27
		P0.3	26
18	XTAL2	P0.4	25
		P0.5	24
		P0.6	23
9	RESET	P0.7	22
		P2.0	21
140	INT0	P2.1	20
130	INT1	P2.2	19
120	T0	P2.3	18
115	T1	P2.4	17
		P2.5	16
1	P1.0	P2.6	15
2	P1.1	P2.7	14
3	P1.2		
4	P1.3	RD	17
5	P1.4	WR	15
6	P1.5	PSEN	13
7	P1.6	ALE/P	10
8	P1.7	TXD	11
		RXD	10

Figure 2.3.1- Brochage du microcontrôleur 8031AH.

Vss: potentiel de masse du circuit.

Vcc: entrée d'alimentation. La tension appliquée à cette broche doit être égale à 5 volts en mode d'opération normal ou en mode "vérification de programme".

RST (Centrée d'initialisation):

.. Un niveau logique haut appliqué à cette entrée pendant deux cycles machine (24 périodes de l'oscillateur) après que les circuits d'horloge soient fonctionnels, permet l'initialisation des différents circuits du microcontrôleur. L'entrée RST attache un trigger de schmitt interne.

Le microcontrôleur répond au signal appliqué à l'entrée RST par l'exécution d'une opération d'initialisation au cours du second cycle machine pendant lequel un niveau haut est appliqué à RST. L'opération est répétée jusqu'à ce que RST passe au niveau logique bas.

A l'issue d'une initialisation, les différents registres du 8031AH ont les contenus donnés ci-dessous (tableau 2.3.1).

registre	contenu	registre	contenu
PC	0000H	TMOD	00H
ACC	00H	TCON	00H
B	00H	TH0	00H
PSW	00H	TLO	00H
SP	07H	TH1	00H
DPTR	0000H	TL1	00H
PO-P3	0FFH	SCON	00H
IP	XX000000B	SBUF	Indéterminé
IE	0X000000B	PCON	0XXX0000B

Tableau 2.3.1.

NOTE: Le contenu de la mémoire RAM interne est indéterminé après une initialisation. Par contre le contenu de cette mémoire est sauvegardé lors d'un retour du mode de fonctionnement en "alimentation réduite" à une alimentation normale (+5V).

ALE (validation du verrouillage des adresses):

cette sortie fournit un signal de fréquence égale à 1/6 de la fréquence de l'oscillateur, excepté au cours d'un accès à la mémoire de données externes par l'instructions MOVX: lors de l'activation de l'un des signaux RD ou WR pour une écriture ou une lecture de la mémoire de données externes, ALE ne délivre pas d'impulsions pour que l'adresse générée antérieurement soit maintenue jusqu'à la fin de l'opération entamée (voir section 2.2.5). En effet les impulsions délivrées par ALE servent à valider par leur front descendant le verrouillage des 8 bits d'adresse les plus faibles ( $A_0-A_7$ ). La sortance de la broche ALE est de 8 circuits LS TTL.

PSEN: Le signal délivré par cette broche permet de valider en lecture la mémoire programme externe (ROM ou EPROM).

EA: Quand cette entrée est au niveau logique haut, le microcontrôleur exécute les instructions de la mémoire programme interne jusqu'aux adresses 0FFFH pour le 8051 et 1FFFH pour le 8052. Si par contre EA est au niveau bas l'exécution se portera en totalité sur les instructions de la mémoire programme externe. La même entrée est utilisée lors de la programmation de la mémoire interne dans le cas du 8052.

XTAL1 et XTAL2: Ce sont respectivement l'entrée et la sortie de l'amplificateur inverseur interne qui constitue un oscillateur de Pierce lorsqu'un cristal externe lui est connecté entre ces deux broches. Dans ce cas XTAL2 est aussi l'entrée du générateur d'horloge interne.

Un oscillateur externe peut être utilisé en connectant sa sortie à la broche XTAL2 et en mettant la broche XTAL1 à la masse.

Le port 0: C'est un port d'E/S bidirectionnel à 8 bits. Il sert au multiplexage des bits d'adresse les plus faibles ( $A_0-A_7$ ) avec le bus de données ( $D_0-D_7$ ) au cours d'un accès à la mémoire externe. Il est aussi utilisé pour les sorties de données lors d'une vérification de programme. Sa sortie est de 8 circuits LS TTL.

Le port 1: C'est un port d'E/S à 8 bits. Il sert aussi de sortie à l'octet d'adresse de poids faible durant une opération de vérification de programme.

Le port 2: Les 8 lignes de ce port servent à émettre l'octet d'adresse de poids fort lors d'un accès à la mémoire externe. Il est utilisé durant une opération de "vérification mémoire" comme entrée des bits d'adresse ( $A_8-A_{15}$ ).

Le port 3: Il peut aussi bien être configuré en port d'E/S à 8 bits, ou servir pour les fonctions décrites ci-dessous (Tableau 2.3).

Broche port 3	Nom	Fonction
P3.0	RXD	entrée du port série (reçoit les données série).
P3.1	TXD	sortie du port série (emet les données série).
P3.2	$\overline{\text{INT0}}$	} entrées d'interruptions.
P3.3	$\overline{\text{INT1}}$	
P3.4	T0	} entrées des compteurs 0 et 1.
P3.5	T1	
P3.6	$\overline{\text{WR}}$	signal de validation en écriture de la mémoire de données externe.
P3.7	$\overline{\text{RD}}$	signal de validation en lecture de la mémoire de données externe.

Tableau 2.3.

NB: Les ports 1,2 et 3 sont tous quasi-bidirectionnels et ont une sortance de 4 circuits LS TTL; ils peuvent être chargés par n'importe quel circuit TTL ou NMOS et peuvent charger des sorties à collecteur ouvert ou à drain ouvert sans nécessiter des "pulls-up" externes. Ces ports sont équipés de triggers internes.

Le port 0, quand il est chargé par des circuits NMOS, nécessite des "pulls-up" externes excepté lorsqu'il est utilisé pour le bus d'adresses/données.

#### 2.4- Configuration des ports d'E/S.

Chaque ligne d'E/S peut être indépendamment utilisée en entrée ou en sortie.

a) Une ligne est configurée en entrée par l'écriture d'un "1" dans le verrou lui correspondant (un bit du registre à fonction spéciale Px):

-les broches des ports 1, 2 et 3 sont alors portées au niveau logique haut par le trigger interne mais peuvent être mises au niveau bas par une source externe, c'est pour cela que ces ports sont dits quasi-bidirectionnels.

La ligne du port 3 pour laquelle le bit correspondant du registre à fonction spéciale P3 est mis à "1" est contrôlé par une des fonctions données dans le tableau 2.3.

-les broches du port 0, par contre sont flottantes et se comportent comme des entrées haute impédance, ce qui fait qu'elles sont bidirectionnelles "vraies".

b) Lors d'un accès à la mémoire externe, les lignes du port 0 servent de sorties pour les bits d'adresse les moins significatifs ( $A_0-A_7$ ), qui sont multiplexés avec les bits de données ( $D_0-D_7$ ). Le port P2 dans ce cas émet les bits d'adresse de poids fort ( $A_8-A_{15}$ ) si l'adresse est sur 16 bits, sinon il continuera à émettre le contenu du registre à fonction spéciale P2.

### Remarques:

1) Les ports 0 et 2 ne doivent pas être utilisés comme ports d'E/S à usage général (general purpose I/O ports) quand ils sont utilisés pour les bus adresses/données.

2) Comme résultat d'une initialisation (activation de RST), les bits des registres P0 à P3 contiennent tous des "1". Si un "0" est écrit ultérieurement dans l'un des bits, celui-ci doit être remis à "1" pour que la ligne correspondante soit configurée en entrée.

### 2.5- Système d'horloge de l'unité de contrôle et déroulement des instructions.

A partir du signal de sortie XTAL2 de l'oscillateur interne piloté par le quartz externe, sont dérivés deux signaux d'horloge définissant deux phases: l'horloge de phase 1 et l'horloge de phase 2. Ces deux horloges ont une fréquence égale à la moitié de celle du signal XTAL2 (sortie de l'oscillateur accessible par l'utilisateur) et sont décalées d'une période de ce même signal. La combinaison de deux phases donne un état; et un cycle machine est (ou cycle d'instruction) est composé de 6 états notés de S1 à S6 (voir fig 2.5) ie de 12 périodes de l'oscillateur.

-La sortie ALE est normalement activée deux fois durant un cycle machine: une fois pendant S1P2 et S2P1 et une seconde fois pendant S4P2 et S5P1.

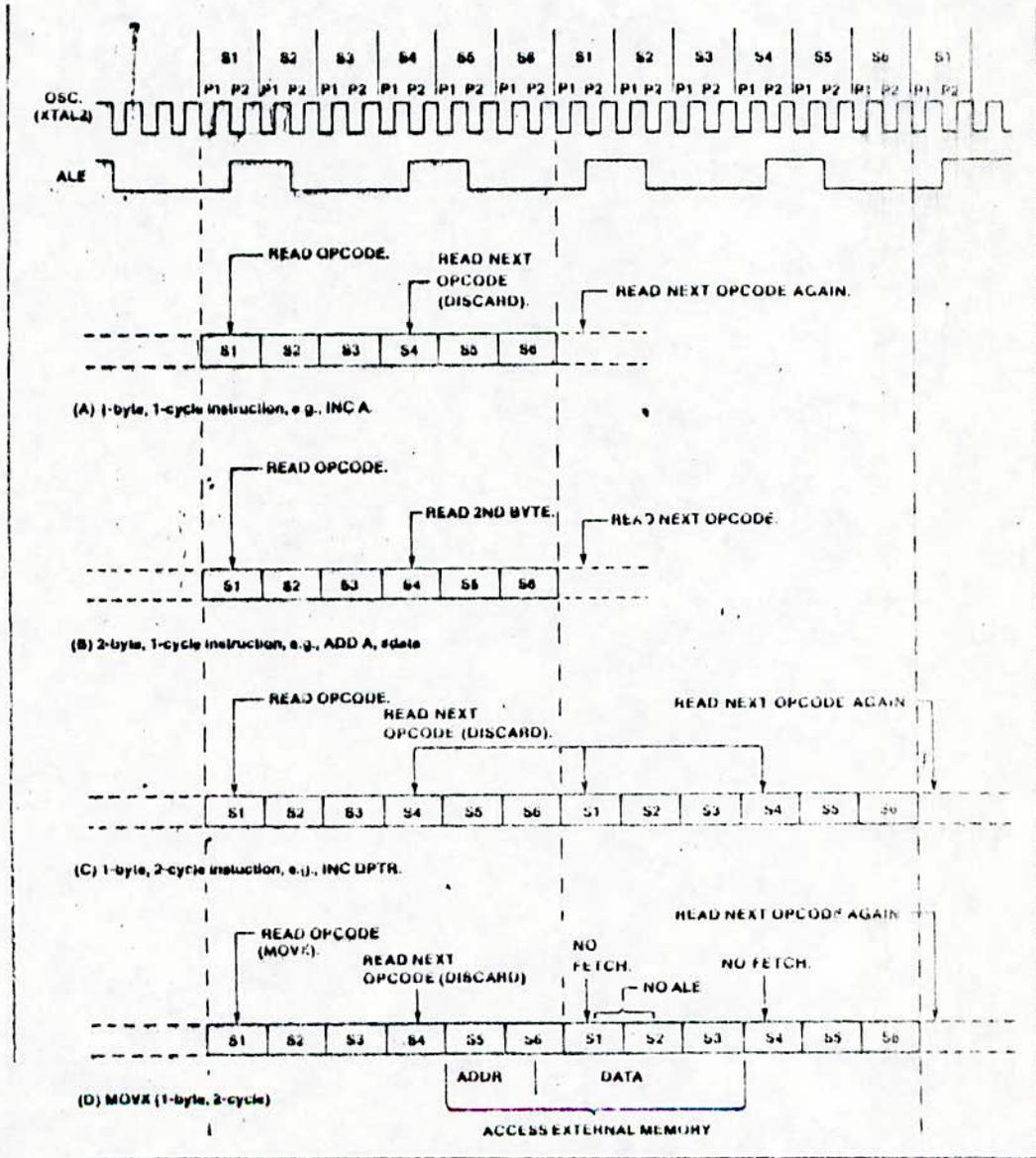
-Dans le fonctionnement typique du microcontrôleur, les opérations logiques et arithmétiques sont exécutées pendant la phase 1 et les transferts "inter-registres", eux, sont exécutés pendant la phase 2.

-L'exécution d'une instruction de 1 octet, commence en S1P2, lorsque le code opération est verrouillé dans le registre d'instructions. Si l'instruction est à deux octets, le second

octet est lu durant l'état S4 (en S4P2) du même cycle machine. Si par contre l'instruction a un seul octet, la seconde lecture de la mémoire programme est ignorée et le compteur programme n'est pas incrémenté.

Normalement deux codes operation sont chargés à partir de la mémoire programme à chaque cycle machine. La seule exception est l'exécution de l'instruction MOVX. Celle-ci est une instruction de un octet de durée d'exécution égale à deux cycles machines. Lors de son exécution deux lectures de code operation sont ignorées, tandis que la mémoire de données externe est validée pour permettre le transfert d'une donnée.

Dans tous les cas l'exécution se termine à la fin de S6P2.



## 2.6- Le port série.

Les microcontrôleurs de la famille MCS-51 sont équipés d'un port série "duplex intégral" (full duplex). C'est à dire qu'il peut émettre et recevoir des données simultanément. De plus, en réception un registre tampon, lui permet une nouvelle réception avant la lecture de la donnée précédente à partir du registre de réception (SBUF).

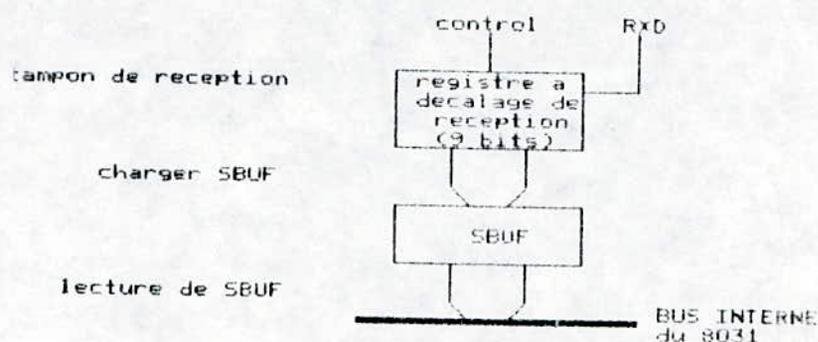


Figure 2.6.1- La donnée est reçue par un décalage à gauche des bits de la donnée. Elle est chargée à la fin dans le registre SBUF.

Toutefois si la lecture n'est pas effectuée à la fin de la présente réception, l'une des deux données sera perdue.

Le port série est constitué d'une ligne de transmission série TXD, d'une ligne de réception série RXD et d'un tampon noté SBUF qui en réalité représente deux tampons séparés physiquement. L'un reçoit les données série, l'autre contient celles devant être transmises à travers la sortie TXD.

Le registre de contrôle du port série SCON.

Le registre à fonction spéciale SCON est le registre d'état et de contrôle du port série. Il contient (fig 2.7):

- trois bits de sélection du mode de transmission série (SM0, SM1 et SM2).
- un bit de validation de la réception (REN).
- le 9<sup>ème</sup> bit de la donnée reçue ou à transmettre (RB8, TB8).
- Les deux bits d'interruptions du port série RI et TI.

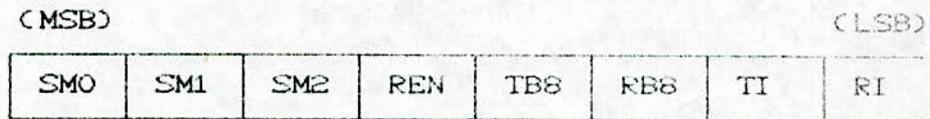


Figure 2.6.2- Le registre de contrôle du port série SCON.

Nous donnerons dans ce qui suit la signification de chaque bit de SCON.

Le couple (SM0, SM1) définit le mode de transmission de la donnée série; il en résulte les quatre modes que voici:

Mode	SM0	SM1	Description	Vitesse (baud)
0	0	0	registre à décalage	$f_{osc}/12$ .
1	0	1	8 bits UART	variable.
2	1	0	9 bits UART	$f_{osc}/32$ ou $f_{osc}/64$
3	1	1	9 bits UART	variable.

Tableau 2.6- Les formats de transmission série du 8031AH.

-SM2: son rôle diffère selon le mode de transmission série sélectionné. Dans le mode 1 si SM2=1 l'interruption du port série ne sera activée que si un bit STOP correct est reçu. Dans les modes 2 et 3 si SM2=1, aussi l'interruption du port série n'est activée que si le 9<sup>ème</sup> bit reçu est un "1"; ceci est utilisé dans la communication interprocesseurs. SM2 n'est pas utilisé dans le

mode 0.

-REN: ce bit est initialisé par programmation, pour valider la réception série si REN=1 ou l'inhiber si REN=0.

-TB8: contient le 9<sup>ème</sup> bit de la donnée devant être transmise dans les modes 2 et 3 (bit de parité par exemple); sa valeur doit être calculée par programme. Il n'est pas utilisé dans le mode 0.

-RB8: reçoit le bit STOP dans le mode 1 et le 9<sup>ème</sup> bit de la donnée reçue dans les modes 2 et 3. Il n'est pas utilisé dans le mode 0.

-TI: c'est l'indicateur d'interruption du port série en émission. Il passe à "1", à la fin de la transmission du 8<sup>ème</sup> bit de la donnée dans le mode 0, ou au début du bit STOP dans les autres modes, pour indiquer que le tampon d'émission est prêt à recevoir une nouvelle donnée. Il doit être remis à "0" par programme.

-RI: il porte le nom d'indicateur d'interruption du port série en réception. Il passe à "1" une fois la réception du 8<sup>ème</sup> bit terminée dans le mode 0, ou à la moitié du bit STOP reçu dans les autres modes (excepté dans les cas spécifiés; voir SM2) pour prévenir qu'une donnée est reçue. Il doit être remis à "0" par programme.

#### Les modes de transmission série.

-Mode 0: le registre tampon du port série SBUF, se comporte comme un registre à décalage de 8 bits. Les données de 8 bits sont émises ou reçues à travers la ligne RXD (le bit LSB en premier), la ligne TXD servant de sortie pour l'horloge de décalage (voir figure 2.6.3). La vitesse de transmission est fixée à 1/12 de la

fréquence de l'oscillateur.

-Mode 1: 10 bits sont émis (à travers TXD) ou/et reçus (dans RXD): un bit START (0 logique), 8 bits de données (LSB en premier) et un bit STOP (1 logique)(voir figure 2.6.4). La vitesse de transmission est variable et peut être programmée par les registres à fonctions spéciales associés au Timer 1 (TMOD et TH1).

-Mode 2: 11 bits sont émis (à travers TXD) ou/et reçus (dans RXD). Le format est analogue à celui du mode 1, sauf que la donnée ici, est sur 9 bits (voir figure 2.6.5). Deux vitesses seulement sont permises avec ce mode, la sélection de l'une ou de l'autre se fait par le bit SMOD du registre à fonction spéciale PCON:

SMOD=1; la vitesse de transmission est égale à  $1/32$  de la fréquence de l'oscillateur ( $f_{osc}$ ).

SMOD=0; la vitesse de transmission est égale à  $1/64$   $f_{osc}$ .

-Mode 3: le format de transmission est identique à celui du mode 2. La différence avec celui-ci réside dans la vitesse de transmission; elle est programmable de la même façon qu'en mode 1. La programmation des vitesses sera traitée plus en détail dans la section suivante (2.7).

Remarque: dans les quatre modes décrits ci-dessus, l'émission est initialisée par une écriture dans le registre SBUF. La réception elle, est initialisée par la condition RI=0 et REN=1 dans le mode 0, et par la réception d'un bit START correct dans les autres modes si et seulement si REN=1.

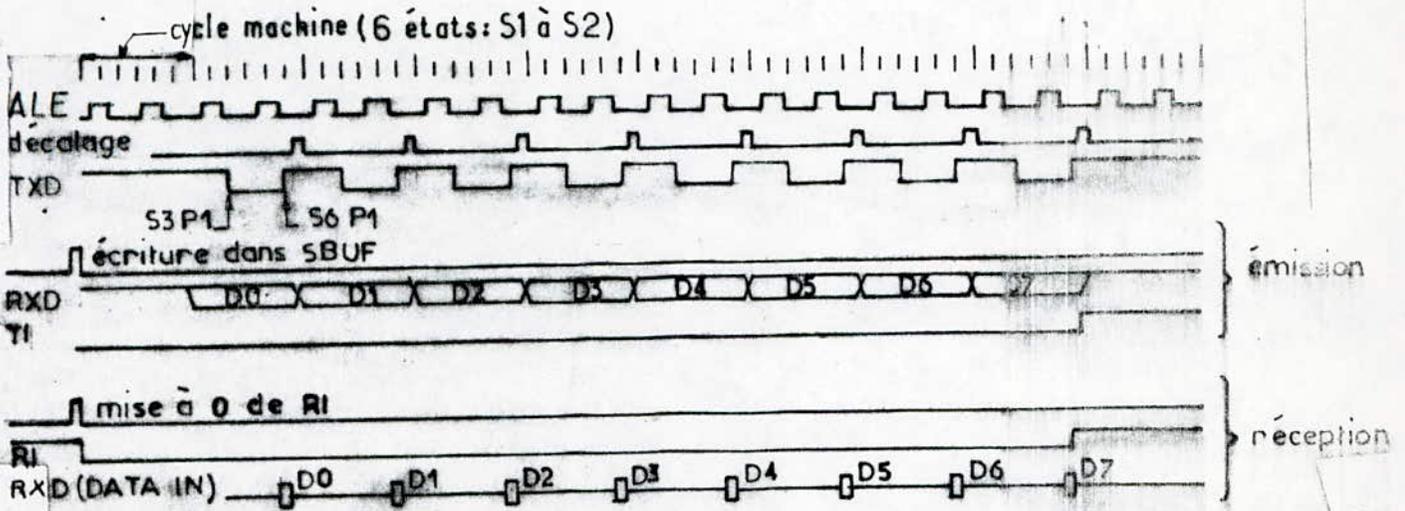


Figure 2.6.3- Chronogramme d'émission/réception en mode 0.

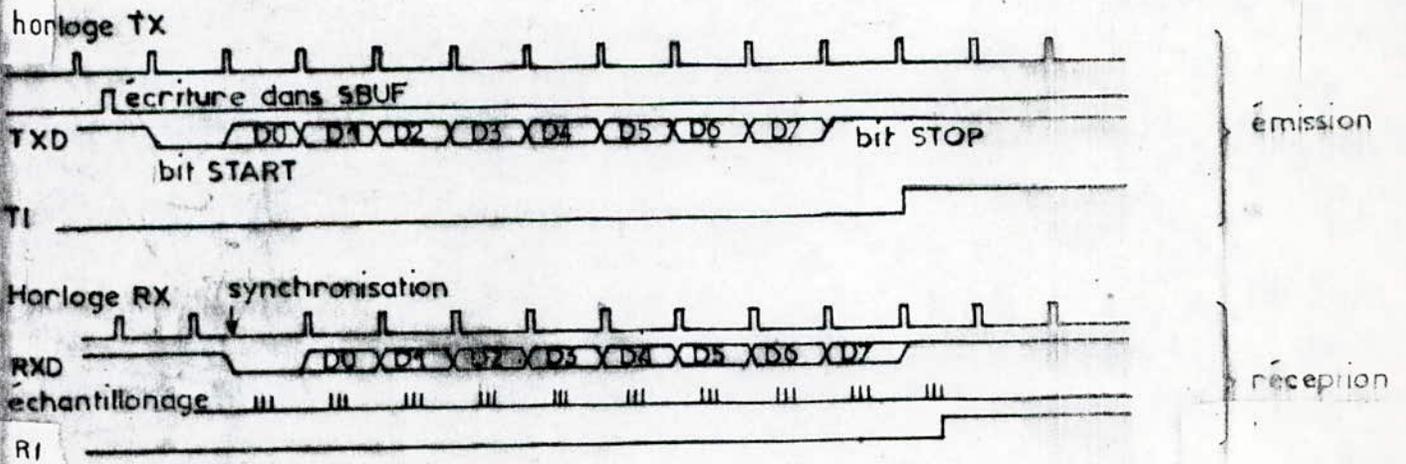


Figure 2.6.4- Chronogramme d'émission/réception en mode 1.

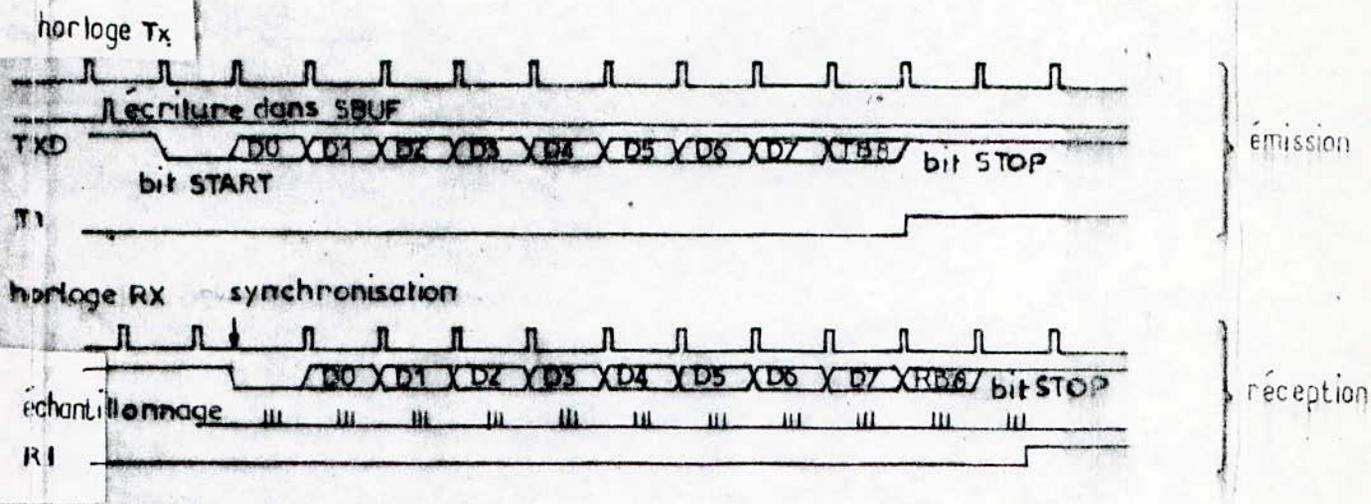


Figure 2.6.5- Chronogramme d'émission/réception des modes 2 et 3.

## 2.7- Les Timers/Counters.

Le microcontrôleur 8031AH possède deux registres Timers/Counters à 16 bits, constitués chacun par deux registres à 8 bits: THx et TLx. La lettre x sera utilisée pour désigner les deux Timers 0 et 1 quand leurs fonctionnements sont identiques.

### 2.7.1- Fonctionnement et contrôle.

Ces Timers sont entièrement programmables par les registres de contrôle TMOD et TCON que nous verrons plus loin. Ils offrent deux types de fonctionnement combinés chacun avec trois modes:

#### -Fonctionnement en Timer:

le registre du Timer x est incrémenté à chaque cycle machine, par une entrée d'horloge interne. Il réalise donc un comptage de fréquence égal à 1/12 de la fréquence de l'oscillateur interne du 8031AH.

Fonctionnement en compteur d'événements:

le registre du Timer x est incrémenté à chaque transition "1" à "0" sur la broche d'entrée Tx. La reconnaissance d'une transition dure deux cycles machine, de ce fait la fréquence maximale de comptage est limitée à 1/24 de la fréquence de l'oscillateur. De plus, les impulsions de comptage externes doivent avoir une durée minimale d'un cycle machine.

Cette deuxième fonction des Timers est utile par exemple pour des applications de la mesure de la durée des impulsions, quand le contrôle du comptage est passé à l'entrée de l'interruption externe INTx.

Nous nous intéresserons particulièrement à la première fonction, qui, combinée avec le mode 2 (voir plus loin) nous permet de générer des vitesses de transmission variables pour le port série.

Passons maintenant en vue les contenus des registres à fonctions spéciales TMOD et TCON et le rôle de chacun de leurs bits.

2.7.2- Le registre de contrôle des Timers/Counters 0 et 1 (TCON):

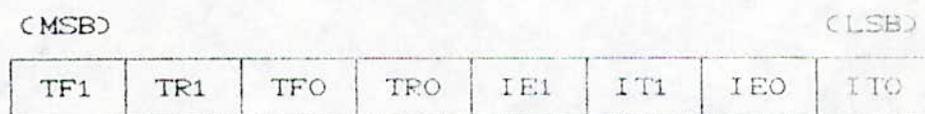


Figure 2.7.1- Le registre TCON.

La signification de chaque bit du registre TCON est donnée par le tableau suivant:

Position	Symbole	Nom et signification
b7/b5	TFx	Indicateur de dépassement de capacité du Timer "x". Il passe à "1" lors du dépassement de la capacité du registre de comptage du Timer "x". Il est remis à "0" dès que la routine de service de l'interruption est lancée.
b6/b4	TRx	Bit de contrôle marche/arrêt du Timer "x". Il est mis à "1" ou à "0" par programme pour valider ou inhiber le fonctionnement du Timer "x".
b3/b1	IEx	Détecteur de transition de l'interruption externe x. Il passe à "1" lorsqu'une transition "1" à "0" est détectée sur l'entrée INTx. Il repasse à "0" quand la routine de service de l'interruption externe est lancée.
b2/b0	ITx	Bit de contrôle du mode d'activation des interruptions externes: ITx=0 activation par niveau logique bas. ITx=1 activation par front descendant. Sa valeur est fixée par programme.

Tableau 2.7.1.

2.7.3- Le registre de contrôle du mode des Timers 0 et 1 (TMOD):



Figure 2.7.2- Le registre TMOD.

Comme on le voit, ce registre est constitué de deux parties identiques, contrôlant chacune un des deux Timers.

-GATE: si ce bit contient un "1", le contrôle du comptage se fait par l'entrée d'interruption externe INTx: Le comptage n'est validé que lorsque INTx est au niveau logique haut.

- $\overline{C/T}$ : définit le type de fonction réalisée par le Timer x: un niveau haut dans ce bit active la fonction de comptage d'événements, alors qu'un niveau bas active la fonction Timer.

-Le couple M1, M0: définit les modes de fonctionnement des Timers 0 et 1 qui sont au nombre de quatre:

-Mode 0 (M1=0, M0=0).

dans ce mode, les 8 bits du registre THx sont mis en cascade avec les 5 bits les moins significatifs de TLx, pour constituer un registre de comptage de 13 bits. Quand les 13 bits passent tous à "1", l'indicateur d'interruption TFx de TCON passe automatiquement à "1" et n'est remis à "0", que lorsque la routine de service de l'interruption du Timer x est lancée.

-Mode 1 (M1=0, M0=1).

ce mode est identique au mode 0, sauf que le registre de comptage est constitué de la totalité des 16 bits résultants de la mise en cascade des registres THx et TLx.

-Mode 2 (M1=1, M0=0: 8 bits auto-reload Timer/Counter).

dans ce mode, le Timer x fonctionne comme un registre de comptage à 8 bits constitué par TLx. Chaque fois que celui-ci atteint la valeur FFH, il est automatiquement rechargé par le contenu de THx et l'indicateur TFx passe à "1".

-Mode 3 (M1=1, M0=1).

Les fonctionnements des deux Timers sont différents pour ce mode-ci:

Timer 0: il se comporte comme deux compteurs séparés de 8 bits; le premier, TLO, utilise les bits de contrôle du Timer 0 ( $\overline{C/T}$ , GATE, TRO,  $\overline{INT0}$  et TFO) et le second, TH0, utilise ceux du

Timer 1 (C/T, GATE, TR1, INT1 et TF1). Ce mode est utilisé pour les applications nécessitant un compteur de 8 bit supplémentaire.

Timer 1: il est arrêté, tout en gardant son contenu. (l'effet est identique que lorsque TR1=0).

Remarque: Quand le Timer 0 est configuré en mode 3, le Timer 1 peut être utilisé avec les modes 0, 1 et 2, mais uniquement pour des applications ne nécessitant pas d'interruptions.

2.2.8- Utilisation du Timer 1 comme générateur de vitesses de transmission (Baud rate generator).

Dans les modes 1 et 3 de la transmission série (voir SCON), le Timer 1 est utilisé comme générateur de vitesses de transmission. Celle-ci est déterminée par la fréquence de dépassement de capacité du registre de comptage (overflow rate), et la valeur de SMOD (8<sup>ème</sup> bit de PCON) selon l'expression suivante:

$$\text{vit. de transmis. série} = \frac{2^{\text{SMOD}}}{32} \times \text{fréq. dépass. capacité.} \quad (1)$$

Choix de la configuration du Timer 1.

Pour son utilisation en générateur de vitesses de transmission pour le port série, le Timer 1 peut être configuré aussi bien en "timer" qu'en compteur d'événements et dans n'importe lequel des modes 0, 1 ou 2.

Pour permettre un grand nombre de vitesses de transmissions séries les plus utilisées sans nécessiter une source de comptage externe et sans compliquer le logiciel, nous choisissons la configuration suivante:

-le Timer 1 fonctionnera en timer de 8 bits (TL1) en mode 2

(auto-reload mode).

-l'interruption du Timer 1 doit être inhibée. Il faut donc charger dans les quatre bits les plus significatifs de TMOD la valeur 0010B. La vitesse de transmission série en bit par seconde (baud) sera donc déterminée par le bit SMOD de PCON et les valeurs du registre TH1 qui sera rechargé dans TL1 chaque fois que celui-ci atteint la valeur FFH. La vitesse est calculée par l'expression suivante:

$$\text{vit. de transmis. série} = \frac{2^{\text{SMOD}}}{32} \times \frac{f_{\text{osc}}}{12 \times [256 - \text{TH1}]} \quad (2)$$

où  $f_{\text{osc}}$  la fréquence du cristal utilisé (12 MHz).

Pour l'obtention de vitesses très faibles, inférieures à 122 Baud avec un oscillateur de 12 MHz ou à 112 avec un oscillateur de 11,059 MHz, le Timer 1 doit être configuré en timer à 16 bits (mode 1):

-le registre de comptage est constitué de la mise en cascade de deux registres TH1 et TL1.

-les quatre bits les plus significatifs du registre à fonction spéciale doivent être initialisés à la valeur 0001B.

-L'interruption du Timer1 sera utilisée pour recharger le registre de comptage.

-La vitesse de transmission série est déterminée par l'expression ci-dessous:

$$\text{vitesse (baud)} = \frac{2^{\text{SMOD}}}{32} \times \frac{f_{\text{osc}}}{12 \times [65536 - \text{VALEUR RECHARGÉE}]} \quad (3)$$

## 2.9- Les interruptions du microcontrôleur 8031AH.

Une entrée d'interruption, si elle est validée permet à un signal d'interrompre l'exécution séquentielle d'un programme. En réponse à cette demande d'interruption le microprocesseur termine l'exécution de l'instruction en cours, puis incrémente le compteur programme (PC) et stocke son contenu dans la pile, avant de le

charger par l'adresse de la routine de service répondant au besoin exprimé par la demande d'interruption.

A la fin de cette routine, une instruction de retour d'interruption RETI rend le contrôle au programme interrompu. Le contenu initial du compteur programme est alors rétabli, et l'exécution se poursuit de manière séquentielle.

### 2.9.1- Les sources d'interruptions du 8031AH.

Les microcontrôleurs de la famille 8051 offrent cinq (05) sources d'interruptions (six dans le cas du 8032 et 8052). La figure 2.9.1 montre les différentes sources d'interruptions du 8031.

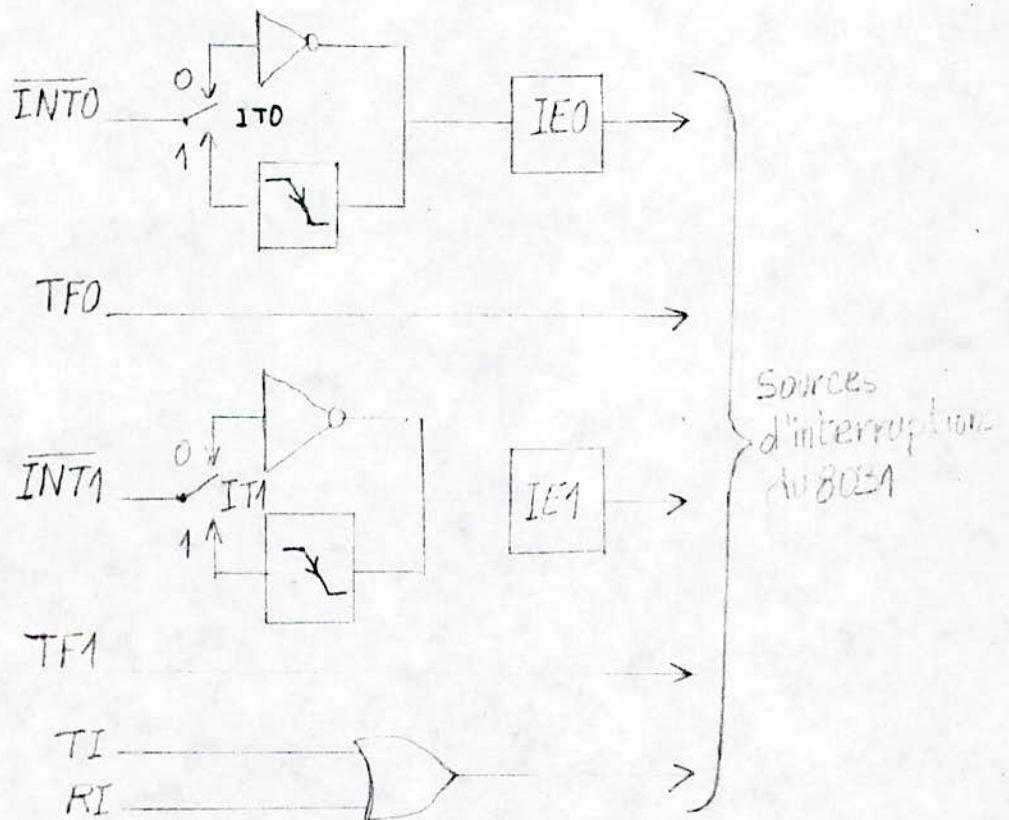


Figure 2.9.1- Les sources d'interruption du 8031.

a) Les interruptions externes INT0 et INT1:

Ces deux sont générées par le passage à "1" de l'indicateur IEx (IE0 pour INT0 et IE1 pour INT1) du registre TCON. Deux cas se présentent selon le contenu du bit ITx du même registre:

1- ITX=0: l'interruption est activée par un niveau bas sur l'entrée  $\overline{INTx}$ . L'indicateur d'interruption IEx est contrôlé par le signal de l'entrée  $\overline{INTx}$ .

2- ITX=1: L'interruption est activée par un front descendant sur l'entrée INTx. Dans ce cas l'indicateur IEx doit être effacé (remis à "0") par la routine de service.

Les deux entrées d'interruption seront réservées pour les périphériques de la partie téléphonique du système.

b) Les interruptions des Timers 0 et 1.

Elles sont générées par les bits TF0 et TF1 du registre TCON, qui passent à "1" lorsqu'il y a dépassement de la capacité du compteur correspondant si le bit GATE de TMOD contient un 0. Si au contraire GATE contient un "1", les indicateurs TF0 et TF1 seront contrôlés par les entrées d'interruption externes  $\overline{INT0}$  et  $\overline{INT1}$ .

Dans le cas de notre application ces deux interruptions seront inhibées.

c) L'interruption du port série.

Elle est générée par un OU logique des indicateurs RI et TI du registre SCON. La routine de service de cette interruption doit déterminer lequel des bits RI ou TI est à l'origine de l'interruption et le remettre à "0" par la suite.

Remarque: toutes les interruptions peuvent être générées artificiellement par l'écriture d'un "1" dans l'indicateur correspondant.

Nous allons voir maintenant comment sont validées les différentes interruptions avec le registre IE et comment sont gérées les priorités à l'aide du registre IP.

### 2.9.2- Le registre de validation des interruptions IE.

1-Chacune des sources d'interruption peut être validée ou inhibée individuellement quand le bit EA contient un "1", grâce à un bit du registre IE: EX0 et EX1 pour les interruptions externes INTO et INT1; ET0 et ET1 pour les interruptions des Timers 0 et 1 et ES pour l'interruption du port série.

La validation d'une interruption est effectuée par l'écriture d'un "1" dans le bit correspondant.

2-Le bit EA, quand il contient un "0" inhibe toutes les interruptions à la fois.

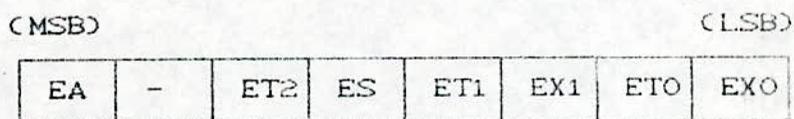


Figure 2.9.2- Le registre de validation des interruptions IE.

NB: Le septième bit du registre IE n'est pas utilisé.

Le bit ET2 est utilisé pour l'interruption du Timer 2 dans le cas des microcontrôleurs 8032 et 8052.

### 2.9.3- Le registre de priorité des interruptions IP.

Chaque source d'interruption peut être programmée individuellement à l'un des deux niveaux de priorités permis par

le 8031, par le positionnement d'un bit du registre IP (voir figure 2.9.3): PX0 et PX1 pour les interruptions externes; PT0, PT1 et ET2 (avec le 8032 et le 8052) pour les interruptions des Timers 0, 1 et 2; et PS pour l'interruption du port série.

-Un bit mis à "1" donne à l'interruption correspondante le niveau de priorité "supérieur" et quand il est mis à "0" le niveau de priorité inférieur.

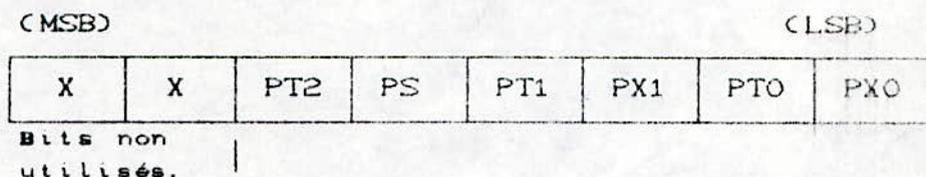


Figure 2.9.4- Le registre de priorité des interruptions IP.

La structure des niveaux de priorité des interruptions du 8031 est définie par les points suivants:

-Une interruption de niveau inférieur peut être interrompue par une interruption possédant le niveau de priorité supérieur;

-Une interruption de niveau de priorité supérieur ne peut être interrompue.

-Si deux demandes d'interruptions de même niveau de priorité interviennent simultanément, elles seront satisfaites dans l'ordre donné par le tableau (2.9), grâce à une procédure de scrutation interne.

Sources d'interruption	Priorités dans le même niveau	Vecteur de l'interruption
1. IEO interrupt. extern. 0	la plus élevée	0003H
2. TFO interrupt. Timer 0		000BH
3. IE1 interrupt. extern. 1		0013H
4. TF1 interrupt. Timer. 1		001BH
5. RI+TI int. port série		0023H
	la plus faible	

Tableau 2.9- Structure des priorités dans un même niveau d'adresse des interruptions du 8031.

#### 2.9.4-Application.

Dans le cadre de notre travail nous ne validerons que l'interruption du port série et les deux interruptions externes en donnant à la première le niveau de priorité inférieur et aux deux autres le niveau supérieur. Ceci est effectué par la procédure d'initialisation affectant aux registres IE et IP les contenus suivants:

IP=(1X010101) ou 95H.

IE=(XXX0X1X1) ou 05H.

## CHAPITRE III.

### L'UNITE DE COMMANDE.

#### 3.1- Circuit d'horloge.

Le microcontrôleur 8031AH utilise un oscillateur de Pierce, constitué d'un inverseur interne dont l'entrée XTAL1 (broche 19) et la sortie XTAL2 (broche 18) sont connectées à un cristal de quartz ou à un résonnateur en céramique, en parallèle avec deux capacités dont le point milieu est mis à la masse (figure 3.1). L'ensemble constitue un oscillateur à réactance positive contrôlé par le cristal. Celui-ci joue le rôle d'une self-inductance dans le circuit résonnant.

Les capacités C1 et C2 sont souvent prises de valeurs égales; elles dépendent du type de cristal utilisé:

- C1=C2=  $30 \pm 10 \text{pF}$  pour un cristal de quartz;
- C1=C2=  $40 \pm 10 \text{pF}$  pour un résonnateur de céramique.

Pour ces valeurs nous pouvons utiliser n'importe quel cristal de fréquence ne dépassant pas 12 MHz, à condition qu'il soit de bonne qualité. Dans le cas de notre application, nous utilisons un

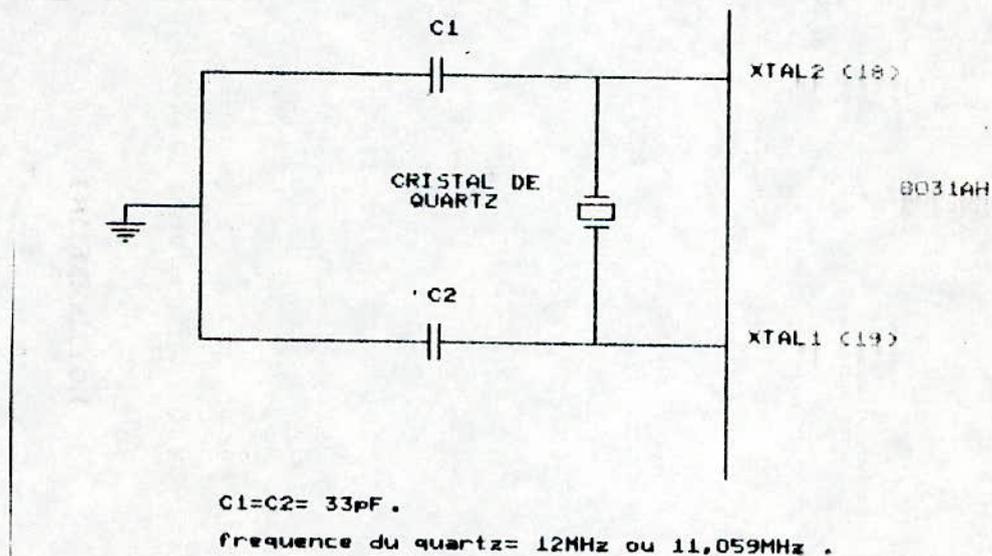


Figure 2.3- Connection d'un cristal de quartz au microcontrôleur 8031.

### 3.2- Circuit d'initialisation.

L'initialisation du microcontrôleur 8031AH, nécessite l'application au trigger d'entrée de la broche RST, d'un niveau haut pendant une durée minimale de deux cycles machine (24 périodes de l'oscillateur) pendant que l'oscillateur fonctionne. Le circuit prévu à cet effet (figure 3.2) permet deux sortes d'initialisations:

1-initialisation automatique: le condensateur C initialement dépourvu de charge, commence à se charger à la mise sous tension, ainsi le potentiel de la broche RST passe de +Vcc au début de la charge jusqu'en deçà du seuil du niveau logique bas.

2-initialisation manuelle: un bouton poussoir permet la réinitialisation du système à n'importe quel moment de son fonctionnement. Une bascule RS joue le rôle de circuit anti-rebonds. Au repos, le bouton poussoir relie l'entrée 3 de la bascule à la masse, ce qui donne un niveau *haut* sur la sortie. L'impulsion d'initialisation est générée par une pression sur le bouton qui fait passer la sortie de ce circuit au niveau *bas* pendant la durée de la pression.

Les deux sources d'initialisation ainsi réalisées sont reliées par une porte **NAND** logique.

La durée de l'impulsion doit être au moins égal au temps d'établissement (start-up time) de l'oscillateur, dont la valeur est à peu près de 10 ms, plus deux cycles machines. De plus nous devons respecter les niveaux logiques de la porte TTL ainsi que les courants débités par celle-ci (voir annexe 1); ceci nous amène à choisir pour le circuit d'initialisation automatique une résistance  $R=10\text{ K}\Omega$  pour que la tension à ses bornes reste *supérieur* à 2 Volt quand le condensateur C aura fini de se charger. Une capacité  $C=47\text{ }\mu\text{F}$  permet d'obtenir une impulsion d'initialisation de durée suffisante.

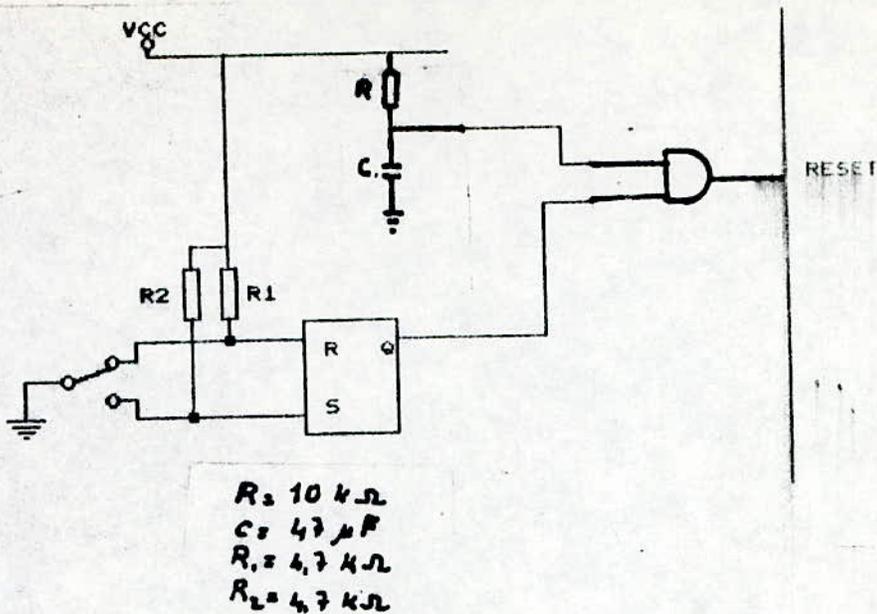
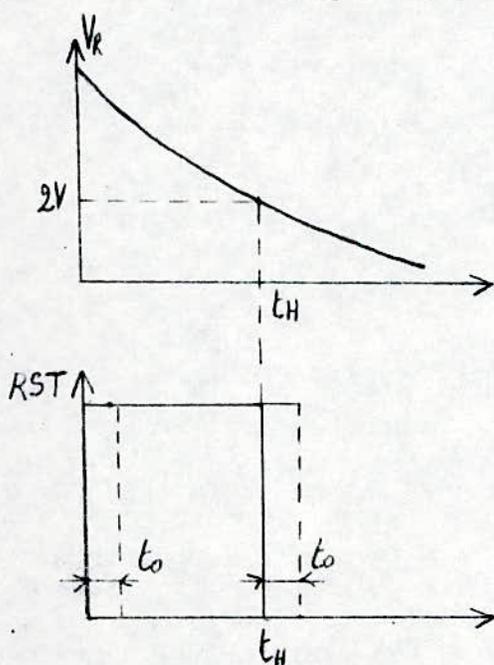


Figure 3.2.a- Circuit d'initialisation.



$t_0$ : retard introduit par la porte  
 $t_0 = 8\text{ ns}$ .

$$t_H = RC \ln \frac{5}{2} = 35,31\text{ ms}$$

Figure 3.2.b- Impulsion d'initialisation automatique.

### 3.3- Les bus.

Les différents organes de l'UC sont interconnectés à l'aide de trois bus: le bus d'adresses, le bus de données et le bus de contrôle.

Le bus de contrôle comprend les lignes ALE, PSEN, RD et WR.

ALE est utilisé pour le verrouillage des bits A0-A7 de l'adresse, et les autres signaux valident les mémoires en écriture (WR) ou en lecture (PSEN ou RD).

A cause de la limitation en nombre de broches du CI du microcontrôleur, les 8 bits d'adresse les moins significatifs (A0-A7) sont multiplexés avec les 8 bits de la donnée (D0-D7) sur le bus ADO-AD7 (les 8 lignes du port 0 sur la figure 3.1). Il est donc nécessaire d'effectuer un démultiplexage pour séparer électriquement les bus de données et d'adresses.

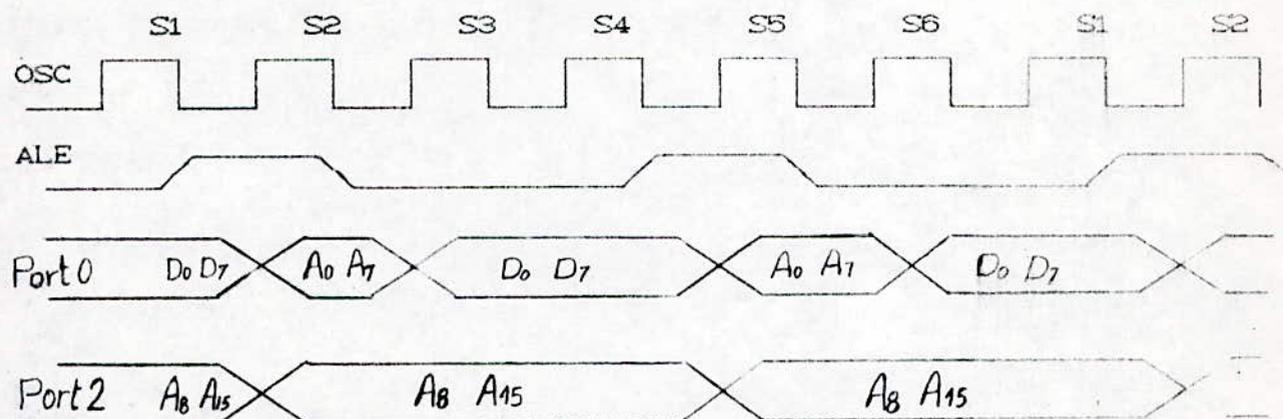


Figure 3.1- Multiplexage des bus d'adresse (A0-A7) et de données (D0-D7).

Note: Les chronogrammes ci-dessus sont donnés afin d'illustrer l'opération de multiplexage effectuée par le microcontrôleur. En réalité les durées de validation d'une adresse ou d'une donnée dépend du type de l'instruction exécutée. Des chronogrammes plus précis seront donnés plus loin.

### 3.3.1- Le démultiplexage du bus ADR/DATA.

Comme le montre la figure 3.3.2, le démultiplexage du bus ADR/DATA (les 8 lignes du port 0) est réalisé par deux circuits séparant totalement les bits d'adresse des bits de données.

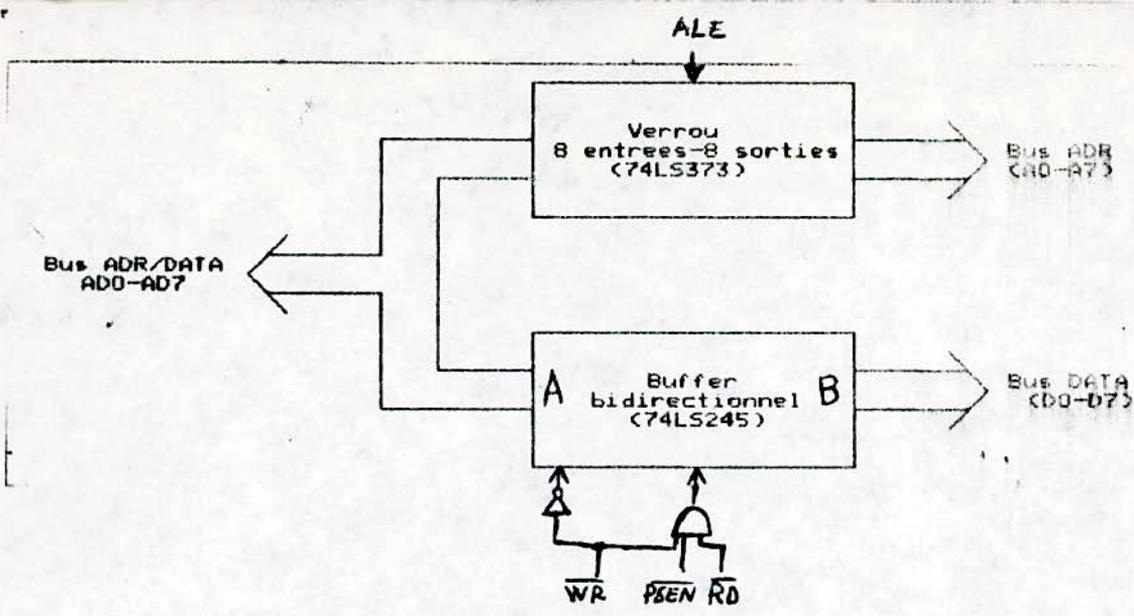


Figure 3.3.2- Schéma synoptique du circuit de démultiplexage.

L'octal latch (verrou) 74LS373.

Ce circuit se présente sous la forme d'un boîtier de 20 broches: 2 broches d'alimentation (Vcc et GND), 8 lignes d'entrée, 8 lignes de sortie et deux lignes de commande OC et G.

-La broche OC est connectée à la masse pour valider l'adresse en sortie de façon permanente.

-Pour indiquer qu'une adresse est sur le bus multiplexé (C0-A7), le microcontrôleur active le signal ALE. C'est ce même signal qui va attaquer l'entrée de validation G, pour effectuer le verrouillage des bits d'adresse à chaque impulsion sur la ligne ALE.

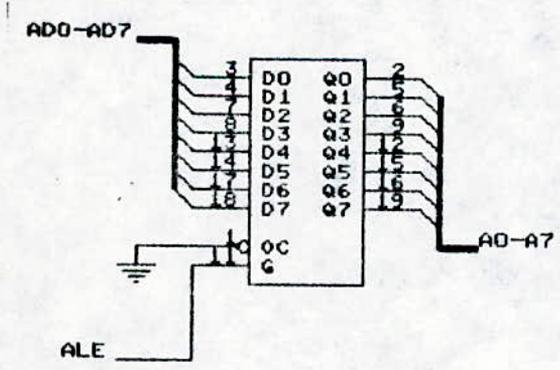


Figure 3.3- Octal latch. 74LS373

OC	G	Entrée	Sortie
L	H	H	H
L	H	L	L
L	L	X	Q <sub>0</sub> *
H	X	X	Haute impédance

\* Verrouillage de la donnée à l'entrée au moment d'une transition "1" à "0".

Figure 3.3.1- Table de vérité du 74LS373

### Le buffer bidirectionnel 74LS245.

Ce circuit intégré de 20 broches, est un amplificateur bidirectionnel qui effectue le transfert de 8 bits de données dans un sens ou dans l'autre lorsqu'il est valide (voir figure 3.3.4). La sélection du circuit se fait par la broche G et le sens de transfert des données est commandé par la broche DIR (voir tableau 2.5.1).

-Pour que le bus de données soit imperméable aux adresses du bus multiplexé (AD0-AD7), le boîtier est sélectionné par un ET logique des signaux  $\overline{\text{PSEN}}$ ,  $\overline{\text{RD}}$  et  $\overline{\text{WR}}$ , qui ne sont activés qu'au cours d'une opération de lecture ou d'écriture mémoire. Quand aucun de ces derniers n'est activé, le circuit se met à l'état haute impédance.

-La broche DIR est connectée au signal  $\overline{\text{WR}}$ <sup>inversé</sup>; quand s'effectue une opération d'écriture mémoire, DIR reçoit un niveau logique bas, ce qui fait que la donnée est transférée du microcontrôleur vers une mémoire ou un périphérique (sens de **A** vers **B**). Le transfert se fait dans le sens inverse (**B** vers **A**) lorsque  $\overline{\text{PSEN}}$  ou  $\overline{\text{RD}}$  sont activés au cours d'une opération de lecture mémoire.

G	DIR	Sens de transfert des données
L	H	de A vers B
L	L	de B vers A
H	X	le buffer est isolé du bus

Tableau 3.3.2- Contrôle du buffer bidirectionnel 74LS245.

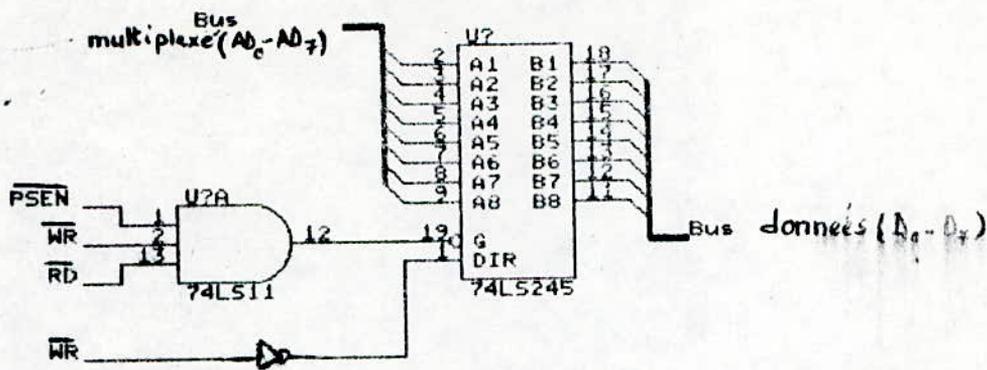


Figure 3.3.4- Démultiplexage du bus de données par le buffer bidirectionnel 74LS245.

### 3.3.2- Amplification des bus.

En plus des considérations de compatibilité des technologies, lors de l'interconnexion des circuits intégrés, nous devons respecter les notions d'entrance et de sortance:

-l'entrance est définie comme étant le nombre maximal de circuits pouvant être directement connectés à une entrée.

-la sortance est le nombre maximal de charges que peut supporter une sortie.

Nous avons déjà vu les sortances et entrances des lignes du microcontrôleur 8031 (paragraphe 2.3: les ports d'E/S 0 à 3). Les circuits de la famille LS-TTL (74LS373, 74LS245, ...) ont une sortance de 20 circuits de la même famille. Cette sortance varie lors de l'interconnexion avec d'autres sous-familles de la logique TTL (5 circuits 74, 4 circuits 74 S, ...; voir annexe). Les entrées et sorties des circuits mémoire qui sont en technologie CMOS mettent en jeu des courants relativement plus faibles qu'en logique TTL.

-Etant données toutes ces considérations, l'amplification du bus d'adresses ne sera envisagée, que lors du décodage fin des adresses réservées pour la partie téléphonique, qui fera

intervenir des circuits supplémentaires.

-Le bus de données ne nécessite pas d'amplification, vu qu'il n'alimente qu'un circuit à la fois, les autres étant à l'état haute impédance.

-les lignes de contrôle  $\overline{RD}$  et  $\overline{WR}$ , par contre, doivent être amplifiées vu qu'elles desservent deux portes LS-TTL, quatre boîtiers RAM et deux circuits LS-TTL pour la ligne  $\overline{RD}$ , ce qui dépasse largement leur sortance. *un autre pour WR*

L'amplification sera réalisée avec le Buffer à 3 états 74LS244 dont les entrées de validation 1G et 2G doivent être mises à leur état "activées" (à la masse) en permanence (voir figure 3.3.5).

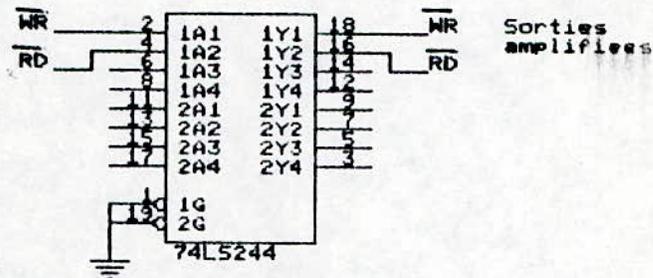


Figure 3.3.5- Amplification des lignes de contrôle  $\overline{RD}$  et  $\overline{WR}$ .

### 3.3.3-Fonctionnement des bus.

Lors de l'exécution d'une instruction, le microcontrôleur 8031AH a besoin d'échanger des données avec les mémoires et les périphériques. Ces échanges s'effectuent selon deux types d'opérations: l'opération de lecture et l'opération d'écriture. Dans les deux cas, une adresse de 16 bits est générée pour sélectionner l'organe source, ou une destination de la donnée et les signaux de contrôle  $\overline{RD}$ ,  $\overline{PSEN}$  ou  $\overline{WR}$  valident l'opération à effectuer.

-L'opération de lecture mémoire.

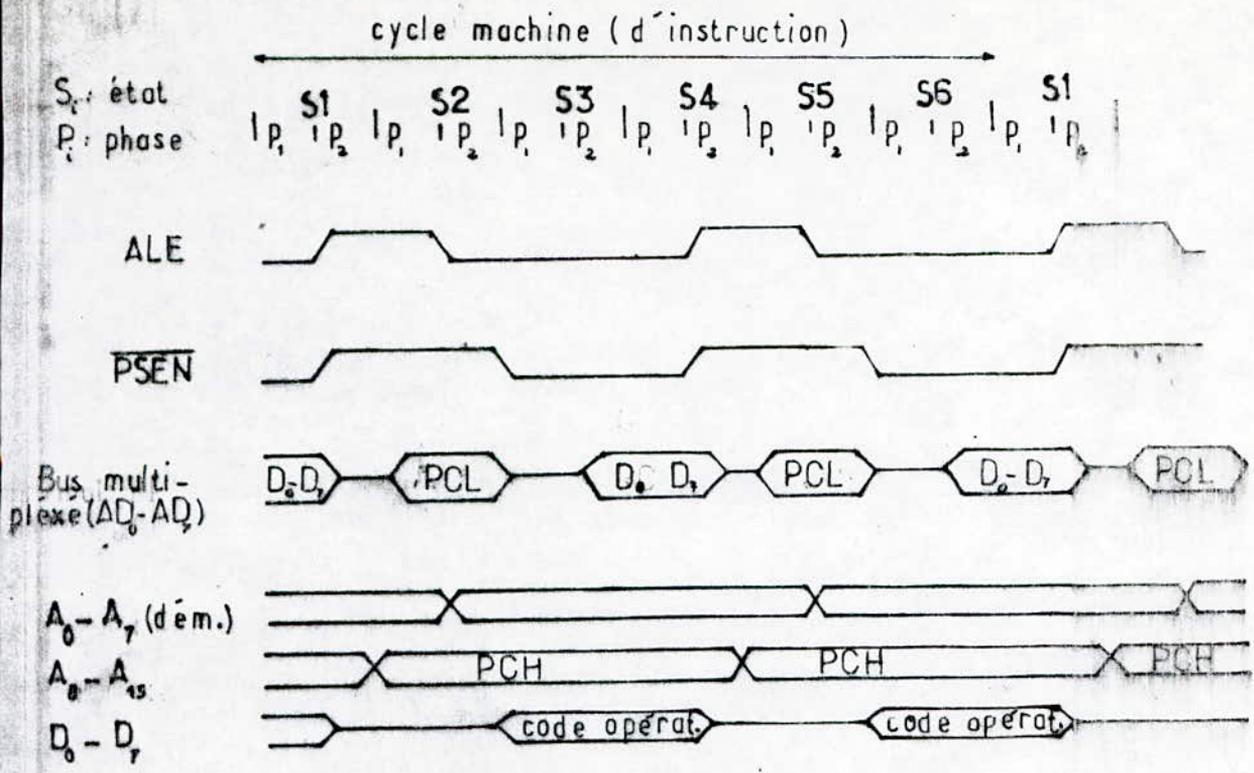
Il faut distinguer entre l'opération de lecture de la mémoire programme (EPROM) et celle de la mémoire de données (RAM).

a)-Lecture de la EPROM.

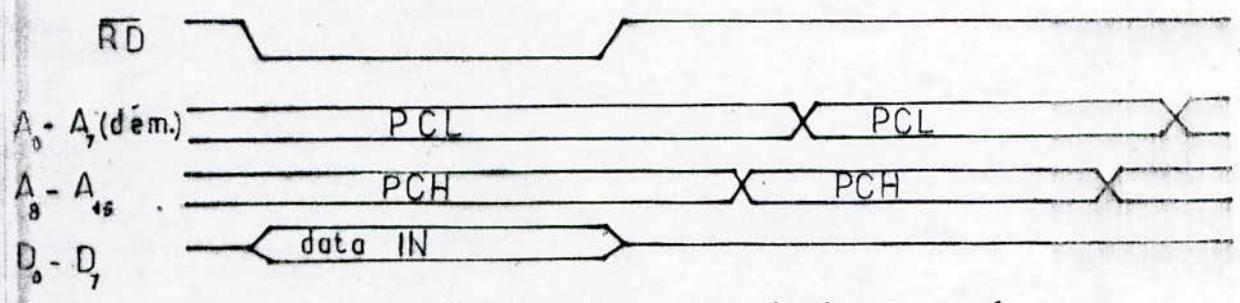
Les adresses sont générées pendant les états S2 et S3 de chaque cycle machine, sauf si l'instruction à exécuter est constituée d'un seul octet. La lecture des données se fait pendant les états S1 et S4. Le signal ALE est utilisé pour le verrouillage de l'octet faible de l'adresse. Le signal  $\overline{PSEN}$ , actif au niveau bas, commande l'opération de lecture de la EPROM. La figure (3.6.a) donne les chronogramme du déroulement d'une telle opération.

b)-Lecture de la RAM.

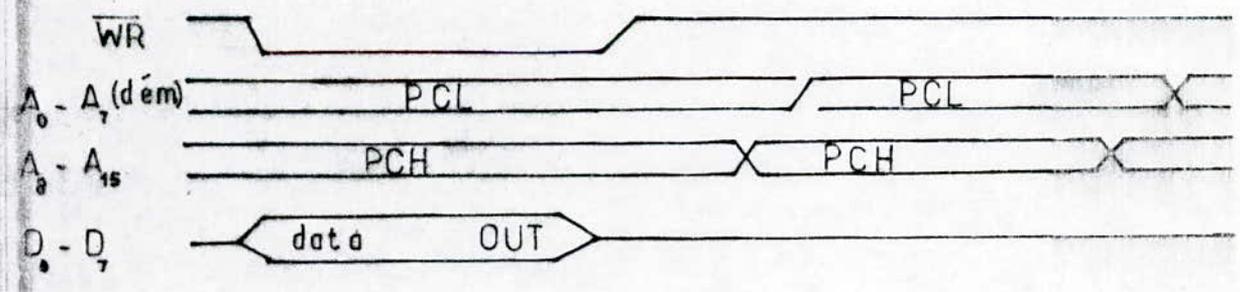
Le signal  $\overline{RD}$  est active pendant les trois états S1, S2 et S3 d'un cycle machine. L'impulsion ALE est inhibée pendant S1P2 et S2P1 (figure 3.6.b). La lecture de la donnée par le microcontrôleur s'effectue au cours de la phase P1 de l'état S3.



(a) lecture de la mémoire programme



(b) lecture de la mémoire de données



(c) écriture de la mémoire de données

Figure 3.6.

-Opération d'écriture mémoire.

Comme le signal  $\overline{RD}$ , le signal  $\overline{WR}$  est lui aussi active pendant les trois premiers états S1, S2 et S3 d'un cycle machine, la donnée est disponible sur le bus de données pendant toute la durée d'activation de  $\overline{WR}$  (voir figure 3.6.c).

### 3.4-Les mémoires.

La partie mémoire est d'une très grande importance dans un système à microprocesseur. C'est le lieu de résidence des programmes exécutés et des données utilisées ou résultant des opérations effectuées par le microprocesseur.

Comme nous l'avons déjà vu, le microcontrôleur 8031 permet l'adressage de 64 K-octet de mémoire programme externe et 64 K-octet de mémoire données externe. Ceci est dû au fait que les deux espaces mémoire sont sélectionnés indépendamment, le premier par le signal  $\overline{PSEN}$  et le second par les signaux  $\overline{RD}$  et  $\overline{WR}$ .

#### 3.4.1-La table d'adressage.

a)-la mémoire programme.

Nous utilisons pour stocker les programmes de gestion de notre système, 8 octets de mémoire seulement, commençants à l'adresse 0000H et se terminants à l'adresse 1FFFH.

b)-la mémoire de données.

L'espace mémoire de données se divise en deux parties:

1)-56 K-octet de mémoire RAM répartie sur trois boîtiers sélectionnées par le bit A15=1 et les trois premières combinaisons des bits A14 et A13, et un boîtier de 32 K-octet sélectionné par A15=0.

2)-Par le décodage des bits A11 et A12 nous partageons les

8 K-octet de memoire en quatre espaces de 2 K-octet chacun.

-2 Ko (A<sub>11</sub>A<sub>12</sub>=00) servent à sélectionner un circuit de verrouillage des sorties de 8 micro-switchs, un deuxième verrou pour le neuvième micro-switch et un autre verrou pour les signaux d'acquiescement (handshake); à ces circuits sont attribuées les adresses E006H, E005H et E003H, respectivement obtenues par un adressage lineaire utilisant les bits A<sub>0</sub>, A<sub>1</sub> et A<sub>2</sub>.

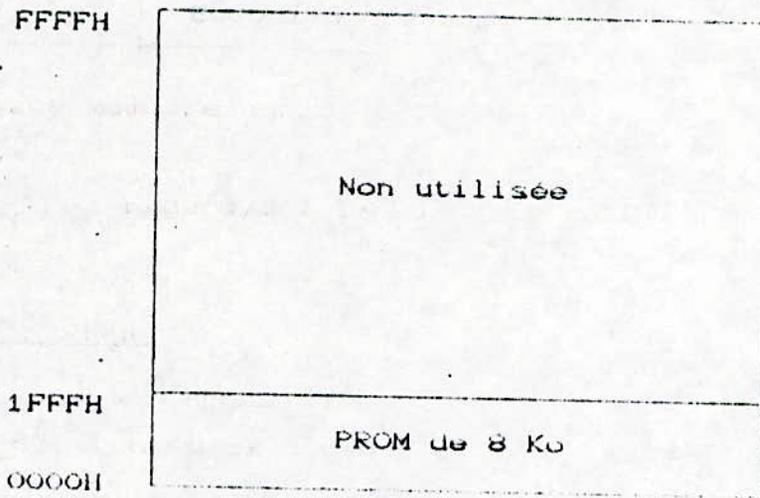
-Les 6 derniers Ko de memoire (A<sub>11</sub>A<sub>12</sub>=01, 10 et 11), sont reserves pour l'adressage des peripheriques de la partie telephonique du systeme.

	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
PROM 8 Ko	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x
RAM 32 Ko	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x
RAM <sub>1</sub> 8 Ko	1	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x
RAM <sub>2</sub> 8 Ko	1	0	1	x	x	x	x	x	x	x	x	x	x	x	x	x
RAM <sub>3</sub> 8 Ko	1	1	0	x	x	x	x	x	x	x	x	x	x	x	x	x
1 <sup>er</sup> Verrou des μ-switchs	1	1	1	0	0									1	1	0
2 <sup>eme</sup> Verrou des μ-switchs	1	1	1	0	0									1	0	1
Verrou des signaux de handshake	1	1	1	0	0									0	1	1
Periph. de la partie telephonique.	1	1	1	0	1	x	x	x	x	x	x	x	x	x	x	x
	1	1	1	1	0	x	x	x	x	x	x	x	x	x	x	x
	1	1	1	1	1	x	x	x	x	x	x	x	x	x	x	x

Tableau 3.4.1-Table d'adressage de la memoire de donnees. et de la memoire programme.

### 3.4.2-Mapping de la mémoire.

La figure ci-dessous (figure 2.6.1), montre la répartition de la mémoire et les adresses occupées par chacun de ses constituants.



a) Mapping de la mémoire programme.

A15	A14	A13	Start Address	End Address	Component
1	1	1	FFFFH	E000H	Périphériques et verrous de $\mu$ -switchs.
			DFFFH	C000H	
1	1	0	C000H	BFFFH	RAMs de 8 Ko
1	0	1	BFFFH	A000H	RAM2 de 8 Ko
1	0	0	A000H	9FFFH	RAM1 de 8 Ko
0	1	1	9FFFH	8000H	RAM de 32 Ko
0	1	0	8000H	7FFFH	
0	0	1	7FFFH		
0	0	0	0000H		

b) Mapping de la mémoire de données.

A12	A11		
1	1	FFFFH	8 Ko pour l'adressage des périphériques de la partie téléphonique.
1	0	E800H	
0	1	E7FFH	3 circuits de verrouillage.
0	0	E000H	

c) Espace mémoire adressable réservé aux périphériques.

Figure 3.4.1- La carte memoire.

### 3.4.3-Decodage.

Le décodage est réalisé en deux étapes à l'aide du circuit 74LS139 qui contient deux decodeurs 2 vers 4 (figure 3.4.2).

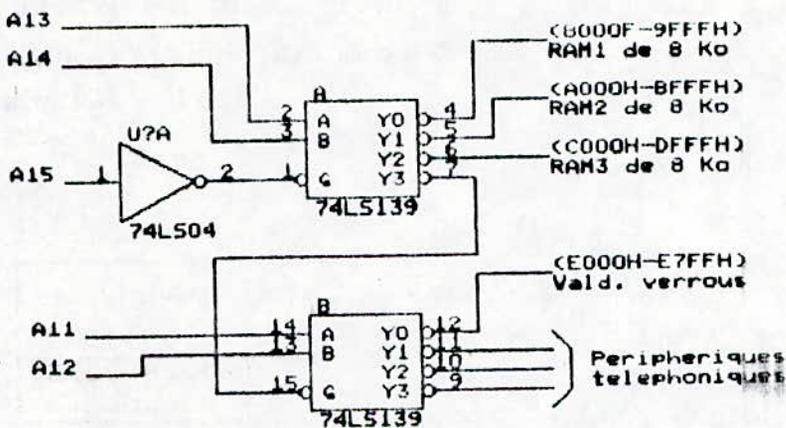


Figure 3.4.2- Le circuit de decodage 74LS139.

Le premier decodeur est valide par  $A_{15} = 1$  alors que la RAM de 32 Ko est selectionnee par  $A_{15} = 0$ . Les bits  $A_{13}$  et  $A_{14}$  sont decodes pour selectionner un parmi les boitiers RAM de 8 Ko ou les peripheriques. La sortie  $Y_3$  valide le deuxieme decodeur qui en decodant les bits  $A_{11}$  et  $A_{12}$  permet de selectionner:

-à l'aide de la sortie 2Y<sub>0</sub> combinée avec les bits A<sub>0</sub>, A<sub>1</sub> et A<sub>2</sub>, un parmi les deux verrous des micro-switchs ou le verrou des signaux de hand-shake.

-et à l'aide des trois sorties 2Y<sub>1</sub>, 2Y<sub>2</sub> et 2Y<sub>3</sub>, les périphériques de la partie téléphonique.

Un décodage fin des bits A<sub>0</sub> à A<sub>9</sub> devra être effectuée pour offrir des lignes de sélection, en nombre suffisant, pour les circuits de cette partie.

#### 3.4.4-Les circuits mémoire.

##### a)-la EPROM de 8 Ko: HN27C64 (figure 3.4.3).

C'est une EPROM de 8 Ko. Les deux broches V<sub>pp</sub> et  $\overline{\text{PGM}}$  qui sont utilisées lors de la programmation, ainsi que la broche V<sub>cc</sub> sont connectées à la tension d'alimentation +5 volts. La broche  $\overline{\text{OE}}$  (Output Enable) est connectée à la masse, ce qui a pour effet de valider les données en sortie durant toute la durée pendant laquelle la EPROM est sélectionnée. La sélection se fait par le signal  $\overline{\text{PSEN}}$  qui attaque la broche  $\overline{\text{CE}}$  (Chip Enable); quand  $\overline{\text{PSEN}}$  n'est pas activée, les sorties de données sont à l'état haute impédance.

	$\overline{\text{CE}}$	$\overline{\text{OE}}$	$\overline{\text{PGM}}$	V <sub>pp</sub>	V <sub>cc</sub>
Lecture	L	L	H	V <sub>cc</sub>	V <sub>cc</sub>
Etat haute impédance	H	X	X	V <sub>cc</sub>	V <sub>cc</sub>

Tableau 3.4.2- Table de vérité simplifiée de l'EPROM 27C64.

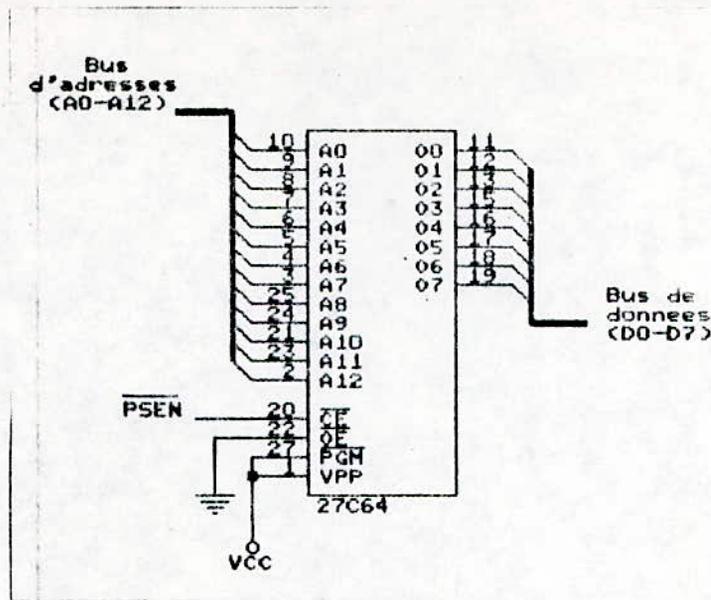


Figure 3.4.3- La EPROM 27C64.

b)- Les RAM de 8 Ko: 6264.

Ces RAM se présentent sous formes de circuits intégrés à 28 broches. La connexion des différentes broches est illustrée par la figure 3.4.4 et obéit à la table de vérité 3.4.3. une des entrées de sélection, CS2 est connectée à la tension +8 volts, tandis que l'autre:  $\overline{CS1}$  est connectée à l'une des sorties 1Y<sub>0</sub>, 1Y<sub>1</sub> ou 1Y<sub>2</sub>, du décodeur sélectionnant un parmi les 3 boîtiers RAM de 8 Ko ou les périphériques (voir figure 3.4.3). Une lecture mémoire s'opère quand le signal  $\overline{RD}$  active l'entrée  $\overline{OE}$ , alors qu'une écriture mémoire est commandée par le signal  $\overline{WR}$ . Lorsque le boîtier n'est pas sélectionné ou aucun des deux signaux  $\overline{RD}$  et  $\overline{WR}$  n'est activé, les sorties sont à l'état haute impédance.

	$\overline{WE}$	$\overline{CS1}$	CS2	$\overline{OE}$
Lecture	H	L	H	L
Ecriture	L	L	H	H
Haute impédance	H	L	H	H
Haute impédance	X	H	X	X

Tableau 3.4.3- Table de vérité simplifiée de la RAM 6264.

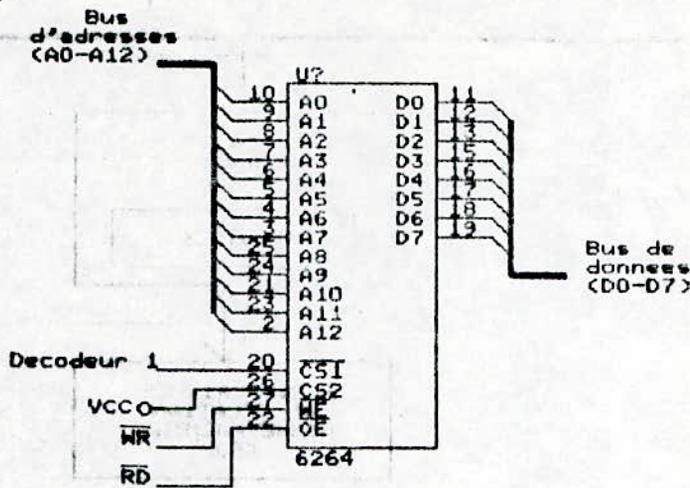


Figure 3.4.4- Connection de RAM 6264 aux différents bus.

c)-La RAM de 32 Ko: (62 256).

Le boîtier de la RAM 62 256 possède 28 broches. Sa connexion avec le bus de l'UC est indiquée par la figure 2.6.5. Le circuit est sélectionné par un "0" sur la ligne d'adresses A16 connectée à l'entrée de validation  $\overline{CE}$ . Les signaux  $\overline{RD}$  et  $\overline{WR}$  sont connectés aux entrées  $\overline{OE}$  (validation de sorties) et  $\overline{WE}$  (validation de l'écriture) respectivement. Si l'entrée  $\overline{CE}$  ou aucun des signaux  $\overline{RD}$  et  $\overline{WR}$  ne sont activés, les lignes de données du circuit sont à l'état haute impédance (voir tableau 3.4.4).

Broche	$\overline{CE}$	$\overline{OE}$ quand CE passe au niveau L	$\overline{WE}$
	Etat du CI		
Lecture	L	H	H
Ecriture	L	H	L
Haute impédance	L	H	H

Tableau 3.4.4- Table de vérité simplifiée de la RAM 62256.

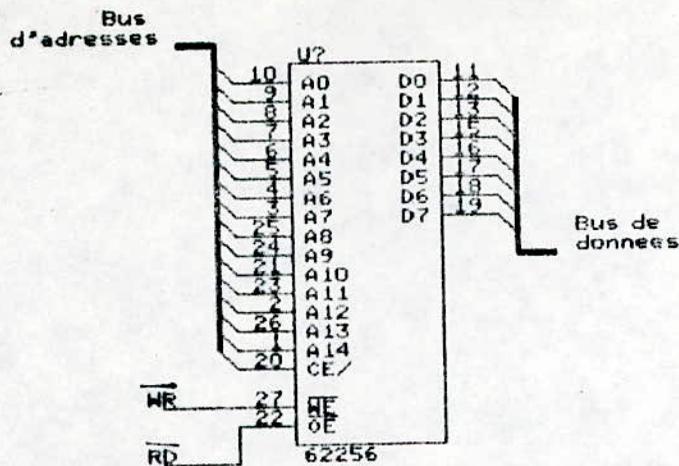


Figure 3.4.5- Connection de la RAM 62256 aux bus de l'UC.

### 3.5- Circuits d'initialisation et de la gestion de la communication série entre l'UC et le terminal.

**3.5.1- Introduction:** La communication entre l'utilisateur et l'UC se fait à travers un terminal clavier-écran. Les données sont échangées par une transmission série asynchrone en duplex intégral.

-Transmission asynchrone.

Dans ce mode de transmission série, les bits d'un caractère sont transmis à une vitesse constante, mais l'instant d'occurrence d'un caractère est aléatoire.

Le port série du microcontrôleur 8031 a la structure d'une UART: il possède un double tampon de données (SBUF), un registre de contrôle et d'état (SCON), des circuits de contrôle et d'horloge et deux lignes (RXD et TXD) pour la réception et l'émission des données séries. Quand aucun caractère n'est transmis, ces deux lignes sont au niveau haut.

Pour pouvoir sélectionner le format de la transmission série,

sa vitesse et le type de handshake (dialogue entre l'UC et le terminal; voir § 3.5.4), l'utilisateur dispose de 9 micro-switchs (ms0 à ms8) répartis en trois ensembles (voir figure 3.5.1).

1. Quatre micro-switchs (ms0 à ms3) pour la sélection du format de transmission.
2. Quatre micro-switchs (ms4 à ms7) pour sélectionner la vitesse de transmission.
3. Le 9<sup>ème</sup> micro-switch sert à fixer le type de handshake.

L'état des micro-switchs est lu sur le bus de données à travers deux circuits de verrouillage (deux 74LS373):

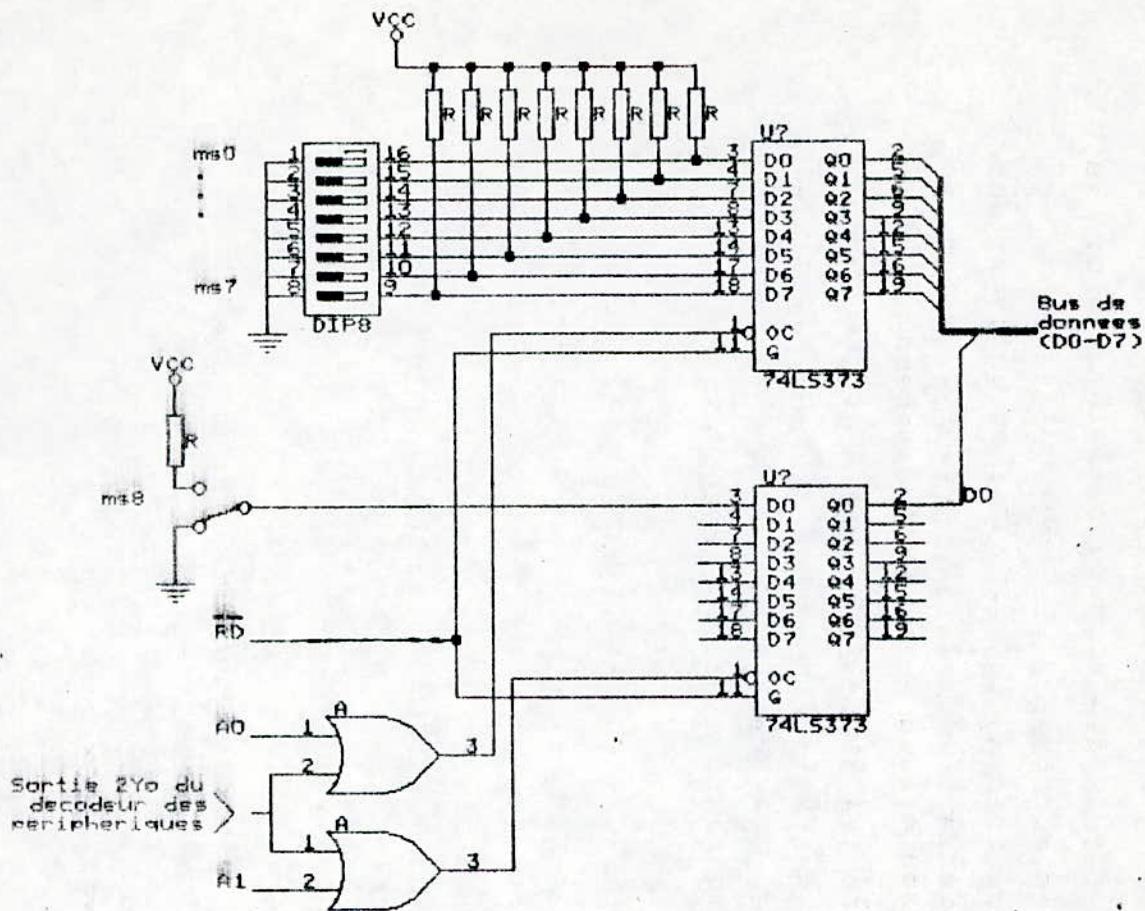
-Le premier verrou est utilisé pour la lecture de 8 micro-switchs (ms0 à ms7) quand le signal  $\overline{RD}$  est activé. Il est sélectionné par un OU logique de la sortie 2Y<sub>0</sub> du décodeur des périphériques (voir la section 3.4.3) et du bit d'adresse A<sub>0</sub>.

-Le deuxième verrou sert à la lecture du micro-switch ms8. Il est sélectionné par un OU logique entre la même sortie 2Y<sub>0</sub> et le bit d'adresse A<sub>1</sub>.

Le tableau ci-dessous montre l'adressage des deux verrous 74LS373 et la figure 3.5.1 montre la connection des micro-switchs au bus de données. Nous avons choisi l'adresse E006H pour le premier verrou et l'adresse E005H pour le deuxième verrou.

μ-switchs lus	A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
ms0 à ms7	1	1	1	0	0	X	X	X	X	X	X	X	X	1	1	0
ms8	1	1	1	0	0	X	X	X	X	X	X	X	X	1	0	1

Tableau 3.5.1- Lecture des micro-switchs.



R = 4,7 K

Figure 3.5.1- Circuit d'initialisation du port série.

### 3.5.2- Choix du format de transmission série.

Pour que l'organe de réception (terminal ou microcontrôleur) reconnaisse l'arrivée d'un caractère, la ligne de réception RXD passe du niveau logique "1" à "0" pendant la durée d'un bit et provoque ainsi un bit START. La donnée est codée sur 7 ou 8 bits selon le code utilisé (ASCII, EB CDIC....) elle suit directement le bit START. Un ou plusieurs bits STOP (niveau logique "1") sont ajoutés à la fin de chaque caractère pour permettre au bit START de la prochaine émission (dans le cas de caractères directement successifs) de créer un changement de niveau sur la ligne de

communication. La figure 5.2 montre le format d'une transmission serie asynchrone.

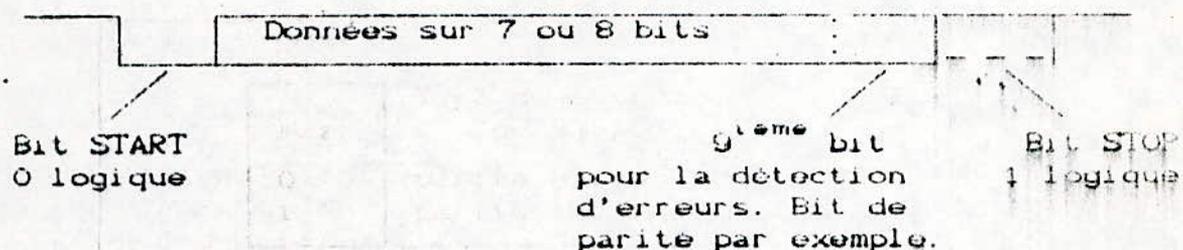


Figure 5.2- Format d'une transmission serie asynchrone.

Le microcontrôleur 8031 offre quatre formats de base pour la transmission de données serie, selectionnés par les micro-switchs ms0 et ms1. En ajoutant la possibilité de choix du nombre de bits STOP et du type de contrôle de parité; nous obtenons finalement 13 formats différents comme le montre le tableau 2.7.3. La figure 2.7.2 indique la signification de l'état de chacun des micro-switchs.

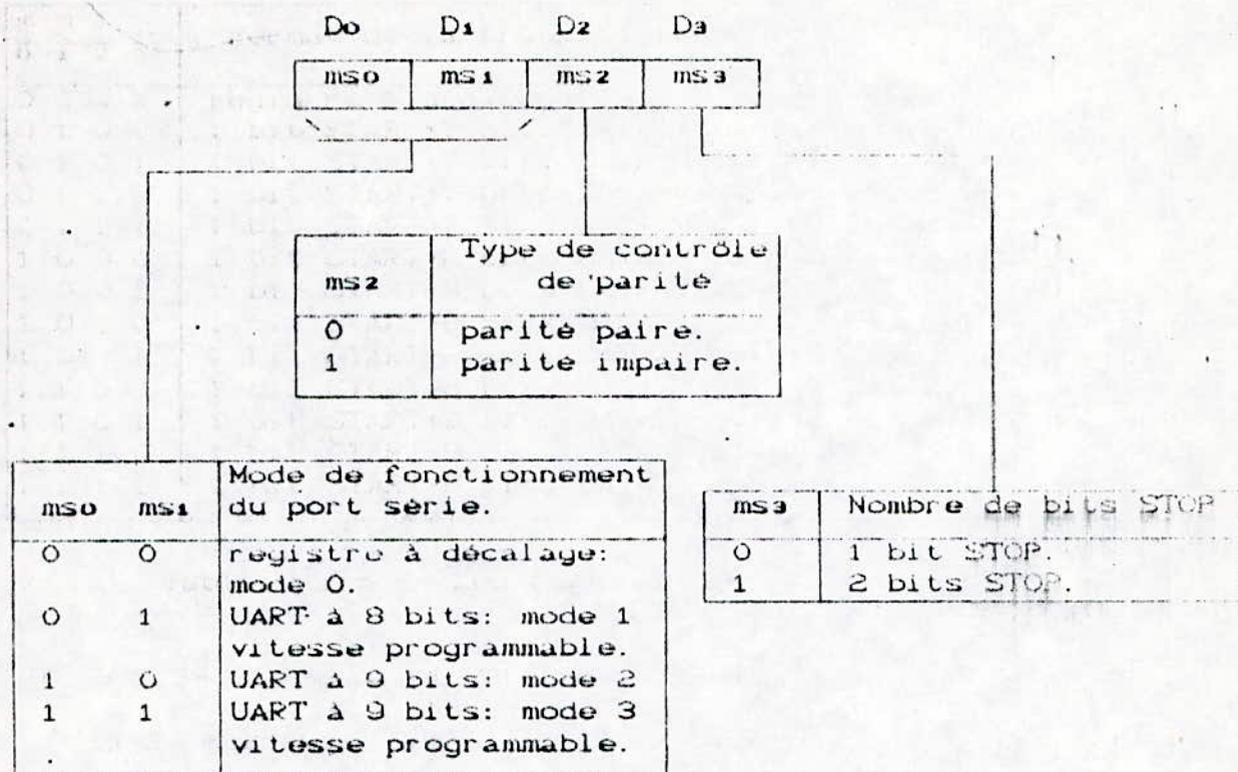


Figure 3.5.2- Sélection du format de la transmission série.

Remarque: étant donné que le 8031 n'émet automatiquement qu'un seul bit STOP, un second bit STOP doit être donc simulé par la génération d'une temporisation d'une durée égale à celle de l'émission de un bit, pour l'intercaler entre deux émissions successives. Ceci peut être réalisé en configurant le Timer 0 dans le même mode de fonctionnement que le Timer 1 utilise en générateur de Baud Rate, avec en plus une même valeur de chargement des registres de comptage. L'interruption du Timer 0 doit être validée dans ce cas. La temporisation commence à la mise en marche du Timer 0 (TR0=1) et se termine à sa mise en arrêt (TR0=0) par la routine de service de l'interruption du Timer 0.

m 0	m 1	m 2	m 3	Format de la transmission.
0	0	X	X	registre à décalage de 8 bits.
0	1	0	0	1 bit START+7 bits DATA + parité paire + 1 bit STOP.
0	1	0	1	1 bit START+7 bits DATA + parité paire + 2 bit STOP.
0	1	1	0	1 bit START+7 bits DATA + parité impaire + 1 bit STOP.
0	1	1	1	1 bit START+7 bits DATA + parité impaire + 2 bit STOP.
1	0	0	0	1 bit START+8 bits DATA + parité paire + 1 bit STOP.
1	0	0	1	1 bit START+8 bits DATA + parité paire + 2 bit STOP.
1	0	1	0	1 bit START+8 bits DATA + parité impaire + 1 bit STOP.
1	0	1	1	1 bit START+8 bits DATA + parité impaire + 2 bit STOP.
1	1	0	0	1 bit START+8 bits DATA + parité paire + 1 bit STOP.
1	1	0	1	1 bit START+8 bits DATA + parité paire + 2 bit STOP.
1	1	1	0	1 bit START+8 bits DATA + parité impaire + 1 bit STOP.
1	1	1	1	1 bit START+8 bits DATA + parité impaire + 2 bit STOP.

Tableau 3.5.2- Les formats de transmission série.

### 3.5.3- Choix de la vitesse de transmission série.

Les quatre micro-switches (ms4 à ms7) permettent à l'utilisateur de sélectionner la vitesse des échanges de données série entre l'UC et le terminal. Leur positionnement pour la sélection d'une vitesse donnée est déterminé par le tableau 3.5.3:

-pour le mode 0 (format 1) la vitesse est fixe; elle est égale à  $1/12$  de la fréquence de l'oscillateur utilisé ( $f_{osc}$ ).

-deux vitesses seulement sont permises pour le mode 2 (format 2 à 5):  $f_{osc}/64$  ou  $f_{osc}/32$ .

-dans le cas des modes 1 et 3, nous avons la possibilité de choisir parmi 16 vitesses différentes. La valeur à recharger dans le registre de comptage est indiquée dans le tableau 2.7.3.

Remarque: il est conseillé pour obtenir les vitesses avec une grande précision d'utiliser, pour piloter l'horloge du 8031, un oscillateur de fréquence  $f_{osc} = 11,059$  MHz; avec un oscillateur de 12 MHz la précision est moins bonne (voir tableau 3.5.3).

FREQUENCE DE L'OSCILLATEUR = 12 MHz.

Mode	ms7	ms6	ms5	ms4	Vitesse désirée	SMOD	Valeur rechargée (HEXA)	Vitesse obtenue (Baud)	Ecart relatif (%)
Mode0	x	x	x	x	$f_{osc}/12$	x	x	$f_{osc}/12$	0,00
Mode2	x	x	x	0	$f_{osc}/64$	0	x	$f_{osc}/64$	0,00
	x	x	x	1	$f_{osc}/32$	1	x	$f_{osc}/32$	0,00
Modes 1 et 3	0	0	0	0	50,00	0	FD8F	50,00	0,00
	0	0	0	1	75,00	0	FESF	74,90	0,01
	0	0	1	0	110,00	0	FEE4	110,04	0,03
	0	0	1	1	134,00	0	0017	134,12	0,08
	0	1	0	0	150,00	0	0030	150,24	0,16
	0	1	0	1	300,00	0	0098	300,48	0,16
	0	1	1	0	600,00	0	00CC	600,96	0,16
	0	1	1	1	1200,00	0	00E6	1201,90	0,16
	1	0	0	0	1800,00	1	00DD	1788,70	0,79
	1	0	0	1	2000,00	1	00E1	2016,10	0,80
	1	0	1	0	2400,00	0	00F3	2403,80	0,16
	1	0	1	1	3600,00	1	00EF	3676,40	2,12
	1	1	0	0	4800,00	1	00F3	4807,70	0,16
	1	1	0	1	7200,00	1	00F7	6944,70	3,58
	1	1	1	0	9600,00	0	00FD	10416,40	8,50
	1	1	1	1	19200,00	1	00FD	20833,33	8,50

Tableaux 3.5.3.a- Sélection des vitesses de la transmission série

FREQUENCE DE L'OSCILLATEUR = 11,059 MHz.									
Mode	ms7	ms6	ms5	ms4	Vitesse désirée	SMOD	Valeur rechargée (HEXA)	Vitesse obtenue (Baud)	Ecart relatif (%)
Mode0	x	x	x	x	$f_{osc}/12$	x	x	$f_{osc}/12$	0,00
Mode2	x	x	x	0	$f_{osc}/64$	0	x	$f_{osc}/64$	0,00
	x	x	x	1	$f_{osc}/32$	1	x	$f_{osc}/32$	0,00
Modes 1 et 3	0	0	0	0	50,00	0	FDC0	49,99	0,02
	0	0	0	1	75,00	0	FE80	74,99	0,01
	0	0	1	0	110,00	0	FEFA	109,92	0,07
	0	0	1	1	134,00	0	0029	133,95	0,03
	0	1	0	0	150,00	0	0040	149,99	0,006
	0	1	0	1	300,00	0	00A0	299,99	0,003
	0	1	1	0	600,00	0	00D0	599,98	0,003
	0	1	1	1	1200,00	0	00E8	1199,97	0,003
	1	0	0	0	1800,00	0	00F0	1800,00	0,000
	1	0	0	1	2000,00	1	00E3	1986,17	0,71
	1	0	1	0	2400,00	0	00F4	2399,95	0,002
	1	0	1	1	3600,00	0	00F8	3599,93	0,002
	1	1	0	0	4800,00	0	00FA	4799,91	0,002
	1	1	0	1	7200,00	0	00FC	7199,86	0,002
	1	1	1	0	9600,00	0	00FD	9599,92	0,002
	1	1	1	1	19200,00	1	00FD	19199,65	0,002

Tableaux 3.5.3.b- Selection des vitesses de la transmission serie

Les vitesses supérieures à 110 bauds, sont obtenues avec le Timer 1 fonctionnant en mode de rechargement automatique (mode 2), par l'initialisation du registre TMOD à la valeur:

TMOD= 0010 XXXX (binaire)  
 Timer1 Timer0

Les vitesses 50, 75 et 110 bauds qui sont très peu utilisées en pratique nécessitent la configuration du Timer1 en timer de 16 bits (mode 1), dans ce cas TMOD doit contenir la valeur:

TMOD= 0001 XXXX (binaire)  
 Time Timer0

Pour plus de détails se référer au paragraphe 2.2.8.

### 3.5.4- Dialogue entre l'UC et le terminal par mode d'aquitement (handshake).

L'échange des données série entre les deux équipements l'UC et le terminal, nécessite des signaux de dialogue, sans lesquels les transferts seraient erronés. Le dialogue en question peut se faire de deux manières différentes:

1- La première approche, plus connue sous le nom de "Soft handshake" consiste en l'échange de caractères spéciaux Xon et Xoff, sur les lignes de transmission RXD et TXD, pour valider ou interdire la transmission de données. Ce dialogue est entièrement établi par programme; Il a pour avantage de ne pas nécessiter des lignes de contrôle supplémentaires pour le handshake.

2- La seconde approche porte le nom de Hard handshake (ie le dialogue est établi par matériel). Elle fait intervenir un certain nombre de signaux de dialogue; les plus utilisés sont donnés ci-dessous.

- $\overline{\text{DTR}}$  (Data Termina Ready): DTE prêt;
- $\overline{\text{DSR}}$  (Data Set Ready) : DCE prêt;
- $\overline{\text{RTS}}$  (Request To Send) : demande à émettre;
- $\overline{\text{CTS}}$  (Clear To Send) : prêt à recevoir.

#### -Déroulement du dialogue.

Le handshake commence à la mise sous tension par l'exécution d'une routine d'initialisation par le micro-contrôleur. Celui-ci envoie le signal  $\overline{\text{DTR}}$  au terminal, qui répond s'il est en marche par l'activation du signal  $\overline{\text{DSR}}$ . Avant toute transmission, l'organe voulant émettre des données doit envoyer le signal  $\overline{\text{RTS}}$  vers l'organe récepteur, et ne doit commencer l'émission qu'après la réception du signal  $\overline{\text{CTS}}$ .

-Choix du type de handshake.

La sélection du type de handshake se fait par le positionnement à "0" ou à "1" du 9<sup>ème</sup> micro-switch (ms8), comme indiqué ci-dessous:

ms8	Type de handshake
0	Soft-handshake
1	Hard-handshake

Tableau 5.3- Sélection du type de handshake.

**3.6- Interface série (le MAX237).**

La communication série entre le microcontrôleur et le terminal s'effectue selon la norme RS-232. Les niveaux des signaux utilisés dans cette norme sont différents des niveaux en logique TTL.

Pour interfacer entre les signaux TTL générés par le microcontrôleur 8031 et ceux transmis à travers un connecteur compatible RS-232 nous utiliserons le circuit MAX237. Il possède quatre entrées TTL vers RS-232 (drivers) et trois entrées RS-232 vers TTL (receivers), qui sont toute inverseuses (voir figure 3.6.2). Le tableau 3.6.1 donne les niveaux de tensions utilisés dans la norme RS-232.

Ligne	Niveau logique	Niveaux de tension (V)	Niveaux typiques de tension (V)
Lignes de transmission de données KXD et TXD	Bas (0)	-3 à -27	-10 à -12
	Haut (1)	+3 à +27	+10 à +12
Signaux de handshake $\overline{DTR}$ , $\overline{DSR}$ , $\overline{RTS}$ et $\overline{CTS}$	Bas (0)	+3 à +27	+10 à +12
	Haut (1)	-3 à -27	-10 à -12

Tableau 3.6.1- Niveaux de tension utilisés dans la norme RS-232.

Remarques:

Dans le cas de liaisons courtes ne nécessitant pas de Modem, les différentes lignes de handshake ainsi que les lignes d'émission et de réception série (TXD et RXD) doivent être croisées comme indiqué dans la figure 3.6.3 pour éviter que les signaux n'interfèrent entre eux. De telles liaisons sont dites à "Modem Null".

Vu que les sorties du MAX237 sont inverseuses, les signaux du handshake ( $\overline{DTR}$ ,  $\overline{DSR}$ ,  $\overline{RTS}$  et  $\overline{CTS}$ ) doivent être inversés du côté de l'UC.

-Verrouillage des signaux de handshake.

Les signaux de handshake sont générés/reçus sur le bus de données. Les niveaux de ces signaux doivent donc être verrouillés; pour ce faire, nous utilisons le latch 74LS373 dont deux entrées reçoivent les signaux  $\overline{DTR}$  et  $\overline{RTS}$  du microcontrôleur qui sont transférés vers le MAX237, et deux autres reçoivent les signaux  $\overline{DSR}$  et  $\overline{CTS}$  en provenance de ce dernier pour le transmettre à l'UC. Le circuit de verrouillage est valide, comme l'indique la figure 3.6.1, en lecture ou en écriture par un ET logique des signaux  $\overline{RD}$  et  $\overline{WR}$ , quand la sortie 2Y<sub>1</sub> du decodeur des périphériques est activé, niveau bas et A<sub>2</sub>=0; autrement ces sorties sont à l'état haute impédance.

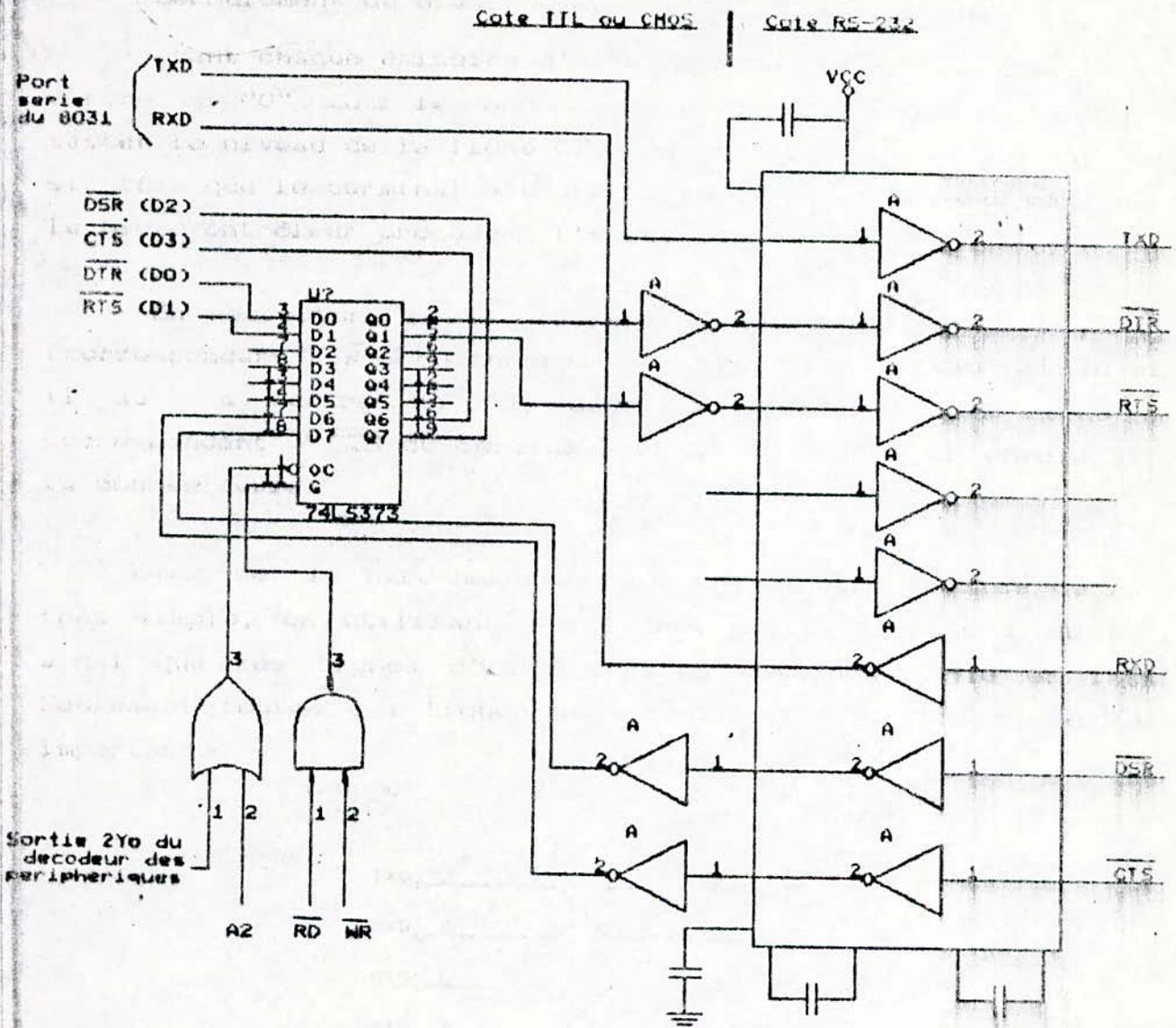


Figure 6.2- Interface série avec le terminal.

Le verrou des signaux du handshake est adressé par l'adresse  
 Les bits d'adresse A03 à A10 dont la valeur peut être  
 indifféremment un "1" ou un "0" (figure 3.6.1), sont mis à "0".

-Déroulement du dialogue entre l'UC et le terminal.

-Avant chaque émission d'un caractère, le microcontrôleur doit écrire un "0" dans le verrou correspondant à la ligne  $\overline{\text{RTS}}$  et tester le niveau de la ligne  $\overline{\text{CTS}}$ . Quand celle-ci passe à "0", cela signifie que le terminal est prêt à recevoir un nouveau caractère, le microcontrôleur procède à l'émission.

-En réception, le microcontrôleur doit tester la ligne  $\overline{\text{CTS}}$  (correspondant à  $\overline{\text{RTS}}$  du terminal), si celle-ci est au niveau bas, il aura à écrire un "0" dans le verrou de la ligne  $\overline{\text{RTS}}$  (correspondant à  $\overline{\text{CTS}}$  du terminal) et le terminal lui envoie alors la donnée série.

Remarque: le hard-handshake aurait pu être réalisé de façon très simple, en utilisant les lignes d'E/S du port 1 du 8031, ainsi que les lignes d'interruptions externes ( $\overline{\text{INT0}}$  et  $\overline{\text{INT1}}$ ). Seulement toutes ces lignes sont réservées pour des tâches plus importantes.

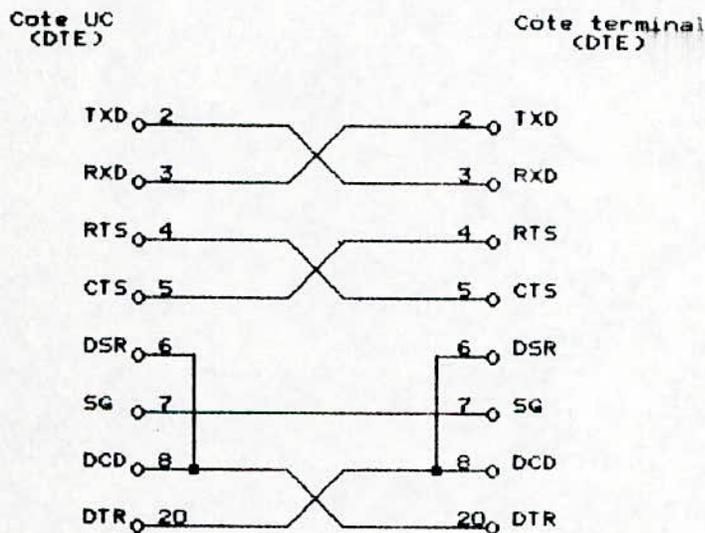


Figure 3.6.3- Connexion de l'UC avec un terminal sans Modem.

### 3.7- ROUTINE D'INITIALISATION.

Cette routine réside dans les PROM de l'UC, elle est exécutée à chaque activation du RESET. Les tâches qu'elle accomplit sont les suivantes:

1- Validation des interruptions externes et du port série; charger 95H dans IE;

2- Affectation du niveau de priorité supérieur aux interruptions externes et le niveau de priorité inférieur aux interruptions du port série et du Timer 1;

3- Lecture du verrou des 8 micro-switchs (ms0 à ms7) dont l'adresse est E006H. L'octet lu est stocké dans le registre R1 du premier groupe de registre de la RAM interne, pour être utilisé dans les opérations qui suivront.

4- Si le bit 3 de l'accumulateur (ACC.2) est égal à "1", signifiant que la parité impaire a été choisie, le bit d'adresse 00H en RAM interne sera mis à "1", sinon il est mis à "0".

- Si ACC.3=1, c'est à dire que le nombre de bits STOP choisi est égal à 2, le bit d'adresse 01H sera mis à "1", sinon il est mis à "0".

5- Lecture du deuxième verrou d'adresse E005H. Si ACC.0=1, indiquant que le hard-hanshake a été choisi, le bit 02H en RAM interne sera mis à 1; dans le cas contraire il est mis à "0".

Remarque: Les trois bits d'adresses 00H, 01H et 02H seront utilisés comme indicateurs qui conditionneront l'exécution d'une routine d'émission ou de réception particulière, appropriée au type de handshake choisi, ainsi que le format sélectionné.

6- Rétablissement du contenu de R1 dans l'accumulateur. Chargement de ACC.1 dans SM1 et de ACC.0 dans SM0 du registre de contrôle du port série SCON.

## 7- Configuration du Timer 1 pour générer la vitesse de transmission série choisie par l'utilisateur:

Le contenu de R1 est de nouveau rechargé dans l'accumulateur. Les bits ACC.0 à ACC.3 sont masqués, puis sont interchangés avec le 4 bits les plus significatifs de l'accumulateur. A la fin de cette opération le contenu de l'accumulateur est de nouveau stocké dans R1 pour être utilisé par la suite. A ce stade de l'opération deux cas se présentent:

a) Si le contenu de l'accumulateur est supérieur ou égal à 03H (vitesse de 134 à 19200 baudes), le Timer est programmé en mode de rechargement automatique (mode 2) par le chargement de la valeur 20H dans TMOD.

b) Si  $A < 03H$  (cas des vitesses très faibles: 50, 75 et 110 bauds) l'écriture de 10H dans TMOD permet de programmer le Timer 1 en mode 1 (compteur à 16 bits). Dans ce cas l'interruption du Timer 1 doit être validée, sa routine de service servira à recharger le registre de comptage. Un OU logique de IE avec la valeur 08H est effectuée à cet effet.

### Rechargement des registres de comptage.

Les valeurs à charger dans les registres de comptage sont stockées sous forme d'une table commençant à la fin de la sous-routine INIT. Elles sont ordonnées conformément au tableau 3.5.3, sauf que pour les trois premières vitesses nécessitant deux octets de mémoire. La figure ci-dessous montre la structure de la table.

			Dernier contenu du registre R1. Les 4 bits les moins significatifs			
DB	8FH	Octet poids faible	0	0	0	0
DB	5FH	Octet poids fort	0	0	0	1
DB	FEH	Octet poids faible	0	0	1	0
DB	E4H	Octet poids fort	0	0	1	1
DB	FEH	Octet poids faible	0	1	0	0
DB	17H	Octet poids fort	0	1	0	1
DB	30H		0	1	1	0
DB	98H		0	1	1	1
DB	CCH		1	0	0	0
DB	E6H		1	0	0	1
DB	DDH		1	0	1	0
DB	E1H		1	0	1	1
DB	F3H		1	1	0	0
DB	EFH		1	1	0	1
DB	F3H		1	1	1	0
DB	F7H		1	1	1	1
DB	FDH					
DB	FDH					

"Routine d'initialisation".

La lecture d'un octet de la table est effectuée à l'aide de l'instruction: `MOVC A,@A+DPTR`. Elle réalise un adressage relatif au registre pointeur de données `DPTR`. Celui-ci doit contenir, juste avant cette instruction l'adresse du premier octet de la table. Le dernier contenu du registre `R1` (la combinaison des micro-switchs `ms4` à `ms5`) est rétabli dans l'accumulateur; il va déterminer le déplacement à l'intérieur de la table, selon la procédure suivante.

a) Si `A ≥ 03H`, la valeur `03H` est additionnée au contenu de l'accumulateur avant l'instruction de lecture un octet de la table. Celui-ci sera stocké dans le registre `TH1` pour le rechargement automatique du registre `TL1`.

b) Si `A < 03H`, l'accumulateur est incrémenté une seule fois si

son contenu est 01H et deux fois si sa valeur est 02H. De plus, une incrémentation supplémentaire est nécessaire pour la lecture du deuxième octet de la valeur du rechargement du registre de comptage.

Les deux octets lus sont stockés aux positions de RAM interne d'adresses 2EH et 2FH, pour être respectivement rechargés dans les registres TL1 et TH1 par la routine de service de l'interruption du Timer1.

#### Initialisation de SMOD (bit 7 de PCON).

Pour obtenir la vitesse désirée, il reste à mettre à "1" SMOD si R1 contient une des valeurs 08H, 09H, 0BH, 0CH, 0DH, ou 0FH.

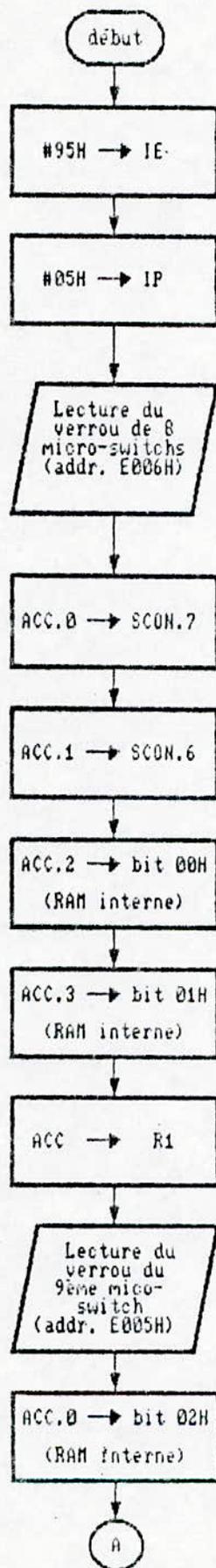
Les dernières opérations de l'initialisation, consistent à mettre en marche le Timer 1 par l'écriture de (COCHD) dans TCON, et la validation de la réception (REN=1) ainsi que l'émission (TI=1) en effectuant un OU logique de SCON avec la valeur 12H.

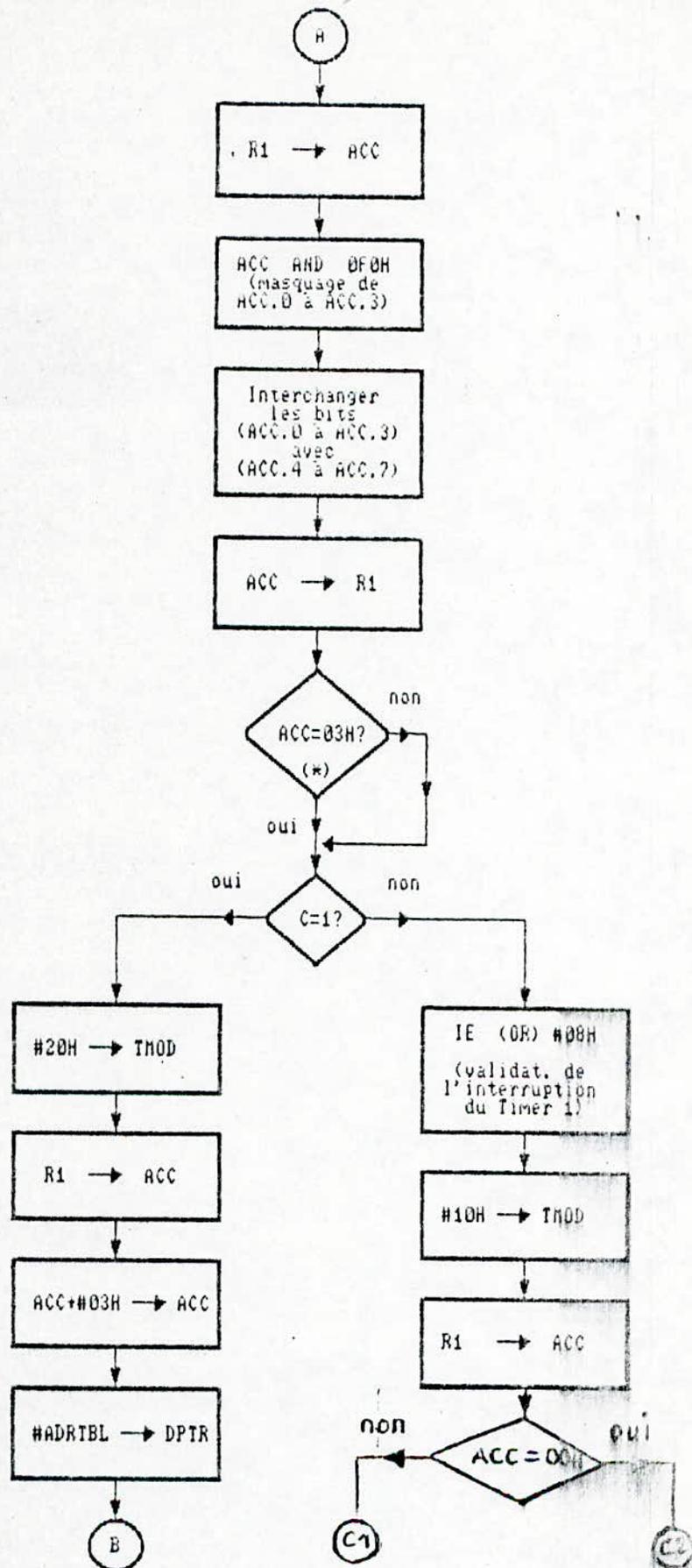
#### -Routine de service de l'interruption du Timer1.

Elle s'occupe du rechargement du registre de comptage de 16 bits formé par la mise en cascade de TL1 et TH1, si le Timer 1 est configuré en mode 1.

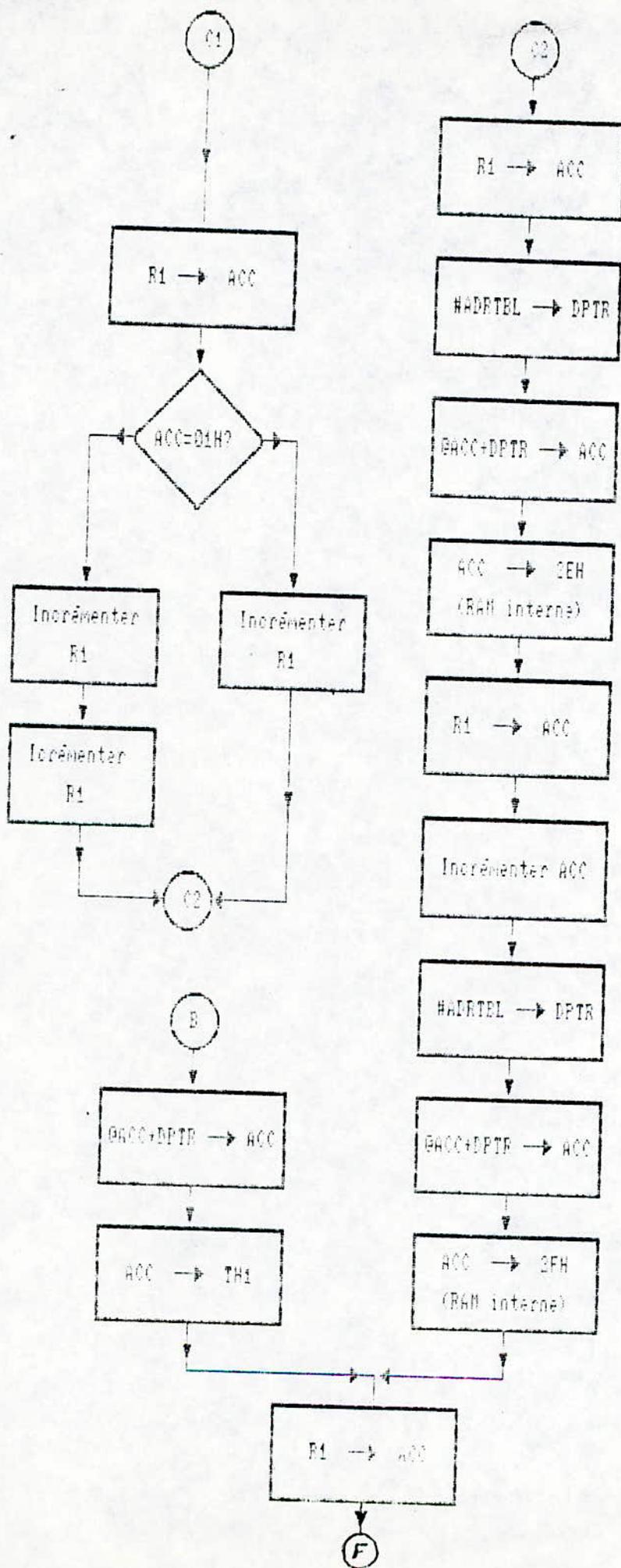
L'octet de la RAM interne d'adresse 2EH est chargé dans TL1, puis celui d'adresse 2FH dans TH1.

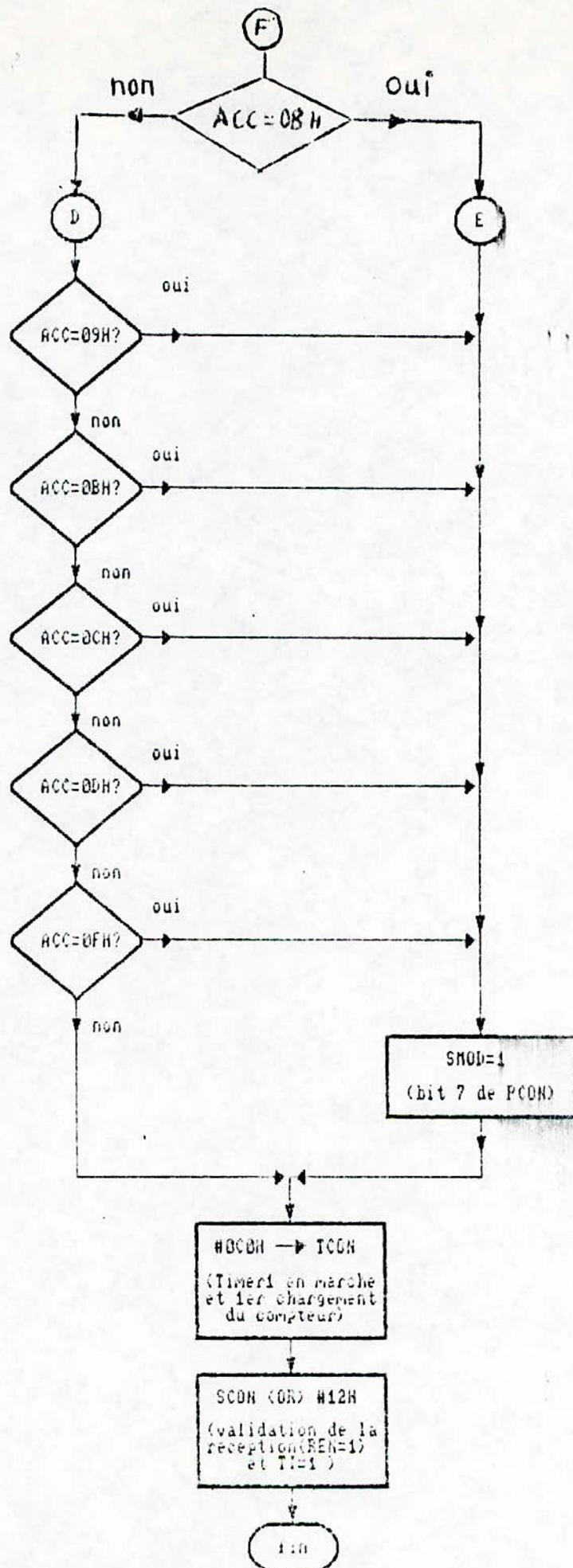
ORGANIGRAMME DE LA ROUTINE  
D'INITIALISATION "INIT"





NB: (\*) L'instruction de comparaison utilisée (CJNE A, #03H, code addr) met à 1 le bit de retenue C, si le contenu de l'accumulateur est strictement inférieur à 03H.





**PARTIE III.**  
**TESTS REALISES.**

**I-Emission d'une chaîne de caractères vers un terminal.**

Le but de ce test est de vérifier le bon fonctionnement du système minimal constitué par:

- le microcontrôleur 8031AH;
- les circuits de démultiplexage;
- une mémoire EPROM de 8 Ko (ref: 27C64);
- le Driver/Receiver de la RS-232 (ref: MAX237).

Il s'agit d'émettre continuellement une chaîne de caractères vers un terminal (écran de visualisation).

Le choix du format et de la vitesse de transmission de données série est effectuée, en utilisant les registres à fonctions spéciales IE, TMOD, SCON, TH1 et TCON par programme.

Nous donnons ci-dessous le contenu de chacun des registres avec les explications nécessaires.

a)Initialisation des registres à fonctions spéciales.

1- Validation de l'interruption du port série.

Nous validons uniquement l'interruption du port série en initialisant le contenu du registre IE à la valeur 90H comme le montre la figure ci-dessous:

1	-	0	1	0	0	0	0
EA		ET2	ES	ET1	EX1	ETO	EXO

Registre IE.

EA=1 permet la validation de chaque interruption de manière indépendante par le positionnement du bit lui correspondant.

ES=1 validation de l'interruption du port série.

2- Choix du format de transmission.

Nous avons choisi le format suivant:

7 bits de donnée + 1 bit de parité impaire + 1 bit STOP.

Le port série est configuré à cet effet en mode 1 par le chargement dans le contenu du registre SCON de la valeur 42H.

0	1	0	0	0	0	1	0
SM0	SM1	SM2	REN	TB8	RB8	TI	RI

Le registre SCON.

(SM0, SM1)=01: Le port série est configuré en mode 1.

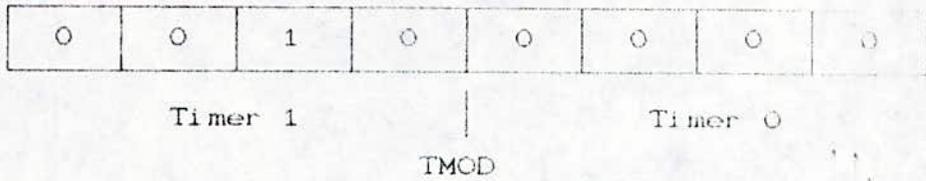
REN=0: La réception est inhibée.

TI=1: indique au début de l'émission que le registre d'émission SBUF est prêt à émettre une donnée.

-Le bit de parité: Il est calculé comme étant le complément à 1 du bit de parité paire P du registre d'état PSW; il est transféré au 8<sup>ème</sup> bit de l'accumulateur avant l'instruction d'écriture dans SBUF qui lance l'émission d'un caractère.

3-Choix de la vitesse de transmission.

La vitesse d'émission est prise égale à 2400 bit/sec (baude). Nous utilisons pour gérer cette vitesse le Timer 1; celui-ci doit être configuré en mode de "rechargement automatique" (mode 2) du registre de comptage à 8 bits TL1, par le contenu du registre IH1. TCON doit contenir la valeur 20H.



(M1, M0)=10: Le Timer 1 est configuré en mode 2.

C/T=0 : Le compteur constitué par TL1 est incrémenté à chaque cycle d'instructions (cycles machines).

Le contenu de TH1 se calcule d'après l'expression suivante:

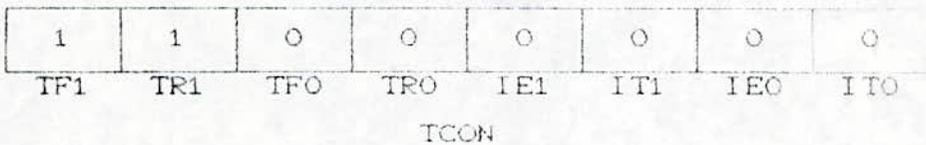
$$\text{vitesse de transmission} = \frac{2^{\text{SMOD}}}{32} \times \frac{f_{\text{osc}}}{12 \times (256 \times \text{TH1})} = 2400.$$

avec SMOD (bit 7 de PCON) = 0.

Il en découle: TH1 = 243 = F3H.

#### 4-Mise en marche du Timer 1.

Par l'écriture de 0COH dans le registre TCON, le Timer 1 est mis en marche (TR1=1). TF1=1 provoque le chargement du contenu de TH1 dans TL1 juste à la fin de l'instruction d'écriture dans TCON. Le Timer 0 qui n'est pas utilisé est mis à son état d'arrêt (TR0=0).



b) L'émission de données.

Nous utilisons le registre R0 du premier groupe de registres de la mémoire RAM interne, comme index du rang du caractère à émettre: il est initialisé au début de l'émission à 00H; il est incrémenté chaque fois qu'un caractère est émis et est comparé au

nombre de caractères que contient la chaîne à émettre (OAH). Si l'égalité est atteinte il est de nouveau réinitialisé à la valeur 00H, pour permettre l'émission de la même chaîne de caractères de manière répétitive.

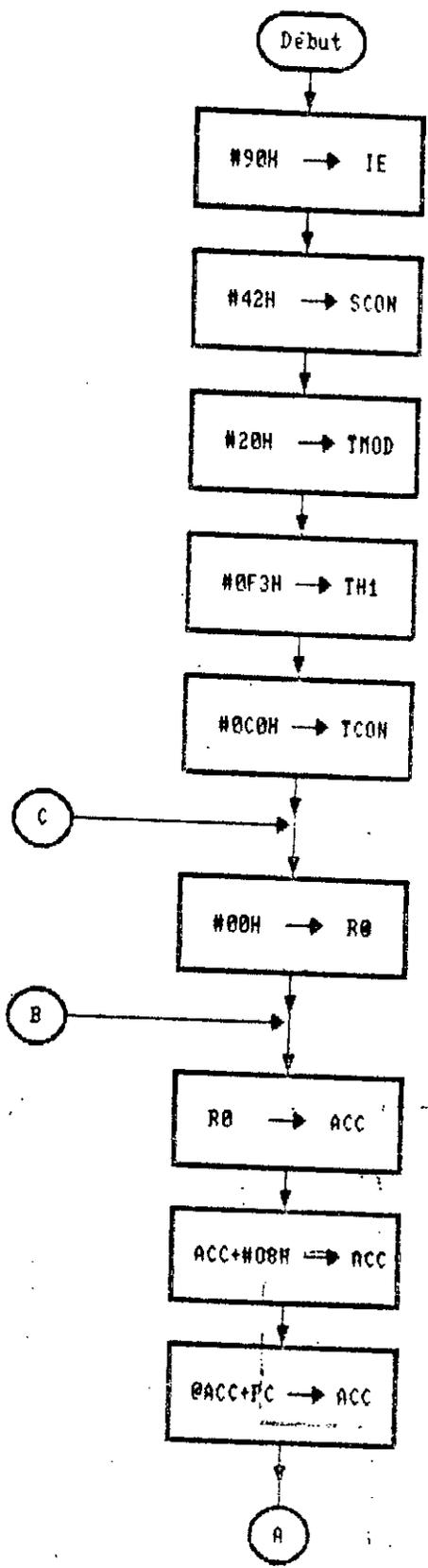
Les codes hexadécimaux des caractères sont stockés sous forme d'une table à la suite des instructions du programme principal. Leur chargement est effectué à l'aide de l'instruction `MOVC A,@A+PC`. Pour calculer l'adresse du code à émettre, l'accumulateur A est chargé par une valeur égale au nombre d'octets de mémoire séparant l'instruction `MOVC` et le premier code de la table (08H octets dans notre cas) à laquelle est ajouté le contenu du registre R0 et le résultat est additionné avec la valeur du compteur programme PC.

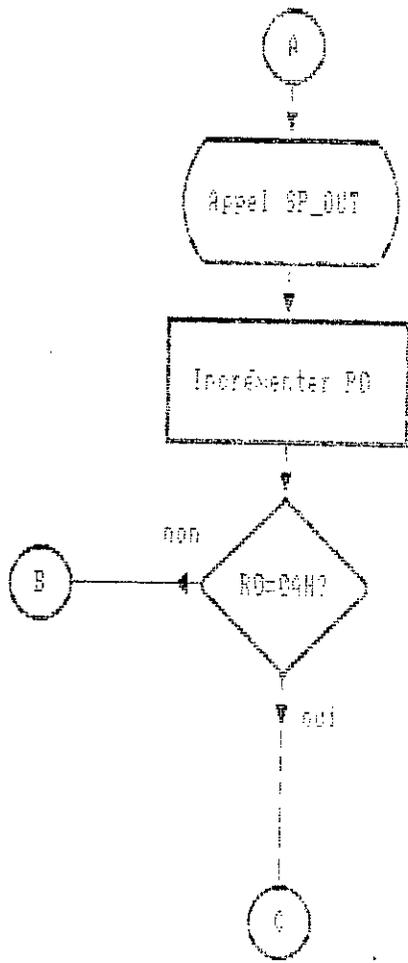
L'émission du code contenu dans l'accumulateur se fait par l'appel d'un sous-programme `SP-OUT`; celui-ci calcule le bit de parité et attend que l'émission précédente soit terminée (`TI=1`), pour lancer une nouvelle émission.

NB: Les routines de service des différentes interruptions doivent être bouclées à l'aide de l'instruction `RETI` pour assurer le retour au programme s'il est interrompu.

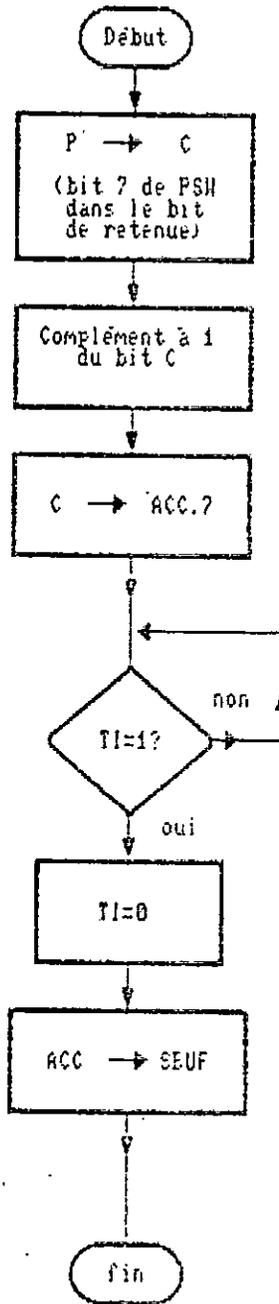
1er TEST:EMISSION D'UNE CHAÎNE  
DE CARACTERES VERS UN TERMINAL

Programme principal





Sous-programme SP\_OUT



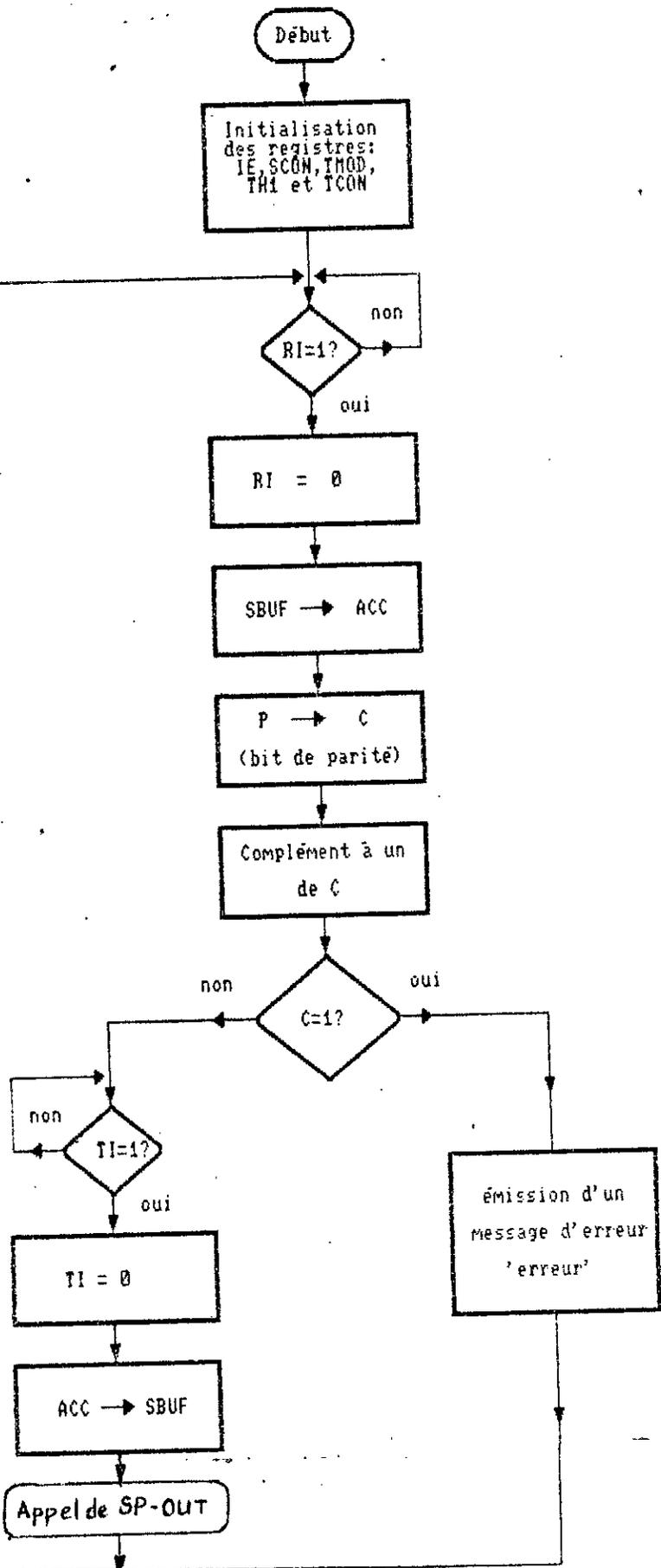
## II-Emission d'un caractère à partir du clavier et visualisation sur l'écran.

Le deuxième test effectué, consiste en l'exécution d'un programme qui, après la détection de la réception d'un caractère à partir du clavier il lit le registre de réception SBUF et effectue une vérification du bit de parité. Au cas où la parité n'est pas conforme à celle fixée, un message d'erreur ("erreur") est envoyé vers l'écran de visualisation; sinon il attend que le registre d'émission soit vide pour émettre le caractère reçu.

Le contenu des registres à fonction spéciale est le même que dans le premier test étant donné que le même format et la même vitesse de transmission ont été utilisés. Il est de même pour le type de parité.

Les quatre premières instructions concernant l'initialisation des registres IE, SCON, TMOD, TH1 et TCON sont identiques à celles du premier programme, elles ne seront pas reproduites dans le présent organigramme. Ainsi la partie émission du message d'erreur reproduit les mêmes instructions que celles utilisées pour l'émission d'une chaîne de caractères dans le programme précédent.

2ème TEST: RECEPTION ET EMISSION DE CARACTERES



## ANNEXES.

### 1) Familles de circuits logiques.

#### 1- La famille logique MOS.

Les circuits logiques de cette famille utilisent des transistors MOS (Metal-Oxyde-Semi-conducteur). Ils se caractérisent donc par une faible consommation de puissance et permettent une intégration très poussée. Ils sont utilisés dans les circuits LSI et VLSI tels que les mémoires et les microprocesseurs. On trouve de nombreuses variantes de cette technologie: PMOS, NMOS, CMOS, DMOS, HMOS, VMOS et CDSMOS.

CMOS (Complementary MOS): est utilisée en LSI, et présente de moindres inconvénients en SSI et MSI par rapport aux autres sous-familles MOS. L'inconvénient majeur est leurs temps de propagation importants.

HMOS (High performance MOS): ont des temps de propagation très faibles par la diminution proportionnel des dimensions des transistors MOS à canal N dans la puce.

#### 2- La famille TTL (Transistor-Transistor Logique).

Elle est largement utilisée dans les circuits SSI et MSI:

- un grand nombre de fonctions sont disponibles dans cette famille logique.

- coût faible.

- Les sous-familles TTL.

HTTL (High power TTL): les circuits de cette famille logique ont une grande rapidité mais consomment une grande puissance; par conséquent ils sont peu utilisés. Cette famille a pratiquement disparu.

LTTL (Low power TTL): sont utilisés dans les circuits ne nécessitant pas de vitesses élevées. La consommation est divisée par 10 par rapport aux circuits TTL standards, et la vitesse par

un rapport de 3 à peu près.

STTL (Schottky TTL): ils offrent des vitesses 4 fois plus grandes que la TTL standard et une consommation 2 fois plus faible que celle des HTTL. Peuvent être à l'origine de problèmes quand la tension d'alimentation n'est pas à sa valeur nominale et lorsque les fils de connection sont longs.

LSTTL (Low power Schottky): le mérite de ces circuits est qu'ils réalisent un compromis entre la rapidité et la consommation.

Remarque: la vitesse peut être augmentée, si l'on admet une plus grande consommation. Un moyen de mesurer l'apport en performance est le produit  $P_r$ :

$P_r = \text{temps de propagation} \times \text{puissance dissipée.}$

A cause de leur bonnes performances, les circuits LSTTL sont les plus utilisés dans la famille TTL. De plus ils constituent de bons interfaces entre les circuits CMOS et les circuits TTL standards.

## II) Niveaux logiques.

### 1- Les niveaux logiques TTL.

Les constructeurs garantissent que quand une sortie TTL est chargée par un nombre de CI égal à sa sortance, le niveau de sortie bas n'excède pas 0.4 V et le niveau haut est supérieur à 2.4 V.

En entrée une tension inférieure à 0.8 V est reconnues comme étant un niveau bas et une tension supérieure à 2 V comme étant un niveau haut.

On dispose donc, dans le cas le plus défavorable (charge maximale) d'une marge de bruit de 0.4 V aussi bien pour le niveau bas que pour le niveau haut.

## 2-Niveaux logiques de la CMOS.

Pour la technologie CMOS:

En sortie : -un niveau haut est  $\geq V_{cc} - 10 \text{ mV}$ ;

-un niveau bas est  $\leq 0 \text{ V} + 10 \text{ mV}$ .

En entrée: -un niveau haut est  $> 2/3 V_{cc}$ .

-un niveau bas est  $< 1/3 V_{cc}$ .

Les marges de bruit sont donc de  $1/3 V_{cc}$  pour les deux niveaux.

III) Interconnection des circuits de différentes séries de différentes technologies.

Pour interconnecter des entrées à une sortie il faut additionner les courants maximaux que débitent ces entrées mises au niveau bas, et vérifier que la somme ne dépasse pas le courant minimal que peut écouler à la masse la sortie quand elle est au niveau haut.

Le tableau 1 montre les différentes caractéristiques des différentes familles logiques.

COMPARISON OF COMMON LOGIC FAMILY CHARACTERISTICS

LOGIC FAMILY	OPERATING SUPPLY VOLTAGE		MINIMUM LOGIC 1 INPUT VOLTAGE	MAXIMUM LOGIC 0 INPUT VOLTAGE	MINIMUM LOGIC 1 OUTPUT VOLTAGE	MAXIMUM LOGIC 0 OUTPUT VOLTAGE	MAXIMUM LOGIC 0 INPUT CURRENT	MAXIMUM LOGIC 1 INPUT CURRENT	MINIMUM LOGIC 0 OUTPUT CURRENT	MINIMUM LOGIC 1 OUTPUT CURRENT	TYPICAL PROPAGATION DELAY (ns) C <sub>L</sub> = 50 pF		MAXIMUM COUNTER FREQUENCY	FAN-OUT	TYPICAL POWER DISSIPATION PER GATE	TYPICAL t <sub>PLH</sub> (ns)	SPECIFIC SERVICE
	MIN	MAX	T <sub>PLH</sub>	T <sub>PLL</sub>													
7400 *	4.75	5.25	2.0	0.8	2.4	0.4	1.6 mA	40 μA	16 mA	400 μA	8 ns	13 ns	35 MHz	10	10 mW	15 ns	7400
8400	4.5	5.5															5400
74H	4.75	5.25	2.0	0.8	2.4	0.4	2.0 mA	50 μA	20 mA	500 μA	6.2 ns	5.9 ns	50 MHz	10-74H	22 mW	7 ns	74H50
74L	4.75	5.25	2.0	0.8	2.4	0.4	0.18 mA	10 μA	3.6 mA	200 μA	30 ns	80 ns	3 MHz	10-74L	1 mW	30 ns	74L00
74S	4.75	5.25	2.0	0.8	2.7	0.5	2.0 mA	50 μA	20 mA	1 mA	5 ns	5 ns	125 MHz	10-74S	19 mW	3 ns	74S00
74ALS	4.75	5.25	2.0	0.8	2.7	0.4	0.4 mA	20 μA	8 mA	400 μA	8 ns	8 ns	45 MHz	20-74ALS	2 mW	15 ns	74ALS00
74ALS	4.5	5.5	2.0	0.8	2.6	0.4	0.2 mA	20 μA	10 mA	400 μA	6 ns	4 ns	32 MHz 74ALS102	8-74 20-74ALS	1 mW		74ALS00
PECL III OR MECL III	-4.7	-5.7	-1.095	-1.485	-0.980	-1.400	MIN 300 μA	350 μA	40 mA	40 mA	1 ns	1 ns	1000 MHz	DC → 65 MECL III	80 mW	1 ns	MC1602
MECL 10,000	-4.7	-5.7	-1.105	-1.475	-0.990	-1.630	MIN 0.5 μA	285 μA	50 mA	50 mA	2 ns	2 ns	300 MHz	DC → 62 MECL	25 mW	3.5 ns	MC10101
PL	1	15	0.7	0.4	V <sub>CC</sub>	0.4	Injector current	Injector current	20 mA	Zero without resistor to V <sub>CC</sub>	Adjustable 25-250 ns		—	Depends on injector current	8 mW- 70 μW	—	—
Low- threshold PMOS	V <sub>CC</sub> = +5 V ± 5% V <sub>DD</sub> = -0 V ± 5% V <sub>SS</sub> = V <sub>DD</sub>		3.0	0.65	3.5	V <sub>CC</sub> - 0.5 V MOS OR 0.45	1 μA	1 μA	1.6 mA @ 0.45 V	0.2 mA @ 3.5 V	—	—	1 MHz	—	—	—	1702A ROM
+12, +5, -5 NMOS	V <sub>CC</sub> = +5 V V <sub>DD</sub> = +12 V V <sub>SS</sub> = -5 V		3.3	0.8	3.7	0.45	±10 μA	±10 μA	1.9 mA	150 μA	—	—	—	—	—	—	8030A
NMOS +5 ONLY	4.5	5.5	2.0	0.8	2.4	0.4	10 μA	10 μA	2.1 mA	100 μA	—	—	—	1-74 5-74LS	—	—	2102 RAM
4000 A +5 V CMOS	3	15	½V <sub>CC</sub>	½V <sub>CC</sub>	V <sub>CC</sub> - .01	0.01	10 pA	10 pA	.12 mA @ 5 V	.12 mA @ 4.5 V	50 pF	50 pF	1 MHz	AC = 3-10 CMOS	Depends on operating frequency	175 ns	CD4011
4000B +5 V CMOS	3	18	½V <sub>CC</sub>	½V <sub>CC</sub>	V <sub>CC</sub> - .01	0.01	±1 μA	±1 μA	0.4 mA @ 0.4 V	1.6 mA @ 2.5 V	50 pF	50 pF	2.5 MHz	DC = ± AC = 3-10 CMOS		100 ns	CD4001B
4000B +15 V CMOS	3	18	½V <sub>CC</sub>	½V <sub>CC</sub>	V <sub>CC</sub> - .01	0.01	±1 μA	±1 μA	3 mA @ 1.5 V	3 mA @ 13.5 V	50 ns	65 ns	8 MHz	3-10 CMOS		40 ns	CD4001B
74C00 +5 V CMOS	3	15	3.5	1.5	4.5	0.5	5 nA	5 nA	0.4 mA @ 0.4 V	0.36 mA @ 2.4 V	50 pF	50 pF	2 MHz	3-10 CMOS		100 ns	74C00
74HC00 +5 V CMOS	3	6	3.5	1.5	4.95	0.05	1 μA	1 μA	4 mA	10 mA	15 ns	15 ns	25 MHz	10 74LS		20 ns	74HC00

TABLEAU. 1

#### IV) Norme RS-232.

Dans le domaine de la transmission série à longue distance, les Modems et autres équipements tels que les lignes de transmission sont regroupées sous le nom de "Data Communication Equipment" (DCE). Les terminaux et les ordinateurs sont appelés "Data Terminal Equipment" (DTE). Pour répondre au besoin de signaux de dialogue standardisés entre les deux sortes d'équipement, l'association des industries électroniques (EIA) a mis au point la norme RS-232.

Cette norme définit les niveaux de tensions des différents signaux et la façon de connecter un DTE à un DCE ou deux DTE entre eux.

Tout DTE, ou DCE, est équipé d'un connecteur à 25 broches. La variante à 9 broche de ce connecteur, de plus en plus utilisée sur les ordinateurs récents est pratiquement identique à son homologue à 25 broches; on y a tout simplement supprimé certains signaux jugés moins importants.

Le tableau 3 montre le brochage pour les deux connecteurs; il faut 8 lignes pour établir une liaison de données correcte et fiable.

Connecteur D-25	Connecteur D-9	Signal	Fonction	DTE	DCE
2	3	TXD	transmission de données	S	E
3	2	RXD	réception de données	E	S
4	7	RTS	demande de transmission	S	E
5	8	CTS	prêt à transmettre	E	S
6	6	DSR	bloc de données prêt	E	S
7	5	SG	masse du signal		
8	1	DCD	détection de porteuse de données	E	S
20	4	DTR	terminal de données prêt	S	E

Tableau 3

## CONCLUSION

L'unité de commande ainsi réalisée intègre plusieurs fonctions spécifiques au contrôle telles que le timing, le comptage ainsi que la largeur de la gamme de débits, vitesses de communication.

Elle constitue l'élément de base d'un auto-commutateur pour simulateur de lignes téléphoniques. Elle est toutefois incomplète pour remplir cette fonction. Elle est dépourvue notamment, des périphériques spécifiques à un auto-commutateur (explorateur, distributeur, enregistreur,...) ainsi que du logiciel.

Notre tâche ayant consisté à réaliser l'unité de commande, nous espérons avoir satisfait l'ENSI, et que le lecteur de cette thèse trouvera dans l'étude bibliographique suffisamment d'informations pour avoir rapidement une idée approximative quant à la suite à donner à ce travail.

## BIBLIOGRAPHIE

- [1] GRINSEC. "La commutation électronique. (TI et LS)". EYROLLES 1984.
- [2] M. AUMIAUX. "L'emploi des microprocesseurs". Masson 1982.
- [3] COLIN. "Fundamental of computers sciences". Mc MILLAN 1983.
- [4] D. V. HALL "Microprocessors and digital systems" International Student Edition 1985.
- [5] H. TAUB. "Digital circuits and microprocessors". International Student Edition 1985.
- [6] Data Book. "MCS-51". Intel.
- [7] Bendekam. "Etude et réalisation d'une carte interface de gestion de ressources à base du microcontrôleur 18052ah, BASIC" USTHB.

Revue.

ELECTOR N°168, juin 1992. pp 19-21.