

DEPARTEMENT ELECTRICITE
FILIERE D'INGENIEURS EN ELECTRONIQUE

المدرسة الوطنية للعلوم الهندسية
المكتبة
PROJET DE FIN D'ETUDES
ECOLE NATIONALE POLYTECHNIQUE
BIBLIOTHEQUE

Techniques d'Interface
Application à une Liaison TTY-M.6800

المدرسة لوطنية للعلوم الهندسية
— المكتبة —
ECOLE NATIONALE POLYTECHNIQUE
BIBLIOTHEQUE

Proposé par :
Mme Georgette MONDON
Docteur Ingénieur
Maître assistante à
l'E.N.P.

Etudié par :
Mlle MOUSS Leila Hayet
Mlle MANSOURI Embar'ka

DEPARTEMENT ELECTRICITE
FILIERE D'INGENIEURS EN ELECTRONIQUE

PROJET DE FIN D'ETUDES

Techniques d'Interface
Application à une Liaison TTY-M.6800

Proposé par :

Mme Georgette MONDON

Docteur Ingénieur

**Maître assistante à
l'E.N.P.**

Etudié par :

Mlle MOUSS Leila Hayet

Mlle MANSOURI Embarka

DEDICACES

A nos parents qui nous ont tout donné, ces être chers , pour leur amour et leur bienveillance.

A nos frères et soeurs en témoignage de notre amour fraternel

A notre frère Mohamed Nadir en témoignage d'affection et de profonde reconnaissance.

A tous nos amis.

Fadhila

Hayet

REMERCIEMENTS

Nous tenons à remercier en premier lieu Mme. G. MONDON, notre promoteur, dont les conseils et les encouragements nous ont été très utiles à l'élaboration de ce travail.

Que Monsieur le Directeur de l'E N P, Monsieur le Chef de département d'électricité, ainsi que tous les professeurs de l'E N P et de l'Université de Constantine qui, ont contribué à notre formation, Veillent bien trouver dans ce modeste ouvrage l'expression de notre gratitude.

Nous remercions le docteur MOUSS pour son aide appréciable.

Nous remercions également tous les gens qui ont contribué au tirage et à la reproduction du présent ouvrage.

Enfin que tous ceux qui nous ont aidé de près ou de loin trouvent ici l'expression de notre profonde reconnaissance.

T A B L E D E S M A T I E R E S

Introduction

Chapitre I : Généralités

- I. Introduction au microprocesseur M 6800
- II. Unité Centrale MPU : MC 6800
 - II.1 : Organisation interne du MPU
 - II.2. : Differentes lignes de Communications
 - II.3 : Differentes modes d'adressage.
- III. Les mémoires RAM. ROM, PROM- RETROM.

Chapitre II : Les entrées/Sorties

- I. : Caracteristiques des entrées/Sorties.
- II. : Adressage des entrées/Sorties.
- III. : Différents modes d'échange.

Chapitre III: Circuits d'interface programmables d'entrée/Sortie

- I. : Adaptateur d'interface périphérique : P I A.
 - I.1.: Organisation externe du P I A.
 - I.2.: Organisation interne du P I A.
- II. : Adaptateur d'interface de Communication~~s~~ynchrones : ACIA.
 - II.1: Organisation externe de l'ACIA.
 - II.2: Organisation interne de l'ACIA.
- III : Adaptateur d'interface de données séries ~~s~~ynchrones : SEDA.

Chapitre IV : Autres Circuits d'interface dits de Support.

- I.: Contrôleur d'accès direct à la mémoire = DMAC.
- II.: Contrôleur de priorité d'interruption : PIC
- III.: Contrôleurs de périphériques.
- IV.: Circuits d'interface de Communications des données séries
- V.: Convertisseurs analogique digitale et digitale-analogique
- VI.: Circuits d'interface pour le bus du microprocesseur.
- VII.: Quelques circuits d'adaptation

Chapitre V : Les Standards de bus.

- I.: Le Standard RS232
- II.: Le Standard IEEE.488
- III.: Le Standard CAMAC.
- IV.: Le Standard S I00

Chapitre VI : Interface a un T l type

- I.: Introduction
- II.: Interface
 - II.1 : Interface TTy avec ACIA.
 - II.2.: Interface RS232 C. avec PLA.

Chapitre VII : Programmation

Conclusion

Annexe :

- I N T R O D U C T I O N -

Dans tout équipement électronique complet, plusieurs types de fonctions sont à élaborer :

- Les circuits d'entrée qui reçoivent du monde extérieur des informations à traiter par le système, informations qui peuvent se présenter sous forme logique ou analogique de différents niveaux et caractéristiques.
- Le processeur, cœur du système, qui assure le traitement proprement dit et le contrôle de l'ensemble des opérations.
- Les circuits de sortie permettant de fournir au monde extérieur des informations sous forme exploitable logique ou analogique.
- Enfin l'alimentation de puissance du système.

Pour l'ensemble de ces besoins des composants L S I de base ont été mis au point pour permettre d'interfacer un microprocesseur aux différents équipements d'Entrées/ sorties.

Ainsi l'objet de notre travail sera l'étude d'un ensemble de composants permettant de résoudre de façon simple et économique des problèmes d'interfaces qui peuvent se poser tant au niveau logique qu'analogique :

- Interface d'adaptation
- Interface de bus
- Contrôle d'Entrées/Sorties de périphériques
- Communications de données.
- Conversion Numérique - Analogique et Analogie-Numérique.

Ces composants contiennent des fonctions plus ou moins complexes et des accès compatibles pour les dialogues et le branchement avec des " bus système " gérés par l'unité centrale (MPU).

Dans notre étude, on s'est intéressé au microprocesseur M6800 mais, la même étude aurait pu être faite avec d'autres microprocesseurs.

L'architecture de notre projet sera donc simple. Un premier chapitre essaiera d'introduire le microprocesseur M688 avec les différents modes d'adresses. L'importance des entrées/Sorties nous a incité à consacrer un chapitre à leur étude, le deuxième de ce projet.

Suivent trois chapitres qui traitent l'étude de différents types d'interface.

- Le premier et le deuxième essaient de montrer l'importance et l'utilité des circuits d'interface.

- Le troisième met en évidence les standards de bus.

Le chapitre VI aborde l'étude d'un problème concret : " Interface d'un microprocesseur K I T.1 6800 à un téletype (type ASR.232C).

Enfin un dernier chapitre traitera la programmation et plus particulièrement celle des entrées/Sorties.

Généralités .

I Introduction au microprocesseur M 6800 .

La famille M 6800 regroupe les différents composants nécessaires à la réalisation et au fonctionnement d'un micro-ordinateur.

Elle est bâtie autour du MPU MC 6800 qui est un microprocesseur à 8 bits parallèles avec une capacité d'adressage de 64 K bytes.

Il est compatible TTL, ne nécessitant qu'une alimentation de 5V. La famille est en technologie LSI.MOS (canal N)

La famille M 6800 comprend le MPU.MC 6800 (qui est l'unité centrale) et des mémoires dynamiques et statiques.

- ROM - MC 6830 (Read only Memory) : C'est une mémoire à lecture seule dans laquelle est implanté le programme de service.

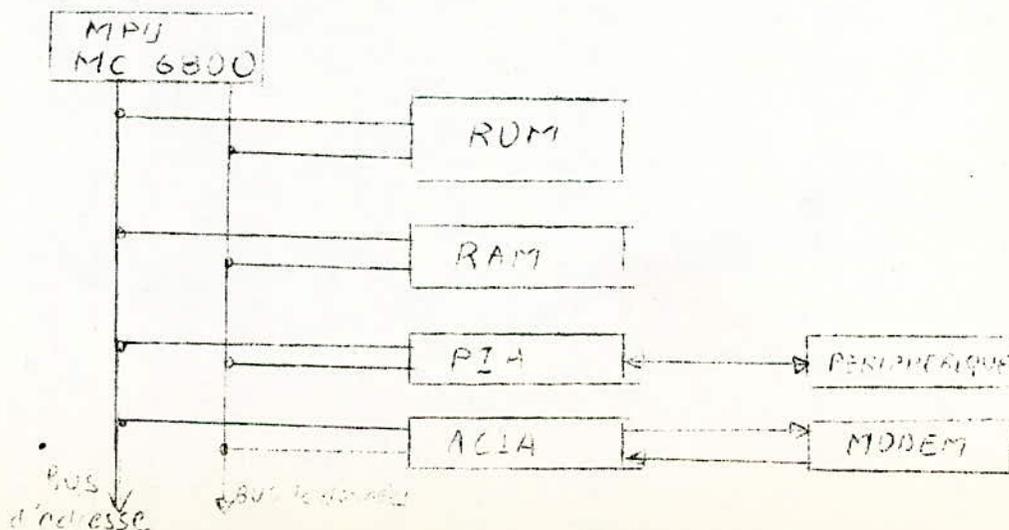
- RAM. MC 6810 (Random Acces Memory) : C'est une mémoire à accès aléatoire utilisée pour l'exécution des programmes utilisateurs.

La nécessité d'utiliser des fonctions spécialisées pour le transfert des données a conduit à la conception des circuits d'interface tels que: PIA-M 6820 et ACIA-M 6850 .

- Le PIA (Peripheral Interface Adapter) : C'est un interface Adaptateur Périphérique qui sert au couplage des périphériques avec le MPU .

- L'ACIA (ASynchronons Communication Interface Adapter) : C'est un interface Adaptateur de communication asynchrone qui sert à communiquer avec des périphériques en mode asynchrone.

Ces circuits sont entièrement programmables à travers le bus, et leur état en temps réel est disponible sur le bus.



II L'unité centrale MPU . MC 6800

1° - Organisation interne du MPU .

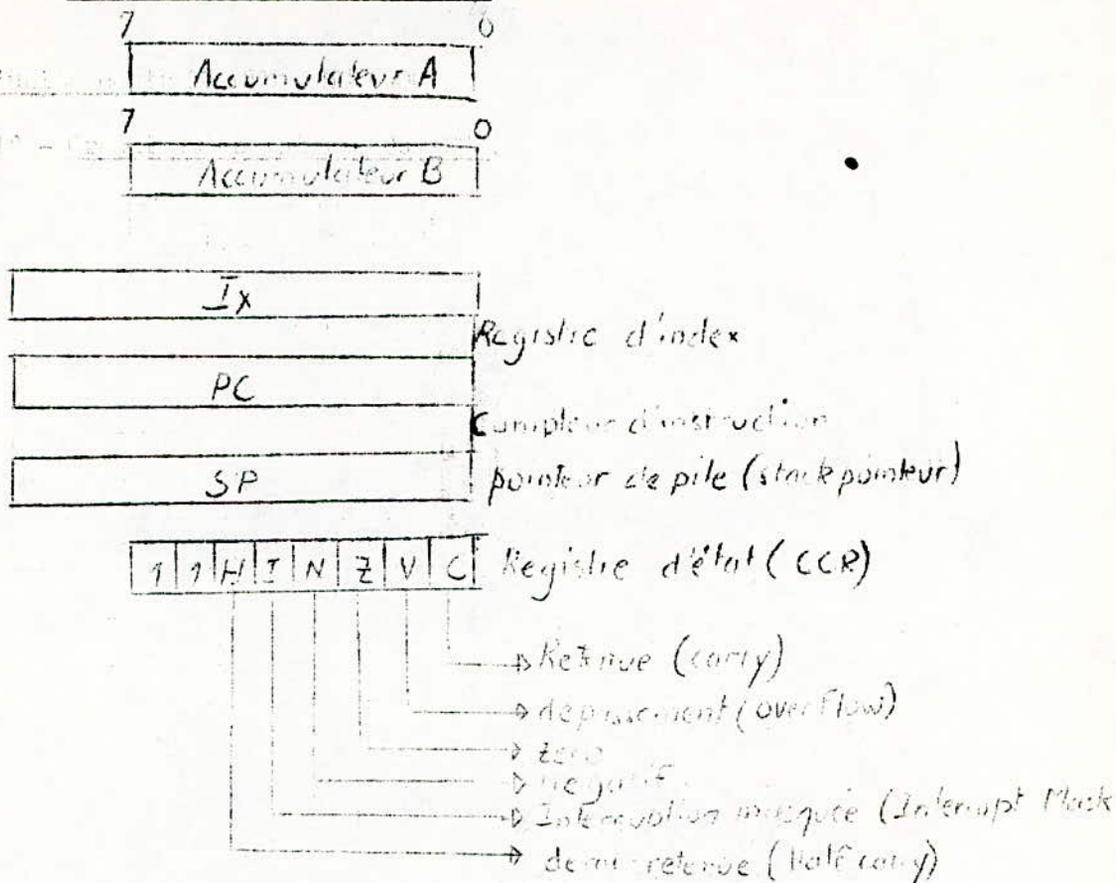


figure 2

Le MPU est constitué par :

- 1.1 une unité arithmétique et logique ALU : Elle a pour rôle d'exécuter les instructions arithmétiques et logiques.
- 1.2. Deux (2) registres accumulateurs A et B de 8 bits chacun, dans lesquels certaines données, sur lesquelles va porter l'instruction, sont stockées temporairement.
- 1.3. Un registre d'index (16 bits) qui permet en plus de l'adressage indéré, le transfert du contenu d'une mémoire à une autre.
- 1.4. Un pointeur de pile (16 bits) qui permet de sauvegarder les informations contenues dans les registres lors d'un appel de sous-programme ou d'une interruption.
- 1.5 . Un compteur ordinal (16 bits) qui fournit l'adresse de la prochaine instruction.
- 1.6. Un registre de condition (8 bits) qui contient un certain nombre de bascules se positionnant à "1" ou à "0" suivant le déroulement d'une instruction.

- a) Retenue intermédiaire (Half carry) est activé lors d'une addition binaire qui donne lieu à un report sur le bit 4
- b) Interruption masquée (Interrupt mask) se positionne à "1" ou à "0" suivant que la demande d'interruption (IRQ) est acceptée ou rejetée .
- c) Négatif N : se positionne à "1" lorsque le résultat est négatif .
- d) Zéro Z : se positionne à "1" lorsque le résultat est nul.
- e) Dépassement (Overflow) : La mise à "1" de ce bit nous avertit sur le dépassement de la capacité des registres A et B .
- f) Retenue C (carry) : Indique s'il y a une retenue provenant du bit 7 à la suite d'une opération entre accumulateurs .
- g) Les bits 6 et 7 sont constamment à "1"

2 . Differentes lignes de communications .

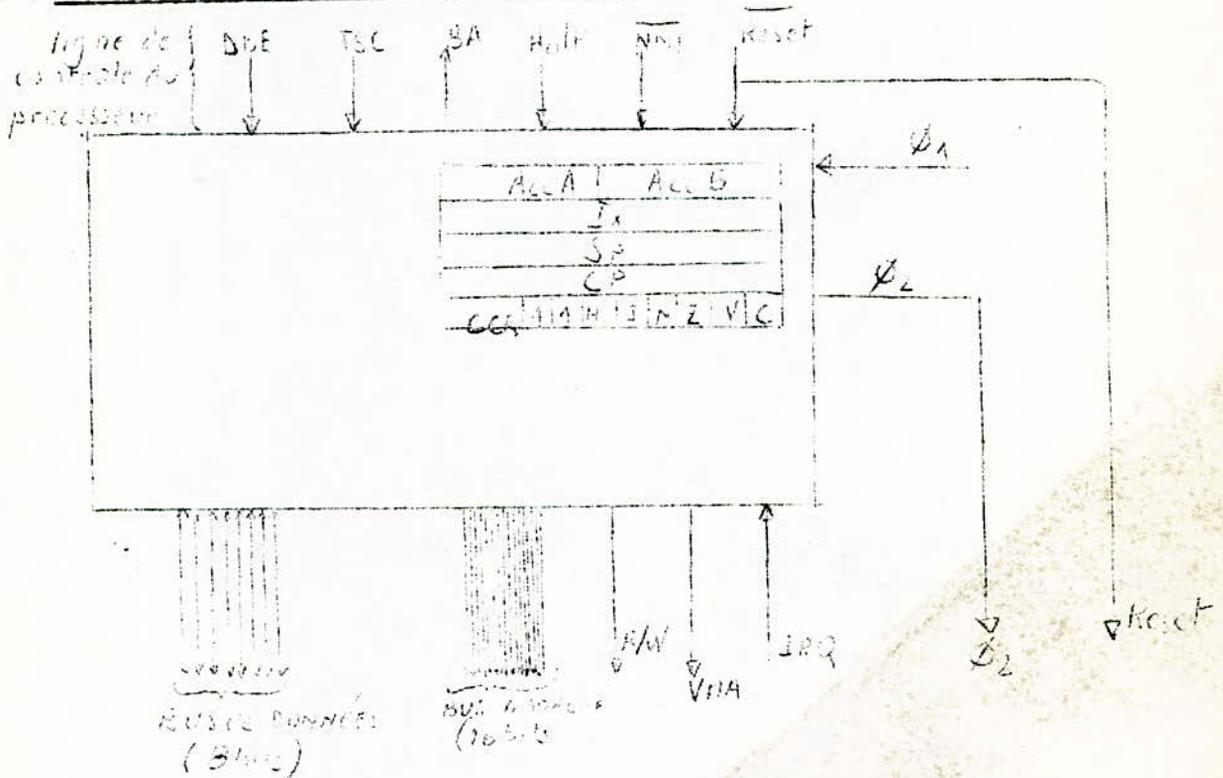


figure 3 : diagramme symbolique du MPU

Le MPU communique avec les mémoires et les circuits d'interface E/S par trois lignes omnibus .

- Lignes omnibus d'adresses ("Address Bus")
- Lignes omnibus de données ("DATA Bus")
- Lignes omnibus de contrôle ("Bus contrôle")

2.1. Bus d'adresses (A0 --- A15) est unidirectionnel , acheminant les adresses du MPU vers les mémoires et les circuits d'interface.

2.2. Bus de données (D0 --- D7) est bidirectionnel, assurant l'échange d'informations entre le MPU et les circuits périphériques .

2.3. Bus de contrôle est bidirectionnel, il est constitué de 11 broches.

a) Reset Utilisé pour redémarrer, ou remettre à zéro le MPU après une coupure de secteur ou une initialisation.

b) horloge ϕ_1 et ϕ_2 : ϕ_1 et ϕ_2 sont 2 signaux d'horloge en opposition de phase permettant respectivement d'activer le MPU et les autres éléments .

c) broches d'interruption \overline{IRQ} . \overline{NMI}

. \overline{IRQ} (Interrupt request) : demande la génération d'une séquence d'interruption. Cette interruption n'est prise en considération que si l'interrupt mask" Im est égal "0" .

. \overline{NMI} (Interruption non masquable) : destinée à interrompre le cours d'un programme lorsqu'une panne nécessite la sauvegarde des contenus des registres.

d) broches d'accès direct à la mémoire : \overline{HALT} , \overline{BA} , TSC .

. \overline{HALT} : permet d'arrêter toutes les activités du MPU, alors que \overline{BA} signale pendant cette opération, que le microprocesseur est en état d'attente (déconnecté des lignes d'adresses et de données) .

. TSC (trois états de contrôle) : Dans son état actif, il met les lignes d'adresses et la ligne R/W à l'état off (haute impédance)

Ce signal permet aussi l'arrêt du microprocesseur pendant un court instant (maximum 4 à 5 us) . Le bus de données n'est pas affecté par ce signal.

e) broches de contrôle de transferts et de synchronisation .

. \overline{VMA} indique aux éléments périphériques qu'il y a une adresse validée sur le bus d'adresses. Il peut être utilisé pour valider le PIA et l'ACIA.

. R/W ("Read/Write") : lecture/écriture: indique la direction de transfert des données.

R/W = 1 : Le MPU effectue une opération de lecture.

R/W = 0 : Le MPU effectue une opération d'écriture.

. DBE ("DATA Bus ENable "): Bus de données validé : il nous renseigne sur l'état des données, il dérive généralement de ϕ_2

DBE = 0 : Le bus de données est à l'état "off"

DBE = 1 : Le bus de données est à l'état "1" ou "0".

3°). Differents modes d'adressage.

Une instruction est un groupe de bits, divisé en plusieurs parties qui se répartissent ces bits. Le premier byte contient le code opération; Le deuxième et éventuellement le troisième contiennent soit un opérande, soit une adresse ou un déplacement.

Il existe plusieurs modes d'adressage:

3.1. Adressage direct et étendu.

Ces deux modes d'adressage ne se différencient que par le nombre de bytes.

L'adressage étendu requiert trois bytes: un pour l'instruction et les deux autres pour l'adresse.

L'adressage direct ne permet d'adresser que des positions mémoires de 0 à 255; l'instruction se fait sur 2 bytes.

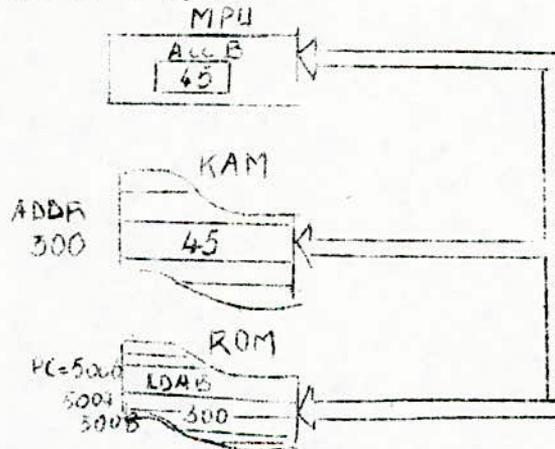


figure 4

Le microprocesseur, après avoir lu l'instruction LDAB à la position de mémoire 5006, recherche dans les positions de mémoires 5007 et 5008 l'adresse (300) du contenu à charger dans l'accumulateur B.

3.2. Adressage indexé

La technique de l'adressage indexé consiste à ajouter les contenus du registre index et du second mot d'instruction. La somme de ces deux contenus donne l'adresse effective qui servira à rechercher les données nécessaires au traitement de l'information.

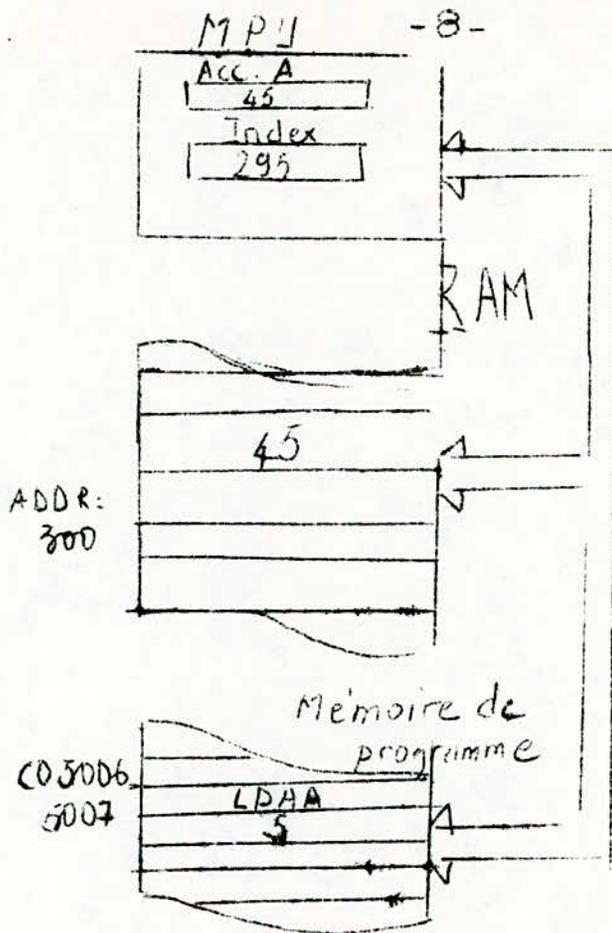


Figure 5

L'instruction indexée LDAA 5, X consiste à charger l'accumulateur A avec le contenu de la position mémoire dont l'adresse est obtenue en faisant la somme du contenu du registre d'index et du contenu de la position de mémoire 5007.

3.3. Adressage Immédiat

Avec ce type d'adressage, le mot suivant l'instruction contient une donnée directement utilisable par le microprocesseur. La donnée n'est donc pas contenue dans la mémoire de données mais dans la mémoire de programme.

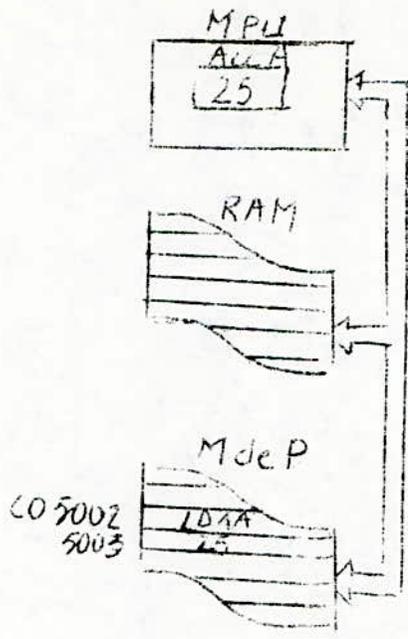


Figure 6

La figure 6 donne un exemple de chargement de l'accumulateur A avec quantité 25.

3.4. Adressage Inhérent

Dans ce mode d'adressage, c'est l'instruction elle-même ou plus exactement son code opération qui contient l'adresse où se trouve la donnée sur laquelle va porter l'opération.

Exemple : ADDA. 3CEFH signifie: additionner au contenu de l'accumulateur A la valeur 3C2F (en hexadécimal).

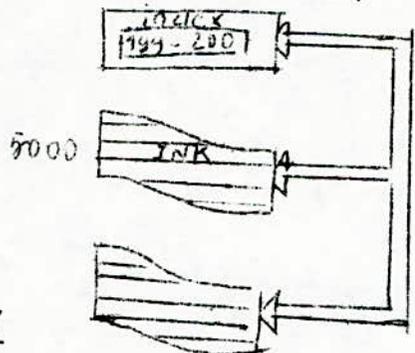


figure 7

La RAM n'intervient pas. Le compteur ordinal contient l'adresse de l'instruction (5000), celle-ci est lue, on trouve INX. Cette instruction reviendra dans le registre d'index et sera exécutée : c'est à dire INX passera de 199 à 200.

3.5 Adressage relatif.

Ce mode d'adressage permet d'exécuter des instructions de saut systématique ou conditionnel, en économisant de la mémoire. Pour obtenir l'adresse effective, on ajoute le contenu du compteur ordinal et du second mot de l'adresse.

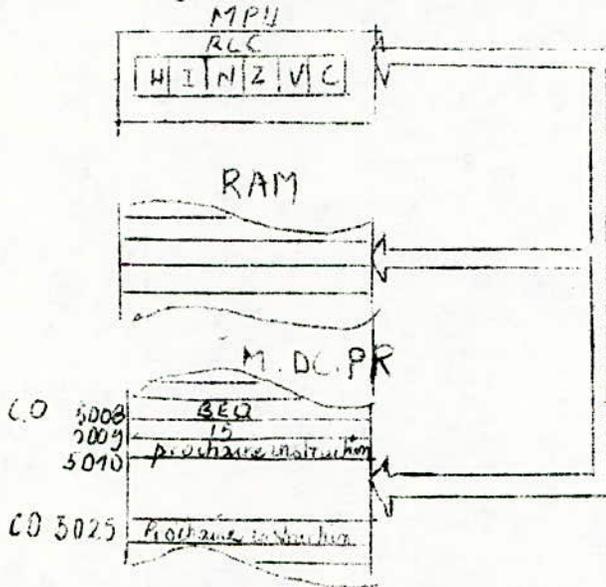


figure 8

Le microprocesseur lit à l'adresse de mémoire 5008 une instruction BEQ de branchement conditionnel à l'adresse 5025, si le résultat de l'opération précédente est égal à 0 ; sinon, il continuera séquentiellement son programme à l'adresse 5010. Au lieu d'indiquer en clair à la suite de l'instruction BEQ l'adresse 5025 qui tiendrait sur deux bytes, on écrit 15 sur un seul octet. Le microprocesseur effectue alors : si la condition est réalisée, l'addition du contenu du compteur ordinal qui est passé après la lecture de BEQ à 5010 et du nombre 15 et stocke le résultat dans le compteur ordinal. Si la condition n'est pas réalisée, le microprocesseur continuera son programme à l'adresse 5025 .

III Les memoires RAM - ROM - PROM - REEPROM

I° RAM.

La memoire RAM (RANDOM acces MEMORY) est utilisée pour stocker des informations variables dans un système microprocesseur. Ainsi l'unité centrale, sous contrôle du programme peut à volonté, lire ou changer le contenu d'une position de la mémoire vive .

Les memoires vives sont des memoires à acces aléatoire, mais en réalité les RAM sont de plus et surtout des mémoires qu'on peut ecrire ,lire ,effacer et récrire à volonté .

Il y a deux types de memoires RAM.

- RAM statique : Utilisées quand la capacité nécessaire de la RAM est faible (1 à 4 K octets.)

- RAM dynamiques : Utilisées quand la capacité nécessaire de la RAM dépasse 4 K octets.

Nous presentons ici un seul type de RAM mais dont les caractéristiques sont semblables à d'autres RAM Motorola disponibles pour le système 6800 .

La RAM MC 6810 A est une RAM a 128 x 8 bits, statique, technologie MOS (CANAL.N) Elle est compatible TTL et a un bus de données bidirectionnel et trois états ("0", "1", "off")

La figure 9 montre un diagramme fonctionnel d'un RAM (6810 A) organisée en mots de 8 bits .Sept (7) entrées d'adressages (A0 a A6) permettent d'adresser n'importe laquelle des 128 positions ou octets (1 K bits)

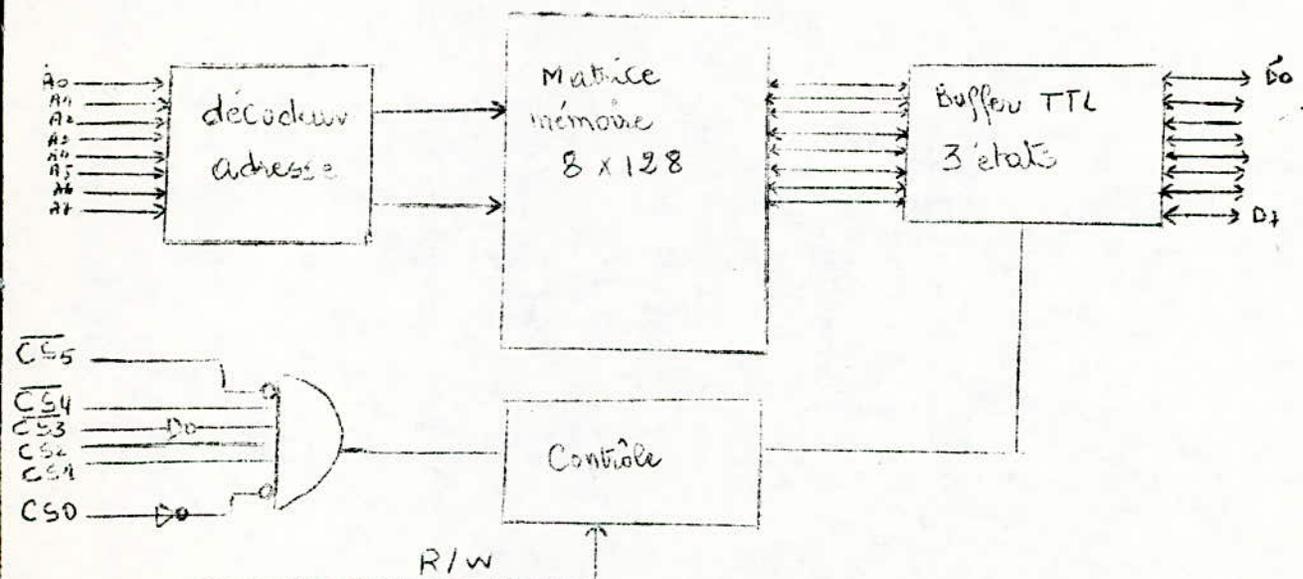


fig N° 9 Memoire RAM. MCM 6810 .

2° . ROM.

La ROM (Read only Memory) est habituellement utilisée pour garder le programme des instructions et des données constantes. Comme la RAM c'est une mémoire aléatoire mais non volatile; c'est à dire que le contenu de la mémoire n'est pas perdu lorsque l'alimentation est supprimée. Elle est à lecture seule ,enregistrée une fois pour toute par le fabricant.

Nous présentons ici la ROM MCM 6830 A. C'est une mémoire morte programmable par masque. Elle est utilisée pour le stockage du programme système et des programmes de service. C'est aussi un circuit MOS (CANAL.N).

Comme la RAM, la ROM est organisée en octet , de sorte qu'une simple adresse accède directement à un octet d'information.

La capacité de stockage est de 1024×8 bits et par conséquent requiert 10 entrées d'adressage (voir fig 10). Les sorties sont de technologie " trois états" 4 entrées " chip select" sont disponibles et permettent la sélection du circuit ROM désiré.

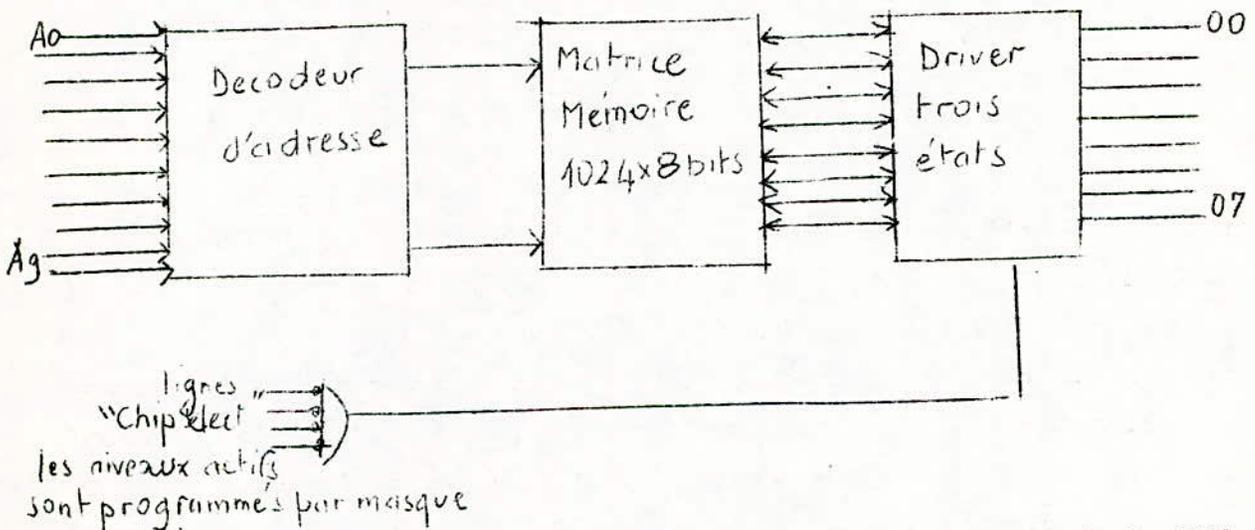


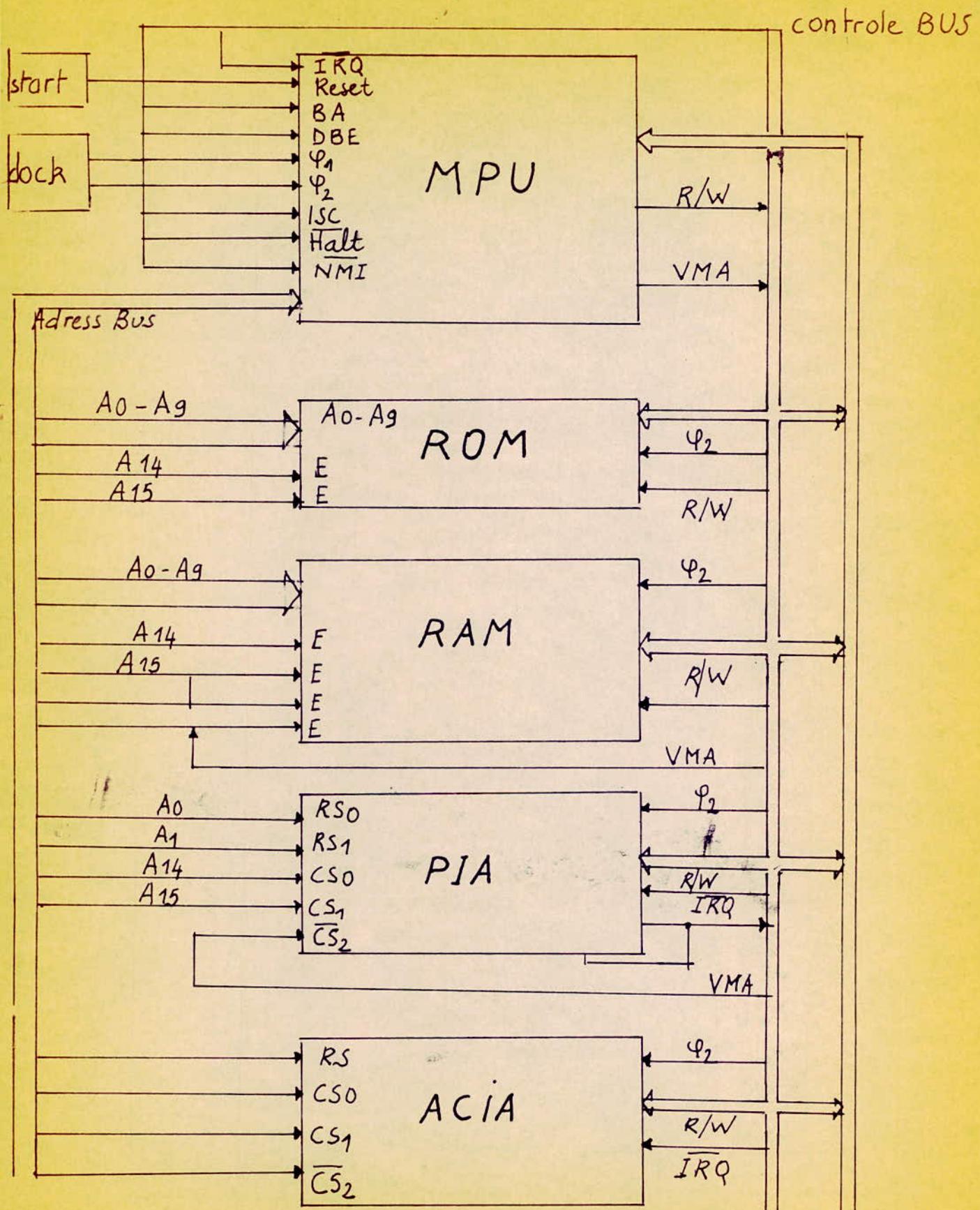
fig N° 10: bloc diagramme de la ROM
MCM 6830.

3. PROM

Ce sont des ROM non programmées par le fabricant et livrées vierges: L'utilisateur les inscrit lui même en fonction de son programme; Dès lors, elles se comportent comme des ROM. Elles sont donc à accès aléatoire.

4. REPROM, ou ROM reprogrammables

Il s'agit de PROM que l'on peut éventuellement effacer et réinscrire. Ces mémoires sont à lecture majoritaire, ce qui se traduit par RMM (read-mostly memories). Ce sont aussi des éléments à accès aléatoire.



Systeme minimum 6800

CHAPITRE . II

LES ENTREES SORTIES

II. 1 Caracteristiques des entrées/sorties

La caractéristique la plus importante des systèmes à microprocesseur, est peut être leur capacité de gérer les entrées-sorties

La flexibilité du 6800 en ce qui concerne les E/S tient au fait - beaucoup de procédures d'E/S peuvent être déléguées aux adaptateurs d'interface.

- Le M P U peut traiter les périphériques comme des mémoires ce qui facilite l'accès.

- Les échanges sont gérées à l'aide du système d'interruptions.

les transferts des données sont contrôlés par programme ce qui signifie que les transferts sont accomplis par l'exécution d'instruction comme LOAD, PUSH, PULL ect...

Dans les systèmes, il est intéressant de transférer les données à une vitesse supérieure que d'ordinaire. Ceci est possible en transférant directement les données entre les périphériques et mémoires. Cette procédure s'appelle Accès direct à la mémoire (D M A)

II. 2 Adressage des entrées/Sorties.

Les périphériques susceptibles de dialoguer avec l'ordinateur peuvent-être nombreux. Par contre chacun d'eux doit être pourvu d'une adresse spécifique. En désignant cette adresse, on pourra soit interroger, soit envoyer un message au périphérique. Deux méthodes prévalent.

2.1. Les périphériques sont adressés comme des positions mémoires.

Chaque périphérique est doté d'une adresse comme s'il s'agissait d'une cellule mémoire. Cette adresse pourra être de 16 bits.

Les adresses utilisées pour les périphérique ne pourront être reprises pour les mémoires. Il en résulte que la volume mémoire utilisable sera réduit d'autant, (voir figure 1)

2.2. Les périphériques sont adressés distinctement des positions mémoires.

Un ordre émis sur le bus de commande précisant s'il s'agit d'une adresse de périphérique ou d'une adresse de mémoire; donc la même adresse peut servir deux fois. Par conséquent, l'adresse des périphériques ne se fait pas au détriment des cellules mémoires mais en plus.

Cette méthode est plus avantageuse que la première; car l'adressage total embrasse en champ de 64 Kilo-mots auxquels s'ajoutent 256 périphériques. Par contre dans la première méthode les cellules mémoires et les périphériques se répartissent les adresses disponibles (voir figure 2)

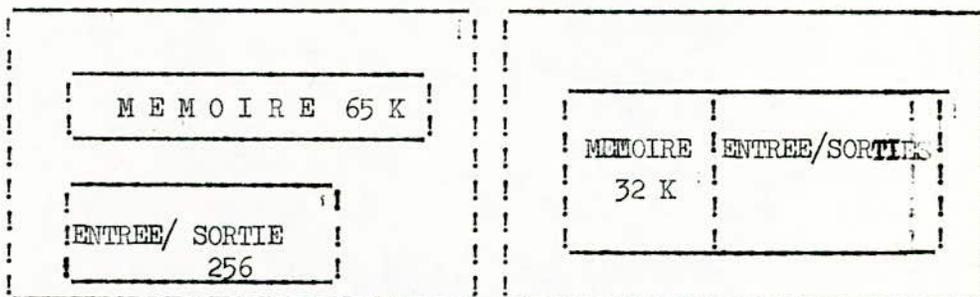


Fig N° 1 separation des E/S et de la mémoire

Fig n° 2 concentration des opérations E/S et de la mémoire

II.3 Les différents modes d'échanges.

Les échanges d'informations entre le M P U et les périphériques se font suivant 3 modes qui sont :

- Le mode programme
- L'accès direct à la mémoire. D M A
- Les interruptions

3.1. Mode programme :

C'est un mode où le programme fait intervenir des instructions d'entrée ou de sortie où bon lui semble, selon les besoins. Il en reste rigoureusement le maître à la condition que le périphérique visé soit disponible et prêt, ce qui n'est pas toujours le cas.

D'autre part, si le microprocesseur pilote de nombreux périphériques, il faudrait implanter systématiquement des instructions d'entrée dans le programme afin de savoir s'ils n'ont pas le désir de lui communiquer des informations. Cette procédure allonge d'autant le programme, qui doit passer en revue tous les périphériques concernés et les traiter, au besoin comme le montre la figure 3.

Cette procédure d'échange programmée qui met en relation simultanément le microprocesseur et le périphérique s'appelle le " hand-shake "

3.2. Accès direct à la Mémoire (D M A)

La technique D M A consiste à permettre à des périphériques d'accéder au système mémoire sans déranger le M P U. L'intérêt dans cette technique réside dans la très grande vitesse de transfert obtenue, elle est bien plus supérieure à la vitesse d'un transfert opéré de façon normale par le M P U. Le 6800 permet trois techniques de D M A.

3.2.1. transférer les données pendant que le M P U est à l'état H A L T.

C'est-à-dire on stoppe le M P U. Ceci a pour effet de mettre les lignes d'adresses et de données en trois états (three state) ce qui équivaut à déconnecter ces deux bus du M P U. Le M P U doit avant tout terminer l'instruction en cours avant de se mettre en stop. Il ne reprendra le programme interrompu qu'après le transfert en D M A.

L'inconvénient de cette technique est qu'elle demande un temps assez long.

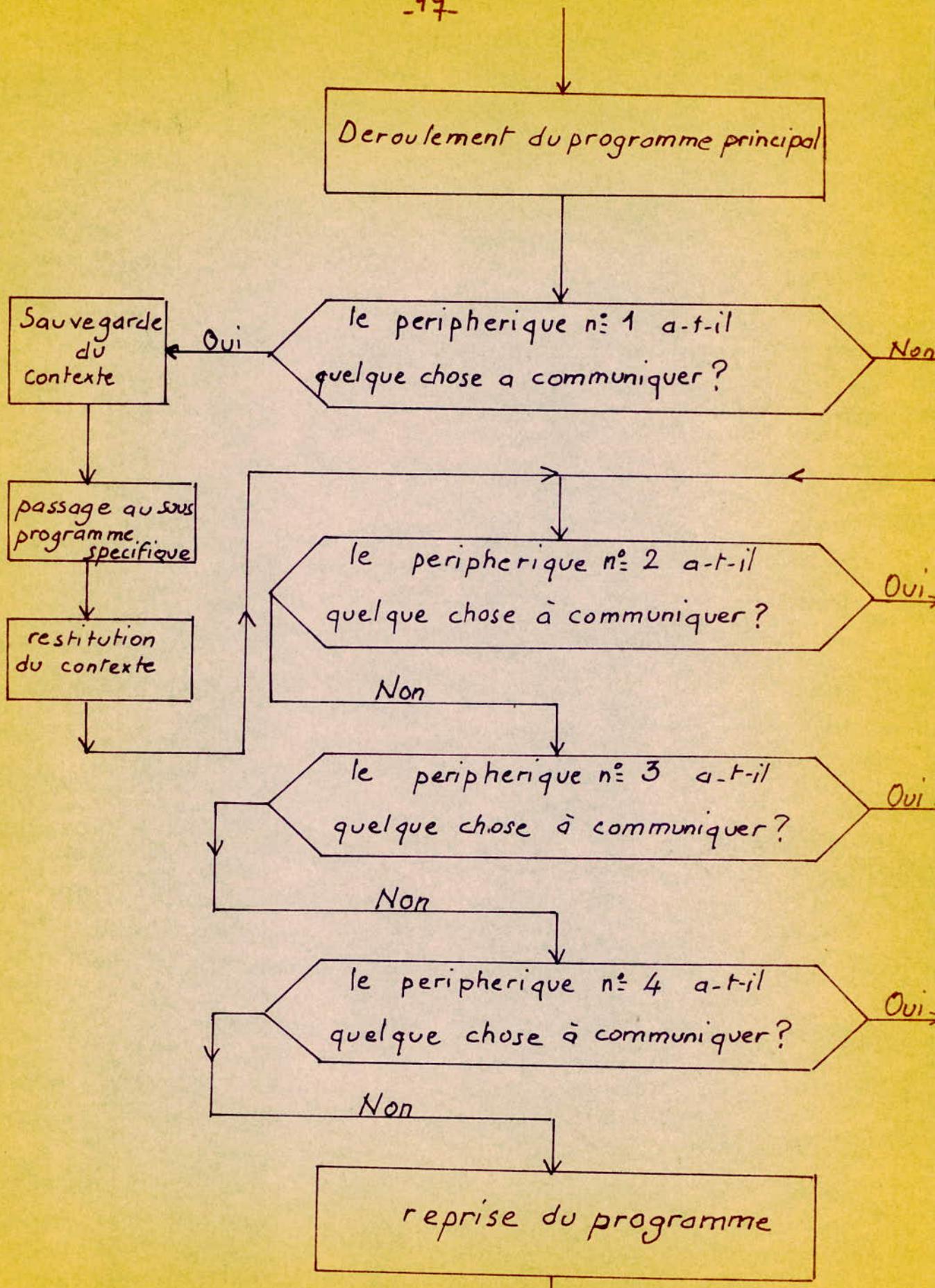
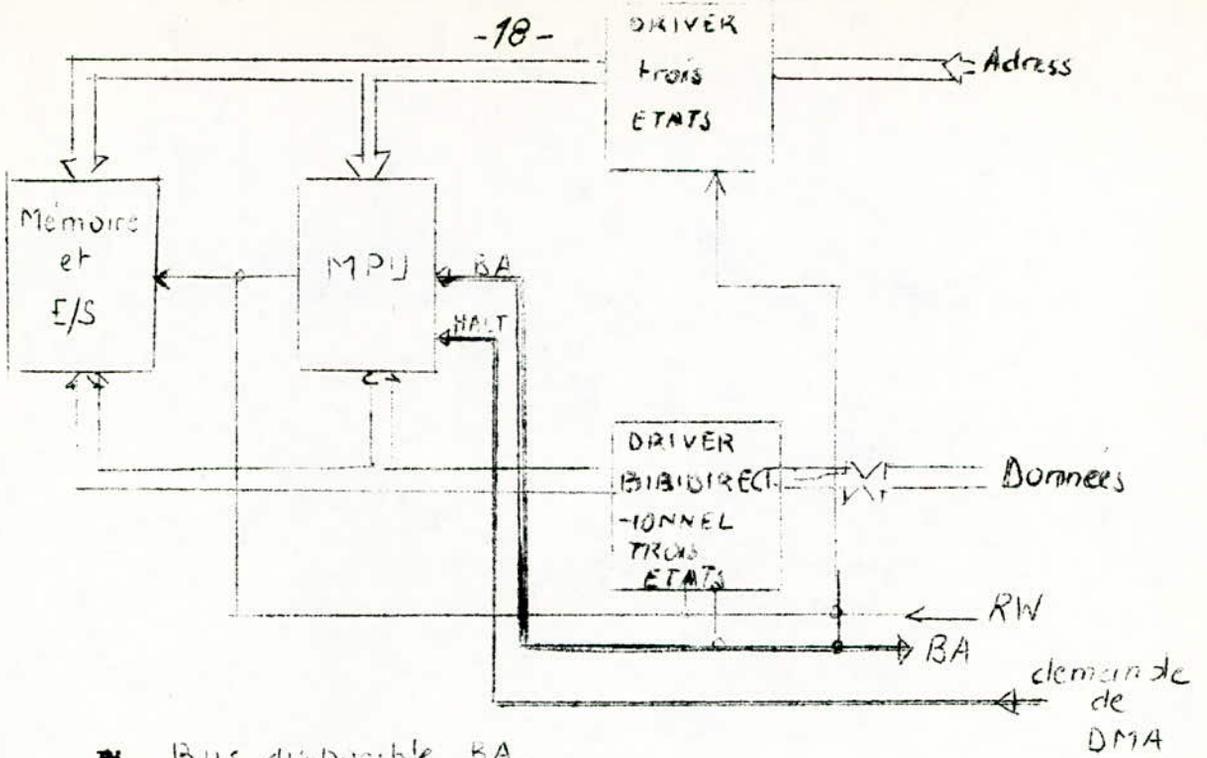


Fig n° 3 : MODE PROGRAMME

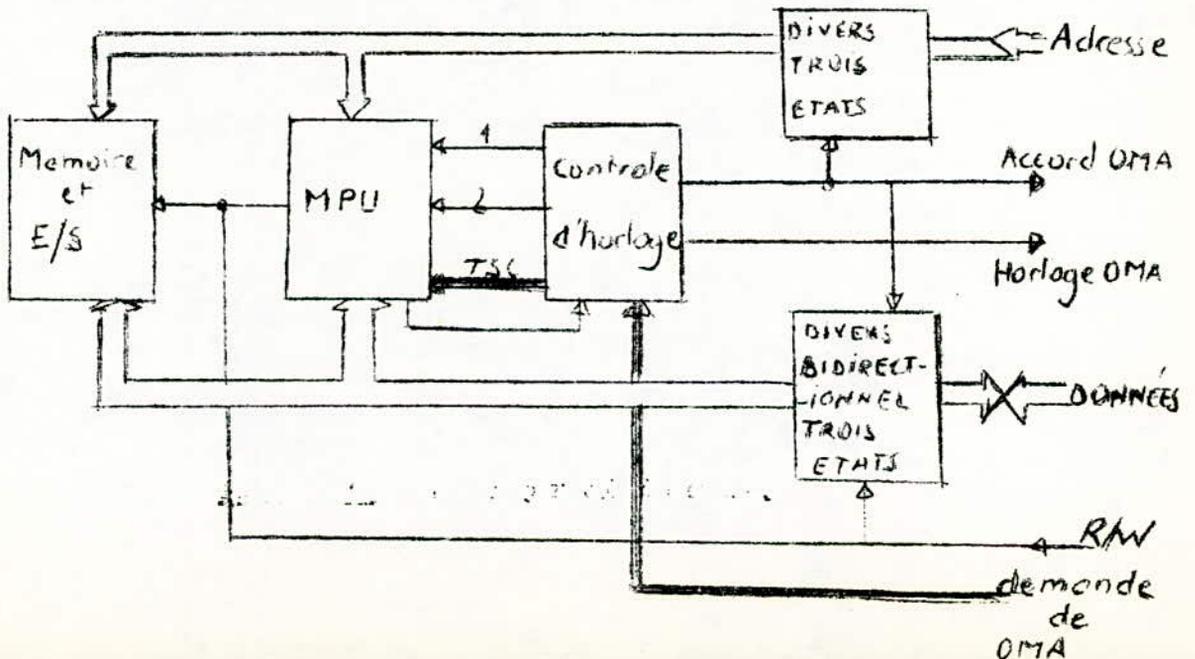


■ Bus disponible BA

Figure N° 4 : DMA par arrêt du microprocesseur.

3.2.2. Le fonctionnement du M P U est " suspendu " pendant la période d'horloge nécessaire au transfert. C'est le principe du vol du cycle les accès direct à la mémoire par vol de cycle ne peuvent durer plus d'un cycle chaque fois (500 nanosecondes).

" voler " un cycle au M P U pour un transfert de D M A a pour conséquence de ralentir la vitesse de fonctionnement du M P U, ceci à cause de la réduction apparente de fréquence d'horloge lorsque les D M A ont lieu.



3.2.3. Le DMA seffectue lorsque le MPU n'a pas besoin des bus.

C'est le DMA multipléxé ou "transparent". Pour exécuter ces DMA dont l'essentiel est câblé, on fait appel à des circuits dits de DMA, et comportant des registres surveillant les échanges : nombre de mots à transmettre, décomptage des mots transmis, direction de l'échange. Par conséquent, il appartiendra au programmeur de les initialiser c'est-à-dire de leur fournir les informations nécessaires préalablement à toute opération de DMA. c'est la méthode la plus rapide et par voie de conséquence, la plus critique de mettre en œuvre, notamment en ce qui concerne la synchronisation des temps.

3.3. Les interruptions.

Les interruptions permettent d'interrompre provisoirement le déroulement d'un programme en cours pour faire exécuter un programme considéré comme prioritaire. Plus précisément le traitement d'une interruption consiste généralement dès la fin de l'instruction en cours à sauvegarder l'état du microprocesseur, puis à mettre dans le compteur ordinal l'adresse de la première instruction du programme associé à l'interruption.

Le programme se termine par une instruction qui restaure l'état du microprocesseur au moment où l'interruption a été prise en compte, ce qui pour effet de permettre la reprise du programme interrompu.

Lorsque plusieurs périphériques peuvent interrompre le microprocesseur, il faut donner à ce dernier le moyens d'identifier le demandeur.

Deux façons de procéder à ce résultat.

- Le MPU qui reçoit une demande d'interruption, va faire un tour de surveillance des périphériques " le polling " (littéralement sondage) afin de déterminer lequel a été l'initiateur. Ce processus est dispendieux en temps ; il sera évité avec le processus de

• Le périphérique sait se faire connaître : c'est le principe de la sectorisation.

Un code est attribué aux périphérique et sert à déterminer une adresse en mémoire (ROM) où se trouve l'adresse effective du sous programme de traitement spécifique. La sectorisation implique donc un adressage direct.

Plusieurs périphériques peuvent provoquer une interruption en même temps ici intervient l'ordre de priorité qui fait que les interruption se situent a divers niveaux déterminé par le programme. A chaque niveau d'interruption correspond un fil en provenance de la ou les causes d'interruptions correspondantes ainsi qu'un programme associé. Ces niveaux sont classés par ordre de priorité respectives, un programme d'interruption peut-être lui même interrompu par une demande d'interruption intervenant sur un niveau d'interruption supérieur.

Le programme d'interruption passe alors à l'état d'attente.

Un codeur de priorité selectionne l'interruption à reconnaître et conduit le MPU à l'adresse mémoire dans laquelle se trouve le vecteur.
(ce circuit sera étudié au chapitre suivant).

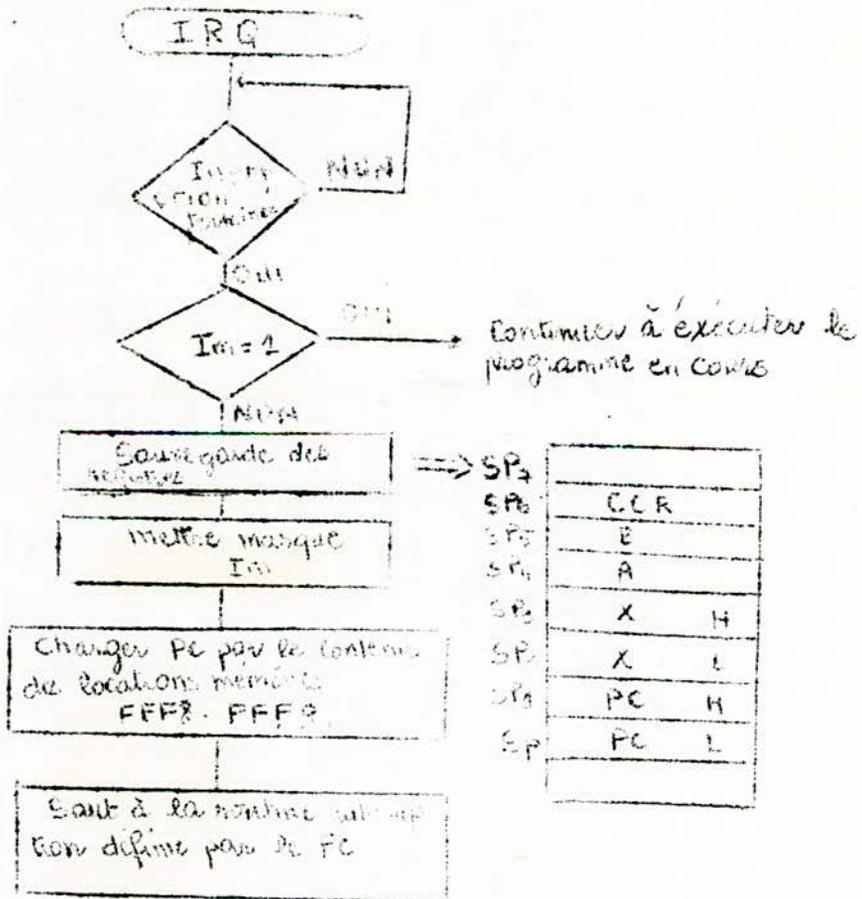
Figure N° 6 : exemple du vecteur d'interruption :
8 niveau d'interruptions.

	RES	-	FFF	FFFE
	IMI	-	FFFF	FFFC
	SWI	-	FFFB	FFFA
	8	-	FFF9	FFF8
	7	-	FFF7	FFF6
IRQ	6	-	FFF5	FFF4
	5	-	FFF3	FFF2
	4	-	FFF1	FFEO
	3	-	FFEF	FFEE
	2	-	FFED	FFEC
	1	-	FFEB	FFEA

Le 6800 permet 4 sorties d'interruption : Reset, IRQ, NMI, SWI.

1°) Interrupt Request (I R Q)

C'est une interruption masquable. Elle n'est prise en compte par le M P U que si " Im " est à zéro. Le MPU range le contenu du CCR, Accu B, Acca, INX et PC dans la pile de sauvegarde, après quoi, il se branche sur l'adresse du vecteur IRQ et va lire dans les cellules mémoires, qui sont ici obligatoirement FFF8, et FFF9, l'adresse du sous programme spécifique de l'interruption. Désormais, commence le traitement de l'interruption routine.

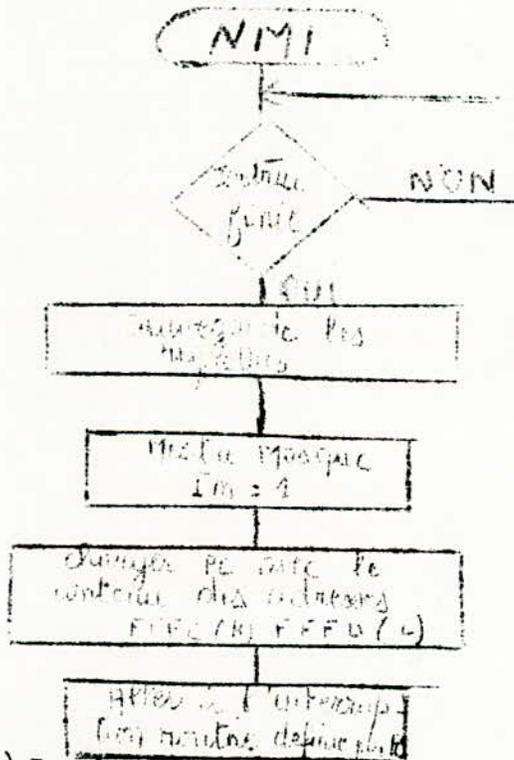


2°) Non masquable interrupt. (NMI)

2°) Non masquable interrupt. (NMI)

Cette interruption est reconnue par le MPU tout de suite, car qu'elle possède le niveau le plus prioritaire. Par conséquent au départ, Im ne joue aucun rôle.

Hors de cette interruption, le MPU stocke le contenu de tous ses registres internes aux adresses indiquées par le PC, met "Im" à "1", charge son PC avec le contenu des adresses EFFF et FFFD puis commence à exécuter " l'interrupt routine " dont la première instruction se trouve à l'adresse existante dans le PC.

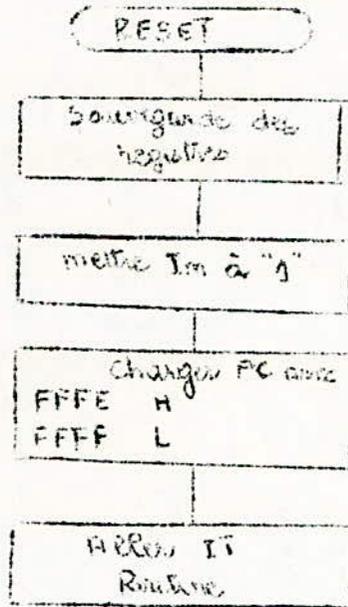


3°) Reset

L'interruption Reset est différente de IRQ et NMI. Quand Reset est bas, Im est mis à "1", le MPU met l'adresse FFFF-FFFF ^{sur} le bus d'adresse pour se préparer à l'exécution de la Séquence d'interruption.

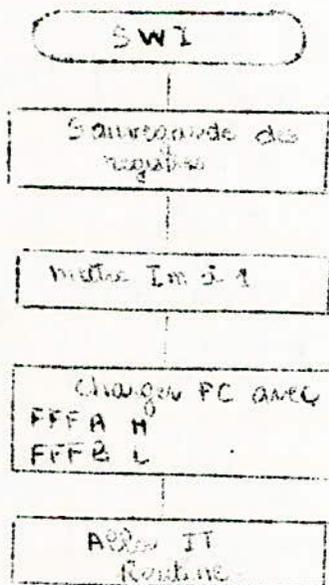
Il est utilisé pour la mise en route et l'initialisation du système :

C'est une séquence de redémarrage.



4°) Soft-Ware Interrupt SWI.

Elle est similaire aux interruptions " hardware " et elle est provoquée par instruction. Elle est utilisée pour insérer des points de coupure dans le programme. En effet S W I arrête le programme et sauvegarde les registres.



Circuits d'interface programmables d'Entrée / Sortie

Dans ce chapitre seront examinés les techniques et les composants permettant d'interfacer à un microprocesseur. C'est un ensemble de circuits intégrés programmables qui résoudront les problèmes d'interface qui peuvent se poser .

I Adaptateur d'interface Périphérique : PIA (MC 6820)

Le PIA donne la possibilité d'interfacer les différents périphériques au MPU - M6800 . Ce circuit est capable d'interfacer le MPU avec les périphériques, à travers deux bus de 8 bits chacun , bi directionnels et programmable , et quatre lignes de contrôle .

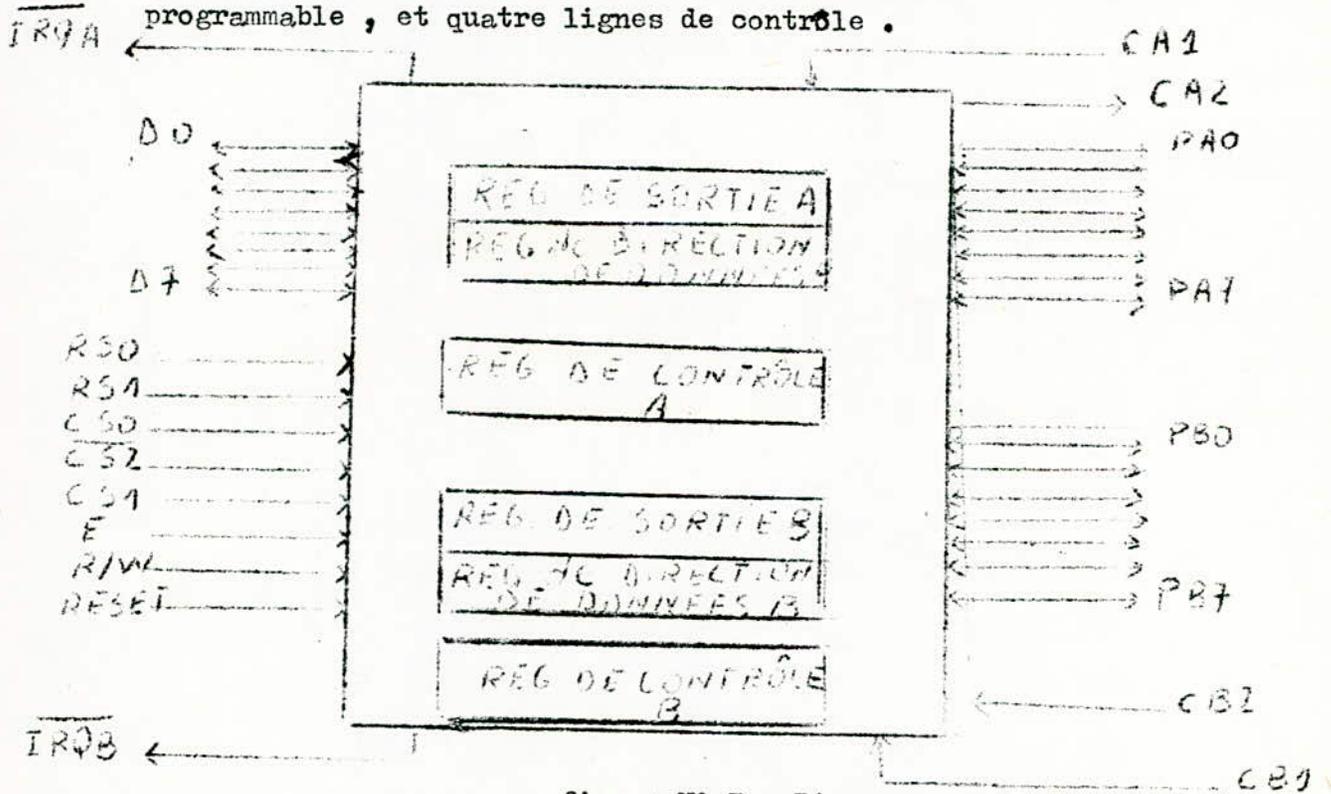


figure N° I : Diagramme synoptique du PIA .

I - Organisation externe du PIA

I.1 - Liaison entre le MPU et le PIA

Cette liaison est assurée par :

a) Bus de données

DO - D7 sont des lignes de données bi.directionnelles, permettant le transfert entre MPU. PIA

b) Bus d'adresses

L'adressage du PIA se fait par 5 lignes :

- 3 lignes " Chip select " : CS₀, CS₁, CS₂ qui sont connectées à trois lignes du bus d'adresses (A₀- A₅) et qui permettent de sélectionner le PIA.
- 2 lignes " Register Select " : RS₀, RS₁ qui permettent la sélection d'un des quatre registres internes du PIA .

c) Bus de contrôle

Il comprend cinq (5) lignes :

- " Read / Write " : R/W . C'est une broche de lecture/écriture qui permet au MPU de lire le PIA ou au contraire d'y inscrire une information . Elle contrôle donc le transfert de données .
- " Reset " (remise à zéro) : Ce signal est utilisé pour effacer tous les registres du PIA
- " ENable " (E) : permet la synchronisation en lecture ou écriture. Elle contrôle les interruptions provenant de CA₁, CA₂ , CB₁ et CB₂ .
- " Interrupt request " . (IR_{0A} et IR_{0B}) : Ces lignes agissent comme des demandes d'interruption . Elles sont , soient ~~ou~~ ou cablées sur IR₀ , soient y aboutir à travers un circuit de priorité d'interruption dans le cas où plusieurs interruptions arrivent en même temps.

I.2. Liaison entre le PIA et le périphérique .

Cette liaison est assurée par (2X8 bits bidirectionnels et quatre lignes de contrôle d'interruption.

a) Lignes PA₀ - PA₇

Ces lignes sont bidirectionnelles. Elles peuvent être programmées en entrée ou en sortie par le registre de direction de données A (DDRA)

b) Lignes PB₀ - PB₇ .

Ces lignes ont le même fonctionnement que PA₀ - PA₇ sauf que les " Buffers " de sortie sont de technologie trois états (Three State) - ("0" , " 1 " et " off ")

c) Lignes de contrôle d'interruption

Le PIA possède quatre lignes de contrôle d'interruption CA₁ , CB₁ , CA₂ , CB₂ , CA₁ et CB₁ sont seulement des lignes d'entrée sur le PIA . Elles positionnent les flags^d d'interruption des registres de contrôle . CA₂ et CB₂ sont programmables en entrée et en sortie .

- CA1 : L'entrée CA1 indique au MPU qu'une information est présente à l'entrée du PIA .
- CB1 : Dans le cas où les lignes PBo à PB7 sont programmées en sortie l'entrée CB1 indique au MPU qu'un périphérique demande une information.
- CA2 : La ligne CA2 , utilisée comme sortie , est remise à zéro après que le MPU ait fait la lecture de l'information présente à l'entrée A du PIA . Elle fournit donc un signal de reconnaissance .
- CB2 : La ligne CB2 , utilisée comme sortie , est remise à zéro après une opération d'écriture dans le PIA par le MPU . Elle fournit donc un signal d'acquiescement .

2 - Organisation interne du PIA .

Le PIA est divisé en 2 configurations symétriques, indépendantes chaque moitié a trois (3) registres de 8 bits chacun .

- un registre de sortie : OR (A ou B)
- Un registre de contrôle : CR (A ou B)
- Un registre de direction de données : DDR (A ou B)

Le MPU traite ces registres comme des locations mémoires , en plus , ils peuvent être lus ou écrits . Ils sont sélectionnés à l'aide de RSo, RSI et le bit 2 du registre de contrôle (CR₂(A ou B)) .

- RSI = 0 c'est la partie A qui est sélectionnée
- RSI = I c'est la partie B qui est sélectionnée

RSo = I : c'est un des registres de contrôle qui est sélectionné (A ou B)

RSo = 0 : Ce sont les registres de direction ou les registres périphériques qui sont sélectionnés .

Ceci se résume dans le tableau suivant :

RSO	RSI	CRA2	CRB2	Registre sélectionné
0	0	I	X	Registre de sortie (ORA)
0	0	0	X	Registre de direction de données A (DDRA)
0	I	X	I	Registre de sortie B (ORB)
I	0	X	X	Registre de contrôle A (CRA)
0	I	X	0	Registre de direction (DDRB)
I	I	X	X	Registre de contrôle B (CRB)

Adressage interne du P I A .

a) Registre de direction de données (DDRA , DDRB)

Il est utilisé pour établir le sens de chaque ligne périphérique (PA, PB) comme entrée ou sortie . Ceci est obtenu en écrivant des "I" pour les sorties et des "O" pour les entrées .

b) Registre de sortie (ORA ,ORB)

Quand il est adressé , le registre range les données presentes au bus de données du MPU pendant une opération d'écriture de ce dernier .

c) Registre de contrôle (CRA , CRB)

Les registres permettent de contrôler les lignes d'interruption CA₁ , CB₁ , CA₂ , CB₂ . Les bits b₀ et b₅ de ce registre peuvent être écrits ou lus par le MPU ; par contre les bits b₆ et b₇ ne peuvent être que lus et sont modifiées par des interruptions externes qui arrivent sur les lignes de contrôle CA₁, CB₁, CA₂ , CB₂ .

La configuration de ce registre est la suivante .

b 7	b 6	b5 b4 b3	b2	b1	b0
IRQA(6) _I	IRQA(6) ₂	CA ₂ (CB ₂) contrôle	DDR ou OR Accès	CAI (CBI) contrôle	

Les bits b₀ et b₁ sont utilisés pour commander les interruptions CAI et CBI .

- b₀ permet l'autorisation et la non autorisation de IRQ par le MPU .
- b₁ détermine la transition active du signal d'entrée d'interruption CAI ou CBI .

CRAI(b1)	CRAO(b0)	Etat de $\overline{\text{IRQA}}_I$
0	0	$\overline{\text{IRQA}}_I = I$ (Interruption masquable)
0	1	$\overline{\text{IRQA}}_I = 0$ lorsque CRB 7 = I
1	0	$\overline{\text{IRQA}}_I = I$
1	1	$\overline{\text{IRQA}}_I = 0$ lorsque CRB 7 = I

Le bit b₂ permet la selection des registres DDRA (B) ou des registres DRA (B) quand la combinaison correcte est appliqué à RSO et RSI .

- b₂ = 0 : Sélection du registre DDRA (B)
- b₂ = 1 : Sélection du registre ORA (B)

Les bits b_3 , b_4 et b_5 permettent le contrôle des lignes CA_2 et CB_2

Le bit b_5 permet de déterminer si les lignes CA_2 et CB_2 se comportent comme des entrées d'interruptions ou des sorties de commande.

- $b_5 = 0$: Les lignes CA_2 et CB_2 seront des lignes d'interruption similaires à CA_1 et CB_1 et les bits b_3 et b_4 jouent le même rôle que b_0 et b_1 .

- $b_5 = 1$ Les lignes CA_2 et CB_2 seront des lignes d'interruption des sorties de commande du périphérique par le MPU, possédant trois états (" 1 ", " 0 " et " off ")

i) $b_4 = 1$: La sortie CA_2 (CB_2) prend le même état que le bit b_3 .

b_3 écrit par le MPU	conséquence
$b_3 = 0$	CA_2 (B) = 0
$b_3 = 1$	CA_2 (B) = 1

ii) $b_4 = 0$

- $b_3 = 0$: CA_2 est utilisé comme strobe de lecture et CB_2 est utilisé comme strobe d'écriture avec restitution de CA_1 dans les deux cas .

- $b_3 = 1$: CA_2 est utilisé comme strobe de lecture avec restitution de E et CB_2 devient strobe d'écriture avec restitution de E .

Les bits b_6 et b_7 nous renseignent sur l'existence ou l'absence d'interruption de la part de CA_1 (CB_1) ou CA_2 (CB_2)

b_6	b_7	nature de l'interruption
1	\emptyset	CA_2 (CB_2)
0	\emptyset	aucune
\emptyset	1	CA_1 (CB_1)
\emptyset	0	Aucune

Remarque : Le rôle des différents bits du registre de contrôle est résumé sous forme de tableaux ci - dessous.

• Les registres C R A et C R B permettent au microprocesseur de commander par programme les 4 lignes CA1, CB1) CA2, CB2.

Les bits de poids faibles donnent non seulement la possibilité de choisir une transition active de CA_n(CB_n) et aussi l'autorisation et la non autorisation de la demande d'interruption.

CRA-1 (CRA-1)	CRA-0 (CRB-0)	Entrée d'inter- ruption CAN (CB1)	Indicateur d'Interrup- tion CRA.7 (CRB-7)	Demande d'Interruption MPU.IRQA (IRQB)
0	0	↓ Active	Mis à un par une transition négative de CA1 (CB1)	Masque les demandes d'interruptions sur CA 1 (CB1) I R Q reste à l'état haut.
0	1	↓ active	Mis à un par une négative de CA1(CB2)	Passe à l'état bas quand l'indicateur d'interruption CRA-7 (CRB-7) passe à l'état haut.
1	0	↑ active	Mis à un par une transition positive de CA1 (CB1)	Masque les demandes d'interruptions sur CA1 (CB1) . IRQ reste à l'état haut.
1	1	↑ active v	Mis à un par une transition positive de CA 1 (CB1)	Masque les demandes d'interruptions sur CA1 (CB1) . Passe à l'état bas quand l'indicateur d'interruption CRA-7 (CRB-7) passe à l'état haut

Tableau N° 1 Commandes des entrées d'interruptions.

Remarque : C R A (CRB-7) est mis à zéro par lecture du registre de données correspondant et par reset.

- CRA-0 (CRB-0) = 0 Masque les demandes d'interruption sur CA1 (CR1)
- CRA-0 (CRB-0) = autorise les demandes d'interruption sur CA 1 (CB 1)

Comportement de CA2 (CB2) comme des entrées d'interruptions.

CRA-5 (CRB-5)	CRA-4 (CRB-4)	CRA-3 (CRB-3)	Entrée d'interruption CA2 (CB2)	Indicateur d'interruption CRA-6 (CRB-6)	Demande d'interruption du M P U I R Q A (IRQB)
0	0	0	active ↓	Mise à un par une transition négative de CA2 (CB2)	Masque les demandes d'interruption sur CA2 (CB2) IRQ reste à l'état haut
0	0	I	active ↓	Mise à un par une transition négative de CA2(CB2)	Autorise les demandes d'interruptions. IRQ Passe à l'état bas quand CRA 6- (CRB-6) Passe à l'état haut
0	I	0	active ↑	Mise à un par une transition positive de CA2 (CB2)	Masque les demandes d'interruption, sur CA2 (CB2). IRQ reste à l'état haut
0	I	I	active ↑	Mise à un par une transition positive de CA2 (CB2)	Autorise les demandes d'interruptions. IRQ passe à l'état bas quand CRA-6(CRB-6) passe à l'état haut

Tableau N° 2 Commandes de CA2 et CB2

Comme des entrées d'interruption

Remarque : indique une transition positive (bas en haut)

 indique une transition négative (de haut en bas)

- CRA- 6 (CRB -6) est mis à zéro par une lecture du registre de données A (B) et par Reset.

- CRA - 5 (CRB - 5) = 0.

Comportement de CA2 (CB2) comme des sorties de commande

C R A-5 (C R B-5) est à l'état haut.

Dans ce cas CA₂ et CB₂ sont des sorties de commande de la périphérie par le microprocesseur et pourront être utilisées pour la synchronisation des échanges. CA₂ et CB₂ ont des caractéristiques légèrement différentes (Tableau 3 et 4).

- C B₂ : Envoi d'une impulsion vers le périphérique indiquant l'écriture dans le registre DRB

CRB-5	CRB-4	CRB-3	C B 2	
I	0	0	Passe à l'état bas sur transition positive de la première impulsion E (ϕ 2) qui suit une écriture du registre de données O R B	Passe à l'état haut quand l'indicateur d'interruption CRB-7 est mis à un par une transition active du signal C B1
I	0	I	Passe à l'état bas sur la transition positive de la première impulsion E (ϕ 2) qui suit une écriture du registre de données O R B	Passe à l'état haut à la prochaine transition active de E(ϕ 2) positive
I	I	0	Passe à l'état bas quand le microprocesseur écrit un zéro dans C R B-3.	Maintenu à l'état bas aussi, longtemps que CRB-3 est à l'état bas. Passera à l'état haut par une écriture du registre de contrôle B qui met C R B-3 à un
I	I	I	Maintenu à l'état haut aussi longtemps que C R B-3 est à l'état haut. Remis à zéro par une écriture du registre de contrôle "B" qui rend C R B-3 à zéro	Passe à l'état haut quand le microprocesseur écrit un "1" dans C R B-3

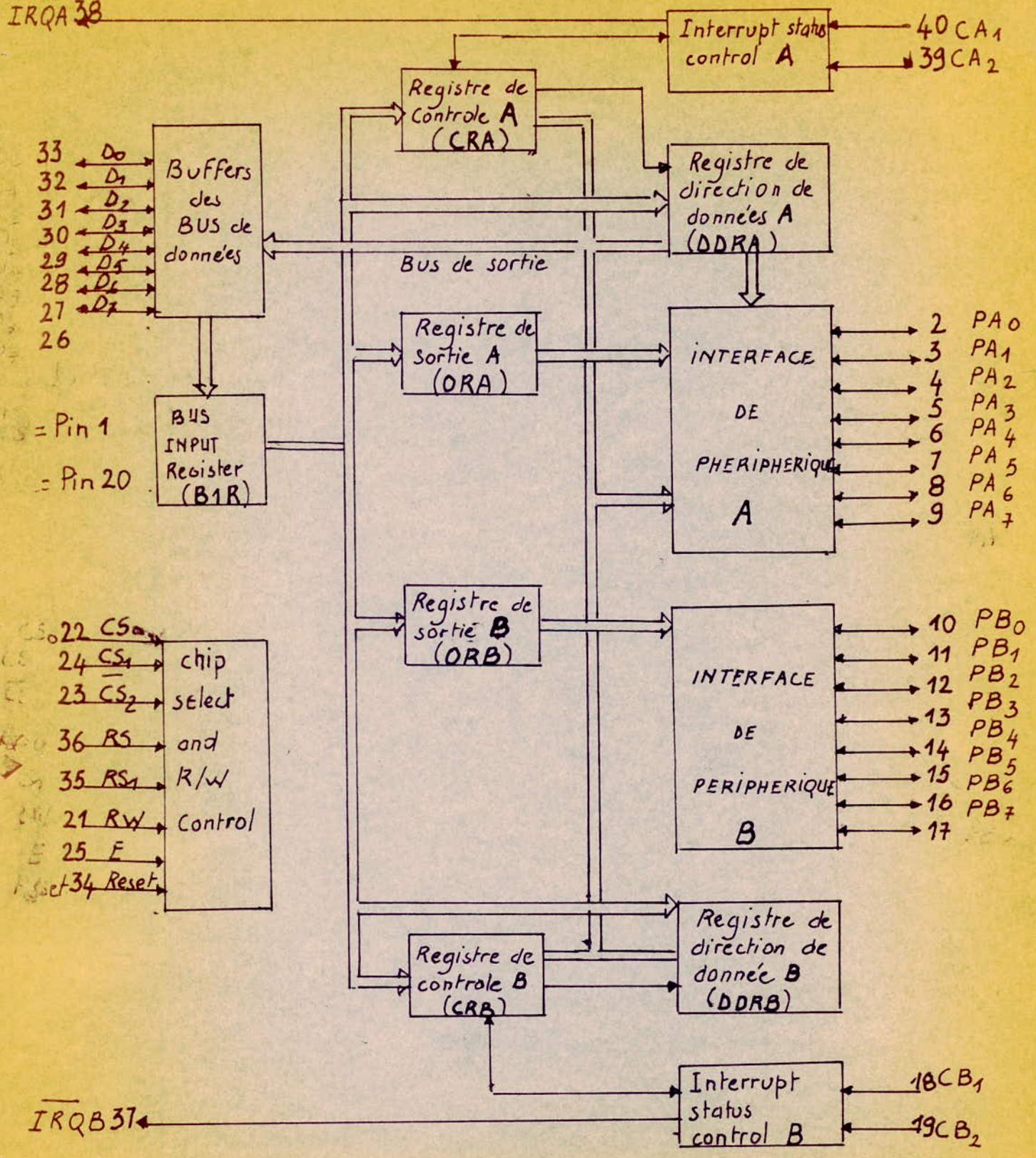
Tableau N° 3 : C B₂ se comporte comme une sortie de Commande C R A - 5 = 1

- CA2 : Envoi d'une impulsion vers le périphérique indiquant l'exécution d'une opération de lecture

CRA-5	CRA-4	CRA-3	Mis à " zéro "	CA 2	mis à " un "
1	0	0	Passé à l'état bas sur première transition de E (\emptyset 2) qui suit une lecture d'une donnée provenant d'une périphérie A.		Passé à l'état haut quand l'indicateur flag C.R.A.7 est mis à " un " par une transition active du signal CA 1
1	0	1	Passé à l'état bas immédiatement après une lecture d'une donnée provenant d'une périphérie.		Passé à l'état haut à la prochaine transition négative de E (\emptyset 2)
1	1	0	Passé à l'état bas quand le microprocesseur écrit un " 0 " dans C R A-3.		Maintenue à l'état bas aussi longtemps que C R A-3 est à l'état bas
1	1	1	Maintenue à l'état haut aussi longtemps que C R A - 3 est à l'état haut		Passé à l'état haut quand le microprocesseur écrit un " 1 " dans C R A - 3.

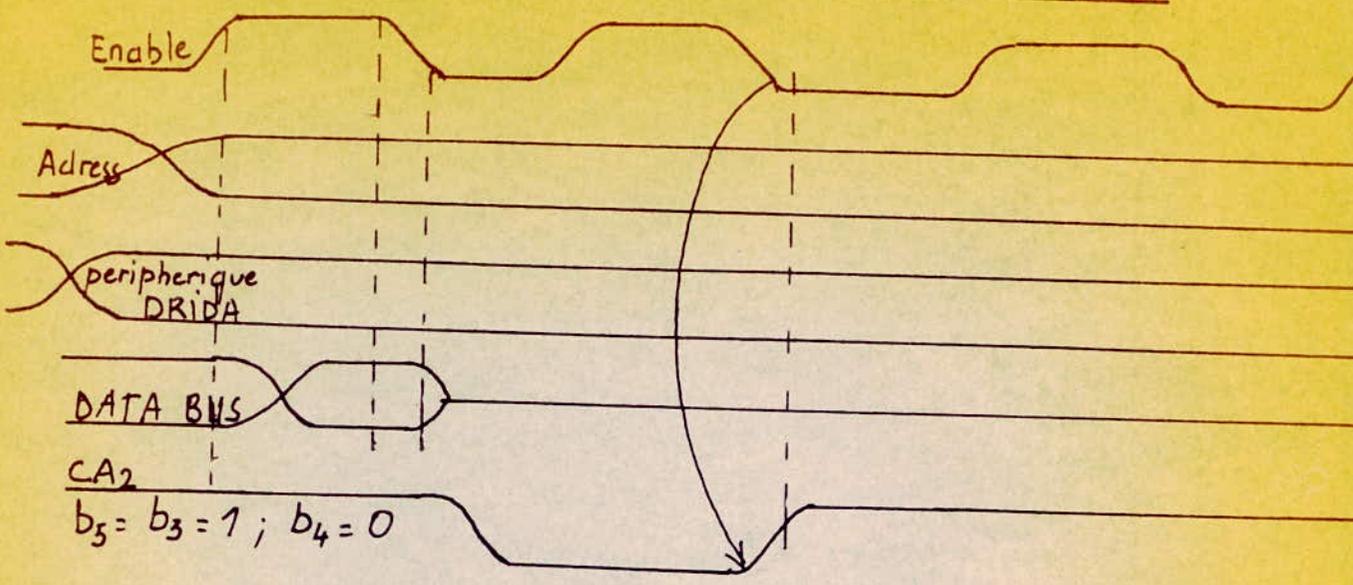
Tableau N° 4 : C A2 comme une sortie de commande
C R A - 5 = 1

IRQA 38



BLOCK - DIAGRAMME DU PIA

Caractéristique lecture

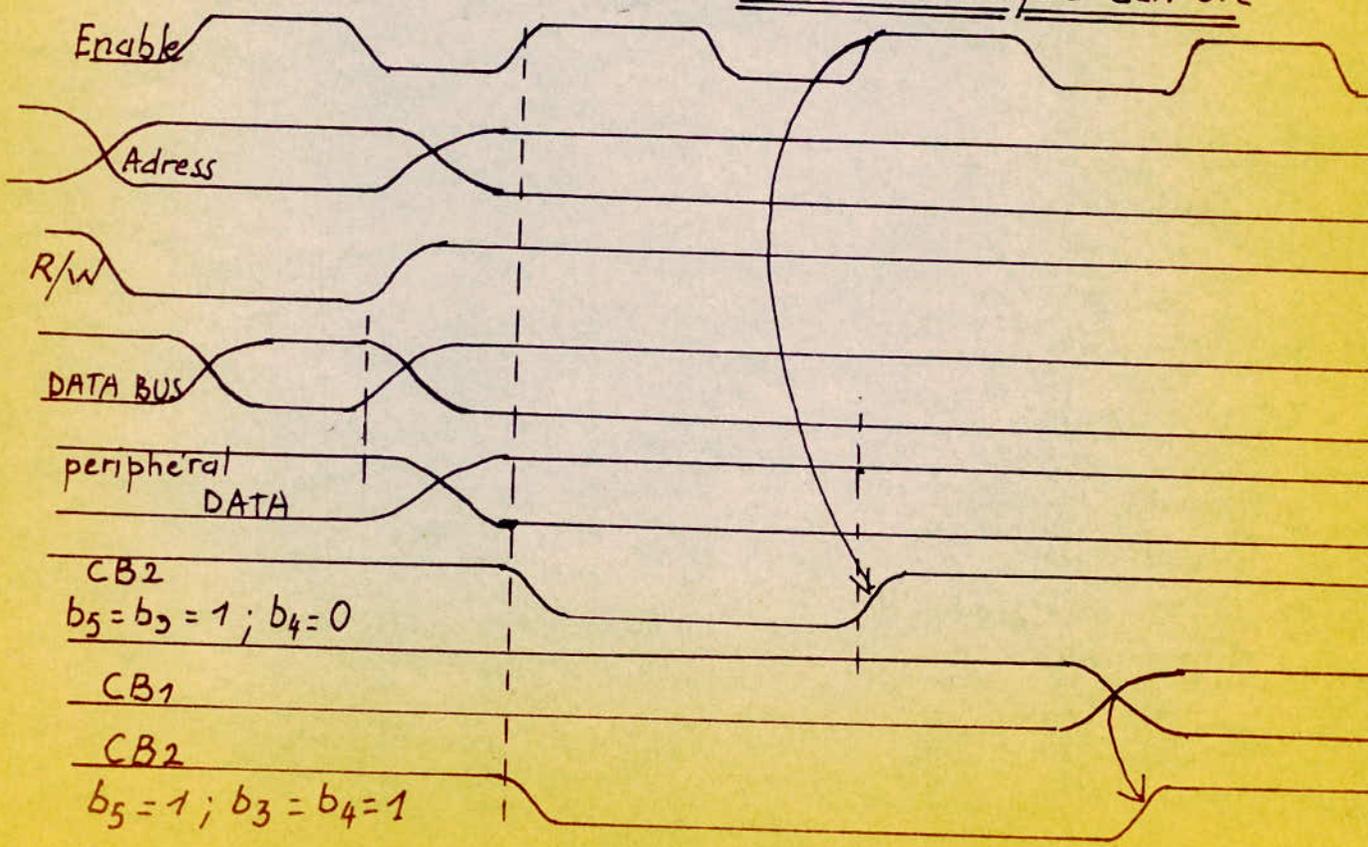


CA1

CA2

$b_5 = 1 ; b_3 = b_4 = 0$

Caractéristique ecriture



II Adaptateur d'interface de communications asynchrones ACIA (MC 6850)

Le MPU ,MC 6800 travaillant sur des mots de 8 bits en parallèle ne peut utiliser directement les caractères transmis par le périphérique en mode série . Il est donc nécessaire d'utiliser les circuits d'interface Entrées /sorties réalisant ainsi, la conversion d'un caractère 8 bits en série en un caractère 8 bits en parallèle et vice - versa.

L Acia travaille en mode série asynchrone c'est à dire la transmission et la réception, se font caractère par caractère. Un caractère comprend en plus des bits de données et de l'éventuel bit de parité, un bit de départ (start bit) et un ou plusieurs bits d'arrêt (stop bit). Ces bits ne contiennent pas d'informations et ne servent qu'à la synchronisation, ils ralentissent la transmission (voir format du caractère série)

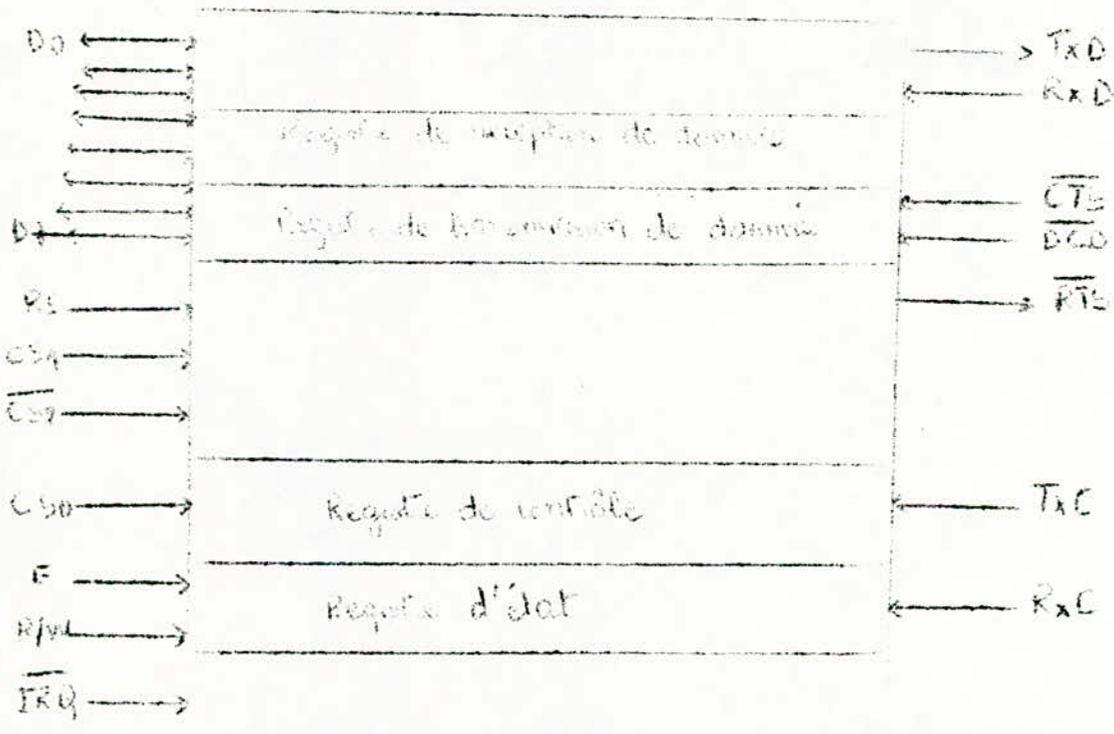


figure N° 2 Bloc diagramme ACIA .

II . I . Organisation externe de l'ACIA .

II .I.I Signaux d'interface entre le MPU et L'ACIA .

cette liaison est assurée par .

a) Le bus de données : " DATA. BUS ". $D_0 - D_7$: Il est constitué par des lignes bidirectionnelles, assurant le transfert des données entre le MPU et l'ACIA . Les buffers de sortie du bus de données ont trois états. Le bus de données est à l'état " off " exèpté quand le MPU exécute une opération de lecture de l'ACIA .

b) Le bus d'adresses : " ADDRESS BUS ". Il transporte les adresses des informations engendrées par le MPU vers l'ACIA . Il s'agit d'un bus mono-directionnel, constitué par les broches de sélection de l'ACIA CS0, CSI et CS2 et une entrée de sélection de registre :RS .

- Chip Select : CS0 ,CSI, CS2 sont des lignes d'entrées compatible TTL.

L'ACIA est sélectionné quand CS0 et CSI sont à l'état haut et CS2 à l'état bas . Le transfert des données de ou vers l'ACIA est alors exécuté sous le contrôle du signal E , R/W,RS .

- RS : permet la sélection d'un des registre de l'ACIA .

RS = I : c'est le registre de réception ou de transmission qui est sélectionné.

RS = 0 : c'est le registre de contrôle ou d'état qui est sélectionné

CS2	CSI	CS0	RS	R/W	type d'operation
0	I	I	0	0	Bus de données ———— Registre de contrôle
0	I	I	0	I	Registre d'état ———— Bus de données
0	I	I	I	0	Bus de données ———— Registre de transmission
0	I	I	I	I	Registre de Reception ——— Bus de données

tableau N° operation de base de L'ACIA .

c) bus de contrôle - " Contrôle bus " : Ce bus de commande permet la transmission des signaux (comme lecture, ecriture, acquitement) et le contrôle du MPU vers l'ACIA .

- Acia Enable E : (Entrée d'activation E) généralement relié à $\phi 2$, synchronise des données .

- Read/Write (R/W : lecture/Ecriture) est utilisé pour sélectionner les registres à ecriture seule ou à lecture seule -

- IRQ interrupt Request : demande d'interruption -

Cette broche adresse au MPU une interruption sous les conditions suivantes

i) Registre de transmission vide

ii) Registre de Réception plein

iii) Recepteur en surcharge

iiii) Perte de porteuse lorsque l'ACIA travaille avec le Modem .

La détection d'une interruption par le MPU implique le branchement sur un sous programme d'identification de la cause d'interruption (demande de transmission ou de réception d'un caractère). Cette interruption se fait par une lecture du registre d'état et des rotations sur le contenu des registres .

II 1.2. signaux d'interface entre l'ACIA et le périphérique

Ces signaux sont constitués par .

a) Les Entrées d'horloges .

Ces entrées sont utilisées pour la synchronisation des données reçues et transmises .

- horloge de transmission (Transmit Clock) : T_C .

Son entrée est utilisée pour la synchronisation des données transmises . La transmission des données se fait sur la transition négative de l'horloge .

- horloge de Réception (Receive Clock) : R_C :

Son entrée est utilisée pour la synchronisation des données reçues. La réception des données se fait sur la transition positive de l'horloge .

b) Lignes Entrées /sorties serie .

- Réception de données (Receive data) : R_D .

c'est une ligne de réception de données en serie.

- Transmission de données (Transmit Data) : T_D .

c'est une ligne de transmission de données en série vers un périphérique ou un modem .

Remarque : La transmission/Réception se fait avec une vitesse de 500 Kilo baups quand on utilise une synchronisation externe.

c) Périphérique / Contrôle de Modem.

L'ACIA implique plusieurs fonctions qui permettent le contrôle limite d'un périphérique ou d'un modem .

Les principaux signaux qui assurent ces fonctions sont :

- Clear to.Send : CTS :

Cette entrée de haute impédance compatible TTL permet le contrôle automatique d'un émetteur terminal de communications .

Les données ne peuvent accéder au registre de transmission de données vide (TDRE) lors de l'activation de CTS (état bas)

- Request to send - RTS :

Cette sortie permet au MPU de contrôler un périphérique ou un Modem via le bus de données.

L'activation de RTS, dépend de l'état des bits CR5 et CR6 du registre de contrôle (bits 6 et 5 :)

ex : CR5 = I et CR6 = I : RTS est à l'état bas .

- " Data carrier Detect " : DCD

Cette entrée de haute impédance compatible TTL, fournit le contrôle automatique d'un récepteur terminal de communications .

L'activation de DCD (état haut) initialise le registre de réception de l'ACIA .

La transition de bas en haut du DCD provoque l'interruption du MPU pour une perte de porteuse et ceci quand le bit de l'interruption de réception validée (Receive interrupt Enable bit) est mis à zéro.

II.2 Organisation interne de l'ACIA .

L'ACIA est constitué de quatre registre programmables, divisés en deux groupes, considérés par le MPU comme deux positions de mémoire.

- Les registres de réception et de transmission de données .
- Les registres de contrôle et d'état .

L'entrée RS permet la sélection de l'un des deux groupes et l'entrée R/W , le choix de l'un des registres du groupe - (voir tableau ci - dessous

RS	R/W	Registre sélectionné
0	0	Registre de contrôle
0	I	Registre d'état
I	0	Registre de transmission
I	I	Registre de Réception

Selection des registres de l'ACIA .

II 2.1 Registre de transmission de données (TDR)

L'information est écrite dans le TDR pendant la transition négative de E (Enable) quand l'ACIA est adressé ; RS et R/W sélectionnés .

Le bit "I" du registre d'état (TDRE : Registre de transmission de données vide) étant à l'état bas , l'information peut donc être transmise.

- Si aucun caractère n'a été transmis , alors le transfert aura lieu en un temps bit sur le bord arrière de la commande écrite .

- Si le caractère a été transmis , le transfert du nouveau caractère de donnée commencera aussitôt que celui du caractère précédent ait fini

II 2 . 2 Registre de Réception de données . (RDR)

Le transfert de l'information au registre de Réception de données vide se fait automatiquement à partir du registre de décalage jusqu'à la réception du caractère complet . Ceci entraîne le bit "O" du registre d'état (RDRF explicité plus loin) à passer à "I" . L'information peut donc être lue à travers le bus .

Le cycle non destructif de lecture fait que le bit RDRF soit remis à zéro l'information soit retenue dans le RDR .

L'état du bit "O" du registre d'état : RDRF (Registre de reception de données plein) est maintenue pour voir si l'information est en cours d'exécution ou non. Lorsque RDR est plein , il n'y a pas de transfert automatique entre le registre de réception qui convertit les données en série (désérialisation) et le registre de données . Ses contenus sont maintenus tels quels et son état stocké dans le registre d'état .

II 2 . 3 Registre de contrôle .

C'est un registre à écriture seule, il contient 8 bits qui permettent de contrôler les fonctions de réception , transmission et interruption .

a) . Bits pour la sélection des rapports d'horloge " CounterDivided select Bits " CRI. CRO ces bits déterminent non seulement les rapports de division utilisés dans les registres de transmission et de réception de données, mais permettent aussi la remise à zéro de l'ACIA (à l'exception des conditions extérieurs sur CTS et DCD) et l'initialisation du récepteur et de l'émetteur.

Ces bits fournissent les rapports suivants .

Remarque : Reset n'affecte aucun bit du registre de contrôle .

CRI	CRO	Fonction
0	0	÷ I
0	I	÷ I6
I	0	÷ 64
I	I	

b) Bits pour la sélection du mot : "Word.select bits"(CR2.CR3.CR4)

Ces bits sélectionnent la longueur du mot, la parité et le bit de " départ " et les bits "stop " . Le format encodé est le suivant .

CR4	CR3	CR2	Fonction
0	0	0	7 bits + parité + 2 bits Stop
0	0	I	7 bits + imparité + 2 bits Stop
0	I	0	7 bits + parité + I bit Stop
0	I	I	7 bits + imparité + I bit Stop
I	0	0	8 bits + 2 bits Stop
I	0	I	8 bits + I bit Stop
I	I	0	8 bits + parité + I bit Stop
I	I	I	8 bits + imparité + I bit Stop

c) Emetteur de contrôle : " Transmitter control " CR5 , CR6

Ces 2 bits contrôlent la sortie RTS et l'interruption fournie sous la condition du registre de réception de données vide (TDRE) . Le format est le suivant .

CR6	CR5	Fonction
0	0	RTS = Etat bas , Interruption transmise invalidée
0	I	RTS = Etat bas , Interruption transmise validée
I	0	RTS = Etat bas , Interruption transmise invalidée
I	I	RTS = Etat bas , Interruption transmise invalidée

d) Validation de l'interruption de reception. "Receise interrupt Enable"

CR7.

Les interruptions à partir du registre de réception sont possibles ou non à ce bit "7" (RIE) . Le bit RDRF est à l'état haut lors d'une transition de bas en haut du signal DCD ^{grâce}

II . 2 . 4 . Registre d'état . " Status Register "

L'information contenue dans le registre d'état de l'ACIA est disponible au MPU par lecture du registre d'état de l'ACIA .

L'information stockée dans ce registre indique l'état du registre de transmission de données, du registre de réception ainsi que l'erreur logique Ce registre à lecture seule est sélectioné quand RS est à l'état bas et R/W à l'état haut.

a) Registre de Réception de données Plein : "Receise Data Register full":

RDRF . BO

Ce bit BO indique que les données reçues ont été transférées au Registre de Réception de données. "RDRF " est remis à zéro après une lecture du "RDR " par le MPU, ou par reset.

b) Registre de transmission de données vide "Transmit Data Register - Empty "

TDRE : BI

L'activation de TDRE (état haut) indique que les contenus de "TDR " ont été transférés et qu'on peut opérer à une autre opération de transfert. A l'état bas, il indique que le registre de Réception de données est plein et que la transmission d'un nouveau caractère ne commencera qu'à la fin de l'écriture de la dernière donnée.

c) Détection du support d'information : "Data carrier Detect ". B2

Ce bit est positionné (B2=I) quand l'entrée DCD d'un modem est à l'état haut indiquant l'absence d'une porteuse.

Remarque :

- L'état du bit "2" restera à I (B2=I) après la remise de \overline{DCD} à l'état bas . Sa remise à zéro se fait par la première lecture du registre d'état ou du registre de données ou bien par reset.

- Si \overline{DCD} est à l'état haut après lecture du registre d'état ou lecture du registre de données ou activation de reset, le bit 2 reste à "I" et suivra l'entrée DCD.

d) "Clear to Send " CTS - B3-

Ce bit indique l'état des signaux issus du Modem.

A l'état bas, CTS indique qu'il y a un clear to send provenant du Modem.

A l'état haut, le TDRE est marqué et le bit 3 sera mis a "I"

" Master Reset " n'affecte pas le bit 3 .

e) Erreur d'Encadrement : "Framing Error " . FE . - B4 -

Ce bit indique une erreur de mise en forme. Il est généré quand il n'y a pas le premier bit stop. Cette erreur indique une erreur de synchronisation , ou une mauvaise transmission, FE est activé (états haut ou bas) durant le temps de transfert de l'information .

f) Recepteur en Surcharge : "Receiver overrun" OVRN . B5

C'est un flag d'erreur qui indique qu'un ou plusieurs caractères dans la série sont perdus (c'est à dire reçus mais non lus du RDR).

La condition " Overrun " commence au milieu du dernier bit du second caractère reçu successivement sans qu'une lecture du RDR n'ait eu lieu. Le B5 est remis à zéro par lecture d'une information du RDR ou par Reset.

g) Erreur de parité "Parity Error " PE . B6

Ce bit indique que le nombre de "I" dans un caractère ne s'accorde pas avec la parité ou l'imparité présélectionnées.

(L'imparité est définie lorsque le nombre de "I" est impair) .

L'indication de PE restera présente aussi longtemps que le caractère d'information se trouve dans le RDR .

h) Demande d'interruption . " Interrup Request " IRQ . B7.

Toutes les conditions d'interruptions générées par Enable seront indiquées par l'état de ce bit 7 quand la sortie IRQ est à l'état bas.

Nous terminons ce sous- chapitre (ACIA) par un tableau récapitulatif définissant les contenus des registres de l'ACIA .

nombre de lignes du bus de données	ADRESSES		BUFFERS	
	RS. R/W TDR	RS. R/W RDR	RS. R/W Registre de contr. 01e	RS. R/W Registre d'état
	Ecriture seule	lecture seule	Ecriture seule	Lecture seule
0	Bit de donnée 0	Bit de donnée 0	CR0	RDRF. B0
1	Bit de donnée 1	Bit de donnée 1	CR1	TDRE B1
2	Bit de donnée 2	Bit de donnée 2	CR2	DCD B2
3	Bit de donnée 3	Bit de donnée 3	CR3	CTS B3
4	Bit de donnée 4	Bit de donnée 4	CR4	FE B4
5	Bit de donnée 5	Bit de donnée 5	CR5	OVRN B5
6	Bit de donnée 6	Bit de donnée 6	CR6	PE B6
7	Bit de donnée 7	Bit de donnée 7	CR7	IRQ B7 .

Figure N° 3 Définition des contenus des Registres-
l'ACIA .

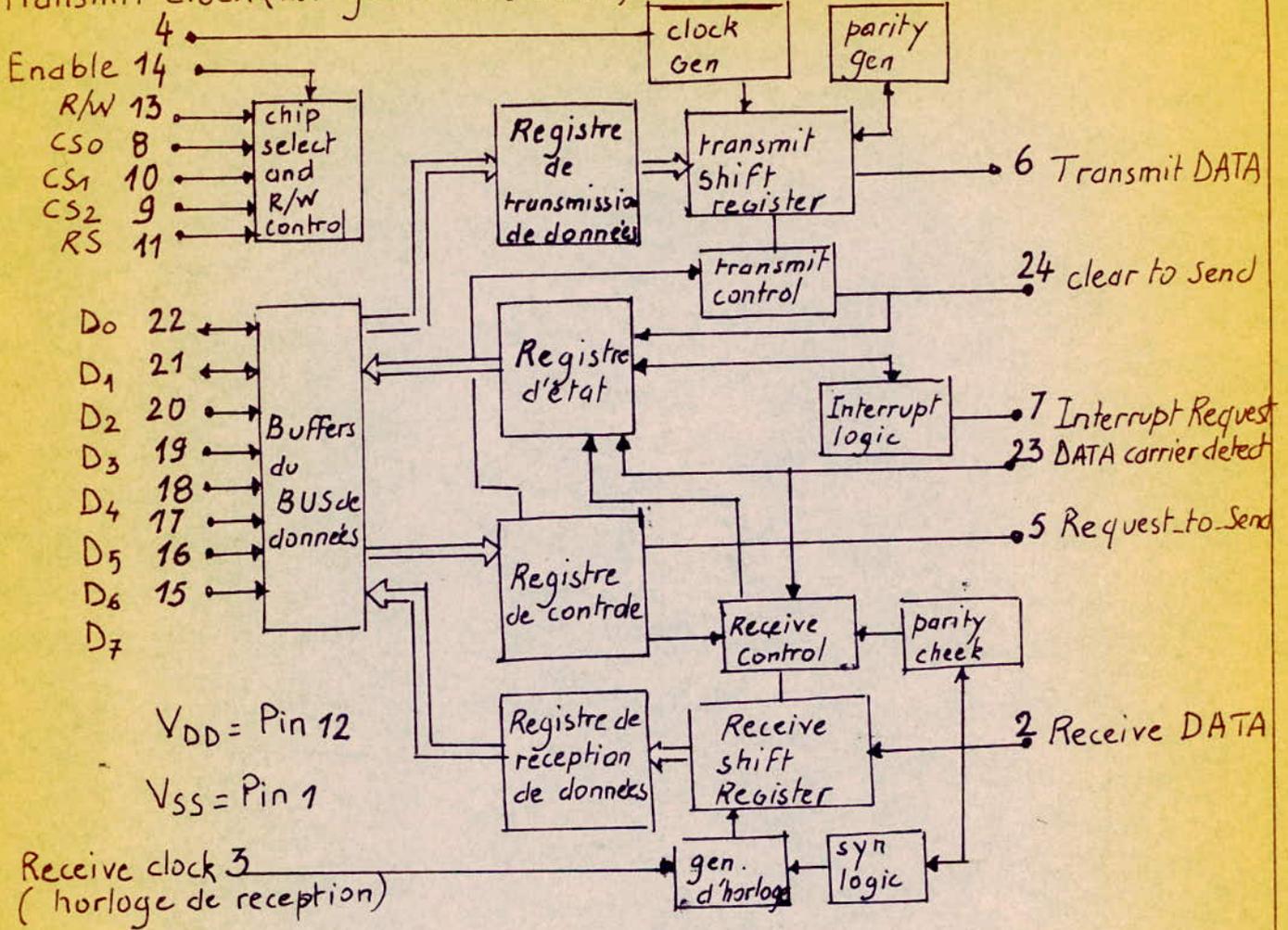
III Adaptateur d'interface de données séries synchrones: SSDA(XC6852)

C'est un circuit d'interface d'entrée/sortie entre le 6800 travaillant en mode parallèle et un périphérique travaillant en mode série. Il réalise donc , la conversion d'un caractère 5,6,7 ou bits séries en un caractère de 8 bits parallèles et vice - versa .

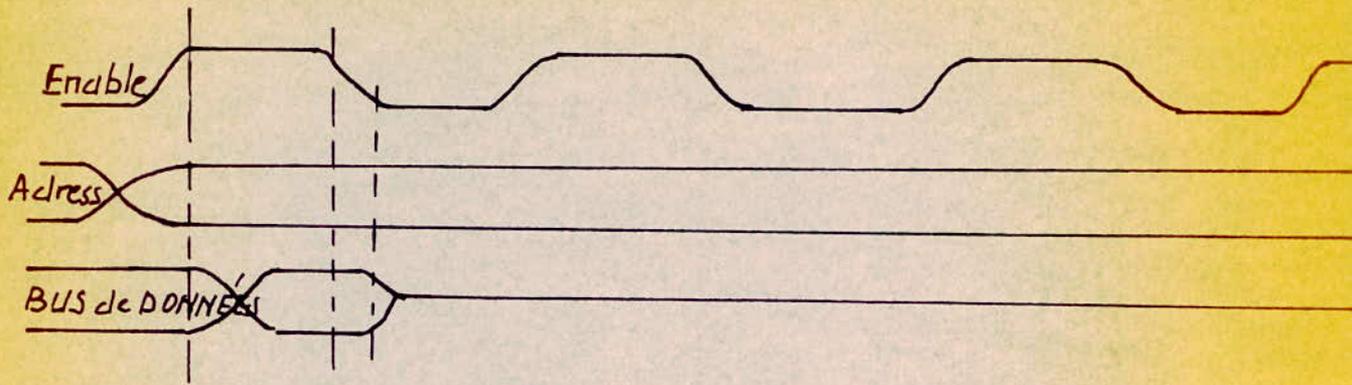
Ce circuit est assez analogue avec l'ACIA mais, la transmission et la réception sont en mode série synchrone : C'est à dire les données forment un flot continu de bits de donnée, sans qu'il soit possible d'identifier les limites des caractères dans ce flot. Il est donc nécessaire d'effectuer la synchronisation des caractères au début du bloc de données lors de la réception. Ceci nécessite la direction d'un seul ou deux caractères successifs de synchronisation .

Les données parallèles sur le bus de données sont transmises et reçues en série avec synchronisation, avec contrôle de parité, contrôle d'erreur et de format .

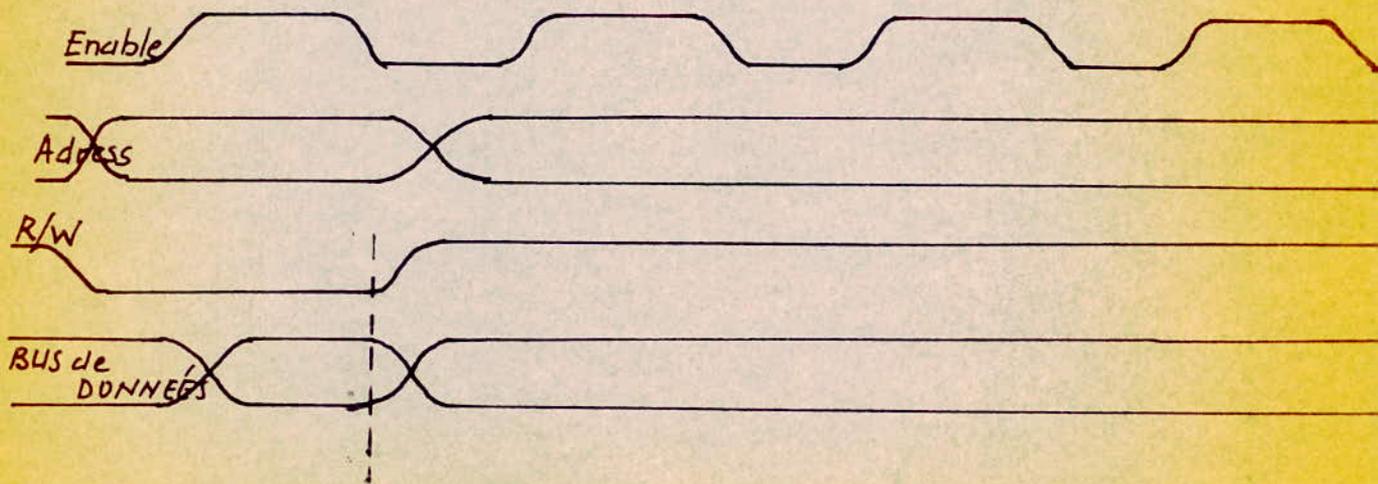
Transmit clock (Horloge de transmission)



Figⁿ BLOCK-DIAGRAMME DE L'ACIA



Caractéristique lecture



Caractéristique écriture

Vu du M6800 ,le SSDA se comporte comme deux positions mémoires adressables .

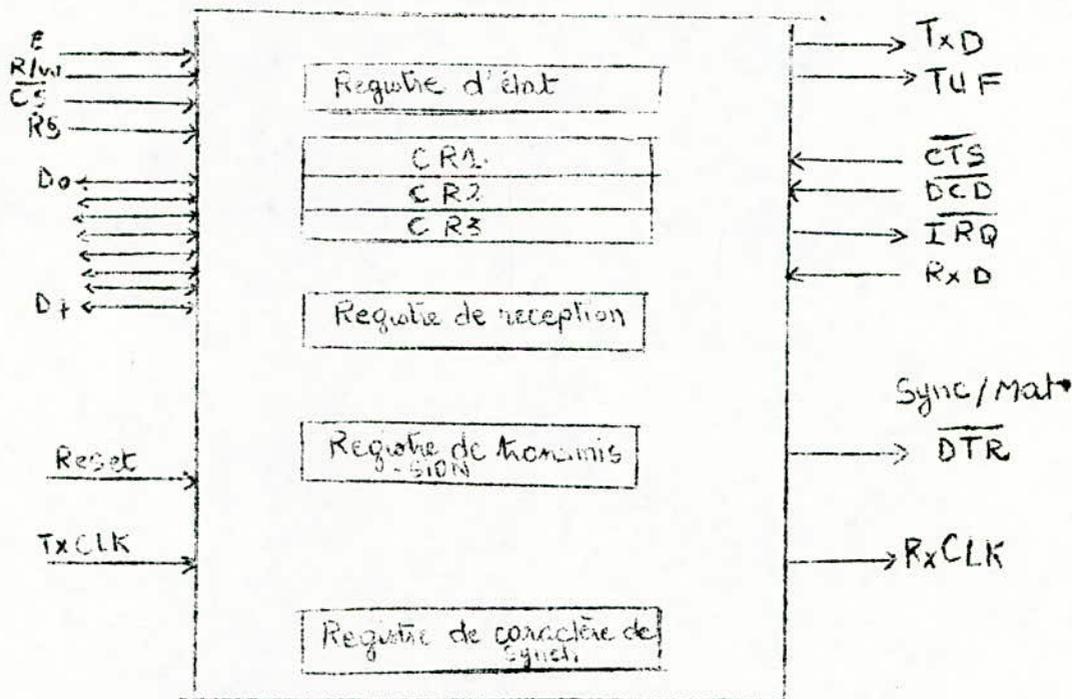


figure N° I : Organisation interne et externe du SSDA

I - Les registres ;

Le SSDA comprend 7 registres :

I.1 Deux registres accessibles à écriture seule

a) Registre d'état (8 bits adressé par RS et R/W. Les bits de ce registre indiquent une demande d'interruption (IRQ) , une erreur de parité un dépassement de capacité ; ils permettent aussi le contrôle du Modem (voir ACIA)

b) Registre de réception ("Receive DATA Register " ~~FIFO~~) : Il contient trois registres de 8 bits chacun qui sont utilisés pour le stockage des données reçues.

I.2 Cinq registres accessibles à lecture seule .

a) Trois registres de contrôle (1, 2, 3) : Le CRI est adressé par RS et R/W et les deux autres par RS , R/W et les deux derniers bits du registre CRI . Dans ces registres, nous trouvons des bits de validation, d'interruption, inhibition en initialisant des sections transmission ou réception, sélection de synchronisation interne ou externe, définition de la longueur et le format du mot et contrôle des erreurs.

b) Registre de caractère de synchronisation ("syn.code-Register") :
 c'est un registre à 8 bits qui définissent le mode de synchronisation choisi

c) Registre de transmission ("Transmit DATA Register FIFO") : Il
 contient trois registres de 8 bits chacun pour la transmission des données
 en série.

\overline{CS}	RS	R/W	AC ₂	AC ₁	type d'opération
0	0	I	X	X	Registre d'état bus de données
0	0	0	X	X	bus de données Registre de contrôle 1
0	I	I	X	X	Registre de reception bus de données
0	I	0	0	0	Bus de données Registre de contrôle 2
0	I	0	0	I	bus de données Registre de contrôle 3
0	I	0	I	0	bus de donnée Registre de caract - de Synchr
0	I	0	I	I	bus de données Registre de transm

Opérations de base du SSDA.

2. Les signaux .

- Les signaux E; R/W , DO - D7 , RS , \overline{Reset} , Tx CLK, Rx CLK, RxD et TxD,
 \overline{CTS} , \overline{DCD} , \overline{IRQ} sont similaires à ceux de l'ACIA .

- Sync/Match/ \overline{DTR} : Sync / Match / ($\overline{DATA.Terminal.Ready}$) ce signal
 donne quatre fonctions dépendantes de l'état des bits 1 et 2 du registre
 de contrôle 3 (CR₃) , et qui sont en rapport avec le mode de synchronisation.

- TUF (" transmettre un derflow") : indique le "underflow" d'un caractère
 à transférer. Les données ne sont pas alors disponibles pour le registre
 transmetteur de décalage (" Transmitter Shift Register ") .

CHAPITRE IV

Autres Circuits d'interface Mémoire de Support .

Ces circuits d'interface se branchent directement sur le bus standard du microprocesseur, et permettent le remplacement d'une ou plusieurs cartes de logique câblées.

I Contrôle d'accès direct à la mémoire : DMAC .

Ce contrôle^{UR} est utilisé pour effectuer des transferts de blocs, ou des transferts de caractères rapides entre un périphérique et la mémoire.

Le but du DMA est de libérer le microprocesseur pour d'autres tâches.

Le P I A déclenche une interruption, celle - ci est adressée au DMA.

Le DMA accepte ou pas l'interruption du P I A et adresse une requête de suspension au microprocesseur (signal HALT).

Le MPU à son tour accepte ou pas la suspension et renvoie au DMA , un acquittement (ACK) . Le MPU suspend alors son exécution (le bus de données et le bus d'Adresses sont à l'état "off" ; leurs contenus ne sont alors plus définis).

Le P I A va pouvoir échanger un mot directement avec la mémoire et ceci lorsque le DMA place sur le bus des adresses, l'adresse des données à transférer. A l'issue de ce de ce transfert, le DMA relâchera le processeur qui reprendra alors son exécution.

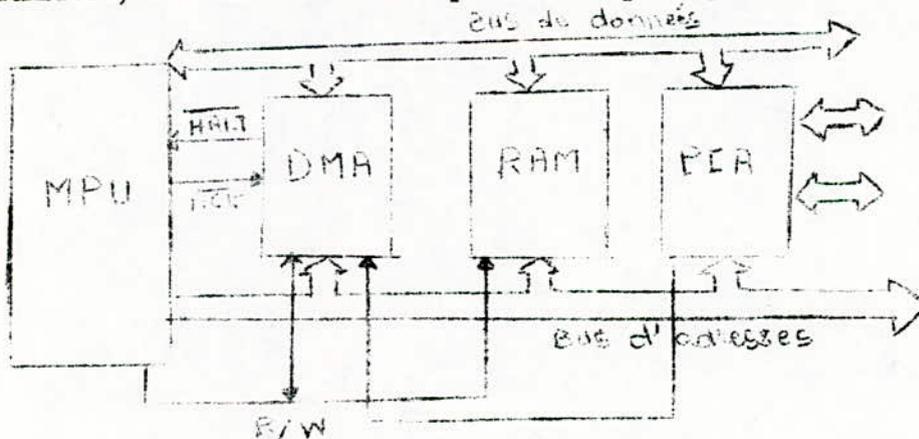


figure N° 12 : Utilisation d'un DMA .

Remarque : Un DMAC est utilisé dans des systèmes où l'utilisation d'un disque souple ou d'un écran cathodique est nécessaire .

II . Controleur de priorité d'interruptions: PIC.

Ce circuit permet de gérer les interruptions multiples à partir d'un milieu extérieur et de communiquer à la fois la présence d'une interruption au microprocesseur et de causer l'exécution d'une interruption appropriée correspondant au phénomène extérieur.

C'est donc un contrôleur de priorités d'interruptions qui permet le contrôle et la vectorisation automatique de huit niveaux d'interruption.

Plusieurs interfaces de périphériques peuvent être branchés simultanément sur la ligne IRQ. Lorsque l'interruption parvient au microprocesseur, le problème se pose donc d'identifier quel est l'interface qui a déclenché cette interruption. Il existe deux méthodes pour la résolution de ce problème:

- Une méthode dite "soft" (programmée), le microprocesseur peut interroger tour à tour les périphériques pour identifier celui qui a déclenché l'interruption.

- Une méthode "hard" (nécessitant un ou plusieurs circuits supplémentaires; mais plus efficaces), où un dispositif externe va encoder l'identification du périphérique qui a déclenché l'interruption . Le circuit de base destiné à cette opération apparaît sur l'illustration ci - dessous.

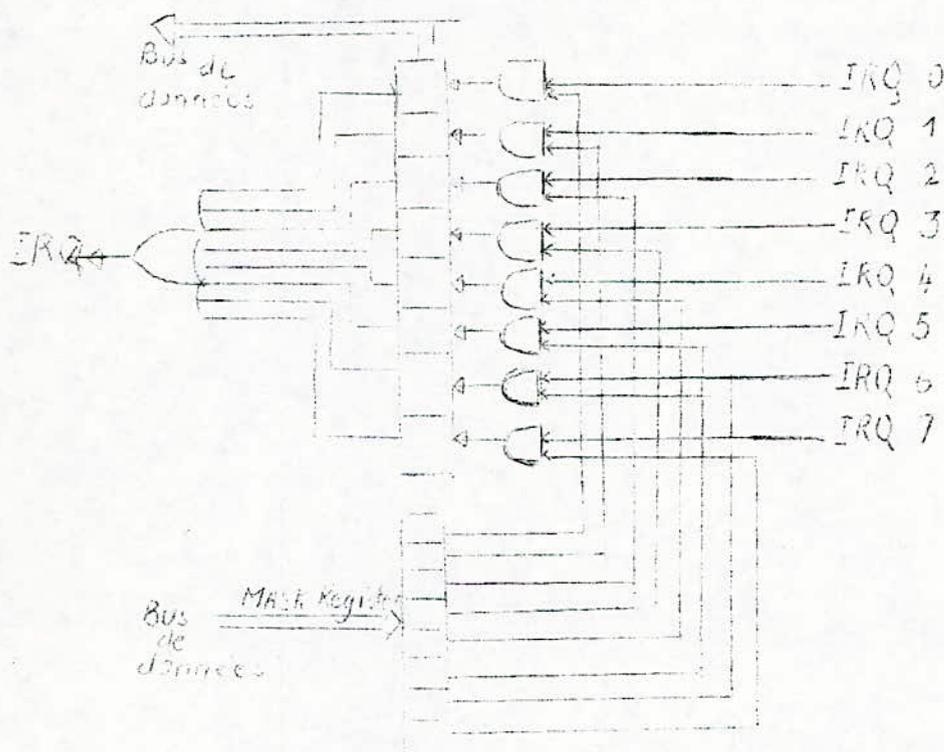


figure N° 13 : Circuit de gestions de priorités

Le circuit représenté est typique des facilités requises pour la gestion de priorités : IRQ 0 — IRQ 7 sont les huit niveaux d'interruption que pourra gérer le circuit. Chacun de ces niveaux peut être autorisé ou pas (niveau masqué) par le registre (Mask Register). Ce registre de masque sert à inhiber (bloquer) l'un des niveaux d'interruptions afin de permettre au processeur de se protéger contre une interruption non désirée à l'un de ces niveaux. L'impulsion unique IRQ est fournie sur la ligne des interruptions connectée au microprocesseur.

Elle est mise à "1" lorsque l'un quelconque des niveaux d'interruptions est activé. De plus, chacun des niveaux d'interruption externes IRQ 0 à IRQ 7 est mémorisé dans un flipflop dont le contenu peut être lu sur le bus de données, c'est ce qui permet alors d'identifier le niveau d'interruption qui vient d'être déclenché. La priorité 0 est, en général, par convention, l'interruption de niveau le plus élevé. Ce circuit permet de déclencher une interruption sur IRQ, et de l'identifier. Il ne gère pas les priorités d'interruptions. Les priorités sont implémentées par le programme.

Cette gestion de niveaux multiples d'interruptions peut être assurée par des circuits discrets (logique câblée), ou par microprogramme, ou par un circuit spécialisé. En effet, il existe des circuits gestionnaires d'interruptions disposant de facilités supplémentaires telles que gestion des priorités et vectorisation automatique des interruptions. La vectorisation d'une interruption signifie que le composant gestionnaire d'interruptions va provoquer directement un branchement du programme à l'adresse du programme de traitement de cette interruption. Ceci signifie que le composant gestionnaire d'interruptions doit être équipé de manière interne de registres d'adresse, qui auront été chargés par le programme; et qui seront placés sur le bus correspondant de manière à provoquer le branchement à l'adresse appropriée.

Ce composant gestionnaire d'interruptions est le PIC (contrôleur d'interface programmable).

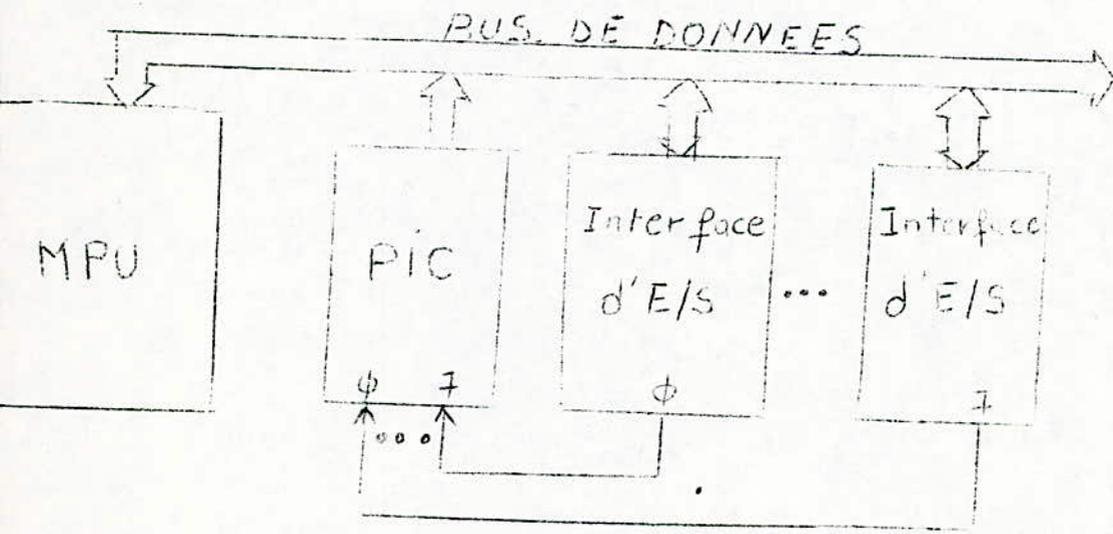


figure N° 14 : Le PIC intercèpte et gère les interruptions

III . Les Contrôleurs de périphériques .

Pour piloter les périphériques, le microprocesseur passe par des interfaces de commande appelés également contrôleurs. Ces contrôleurs sont des interfaces spécialisés se situant entre le microprocesseur et le périphérique.

La logique nécessaire pour réaliser un contrôleur de périphérique a jusqu'à présent, de manière typique nécessité au moins une carte complète de logique câblée.

Les contrôleurs nécessaires à la commande directe de la plupart des périphériques classiques d'un microprocesseur ont été introduits progressivement sur le marché. Ils sont réalisés en un seul boîtier et remplissent une quadruple fonction :

- 1°) - D'abord d'étage tampon entre les deux systèmes, microprocesseur et périphériques. A ce titre, ils synchronisent leurs fonctionnements.
- 2°) - De plus, ils reconnaissent l'adresse du périphérique désigné si, comme c'est généralement le cas, il y a plusieurs périphériques.
- 3°) - Puis, ils décodent les ordres.
- 4°) - Enfin, ils veillent au séquençement des opérations.

Pour cela, on recourt généralement à deux bus distincts (figure N° 16) où l'on voit la liaison micro-interface - périphérique qui est assurée à l'aide d'un bus de données et d'adresses, et d'une ligne pour les commandes.

a) Un premier bus qui véhicule les informations (données), et bien souvent l'adresse du microprocesseur vers le contrôleur.

b) Un bus pour les ordres et la synchronisation.

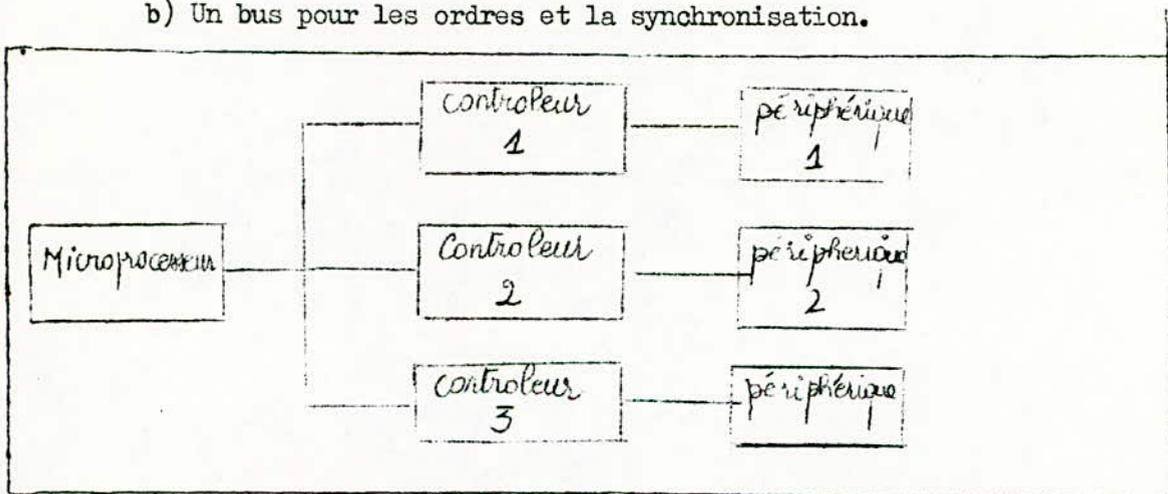


figure N° 15 Organisation de principe d'un microprocesseur relié à 3 périphériques par 3 contrôleurs.

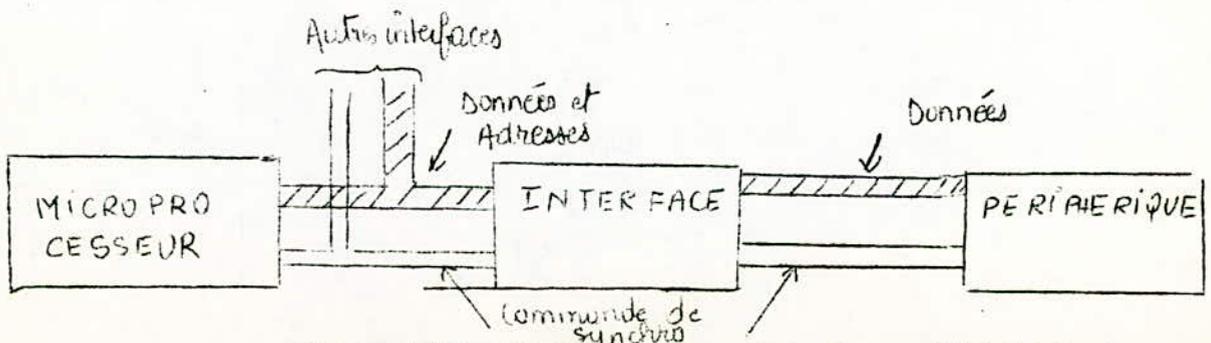


figure N° 16 : Liaison micro - interface - Périphérique.

IV Circuit d'interface de communications des données séries.

IV.1. Modem (modulateur. démodulateur): MC 6860

Le MC 6860 est un sous système MOS désigné pour être intégré dans une série d'équipements utilisant les communications des données séries. Le modem est utilisé pour la communication à distance par l'intermédiaire des lignes téléphoniques.

Le modem transforme le signal binaire utile émis par l'ordinateur ou le terminal en un autre signal compatible avec les lignes téléphoniques en utilisant la technique de modulation FSK (Fréquency Shift Keying).

Il y a ainsi modulation à l'émission et démodulation à la réception, d'où le nom de modem.

La technologie (cannal Ntet ports logiques) lui permet non seulement d'opérer sous une tension d'alimentation simple, mais aussi d'être compatible TTL.

Il assure une vitesse de transmission de données de 0 à 600 bauds.

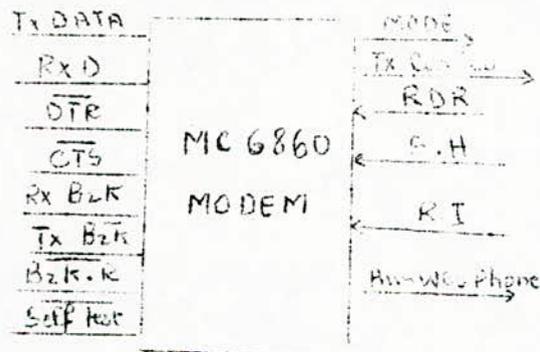


figure N° 17 Connexions d'interface d'E/S pour le MC 6860

• Les différents signaux et leurs fonctions sont donnée en annexe.

L'information à transmettre est présentée dans un format série au modulateur pour la conversion en signaux (FSK) afin d'être transmise sur la ligne téléphonique.

La sortie du modulateur est équipée de buffers. Le signal (FSK) reçu sur la ligne téléphonique est filtré pour éliminer les signaux parasites.

Le contrôle de surveillance fournit les commandes nécessaires et les réponses pour l'établissement d'une liaison avec le modem de télégestion.

Remarque : Si le modem est une unité incorporée, toutes les entrées/ sorties logiques ne sont pas compatibles RS 232. Cependant, si le modem est une unité autonome, l'interface d'entrée/ Sortie du microprcesseur modem doit être conforme aux spécifications du EIA (Electronic Industries Association).

L'utilisation des lignes de transmission et de réception: MC 1488 et MC 1489 A (Ces 2 circuits seront étudiés plus loin) fourniront l'interface exigé.

IV. 2. Modulateur digital. MC 6862

Le MC 6862 est un ~~seus~~ système MOS. Il fournit la modulation nécessaire et des fonctions de contrôle pour implémenter une communication de données séries sous un canal à fréquence vocale, utilisant la technique de modulation de phase DPSK (differential-phase. shift-Keying)

Il opère avec une vitesse de transmission de 1200 à 2400 bauds.

* Le MC 6862 est implémenté dans la même série de systèmes de traitement de données que le MC 6860. Ce circuit est compatible avec la famille M 6800 et fournit une vitesse moyenne de transmission de données.

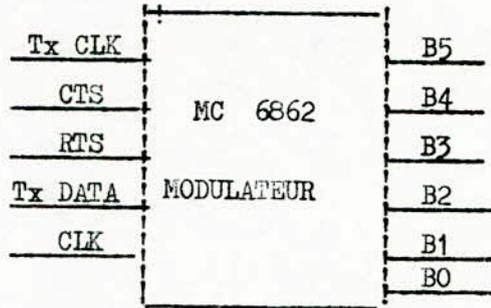
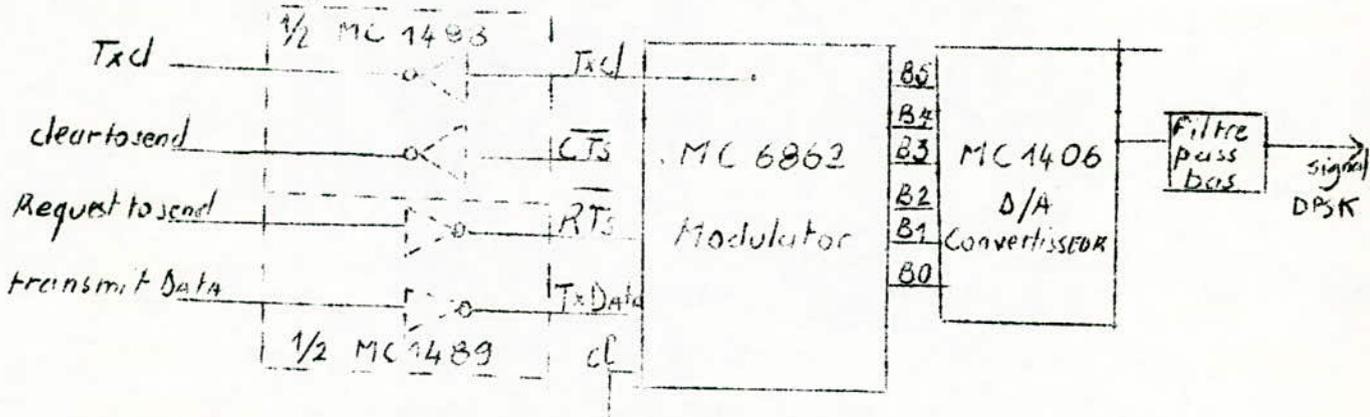


figure N° 18. Différents signaux du Modulateur

Ces différents signaux et leurs fonctions sont donnés en Annexe.

L'information à transmettre est présentée dans un format série synchronisé au modulateur pour la conversion en signaux (DPSK) utilisés dans la transmission. La sortie du modulateur étant digital, alors un convertisseur digital. analogique et un filtre passe-bas transforment le signal en une forme analogique.



7. Convertisseurs Numériques - Analogiques et Analogiques - Numériques

Les systèmes de traitement de l'information peuvent se décomposer en systèmes analogiques et numériques. Tout traitement numérique d'un signal analogique nécessite donc une opération préliminaire de conversion analogique numérique, si l'on desire restituer l'information initiale sous forme analogique après traitement une transformation inverse est nécessaire. Ces transformations sont assurées par des convertisseurs Analogiques-Numériques (CAN) et des convertisseurs Numériques Analogique (CNA).

V 1. Convertisseur Numérique - analogique.

Un convertisseur numérique - analogique (CNA) est un dispositif qui reçoit une information numérique sous forme d'un mot de n bits et qui la transforme en un signal analogique. C'est donc un signal hybride.

Il existe plusieurs type de CNA, certains fournissent un courant et d'autre une tension. Dans certains cas le signal d'entrée peut se présenter sous forme série dans d'autre il apparaît sous forme parallèle. Les (CNA) se divisent en deux familles suivant que le mot binaire est directement converti en un signal analogique on les appelle les CNA directs, ou que l'on utilise une variable intermédiaire, ce sont les CNA indirects. Dans les CNA directs, on distingue les CNA parallèles et les CNA séries ou séquentiels suivant que la conversion des différents bits s'effectue en même temps ou l'une après l'autre.

a) Les CNA parallèles

Les CNA parallèles sont habituellement très rapides mais nécessitent de nombreux composants de précision. Chaque bit peut changer d'état indépendamment des autres, puisqu'ils agissent tous en même temps.

b) Les CNA séries:

Les CNA séries ^{ont} été imaginés pour pallier aux inconvénients dues aux CNA parallèles car dans ces derniers si le mot se présente sous forme série, on ne pouvait plus utiliser au mieux les possibilités ^{du} convertisseur.

Dans les CNA séries, les opérations ne sont plus simultanées, chaque bit est traité séparément et son action influe sur le signal fournit par les bits suivants. Si l'un des bits du signal change il faut reprendre toute la conversion. Le bit le moins significatif est habituellement placé en tête, une horloge est donc nécessaire pour régler la cadence des opérations. (un exemple de CNA est donné en Annexe).

V.2 Convertisseur analogique numérique (CAN)

Le convertisseur analogique Numérique (CAN) est un dispositif qui reçoit un signal analogique A et le transforme en un signal numérique N avec une précision

V.2 Convertisseur analogique numérique (CAN)

Un ~~convertisseur~~ convertisseur analogique numérique (CAN) est un dispositif qui reçoit un signal analogique A et le transforme en un signal numérique N avec une précision et une résolution donnée, en le comparant à une tension de référence U_{ref} . Dans un CAN idéal, c'est à dire sans erreur, le signal de sortie N est relié au signal d'Entrée par la relation

$$N = \frac{A}{U_{ref}}$$

Comme dans les CNA, on distingue différents types de CAN, entre autre les CAN analogiques la première famille regroupe des CAN dont le fonctionnement est essentiellement analogique c'est à dire met en oeuvre des solutions analogiques telles que génération d'une rampe, charge de condensateur; la deuxième au contraire regroupe ceux dont le fonctionnement fait un appel aux techniques numériques.

En conclusion, on dira que les convertisseur ont quitté le domaine du laboratoire pour entrer dans un domaine plus important, le domaine industriel. Ils trouvent leurs places chaque fois qu'il est intéressant de faire un passage d'analogique en numérique ou réciproquement. Ce sont des dispositifs qui contiennent une très grande richesse potentielle d'emploi.

VI Circuits d'interface pour le bus du microprocesseur.

Cette famille est désignée pour élargir les capacités limitées du standard 6800 type NMOS. Ces dispositifs sont fabriqués avec une technologie TTL schottky pour la rapidité de la transmission.

VI 1. bus extender de données: MC 6880/MC 8T26.

Ce dispositif est un émetteur-récepteur "trancerver" à trois états (0,1,off) avec des entrées de haute impédance.

Le courant d'entrée maximum de 200 μA (sur n'importe quelle broche d'entrée du dispositif) assure une opération propre en dépit de la capacité limitée du MPU.

- Caractéristiques du MC 6880.
- Entrée de haute impédance.
- tension d'alimentation simple + 5V
- Technologie schottky rapide.
- Trois états "drivers" et "recevers"
- Compatible avec le 6800.

VI 2 bus extender d'adresse et de contrôle: MC 6885/MC 8T95

Ces buffers à trois états combinent quatre caractéristiques, habituellement trouvées dans des bus de systèmes orientés.

Ces caractéristiques sont:

- a) Des entrées logiques de haute impédance assurant un chargement de bus minimal.
- b) La configuration logique trois états permet aux buffers non utilisés d'être déconnectés du bus.
- c) Une technologie schottky assurant la rapidité des opérations.
- d) L'état de sortie, haute impédance, est maintenu durant la mise sous-tension et la mise hors-tension.

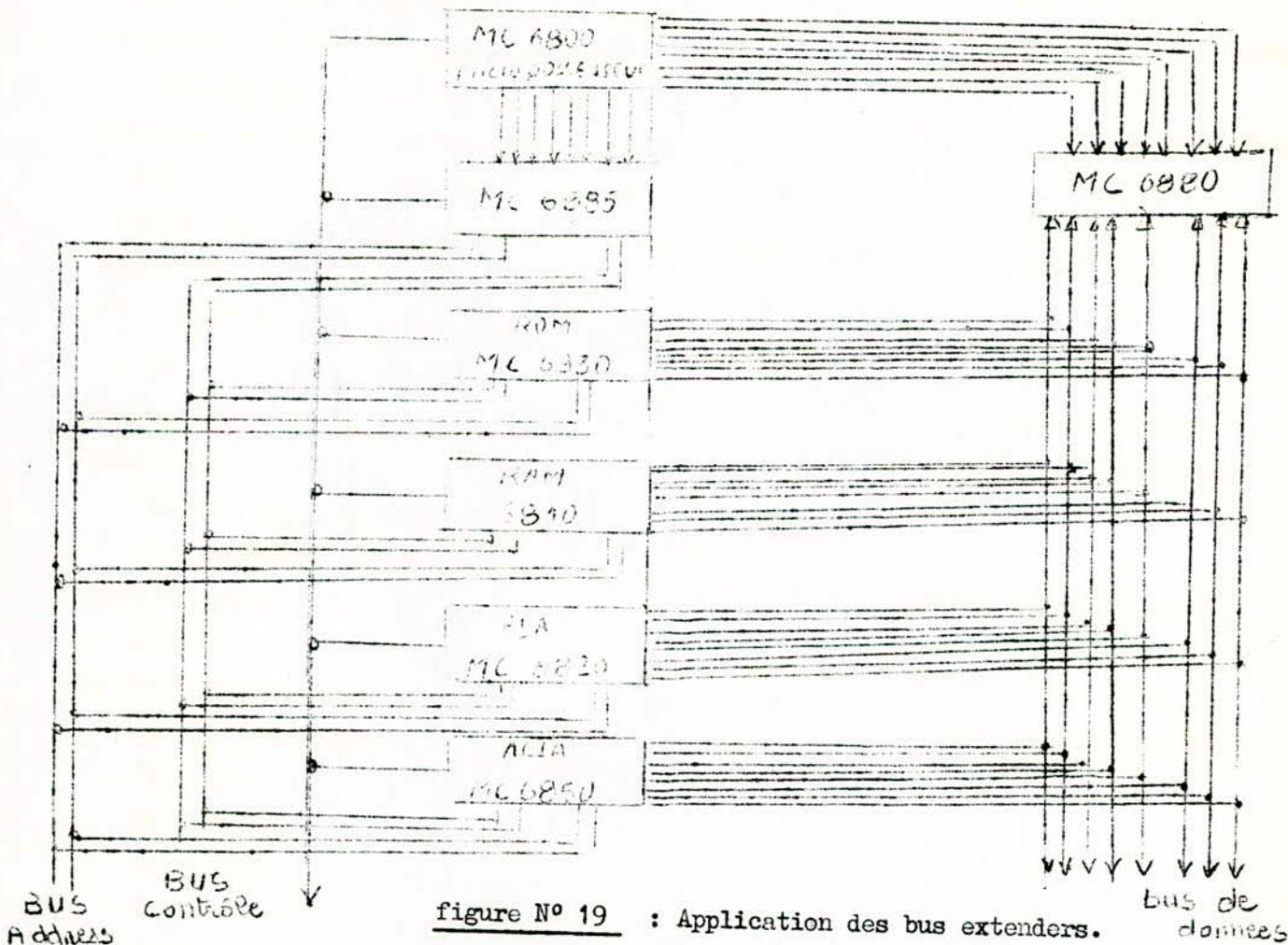


figure N° 19 : Application des bus extenders.

Les broches de connexions et les caractéristiques physiques des deux circuits: MC 6880 et MC 6885 se trouvent en annexe.

VII Quelques circuits d'adaptation.

VII.1. Interface pour le bus d'instrumentation

Interface émetteur-recepteur.

Ce dispositif est désigné pour confirmer les spécifications du bus HPIB du standard IEEE 488, utilisé pour l'interconnection des appareils de mesure.

Exemple : 3440 P) Les caractéristiques et les schémas de ces
3448 AP) deux buffers se trouvent en annexe.

VII.2. Interface de mémoire

Les hautes charges capacitives représentées par les mémoires NMOS sont elles-même incompatibles avec les "capacités drive" des circuits logiques TTL conventionnels. Ces dispositifs sont utilisés pour assortir les "capacités" TTL aux types de mémoires NMOS variés.

Exemple : Ligne "driver" d'adresse et de données.

- MC 3232 A : C'est un multiplexeur d'adresses et un compteur de régénération pour les mémoires RAM de 4^k et 16 broches.

de même pour le MC 3242 A* utilisé pour les mémoires RAM de 16^k et 16 broches.

- MC 3480 : C'est un contrôleur de mémoire dynamique. Il est désigné pour une grande simplification des interfaces logiques requises pour le contrôle des RAM NMOS de 4^k , et 16^k , et 16 broches dans des systèmes de microprocesseur comme le MC 6800.

. Les caractéristiques et les schémas de ces différents dispositifs se trouvent en annexe.

VII.3 - Interface de terminal.

EIA (Electronic Industries - Association) a réalisé la RS 232 C répondant aux exigences de l'interface entre les équipements de traitement de données et les équipements de communication de données. Ce standard spécifie non seulement le nombre et le type d'interface entre les lignes mais aussi le niveau de tension utilisé.

Le MC 1488 L et ses circuits compagnons MC 1489 L fournissent un système d'interface complet entre les niveaux logiques DTL ou TTL et les niveaux définis de la RS 232 C.

1°) ligne "driver" : MC 1488L

C'est une ligne extrêmement versatile avec une grande possibilité d'application.

- courant de sortie limité

- gamme de tensions d'alimentation: Le MC 1488 L maintient la sortie à 2V aussi longtemps que les limites du courant de sortie ne sont pas exé-

2°) Ligne "receiver" : MC 1489 L

Les circuits MC 1489 L sont particulièrement utiles pour l'interface entre les circuits MOS et les circuits logiques MDT/MPTL. Dans cette application, les tensions seuil d'entrée sont ajustables (avec une alimentation et des valeurs de résistances appropriées, afin de tomber dans le centre des niveaux de tensions logiques du MOS.

Toutes les caractéristiques de ces circuits ainsi que leurs organisations se trouvent en annexe.

VII.4 - Interface de périphérique

1°) DUO de "Drivers":

Ce type d'interface est utilisé pour les relais, les lampes et d'autres périphériques exigeant une puissance plus grande que celle généralement disponible par les portes logiques

Exemple : MC 75450.

2°) Ensemble de "Drivers".

Huit Darlington NPN connectés prévus pour être utilisés comme un interface entre les sorties NMOS et les lampes, relais ou marteau imprimant ("print hammer"); Ils ont le même rôle que les DUO "Drivers".

Exemple : MC 1417.

3°) Isolateurs optiques - Coupleurs

Ces coupleurs sont désignés pour fournir une isolation des hautes tensions transitoires. Ils permettent l'interfaçage des systèmes de différents niveaux logiques qui pourraient être incompatibles.

Motorola offre ainsi, une série de dispositifs standards qui ont une large bande de spécifications (41/25 ; 4 N 28 ; 4 N 29 ; 4 N 33)

a) Transistor de sortie ("Transistor output")

Le transistor coupleur est probablement le plus connu des isolateurs. Il permet une vitesse moyenne (approximativement : 300 k Hz) La jonction base collecteur peut être utilisée comme une photodiode pour permettre une plus grande vitesse.

b) Darlington de sortie ("Darlington Output"): 4 N 33.

Pour avoir un grand rapport de transfert et une capacité de courant de sortie incrémentée, l'utilisation d'un coupleur darlington est nécessaire.

Il permet une vitesse de 30 k Hz qui est plus lente que dans un transistor type, mais le rapport de transfert peut être plus grand que dans un simple transistor

* Les caractéristiques physiques et électriques de ces différents dispositifs sont données en annexe.

VII.5 - Comparateurs de tensions

1°) GPC (Général - Purpose - Comparateurs)

Il est utilisé pour détecter le type de polarité entre 2 niveaux analogiques et pour donner une sortie TTL correspondante.

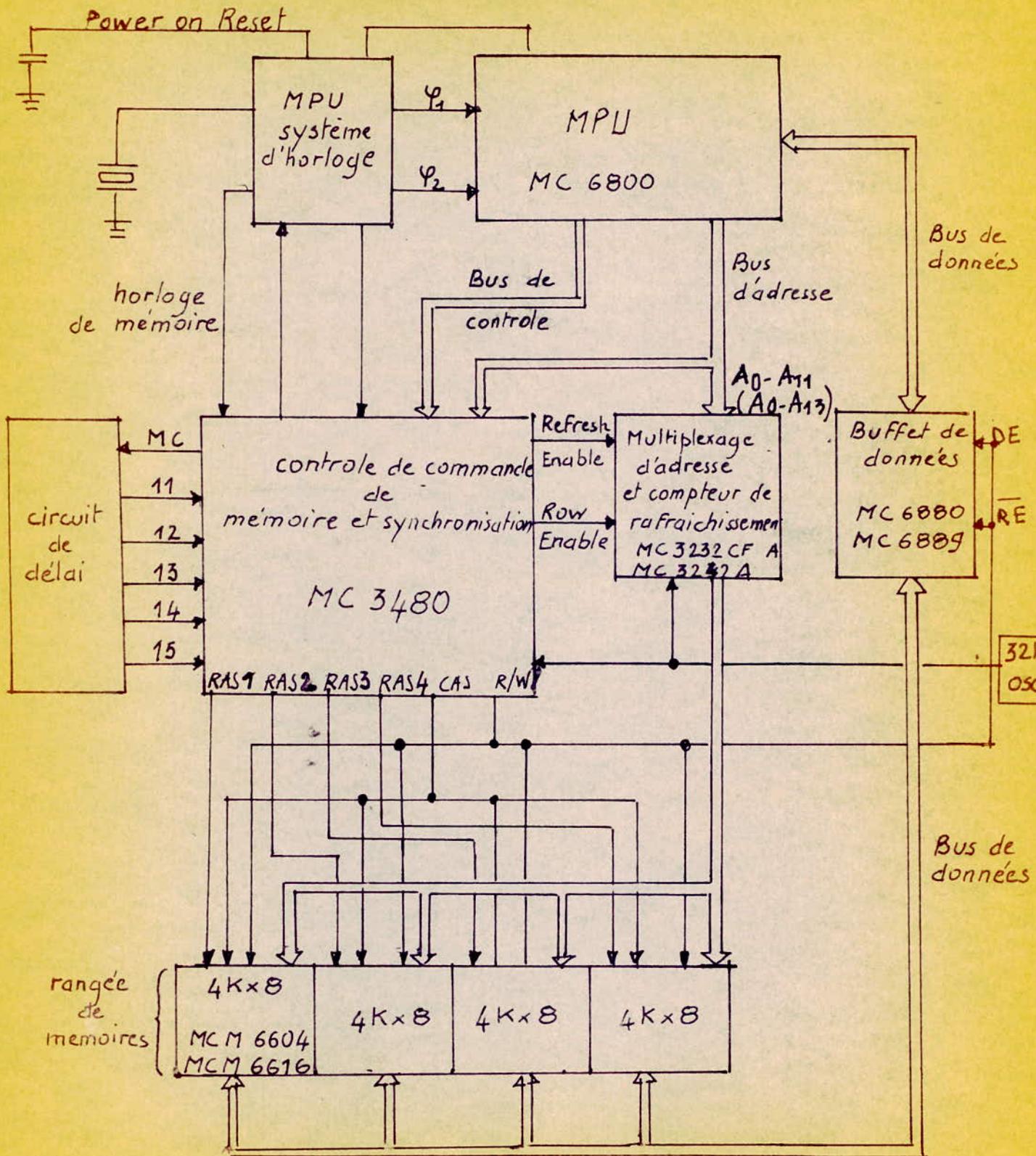
Exemple : MC 1710) = Comparateurs uniques. (voir annexe)
MC 1710C)

MC 1514) = Comparateurs avec strobos. (voir annexe)
MC 1414)

2°) Comparateur de précision:

Il caractérise le chargement minimal d'une entrée, un gain de haute tension et un choix de tension d'alimentation positive.

Exemple : MC 1650) = Comparateurs ultra - rapides avec des
MC 1651) latches (voir annexe).



INTERFACE. DE. MEMOIRE

CHAPITRE V

Les Standards de Bbus

Le problème de l'interface appareil s'est rapidement posé lors de la programmation des différents circuits pour réaliser des systèmes automatiques. Il fallait donc trouver un système d'interface universel permettant de faire dialoguer les instruments entre eux ou avec un organe de contrôle. Chaque module doit être capable de parler et d'écouter ses voisins, d'où la nécessité de mettre au point un système universel avec plus d'acuité : "Standard de bus".

Les principaux standards qui vont être examinés dans ce chapitre sont : Le Standard RS.232, le Standard IEEE 488, le Standard CAMAC et le Standard SIOO.

I Le Standard RS 232.

Il s'agit de l'interface désormais classique binaire, série par bit. Il définit un niveau de tension standard ± 12 volts. Pour le transfert d'information ce standard dispose d'un connecteur de 25 broches. Toutes ces 25 lignes sont spécifiées mais seulement la première quinzaine sera décrite (en annexe)

Les principaux signaux sont " Transmit Data " et " Receive Data ", ces lignes sont utilisées pour le transfert d'informations séries entre deux systèmes. Les autres signaux sont utilisés pour indiquer les états du Modem. Les signaux comme " Request to send " " clear to send, " Data set Ready", Data Terminal Ready " sont utilisés pour le contrôle du Modem.

Le Standard R S 232 permet un temps de transmission de 110 à 260 bauds.

II Le Standard I EEE.488.

Il s'agit d'un interface très largement utilisé pour les instruments. Il est également appelé G P I B, (Général purpose interface Bus), Bus ASCII, ou le format des données sur le bus de données est toujours ASCII, ou encore GPIB en raison de sa promotion par Hewlett. Packard.

En effet c'est la firme HP qui a ressenti la nécessité de mettre au point le bus d'instrumentation. Ce système est en mesure de satisfaire toutes les conditions requises : taille du système, vitesse des données, longueur de transmission, nombre de mesure.

La plupart des utilisations peuvent être couvertes avec une vitesse de 1 mégabyte par seconde, une largeur de mot de 8 bits, les instruments doivent être proches.

Tous les systèmes d'interface, font intérieur quatre concepts :

Mécanique, Electrique, Fonctionnel et Opérationnel, Le bus IEEE 488 définit les 3 premiers, le quatrième étant lié à l'utilisation de chaque instrument.

L'interface propre de chaque instrument relié au bus génère des signaux.

Le bus est donc essentiellement un cablage mettant en parallèle les lignes de sortie de chaque appareil. Le connecteur utilisé à 24 broches.

1°) 8 lignes de terre

2°) 16 lignes pour le signal

- 8 lignes sont réservées pour le transfert de données. Ce bus de données est utilisé de façon bidirectionnelle pour envoyer aussi bien les adresses que les mesures. Le type de transmission utilisée est série : caractère par caractère.

- 5 lignes de contrôle permettent de reconnaître le type d'information adresse ou résultat de mesure qui transitent à un instant précis sur les fils.

- 3 fils de synchronisation : Pour permettre à des appareils ne fonctionnant pas à la même vitesse d'échanger des informations. Le transfert d'information s'ajuste automatiquement à la vitesse de l'appareil actif le plus lent sans que cela soit préjudiciable aux appareils plus rapide.

Enfin certains linges rendent possible le fait que plusieurs appareils acceptent d'information simultanément.

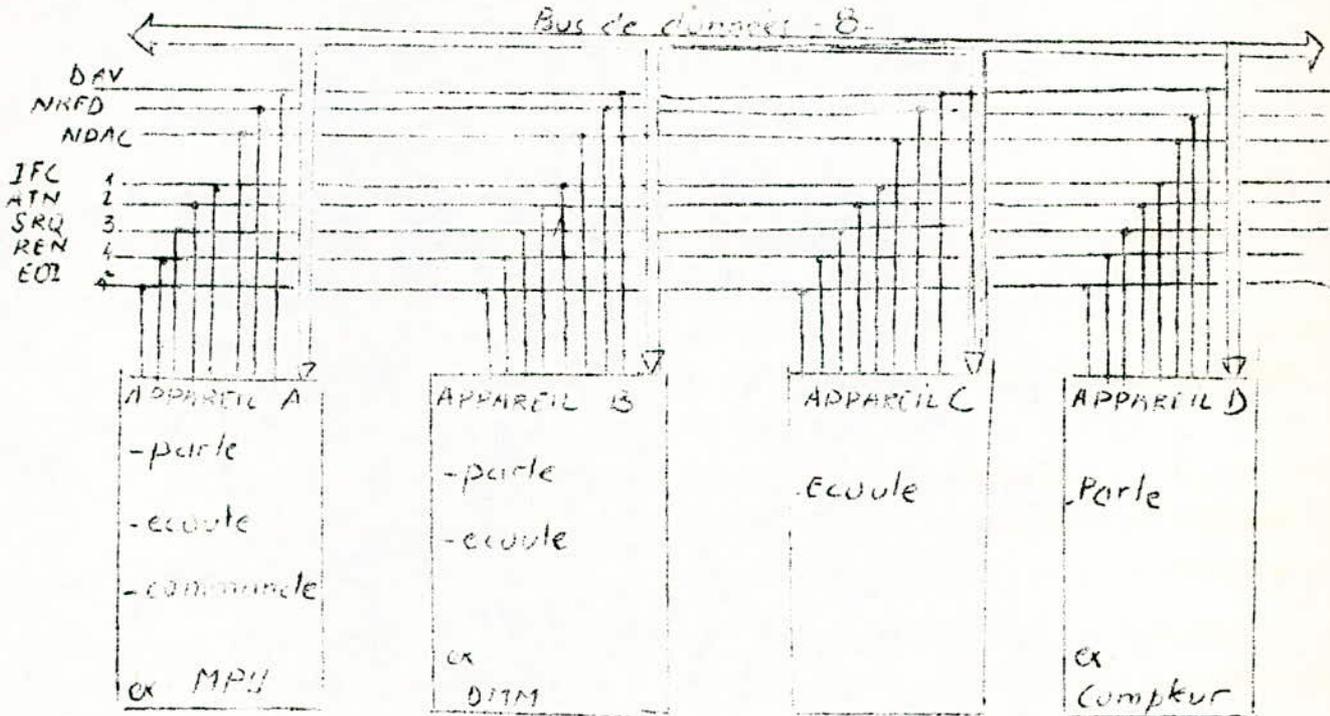


Figure N° 21 Standard de Bus pour instrument : IEEE.488.

• La vitesse maximum de transfert de données est de 1 Mega-Octet par seconde sur une distance limitée et de 250 à 500 kilo octests sur la distance maximum. Celle ci étant définit par le nombre d'instruments connectés en suivant la règle de 2 mètres de câble. Au maxium 15 instruments peuvent être brabhés sur le bus. Ces instruments peuvent jouer trois rôles : Transmetteur, récepteur contrôleur.

L'avantage essentiel est de permettre l'interconecction d'instruments de commande multiples à un bus universel qui requiert un contrôle intelligent.

III Les Standard " CAMAC " (Computer-Automated-Measurement And Control)

Le I EEE 583 connu sous le nom de " CAMAC" est un standard d'instrumentation modulaire et un système d'interface digital.

Ce standard spécifie un bus de données " Dataway " par lequel les instruments et d'autres modules fonctionnels peuvent communiquer avec les périphériques, microprocesseurs, et d'autres contrôleurs externes (voir figure N°22).

Ce standard réduit non seulement les variétés et les quantités d'interface exige dans une simple installation mais, fournit aussi un degré Considérable d'indépendance du microprocesseur.

Une crate est une cage à cartes à 25 positions; Elle contient un contrôleur et peut être liée à 24 interfaces périphériques. La longueur de chaque carte et le types de connections sont spécifiés.

on distingue deux systèmes de crate :

- Un système parallèle où les données sont transférées en parallèle.
- Un système série où les données sont transférées en série.

Le système parallèle est spécialement utile dans les transferts de hauts débits; par contre le système série est utile pour le contrôle industriel et d'autres applications.

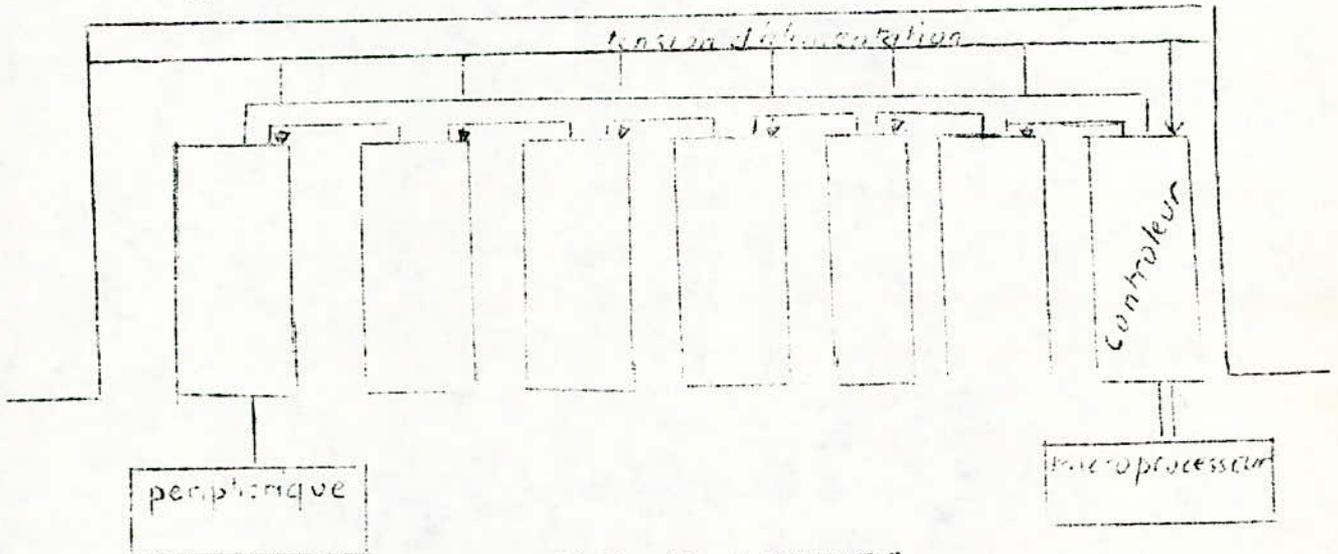


Figure N° 22 : Bus " DATAWAY "

Caractéristiques de base du " CAMAC "

Les principales caractéristiques sont :

1° C'est un système modulaire, avec des unités fonctionnelle qui peuvent être combiner pour former des chaînes d'équipement.

2° Les unités fonctionnelles sont construites comme des unités enfi-
chables et sont montées dans une crate standard.

- 3°) Chaque unité enfichable possède une connexion directe au, standard " Dataway". Ce bus (highway") constitue une partie de la crate et transporte des données digitales et des signaux de commande. Les standards du "Dataway " sont indépendants du type d'unité enfichable et du microprocesseur utilisé.
- 4°) Les connexions externes aux unités enfichables doivent être conformes aux standards du signal digital ou analogique des transducteurs associés et des microprocesseurs, ou bien aux standards recommandés, donnés dans ce standard.
- 5°) Des ensembles de crates doivent être interconnectés par des bus " highways" séries ou parallèles.

Les différentes lignes du " Dataway "

1° Lignes de commande. (trois)

Ces lignes sont utilisées pour définir l'état de tous les dispositifs sur le bus " Dataway".

2° Lignes de synchronisation

Ces deux lignes fournissent l'information nécessaire pour indiquer quand les données sont validées. Ces 2 signaux (strobes S1 et S2) doivent être générés durant chaque opération de contrôle.

3° Lignes d'écriture et lecture " DATA "

- Lignes d'écriture w1-W24 : Le contrôleur génère les signaux de données sur les lignes " W " durant chaque opération d'écriture.
- Lignes de lecture R1 - R24 = Les signaux de données sont établies sur les lignes " R " durant une opération de lecture.

4°) Lignes d'état d'information " Status Information lines "

L'état de l'information est transporté par des signaux sur les lignes : " Look et Me" L, " Busy " B, "Response " Q, et " Command Accepted " X. Ces lignes sont utilisées pour surveiller les demandes de service des interfaces périphériques.

5°) Lignes de contrôle

Ces lignes déterminent la fonction qui va être exécutée. Les signaux de commande sont maintenus durant l'opération "Dataway". Ils sont accompagnés par un signal sur la ligne "Busy" qui indique à toutes les unités qu'une opération "Dataway" est en cours d'exécution.

6°) Lignes de connexions non-standards P1 - P7

Cinq contacts P1-P5 sur le connecteur "Dataway" à chaque station normale, et sept contacts P1-P5 à la station de commande, sont disponibles pour des utilisations non spécifiées.

7°) Lignes d'alimentation

Les lignes d'alimentation standard utilisées sont de : + 6 Volts, + 24 Volts et 0 Volts. La stabilité, la régulation et la suppression standard sont tous couverts dans ce standard.

* Les différentes lignes ci-dessus, et leurs fonctions sont données en annexe.

Conclusions Le standard "CAMAC" est un concept qui couvre tous les aspects de communications. Il y a plusieurs catégories de "CAMAC" ;

Le "CAMAC" unité enfichable, "CAMAC" module, "CAMAC" contrôleur crate, "CAMAC DATAWAY". Toutes ces unités sont conformes aux spécifications du standard IEEE 583.

Ce standard peut transférer 24 millions bits par seconde (24 bits 10^6 transferts par seconde; 10^6 étant la période de transfert d'information). Ceci est important dans les applications nucléaires, où les données doivent être transférées rapidement durant chaque expérience.

Le CAMC a le mérite d'être le Standard le plus performant, vu sa rapidité dans le transfert de données, et ses différentes applications.

IV Le Standard S.100

Le bus S 100 est le bus des micro-amateurs, plus de 600 types de cartes avec différents types de microprocesseurs pensent s'y connecter. Les concepteurs du système avaient pour principal objectif de rendre l'architecture de base la plus modulaire possible. Toutes les fonctions (Unité centrale, mémoires, interface E/S) sont raccordées en parallèle à une série de 100 lignes dans lesquelles transitent les signaux nécessaires à l'adressage, le contrôle et les données : C'est le bus S100.

Les signaux disponibles sur le bus S100 pensent se répartir en 5 groupes (voir figure)

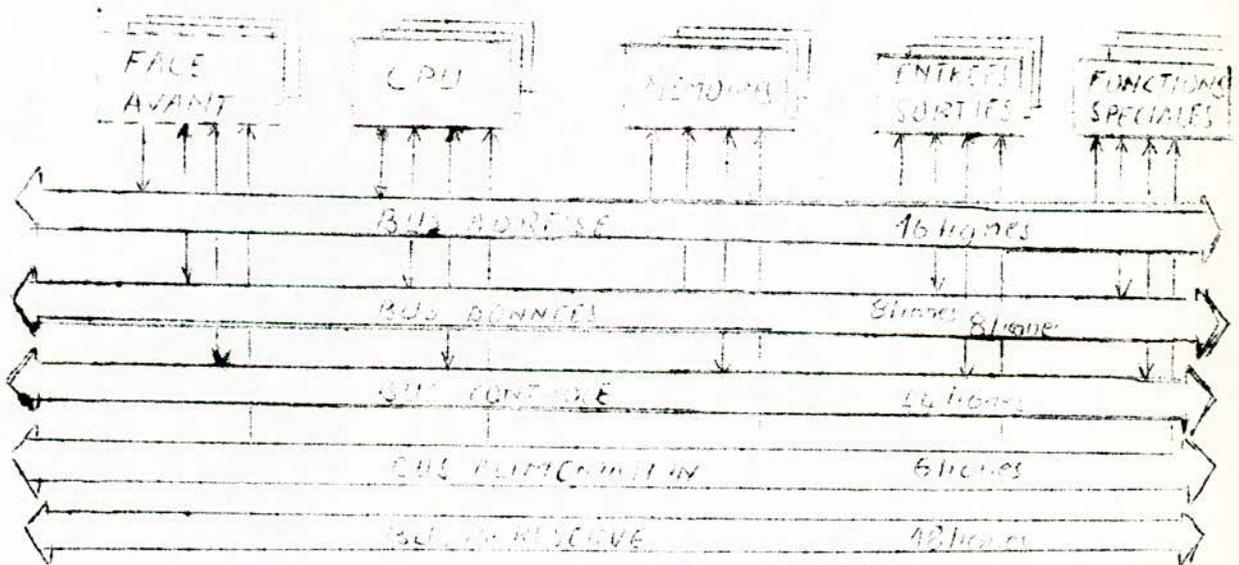


Figure N° 23 Représentation du bus S 100.

- Signaux d'adresse - Groupe 1
- Signaux de données- Groupe 2
- Signaux de contrôle et de Commande = Groupe 3.
- Signaux d'alimentation : Groupe 4
- Signaux de réserve : Groupe 5

Une des principales caractéristiques électrique du bus S 100 est le fait que toutes les lignes sont unidirectionnelles, ce qui signifie que tous les signaux sont adressés et dirigés ~~une~~ ^{vers} seule direction.

Une autre caractéristique du bus S 100 est le facteur de ~~surchage~~ ^(Fan-out) car, il conditionne la modularité de cette architecture et s'applique à toutes les lignes, quelque soit leur origine.

Toutes les lignes de bus ont des niveaux de tension standard T T L (0 à 5 V). Les buffers de sortie de ligne ont un " fan-out " de 10 charges T T L ou 30 TTL " Low-power ~~shotky~~ ^{shotky} ".

Du point de vue mécanique les cartes compatibles Bus S100 sont dimensionnellement calibrées afin de permettre leur intégration dans les paniers à cartes standards munis d'une carte mère équipée de ses connecteurs, celle-ci étant chargée de la distribution des 100 lignes du bus.

La répartition et la désignation des 100 lignes sont données en annexe.

Les différentes lignes

1° Le bus adresse

Il comprend 10 lignes permettant non seulement l'adressage de mémoire centrale qui peut s'étendre jusqu'à 64 K octets, mais aussi l'adressage des périphérique par l'intermédiaire des cartes d'interface d'entrées/ sorties.

Remarque : Les signaux de commande SMENR, SOUT, SIMP, MWRT permettent la différenciation entre ces deux modes.

2° Le bus de données

L'architecture unidirectionnelle du Bus S100 a des conséquences importantes pour les lignes de données et présente des avantages certains.

- Le contrôle pour l'accès des données est simplifié
- Les problèmes inhérents au passage rapide des cycles écriture - lecture sont réduits.
- L'accès externe aux données se trouve considérablement facilité.

3°) Le bus de Commande et Contrôle :

Il est composé de 44 lignes, apporte une grande souplesse de communication entre les diverses unités et le C P U. L'analyse de ces lignes peut se faire en répartissant ces 44 lignes en 9 sous-groupes.

- signaux de contrôle et de commande (au nombre de 6) qui sont fournis directement par le microprocesseur et délivré par le bus S 100 par l'intermédiaire des buffers.
- Lignes de synchronisation (au nombre de 3) sont nécessaires au fonctionnement du microprocesseur.
- Commandes directes sur le microprocesseur (au nombre de 4)
- Ligne d'état (8)
- Lignes de contrôle mémoire (4)
- Lignes pour l'accès externe (5) dont la fonction essentielle est de déconnecter momentanément le microprocesseur des bus du système.
- Les lignes d'interruptions (8) : lignes 4 à 11 du bus S100
- Les lignes d'initialisation : servent au positionnement du système dans un état d'attente d'ordre.
- Les Autres lignes de commande (2): Ce dernier sous groupe n'est utilisé que dans les cas des systèmes équipés d'une face avant de commande et contrôle.

4°) Lignes d'alimentation.

Ces lignes fournissent trois tensions sur quatre lignes: une ligne + 16 Volts, ligne - 16 Volts; deux lignes + 8 Volts

Les trois tensions ne sont pas régulées mais seulement redressées, filtrées et la régulation se fait au niveau de chaque carte.

Les lignes d'alimentation permettent l'alimentation des circuits TTL et MOS L'Alimentation générale est prévue pour fournir les débits suivants :

10 à 20 A sous 8 Volts; 2-5 A sous 16 Volts 1 A sous - 16 Volts :

5°) Lignes de Réserve

Des aménagements pour des applications spéciales ou éventuellement des modifications peuvent être faits parmi les 18 lignes restant libres. On peut citer, entre autres améliorations, l'utilisation microprocesseurs 16 bits qui peuvent se brancher sur le bus S 100.

Les différents signaux et leurs fonctions sont donnés sous forme de tableau dans l'annexe.

Conclusion :

La mauvaise répartition des lignes d'adresses et de données le long des 100 lignes peut entraîner des risques de bruit et de parasitage d'un groupe à l'autre. Ce problème est résolu par l'utilisation d'une carte mère équipée d'une protection permettant une sortie d'isolement entre chaque bloc.

La régulation de tension sur chaque carte augmente la dissipation calorifique au niveau de chacune d'elles et ainsi risque de diminuer les performances du système dans certains cas et oblige l'utilisation d'un ventilateur. Par contre, cette conception a le mérite de fournir des tensions régulées non perturbées par les autres éléments du système, ce qui assure un fonctionnement correcte de tous les éléments câblés sur chaque carte.

CHAPITRE VI

Interface à un télétype

I Introduction

Le télétype (TTY) est un terminal qui sert à la fois à introduire les données et à les éditer grâce à son imprimante .

Il dispose également d'un lecteur perforateur de bandes, utile pour introduire des programmes de quelques longueurs ou créer des bandes perforées.

Le télétype opère avec une vitesse de 10 caractères par secondes chaque caractère engendre en code à 7 bits (ASCII explicité en annexe) plus parité, précédé par un bits stop. Il y a 11 bits par caractères dont seulement 7 ont une valeur utile. La forme du signal apparait sur la figure N° 1.

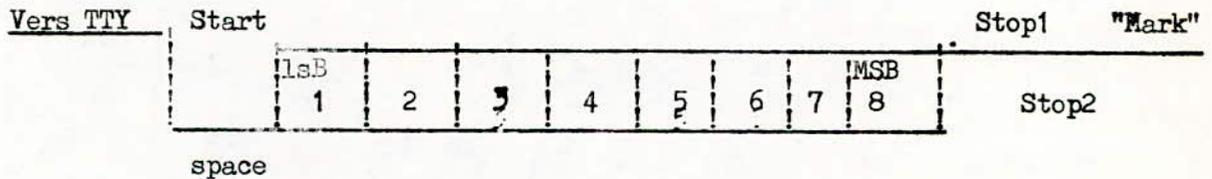


figure N° 1 : Transmission télétype

Pour aider à la compréhension du format serie, une explication du déroulement intérieur sera présentée. Autrement une explication brève sur le fonctionnement du distributeur de la télétype dont le schéma apparaît sur l'illustration ci dessous.

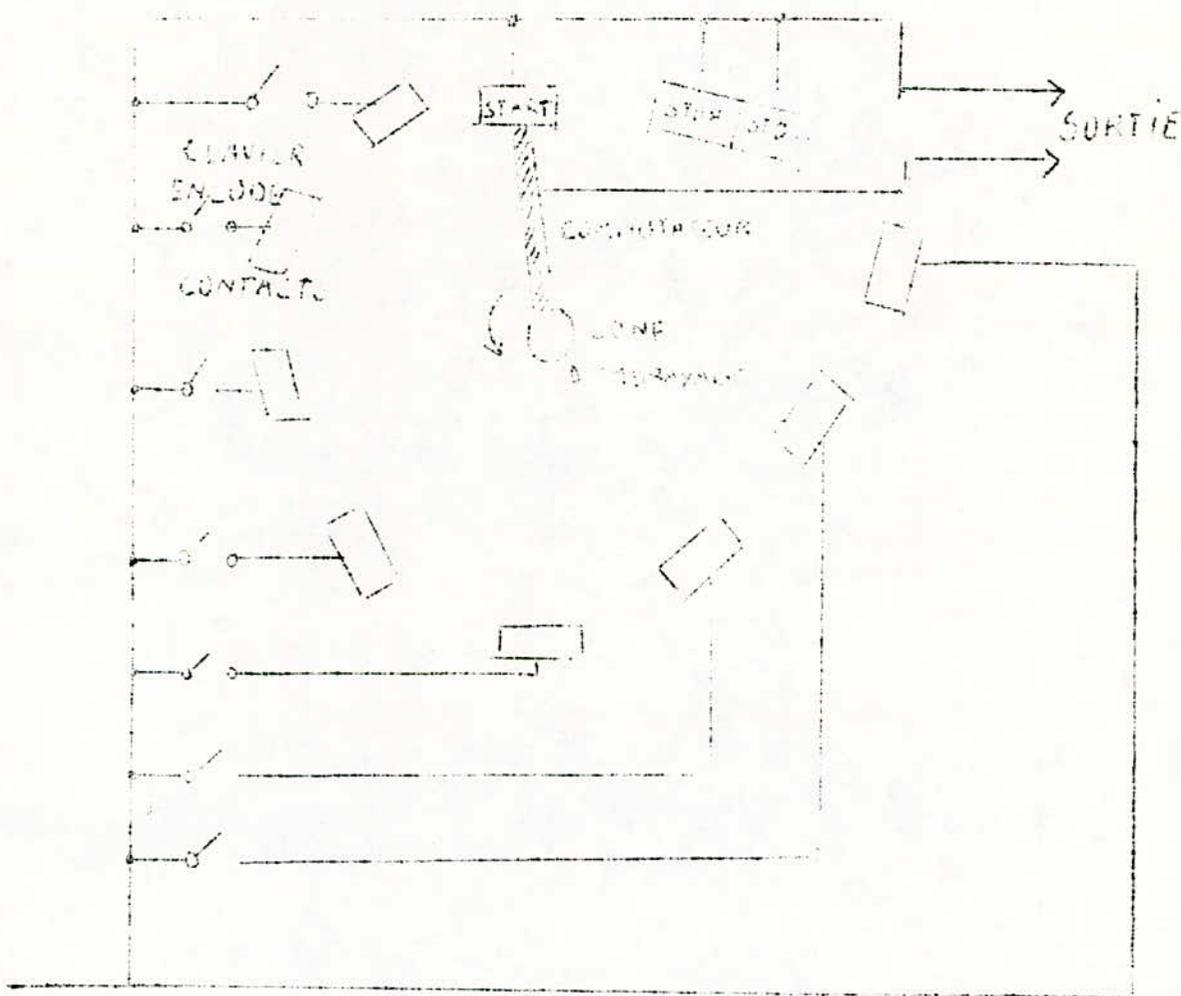


figure N° 2 Distributeur du télétype

- Quand le bit départ arrivé, 2 choses se réalisent:
 - . Le cône d'embrayage, engage toutes les liaisons mécaniques et ainssi le cycle d'inpréssion sera exécute (print cycle)
 - . Il prépare le décodage de l'aimant selecteur (selectör - mgnet) pour le décodage de l'opération en traitement.

Les 8 bits suivants arrivent 9,09 ms après. Chacun d'euse d'éclenche "l'aimant sélecteur" qui arrête les 8 roues encochées, celles ci tournent l'une après l'autre.

Dans un premier tour les "bares d'impréssion" qui sélectionnent le caractères sur la tête d'impréssion se soulèvent ou s'abaissent selon la combinaison des encoches sur les roues.

"La tête d'impréssion" sélectionne le caractère correspondant et le marteau d'impréssion" frappe sur le ruban de papier.

Les bits stop sont utilisés pour donner le temps au caractère d'être exécuté avant qu'un autre ne survienne.

Si le perforateur est en bas, la sélection des barres d'impréssion" enverrait des trous de perforation" sur la bande de papier pendant l'impression du caractère.

Le clavier fournit une impulsion "STROBE" indiquant qu'une clé a été enfoncée, alors le bit correspondant est placée sur 8 contacts du distributeur.

Le moteur du distributeur fait tourner le commutateur, lorsque ce dernier actionne la boucle générant les 11 bits de cette clé.

Notons que le moteur synchrone est source de temps pour la machine, et une ligne de fréquence exacte est nécessaire sinon la machine perdra la synchronisation convenable (pas d'huile ou autres problèmes mécaniques)

II Interface

L'interface à un télécype peut se faire suivant deux méthodes:

II.1. Interface TTY avec ACIA.

Le schéma d'interconnexion d'un télécype à un microprocesseur requiert un convertisseur série parallèle, c'est à dire l'utilisation d'un UART qui signifie: receptrer emetteur universel asynchrone son principe d'utilisation apparait sur la figure ci-dessous.

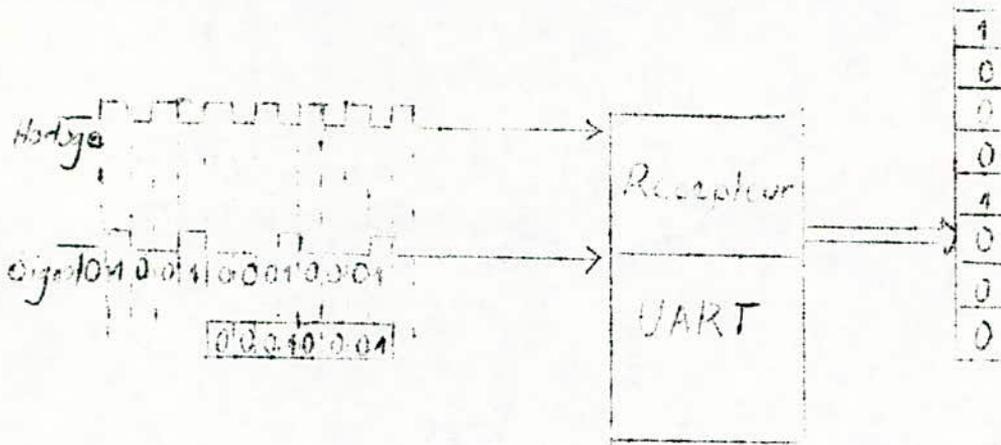


Figure N° 3 Conversion série-Parallèle

. Le signala représente une séquence encodée de bits c'est à dire une séquence de "0" et "1". La fonction est donc de lire les 8 bits sous-forme série et de les présenter simultanément (sous forme parallèle) au bus de données du microprocesseur.

Dans notre cas; on a pris comme exemple de UART, l'ACIA; celui-ci possédant un récepteur qui convertit les données séries en un mot parallèle à 8 bits. Il va de plus gérer les bits stops et va vérifier la bonne transmission des données.

L'ACIA possède également un transmetteur qui lui, d'une manière similaire va convertir les données parallèles en une forme série et va automatiquement ajouter le bit départ (destiné à délimiter le début du mot)

Le module de commande de l'ACIA a pour fonction de recevoir du système et d'assurer l'exécution des opérations de conversion selon les instructions qui auront été transmises depuis le microprocesseur (et déposées dans le registre de commande de l'ACIA).

Le rôle principal de l'ACIA est donc de fournir des facilités de conversion série parallèle et parallèle série et depuis il fournit un principe par qui, le microprocesseur peut contrôler un périphérique exigeant un format asynchrone de temps.

II.1.1. ACIA - TTY 33.

La liaison ACIA - TTY exige un interface pour convertir les niveaux compatibles TTL de l'ACIA en une boucle de courant de 20 mA du télétype. Cette liaison est assurée par des coupleurs optiques: (4 N 33) qui permettent d'isoler électriquement le télétype du système microprocesseur. L'étude détaillée de ce circuit d'interface est faite au chapitre IV.

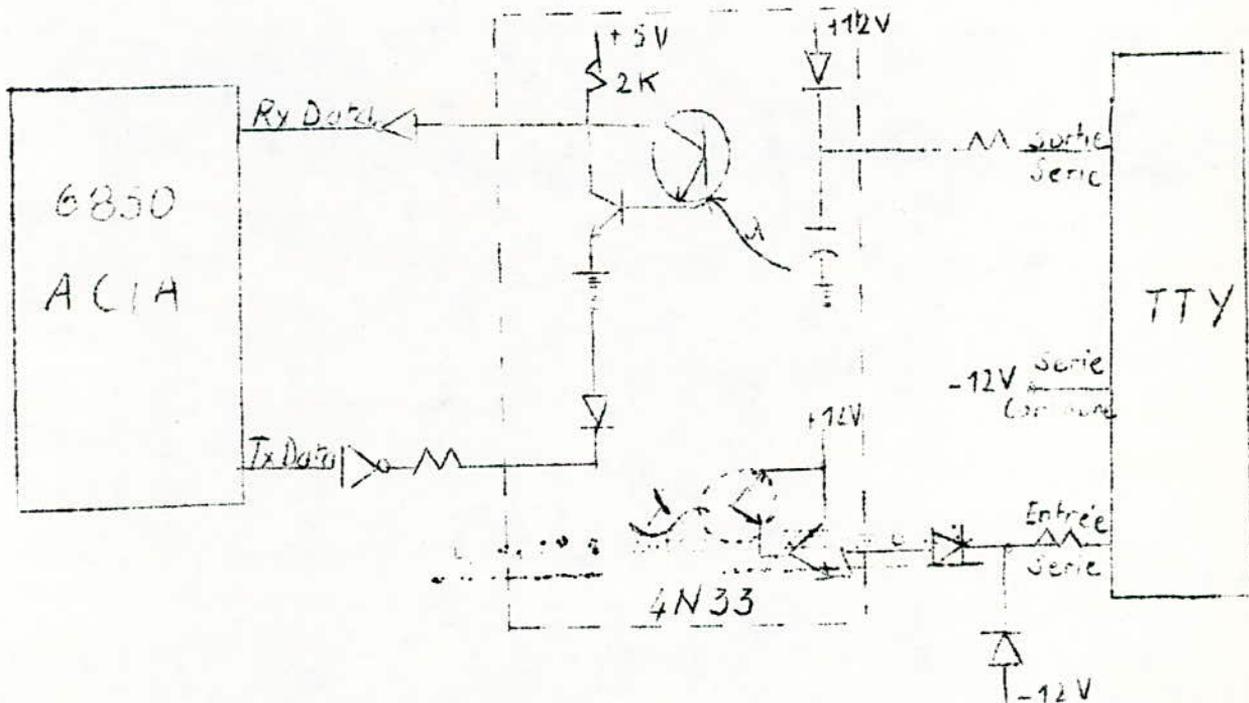


figure N° 4 Interface TTY avec ACIA

Remarque: La TTY fournit un débit de transmission de 10 caractères par seconde, soit 110 bits par seconde,
Le format du signal apparait sur la figure ci dessous.

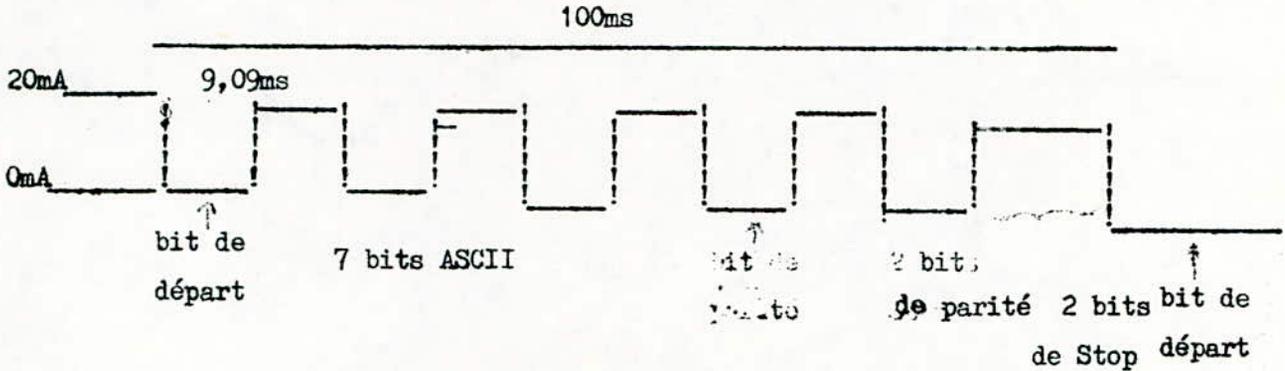


Figure N° 5 : Format du signal de la TTY

II.1.2 ACIA - RS 232 C

D'autres télétypes comme la ASR 232 C peuvent être facilement liés à l'ACIA par l'intermédiaire des dispositifs d'interface de la RS 232 tels que: le MC 1488 et le MC 1489 dont l'étude à été faite au chapitre IV. Ces circuits intégrés sont utilisés pour l'adaptation des niveaux logiques.

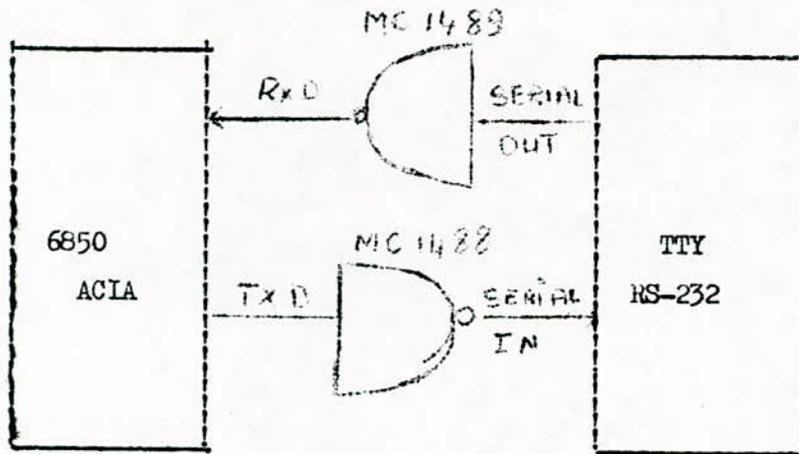


Figure N° 6 : Interface ACIA - RS 232

Remarque La RS 232 fournit un débit de transmission de 30 caractères par seconde.
Le format utilisé est le suivant.

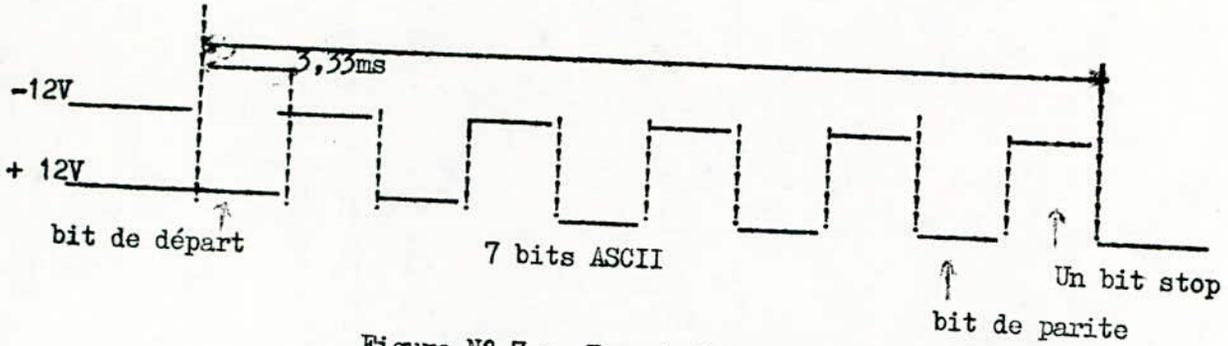


Figure N° 7 : Format du signal de la RS 232.

Dans les deux exemples précédents les signaux correspondant à la transmission série apparaissent sur l'illustration ci dessous.

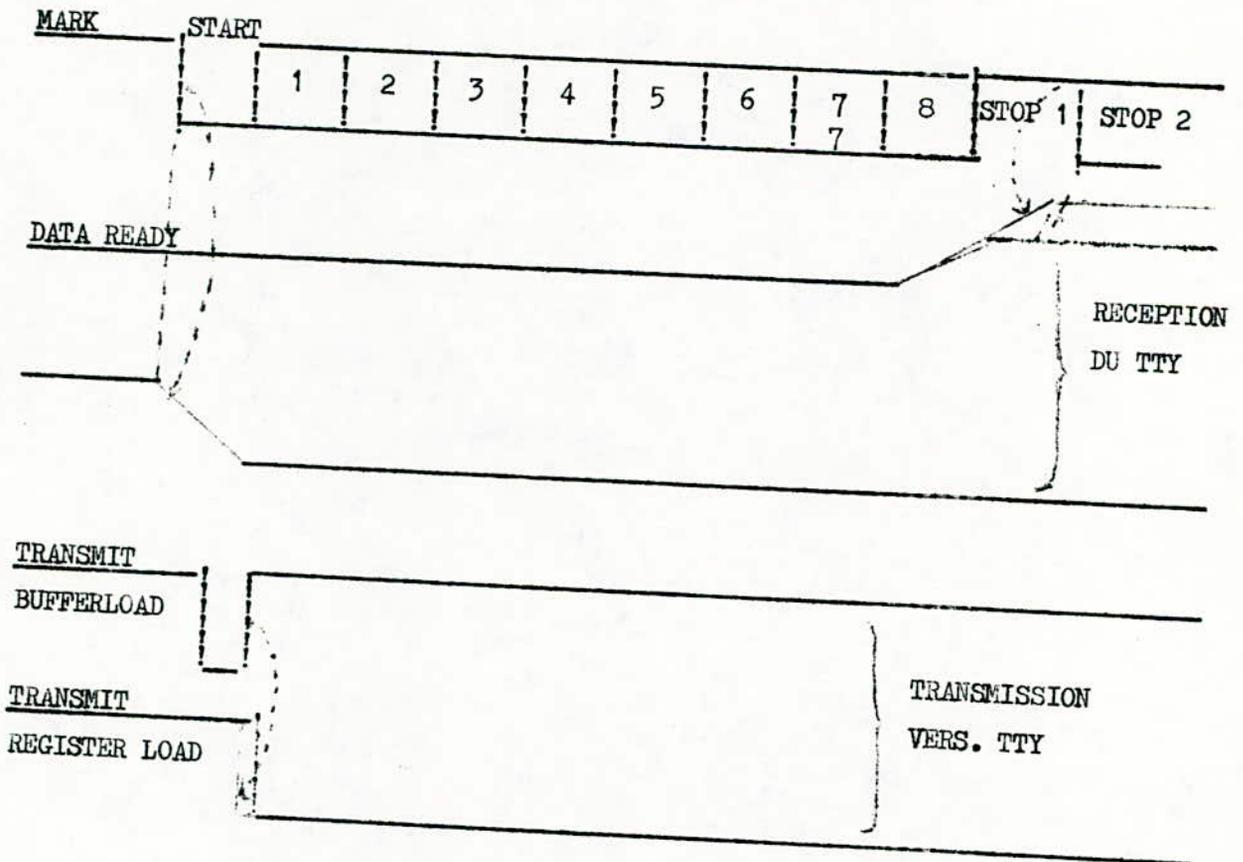


Figure N° 8 - Detail des signaux TTY

Le séquençement des différentes opérations est le suivant:

- a) Le clavier du télétype est active (le lecteur de ruban papier est bloqué).
- b) Tant qu'il est inactif, le récepteur du télétype est en état MARK(1): il s'agit d'une boucle de courant de 20 mA.
- c) Quand le télétype transmet un bit départ, l'entrée de l'ACIA passe de "1" à "0".
- d) L'ACIA va mémoriser l'entrée de 8 bits de données et va engendrer un signal de ((donnée prête)) pour le microprocesseur.

Transmission :

- a) Le microprocesseur charge le registre BUFFER de sortie de l'ACIA si celui - ci est libre.
- b) Le BUFFER de sortie va automatiquement "formater" le mot de donnée et le serialiser vers le télétype.

II.2 Interface RS 232 C avec PIA

Il n'est bien sûr pas nécessaire d'utiliser un ACIA pour serialiser les bits transmis au microprocesseur, et ceci peut être réaliser par programme.

A titre d'exemple un interface utilisant un PIA apparait sur le schéma N° 9 (ce schéma est donné par MOTOROLA)

La liaison PIA - TTY est assurée par la combinaison de coupleurs optiques (4N33) et d'adaptateurs de niveaux logiques (MC 1488 et MC 1489).

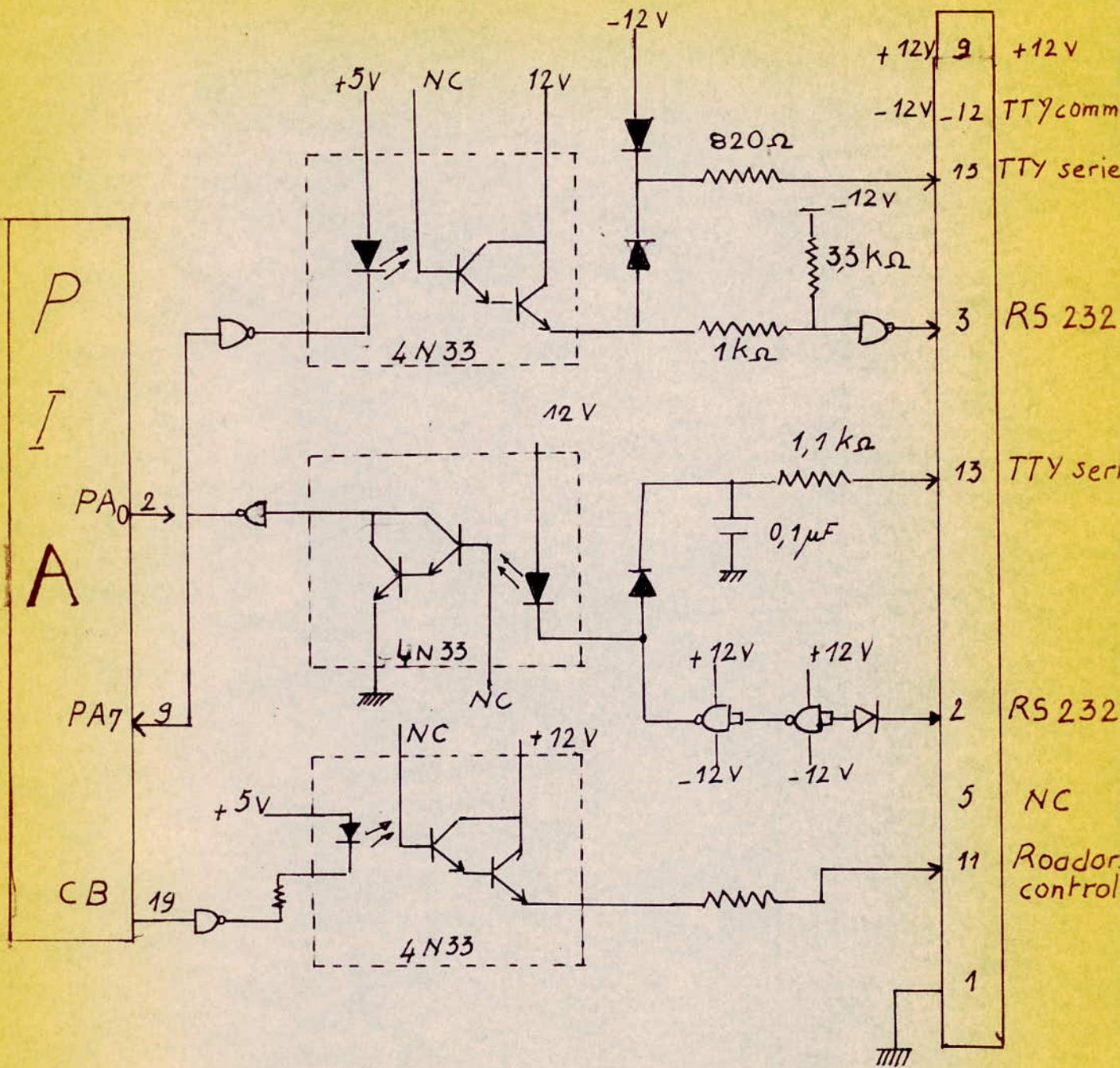
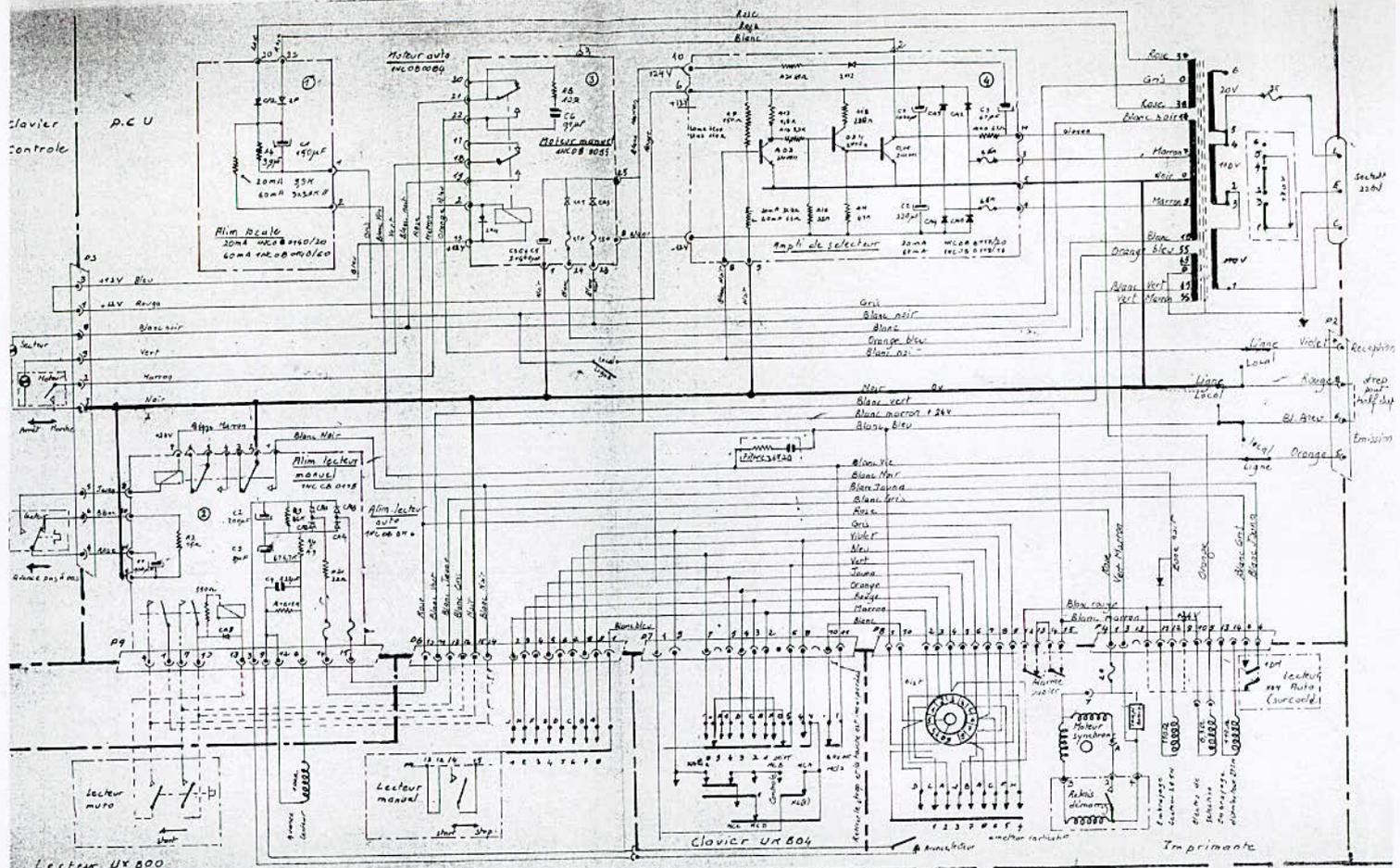


Fig nº 9 : INTERFACE PIA . RS232



SCHEMA d'un TTY RS 232C

CHAPITRE VII

PROGRAMMATION

La solution d'un problème à résoudre est exprimée sous forme d'un algorithme. L'algorithme est une séquence d'opérations qui, exécutées pas à pas, réalisent une solution au problème. Il s'agit alors de rédiger cet algorithme sous une forme qui soit directement exécutable par le processeur.

Or, un microprocesseur peut seulement exécuter une suite d'instructions sous forme d'une séquence de "0" et de "1" qu'on lui a demandé d'exécuter.

L'ensemble des instructions est appelé programme.

Le problème de base qui se pose est de convertir l'algorithme en un langage exécutable par la machine. Malheureusement, le langage binaire qui est exécutable par le processeur est peu commode à utiliser et pour cette raison, on lui préfère le langage assembleur qui, lui est une représentation symbolique des instructions binaires exécutables par la machine. C'est ainsi par exemple que `ADDr` représente le code mnémotique correspondant à l'addition binaire d'un registre à l'accumulateur.

Remarque : Le jeu d'instruction utilisé par le MC 6800 est donné en annexe.

L'avantage d'un tel langage est qu'il est tout aussi efficace qu'une programmation en hexadécimal en terme de vitesse d'exécution et d'espace mémoire occupé, par contre il est beaucoup plus facile d'écrire des programmes, des les mettre au point et de les modifier.

Il faut noter aussi qu'un tel langage est un langage intermédiaire entre l'homme et la machine et que par conséquent un programme écrit en assembleur devra être traduit en langage binaire par un programme appelé l'assembleur.

Une fois que le programme a été rédigé en mnémotique, puis traduit en numérique, il va maintenant falloir le loger dans les mémoires internes du microprocesseur RAM ou ROM. Pour cela il convient d'affecter une adresse mémoire à chaque instruction.

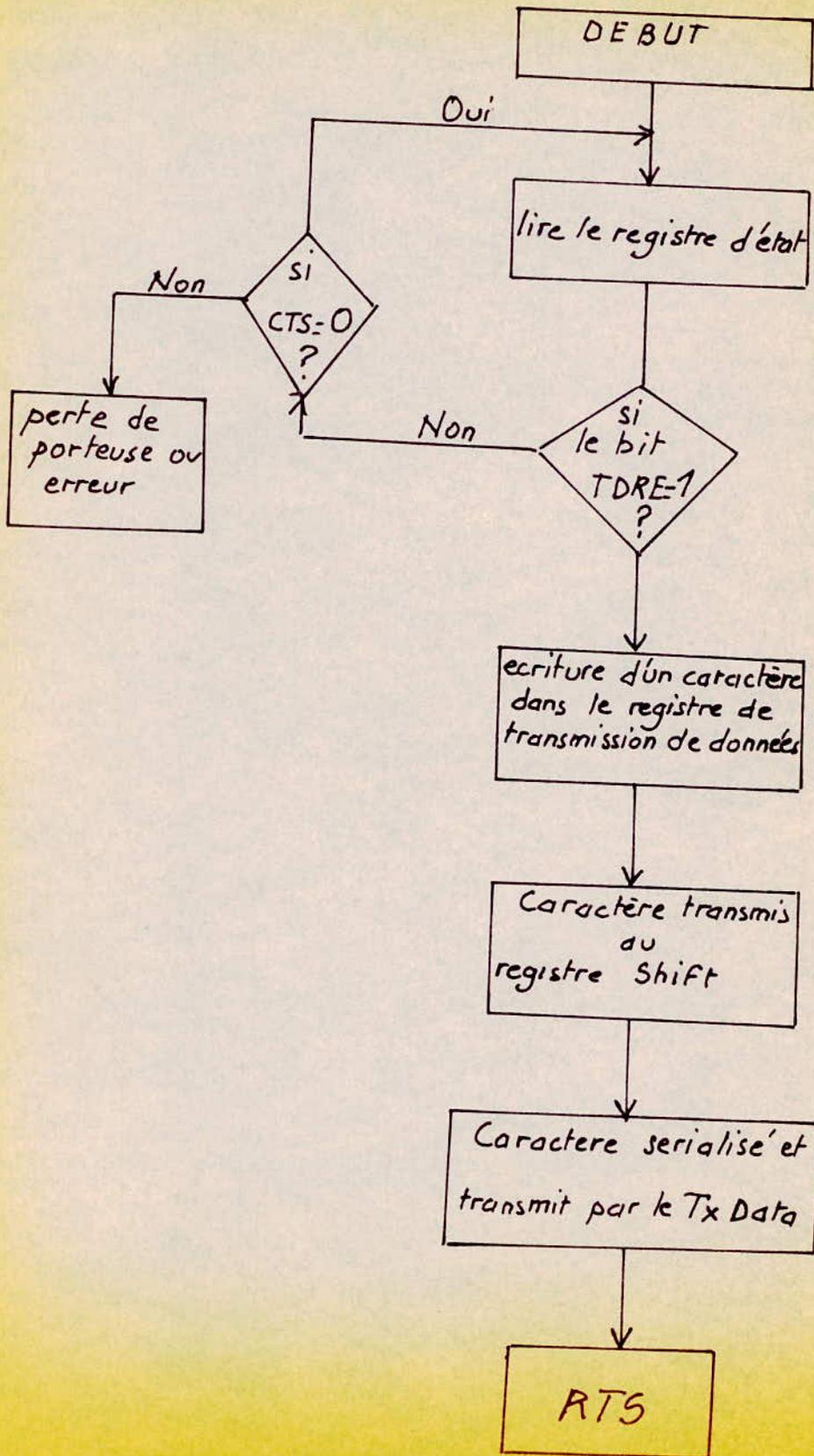
De façon tout à fait arbitraire, on va ranger par exemple la première instruction dans la cellule 4020 H. Au départ du programme on va charger l'adresse dans le copteur ordinal. Celui-ci adresse la cellule mémoire 4020, elle délivre son contenu, qui est transféré dans le registre d'instructions, puis décodé. A ce moment le microprocesseur apprend que l'instruction un second octet, l'opérande qui doit aller dans l'accumulateur. Le compteur ordinal ayant été incrémenté entre temps (il pointe désormais l'adresse 4021H), l'unité de commande et de séquençement le met une fois de plus en relation avec la mémoire où l'information contenue est lue: elle est transférée dans l'accumulateur. C'est la fin de la première instruction. La seconde instruction est exécutée selon le même principe à partir de l'adresse 4022 H puisque le compteur ordinal aura à nouveau été incrémenté.

Programmation d'un circuit d'interface d'entrée/sortie.

Le rôle que doit jouer un circuit d'entrée/sortie est déterminé par programme. La définition de la configuration fonctionnelle se fait en écrivant à partir de la mémoire de programme dans les registres de contrôle une information indiquant la fonction que doit réaliser le circuit d'entrée/sortie. Une fois que ce circuit est programmé, il est prêt à assurer l'interface entre la périphérie et le microprocesseur. Le transfert de donnée à travers le circuit d'entrée/sortie entre la périphérie et le microprocesseur influe sur le contenu du registre d'état. La lecture du contenu de ce registre permet de déterminer quel périphérique a provoqué une interruption; de savoir si la donnée transmise est conforme à un format programmé dans le registre de contrôle; si la parité est bonne. La réception d'un message par le microprocesseur implique de lire d'abord le registre d'état puis la donnée. La transmission se fait généralement en lisant le registre d'état pour déterminer le périphérique qui est prêt à recevoir un message et en transmettant ensuite ce message. Un exemple de transmission et de réception de L'ACIA (circuit d'interface d'entrée/sortie) sera donné ci-dessous.

1°) Sous-programme de transmission

a) Organigramme



b) Programme

NEXT LDAA STACON	charge l'accumulateur A par le contenu du registre d'état.
ASRA	
ASRA	décaler le bit TDRE dans la position du bit
BCS TX Data	carry tester le bit TDRE
ASRA	décaler le bit CTS dans la position du bit
BCC NEXT	carry tester le bit CTS
BR ERROR 1	perte de la porteuse ou erreur.
Tx Data SPAB TxRx	stocker le caractère dans l'ACIA.
RTS	Retour du sous-programme.

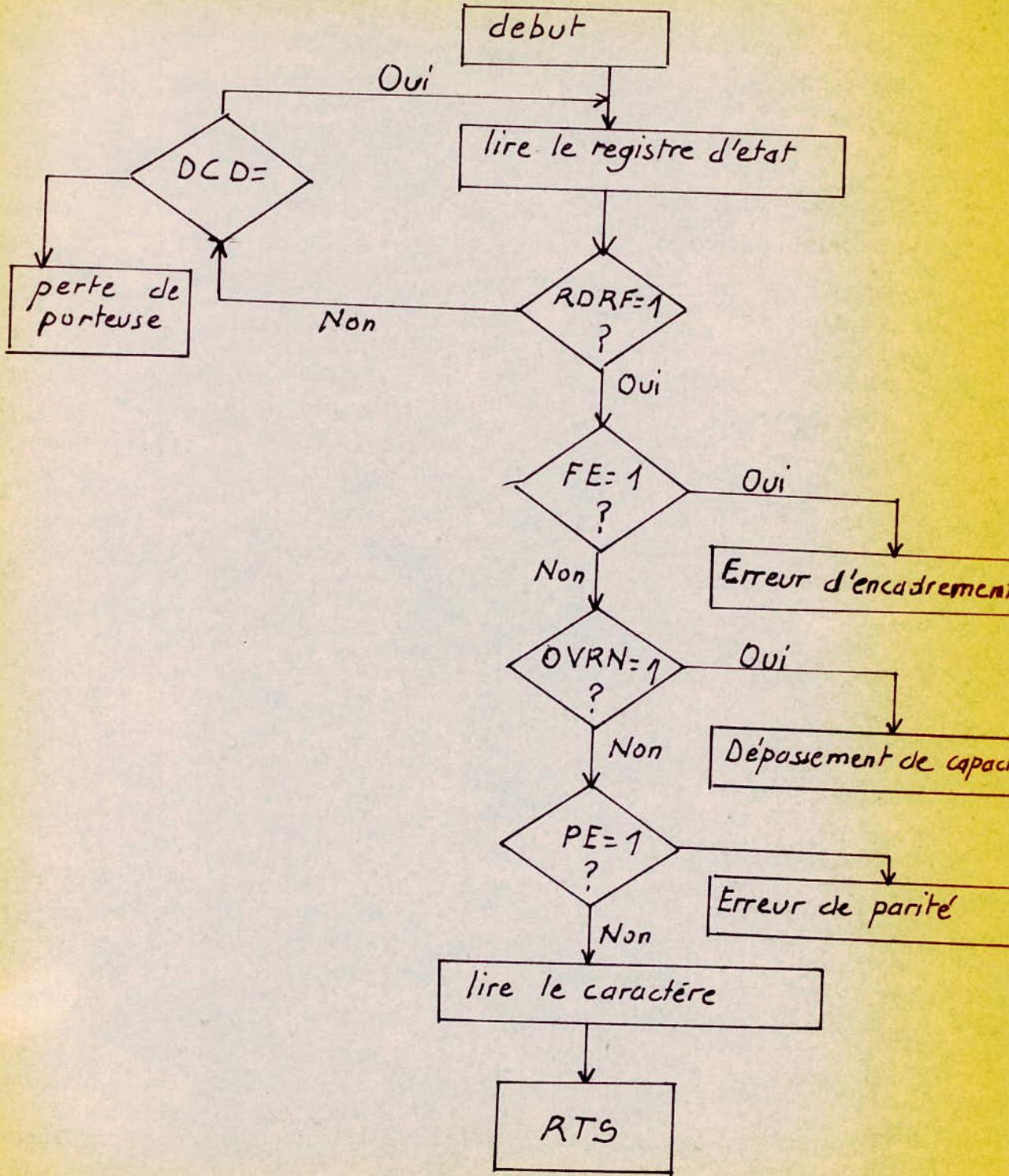
c) Commentaire.

Les contenus du registre d'état de l'ACIA sont chargés dans l'accumulateur du MPU. Sous le programme de contrôle, un caractère est stocké dans l'ACIA pour être transmis, si le registre de transmission de données est vide c'est à dire le bit TDRE = 1. Le retour à la séquence principale est alors fait par l'instruction RTS. Si le registre de transmission n'est pas vide (TDRE = 0 indique que le registre TDR est plein ou que l'entrée RTS est à l'état haut interdisant ainsi l'état "1" du bit TDRE) alors, l'état d'information qui était antérieurement chargé dans l'accumulateur sera retenu sous la programme de contrôle pour ces conditions. Ce pas n'est pas requis quand l'entrée CTS est positionnée en permanence (état bas). Dans un système utilisant un modem un état haut sur l'entrée CTS indique qu'il y a une perte de porteuse, ce qui exige le ré-établissement des communications par canal.

L'activation du bit CTS (état bas) du registre d'état indique que le registre de transmission de données est plein et permet au registre d'état d'être relu dans une boucle jusqu'à ce que le TDR deviennent vide.

Sous-programme de reception

a) Organigramme



b) Programme

NEXT 1	LDAA STACON	charger l'accumulateur A avec les contenus du registre d'état.
	ASRA	décaler le bit RDRF dans la position du bit c
	BCS FRAM	carry tester le bit RDRF.
	ASRA	
	ASRA	décaler le bit DCD dans la position du bit carry
	BCC NEXT 1	tester le bit DCD.
	BR ERROR 2	perte de porteuse ou erreur de programme.
FRAM	ASRA	
	ASRA	décaler le bit FE dans la position du bit carry
	BCC OVRN	tester le bit FE.
	BR ERROR 3	erreur d'encragement.
OVRN	ASRA	décaler le bit OVRN dans la position du bit carry
	BCC PAR	tester le bit OVRN.
	BR ERROR 4	dépassement de capacité
PAR	ASRA	décaler le bit PE dans la position du bit carry.
	BCC R Data	tester le bit PE
	BR ERROR 5	erreur de parité
	LDAB TxRx	charger l'accumulateur B avec le contenu du registre de reception de l'ACIA
	RTS	retour du sous programme.

c) Commentaire.

La première chose à faire est de charger les contenus du registre d'état dans l'accumulateur du MPU. Si le registre de reception de données n'est pas plein (RDRF=0 indique que le RDR est vide ou que le recpteur est interdit par l'activation de l'entrée DCO (état haut) alors. le bit DCD du registre d'état qui était entérieurement charge dans l'accumulateur sera retenu sous le programme de contrôle pour ces conditions. Dans un systémesutilisant un modem, un état haut sur l'entrée DCD durant la reception du caractère indique qu'il y a une "perte de porteuse" d'où un ré-établissement des communications par cannal est exigé.

Le bit DCD du registre d'état est remis à zéro (état bas) quand :

- l'entrée de DCD retourne à l'état bas
- par un "master Reset"
- par lecture du registre de reception de données après lecture du

registre d'état.

Le registre d'état est relu dans une boucle si le bit DCD est remis à "0" (état bas) et ceci jusqu'à ce que le registre de reception de données soit plein.

Si RDRF = 1 indiquant que le registre de réception de données est plein et de plus s'il n'y a pas d'erreurs dans le caractère reçu alors, le RDR est lu, et le retour à la séquence principale se fait par l'instruction RTS.

- C O N C L U S I O N -

Les microprocesseurs constituent une véritable révolution technologique qui exercent ses effets dans tous les domaines des activités humaines.

Cependant pour exécuter les fonctions qui lui sont dévolues, le microprocesseur doit être en liaison constante avec son environnement.

Ces différentes relations tels que : dialogue homme-machine, relation avec l'environnement, avec des mémoires de masse et éventuellement avec d'autres microprocesseurs sont assurées respectivement par des périphériques, par des entrées-Sorties analogiques et numériques.

Au cours de notre travail, on a pu constater le rôle considérable que pourrait jouer chacun de ces circuits de liaison dans le monde des microprocesseurs.

D'une manière générale, les circuits d'interface sont utilisés en remplacement de cartes à logique câblée. Grâce à la logique programmée, ils permettent la réalisation de fonctions qui n'étaient pas techniquement ou économiquement réalisables auparavant.

Le fait que ces circuits d'interface soient programmables, réduit le temps de développement et rend beaucoup plus simple la mise au point du système. De plus, leur programmation permet une modification facile et efficace des programmes implantés sur ces composants standardisés.

Enfin de la facilité accrue de programmation par rapport aux procédés purement électronique résulte aussi un moindre coût.

Avant de terminer, nous tenons à signaler les difficultés rencontrées durant l'étude de notre projet, provenant surtout de la documentation en langue anglaise.

Aussi les moyens n'étaient pas réunis pour nous permettre de nous étendre sur l'étude concrète du problème.

INDEX

I- FAMILLE 6800
=====

I-1 Les différents signaux du Modem MC 6 860

TABLEAU N° 1
=====

Symbole	Désignation	Fonction
R x Car	RECEIVE CARRIER	C'est une entrée pour la démodulation FSK : "Transmit carrier" doit être filtré laissant seulement "Receive carrier" dans le signal qui doit être aussi limité (R x Car)
<u>RI</u>	<u>RING INDICATOR</u>	Cette entrée place automatiquement la fonction Modem dans le mode réponse ("Answer mode")
<u>SH</u>	<u>SWITCH HOOK</u>	Un <u>SH</u> place automatiquement la fonction Modem dans le mode d'Emission "Originate Mode". <u>SH</u> est à l'état bas durant ce mode
<u>TD</u>	<u>THRESHOLD DETECT</u>	Cette entrée dérive d'un détecteur de seuil : externe. Si le niveau du signal est suffisant : l'entrée TD est à l'état bas pendant 20µs : (micro secondes) toutes les 32 ms (milli se- condes) pour maintenir une opération norma- le. Un niveau du signal insuffisant indique l'absence de "Receive Carrier"
R x Rate	RECEIVE DATA RATE	L'entrée "Receive Data Rate" doit être acti- vée (état bas) pour une vitesse de 0 à 600 baups. A l'état haut pour une vitesse de 0 à 300 baups.
T x D	TRANSMIT DATA	"Transmit Data" est une information binaire présentée à la fonction Modem pour la modu- lation avec la technique FSK

Suite du Tableau n°1

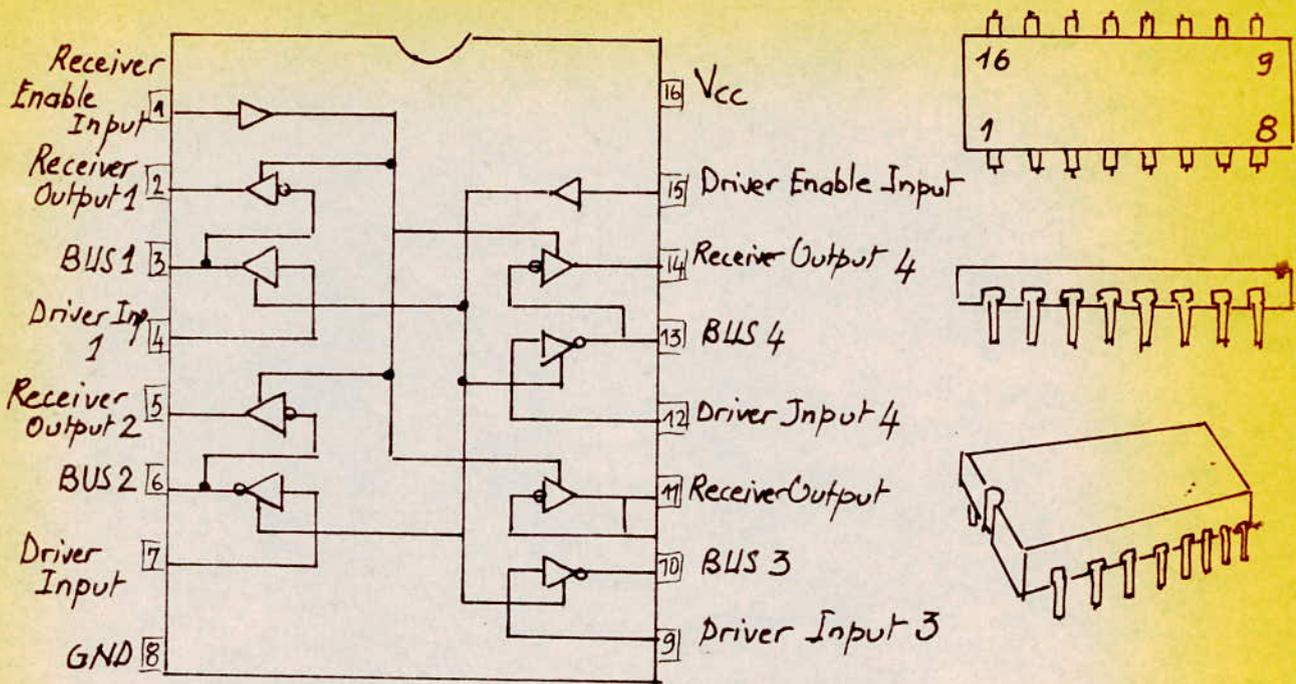
Symbole	Désignation	Fonction
$\overline{\text{DTR}}$	$\overline{\text{DATA TERMINAL READY}}$	Le signal $\overline{\text{DTR}}$ doit être activé (état bas) avant que la fonction Modem sera validée. Pour initier une déconnection pour 34ms minimum. Une déconnection s'exécutera 34s après.
T x Brk	TRANSMIT BREAK	La commande Break est utilisée pour signaler au Modem de télégestion de stopper l'envoi des données.
T S T	TEST CLOCK	Un signal test d'entrée est fourni pour décrementer le temps test dans une opération normale, cette entrée est mise à zéro(état bas)
$\overline{\text{ST}}$	$\overline{\text{SELF TEST}}$	Quand un niveau bas de tension est placé sur cette entrée, le démodulateur est commuté à une fréquence de modulateur et démodule le signal FSK transmis.
MODE	MODE	La sortie indique l'état d'une réponse (bas) ou émission (haut) d'un modem. Cette sortie change d'état quand une commande self test est appliquée.
P x D	RECEIVE DATA	La sortie de "Receive Data" est une donnée résultante d'une démodulation de la porteuse reçue.
R xBrk	RECEIVE BREAK	Sur une réception d'un espace continu de 150ms le Modem met automatiquement la sortie "Receive Break" à l'état haut.

I-2 - Différents signaux du modulateur : MC 6862

T A B L E A U N°2

Symbole	Désignation	Fonctions
$\overline{\text{RTS}}$	REQUEST TO SEND	Signal provenant d'un poste à distance et qui contrôle les transmissions du modulateur $\overline{\text{RTS}}$ à l'état bas active la sortie des données du modulateur. La fin de la transmission par le passage de $\overline{\text{RTS}}$ à l'état haut.
$\overline{\text{CTS}}$	CLEAR TO SEND	$\overline{\text{CTS}}$ suit $\overline{\text{RTS}}$ dans les 2 transmissions (positive et négative) Le délai d'une transition négative de $\overline{\text{RTS}}$ à une transition négative de $\overline{\text{CTS}}$ est sélectionné par un découplage externe de CTS1 et CTS2
T xD	TRANSMIT DATA	utilisé pour transférer les données séries, binaires, présentées pour une modulation (DPSK)
T x Clk	TRANSMIT CLOCK	Le Transmit Clock est utilisé pour le terminal de communications ; Le signal Transmit Data est échantillonné sur la transition positive du Transmit Clock.
B0- B5	SORTIES DIGITALES	Ces sorties sont désignées pour interfacer avec un convertisseur digital analogique (6 bits)

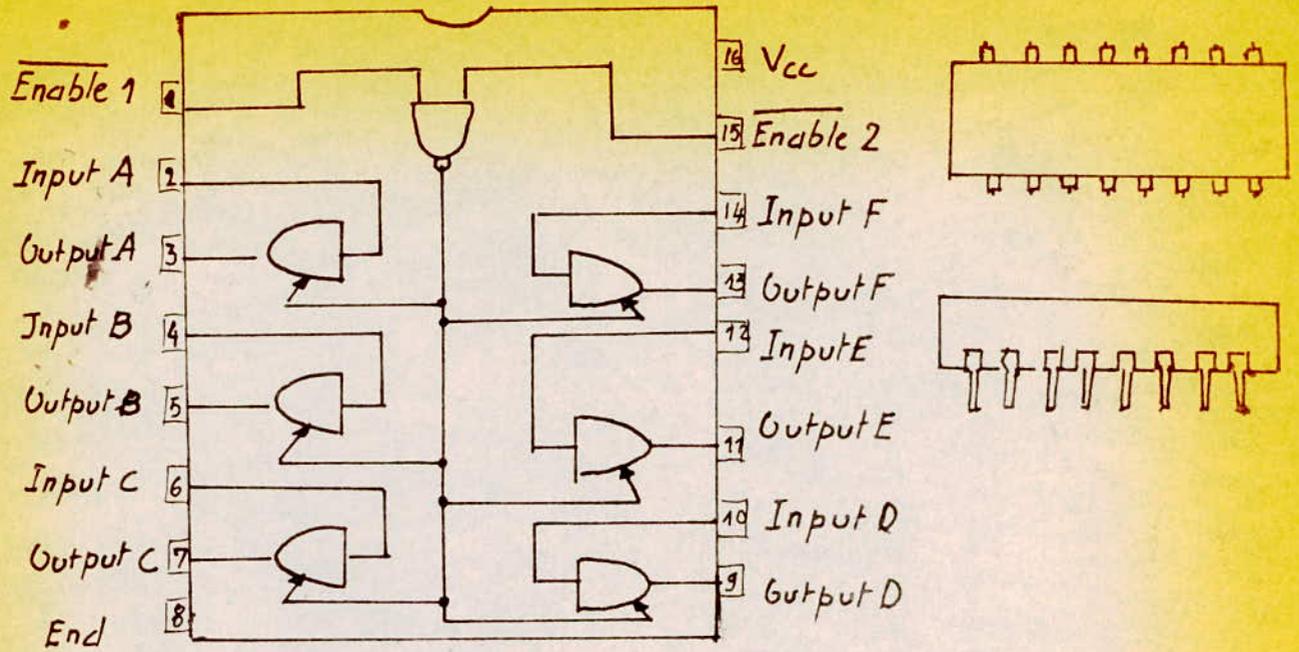
I.3 MC 6880 / MC 8T26



Caracteristiques electriques

$0^{\circ}\text{C} \leq T_A \leq 75^{\circ}\text{C}$ et $4,75 \leq V_{cc} \leq 5,25$

CARACTERISTIQUES	Symbole	Minim	Maxim	Unit.
courant d'entrée = état logique bas (RE DE D B) avec $V_{IL} = 0,4\text{V}$	I_{IL}	-	200	μA
courant d'entrée = état logique haut (RE DE D B) avec $V_{IH} = 5,25\text{V}$	I_{IH}		25	μA
tension d'entrée = état logique bas (RE DE B)	V_{IL}	0,85		V
tension d'entrée = état logique haut (RE, DE, D)	V_{IH}		2.0	V
tension de sortie = état logique bas avec $I_{OL(B)} = 10\text{mA}$; $I_{OL(R)} = -20\text{mA}$	V_{OL}		0.5	V
tension de sortie = état logique haut avec $I_{OH(B)} = 40\text{mA}$ et $I_{OH(R)} = 16\text{mA}$	V_{OH}	2.6		V
Courant de sortie court-circuité Bus (Driver) Output $V_{cc} = 5,25\text{V}$	$I_{OS(B)}$	-50	-150	mA
Receiver Output	$I_{OS(R)}$	-30	-175	
Courant d'alimentation $V_{cc} = 5,25\text{V}$	I_{CC}		87	mA



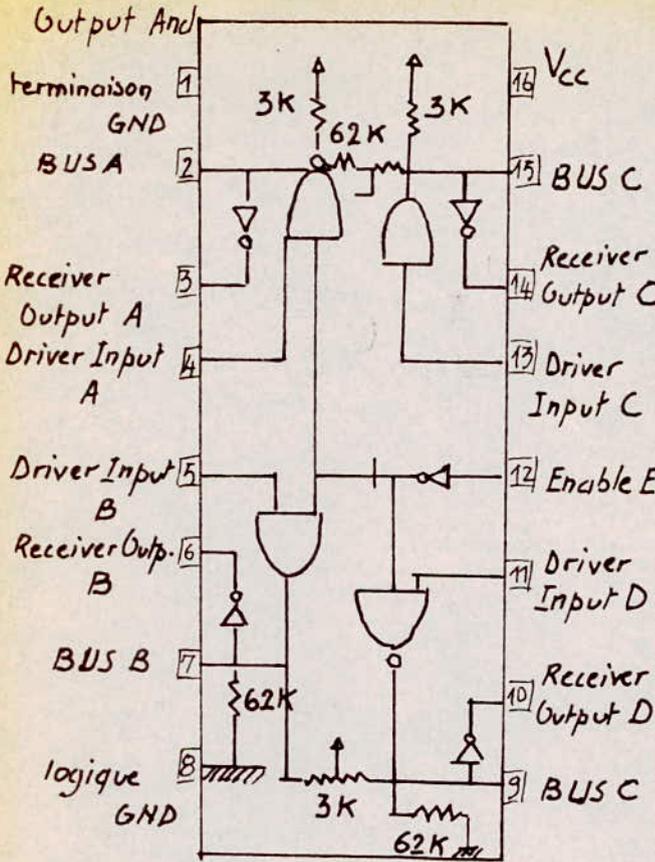
Caractéristiques électriques : ($0^{\circ}\text{C} \leq T_A \leq 75^{\circ}\text{C}$ et $V_{CC} \geq 4,75$ et $V_{CC} \leq 6,75\text{V}$)

CARACTERISTIQUES	Symbole	Minim.	Maxim.	Unité
tension d'entrée : état logique haut $V_{CC} = 4,75\text{V}$; $T_A = 25^{\circ}\text{C}$	V_{IH}	2,0		v
tension d'entrée : état logique bas $V_{CC} = 4,75\text{V}$; $T_A = 25^{\circ}\text{C}$	V_{IL}		0,8	v
Courant d'entrée : état logique haut $V_{CC} = 5,25\text{V}$; $V_{IH} = 2,4\text{V}$	I_{IH}		40	μA
Courant d'entrée : état logique bas $V_{CC} = 5,25\text{V}$; $V_{IL} = 0,5\text{V}$; $V_{IL(E)} = 0,5\text{V}$	I_{IL}		-400	μA
tension de sortie : état logique haut $V_{CC} = 4,75\text{V}$; $I_{OH} = 5,2\text{mA}$.	V_{OH}	2,4		v
tension de sortie : état logique bas $I_{OL} = 48\text{mA}$.	V_{OL}		0,5	v
Courant de sortie circuité $V_{CC} = 5,25\text{V}$; $V_O = 0$	I_{OS}	-40	-115	mA
Courant d'alimentation $V_{(cc)} = 5,25\text{V}$	I_{CC}		98	mA

BUS d INSTRUMENTATION

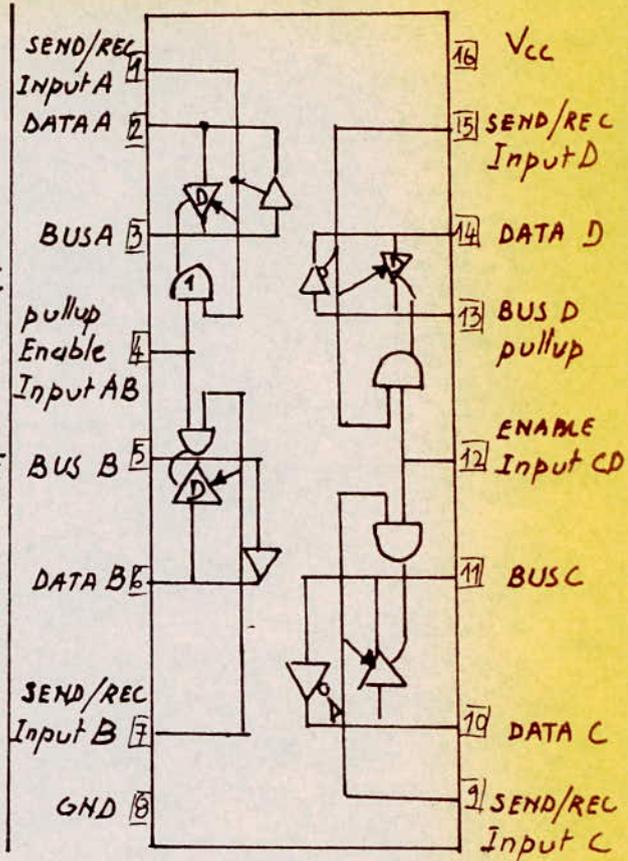
a) MC 3440 P Interface transmetteur

3 etats divers avec une entrée Enable commune. Un driver sans enable



b) MC 3448

pour 1 bus bidirectionnel Emetteur-recepteur



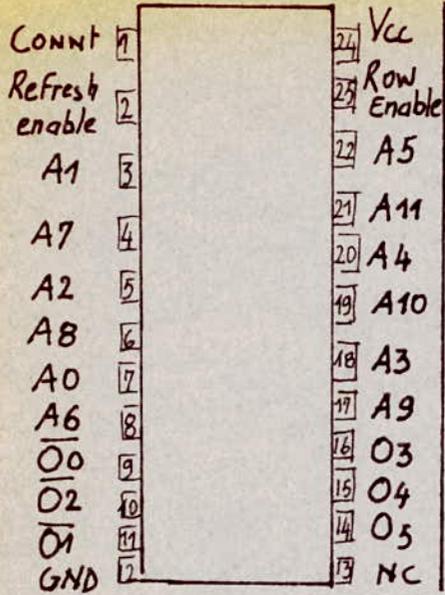
n° du dispositif	Receiver Input hysteresis Min	Driver Output Voltage $I_{OL} = 4.8 \text{ mA Max}$	Bus, tension intercalaire (Volts)	t_{PHL} Driver ou Receiver Max	T_A
MC 3440 P	400	0.4	2.6 à 3.75	30	0-70°C
MC 3448 AP	400	0.4	2.5 à 3.7	35	0-70°C

* $T_A = -55 \text{ à } 125^\circ\text{C}$
 $T_A = 0 \text{ à } 70^\circ\text{C}$

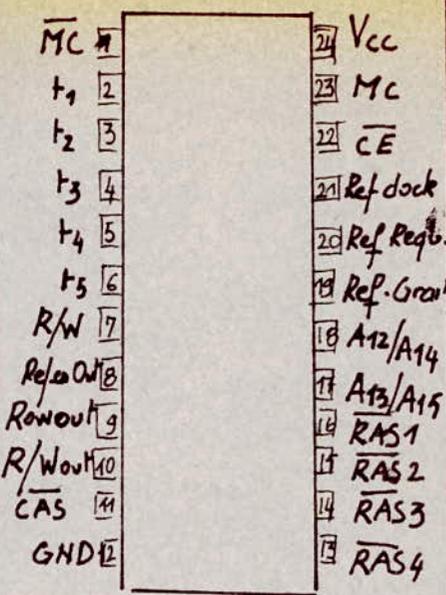
DEVICE NUMBER	Error % Max	P_D $V_{EE} = -5V$ mW Max	Settling n_s Typ	I_O $V_{ref} = 2V$ mA	Suffix	Case
6 BIT						
MC 1506*	$\pm 0,78$	120	150	1,9 à 2,1	L	632
MC 1406						
8 BIT						
MC 1508L8*	$\pm 0,19$	170	300	1,9 à 2,1	L	620
MC 1408L8						
MC 1408L7	$\pm 0,39$				LP	620, 648
MC 1408L6	$\pm 0,78$					
MC 3408	$\pm 0,5$				L	620
10 BIT						
MC 3510*	$\pm 0,05$	220	250	3,8 à 4,2	L	690
MC 3410						
MC 3410C					$\pm 0,1$	LP

Caractéristiques de quelques convertisseurs numériques
analogiques

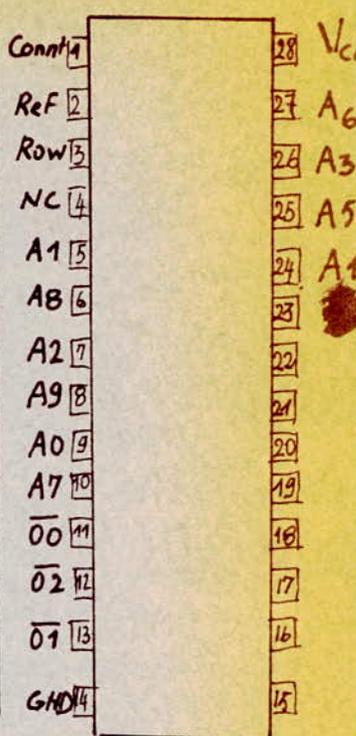
Interface de mémoire



MC 3232A

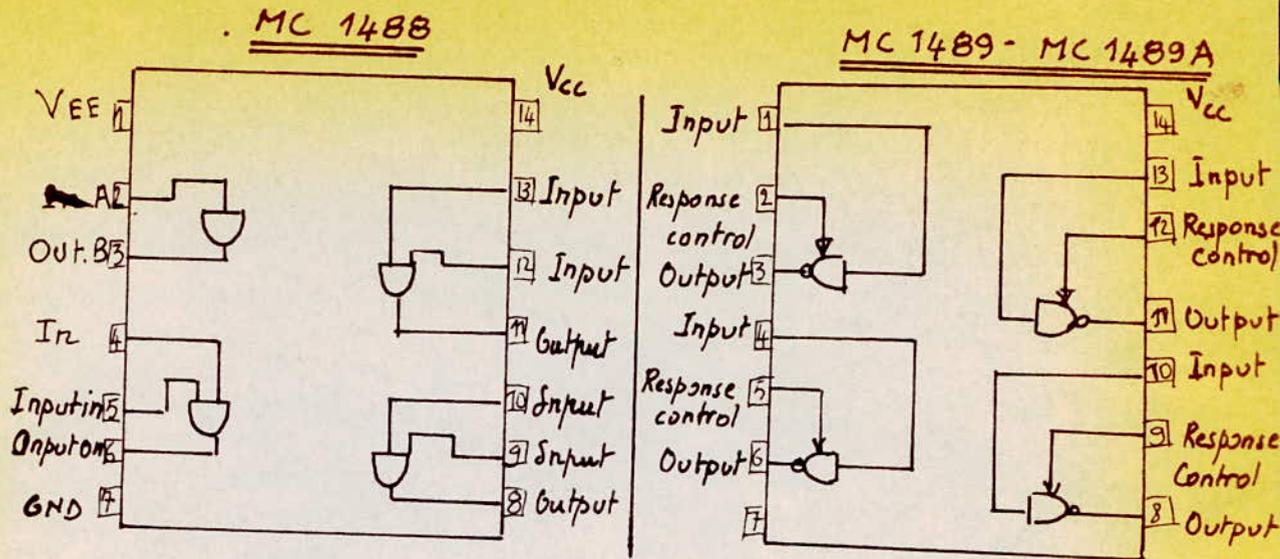


MC 3480



MC 3242A

n° du dispositif	V _{OH} min (mA)	I _{OH} max (mA)	V _{OL} max (Volts)	I _{OL} (mA)	délai de propagation (max)	CL P _f	CARACTERISTIQUES
MC 3232A	2.8	-1.0	0.4	5.0	25	250	6m multiplie les 12 bits d'adresse aux 6 broches d'entrée d'adresse parmi les 16 broches de la RAM 4K
MC 3242A	3.0	-1.0	0.25	25	25	250	" " les 14 bits " 7 " " " " " " " 16 k
MC 3480							1- 2- Compteurs de haute fréquence 3- les registres de décalage à haute fréquence 4- lignes de délais 5- signaux de l'horloge du MPU



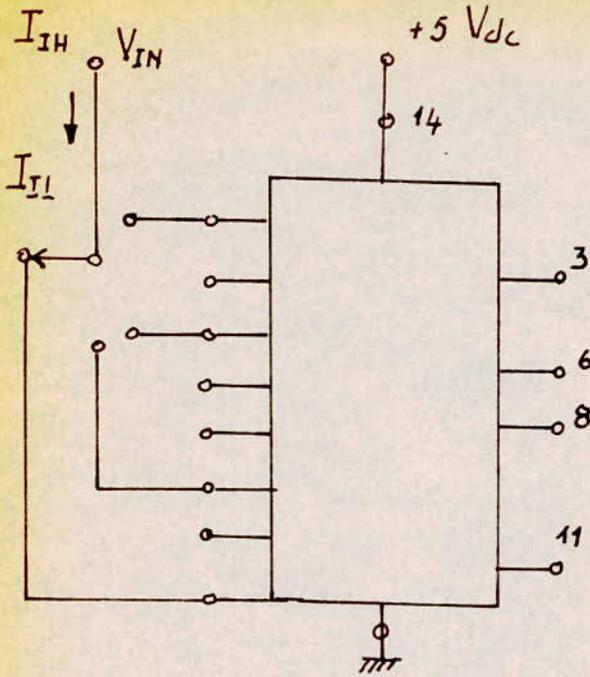
Caractéristiques du MC 1488

V_{OH} $V_{CC}/V_{EE} = \pm 9.0V$ (volts) Min	V_{OL} (volts) $V_{CC}/V_{EE} = \pm 9.0V$ Max	I_{ob} mA	t_{pHL} $C_L = 15 pF$ Max
6.0	-6.0	$\pm 6 \text{ à } 12$	175

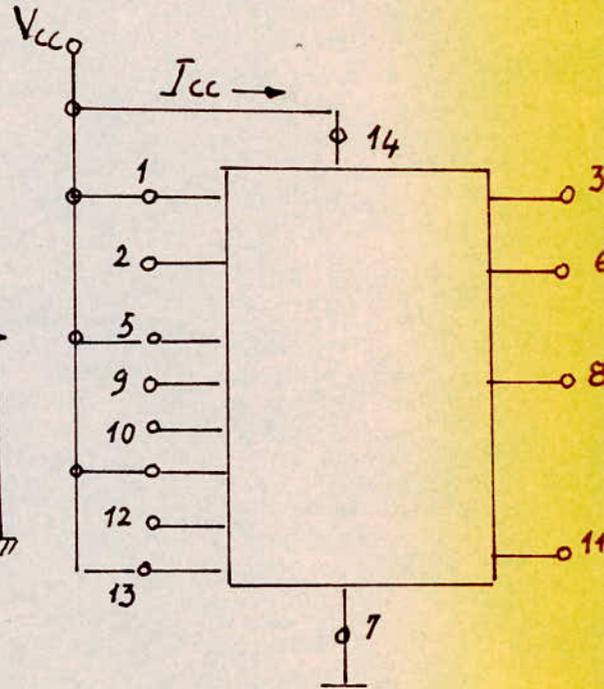
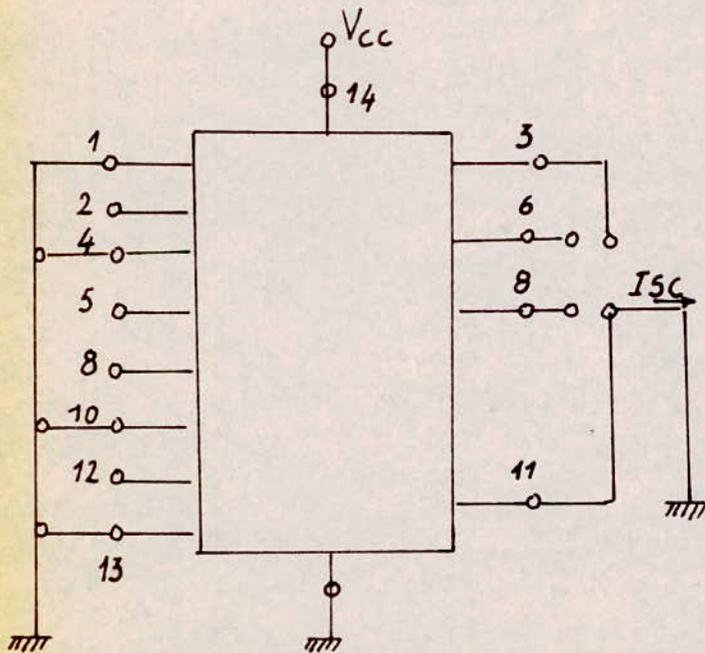
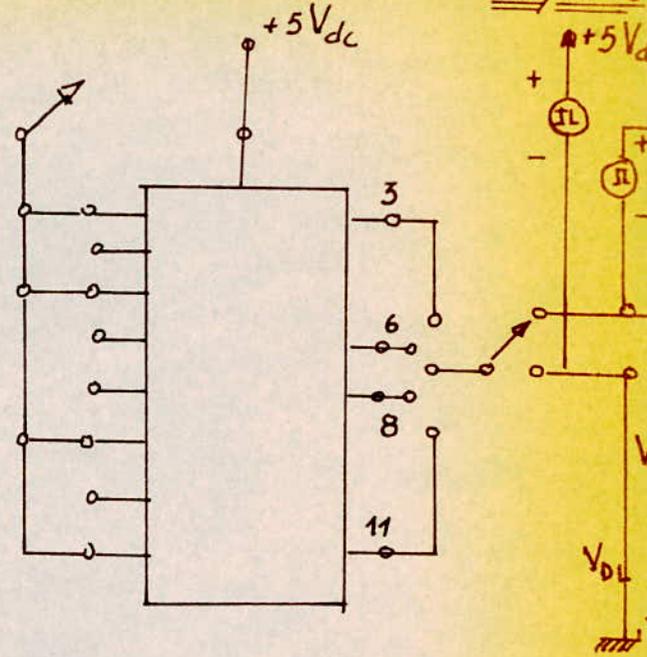
Caractéristiques du MC 1489

DEVICE NUMBER	INPUT V_{IHL} (Volts)	INPUT V_{ILH} (Volts)	t_{pHL} $R_L = 390\Omega$ Max
MC 1489	1.0 à 1.5	0.75 à 1.25	50
MC 1489 A	1.75 à 2.25	0.75 à 1.25	50

Courant d'entrée



tension de sortie et tension d'hystérésis

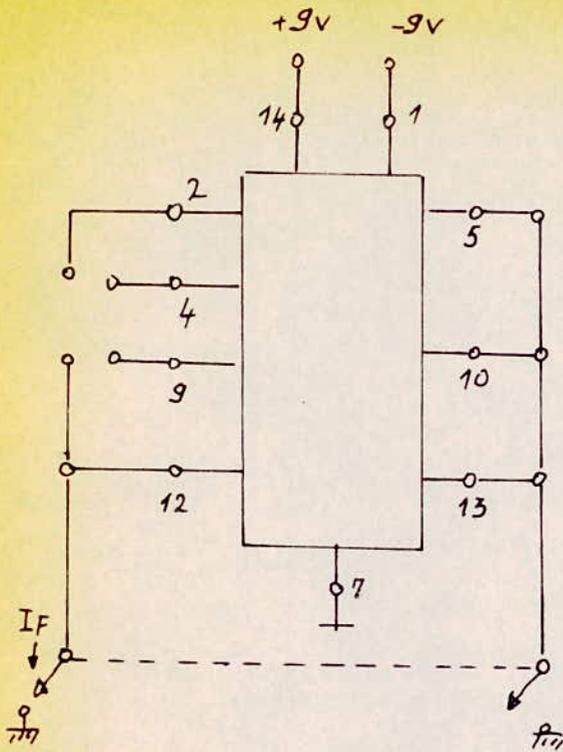


Courant de sortie de C.circuit

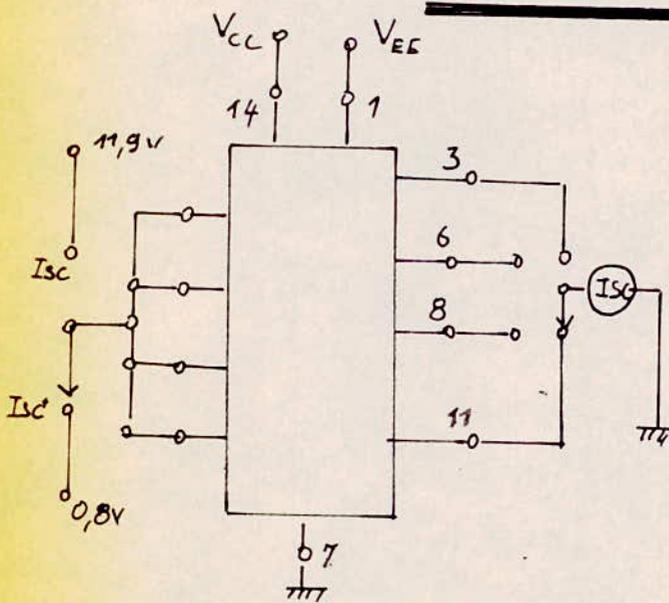
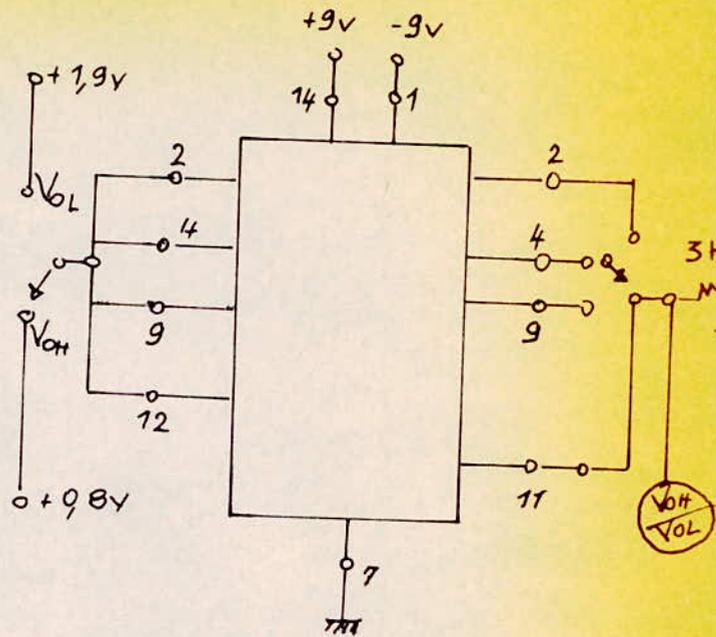
Courant d'alimentat

CARACTERISTIQUES du MC 1488

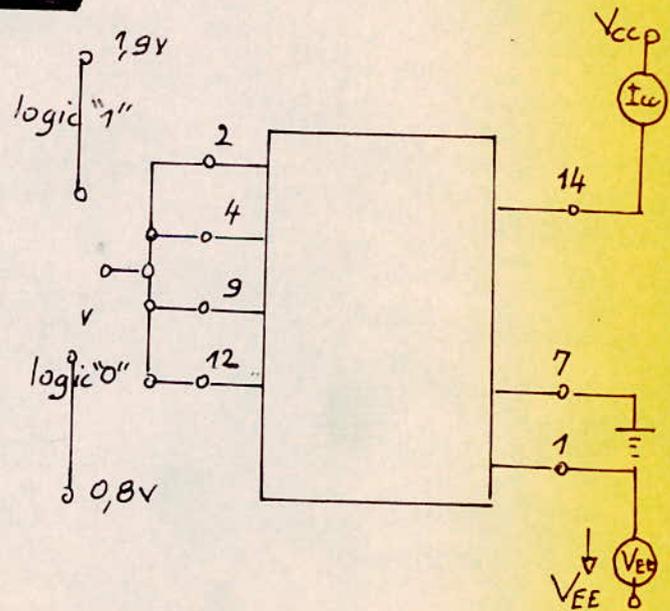
Courant d'entrée



tension de sortie



Courant de sortie du court circuit

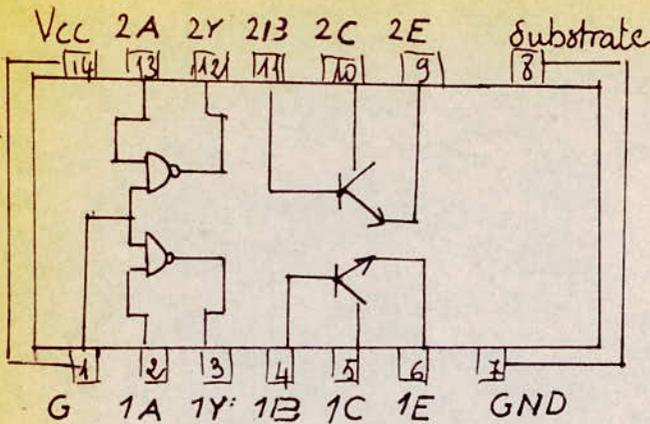


Courant d'alimentation

CARACTERISTIQUES du MC 1489

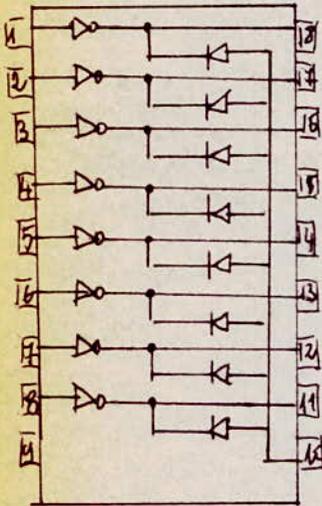
Interface de peripherique

a) Duo de Drivers



$T_A = 0 \text{ à } 70^\circ\text{C}$

b) Ensemble de Drivers MC 1417

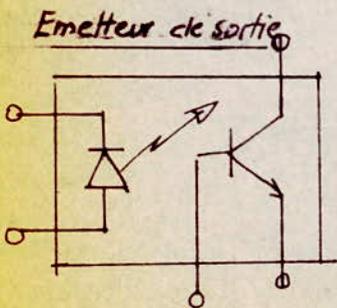


$T_A = 70^\circ\text{C}$

$V_{max} = 50\text{V}$

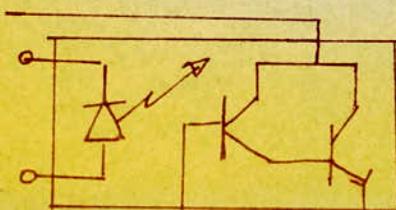
$I_{max} = 500\text{mA}$

Isolateurs optiques / coupleurs



TYPE	tension d'isolation min en V maximum Motorola JEDEC	Maximal testé	DC-rapport du courant de transfert % min	BV_{CE} V. min	courant de sortie du collec- -teur $I_F = 10\text{mA}$ TYP = 10
4N28	500	7500	10	30	2.0
4N25	2500	7500	20	30	3.5

Darlington de sortie



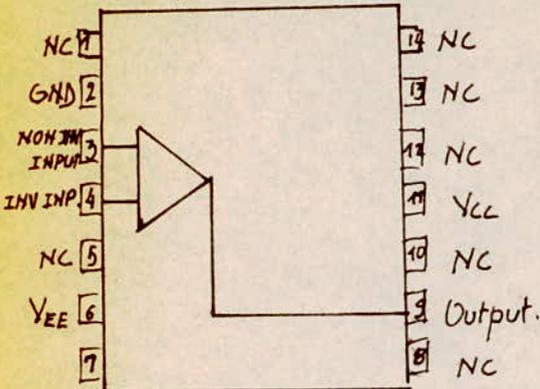
TYPE	Genus d'isolation min en V Maximum conregistre	Maximal testé	DC-rapport du courant de transfert % min	BV_{CE} V. min	courant de sortie du collec- -teur $I_F = 10\text{mA}$ types mA
4N33	1500	7500	500	30	60
4N32	2500	7500	500	30	60

Comparateur de tension

a) GPC (general purpose comparators)

1 - Comparateur simple

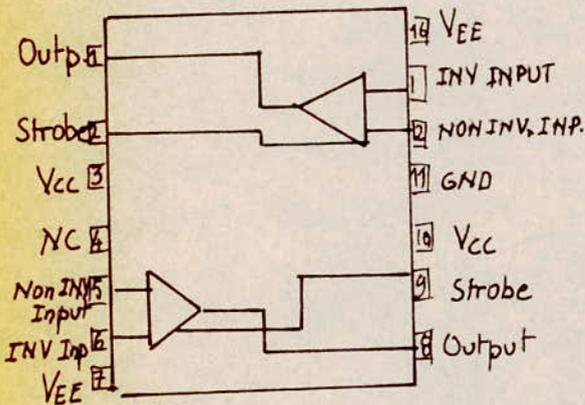
MC 1710 ; $-55^{\circ} \text{ à } 125^{\circ} \text{ C} = T_A$
 MC 1710C ; $0^{\circ} \text{ à } 70^{\circ} \text{ C} = T_A$



n° du dispositif	V_{IO}	I_B	A_{Vol}
	mV max	μA max	V/V min
MC 1710	2.0	20	1250
MC 1710 C	5.0	25	1000

2) Comparateurs avec strobos

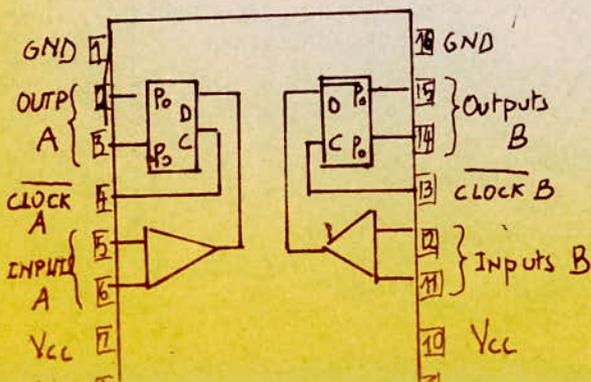
MC 1514 $T_A = -55^{\circ} \text{ à } 125^{\circ} \text{ C}$
 MC 1414 $T_A = 0^{\circ} \text{ à } 70^{\circ} \text{ C}$



n° du dispositif	V_{IO}	I_{IB}	A_{Vol}
	mV max	μA max	V/V min
MC 1514	2.0	20	1250
MC 1414	5.0	25	100

b) Comparateur de précision

$T_A = -30^{\circ} \text{ à } 85^{\circ} \text{ C}$



n° du dispositif	V_{IH} mV	mode commun Gamme Vof	T_{PA}	T_{PD}
	min		entrees differentes m Max	CLOCK ns Max
MC 1650	± 20	-2.5 à 3.0	5.0	4.7
	± 20	3.0 à 2.5	5.0	4.7

III- TABLEAUX -DIVERS DES STANDARDS DE BUS
=====

III-1-Les signaux standards types de RS 232 C

T A B L E A U n°3

Symbolle	Désignation	Fonction
Tx D	: TRANSMIT DATA:	Les lignes Tx D et Rx D sont utilisées pour le
RxD	: RECEIVE DATA:	transfert d'information entre deux systèmes
RTS	: REQUEST TO SEND	Ces quatre signaux sont utilisés pour le contrôle du Modem.
CTS	: CLEAR TO SEND :	
DST	:DATA SET READY:	
DTR	:DATA TERMINAL: : READY	

Tous les signaux ci-dessous sont utilisés pour **indiquer** les états du Modem (voir signaux du Modem et du démodulateur

- SECONDARY DATA AND REQUESTS
- RING INDICATOR
- RECEIVED LIGNE SIGNAL DETECTOR
- DATA RATE SELECTOR (2)
- TRANSMITTER -TIMING (2)
- RECEIVED - TIMING

III-2- SIGNAUX DE COMMANDE DU STANDARD IEEE- 488T A B L E A U n°4

Sympole	Désignation	Fonction
DAV	DATA VALID	"Information validée" Elle est mise à "1" par le transmetteur indiquant aux récepteurs adressés que les informations sont prêtes sur les 8 fils
NRFD	NOT READY FOR DATA	"Non prêt à recevoir ": ligne connectée à tous les récepteurs NRFD=0 indique que tous les récepteurs actifs sont prêts à recevoir l'information. NRFD=1 pour indiquer qu'ils ne sont plus prêts à écouter.
NDAC	NOT DATA ACCEPTED	"Données non acceptées": ligne connectée à tous les récepteurs. NDAC=0 indique que les récepteurs ont accepté l'information. NDAC=1 indique que les récepteurs n'ont rien reçu
REN	REMOTE-ENABLE	C'est une ligne de "Télécommande " qui permet au contrôleur de prendre la commande à distance des instruments connectés sur le bus.
SRQ	SERVICE REQUEST	Ligne de "demande d'interruption" qui peut être mise vraie par les instruments à tout moment dans le but de signaler au contrôleur une condition particulière. Le changement d'état de cette ligne n'entraîne pas automatiquement une interruption. Elle ne sert qu'à attirer l'attention du contrôleur qui décide ou non
EOI	END-OR-IDENTIFY	Ligne " fin ou Identification" utilisée par un émetteur actif pour indiquer la fin d'une séquence de transfert de plusieurs caractères.
IFC	INTERFACE CLEAR	Ligne de "ré-initialisation" qui ne peut-être mise à l'état vrai que par le contrôleur pour arrêter toute activité sur le bus et alors, tous les instruments se désadressent.

Suite du Tableau n° 4

Symbole	Désignation	Fonction
A TN	ATTENTION	Ligne qui permet de distinguer entre les 2 types d'informations présents sur les 8 fils de données. Avec "ATN" vrai (0volt) les informations sont des adresses . Avec " ATN" faux (5 volts), les informations seront des résultats de mesure ou des ordres de programmation

III-3- LES SIGNAUX DU "CAMAC DATAWAY"

Tableau n°5

Différents Signaux :	Désignation :	Symbole :	FONCTION :
SIGNAUX DE COMMANDE	INITIALIZE	Z	Positionne et initialise les registres lors d'une mise sous tension
	INHIBIT	I	Caractéristiques sont invalidées pour une durée du signal lorsque I=1
	CLEAR	C	Remet à zéro les registres, ou initialise les flip-flop
SIGNAUX DE CONTROLE	STATION NUMBER	N	Sélectionne le module, il y a une ligne individuelle du contrôleur crête à chaque station.
	SUBADDRESS	A1, 2, 4, 8	S Sélectionne une position du module dont la commande est directe. Il y a 16 adresses possibles.
	FONCTIONS CODES	F1, 2, 4 ; 8, 16	Définit la fonction à exécuter dans un module durant les opérations de contrôle
SIGNAUX DATA	READ-BUS	R1-R24	Transmet une information digitale du module au contrôleur crête. 24bits maximum
	WRITE BUS	W1-W2	Transmet une information digitale du contrôleur, crête au module. Format est le mot de bits parasites.
SIGNAUX DE SYNCHRONISATION	STROBE 1 STROBE 2	S1-S2	Ces deux strobes sont générés durant chaque opération dataway. S1 commande la première phase de l'opération et S2 la seconde phase.

Suite du Tableau n°5

Différents Signaux	Désignation	Symbole	FONCTION
SIGNAUX	LOOK AT ME	L	Un signal du module au contrôleur crête indiquant une demande de service ou une "attention" Il y a une ligne individuelle de chaque module à une station de commande
	RESPONSE	Q	"1"bit réponse par module pour certains contrôles utilisés par contrôleur crête Il indique l'état d'une caractéristique sélectionnée par contrôle.
	COMMAND ACCEPTED	X	Indique la capacité d'un module pour exécuter une opération de commande
D' ETAT	BUSY	B	Indique qu'une opération s Dataway est en cours d'exécution.
	SIGNAUX		
CONNECTIONS	FREE BUS LINES	P1- P2	Pour des utilisations non spécifiées
NON STANDARD	PATCH CONTACT	P3-P7	Pour des interconnexions non spécifiées

Tableau n°6 : Présentation des 100 lignes

Vue côté composants

Vue côté Soudures

Groupe	N°	Désignation
4	1	+ 8 Volts
4	2	+16 Volts
3	3	XRDY
3	4	V10
3	5	V11
3	6	V12
3	7	V13
3	8	V14
3	9	V15
3	10	V16
3	11	V17
5	12	XRDY 2
5	13	
5	14	
5	15	
5	16	
5	17	
3	18	STATUS DSbl
3	19	C/C DSbl
3	20	Unprotect
3	21	SS
3	22	Addr Dsbl
3	23	Do-DSbl
3	24	°2
3	25	°1
3	26	PHLDA
3	27	PWAIT
3	28	PINTE
1	29	A5
1	30	A4
1	31	A3
1	32	A15
1	33	A12
1	34	A9
2	35	D01
2	36	D00
1	37	A10
2	38	D04
2	39	D05
2	40	D06
2	41	D12
2	42	D13
2	43	D17
3	44	SMI

Groupe	N°	Désignation
4	51	+8 Volts
4	52	-16 Volts
5	53	SSW DSB
3	54	EXT CLR
3	55	RTS
5	56	STS TB
5	57	DIG 1
5	58	FROY
5	59	
5	60	
5	61	
5	62	
5	63	
5	64	
5	65	
5	66	
5	67	
3	68	MWRITE
3	69	PS
3	70	PROTECT
3	71	RUN
3	72	PRDY
3	73	PINT
3	74	PHOLD
3	75	PRESET
3	76	PSYNC
3	77	PWR
3	78	PD BIN
1	79	A0
1	80	A1
1	81	A2
1	82	A3
1	83	A7
1	84	A8
1	85	A13
1	86	A14
1	87	A11
2	88	D02
2	89	D03
2	90	D07
2	91	D14
2	92	D15
2	93	D16
2	94	D11

Suite Tableau n. 6

Vue Côté Composants

Vue Côté Soudures

Group	N°	Désignation
3	45	SOUT
3	46	SINP
3	47	SMEMR
3	48	SHLTA
3	49	CLOCK
4	50	GND

Group	N°	Désignation
2	95	DIO
3	96	SINTA
3	97	SWO
3	98	SSTACK
3	99	POC
4	100	GND

Tableau n°7: Signaux de contrôle et commande

n° de ligne	Symbole	désignation	Fonctions
26	PHLDA	HOLD- ACKNOWLEDGE	C'est le signal de reconnaissance d'une commande " HOLD " qui indique que les sorties "adresses" et "données" du microprocesseur passent en haute impédance.
27	PWAIT	WAIT	C'est l'acceptation à une demande externe de mise en attente.
28	PINTE	INTERRUPT; ENABLE	C'est le signal fournit par le microprocesseur indiquant l'acceptation d'une interruption
76	PSYNC	SYNC	Indique le début de chaque cycle machine
77	PWR	WRITE	Indique une écriture en mémoire. Les informations sur le bus des données, doivent rester stables pendant toute la durée de ce signal.
78	PD BIN	DATA BUS	Indique à tous les circuits branchés sur le système que le bus des données est en mode "ENTREE"

Tableau n°8: Signaux de Synchronisation

N°Ligne: Symbole	Désignation	FORME (à titre d'exemple)
24 : $\emptyset 2$	PHASE 2 CLOCK	
25 : $\emptyset 1$	PHASE 1 CLOCK	
: CLOCK	: CLOCK	: 2 Mhz en signaux carrés

Tableau n°9: Commandes directes sur le microprocesseur

N° Ligne	Symbole	Désignation	FONCTIONS
3	XRDY	EXTERNAL READY	Utilisé par une fonction externe, force le microprocesseur dans la position d'attente et permet l'examen de ligne PRDY
72	PRDY	READY	Ce signal d'entrée contrôle la marche du microprocesseur.
73	PINT	INTERRUPT REQUEST	C'est une demande d'interruption adressée au microprocesseur.
74	PHOLD	HOLD	C'est le signal de commande adressé au microprocesseur demandant une attente particulière permettant à une unité externe de prendre le contrôle des bus adressés et données dès que le processus termine son cycle machine

Tableau n°10: Les Lignes d'état

N°Ligne	Symbole	Désignation	Fonction
44	SMI	MI	Indique que le processus est en cycle de recherche du premier mot d'une instruction
45	SOUT	OUT	Indique que le bus adressé contient l'adresse d'une unité de sortie et que le bus de données contiendra les informations de sortie quand PWR sera activé
47	SMEMR	MEMR	Indique que le bus de données est utilisé pour une lecture en mémoire.
46	SINP	INP	Indique que le bus adresse contient l'adresse d'une unité d'entrée et que le bus de données contiendra les informations d'entrée quand PDBIN sera activé.
48	SHLTA	HLTA	Indique la reconnaissance d'une instruction d'arrêt HALT
96	SINTA	INTA	Indique l'acceptation après une demande d'interruption
97	SWO	WO	Signal définissant une opération d'écriture en mémoire ou une fonction de sortie.
98	SSTACK	STACK	Indique que le bus d'adresse contient une adresse issue du pointeur de pile

Tableau n°11- Lignes de contrôle mémoire

N°Ligne	Symbole	Désignation	FONCTION
20	UNPROT	UNPROTECT	Signal permettant le positionnement de la bascule flip-flop sur la carte mémoire désirée, lorsqu'elle est équipée de cette fonction.
68	MWRT	MEMORY WRITE	Signal délivré par la console de commande pour indiquer que les informations sur le bus de données sont destinées à l'écriture en mémoire.
69	PS	PROTECT STATUS	Signal d'état de la bascule de protection de la carte mémoire adressée
70	PROT	PROTECT	Ce signal à la même fonction que UNPROT vu ci-dessus.

Tableau N°12-Lignes pour l'accès externe

N°Ligne	Symbole	Désignation	Fonctions
18	<u>STATUS</u> DSBL	STATUS DISABLE	Isolement du "buffer" correspondant aux lignes d'état (Tableau n°)
19	CC DSBL	COMMAND CONTROL DISABLE	Isolement du "buffer" des 6 lignes de contrôle et commande (tableau n°)
22	<u>ADDR</u> DSBL	ADDRESS DISABLE	Isolement du "buffer" d'adress (groupe : 1 du texte)
22	DO DSBL	DATA OUT DISABLE	Isolement des deux "drivers" bidirectionnels aussi bien pour les 8 lignes de données d'entrée que pour les 8 lignes de données de sortie.
53	<u>SSW</u> DSBL	SENSE SWITCH DISABLE	Isolement du "buffer" d'entrée de l'unité pour permettre l'entrée des données depuis les switches de la face avant

TABLEAU N°13: Les autres lignes de Commande d'alimentation

N°	Symbole	Désignation	FONCTIONS
99	POC	POWER ON CLEAR	Ligne d'initialisation qui consiste lors de la mise sous tension à l'initialisation de tout l'ensemble.
75	PRESET	PRESET	Ligne d'initialisation qui remet à zéro le contenu du compteur de programme et du registre d'instructions du processeur.
54	EXT. CLR	EXT. CLR	Ligne d'initialisation qui initialise seulement les unités d'entrées / sorties
21	S.S	SINGLE STEP	Ligne de commande en pas à pas du processeur et, lorsqu'elle est activée, permet le déroulement d'un seul cycle machine.
71	RUN	RUN	Ligne de commande de marche normale pour l'exécution d'un programme.
1	+8V	+8 Volts	permettent l'alimentation des circuits
2	+16V	+16 Volts	
51	-8V	-8 Volts	
52	-16 V	-16 Volts	

bits		b ₇	b ₆	b ₅		000	001	010	011	100	101	110	111
b ₄	b ₃	b ₂	b ₁	Column Row		0	1	2	3	4	5	6	7
0	0	0	0	0	0	NULL	DLE	SP	0	Q	P	'	P
0	0	0	1	1	1	SOH	DC1	!	1	A	Q	a	q
0	0	1	0	2	2	STX	DC2	"	2	B	R	b	r
0	0	1	1	3	3	ETX	DC3	#	3	C	S	c	s
0	1	0	0	4	4	EDT	DC4	\$	4	D	T	d	t
0	1	0	1	5	5	ENQ	NAK	%	5	E	U	e	u
0	1	1	0	6	6	ACK	SYN	&	6	F	V	f	v
0	1	1	1	7	7	BEL	ETB	'	7	G	W	g	w
1	0	0	0	8	8	BS	CAN	(8	H	X	h	x
1	0	0	1	9	9	HT	EM)	9	I	Y	i	y
1	0	1	0	10	10	LF	SUB	*	:	J	Z	j	z
1	0	1	1	11	11	VT	ESC	+	;	K	[k	{
1	1	0	0	12	12	FF	FS	,	<	L	\	l	//
1	1	0	1	13	13	CR	GS	-	=	M]	m	}
1	1	1	0	14	14	SO	RS	.	>	N	^	n	~
1	1	1	1	15	15	SI	US	/	?	O	_	o	DEL

CODE ASCII

Code ASC II.

- Signification des différents symboles:

NUL : Nul ou tout à zéro	DC 1 : Commande appareil 1
SOH : début d'entête	DC 2 : Commande appareil 2
STX : début de texte	DC 3 : Commande appareil 3
ETX : fin de texte	DC 4 : Commande appareil 4
EOT : fin de communication	nak : accusé de réception négatif
ENK : demande	SYN : Synchronisation
ACK : accusé de réception	ETB : fin de bloc de transmission
BEL : Sonnerie	CAN : annulation
BS : Retour en arrière	EM : fin de support
HT : tabulation horizontale	SUB : Substitution
LT : interligne	ESC : Echappement
VT : tabulation verticale	FS : Séparation de fichier
FF : présentation de formule	GS : Séparateur de groupe
CR : retour de chariot	AS : Séparateur d'article
SO : hors code	US : Séparateur de sous-article
SI : en code	SP : Espace
DLE : échappement transmission	DEL : Oblitération.

Ce code comprend 128 caractères, représentés chacun par 7 bits, par exemple: la lettre F est représentée par : 1000110
la lettre Y est représentée par : 1011001.
la commande ETB est représentée par: 0010111.

Code Hexadécimal -

Le système hexadécimal utilise les 10 chiffres du système décimal plus les 6 premières lettres de l'alphabet A.B.C.D. E et F

Décimal	binnaire	hexadécimal
0	0 0 0 0	0
1	0 0 0 1	1
2	0 0 1 0	2
3	0 0 1 1	3
4	0 1 0 0	4
5	0 1 0 1	5
6	0 1 1 0	6
7	0 1 1 1	7
8	1 0 0 0	8
9	1 0 0 1	9
10	1 0 1 0	A
11	1 0 1 1	B
12	1 1 0 0	C
13	1 1 0 1	D
14	1 1 1 0	E
15	1 1 1 1	F

TABLE 5 - JUMP AND BRANCH INSTRUCTIONS

OPERATIONS	MNEMONIC	COND. CODE REG.																	
		RELATIVE			INDEX			EXTND			IMPLIED			BRANCH TEST					
		OP	~	=	OP	~	=	OP	~	=	OP	~	=	H	I	N	Z	V	C
Branch Always	BRA	20	4	2															
Branch If Carry Clear	BCC	24	4	2										C=0					
Branch If Carry Set	BCS	25	4	2										C=1					
Branch If = Zero	BEQ	27	4	2										Z=1					
Branch If > Zero	BGT	20	4	2										$N \oplus V = 0$					
Branch If >= Zero	BGE	2E	4	2										$Z \oplus (N \oplus V) = 0$					
Branch If Higher	BHI	27	4	2										$C \oplus Z = 0$					
Branch If <= Zero	BLE	2F	4	2										$Z + (N \oplus V) = 1$					
Branch If Lower Or Same	BLS	23	4	2										$C \oplus Z = 1$					
Branch If < Zero	BLT	2D	4	2										$N \oplus V = 1$					
Branch If Minus	BNM	2B	4	2										$N = 1$					
Branch If Not Equal Zero	BNE	26	4	2										$Z = 0$					
Branch If Overflow Clear	BVC	20	4	2										$V = 0$					
Branch If Overflow Set	BVS	20	4	2										$V = 1$					
Branch If Plus	BPL	2A	4	2										$N = 0$					
Branch To Subroutine	BSR	8D	8	2															
Jump	JMP				6E	4	2	7E	3	3									
Jump To Subroutine	JSR				AD	8	2	BD	9	3									
No Operation	NOP										01	2	1						
Return From Interrupt	RTI										3B	10	1						
Return From Subroutine	RTS										39	5	1						
Software Interrupt	SWI										3F	17	1						
Wait for Interrupt	WAI										3E	9	1						

*WAI puts Address Bus, B/W, and Data Bus in the three state mode while VMA is held low.

TABLE 4 - INDEX REGISTER AND STACK MANIPULATION INSTRUCTIONS

POINTER OPERATIONS	MNEMONIC	COND. CODE REG.																					
		IMMED			DIRECT			INDEX			EXTND			IMPLIED			BOOLEAN/ARITHMETIC OPERATION						
		OP	~	=	OP	~	=	OP	~	=	OP	~	=	OP	~	=	H	I	N	Z	V	C	
Compare Index Reg	CPX	8C	3	3	9C	4	2	AC	8	2	BC	5	3				$X_H - M, X_L - (M + 1)$						
Decrement Index Reg	DEX													09	4	1	$X - 1 - X$						
Decrement Stack Ptr	DES													04	4	1	$SP - 1 - SP$						
Increment Index Reg	INX													08	4	1	$X + 1 - X$						
Increment Stack Ptr	INS													01	4	1	$SP + 1 - SP$						
Load Index Reg	LDX	CC	3	3	DC	4	2	EC	5	2	FC	6	3				$M - X_H, (M + 1) - X_L$						
Load Stack Ptr	LDS	BE	3	2	DE	4	2	EE	6	2	FE	5	3				$M - SP_H, (M + 1) - SP_L$						
Store Index Reg	STX				0F	5	2	EF	7	2	FF	6	3				$X_H - M, X_L - (M + 1)$						
Store Stack Ptr	STS				0F	5	2	AF	7	2	BF	6	2				$SP_H - M, SP_L - (M + 1)$						
Index Reg ← Stack Ptr	LIS													35	4	1	$X - SP$						
Stack Ptr ← Index Reg	TSX													30	4	1	$SP - 1 - X$						

OPERATIONS	MNEMONIC	IMPLIED			BOOLEAN OPERATION	COND. CODE REG.					
		OP	~	=		H	I	N	Z	V	C
Clear Carry	CLC	0C	2	1	$0 \rightarrow C$						R
Clear Interrupt Mask	CLI	0E	2	1	$0 \rightarrow I$						R
Clear Overflow	CLV	0A	2	1	$0 \rightarrow V$						R
Set Carry	SEC	0D	2	1	$1 \rightarrow C$						S
Set Interrupt Mask	SEI	0F	2	1	$1 \rightarrow I$						S
Set Overflow	SEV	0B	2	1	$1 \rightarrow V$						S
Accum A ← CCR	TAP	06		1	$A \rightarrow CCR$						
CCR ← Accum A	TAP	07	2	1	$CCR \rightarrow A$						

CONDITION CODE REGISTER NOTES: (Bit set if test is true, and cleared otherwise)

- 1 (Bit V) Test: Result = 1000000?
- 2 (Bit C) Test: Result = 0000000?
- 3 (Bit C) Test: Decimal value of most significant BCD Character greater than nine? (Not cleared if previously set.)
- 4 (Bit V) Test: Operand = 1000000 prior to execution?
- 5 (Bit V) Test: Operand = 0111111 prior to execution?
- 6 (Bit V) Test: Set equal to result of N/C after shift has occurred.
- 7 (Bit N) Test: Sign bit of most significant (MS) byte = 1?
- 8 (Bit V) Test: Z's complement overflow (from subtraction of MS bytes)?
- 9 (Bit N) Test: Result less than zero? (Bit 15 = 1)
- 10 (All) Load Condition Code Register from Stack. (See Special Operations)
- 11 (Bit I) Set when interrupt occurs. If previously set, a Non-Maskable Interrupt is required to exit the wait state.
- 12 (All) Set according to the contents of Accumulator A.



VOCABULAIRE-TECHNIQUE-EMPLOYE

- BAUD : Unité de mesure de vitesse pour un transfert de données si un bit = un signal, baud = bps (bits par second)
- BIT : Contraction de binary digT' , est un élément d'information
- BUS : Chemin de signaux. En général ensembles de fils, de câbles
- DEBORDEMENT : Singal indiquant que le résultat d'une opération ne peut résider dans le registre " Overflow "
- DRIVER : Le driser est nécessaire pour permettre le branchement d'un grand nombre de composants sur un même bus, de manière à préserver la forme, l'intensite et la durée des signaux.
- D P S K : " Differentiel phase shift keeying " Modulation de phase
- ENTREE/SORTIE: E/S. Chemins ou organes de communications avec le milieu extérieur.
- FAN-OUT Nombre de sorties pouvant être branchées à un composant.
- F.S.K. " Frequency shift keeyiug " Modulation de phase
- HARDWARE : " Matériel " Ensembles des circuits et compnants ou tout autre équipement.
- KILO : Le prefixe kilo, qui vaut 1000 en décimal vaut 1024^{en} binaire, ainsi un kilobit vaut 1024 bits. Une mémoire de 4 k bits est une mémoire de 4096 bits.
- LATCH : " Loquet " destiné à préserver une information présentée de manière temporaire sur un bus.
- L S B : " Least significant bit " : bit le moins significatif c'est-à-dire bit de plus faible poids.
- M S B : " Most significant bit " : bit le plus significatif c'est-à-dire bit de plus fort poids.

MOS : Le transistor MOS est, lui, un transistor unipolaire car un seul type de porteurs de charge explique sa condition.

Verticalement, la structure du transistor fait donc appel à un Métal, un Oxyde, et un Semiconducteur, ce qui a donné naissance au sigle MOS.

Puisqu'il faut enrichir le " Canal " en porteur P, on dit que le transistor est du type MOS à Canal P, ou PMOS, à enrichissement, et on trouve également le MOS à Canal N ou N M O S. Là, la conduction est assurée par des électrons et non plus par des trous, or, les électrons sont deux à trois fois plus rapides. Donc, le N M O S fonctionnera plus vite que le PMOS.

MOT : Ensemble de bits traités comme une unité logique, en général un mot est égal à 8 bits ou 16 bits.

OCTET : C'est un mot de 8 bits, le mot américain byte, qu'on assimile souvent à octet à fondamentalement le sens de mot. Dans le texte on l'assimile à Octet (8 bits).

SOFTWARE : " Logiciel " programme simulant l'opération logique du microprocesseur.

TTLSCAOTTKY : La famille TTL est une famille de logique à transistor (transistor Transistor logic) du type bipolaire, dont la version la plus évoluée est la Schottky. Elle consiste à utiliser, en plus des transistors des diodes Schottky qui en accroissent la vitesse de fonctionnement.

BUFFERS à 3 états :

Ce sont des portes de puissance dont la sortie peut prendre 3 états : un état au niveau logique = " 1 " un état logique = " 0 " et un troisième état de haute impédance dans lequel la sortie est équivalente à un circuit ouvert.

Ce troisième état avantage énormément la mise en parallèle de plusieurs circuits dont un seul est en service à la fois.

- B I B L I O G R A P H I E -

- H. LILLEN : Du microprocesseur au micro-Ordinateur
EDITION RADIO Tome I
- H. LILLEN : Du microprocesseur au micro-Ordinateur
EDITION RADIO Tome II
- H. LILLEN : Programmation des microprocesseurs
EDITION RADIO.
- ADAM-OSBORNE: AN. INTRODUCTION to microcomputer
EDITION Sybex Volume II
- ADAM-OSBORNE: 6800 programming for logic DESIGN.
Edition Sybex
- AUSTIN LESEA
et RODNAY ZAKS: Microprocessor - Interfacing - Techniques.
EDITION Sybex
- RODNAY ZAKS
et PIERRE le Bleux : Les microprocesseurs
EDITION Sybex
- BERNARD Loriferne: La conversion Analogique - Numérique
Numérique - Analogique
- D. QueySSAC : Comprendre les microprocesseurs en 15 leçons
EDITION RADIO.

1977-1978

Documentations MOTOROLA

- M 6800 = Systems reference and DATA Sheets
- M 6800 = Microcomputer - System Design DATA
- M 6800 = Microprocessor programming Manual
- The european.. Selection
- Computer Application Engineering.

REVUES

MINIS et MICROS: Avril, Mai, Juin : 1977
Mars, Mai, Août : 1978