

9/78

2 ex

DEPARTEMENT ELECTRICITE

Filiere d'Ingénieur en électronique

PROJET DE FIN D'ETUDES

المكتبة

ECOLE NATIONALE POLYTECHNIQUE  
BIBLIOTHEQUE

SUJET: Etude d'un récepteur de radionavigation V.O.R.

« Commande logique »

المدرسة الوطنية للعلوم الهندسية

المكتبة

ECOLE NATIONALE POLYTECHNIQUE  
BIBLIOTHEQUE

Proposé par: M<sup>r</sup> Michel ESCALUP

Etudié par: - DAHMANE Aek

- HALOUANI Aek





\* A nos chers parents, proches et amis pour leurs dévouements et égards.

\* Toute notre reconnaissance à notre promoteur M<sup>r</sup> Michel ESCALUP pour son précieux concours, nous avons trouvé en lui le maître généreux, et exemplaire

\* A nos camarades et collègues et tous ceux qui ont participé à notre formation.

Nous espérons que ce modeste travail exprimera notre gratitude.

HALOUANI Aek.

DAHMANE Aek.

Nous tenons à remercier /

nos amis et camarades :

BENHALLA

BENTAHAR

BOUDELLAA

DERKAOUI

KOUIDER

MEHDI

REZZOUG

SAIDI

MUSTAPHA

OUMELKHIR

HAMOU pour leur esprit coopératif et leur assistance,  
sans oublier le fameux "HOUGEIR" .



GENERALITES SUR LE V.O.R LES  
-----  
SYSTEMES DE NAVIGATION  
-----

L'utilisation de l'avion sur une grande échelle tant sur le plan civil que militaire, ne pouvait se concevoir sans la mise au point de méthodes de navigation bien précises. Par ailleurs l'accroissement de la densité des avions et l'augmentation de leur vitesse imposent un contrôle très strict de la circulation aérienne pour éviter les collisions en vol.

Les progrès de l'électronique ont permis la réalisation de tout un système cohérent d'aides à la navigation qui satisfont pleinement à tous les besoins. Seule la mise au point des avions supersoniques, est susceptible de modifier les données du problème.

Les ondes radio-électriques sont à la base de tous les auxiliaires radio de la navigation aérienne.

Le tableau ci-dessous nous donne les principales bandes de fréquences utilisées en radio-électricité.

Bande de fréquences	I	Longueurs d'ondes
Inferieures à 300 MHz	I	Supérieures au KM 9---BF
0,3 ----- 3 MHz	I	KM /     ----- 100m     MF
3 ----- 30 MHz	I	100m ----- 10m     HF
30 ----- 300 MHz	I	10m ----- 1m     VHF
Superieures à 300 MHz	I	Inferieures au m     UHF

Les radio-balises sont les plus simples des aides à la navigation . Elles consistent en des émetteurs qui diffusent à la verticale un faisceau d'ondes dont la bande est très haute ,généralement sur 75 MHz. Ces ondes sont captées par le récepteur de bord de l'avion et traduites sous la forme d'un signal visuel ou acoustique qui indique au pilote qu'il survole un point géographiquement bien défini.

De telles balises existent sur les routes importantes et particulièrement pour matérialiser les distances le long des couloirs d'approche des aéroports.

Par analogie avec la navigation maritime, ce furent les premiers dispositifs mis au point, mais les ondes lumineuses y sont remplacées par des ondes hertziennes.

Il existe trois types de radio-phares:

-à émission non dirigée

-d'alignement

-omni-directionnels.

Les radio-phares à émission non dirigée:

Ils émettent dans toutes les directions des ondes de fréquences bien déterminées et qui leurs sont caractéristiques. En utilisant des radio-phares différents, un avion peut faire le point à la manière des navires de mer .Pour cela, l'équipement radio-électrique de l'avion comporte une antenne réceptrice ayant la forme d'un cadre rectangulaire que l'on accorde sur la fréquence du radio-phare choisi. Cette antenne peut tourner autour d'un axe vertical et l'intensité qu'elle reçoit est maximale lorsque son plan est perpendiculaire à la direction du radio-phare.

Lorsqu'on connaît les prélèvements des angles de deux radio-phares et le cap de l'avion on peut déterminer graphiquement la position de l'avion voir Fig1.

D'un principe tout à fait différent sont les radio-phares d'alignement qui ,comme leur nom l'indique matérialisent une route bien définie.



Ils comportent deux émetteurs, émettant sur la même fréquence caractéristique de la route des signaux morse complémentaires .

Rappelons que l'on désigne par diagramme d'un émetteur la courbe obtenue en portant dans toutes les directions du plan un vecteur proportionnel à l'intensité de l'émission.

Tout récepteur qui se trouve alors placé sur l'un des deux axes passant par les points d'intersection des deux diagrammes , reçoit les deux émissions avec la même intensité, et donc un son continu. Voir Fig 2

Par contre , dès qu'il se trouve de part et d'autre de ces axes, il reçoit l'un des deux signaux avec une intensité prépondérante. Il suffit alors au radio-navigateur d'accorder son casque d'écoute sur la fréquence du radio-phare pour qu'il puisse , sans erreur possible faire suivre à l'avion la route choisie. Tel procédé de navigation est appelé "homming" en utilisant des radio-phares à émission non dirigée on peut faire également du homming. La méthode consiste alors à maintenir constant le relèvement du radio-phare choisi.

Le principe d'un axe matérialisé par l'intersection des deux diagrammes différents est utilisé dans les radio-phares à champ tournant.

Les deux diagrammes tournent alors d'un mouvement continu ainsi que leur axe , et , comme le radiophare émet un top lorsque l'axe passe par le nord , on obtient facilement le relèvement de l'avion en mesurant le temps qui s'écoule entre ce top et le passage de l'axe par la position de l'avion.

Enfin ce qui fait l'objet de notre étude : les radio-phares omnidirectionnels plus communément désignés sous le sigle V.O.R ( du nom anglo-saxon :

"omnidirectional radio range").

Émettant concurremment un signal de référence identique dans toutes les directions et un signal tournant dont la phase varie avec l'azimut (nord). Ainsi donc le relèvement de la station, à bord de l'avion, s'effectue en comparant les phases des deux signaux.



Lorsque le signal tournant passe par le le nord ,c'est à dire pour un azimut de  $0^{\circ}$ , les deux signaux sont en phase; le dephasage est de  $90^{\circ}$  lorsqu'il passe par l'Est , de  $180^{\circ}$  lorsqu'il passe par le Sud et enfin  $270^{\circ}$  lorsqu'il passe par l'ouest. (Voir schema page 5)

La navigation par V.O.R permet aussi de faire du homming.

Nous aborderons dans tout ce qui suit l'etude d'une commande V.O.R améliorées

Cet automate incremeta la chaine de division du synthetiseur et lui permet ainsi de delivrer au recepteur : la frequence intermediaire plus la frequence demandée par le navigateur. Ainsi l'ensemble recepteur synthetiseur se trouve calé sur cette demande et ne répond pas autrement.

En plus de la fonction decrite il est prevu un systeme de balayage automatique de toute la gamme de frequence V.O.R (ce qui permettra une indication sans intervention). Auquels s'ajoute un fonctionnement automatique programmé afin de permettre au pilote de programmer son vol.

Rivalisant les systemes mecaniques de commande utilisés actuellement, ce systeme sera d'un accès et d'une reponse beaucoup plus rapides.

Une priorité est donnée au clavier dans le fonctionnement .

Un arret de balayage momentané et à volonté est prevu en cas de reception dans le mode automatique ou automatique-programmé.

Une visualisation sera utilisée notamment :

- afficheurs de frequence choisie ou prospectée
- un indicateur de reception

- un indicateur en fonctionnement automatique ou automatique programmé.

En outre une eventuelle utilisation en emission /reception.



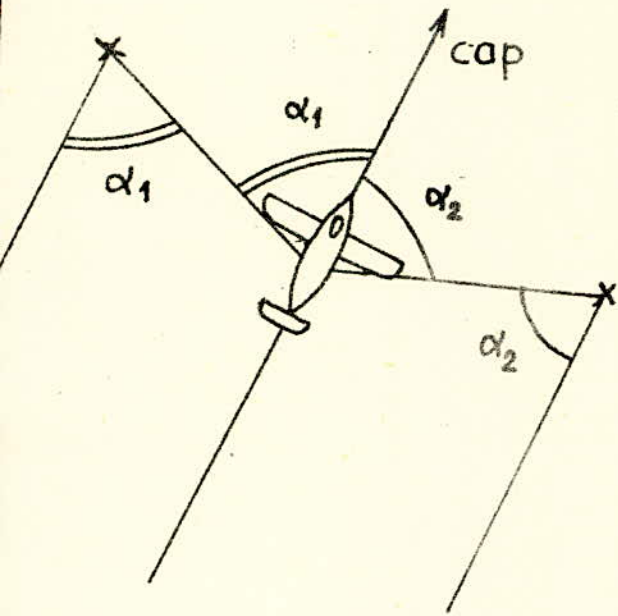


Fig 1

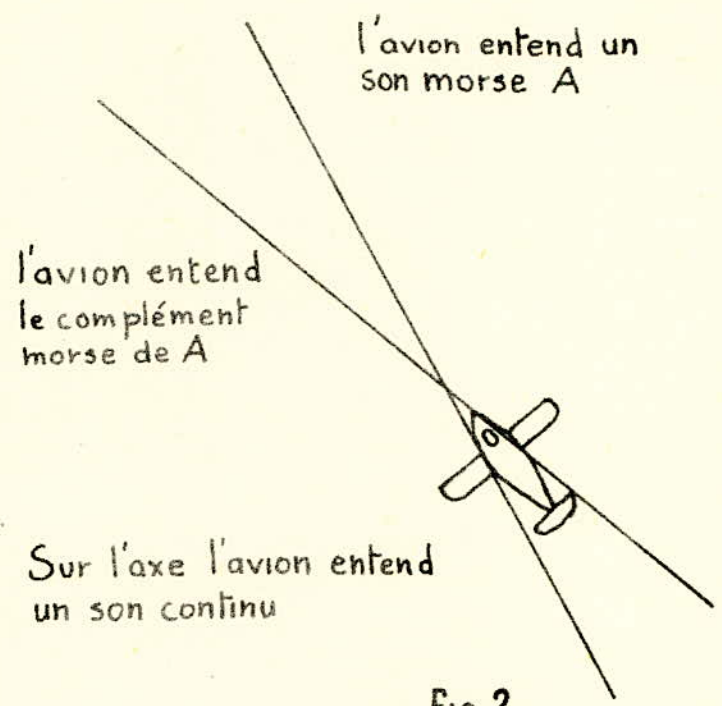
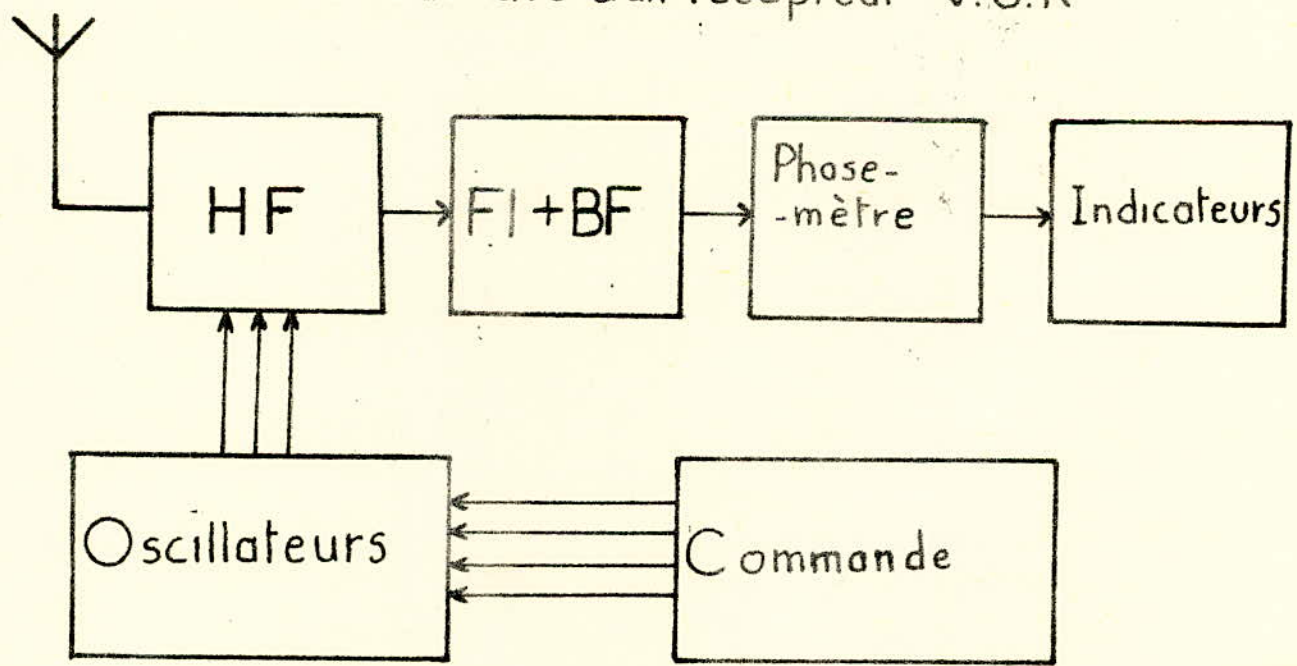
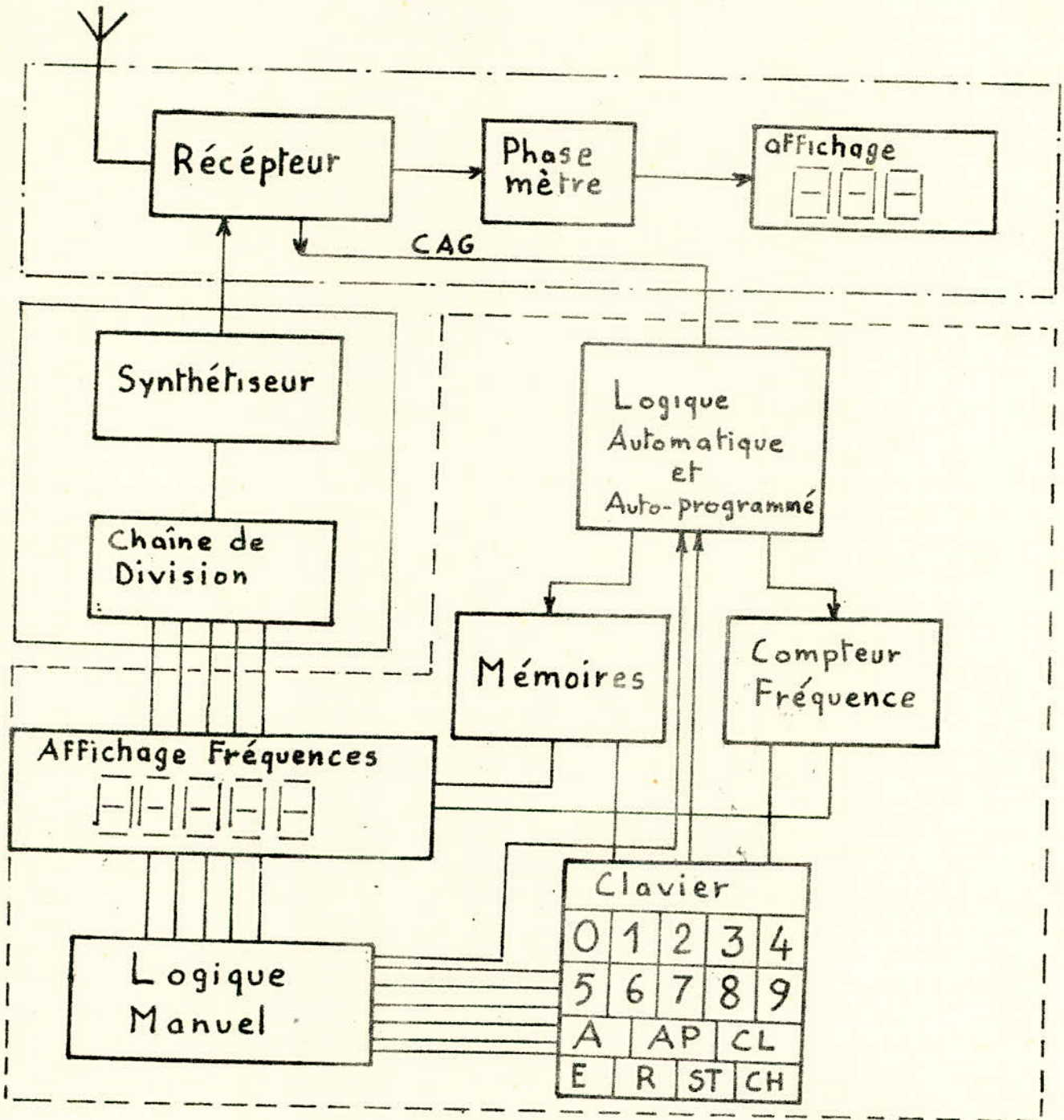


Fig 2

Schéma classique d'un récepteur V.O.R



## SCHEMA GENERAL DE LA COMMANDE



A et AP : Automatique et Auto-Programmé

ST: Arrêt du balayage

CL: Effacement

E;R: Emission ; Réception

Ch: Charge de la mémoire.



## F O N C T I O N N E M E N T M A N U E L

---

Nous décrirons le fonctionnement d'une manière très succincte:

Dans ce mode de fonctionnement le pilote dispose des fréquences des balises qu'il a à rencontrer sur le couloir emprunté.

Toute fréquence frappée sur le clavier est affichée et parallèlement envoyée à la chaîne de division du synthétiseur sous forme binaire pure .

La commande du synthétiseur reçoit ainsi l'information et fournira au récepteur la fréquence choisie ajoutée à la fréquence intermédiaire (FI est de 10,7 MHz ).

Après ceci nous avons deux possibilités:

- Soit que le récepteur capte effectivement cette fréquence, donc il est à proximité de la balise. Le pilote aura directement sa position en degrés sur l'afficheur du phase-mètre.
- Soit que la balise en question est très éloignée et le récepteur ne peut la recevoir, dans ce cas le pilote effacera cette fréquence et composera une autre.

Traduction de l'information du décimal en binaire pur:

Ce problème peut être résolu de différentes manières, nous allons décrire deux possibilités qui nous ont beaucoup intéressé.

I) Réalisation à l'aide d'un décodeur BCD  $\longrightarrow$  décimal :

Le schéma est en fig a de la page suivante.

Explication du fonctionnement :

Au choix de chaque chiffre du clavier (vu la rapidité du compteur)  $\sigma$  va passer automatiquement à 1 dès que le compteur BCD indiquera ce chiffre. ( $\sigma$  étant la commande des bascules).  $\sigma = 1$  va permettre à la bascule de charger ce chiffre, dès que la touche du clavier revient à sa position initiale  $\sigma$  revient à 0 et ne perturbera plus le contenu de la bascule qui reste mémorisé. Ce chiffre ne sera remplacé par un autre que lorsque nous appuyons sur une deuxième touche.

Fig a

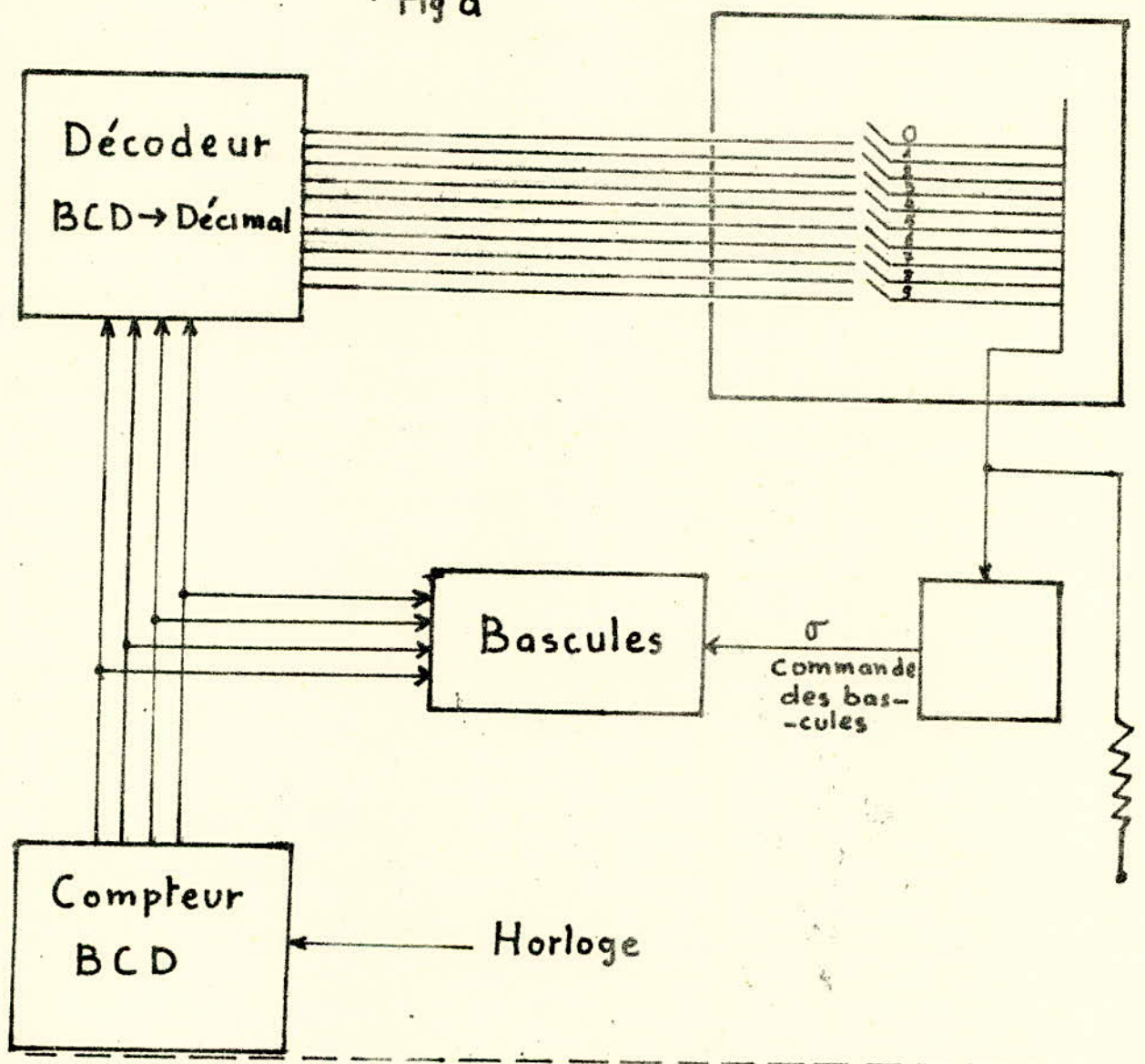
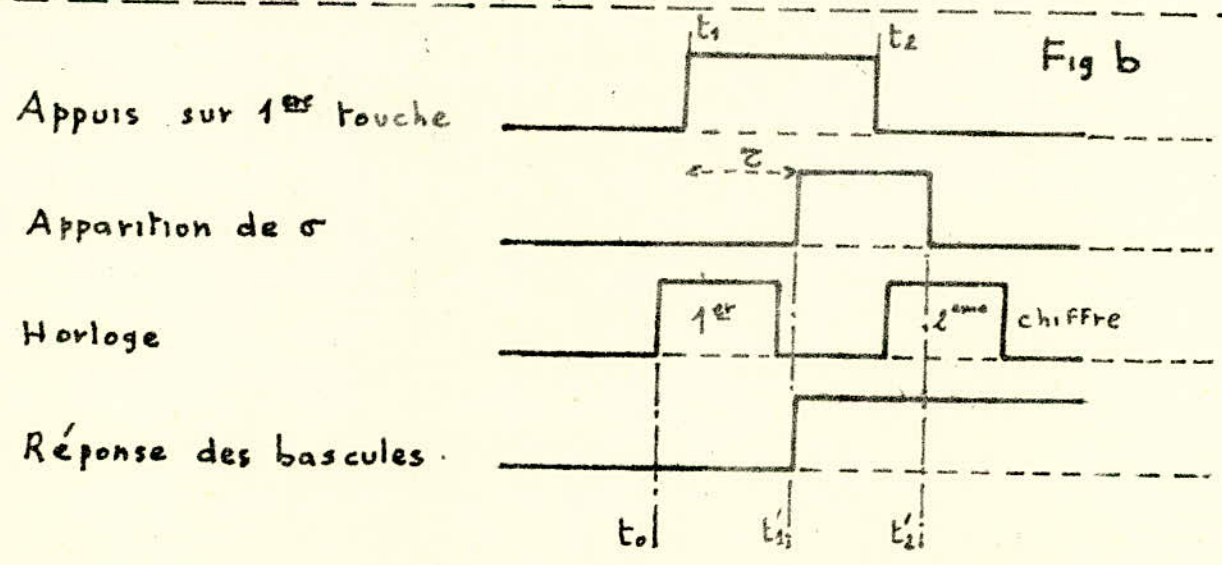


Fig b





Cependant un problème se pose; celui du temp de propagation de l'information  $\sigma$ , du clavier jusqu'aux bascules et la période de l'horloge du compteur .

En effet si la fréquence d'horloge est très élevée , de façon à ce que entre deux tops d'horloge ,  $\sigma$  ne serait pas arrivée aux bascules .

Le chiffre chargé dans les bascules ne sera pas celui choisi sur le clavier. Nous avons résumé ce problème sur le diagramme de la Fig b de la page précédente.

Au temps  $t_I$  il y a à la sortie du compteur le chiffre choisi en question. En fait ce chiffre avait commencé à exister depuis  $t_0$  (temps nécessaire à  $t_I$ ) c'est à dire à partir d'un certain top d'horloge si le 2<sup>ème</sup> top arrive avant que  $\sigma$  n'ait eu le temps de se propager ce qui a pour conséquence l'enregistrement du chiffre suivant dans les bascules.

C'est à cause de ces imperfections et imprecisions sans oublier les rebondissements et perturbations que nous n'avons pas retenu cette possibilité. Nous allons voir une autre possibilité avec des circuits logiques simples n'utilisant pas de compteur.

## 2) Réalisation à l'aide d'un décodeur décimal——BCD:

Nous allons dans un premier temps exposer le schéma initial simple , ensuite au fur et à mesure de son étude, nous l'améliorerons.

Le schéma de base est celui de la feuille suivante.

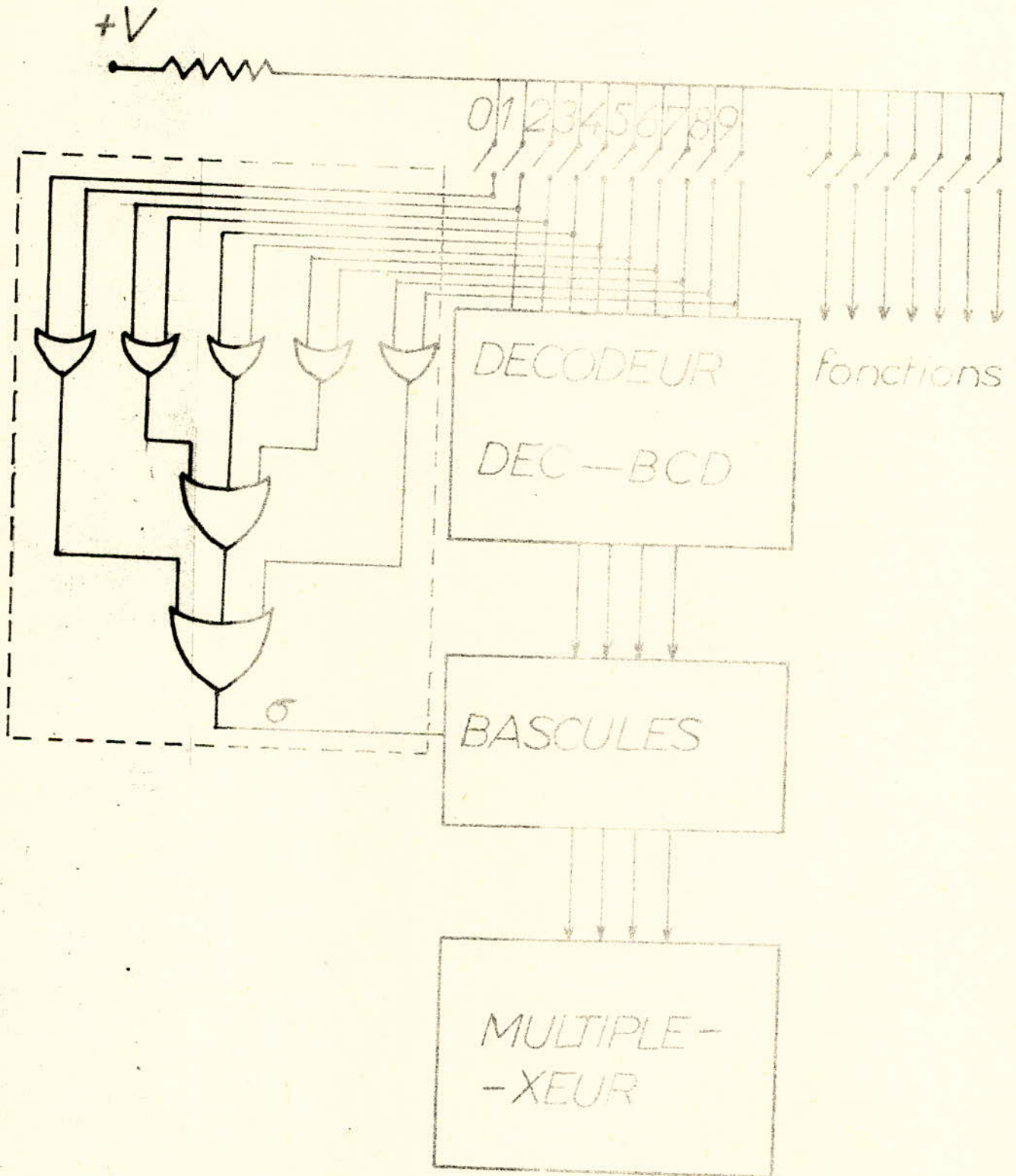
Nous remarquerons que la touche "0" du clavier n'est pas reliée au décodeur . Nous verrons pourquoi lors de la description et synthèse du décodeur BCD.

### Explication du fonctionnement du dispositif:

Puisque nous appuyons sur une seule touche à chaque chiffre nous allons utiliser cette propriété pour commander les bascules qui sont nécessaires pour emmagasiner l'information d'une façon temporelle.

En effet dès l'appui il faut que l'information binaire ne se perde pas dès que nous relâchons la touche du clavier. C'est pour cette raison qu'il est nécessaire d'utiliser des bascules. Mais ces bascules pour être en mesure d'enregistrer l'information présente à la sortie du décodeur il leur faut des impulsions de commande.





Ces impulsions sont générées à partir des circuits "ou" reliés aux touches du clavier dès l'appui. Par action sur une touche quelconque il y a apparition du "1" logique en  $\sigma$  qui incrémentera les bascules. Entre temps l'information (chiffre en binaire) apparaîtra avant que l'impulsion  $\sigma$  n'arrive aux bascules et ce par la constitution du décodeur comme nous le verrons par la suite.

Le diagramme des séquences est donné par la FigC.

Sortie du décodeur a été utilisée comme impulsion représentant en fait un état du décodeur. En fait si nous imposons le changement d'état du décodeur au front montant du signal A, avec une telle procédure nous introduisons un retard  $\tau$ , dû à la réponse des portes constituant le décodeur. donc une fois que B passe à "1" cela veut dire que nous avons une certaine information en sortie.

Dès que B passe à "0" l'information disparaît. A la lumière de ces considérations, il faut que les bascules chargent l'information au front montant de C ( $\sigma$ ). Car si nous supposons que le chargement s'effectue au front descendant cela entraînera toujours l'enregistrement de l'information 0000 dans les bascules à cause des retards déjà vus.

Remarques:

- Les ne reçoivent qu'une seule impulsion pour charger 4 bits ce qui impose le chargement en parallèle.
- Le fonctionnement du système est donc relativement simple. Cependant il n'est pas sans difficultés.
- Nous allons essayer celles-ci car elles pourront éventuellement fausser le fonctionnement du système.

Problème :

Au niveau des touches du clavier nous avons supposé que lorsque nous appuyons sur l'une d'elles nous obtiendrons une impulsion bien parfaite; en fait il n'en est rien. Les touches sont des contacts mécaniques et l'utilisateur appuie sur celles-ci d'une façon brève. Il y a donc des rebondissements et même parfois deux impulsions au lieu d'une seule à cause des perturbations mécaniques.



Fig c

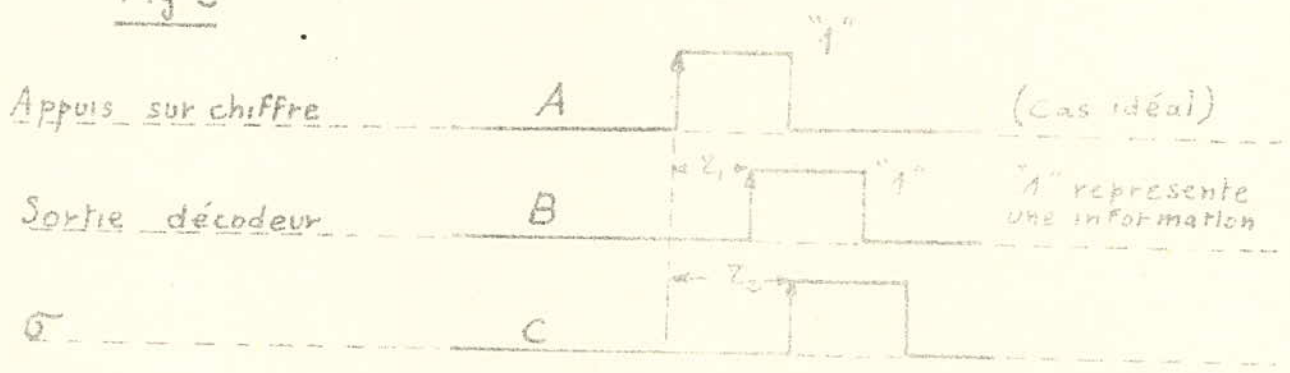


Fig d

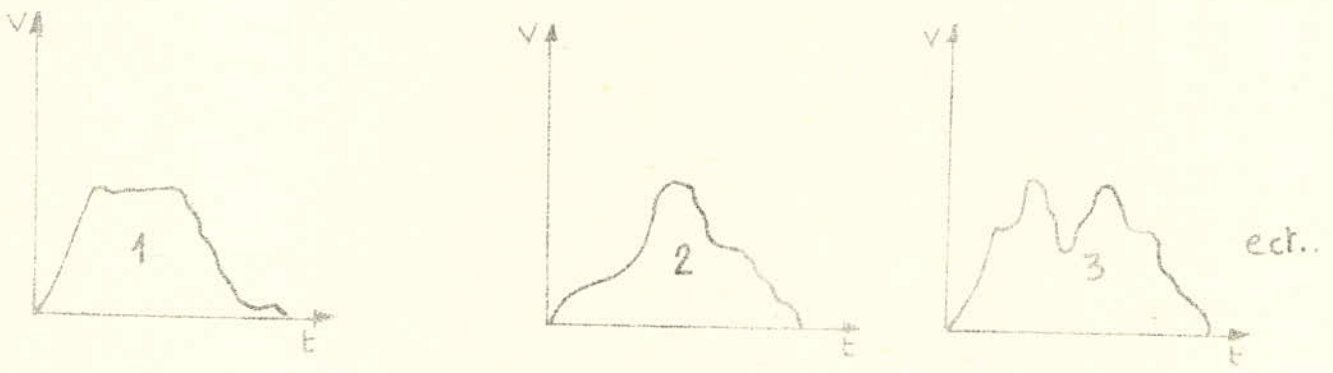


Fig e



Nous avons donc en réalité des impulsions d'allure aléatoire sous formes de la Fig d .

Or si nous attaquons notre système logique avec des signaux "logiques" de cette forme il se peut qu'il yv ait des imprecisions.

Il nous faut voir vers quels organes de notre système logique vont aller ces impulsions afin de les corriger .

Nous avons d'une part le décodeur qui reçoit ces impulsions et d'autre part les portes "ou".Le décodeur ,comme nous le verrons par la suite, pour qu'il puisse décoder une information en BCD ,il faut que la touche correspondante en décimal passe à "I" et reste un certain temps nécessaire,minimum,au bon fonctionnement de l'ensemble.

Prenons une impulsion de la forme de la Fig E:

Il est clair qu'attaquer avec une impulsion de type (A) ou (B) donne exactement la même information en sortie dans le temps.Ce qu'il faudrait voir de plus près c'est la durée T à l'état "I", qui doit être la plus longue possible afin de permettre aux bascules de charger la bonne information.Par contre il faut éviter les impulsions du type de la Fig f . Où il y aura des indéterminations au niveau du signal logique.Pour cela il nous faut choisir un clavier assez soigné du point de vue des touches mécaniques.

Remarque: Nous aurons bien pu utiliser entre chaque touche du clavier et sa connexion au décodeur un monostable qui nous délivre une impulsion rectangulaire de durée bien déterminée.

Quant aux portes "ou" à leur niveau la forme de l'information à leurs sorties dépend essentiellement de leur niveau de décision logique.

Soit par exemple l'impulsion suivante à la sortie du clavier:(Fig Ha) Tout en supposant que le niveau de décision des circuits est le même en montée et en descente;nous aurons à la sortie d'une porte "ou"le signal de la FigHb.

Comme ce signal va commander la charge des bascules;le plus important c'est,sa durée exclue,surtout son état logique "I".

Donc nous pouvons attaquer directement les bascules avec la sortie des portes "ou" sans apporter de modifications au signal.

### 3) Etude du décodeur décimal — BCD:

Il s'agit donc de traduire les 10 chiffres du système décimal par les combinaisons de 4 variables binaires.

Notre décodeur aura donc 10 entrées et 4 sorties; sur une entrée par chiffre et une sortie par poids binaire.

Le décodage se fait comme nous l'avons déjà mentionné du décimal au binaire codé décimal pur. Il s'agit de donner aux fonctions de sorties a, b, c, d la valeur appropriée "0" ou "1" lorsque nous appliquons le "1" logique sur l'une des entrées. Notons bien que les variables d'entrée se comportent d'une façon particulière car une et une seule d'entre elles est à l'état "1" à un moment donné. Ces variables ne peuvent être combinées entre elles. Cette remarque se traduit sur le clavier par le fait suivant : à un même moment nous ne pouvons appuyer sur deux touches différentes.

Si nous voulions une table de vérité nous aurons en réalité  $2^{10}$  configurations mais en fait nous n'utiliserons que les 10 permises cela nous donne  $2^{10} - 10 = 1024 - 10 = 1014$  configurations interdites.

Nous obtenons ainsi la table de vérité de la fig i .

Et nous obtenons ainsi les fonctions a, b, c, d par des considérations plus simples sans passer par le tableau de Karnaugh.

L'examen de la table de vérité montre que, par exemple, la sortie d ne prend la valeur "1" que si l'entrée 8 ou 9 est à l'état "1" ce qui se traduit par  $d = 8 + 9$  .

De même pour les autres nous aurons respectivement:

$$c = 4 + 5 + 6 + 7 = \overline{4} \cdot \overline{5} \cdot \overline{6} \cdot \overline{7}$$

$$b = 2 + 3 + 6 + 7 = \overline{2} \cdot \overline{3} \cdot \overline{6} \cdot \overline{7}$$

$$a = 1 + 3 + 5 + 7 + 9 = \overline{1} \cdot \overline{3} \cdot \overline{5} \cdot \overline{7} \cdot \overline{9}$$

Le schéma de câblage sera celui de la figure j.



Remarques :

Le zéro est constamment en sortie tant que nous n'aurons pas appuyé sur un chiffre compris entre 1 et 9 c'est là que s'explique l'emploi et l'utilité des portes "ou" qui commandent les bascules.

Si nous voulons par exemple écrire un zéro il suffit de presser sur la touche "0"; l'impulsion commandant les bascules va apparaître et puisqu'il y a en sortie du décodeur l'état (0000) les bascules vont bien enregistrer (0000).



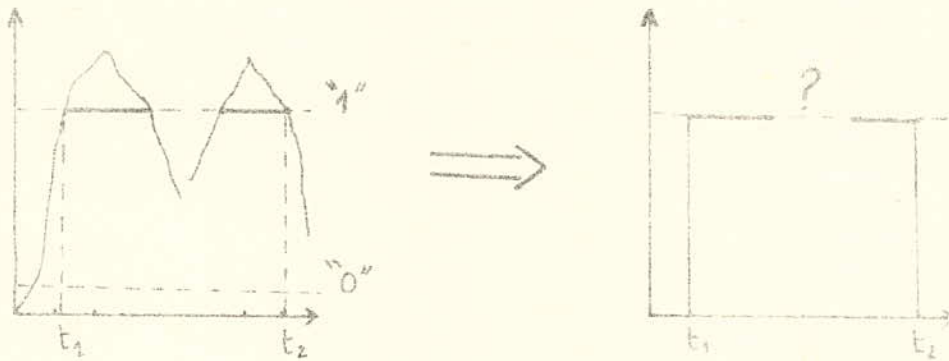
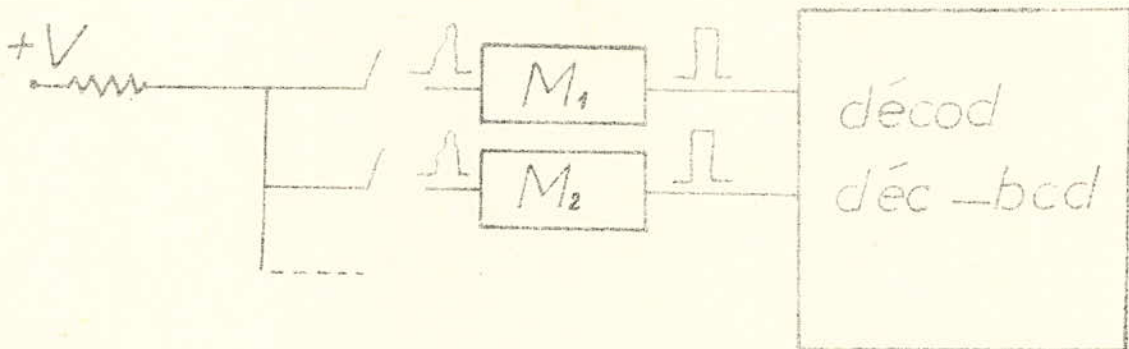
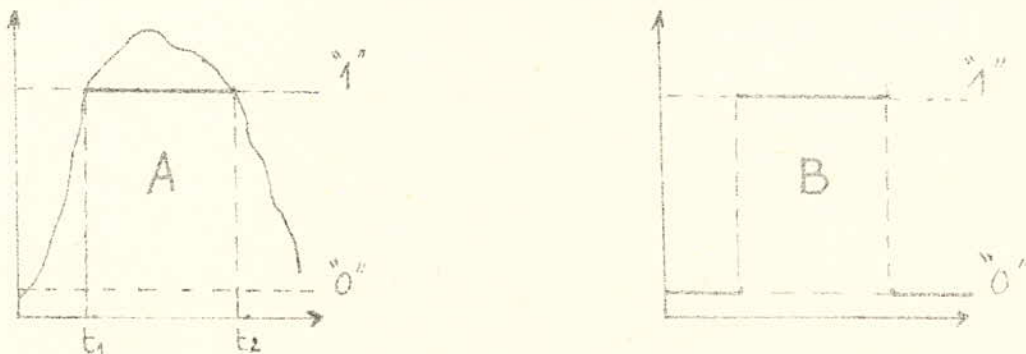
Fig fFig gFig h

Fig i

	$2^3$	$2^2$	$2^1$	$2^0$
N	d	c	b	a
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	<del>0</del>	<del>0</del>	<del>0</del>	<del>0</del>

→ Configuration interdite

### Schéma décodeur Décimal — BCD

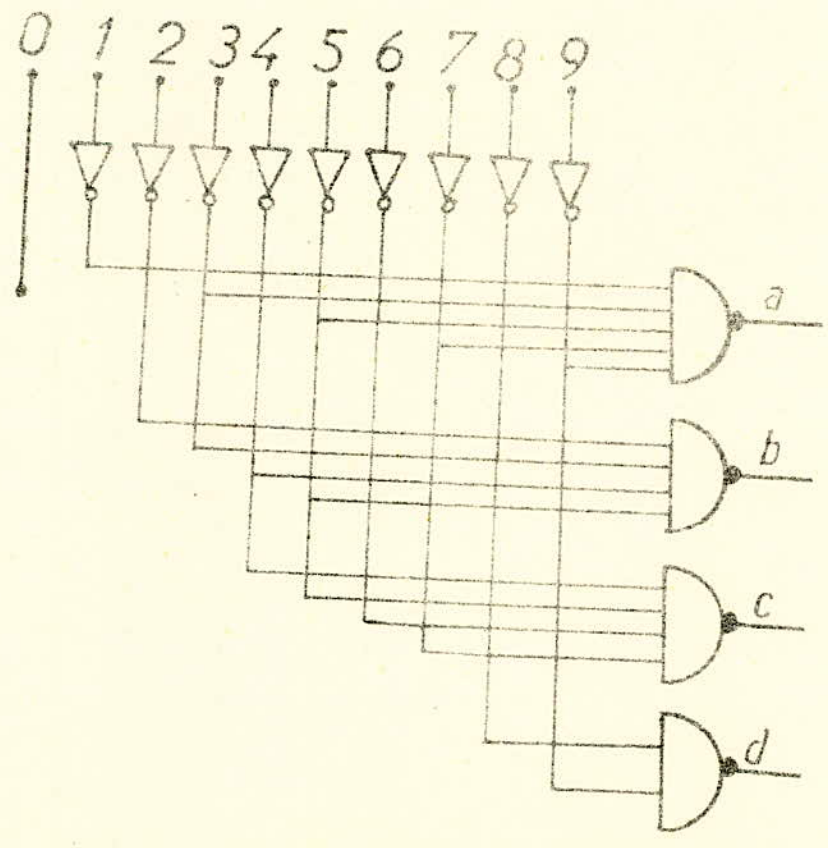


Fig J



## C O M M A N D E D' A F F I C H A G E M A N U E L

---

En fonctionnement manuel tout chiffre doit être transmis aux bascules des afficheurs.

Comme la plage de fréquences que nous utilisons dans le système V.O.R est limitée cela nous permet d'importantes simplifications. Nous avons au total cinq chiffres à frapper pour chaque demande (bande de 108,00 à 117,95).

En prenant l'ordre de la FigCI :

Le premier chiffre correspond aux centaines de MHz

Le deuxième chiffre correspond aux dizaines de " "

" troisième " " " " " unités " " "

" quatrième " " " " " dixièmes " " "

" cinquième " " " " " centièmes " " " .

La gamme varie par pas de 0,05 MHz.

Nous remarquons que le premier chiffre est permanent ;

le deuxième prend uniquement deux valeurs 0 ou 1;

le cinquième prend deux valeurs 0 ou 5 .

Les informations codées de chaque chiffre nous sont fournies en série par le multiplexeur. Celles-ci doivent être transmises aux registres à décalage l'une après l'autre de façon à éviter toute fausse interprétation pour l'opérateur.

Les bascules des afficheurs seront commandées par  $\bar{H}$  (voir suite) pour permettre à l'information issue du multiplexeur d'être présente. La présence de  $\bar{H}$  sera aiguillée comme nous le verrons par la suite.

Afin de faire circuler les chiffres codés en binaire de façon convenable nous utiliserons un compteur d'impulsions synchrone modulé 5 . Celui-ci dirigera suivant l'état : les informations du multiplexeur. Il sera commandé par  $\sigma$  et commandera de façon adéquate : le signal d'horloge  $\bar{H}$  et la sortie du multiplexeur vers les bascules; l'affichage du 1 permanent et la virgule et ceci à la troisième, quatrième et cinquième impulsion  $\sigma$  en plus de la remise à zéro lorsque nous entrons une nouvelle fréquence.

Soit par exemple à afficher 109,85; les séquences sont les suivantes : (voir FigC2).

Le compteur d'impulsions sera mis à 100 dès l'allumage (et dans le cas où l'opérateur change d'avis) par le système d'initialisation de la FigC3.

Le circuit aux deux bistables nous permet de générer une impulsion lorsque nous mettons le récepteur en marche.

Les valeurs des éléments RC seront définies par mise au point (voir FigC5) Remise à zéro des bascules :

Une fois l'opérateur ayant terminé de frapper une fréquence le compteur présente l'état 100 . Pour entamer une nouvelle fréquence les bascules doivent être préalablement mises à zéro. Cette mise à zéro est effectuée entre la transition du compteur des états 100 et 000 à l'aide du système de la FigC5.

Vu que toute nouvelle fréquence commence par le chiffre 1.

L'entrée de la porte de sortie (RAZ) est directement liée à la touche "1" du clavier.

Nous aurons alors le diagramme de la FigC6 . Ou  $t_1 + t_2 = t$  nous garantit la remise à zéro des bascules avant l'arrivée des informations du multiplexeur.

Fig C1

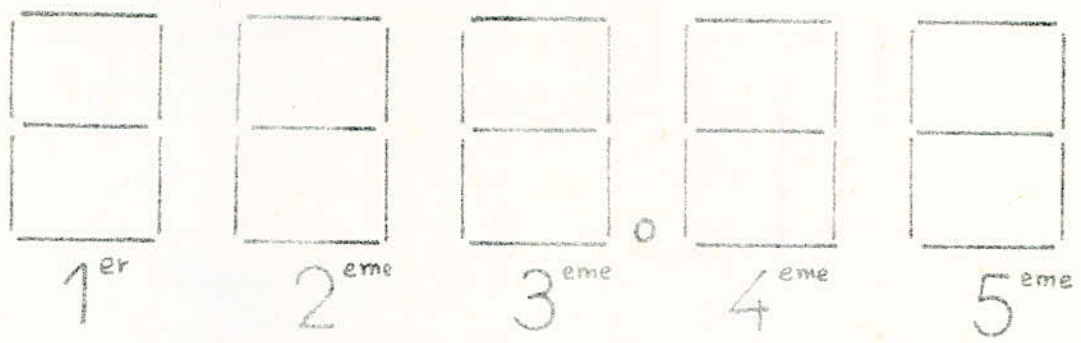
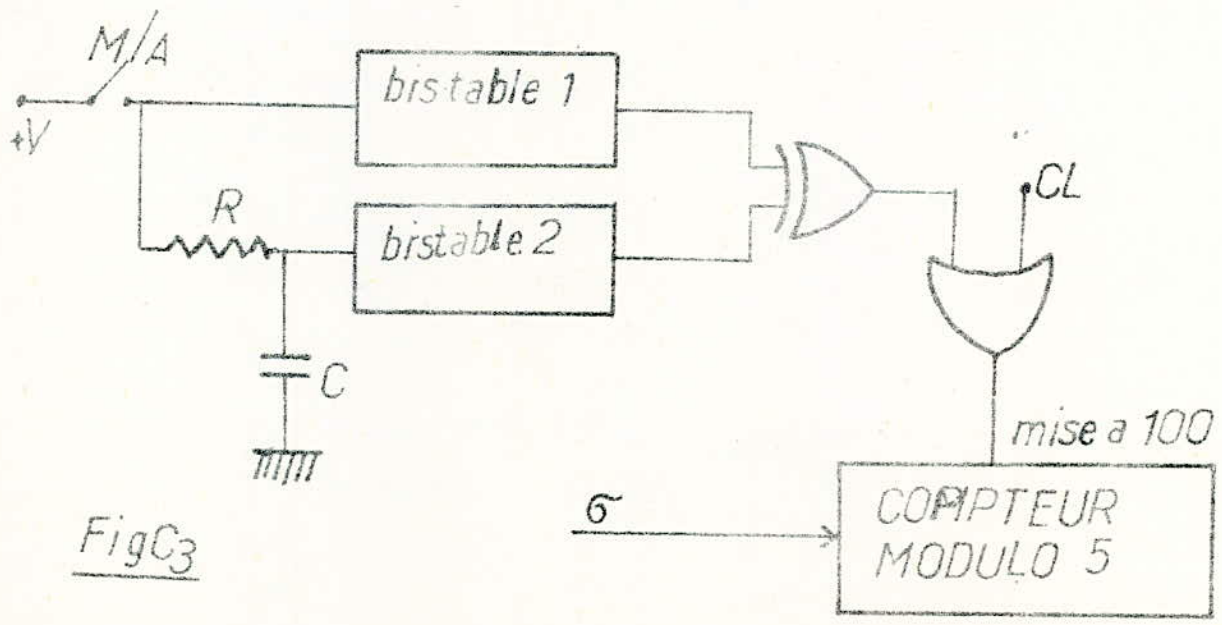


Fig C2

impulsion $\sigma$	sortie compteur			afficheur				
	1	2	3	1	2	3	4	5
1	0	0	0			1		
2	0	0	1		1	0		
3	0	1	0	1	0	9		
4	0	1	1	1	0	9	8	
5	1	0	0	1	0	9	8	5





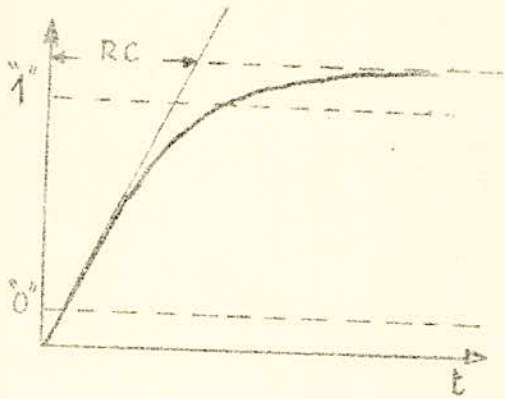


Fig C4

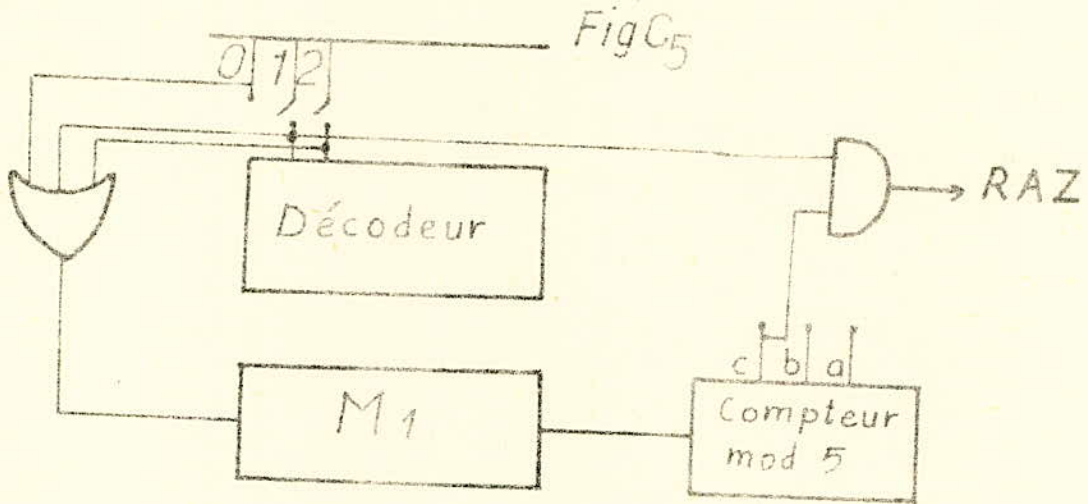
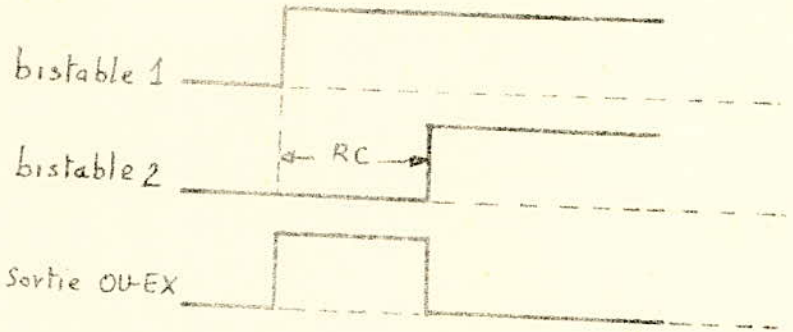


Fig C5

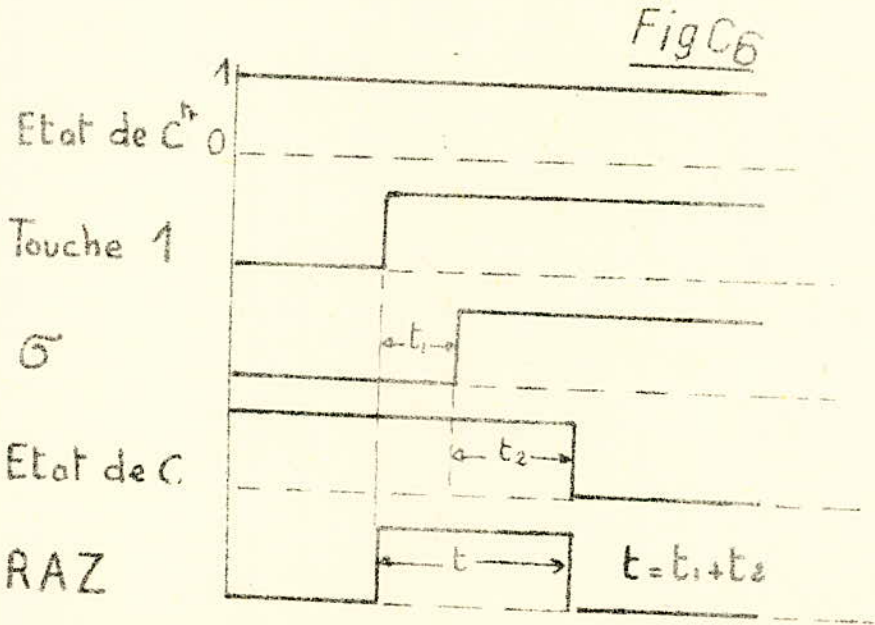


Fig C6

Aiguillage des informations et  $\bar{H}$  :

Si nous utilisons : \_Les sorties du compteur c,b ,a du poids le plus fort au poids le plus faible.

\_Une variable A pour commander les centaines de MHZ et l'allumage de la virgule.

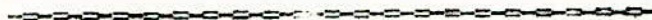
\_Une variable B pour la commande des unités et des dizaines de MHZ.

\_Une variable C pour le quatrième chiffre.

\_Une variable D pour le cinquième chiffre.

(Remarquons que pour les dizaines de MHZ une seule bascule est nécessaire.)

En imposant au multiplexeur la présentation des poids par ordre de décroissance nous avons pour les chiffres des dizaines et des centaines de MHZ les cas de la Fig ( voir tableau a de la feuille suivante ).



(a)

Chiffre		Code Binaire	Contenu Final	chiffre Affiché
Dizaines de MHz	{ 0	0000	0	0
	{ 1	0001	1	1
Centièmes de MHz	{ 0	0000	0	0
	{ 5	0101	1	5

Table de vérité des états des variables A, B, C, D en fonction des états du compteur :

N° Touche	Etat compt'			Variable			
	c	b	a	A	B	C	D
1	0	0	0	0	1	0	0
2	0	0	1	0	1	0	0
3	0	1	0	1	1	0	0
4	0	1	1	1	0	1	0
5	1	0	0	1	0	0	1

Tableaux de Karnaugh :

$\frac{b}{c/a}$	00	01	11	10	
0	0	0	1	1	
1	1	∅	∅	∅	A

$\frac{b}{c/a}$	00	01	11	10	
0	1	1	0	1	
1	0	∅	∅	∅	B

$\frac{b}{c/a}$	00	01	11	10	
0	0	0	1	0	
1	0	∅	∅	∅	C

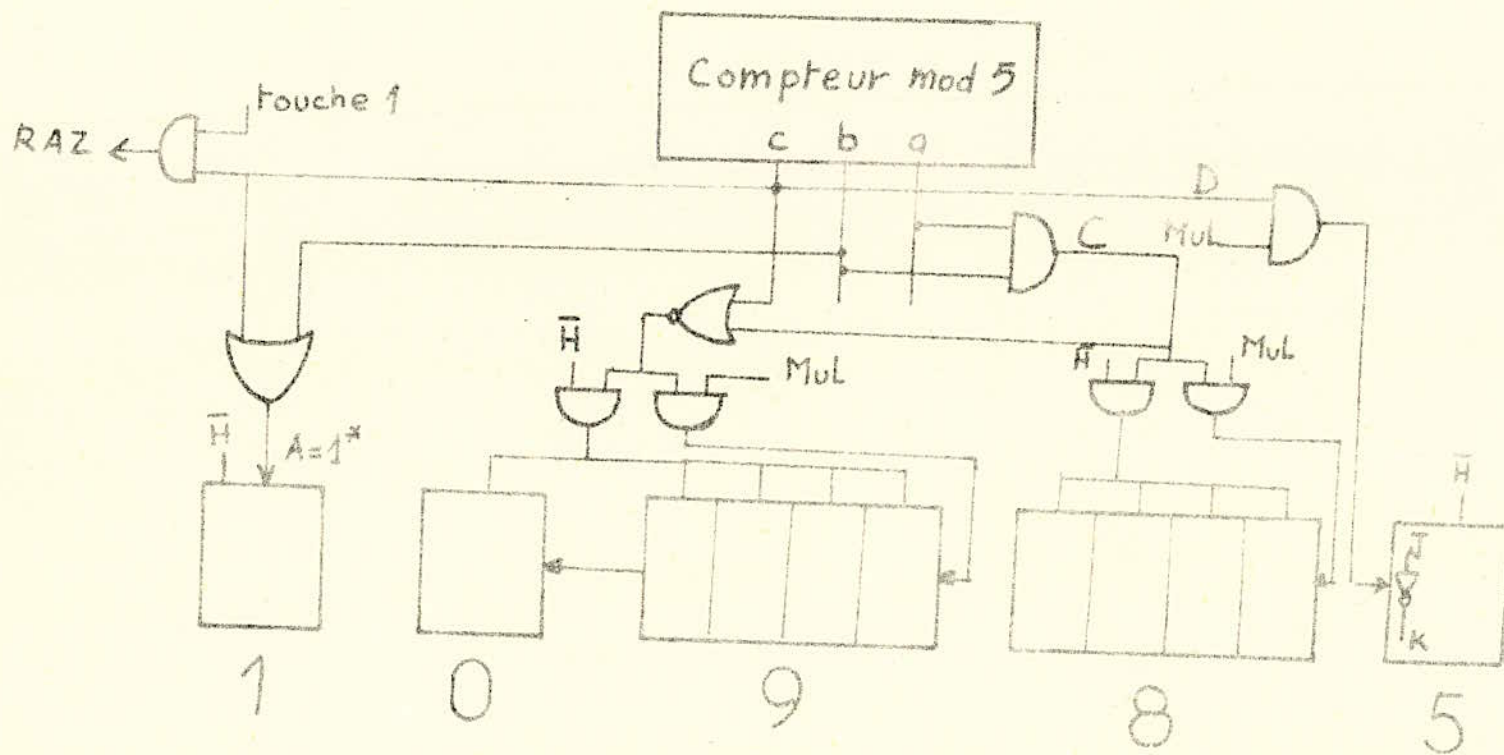
$\frac{b}{c/a}$	00	01	11	10	
0	0	0	0	0	
1	1	∅	∅	∅	D



Equations et schéma de la Commande :

$$A = b + c \quad B = \bar{c}b + \bar{c}\bar{b} = \bar{c}(b + \bar{a}) \quad D = c \quad C = ba$$

(b)



Mul : sortie multiplexeur      A : affichera la virgule

Commande Affichage Manuel (suite).

Nous avons envisagé deux variantes pour ce système ; la première déjà vue ou l'effacement se fait d'une manière automatique sans intervention ; et la deuxième qui suivra.

Elle répond aux critères suivants :

1°) L'ordre d'allumage des chiffres est tel que :

à la première touche	-----	le quatrième chiffre s'allume
" " deuxième " "	-----	le troisième " " " "
" " troisième " "	-----	le deuxième " " " "
" " quatrième " "	-----	le premier " " " "
" " cinquième " "	-----	le cinquième " " " "

2°) Dès que nous appuyons sur une sixième touche quelconque ; il y a effacement de la première fréquence composée.

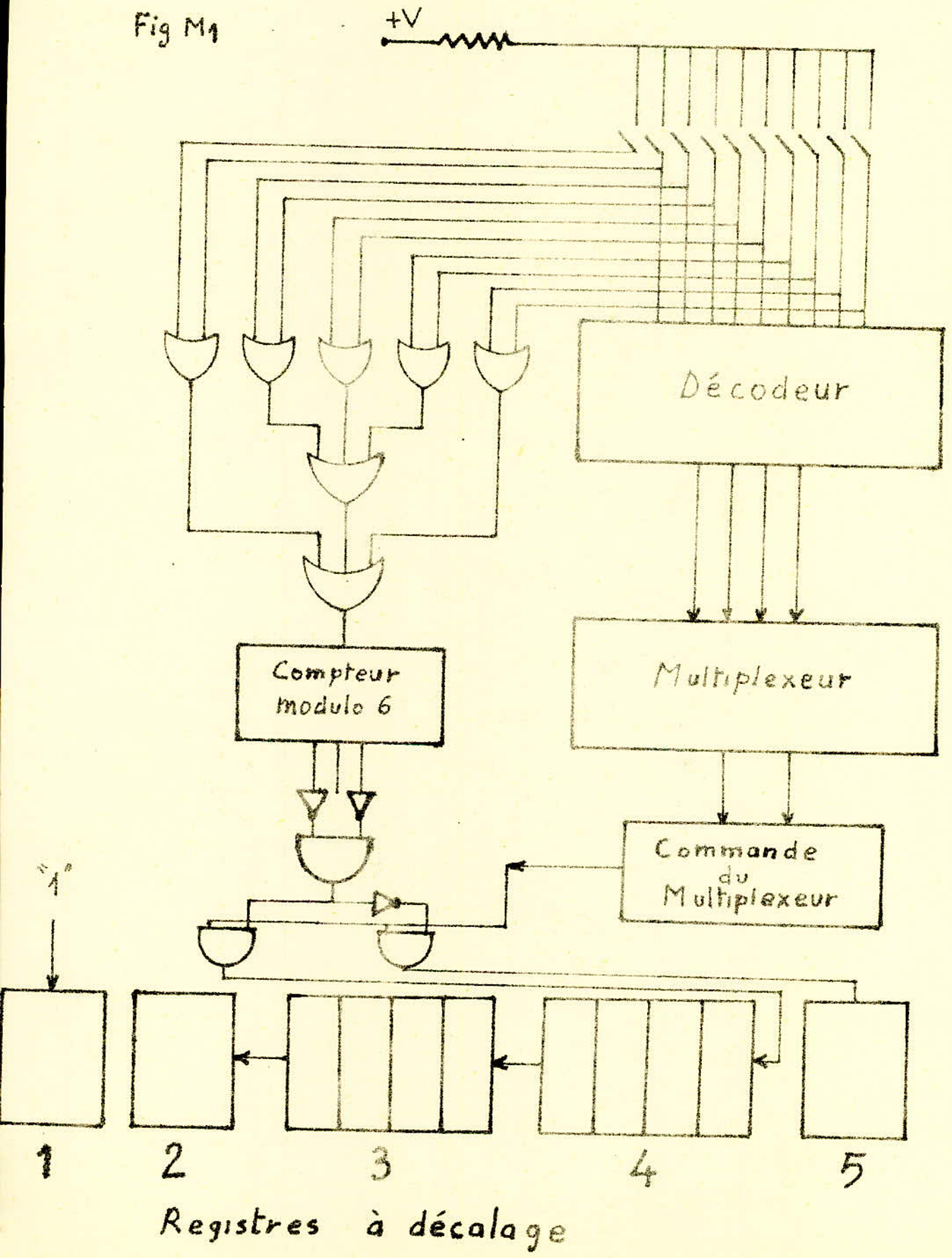
3°) Pour éviter une trop forte consommation des afficheurs, nous utiliserons une commande de ces derniers.

4°) Un chiffre quelconque ne s'allumera que lorsqu'une touche bien déterminée aurait été appuyée.

Le schéma que nous proposons est celui de la Fig MI.

Il est à remarquer que ce schéma n'est pas définitif ; il sera amélioré au fur et à mesure de son étude.

Fig M4



Registres à décalage



Explication du fonctionnement :

Supposons que l'on veuille composer la fréquence suivante : 112,25  
MHZ. Sur le clavier nous allons frapper :

Sur le 1 qui apparaît écrit en binaire à la place du quatrième chiffre. Pour qu'il soit correctement enregistré il faut quatre impulsions d'horloge qui seront appliquées sur le quatrième registre. Les séquences suivantes seront semblables jusqu'à la quatrième touche. A cet instant l'afficheur du premier chiffre s'allume et indiquera "1". A la cinquième action sur touche l'information sera acheminée vers le cinquième registre à l'aide de S.

Synthèse de S :

S doit nous donner un moyen d'aiguiller les informations provenant du multiplexeur.

Aux quatre premières touches  $S = 1$  (informations venant des registres 4, 3, 2, et 1).

A la cinquième touche elle ira vers le cinquième registre.

Nous allons donc utiliser les états d'un compteur modulo 6 pour synthétiser S, voir Fig M2.

Nous avons pris  $S = \emptyset$  pour l'état 000, car dès la mise en marche du récepteur le compteur se met à 000. Cet état est donc inutilisé.

Remarque : Le premier chiffre s'allume dès que nous appuyons sur la quatrième touche et qui doit persister jusqu'à un éventuel effacement.

Nous pouvons d'ores et déjà synthétiser la fonction effacement à la sixième touche.

Le compteur étant à l'état 000 dès la mise en marche et à la sixième touche nous allons l'utiliser pour effacer le contenu des registres, voir Fig M3.

La dans l'allumage des afficheurs est la suivante:

Premier appui	_____	le quatrième afficheur s'allume
Deuxième "	_____	" troisième+quatrième s'allument
Troisième "	_____	les 3 +4 +2 ièmes " "
Quatrième "	_____	" 1 +2 +3 +4 ièmes " "
Cinquième "	_____	" 1 +2 +3 +4 +5 ièmes " "
Sixième "	_____	" effacement .

Il est très important de remarquer que si la cinquième touche l'horloge agit également sur les registres 1, 2, 3, et 4 ; il y a risque de perte de l'information à cause du décalage qui sera amené.

Il nous faudra donc neutraliser l'horloge  $\bar{H}$  sur les registres 2, 3 et 4 à partir de la cinquième touche. Pour réaliser cette neutralisation nous allons synthétiser une fonction binaire  $F$ , définie par :

$F = 1$  alors l'horloge agira sur les registres 2, 3, 4 .

$F = 0$  ; l'horloge agira ailleurs.

Nous allons voir maintenant à quel moment  $\bar{H}$  ne doit plus agir sur les registres 2, 3, 4 .

Pour les 1, 2, 3, et 4 ième registre il est nécessaire que l'information se décale à chaque fois du registre 4 vers 3 et de 3 vers 2.

À la quatrième touche le registre deux doit perdre l'information qu'il aura acquise à la troisième touche.

Synthèse de  $F$  :

Nous allons lier  $F$  aux états du compteur, que l'état de ce dernier équivaut à une touche sur le clavier (voir Fig M4).

Nous remarquons que  $F = S$  ce qui nous simplifie le schéma.

Soit le schéma de la Fig M5 pour  $\bar{H}$  .

Il est clair que pendant les 1, 2, 3, 4 ièmes touches  $\bar{H}$  agira sur les registres 4, 3 et 2 ; à la cinquième touche  $\bar{H}$  agira cette fois-ci sur le registre 5 .

BA \ C	00	01	11	10
0	0	1	1	1
1	1	0	0	0

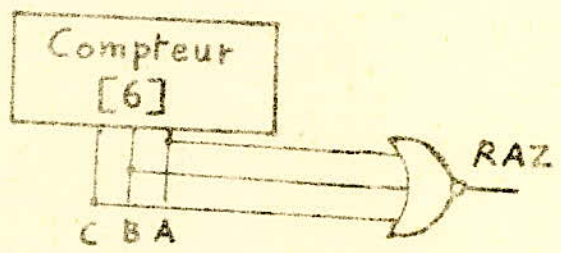
Fig M2

$S = \bar{A} + \bar{C}$

BA \ C	00	01	11	10
0	1	0	0	0
1	0	0	0	0

Fig M3

$RAZ = \bar{A}\bar{B}\bar{C}$

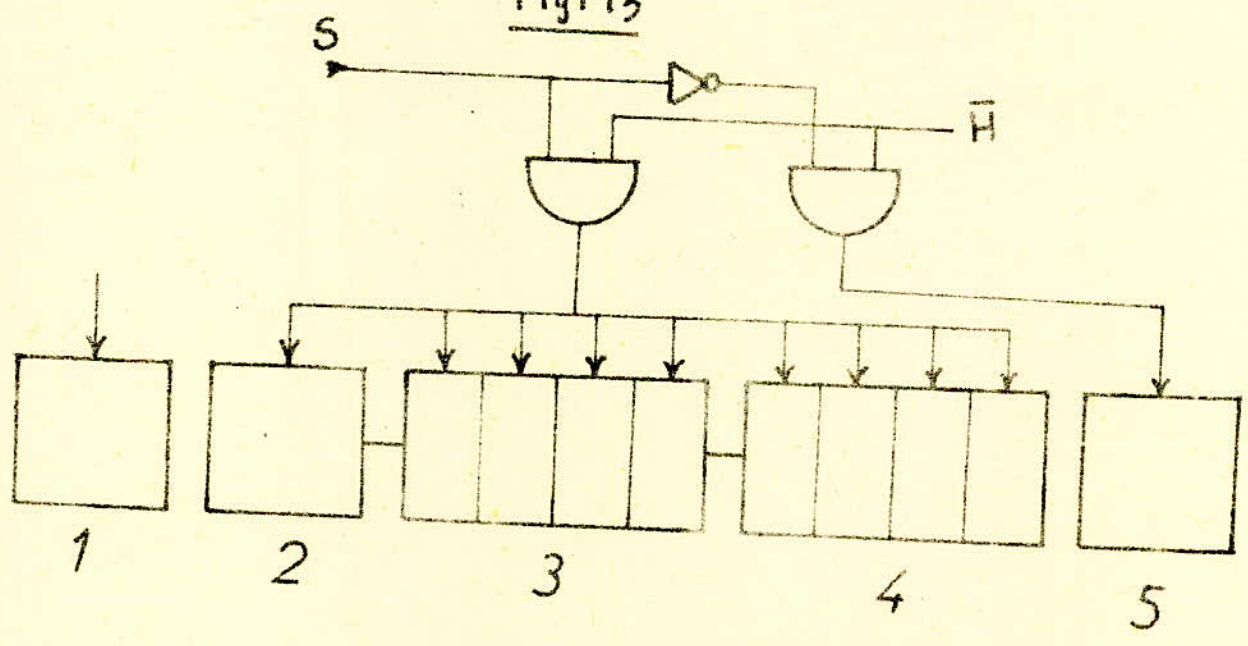


BA \ C	00	01	11	10
0	0	1	1	1
1	1	0	0	0

Fig M4

$F = \bar{A} + \bar{C}$

Fig M5





### Écriture des premier et cinquième chiffres :

Nous avons précédemment vu , pour ces deux chiffres , qu'il suffisait un seul bit pour chacun . Nous allons voir dans ce qui suit comment nous pouvons les allumer.

#### A ) Allumage et écriture du premier chiffre :

Ce chiffre doit s'écrire et s'allumer dès que nous appuyons sur une quatrième touche . Cependant il nous faut prévoir une mémorisation de cet état afin qu'il ne s'efface pas dès que la quatrième touche sera relâchée .

Nous allons donc synthétiser un système commandant l'allumage du "1".

Ce système doit répondre aux conditions suivantes/:

Il doit passer à l'état "1" dès l'appui sur la quatrième touche.

Il doit maintenir cet état présent tant que nous n'aurons pas appuyé sur une sixième touche ou sur la touche effacement prévue sur le clavier.

Synthèse du système/:

Il est facile de voir que pour réaliser ce système nous aurons à faire les opérations suivantes :

a) Décoder l'état "4" du compteur modulo 6 .

b) A l'aide de cet état nous attaquons une bascule JK afin de mémoriser cet état .

Nous proposons le schéma de la Fig M6b.

Pour le décodage de l'état 4 du compteur nous utilisons une variable

W. Pour  $W = 0$  tous les états sont autres que 4

"  $W = 1$  à l'état 4 .

Le tableau simplifié est représenté par la Fig M6A .

#### B ) Allumage et écriture du cinquième chiffre :

Ce chiffre comme il a été déjà vu prend deux valeurs possibles "0" ou "5" . En binaire pur .

A la sortie du multiplexeur ces informations se présentent en série par ordre de poids décroissant ( voir Fig M7a ) .

Par conséquent le "0" et le "5" se présenteront à l'entrée du registre dans l'ordre présenté par la Fig M7b.

Fig M6a

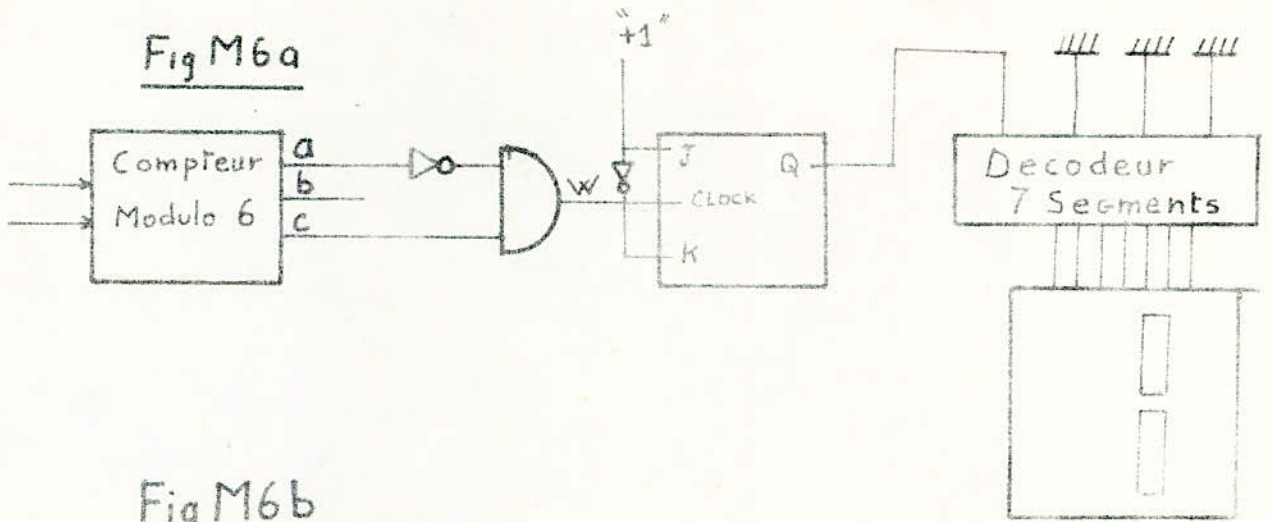


Fig M6b

c/a	00	01	11	10
0	0	0	0	0
1	1	0	∅	∅

$$w = c \cdot \bar{a}$$

Fig M7a



Fig M7b



Nous utiliserons une bascule JK, commandée par horloge, qui ne gardera que le dernier bit présenté ( celui du poids le plus faible ).

Quand ce bit vaut "0", la bascule enregistrera "0" et cela signifie que nous devons écrire 0 sur l'afficheur.

Quand il vaudra "1" cela signifie que nous devons afficher le 5.

Le schéma de la bascule et de ses liaisons est présenté par la FigM8.

Remarquons pour la variable V que :

Si  $V = 1$  nous avons  $J = 1$ ,  $K = 0$  — mise à 1 donc  $Q = 1$

Si  $V = 0$  nous avons  $J = 0$ ,  $K = 1$  — mise à 0 donc  $Q = 0$ .

La bascule recopie bien l'information V et ce à l'apparition d'une impulsion d'horloge bien entendu.

Pour l'affichage nous utiliserons la sortie Q :

Si  $Q = 0$  — le "0" sera affiché,

Si  $Q = 1$  — le "5" sera affiché.

Le schéma est illustré par la FigM9. Ou nous remarquons que le dernier bit sera retenu par la bascule.

Si c'est un 0 nous aurons  $Q = 0$  et le décodeur fera 0000, le "0" s'écrira donc automatiquement.

Si c'est un "1", Q passera à 1 et le décodeur fera cette fois 0101 et le 5 s'écrira automatiquement.

Nous résumons les différentes séquences qui ont été décrites, par les diagrammes de transitions suivants (au niveau des afficheurs) :

Supposons que l'on veuille afficher la fréquence 112,25 MHz ; une case

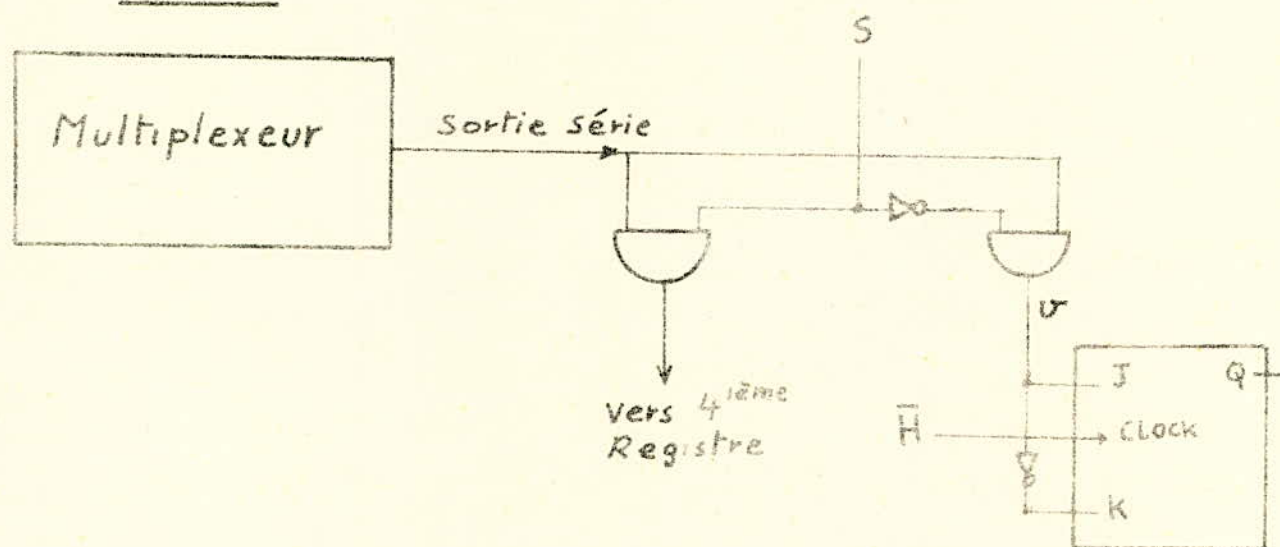
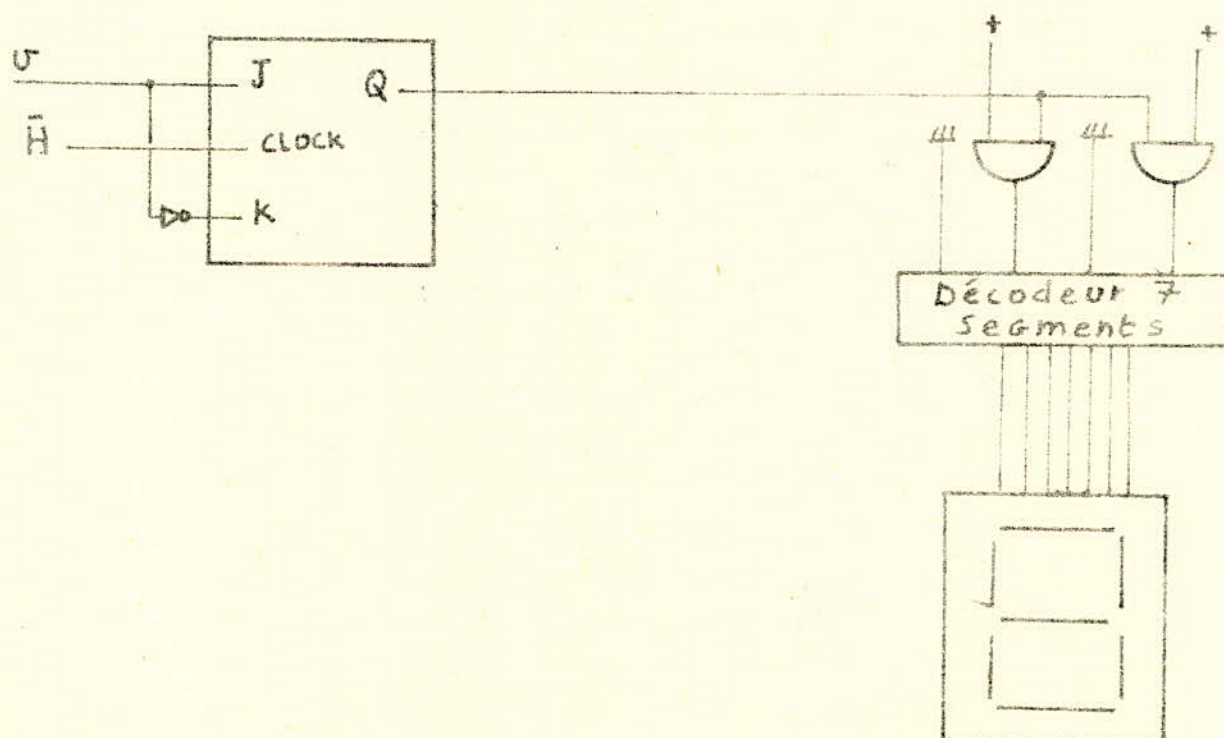
telle que signifie que le chiffre est éteint :



Le schéma représentatif des séquences est donné par la FigM10 de la feuille suivante.

Il est à noter que la partie concernant la commande des afficheurs sera vue plus loin.



Fig M8Fig M9

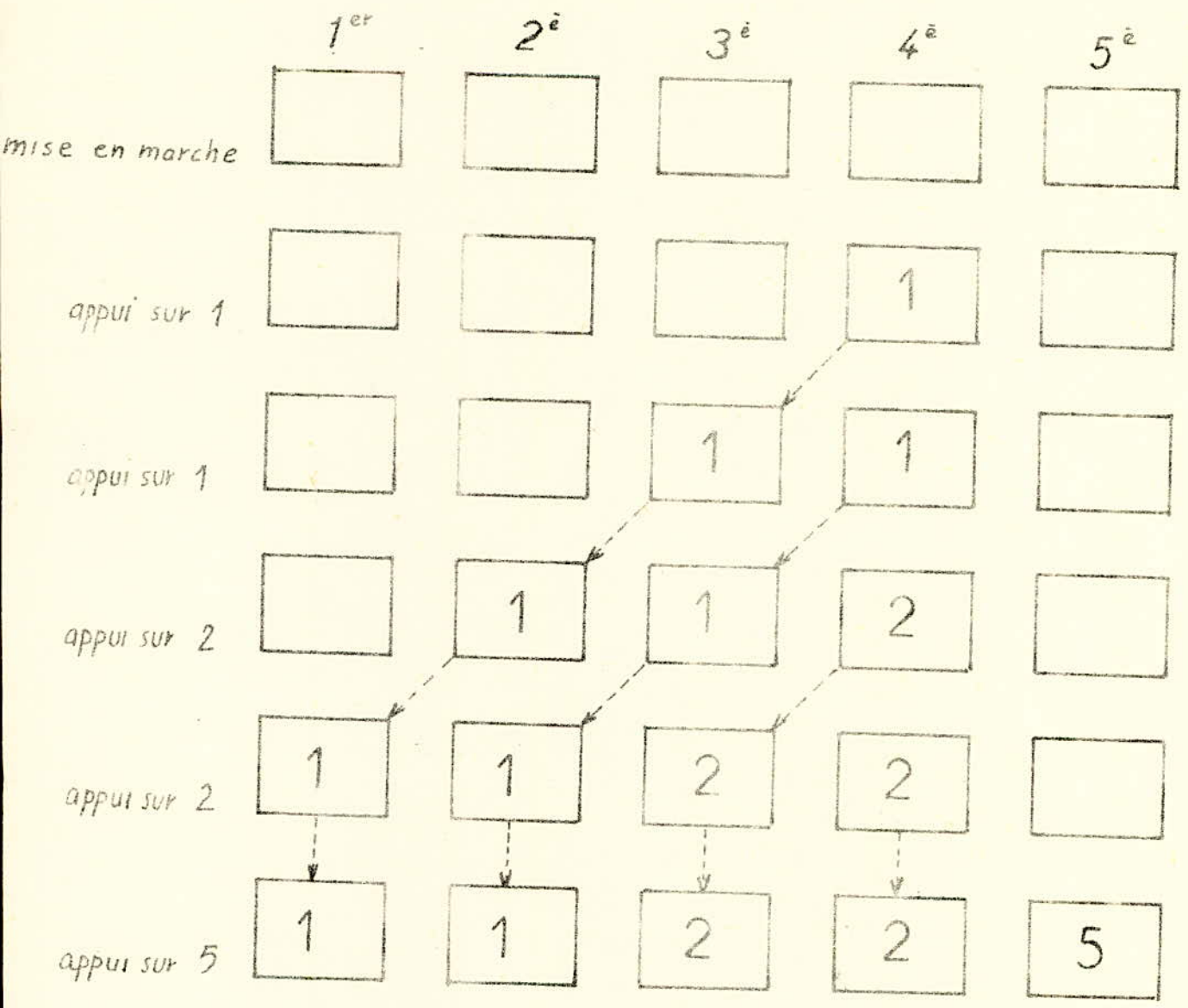


Fig M10





Intéret de l'utilisation d'un tel procédé :

1 ) Dès la mise en marche ( pour beaucoup plus de sûreté ) la mise à zéro de tous les registres et bascules est réalisée . (Etat initial 0000 du compteur modulo 6 ) .

2 ) L'effacement est obtenu dès que nous appuyons sur une 6 ème touche. Ce qui évitera à l'utilisateur de rechercher la touche "effacement" .

Nous pouvons résumer ces deux remarques par les graphes suivants :

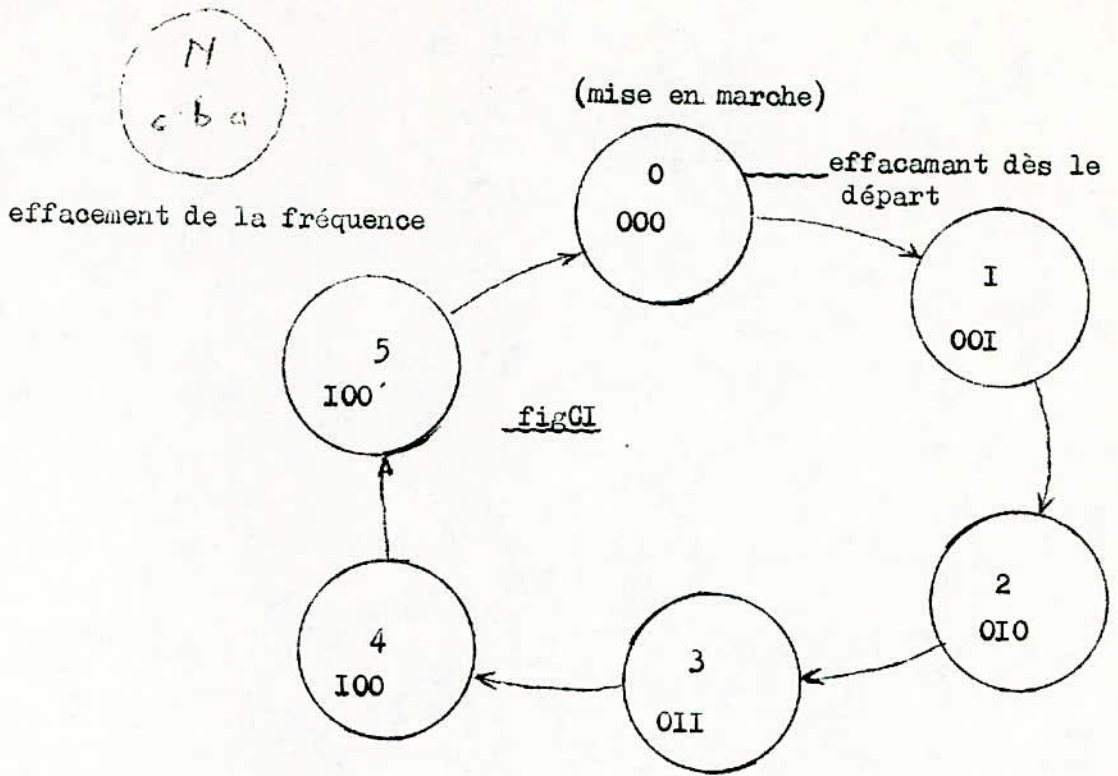
a) Diagramme des transitions du compteur modulo 6 ;(voir figC1)

b) Séquences temporelles;(voir figC2).

Avec  $\tau_1$  = temps de réponse du compteur

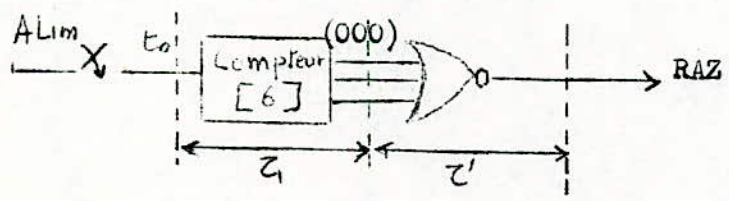
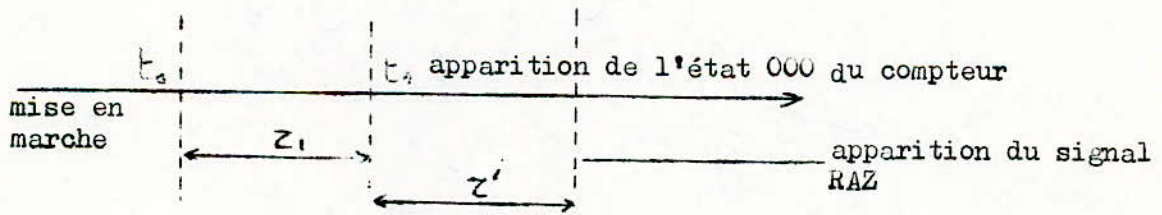
$\tau_2$  = temps de réponse des portes décodant l'état 000 .





Séquences temporelles:

fig02



### Commande de l'Allumage des Afficheurs .

Quand nous serons en mode manuel ,pour éviter une consommation permanente des afficheurs,nous devons commander leur allumage successif lors de la composition d'une fréquence.

En automatique et automatique-programmé,ils seront par contre constamment allumés.

Les afficheurs sont numérotés de la manière de la page 24 . L'ordre d'allumage comme il à été vu précédemment est le suivant :

1 ère touche	_____	L'afficheur 4	s'allume
2 ème	" _____	" " 3 et 4	" "
3 ème	" _____	" " 2 , 3 et 4	" "
4 ème	" _____	" " 1 , 2 , 3 et 4	" "
5 ème	" _____	" " 1 , 2 , 3 , 4 et 5	" "
6 ème	" _____	tous les afficheurs sont éteints .	

Pour commander les afficheurs nous allons synthétiser 5 fonctions :  
( J1 , J2 , J3 , J4 , J5 ) .

Avec  $J_i = 1$  si l'afficheur doit s'allumer ,

$J_i = 0$  s'il doit être éteint .

Synthèse des  $J_i$  (voir plus loin la table de vérité fig08 page 41) :

#### 1°) J1 :

L'allumeur 1 ne doit s'allumer que pendant les états 4 et 5 du compteur ; il est éteint ailleurs . Voir fig03.

#### 2°) J2 :

Doit s'allumer pendant les états 3 , 4 et 5 du compteur . Voir fig04.



fig03

$\begin{matrix} b \\ a \\ c \end{matrix}$	00	01	11	10
0	0	0	0	0
1	1	1	$\emptyset$	$\emptyset$

$$J1 = 0$$

fig04

$\begin{matrix} b \\ a \\ c \end{matrix}$	00	01	11	10
0	0	0	1	0
1	1	1	$\emptyset$	$\emptyset$

$$J2 = AB + C$$

fig05

$\begin{matrix} b \\ a \\ c \end{matrix}$	00	01	11	10
0	0	0	1	1
1	1	1	$\emptyset$	$\emptyset$

$$J3 = B + C$$

fig06

$\begin{matrix} b \\ a \\ c \end{matrix}$	00	01	11	10
0	0	1	1	1
1	1	1	$\emptyset$	$\emptyset$

$$J4 = B+C+A = J3 + A$$

fig07

$\begin{matrix} b \\ a \\ c \end{matrix}$	00	01	11	10
0	0	0	0	0
1	0	1	$\emptyset$	$\emptyset$

$$J5 = CA$$

3°) J3 :

Doit s'allumer pendant les états 2 , 3 , 4 et 5 du compteur.

Voir fig05.

4°) J4 /:

Doit s'allumer pendant les états 1 , 2 , 3 , 4 et 5 du compteur.

Voir fig06.

5°) J5 :

Doit s'allumer pendant l'état 5 du compteur uniquement .

Voir fig07.

Nous avons donc les équations suivantes :

$$J1 = C$$

$$J2 = A.B + C$$

$$J3 = B + C$$

$$J4 = J3 + C$$

$$J5 = C.A$$

Voir schéma de la fig09.

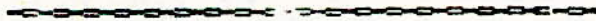
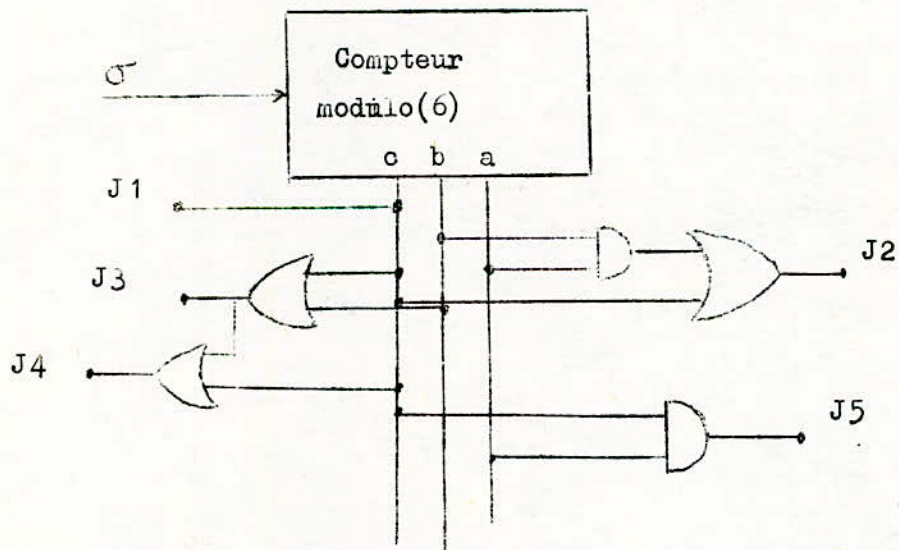


fig08

états du compteur	J1	J2	J3	J4	J5
000	0	0	0	0	0
001	0	0	0	1	0
010	0	0	1	1	0
011	0	1	1	1	0
100	1	1	1	1	0
101	1	1	1	1	1
110	$\rho$	$\rho$	$\rho$	$\rho$	$\rho$
111	$\rho$	$\rho$	$\rho$	$\rho$	$\rho$

fig09





## GENERALITES SUR LES MULTIPLEXEURS

---

### 1°) Introduction :

Dans les techniques de la transmission des données numériques ,on fait le plus souvent appel aux techniques de multiplexage.Ces dernières sont basées sur le principe suivant :

Une seule ligne de transmission de plusieurs données provenant de sources différentes . Les avantages les plus remarquables qui en découlent sont:

- a) Diminution importante en matériel du système
- b) et par conséquent diminution de son prix .

Cependant ,il est à remarquer que ces avantages sont obtenus au prix d'une légère augmentation de la complexité logique du système.

Il existe actuellement des multiplexeurs digitaux de chez "TEXAS INSTRUMENTS" qui possèdent : 4 , 8 ou 16 entrées ;ils sont du type MSI .

### 2°) Principe des multiplexeurs :

Nous allons décrire dans ce qui suit , un schéma de base . Ce schéma comporte 4 entrées,une ligne pour la sortie et deux entrées d'adressage.

Le principe de fonctionnement est le suivant : à chaque combinaison précises des entrées de sélection ou d'adressage il faut qu'il y ait une et une seule des entrées qui se trouve en sortie .De là nous voyons pourquoi on a pris deux entrées de sélection pour 4 bits d'entrées .

Pour faire passer les 4 informations d'entrée l'une après l'autre , il nous faut 4 combinaisons des entrées de sélection . Comme celles-ci sont des variables binaires il nous faut donc deux .

Notons que le nombre des bits de sélection est toujours tel que  $(2)^n = N$  ou n est le nombre des bits de sélection et N le nombre des entrées à sélectionner .

Soit le schéma de la fig1 qui nous donne la table de vérité de la fig2 avec A et B les variables d'adressage; qui nous donne:  

$$S = D3 \cdot \bar{A} \cdot \bar{B} + D2 \cdot \bar{A} \cdot B + D1 \cdot A \cdot \bar{B} + D0 \cdot A \cdot B$$

Donc nous voyons bien qu'à chaque combinaison de A et B il y à une seule donnée qui se trouve en sortie .

Ainsi l'opération multiplexage permet la transformation des informations presentes en mode parallèle en des informations en mode série .

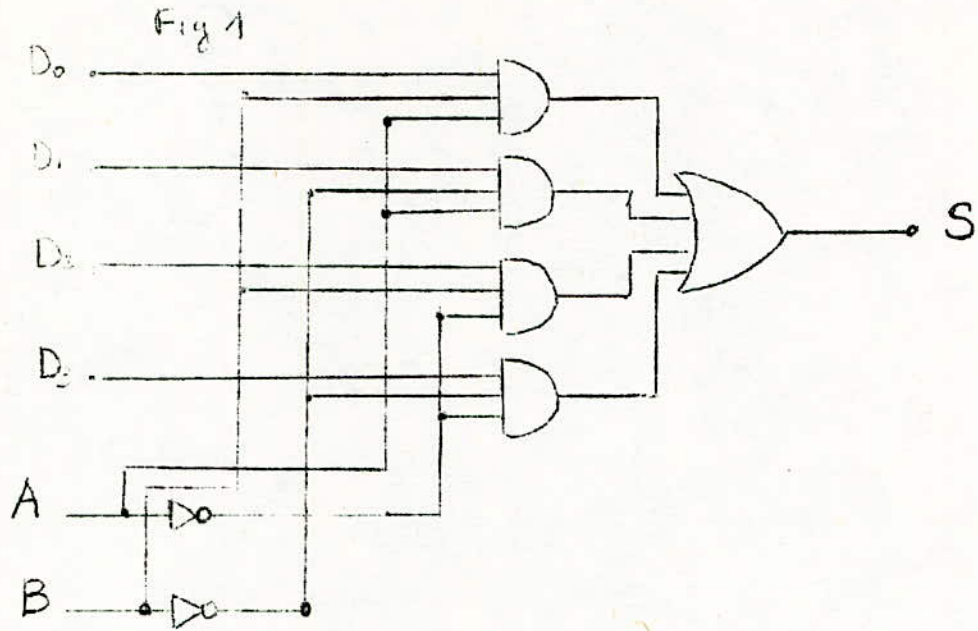
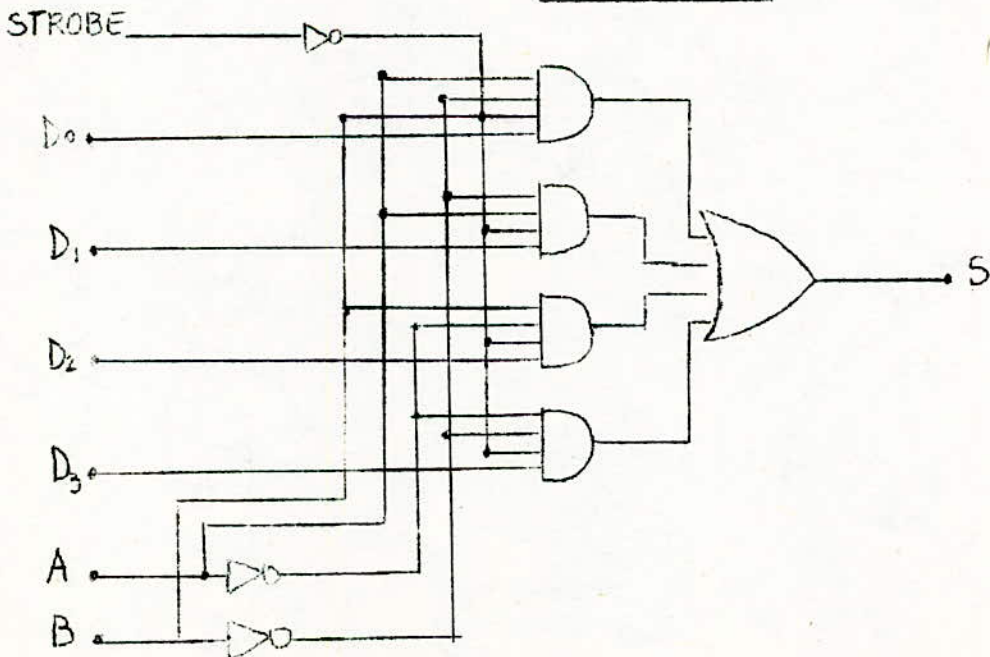


Fig 2

A	B	S
0	0	D <sub>3</sub>
0	1	D <sub>2</sub>
1	0	D <sub>1</sub>
1	1	D <sub>0</sub>

Fig 3



Généralement il a également une entrée supplémentaire appelée souvent STROBE (INTERROGATION) .

Suivant l'état de cette entrée nous pouvons arrêter le fonctionnement du multiplexeur.

Les schéma générale ent utilisés sont du type de la fig3.

Pour que le système puisse effectuer la transmission des données il est nécessaire que l'entrée Strobe siut au niveau "0 " .

Nous avons cette fois - ci :

$$S = \overline{\text{STROBE}} \cdot (\overline{A}B \cdot D_3 + \overline{A}B \cdot D_2 + \overline{A}B \cdot D_1 + AB \cdot D_0)$$

3°) Description de quelques multiplexeurs en technologie TTL :  
Multiplexeur 8 bits SN74 I51N et SN74 I52N .Le schéma complet est représenté par la fig4. Ce sont des multiplexeurs digitaux à 8 bits, tous deux adressés par 3 entrées binaires (  $2^3 = 8$  ) de sélection A B et C .Pour l'entr"ée STROBE ,elle existe uniquement pour le SN-74 I51N ,il a également une sortie  $\overline{S}$  .

Pour le SN74 I51N nous avons l'équation suivante:

$$S = \overline{\text{STROBE}} (D_0 \cdot \overline{A} \overline{B} \overline{C} + D_1 \cdot \overline{A} \overline{B} C + D_2 \cdot \overline{A} B \overline{C} + D_3 \cdot \overline{A} B C + D_4 \cdot A \overline{B} \overline{C} + D_5 \cdot A \overline{B} C + D_6 \cdot A B \overline{C} + D_7 \cdot A B C)$$

Dans le cas du SN74 I52N nous avons seulement:

$$S = (D_0 \cdot \overline{A} \overline{B} \overline{C} + D_1 \cdot \overline{A} \overline{B} C + D_2 \cdot \overline{A} B \overline{C} + D_3 \cdot \overline{A} B C + D_4 \cdot A \overline{B} \overline{C} + D_5 \cdot A \overline{B} C + D_6 \cdot A B \overline{C} + D_7 \cdot A B C)$$

Vitesse de sélection de ces circuits:

Le temps moyen de la propagation de la donnée est pour le niveau :

$$"0" = 8,5 \text{ ns ;}$$

$$"1" = 11 \text{ ns .}$$

Si l'entrée strobe existe (cas du SN74 I51N) nous avons pour le niveau:

$$"0" = 21 \text{ ns ;}$$

$$"1" = 12 \text{ ns .}$$

Ainsi nous remarquons que le temps de propagation est plus grand .

En effet ceci est dû au fait que l'entrée strobe utilise un niveau TTL supplémentaire (inverseur).Pour les entrées de sélection dans les deux cas ,le temps de propagation est en moyenne de 20 ns .

Remarque : Nous pouvons associer plusieurs multiplexeurs ayant des entrées différentes mais les entrées de sélection sont les mêmes.

C'est le cas du SN74 I53N multiplexeur à 4 bits; le circuit est représenté par la fig5.



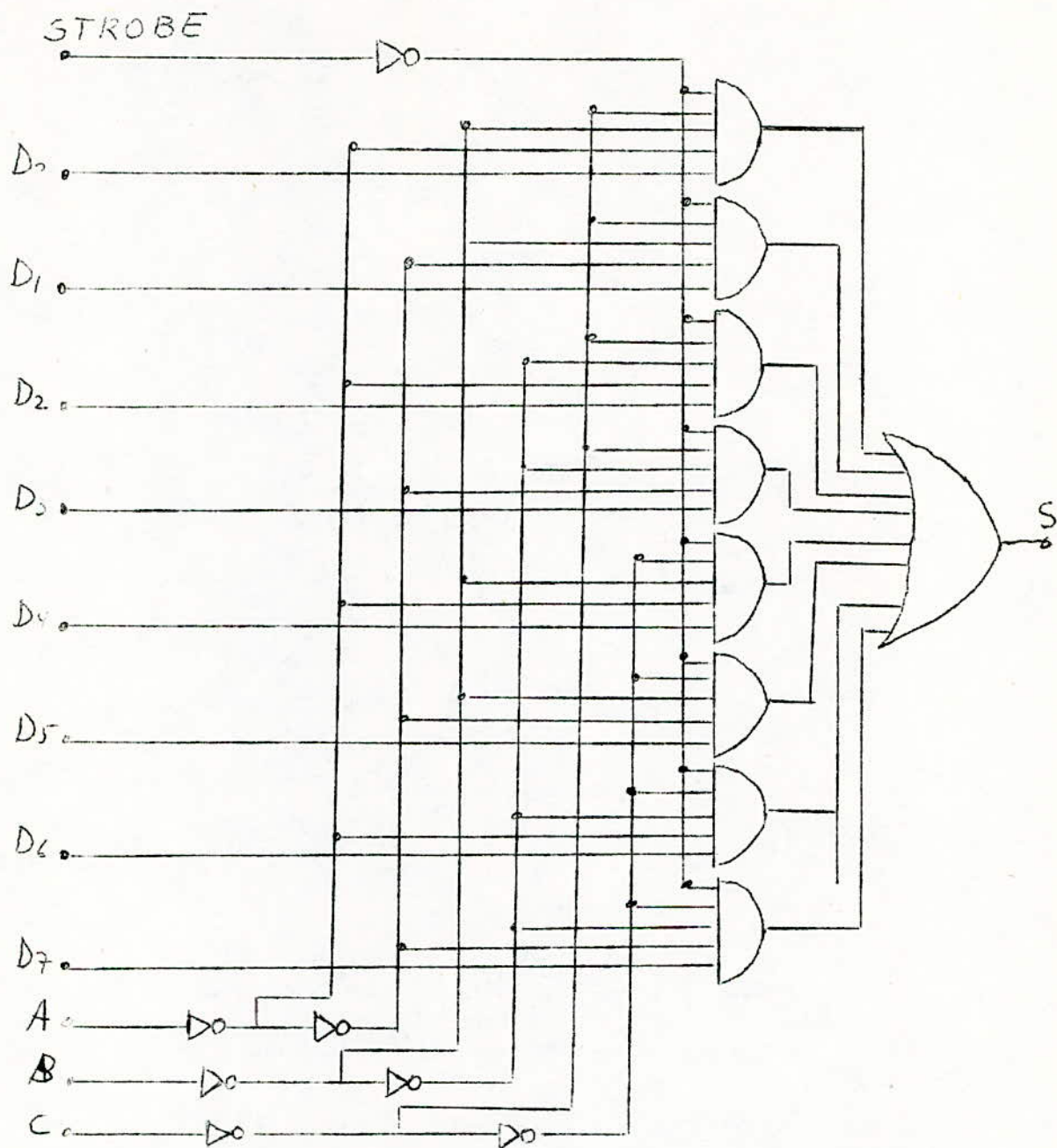


Fig 4

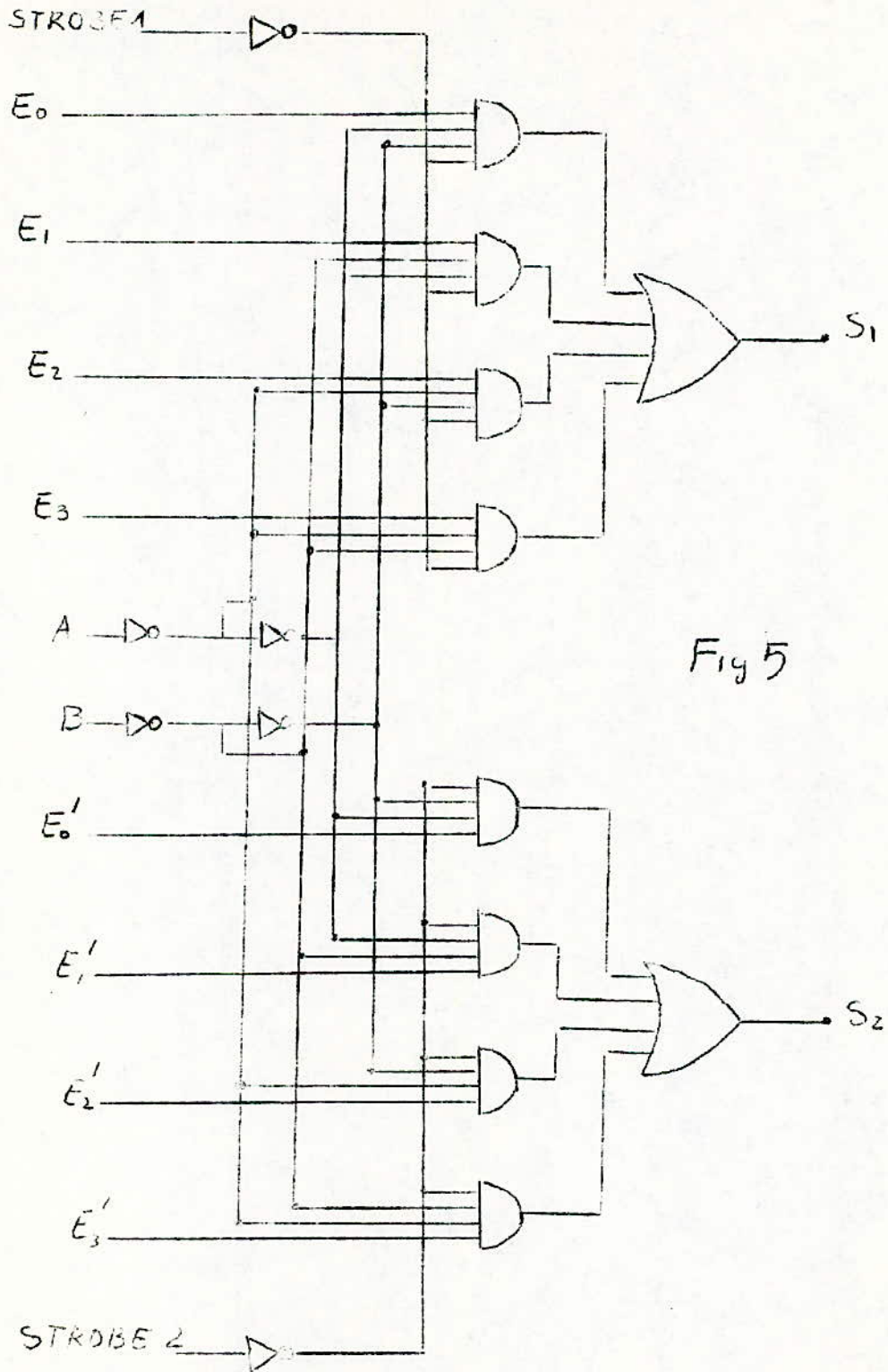


Fig 5

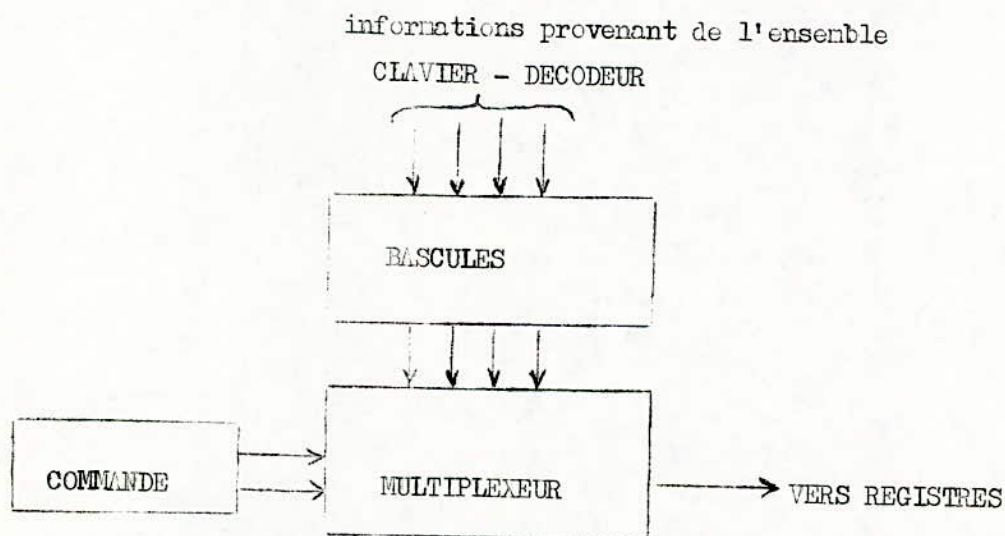
Cette structure est très intéressante. Elle permet la transmission de données provenant de plusieurs sources vers deux organes distincts.

Le temps de réponse est le suivant ,pour le SN74 153N /

niveau "0" =22 ns en moyenne

" " "1" =22 ns " " " .

Pour notre cas particulier la nécessité d'utiliser un multiplexeur se situe au niveau de la transmission des données provenant du clavier vers les afficheurs à 7 segments .A chaque touche sur le clavier apparait une information binaire de 4 bits qu'il faut transmettre au reste du système. Cette information doit être stockée dans les registres pendant une durée déterminée, nécessaire au traitement de l'information. Le schéma bloc est le suivant:



L'information présente à la sortie du multiplexeur est en mode série. Ceci nous permettra l'utilisation de registres à décalage pour stocker chaque fréquence frappée sur le clavier.

Le schéma détaillé sera donné plus loin.



## COMMANDE MULTIPLEXEUR

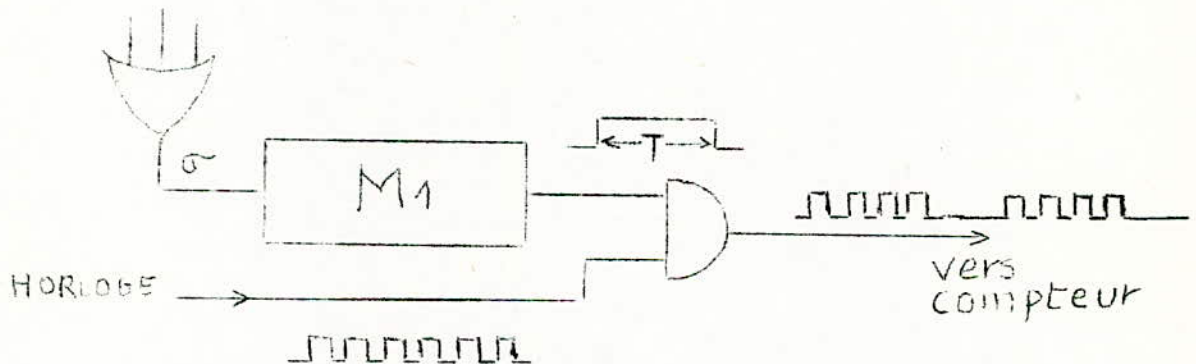
Elle est essentiellement composée d'un compteur à 4 états différents, et à chaque état correspond le passage d'un seul bit.

Donc pour faire passer les 4 bits il nous faut exactement 4 impulsions pour faire dérouler le compteur.

Synthèse de la commande du compteur :

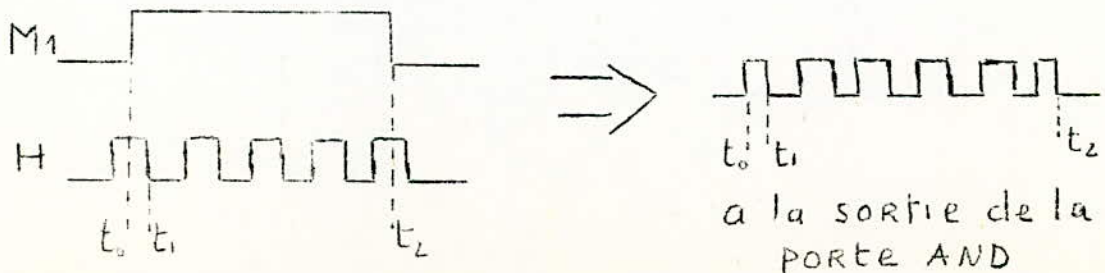
Le principe est le suivant : à chaque appui sur le clavier il y a apparition de 4 bits à l'entrée du multiplexeur ceux-ci doivent être transmis aux registres donc 4 impulsions sont nécessaires pour faire dérouler le compteur.

Ces 4 impulsions nous sont fournies par le schéma suivant :



$M_1$  est un monostable qui délivre une impulsion de durée  $T$  (reglable) dès qu'il reçoit une impulsion  $\sigma$ .

L'horloge délivre des impulsions en permanence et l'apparition de  $\sigma$  est aléatoire ; ce qui peut présenter une anomalie dans le système. Le système peut présenter le cas suivant :



Nous remarquons qu'il y a 5 impulsions au lieu de 4 ce qui a pour conséquence de déformer l'information à traiter. Pour remédier à ce défaut : il faut un système qui nous délivre exactement 4 impulsions à l'intérieur de l'intervalle T du monostable .

Voir schéma de la fig 1 page suivante .

MI délivre une impulsion  $\sigma^*$  afin d'éviter les risques de rebondissement de  $\sigma$  (comme il a été vu précédemment) .

Analyse du schéma :

A la sortie du premier "AND" nous aurons donc le signal  $\bar{H} \cdot \sigma^*$  avec  $\sigma$ , l'impulsion du monostable MI qui sert à mettre en forme les impulsions provenant des touches du clavier .

Le monostable M2 va donc être déclenché avec le signal de mise en forme . Nous nous arrangeons pour que M2 se déclenche au front montant de ce signal. M2 délivre , à chaque appui sur une touche , une impulsion de durée T2 que nous déterminerons en fonction de certaines considérations puisque l'impulsion de M2 commande le passage d'exactly 4 impulsions . Il faut donc que :  $5T > T2 \gg 4.T$

afin qu'il y ait 4 et non 5 impulsions avec T = période de l'horloge .

De même pour  $T1 =$  durée du monostable MI elle est fonction de T également nous devons avoir plus exactement :  $T1 \leq T$  .

Si  $T1 \approx T$  il se peut que des anomalies apparaissent . Pour bien voir ceci traçons les cronogrammes de  $\sigma^*$  et de  $\bar{H}$  (ou H ) en envisageant toutes les éventualités qui peuvent se présenter .

1°)  $T1 > T$  : voir fig 2 .

2°)  $T1 \gg T$  : il se peut qu'il y ait plusieurs impulsions de déclenchement de M2 ; voir fig 3 .

3°)  $T1 = T$  : c'est le cas le moins désavantageux , à ce moment nous pouvons les deux cas de la fig 4 .

Il est à remarquer que pour le cas b) nous pouvons éviter l'apparition de deux impulsions en jouant sur le rapport cyclique de l'horloge (astable déséquilibré) .

En effet , si nous prenons un signal  $\bar{H}$  ayant la forme de la fig 5 : dans ces conditions nous aurons le cas de la fig 6 . Au maximum nous aurons la situation de la fig 7 . Toutes-fois ce cas est peu probable ; sa probabilité de présence est :

Fig 1

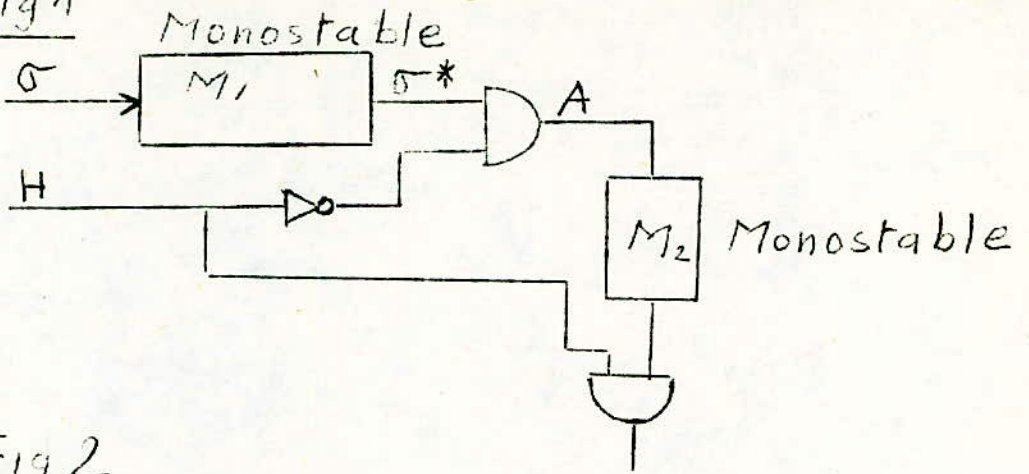


Fig 2

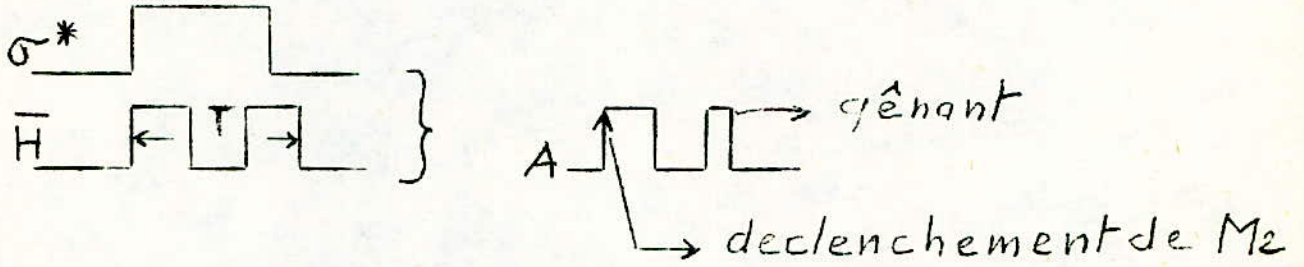
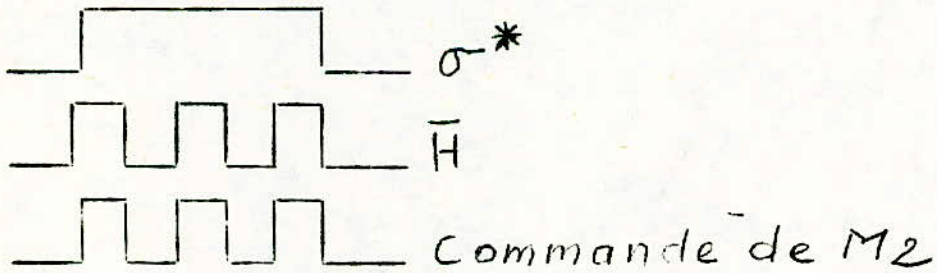


Fig 3





$$P = \frac{(I - K) \cdot T}{T} = (I - K) \text{ et comme } K \text{ tend vers } I \text{ pour cela } P \text{ tendra vers } 0 .$$

Ce qui fait que nous résumons ce qui à été dit par:

1°) Nous prenons un signal d'horloge très déséquilibré.

2°) Le monostable MI doit délivrer une impulsion  $T_I = T$  .

Ordre de grandeur de  $T$  :

Nous prenons  $T_2 = 4 \cdot T$  (cas limite ); c'est cette durée qui va nous permettre de calculer  $T$  . Il faut que  $T_2$  ne soit pas plus grand ni même égal au temps séparant deux appuis successifs .

Prenons  $T_2 = \frac{I}{10}$  seconde (durée séparant deux appuis ) . Si nous prenons comme durée séparant deux appuis successifs au maximum  $= \frac{I}{10}$  seconde nous aurons

dans ce cas  $T_2 = 100 \text{ ns}$  , donc  $T_2 = 100 \text{ ns}$  pour plus de sureté , d'ou  
 $4 \cdot T = T_2 \implies T = \frac{T_2}{4} \leq \frac{100}{4} = 25 \text{ ns}$  et  $F \gg 40 \text{ Hz}$  prenons  $F = 10 \text{ Khz}$  .



Fig 4

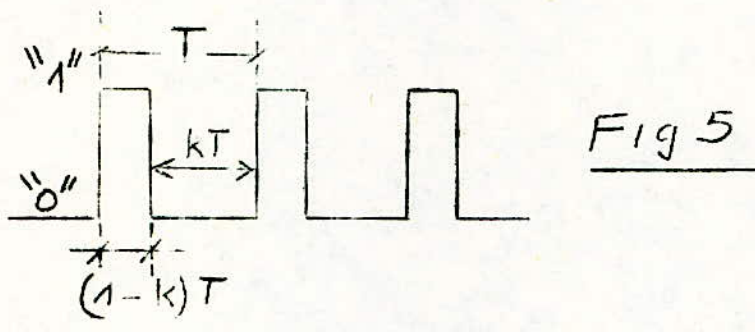
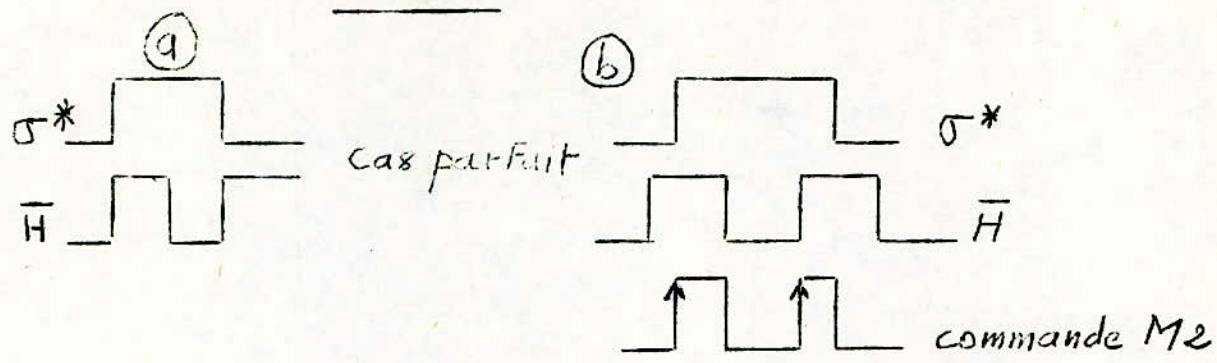


Fig 5

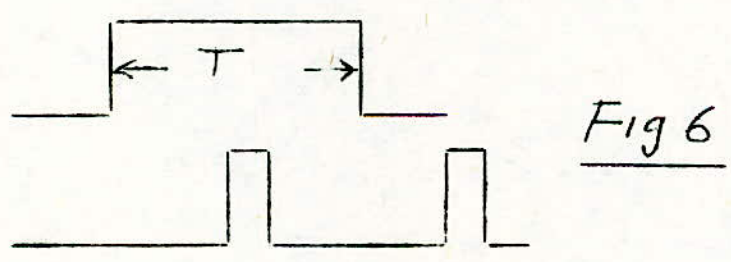


Fig 6

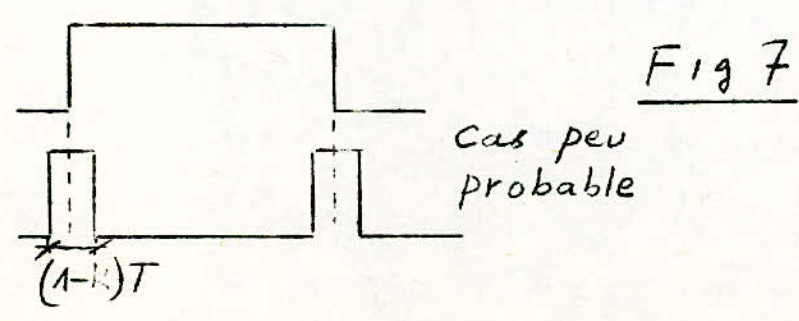


Fig 7





Nature et disposition des bascules :

Rappel sur les bascules JK (maître esclave) :

La table de vérité d'une telle bascule est représentée par la fig a de la page suivante .

Q : état présent

Q<sup>+</sup> : état suivant

SET : mise à "1"

RAZ : mise à "0" .

Pour les bascules ; si nous adaptons la structure de la fig b nous aurons :

pour E = 1 ----- Q = 1

pour E = 0 ----- Q = 0 .

D'où le schéma et la disposition adoptés pour la transmission des 4 bits :

Voir fig c .



Bascules des afficheurs / :

Ce sont des registres à décalage . Ils reposent sur le même principe et seront à glissement ; notamment pour les 2 , 3 et 4 ième chiffres . Le premier et le dernier seront affichés à l'aide d'une seule bascule chacun .

Vu que le multiplexeur nous délivre les informations en série par paquets de 4 bits , la structure sera celle de la fig d .

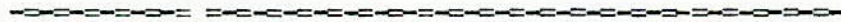


Fig a

J	K	Q <sup>+</sup>
0	0	Q
1	0	1
0	1	0
1	1	$\bar{Q}$

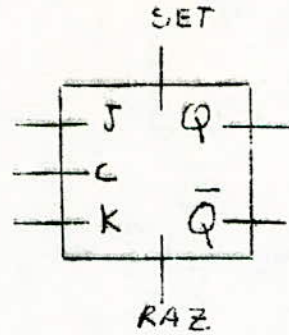


Fig b

J	K	Q <sup>+</sup>
0	1	0
1	0	1

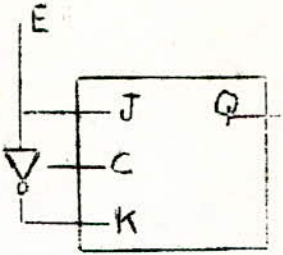


Fig c

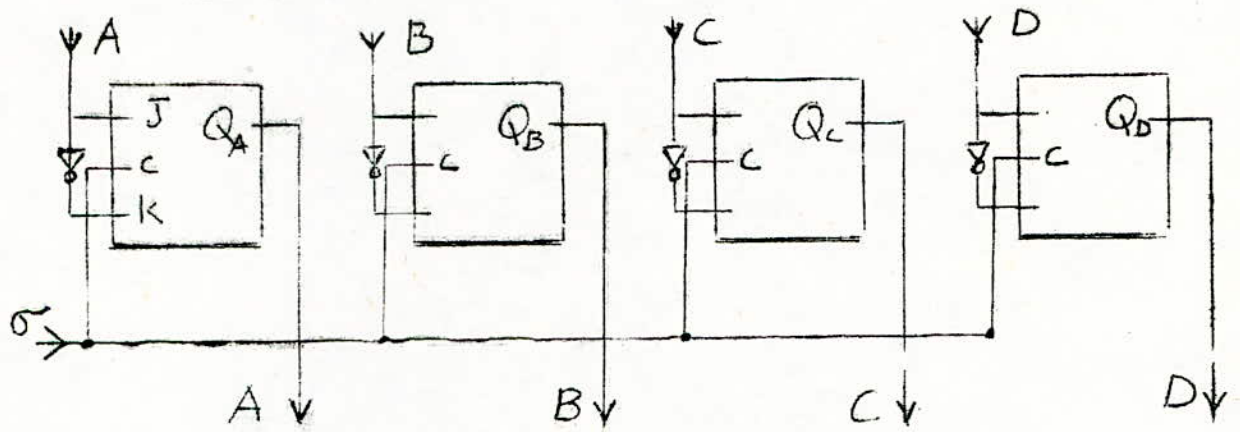
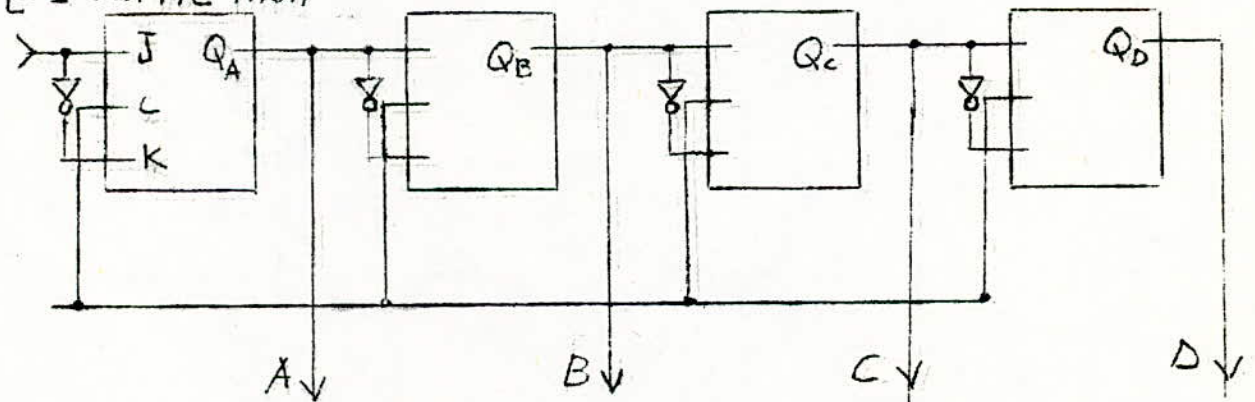


Fig d

E = sortie mult



Vers décod 7 seg<sup>ts</sup>

## I) BASCULES MONOSTABLES

=====

Vu le nombre de bascules monostables utilisées dans notre schéma , nous avons nécessaire de leur consacrer une étude assez détaillée.

Nous commençons par en rappeler la définition.

Une bascule monostable est un circuit possédant deux états.

-Un état stable dans lequel la bascule peut demeurer indéfiniment.

-Un état quasi-stable dans lequel la bascule ne peut se trouver qu'à la suite d'une impulsion dite de déclenchement.

Ladurée de l'état quasi-stable est improprement appelée " période "

Elle ne dépend que des caractéristiques externes **du circuit** .

Il existe de nombreuses réalisations pratiques des bascules monostables

On peut les classer comme suit:

-Schéma classique réalisé à l'aide de transistors à jonctions.

-Bascules utilisant les transistors à effet de champ (Ces derniers permettent l'obtention de très longues périodes)

-Enfin , il existe également des circuits intégrés (Amplificateurs opérationnels ou portes logiques) qui peuvent servir de base à la réalisation de ces bascules .

Actuellement, il existe des bascules monostables entièrement intégrés. Nous en donnerons quelques exemples de réalisations utilisant des circuits intégrés à la fin de cette étude.

Nous allons maintenant passer à l'étude de chacune de ces trois catégories de monostables.

Nous commençons par l'étude du monostable classique



## 1) MONOSTABLES UTILISANT DES TRANSISTORS A JONCTIONS

Nous allons préciser la définition même de la bascule à l'aide du diagramme qui est donné en Fig BM1

- "0" est l'état stable

- "1" est l'état quasi-stable

Le passage de "0" à "1" se fait sous l'action d'une impulsion de déclenchement, comme celles du diagramme supérieur de la fig BM1

Si  $t_1$  est l'instant d'arrivée d'une impulsion, le monostable va passer de "0" à "1" et y demeurer pendant un temps  $T$ , qui ne dépend que de ses propres caractéristiques.

$t_2$  ne dépend que des impulsions de commande et non de la période  $T$ .

Le plus classique de tous les schémas est donné en fig BM2

- Etude du schéma de principe

L'état de repos du système est défini par:

- Transistor  $T_1$  bloqué tandis que  $T_2$  est saturé

- Condition de saturation de  $T_2$

Dans l'état stable, pour que  $T_2$  soit saturé on doit avoir:

Si  $\beta$  est le gain en courant des transistors, en négligeant  $V_{besat}$  et  $V_{cesat}$  de  $T_2$  on doit avoir

$$I_b \geq I_c / \beta \text{ pour que } T_2 \text{ soit saturé}$$

Or le courant de base de  $T_2$  est donné par:

$$I_b = E / R_3$$

pour le courant de collecteur, il est donné par:

$$I_c = E / \beta R_2$$

la condition de saturation est donc donnée par:

$$R_3 \leq \beta R_2$$

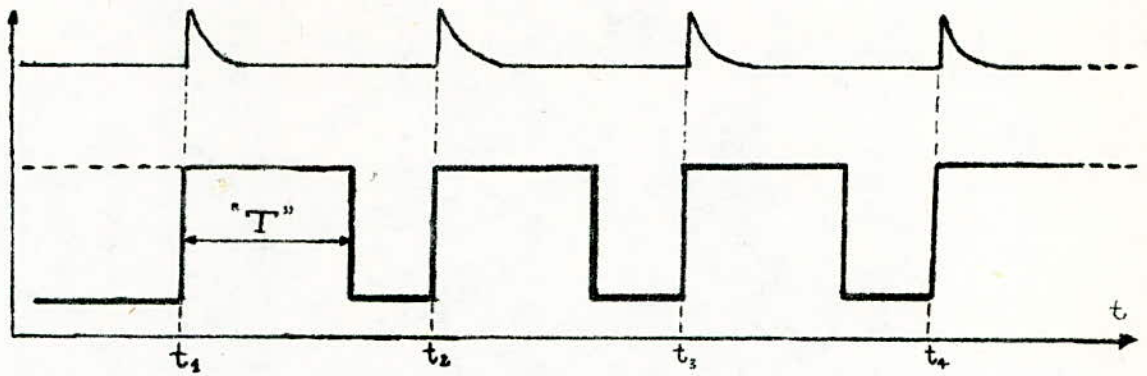


Fig BM1

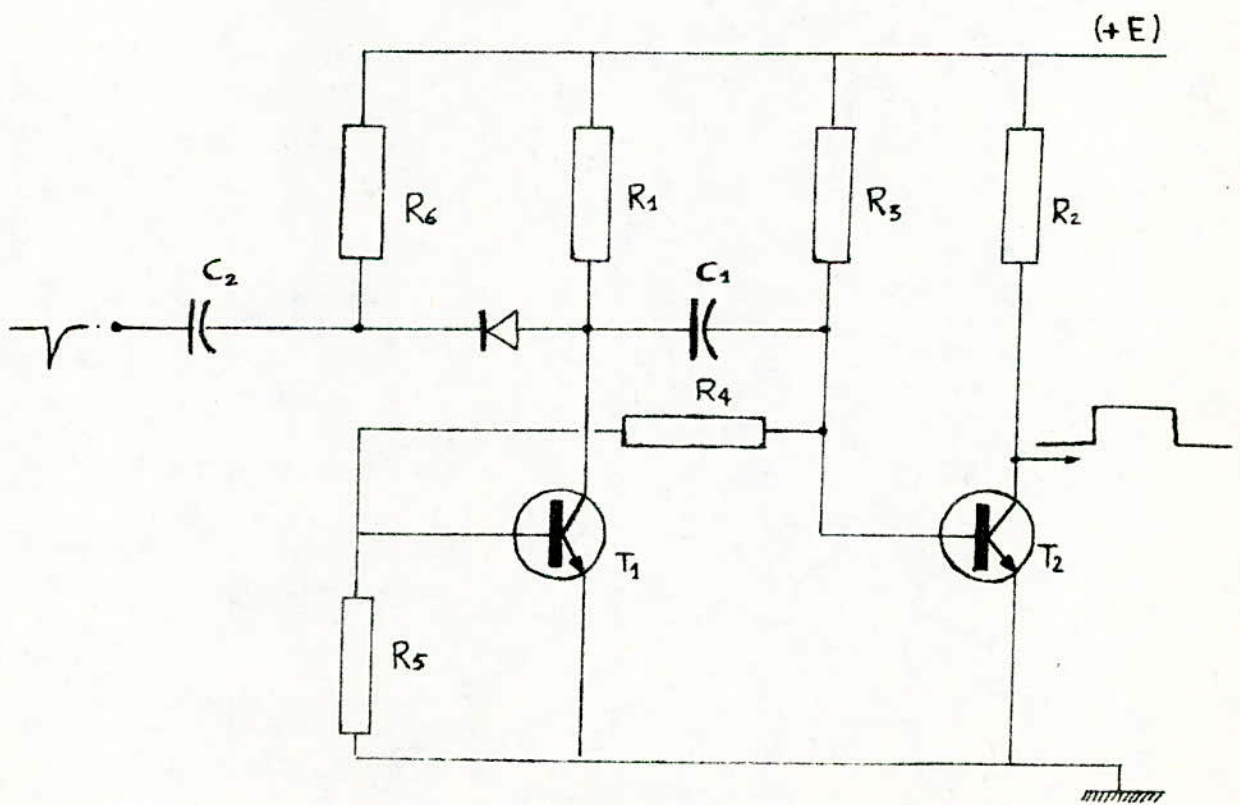


Fig-BM2

Pendant l'état stable toujours  $T_1$  doit être bloqué  
Il suffit pour cela que :

$$V_{b1} = V_{c1} \cdot R_5 / (R_4 + R_5)$$

soit inférieur au seuil de conduction de la diode  
Base-Emetteur de  $T_1$ .

Toujours dans cet état de repos la diode D a ses  
deux électrodes maintenues au même potentiel (+E)  
par les résistances  $R_1$  et  $R_6$

Le condensateur  $C_1$  se trouve chargé sous la tension  
(+E), l'armature de gauche étant la plus positive.  
Si on applique maintenant une impulsion négative à  
travers  $C_1$ , celle ci est transmise par D au collecteur  
de  $T_1$  puis par  $C_1$  à la base de  $T_2$ , sa base va  
devenir négative, et  $T_2$  va se bloquer.

Il en résulte une remontée de  $V_{c2}$ , qui, transmise  
à la base de  $T_1$ , par le pont  $R_4, R_5$  va l'emmener à la  
saturation, et ce à la suite de l'effet cumulatif  
de cette réaction en chaîne.

On aura donc au bout d'un temps très court l'apparition  
de l'état suivant :

$T_1$  sera saturé et  $T_2$  sera bloqué

A partir de cet instant ( $V_{b2}$  étant\* du potentiel 0 à  
-E)  $C_1$  va se charger à travers  $R_3$  - avec la constante  
de temps  $R_3 C_1$  ;

Cette charge s'interrompt au moment où  $V_{b2}$  passe par 0<sup>v</sup>  
 $T_2$  devient alors saturé et  $T_1$  bloqué

Nous résumons ce qui vient d'être dit, par les diagrammes  
des différentes tensions  $V_{c1}$ ,  $V_{c2}$ , et  $V_{b2}$  en  
fonction du temps .

Ces courbes sont données à la fig BM3

Pour le calcul de la durée T de l'état quasi-stable  
on trouve, après quelques approximations vérifiées en  
pratique, la formule classique suivante:

$$T = 0,69 R_3 C_1$$

ou encore  $T = 0,7 R_3 C_1$



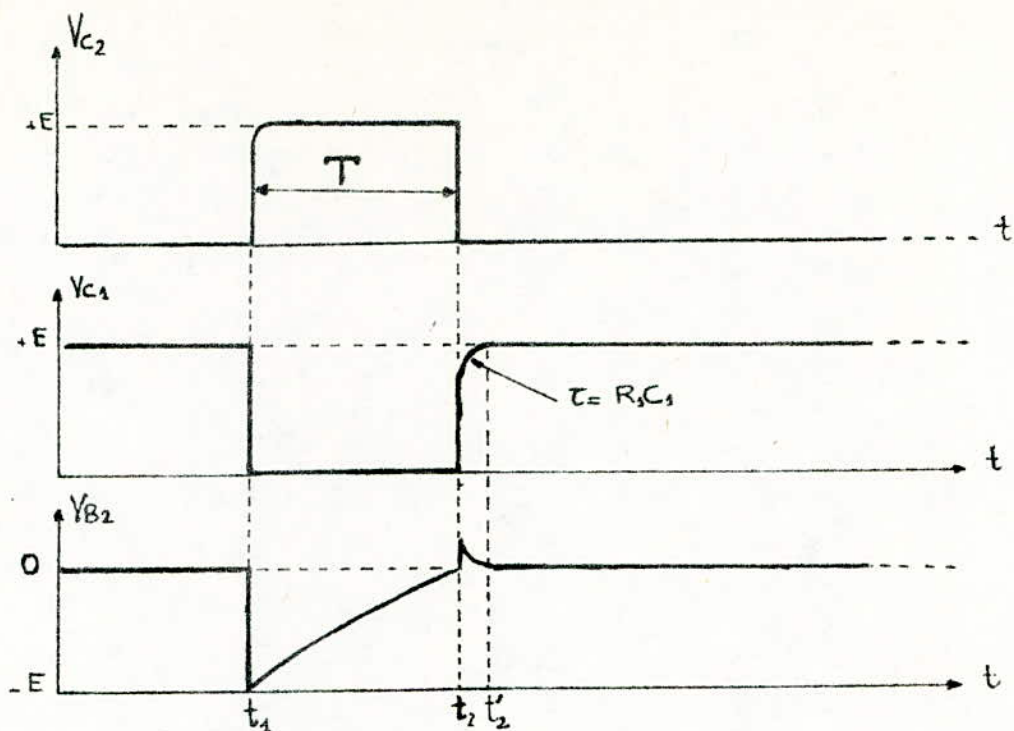


fig BM3

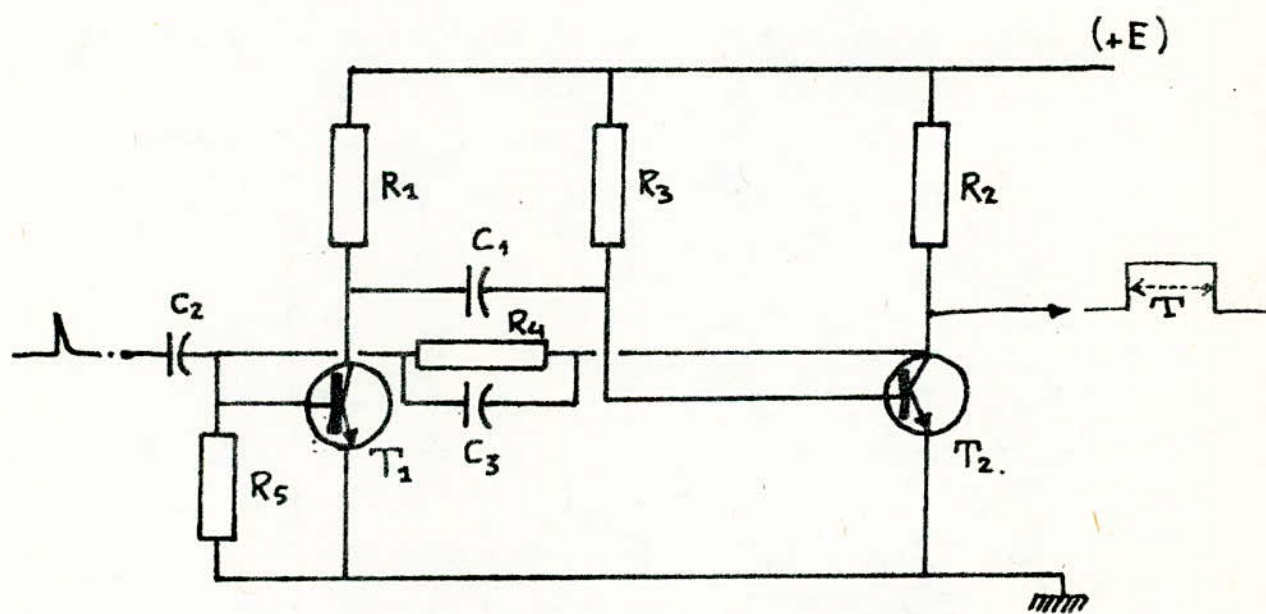


fig BM4.

Il y a d'autres variantes de ce schéma de base.  
Nous allons présenter les plus intéressantes.

Une première variante est donnée en fig BM4

L'impulsion dans ce cas est positive. Le déclenchement se fait par la base de  $T_1$ . Le condensateur  $C_3$  de faible capacité branché en parallèle sur  $R_4$ , a pour rôle essentiel d'accélérer les basculments du montage.

Une deuxième variante est donnée en fig BM5

Dans ce montage le couplage continu n'est plus obtenu par un diviseur comme précédemment.

Cette fois, on utilise une résistance commune aux deux émetteurs.

On a:  $V = E \cdot (R_4 / (R_2 + R_4))$  quand  $T_2$  est saturé  
à ce moment pour que  $T_1$  soit bloqué, il suffit que

$$V_{be1} > V_{be1} = E \cdot (R_6 / (R_5 + R_6))$$

Donc  $(R_6 / (R_5 + R_6)) > (R_4 / (R_2 + R_4))$   
Cette fois ci, la tension recueillie sur le collecteur de  $T_2$ , ne s'annule plus.

Sa valeur minimale est égale à:

$$V_{\min} = E \cdot (R_4 / (R_4 + R_2))$$

tandis que :

$$V_{\max} = +E$$

#### PROBLEME DU TEMPS DE RECUPERATION

On a vu (fig BM3), que le potentiel du collecteur de  $T_2$  tombe très vite à 0.

Celui du collecteur de  $T_1$  n'atteint la valeur  $+E$  que quand  $C_1$  se sera complètement chargé. Or le courant de charge traverse  $R_1$ , ce qui nous donne une constante de temps

$$R_1 C_1.$$

Ce n'est donc qu'après l'instant  $t_2'$  qu'on pourra provoquer un nouveau déclenchement

L'intervalle  $t_2' t_2$  s'appelle "temps de récupération"

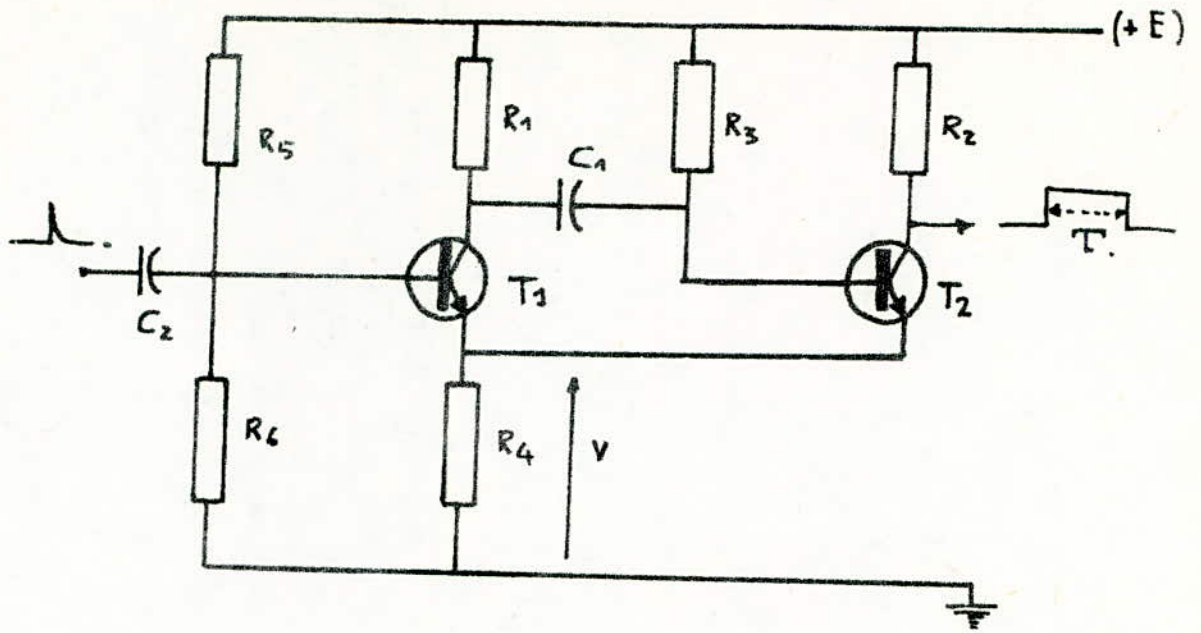


fig BM5.

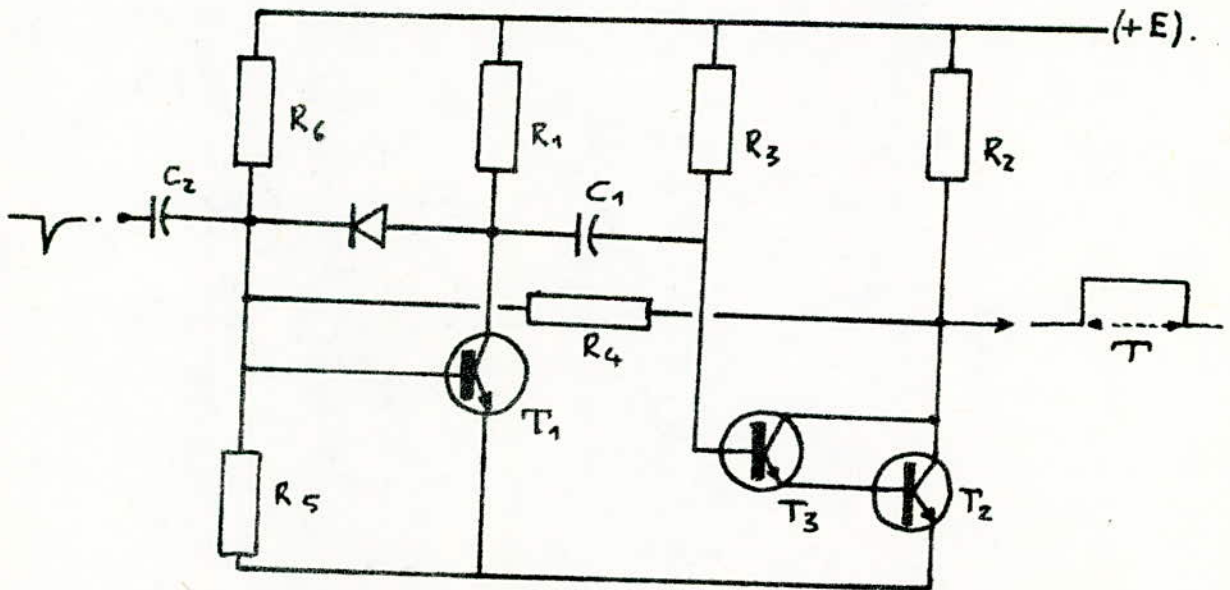


fig BM6



Il est possible de diminuer ce temps de récupération en remplaçant  $T_2$  par un darlington composé de  $T_2 T_3$ . Voir fig BM6 .

-- MONOSTABLES A TRANSISTORS A EFFET DE CHAMP :

Voir le montage de la fig BM7 .

Le fonctionnement est exactement le même que pour le montage à transistors à jonction . Sauf que dans ce cas le passage de l'état quasi-stable à l'état stable se fait au moment où  $V_{G2}$  (potentiel de grille de T2 ) atteint  $V_p$  (tension de pincement ) .

Principale caractéristique de ce montage :

Vu la très grande impédance d'entrée des FET , les grilles ne consomment pratiquement aucun courant pendant l'état quasi-stable . Nous pouvons donner une très grande valeur à  $R_1$  et donc obtenir de très grandes ( ou longues ) périodes . Des durées de l'ordre de l'heure sont parfaitement accessibles .

Cette fois -ci nous avons les diagrammes de la fig BM8 .

Nous passons maintenant à l'étude des monostables réalisés à l'aide de circuits intégrés . On notera que c'est la méthode qui sera adoptée dans le cas de notre étude .

-- MONOSTABLES A L'AIDE DE CIRCUITS INTEGRES :

1) Amplificateurs opérationnels :

La fig BM9 nous montre un exemple de réalisation .

Fonctionnement :

Supposons d'abord le système au repos . L'entrée inverseuse est maintenue par  $R_1$  au potentiel de la masse ; l'entrée non inverseuse est portée à  $-V_{Ref}$  grâce à  $R_2$  . Si  $V_s$  et  $-V_s$  sont les tensions maximales symétriques par rapport à la masse et sont disponibles ; celle-ci ( voir page suivante )

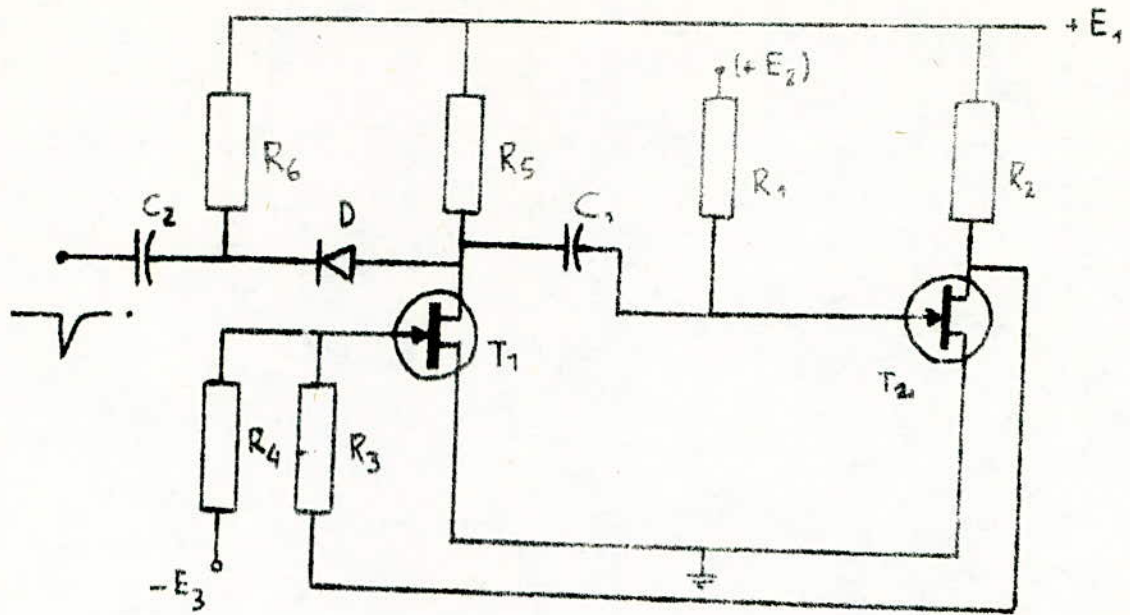


fig BM7

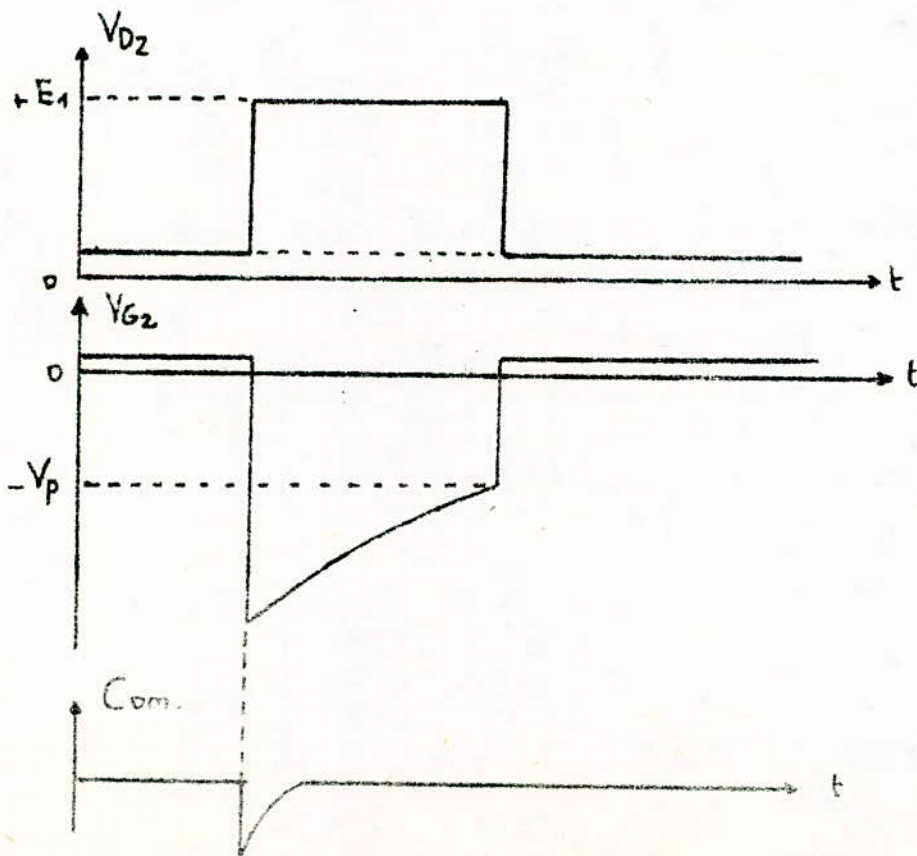


fig BMB

est alors à  $-V_s$  (état de repos)  
 Supposons que  $V_s > V_{ref}$   
 $C_1$  est pratiquement chargée à  $V_s$  - son armature de droite étant la plus négative.  
 Appliquons à travers  $C_2$  une impulsion négative sur l'entrée inverseuse, dont le potentiel va brusquement passer en dessous de  $V_{REF}$   
 le gain  $A$  de l'ampli étant très grand - la sortie passera donc de  $-V_s$  à  $+V_s$   
 Cette variation ( $2V_s$ ) est transmise à l'entrée non-inverseuse, par le diviseur ( $R_2, R_3$ )  
 Le montage va donc rester dans cet état quasi-stable jusqu'à ce que  $C_1$  se soit suffisamment rechargé à travers ( $R_2 + R_3$ ) pour que le potentiel de l'entrée non-inverseuse repasse au dessous de zéro.  
 Dès que  $V_{(+)} = 0$ , alors la sortie revient à  $-V_s$ .

#### 4) MONOSTABLES A CIRCUITS LOGIQUES

-Principe:

Tout est basé sur la table de vérité d'une porte NAND ( voir fig BM10)

Réalisant le montage de la fig BM11

Ce dernier met en jeu deux portes NAND (SN 7400)

L'une des entrées de  $N_2$  est maintenue en permanence au niveau "1" ( $R_2$  reliée à  $+5^V$ )

L'autre se trouve au niveau "0" ( $R_1$  reliée à la masse)  
 La sortie de  $N_2$  est donc au niveau "1", et y maintient l'une des entrées de  $N_1$ .

Si l'autre entrée de  $N_1$  est au niveau "1" ( $+5^V$ ) - la sortie de  $N_1$  est au niveau "0", et  $C_1$  se trouve déchargé.

Appliquons maintenant une impulsion négative sur l'entrée de  $N_1$  - qui va donc la porter au niveau "0"



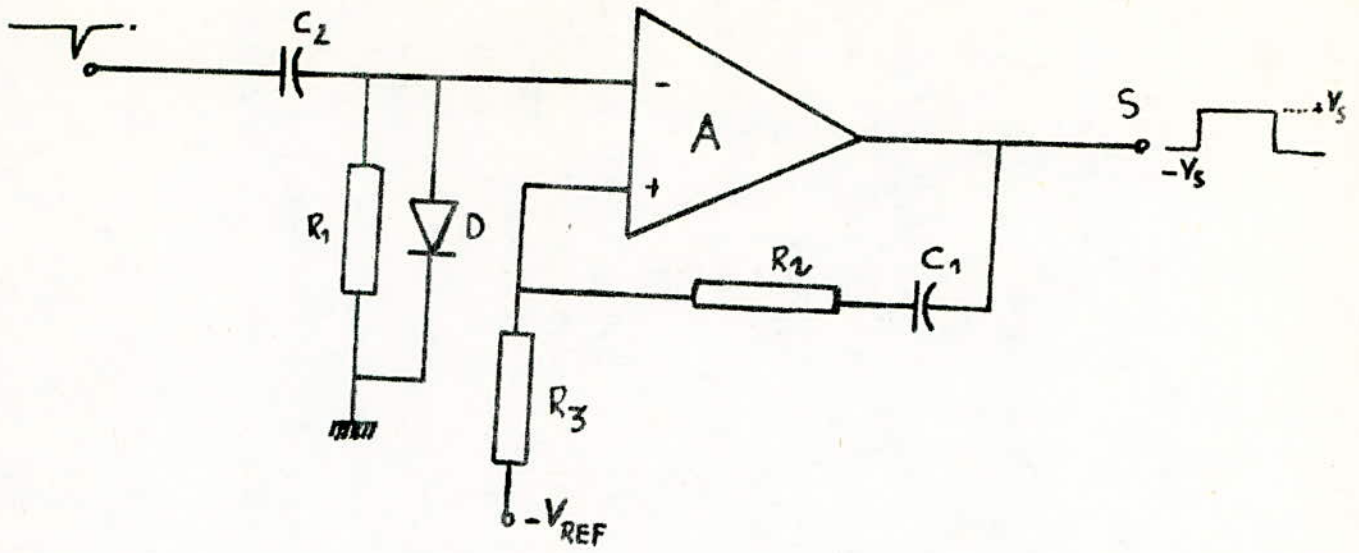


fig BM9

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0

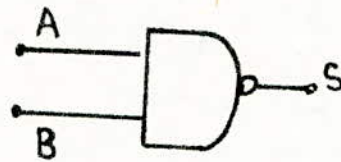


fig BM10

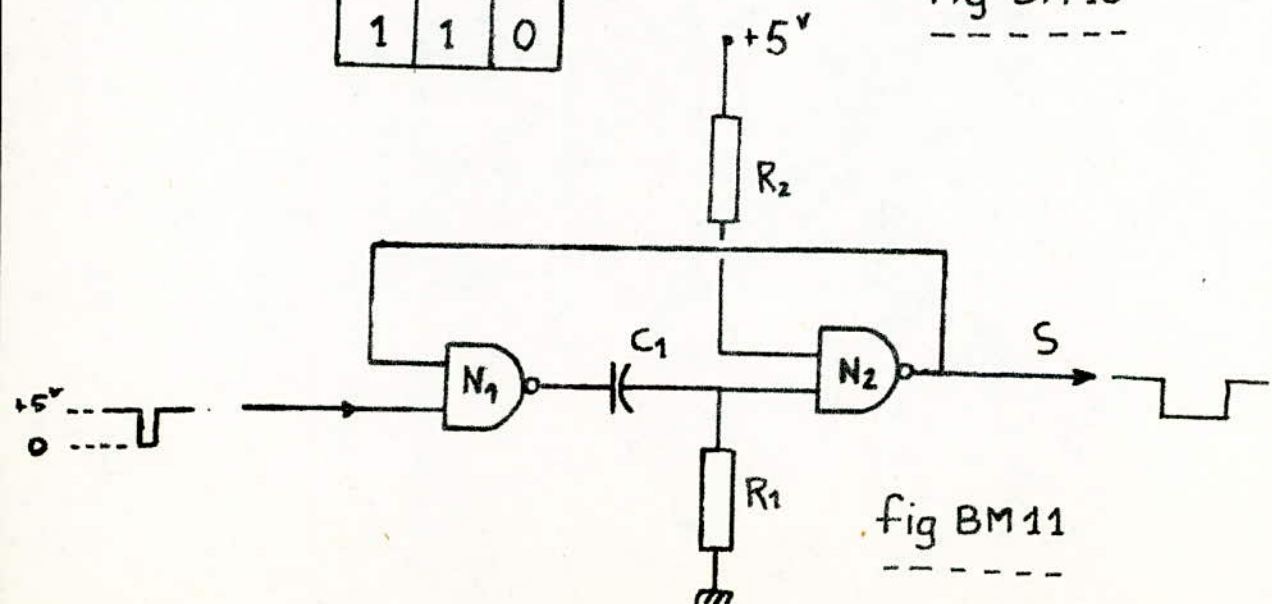


fig BM11

la sortie de  $N_1$  passe donc de l'état "0" au niveau "1".

Cette montée de potentiel, transmise par  $C_1$  à l'entrée de  $N_2$ , qui était à "0" - la sortie passe à l'état "0" (sortie de  $N_2$ ) ainsi que l'entrée de  $N_1$  qui lui est reliée.

On voit donc que même après l'impulsion de déclenchement, le système se maintient dans son état quasi-stable.

Cet état va persister jusqu'à ce que l'armature droite de  $C_1$ , qui se décharge à travers  $R_1$ , ramène l'entrée correspondante de  $N_2$  au niveau "0".

Tout l'ensemble retourne alors à l'état stable.

On sait que pour maintenir l'entrée d'une porte NAND TTL au niveau "0" - il est nécessaire de lui faire consommer du courant. Cette condition limite la valeur de  $R_1$  au maximum à 500 Ohms, ce montage ne se prête donc qu'à de courtes périodes, n'exédant guère la milli-seconde ou quelques dizaines de milli-secondes.

Nous passons maintenant à l'étude des mono-  
-stables réalisés à partir de circuits logiques intégrés.

#### -MONOSTABLES EN CIRCUITS INTEGRES

Il existe beaucoup de circuits intégrés à usage de monostables; il s'agit de la série SN 74121-SN 74122-SN74123- de chez TEXAS et le SFC4121-de chez SESCOSEM, par exemple. Nous allons voir le modèle 121

La configuration de base est donnée à la figure ( BM12)

Ce circuit comporte 3 entrées  $A_1$ ,  $A_2$ , et B. Le monostable peut être déclenché soit par un front descendant, soit par les transitions lentes d'un signal quelconque.

Le premier fonctionnement est obtenu en maintenant l'entrée B au niveau haut - le monostable se déclenche alors, quand, soit

l'une des entrées  $A_1, A_2$ , soiy les deux en même temps passent au niveau bas.

Pour le deuxième type de fonctionnement, l'une au moins des entrées  $A_1$  ou  $A_2$  doit être maintenue au niveau bas. Le déclenchement intervient alors pendant une montée, même lente de l'entrée B qui travaille en trigger de SCHMIDT.

Les temps de montée ou de descente sur les sorties complémentaires Q et  $\bar{Q}$  ainsi que les niveaux sont compatibles avec les normes des logiques TTL

-10ns pour la montée.

-5ns pour la descente.

Sans éléments extérieurs la période du monostable est de l'ordre de 30ns.

On peut, en ajoutant une capacité ou une résistance extérieures, obtenir des temporisations plus longues et réglables. Le maximum, avec 1000uF, se situe vers 40 secondes.

-Exemples De Réalisations avec des circuits intégrés

-1) Brochage du SFC4121 en boîtier TO 16

Le schéma est donné en fig BM 13

Pour la configuration de ce schéma, la période est donnée par la formule:

$$T = CR_i \text{Log} 2$$

avec:  $-R_i$ : résistance interne du circuit intégré. Elle est très voisine de 2 K-Ohms, tandis que C est la capacité du circuit extérieur.

Si l'on désire faire varier la temporisation, on utilise le branchement, donné en fig BM 14.

La période est dans ce cas donnée par:

$$T = C.(R_i + R) \text{Log} 2$$

avec R réglable

Le monostable SN74122 (TEXAS)-déclenchable par des fronts descendants, est "réarmable": c'est à dire qu'on peut remettre les sorties Q et  $\bar{Q}$  au niveau de repos à n'importe quel moment du cycle



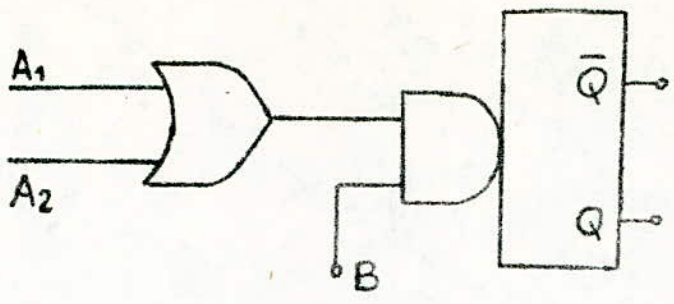


fig BM12  
-----

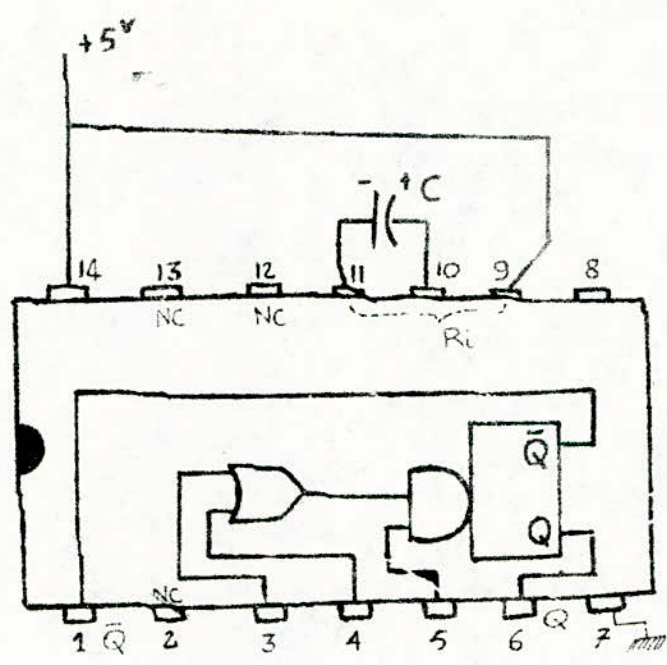


fig BM13  
-----  
( Brochage du C.I  
SFC4121)

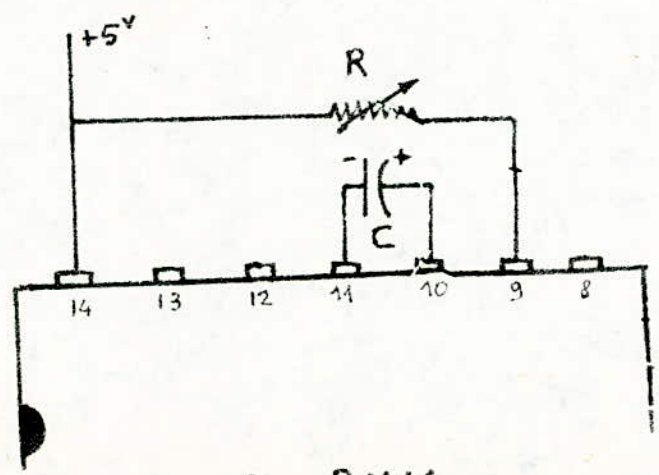


fig BM14  
-----

Pour le SN74123- sa constitution est en fait la réunion dans un même boîtier de deux monostables identiques au SN74122.

Chaque élément ne possède qu'une seule entrée A et une seule entrée B, et il ne comporte pas de résistance interne de temporisation(  $R_i$  ) :

-----  
Nous passons maintenant à un autre chapitre, celui -ci traite des problèmes du système d'affichage.

#### §§§§---SYSTEME D'AFFICHAGE-----

##### -Introduction

Le choix des afficheurs sera fait en fonction de leur consommation qui doit être la plus faible possible. ( Dans un avion , l'économie d'énergie est très importante )

Il sera également tenu compte de leur encombrement et de leur disponibilité.

Nous allons , dans ce qui va suivre , faire l'étude théorique du système d'affichage à 7 segments.

La présentation d'un chiffre est donnée en ( Fig SA1 )

Les différents segments composant un chiffre seront notés par :

(  $Y_0, Y_1, Y_2, Y_3, Y_4, Y_5, Y_6, Y_7$  )

Il y a également la possibilité d'afficher la virgule éventuelle.

On utilisera la convention suivante:

- $Y_i = "1"$  : le segment i est allumé.

- $Y_i = "0"$  : le segment i est éteint.

Nous allons donc déterminer les différentes équations logiques des  $Y_i$ .

On a donc 8 variables de sorties, pour les écrire il nous faut au minimum 4 variables d'entrées.

Ces dernières seront notées par;

(  $X_0, X_1, X_2, X_3$  )

Ces variables  $X_i$  sont en fait codées en BCD- elles proviennent soit

-du clavier, lorsque on est en fonctionnement "MANUEL"

-du compteur fréquences lorsqu'on est en "AUTOMATIQUE"  
 -de la sortie de la mémoire ,lorsqu'on est en  
 fonctionnement" AUTOMATIQUE PROGRAMME".

Nous passons maintenant à la détermination des di-  
 fferentes expressions :

$$Y_i = f( X_0 X_1 X_2 X_3 )$$

Pour celà traçons la table de vérité

Celle ci est donnée en ( Fig SA 2)

A l'aide de cette table ,nous déduisons les tableaux  
 de KARNAUGH pour chaque  $Y_i$

CES différents tableaux sont donnés à la figure(SA3)

Aprés celà on obtient les expressions logiques des  $Y_i$

On a :

$$- Y_0 = X_1 \bar{X}_0 + X_3 \bar{X}_2 + X_2 \bar{X}_1 + X_2 \bar{X}_1$$

$$- Y_1 = \bar{X}_0 \bar{X}_2 + X_2 X_0 + X_1 X_0 + X_3 \bar{X}_2$$

$$- Y_2 = X_3 + \bar{X}_0 \bar{X}_1 + \bar{X}_1 X_2 + \bar{X}_0 \bar{X}_2$$

$$- Y_3 = \bar{X}_2 + X_1 X_0$$

$$- Y_4 = \bar{X}_0 X_1 + \bar{X}_0 \bar{X}_2$$

$$- Y_5 = \bar{X}_1 \bar{X}_2 + \bar{X}_3 X_2 + \bar{X}_3 X_0$$

$$- Y_6 = \bar{X}_0 \bar{X}_2 + X_1 \bar{X}_0 + \bar{X}_2 X_1 + \bar{X}_1 X_0 X_2$$

Aprés celà , il suffit d'établir les schémas logiques  
 ces derniers sont donnés à la figure ( SA 4)

Comme on peut le remarquer il y a de nombreuses  
 parties communes.

Néanmoins nous n'avons pas jugé nécessaire la simp-  
 -lification de ces schémas ,car il existe actuellement



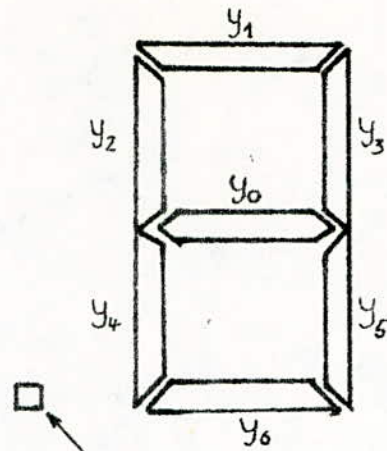


fig SA1

représentation  
d'un  
chiffre

(VIRGULE EVENTUELLE)

CHIFFRE DECIMAL	$x_3$	$x_2$	$x_1$	$x_0$	$y_6$	$y_5$	$y_4$	$y_3$	$y_2$	$y_1$	$y_0$
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	0	1	0	0	0
2	0	0	1	0	1	0	1	0	1	1	1
3	0	0	1	1	1	1	0	1	0	1	1
4	0	1	0	0	0	1	0	1	1	0	1
5	0	1	0	1	1	1	0	0	1	1	1
6	0	1	1	0	1	1	1	0	1	0	1
7	0	1	1	1	0	1	0	1	0	1	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	0	1	0	1	1	1	1
10	1	0	1	0	∅	∅	∅	∅	∅	∅	∅
11	1	0	1	1	∅	∅	∅	∅	∅	∅	∅
12	1	1	0	0	∅	∅	∅	∅	∅	∅	∅
13	1	1	0	1	∅	∅	∅	∅	∅	∅	∅
14	1	1	1	0	∅	∅	∅	∅	∅	∅	∅
15	1	1	1	1	∅	∅	∅	∅	∅	∅	∅

fig SA2 (table De Vérité Des  $y_i$ )

$X_3 \backslash X_2 X_1 X_0$	00	01	11	10
00	0	0	1	1
01	1	1	0	1
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	1	$\emptyset$	$\emptyset$

$$Y_0 = X_3 + X_2 \bar{X}_1 + X_1 \bar{X}_0 + X_1 \bar{X}_2$$

$X_3 \backslash X_2 X_1 X_0$	00	01	11	10
00	1	0	1	1
01	0	1	1	0
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	1	$\emptyset$	$\emptyset$

$$Y_1 = X_3 + X_2 X_0 + \bar{X}_0 \bar{X}_2 + X_1 \bar{X}_2$$

$X_3 \backslash X_2 X_1 X_0$	00	01	11	10
00	1	0	0	0
01	1	1	0	1
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	1	$\emptyset$	$\emptyset$

$$Y_2 = X_3 + \bar{X}_0 \bar{X}_1 + X_2 \bar{X}_1 + X_2 \bar{X}_0$$

$X_3 \backslash X_2 X_1 X_0$	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	1	$\emptyset$	$\emptyset$

$$Y_3 = X_3 + \bar{X}_2 + \bar{X}_1 \bar{X}_0 + X_1 X_0$$

$X_3 \backslash X_2 X_1 X_0$	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	0	$\emptyset$	$\emptyset$

$$Y_4 = \bar{X}_0 \bar{X}_2 + X_3 \bar{X}_0 + X_1 \bar{X}_0$$

$X_3 \backslash X_2 X_1 X_0$	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	1	$\emptyset$	$\emptyset$

$$Y_5 = \bar{X}_1 + X_0 + X_1 X_2$$

fig SA3

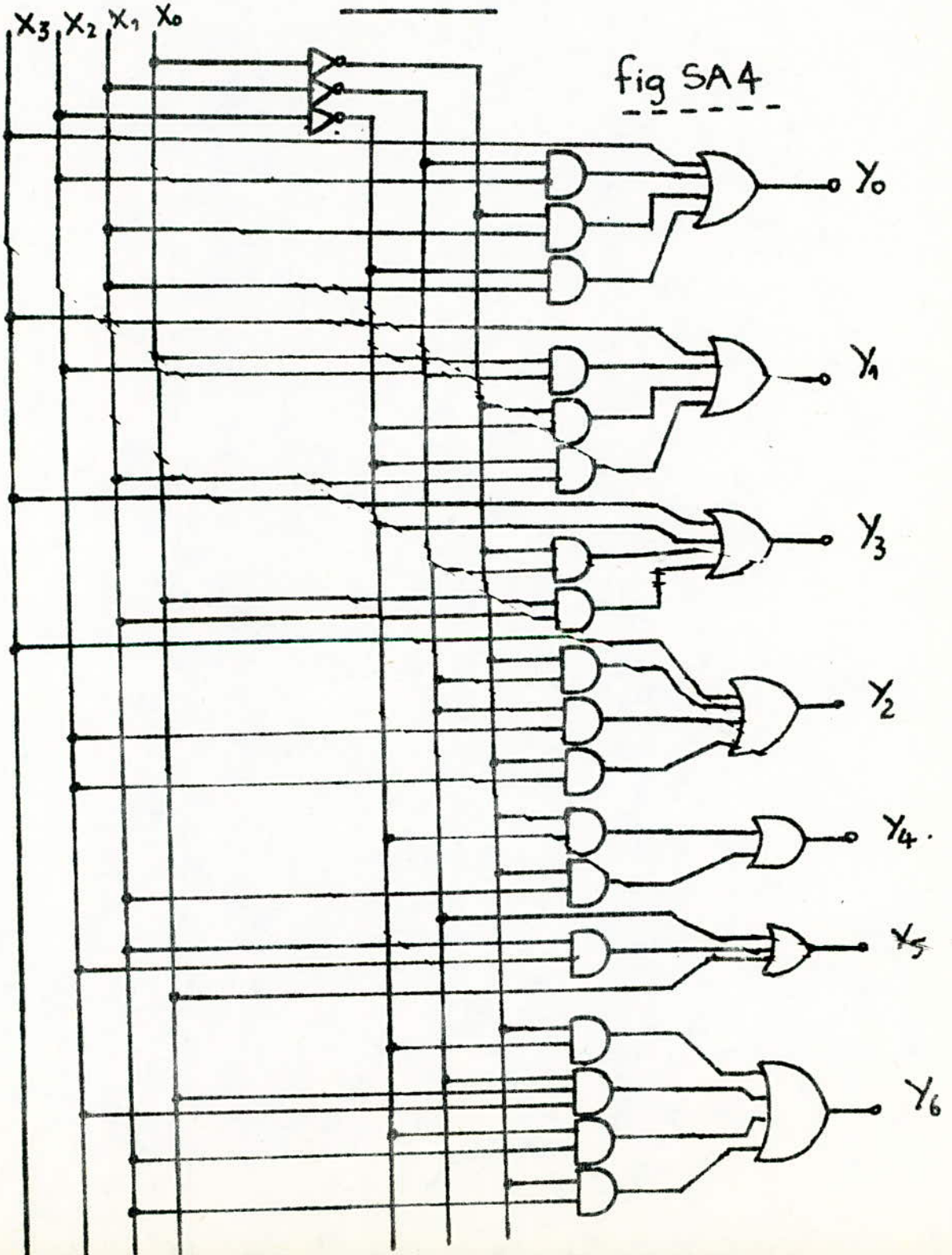
TABLEAUX DE KARNAUGH  
DES  $Y_i$  - et LEURS  
EXPRESSIONS LOGIQUES



$X_3 \backslash X_2 X_1 X_0$	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	$\emptyset$	$\emptyset$	$\emptyset$	$\emptyset$
10	1	0	$\emptyset$	$\emptyset$

$$Y_6 = \bar{X}_0 \bar{X}_2 + X_0 \bar{X}_1 X_2 + X_1 \bar{X}_2 + X_1 \bar{X}_0$$

(Fig SA3 suite).





des décodeurs 7 segments en bloc intégré.  
Ils se présentent sous la forme ,qui est indiquée  
par le schéma de la (Fig SA5)  
Pour le brochage de ces décodeurs ,il faut faire  
trés attention au poids des bits d'entrées  $X_i$ .

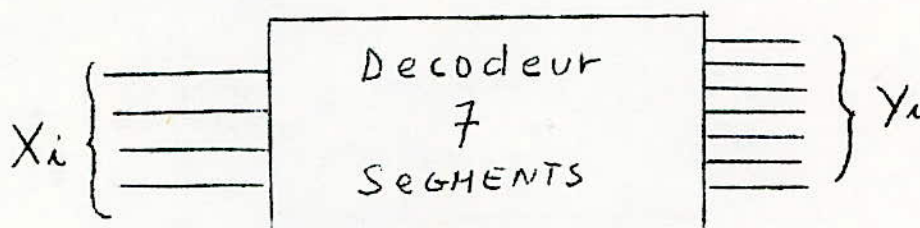


Fig SA 5

---

## §§-6-SYNTHESE DES COMPTEURS

--Dans chacune des trois parties de notre schéma donnant ,les trois types de fonctionnement ,nous avons besoin d'utiliser des compteurs.

En effet :

-Pour la partie "fonctionnement en MANUEL",on doit utiliser deux compteurs differents

-l'un pour la commande du multiplexeur; ce dernier étant à 4 voies -le compteur doit être "modulo 4"

-l'autre pour le repérage des numéros de succession des touches appuyées.Celui-ci est un compteur "modulo 5"

Pour la partie " fonctionnement en AUTOMATIQUE" on a besoin d'un compteur -fréquences,ce dernier se compose de compteurs élémentaires(Voir partie "AUTOMATIQUE" )

Ces compteurs sont tous du même type:

Ils sont tous "modulo 10"

Enfin pour la partie " fonctionnement en AUTOMATIQUE PROGRAMME" ,nous avons besoin d'un seul compteur

"modulo 16" pour faire dérouler la mémoire.

Cette dernière possède 16 adresses.

Avant de commencer la synthèse de ces compteurs-vu qu'ils seront tous réalisés à partir de bascules JK

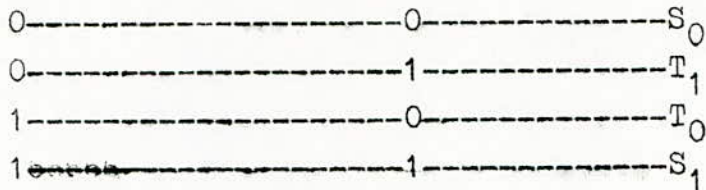
-nous allons rappeler la table de vérité d'une bascule JK

Entrées des JK		Transitions	Cond-d'entrées	
$Q_t$	$Q_{t+1}$		J	K
0	1	$T_1$	1	$\emptyset$
0	0	$S_0$	0	$\emptyset$
1	1	$S_1$	$\emptyset$	0
1	0	$T_0$	$\emptyset$	1

Pour la colonne des transitions on a utiliser les notations de MARCUS

Elles sont définies comme suit:

état-présent-----état-suivant---nota-de-MARCUS



Après ces quelques rappels-nous passons à la synthèse des compteurs.

### 1)SYNTHESE DU COMPTEUR MODULO 4

Ce compteur sert à commander le multiplexeur

Pour synthétiser ,un compteur modulo N

il nous faut n bascules tel que:

$$2^n - 1 \geq N - 1$$

ou encore:

$$2^n \geq N.$$

Pour notre cas il nous faut donc 2 bascules JK

Ces 2 bascules seront notées : A et B

leur entrées seront respectivement:

J<sub>A</sub> - K<sub>A</sub> pour la bascule A

J<sub>B</sub> - K<sub>B</sub> pour la bascule B

les sorties seront :

Q<sub>A</sub> -et  $\bar{Q}_A$  pour A

Q<sub>B</sub> -et  $\bar{Q}_B$  pour B

Nous allons tracer la table de vérité de ce compteur

Impulsions d'horloge	A	B	J <sub>A</sub>	K <sub>A</sub>	J <sub>B</sub>	K <sub>B</sub>
"état initiale	0	0	0	∅	1	∅
1	0	1	1	∅	∅	1
2	1	0	∅	0	1	∅
3	1	1	∅	1	∅	1
4	0	0	-	-	-	-



Après cela il suffit de porter dans les tableaux de Karnaugh les différentes valeurs des :

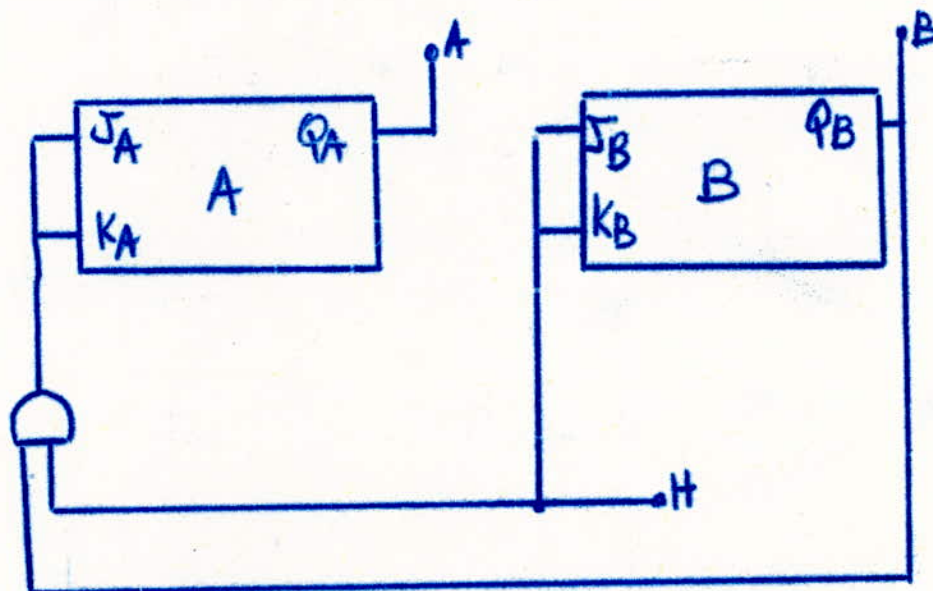
$J_A$   $K_A$  et  $J_B$   $K_B$  en fonction de A et B

on trouve facilement les expressions suivantes :

$$J_A = K_A = Q_B \cdot H$$

$$J_B = K_B = H$$

le schéma est le suivant :



Tableaux de Karnaugh :

de même  $J_A = K_A = B \cdot H$

B \ A	0	1
0	0	0
1	1	0

$J_B = K_B = H$

B \ A	0	1
0	1	1
1	1	1

## 2) SYNTHÈSE DU COMPTEUR MODULO 6

Ce compteur sert à :

- d'une part à repérer comme il a été vu les touches
- d'autre part à orienter les informations provenant du multiplexeur.

Pour le réaliser il nous faut donc 3 bascules JK.

Ce compteur doit basculer à chaque impulsion "C" provenant du clavier.

son diagramme des transitions est donné à la (Fig SC1) à l'aide de la table de vérité qui est donnée à la Figure SC2, il est facile de trouver les expressions des  $J_i$  et des  $K_i$ .

Voir les tableaux de KARNAUGH pour l'obtention de ces expressions à la figure SC3.

On trouve :

- $J_A = B.C.H$
- $K_A = C.H$
- $J_B = \bar{A}.C.H$
- $K_B = C.H = K_A$
- $J_C = \bar{C}.H$
- $K_C = H$

Le schéma de ce compteur est donné à la figure SC4.

Remarque/

- Ces deux compteurs sont à chaque fois remis à 0 dès qu'on appuie sur les touches "AUTOMATIQUE" ou "AUTOMATIQUE PROGRAMME".

## 3) SYNTHÈSE DU COMPTEUR MODULO 10

La méthode reste toujours la même.

Cette fois-ci on a besoin de 4 bascules JK

On établit la table des transitions du compteur (voir fig SC5)

à l'aide de cette dernière on pose les tableaux de KARNAUGH des différentes variables (voir fig SC6)

On trouve /

N	H	A	B	C	J <sub>A</sub>	K <sub>A</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>C</sub>	K <sub>C</sub>
0	1	0	0	0	0	∅	0	∅	1	∅
1	1	0	0	1	0	∅	1	∅	∅	1
2	1	0	1	0	0	∅	∅	0	1	∅
3	1	0	1	1	1	∅	∅	1	∅	1
4	1	1	0	0	∅	0	0	∅	1	∅
5	1	1	0	1	∅	1	0	∅	∅	1
0	1	0	0	0						

∅                      ∅

fig SC2 (table de Vérité du Compteur [6])

	B/C	00	01	11	10
A	0	0	0	1	0
	1	∅	∅	∅	∅

$J_A = B \cdot C \cdot H$

	B/C	00	01	11	10
A	0	∅	∅	∅	∅
	1	0	1	∅	∅

$K_A = C \cdot H$

	B/C	00	01	11	10
A	0	0	1	∅	∅
	1	0	0	∅	∅

$J_B = \bar{A} \cdot B \cdot C \cdot H$

	B/C	00	01	11	10
A	0	∅	∅	1	0
	1	∅	∅	∅	∅

$K_B = K_A = C \cdot H$

	B/C	00	01	11	10
A	0	1	0	∅	1
	1	1	∅	∅	∅

$J_C = \bar{C} \cdot H$

$K_C = 1 \cdot H = H$

fig SC3



fig SC1

Diagramme des Transitions du Compteur [6]

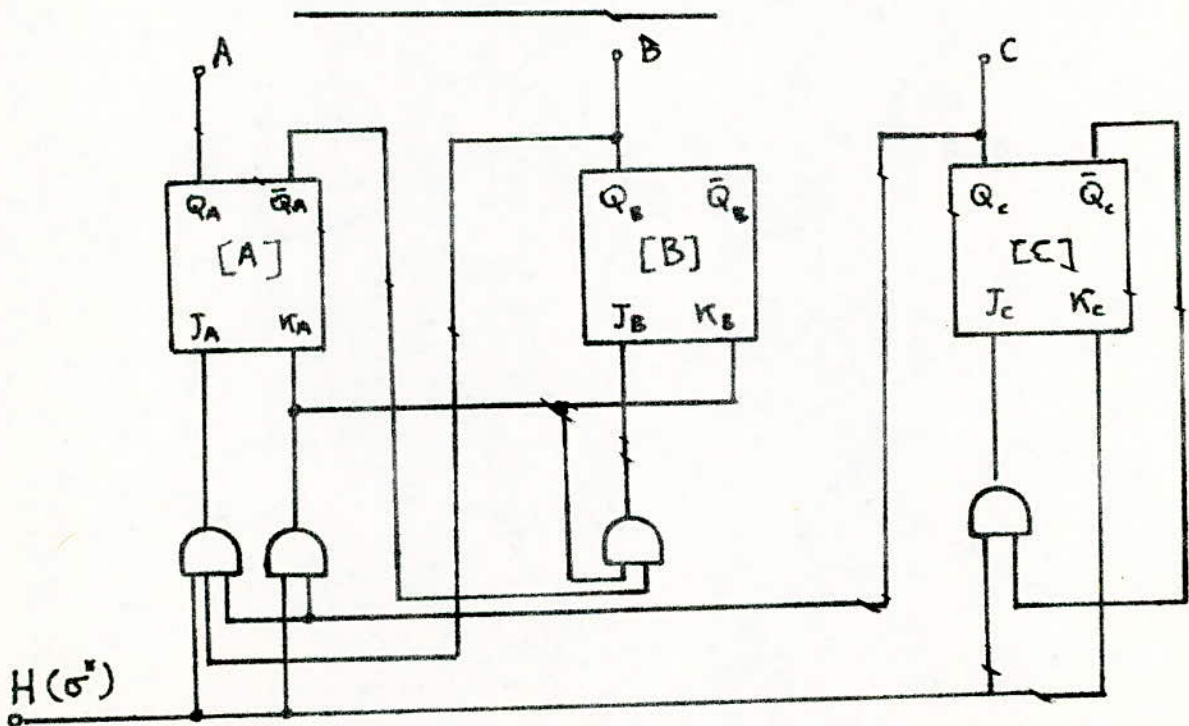
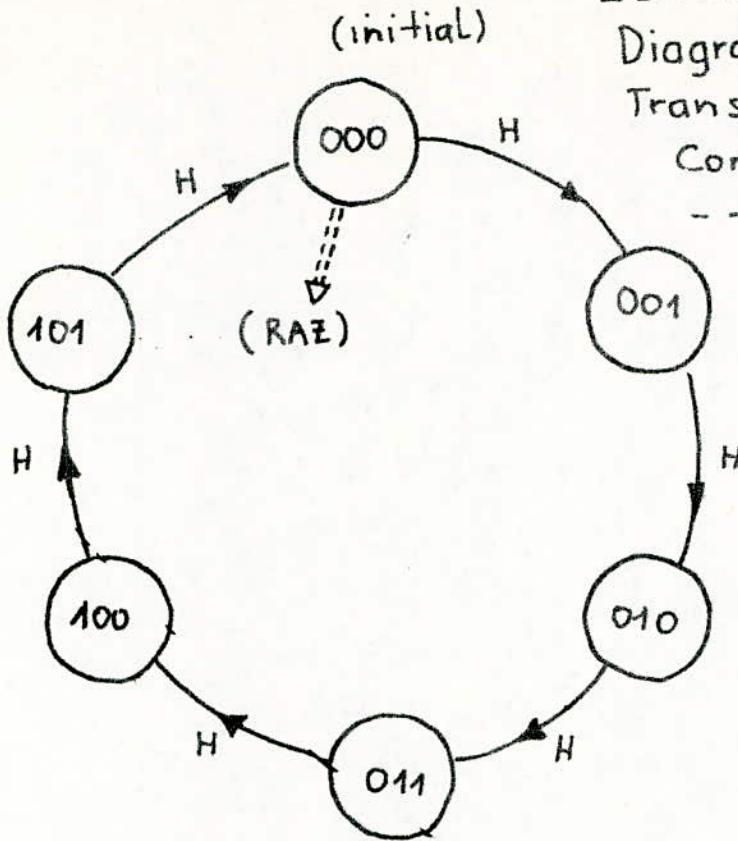


fig SC4 : Schéma Logique du Compteur.

N	H	A	B	C	D	J <sub>A</sub>	K <sub>A</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>C</sub>	K <sub>C</sub>	J <sub>D</sub>	K <sub>D</sub>
0	1	0	0	0	0	0	∅	0	∅	0	∅	1	∅
1	1	0	0	0	1	0	∅	0	∅	1	∅	∅	1
2	1	0	0	1	0	0	∅	0	∅	∅	0	1	∅
3	1	0	0	1	1	0	∅	1	∅	∅	1	∅	1
4	1	0	1	0	0	0	∅	∅	0	0	∅	1	∅
5	1	0	1	0	1	0	∅	∅	0	1	∅	∅	1
6	1	0	1	1	0	0	∅	∅	0	∅	0	1	∅
7	1	0	1	1	1	1	∅	∅	1	∅	1	∅	1
8	1	1	0	0	0	∅	0	0	∅	0	∅	1	∅
9	1	1	0	0	1	∅	1	0	∅	0	∅	∅	1

fig SC 5 (table de Verité du Compteur [10])

CD \ AB	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	∅	∅	∅	∅
10	∅	∅	∅	∅

$J_A = CDB.H$

CD \ AB	00	01	11	10
00	∅	∅	∅	∅
01	∅	∅	∅	∅
11	∅	∅	∅	∅
10	0	∅	∅	∅

$K_A = D.H$

CD \ AB	00	01	11	10
00	0	0	1	0
01	∅	∅	∅	∅
11	∅	∅	∅	∅
10	0	0	∅	∅

$J_B = C.D.H$

CD \ AB	00	01	11	10
00	∅	∅	∅	∅
01	0	0	1	0
11	∅	∅	∅	∅
10	∅	∅	∅	∅

$K_B = C.D.H$

CD \ AB	00	01	11	10
00	0	1	∅	∅
01	0	1	∅	∅
11	∅	∅	∅	∅
10	0	0	∅	∅

$J_C = \bar{A}.D.H$

CD \ AB	00	01	11	10
00	∅	∅	1	0
01	∅	∅	1	0
11	∅	∅	∅	∅
10	∅	∅	∅	∅

$K_C = D.H = K_A$

pour  $J_D = K_D = H$ .

fig SC 6

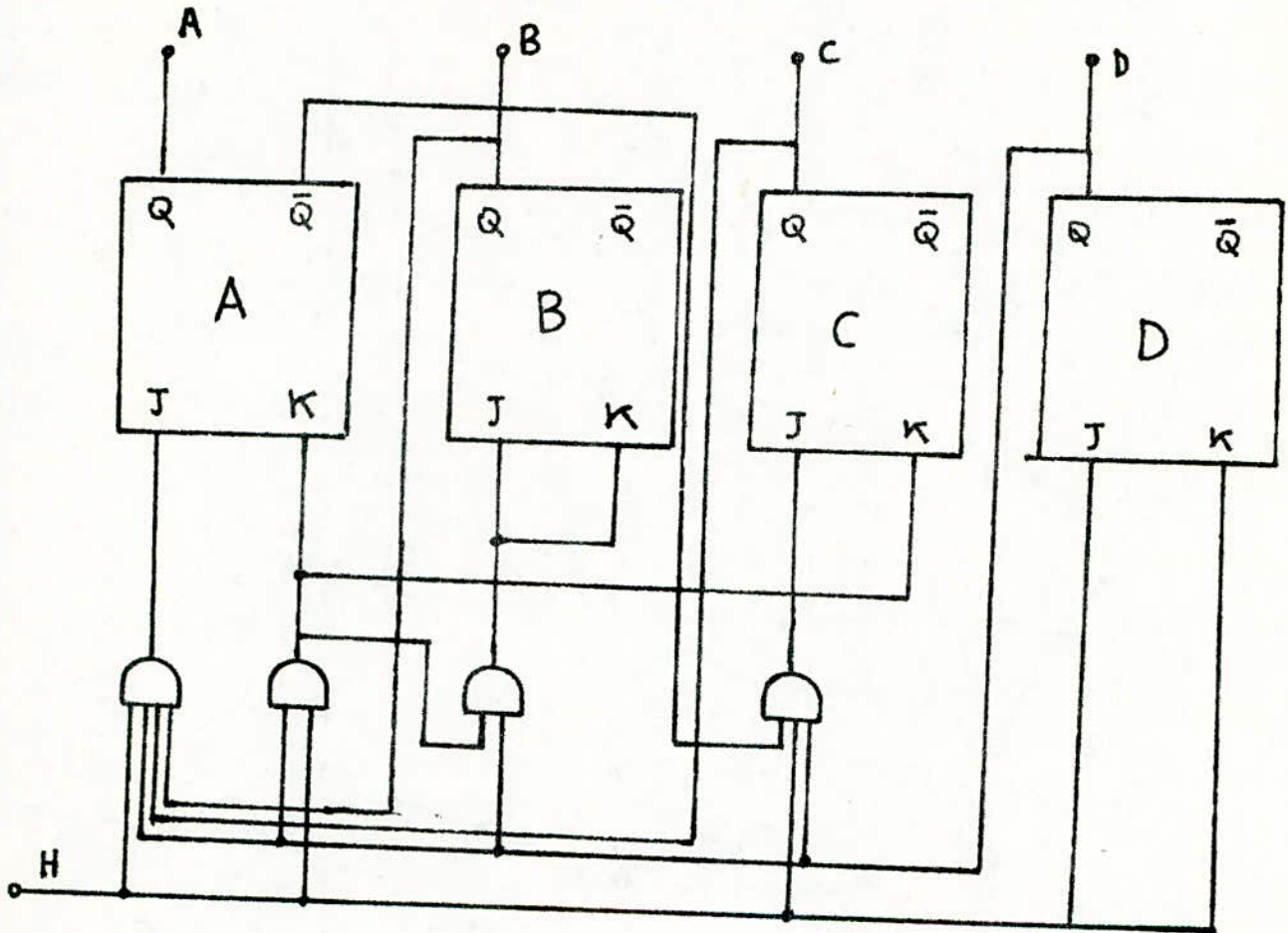


fig SC 7 (Compteur [10]).

-----



- $J_A = C.D.B.H$
- $K_A = D.H$
- $J_B = C.D.H$
- $K_B = C.D.H = J_B$
- $J_C = A.D.H$
- $K_C = D.H = K_A$
- pour :

$J_D$  et  $K_D$ , il est facile de voir que:

$$J_D = K_D = 1.H = H$$

Nous passons maintenant à la synthèse du compteur modulo 16.

#### -4) SYNTHESE DU COMPTEUR MODULO 16

Ce compteur va nous servir, lors du fonctionnement en "AUTOMATIQUE PROGRAMME" à faire dérouler les adresses de la mémoire pour leur lecture.

La mémoire comportant 16 adresses, il nous faut donc un compteur modulo 16.

Les impulsions d'horloge actionnant ce compteur sont générées à partir de la commande automatique ( Voir "Commande Automatique" )

Pour réaliser ce compteur il nous faut donc 4 bascules JK.

$$2^4 = 16$$

Nous allons tout d'abord établir la table de vérité du compteur. Celle-ci est donnée à la figure SC 8.

Ensuite on établit les tableaux de KARNAUGH pour les entrées J et K de chaque bascule, et on en déduit leurs expressions logiques.

Ces tableaux sont regroupés à la figure SC 9.

Enfin nous en déduisons le schéma du compteur modulo 16: Celui-ci est donné à la figure SC 10.

=====

N	H	A	B	C	D	J <sub>A</sub>	K <sub>A</sub>	J <sub>B</sub>	K <sub>B</sub>	J <sub>C</sub>	K <sub>C</sub>	J <sub>D</sub>	K <sub>D</sub>
0	1	0	0	0	0	0	∅	0	∅	0	∅	1	∅
1	1	0	0	0	1	0	∅	0	∅	1	∅	∅	1
2	1	0	0	1	0	0	∅	0	∅	∅	0	1	∅
3	1	0	0	1	1	0	∅	1	∅	∅	1	∅	1
4	1	0	1	0	0	0	∅	∅	0	0	∅	1	∅
5	1	0	1	0	1	0	∅	∅	0	1	∅	∅	1
6	1	0	1	1	0	0	∅	∅	0	∅	∅	1	∅
7	1	0	1	1	1	1	∅	∅	1	∅	1	∅	1
8	1	1	0	0	0	∅	0	0	∅	0	∅	1	∅
9	1	1	0	0	1	∅	0	0	∅	1	∅	∅	1
10	1	1	0	1	0	∅	0	0	∅	∅	0	1	∅
11	1	1	0	1	1	∅	0	1	∅	∅	1	∅	1
12	1	1	1	0	0	∅	0	∅	0	0	∅	1	∅
13	1	1	1	0	1	∅	0	∅	0	1	∅	∅	1
14	1	1	1	1	0	∅	0	∅	0	∅	0	1	∅
15	1	1	1	1	1	∅	1	∅	1	∅	1	∅	1
0	0	0	0	0	0								

fig SC.8 : Table De Verité du  
Compteur [16]



$\begin{matrix} C/D \\ A/B \end{matrix}$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	$\phi$	$\phi$	$\phi$	$\phi$
10	$\phi$	$\phi$	$\phi$	$\phi$

$$J_A = C \cdot D \cdot B \cdot H$$

$\begin{matrix} C/D \\ A/B \end{matrix}$	00	01	11	10
00	$\phi$	$\phi$	$\phi$	$\phi$
01	$\phi$	$\phi$	$\phi$	$\phi$
11	0	0	1	0
10	0	0	0	0

$$K_A = J_A = C \cdot D \cdot B \cdot H$$

$\begin{matrix} C/D \\ A/B \end{matrix}$	00	01	11	10
00	0	0	1	0
01	$\phi$	$\phi$	$\phi$	$\phi$
11	$\phi$	$\phi$	$\phi$	$\phi$
10	0	0	1	0

$$J_B = C \cdot D \cdot H$$

$\begin{matrix} C/D \\ A/B \end{matrix}$	00	01	11	10
00	$\phi$	$\phi$	$\phi$	$\phi$
01	0	0	1	0
11	0	0	1	0
10	$\phi$	$\phi$	$\phi$	$\phi$

$$K_B = J_B = C \cdot D \cdot H$$

$\begin{matrix} C/D \\ A/B \end{matrix}$	00	01	11	10
00	0	1	$\phi$	$\phi$
01	0	1	$\phi$	$\phi$
11	0	1	$\phi$	$\phi$
10	0	1	$\phi$	$\phi$

$$J_C = D \cdot H$$

$\begin{matrix} C/D \\ A/B \end{matrix}$	00	01	11	10
00	$\phi$	$\phi$	1	0
01	$\phi$	$\phi$	1	0
11	$\phi$	$\phi$	1	0
10	$\phi$	$\phi$	1	0

$$K_C = D \cdot H$$

$$\text{pour } J_D = K_D = 1 \cdot H = H.$$

fig 8c.9 tableaux De  
KARNAUGH



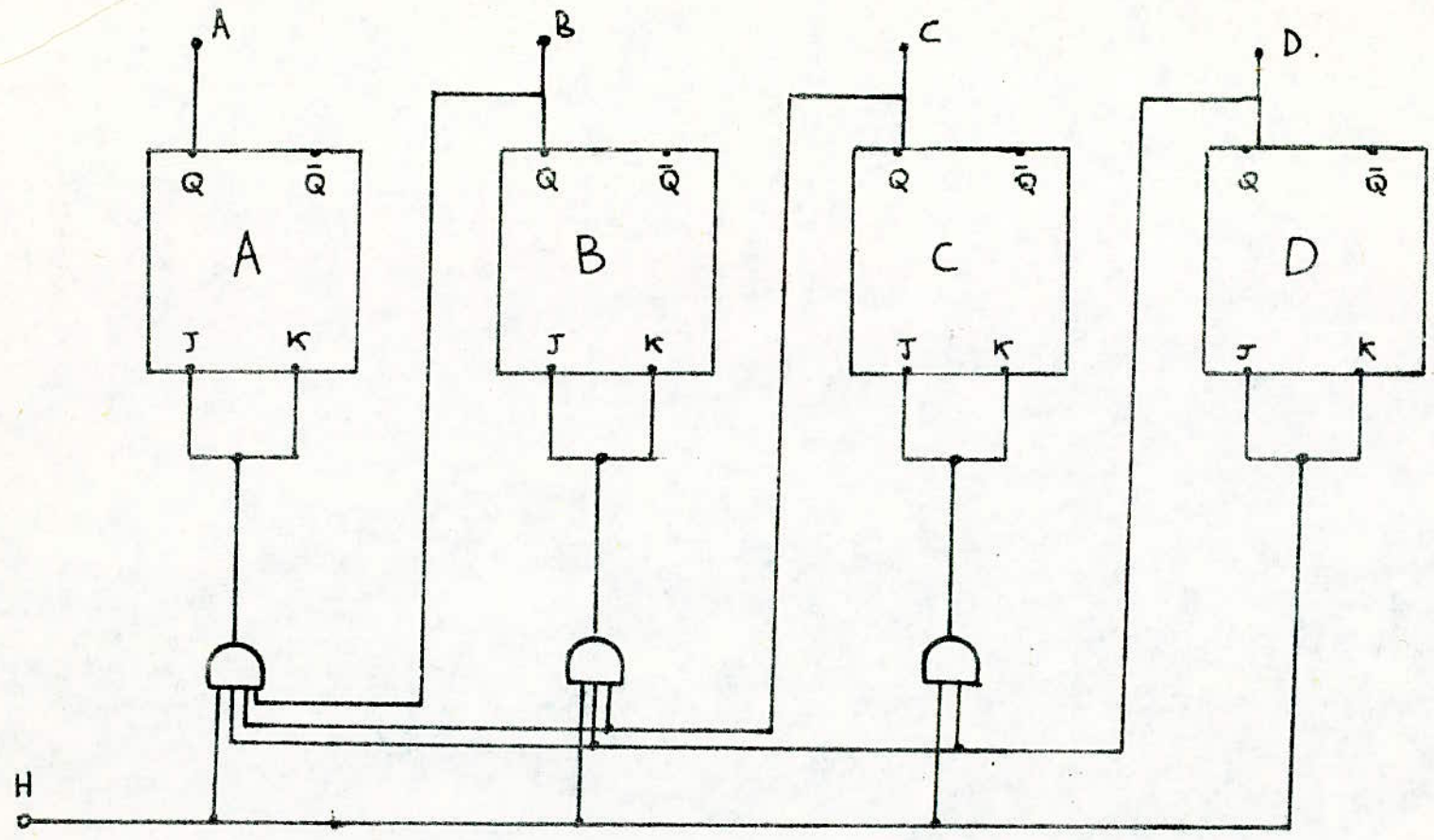


fig SC-10: Schéma du Compteur [16]

COMMANDE DU BALAYAGE EN AUTOMATIQUE ET EN AUTOMATIQUE  
 -----PROGRAMME-----

- Cette commande doit nous assurer les fonctions suivantes:
  - Déclenchement du compteur fréquences en pressant sur le bouton "Automatique"
  - Déclenchement du compteur adresses de la mémoire et donner l'accès à la mémoire pour la lecture et éventuellement l'écriture, et ce dès qu'on appuie sur la touche "Automatique-programmé".
  - Un dispositif d'arrêt du balayage lorsqu'une balise est reçue.
  - Un arrêt par action extérieure du balayage pour permettre l'identification, par le pilote, de la balise reçue.

Nous proposons pour cela un schéma initial (voir figCB1) celui-ci sera amélioré au fur et à mesure de son analyse. Nous avons les signaux suivants:

- $Q_1 + Q_2$  a une période quelque peu supérieure à 5ms, et permet de ne pas sauter la balise qui pourrait suivre immédiatement une balise que l'on a reçue. Ce signal est issu de la logique récepteur que l'on verra plus loin.
- $\bar{Q}_1 + Q_2$  permet d'arrêter le balayage quand nous recevons un signal balise exploitable.
- $V=0$  nous donnera un arrêt du balayage.
- $V=1$  dans les autres cas.

Nous passons maintenant à la synthèse de la variable  $V$ .  
SYNTHESE DE  $V$ .

Cette synthèse sera faite à l'aide de la méthode d'HUFFMAN, en utilisant des éléments "mémoires" (bascules JK).

Nous allons tout d'abord en rappeler les principes.

- 1) établissement du diagramme des phases
- 2) construction de la matrice des phases primitives
- 3) fusionnement et codage des variables internes.
- 4) On détermine, à partir de la table des excitations secondaires, le nombre de bascules à utiliser. Ce nombre est égal au nombre des variables internes.



- 5) On établit l'expressions des entrées des bascules en considérant les transitions des variables internes.
- 6) Enfin on déduit les expressions logiques de ces entrées. Pour les variables de sortie la méthode classique reste valable.

En appliquant ce qui vient d'être dit à notre cas on remarque qu'il nous faut donc une seule bascule (on n'a qu'une variable interne après fusionnement et codage de la matrice des phases primitives)

Nous utiliserons une bascule JK

On trouve les expressions logiques suivantes:

( voir fig CB2)

$$V = \bar{Q}$$

$$J = A + A_p$$

$$K = (\text{Stop}) \cdot (A + A_p)$$

Le schéma est celui de la figure CB3.

La porte donnant "i", dépendant de V, Q<sub>1</sub>, Q<sub>2</sub> laissera passer, en présence de ces signaux, le signal "H" qui est une horloge dont la période est T<sub>h</sub> = 40 ms. Ce temps permettra comme nous l'avons déjà indiqué, aux circuits de répondre en cas de réception.

### DESCRIPTION DE LA LOGIQUE RECEPTEUR.

Cette logique nous permettra d'arrêter le balayage automatique ou automatique-programmé dès qu'il y a un signal balise qui est reçu par le récepteur.

Cet arrêt un peu plus de 5s- afin qu'il permette au pilote de noter l'indication du phasemètre.

Pour concevoir cette logique il y a deux cas à considérer: -soit que le signal reçu est un signal parasite (radio-taxi ou autre émission etc...) alors il y a apparition du signal HF et pas de BF.

-soit que le signal reçu est effectivement un signal balise - alors il y a apparition cette fois ci des deux signaux HF et BF. (pour celà cf "prtie RECEPTEUR")

Dans ce dernier cas le balayage doit s'arreter pendant au moins 5s.



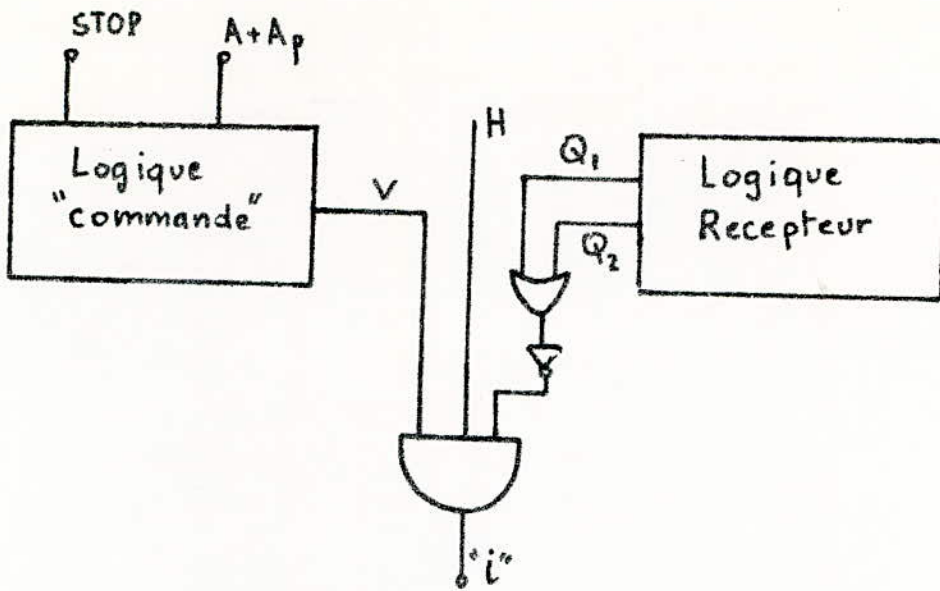
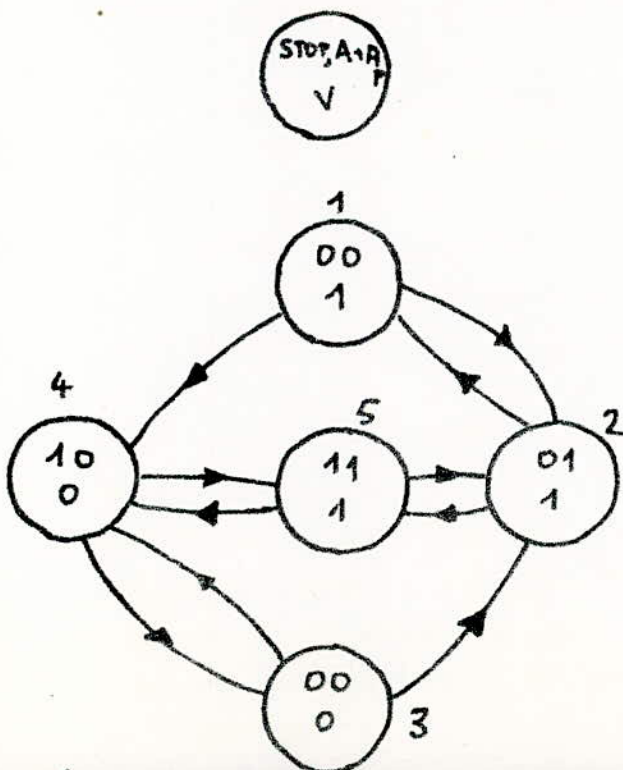


fig CB1.

fig CB2<sub>1</sub> - SYNTHÈSE DE "V"

(a). Diagramme des Phases.



S. A+Ap états	00	01	11	10	V
1	①	2	-	4	1
2	1	②	5	-	1
3	③	2	-	4	0
4	3	-	5	④	0
5	-	2	⑤	4	1

- Matrice des Phases Primitives

S. A+Ap états	00	01	11	10	V
1,2,5	①	②	⑤	4	1
3,4	③	2	5	④	0

- fusionnement.

Matrice de Sortie

S. A+Ap Q	00	01	11	10	V
0	0	0	0	1	1
1	1	0	0	1	0

- Matrice des transitions.

S. A+Ap Q	00	01	11	10
0	①	①	①	①
1	0	0	0	0

(fonctionnement lent)

$$V = \bar{Q}.$$

- SYNTHÈSE DE Q à l'aide d'une JK

S. A+Ap Q	00	01	11	10	00	01	11	10
0	0	0	0	①	-	-	-	-
1	-	-	-	-	0	①	①	0

J

K

$$J = S \cdot (\overline{A+Ap})$$

$$K = A+Ap.$$

Nous donnons dans ce qui suit un schéma de cette logique récepteur. Elle est essentiellement constituée de deux monostables  $Q_1$  et  $Q_2$ .

-Commande de  $Q_1$ :

celui-ci doit délivrer une impulsion de 100ms dès qu'il y a apparition de la HF et que  $\bar{Q}_2 = 1$

-Commande de  $Q_2$

Ce deuxième monostable doit délivrer une impulsion de 5s dès l'apparition de la BF et que  $Q_1 = 1$ .

Nous donnons un schéma synoptique de cette partie à la figure CB4.

Remarque Importante:

Si on utilise le schéma initialement proposé (figCB1)

le problème suivant peut se poser:

Dès l'apparition d'un signal fréquence-le système reste bloqué sur cette fréquence reçue, et on ne pourra changer de fréquence, que lorsque le signal ne pourra plus être reçu (éloignement de l'avion de la balise)

Pour bien comprendre le fonctionnement, nous allons résumer ce qui vient d'être dit, par les diagrammes donnés en figureCB5.

Le problème se pose au niveau de l'instant  $T_1$ .

En effet dès que  $Q_2$  revient à "0" et comme la HF ne va pas s'annuler instantanément,  $Q_1$  va délivrer une deuxième impulsion de durée 100ms - le système sera donc maintenu bloqué sur la fréquence précédente-la BF apparaîtra à nouveau et ainsi de suite.

Pour sortir de ce cycle fermé, on doit incrémenter le compteur fréquence ou le compteur adresses mémoire à l'instant  $T_1$ . Pour cela on utilise un monostable  $Q_3$

celui ci doit nous délivrer une impulsion de durée égale à celle de H dès que  $Q_2$  passera à "0".

On utilisera le front montant de  $\bar{Q}_2$  pour commander  $Q_3$

Toutes ces considérations sont résumées en figureCB6

Le schéma final est donné à la figure CB7



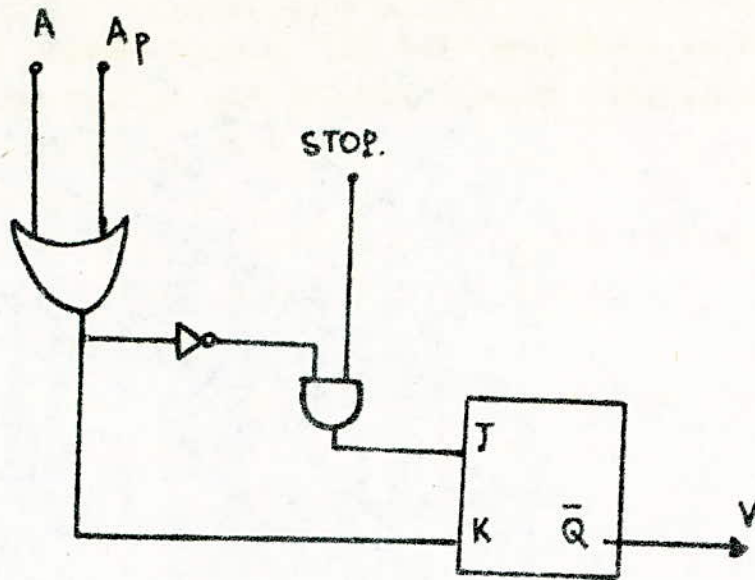


fig CB3 : Schéma de La Commande Logique

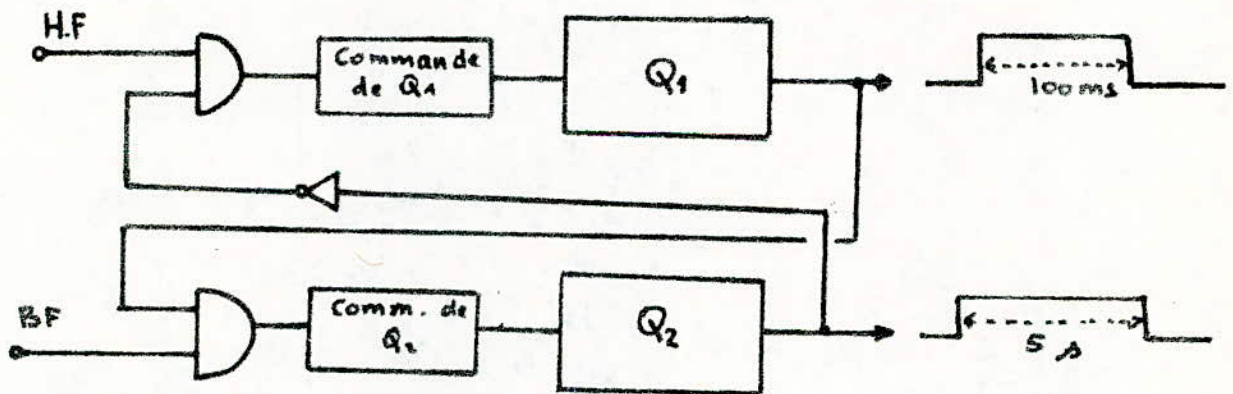


fig CB4

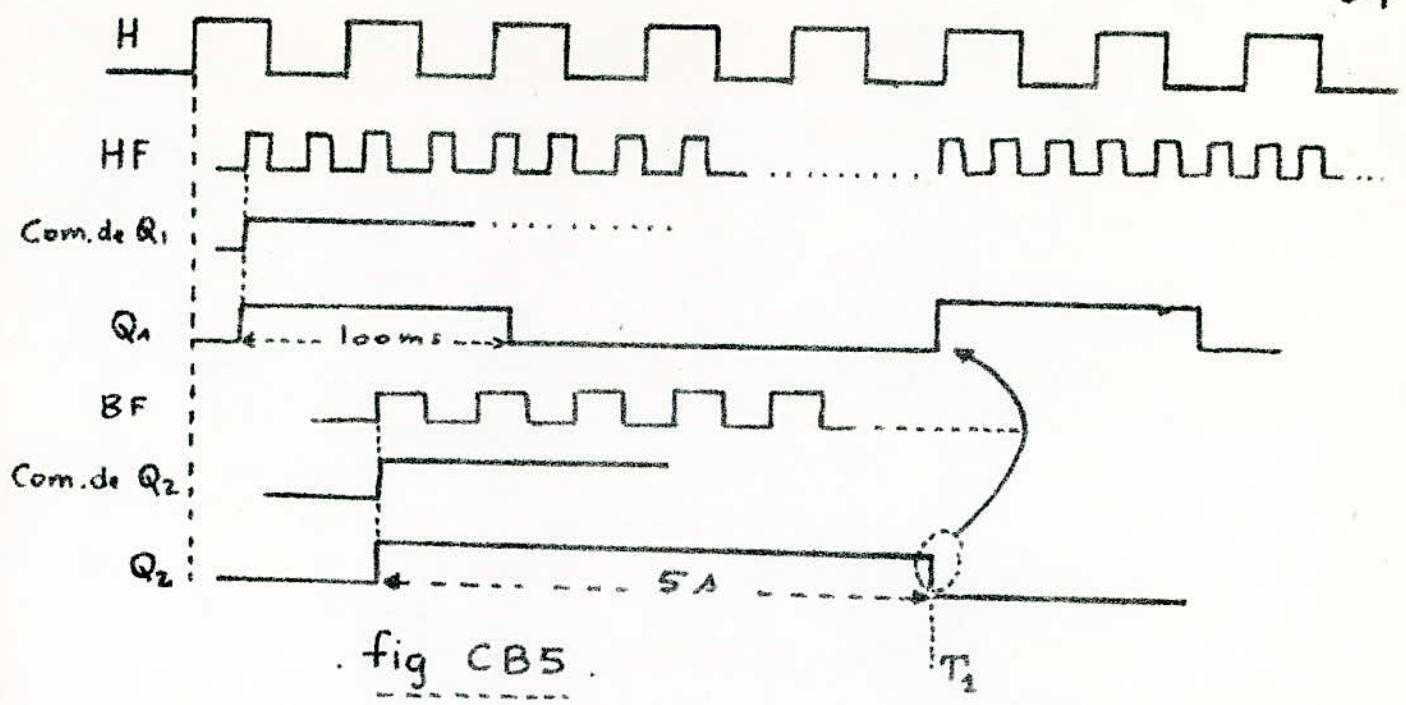


fig CB5

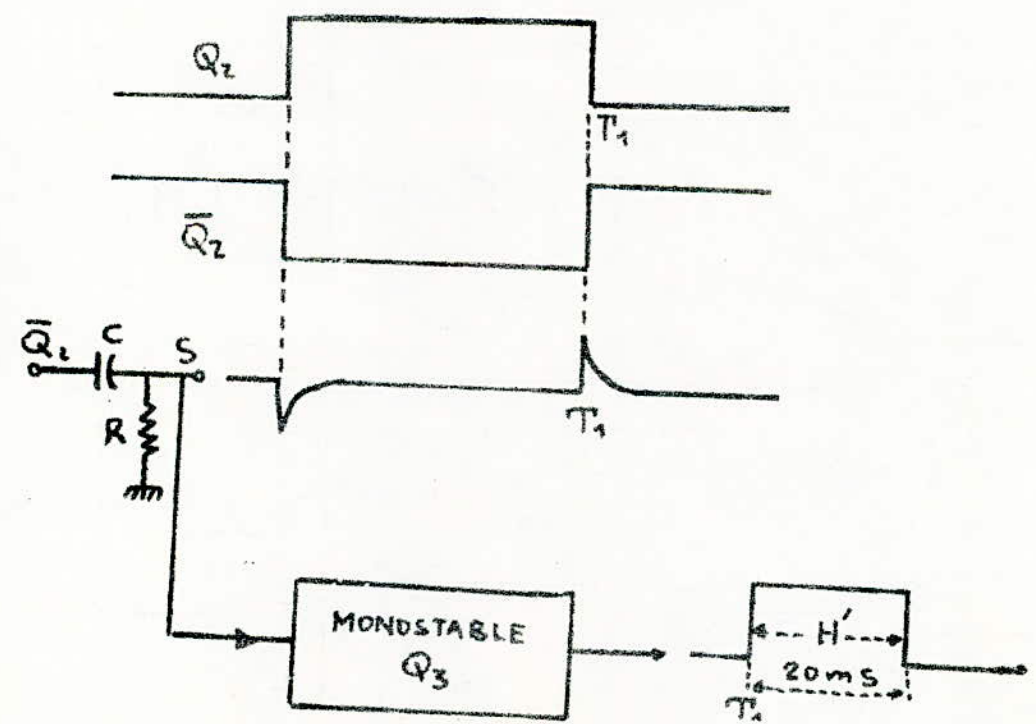


fig CB6

## SAIGUILLAGE DE L'INFORMATION "i"

La présence du signal "i" nous indique qu'on est en fonctionnement automatique ou automatique programmé. Ce signal sera canalisé, suivant le cas, vers le compteur adresses de la mémoire ou vers le compteur fréquence.

Nous proposons le schéma de la figure CB8.

-Fonctionnement:

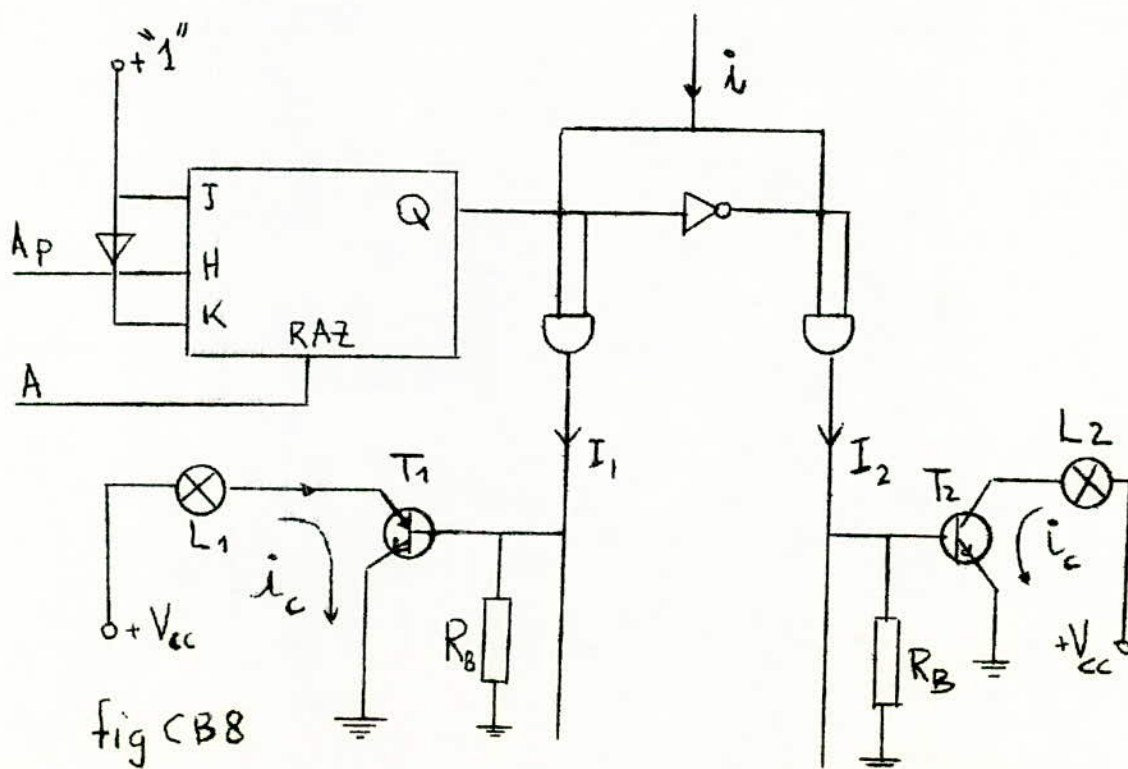
En automatique la bascule est mise à "0" et le signal d'horloge passera vers le compteur de fréquences grâce à la porte inverseuse.

En automatique programmé la bascule est mise à "1" et le signal d'horloge passera vers le compteur adresses.

Les deux signaux  $I_1$  et  $I_2$  s'excluent mutuellement afin de ne pas perturber le fonctionnement du système

Ces deux modes de fonctionnement seront affectés d'indicateurs visibles afin d'indiquer au pilote le mode de fonctionnement.

Nous donnons enfin le schéma global de cette partie de commande à la figure CB9.

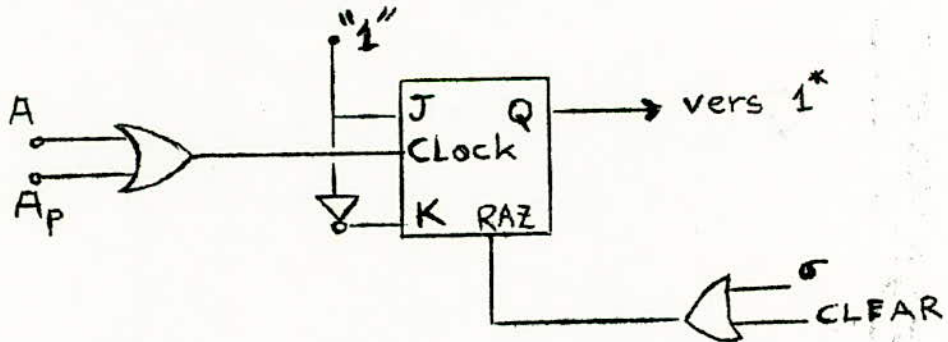




AFFICHAGE DU PREMIER CHIFFRE EN MODE AUTOMATIQUE ET  
AUTOMATIQUE PROGRAMME.

Comme nous l'avons vu pour le fonctionnement en manuel les chiffres composant une fréquence, s'écrivent à tour de rôle. Par exemple pour le chiffre des centaines de MHz celui-ci doit s'allumer à la 4<sup>ème</sup> impulsion  $\sigma$  provenant du clavier.

Pour ce même chiffre, en fonctionnement automatique et automatique programmé, il doit être constamment affiché, et ce parce que toutes les fréquences contiennent ce chiffre, et que la fréquence de balayage de ces fréquences est assez élevée, donc il n'est point intéressant de l'allumer et l'éteindre à un rythme assez élevé. Pour cela nous proposons le schéma suivant:



Remarque

Ce circuit redevient inefficace dès qu'on repasse en clavier ou que l'on désire effacer le contenu des registres.

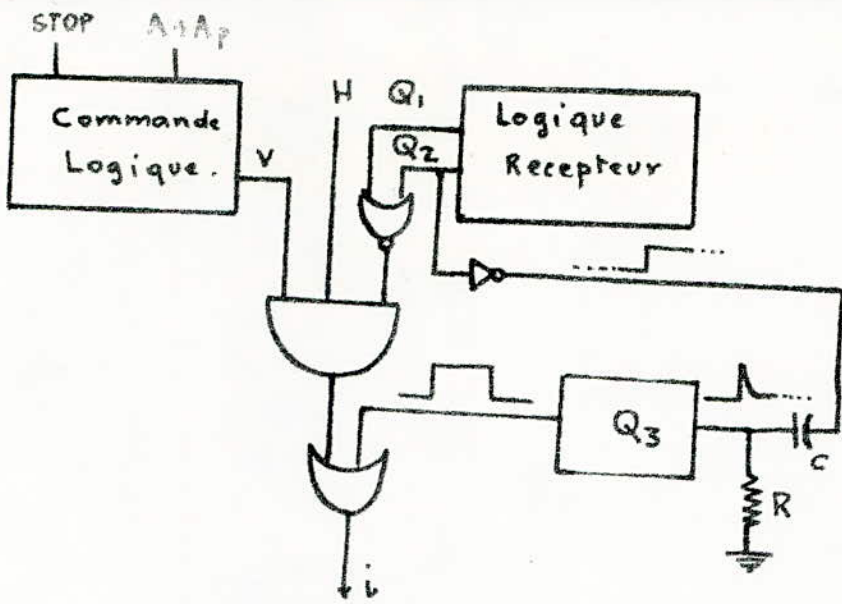
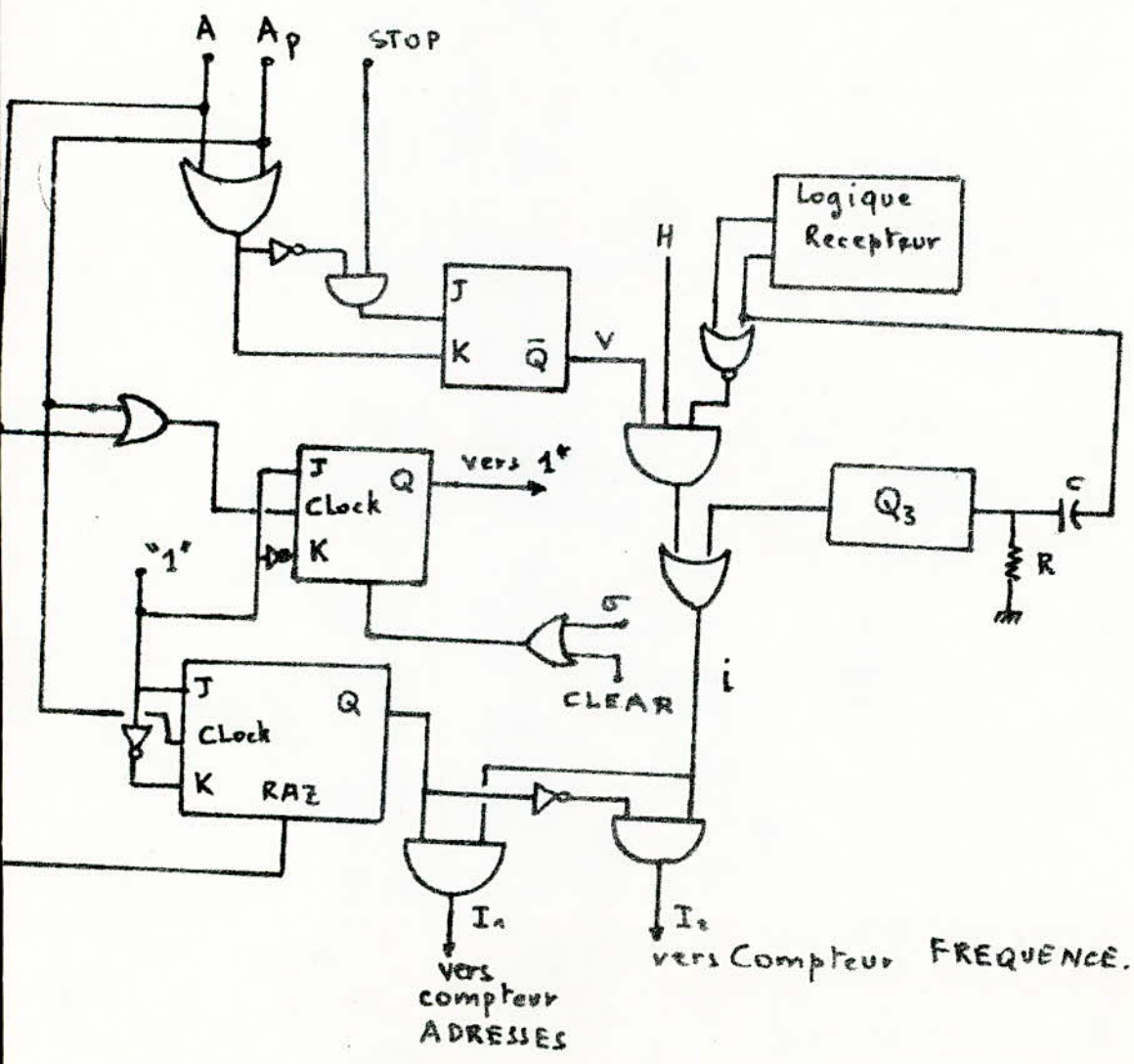


fig CB7



figCB9: Schéma Global de La Commande.

## §§ FONCTIONNEMENT EN AUTOMATIQUE PROGRAMME

Dans ce mode de fonctionnement, les fréquences à analyser sont initialement mises en mémoire. ( le nombre maximal de fréquences pouvant être mémorisées est égal à 16) Ces fréquences après avoir été mémorisées; sont ensuite "consultées" les unes après les autres au cours du trajet et ce grâce à un compteur adresses qui déroulera la mémoire. Ce déroulement de la mémoire se fera dès l'apparition d'une impulsion provenant de la touche "Automatique Programmé" (AP).

Dans cette partie , le schéma qui sera retenu par la suite est essentiellement basé sur la structure et le fonctionnement de la mémoire.

Nous allons donc dans le chapitre suivant étudier d'une manière très détaillée le fonctionnement et la structure d'une mémoire.

Il existe deux types de mémoires:

les mémoires dites mortes et les mémoires dites vives

Nous nous intéresserons dans ce qui va suivre uniquement aux mémoires vives

### MEMOIRES VIVES

#### 1) Principe:

Toutes les mémoires vives sont basées sur le principe suivant:

Elles sont constituées de cellules élémentaires, convenablement associées pour former des adresses. Ces adresses peuvent en général contenir une information de 4 bits. Les cellules élémentaires sont en mesure de garder en mémoire une information digitale (0 ou 1) pendant un temps assez long.

Nous allons donc voir en détail la constitution de ces cellules élémentaires et en expliquer le fonctionnement.



## 2) CELLULES ELEMENTAIRES

### a) Schéma électrique

Ce schéma est donné en figure AP1

### b) Structure et Fonctionnement

La cellule élémentaire est principalement constituée d'une bascule Flip-flop à deux transistors rétrocouplés  $Q$  et  $\bar{Q}$ . Ces deux transistors  $Q$  et  $\bar{Q}$  sont bien particuliers,

Ils possèdent en effet chacun deux émetteurs.

L'un des émetteurs qu'on appelle émetteur-commun est directement connecté à la ligne d'adresses. La sélection d'une cellule élémentaire, pour l'écriture d'une information ou la lecture de l'information mémorisée dans cette cellule ne sera effective que si la ligne d'adresse de la cellule désirée est au niveau logique "1".

Les deux autres émetteurs sont reliés respectivement à une tension de seuil (de l'ordre du seuil TTL) commune à toutes les cellules, pour  $\bar{Q}$  et à un circuit de lecture-écriture commun à tous les bits de même rang, pour le transistor  $Q$ .

L'écriture d'un bit dans une bascule préalablement sélectionnée dépend de l'information se trouvant sur  $D_i$  (donnée de  $i^{\text{ième}}$  rang) quand "Write Enable"="0"

WE = 0

-au niveau "0" présent sur  $D_i$  correspond un niveau haut sur la ligne de lecture-écriture, alors l'action de la tension de seuil appliquée sur  $\bar{Q}$  impose la conduction de  $\bar{Q}$  et le blocage de  $Q$ .

-à un niveau "1" présent sur  $D_i$ , en appliquant un "0" sur la ligne de lecture-écriture, rend cette fois-ci  $Q$  conducteur et  $\bar{Q}$  bloqué.

Quand WE revient à "1" le niveau de polarisation de la ligne de lecture maintient l'état final de la bascule de façon à éviter la perte de son information.

Si maintenant ME=0 et WE = 1 (en général toutes les mémoires comportent 2 entrées de conditionnement ME ou Memory Enable et WE déjà vu) l'émetteur  $Q_{ij}$  d'un flip-flop sélectionné impose l'état de la sortie  $SO_i$  (sortie de rang  $i$ ). En effet si  $Q$  est conducteur -  $SO_i$  est au niveau "0"

si  $Q$  est bloqué  $SO_i$  est au niveau "1"

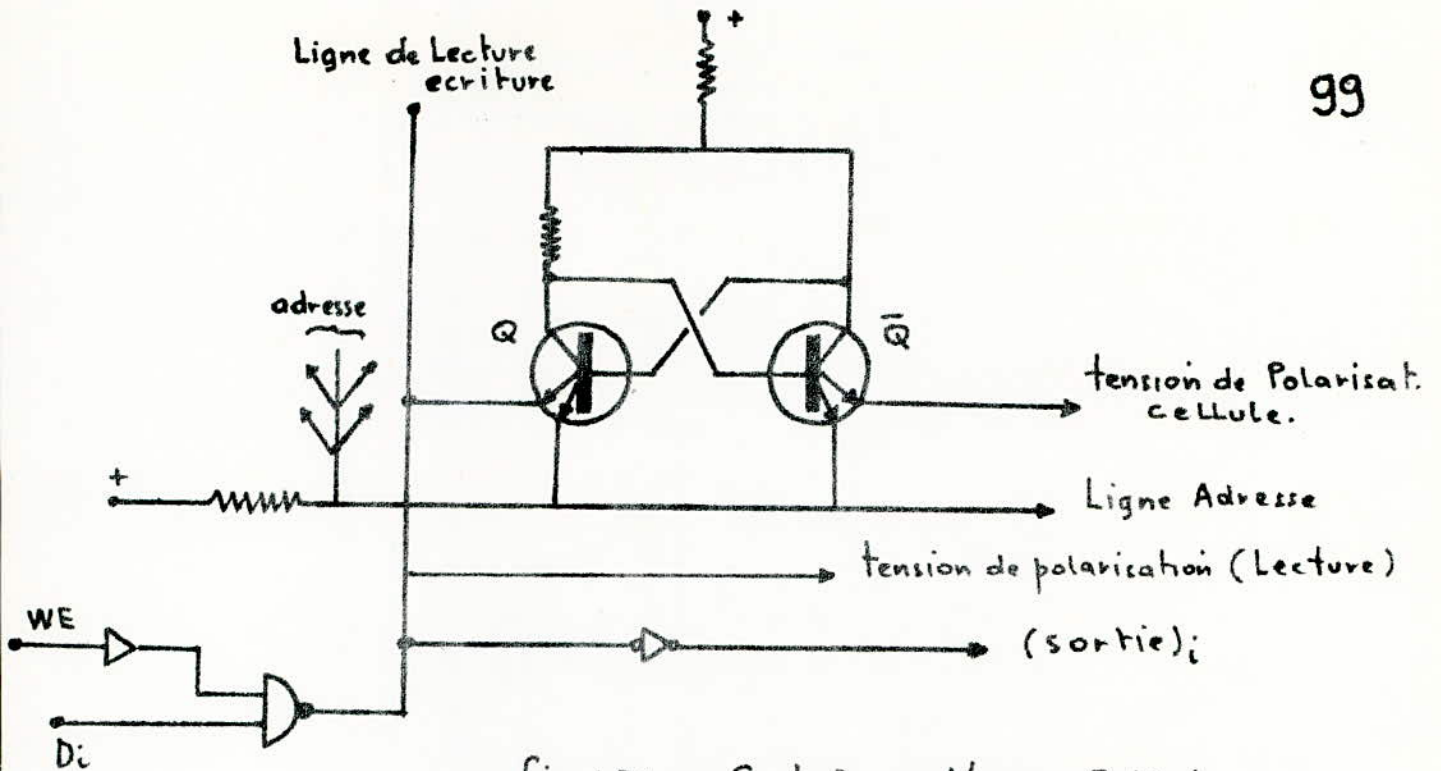


fig AP1 : Schéma d'une cellule élémentaire

ME	WE	FONCTION	SORTIE
0	1	LECTURE	Complément du mot sélectionné
0	0	ECRITURE	"
1	0	Inhibition du stockage	"
1	1	Aucune	niveau "1"

fig AP2



Si  $ME = 1$  l'accès à la mémoire est impossible et les transitions de sortie sont bloquées, si  $WE = 1$  si  $WE = 0$  les sorties  $SO_i$  indiquent le complément des informations présentes sur  $D_i$ .

On peut résumer les différents cas qui viennent d'être cités par la table qui est donnée en figure AP2.

(Ceci est valable en logique positive)

Nous allons maintenant voir la constitution d'une mémoire vive de 16 bits (elle peut mémoriser 4 mots de 4 bits chacun)

1) Schéma logique (Voir Fig AP3)

Dans ce schéma les cases représentées par de petits rectangles constituent les cellules élémentaires.

Si on désire par exemple écrire le mot "1001" sur la deuxième adresse - il suffit de présenter le mot "1001" sur les entrées réservées aux données ( $D_i$ ) et de sélectionner l'adresse 2 en faisant  $A=0$  et  $B=0$  et en faisant également  $WE=0$  et  $ME=0$ .

Remarque:

Nous verrons par la suite, que pour bien lire les informations réellement mémorisées il faut:

- soit inverser les sorties avant de les lire
- soit inverser les données avant de les introduire en mémoire, car la mémoire complémente par elle même les bits qui lui sont présentés réellement (Voir table de vérité précédente)

Il existe des mémoires de capacité allant jusqu'à 64 bits, c'est à dire 16 mots de 4 bits chacun, tel est le cas de la mémoire SN7489 de chez TEXAS dont le schéma est donné à la figure AP4.

Son fonctionnement est le suivant:

- Pour l'écriture en mémoire on fait:

$$WE = 0$$

$$ME = 0$$

- Pour la lecture du contenu en mémoire on fait:

$$ME = 0$$

$$WE = 1$$

- Si on fait:

$WE = 0$  et  $ME = 1$  le stockage sera isolé, on dit qu'il y a inhibition du stockage



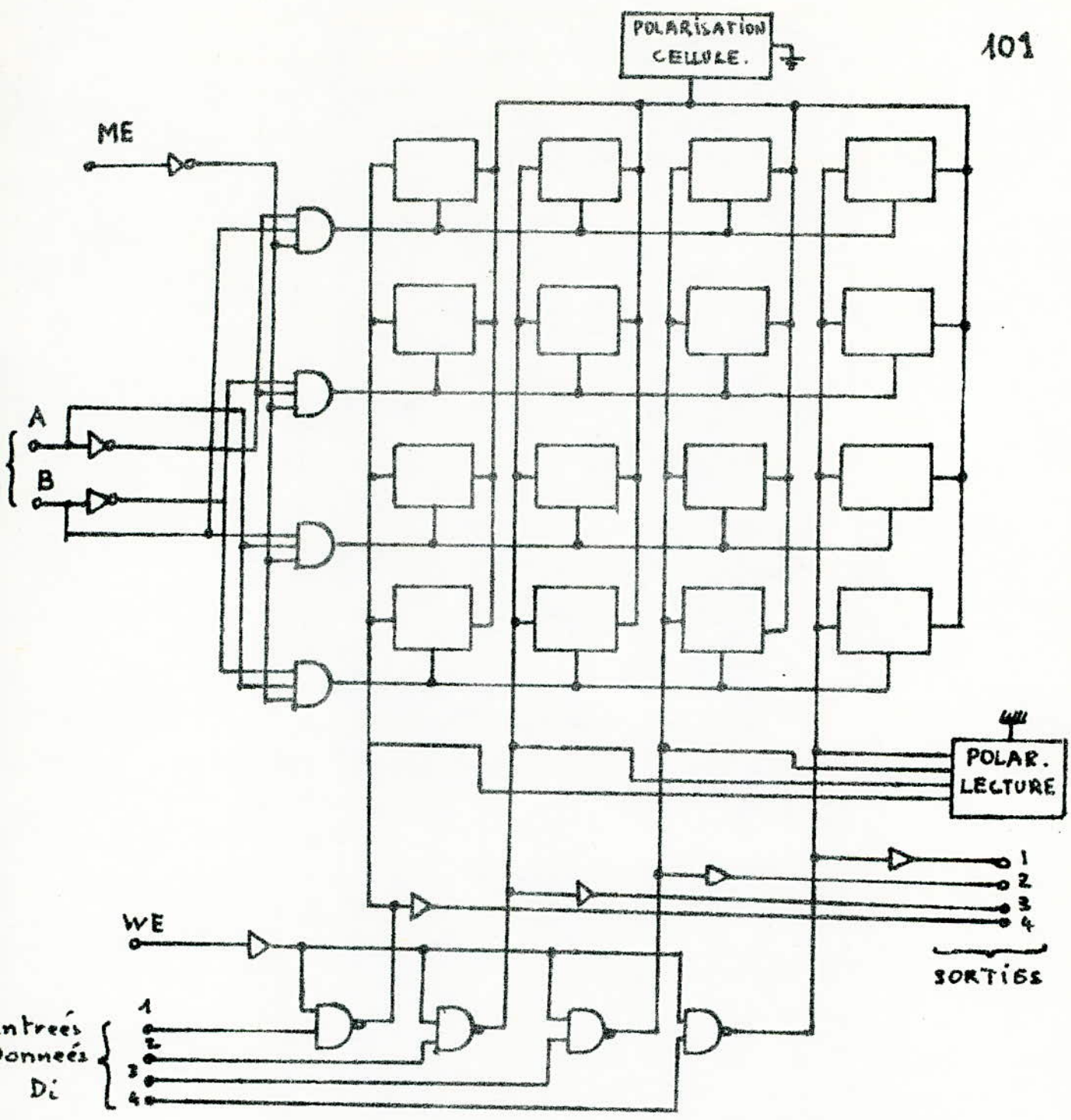


fig AP3

-----

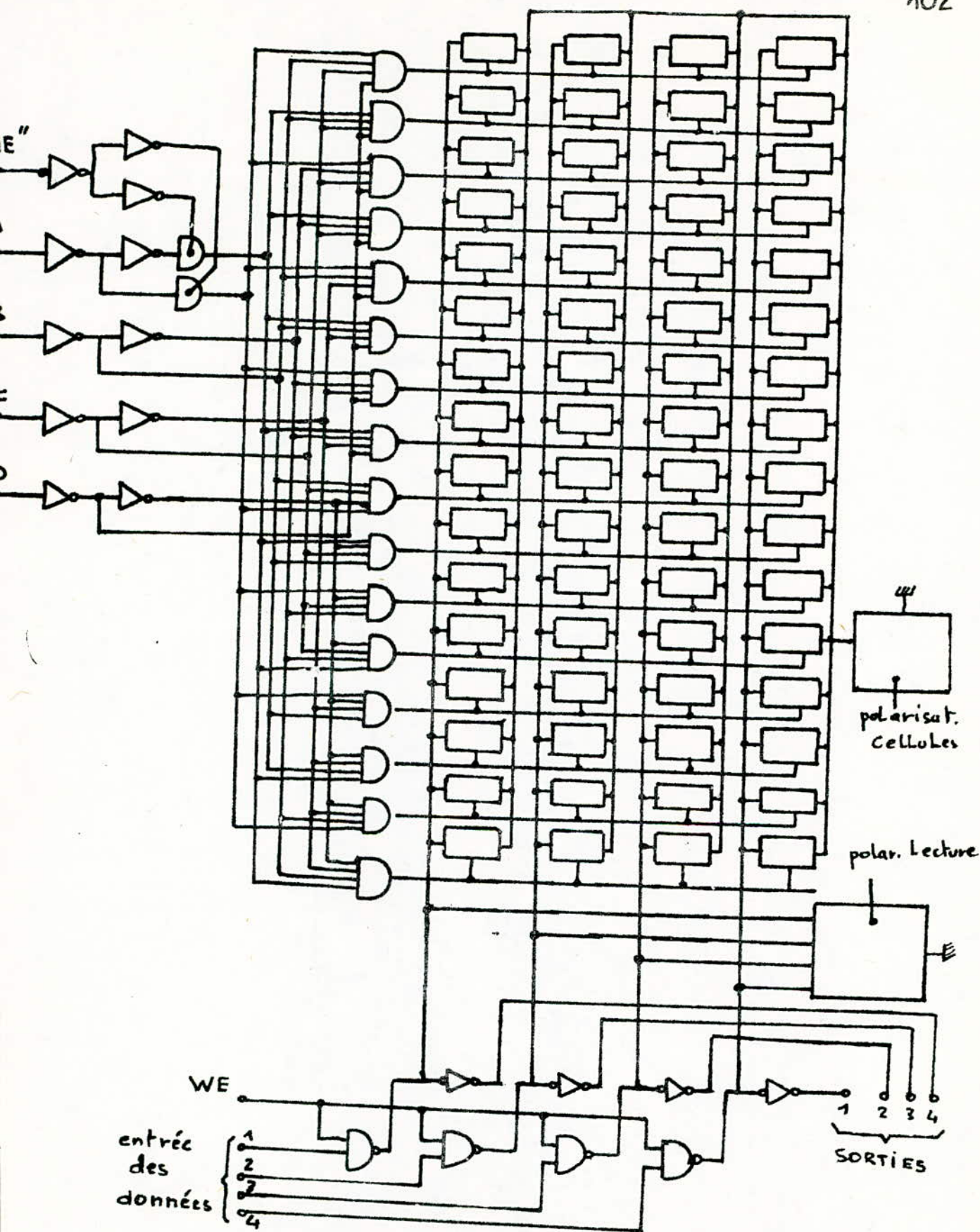


fig AP4: SCHEM LOGIQUE DE LA SN7489



Si on fait  $WE = 1$  et  $ME = 1$  aucune fonction n'est alors réalisée.

Le problème de la complémentation des entrées ou sorties est toujours conseillé, pour que le fonctionnement soit correct.

Dans les pages qui vont suivre, nous allons aborder un fort intéressant.

Ce dernier sera consacré à l'étude des différentes possibilités d'extension de la mémoire SN7489

En effet, c'est à partir de la mémoire SN7489 que sera réalisé différentes mémoires de capacité assez grande. Pour notre réalisation on utilisera 4 mémoires SN7489 afin de réaliser une mémoire ayant une capacité de 16 mots de 16 bits chacun (voir pages suivantes)



### Possibilités d'Extention de la mémoire :

Dans cette partie nous allons voir qu'il est possible de constituer des mémoires de très grandes capacités à l'aide de mémoires SN7489 .

La possibilité de réaliser la fonction ET, connectée entre les sorties de la mémoire SN7489, et la présence de l'entrée ME ; permettent la réalisation de mémoires de très grandes capacités.

Nous allons voir tout d'abord un exemple nous permettant de comprendre et de bien voir ces possibilités :

supposons que l'on veuille réaliser une mémoire dont la capacité est de 16 mots de 16 bits chacun ; une telle mémoire n'existe pas dans un même boîtier . Nous allons la réaliser à l'aide d'un nombre déterminé de mémoires de type SN7489.

Notre mémoire doit donc posséder 16 adresses , et dans chacune d'elles , il faut qu'il y ait 16 bits ; donc 16 cellules élémentaires . Pour ce faire, nous allons utiliser 4 mémoires SN7489 connectées entre elles de façon à former une seule mémoire de 16 x 16 bits . Le schéma est illustré par la fig E1 .

Le schéma est d'une réalisation assez simple . Il suffit de connecter les entrées adresses , les entrées WE et ME des 4 mémoires SN7489 en parallèle pour avoir une plus importante longueur de mots .

Fonctionnement : les mots à mémoriser sont présentés aux "entrées données " ; nous faisons  $ME = 0$   $WE = 0$  (écriture) et nous sélectionnons une adresse en donnant une combinaison aux entrées A , B , C , D ce mot , en s'écrivant , va bien entendu se retrouver à la même adresse pour les 4 mémoires .

Le cas que nous venons de voir nous permet l'extention des longueurs des mots disponibles à la mémorisation .

Maintenant si le désir d'un plus grand nombre de mots s'impose (augmentation des adresses ) , une possibilité est indiquée par le schéma de la figE2 . Ou l'exemple est donné pour une mémoire d'une capacité de 64 mots de 4 bits chacun .

Fig E1

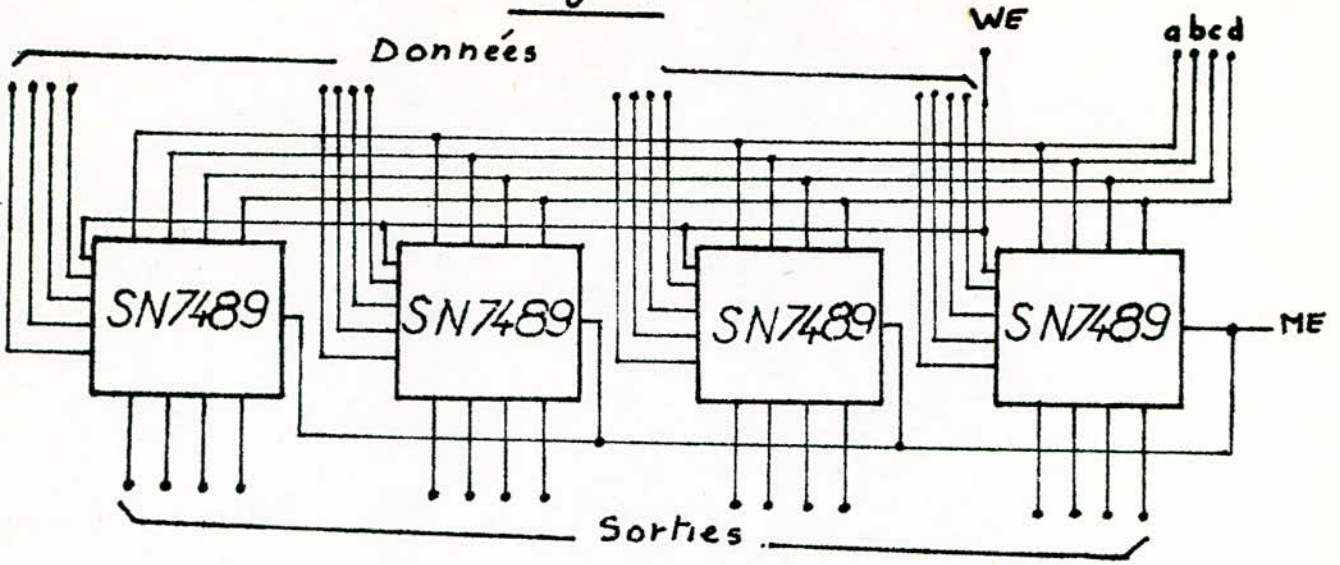
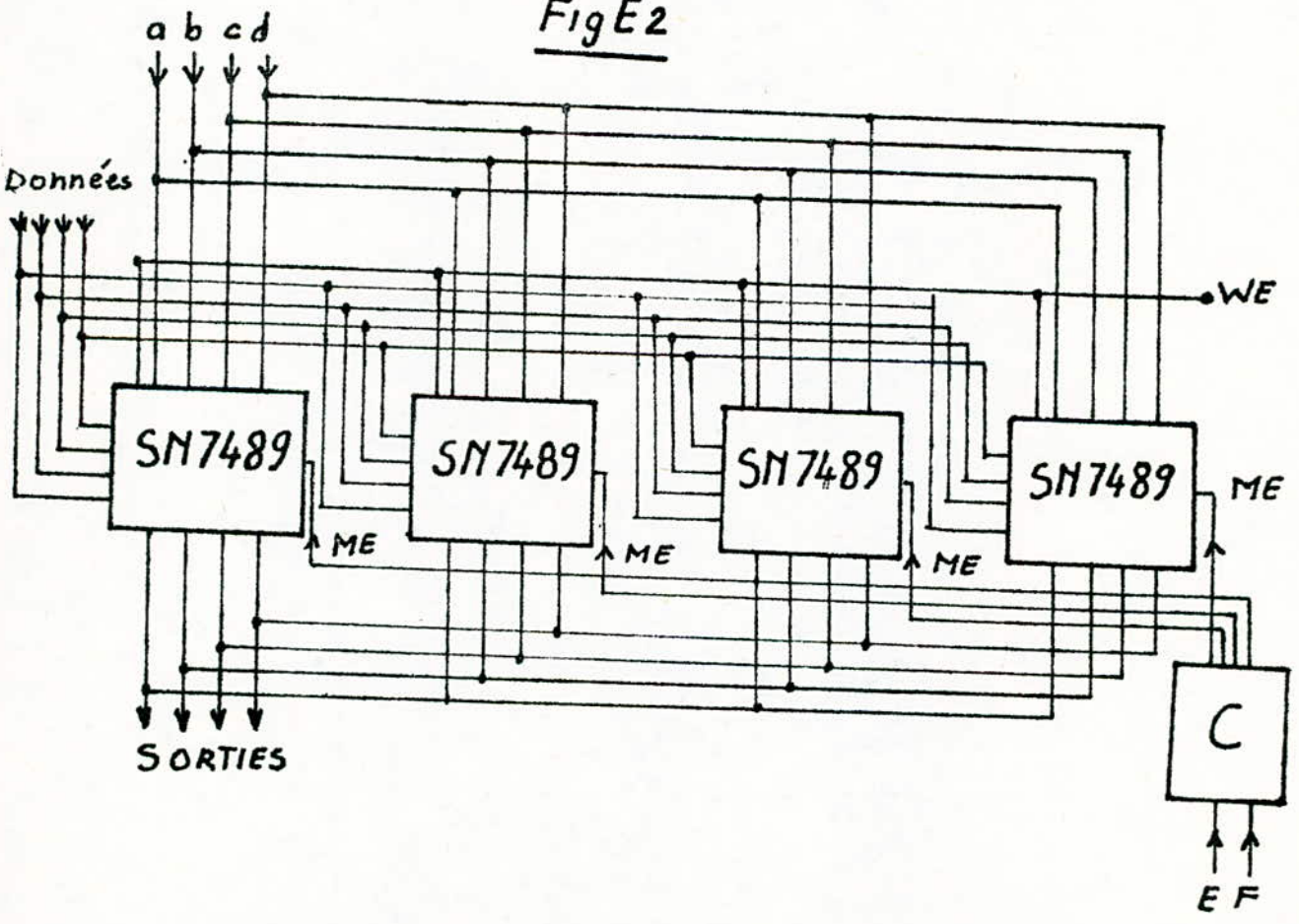


Fig E2





Fonctionnement de la mémoire de la figE2 :

Cette fois-ci , le fonctionnement diffère du précédent . Les entrées et les sorties de chaque SN7489 sont mises en parallèle de même que le bit WE .

Il est évident que pour WE = 1 nous avons la lecture pour toutes les SN7489 , ainsi que pour WE = 0 nous avons l'écriture pour les 4 mémoires .

Il est à remarquer qu'il y a un circuit combinatoire C commandé par les entrées de sélection E et F . Son rôle est de sélectionner une mémoire parmi les 4 .

Celle sélectionnée aura par exemple son bit ME = 0 et pour les trois autres, ME = 1 .

Après sélection d'une mémoire parmi 4 ; nous déroulons ses adresses à l'aide des 4 entrées A , B , C , D . Ce qui nous fera au total une possibilité de mémorisation de  $16 \times 4 = 64$  mots de 4 bits chacun .

Il est à noter qu'une et une seule mémoire doit être sélectionnée chaque fois , d'où la nécessité d'avoir un circuit sélectionneur bien particulier ( C ) .

Les états de ce circuit sont donnés par la table suivante :

E	F	a	b	c	d
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Nous remarquons qu'il n'y a qu'un seul bit à 0 à chaque état du (compteur ? ) sélectionneur .

Réalisation du circuit combinatoire C :

Equations :

E \ F	0	1
0	0	1
1	1	1

$$a = E + F$$

E \ F	0	1
0		1
1	0	1

$$b = \bar{F} + E$$



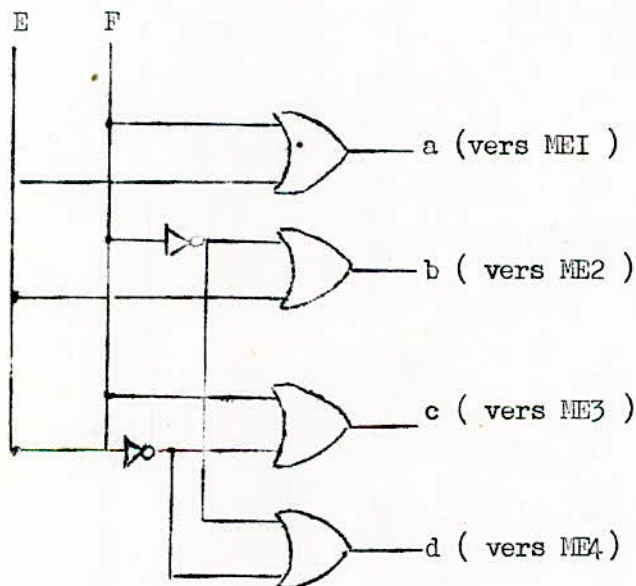
E		
F	O	I
O	I	O
I	I	I

$$c = \overline{E} + F$$

E		
F	O	I
O	I	I
I	I	O

$$d = \overline{E} + \overline{F}$$

Le schéma logique est donc le suivant :



Il est bien évident que la complexité des connexions dépend de la capacité de la mémoire .

Une combinaison des deux possibilités d'extention précédentes peut nous donner une capacité encore plus grande (64 mots de 16 bits chacun ). Prenons la première possibilité (mémoire de 16 mots de 16 bits chacun ) . Elle est composée donc de 4 circuits SN7489 et a respectivement :

- une entrée ME
- une entrée WE
- 4 bits d'adressage
- 16 bits de données
- et 16 bits pour les sorties .

Nous pouvons la représenter par le schéma bloc suivant : voir fig E3 page suivante .

Appliquons à cette mémoire la deuxième possibilité d'extention , c'est à dire dans le schéma logique de la mémoire de 64 mots à 4 bits , remplaçons les SN7489 par des MC 16 / 16 nous aurons le schéma de la fig E4 .

C étant toujours le circuit combinatoire précédemment vu . Avec cette dernière configuration nous arrivons donc à une mémoire de :

$4 \times 16 = 64$  adresses , chaque adresse pouvant contenir 16 bits ce qui nous fait une mémoire de  $64 \times 16 = 1024$  mots .

Nous pouvons toujours faire des combinaisons mixtes pour augmenter la capacité de la mémoire . Celle faisant l'objet de notre étude ne nécessite pas une telle capacité . Nous allons voir maintenant la structure mémoire retenue pour notre réalisation.

Il s'agit de mémoriser des fréquences composées de 5 chiffres décinaux . Toutes-fois , comme il a été vu précédemment , pour écrire ces fréquences il nous suffit d'avoir 11 bits en binaire .

Nous prendrons donc 3 mémoires SN7489 que nous connecterons entre elles d'après le schéma de la fig E5 .

Les chiffres composant les fréquences sont toujours numérotés comme il a été vu précédemment , nous aurons l'organisation suivante des "entrées et sorties " mémoires :

E1 , E2 , E3 , E4	représentent	les bits	du 4ième	chiffre
E5 , E6 , E7 , E8	"	"	"	3ième "
E9	"	"	"	2ième "
E10	"	"	"	1ième "
E11	"	"	"	QL ( indicateur de case libre ).

Il en est de même pour les sorties . Les bits E12 et S12 seront inutilisés .

Fig E3

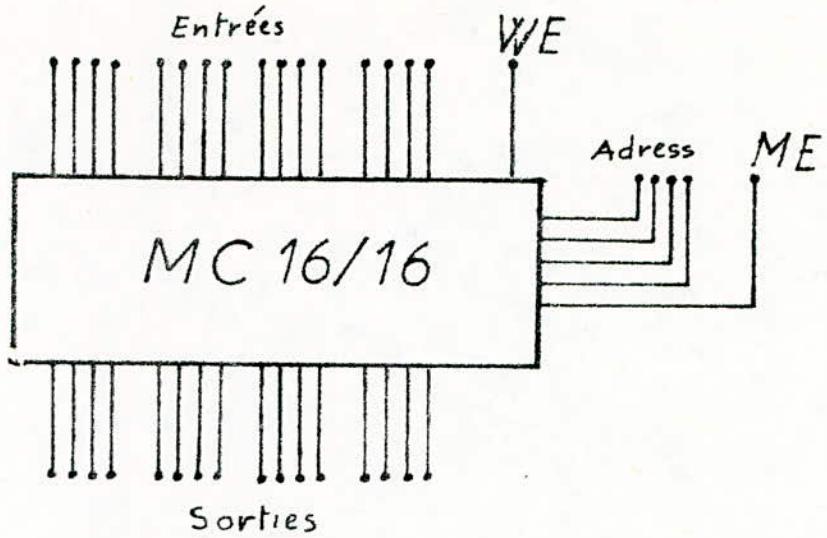


Fig E4

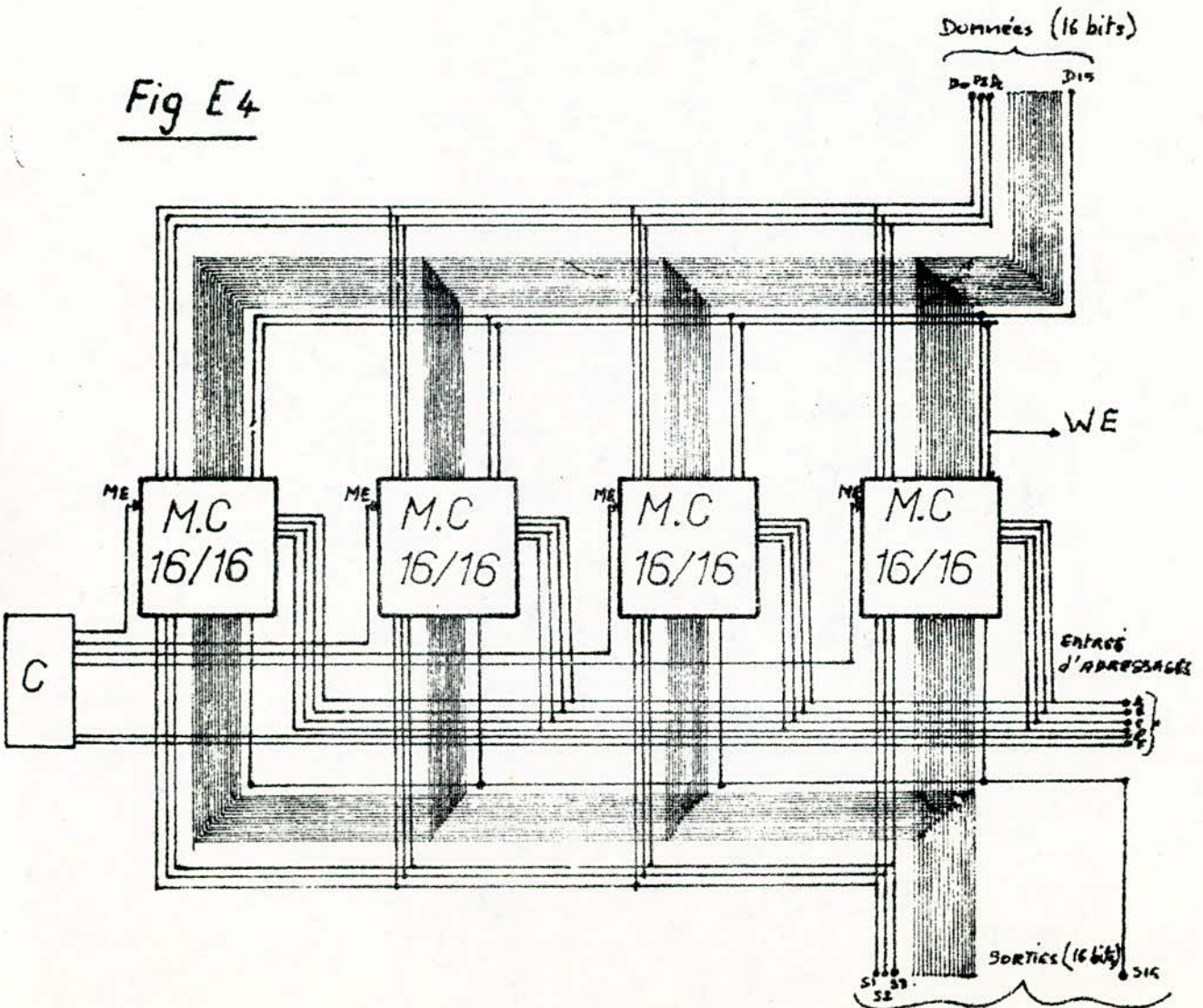




Fig E5

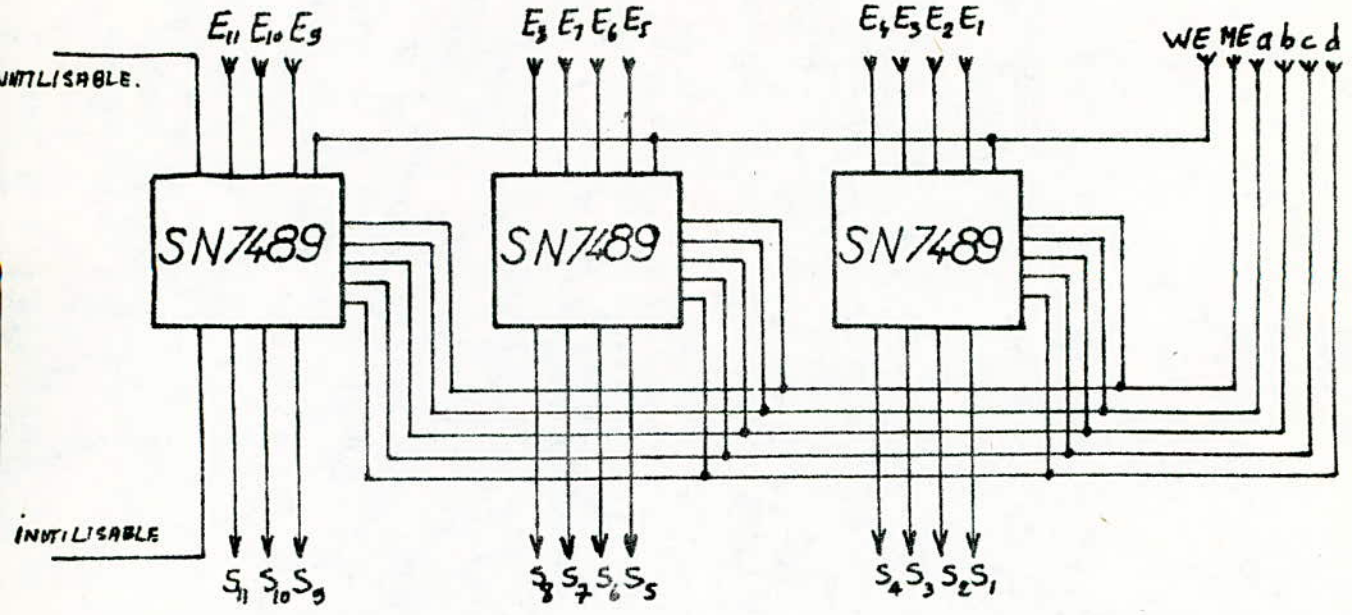
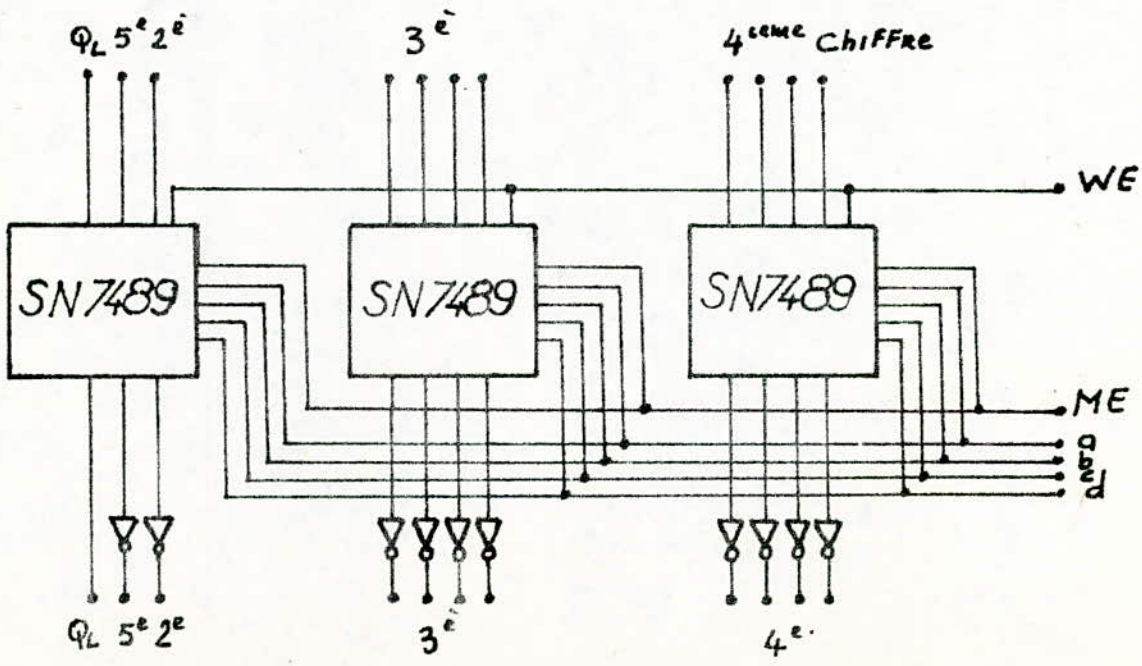


Fig E6



Vu la structure des mémoires SN7489 , nous devons , soit complémenter les entrées entre elles , soit complémenter les sorties mémoires pour avoir la bonne information .

Le bit QL ne sera pas complémenté car pour  $QL = 0$  cela voudra dire que l'adresse correspondante est occupée et pour  $QL = \bar{0}$  ( 1 complémenté ) cela voudra dire qu'il n'y a pas de case libre pour les données en sortie . ( Voir commande mémoire ) .

La structure finalement retenue est celle de la fig E7 .

---

LOGIQUE MEMORISATION

Cet automate sera commandé par une touche Ch qui lui donnera l'ordre de mémoriser.

En absence de tout ordre le système doit balayer la mémoire. Lorsque nous donnons l'ordre charge la mémoire doit présenter une case libre et ceci afin d'éviter toute substitution d'information. Une fois cette case remplie le système doit présenter une nouvelle case libre et ainsi de suite.

Pour avoir de nouveau le balayage nous devons passer de nouveau sur la touche Ap.

SYNTHESE DE L'AUTOMATE :

Nous pouvons utiliser comme variables d'entrées le signal ch et l'indicateur de case libre Ql donné par lecture.

Les deux variables de sortie commanderont le compteur adresse de la mémoire soit U et ug.

En absence du signal ch le système doit laisser libre passage au signal d'horloge et cela indépendamment de Ql. Cette fonction sera réalisée par  $ug = U = 1$

Nous avons le graphe suivant :

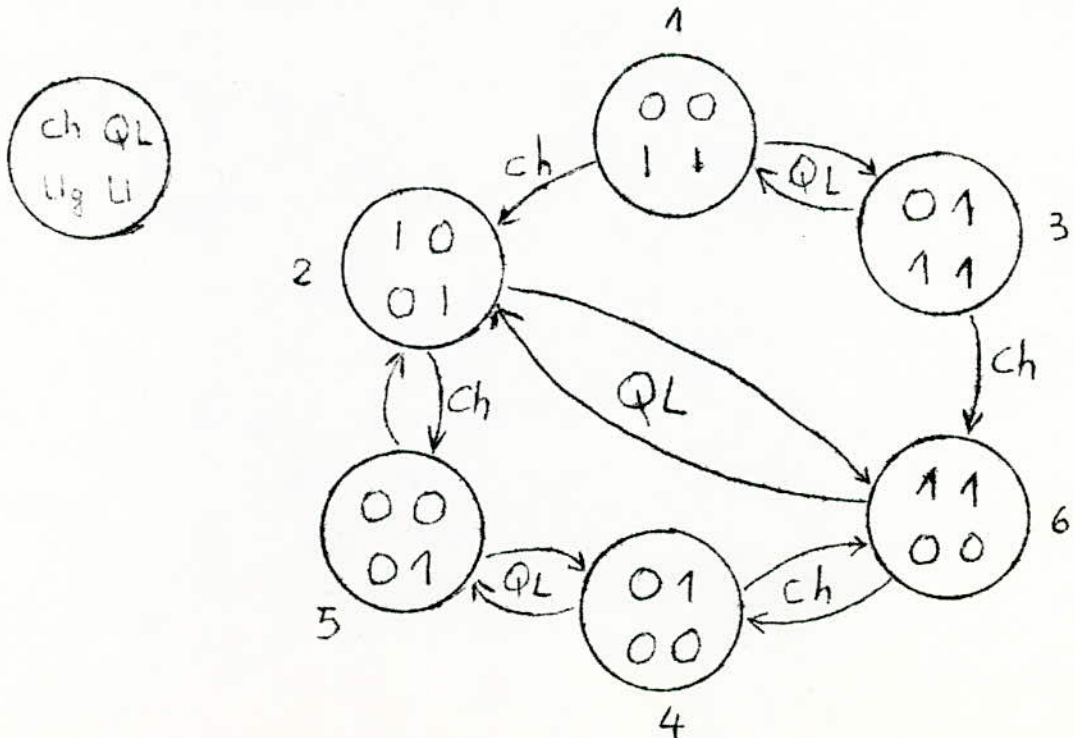




TABLE DES PHASES PRIMITIVES :

Etat \ Ch Q <sub>L</sub>	00	01	11	10	U <sub>g</sub>	U
1	(1)	3	-	2	I	I
2	5	-	6	(2)	0	I
3	I	(3)	6	-	I	I
4	5	(4)	6	-	0	0
5	(5)	-	-	2	0	I
6	-	4	(6)	2	0	0

Nous avons les fusionnements suivants :

1 - 3 ; 2 - 5 et 4 - 6

TABLE REDUITE :

Ligne \ Ch Q <sub>L</sub>	00	01	11	10	U <sub>g</sub>	U
$\alpha$ 4-6	5	(4)	(6)	2	0	0
$\beta$ 2-5	5	4	6	(2)	0	I
$\gamma$ 1-3	(1)	(3)	6	2	I	I

En utilisant une ligne en plus nous avons les adjascences :

	0	I
0	$\alpha$	$\beta$
I	$\delta$	$\gamma$

En utilisant les variables de sortie comme variables secondaires nous avons la table des excitations suivante :

U <sub>g</sub> U	00	01	11	10	U <sub>g</sub> U
00	01	(00)	(00)	01	
01	(01)	00	00	(01)	
11	(11)	(11)	00	01	
10	-	01	00	-	

Pour passer de (3) à (6) prendrons le chemin indiqué.

Nous avons les sorties suivantes :

Ch \ Ql		00	01	11	10	U
		00	I	0	0	
Ug \ U	01	I	0	0	I	
	11	I	I	0	I	
Ug \ U	10	∅	I	0	∅	

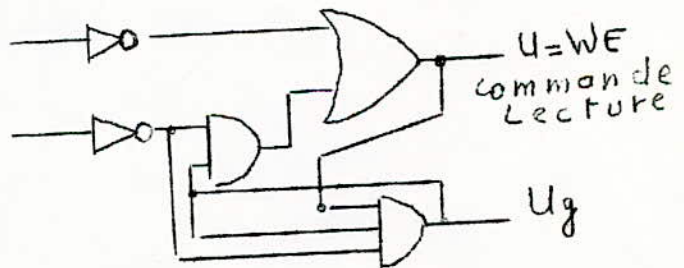
$$U = \bar{Ch} \cdot \bar{Ql} + Ug \cdot \bar{Ch} + Ch \cdot \bar{Ql}$$

$$U = \bar{Ql} + Ug \cdot \bar{Ch}$$

Ch \ Ql		00	01	11	10	Ug
		00	0	0	0	
Ug \ U	01	0	0	0	0	
	11	I	I	0	0	
Ug \ U	10	∅	0	0	∅	

$$Ug = Ug \cdot U \cdot \bar{Ch}$$

Soit le graphe suivant :



Ce dernier schéma représente une petite anomalie. La commande lecture se trouve dans l'état 0 à l'état 1 et lorsque la case sera remplie et



QL mis à 1 il faudra de nouveau lire.

Pour cela nous prendrons  $WE = U + \bar{Ql}^*$

QL\* dernière impulsion d'entrée des cases lors de l'écriture en faisant QL = 0 nous ferons QL\* en retardant QL pour permettre la réponse de la mémoire.

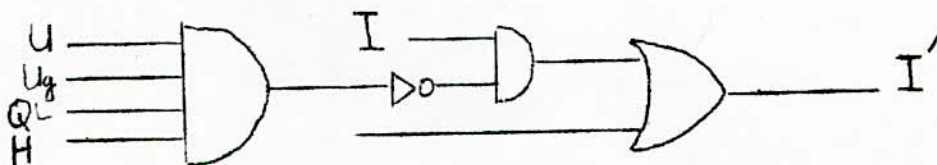
Nous avons finalement le schéma (a)

Dans lequel le système initialisé à 1 par l'intermédiaire de Ug. Ceci sera fait lorsque nous appuyons sur Ap nous aurons une apparition fugitive de "I" en Ug.

PASSAGE DES CASES LIBRES EN BALAYAGE DE AUTO-PROGRAMME

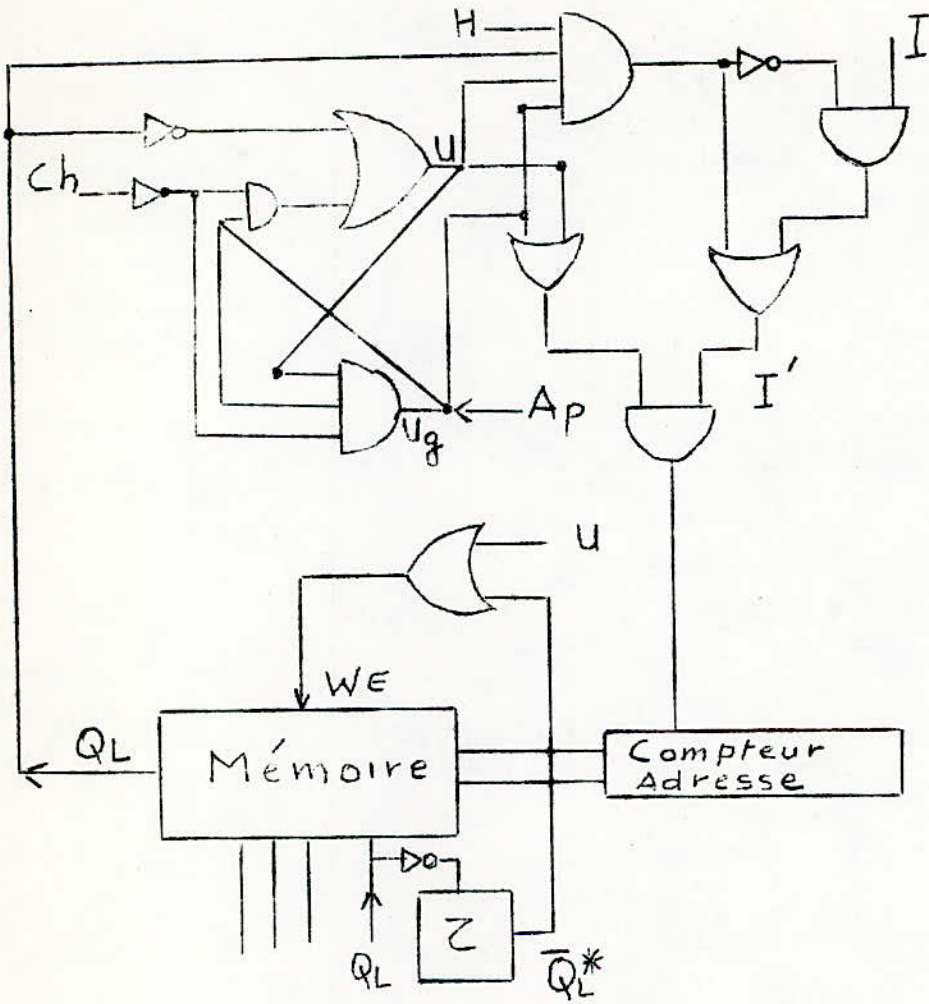
la durée de l'horloge I est de 40 ms ceci pour permettre aux circuits de réception et synthétiseur de répondre. Ce temps seurt écoulé inutilement lors de la présence d'une case libre en mémoire.

Afin et activer la mémoire en cas de case libre nous utiliserons une horloge plus rapide suivant le cas qu'il ya case libre ou non soit le système suivant :



Nous avons finalement le schéma suivant :





Commande d'effacement de la mémoire :

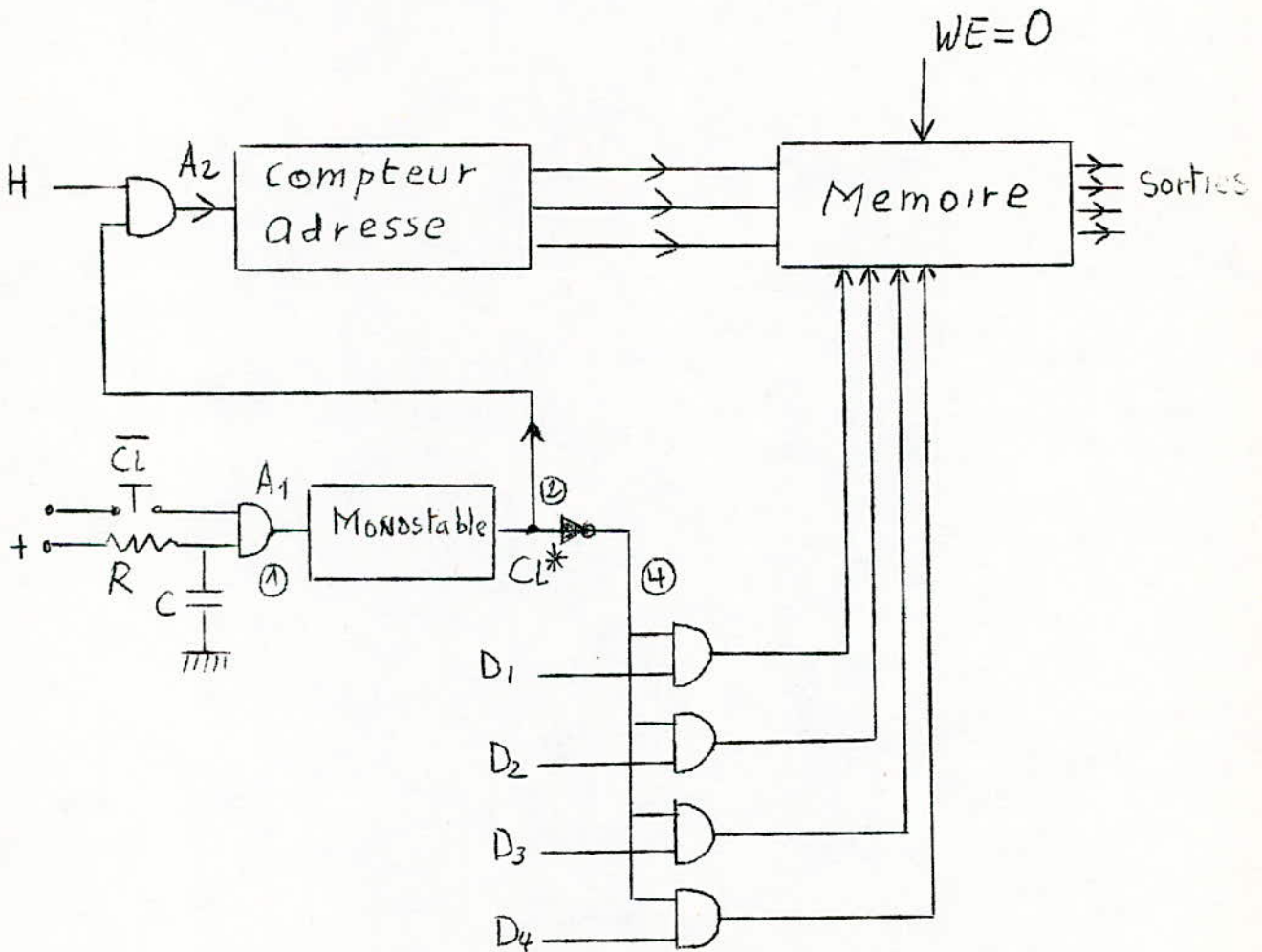
L'effacement de la mémoire consiste à faire entrer sur toutes les entrées  $D_i$  (données), pendant la séquence écriture  $WE = 0$ , le bit "0".

Nous devons donc faire  $D_i = 0$  sur toutes les adresses.

Pour cela il faut donc :

- 1) Si la mémoire comporte  $N$  adresses; disposer de  $M$  impulsions d'horloge commandant le compteur adresse avec  $M \gg N$ .
- 2) Nous devons synthétiser le 0 sur les  $D_i$  dès que nous appuyons sur le bouton déffacement.

La structure retenue est la suivante :



Explication du fonctionnement :

Dès que nous appuyons sur le bouton d'effacement mémoire  $\overline{CL}$ . Nous aurons une impulsion de déclenchement du monostable .Le circuit RC est prévu pour induire un retard ; ce retard permettra dès l'allumage aux circuits d'être fonctionnels. Le monostable délivrera à partir de l'instant de déclenchement une impulsion de durée bien déterminée . Le niveau "I" sera obtenu à la sortie pendant cette durée. A l'aide de la porte inverseuse nous aurons "0" sur les portes "AND" et finalement nous aurons bien (0000) sur les 4 bits données de la mémoire.

Pendant cette durée d'impulsions , nous devons faire dérouler toutes les adresses. Ceci est réalisé à l'aide de la porte A2.

A la sortie de A2 nous aurons un certain nombre d'impulsions qui vont faire changer l'état du compteur, et par conséquent dérouler les adresses mémoire.

La durée du monostable sera au minimum égale à  $T = nt$  .

n : nombre d'états du compteur

t : durée d'horloge .





TRANSMISSION DES DONNÉES PROVENANT DU CLAVIER LORS DE

L'OPERATION "CHARGE DE LA MEMOIRE":

Après avoir passé en revue l'organisation et la constitution d'une mémoire nous allons voir qu'elle sera la configuration de la mémoire adoptée pour notre système .

Les informations que l'utilisateur (pilote) aura à mémoriser sont des fréquences de cinq chiffres décimaux traduites en binaire. Les mémoires comporteront 11 bits chacune:

1bit pour le premier chiffre; 1 bit pour le deuxième; 4 bits pour le troisième; 4 bits pour le quatrième et 1bit pour le cinquième chiffre.

Le premier chiffre étant constamment à 1 ,il n'est pas intéressant de l'introduire en mémoire comme 11ième bit de l'information. Il nous sera par contre utile pour l'indication de case libre  $Q_1$ .

Quand nous serons sur écriture mémoire, le compteur adresse, à chaque impulsion qu'il reçoit, déroule la mémoire d'une seule adresse.

Si  $Q_1 = 0$  ,il doit présenter une nouvelle adresse;

Si  $Q_1 = 1$  ,cela signifie que la case présentée est libre et le compteur s'arrêtera sur cette adresse tant que la case ne sera pas remplie.

Nous remarquons que le déroulement des adresses mémoires n'est possible que si  $Q_1 = 0$  (voir commande de la mémoire).

Après cela il est facile de voir que, si lors du chargement d'une case libre présentée par l'adresse du compteur, le bit  $Q_1$  est introduit en premier en mémoire; nous n'aurons plus le temps d'introduire l'information fréquence . Car à partir de l'instant où  $Q_1$  passe à "0" cela voudra dire que le compteur va présenter une autre adresse . Les conséquences qui en découlent sont évidentes :

-) Transformation de l'information .

-) Décalage des bits composants une fréquence .

Il est donc nécessaire d'introduire le bit  $Q_1$  en dernier après avoir introduit les 10 bits fréquence .

Pour réaliser cela , deux possibilités s'offrent à nous :

-) L'introduction du bit  $Q_1$  se fait à la 5ième touche ;

-) ou bien elle se fait à la 6ième touche .

En ce qui concerne la deuxième possibilité ; puisqu'il y a également effacement des registres , nous aurons le risque d'effacement de l'information avant même qu'elle n'ait été mémorisée .

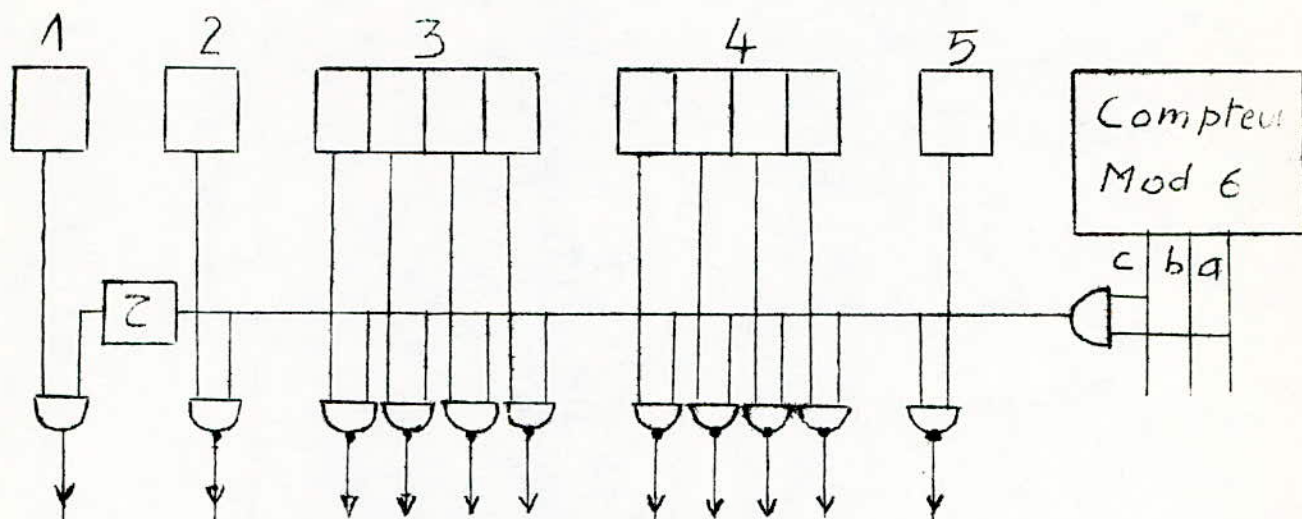
Nous adopterons alors la première solution qui consiste à introduire les

informations à mémoriser à la 5ième touche . D'ailleurs même cette solution présente un inconvénient cependant il est mineur .

En effet , le bit Q1 qui provient du premier chiffre est présent et prêt à aller en mémoire dès la quatrième touche . Comme l'introduction de tous les bits ( II ) se fait à la cinquième touche , il est possible que le cinquième chiffre ne soit pas mémorisé car il s'écrit lui aussi à la cinquième touche . Pour éviter cet inconvénient nous allons retarder l'information ordonnant l'introduction du bit Q1 de façon à ce que le cinquième chiffre ait le temps de s'écrire .

Le schéma retenu est donné à la page suivante .

---



L'inversion des données a été faite à cause de la complémentation introduite par la mémoire .

Pour le décodage du 5ième état nous avons le tableau suivant:

		B				
		00	01	11	10	
	A					
0	C	0	0	0	0	
1		0	1	∅	∅	$E = a \cdot c$

Nous remarquons que  $E = J5$  ( précédemment synthétisé ) .



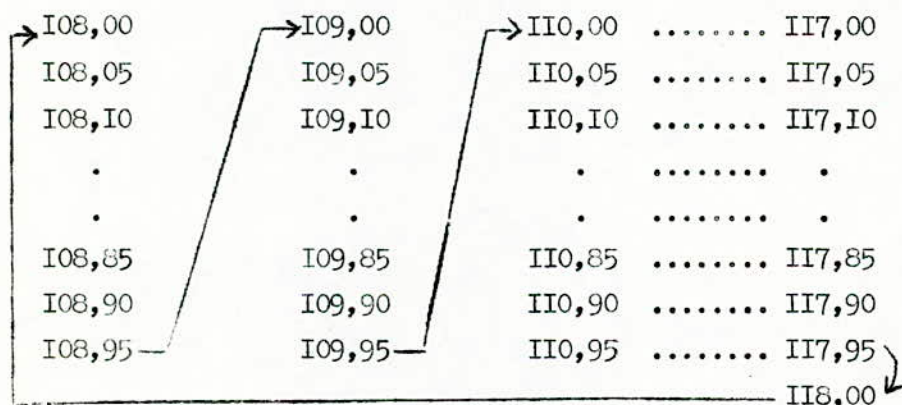
F O N C T I O N N E M E N T E N A U T O M A T I Q U E

Dans cette partie le fonctionnement est obtenu dès que nous appuyons sur une touche "A" sur le clavier. La fonction "commande automatique" sera synthétisée par la suite (voir partie "commande").

Dès que la touche est appuyée, un compteur fréquence se mettra automatiquement à balayer toute la gamme de fréquence s'étalant de 108,00 à 118,00 MHz.

La pièce maîtresse de cette partie est donc le compteur fréquence dont la synthèse sera faite dans les lignes qui vont suivre.

Il s'agit donc de concevoir un compteur pouvant afficher toutes les fréquences comprises entre 108,00 et 118,00 MHz avec un pas constant de 50 KHz entre 2 fréquences successives, les nombres à afficher sont donc :



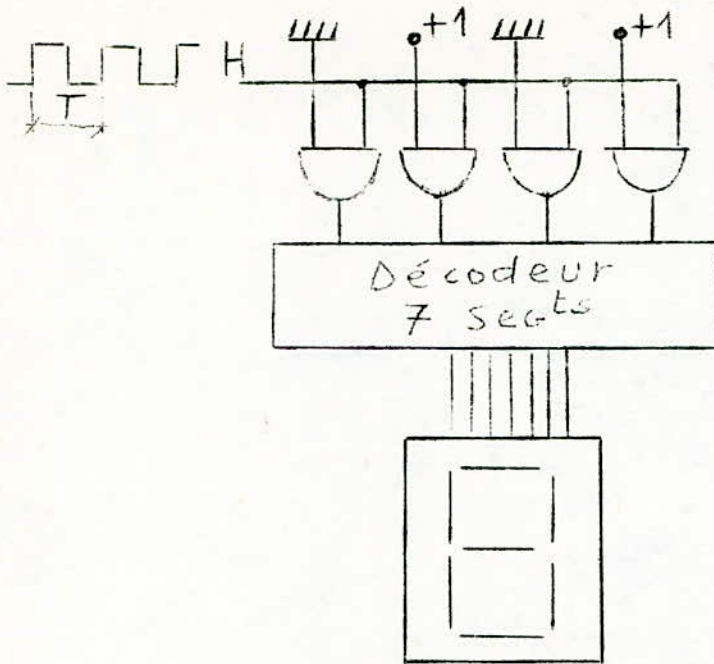
Il est facile de voir que le compteur est asynchrone.

Nous allons maintenant voir les variations de chaque chiffre composant ces fréquences :

- 1°) Le "1" des centaines de MHz est constamment à "1". Il suffit donc de l'allumer en permanence dès que nous passons en automatique.
- 2°) Le dernier chiffre est soit "0" soit "5". Il est facile de remarquer, que pour afficher ce chiffre, nous pourrions utiliser directement le signal d'horloge et attaquer un système logique, devant répondre aux critères suivants :

- \_ à un niveau haut "1" du signal d'horloge, le chiffre "5" doit s'allumer
- \_ à un niveau bas le "0" de l'horloge, le chiffre "0" doit s'allumer.

Le circuit est simple à concevoir, il est donné par la figure suivante :



Le fonctionnement automatique est très simple .

Quand H est à "1"  $\longrightarrow$  les portes "AND" transmettent au décodeur l'information 0101  $\longrightarrow$  donc sur l'afficheur le 5 s'allumera automatiquement .

Quand H est à "0"  $\longrightarrow$  les portes "AND" transmettent l'information 0000 et par conséquent le "0" s'affichera d'une façon automatique .

Il faut remarquer , à ce niveau que pendant une période T d'horloge , deux fréquences successives sont analysées , chaque analyse durera  $\frac{T}{2}$  secondes . Comme le récepteur et sa CAG exigent un temps pour une bonne réponse , il faut donc que nous ayons une horloge telle que  $\frac{T}{2} = 20 \text{ ns} \longrightarrow T = 40 \text{ ns}$  et  $F = 25 \text{ Hz}$  .

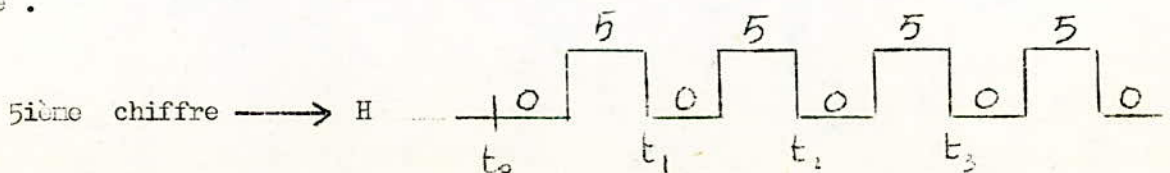
3°) Nous allons maintenant nous intéresser au quatrième chiffre .

Ce chiffre varie de 0 à 9 , puis revient à 0 et ainsi de suite . Ce chiffre sera donc obtenu à l'aide d'un compteur modulo 10 (0  $\longleftrightarrow$  9) .

La variation des états de ce compteur dépend des transitions du chiffre précédent ( 5ième chiffre ) .

En effet nous remarquons qu'à chaque transition 5  $\longrightarrow$  0 du 5ième chiffre , le compteur change d'état .

Pour bien comprendre ces séquences traçons le diagramme des signaux d'horloge .

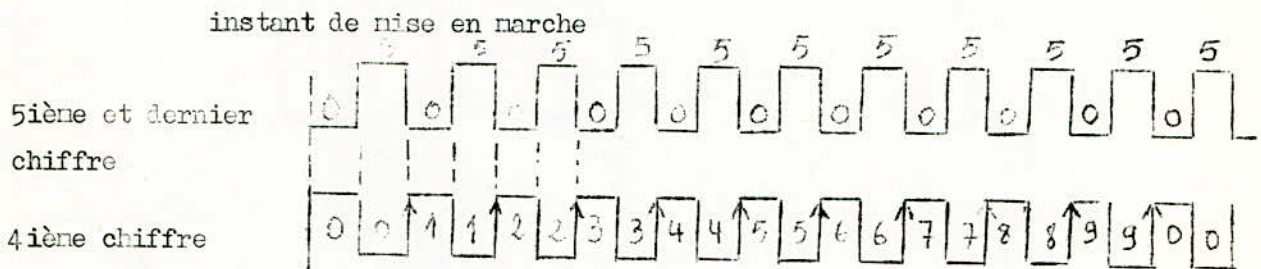




Les instants  $t_1, t_2, t_3, t_4, \dots$  sont les temps où le compteur du quatrième chiffre reçoit son impulsion d'horloge qui le fait changer d'état.

Nous remarquons que si nous imposons au compteur le changement d'état au front montant du signal d'horloge. Il suffit de l'attaquer à l'aide de  $\bar{H}$  pour obtenir les transitions précédemment décrites.

En effet nous aurons la configuration suivante :

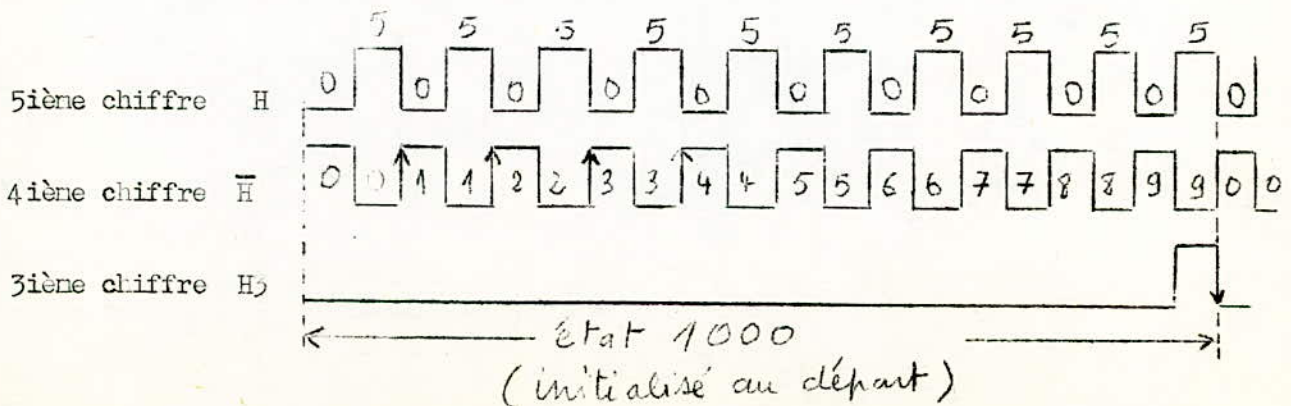


Le quatrième chiffre ne change d'état donc lors du passage du 5ième chiffre de 5 à 0.

Etude des variations du 3ième chiffre :

- 1°) Il varie de 0 à 9  $\longrightarrow$  nécessité d'emploi d'un compteur modulo 10.
- 2°) Ce chiffre est initialement à 8 (1000). Nous devons donc mettre la bascule donnant le poids le plus fort à "1" et les trois autres à "0", et ce dès que nous appuyons la touche "A".
- 3°) Nous remarquons aussi que ce chiffre ne change pas d'état qu'à certaines combinaisons des 4ième et 5ième chiffre. En fait c'est une seule et unique combinaison qui fait changer d'état à ce compteur ; c'est la combinaison ...,95.

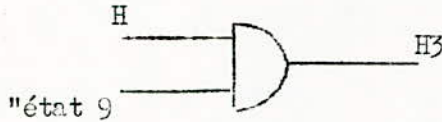
Reprenons les diagrammes des signaux d'horloges :





Le changement d'état du compteur 3ième chiffre doit s'opérer au front descendant de H3 .

Le circuit permettant de nous fournir H3 est le suivant :



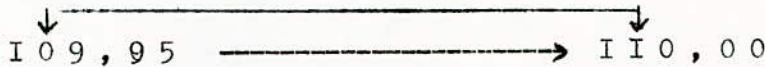
Où "état 9 " signifie décodage de l'état 9 du compteur 4ième chiffre.

Etude de variations du 2ième chiffre:

Pour ce dernier les variations sont limitées .Il ne peut prendre que les valeurs 0 ou 1 .

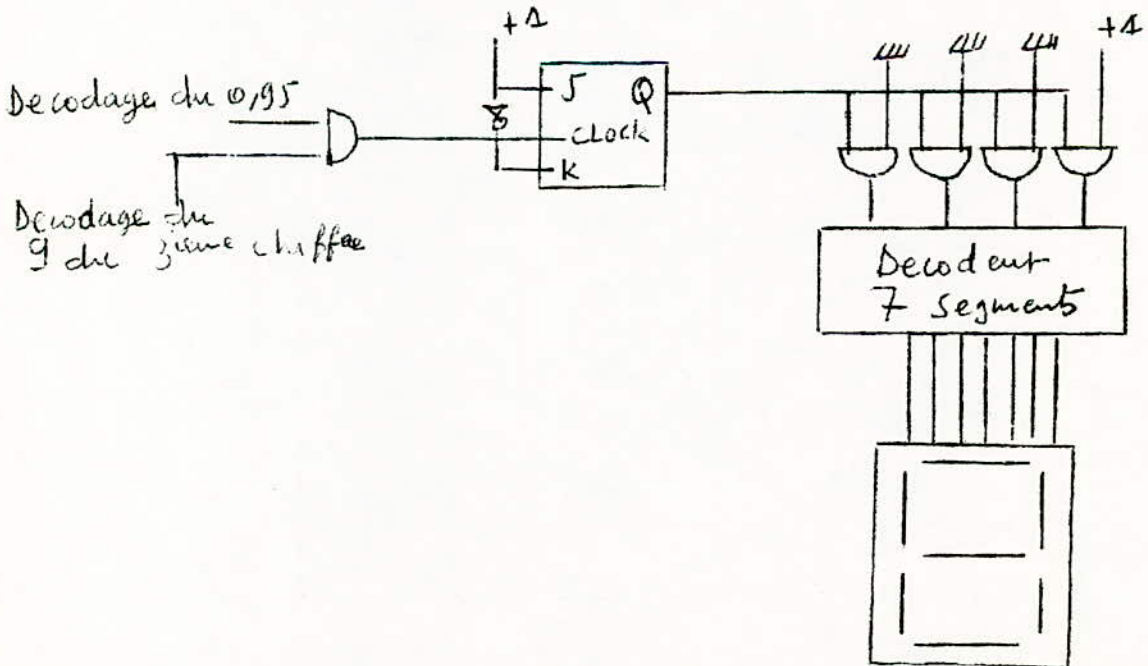
REMARQUE importante :

Pendant tout le balayage de la gamme de fréquence ce chiffre ne subit qu'une seule variation pour passer de "0" à "1" . Ce changement s'effectue entre les deux fréquences suivantes :



Pour toute la suite des fréquences supérieures à 110,00 le "1" doit constamment être present .

La synthèse du 3ième chiffre se fera à l'aide du circuit suivant :



Explication du fonctionnement :

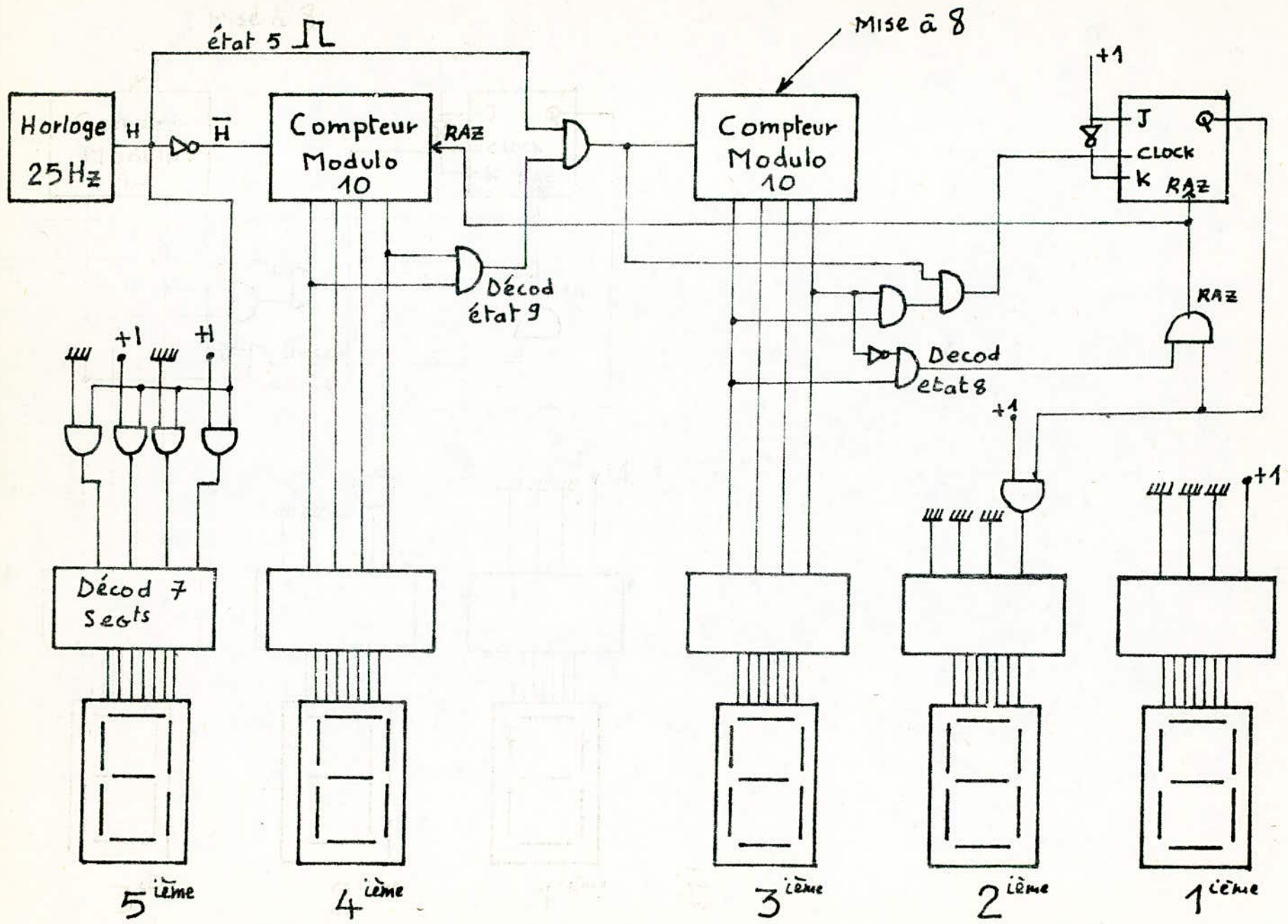
Il est très simple , la bascule JK est maintenue à "0" au départ dès l'apparition de l'état 9,95 respectivement des 3ième , 4ième et 5ième chiffre , une impulsion d'horloge est envoyée à la bascule . Celle-ci vu que  $J = I$  et  $K = 0$  , passe à "1" et maintient ce dernier en permanence .

Au niveau de l'afficheur , le "0" est affiché au départ dès l'apparition du 9,95 il passe à "1" .

En ce qui concerne le premier chiffre nous avons déjà vu qu'il doit s'allumer et prendre la valeur "1" dès que nous appuyons sur la touche A .

Le schéma complet est donné dans la feuille suivante .







### LI A I S O N S I N T E R - E T A G E S :

Le problème qui se pose est le suivant : quand nous sommes sur un mode de fonctionnement déterminé (manuel, automatique ou automatique-programmé), il ne faut pas que lorsque nous passons à l'un des deux autres; les sorties de l'un perturbent le fonctionnement de l'autre ou de tout le système.

Pour comprendre ce qui vient d'être annoncé prenons l'exemple concret :

-) Nous sommes sur automatique et nous voulons passer sur le mode manuel afin de demander certaines balises. Nous allons donc frapper la fréquence sur clavier mais il faut que le système ne prenne plus en compte les informations provenant du compteur fréquence (automatique).

Nous avons retenu la configuration donnée à la page suivante.

Dès que nous appuyons sur A ; il y a Q1 qui passe à 1 et Q2 est remis à "0". Donc les informations provenant du compteur sont transmises vers le reste du circuit. Celles provenant de la mémoire sont bloqués car  $Q1=0$  .

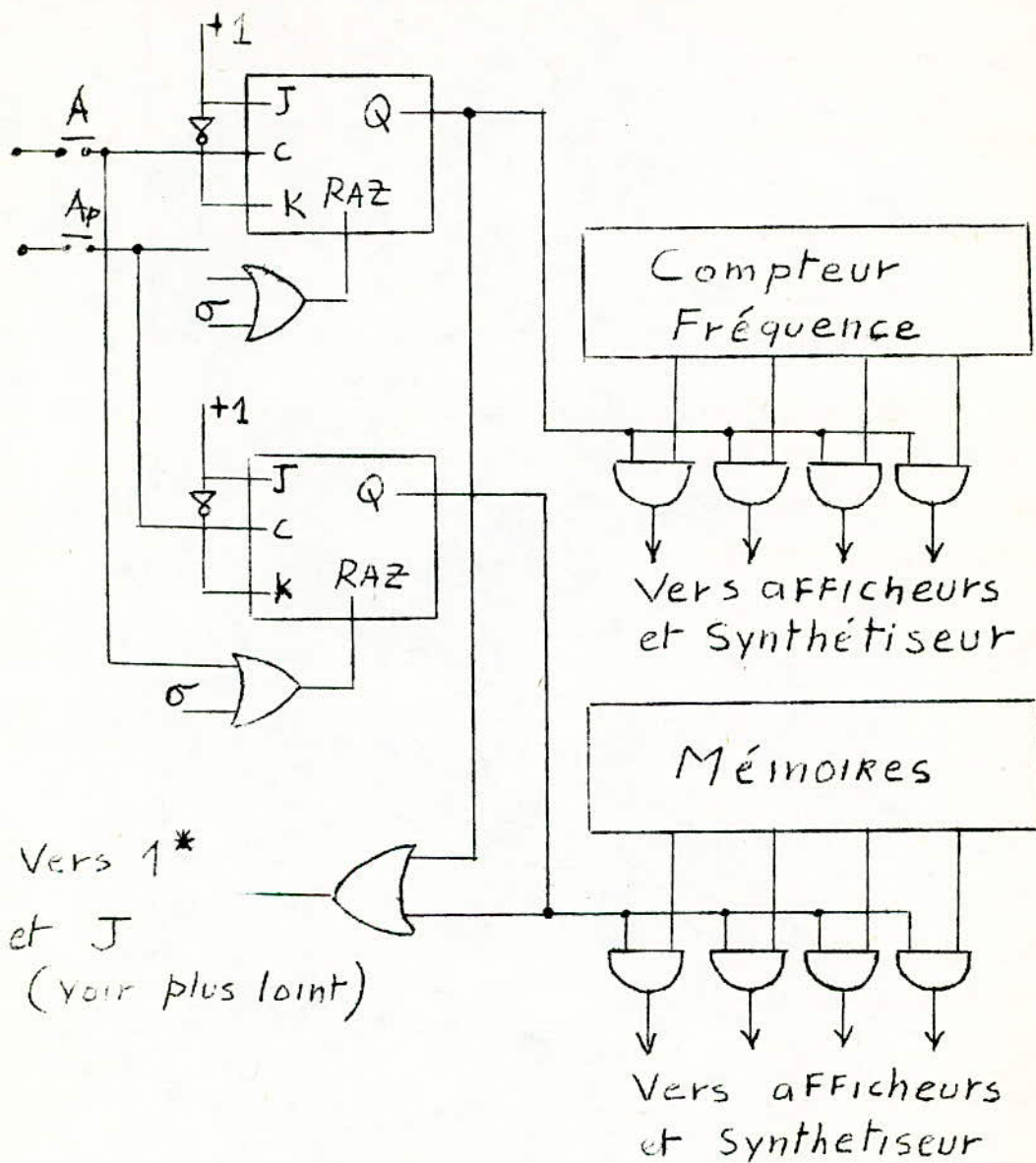
Si nous revenons en automatique-programmé nous avons Q1 qui passe à "1" et Q2 à "0" car il y a la R/Z; donc c'est l'information "mémoire" qui est transmise vers le reste du circuit.

Nous avons aussi tenu à donner la priorité au mode manuel sur les deux autres.

En effet dès que nous appuyons une touche du clavier, il y a apparition d'une impulsion  $\sigma$  qui va remettre Q1 et Q2 à "0".

Donc aucune information provenant du compteur fréquence ou de la mémoire n'est transmise vers les afficheurs et le synthétiseur à cause de  $Q1 = Q2 = 0$  . Et c'est l'information qui provient du clavier qui sera prise en compte .

-----



### SORTIES VERS SYNTHETISEUR

Ces sorties commanderont la chaîne de division du synthétiseur . Elles sont constituées par 11 bits .

1 bit pour le 2ème chiffre

4 " " " 3ème "

4 " " " 4ème "

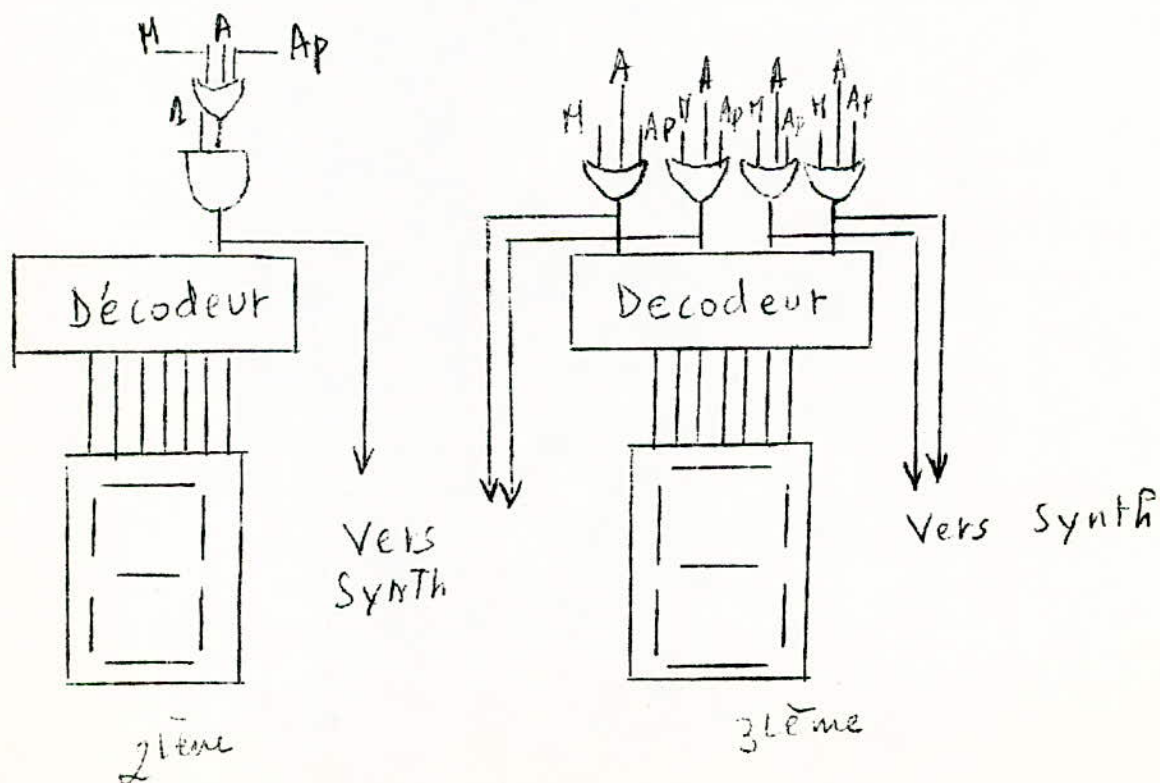
1 " " " 5ème " .

Le bit du premier chiffre sera évidemment mis à 1 dès la mise en marche.

Un onzième bit est prévu pour une éventuelle émission/reception .

Comme les sorties des portes OR commandées par les différentes parties : manuelle automatique et automatique -programmé ; il suffira de prendre celles-ci comme sorties vers le synthétiseur .

Schéma illustrant ces sorties pour les deux chiffres 2ème et 3ème :





## CHOIX DES CIRCUITS

L'étude faite , n'a de sens , et ne donne ses preuves, que par une réalisation. Dans cette perspective nous suggérons les circuits C.MOS qui ont :

- Une vitesse de fonctionnement très satisfaisante : de l'ordre de 10 MHz avec des temps de basculement bien inférieurs à la micro-seconde.
- Pas de problèmes d'entrance et de sortance; une sortie C.MOS peut alimenter des dizaines d'entrées .
- Niveau de sortie atteignant les niveaux extrêmes de l'alimentation, soit +Vcc pour le niveau 1 et Vss pour le niveau 0 .
- Une souplesse d'usage : fonctionnement parfait de 3 à 15 volts .
- Une consommation insignifiante /: 10 pA environ .
- Très faible consommation générale : simplifiant les problèmes d'alimentation.
- Un prix de revient dérisoire .

Par ces nombreux avantages , sans perdre de vue l'économie d'énergie qui est très importante pour un avion en vol , les circuits C.MOS sont tout désignés .

## C O N C L U S I O N

---

La conception des schémas d'électronique ne pouvait se faire sans la disponibilité des composants , et elle est dépendante de ces derniers. Les moyens dont nous avons disposé ne nous ont pas permis un tel abord du sujet. Ainsi, à notre regret, l'esprit de ce volume garde ,malgré certaines tentatives, un aspect théorique .

Toutes-fois nous pouvons conclure qu'au prix d'une complexité des circuits le système présenté a deux principaux avantages qui sont : les fonctionnements automatique et automatique-programmé .

En outre il a une rapidité et une précision nettement plus performantes que celles du système classique .

Certaines améliorations peuvent y être apportées notamment :

- Un système avertisseur audible et visuel permettant d'attirer l'attention du pilote en cas de réception .
- Une extension de la capacité des mémoires .

Dans la partie manuelle deux possibilités ont été offertes laissant ainsi un libre choix .

Aussi, une version économique peut être envisagée.

---

# TABLE DES MATIERES

---

	page
INTRODUCTION	
Généralités sur systèmes de radio-navigation et les V.O.R -----	1
Schéma classique d'un récepteur V.O.R -----	5
"  général de la commande -----	6
FONCTIONNEMENT MANUEL	
Traduction de l'information décimale ---- BCD pur -----	7
Etude du décodeur déc --- BCD -----	14
Commande d'affichage manuel -----	18
Aiguillage des informations et de $\bar{H}$ -----	22
Schéma de la commande -----	24
"  du registre à décallage -----	26
"  des dispositifs d'allumage -----	31
Commande de l'allumage des afficheurs -----	38
GENERALITES SUR LES MULTIPLEXEURS -----	42
Commande du multiplexeur -----	47
BASCULES -----	53
Bsacules monostables -----	56
Système d'affichage -----	70
Synthèse des compteurs -----	76
COMMANDE DU BALAYAGE EN AUTO MATIQUE ET AUTOMATIQUE PROGRAMME -----	88
FONCTIONNEMENT EN AUTOMATIQUE-PROGRAMME -----	97
Mémoires vives -----	98
Logique mémorisation -----	112
Transmission des données -----	119
FONCTIONNEMENT EN AUTOMATIQUE -----	122
LIAISONS INTER-ETAGES -----	128
Sorties vers le synthétiseur -----	130
Conclusion -----	132



## BIBLIOGRAPHIE

Il est à remarquer que dans notre précédente étude tous les schémas utilisés sont strictement personnels. Cependant nous avons fait appel à des ouvrages à caractères généraux qui traitent des sujets bien déterminés tels que : registres , bascules, mémoires synthèse des systèmes séquentiels, etc...

Nous donnons une liste des ouvrages utilisés pour ces différents sujets (liste non exhaustive bien sûr )

### -LIVRES

- P.NASLIN

"Circuits Logiques et Automatismes à Séquences"  
DUNOD - 1965

-M.AUMIAUX

"Logique binaire et Ordinateurs- Tome 1 "  
MASSON & CIE - 1974

-A.PETITCLERC -" Traité des Ordinateurs- Tome 2 "  
DUNOD- 1970

-J.LAGASSE - " Logique Séquentielle- 3<sup>e</sup> édition "  
DUNOD UNIVERSITE - 1976

-P.DEBRAINE - " Machines de Traitement de l'information"  
Tome 1- MASSON & CIE - 1967

\*"SYSTEMES COMBINATOIRES ET SEQUENTIELS"- Cours  
professé à l'E.N.P.A - par Mme MONDON.

### -ARTICLES

R.RATEAU- "Bascules Monostables" paru dans ELECTRONIQUE  
APPLICATIONS n° 3 - 1977.

M.MAIRET- " la mémoire vive SN 7489 " paru dans  
Recueil de notes d'applications ( VOL . 5 ) TEXAS INSTR.

J.M.KRAUSENER "Multiplexeurs Digitaux TTL " paru dans  
Recueil de notes d'applications. sur l'utilisation des  
circuits intégrés digitaux-TEXAS INSTRUMENTS.