

UNIVERSITE D'ALGER

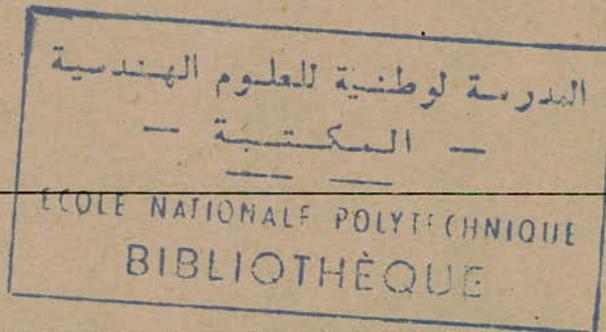
4/69
re

ECOLE NATIONALE POLYTECHNIQUE



RONIQUE

THESE DE FIN D'ETUDES



**MULTIPLIEUR
BINAIRE**

1969

Sujet proposé par

M. T. DE PAEPE

Etudié par

M. A. BOUKRI

UNIVERSITE D'ALGER

ECOLE NATIONALE POLYTECHNIQUE

THESE DE FIN D'ETUDES

**MULTIPLIEUR
BINAIRE**

1969

Sujet proposé par

M. T  DE PAEPE

Etudié par

M. A. BOUKRI

Je tiens à remercier Monsieur T. DE PAEPE qui m'a proposé ce sujet et qui m'a guidé tout au long de l'année dans mon travail.

Je remercie aussi Monsieur J. SLOSIAR et Monsieur A. ADANE qui ont bien voulu faire partie du jury.

Je n'oublierais pas de remercier Monsieur MAUCHE qui m'a aidé à faire le tirage.

A.M. BOUKRI

A handwritten signature in black ink, appearing to read 'A.M. Boukri', with a horizontal line drawn through it.

SOMMAIRE

<u>INTRODUCTION</u>	1
<u>CHAPITRE I : RAPPELS SUR LES CIRCUITS FONDAMENTAUX DE LA LOGIQUE</u> ..	3
1.1 : Circuits ET, OU, NON.....	3
1.2 : Portes inhibitrices, circuit "OU pour impulsions".....	4
1.3 : Bistables J-K, T, Monostables, astables.....	6
<u>CHAPITRE II : CONCEPTION DU MULTIPLIEUR</u>	8
2.1 : Formulation du problème pour des nombres positifs.....	8
2.2 : Représentations de x et y ayant un signe quelconque.....	10
2.3 : Fonctionnement en régime dynamique.....	13
2.4 : Influence du signe de C et D	14
2.5 : Signe du produit p	15
<u>CHAPITRE III : SYTHESE DES ELEMENTS DU MULTIPLIEUR</u>	16
3.1 : Compteur-décompteur y	16
3.2 : Compteur x	21
3.3 : Système de commutation	22
3.4 : Système d'anticoïncidence	24
3.5 : Système Valeur Absolue plus Signe	26
3.6 : Système effectuant le produit des signes	28
<u>CHAPITRE IV : OPERATIONS EFFECTUEES PAR LES MULTIPLIEURS</u>	29
4.1 : Conversion Fréquence d'impulsions-Nombre binaire	29
4.2 : Multiplication	30
4.3 : Division	31
4.4 : Extraction de racines	32
4.5 : Fonctionnement en opérateur différentiel	34
4.6 : Fonction exponentielle	35
4.7 : Fonctions Sinus et Cosinus	35
4.8 : Equations différentielles quelconques	36
4.9 : Visualisation à l'oscilloscope	37
<u>CHAPITRE V : REALISATION PRATIQUE</u>	38
5.1 : Horloge et Monostables	38
5.2 : Compteur-décompteur Y et compteur X	39
5.3 : Schéma de câblage	40
<u>CONCLUSION</u>	41

INTRODUCTION

La Science, la Technique et la Gestion Administrative, utilisent de plus en plus le calcul numérique pour résoudre leurs problèmes. L'exécution de ces calculs dépasse de loin les possibilités des machines traditionnelles.

Il existe aussi certains domaines où la rapidité de résolution des problèmes présente des avantages exceptionnels; c'est le " Calcul en Temps Réel " qui s'applique à la physique nucléaire, à l'industrie et à beaucoup d'autres domaines.

En dehors des applications où le centre d'intérêt propre est le calcul lui même; la technique du calcul digital électronique joue un rôle très significatif dans d'autres domaines du traitement de l'information. Elle s'est développée surtout dans les domaines de la régulation automatique et de la servocommande numérique. Le cerveau du régulateur est alors la machine qu'il incorpore; elle détermine la grandeur de position à partir de la grandeur de réglage.

N'oublions pas la technique du traitement de l'information : L'INFORMATIQUE, qui nécessite dans la plupart des cas, l'utilisation de machines calculatrices automatiques. De la machine à calculer de bureau à ces calculatrices modernes, on parcourt tout le chemin qui sépare la Mécanisation de l'Automatisme.

Parmi toutes les machines numériques on distingue une certaine famille qui est celle des calculateurs spécialisés. Ils bénéficient de leur spécialisation par la simplicité des circuits mis en œuvre, donc par l'économie de matériel, et par leur rapidité de fonctionnement. Ils se présentent généralement sous forme de modules identiques que l'on peut connecter ensemble de différentes manières. Ce sont souvent des opérateurs qui

n'effectuent qu'une seule opération; on peut cependant effectuer des opérations plus complexes en groupant plusieurs modules identiques (Comme pour un calculateur Analogique).

Dans cette famille des calculateurs spécialisés, nous trouvons les calculateurs incrémentaux, ainsi appelés car l'information qu'ils traitent est représentée par les variations des grandeurs plutôt que par les grandeurs elles-mêmes. L'un des organes incrémentaux le plus connu est le D.D.A. (Digital Differential Analyser) ou Intégrateur Numérique Incrémental. Comme son nom l'indique, sa principale fonction est d'intégrer. A plus d'un point de vue, le Multiplieur Binaire fonctionne comme le D.D.A.; il effectue en effet le même genre d'opérations, le D.D.A. est cependant un organe plus perfectionné que le Multiplieur Binaire. Le travail présenté ici porte sur le Multiplieur Binaire.

Les Multiplieurs Binaires sont des organes numériques qui effectuent l'opération:

$$P = X \cdot Y$$

Y est un nombre codé binaire.

X est représenté par une suite d'impulsions.

P apparaît sous forme d'une suite d'impulsions irrégulièrement réparties dans un motif périodique.

X et Y peuvent être négatifs, la multiplication est algébrique. L'un des problèmes qui se pose est le choix des codes pouvant représenter X et Y ainsi que leur signe. Ces codes doivent être homogènes, la sortie étant codée de la même manière que l'entrée, de façon à permettre l'interconnexion de plusieurs Multiplieurs dans le but d'effectuer des opérations plus complexes que la multiplication comme la division, l'extraction de racines, la recherche des fonctions Sinus, Cosinus, Exponentielle et l'intégration.

CHAPITRE I

RAPPELS SUR LES CIRCUITS FONDAMENTAUX
DE LA LOGIQUE.

1.1: Circuits ET, OU, NON :

1.1.1: Fonction ET (Intersection logique):

Si Z est la sortie d'un circuit ET, et a, b, c les entrées de ce circuit, Z ne vaut 1 que si a et b et c ont simultanément la valeur 1. On écrit $Z = a.b.c$.

Le circuit électronique effectuant l'opération logique ET est représenté par la figure 1.1.(Logique positive).

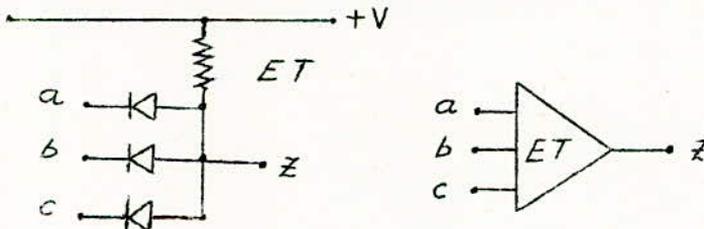


Fig. 1.1

1.1.2: Fonction OU (Réunion logique):

Soient a, b, c les entrées et Z la sortie d'un circuit logique OU. Z prendra la valeur 1 si a ou b ou c prend la valeur 1 . On écrit $Z = a + b + c$.

Le circuit correspondant est celui de la figure 1.2.

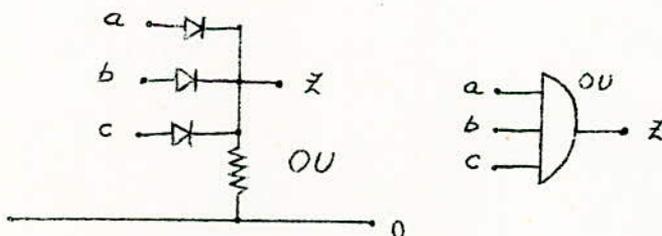


Fig. 1.2

1.1.3: Fonction NON (PAS, Complément logique):

La liaison fonctionnelle entre la sortie \bar{Z} et l'entrée Z est donnée par la table 1.1.

Cette fonction peut être réalisée simplement par un circuit inverseur à transistor. En effet monté en émetteur commun, le transistor permet à la fois une amplification et une inversion de phase du signal d'entrée. Le circuit correspondant est donné par la figure 1.3.

Z	\bar{Z}
0	1
1	0

Table 1.1

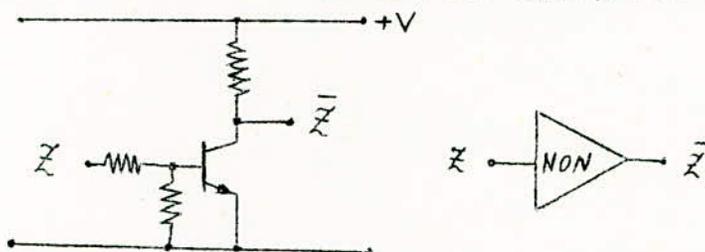


Fig. 1.3.

Lorsque la régénération d'un signal logique doit être obtenue sans être accompagnée de son inversion, on utilise deux circuits NON placés l'un derrière l'autre.

Les systèmes combinatoires seront uniquement formés de circuits ET, OU et NON.

1.2: Portes inhibitrices, Circuit "OU pour impulsions":

1.2.1: Portes inhibitrices:

Les organes de mémoire, comme les bascules bistables, peuvent présenter des rétroactions fixes. Le basculement d'un état vers l'autre est obtenu en envoyant des impulsions d'un côté ou de l'autre de la bascule, ces impulsions étant formées par dérivation des variations, ou flancs, des niveaux logiques d'entrée.

A cet effet le signal est introduit dans une cellule formée par un condensateur et une résistance. A l'extrémité libre de la résistance on peut appliquer un niveau logique I caractérisant les valeurs d'une variable d'entrée dite d'inhibition (Fig. 1.4).

Lorsque $I=0$, le système résistance-capacité fonctionne en dérivateur, les chutes du niveau logique d'entrée de la valeur 1 à la valeur 0 produisent une impulsion négative à la sortie, les enclachements de 0 à 1 n'ont aucun effet.

Lorsque $I=1$, la dérivation des variations du signal d'entrée

e ne se fait plus par rapport à la masse, mais par rapport au potentiel +V. La diode sera alors bloquée et les chutes de e seront inhibées, on n'aura aucune impulsion à la sortie. Ce circuit effectue donc le produit d'un signal logique variant par impulsions par un signal logique variant par niveaux logiques. Cette opération est notée de la façon suivante:

$$(Imp S) = \bar{I} \cdot (Imp e)$$

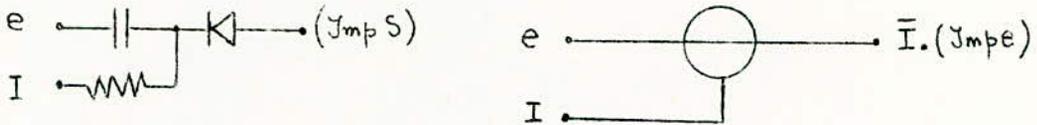


Fig. 1.4

Il est très important de noter que des circuits logiques ET peuvent être placés directement devant les entrées e et I de ce circuit, puisque les résistances d'alimentation (reliées au potentiel +V) de ces circuits ET permettent le fonctionnement normal du dérivateur (charge et décharge du condensateur).

Par contre il n'est généralement pas possible de placer un circuit OU directement à l'entrée e et I puisque les résistances d'alimentation des circuits OU sont reliées au potentiel 0. Lorsque cela s'avère nécessaire, il faudra intercaler un régénérateur (deux inverseurs) ou bien remplacer le circuit OU par un circuit ET liant les compléments des autres entrées, circuit qui ne devra alors être suivi que par un seul régénérateur.

1.2.2: Circuit OU pour impulsions :

La réunion ou la somme logique de deux signaux variant par impulsions peut être réalisée par le circuit OU pour impulsions donné à la figure 1.5.

Un tel circuit comprendra autant de portes inhibitrices que l'on désire d'entrées au circuit OU pour impulsions .

On pourra inhiber séparément les chutes de chaque entrée. D'une façon générale, pour un OU pour impulsions ayant n entrées et n inhibitions l'opération effectuée par ce circuit sera notée :

$$(Imp S) = \bar{I}_1 \cdot (Imp e_1) + \bar{I}_2 \cdot (Imp e_2) + \dots + \bar{I}_n \cdot (Imp e_n)$$

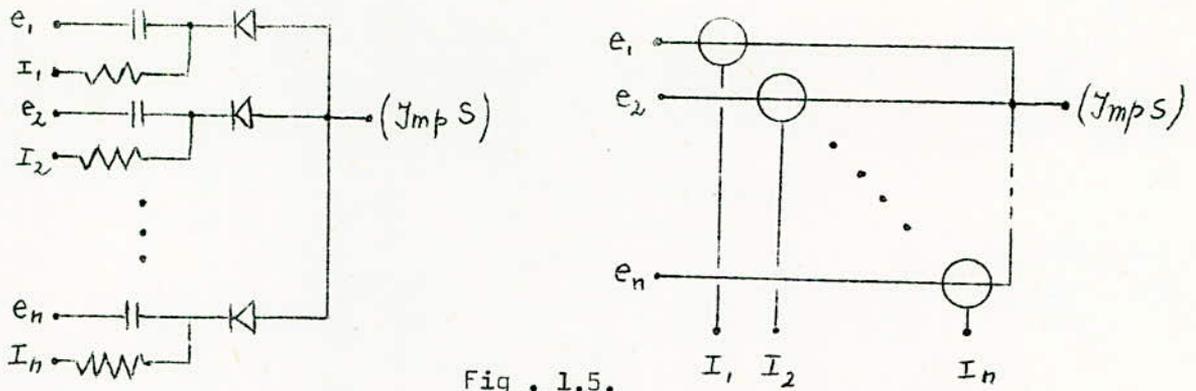


Fig. 1.5.

1.3: Bistables J-K, T, Monostables, Astables:

1.3.2: Bistables J-K:

Les bistables sont des organes de mémorisation. Comme leur nom l'indique ils possèdent deux états stables. On les fera passer d'un état stable à l'autre par l'application d'impulsions négatives, ou par des chutes de niveaux logiques, sur l'une des entrées J ou K. Ces organes possèdent deux sorties complémentaires y et \bar{y} , leur fonctionnement est le suivant:

Si $y = 0$ Une chute sur l'entrée J fait passer y à 1.

Une chute sur l'entrée K est sans effet.

Si $y = 1$ Une chute sur l'entrée K fait passer y à 0.

Une chute sur l'entrée J est sans effet.

Si $y = 0$ ou $y = 1$ une chute simultanée en J et en K fait basculer y , on obtient $y = 1$ ou $y = 0$.

Les impulsions formées en J ou en K pourront être inhibées par des niveaux logiques extérieurs au bistable et formés par une fonction logique variant par niveaux.

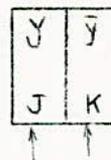
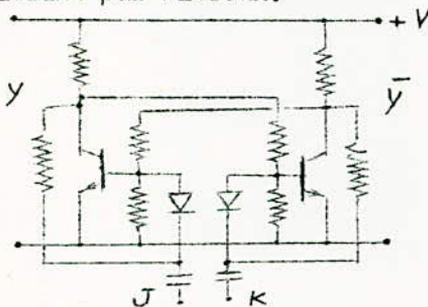


Fig. 1.6.

1.3.2: Bistables T:

Nous avons vu que pour un bistable J K, la sortie y basculait lorsque les niveaux logiques d'entrée J et K chutaient simultanément.

Dans un bistable Trigger on mettra à profit cette propriété en reliant les deux entrées J et K d'un bistable J-K. Il y aura ainsi toujours coïncidence des signaux d'entrée et chaque chute sur l'entrée (appelée T) provoquera le basculement de y. Le circuit électronique est identique à celui du bistable J-K, il suffit de relier les entrées J et K.

1.3.3: Monostable:

Cet organe ne possède qu'un seul état stable. Lorsqu'une chute de niveau logique se produit à l'entrée, la sortie y qui vaut normalement 0 passe à la valeur 1, et s'y maintient pendant un temps τ , puis reviens spontanément à la valeur 0. On peut régler τ à la valeur désirée en agissant sur R et C (Fig. 1.7).

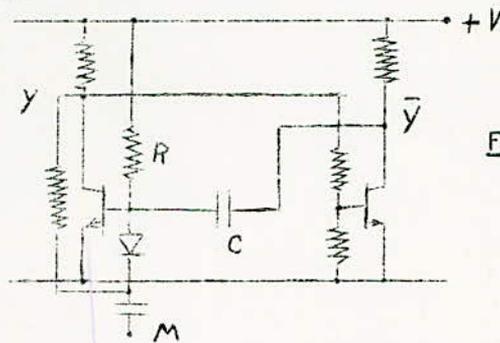
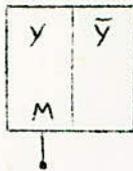


Fig. 1.7.

1.3.4: Astables:

On les appelle encore multivibrateurs, ce sont des oscillateurs qui délivrent un signal rectangulaire ayant alternativement la valeur équivalente au niveau logique 1 puis au niveau logique 0. Un tel organe est employé surtout comme horloge de synchronisation dans les systèmes séquentiels synchrones.

CHAPITRE II

CONCEPTION DU MULTIPLIEUR BINAIRE.

2.1: Formulation du problème pour des nombres positifs:

Soient les deux nombres

x et y positifs et inférieurs à l'unité, tels que:

$0 \leq y < 1$ y est codé binaire pur, on peut donc écrire:

$$y = \sum_{k=1}^n \frac{a_k}{2^k}$$

$0 \leq x < 1$ x est représenté par une suite d'impulsions, on définit la fréquence moyenne de ces impulsions

$$\bar{f} = x.H$$

(H est la fréquence d'horloge)

A la sortie du multiplieur on a $p = x.y$, d'où :

$0 \leq p < 1$ p apparaît sous forme d'une suite d'impulsions irrégulièrement réparties dans un motif périodique.

On définit aussi pour p, la fréquence moyenne des impulsions $\bar{z} = p.H$

On en déduit :

$$\bar{z} = p.H = x.y.H = x.H \sum_{k=1}^n \frac{a_k}{2^k} = \sum_{k=1}^n a_k \cdot \frac{H.x}{2^k}$$

Posons $\frac{H.x}{2^k} = \bar{f}_k$ d'où on en déduit

$$\bar{z} = \sum_{k=1}^n a_k \cdot \bar{f}_k$$

Cette formule exprime que la fréquence moyenne des impulsions de sortie est égale à une somme de fréquences $\bar{f}_1, \bar{f}_2, \dots, \bar{f}_n$ sous multiples paires de la fréquence \bar{f} représentant x, ces fréquences étant existantes ou non suivant les valeurs des bits correspondants a_1, a_2, \dots, a_n représentant le nombre binaire y. Si le bit a_k est nul, la fréquence \bar{f}_k disparaît de la

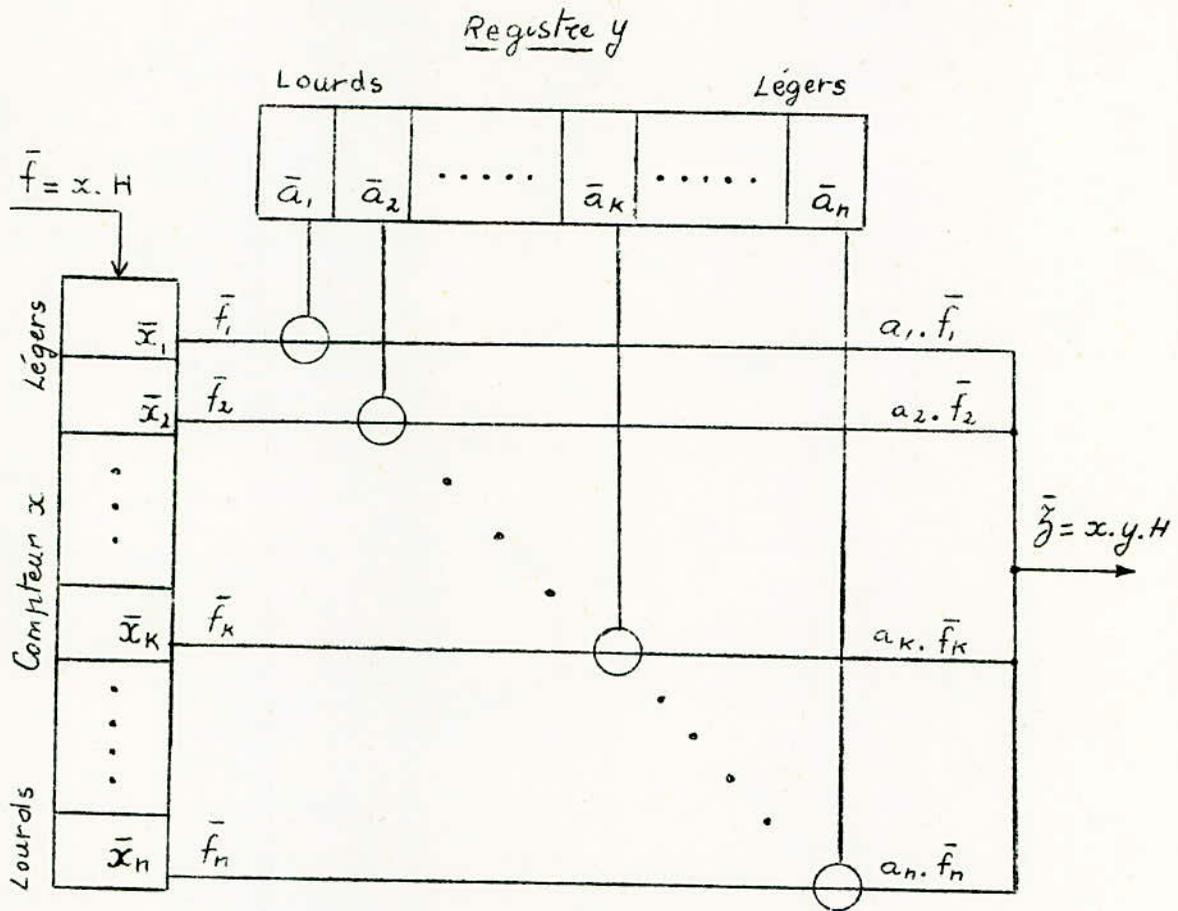
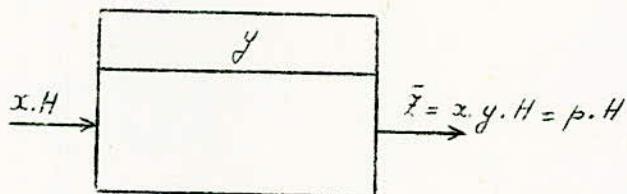


Fig. 2.1 : Schéma de principe du Multiplieur
Binaire pour des nombres positifs.



Représentation symbolique du Multiplieur.

somme de fréquences représentant \bar{z} .

La fréquence \bar{f}_k s'obtient à partir de \bar{f} par division par 2^k . De plus, pour deux fréquences \bar{f}_k et \bar{f}_l ($k \neq l$), il ne doit jamais exister simultanément une impulsion pour \bar{f}_k et \bar{f}_l . En effet si les bits a_k et a_l valent tous deux 1, ces deux impulsions apparaîtraient comme une seule impulsion ce qui fausserait la valeur de \bar{z} donc de P.

Le principe de la production des fréquences \bar{f}_k repose sur le fait que si nous appliquons à l'entrée d'un compteur binaire une fréquence \bar{f} , les enclenchements de la sortie du bit d'ordre k ont une fréquence $\bar{f}_k = \frac{\bar{f}}{2^k}$. De plus les sorties d'un compteur binaire n'enclenchent jamais simultanément de la valeur 0 à la valeur 1. Pour s'en convaincre on examinera

x_4	x_3	x_2	x_1	ε	δ
0	0	0	0		
0	0	0	1	ε_1	δ_1
0	0	1	0	ε_2	
0	0	1	1	ε_3	$\delta_1 \delta_2$
0	1	0	0	ε_4	
0	1	0	1	ε_1	δ_1
0	1	1	0	ε_2	
0	1	1	1	ε_3	$\delta_1 \delta_2 \delta_3$
1	0	0	0	ε_4	
1	0	0	1	ε_1	δ_1
1	0	1	0	ε_2	
1	0	1	1	ε_3	$\delta_1 \delta_2$
1	1	0	0	ε_4	
1	1	0	1	ε_1	δ_1
1	1	1	0	ε_2	
1	1	1	1	ε_3	$\delta_1 \delta_2 \delta_3 \delta_4$

ε : enclenchement (0 à 1)
 δ : déclenchement (1 à 0)

Table 2.1

la précision est donc de $1/16 = 1/2^4$. Pour un compteur à n variables la précision serait de $\frac{1}{2^n}$.

Les enclenchements des sorties d'un compteur binaire n'étant jamais simultanés et sachant qu'un circuit OU pour impulsions n'est sensible qu'aux déclenchements, on introduira les déclenchements des sorties complémentaires \bar{x}_k dans un circuit OU pour impulsions. En inhibant chacune des voies du circuit OU pour impulsions par les valeurs respectives des bits de y, \bar{a}_k (complément des a_k), chacune des voies effectuera le produit $a_k \cdot \bar{f}_k$; à la sortie du circuit OU pour impulsions on aura la somme de tous les pro-

la table 2.1 qui montre les variations des sorties d'un compteur binaire à 4 variables.

On remarquera qu'excepté lors du passage de remise à zéro depuis l'état 1111 à l'état 0000, chaque progression du compteur est marquée par l'enclenchement d'une seule des sorties. On remarquera que lors des 16 changements d'états

La sortie x_1 enclanche 8 fois.

La sortie x_2 enclanche 4 fois.

La sortie x_3 enclanche 2 fois.

La sortie x_4 enclanche 1 fois.

Pour 16 impulsions de \bar{f} il y a donc 15 enclenchements pour l'ensemble des x_k ,

duits partiels $a_k \cdot \bar{f}_k$, cette somme étant égale à \bar{z} . Nous en déduisons le schéma de principe du Multiplieur Binaire (Fig.2.1). On considèrera pour cela que le nombre binaire y est stocké dans un registre.

2.2: Représentations de x et y ayant un signe quelconque:

2.2.1: Représentation de y tel que $-1 < y < 1$:

La démonstration faite au paragraphe précédent, qui nous a permis d'obtenir le schéma de principe du multiplieur supposait que y était codé en binaire pur et que l'on avait $0 \leq y < 1$.

Pour représenter les valeurs négatives de y , il nous faudra ajouter au nombre binaire représentant $|y|$, un bit de signe S_y . Ce mode de représentation est appelé code " Valeur Absolue + Signe ".

Le bit de signe est placé devant le nombre binaire représentant $|y|$. On peut choisir arbitrairement la correspondance entre les valeurs de S_y et le signe de y :

$S_y = 1$ représente le signe + .

$S_y = 0$ représente le signe - .

La table 2.2. représente la suite des nombres décimaux de + 0,875 à - 0,875 ainsi que leur représentation dans le code Valeur Absolue plus Signe. (Le bit de signe est séparé du nombre binaire par un point).

Décimal	Code VA+S
+ 0,875	1. 111
+ 0,750	1. 110
+ 0,625	1. 101
+ 0,500	1. 100
+ 0,375	1. 011
+ 0,250	1. 010
+ 0,125	1. 001
0,000	. 000
- 0,125	0. 001
- 0,250	0. 010
- 0,375	0. 011
- 0,500	0. 100
- 0,625	0. 101
- 0,750	0. 110
- 0,875	0. 111

Table 2.2

2.2.2: Représentation de x tel que $-1 < x < 1$:

Le nombre x étant représenté par une suite d'impulsions, le compteur x du multiplieur binaire ayant n bits, on définira le plus faible poids comme l'unité $u = \frac{1}{2^n}$; chaque impulsion sera équivalente à une unité u . Nous avons plusieurs modes de représentation :

A) Représentation par niveaux logiques:

x serait représenté par des niveaux logiques. Les conventions suivantes peuvent être adoptées en appelant \bar{f} le niveau logique qui représenterait x (Fig.2.2)

Si $\bar{f} = 1$ et qu'il y a une chute d'horloge, le contenu du compteur augmente d'une quantité égale à l'unité u: il y a comptage.

Si $\bar{f} = 0$ et qu'il y a une chute d'horloge, le contenu du compteur diminue d'une unité u: il y a décomptage.

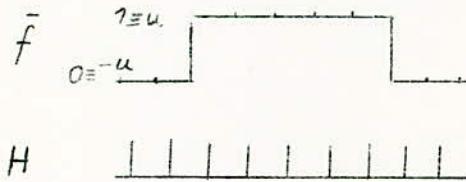


Fig. 2.2

On représenterait le zéro par une suite de niveaux logiques alternativement égaux à 1 puis à 0.

(La valeur moyenne serait nulle avec une erreur égale à $\pm u$.)

Nous n'aurions plus un simple compteur pour x, mais un compteur-décompteur.

B) Représentation par impulsions:

On utilise pour représenter x une suite d'impulsions pouvant être positives ou négatives. On choisirait comme conventions:

Une impulsion positive représente + u (comptage).

Une impulsion négative représente - u (décomptage).

Pour représenter le zéro on n'aurait aucune impulsion. Ce mode de représentation est une véritable logique ternaire puisque nous avons trois états: +u, 0, et -u. Pour pouvoir attaquer un compteur-décompteur avec ces impulsions il faudrait séparer les impulsions positives de comptage, des impulsions négatives de décomptage, pour diriger les premières vers l'entrée comptage, les secondes vers l'entrée décomptage d'un compteur-décompteur. Pour effectuer cette opération on utiliserait un circuit séparateur. De plus, comme on attaque généralement les compteurs par des impulsions négatives, il faudrait inverser les impulsions positives de comptage après séparation (Fig.2.3).

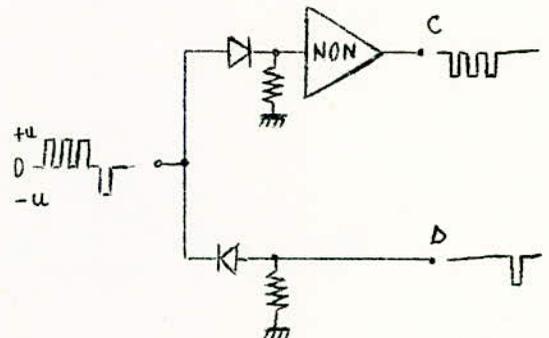


Fig. 2.3

C) Mode de représentation mixte par impulsions et niveau logique:

Ce mode de représentation est l'équivalent du code Valeur Absolue plus Signe. En effet la valeur absolue de x est représentée par une suite d'impulsions de fréquence moyenne $\bar{f} = |x| \cdot H$.

Le signe de x est représenté par un niveau logique S_x . On peut choisir pour S_x des conventions arbitraires; l'idéal cependant serait d'avoir les mêmes conventions pour S_x et S_y .

Dans ce cas de représentation nous n'utiliserons qu'un compteur binaire pour x .

D) Avantages et inconvénients de ces modes de représentation:

Les modes de représentation d'un nombre sont très nombreux, parmi les 3 modes de représentation de x qui ont été présentés, on constate que le 3^{ème} est de grands avantages:

On peut attaquer directement un compteur binaire par les impulsions représentant $|x|$.

Le multiplieur se composerait de deux parties, l'une effectuant le produit des valeurs absolues, l'autre le produit des signes. Il y aurait donc deux sorties :

Une sortie impulsions pour $|p| = |x| \cdot |y|$.

Une sortie S_p niveau logique représentant

Signe $p = \text{Signe } x \cdot \text{Signe } y$

On remarquera que le système est homogène, l'entrée et la sortie du multiplieur ayant le même mode de représentation; on pourra donc connecter la sortie d'un multiplieur (qui est double) à l'entrée d'un autre multiplieur.

Les deux premiers modes de représentation auraient entraîné des complications; en effet, ces deux systèmes utilisent un compteur-décompteur à l'entrée, ce qui est peu économique. De plus les signaux de sortie sont compliqués et difficiles à obtenir, pour que le système soit homogène. En pratique cela nous amènerait à doubler le multiplieur, une partie effectuant le produit des nombres positifs, l'autre partie celui des nombres négatifs. De plus il nous faudrait recombinaison ces deux signaux à la sortie de façon à retrouver le mode de représentation de l'entrée x du multiplieur. La consommation de matériel serait doublée, le système devenant coûteux et compliqué.

2.3: Fonctionnement en régime dynamique:

Nous avons considéré jusqu'à présent que le nombre binaire y était stocké dans un registre et qu'il ne variait pas au cours du fonctionnement. Ceci limiterait considérablement le champ d'application d'un multiplieur fonctionnant suivant ce principe.

Il serait intéressant de prévoir des variations lentes de y , ces variations se faisant par quantités unitaires u , et pouvant être négatives ou positives ce qui correspondrait à un décomptage ou à un comptage. Nous aurions ainsi un fonctionnement dynamique, ce qui nous permettrait de multiplier un nombre x représenté par une fréquence d'impulsions, par un nombre y , codé binaire et variant au cours du fonctionnement. Nous verrons par la suite que l'on pourra ainsi faire fonctionner le multiplieur en opérateur différentiel et en intégrateur.

Cette condition particulière de fonctionnement, nous entraîne à remplacer le registre y par un compteur-décompteur, ce compteur ayant une entrée comptage et une entrée décomptage.

Le contenu de ce compteur, sachant qu'il a n bits et que l'on a $-1 < y < 1$, va varier entre $+\frac{2^n-1}{2^n}$ et $-\frac{2^n-1}{2^n}$, et ceci suivant le code Valeur Absolue + Signe (Voir Table 2.2).

Le registre y est donc remplacé par l'ensemble:

Compteur-décompteur, précédé d'un système séquentiel permettant le comptage suivant le code V.A.+ S. (Fig. 2.4). Le signe de y apparaîtra à la sortie de ce système séquentiel. Les deux entrées sont appelées C_0 et D_0 .

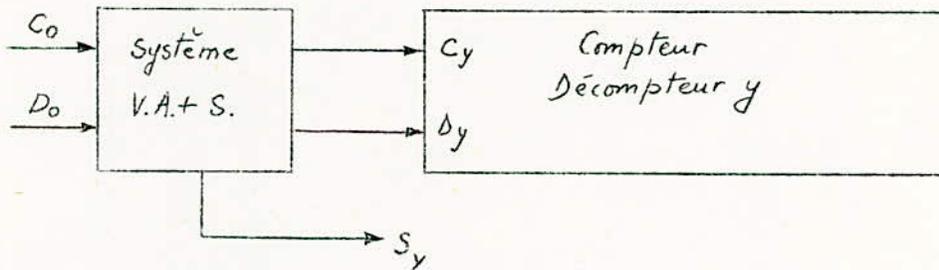


Figure 2.4

2.4: Influence du signe de C_0 et D_0 :

En C_0 ou D_0 , qui sont les entrées du système séquentiel VA + S, on connecte pour effectuer certaines opérations la sortie d'un multiplieur. Bien entendu cette sortie possède un signe qui dans certains cas va varier au cours du fonctionnement. Nous devons donc prévoir pour C_0 et D_0 des entrées de signe que nous appellerons S_C et S_D .

Si nous avons des impulsions en C :

Pour S_C positif on compte.

Pour S_C négatif on décompte.

Si nous avons des impulsions en D :

Pour S_D positif on décompte.

Pour S_D négatif on compte.

On précise que S_C et S_D sont des niveaux logiques codés avec les mêmes conventions que S_X et S_Y .

Dans d'autres cas nous appliquerons simultanément en C et D deux fréquences différentes, la première étant fixe, la seconde provenant d'un calcul en cours; le fonctionnement du système sera tel que la seconde fréquence va tendre à devenir égale à la fréquence fixe (Voir le chapitre IV) Nous aurons alors la même fréquence de comptage et de décomptage et le contenu du compteur-décompteur y va se stabiliser. Cependant, dans certains cas l'une des deux fréquences sera accompagnée d'un signe négatif (signe pouvant apparaître au cours du fonctionnement). Les deux fréquences n'étant pas égales, cette variation de signe est importante car elle indique que le contenu du compteur-décompteur y varie dans le mauvais sens, la fréquence variable tendant à s'éloigner de la fréquence fixe, dans ce cas le contenu du compteur y ne se stabilisera pas. Pour que le système se stabilise, il faudra commuter entre elles les fonctions comptage et décomptage.

Dans le cas où S_C et S_D sont tous deux négatifs, ce qui revient à commuter deux fois C et D, le système se comporte comme si S_C et S_D étaient tous deux positifs. Nous avons donc les conditions de fonctionnement suivantes:

Si $S_C = S_D$ On fonctionne normalement.

Si $S_C \neq S_D$ On commute entre elles les fonctions C et D.

Nous devons donc avoir un système qui nous permette de commuter entre elles les fonctions C et D lorsque S_C et S_D seront différents. Ce système

sera placé avant le système séquentiel Valeur Absolue + Signe.

Il nous faudra prévoir le cas où nous aurons comptage et décomptage en même temps, le compteur-décompteur y sera donc pourvu d'un système d'anticoïncidence.

Le registre y sera donc remplacé par l'ensemble (Fig. 2.5):

- 1) Système de commutation entre C et D pourvu de deux entrées S_C et S_D .
- 2) Système séquentiel Valeur Absolue + Signe.
- 3) Compteur-décompteur y pourvu d'un système d'anticoïncidence.

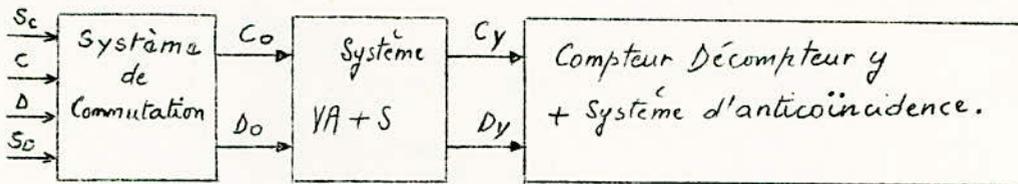


Figure 2.5

2.5: Signe du produit p:

Nous disposons du signe de x et du signe de y, S_x et S_y .

Si $S_x = S_y$, S_p représente un " + " .

Si $S_x \neq S_y$, S_p représente un " - " .

Un système logique simple nous permettra d'effectuer cette opération (Fig. 2.6).



Fig. 2.6

Nous déduisons de tout cela le schéma synoptique général du Multiplieur Binaire (Fig. 2.7).

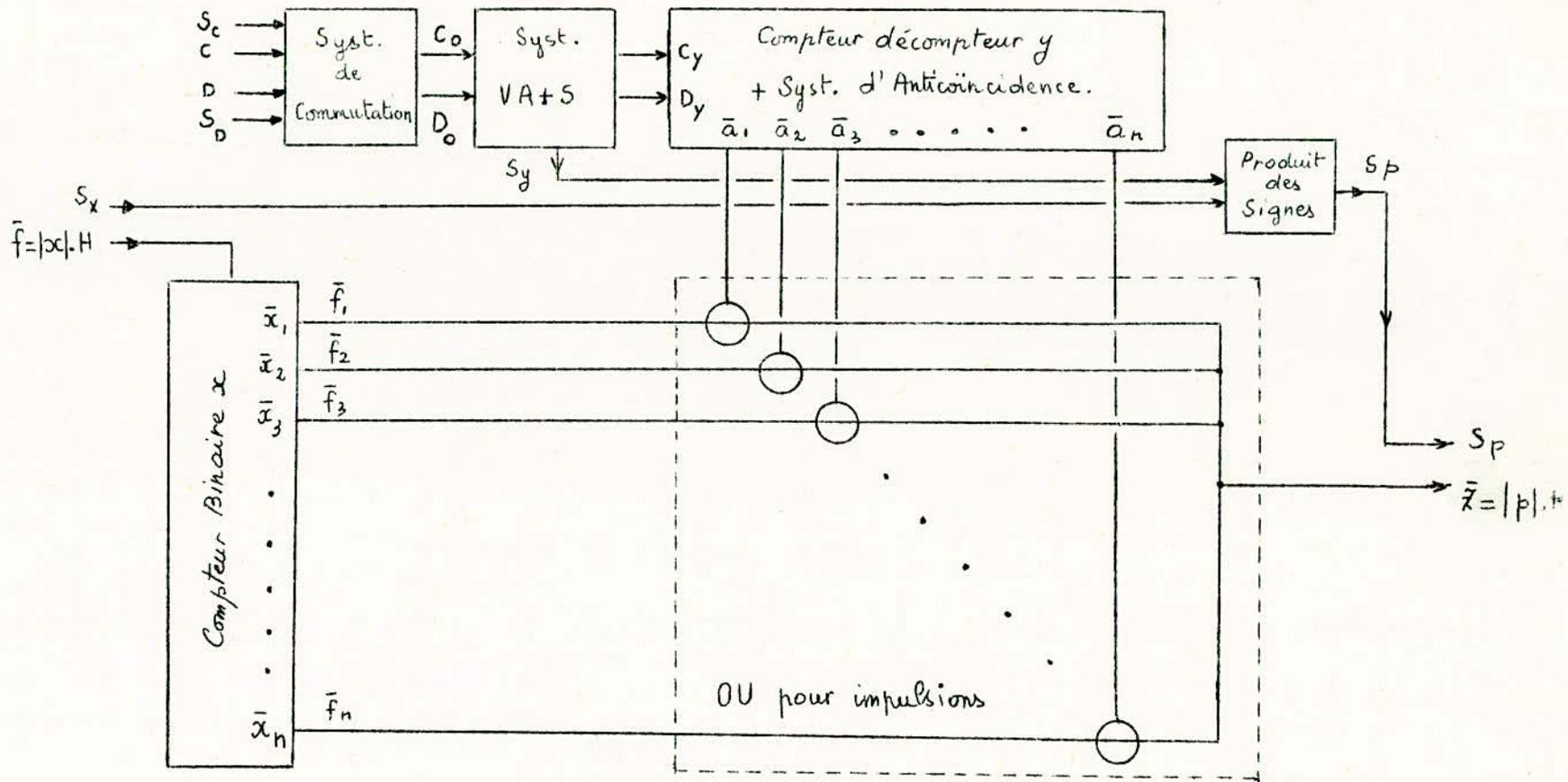


Fig.2.7: Schéma synoptique général du Multiplieur.

CHAPITRE III

SYNTHESE DES ELEMENTS DU MULTIPLIEUR

Nous allons dans ce chapitre synthétiser les différents systèmes constituant le Multiplieur. Plusieurs solutions différentes pouvant exister nous choisirons celles qui, tout en assurant un fonctionnement correct, seront les plus simples donc les plus économiques.

3.1 : Compteur-Décompteur y :

3.1.1 : Conditions générales de fonctionnement :

Le compteur-décompteur y doit satisfaire aux conditions suivantes:

- Il doit posséder: — Une entrée comptage C_y .
- Une entrée décomptage D_y .
- Une remise à zéro générale: RAZ.
- Une entrée de mise aux conditions initiales pour chaque bit: CI.

Considérons une suite ordonnée de nombres binaires (Fig. 3.1)

<u>n...2 1</u>
0 0 0 0
0 0 0 1
0 0 1 0
0 0 1 1
0 1 0 0
0 1 0 1
0 1 1 0
0 1 1 1
1 0 0 0
1 0 0 1
1 0 1 0
1 0 1 1
1 1 0 0
1 1 0 1
1 1 1 0
1 1 1 1

Fig. 3.1

Nous constatons que:

Au comptage:

L'arrivée d'une impulsion modifie l'état du chiffre de rang n, chaque fois que les chiffres de rang inférieur sont tous des 1.

Au décomptage:

L'arrivée d'une impulsion modifie l'état du chiffre de rang n, chaque fois que tous les chiffres de rang inférieur sont des 0.

3.1.2: Compteur-Décompteur synchrone en logique de niveau:

Les remarques faites au paragraphe 3.1.1 nous permettent de concevoir le compteur suivant la structure modulaire suivante (Fig. 3.2):

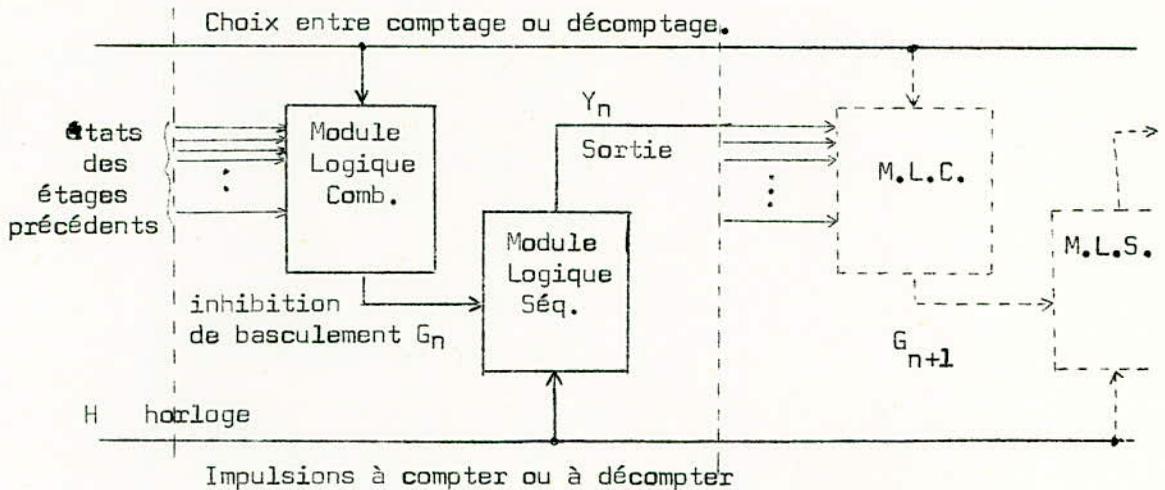


Fig. 3.2

1/ Module logique séquentiel:

Il est tel que la sortie y_n change d'état à chaque chute de H si $G_n = 1$.

Si $G_n = 0$, les chutes de H sont sans effet.

De plus si : G_n et H chutent en même temps y_n change.

G_n passe à 1 et H chute y_n ne change pas.

Nous utilisons une logique de niveau qui réalise ce fonctionnement:

$$Y_n = y_n \cdot H + w_n \cdot \bar{H}$$

$$W_n = \bar{G}_n \cdot y_n \cdot H + \bar{y}_n \cdot H \cdot G_n + w_n \cdot \bar{H}$$

Remise à zéro: (RAZ)

Nous utilisons une variable R (Reset) de telle façon que si: $R = 0$ Le système séquentiel fonctionne normalement.

$R = 1$ Y et W passent à 0 sans attendre une chute de H.

Mise à 1 (Conditions initiales CI)

Nous utilisons une variable S (Set) telle que si: $S = 0$ le système séquentiel fonctionne normalement.

$S = 1$ Les variables Y et W passent à 1 sans attendre une chute de H, et cela pour $R = 0$ ou $R = 1$ (priorité de S sur R).

Les nouvelles équations logiques de Y_n et W_n satisfaisant à ces conditions sont:

$$\begin{aligned} Y_n &= (y_n \cdot H + w_n \cdot \bar{H}) \cdot \bar{R} + S_n \\ W_n &= \bar{y}_n \cdot H \cdot \bar{G}_n + y_n \cdot H \cdot G_n + w_n \cdot \bar{H} \cdot \bar{R} + S_n \end{aligned}$$

Ce module logique séquentiel pourra être réalisé à l'aide d'un circuit imprimé (Type MLR) réalisant les équations suivantes:

$$\begin{aligned} Y &= H \cdot \bar{R} \cdot y + \bar{H} \cdot \bar{R} \cdot w + S \\ W &= E \cdot H \cdot d + H \cdot F \cdot g + \bar{H} \cdot \bar{R} \cdot w + S \end{aligned}$$

On connectera pour cela :

- L'entrée E à la sortie Y.
- L'entrée F à la sortie \bar{Y} .
- L'entrée g à la variable G.
- L'entrée d à la variable \bar{G} .

Pour avoir $S=0$ on mettra l'entrée S à la masse.

Pour avoir $\bar{R}=1$ on laissera l'entrée \bar{R} libre.

2/ Module logique combinatoire:

On aura $G = 1$ dans les deux cas

suivants:

Si l'on compte et que tous les y_n précédents sont des 1.

Si l'on décompte et que tous les y_n précédents sont des 0.

On en déduit :

$$G_n = C \cdot y_1 \cdot y_2 \cdot \dots \cdot y_{n-1} + D \cdot \bar{y}_1 \cdot \bar{y}_2 \cdot \dots \cdot \bar{y}_{n-1}$$

Avec $C = 1$ pour compter ($D = 0$).

$D = 1$ pour décompter ($C = 0$).

$C = 0$, $D = 0$ pour l'Arrêt.

Le cas $C = 1$, $D = 1$ introduit un aléa de fonctionnement que nous éviterons au moyen d'un système d'anticoïncidence (cf. ci-dessous).

Pour obtenir une structure modulaire nous définissons des relations de récurrence pour G_n et \bar{G}_n .

$$\begin{aligned} G_n &= G_{n-1} \cdot Y_{n-1} \cdot C + G_{n-1} \cdot \bar{Y}_{n-1} \cdot D \\ \bar{G}_n &= \bar{G}_{n-1} + Y_{n-1} \cdot \bar{C} + \bar{Y}_{n-1} \cdot \bar{D} \end{aligned}$$

L'emploi de ces relations permet l'établissement deux fois plus rapide de G_n , les régénérations des signaux logiques donnant successivement $\bar{G}_1, G_2, \text{etc...}$ se faisant au moyen de simples inverseurs au lieu d'utiliser des amplificateurs complets.

On pourra synthétiser deux fonctions G successives sur une plaquette unique de type 2 AL 5.

3/ Caractéristiques de ce compteur:

On remarque que C et D sont des niveaux logiques. Il est facile d'obtenir de tels niveaux logiques à partir d'impulsions au moyen de monostables délivrant des impulsions égales à la période d'horloge. Un tel compteur-décompteur ayant une structure modulaire se prête particulièrement à une réalisation par circuits intégrés; il a été particulièrement étudié pour fonctionner en ambiance industrielle, dans les conditions les plus défavorables.

La consommation en transistors est assez élevée, pour chaque bit nous utilisons une plaquette MLR et $\frac{1}{2}$ plaquette 2 AL 5, ce qui fait 6 transistors par bit.

Remarque:

Pour éviter le cas $C=1, D=1$, nous remplaçons les variables logiques C et D par de nouvelles variables $C' = C \cdot \bar{D}$ et $D' = D \cdot \bar{C}$; pour $C=D=1$ il y a arrêt.

3.1.3: Compteur-Décompteur synchrone par bistables:

La structure du compteur

sera la suivante (Fig. 3.3):

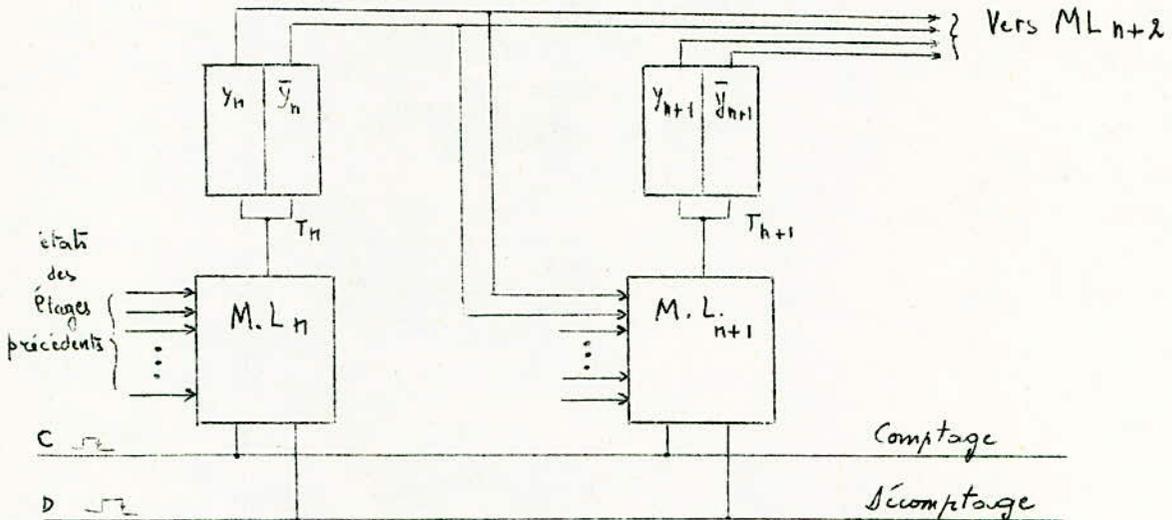


Fig. 3.3

1/ Bistable Trigger:

La sortie change d'état lorsqu'il y a une chute de niveau logique sur l'entrée T.

Remise à zéro:

Y_n passe à zéro s'il y a une chute sur l'entrée K_n .

Mise à un (CI):

Y_n passe à un s'il y a une chute sur l'entrée J_n .

2/ Système logique ML_n :

Y_n doit changer d'état, donc on doit obtenir une chute de niveau logique sur l'entrée T_n si :

C chute et y_1, y_2, \dots, y_{n-1} sont tous des 1.

D chute et y_1, y_2, \dots, y_{n-1} sont tous des 0.

En utilisant un bistable ayant deux entrées trigger T_n et T_n' on a :

$$\begin{aligned} T_n &= C \cdot y_1 \cdot y_2 \cdot \dots \cdot y_{n-1} \\ T_n' &= D \cdot \bar{y}_1 \cdot \bar{y}_2 \cdot \dots \cdot \bar{y}_{n-1} \end{aligned}$$

Le module logique ML_n se compose donc de deux circuits ET à n entrées, il n'est pas modulaire. Pour obtenir une structure modulaire on pourra définir les relations de récurrence suivantes pour T_n et T'_n .

$$\begin{array}{l} T_n = T_{n-1} \cdot y_{n-1} \\ T'_n = T'_{n-1} \cdot \bar{y}_{n-1} \end{array}$$

On régènerera chaque fonction T_n et T'_n au moyen d'un amplificateur complet, soit 4 inverseurs par bit. L'emploi de relations de récurrence alternées nous permettrait d'économiser deux inverseurs par bit .

3/ Caractéristiques de ce compteur:

C et D sont des niveaux logiques qui agissent par leurs chutes. De tels niveaux logiques pourront être obtenus à partir d'impulsions au moyen de monostables délivrant des impulsions ayant une largeur inférieure à la largeur minimale séparant deux impulsions de comptage ou de décomptage, ce qui sera effectué par un système d'anticoïncidence placé avant le compteur.

La consommation en transistors du système non modulaire est de 2 transistors par bit, elle sera en moyenne de 4 transistors par bit pour le système modulaire utilisant des régénérations alternées de T et \bar{T} .

Pour diminuer le nombre de diodes dans le système non modulaire on pourra régènerer les fonctions intermédiaires.

$$I_k = y_1 \cdot y_2 \cdots y_{k-1} \quad \text{et} \quad J_k = \bar{y}_1 \cdot \bar{y}_2 \cdots \bar{y}_{k-1}$$

après le $\frac{n}{2}$ ème bistable (le compteur ayant n bits).

Pour éviter l'aléa de fonctionnement dû à une chute simultanée de C et D nous utiliserons un système d'Anticoïncidence.

3.2 : Compteur x :

Son rôle principal est de fonctionner en diviseur de fréquence et de produire à ses sorties des impulsions jamais simultanées.

Un tel compteur sera synchrone, en effet s'il ne l'était pas, le nombre de bits étant élevé, le temps de propagation de la retenue est assez grand pour que deux bistables puissent basculer en même temps et produire ainsi deux impulsions au même moment , ce que nous devons éviter pour avoir un bon fonctionnement du système.

Il sera identique au compteur décompteur y, cependant l'entrée D et tous les circuits logiques qui utilisent cette variable seront supprimés. Nous utiliserons des bistables n'ayant qu'une seule entrée Trigger T_n (la réalisation pratique pouvant se faire au moyen de la plaquette 2B5).

Le système logique attaquant l'entrée T_n sera tel que :

$$T_n = C \cdot x_1 \cdot x_2 \dots x_{n-1}$$

Ce système logique pourra être réalisé au moyen de plaquette L13.

La consommation en transistors sera de 2 transistors par bit .

On pourra effectuer sur ce compteur toutes les améliorations qui ont déjà été citées pour le compteur-décompteur y utilisant des bistables :

- Conception modulaire par utilisation de relations de récurrence alternées pour T_n (3 transistors par bit).

- Diminution du nombre de diodes par régénération de la fonction intermédiaire $I_{\frac{n}{2}} = x_1 \cdot x_2 \dots x_{\frac{n}{2}} - 1$.

Pour obtenir le niveau logique C, qui agit par ses déclenchements, on devra transformer les impulsions négatives d'entrée au moyen d'un monostable .

3.3: Système de Commutation :

Nous avons vu au paragraphe 2.4 que les signes S_c et S_d des entrées comptage et décomptage du compteur y devraient s'ils étaient différents , nous entrainer à commuter entre elles les fonctions comptage et décomptage. Pour S_c et S_d identiques le système fonctionne normalement.

Nous choisissons par convention 1 pour représenter +

0 pour représenter -

Le système de commutation se composera de deux parties (fig 3.4).

1/ La première partie fonctionne en logique de niveau et détecte l'égalité de S_c et S_d . Nous avons le tableau de Karnaugh suivant pour S_p :

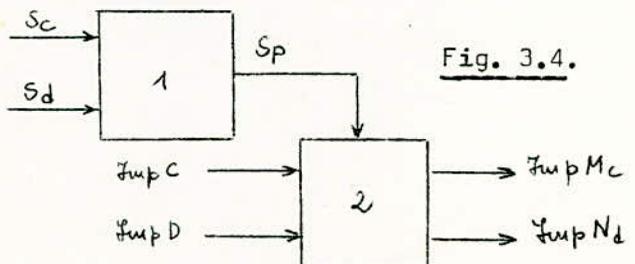
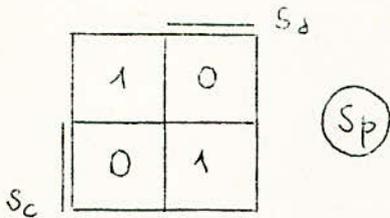


Fig. 3.4.



D'où :

$$S_p = S_c \cdot S_d + \bar{S}_c \cdot \bar{S}_d$$

$$\bar{S}_p = S_c \cdot \bar{S}_d + \bar{S}_c \cdot S_d$$

2/ La deuxième partie fonctionne en impulsions suivant les conditions ci-dessous :

Si $S_p = 1$ on a $Imp M_c = Imp C$
 $Imp N_d = Imp D$ (On fonctionne normalement)

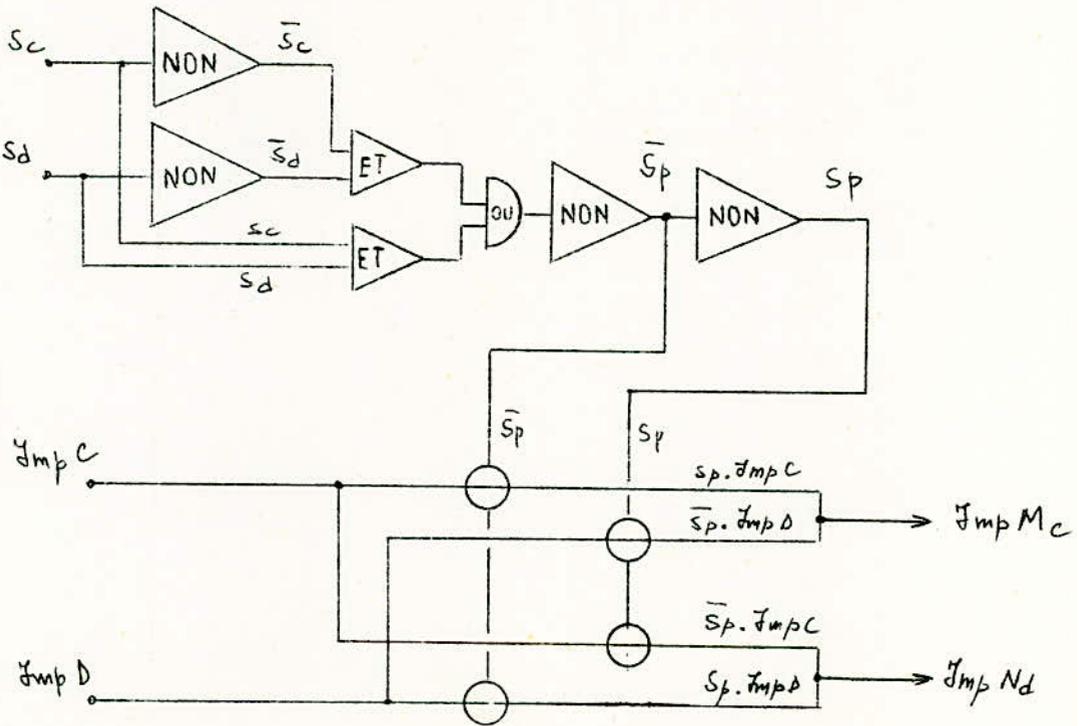
Si $S_p = 0$ on a $Imp M_c = Imp D$
 $Imp N_d = Imp C$ (Il y a commutation)

On en déduit :

$$Imp M_c = S_p \cdot Imp C + \bar{S}_p \cdot Imp D$$

$$Imp N_d = \bar{S}_p \cdot Imp C + S_p \cdot Imp D$$

Nous utiliserons des portes inhibitrices pour effectuer ces produits de niveaux logiques et d'impulsions. Le système de Commutation se présentera donc de la façon suivante : (fig 3.5)



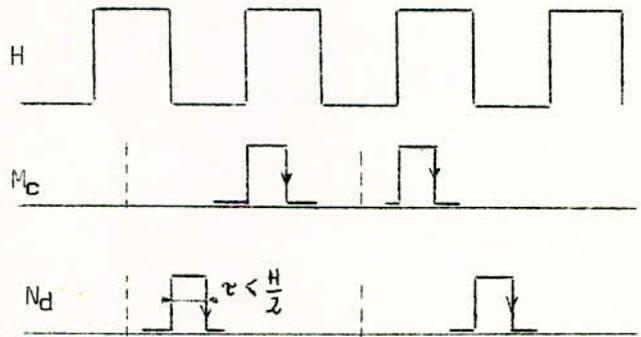
3.4 : Système d'Anticoïncidence :

D'une façon générale le problème est le suivant : Nous avons deux entrées e_1 et e_2 et deux sorties S_1 et S_2 . Ces sorties présenteront une impulsion synchronisée avec un signal d'horloge lorsque l'on aura une impulsion en e_1 ou e_2 .Le système est conçu de telle façon que les sorties ne peuvent avoir simultanément la valeur 1, même si les signaux en e_1 et e_2 étaient simultanés.De plus il sera souvent nécessaire de réserver entre deux impulsions un intervalle de temps décelable, où toutes les sorties valent 0.

Un tel système est placé à l'entrée d'un compteur-décompteur de façon que nous ne commandions simultanément un comptage et décomptage.

Sachant que la durée minimale séparant deux impulsions comptage ou décomptage est égale à une période d'horloge, nous allons synchroniser les impulsions M_C sur les montées de H donc les chutes de \bar{H} et les impulsions N_D sur les chutes de H. Les impulsions de sorties devront avoir une largeur inférieure à la demi-période d'horloge.

Sur la fig 3.6 on peut voir les impulsions d'entrée en pointillés, et les impulsions de sortie en traits pleins.



Le principe de fonctionnement est le suivant :

Fig. 3.6

L'impulsion d'entrée M_C ou N_D doit être mise en mémoire et apparaître sous forme d'un niveau logique \bar{I}_C ou \bar{I}_D égal à 0. La prochaine chute de \bar{H} ou de H n'étant pas inhibée par \bar{I}_C ou \bar{I}_D égal à 0, déclenchera un monostable qui délivre une impulsion de largeur τ inférieure à la demi-période d'horloge. Nous utiliserons les déclenchements des sorties complémentaires des monostables, \bar{M}_C et \bar{N}_D pour remettre les fonctions \bar{I}_C et \bar{I}_D à 1 ce qui inhibera les chutes d'horloge suivantes.

On utilisera comme fonction de mémorisation un bistable J-K . Le schéma du système d'anticoïncidence est représenté par la figure 3.7.

Ce système d'Anticoïncidence pourra être placé directement à l'entrée du compteur-décompteur utilisant des bistables (Parag. 3.1.3).

En effet les monostables nous délivrent des impulsions d'une largeur τ , assimilables à des niveaux logiques dont les chutes provoqueront le comptage ou le décomptage.

On pourra aussi utiliser ce système avec le compteur-décompteur en logique de niveau (Paragr. 3.1.2); il faudra cependant que la largeur des impulsions M_c et N_d soit égale à la période de l'horloge H_c synchronisant le compteur. Etant donné que τ est égal au maximum à la demi-période de l'horloge H sur laquelle M_c et N_d sont synchronisés, il faudra que la fréquence de l'horloge H_c soit double de celle de l'horloge H .

Nous allons dans notre cas, placer le système d'anticoïncidence après le système de commutation; nous aurons ainsi une régénération des impulsions M_c et N_d . Le système Valeur Absolue + Signe qui sera placé après le système d'anticoïncidence pourra fonctionner en logique de niveau.

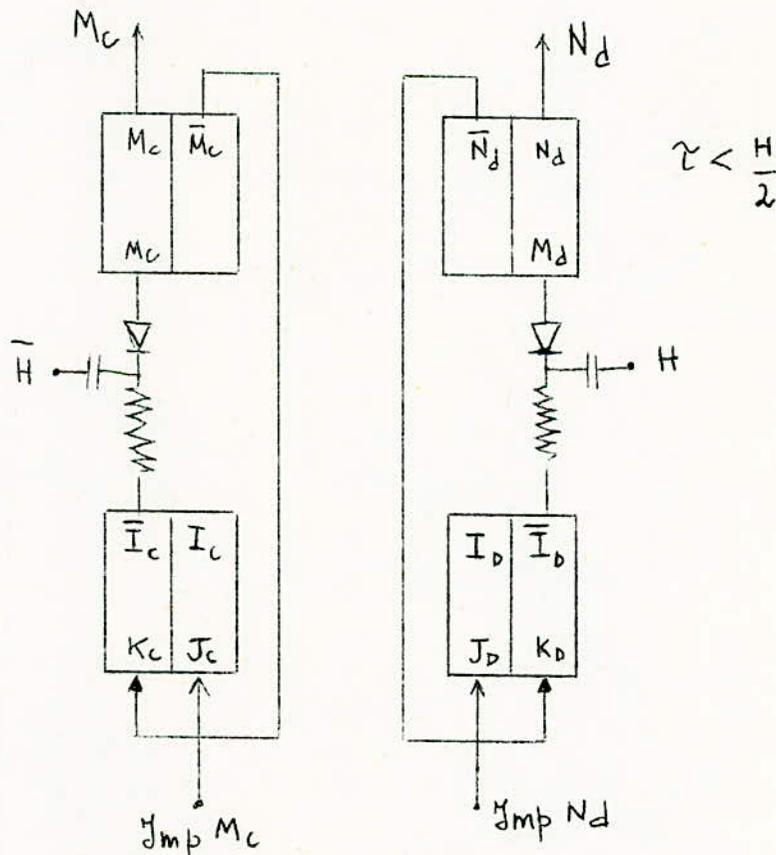


Fig. 3.7

3.5 : Système Valeur Absolue plus Signe:

Nous avons la suite des états suivants sachant que le signe + est représenté par 1 et le signe - par 0 (Fig. 3.8).

S_y	$y_n \dots y_2$	y_1
1	1	1
1	1	0
1	1	0
1	1	0
1	0	1
1	0	1
1	0	0
1	0	0
0	0	0
0	0	1
0	0	1
0	1	0
0	1	0
0	1	1
0	1	1

← Z=1

Fig. 3.8

Nous utilisons le compteur-décompteur synchrone à bistable déjà synthétisé.

A l'entrée du système sont appliquées les sorties du système de commutation.

A la sortie du système valeur absolue plus signe (VA+S) sont obtenus S_y , Imp C_y ou C_y et Imp D_y ou D_y ; C_y et D_y étant des niveaux logiques dont les chutes produiront le comptage ou le décomptage.

Synthèse du système:

On définit tout d'abord une variable permettant de détecter le zéro.

$$Z = \bar{y}_1 \cdot \bar{y}_2 \cdot \dots \cdot \bar{y}_n$$

De plus comme nous avons S_y qui nous permet de savoir si nous sommes dans la partie positive ou négative de la suite de comptage du compteur y.

Nous aurons:

Une chute de C_y donc comptage,

- Si $S_y = 1$ et M_c chute et si $Z=0$.
- ou Si $S_y = 0$ et si N_d chute avec $Z=0$.
- ou Si $Z = 1$ et M_c ou N_d chute.

Une chute de D_y donc décomptage,

- Si $S_y = 1$ et N_d chute
 - Si $S_y = 0$ et M_c chute
- } avec $Z=0$

Pour le signe de y représenté par S_y on a les conditions suivantes:

- Si $Z = 1$ et M_c chute S_y passe à 1. (signe+).
- Si $Z = 1$ et N_d chute S_y passe à 0. (signe -).

Nous aurons pour C_y et D_y les équations logiques suivantes:

$$C_y = (S_y \cdot M_c + \bar{S}_y \cdot N_d) + Z (M_c + N_d)$$

$$D_y = \bar{Z} (\bar{S}_y \cdot M_c + S_y \cdot N_d)$$

On tient compte du fait que M_C et N_D proviennent du système d'anti-coïncidence et que par conséquent une chute de M_C n'aura jamais lieu quand $N_D = 1$ et inversement une chute de N_D n'aura jamais lieu quand $M_C = 1$.

Pour obtenir le signe S_y nous utilisons un bistable J-K :

$$\begin{aligned} J_S &= Z \cdot \bar{M}_C \\ K_S &= Z \cdot \bar{N}_D \end{aligned}$$

Nous utilisons les chutes de \bar{M}_C et \bar{N}_D pour attaquer le bistable de signe afin d'obtenir S_y et \bar{S}_y avant la chute de M_C et N_D .

Le système Valeur Absolue + Signe est schématisé par la figure 3.9.

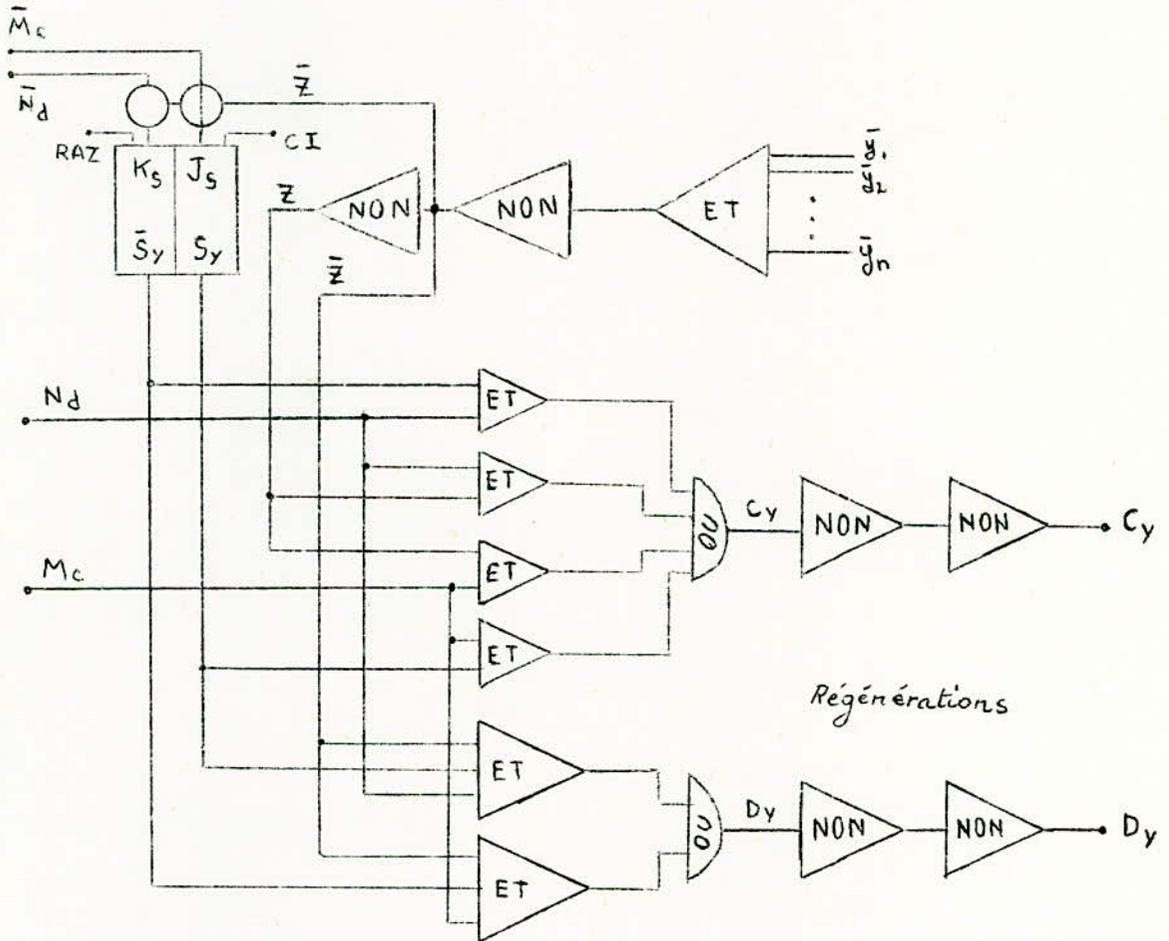


Fig 3.9

On remarquera que le bistable de signe possède une remise à 0, et une mise à 1 pour introduire les conditions initiales. C et D sont régénérées à la sortie par deux doubles inverseurs ou amplis complets.

3.6: Système effectuant le produit des signes de x et y:

Les conditions de

fonctionnement d'un tel système sont les suivantes:

Si S_x et S_y sont identiques $S_p = 1$ (signe +).

Si S_x et S_y sont différents $S_p = 0$ (signe -).

Nous avons le tableau de Karnaugh suivant :

d'ou l'on tire :

$$S_p = S_x \cdot S_y + \bar{S}_x \cdot \bar{S}_y$$
$$\bar{S}_p = S_x \cdot \bar{S}_y + \bar{S}_x \cdot S_y$$

S_p

1	0
0	1

S_x S_y

Nous utiliseront la deuxième équation pour synthétiser S_p ; en effet il suffira d'un inverseur pour obtenir S_p alors que la première équation nous entraine à utiliser un amplificateur complet soit deux inverseurs. Le schéma du système est celui de la figure 3.10 .

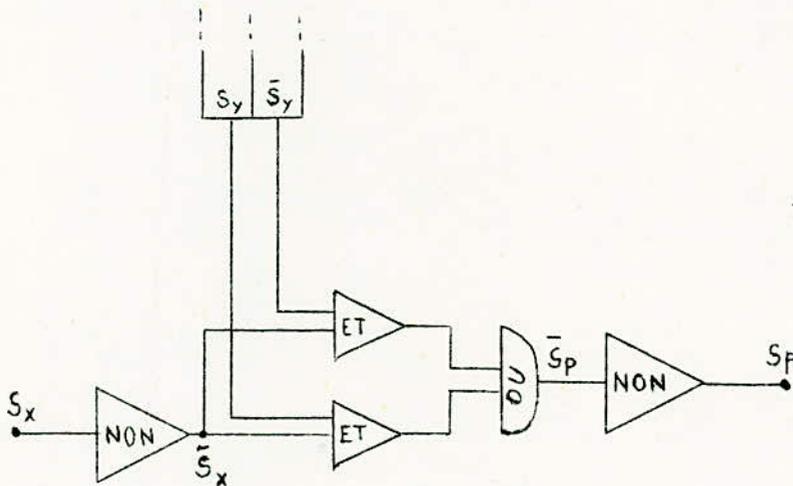


Fig. 3.10.

CHAPITRE IV

OPERATIONS EFFECTUEES PAR LES MULTIPLIEURS.

Nous prendrons les conventions suivantes pour tous les schémas qui suivront:

Lorsque l'on a appliquée sur l'une des entrées C, D ou x d'un Multiplieur une fréquence notée $f = y.H$ on sous-entend que le signe de y, qui peut être quelconque, est lui même connecté sur l'entrée correspondante S_C , S_D ou S_x .

Si cette fréquence est notée $f = |y|.H$, le signe de y est toujours positif et S_C , S_D ou S_x sera maintenu à la valeur 1, ce qui revient à laisser l'entrée de signe libre.

4.1 : Conversion Fréquence d'impulsions-Nombre binaire:

Nous connecterons le multiplieur suivant le schéma de la figure 4.1.

La fréquence à convertir $y.H$ est appliquée sur l'entrée C; S_y est connecté en S_C .

On applique à l'entrée x la fréquence d'horloge H; si le nombre qui est dans le compteur est z, on aura à la sortie du multiplieur la fréquence $|z|.H$, que l'on applique à l'entrée D ($S_D = 1$).

Le fonctionnement est le suivant:

Le compteur qui doit contenir z étant remis préalablement à 0, on a :

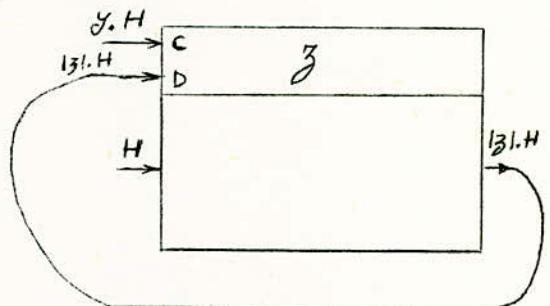


fig. 4.1

Le compteur qui doit contenir z

Si $S_y = 1$ (signe de y positif), et

$S_c = S_d = S_y = 1$ on a un fonctionnement normal.

Etant donné que $|y| > |z|$ puisque au départ du calcul $z=0$, il y a comptage et $|z|$ va augmenter jusqu'à ce que l'on ait $|z| = |y|$. Les fréquences comptage et décomptage sont alors égales et le contenu du compteur se stabilise à la valeur $z = + y$

Si $S_y = 0$ (signe de y négatif), et

$S_c = S_y \neq S_d$ C et D sont commutés.

La fréquence $|y|.H$ est donc appliquée en décomptage, il y a apparition du signe négatif (-) dans le compteur. z va augmenter jusqu'à ce que $|z| = |y|$, le contenu du compteur se stabilise donc à la valeur $z = - y$.

4.2 : Multiplication:

Soient A et B deux nombres binaires à multiplier, et tels que $|A| < 1$, $|B| < 1$. Nous utiliserons 3 multiplieurs connectés suivant le schéma de la figure 4.2 .

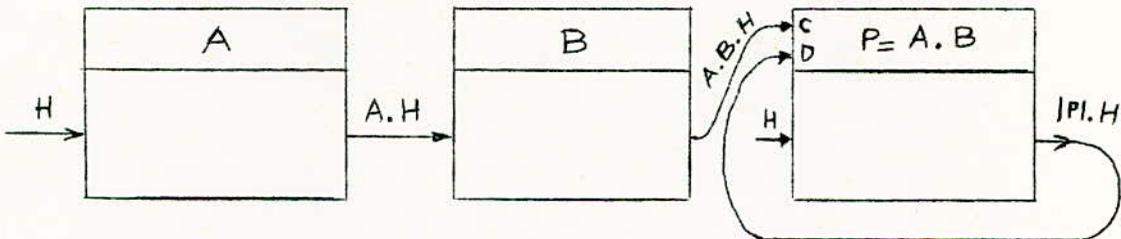


Fig. 4.2.

Le premier multiplieur effectue la multiplication $A.H$, ce qui revient à la conversion Nombre binaire- fréquence d'impulsions.

Le deuxième Multiplieur effectue la multiplication $A.B.H$.

Le troisième multiplieur est monté en convertisseur fréquence d'impulsions-nombre binaire et sert à faire apparaître le résultat sous forme numérique : on a $P = A.B$.

On peut étendre cette multiplication à n nombres binaires, il suffit d'ajouter des multiplieurs en cascade avant le dernier multiplieur qui sert de convertisseur fréquence d'impulsions-nombre binaire.

4.3 : Division :

Nous devons effectuer la division $R = \frac{A}{B}$; avec R, A, B des nombres binaires tels que :

$$|A| < |B| < 1$$

de façon que $|R| < 1$ pour ne pas saturer le compteur y du multiplieur donnant R. Pour effectuer cette opération nous utilisons 3 multiplieurs connectés suivant le schéma de la figure 4.3 .

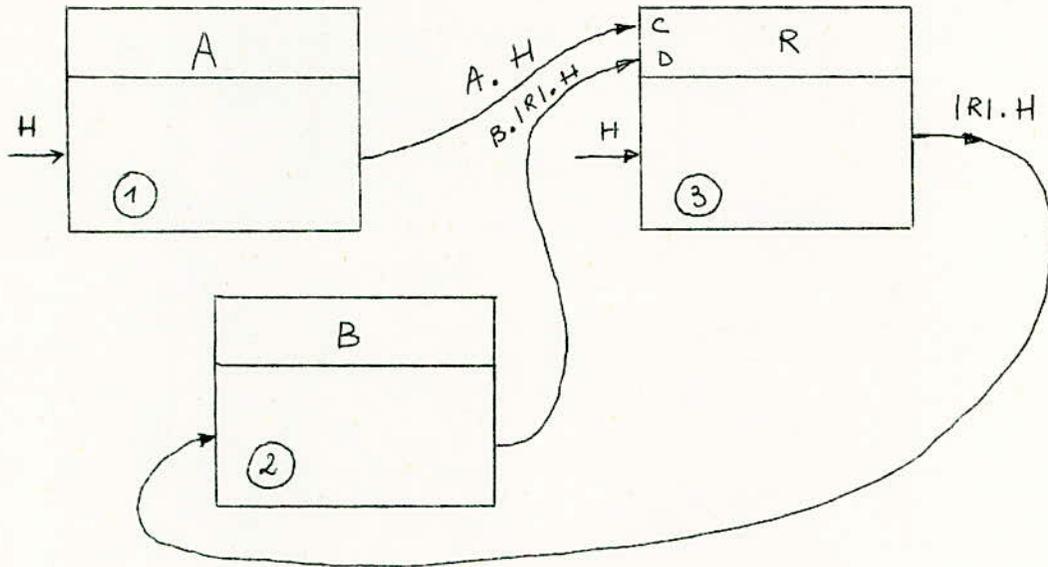


Fig. 4.3

Le premier multiplieur qui contient le nombre A, convertit ce nombre en une fréquence d'impulsions $|A|.H$ qui est appliquée à l'entrée C du 3^{ème} multiplieur. Le signe de A, S_A est connecté en S_C donc $S_C = S_A$.

Si R est le nombre binaire qui apparaît dans le compteur du 3^{ème} multiplieur, étant donné que l'on applique la fréquence d'horloge H à l'entrée de ce multiplieur, on a la fréquence $|R|.H$ à la sortie. Cette fréquence $|R|.H$ est appliquée à l'entrée x du deuxième multiplieur; on a donc $S_x = 1$ (signe +).

A la sortie du 2^{ème} multiplieur va apparaître la fréquence $B.|R|.H$ qui sera accompagnée du signe de B seulement. Cette fréquence est appliquée à l'entrée D du 3^{ème} multiplieur; on a de plus $S_D = S_B$.

Le fonctionnement du système est le suivant:

Au début du calcul $R = 0$, on aura lorsque R va augmenter, $|A| > |B| \cdot |R|$.

On a de plus $S_C = S_A$ et $S_D = S_B$.

Si $S_A = S_B$ donc si A et B ont même signe, $S_C = S_D$; le système va fonctionner normalement. Etant donné que $|A| > |B| \cdot |R|$, $|R|$ va augmenter jusqu'à ce que $|A| = |B| \cdot |R|$ d'où $|R| = \frac{|A|}{|B|}$ avec un signe + qui accompagne R .

Si $S_A \neq S_B$ donc si A et B sont de signe différents, $S_C \neq S_D$; le système va commuter C et D et $|A| \cdot H$ va être appliquée en décomptage.

Etant donné que $|A| > |B| \cdot |R|$ le signe " - " va apparaître dans le compteur R puisque l'on décompte. Le système se stabilisera lorsque $|A| = |B| \cdot |R|$; on aura donc dans le compteur du 3^{ème} multiplieur le nombre $-|R|$.

Remarque:

Si au lieu d'appliquer à l'entrée du 2^{ème} multiplieur la fréquence $|R| \cdot H$ on appliquait la fréquence $R \cdot H$, on aurait $S_x = S_R$. Dans le cas où $S_A \neq S_B$, le contenu du compteur R du 3^{ème} multiplieur oscillerait autour du zéro, le système de commutation étant cause de ces oscillations.

4.4: Extraction de racines :

Nous voulons extraire la racine carrée d'un nombre x tel que $|x| < 1$; $R = \sqrt{x}$ d'où $|R| < 1$.

On ne tiendra pas compte du fait que R peut être égal à $\pm\sqrt{x}$, tous les calculs seront fait en valeurs absolues. Le schéma des connexions à effectuer est représenté par la figure 4.4.

Le multiplieur (1) sert à convertir le nombre binaire x en une fréquence $|x| \cdot H$.

A l'entrée des deux autres multiplieurs on applique en C la fréquence $|x| \cdot H$ et en D la fréquence $|R|^2 \cdot H$ qui est obtenue à la sortie du multiplieur (3). Etant donné que les compteurs (2) et (3) sont attaqués de la même façon, ils auront le même contenu R .

Au début du calcul $R = 0$; $|R|$ va ensuite augmenter jusqu'à ce que $|R|^2 = x$, le système se stabilise alors et on a $|R| = \sqrt{x}$.

Remarque:

Pour extraire des racines nièmes, on place n multiplieurs en cascade. La sortie du n ^{ième} multiplieur qui délivre une fréquence $|R|^n \cdot H$ est connectée aux entrées D de tous les Multiplieurs.

Sur toutes les entrées C on applique la fréquence $|x|.H$, x étant le nombre dont on veut extraire la racine $n^{\text{ième}}$. Le premier multiplieur est attaqué par la fréquence d'horloge. (Fig.4.4 bis).

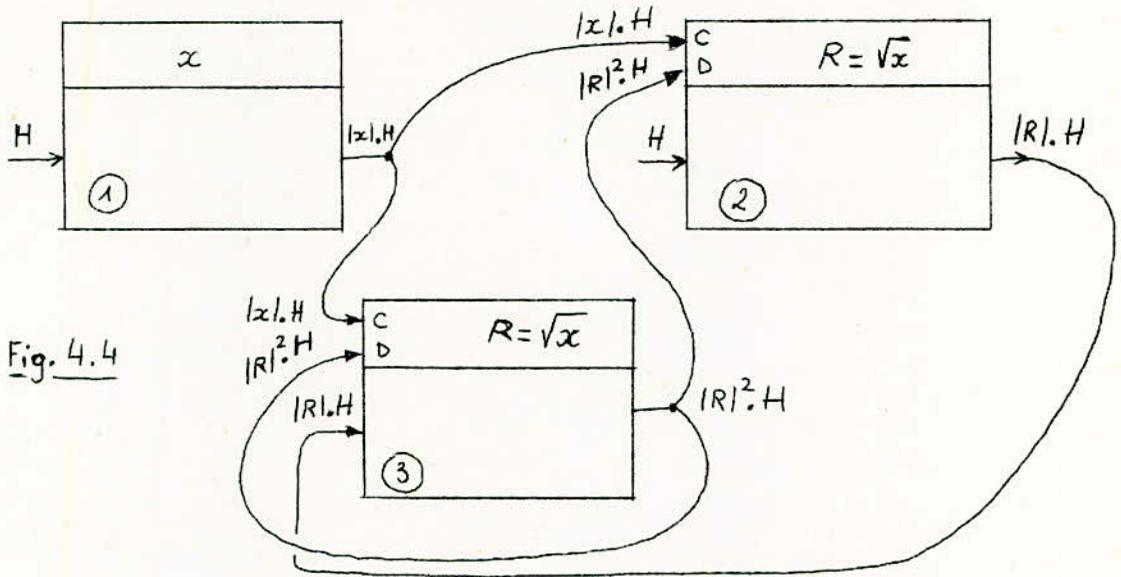


Fig. 4.4

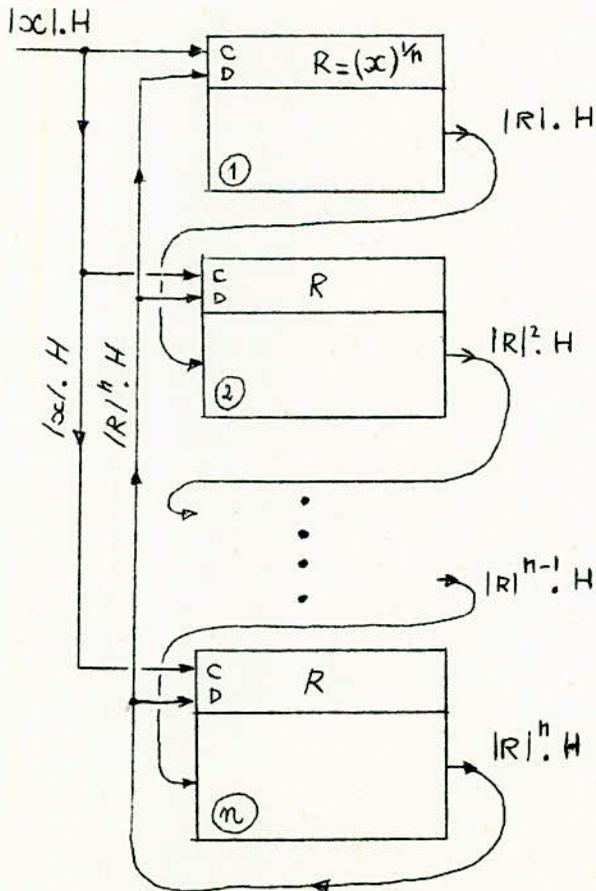


Fig. 4.4 bis.

4.5 : Fonctionnement en opérateur différentiel :

Un nombre binaire x étant représenté par une fréquence d'impulsions $x.H$ et le multiplieur ayant n bits, chaque impulsion est équivalente à la quantité $\Delta x = u = \frac{1}{2^n}$.

Si n est assez grand, la quantité u est faible, on pourra l'assimiler à une quantité différentielle d'où $u = \Delta x \simeq dx$.

On ne raisonnera plus sur la grandeur représentée par une fréquence d'impulsions, mais sur les variations de cette grandeur, qui sont les impulsions elles mêmes. Nous avons ici une certaine analogie avec le fonctionnement des machines incrémentales.

Le Multiplieur va ainsi fonctionner en opérateur différentiel ; en effet les quantités qu'il traite sont des quantités unités d'information assimilables à des différentielles. La représentation symbolique du Multiplieur fonctionnant en opérateur différentiel est donnée par la figure 4.5 .

L'opération effectuée est donc

$$dI = Y \cdot dX$$

$$Y = Y_0 + \sum_0^t \Delta Y \simeq Y_0 + \int_0^t dY$$

Si dY est appliqué à l'entrée du compteur en C, on aura $+dY$.

Si dY est appliqué à l'entrée D du compteur on a $-dY$.

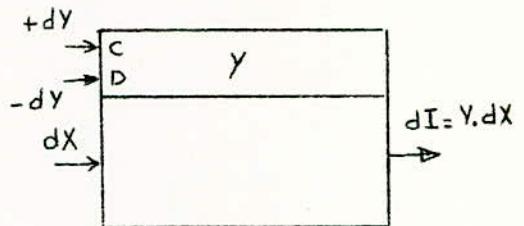


Fig. 4.5

On pourra donc effectuer des intégrations numériques approchées avec la précision désirée, en introduisant dI dans le compteur d'un autre Multiplieur où était déjà stockée la constante d'intégration. On agira sur la précision en diminuant Δx .

On pourra ainsi résoudre des équations différentielles ou même des systèmes différentiels comme nous allons le voir maintenant.

(dX est équivalent à dH)

4.6 : Fonction exponentielle :

On désire engendrer $Y = Y_0 e^{-x}$, solution de l'équation différentielle :

$$\frac{dY}{dX} + Y = 0 \quad \text{avec } Y(0) = Y_0 .$$

On a $dY = -Y.dX$, d'où on en déduit le schéma de connection (Fig. 4.6).

Avant de commencer le calcul on introduit dans le compteur Y la valeur initiale Y_0 .

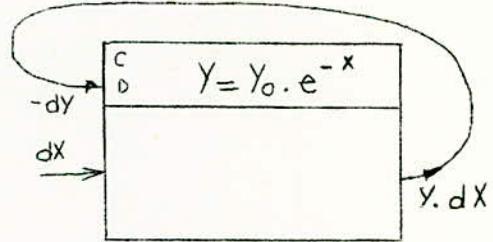


Fig 4.6

Pour engendrer $Y = Y_0 e^{+x}$ l'équation différentielle est $\frac{dY}{dX} = Y$.

On en tire $dY = +Y.dX$. Pour obtenir cette équation on introduirait $Y.dX$ en C au lieu de D.

4.7 : Fonctions Sinus et Cosinus :

On peut engendrer simultanément les deux fonctions $Y = Y_0 \sin X$ et $Z = Z_0 \cos X$ avec $Y_0 = Z_0$ sachant que ces deux fonctions sont solutions du système différentiel :

$$\begin{cases} \frac{dY}{dX} = Z = 0 \\ \frac{dZ}{dX} + Y = 0 \end{cases} \quad \begin{cases} Y_0 = 0 \\ Z_0 = Y_0 \end{cases}$$

On en tire $dY = Z.dX$ et $dZ = -Y.dX$. D'où le schéma de connection (Fig. 4.7)

Avant le calcul on remet à 0 le compteur Y et on introduit Y_0 dans le compteur Z.

La résolution de ce système différentiel revient à la résolution de l'équation du 2^{ème} ordre :

$$\frac{d^2 Y}{dX^2} + Y = 0 \quad \text{avec } Y(0)=0$$

en posant $\frac{dY}{dX} = Z$ avec $Z(0)=1$, on retrouve $\frac{dZ}{dX} = -Y$.

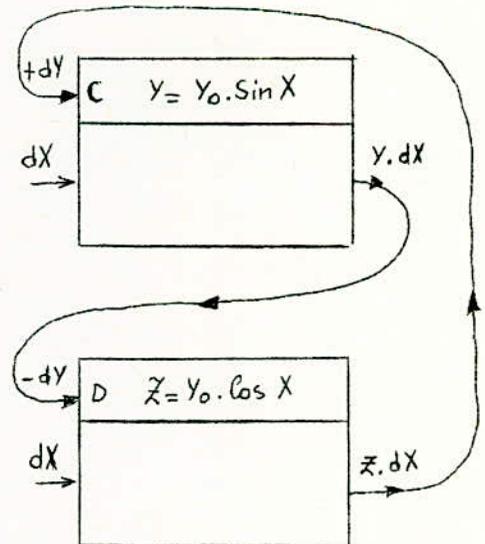


Fig. 4.7

4.8 : Equations différentielles quelconques :

Pour trouver le schéma de connection à effectuer pour résoudre une équation différentielle quelconque, il faut essayer de se ramener à des équations de la forme $dY = \pm U.dX$, U pouvant être défini par une équation de la même forme.

Si nous avons $dY = + U.dX$, ceci veut dire que la sortie $U.dX$ doit être connectée à l'entrée C du compteur Y; si $dY = - U.dX$ on connectera cette sortie à l'entrée D du compteur Y.

Nous ne pourrions pas résoudre cependant tous les genres d'équations différentielles, en effet il nous manque un organe essentiel qui est le sommateur.

On peut s'en apercevoir en essayant de résoudre l'équation :

$$\frac{d^2X}{dt^2} + \frac{dX}{dt} + X = 0 \quad \text{avec } X(0) = X_0$$

Si nous posons $\frac{dX}{dt} = Y$ on obtient $\frac{dY}{dt} = -Y - X = -(Y + X)$.

Ceci revient à avoir $dX = Y.dt$ et $dY = -(Y.dt + X.dt)$!

La somme $Y.dt + X.dt$ ne peut être effectuée sans un organe supplémentaire. Cet organe, qui doit nous permettre de sommer des impulsions, pourra être un système d'anticoïncidence qui sera placé devant chaque entrée C et D. Les deux sorties du système d'anticoïncidence seront groupées en une seule au moyen d'un circuit OU, cette sortie unique sera connectée en C ou en D. (Fig. 4.8).

En généralisant, le système d'anticoïncidence aura n entrées, ce qui nous permettra de sommer n termes.

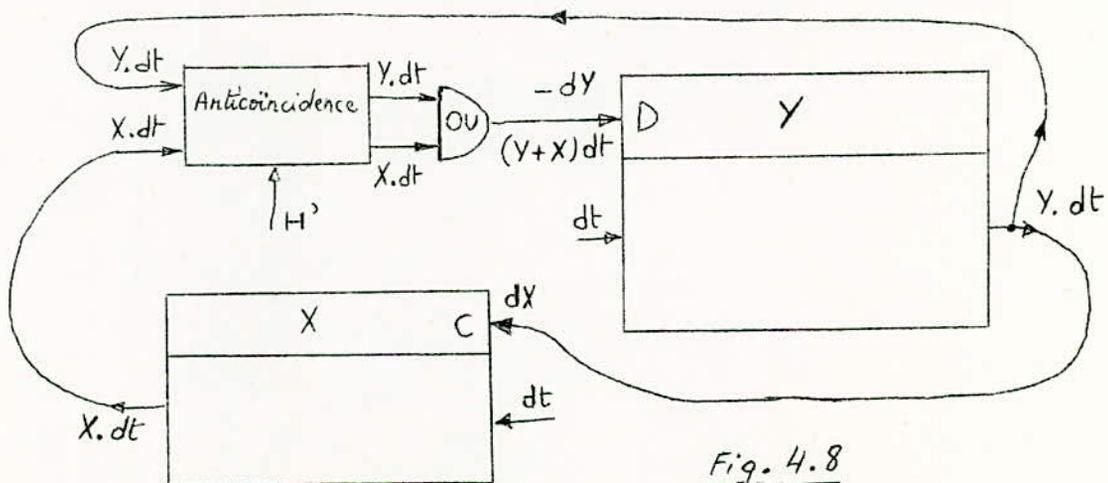


Fig. 4.8

4.9 : Visualisation à l'oscilloscope :

Il est possible de faire apparaître les fonctions obtenues par résolution des équations différentielles, à l'oscilloscope.

Pour cela, on devra disposer d'un convertisseur Binaire-Analogique qui va transformer le nombre binaire variable représentant la fonction à visualiser, en une tension proportionnelle à ce nombre binaire.

Cette tension sera appliquée à un oscilloscope, ce qui nous permettra de voir les courbes obtenues, comme cela se passe pour un calculateur analogique. (Fig. 4.9).

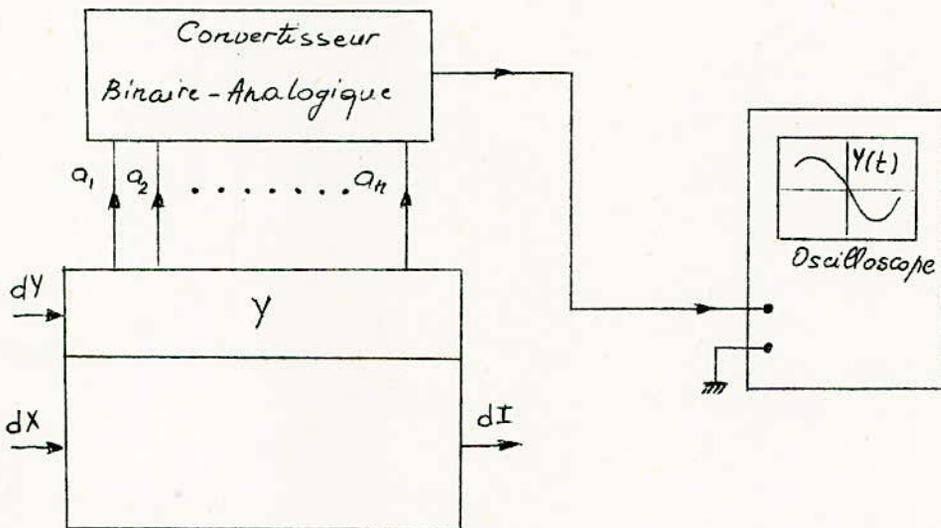


Fig. 4.9.

CHAPITRE V

REALISATION PRATIQUE.

5.1 : Horloge et monostables :

5.1.1 : Horloge :

Les plaquettes logiques utilisées sont conçues pour fonctionner jusqu'à une fréquence limite de 1 MHz. L'horloge sera donc conçue pour fonctionner autour de cette fréquence. Nous utiliserons un multivibrateur monté de telle façon que l'on puisse faire varier la fréquence au moyen d'une résistance variable R_a (Fig.5.1).

La période du multivibrateur est $T = 2 \times 0,69 C(R_a + R)$ d'où

$$T = 1,38 (R_a + R)C.$$

Nous choisirons un grand domaine de variation pour la fréquence d'horloge. Nous pourrions ainsi déterminer la fréquence à laquelle le multiplieur ne fonctionnera plus normal ment. On choisit :

$$500 \text{ KHz} < F_h < 2 \text{ MHz} \quad \text{d'où}$$

$$0,5 \mu\text{s} < T_h < 2 \mu\text{s}$$

Si nous prenons $C = 100 \text{ pF}$ on aura :

pour $F = 500 \text{ KHz}$	\nearrow	$R_a + R = 3,625 \text{ K}\Omega$
$F = 2 \text{ MHz}$	\searrow	$R_a + R = 145 \text{ K}\Omega$

On prendra $R = 3,6 \text{ K}\Omega$ (5%), et pour R_a un potentiomètre ajustable au carbone de $200 \text{ K}\Omega$.

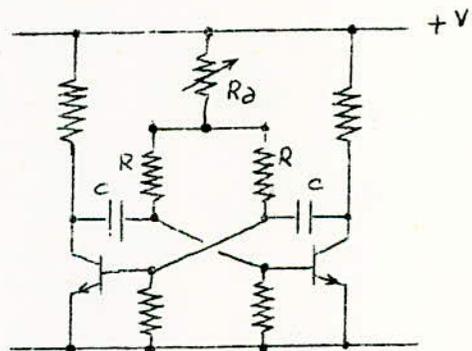


Fig. 5.1

5.1.2 : Monostables :

Nous utilisons 3 monostables dans le montage. Ils doivent être tels que la largeur des impulsions qu'ils délivrent soit inférieure à la demi-période d'horloge.

T_h minimum est égal à $0,5 \mu s$, d'où $T_m < 0,25 \mu s$, on prendra donc

$T_m = 0,2 \mu s$. Comme $T_m = 0,69 RC$ on aura :

Si $C = 100 \text{ pF}$ on aura $R = 2,9 \text{ K}\Omega$

On prendra la valeur normalisée $R = 2,7 \text{ K}\Omega$!

L'horloge et les monostables sont réalisés au moyen de plaquettes 2 B5 .

5.2 : Compteur-décompteur Y et compteur X :

5.2.1 : Compteur-décompteur Y :(12 bits).

Il est réalisé à l'aide de plaquettes B 12. Les entrées E et F sont reliées par un court-circuit afin d'obtenir une seconde entrée Trigger.

Nous utilisons l'entrée G pour la remise à 0.

l'entrée P pour la mise aux conditions initiales.

Les modules logiques sont réalisés au moyen de plaquettes L 13. On a combiné les entrées de façon à avoir deux circuits ET sur la même plaquette.

ML 1-8 indique que nous avons 1 ET à 1 entrée et

1 ET à 8 entrées.

Nous utilisons au total 12 plaquettes B 12 et 12 plaquettes L 13. La régénération des fonctions intermédiaires I et J est faite par une plaquette 2 AL 5 .

5.2.2 : Compteur X :(12 bits).

Le compteur X ne nécessitant pas de remise à 0 et de mise aux conditions initiales, peut être réalisé au moyen de plaquettes 2 B5.

Les modules logiques sont identiques, cependant comme nous n'utilisons pas de régénération de la fonction intermédiaire I, on utilise des ET à 9, 10, 11, 12 entrées qui sont montés sur des plaquettes L 13 et répertoriés ML 9, ML 10, ML 11 et ML 12.

On utilise au total 6 plaquettes 2 B5 et 8 plaquettes L 13.

Cablage des systèmes de
Commutation, Anticoïncidence, VA+S, Produit des signes
Amplis pour lampes.

	A ⁰	B ⁺	C	D	E	F	G	H	J	K	L	M	N	P	Q	R
1			5c			5d				5x						5p
4 IL3			2C		2E	2D			2F	2N		2K	2Q			
2			1C	1F	1E	1J		3C		1M	7R 9C	7Q	1K		1N	
L 13																
3			2H		4R	4N	38R	8G	8D	8Q			13P	8R		14P
4 A																
4			5G	4E	4D	4C		C	4H	D	4K		3F	4R	4N	3E
4 PI			4F		5P			4J	4L	4L	4K		4Q			4P
5						6H	4C	6E					6Q	4E	6M	
2 B5																
6					5H		56Q	7F	8F			5Q		56R	7E	8C
2 B5								5F							5N	
7	7M		7D	8G	6Q	6H	RAZ					7A		CIS	2M	2L
B 12			7C												8K	8N
8			6R	3J		6J	3H			7Q			7R		3K	3P
L 13						7D										
9			2L		LSy											
4 IL3																
10			37R		La1	36R			La2	35R		La3	34R			La4
4 IL3																
11			33R		La5	32R			La6	31R		La7	30R			La8
4 IL3																
12			29R		La9	28R			La10	27R		La11	26R			La12
4 IL3																

Sc, Sd, Sx, Sp, Cet D sont les entrées du multiplieur.

La1, La2, ...La12 sont les sorties qui alimentent les lampes d'affichage.

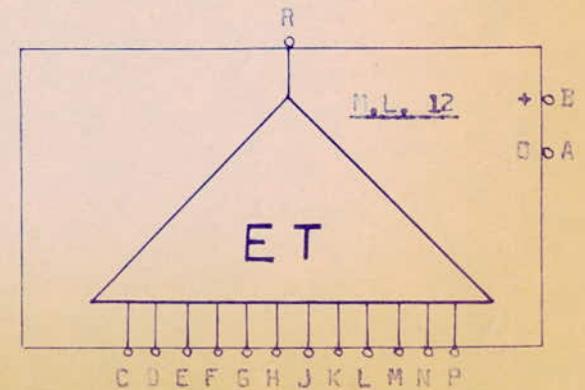
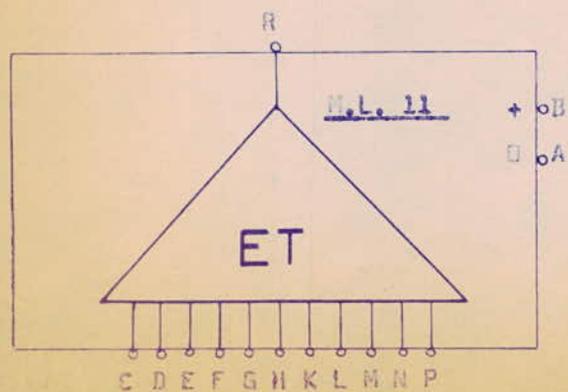
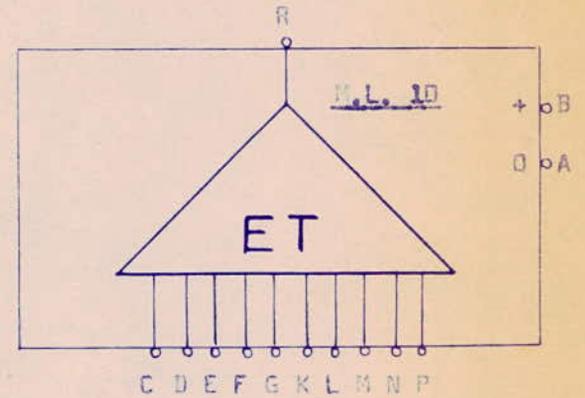
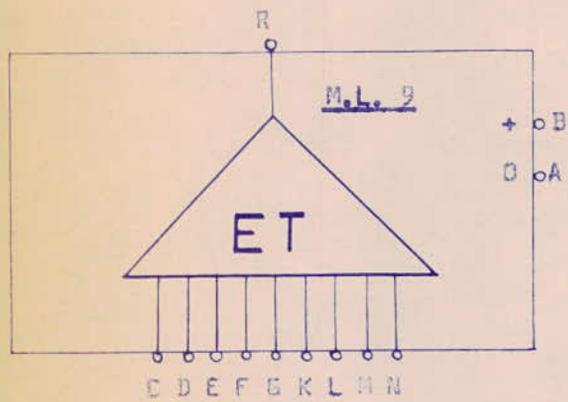
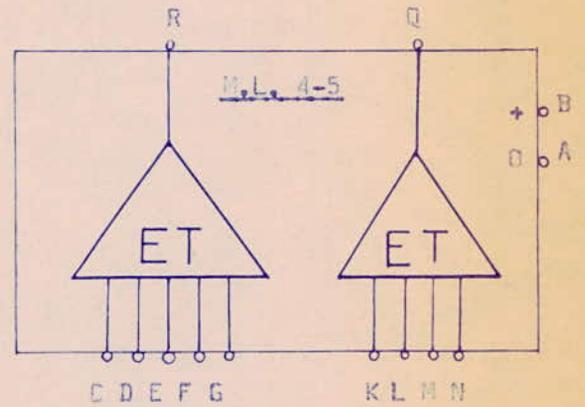
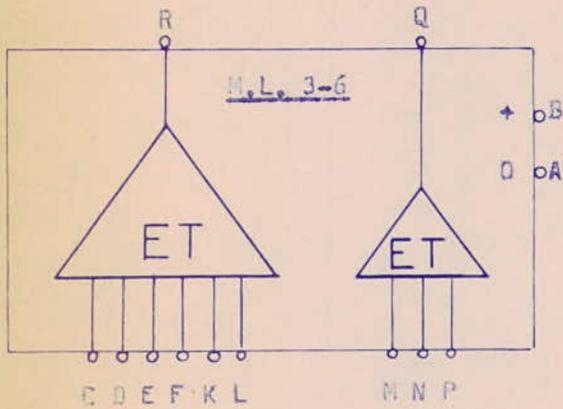
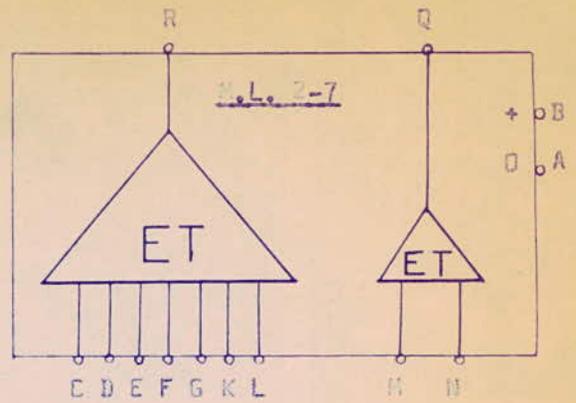
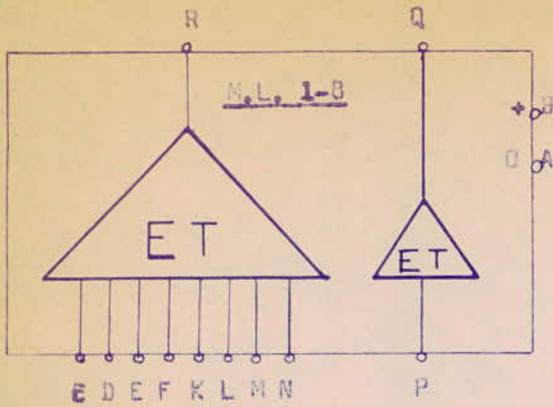
COMPTEUR X, OU pour Impulsions

Mise en forme.

	A ⁰	B ⁺	C	D	E	F	G	H	J	K	L	M	N	P	Q	R
38	Alim	alim	21K	21L	21M	21N	21P	13D	13E	13F	13K	13L	13M	37Q		3G
L 13			53N	53P	53Q	53R	54N	54P	54Q	54R	55N	55P	55Q	55R		
39			40C	40D	40E	40F				40G	40K	50J	40L	X	47F	50N
L 13			43C	43D	43E	43F				43G	43K	43L	43N	40N		
40			41C	41D	41E	41F	41K			49R	41L	47J	39P		47N	50F
L 13			39C	39D	39E	39F	39K			39L	39N	41M	41P			
41			42C	42D	42E	42F				49J	42G	40M	47R	40N	48F	49N
L 13			40C	40D	40E	40F				40G	40L	42K	42L	42N		
42			42K	42L	42M	48R	42N			41M	41N	48J	41P		48N	49F
L 13			41C	41D	41E	41F	41L			42C	42D	42E	42G			
43			39C	39D	39E	39F	39K			39L	39M	50R	39N			51F
L 13			44C	44D	44E	44F	44G			44K	44L	44M	44P			
44			43C	43D	43E	43F	43G			43K	43L	43M	51J	43N		51N
L 13			45C	45D	45E	45F	45G			45H	45K	45L	45M	45P		
45			44C	44D	44E	44F	44G	44K		44L	44M	44N	51R	44P		52F
L 13			46C	46D	46E	46F	46G	46H		46J	46K	46L	46M	46P		
46			45C	45D	45E	45F	45G	45H	45K	45L	45M	45N	52J	45P		52N
L 13																
47						47G	47F	55H	40M				47P	47N	55J	41N
2 B5						39Q							40Q			
48						48G	48F	55K	42M				48P	48N	55L	42F
2 B5						41Q							42Q			
49						49G	49F	54H	41K				49P	49N	54J	40K
2 B5						42R							41R			
50						50G	50F	54K	39M				50P	50N	54L	43M
2 B5						40R							39R			
51						51G	51F	53H	44N				51P	51N	53J	45N
2 B5						43R							44R			
52						52G	52F	53K	46N				52P	52N	53L	
2 B5						45R							46R			
53			53D	53C	53D	53E		51H	51Q	52H	52Q		38C	38D	38E	38F
4 PI				53E	53F	54C										
54			53F	54C	54D	54E		49H	49Q	50H	50Q		38G	38H	38J	38K
4PI			54D	54E	54F	55C										
55			54F	55C	55D	55E		47H	47Q	48H	48Q		38L	38M	38N	38P
4 PI			55D	55E	55F	56G										
56															H	H
2 B5							55F		P						6G	6P

X est l'entrée du compteur x. (39P)
 P est la sortie du multiplieur. (56J)

MODULES LOGIQUES



CONCLUSION

Le Multiplieur Binaire, que les Anglo-saxons appellent " Pulse Rate Computer "; c'est à dire " Calculateur à débit d'impulsions ", est un organe numérique dont le principe de fonctionnement, et le mode de connexion, est très approché de celui des calculateurs analogiques. En effet, les opérations dont les résultats apparaissent sous forme numérique sont en réalité effectuées au moyen de débits d'impulsions, ce mode de fonctionnement étant analogique. Le Multiplieur Binaire, et par extension les calculateurs incrémentaux, sont des organes hybrides, semi-analogiques et semi-numériques.

Les calculateurs numériques étant les plus précis, et les calculateurs analogiques les plus rapides, il semble que le calculateur idéal serait hybride, solution de compromis entre les exigences de rapidité et de précision. On peut donc penser que les calculateurs incrémentaux vont jouer un rôle de plus en plus important dans la technique du calcul numérique actuellement en pleine extension.

Les opérations effectuées par les Multiplieurs sont aussi nombreuses que variées: multiplication, division, extraction de racines d'ordre n , résolution d'équations et de systèmes différentiels.

Il est possible de concevoir un calculateur numérique n'utilisant que des Multiplieurs; les connexions entre multiplieurs seraient effectuées par un système annexe commandé manuellement, ou, pourquoi pas, par l'un des systèmes classiques d'entrée des calculatrices modernes; il faudrait alors ajouter un système de décodage.

On peut citer quelques applications possibles des Multiplieurs: Ils peuvent servir de calculateurs spécialisés placés dans une boucle de régulation d'un système industriel.

On les emploie en Physique et en chimie pour calculer les surfaces de certains spectres, ils servent alors d'intégrateurs numériques.

En connectant deux Multiplieurs pour qu'ils donnent les fonctions Sinus et Cosinus et en agissant sur l'horloge de ces multiplieurs, on pourrait s'en servir comme générateur de fréquences ultra-basses; il serait possible d'obtenir des périodes de plusieurs heures.

Nous voyons que le nom qui à été donné à ces organes ne permet pas de juger au premier abord de leur vaste champ d'applications.

BIBLIOGRAPHIE

FLORINE : Synthèse des systèmes logiques et son automatisation
(DUNOD)

FLORINE : Automatismes à séquences et Commande numérique.
(DUNOD 1969)

MONROE : Digital processes for sampled data system.
(WILEY & SONS)

LEDLEY : Digital Computer (Mac GRAW HILL)

PHISTER : Logical design of electronic computers.

De PAEPE : Générateur de bruit et analyseur de fonction de corrélation.
(Bruxelles 1967)

4 PI : 4 portes inhibitrices

C'est une plaque passive de logique en impulsions devant être associée à une autre plaque comportant des éléments régénérateurs comme : 2 B5 , B 12 ...

Elle comporte 4 portes inhibitrices qui peuvent être groupées pour former un " OU pour impulsions ".

Tableau: Voir 4 A.

Connecteurs:

A B C D E F G H J K L M N P Q R
O + S₁ S₂ S₃ S₄ E₁ E₂ E₃ E₄ I₁ I₂ I₃ I₄

