

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE
MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA
RECHERCHE SCIENTIFIQUE

ÉCOLE NATIONALE POLYTECHNIQUE



Département Electrotechnique

Mémoire de projet de fin d'études

Pour l'obtention du diplôme d'ingénieur d'état en Electrotechnique

Étude et implémentation de la MLI vectorielle d'un onduleur triphasé
en utilisant les circuits FPGA

Présenté par : HAIDRA Ali et SIAD Mohamed

Sous la Direction de **Pr.BERKOUK El Madjid** et
Pr.IMARAZENE Khoukha

Présenté et soutenu publiquement le (02/07/2025)

Composition du jury :

Président :	Pr.MO.Mahmoudi	ENP
Examineur :	Pr.S.Hadji	ENP
Encadrant :	Pr.BERKOUK El Madjid	ENP
Encadrante :	Pr.IMARAZENE Khoukha	USTHB

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE
MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA
RECHERCHE SCIENTIFIQUE

ÉCOLE NATIONALE POLYTECHNIQUE



Département Electrotechnique

Mémoire de projet de fin d'études

Pour l'obtention du diplôme d'ingénieur d'état en Electrotechnique

Étude et implémentation de la MLI vectorielle d'un onduleur triphasé
en utilisant les circuits FPGA

Présenté par : HAIDRA Ali et SIAD Mohamed

Sous la Direction de **Pr.BERKOUK El Madjid** et
Pr.IMARAZENE Khoukha

Présenté et soutenu publiquement le (02/07/2025)

Composition du jury :

Président :	Pr.MO.Mahmoudi	ENP
Examineur :	Pr.S.Hadji	ENP
Encadrant :	Pr.BERKOUK El Madjid	ENP
Encadrante :	Pr.IMARAZENE Khoukha	USTHB

ملخص

يعرض هذا العمل تنفيذ خوارزمية للتحكم بالتقنية الشعاعية من أجل قيادة محول ثلاثي الطور بثلاثة مستويات، وذلك باستخدام لوحة إلكترونية قابلة للبرمجة ميدانيًا، ولغة وصف العتاد. الهدف من هذا العمل هو توليد توتر ذو خرج عالي الجودة في الزمن الحقيقي. تظهر نتائج المحاكاة أن هذه الطريقة تتيح تحكمًا دقيقًا، وتقليلًا كبيرًا في معدل التشوه التوافقي، وتحسينًا في شكل الموجة، وذلك بفضل توليد سبعة وعشرين شعاعًا للتوتر.

الكلمات المفتاحية: التحكم الشعاعي، محول بثلاثة مستويات، لوحة إلكترونية قابلة للبرمجة، لغة وصف العتاد، الزمن الحقيقي، معدل التشوه التوافقي.

Abstract

This work presents the implementation of a vector modulation algorithm to control a three-phase three-level inverter, using an FPGA board and the VHDL language. The objective is to generate a high-quality output voltage in real time. The simulation results show that this method allows precise control, a significant reduction of the THD, and a better waveform, thanks to the generation of 27 voltage vectors.

Keywords : Space Vector Modulation, Three-Level Inverter, FPGA, VHDL, Real-Time, Total Harmonic Distortion.

Résumé

Ce travail présente la mise en œuvre d'un algorithme de modulation vectorielle pour contrôler un onduleur triphasé à trois niveaux, en utilisant une carte FPGA et le langage VHDL. L'objectif est de générer une tension de sortie de haute qualité en temps réel. Les résultats de simulation montrent que cette méthode permet un contrôle précis, une réduction significative du THD et une meilleure forme d'onde, grâce à la génération de 27 vecteurs de tension.

Mots clés : Modulation vectorielle, onduleur à trois niveaux, FPGA, VHDL, temps réel, Taux de Distorsion Harmonique.

Remerciements

Nous tenons tout d'abord à exprimer notre profonde gratitude à Monsieur BERKOUK El Madjid et Madame IMARAZENE Khoukha, nos encadrants, pour la qualité de leur accompagnement, leurs précieux conseils et leur disponibilité tout au long de ce travail. Nous adressons également nos sincères remerciements aux membres du jury pour l'honneur qu'ils nous font en acceptant d'évaluer notre travail, ainsi que pour l'intérêt et l'attention qu'ils ont portés à ce mémoire.

Nos remerciements vont aussi à toutes les personnes qui, de près ou de loin, nous ont apporté leur aide, leurs conseils ou leurs encouragements durant cette période. Nous remercions également nos collègues de l'École Nationale Polytechnique pour leur soutien, leur solidarité et les moments de partage qui ont marqué ces années d'études.

Enfin, nous tenons à exprimer toute notre reconnaissance à l'ensemble de nos professeurs pour la qualité de leur enseignement et leur engagement tout au long de notre parcours académique.

SIAD Mohamed et HAIDRA Ali.

Table des matières

Liste des tableaux

Table des figures

Introduction générale	11
1 Modélisation et commande de l'onduleur à deux niveaux	12
1.1 Introduction	12
1.2 La structure de base de l'onduleur à deux niveaux	12
1.2.1 Fonctions de commutation	13
1.2.2 Etats d'un bras de l'onduleur	13
1.2.3 Tensions de sortie	14
1.3 Stratégies de commande	16
1.3.1 La commande pleine onde	16
1.3.2 Résultats de simulation et interprétations	17
1.3.3 La modulation de largeur d'impulsion (MLI)	19
1.3.4 Résultats de simulation et interprétations	20
1.4 Conclusion	26
2 Modélisation et commande de l'onduleur à trois niveaux	27
2.1 Introduction	27
2.2 La structure de base de l'onduleur à trois niveaux	27
2.2.1 Fonctions de commutation	28
2.2.2 Etats d'un bras de l'onduleur	29
2.2.3 Tensions de sortie	32
2.3 Stratégies de commande	33

2.3.1	La commande pleine onde	33
2.3.2	Résultats de simulation et interprétations	34
2.3.3	La modulation de largeur d'impulsion (MLI)	36
2.3.4	Résultats de simulation et interprétations	36
2.4	Conclusion	42
3	Stratégie de modulation vectorielle d'un onduleur à trois niveaux (SVM)	43
3.1	Introduction	43
3.2	Principe général de la modulation par vecteur spatial (SVM)	44
3.2.1	Vecteur tension de sortie et diagramme vectoriel	45
3.2.2	Détermination du secteur	46
3.2.3	Détermination de la région	46
3.2.4	Définition de la période d'échantillonnage dans la MLI vectorielle	47
3.2.5	Séquence des états de l'onduleur	47
3.2.6	Résumé de l'algorithme SVM pour l'onduleur triphasé à trois niveaux . .	52
3.2.7	Résultats de simulation et interprétations	53
3.3	Conclusion	63
4	Implémentation de la stratégie SVM sur un circuit FPGA	64
4.1	Introduction :	64
4.2	Méthodologie de conception	65
4.3	Qu'est-ce qu'un FPGA ?	65
4.4	Domaines d'application de l'FPGA	66
4.5	Avantages et inconvénients des FPGA	66
4.6	Architecture interne des FPGA	67
4.6.1	Structure des CLB	68
4.6.2	Structure des IOB	69
4.7	Description de la carte :	70
4.7.1	Caractéristiques de la carte SPARTAN-3E :	70
4.7.2	Les spécifications de la carte :	71
4.8	Le langage VHDL	71
4.8.1	Structure du langage VHDL	72

4.9	Le logiciel Xilinx ISE	73
4.9.1	Création d'un nouveau projet	74
4.9.2	Sélection du FPGA et des outils de développement	75
4.9.3	Les différents types de fichiers utilisés dans un projet	76
4.10	Implementation de la commande MLI vectorielle sur FPGA	77
4.11	Visualisation des signaux avec ModelSim	77
4.12	Configuration de la carte FPGA - SPARTAN-3E	80
4.12.1	Étapes de la configuration	80
4.12.2	Résultats expérimentaux et interprétations	81
Conclusion générale		87
Bibliographie		90
Annexe A : les charges utilisé		92
Annexe B : les charges utilisé		93

Liste des tableaux

1.1	Table d'excitation pour $N=2$	14
2.1	Etats d'un bras de l'onduleur	30
3.1	Décomposition par région pour la SVM d'un onduleur à trois niveaux	49
3.2	Temps de commutation T_x , T_y et T_z pour chaque région du SVM d'un onduleur à trois niveaux	49
3.3	Séquences des états dans les différentes régions du diagramme vectoriel	50
3.4	Durées de fermeture des interrupteurs dans le cas du premier secteur	52
4.1	Les domaines d'applications	66
4.2	Les avantages et les inconvénients	66
4.3	Caractéristiques techniques de la carte FPGA Spartan-3E	70

Table des figures

1.1	Structure de base de l'onduleur à deux niveaux	13
1.2	Etats d'un bras de l'onduleur à deux niveaux.	14
1.3	La forme des signaux de commande F11 et F21 pour l'onduleur à deux niveaux .	17
1.4	La forme des signaux de commande de F11 et F21 pour l'onduleur à deux niveaux	18
1.5	La tension de sortie Vam de l'onduleur à deux niveaux	18
1.6	La tension composée Uab de l'onduleur à deux niveaux	18
1.7	La tension simple Van	19
1.8	Analyse harmonique de Van (V)	19
1.9	Résultats de simulation pour m=9 et r=0.8	21
1.10	Résultats de simulation pour m=21 et r=0.8	22
1.11	Résultats de simulation pour m=36 et r=0.8	23
1.12	Résultats de simulation pour m=36 et r=0.4	24
1.13	Résultats de simulation pour m=36 et r=0.2	25
2.1	Structure NPC de l'onduleur à trois niveaux	28
2.2	Etats d'un bras de l'onduleur à trois niveaux	29
2.3	Etats de l'onduleur	31
2.4	La forme des signaux de commande F_{11} et F_{21} pour l'onduleur à trois niveaux .	34
2.5	La forme des signaux de commande des interrupteurs de premier bras pour l'onduleur à trois niveaux	35
2.6	Résultats de fonctionnement de l'onduleur à 3 niveaux avec la commande pleine onde.	35
2.7	Signaux de référence et porteuses triangulaires	36
2.8	Résultats de simulation pour m=36 et r=0.2	37
2.9	Résultats de simulation pour m=36 et r=0.4	38
2.10	Résultats de simulation pour m=36 et r=0.8	39

2.11	Résultats de simulation pour $m=21$ et $r=0.8$	40
2.12	Résultats de simulation pour $m=9$ et $r=0.8$	41
3.1	Vecteur tension de référence.	45
3.2	Secteurs et régions du diagramme vectoriel	47
3.3	Etats X, Y et Z pour les différentes régions du diagramme vectoriel.	48
3.4	Fonctions logiques F_{ij} dans les quatre régions du premier secteur	51
3.5	Résultats de simulation pour $T_s=T/10$ et $m=0.2$	54
3.6	Résultats de simulation pour $T_s=T/10$ et $m=0.8$	55
3.7	Résultats de simulation pour $T_s=T/10$ et $m=1$	56
3.8	Résultats de simulation pour $T_s=T/100$ et $m=0.2$	57
3.9	Résultats de simulation pour $T_s=T/100$ et $m=0.8$	58
3.10	Résultats de simulation pour $T_s=T/100$ et $m=1$	59
3.11	Résultats de simulation pour $T_s=T/200$ et $m=0.2$	60
3.12	Résultats de simulation pour $T_s=T/200$ et $m=0.8$	61
3.13	Résultats de simulation pour $T_s=T/200$ et $m=1$	62
4.1	Méthodologie de conception d'un FPGA	65
4.2	L'architecture interne d'un FPGA	67
4.3	Architecture d'un SLICE de famille Virtex	68
4.4	Architecture d'un CLB de famille Virtex	68
4.5	Architecture d'un IOB de famille Virtex	69
4.6	Carte FPGA SPARTAN-3E	70
4.7	La structure d'une entité	72
4.8	La structure d'une architecture	72
4.9	La structure d'un code VHDL	73
4.10	L'interface de logiciel Xilinx ISE	73
4.11	Création d'un nouveau projet Xilinx ISE	74
4.12	Le choix de modèle.	75
4.13	Les paramètres de projet	76
4.14	Les différents types de fichiers utilisés dans un projet	77
4.15	Le temps mort entre F11 et F31	78

4.16 Temps mort entre F12 et F32	78
4.17 Les signaux de commande de F11 et F31 sur 3 périodes	78
4.18 Les signaux de commande de F12 et F32 sur 3 périodes	78
4.19 Les signaux de commande de F11 et F31 sur une période	79
4.20 Les signaux de commande de F12 et F32 sur une période	79
4.21 Les signaux de commande de F11 et F31 sur $T/4$	79
4.22 Les signaux de commande de F12 et F32 sur $T/4$	79
4.23 Le déphasage 120° entre F11 et F12	80
4.24 Le déphasage 120° entre F12 et F13	80
4.25 Le déphasage 240° entre F11 et F13	80
4.26 Le tableau de correspondance des broches	81
4.27 Validation et implémentation du programme VHDL	81
4.28 Les signaux de commande de F11 et F31 sur trois périodes	82
4.29 Les signaux de commande de F21 et F41 sur trois périodes	83
4.30 Les signaux de commande de F11 et F31 sur 0,25ms	83
4.31 Les signaux de commande de F21 et F41 sur 0,25ms	83
4.32 Le déphasage de 120° entre F11 et F12	84
4.33 Le déphasage de 240° entre F11 et F13	84
4.34 La tension V_{an} et la tension V_{bn}	84
4.35 Les signaux de commande de F11 et F31	85
4.36 La tension simple V_{an}	85
4.37 La tension de premier bras VAM.	85
4.38 Le banc d'essai	86

Introduction générale

Le développement rapide des algorithmes de commande performants pour les machines à courant alternatif nécessite des dispositifs de réglage tout aussi efficaces, tant en termes de tension que de fréquence d'alimentation. Parmi les solutions les plus couramment adoptées aujourd'hui, les onduleurs à trois niveaux occupent une place prépondérante [9].

Afin d'améliorer la qualité de la tension délivrée par ces convertisseurs statiques, de nombreuses topologies ont été étudiées puis développées. Dans le secteur industriel, trois structures principales sont largement commercialisées : la structure NPC (Neutral Point Clamped), les structures imbriquées, ainsi que les onduleurs en cascade (en H) [9].

La forme de la tension de sortie dépend également de la stratégie de commande utilisée. Plusieurs méthodes ont été mises au point, notamment la commande en pleine onde et les techniques de modulation de largeur d'impulsion (MLI), telles que la modulation triangulo-sinusoïdale, la commande par hystérésis, ou encore la modulation vectorielle [10].

Ce projet de fin d'études se concentre sur l'étude de l'onduleur à trois niveaux de type NPC. Il débute par la modélisation mathématique de l'onduleur à deux niveaux, suivie de l'analyse détaillée de deux stratégies de commande : la commande en pleine onde et la commande triangulo-sinusoïdale. Le deuxième chapitre aborde ensuite la modélisation mathématique de l'onduleur à trois niveaux, accompagnée de l'étude des mêmes stratégies de commande adaptées à cette topologie. La stratégie dite Space Vector Modulation PWM (SVM) pour l'onduleur à trois niveaux est ensuite programmée sous MATLAB/Simulink, et les résultats de simulation obtenus sont présentés et interprétés. Enfin, la SVM est programmée en langage VHDL et réalisée matériellement sur une carte FPGA afin de générer les signaux de commande nécessaires pour le contrôle en temps réel d'un onduleur à 12 IGBTs.

Ce mémoire est structuré en 4 chapitres de la manière suivante :

Chapitre 1 : Modélisation et commande de l'onduleur à deux niveaux

Chapitre 2 : Modélisation et commande de l'onduleur trois niveaux à structure NPC

Chapitre 3 : Stratégie de modulation vectorielle d'un onduleur à trois niveaux (SVM)

Chapitre 4 : Implémentation de la stratégie SVM sur un circuit FPGA

Enfin, nous terminerons ce mémoire par les principales conclusions et quelques perspectives.

Chapitre 1

Modélisation et commande de l'onduleur à deux niveaux

1.1 Introduction

Dans le domaine industriel, les entraînements électriques requièrent de plus en plus des vitesses variables. À cet égard, les progrès réalisés en électronique de puissance ont permis le développement de nombreuses solutions permettant de piloter efficacement des moteurs en courant alternatif à vitesse variable. Parmi ces solutions, on distingue les onduleurs autonomes commandés par Modulation de Largeur d'Impulsion (MLI) [9].

Un onduleur est un convertisseur statique qui assure la conversion d'une source de tension continue en une tension alternative. Alimenté en tension continue, il modifie périodiquement les connexions entre l'entrée et la sortie afin de générer une tension alternative. Pour améliorer la qualité de la tension de sortie, plusieurs techniques de MLI ont été proposées dans la littérature [9].

Dans ce chapitre, nous nous intéressons à l'onduleur triphasé à deux niveaux commandé d'abord avec la stratégie pleine onde puis par la stratégie triangulo-sinusoidale. Ce chapitre comprend d'abord la modélisation mathématique de l'onduleur, suivie de sa simulation sous le logiciel MATLAB. Enfin, les résultats de simulation sont présentés et analysés en détail .

1.2 La structure de base de l'onduleur à deux niveaux

La Figure (1.1) présente la structure de base de l'onduleur à deux niveaux. Celui-ci est constitué de six interrupteurs bidirectionnels répartis en trois phases, ainsi que de deux condensateurs à l'entrée, alimentés par une même source de tension continue. Ces condensateurs permettent d'accéder au point milieu noté M .

Les interrupteurs appartenant au même bras ne doivent jamais conduire simultanément, afin de protéger la source de tension V_{dc} . Pour cela, la commande complémentaire du système doit être respectée.

La tension de sortie du convertisseur est obtenue par la **combinaison appropriée des états des interrupteurs**, ce qui permet de l'exprimer mathématiquement à l'aide de fonctions décrivant l'état de conduction des semi-conducteurs.

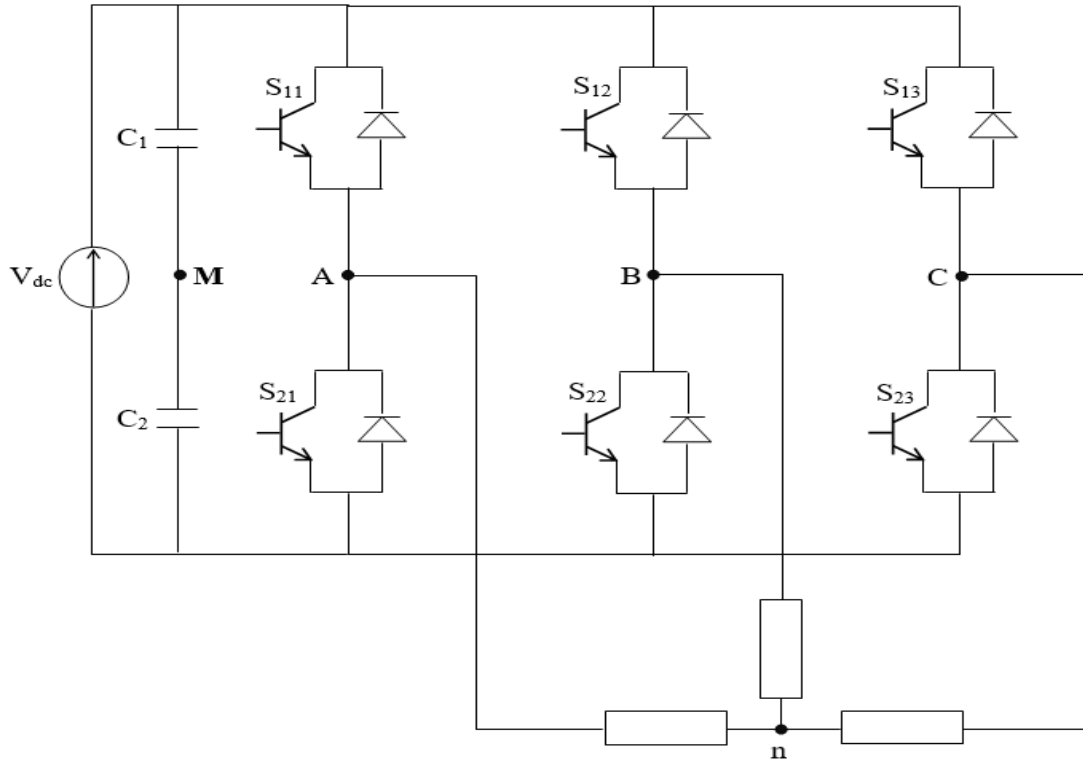


Figure 1.1 : Structure de base de l'onduleur à deux niveaux

1.2.1 Fonctions de commutation

On note par S_{ij} les six interrupteurs de notre onduleur, tel qu'à chaque interrupteur S_{ij} est associée une fonction de commutation F_{ij} qui prend la valeur 0 ou 1 selon l'état de l'interrupteur (ouvert ou fermé), comme montré dans l'équation (1.1) [5].

$$F_{ij} = \begin{cases} 0 & \text{si } S_{ij} \text{ est ouvert} \\ 1 & \text{si } S_{ij} \text{ est fermé} \end{cases} \quad (1.1)$$

Tel que :

- $i = 1$ ou 2 représente l'interrupteur supérieur ou inférieur,
- $j = 1, 2, 3$ représente le bras.

1, 2, 3 représente le bras, Les deux interrupteurs supérieur et inférieur doivent être complémentaires, c'est-à-dire que lorsque l'un est fermé, l'autre doit impérativement être ouvert, conformément à la relation suivante :

$$\begin{aligned} F_{11} &= \overline{F_{21}} \\ F_{12} &= \overline{F_{22}} \\ F_{13} &= \overline{F_{23}} \end{aligned} \quad (1.2)$$

1.2.2 Etats d'un bras de l'onduleur

Le nom **deux niveaux** a été attribué à ce convertisseur en raison des deux niveaux de tension générés par chaque bras, correspondant à deux états physiquement réalisables du convertisseur.

L'un est symbolisé par la lettre **P**, et l'autre par la lettre **N**.

- **État P** : L'interrupteur supérieur S_{1j} (avec $j = 1, 2, 3$) est fermé, tandis que l'interrupteur inférieur S_{2j} est ouvert. La tension de sortie par rapport au neutre de la source (n) est alors égale à $+\frac{V_{dc}}{2}$.
- **État N** : L'interrupteur inférieur S_{2j} (avec $j = 1, 2, 3$) est fermé, tandis que l'interrupteur supérieur S_{1j} est ouvert. La tension de sortie par rapport au neutre de la source (n) est alors égale à $-\frac{V_{dc}}{2}$.

Ces deux états sont représentés dans la La Figure (1.2).

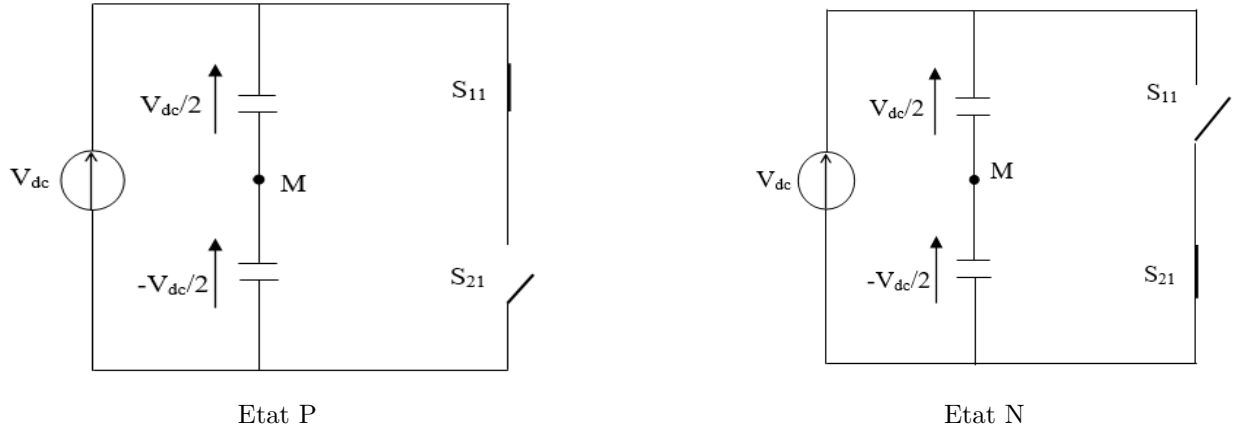


Figure 1.2 : États d'un bras de l'onduleur à deux niveaux.

On définit la tension de bras comme la tension entre les points A, B ou C et le point milieu M , situé entre les deux condensateurs C_1 et C_2 . Ces tensions sont notées V_{AM} , V_{BM} et V_{CM} . Pour chaque état du bras, les états des interrupteurs et la tension de sortie sont résumée dans le tableau 1.1. On définit pour chaque bras (j) deux fonctions complémentaires, correspondantes aux deux états du bras :

État du bras	F_{1j}	F_{2j}	V_{KM}
P	1	0	$\frac{V_{dc}}{2}$
N	0	1	$-\frac{V_{dc}}{2}$

Table 1.1 : Table d'excitation pour N=2

1.2.3 Tensions de sortie

Les trois tensions du bras sont liées aux fonctions de commutation par les équations suivantes[1] :

$$\begin{aligned}
 V_{AM} &= (F_{11} - F_{21}) \cdot \frac{V_{dc}}{2} \\
 V_{BM} &= (F_{12} - F_{22}) \cdot \frac{V_{dc}}{2} \\
 V_{CM} &= (F_{13} - F_{23}) \cdot \frac{V_{dc}}{2}
 \end{aligned} \tag{1.3}$$

On définit par la **tension simple** la tension entre le point A, B ou C (les tensions générées par bras) et le neutre N , d'où les tensions simples sont notées : V_{AN} , V_{BN} , V_{CN} .

On définit par la **tension composée** la tension entre deux bras (line-to-line), notée U_{AB} , U_{BC} , U_{CA} . Ces trois tensions sont exprimées par les équations suivantes :

$$\begin{aligned} U_{AB} &= V_{AM} - V_{BM} = V_{AN} - V_{BN} \\ U_{BC} &= V_{BM} - V_{CM} = V_{BN} - V_{CN} \\ U_{CA} &= V_{CM} - V_{AM} = V_{CN} - V_{AN} \end{aligned} \quad (1.4)$$

Dans cette partie, on introduit les différentes équations mettant en relation les tensions de notre onduleur, ce qui permet de définir la relation entre la sortie et l'entrée.

Lorsque le système (la charge) est équilibré, c'est-à-dire $Z_1 = Z_2 = Z_3 = R$, on a :

$$\begin{aligned} V_{AM} + V_{BM} + V_{CM} &= 0 \\ V_{AN} + V_{BN} + V_{CN} &= 0 \\ U_{AB} + U_{BC} + U_{CA} &= 0 \end{aligned} \quad (1.5)$$

Les tensions simples peuvent aussi être exprimées en fonction des tensions composées par les relations suivantes :

$$\begin{aligned} V_{AN} &= \frac{U_{AB} - U_{CA}}{3} \\ V_{BN} &= \frac{U_{BC} - U_{AB}}{3} \\ V_{CN} &= \frac{U_{CA} - U_{BC}}{3} \end{aligned} \quad (1.6)$$

D'où la forme matricielle des tensions simples :

$$\begin{bmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} U_{AB} - U_{CA} \\ U_{BC} - U_{AB} \\ U_{CA} - U_{BC} \end{bmatrix} \quad (1.7)$$

En introduisant les équations (1.4) dans (1.7), on obtient :

$$\begin{bmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} V_{AM} - V_{BM} - V_{CM} + V_{AM} \\ V_{BM} - V_{CM} - V_{AM} + V_{BM} \\ V_{CM} - V_{AM} - V_{BM} + V_{CM} \end{bmatrix} \quad (1.8)$$

$$\begin{bmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 2V_{AM} - V_{BM} - V_{CM} \\ -V_{AM} + 2V_{BM} - V_{CM} \\ -V_{AM} - V_{BM} + 2V_{CM} \end{bmatrix} \quad (1.9)$$

Les tensions simples sont donc exprimées en fonction des tensions des bras par :

$$\begin{bmatrix} V_{AN} \\ V_{BN} \\ V_{CN} \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ -\frac{1}{2} & 1 & -\frac{1}{2} \\ -\frac{1}{2} & -\frac{1}{2} & 1 \end{bmatrix} \begin{bmatrix} V_{AM} \\ V_{BM} \\ V_{CM} \end{bmatrix} \quad (1.10)$$

Les courants d'entrée i_{d1} et i_{d2} de l'onduleur triphasé en fonction des courants i_a, i_b, i_c de la charge s'expriment en utilisant les fonctions de commutation des interrupteurs comme suit :

$$\begin{aligned} i_{d1} &= F_{11}i_a + F_{12}i_b + F_{13}i_c \\ i_{d2} &= F_{21}i_a + F_{22}i_b + F_{23}i_c \end{aligned} \quad (1.11)$$

1.3 Stratégies de commande

Les onduleurs de tension jouent un rôle central dans les systèmes de conversion d'énergie électrique, notamment dans les applications industrielles, les énergies renouvelables et l'alimentation des machines électriques. L'efficacité et les performances du convertisseur dépendent en grande partie de la stratégie de commande mise en œuvre. Plusieurs techniques de commande ont été développées au fil des années pour répondre aux exigences croissantes en matière de rendement, de qualité spectrale et de contraintes de commutation. Parmi les plus répandues, on retrouve la commande triangulo-sinusoïdale (SPWM), la modulation vectorielle (SVM), ainsi que les stratégies à pleine onde. Chaque approche présente des avantages spécifiques en termes de complexité, de qualité du signal, de pertes de commutation et d'adaptabilité aux différentes topologies d'onduleur. Une analyse comparative de ces méthodes permet de mieux cerner leur pertinence selon les applications visées [10].

1.3.1 La commande pleine onde

Dans les applications à vitesse variable, l'onduleur de tension fonctionne presque exclusivement selon la technique de Modulation de Largeur d'Impulsion (MLI) sur toute la plage opérationnelle. Ce convertisseur statique assure la modification simultanée de la fréquence et de l'amplitude des tensions électriques de sortie. Néanmoins, l'analyse technique du fonctionnement en mode pleine onde reste fondamentale, servant de référence et de point de comparaison pour l'étude approfondie des performances des stratégies MLI.

L'analyse de la méthode à pleine onde se concentre ici sur une charge électrique triphasée équilibrée, avec une configuration en étoile afin de simplifier l'approche. Cette stratégie offre plusieurs possibilités techniques de commande pleine onde, mais nos études portent principalement sur la commande dite de **180°**.

Dans son principe de fonctionnement, chaque interrupteur conduit pendant une durée correspondant exactement à une demi-période (π), avec des séquences de commande décalées de 120° d'un bras par rapport aux autres.

Cette technique impose certaines conditions, comme le respect de la commande complémentaire pour éviter les courts-circuits. Elle génère ainsi six signaux de commande pour l'onduleur à deux niveaux, permettant la conversion du courant continu d'entrée en un système triphasé alternatif requis par la charge [10]

La figure(1.3) illustre la forme des signaux de commande des deux interrupteurs S_{11} et S_{21} avec la commande de 180°

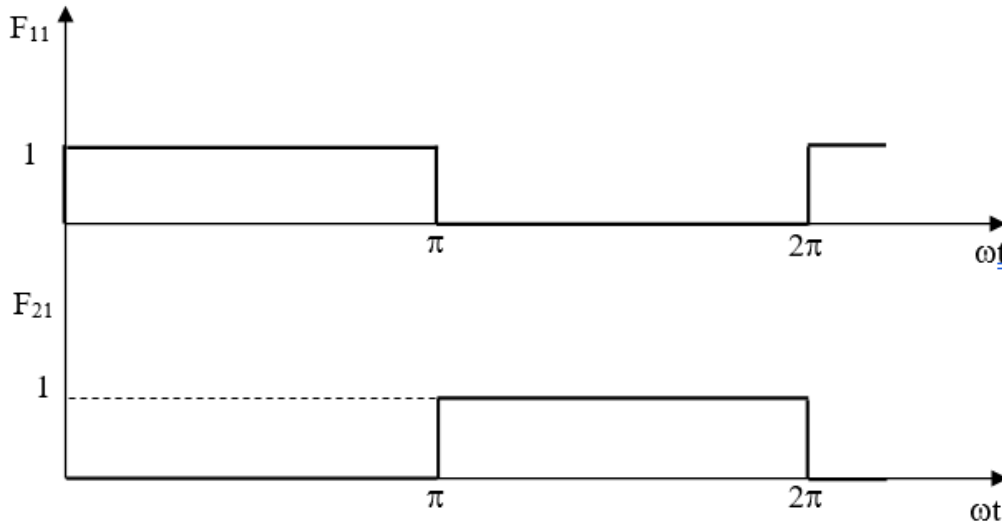


Figure 1.3 : La forme des signaux de commande F11 et F21 pour l'onduleur à deux niveaux

1.3.2 Résultats de simulation et interprétations

Quand la sortie d'un onduleur est coupée par alternance à chaque cycle complet, on dit que l'onduleur est en **mode de commande en pleine onde**. Dans ce type de fonctionnement, les interrupteurs alternent entre l'ouverture et la fermeture pendant la moitié de la période. Le convertisseur décrit dans les sections précédentes est simulé dans **MATLAB/Simulink** en utilisant une commande de **180 degrés**.

Les figures **1.4**, **1.5**, **1.6**, **1.7**, **1.8** présentent respectivement :

- les six signaux de commande de l'onduleur,
- la tension générée par bras V_{am} ,
- la tension composée U_{ab} ,
- la tension simple V_{an} avec son spectre d'harmonique.

On constate que les signaux de chaque bras sont complémentaires, et que chaque interrupteur est actif pendant **180°**. La tension U_{ab} contient trois niveaux de tension (V_{dc} , 0 et $-V_{dc}$) de valeurs (400 V, 0 et -400 V). Sa tension efficace est de 282.8 V.

Lorsque l'onduleur est alimenté sous 400 V, les niveaux de tension $\left(\frac{V_{dc}}{2}\right)$ et $\left(-\frac{V_{dc}}{2}\right)$ sont clairement visibles sur les graphes de la tension du bras V_{am} .

Quant aux tensions simples qui alimentent la charge alternative équilibrée, elles sont affichées sur la figure **1.7**. Ces signaux alternatifs se composent de quatre niveaux de tension : $\frac{2V_{dc}}{3}$, $\frac{V_{dc}}{3}$, $-\frac{V_{dc}}{3}$ et $-\frac{2V_{dc}}{3}$

correspondant respectivement à (400 V, 200 V, -200 V et -400 V) pour l'onduleur à deux niveaux.

La tension simple présente une tension efficace de 188.52 V, un **THD** de 28.81%, et une valeur efficace du fondamental de 180.02 V (figure **1.8**).

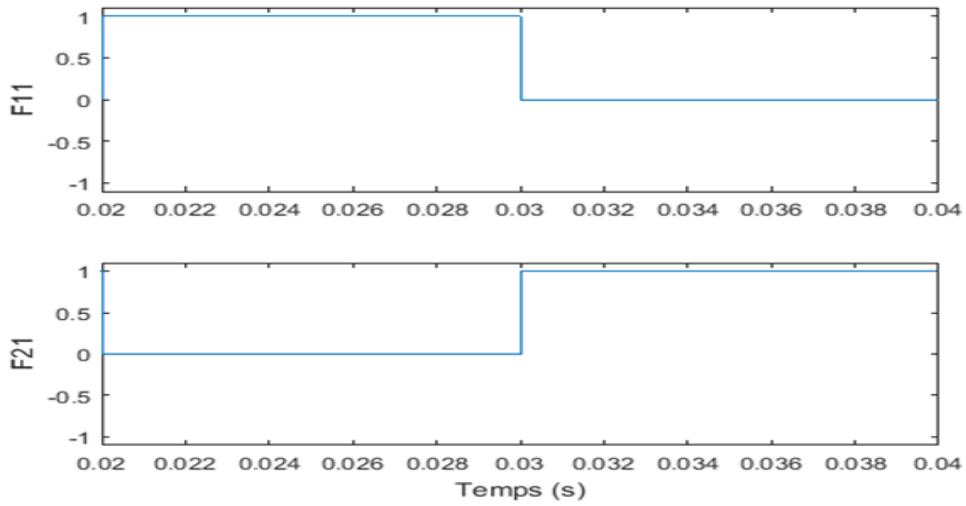


Figure 1.4 : La forme des signaux de commande de F_{11} et F_{21} pour l'onduleur à deux niveaux

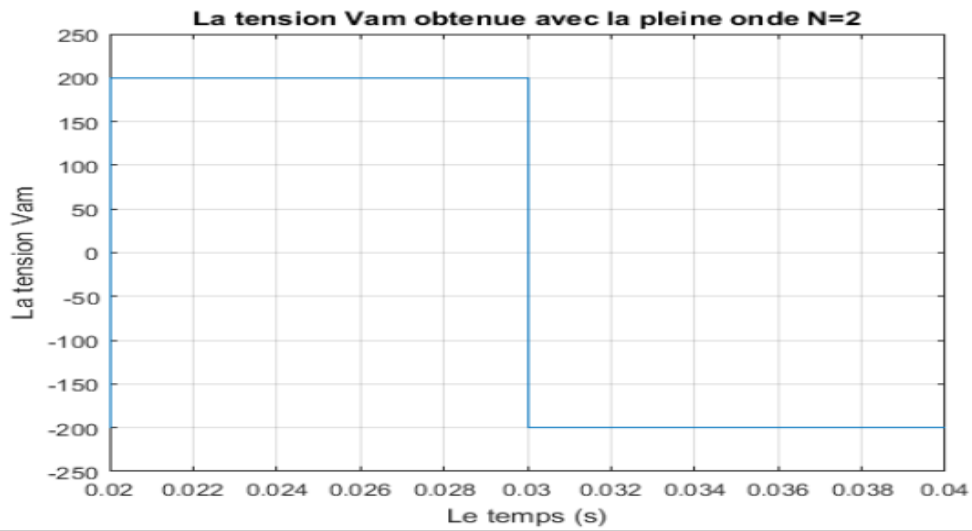


Figure 1.5 : La tension de sortie V_{am} de l'onduleur à deux niveaux

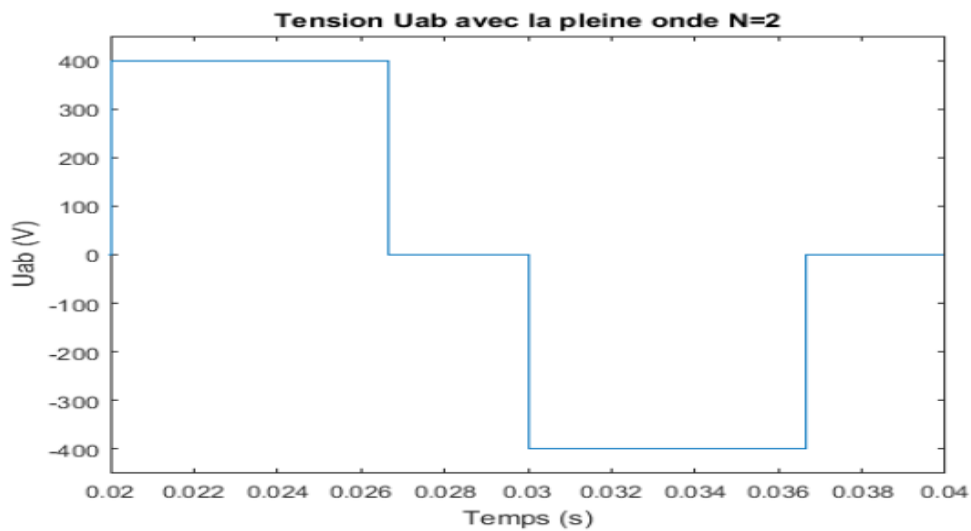


Figure 1.6 : La tension composée U_{ab} de l'onduleur à deux niveaux

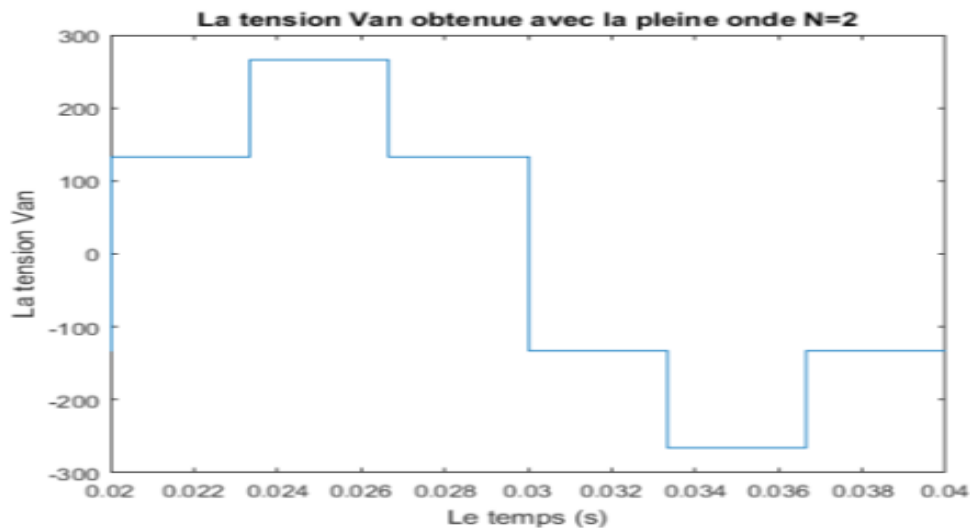


Figure 1.7 : La tension simple Van

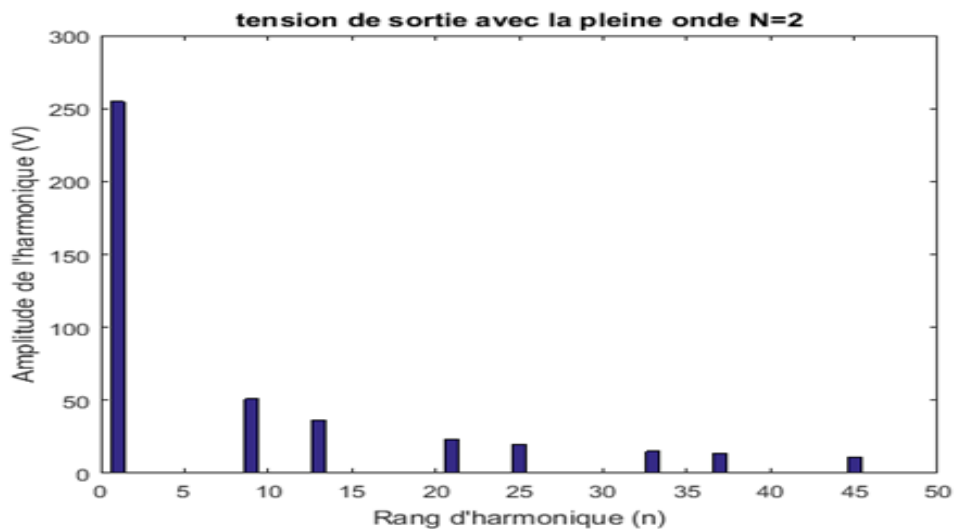


Figure 1.8 : Analyse harmonique de Van (V)

1.3.3 La modulation de largeur d'impulsion (MLI)

La modulation de largeur d'impulsion (MLI) triangulo-sinusoïdale est considérée comme l'une des principales stratégies de commande parmi les différentes approches MLI existantes. Son principe repose sur la comparaison entre une référence de forme sinusoïdale et une porteuse de forme triangulaire à haute fréquence, permettant ainsi de déterminer avec précision les états de commutation de chaque semi-conducteur de l'onduleur [10].

Suite à cette comparaison, les états de chaque interrupteur sont déterminés selon un algorithme spécifique. Dans cette stratégie de commande, l'amplitude crête-à-crête de la porteuse triangulaire correspond à la tension du circuit intermédiaire V_{dc} . Pour maintenir un fonctionnement en régime de modulation linéaire, une condition essentielle doit être respectée : l'amplitude de la référence de tension V_{ref} doit impérativement rester inférieure au pic de la porteuse triangulaire V_p , ce qui s'exprime par la relation suivante : $V_{ref} < V_p$.

La commande MLI est caractérisée par deux paramètres fondamentaux :

- **L'indice de modulation** m , défini comme le rapport entre la fréquence de la porteuse f_p et la fréquence du signal de référence f_m :

$$m = \frac{f_p}{f_m} \quad (1.13)$$

- **Le coefficient de réglage** r , qui exprime le rapport entre l'amplitude de la référence A_m et celle de la porteuse A_p :

$$r = \frac{A_m}{A_p} \quad (1.14)$$

Pour assurer un fonctionnement linéaire de l'onduleur, la condition suivante doit être satisfaite : $r \leq 1$.

1.3.4 Résultats de simulation et interprétations

Le principe de la commande triangulo-sinusoïdale est appliqué à l'onduleur à deux niveaux. le convertisseur est alimenté sous 400V.

Les figures de 1.9 à 1.12 donnent la porteuse et la référence utilisée, la tension composée U_{ab} , le courant $\mathbf{I_a(t)}$ et la tension simple avec son spectre d'harmonique.

Les résultats de simulation sont obtenus pour des différentes valeurs de m et r pour l'effet de ces paramètres sur la qualité de la tension produite. L'analyse des résultats montre que :

- L'augmentation de l'indice de modulation pour l'onduleur à deux niveaux étudié permet de pousser les harmoniques vers les fréquences élevées ce qui facilite leur filtrage par la machine à courant alternatif.
- L'absence des harmoniques de rang trois et multiples de trois sont nuls.
- Le THD diminue quand l'indice de modulation m augmente.
- Pour un THD minimal on garde r légèrement en dessous de 1.

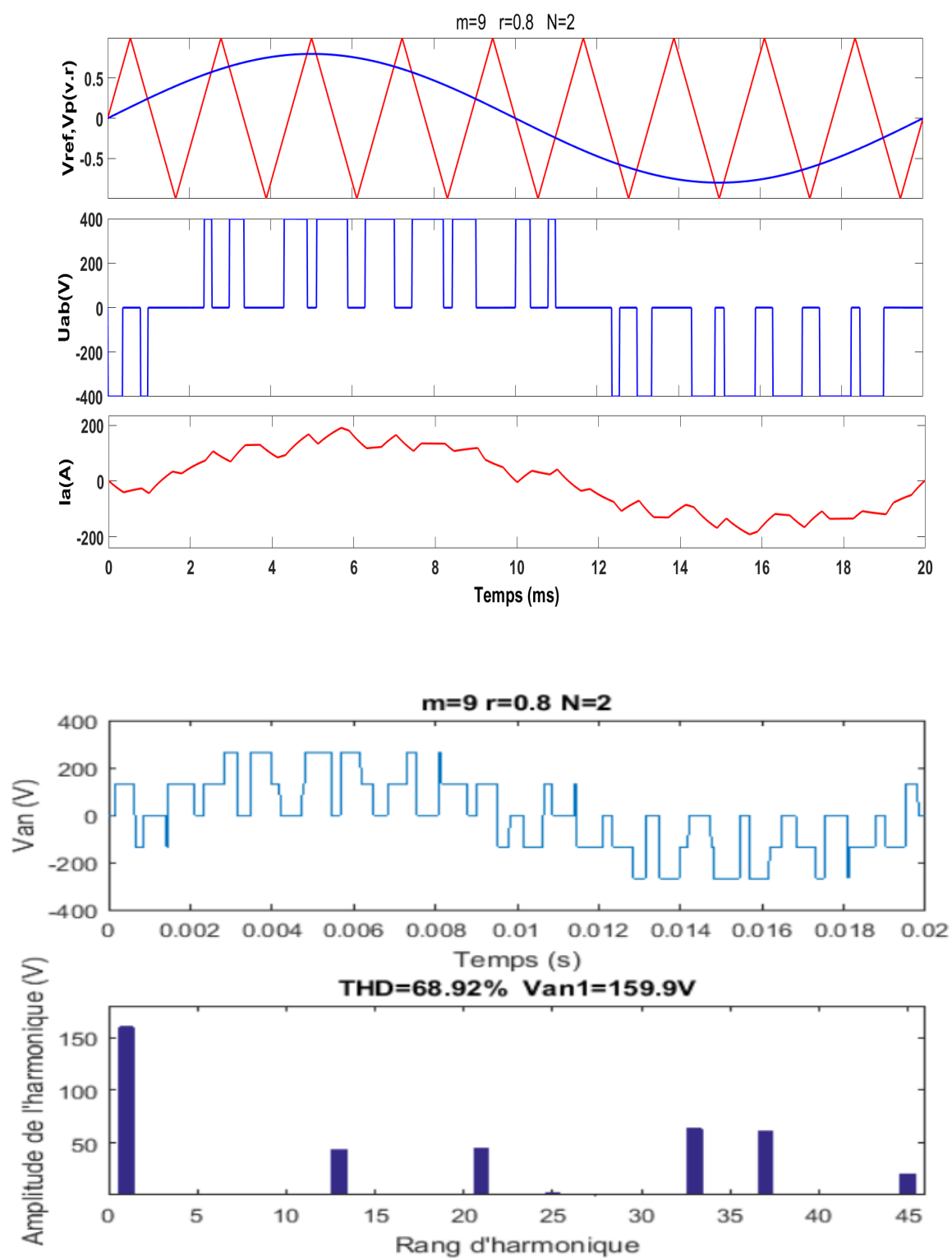


Figure 1.9 : Résultats de simulation pour $m=9$ et $r=0.8$

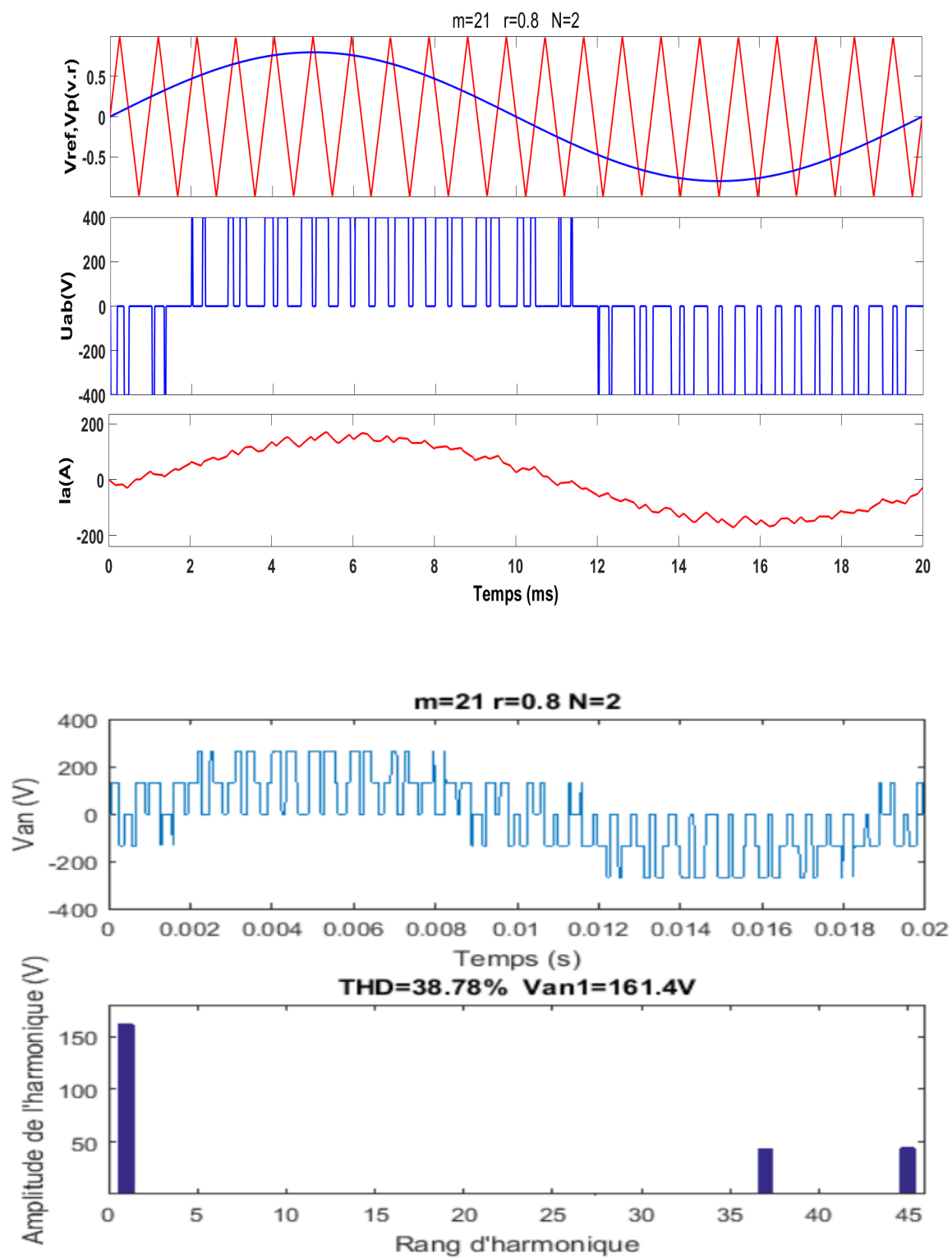


Figure 1.10 : Résultats de simulation pour $m=21$ et $r=0.8$

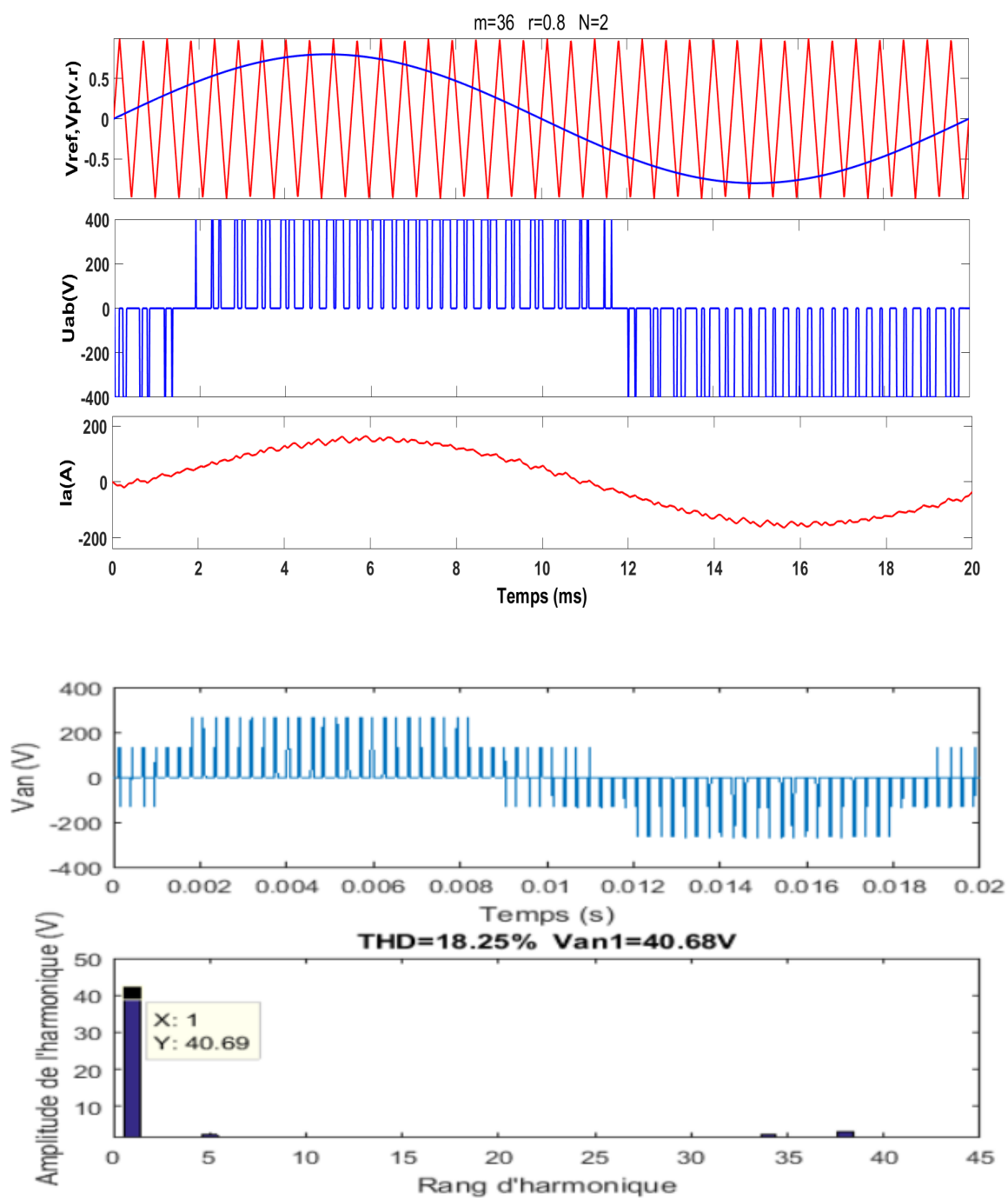


Figure 1.11 : Résultats de simulation pour $m=36$ et $r=0.8$

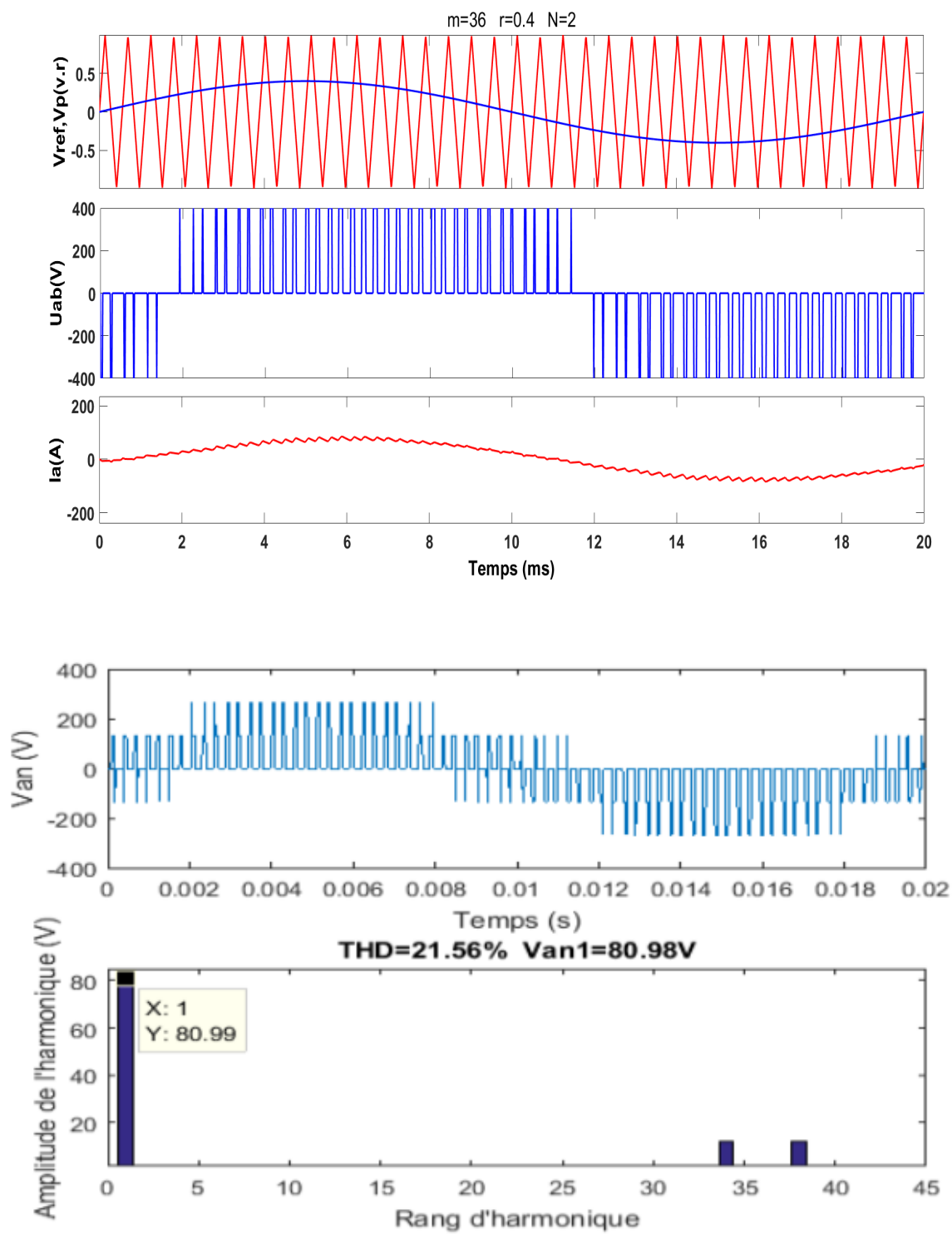


Figure 1.12 : Résultats de simulation pour $m=36$ et $r=0.4$

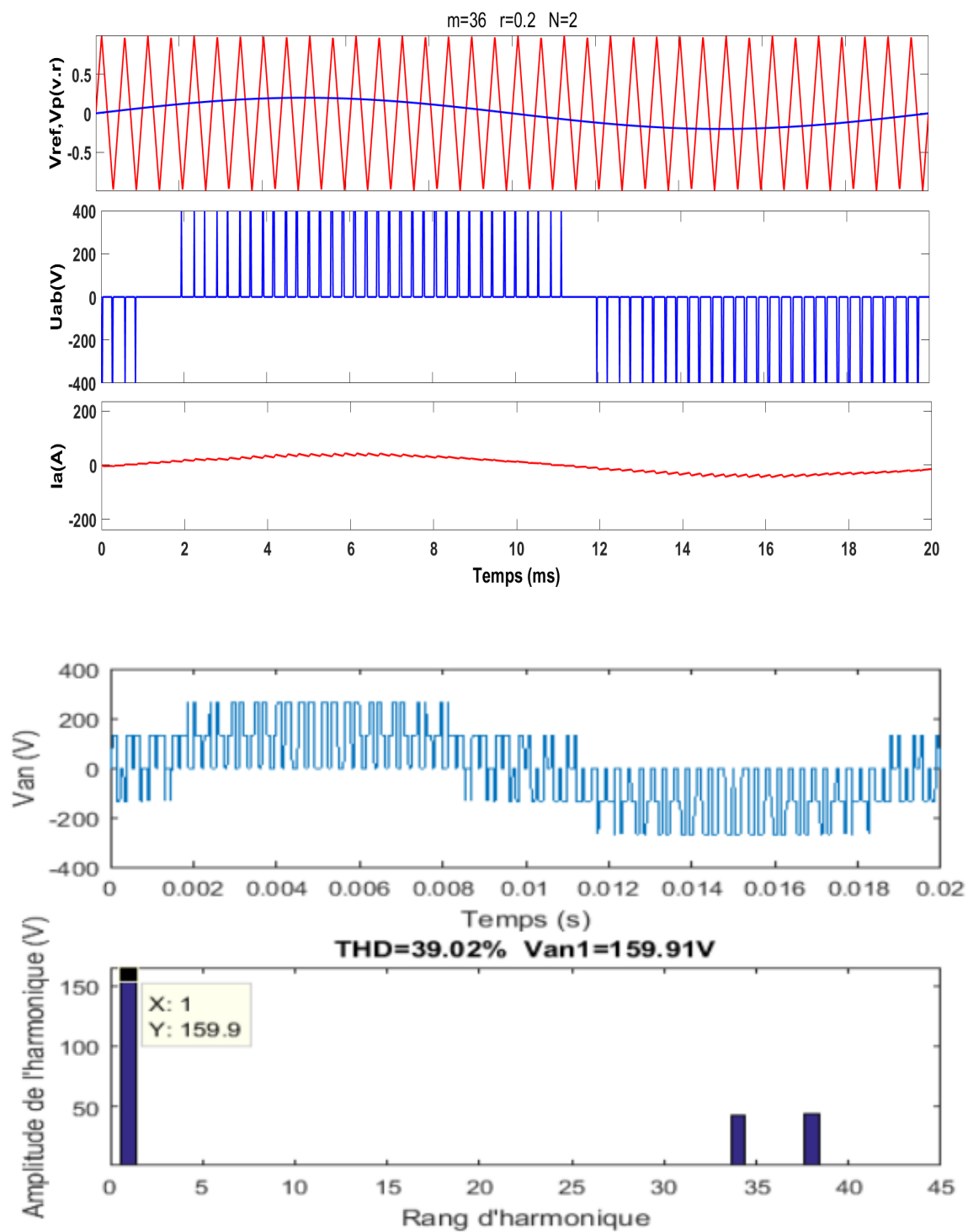


Figure 1.13 : Résultats de simulation pour $m=36$ et $r=0.2$

1.4 Conclusion

Dans ce chapitre, nous avons étudié l'onduleur triphasé à deux niveaux. Nous avons commencé par détailler sa structure générale, puis son mode de fonctionnement, afin de déduire les équations nécessaires à sa modélisation. Les tensions du bras, les tensions simples, ainsi que les tensions composées ont été exprimées en fonction des fonctions de connexion, qui traduisent l'état de chaque interrupteur. Pour la commande du convertisseur, deux techniques distinctes ont été utilisées et analysées. La commande à pleine onde, puis la commande triangulo-sinusoïdale, dans laquelle une seule porteuse a été utilisée. Les équations développées ont été vérifiées par des simulations sous MATLAB, ce qui a permis de valider la cohérence de la modélisation théorique. Les résultats obtenus montrent un bon comportement dynamique et statique de l'onduleur, confirmant ainsi la pertinence des choix de modélisation et de commande.

Chapitre 2

Modélisation et commande de l'onduleur à trois niveaux

2.1 Introduction

Dans le domaine industriel, les entraînements électriques requièrent de plus en plus des vitesses variables. À cet égard, les progrès réalisés en électronique de puissance ont permis le développement de nombreuses solutions permettant de piloter efficacement des moteurs en courant alternatif à vitesse variable. Parmi ces solutions, on distingue les onduleurs autonomes commandés par Modulation de Largeur d'Impulsion (MLI) [9].

Un onduleur est un convertisseur statique qui assure la conversion d'une source de tension continue en une tension alternative. Alimenté en tension continue, il modifie périodiquement les connexions entre l'entrée et la sortie afin de générer une tension alternative. Pour améliorer la qualité de la tension de sortie, plusieurs techniques de MLI ont été proposées dans la littérature [9].

Dans ce chapitre, nous nous intéressons à l'onduleur triphasé à trois niveaux commandé d'abord avec la commande pleine onde puis par la commande triangulo-sinusoidale. Ce chapitre comprend d'abord la modélisation mathématique de l'onduleur, suivie de sa simulation sous le logiciel MATLAB. Enfin, les résultats de simulation sont présentés et analysés en détail.

2.2 La structure de base de l'onduleur à trois niveaux

L'onduleur à trois niveaux est composé de trois bras, comme illustré à la Figure 2.1. Chaque bras comprend quatre interrupteurs bidirectionnels, réalisés par l'association d'un transistor et d'une diode.

Afin d'éviter un court-circuit de la source continue à l'entrée de l'onduleur, ou l'ouverture de la charge alternative à la sortie, il est impératif d'empêcher la commutation simultanée (fermeture ou ouverture) des quatre interrupteurs d'un même bras.

Par ailleurs, on suppose que la tension d'entrée est répartie équitablement entre les deux capacités, soit :

$$V_{dc1} = V_{dc2} = \frac{V_{dc}}{2} \quad \text{et en valeurs relatives : } V_{dc1} = V_{dc2} = 1$$

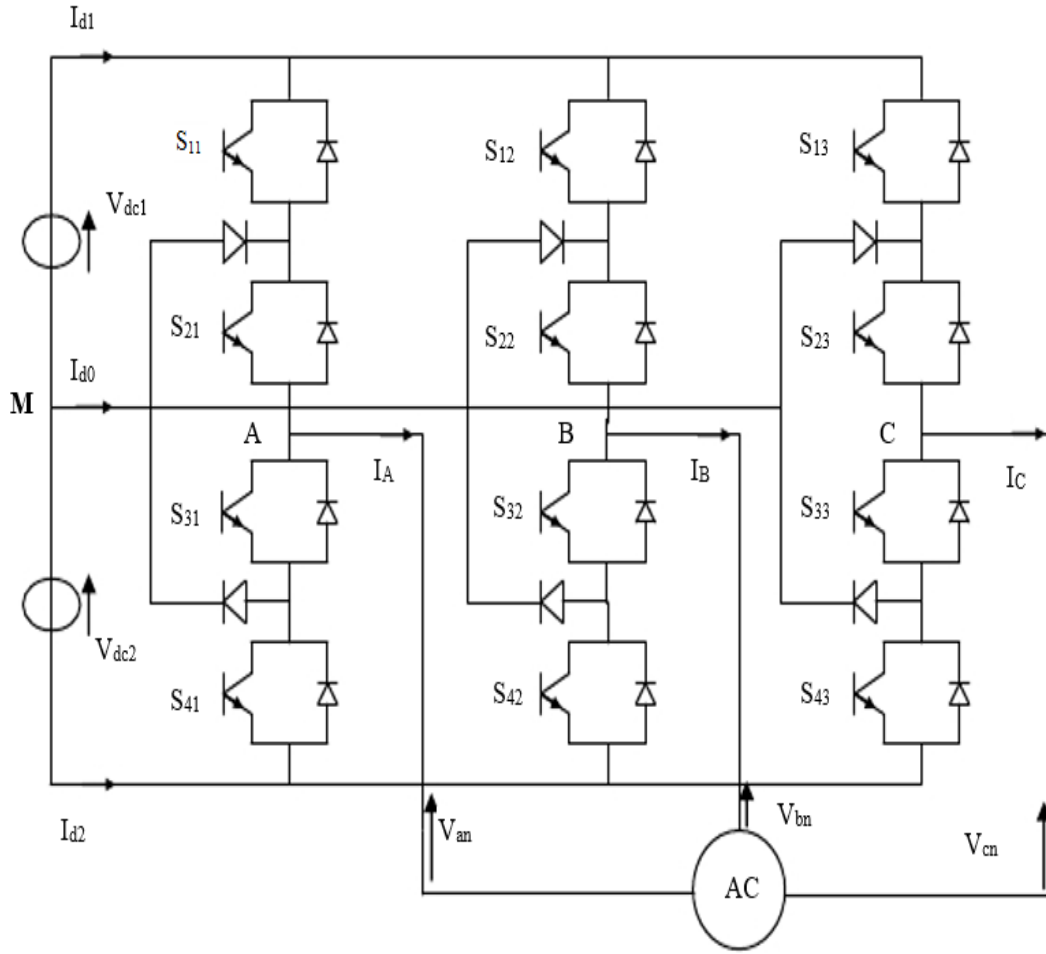


Figure 2.1 : Structure NPC de l'onduleur à trois niveaux [5].

2.2.1 Fonctions de commutation

Pour chaque interrupteur S_{ij} (avec $i = 1, 2, 3, 4$ et $j = 1, 2, 3$), on définit une fonction de commutation F_{ij} de la manière suivante :

$$F_{ij} = \begin{cases} 1 & \text{si } S_{ij} \text{ est fermé} \\ 0 & \text{si } S_{ij} \text{ est ouvert} \end{cases} \quad (2.1)$$

Pour un onduleur donné, on définit également la fonction de connexion d'un demi-bras, notée F_{j1}^b pour le demi-bras supérieur et F_{j0}^b pour le demi-bras inférieur. La fonction F_{j1}^b vaut 1 seulement si tous les interrupteurs du demi-bras sont fermés et F_{j0}^b vaut 0 dans le cas où un des interrupteurs du demi-bras est ouvert [5].

2.2.2 Etats d'un bras de l'onduleur

En mode commandable, chaque bras de l'onduleur possède trois états possibles (figure 2.2) :

- **État P** : Les deux interrupteurs du haut S_{1j} et S_{2j} (avec $j = 1, 2$ ou 3) sont fermés, tandis que les deux interrupteurs du bas S_{3j} et S_{4j} sont ouverts. La tension de sortie par rapport au neutre de la source (o) est $\frac{V_{dc}}{2}$.
- **État O** : Les deux interrupteurs du milieu S_{2j} et S_{3j} sont fermés, tandis que les interrupteurs des extrémités S_{1j} et S_{4j} sont ouverts. La tension de sortie par rapport au neutre est 0.
- **État N** : Les deux interrupteurs du bas S_{3j} et S_{4j} sont fermés, tandis que ceux du haut sont ouverts. La tension de sortie par rapport au neutre de la source (o) est $-\frac{V_{dc}}{2}$.

Pour chaque état du bras, les états des interrupteurs et la tension de sortie sont résumés dans le tableau 2.1.

On définit pour chaque bras j trois fonctions de connexion, correspondant aux trois états du bras.

Pour éviter, d'une part, la conduction simultanée des quatre interrupteurs d'un même bras, ce qui peut entraîner leur destruction par une croissance excessive du courant lors d'un court-circuit, et, d'autre part, l'ouverture simultanée de tous les interrupteurs d'un bras, pouvant produire une surtension, on définit alors la commande complémentaire optimale suivante [5] :

$$\begin{cases} F_{1j} = \overline{F_{3j}} \\ F_{2j} = \overline{F_{4j}} \end{cases} \quad (2.2)$$

où F_{1j} est la commande de base de l'interrupteur S_{1j} relative au bras j .

Ainsi, avec cette commande complémentaire, les fonctions de connexion des quatre interrupteurs du bras j sont liées par les relations suivantes :

$$F_{1j} = 1 - F_{3j} \quad \text{et} \quad F_{2j} = 1 - F_{4j} \quad (2.3)$$

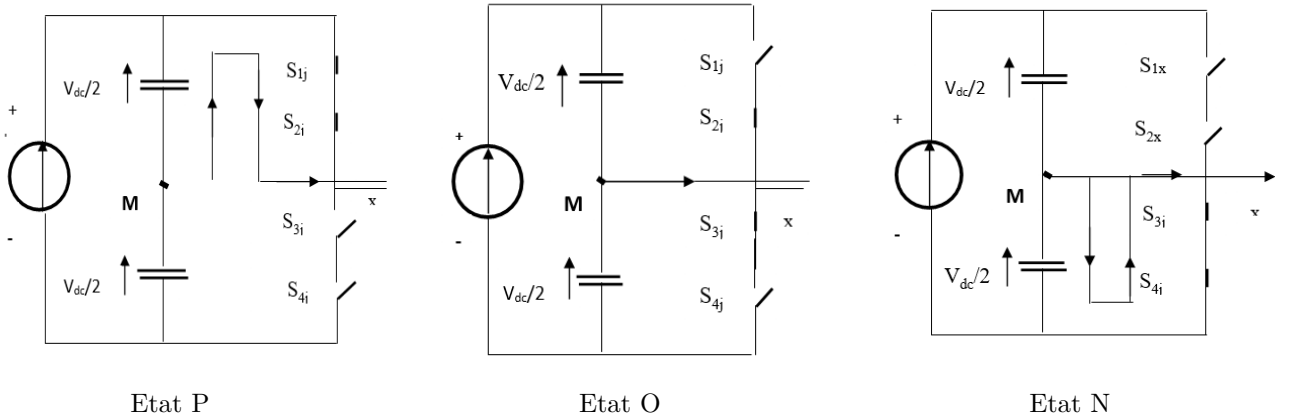


Figure 2.2 : Etats d'un bras de l'onduleur à trois niveaux [1]

État du bras	État d'interrupteurs du bras				Tension de sortie
	F_{1j}	F_{2j}	F_{3j}	F_{4j}	V_{KM}
P	1	1	0	0	$\frac{V_{dc}}{2}$
O	0	1	1	0	0
N	0	0	1	1	$-\frac{V_{dc}}{2}$

Table 2.1 : Etats d'un bras de l'onduleur

Chaque bras de l'onduleur peut prendre trois états. Ainsi, l'onduleur triphasé a $3^3 = 27$ états possibles. Ces états sont identifiés en indiquant les états des trois bras. Par exemple, l'état **PON** indique que le premier bras est à l'état *P*, le deuxième à l'état *O*, et le troisième à l'état *N*. La figure 2.3 résume les états de l'onduleur triphasé à trois niveaux.

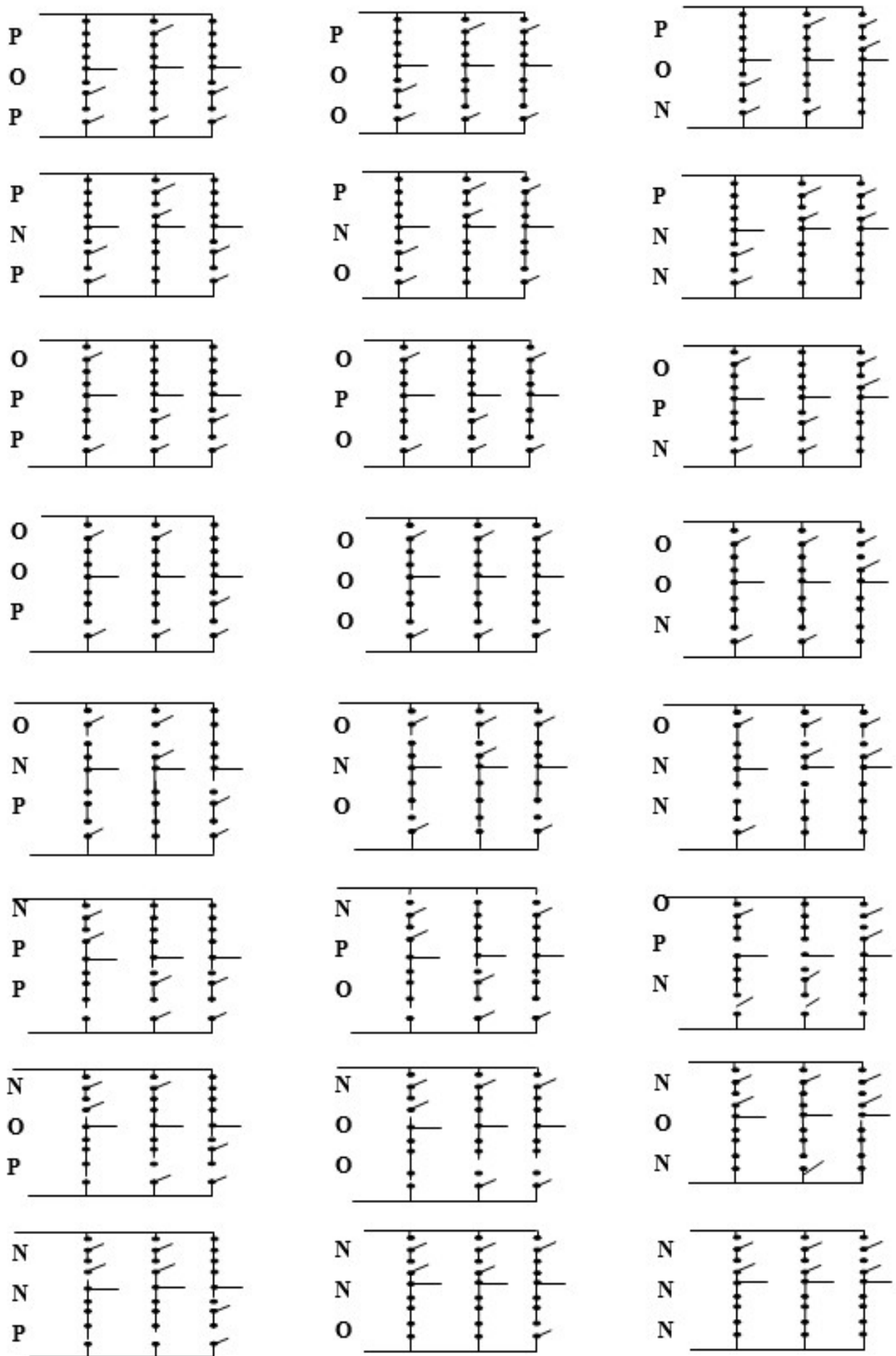


Figure 2.3 : Etats de l'onduleur [1].

2.2.3 Tensions de sortie

Les fonctions de connexion des demi-bras pour N=3, s'expriment comme suit [5] :

$$\begin{cases} F_{j1}^b = F_{j1}F_{j2} \\ F_{j0}^b = F_{j3}F_{j4} \end{cases} \quad (2.4)$$

Le système d'équations (1.5) montre que la fonction de connexion du demi-bras F_{jm}^b vaut (1) dans le cas où les deux interrupteurs du demi-bras associés sont tous fermés, et nulle dans tous les autres cas. En utilisant les fonctions de connexion des interrupteurs, les potentiels des nœuds (A, B, C) de l'onduleur triphasé à trois niveaux par rapport au point milieu M de la source de tension d'entrée sont tels que :

$$\begin{cases} V_{AM} = F_{11}F_{21}V_{dc1} - F_{31}F_{41}V_{dc2} \\ V_{BM} = F_{12}F_{22}V_{dc1} - F_{32}F_{42}V_{dc2} \\ V_{CM} = F_{13}F_{23}V_{dc1} - F_{33}F_{43}V_{dc2} \end{cases} \quad (2.5)$$

En supposant que $V_{dc} = V_{dc1} = V_{dc2}$, Le système (2.5) devient :

$$\begin{cases} V_{AM} = (F_{11}F_{21} - F_{31}F_{41})V_{dc} \\ V_{BM} = (F_{12}F_{22} - F_{32}F_{42})V_{dc} \\ V_{CM} = (F_{13}F_{23} - F_{33}F_{43})V_{dc} \end{cases} \quad (2.6)$$

Le système (1.5) montre que l'onduleur à trois niveaux revient à une mise en série de deux onduleurs à deux niveaux, l'un est constitué par les demi-bras du haut alimenté par (V_{dc1}), et l'autre est constitué par les demi-bras du bas et alimenté par ($-V_{dc2}$). En introduisant les fonctions de connexion (2.4) dans le système (2.6), on obtient le système d'équation suivant[5] :

$$\begin{cases} V_{AM} = (F_{11}^b - F_{10}^b)V_{dc} \\ V_{BM} = (F_{21}^b - F_{20}^b)V_{dc} \\ V_{CM} = (F_{31}^b - F_{30}^b)V_{dc} \end{cases} \quad (2.7)$$

Les différentes tensions composées s'écrivent :

$$\begin{cases} U_{AB} = V_{AM} - V_{BM} = (F_{11}F_{21} - F_{12}F_{22})V_{dc1} - (F_{31}F_{41} - F_{32}F_{42})V_{dc2} \\ U_{BC} = V_{BM} - V_{CM} = (F_{12}F_{22} - F_{13}F_{23})V_{dc1} - (F_{32}F_{42} - F_{33}F_{43})V_{dc2} \\ U_{CA} = V_{CM} - V_{AM} = (F_{13}F_{23} - F_{11}F_{21})V_{dc1} - (F_{33}F_{43} - F_{31}F_{41})V_{dc2} \end{cases} \quad (2.8)$$

En introduisant les fonctions de connexion des demi-bras dans le système (2.8), on obtient l'équation matricielle suivante :

$$\begin{pmatrix} U_{AB} \\ U_{BC} \\ U_{CA} \end{pmatrix} = \begin{pmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{pmatrix} \left[\begin{pmatrix} F_{11}^b \\ F_{21}^b \\ F_{31}^b \end{pmatrix} V_{dc1} - \begin{pmatrix} F_{10}^b \\ F_{20}^b \\ F_{30}^b \end{pmatrix} V_{dc2} \right] \quad (2.9)$$

Pour $V_{dc1} = V_{dc2} = V_{dc}$, cette relation se réduit à :

$$\begin{pmatrix} U_{AB} \\ U_{BC} \\ U_{CA} \end{pmatrix} = \begin{pmatrix} 1 & -1 & 0 \\ 0 & 1 & -1 \\ -1 & 0 & 1 \end{pmatrix} \begin{pmatrix} F_{11}^b - F_{10}^b \\ F_{21}^b - F_{20}^b \\ F_{31}^b - F_{30}^b \end{pmatrix} \quad (2.10)$$

Les courants d'entrée i_{d1} et i_{d2} de l'onduleur triphasé en fonction des courants i_a , i_b et i_c de la charge en utilisant les fonctions de connexion des interrupteurs s'expriment comme suit :

$$\begin{cases} i_{d1} = F_{11}F_{21}i_a + F_{12}F_{22}i_b + F_{13}F_{23}i_c \\ i_{d2} = F_{31}F_{41}i_a + F_{32}F_{42}i_b + F_{33}F_{43}i_c \end{cases} \quad (2.11)$$

En utilisant les fonctions de connexion des demi-bras, la relation (2.11) devient :

$$\begin{cases} i_{d1} = F_{11}^b i_a + F_{21}^b i_b + F_{31}^b i_c \\ i_{d2} = F_{10}^b i_a + F_{20}^b i_b + F_{30}^b i_c \end{cases} \quad (2.12)$$

Le courant i_{d0} est lié aux différents courants d'entrée et aux courants de charge par la relation suivante :

$$i_{d0} = i_a + i_b + i_c - i_{d1} - i_{d2} \quad (2.14)$$

2.3 Stratégies de commande

Afin de piloter les semi-conducteur de l'onduleur à trois niveaux, il est nécessaire de produire un signal carré dont les instants de commutation sont calculés selon une stratégie de commande donnée. Parmi les techniques existantes, nous nous intéressons à la génération de ces signaux par commande pleine onde puis la MLI triangulo-sinusoidale.

2.3.1 La commande pleine onde

Le principe de la commande pleine onde appliquée au convertisseur à trois niveaux est similaire à celui présenté dans le chapitre 1 sur l'onduleur à deux niveaux. En effet, tous les semi-conducteurs doivent fonctionner durant 180° , comme le montre la Figure 2.4. Certaines commandes sont déduites à partir du système (2.2), d'autres en assurant le déphasage de 120° nécessaire entre les phases, soit dans le cas des systèmes équilibrés, soit par le respect de la table de commande 2.1.

Le profil de la tension V_{am} adopté est présenté sur la Figure 2.4, accompagné des signaux de commande des interrupteurs supérieurs du bras 1.

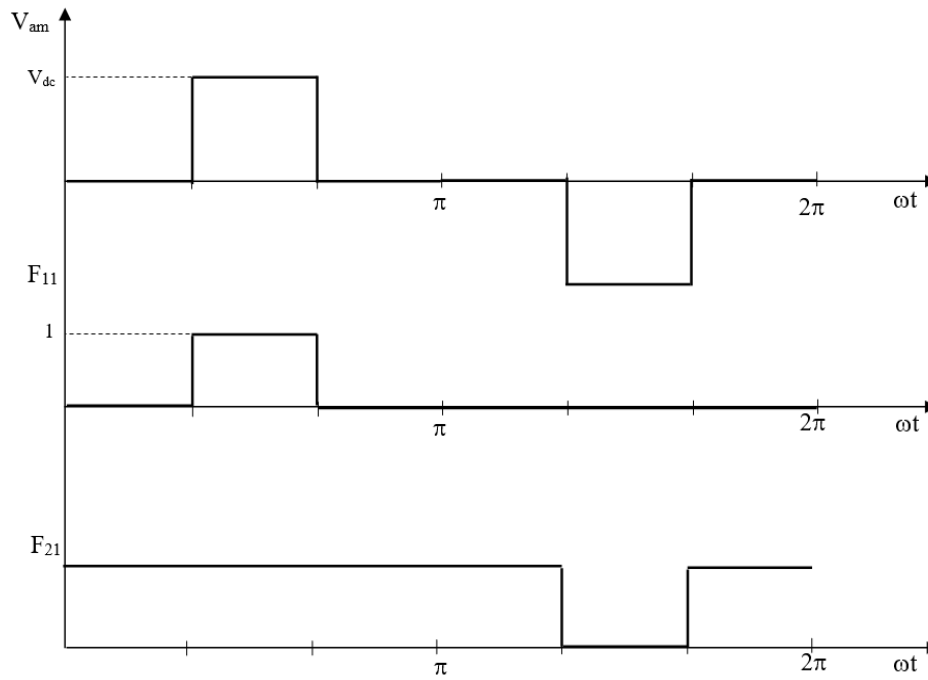


Figure 2.4 : La forme des signaux de commande F_{11} et F_{21} pour l'onduleur à trois niveaux

2.3.2 Résultats de simulation et interprétations

La commande pleine onde appliquée à l'onduleur à trois niveaux nécessite la génération de six signaux de commande. Les Figures 2.5 et 2.6 présentent respectivement :

- la forme des signaux de commande F_{11} et F_{31} du premier bras de l'onduleur,
- la tension générée par le bras V_{AM} ,
- la tension composée U_{ab} ,
- la tension simple V_{an} accompagnée de son spectre d'harmoniques.

On constate que les signaux F_{11} et F_{31} sont complémentaires.

La tension U_{ab} présente trois niveaux : $\frac{V_{dc}}{2}$, 0, et $-\frac{V_{dc}}{2}$, correspondant à des valeurs de 200 V, 0 V, et -200 V. Sa valeur efficace est de 141,31 V.

Lorsque l'onduleur est alimenté sous une tension continue de 400 V, les niveaux de tension $\frac{V_{dc}}{2}$ et $-\frac{V_{dc}}{2}$ apparaissent clairement sur la tension du bras V_{AM} .

Quant à la tension simple appliquée à la charge alternative équilibrée, elle est représentée sur la Figure 2.6. Elle présente une tension efficace de 94,24 V, un taux de distorsion harmonique (THD) de 29,38%, et une valeur efficace de la composante fondamentale de 89,8 V.

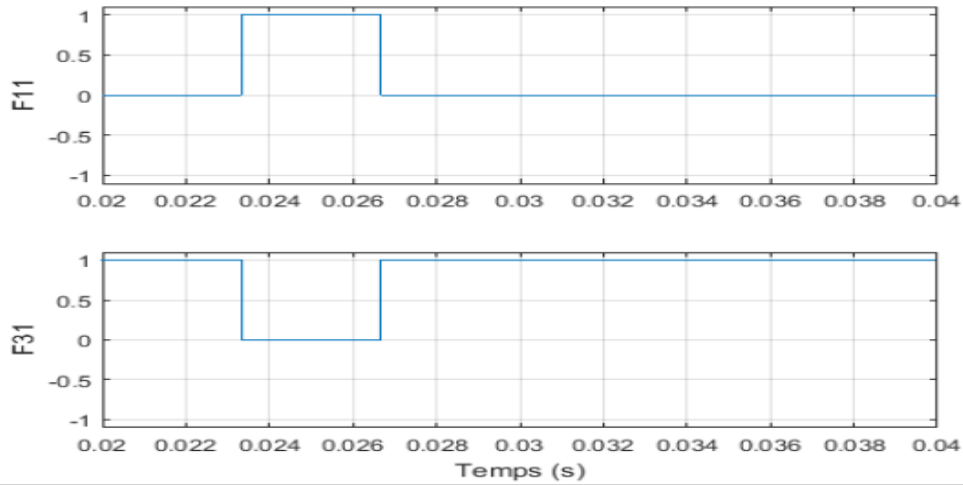


Figure 2.5 : La forme des signaux de commande des interrupteurs de premier bras pour l'onduleur à trois niveaux

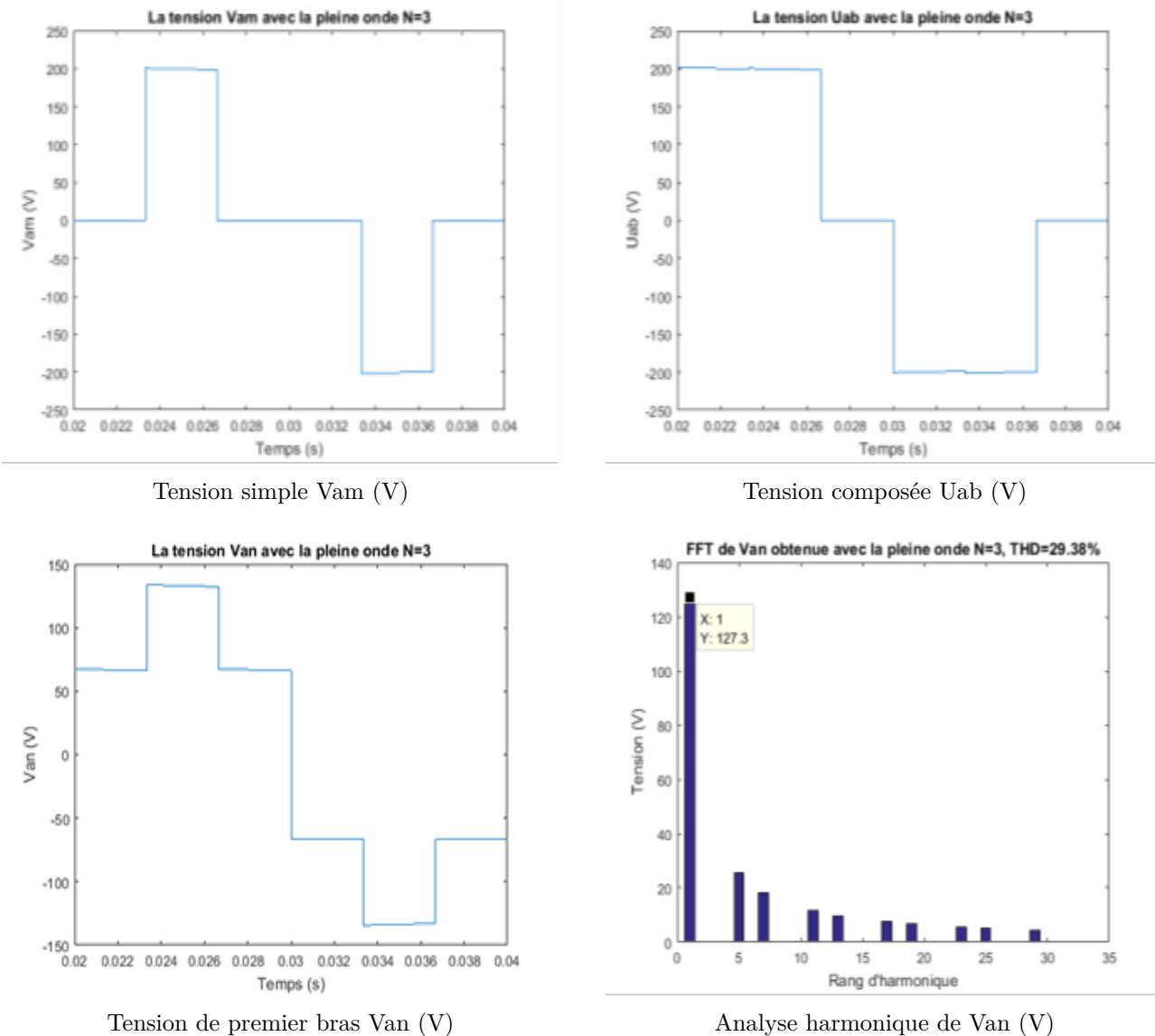


Figure 2.6 : Résultats de fonctionnement de l'onduleur à 3 niveaux avec la commande pleine onde.

2.3.3 La modulation de largeur d'impulsion (MLI)

Le principe de cette stratégie repose sur la comparaison d'un signal sinusoïdal de référence avec deux signaux porteurs triangulaires. Dans notre cas, les signaux triangulaires sont de forme unipolaire, comme illustré dans la figure 2.7. La comparaison entre les trois signaux de référence permet de générer les signaux de commande pour les trois bras de l'onduleur [10]. La commande MLI est caractérisée par deux paramètres fondamentaux :

- **L'indice de modulation** m , défini comme le rapport entre la fréquence de la porteuse f_p et la fréquence du signal de référence f_m :

$$m = \frac{f_p}{f_m} \quad (1.13)$$

- **Le coefficient de réglage** r , qui exprime le rapport entre l'amplitude de la référence A_m et celle de la porteuse A_p :

$$r = \frac{A_m}{A_p} \quad (1.14)$$

Pour assurer un fonctionnement linéaire de l'onduleur, la condition suivante doit être satisfaite : $r \leq 1$.

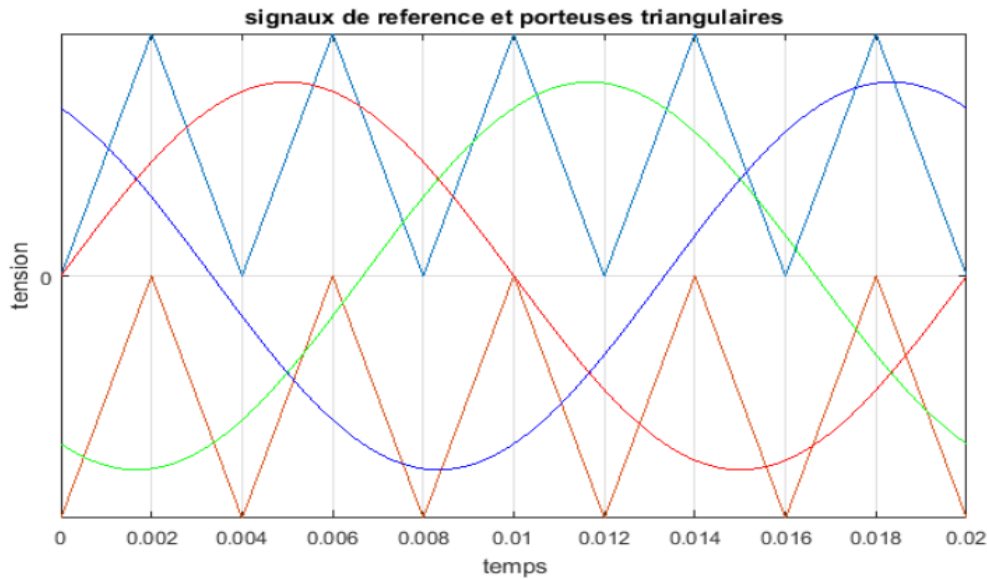


Figure 2.7 : Signaux de référence et porteuses triangulaires

2.3.4 Résultats de simulation et interprétations

La simulation de la MLI triangulo-sinusoïdale a été réalisée par Simulink. Deux porteuses sont générées d'amplitude V_p et trois références sinusoïdales décalées entre elles de 120° . La fréquence des porteuses dépend du paramètre m tandis que l'amplitude maximale $V_{\max}$ des trois références est contrôlée par le paramètre r . L'onduleur est alimenté par une tension continue V_{dc} égale à 400 V.

Les résultats sont obtenus pour différentes valeurs de l'indice de modulation m et de le coefficient de réglage r . Pour une meilleure analyse, nous avons fixé d'abord m à 36 et fait varier r (0.2, 0.4 et 0.8). Ensuite, nous avons maintenu $r = 0.8$ et fait varier m (36, 21 et 9).

Les figures de 2.8 à 2.12 montrent les porteuses utilisées avec les trois tensions de référence et la tension simple V_{an} accompagnée de son spectre d'harmoniques.

D'après les résultats, nous avons observé que lorsque l'indice de modulation augmente, la tension efficace de la fondamentale croît également. Pour les trois valeurs de r : 0.2, 0.4 et 0.8, la valeur de la fondamentale est respectivement égale à 40.32 V, 80.31 V et 160.01 V. Cela confirme la relation directe entre l'indice de modulation et l'amplitude de la composante fondamentale dans le spectre de sortie, comme indiqué dans l'équation (2.15).

De plus, l'augmentation de m de 9 à 21 puis 36 a pour effet de repousser les harmoniques vers les hautes fréquences. Cela facilite grandement leur filtrage, car les filtres passe-bas deviennent plus efficaces lorsque les harmoniques indésirables sont éloignées de la fréquence fondamentale. Par ailleurs, la valeur du THD diminue considérablement avec l'augmentation de m et r , ce qui a été observé pour un indice de modulation de 36 et un taux de modulation égal à 0.8 le THD décroît jusqu'à 17.68 % (Fig. 2.10).

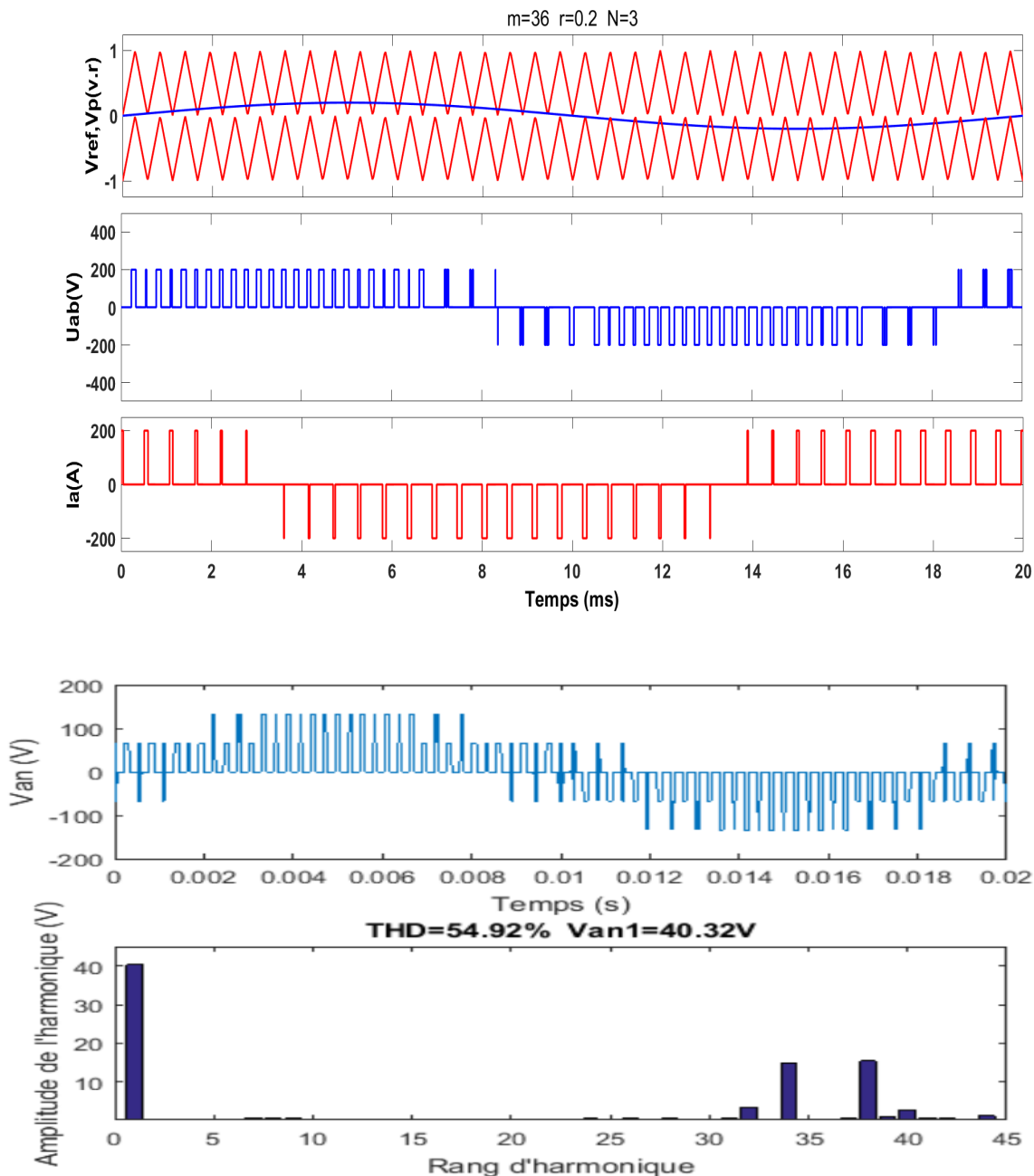


Figure 2.8 : Résultats de simulation pour $m=36$ et $r=0.2$

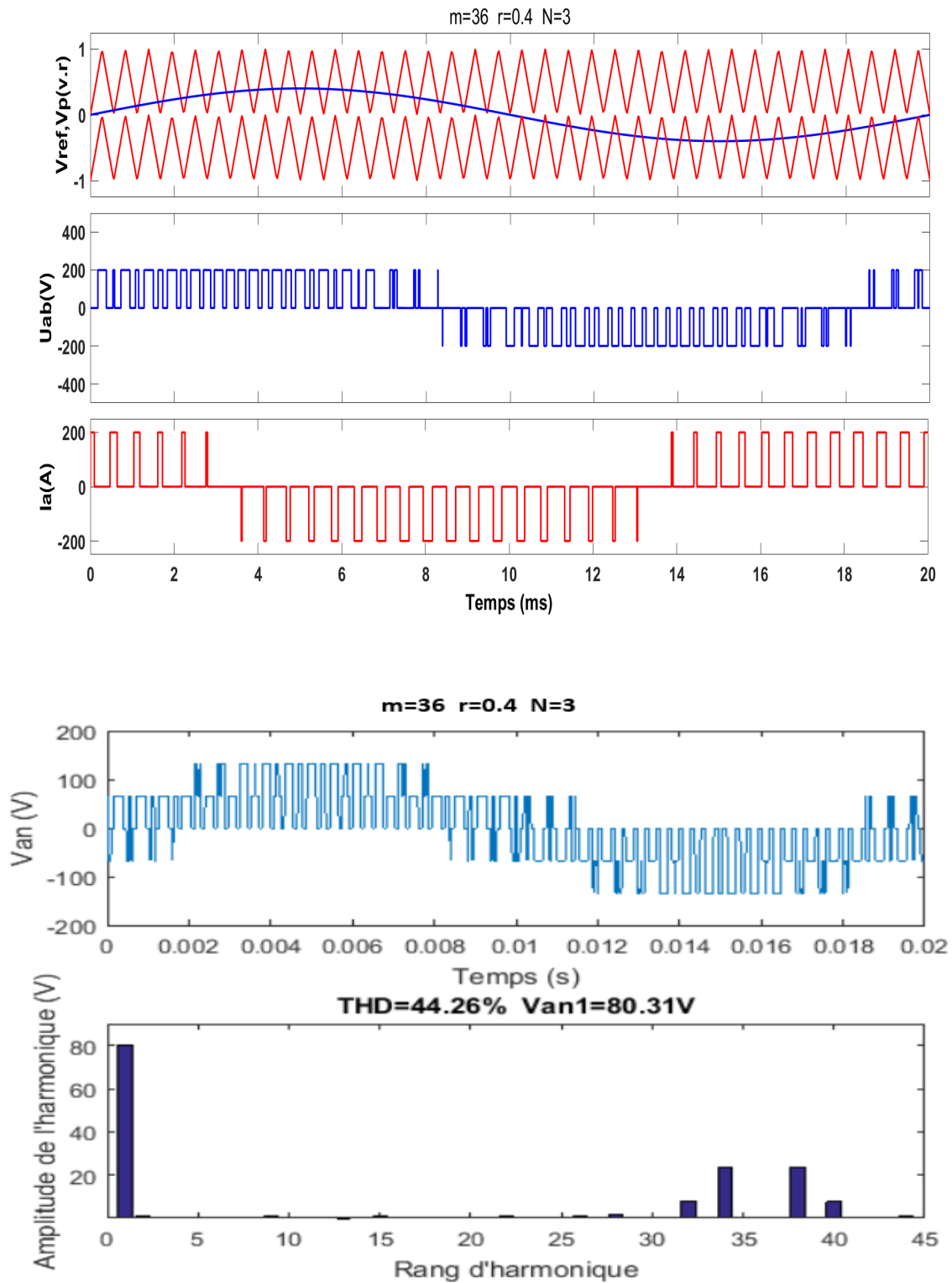


Figure 2.9 : Résultats de simulation pour $m=36$ et $r=0.4$

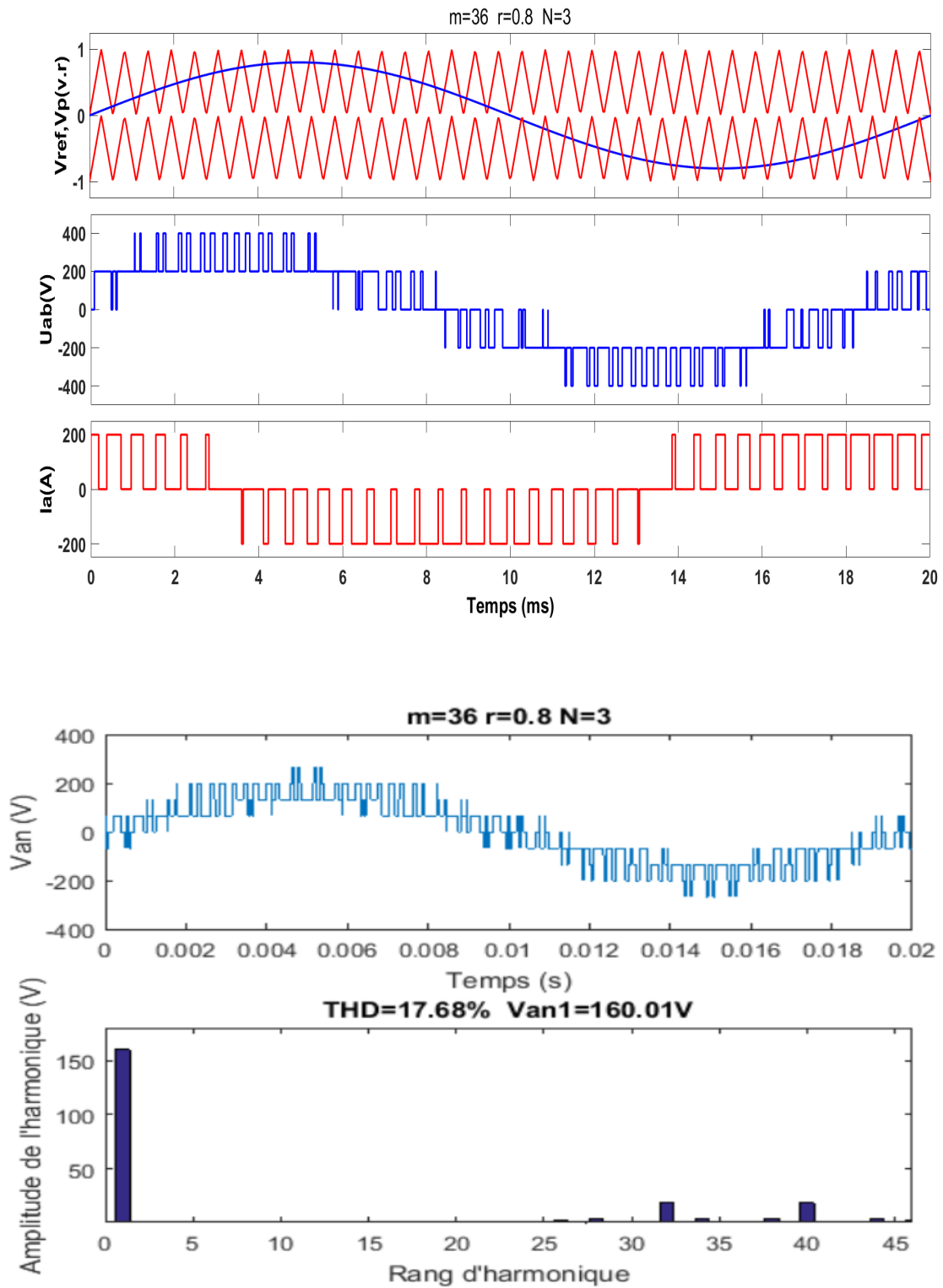


Figure 2.10 : Résultats de simulation pour $m=36$ et $r=0.8$

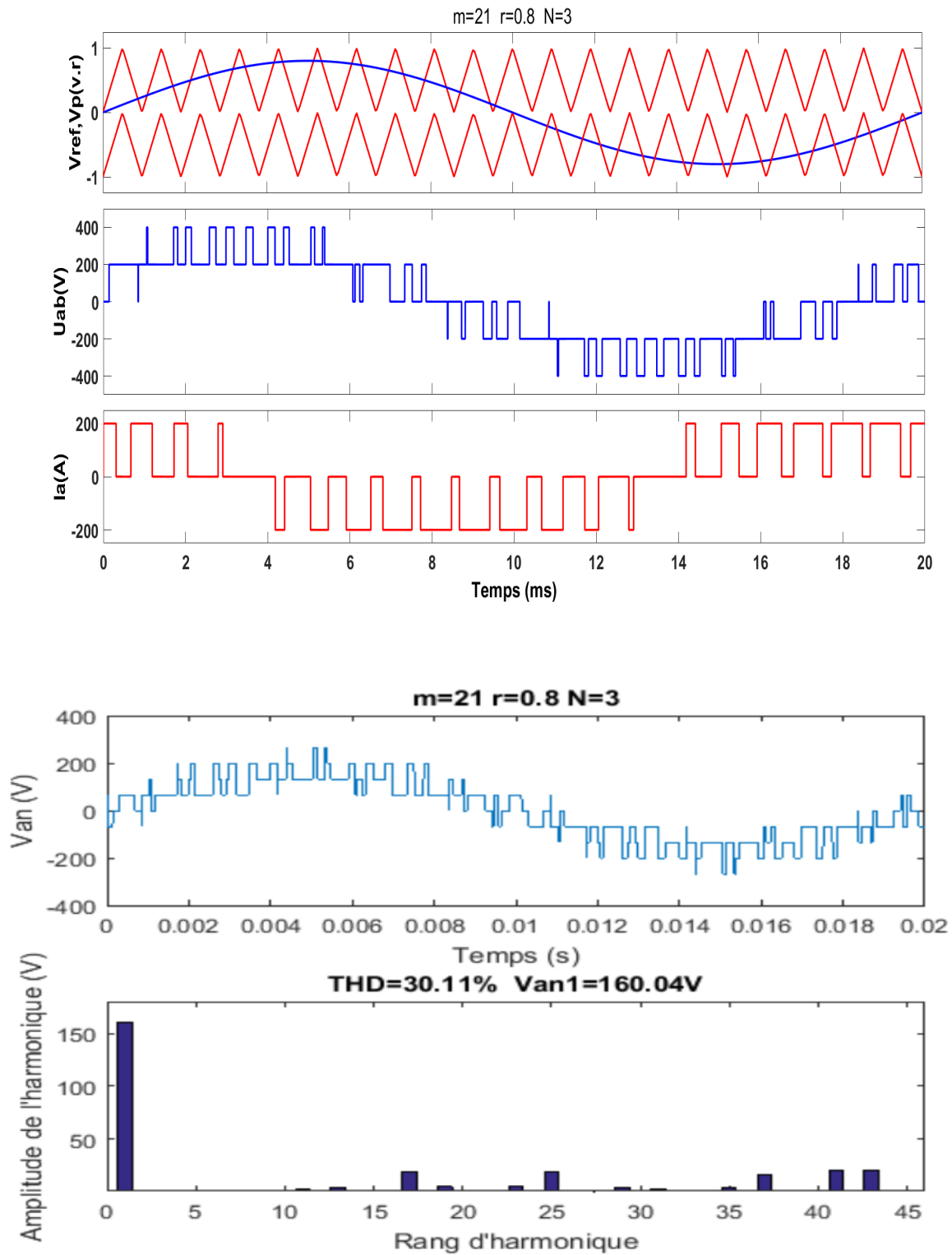


Figure 2.11 : Résultats de simulation pour $m=21$ et $r=0.8$

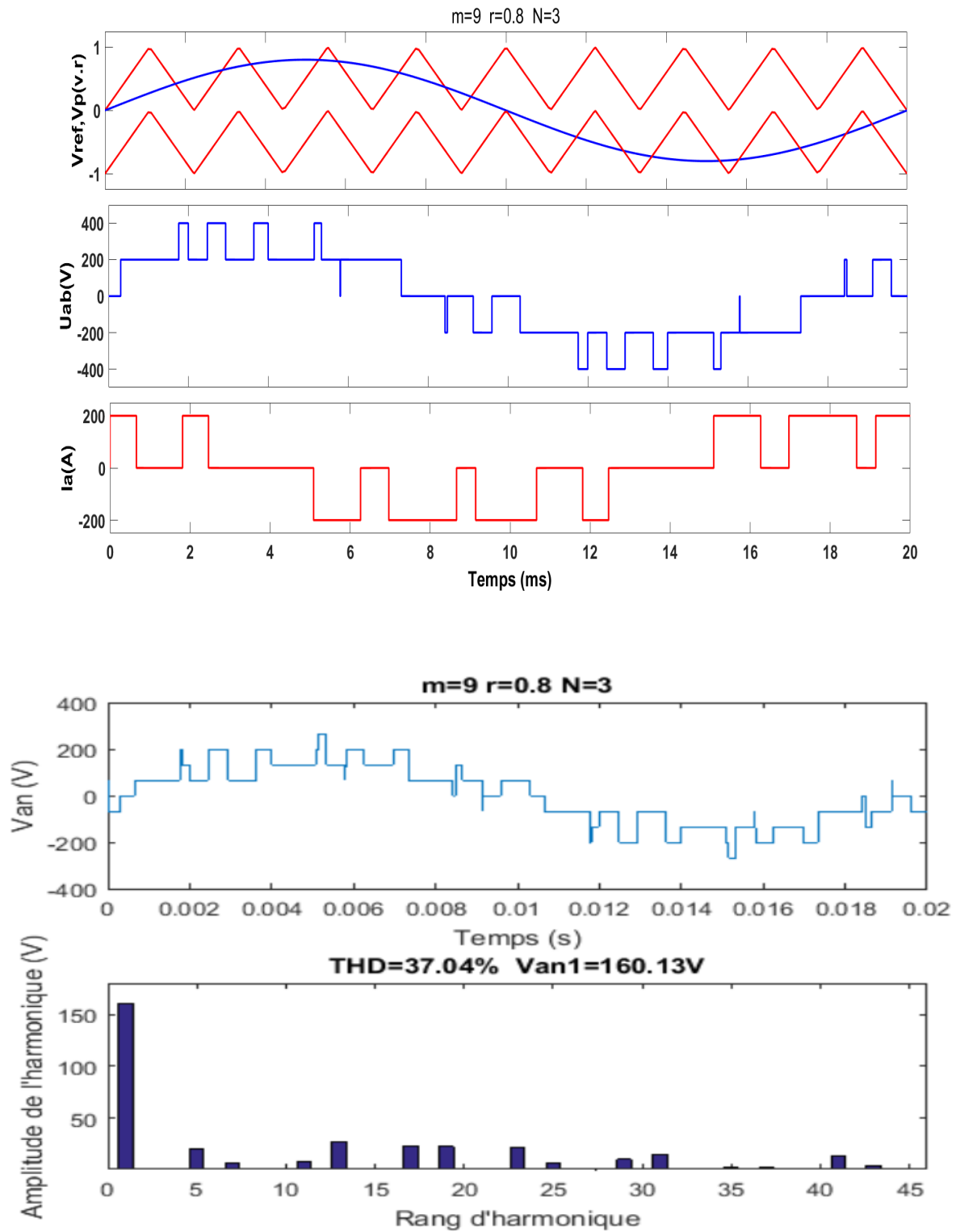


Figure 2.12 : Résultats de simulation pour $m=9$ et $r=0.8$

2.4 Conclusion

Dans ce chapitre, nous avons présenté en détail les équations mathématiques décrivant le fonctionnement d'un onduleur triphasé à trois niveaux de type NPC, après en avoir introduit la structure de base. Deux stratégies de commande ont été étudiées et simulées : la commande pleine onde et la modulation triangulo-sinusoïdale utilisant deux porteuses unipolaires. Les simulations effectuées sous MATLAB confirment que, dans les deux cas, les niveaux de tension sont correctement générés, aussi bien pour les tensions (V_{am} , U_{ab} , V_{an}), respectant ainsi le principe de fonctionnement attendu du convertisseur.

La modulation triangulaire, en particulier, présente un avantage notable en offrant un degré de liberté supplémentaire qui permet d'ajuster la valeur efficace de la tension de sortie, améliorant significativement son spectre. La variation de l'indice de modulation influe directement sur la valeur efficace de la tension, tandis que l'augmentation du taux de modulation entraîne une réduction marquée du THD (Total Harmonic Distortion), avec une diminution de plus de 52

En conclusion, la modulation de largeur d'impulsion permet un contrôle efficace de la tension de sortie tant sur le plan de sa valeur efficace que de sa qualité spectrale, notamment en ce qui concerne la réduction du THD.

Chapitre 3

Stratégie de modulation vectorielle d'un onduleur à trois niveaux (SVM)

3.1 Introduction

Les convertisseurs multiniveaux sont aujourd'hui largement répandus dans les systèmes de conversion d'énergie, en particulier dans les applications à moyenne et haute tension. Leur principal avantage réside dans leur capacité à générer des formes d'onde plus proches d'une sinusoïde idéale, ce qui permet de réduire significativement les pertes de commutation, les contraintes sur les composants électroniques et les interférences électromagnétiques. Cette amélioration de la qualité de l'énergie permet d'augmenter le rendement global du système tout en prolongeant la durée de vie des équipements[5].

En parallèle à l'essor de ces structures, plusieurs méthodes de commande ont vu le jour, notamment les techniques de modulation de largeur d'impulsion (PWM). Ces méthodes permettent de gérer précisément les états des interrupteurs de l'onduleur afin de synthétiser la tension de sortie désirée. Parmi les techniques les plus connues, on retrouve la modulation par signaux porteurs, le contrôle par hystérésis et l'élimination sélective des harmoniques.

Parmi ces approches, la modulation par vecteur spatial (Space Vector Modulation – SVM) s'impose comme l'une des plus efficaces et les plus utilisées. Contrairement aux méthodes classiques basées uniquement sur des signaux de référence, la SVM prend en compte l'état global du vecteur tension dans le plan (α, β) , ce qui permet une commande plus fine de l'onduleur. Cette technique présente plusieurs avantages notables :

- Une réduction importante des harmoniques dans les tensions et les courants de sortie, améliorant ainsi la qualité de l'énergie ;
- Une meilleure exploitation de la tension disponible sur le bus continu, ce qui augmente l'amplitude maximale de la tension de sortie ;
- Une mise en œuvre numérique relativement simple, ce qui facilite son intégration dans des microcontrôleurs, DSP ou FPGA utilisés dans les systèmes embarqués [9].

3.2 Principe général de la modulation par vecteur spatial (SVM)

La modulation par vecteur spatial (SVM) est une technique discrète de commande dans laquelle un vecteur de référence échantillonné, noté v^* , est reproduit par la moyenne temporelle pondérée de plusieurs vecteurs de commutation choisis de manière appropriée. Cette méthode permet une synthèse efficace de la tension de sortie à partir des états de commutation disponibles.

La stratégie SVM repose généralement sur trois étapes fondamentales :

1. **Détermination de la position du vecteur de référence** : identification du secteur et de la région dans lesquels se situe le vecteur v^* dans le plan de Clarke (α, β) .
2. **Calcul des durées d'activation** : évaluation des temps pendant lesquels les vecteurs de commutation sélectionnés doivent être appliqués pour approcher au mieux v^* .
3. **Génération des signaux de commande** : production des impulsions logiques destinées à piloter les interrupteurs de l'onduleur en fonction des temps calculés.

Les tensions de référence sont généralement des tensions triphasées équilibrées, données par le système suivant :

$$\begin{aligned} v_a^* &= V_m \sin(\omega t) \\ v_b^* &= V_m \sin\left(\omega t - \frac{2\pi}{3}\right) \\ v_c^* &= V_m \sin\left(\omega t + \frac{2\pi}{3}\right) \end{aligned} \quad (3.1)$$

où $\omega = 2\pi f$ est la pulsation angulaire, et V_m représente l'amplitude des tensions de phase.

Les tensions triphasées v_a^* , v_b^* et v_c^* peuvent être transformées en un vecteur bidimensionnel dans le plan (α, β) à l'aide de la transformation de Clarke [1] :

$$\begin{bmatrix} v_\alpha^* \\ v_\beta^* \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_a^* \\ v_b^* \\ v_c^* \end{bmatrix} \quad (3.2)$$

Cette transformation permet de représenter les tensions dans un plan orthogonal simplifiant l'analyse et la synthèse dans la méthode SVM.

La projection des tensions triphasées de référence dans le plan $\alpha\beta$ donne naissance à un vecteur appelé **vecteur de tension de référence**, défini comme :

$$\vec{v}_s^* = \begin{bmatrix} v_\alpha^* & v_\beta^* \end{bmatrix}^T \quad (3.3)$$

Ce vecteur tourne dans le plan $\alpha\beta$, dans le sens antihoraire, à une fréquence angulaire ω .

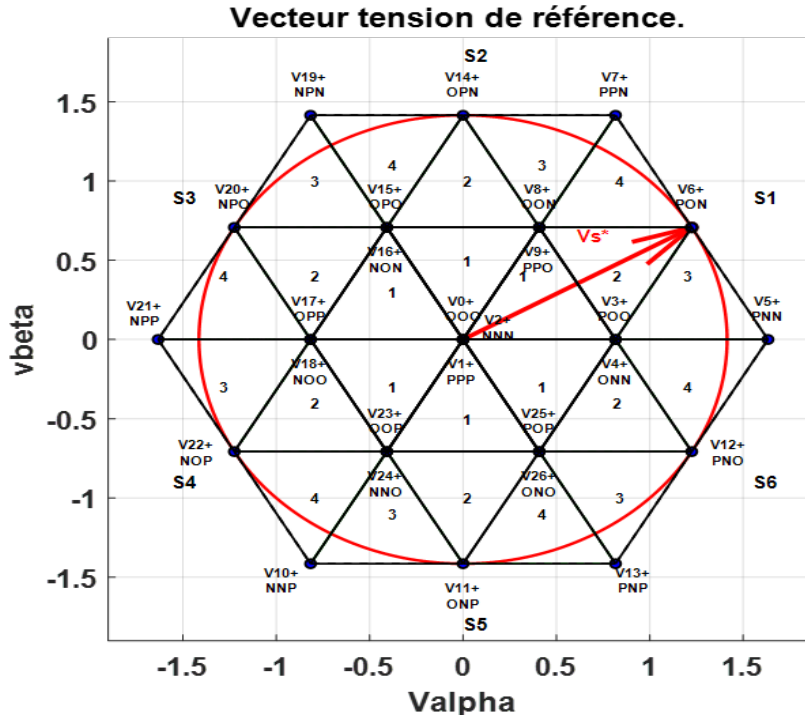


Figure 3.1 : Vecteur tension de référence.

3.2.1 Vecteur tension de sortie et diagramme vectoriel

À partir des états de commutation triphasés S_a , S_b et S_c , on peut définir le vecteur de tension de référence $\vec{v}_s^*$ dans le plan complexe comme suit[1] :

$$\vec{v}_s^* = S_a + S_b \cdot e^{j\frac{2\pi}{3}} + S_c \cdot e^{j\frac{4\pi}{3}} \quad (3.4)$$

Ces positions sont représentées sur le diagramme vectoriel de l'onduleur (comme montre la figure 3.1) Elles sont organisées suivant deux hexagones concentriques :

- **Hexagone externe** : il comporte douze positions correspondant aux états suivants : PNN, PON, PPN, OPN, NPN, NPO, NPP, NOP, NNP, ONP, PNP et PNO.
- **Hexagone interne** : il contient six positions correspondant aux paires d'états redondants suivantes : (POO-ONN), (PPO-OON), (OPO-NON), (OPP-NOO), (OOP-NNO) et (POP-ONO).
- Enfin, **une position centrale** à l'origine du diagramme correspond aux états PPP, 000 et NNN.

Chaque position de l'hexagone interne est obtenue à partir de deux états distincts, appelés états redondants, et les vecteurs correspondants sont désignés comme vecteurs redondants. Le diagramme vectoriel est divisé en six secteurs triangulaires, chacun délimité par l'origine et deux sommets consécutifs de l'hexagone externe. Chaque secteur est ensuite subdivisé en quatre régions élémentaires, formant ainsi un total de 24 régions distinctes dans le diagramme vectoriel.

À partir des tensions de référence triphasées v_a^* , v_b^* et v_c^* , le vecteur de tension de référence est défini par :

$$v_s^* = \frac{2}{3} \left(v_a^* e^{j0} + v_b^* e^{-j\frac{2\pi}{3}} + v_c^* e^{j\frac{2\pi}{3}} \right) \quad (3.5)$$

Ce vecteur peut également s'exprimer sous forme complexe dans le plan (α, β) :

$$v_s^* = v_\alpha^* + jv_\beta^* \quad (3.6)$$

où (α, β) représentent respectivement les composantes directe et quadrature du vecteur v_s^* dans le plan (α, β) .

Par ailleurs, on peut également exprimer ce vecteur sous forme polaire :

$$v_s^* = mV_{\max} \cdot e^{j\theta} \quad (3.7)$$

où $V_{\max}$ est l'amplitude maximale .

- m : taux de modulation ($0 \leq m \leq 1$) ;
- θ : position angulaire du vecteur $\vec{v}_s$.

3.2.2 Détermination du secteur

Où $V_{\max}$ représente l'amplitude maximale du vecteur de tension dans le plan (α, β) , et θ est la position angulaire du vecteur. à partir des coordonnées v_α^* , v_β^* et de la position angulaire θ , on peut déterminer dans quel secteur s et dans quelle région r se situe le vecteur v_s^* dans le plan (α, β) .

Le secteur est déterminé de la manière suivante[1] :

$$s = \begin{cases} 1 & \text{si } 0 \leq \theta < \frac{\pi}{3} \\ 2 & \text{si } \frac{\pi}{3} \leq \theta < \frac{2\pi}{3} \\ 3 & \text{si } \frac{2\pi}{3} \leq \theta < \pi \\ 4 & \text{si } \pi \leq \theta < \frac{4\pi}{3} \\ 5 & \text{si } \frac{4\pi}{3} \leq \theta < \frac{5\pi}{3} \\ 6 & \text{si } \frac{5\pi}{3} \leq \theta < 2\pi \end{cases}$$

En fonction de la position angulaire θ , le vecteur se trouve dans l'un de ces secteurs du plan (α, β) .

3.2.3 Détermination de la région

La région à l'intérieur de chaque secteur est déterminée à partir des équations des trois droites qui délimitent ses frontières. Comme illustré dans la figure 3.2, la région 1 est délimitée par les deux bords adjacents du secteur lui-même et par une droite supplémentaire propre à cette région.

Pour les régions 3 et 4, l'une des frontières est toujours définie par l'une des deux limites du secteur, tandis que l'autre frontière est constituée par le périmètre extérieur de l'hexagone vectoriel. La troisième frontière des régions 1, 2 et 4 est définie par des équations spécifiques aux géométries de ces régions.

Ainsi, après avoir identifié les régions 1, 2 et 4 à l'aide de leurs délimitations respectives, la portion restante de chaque secteur est automatiquement attribuée à la région 3[2].

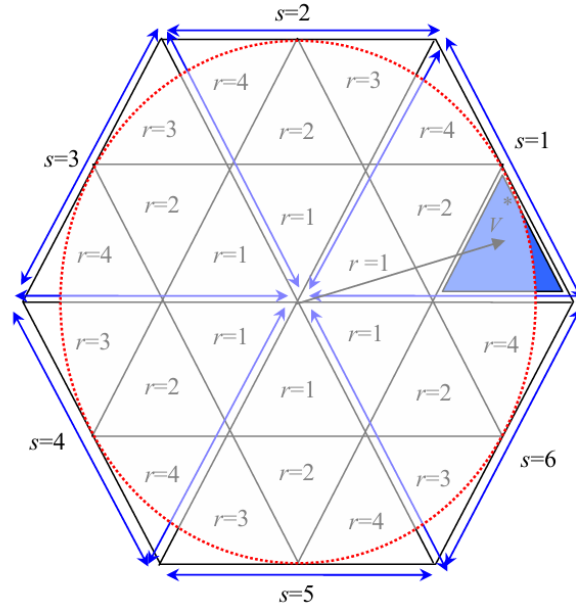


Figure 3.2 : Secteurs et régions du diagramme vectoriel [1].

3.2.4 Définition de la période d'échantillonnage dans la MLI vectorielle

La période d'échantillonnage T_s représente un sous-multiple de la période T des tensions de référence v_a^* , v_b^* et v_c^* . Sur le diagramme vectoriel, cette période correspond à un intervalle angulaire de largeur $\frac{2\pi T_s}{T}$, appelé intervalle d'échantillonnage.

La fréquence d'échantillonnage $\frac{1}{T_s}$ est généralement beaucoup plus élevée que la fréquence de la tension et du courant de sortie $\frac{1}{T}$. Une fréquence de commutation élevée permet d'améliorer la qualité de la tension de sortie de l'onduleur en réduisant la distorsion harmonique. Toutefois, une augmentation excessive de cette fréquence entraîne des pertes supplémentaires dans les interrupteurs de l'onduleur. Ainsi, un compromis est nécessaire entre la qualité de la tension de sortie et les pertes de commutation dans les interrupteurs [11].

3.2.5 Séquence des états de l'onduleur

Au cours de chaque période d'échantillonnage T_s , le vecteur de tension de référence v_s^* doit être égal à la moyenne pondérée de trois vecteurs d'état v_x , v_y , et v_z , correspondant aux sommets du triangle à l'intérieur duquel se trouve v_s^* dans le plan (α, β) . Cette relation s'écrit[1] :

$$v_s^* = MV_{\max} e^{j\alpha} = \frac{T_x v_x + T_y v_y + T_z v_z}{T_s} = d_x v_x + d_y v_y + d_z v_z \quad (3.8)$$

où T_x , T_y et T_z représentent les durées d'application respectives de chaque vecteur d'état au cours de la période T_s , vérifiant la contrainte :

$$T_x + T_y + T_z = T_s \quad \text{ou encore} \quad d_x + d_y + d_z = 1 \quad (3.9)$$

La position angulaire du vecteur v_s^* à l'intérieur d'un secteur est définie par :

$$\alpha = [0, 60^\circ]$$

Les vecteurs v_x , v_y et v_z dépendent de la position du vecteur $\vec{v}_s^*$ dans le diagramme vectoriel, c'est-à-dire du secteur et de la région considérés. Par exemple, lorsque v_s^* est situé dans la région $r = 3$ du secteur $s = 1$, on a :

- v_x : vecteur correspondant à l'état PNN (état X),
- v_y : vecteur correspondant à l'état PON (état Y),
- v_z : vecteur correspondant à l'état P00 (état Z_1) ou ONN (état Z_2).

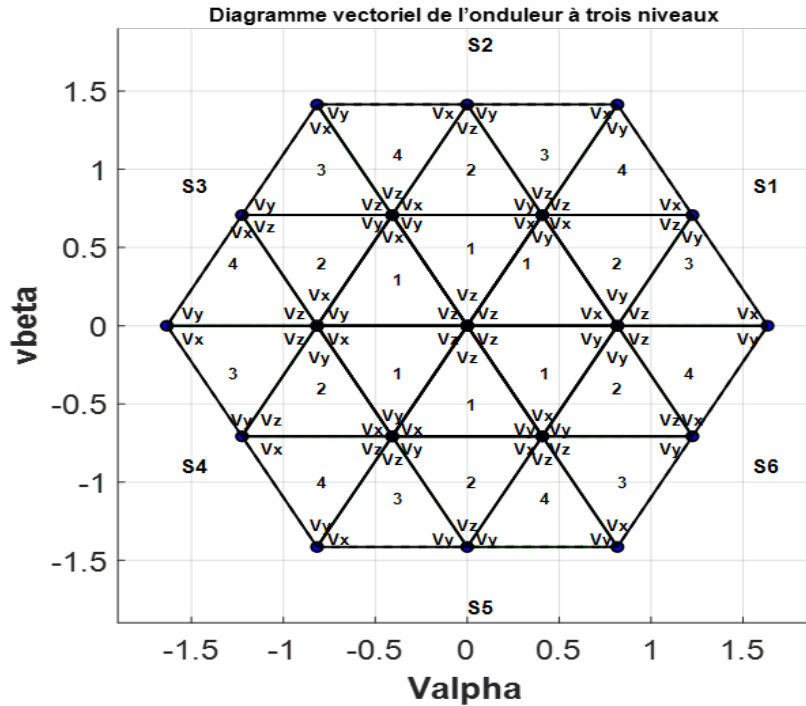


Figure 3.3 : Etats X, Y et Z pour les différentes régions du diagramme vectoriel.

La correspondance entre les vecteurs X, Y, et Z avec les états de l'onduleur varie en fonction des secteurs et des régions, comme illustré dans la figure 3.3.

L'équation (3.9) et la décomposition de l'équation (3.8) suivant les deux axes (α, β) permettent de déduire les rapports d_x , d_y , d_z , et par suite les durées T_x , T_y , T_z . Le tableau (3.1) donne la décomposition de l'équation (3.8) pour les quatre régions d'un secteur donné. Cette décomposition s'applique pour tous les secteurs du diagramme vectoriel : pour passer d'un secteur à l'autre, il suffit de positionner l'axe α sur le début du secteur concerné.

Région	Décomposition
$r = 1$	$\begin{cases} \frac{\sqrt{3}}{2}m \cos \theta = \frac{1}{2}d_x + \frac{1}{4}d_y \\ \frac{\sqrt{3}}{2}m \sin \theta = \frac{\sqrt{3}}{4}d_y \end{cases}$
$r = 2$	$\begin{cases} \frac{\sqrt{3}}{2}m \cos \theta = \frac{1}{4}d_x + \frac{1}{2}d_y + \frac{3}{4}d_z \\ \frac{\sqrt{3}}{2}m \sin \theta = \frac{\sqrt{3}}{4}(d_x + d_z) \end{cases}$
$r = 3$	$\begin{cases} \frac{\sqrt{3}}{2}m \cos \theta = d_x + \frac{3}{4}d_y + \frac{1}{2}d_z \\ \frac{\sqrt{3}}{2}m \sin \theta = \frac{\sqrt{3}}{4}d_y \end{cases}$
$r = 4$	$\begin{cases} \frac{\sqrt{3}}{2}m \cos \theta = \frac{3}{4}d_x + \frac{1}{2}d_y + \frac{1}{4}d_z \\ \frac{\sqrt{3}}{2}m \sin \theta = \frac{\sqrt{3}}{4}(d_x + d_z) + \frac{\sqrt{3}}{2}d_y \end{cases}$

Table 3.1 : Décomposition par région pour la SVM d'un onduleur à trois niveaux[1].

La résolution du système formé par l'équation $T_x + T_y + T_z = T_s$ et par les deux équations issues de la décomposition du vecteur de référence permet d'obtenir les expressions des durées d'application T_x , T_y et T_z selon la position du vecteur $\vec{v}_s^*$ dans le plan (α, β) . Ces expressions dépendent du secteur et de la région dans lesquels se situe le vecteur de référence.

Région	T_x	T_y	T_z
1	$2 T_s m \sin\left(\frac{\pi}{3} - \theta\right)$	$2 T_s m \sin(\theta)$	$T_s - T_x - T_y$
2	$T_s - 2 m T_s \sin\left(\frac{\pi}{3} - \theta\right)$	$T_s - 2 m T_s \sin(\theta)$	$T_s - T_x - T_y$
3	$-T_s + 2 m T_s \sin\left(\frac{\pi}{3} - \theta\right)$	$2 T_s m \sin(\theta)$	$T_s - T_x - T_y$
4	$2 m T_s \sin\left(\frac{\pi}{3} - \theta\right)$	$-T_s + 2 T_s m \sin(\theta)$	$T_s - T_x - T_y$

Table 3.2 : Temps de commutation T_x , T_y et T_z pour chaque région du SVM d'un onduleur à trois niveaux[2].

Ainsi, pour obtenir des tensions de sortie triphasées sinusoïdales aussi proches que possible des valeurs de référence souhaitées, on applique successivement différents états de l'onduleur pendant des durées bien déterminées au cours de chaque période d'échantillonnage.

L'état X est appliqué pendant un certain temps, suivi de l'état Y , puis de l'état Z pour compléter la période. Ces états peuvent correspondre à plusieurs combinaisons appelées états redondants, qui produisent la même tension de sortie. Le choix entre ces redondances peut être effectué selon plusieurs critères :

- Minimiser les pertes de puissance de l'onduleur en réduisant le nombre de commutations par période ;

- Équilibrer les tensions aux bornes des condensateurs sur le côté continu de l'onduleur, car ceux-ci se chargent et se déchargent en fonction des états appliqués.

Afin de limiter les pertes et de réduire les harmoniques de la tension de sortie, on adopte une séquence particulière d'application des états X , Y et Z :

- Appliquer les trois états dans un ordre déterminé pendant la première moitié de la période d'échantillonnage, puis dans l'ordre inverse pendant la seconde moitié ;
- Répartir équitablement le temps d'application entre les redondances disponibles ;
- Appliquer le même état au début et à la fin de chaque période d'échantillonnage .
- Inverser l'ordre de succession des états à chaque changement de secteur.

Le tableau 3.3 résume les séquences d'états appliquées pendant une demi-période pour les différentes régions du diagramme vectoriel. Lors de la seconde moitié de la période, cette séquence est répétée en ordre inverse.

Secteur	Région 1						Région 2						Région 3				Région 4			
1	N	O	O	O	P	P	P	O	O	P	P	P	O	P	P	P	O	P	P	P
	N	N	O	O	O	P	P	N	O	O	O	P	N	N	O	O	O	O	P	P
	N	N	N	O	O	O	P	N	N	N	O	O	N	N	N	O	N	N	N	O
2	P	P	O	O	O	N	N	P	O	O	O	N	P	P	O	O	O	O	N	N
	P	P	P	O	O	O	N	P	P	P	O	O	P	P	P	O	P	P	P	O
	P	O	O	O	N	N	N	O	O	N	N	N	O	N	N	N	O	N	N	N
3	N	N	N	O	O	O	P	N	N	N	O	O	N	N	N	O	N	N	N	O
	N	O	O	O	P	P	P	O	O	P	P	P	O	P	P	P	O	P	P	P
	N	N	O	O	O	P	P	N	O	O	O	P	N	N	O	O	O	O	P	P
4	P	O	O	O	N	N	N	O	O	N	N	N	O	N	N	N	O	N	N	N
	P	P	O	O	O	N	N	P	O	O	O	N	P	P	O	O	O	O	N	N
	P	P	P	O	O	O	N	P	P	P	O	O	P	P	P	O	P	P	P	O
5	N	N	O	O	O	P	P	N	O	O	O	P	N	N	O	O	O	O	P	P
	N	N	N	O	O	O	P	N	N	N	O	O	N	N	N	O	N	N	N	O
	N	O	O	O	P	P	P	O	O	P	P	P	O	P	P	P	O	P	P	P
6	P	P	P	O	O	O	N	P	P	P	O	O	P	P	P	O	P	P	P	O
	P	O	O	O	N	N	N	O	O	N	N	N	O	N	N	N	O	N	N	N
	P	P	O	O	O	N	N	P	O	O	O	N	P	P	O	O	O	O	N	N

Table 3.3 : Séquences des états dans les différentes régions du diagramme vectoriel [2].

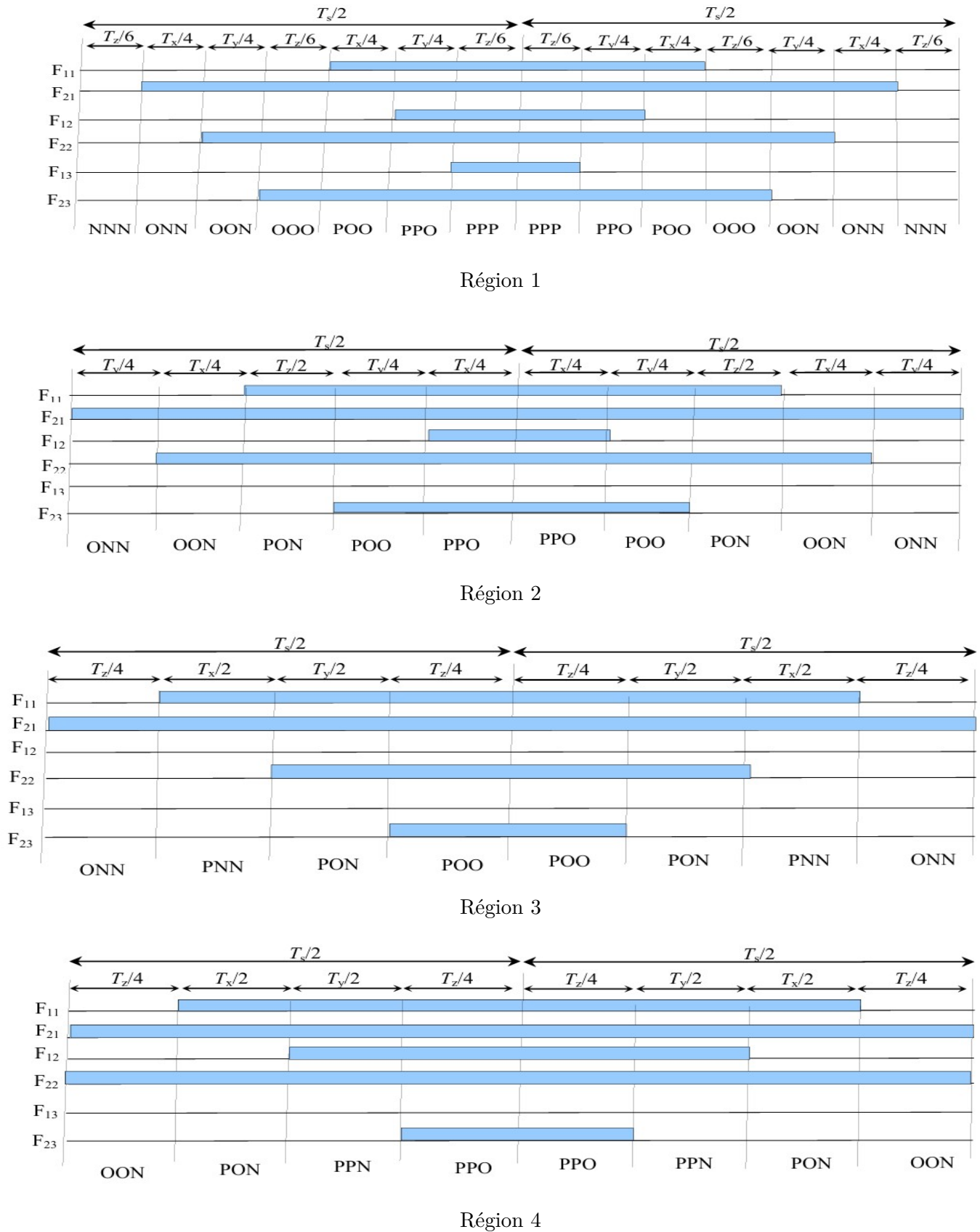


Figure 3.4 : Fonctions logiques F_{ij} dans les quatre régions du premier secteur [1].

À partir de cette séquence, on déduit les fonctions logiques de commande associées aux interrupteurs de l'onduleur. La figure 3.4 montre la forme de ces fonctions logiques pour les interrupteurs des demi-bras supérieurs pendant une période d'échantillonnage, dans les quatre régions du premier secteur du diagramme vectoriel. Les fonctions logiques des demi-bras in-

férieurs sont obtenues par complémentation. On remarque que chaque interrupteur ne change d'état que deux fois par période d'échantillonnage.

À partir des fonctions logiques déterminées pour les quatre régions du premier secteur, on déduit les durées de fermeture des interrupteurs durant la période d'échantillonnage T_s dans chaque région. Par exemple, pour les quatre régions du premier secteur, les durées de fermeture des interrupteurs des demi-bras supérieurs sont résumées dans le tableau 3.4 Les durées de fermeture des autres interrupteurs peuvent être obtenues par complémentation.

Région	Demi bras 1	Demis bras 2	Demis bras 3
1	$S_{11}: T_x/2+T_y/2+T_z/3$ $S_{21}: T_x+T_y+2 T_z/3$	$S_{12}: T_y/2+T_z/3$ $S_{22}: T_x/2+T_y+2 T_z/3$	$S_{13}: T_z/3$ $S_{23}: T_x/2+T_y/2+2 T_z/3$
2	$S_{11}: T_x/2+T_y/2+T_z$ $S_{21}: T_x+T_y+T_z$	$S_{12}: T_x/2$ $S_{22}: T_x+T_y/2+ T_z$	$S_{13}: 0$ $S_{23}: T_x/2+T_y/2$
3	$S_{11}: T_x+T_y+T_z/2$ $S_{21}: T_x+T_y+ T_z$	$S_{12}: 0$ $S_{22}: T_y+ T_z/2$	$S_{13}: 0$ $S_{23}: T_z/2$
4	$S_{11}: T_x+T_y+T_z/2$ $S_{21}: T_x+T_y+ T_z$	$S_{12}: T_y+T_z/2$ $S_{22}: T_x+T_y+ T_z$	$S_{13}: 0$ $S_{23}: T_z/2$

Table 3.4 : Durées de fermeture des interrupteurs dans le cas du premier secteur [1].

3.2.6 Résumé de l'algorithme SVM pour l'onduleur triphasé à trois niveaux

L'algorithme de modulation vectorielle spatiale (SVM) appliqué à un onduleur triphasé à trois niveaux repose sur les étapes suivantes :

- **Transformation de Clarke :** à partir des tensions de référence triphasées v_a^*, v_b^*, v_c^* , on calcule les composantes dans le plan ($\alpha\beta$) selon la transformation de Clarke, ce qui donne V_alpha et V_beta , représentant le vecteur de tension dans le plan complexe.
- **Coordonnées polaires :** à partir de V_alpha et V_beta , on calcule :

$$\theta = \tan^{-1} \left(\frac{V_beta}{V_alpha} \right)$$

- **Détermination du secteur et de la région :** l'angle θ permet d'identifier le **secteur** $s \in \{1, \dots, 6\}$, tandis que la combinaison des signes et des valeurs de V_alpha et V_beta permet de déterminer la **région** $r \in \{1, 2, 3, 4\}$ à l'intérieur de ce secteur.
- **Sélection des vecteurs de commutation :** en fonction du secteur s et de la région r , trois vecteurs de commutation V_X, V_Y, V_Z sont choisis pour approximer le vecteur de référence.
- **Calcul des temps de commutation :** les durées T_X, T_Y, T_Z d'activation des vecteurs V_X, V_Y, V_Z sont calculées pour synthétiser la tension désirée au cours de la période d'échantillonnage.
- **Génération des signaux MLI :** les états de conduction des interrupteurs sont déduits de la séquence des vecteurs appliqués et des temps calculés, ce qui permet de générer les impulsions de commande PWM.

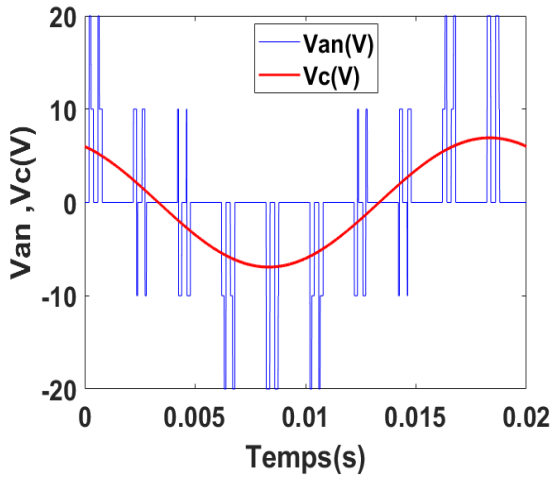
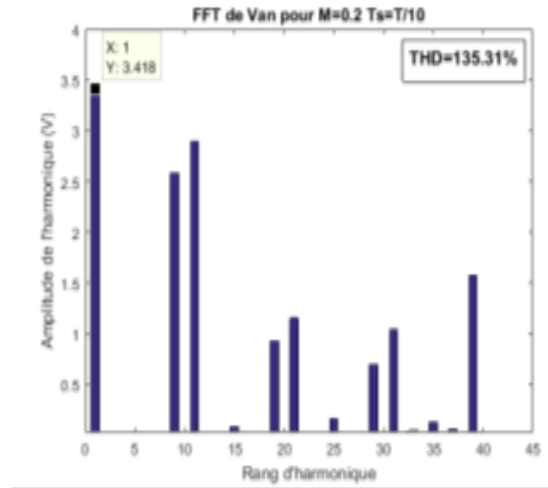
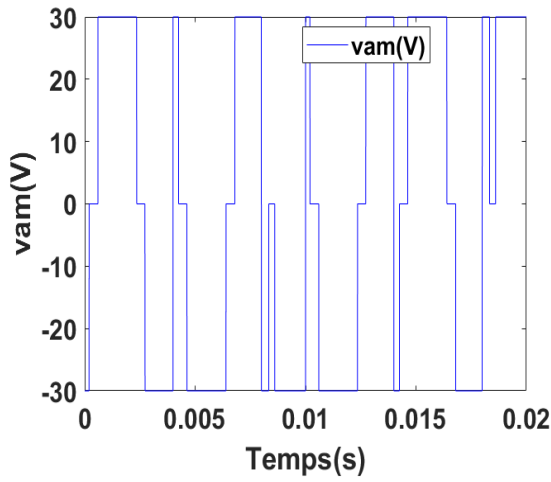
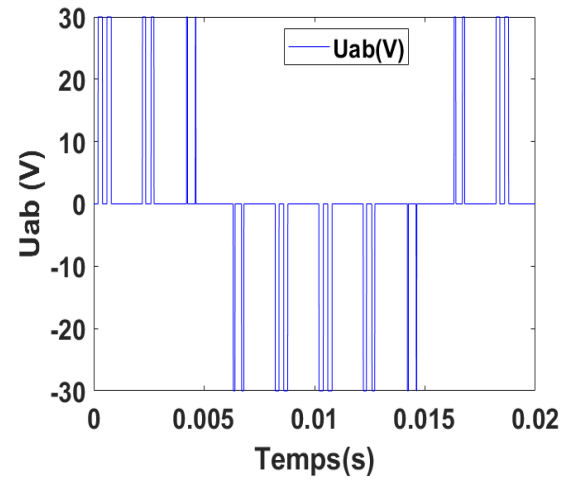
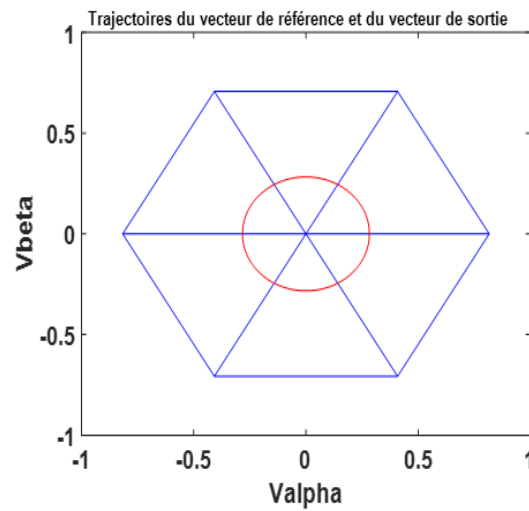
3.2.7 Résultats de simulation et interprétations

La mise en œuvre de l'algorithme a été effectuée par la programmation sous l'environnement MATLAB. Les résultats sont obtenus pour trois valeurs de pas d'échantillonnage ($T/10$ et $T/100$ et $T/200$). Pour une meilleure analyse, nous avons présenté sur les figures 3.5 à 3.13 la tension de référence V_s^* ainsi que les régions sélectionnées par l'algorithme, la tension du bras V_{am} et la tension simple V_{an} avec son spectre d'harmoniques.

Pour les taux de modulation faibles ($m < 0,5$), le vecteur de référence se situe dans les régions ($r = 1$) pour les six secteurs. Ainsi, la génération de la tension simple suit fidèlement la tension de référence. En augmentant m , ce vecteur passe aux trois autres régions ($r = 2, 3$ et 4).

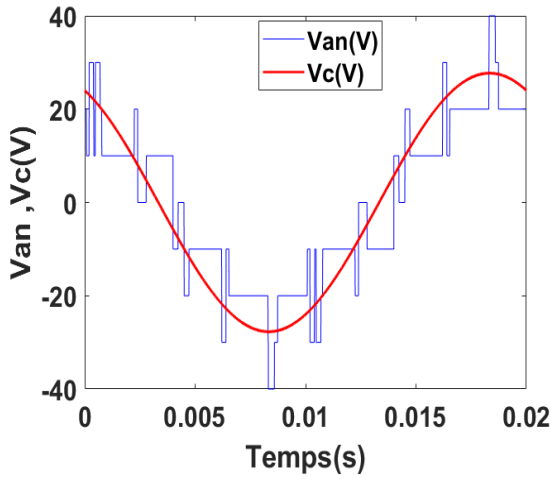
D'après les figures 3.5 à 3.13, nous constatons que l'algorithme sélectionne les bons vecteurs pour les différents vecteurs de référence qui sont contrôlés par le taux de modulation m (0,2, 0,8, 1), et ceci a été observé pour les deux pas d'échantillonnage. La tension du bras V_{am} générée par l'onduleur, illustrée sur les figures correspondantes, présente trois niveaux de tension : 30 V, 0 et -30 V. Plus le pas d'échantillonnage est faible, plus des commutations sont observées.

Quant à la tension simple, elle s'approche d'une forme sinusoïdale parfaite pour $T_s = T/100$ ($2 \cdot 10^{-4}$ s), ce qui explique la diminution de la valeur du THD. De plus, la tension efficace de V_{an} est directement affectée par la valeur du taux de modulation. Nous remarquons que cette valeur augmente avec l'augmentation de m : elle passe de 30 V pour les faibles valeurs de m à plus de 60 V pour $m = 1$.

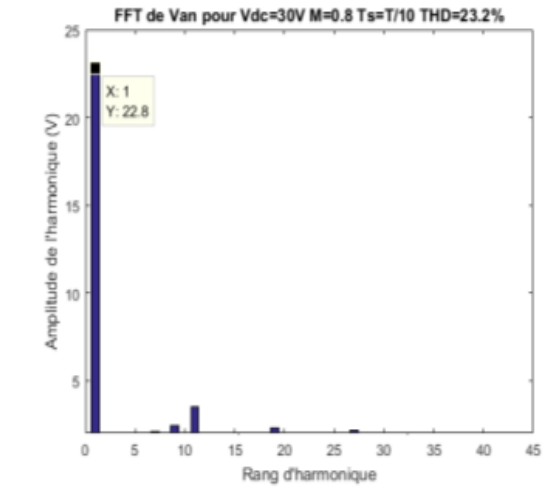

 Tension simple V_{an} (V)

 Analyse harmonique de V_{an} (V)

 Tension de premier bras V_{am} (V)

 Tension composée U_{ab} (V)


Trajectoire de vecteur tension de référence

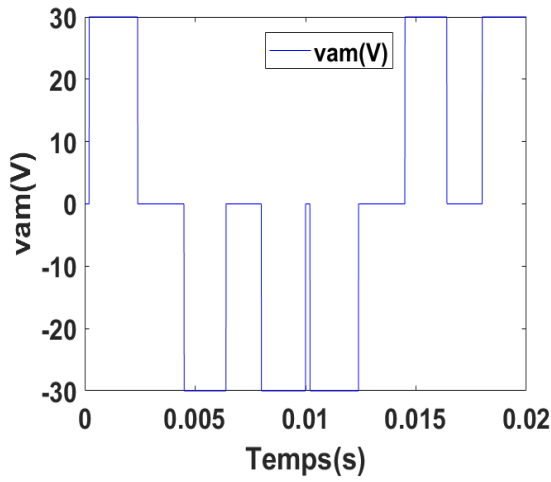
 Figure 3.5 : Résultats de simulation pour $T_s=T/10$ et $m=0.2$



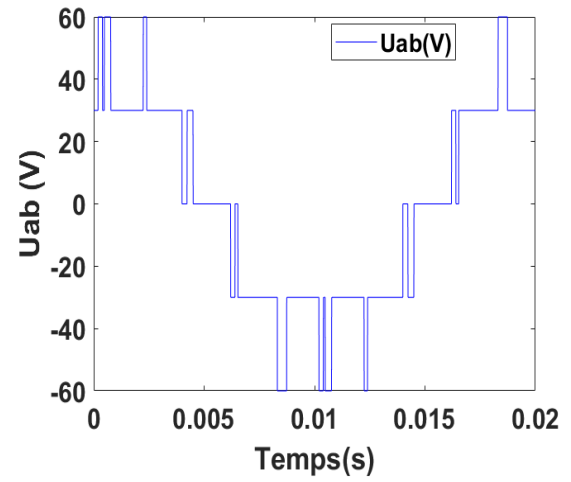
Tension simple Van (V)



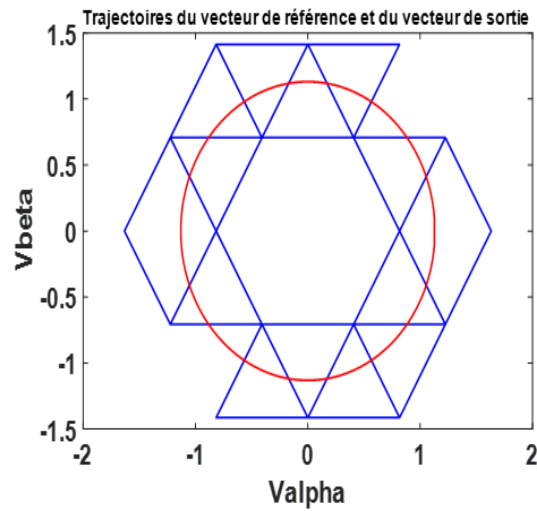
Analyse harmonique de Van (V)



Tension de premier bras Vam (V)

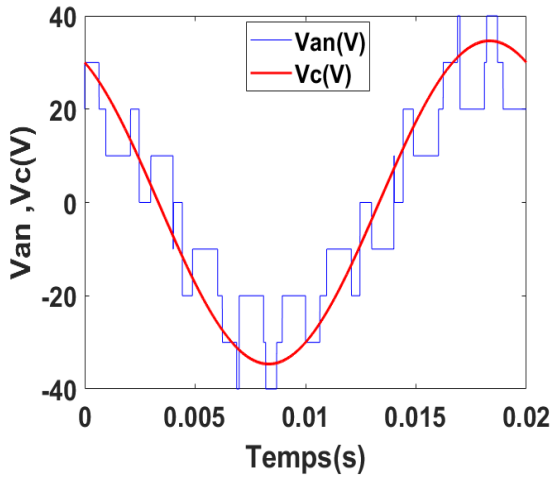


Tension composée Uab (V)

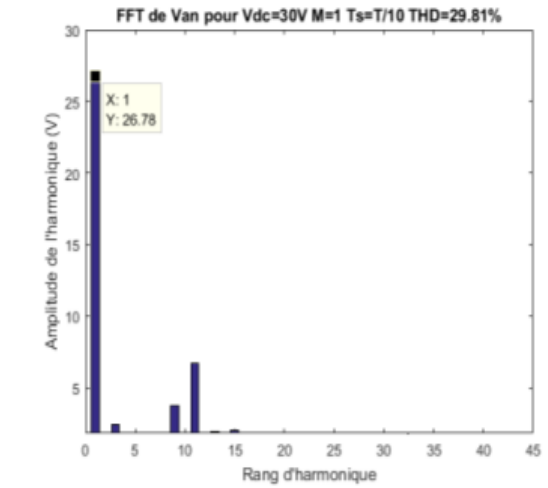


Trajectoire de vecteur tension de référence.

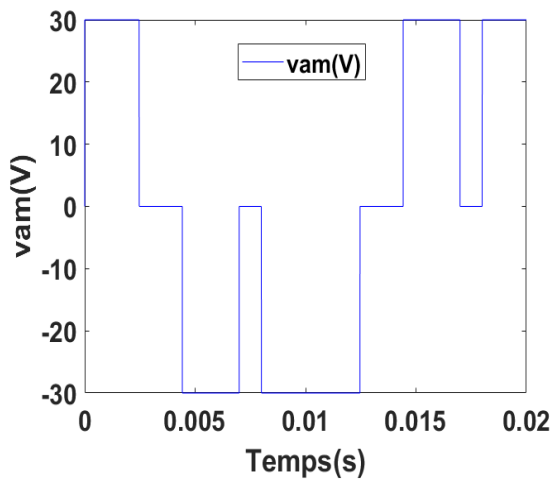
Figure 3.6 : Résultats de simulation pour $T_s=T/10$ et $m=0.8$



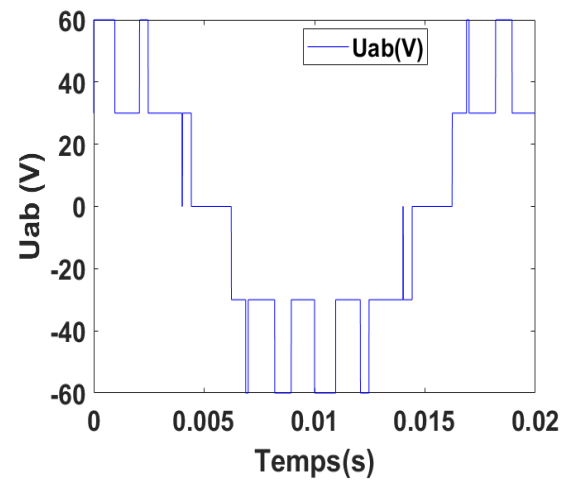
Tension simple Van (V)



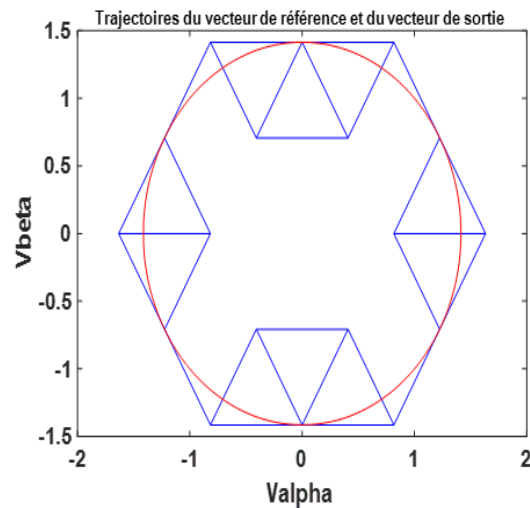
Analyse harmonique de Van(V)



Tension de premier bras Vam (V)

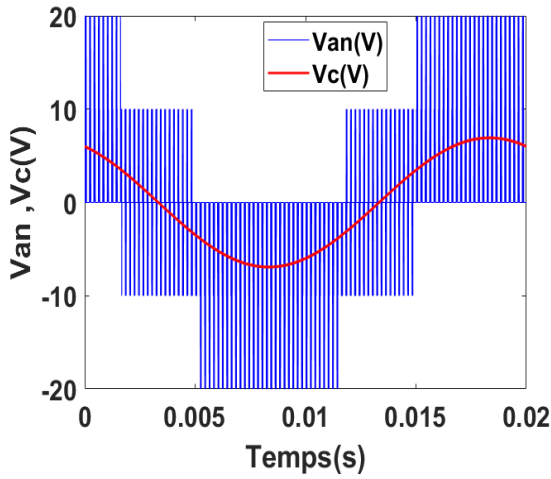


Tension composée Uab (V)

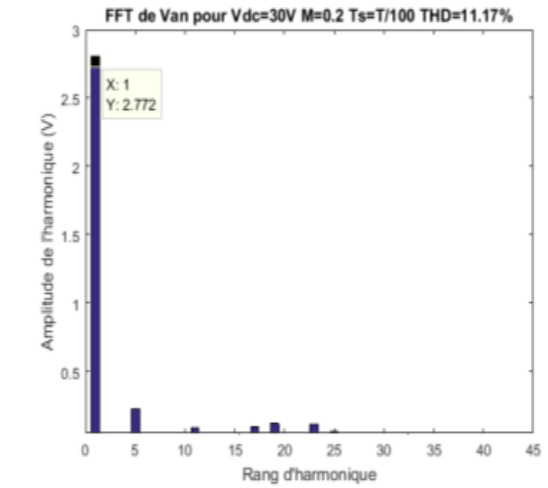


Trajectoire de vecteur tension de référence.

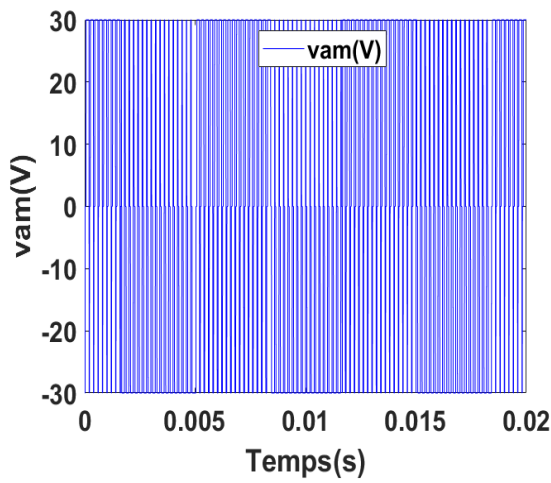
 Figure 3.7 : Résultats de simulation pour $T_s=T/10$ et $m=1$



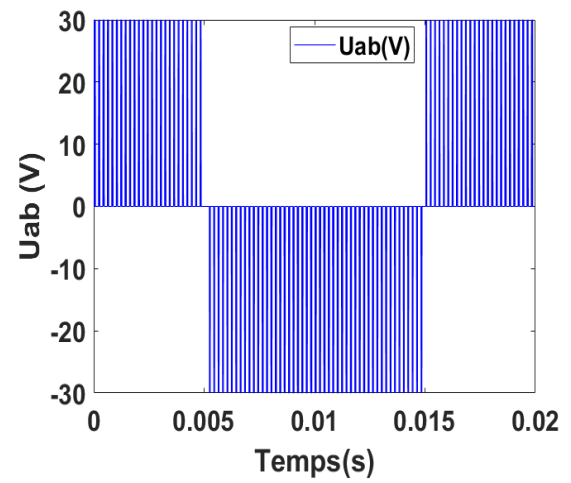
Tension simple Van (V)



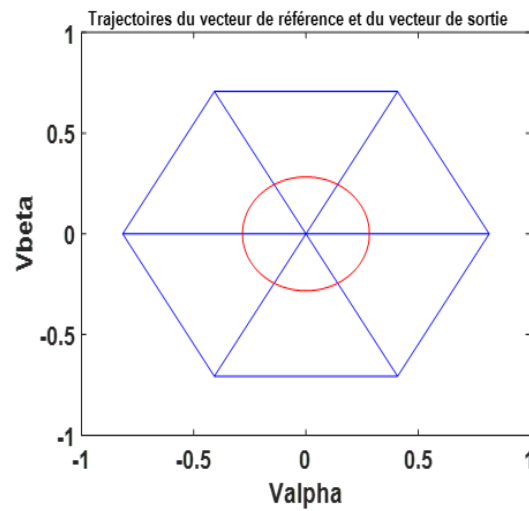
Analyse harmonique de Van(V)



Tension de premier bras Vam (V)

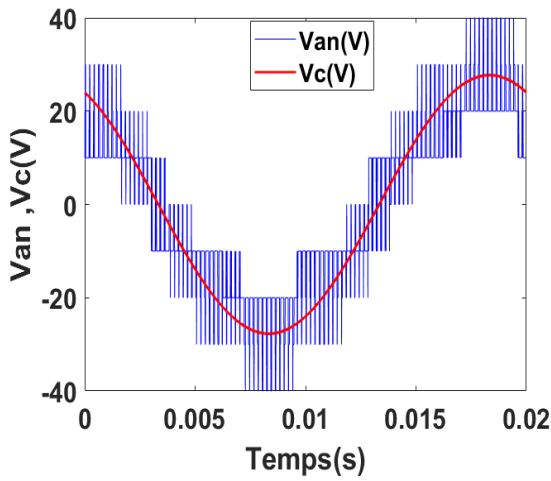


Tension composée Uab (V)

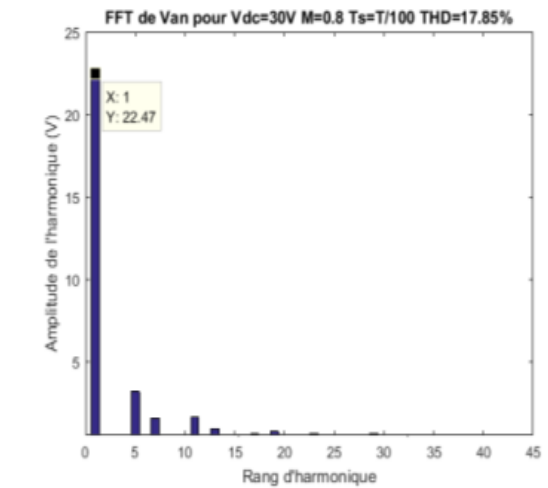


Trajectoire de vecteur tension de référence.

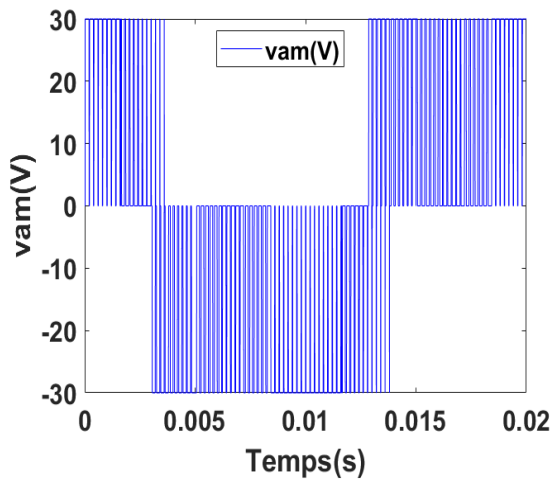
Figure 3.8 : Résultats de simulation pour $T_s=T/100$ et $m=0.2$



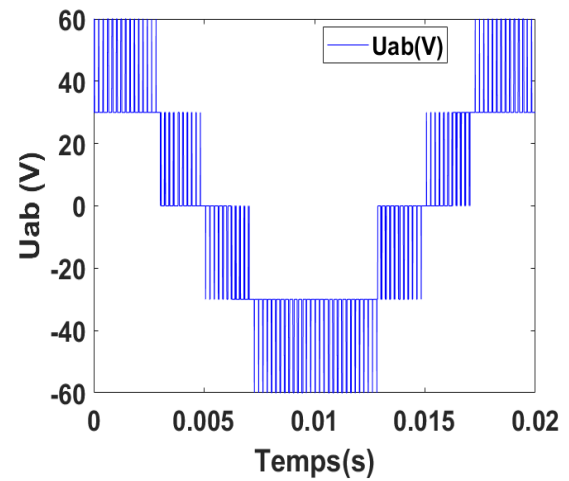
Tension simple Van (V)



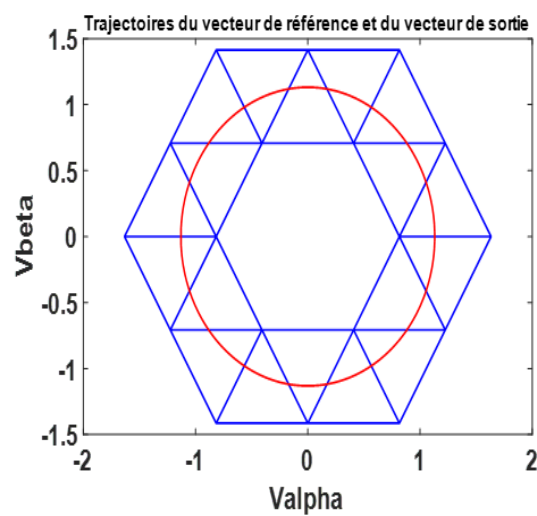
Analyse harmonique de Van(V)



Tension du bras Vam (V)

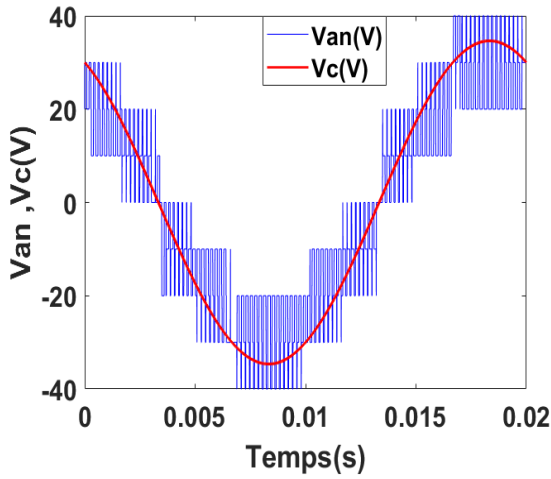


La tension composée Uab(V)

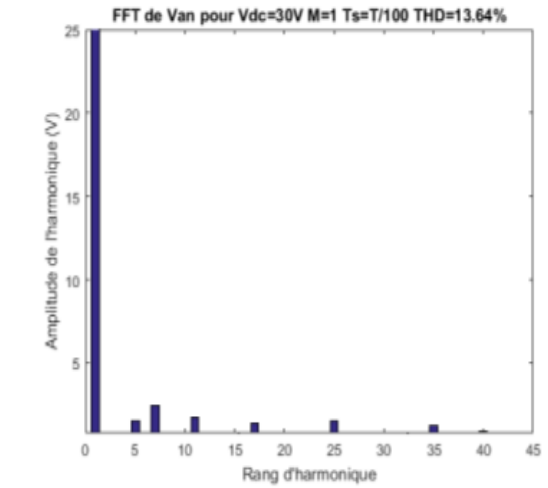


Trajectoire de vecteur tension de référence

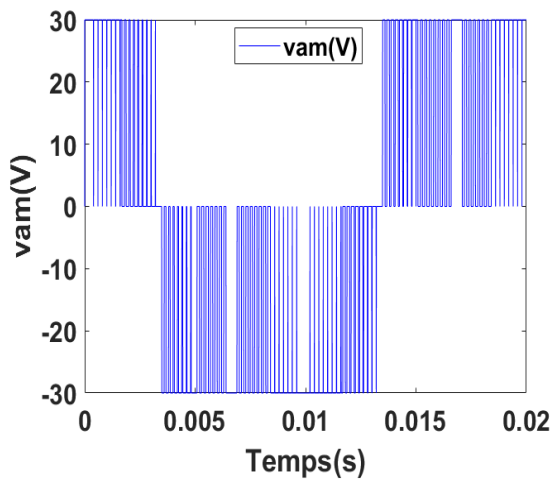
Figure 3.9 : Résultats de simulation pour $T_s=T/100$ et $m=0.8$



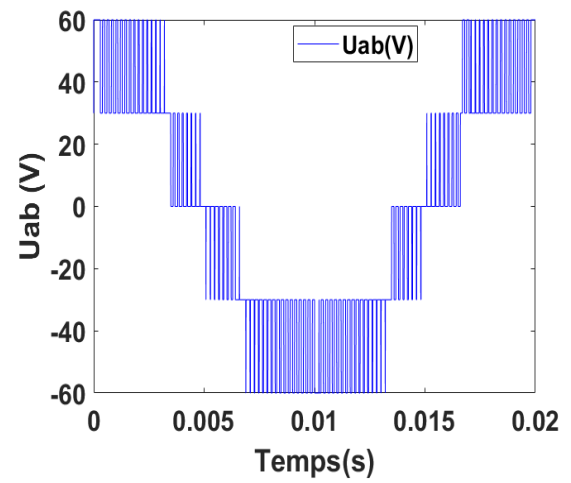
Tension simple Van (V)



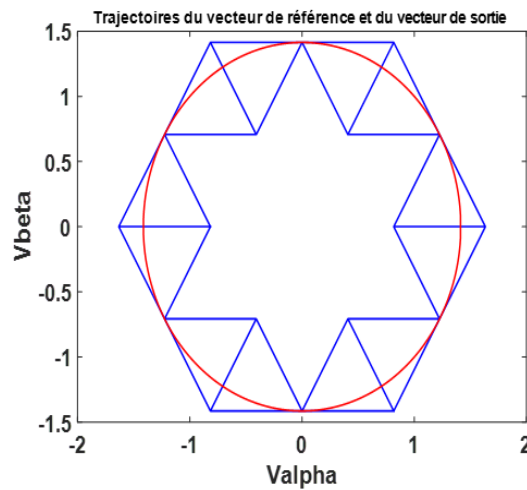
Analyse harmonique de Van(V)



Tension de premier bras Vam (V)

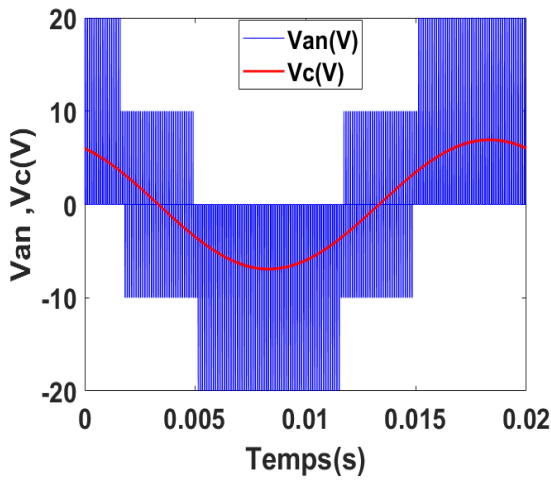


Tension composée Uab (V)

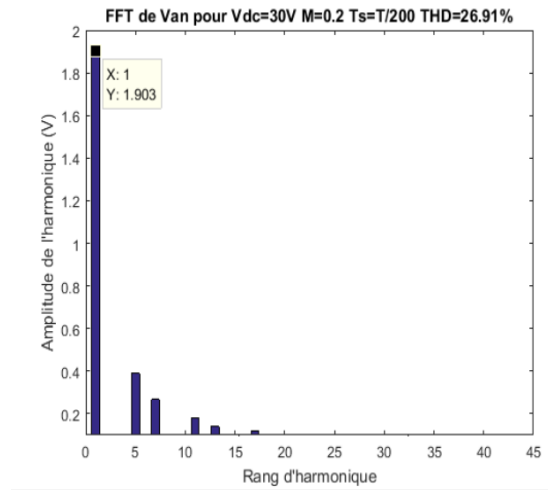


Trajectoire de vecteur tension de référence

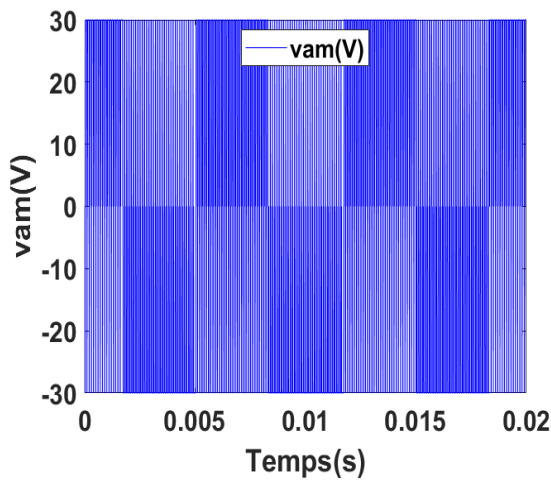
Figure 3.10 : Résultats de simulation pour $T_s=T/100$ et $m=1$



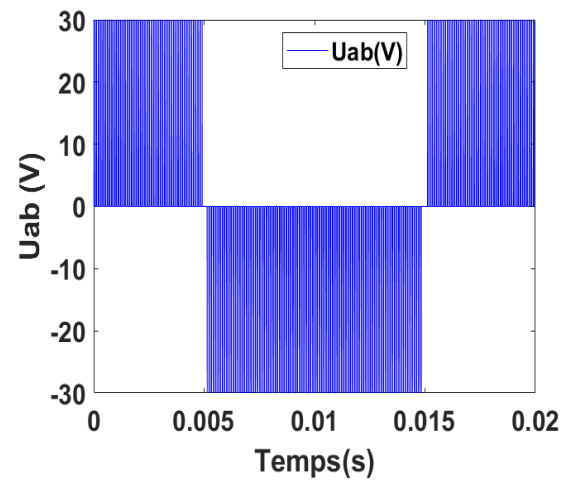
Tension simple Van (V)



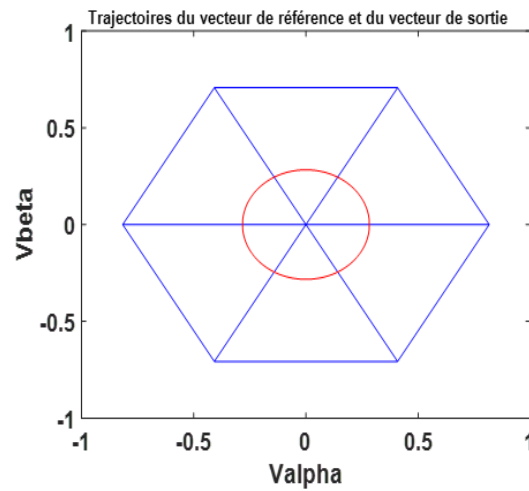
Analyse harmonique de Van (V)



Tension de premier bras Vam (V)

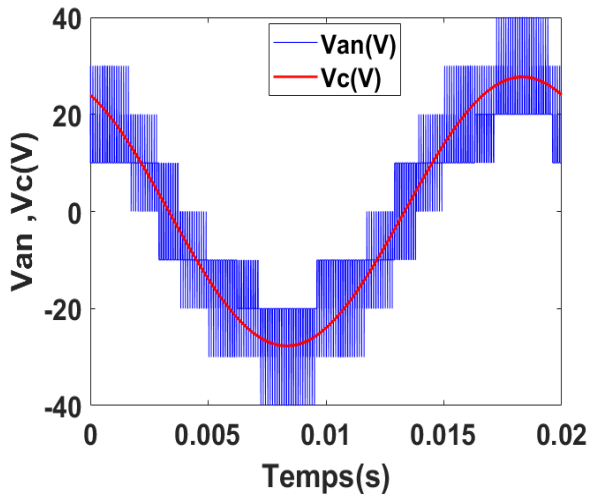


Tension composée Uab (V)

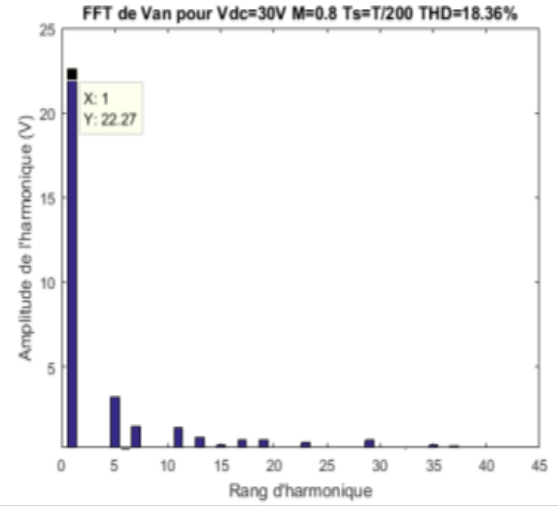


Trajectoire de vecteur tension de référence

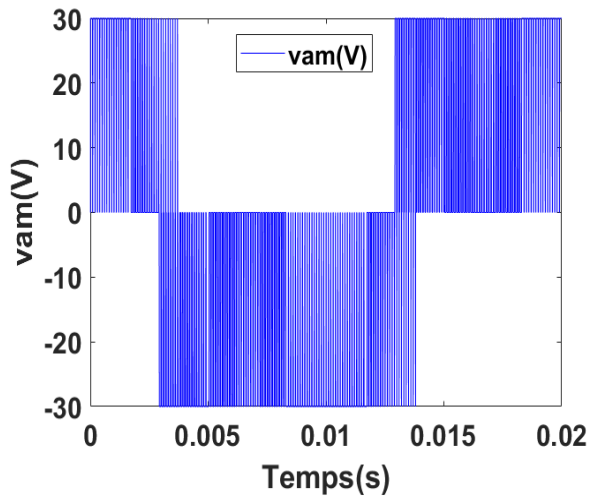
Figure 3.11 : Résultats de simulation pour $T_s=T/200$ et $m=0.2$



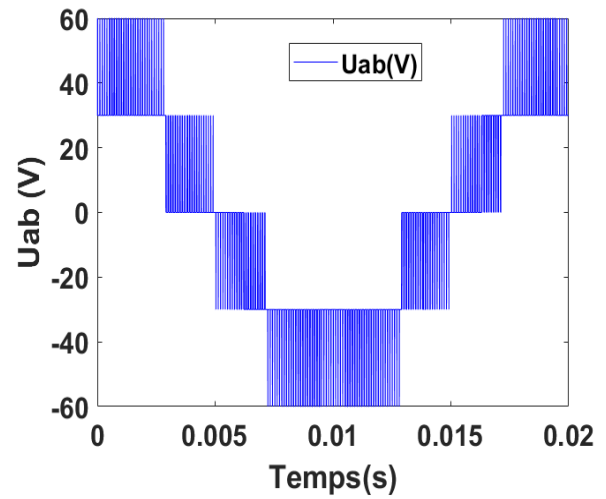
Tension simple Van (V)



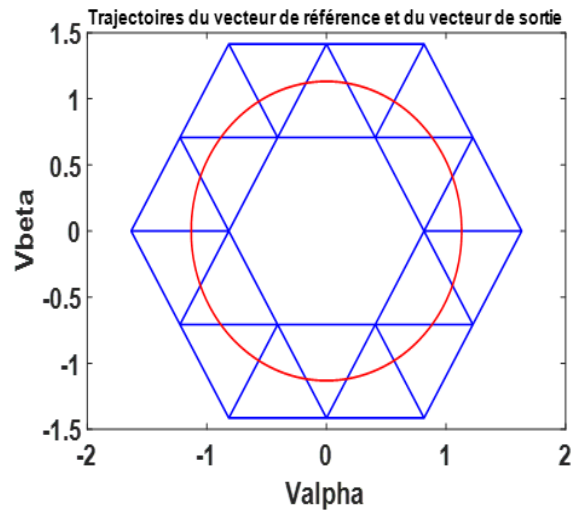
Analyse harmonique de Van (V)



Tension de premier bras Vam (V)

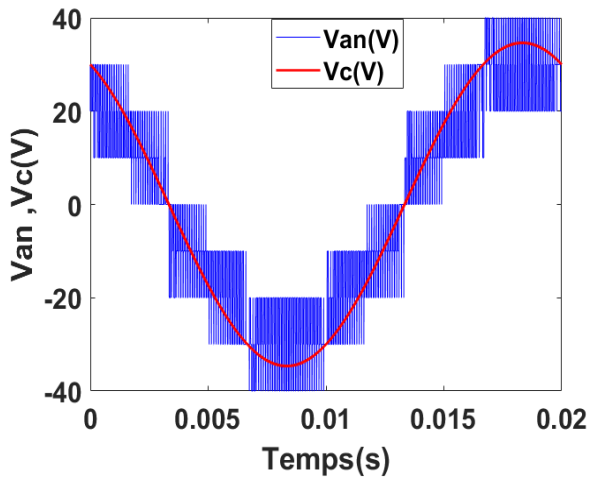


Tension composée Uab (V)

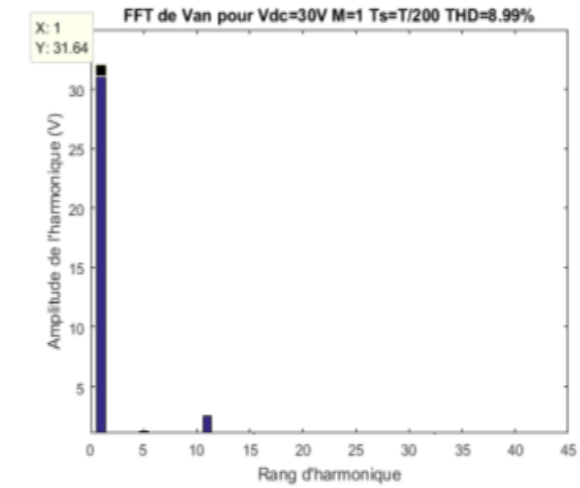


Trajectoire de vecteur tension de référence.

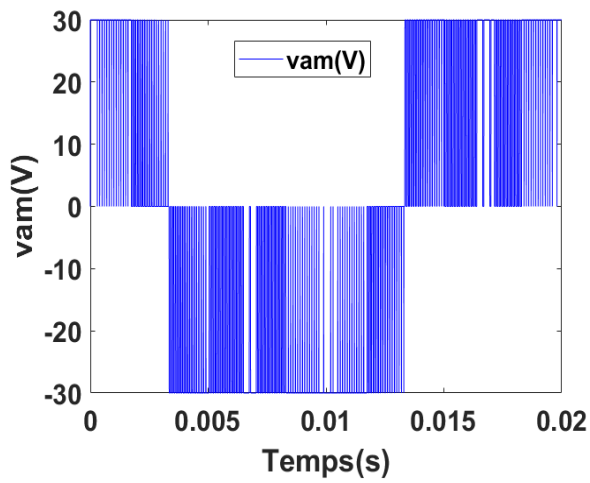
 Figure 3.12 : Résultats de simulation pour $T_s=T/200$ et $m=0.8$



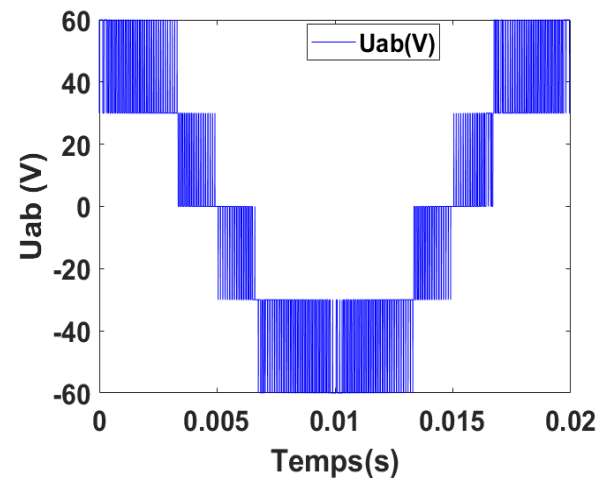
Tension simple Van (V)



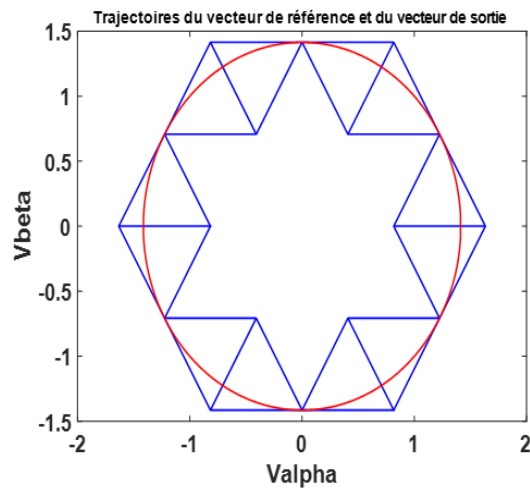
Analyse harmonique de Van(V)



Tension du bras Vam (V)



Tension composée Uab (V)



Trajectoire de vecteur tension de référence

Figure 3.13 : Résultats de simulation pour $T_s=T/200$ et $m=1$

3.3 Conclusion

Dans ce chapitre, la commande vectorielle SVM appliquée à un onduleur triphasé à trois niveaux a été étudiée. Cette structure permet de générer 27 vecteurs de tension distincts. La représentation de ces vecteurs dans le plan (α, β) forme deux hexagones, eux-même subdivisés en quatre régions(triangles) à l'intérieur de chaque secteur, ce qui permet une approximation plus fine du vecteur de référence.

Le principe de fonctionnement de la SVM a été détaillé, puis validé à l'aide de simulations sous MATLAB. Les résultats, présentés pour différentes valeurs d'indice de modulation, permettent de valider l'algorithme proposé. L'onduleur est alimenté par une tension supposée constante et stable.

Il ressort des résultats obtenus que la modulation SVM est correctement générée. En effet, pour chaque indice de modulation, les vecteurs adéquats sont sélectionnés et appliqués aux intervalles calculés.

L'analyse spectrale de la tension simple confirme l'efficacité de la SVM à trois niveaux dans la production d'une tension de sortie de meilleure qualité traduite par un faible THD pour les valeurs de m élevées par rapport aux autres techniques MLI .

Cette approche démontre ainsi tout son intérêt pour les applications nécessitant une tension de sortie de haute qualité.

Chapitre 4

Implémentation de la stratégie SVM sur un circuit FPGA

4.1 Introduction :

Après avoir présenté les fondements théoriques de la modulation vectorielle spatiale (SVM) appliquée à un onduleur triphasé à trois niveaux dans le chapitre précédent, ce chapitre est consacré à l'implémentation matérielle de l'algorithme sur FPGA, ainsi qu'à la présentation des résultats pratiques obtenus.

L'utilisation d'un FPGA (Field Programmable Gate Array) permet de concevoir une architecture matérielle dédiée, capable d'exécuter des traitements complexes en parallèle, avec une rapidité et une précision adaptées aux contraintes temps réel des systèmes de commande en électronique de puissance[12].

Pour décrire et concevoir cette architecture, nous avons utilisé le langage VHDL (VHSIC Hardware Description Language). Il s'agit d'un langage de description matériel standardisé, permettant de modéliser le comportement et la structure d'un circuit numérique. Contrairement aux langages de programmation classiques (comme C ou Python), VHDL décrit non pas une suite d'instructions séquentielles, mais une architecture matérielle, composée de signaux, de blocs logiques et de processus fonctionnant en parallèle. Ce langage est particulièrement adapté à la conception sur FPGA, car il permet un contrôle précis du comportement temporel du système et facilite la simulation avant la synthèse[13].

Dans ce chapitre, l'algorithme SVM à trois niveaux a été entièrement décrit en VHDL, puis implémenté à l'aide du logiciel Xilinx ISE, un environnement complet permettant la simulation, la synthèse, et la configuration des circuits FPGA. Avant toute implémentation physique, une vérification fonctionnelle a été réalisée à l'aide du simulateur ModelSim, qui a permis d'observer le comportement des signaux internes (PWM, temps de commutation, détection des secteurs, etc.) et de s'assurer de la validité du système dans un environnement virtuel.

L'implémentation matérielle a ensuite été réalisée sur la carte FPGA Spartan-3E, une plateforme adaptée aux applications de prototypage rapide. Cette carte offre les ressources logiques nécessaires pour accueillir l'ensemble des blocs fonctionnels de la SVM à trois niveaux.

Enfin, ce chapitre présente également les résultats expérimentaux obtenus à partir de l'implémentation pratique sur la carte. Les signaux générés ont été observés à l'aide d'un oscilloscope et comparés aux résultats attendus pour valider la performance de la commande.

4.2 Méthodologie de conception

La conception d'un FPGA suit un enchaînement d'étapes bien définies, allant de la modélisation du circuit jusqu'à sa mise en œuvre physique. Elle commence par la description RTL, où le comportement du système est exprimé en VHDL ou Verilog. Cette description est ensuite soumise à une simulation pour vérifier la logique du design. Une fois validée, elle est synthétisée en une structure logique, qui sera ensuite placée et routée dans le FPGA lors de l'étape d'implémentation. Vient ensuite l'analyse temporelle, indispensable pour s'assurer du respect des délais de propagation. Enfin, un fichier de configuration est généré pour être chargé dans la puce, permettant le test et le débogage du circuit sur le matériel. Ces étapes sont représentées de manière linéaire et ordonnée dans la figure ci-dessous, où chaque phase est illustrée par un bloc distinct relié par des flèches de progression[14].

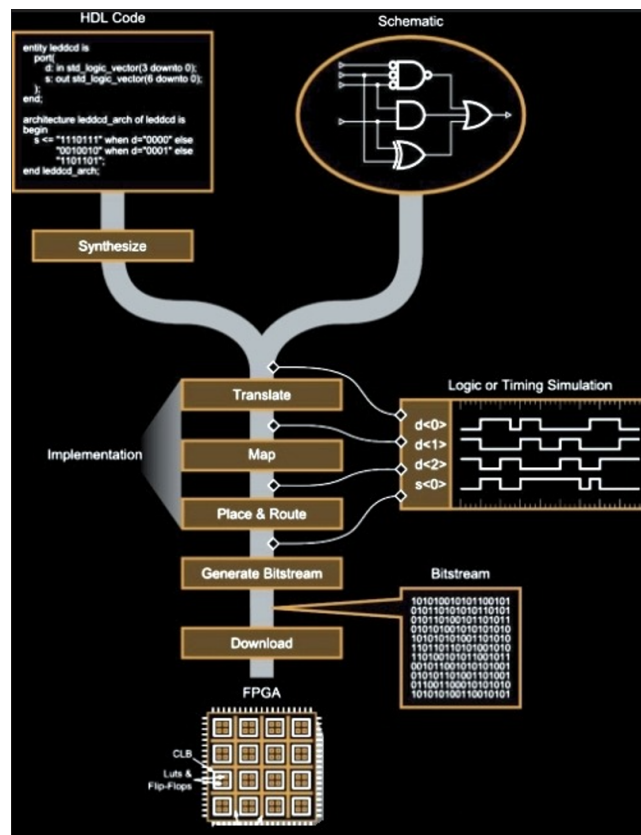


Figure 4.1 : Méthodologie de conception d'un FPGA [6].

4.3 Qu'est-ce qu'un FPGA ?

Un FPGA (Field Programmable Gate Array) est un circuit intégré numérique reprogrammable. Contrairement aux circuits classiques (comme les microcontrôleurs), un FPGA permet de concevoir et configurer du matériel sur mesure, en décrivant son fonctionnement avec un langage de description matériel comme le VHDL ou le Verilog[6].

Il est composé d'un grand nombre de blocs logiques, de bascules, de portes logiques et d'interconnexions que l'on peut programmer pour réaliser des systèmes numériques complexes (comme des processeurs, des algorithmes de commande, ou des interfaces de communication).

4.4 Domaines d'application de l'FPGA

Le tableau 4.1 présente les principaux domaines d'application des circuits FPGAs.

Domaine	Exemples d'applications
Télécommunications	Modems, encodeurs/décodeurs, traitement du signal radio, 5G, réseaux optiques
Automobile	Systèmes d'aide à la conduite (ADAS), traitement vidéo embarqué, contrôle moteur
Médical	Imagerie médicale (IRM, scanner), systèmes de surveillance en temps réel
Industrie / Automatisation	Contrôle de processus, robotique, interfaces homme-machine, traitement de capteurs
Informatique hautes performances (HPC)	Accélération d'algorithmes (IA, big data), calcul parallèle, traitement d'images
Électronique grand public	Téléviseurs, caméras, appareils audio avec traitement numérique
Intelligence Artificielle / Deep Learning	Accélérateurs de réseaux neuronaux, traitement embarqué

Table 4.1 : Les domaines d'applications[3].

4.5 Avantages et inconvénients des FPGA

Le tableau 4.2 présente les avantages et les inconvénients des circuits FPGAs.

Avantages	Inconvénients
Reconfigurabilité : on peut modifier le circuit même après la fabrication	Programmation complexe : nécessite la maîtrise du VHDL/Verilog
Très grande parallélisation des traitements	Coût unitaire élevé pour la production en masse
Temps de mise sur le marché réduit (pas besoin de fabrication ASIC)	Consommation électrique souvent plus élevée qu'un ASIC
Flexibilité pour les mises à jour, corrections et évolutions du design	Moins performant qu'un ASIC pour certaines tâches spécifiques
Très adapté au prototypage, à la recherche et à l'enseignement	Nécessite des outils de développement coûteux et des compétences spécialisées
Permet l'accélération matérielle (traitement en temps réel, IA, DSP...)	Latence possible si mal optimisé ou surchargé

Table 4.2 : Les avantages et les inconvénients[3].

4.6 Architecture interne des FPGA

L'architecture interne des FPGA (Field Programmable Gate Array) varie selon les constructeurs, mais elle repose sur des principes communs. Malgré les différences de mise en œuvre, on retrouve des éléments fondamentaux similaires dans la plupart des architectures, qui peuvent être représentés schématiquement comme suit [15] :

Les macro-cellules internes d'un FPGA sont généralement composées de trois types d'éléments principaux :

- a) CLB (Configurable Logic Block) : Bloc logique configurable, il constitue l'unité de base du traitement logique. Chaque CLB contient des éléments tels que des tables de vérité (LUT - Look-Up Tables), des bascules (flip-flops) et parfois des multiplexeurs, permettant de réaliser des fonctions logiques complexes et des registres.
- b) IOB (Input/Output Block) : Bloc d'entrée/sortie, il gère les interactions entre le FPGA et le monde extérieur. Chaque IOB permet de configurer les broches du FPGA en tant qu'entrées, sorties ou E/S bidirectionnelles, avec différentes normes de tension et de temporisation.
- c) PIP (Programmable Interconnect Point) : Point d'interconnexion programmable, il permet d'établir des connexions entre les différents blocs du FPGA. Les PIP assurent la flexibilité de routage, permettant de relier les CLB entre eux ou avec les IOB selon la logique définie dans la configuration.

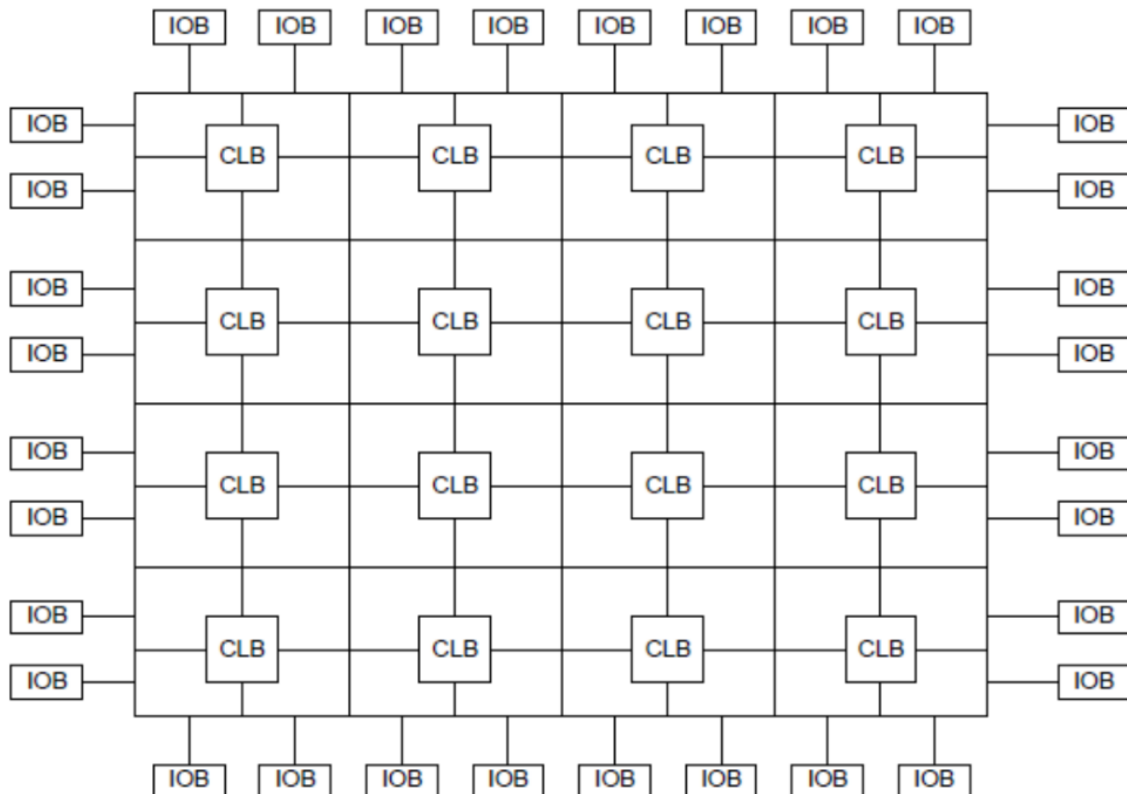


Figure 4.2 : L'architecture interne d'un FPGA[7]

4.6.1 Structure des CLB

Les **CLB** (*Configurable Logic Blocks*) représentent la ressource principale utilisée pour implémenter aussi bien la **logique séquentielle** que la **logique combinatoire** dans un FPGA. Chaque CLB est constitué de plusieurs **tranches interconnectées**, qui sont les sous-blocs fonctionnels internes. Ces tranches sont **disposées en paires**, et chaque paire est **organisée en colonne** dans la matrice logique du FPGA[15].

Dans chaque paire :

- la **tranche de gauche** est appelée **SLICE1** ;
- la **tranche de droite** est appelée **SLICE0**.

À l'intérieur de chaque tranche, on trouve :

- des **LUTs** (*Look-Up Tables*) permettant d'implémenter des fonctions logiques personnalisées ;
- des **flip-flops** utilisés pour le stockage séquentiel des bits (logique synchrone) ;
- des **multiplexeurs** pour la sélection et le routage des signaux ;
- une **logique de retenue** (*carry logic*) utilisée pour optimiser les opérations arithmétiques (comme les additions rapides).

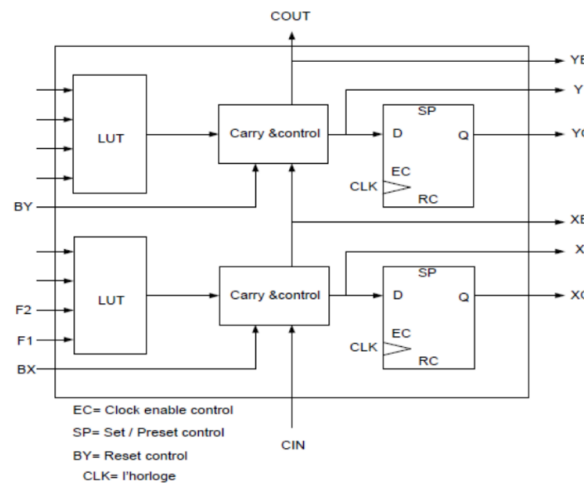


Figure 4.3 : Architecture d'un SLICE de famille Virtex[7]

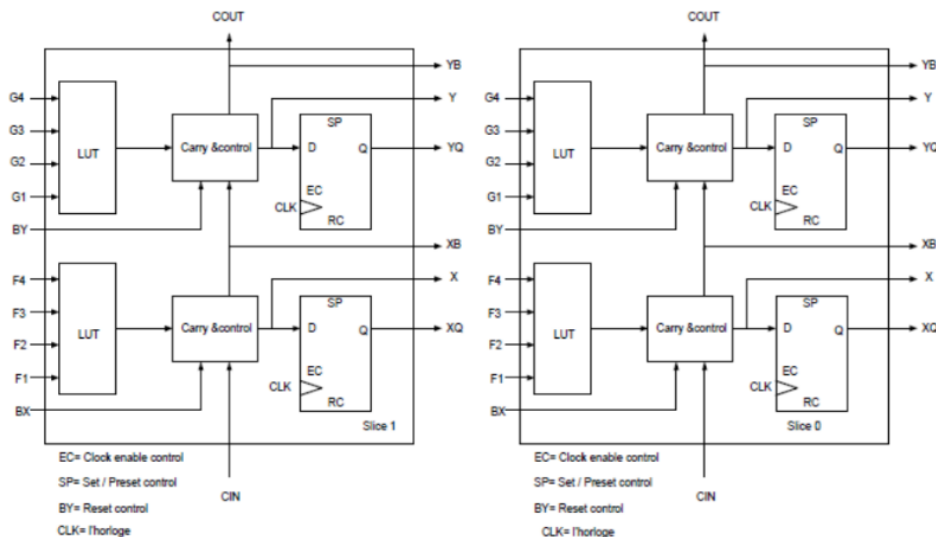


Figure 4.4 : Architecture d'un CLB de famille Virtex [7]

4.6.2 Structure des IOB

Les **IOB** (*Input/Output Blocks*) sont des blocs matériels situés en périphérie du FPGA. Ils assurent l'interface entre les signaux numériques internes du FPGA et les broches physiques connectées aux composants externes. Chaque IOB peut fonctionner en mode **entrée**, **sortie**, ou **bidirectionnel**.

Leur rôle principal est d'adapter, synchroniser et contrôler le transfert des signaux entre le FPGA et le monde extérieur.

Composants internes d'un IOB :

- **IBUF (Input Buffer)** : Convertit et adapte le signal d'entrée externe vers un format logique utilisable à l'intérieur du FPGA.
- **OBUF (Output Buffer)** : Adapte les signaux internes du FPGA pour les rendre compatibles avec les niveaux de tension des périphériques externes.
- **Flip-Flops** : Permettent de synchroniser les signaux d'entrée et de sortie avec l'horloge interne (pour améliorer la fiabilité).
- **Tristate Buffer (TBUF)** : Utilisé dans les configurations bidirectionnelles pour activer ou désactiver dynamiquement la sortie.
- **Contrôle de direction** : Détermine si le bloc fonctionne en lecture (entrée) ou en écriture (sortie).
- **Terminaisons et résistances** : Assurent la compatibilité avec les lignes de transmission (impédance, protection, etc.).

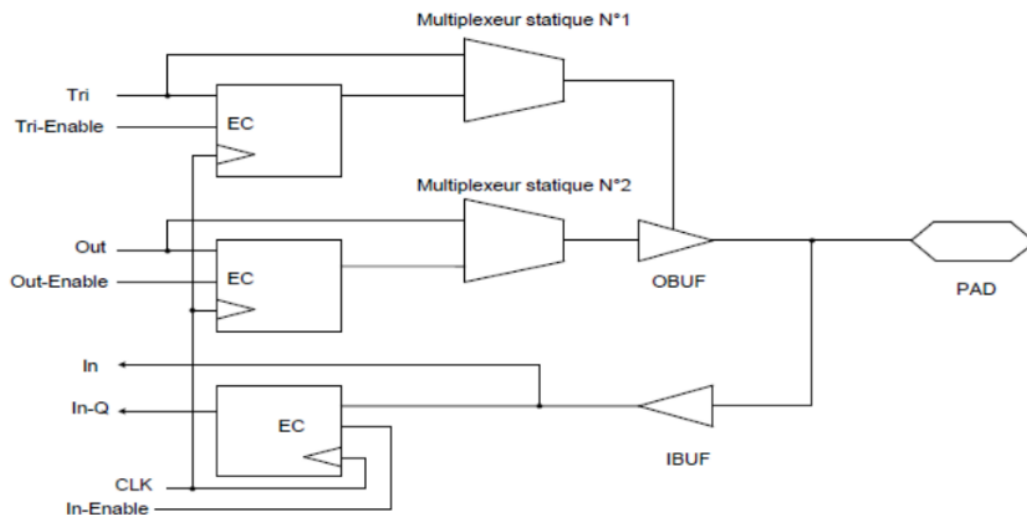


Figure 4.5 : Architecture d'un IOB de famille Virtex [7]

4.7 Description de la carte :

La carte FPGA SPARTAN-3E est une plateforme de développement conçue par Xilinx. Elle est basée sur la famille de circuits logiques programmables Spartan-3E, qui offrent un bon compromis entre performances, capacité et coût. Cette carte est largement utilisée dans les domaines de l'enseignement, de la recherche et du prototypage industriel[4].

Elle permet de développer, simuler et tester des systèmes numériques complexes, comme des algorithmes de commande pour des onduleurs. Grâce à son architecture reconfigurable, l'utilisateur peut charger un code VHDL synthétisé pour décrire un comportement matériel spécifique.

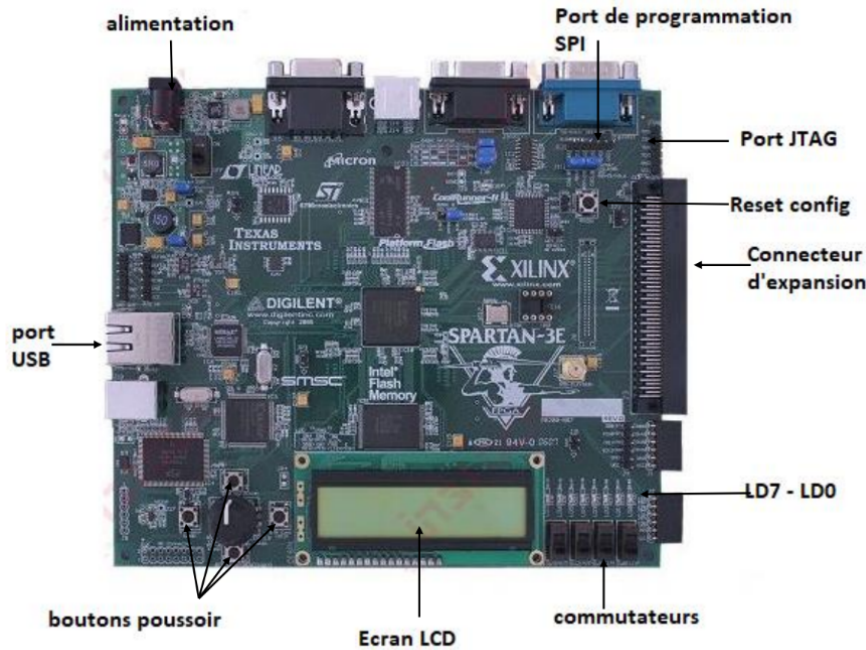


Figure 4.6 : Carte FPGA SPARTAN-3E

4.7.1 Caractéristiques de la carte SPARTAN-3E :

Les caractéristiques techniques de la carte SPARTAN-3E sont résumées dans le tableau 4.3.

Caractéristique	Valeur
Nombre de portes logiques	500 000
Nombre d'unités logiques (CLB)	1 164
Nombre de registres	9 312
Nombre de multiplicateurs matériels	20 (18x18)
Type de montage	CMS (montage en surface)
Type de boîtier	FBGA
Nombre de broches (pins)	320
Mémoire RAM disponible	74 752 bits

Table 4.3 : Caractéristiques techniques de la carte FPGA Spartan-3E[4]

4.7.2 Les spécifications de la carte :

- DAC (convertisseur numérique-analogique) : 4 sorties, communiquant via l'interface SPI.
- ADC (convertisseur analogique-numérique) : 2 entrées SPI avec préamplificateur à gain programmable intégré.
- Cellules logiques : plus de 10 000 cellules disponibles pour la logique programmable.
- Mémoire PROM : mémoire Flash de configuration de 4 Mbits.
- DDR SDRAM : 64 Mo de mémoire vive avec interface de données 16 bits, cadencée à plus de 100 MHz.
- Mémoire NOR Flash : 16 Mo (Intel StrataFlash), utile pour le stockage non volatile.
- Mémoire SPI Flash série : 16 Mbits (STMicroelectronics).
- Ethernet : interface PHY compatible 10/100 Mbps.
- Ports RS-232 : deux ports série (9 broches, types DTE et DCE).
- Port PS/2 : permet la connexion d'une souris ou d'un clavier.
- Connecteur FX2 Hirose : pour l'extension via modules externes.
- Écran LCD : écran 2 lignes $\times$ 16 caractères intégré.
- Port VGA : pour la sortie vidéo.
- Connecteurs Pmod : 3 ports à 6 broches chacun pour les modules périphériques.
- Interrupteurs : 4 interrupteurs à glissière.
- Boutons poussoirs : 4 boutons.
- LEDs : 8 LEDs discrètes pour l'affichage d'état.
- Oscillateur principal : 50 MHz.
- Prise DIP : connecteur 8 broches pour l'ajout d'un oscillateur auxiliaire.
- Alimentation : universelle de 100 à 240 V, 50/60 Hz.
- Niveau logique : fonctionnement en 3,3 V.

4.8 Le langage VHDL

Le **VHDL** (*VHSIC Hardware Description Language*) est un langage de description matériel utilisé pour concevoir, modéliser et simuler des circuits numériques. Il permet de décrire de manière formelle le comportement, la structure et le fonctionnement d'un système électronique, tout en restant indépendant de sa future implémentation physique, que ce soit sur un **FPGA** ou un **ASIC**.

Le langage a été développé au début des années 1980 dans le cadre du programme **VHSIC** du ministère américain de la Défense, visant à documenter les circuits à très haute vitesse de manière normalisée. Il a ensuite été adopté comme norme internationale sous la référence **IEEE 1076**.

Le VHDL permet une modélisation à plusieurs niveaux d'abstraction (comportemental, structurel et logique), ce qui facilite la conception hiérarchique et modulaire des systèmes. Il est fortement typé, rigoureux et orienté vers la synthèse logique.

Aujourd'hui, le VHDL est largement utilisé dans les domaines de la microélectronique, de l'automatique, des télécommunications et de l'embarqué. Il est supporté par de nombreux outils industriels comme *ModelSim* et *Xilinx ISE*, et enseigné dans la plupart des formations en électronique numérique[8].

4.8.1 Structure du langage VHDL

La structure d'un code VHDL suit une organisation bien définie composée de trois parties principales[8] :

- **Déclaration des bibliothèques** : cette section permet d'importer les bibliothèques nécessaires, comme **IEEE**, pour utiliser des types de données standards (**std_logic**, etc.).
- **Entité (entity)** : elle définit l'interface du composant, c'est-à-dire les ports d'entrée et de sortie visibles de l'extérieur. Elle ne décrit pas le comportement interne.

```

Entity entity-name is

    generic (generic declaration);

    port (port declaration);

end entity-name;
    
```

Figure 4.7 : La structure d'une entité [6]

- o **Déclaration generic** : elle permet de définir des constantes paramétrables, utiles pour ajuster le comportement ou la structure de l'entité.
 - o **Déclaration port** : elle sert à spécifier les connexions d'entrée et de sortie du circuit.
- **Architecture** : elle décrit le comportement ou la structure interne du composant. On y trouve généralement des signaux, des processus, ou des composants connectés.

```

Architecture architecture_name of entity_name is

    process () --Declarative part

        begin

        -- Descriptive part

    end architecture-name;
    
```

Figure 4.8 : La structure d'une architecture [6]

Ces trois éléments : la déclaration des bibliothèques, l'entité et l'architecture constituent l'unité de base de toute conception en VHDL. Chacun joue un rôle complémentaire : les bibliothèques fournissent les ressources standards nécessaires (types, fonctions, opérateurs), l'entité définit l'interface du circuit (entrées/sorties), et l'architecture décrit son comportement interne. Leur enchaînement logique et leur interaction sont clairement illustrés dans la figure ci-dessous.

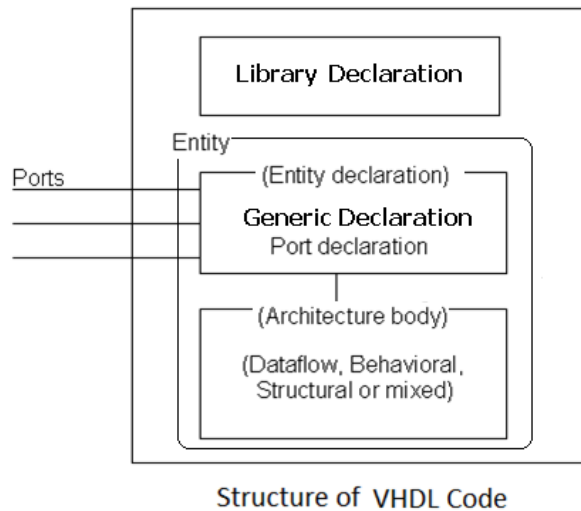


Figure 4.9 : La structure d'un code VHDL[8]

4.9 Le logiciel Xilinx ISE

Xilinx ISE est un environnement de développement intégré (IDE) utilisé pour concevoir, simuler et implémenter des circuits logiques programmables sur des FPGA (Field-Programmable Gate Arrays) et CPLD (Complex Programmable Logic Devices). Il est principalement utilisé pour coder en VHDL ou en Verilog, synthétiser des circuits et les tester[4].

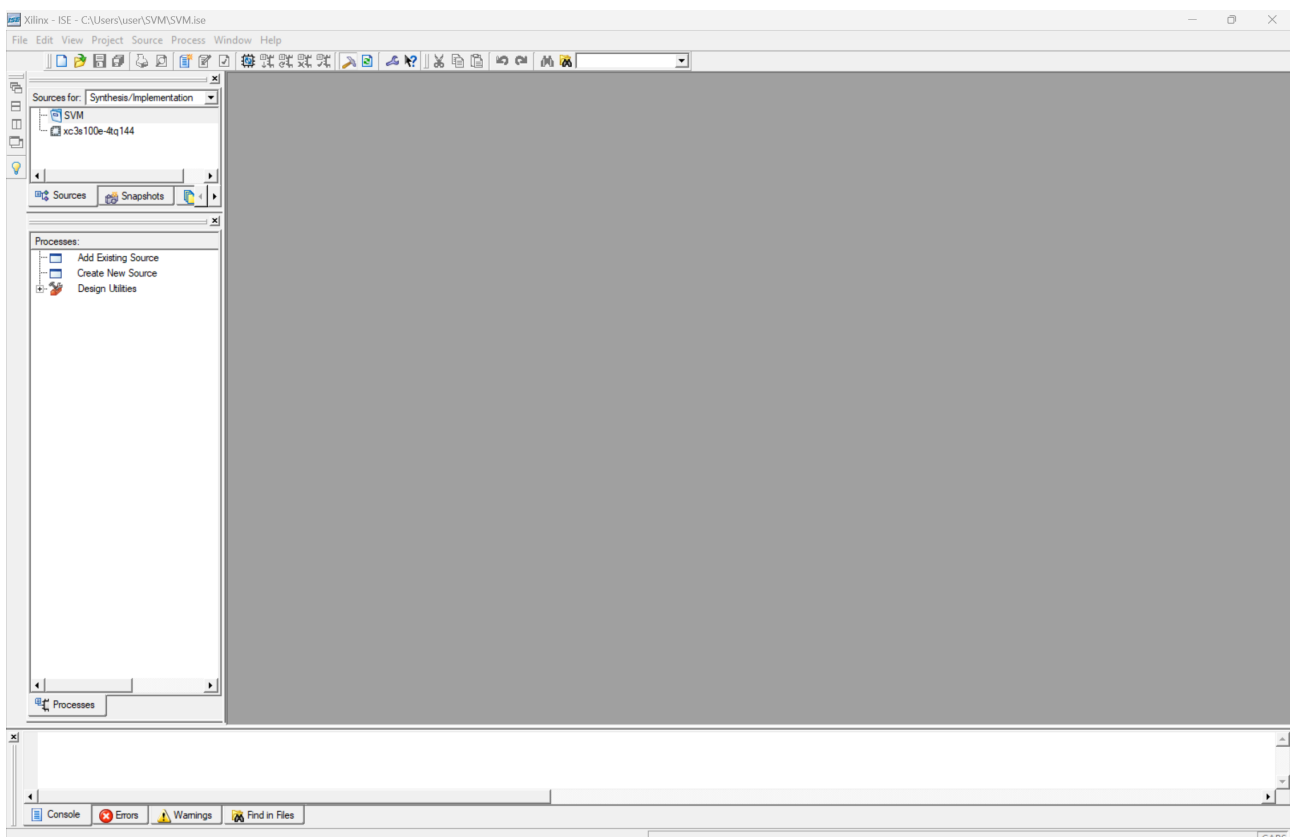


Figure 4.10 : L'interface de logiciel Xilinx ISE

4.9.1 Création d'un nouveau projet

Dans cette interface, l'utilisateur ouvre le menu *File* puis sélectionne l'option *New Project....* Cette action permet de créer un nouveau projet FPGA dans l'environnement Xilinx ISE, où seront ajoutés les fichiers VHDL, les contraintes de placement, ainsi que les options de simulation et de synthèse.

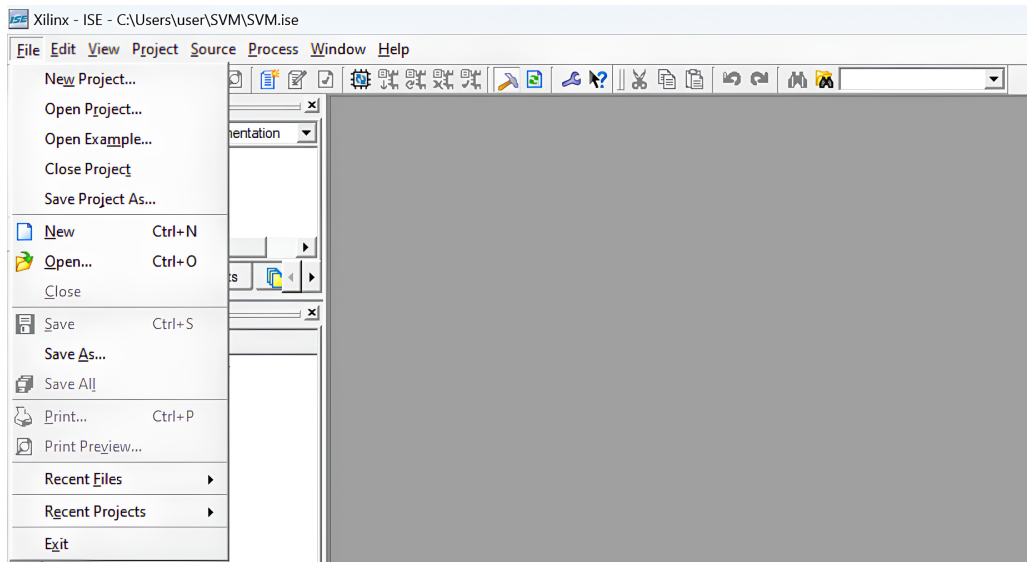


Figure 4.11 : Création d'un nouveau projet Xilinx ISE

Une fois l'option *New Project...* sélectionnée, une fenêtre s'ouvre permettant de définir les paramètres de base du projet. L'utilisateur doit alors renseigner les informations suivantes :

- **Project Name** : Nom du projet.
- **Project Location** : Emplacement où le projet sera sauvegardé.
- **Top-Level Source Type** : Sélection du type de fichier principal :
 - o **HDL (Hardware Description Language)** : Pour coder en VHDL ou Verilog.
 - o **Schématique** : Pour concevoir des circuits en mode graphique.

Toutes ces informations sont illustrées dans la figure suivante, qui représente la fenêtre de création d'un nouveau projet dans Xilinx ISE.

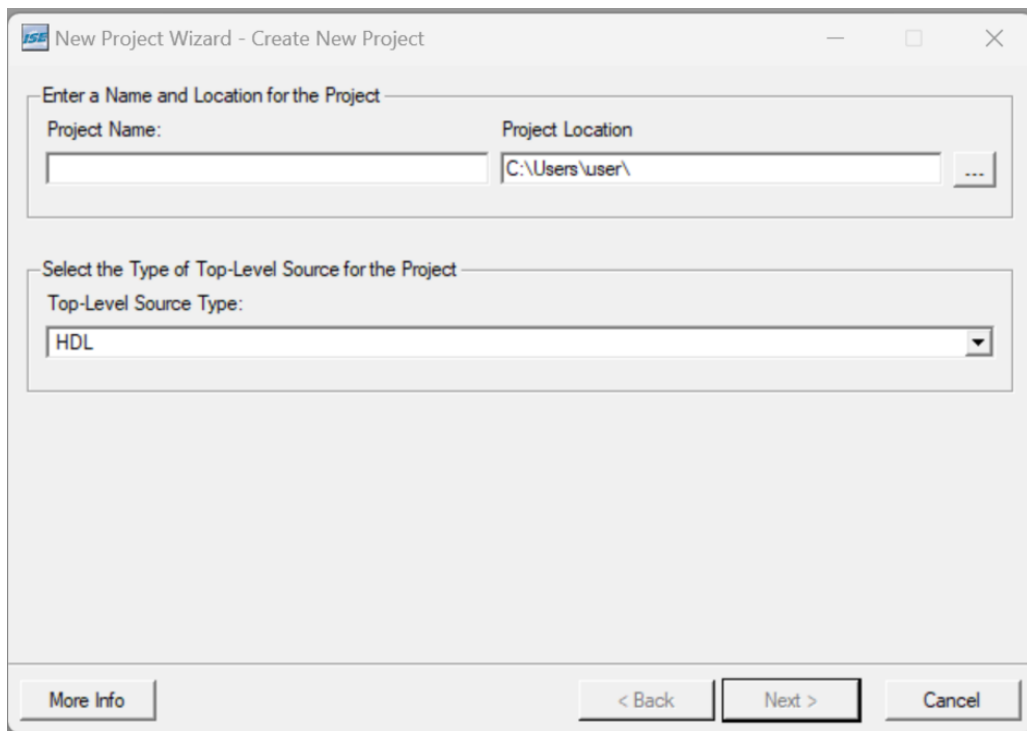


Figure 4.12 : Le choix de modèle.

4.9.2 Sélection du FPGA et des outils de développement

À cette étape, l'utilisateur configure les paramètres matériels du projet ainsi que les outils de développement à utiliser. La fenêtre affichée dans Xilinx ISE permet de spécifier à la fois les caractéristiques techniques du FPGA cible et les préférences liées à la synthèse et à la simulation[4].

1. Sélection du FPGA

- **Family** : Spartan3E → Vous utilisez un FPGA appartenant à la famille Spartan-3E.
- **Device** : XC3S500E → Il s'agit du modèle exact du circuit FPGA utilisé.
- **Package** : FG320 → est un type de boîtier BGA qui contient 320 billes de connexion réparties sous le circuit intégré.
- **Speed** : -5 → Indique la classe de vitesse du composant. Le suffixe "-5" correspond à une vitesse intermédiaire.

2. Paramètres du projet

- **Top-Level Source Type** : HDL → Vous utiliserez un langage de description matériel tel que VHDL ou Verilog pour coder votre circuit.
- **Synthesis Tool** : XST (VHDL/Verilog) → Xilinx Synthesis Technology est l'outil utilisé pour transformer le code HDL en une structure logique synthétisable.
- **Simulator** : ModelSim-XE VHDL → ModelSim est l'outil choisi pour simuler le comportement du circuit en VHDL.

Tous ces paramètres sont récapitulés dans la figure suivante, qui illustre la fenêtre de configuration du FPGA et des outils de développement dans Xilinx ISE.

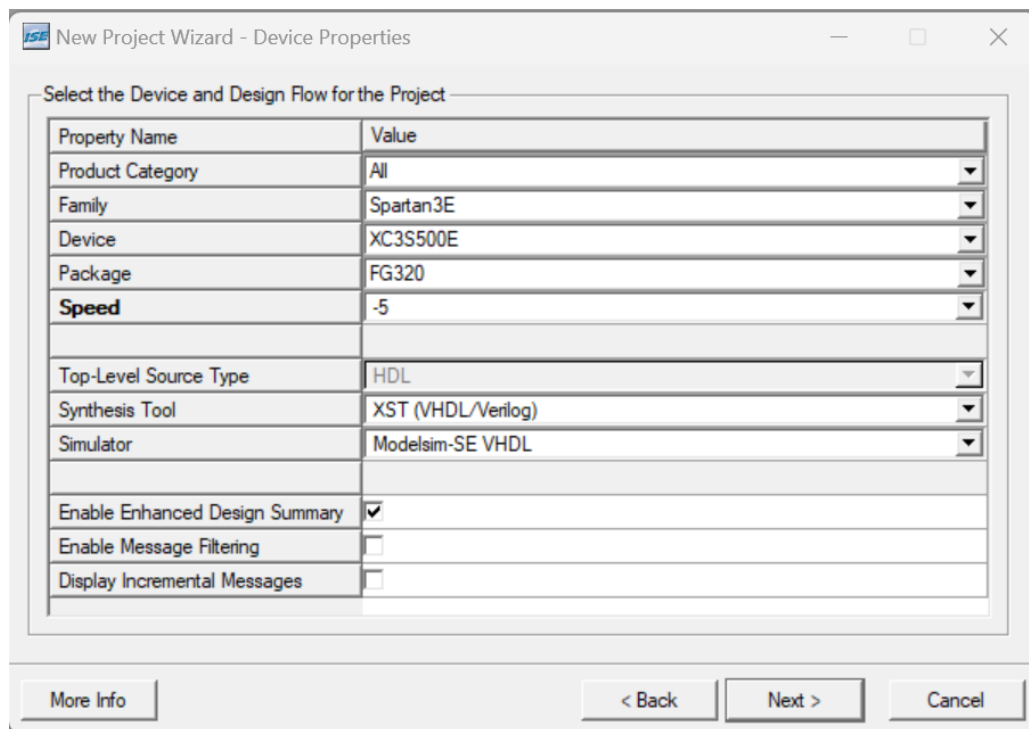


Figure 4.13 : Les paramètres de projet

4.9.3 Les différents types de fichiers utilisés dans un projet

Une fois la configuration du projet terminée, l'étape suivante consiste à ajouter une nouvelle source[16].

Lors de l'ajout d'une nouvelle source dans Xilinx ISE, plusieurs types de fichiers peuvent être sélectionnés selon les besoins de la conception. Voici les principaux types proposés :

- **Verilog Module** : Utilisé pour coder le circuit en langage Verilog.
- **VHDL Module** : Utilisé pour coder en VHDL, un langage largement adopté dans les projets FPGA.
- **VHDL Test Bench** : Sert à écrire un banc de test en VHDL permettant de valider le bon fonctionnement du design.
- **Schematic** : Permet de concevoir le circuit sous forme graphique (schéma logique).
- **State Diagram** : Utilisé pour modéliser graphiquement une machine à états finis (FSM).

Tous ces types de fichiers sont illustrés dans la figure suivante, qui montre la fenêtre d'ajout d'une nouvelle source dans Xilinx ISE.

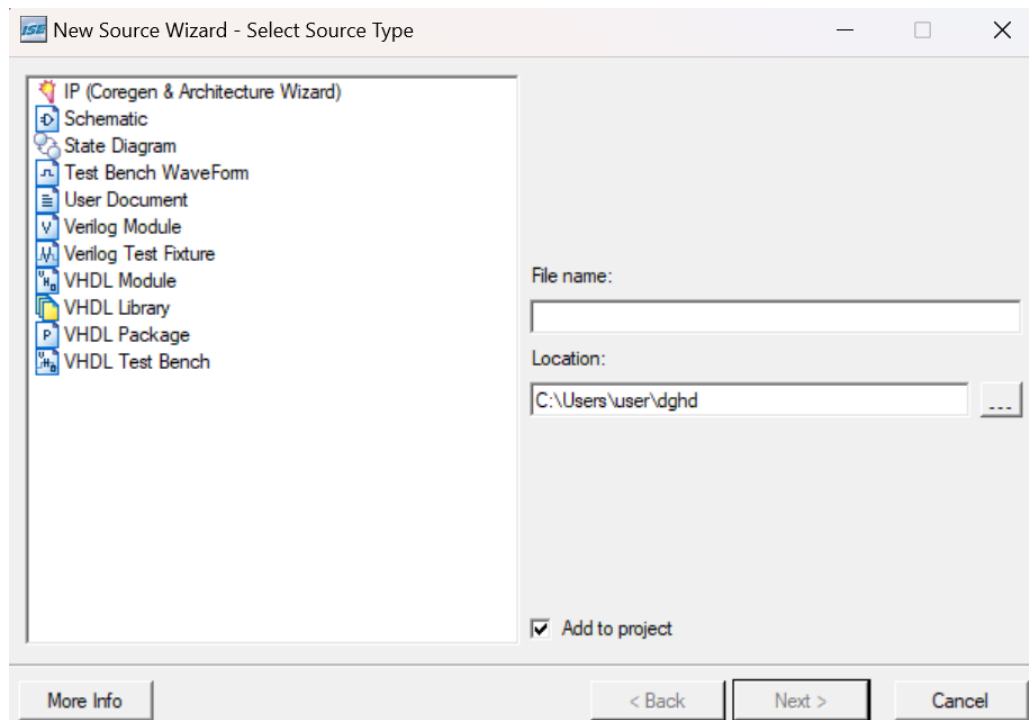


Figure 4.14 : Les différents types de fichiers utilisés dans un projet

4.10 Implémentation de la commande MLI vectorielle sur FPGA

4.11 Visualisation des signaux avec ModelSim

L'implémentation de la SVM par le langage VHDL a été réalisée sous l'environnement ISE de Xilinx. Les tensions de référence V_d et V_q sont déclarées préalablement avec le déphasage correspondant. Cette implémentation est réalisée pour un pas d'échantillonnage égal à $T/100$, avec $T = 0.02\text{ s}$ afin d'assurer une bonne précision temporelle pour représenter fidèlement la forme d'onde modulée générée par l'onduleur. Avant de faire les essais expérimentaux avec le banc d'essai, il est nécessaire de visualiser les signaux avec le logiciel ModelSim qui a la possibilité de communiquer avec Xilinx. Dans le but d'éviter la conduction simultanée des interrupteurs du même bras, un temps mort doit être introduit en respectant la commande complémentaire de l'équation (2.1). Les résultats affichés dans le reste de ce travail correspondent au cas d'un taux de modulation égal à 0.8.

Les figures de 4.15 à 4.25 illustrent les signaux de commande des interrupteurs formant l'onduleur. Les deux figures 4.15 et 4.16 montrent clairement le décalage entre (F 11 et F 31) et (F 12, F 21) qui représente le temps mort fixé à $1\text{ }\mu\text{s}$. Sur les figures 4.17, 4.19 et 4.21 la forme des signaux des interrupteurs haut (F 11 et F 31) du bras 1 est affichée sur trois périodes, une période puis un quart de période. La même chose pour les interrupteurs supérieurs du bras 2 (F 12, F 21) qui sont sur les figures 4.18, 4.20 et 4.22. Chacune des figures donne respectivement les signaux sur trois périodes, une période puis un quart de période. Les impulsions affichées correspondent à celles définies par l'algorithme de la SVM et les paires affichées sur la même figure sont bien complémentaires. Ce qui montre que la commande complémentaire est correctement programmée. Quant au déphasage de 120° , il est aussi vérifié par la visualisation de (F

11, F 12) sur la figure 4.23 et de (F 12, F 13) sur la figure 4.24. Le déphasage entre (F 11, F 13) est de 240° tel que le montre la figure 4.25.

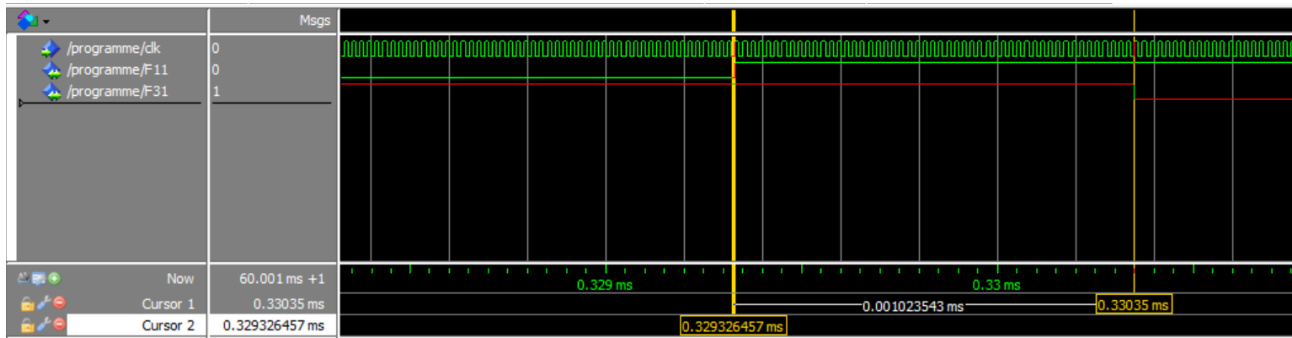


Figure 4.15 : Le temps mort entre F11 et F31

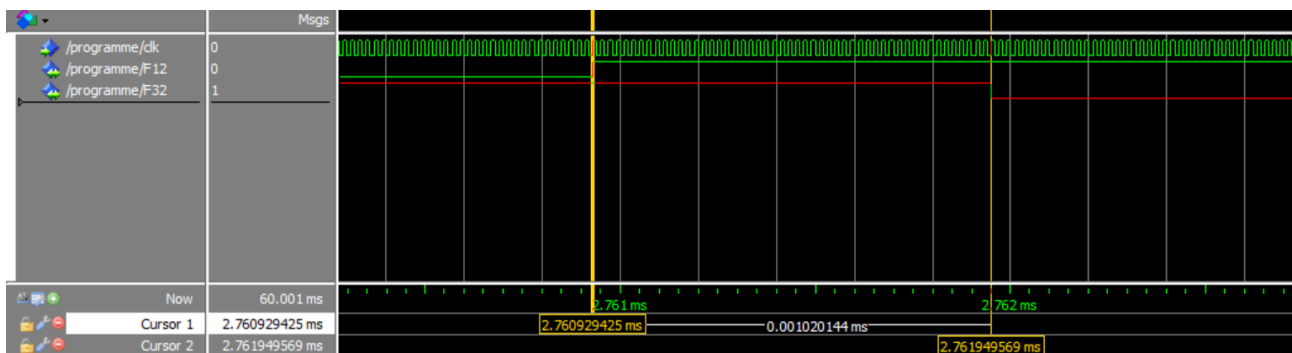


Figure 4.16 : Temps mort entre F12 et F32

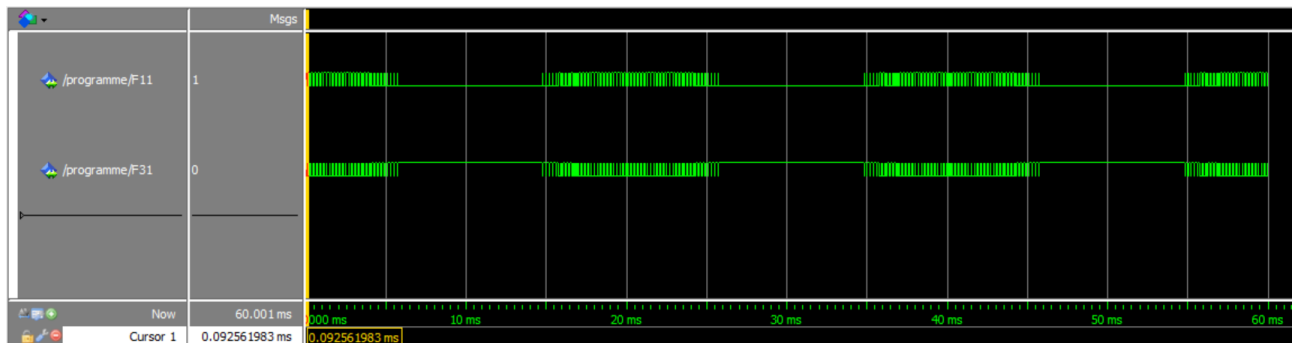


Figure 4.17 : Les signaux de commande de F11 et F31 sur 3 périodes

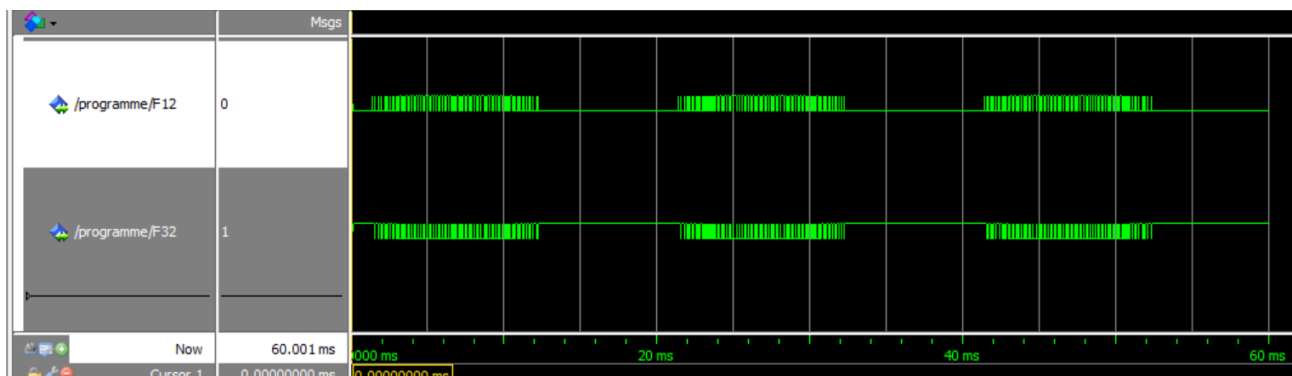


Figure 4.18 : Les signaux de commande de F12 et F32 sur 3 périodes

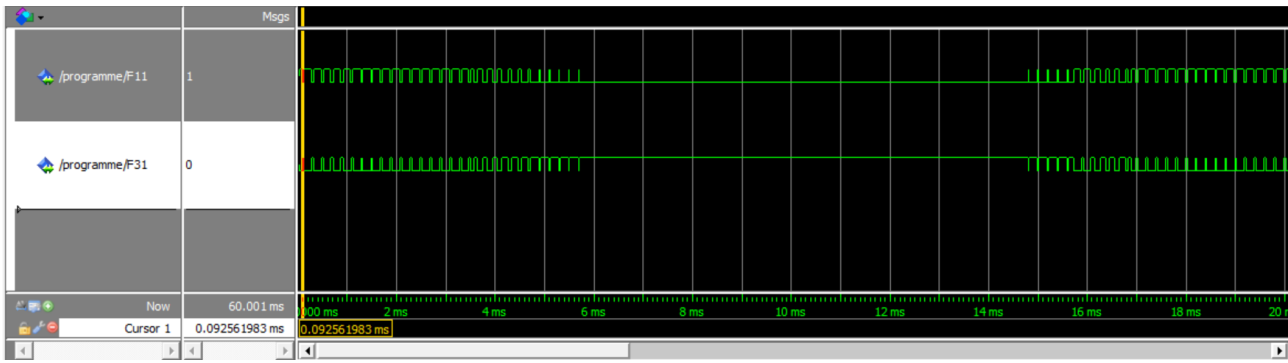


Figure 4.19 : Les signaux de commande de F11 et F31 sur une période

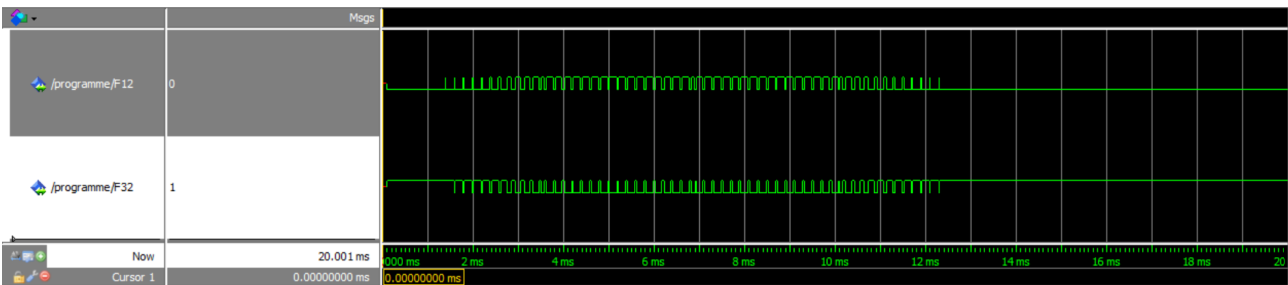


Figure 4.20 : Les signaux de commande de F12 et F32 sur une période

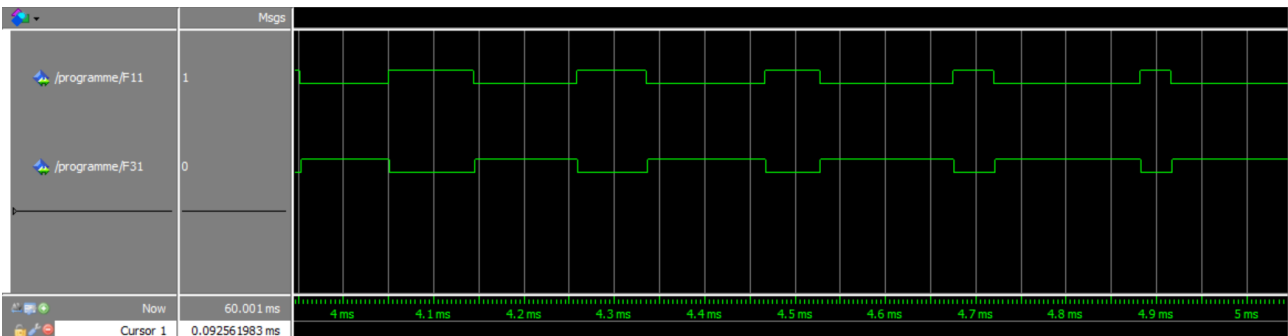


Figure 4.21 : Les signaux de commande de F11 et F31 sur $T/4$

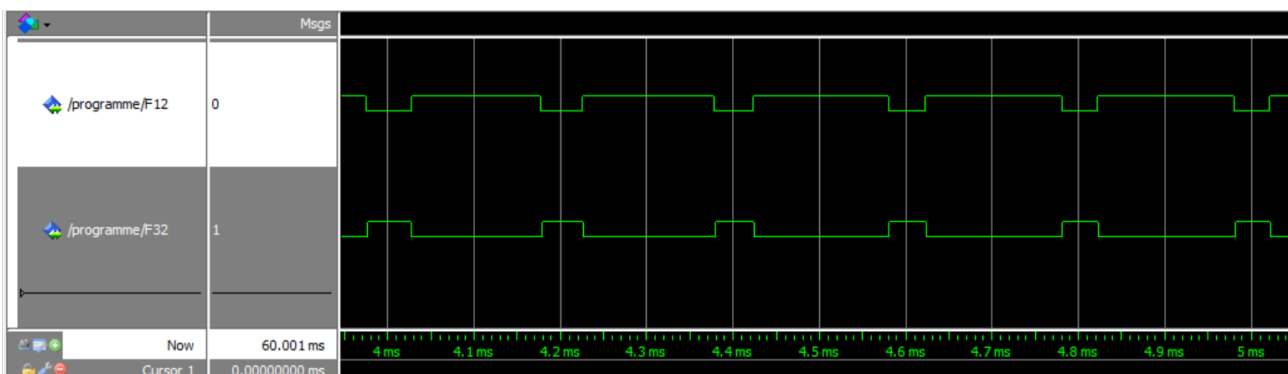


Figure 4.22 : Les signaux de commande de F12 et F32 sur $T/4$

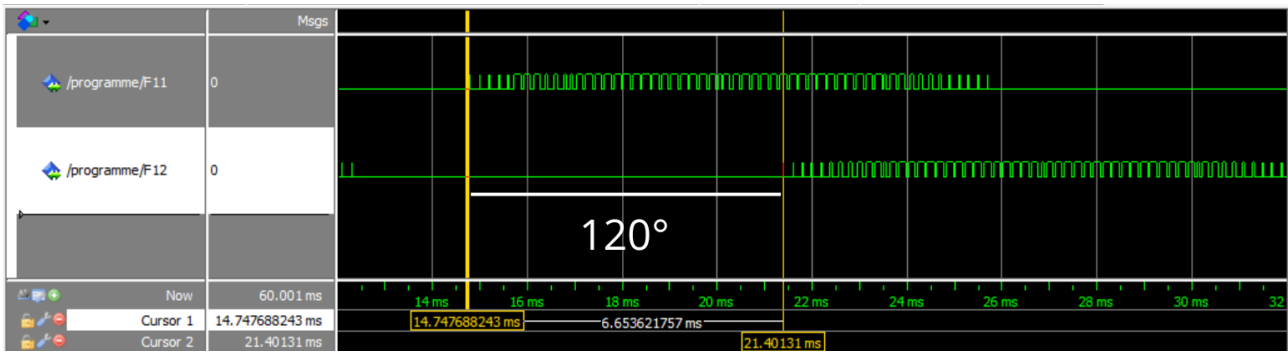


Figure 4.23 : Le déphasage 120° entre F11 et F12

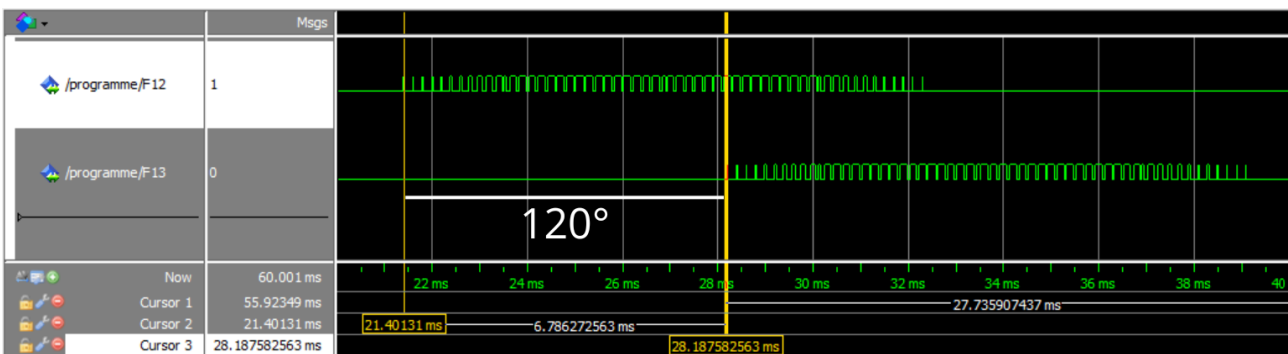


Figure 4.24 : Le déphasage 120° entre F12 et F13

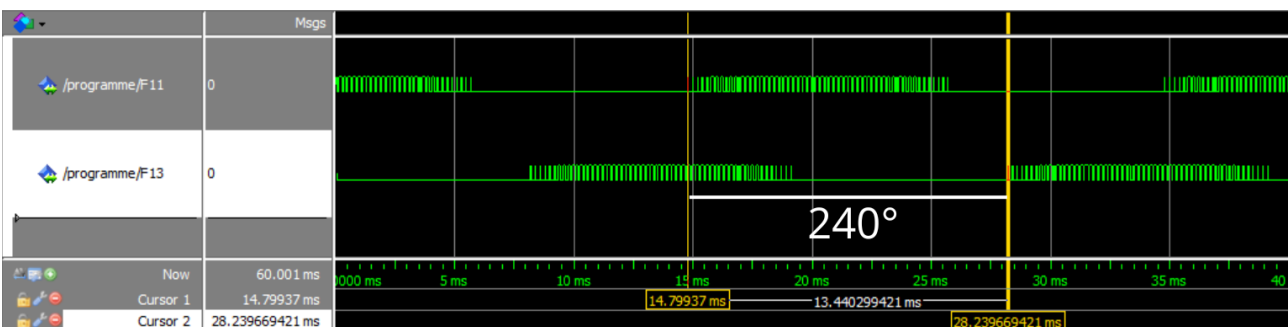


Figure 4.25 : Le déphasage 240° entre F11 et F13

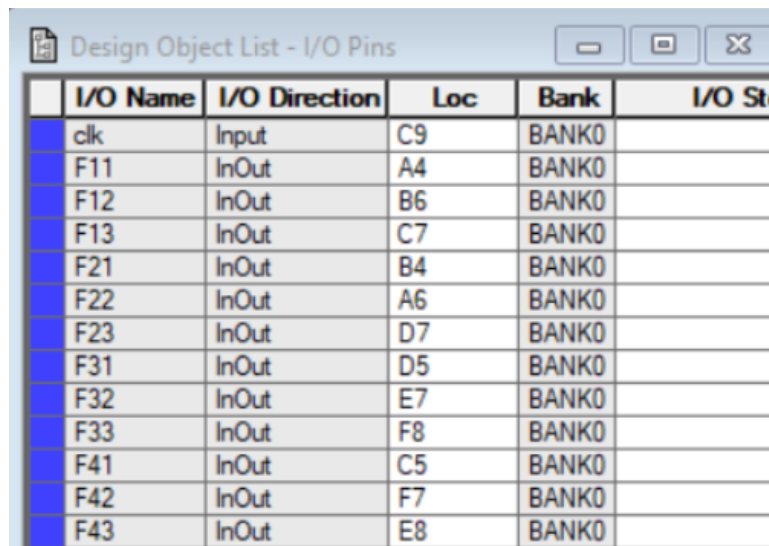
4.12 Configuration de la carte FPGA - SPARTAN-3E

4.12.1 Etapes de la configuration

Pour l'implémentation pratique, un tableau de correspondance des *pins* a été établi afin d'associer chaque signal logique (horloge, signaux de commandes) aux broches physiques du FPGA.

La figure ci-dessous présente le tableau récapitulatif des correspondances des *pins* établi pour l'implémentation de l'onduleur à trois niveaux.

Une fois le tableau complété, les contraintes de placement ont été saisies dans le fichier de contraintes du projet (.ucf pour Xilinx). Après la compilation et la génération du bitstream, le programme est téléchargé sur la carte FPGA. Un contrôle visuel et fonctionnel est ensuite



	I/O Name	I/O Direction	Loc	Bank	I/O St
	clk	Input	C9	BANK0	
	F11	InOut	A4	BANK0	
	F12	InOut	B6	BANK0	
	F13	InOut	C7	BANK0	
	F21	InOut	B4	BANK0	
	F22	InOut	A6	BANK0	
	F23	InOut	D7	BANK0	
	F31	InOut	D5	BANK0	
	F32	InOut	E7	BANK0	
	F33	InOut	F8	BANK0	
	F41	InOut	C5	BANK0	
	F42	InOut	F7	BANK0	
	F43	InOut	E8	BANK0	

Figure 4.26 : Le tableau de correspondance des broches

réalisé pour vérifier que chaque signal est bien acheminé et que le comportement du circuit correspond aux résultats attendus de la simulation.

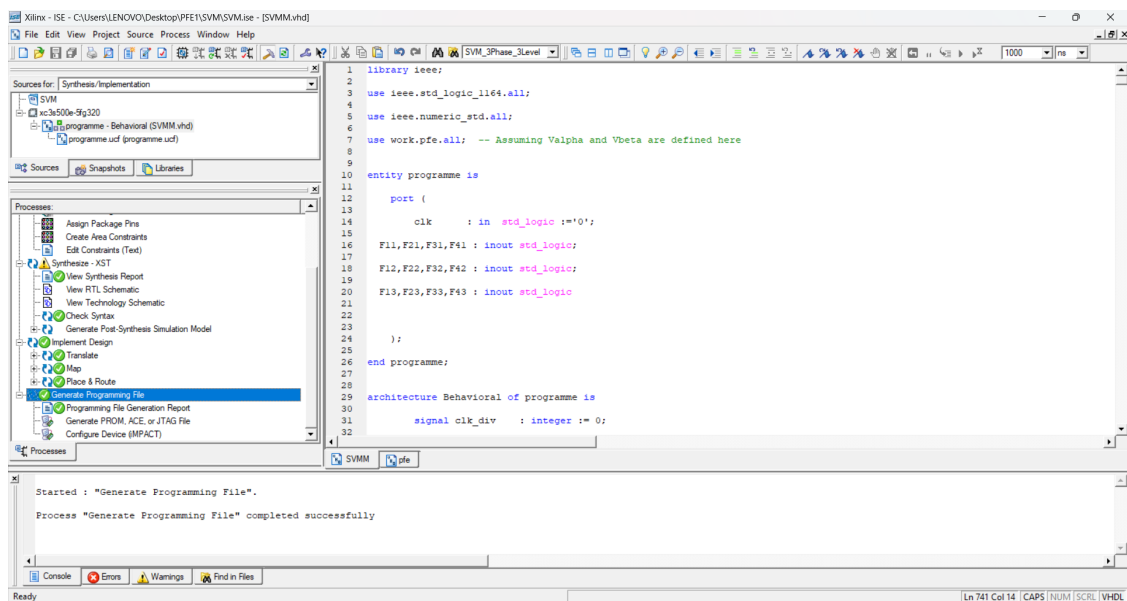


Figure 4.27 : Validation et implémentation du programme VHDL

Après cela, l'essai pratique peut être réalisé afin de vérifier le bon fonctionnement du montage. Cette étape consiste à alimenter la carte, à charger le programme compilé, puis à observer le comportement réel du circuit pour s'assurer qu'il correspond aux résultats attendus de la simulation. Des mesures peuvent être effectuées à l'aide d'un oscilloscope ou d'un multimètre pour confirmer la validité des signaux générés.

4.12.2 Résultats expérimentaux et interprétations

Le développement de la MLI vectorielle sur un circuit FPGA revient à générer les signaux de commande des interrupteurs dont les instants d'ouverture et de fermeture sont fournis directement par les programmes élaborés précédemment.

En effet, après la description comportementale de la MLI vectorielle par le langage de programmation, une synthèse est exécutée sur l'architecture globale sous l'environnement ISE 7.1 de Xilinx utilisé. Pour vérifier le bon fonctionnement de notre commande, nous avons d'abord visualisé les signaux sur un oscilloscope numérique avant d'attaquer un onduleur à trois niveaux à base d'IGBT en 2015 dans le cadre d'un projet de fin d'étude. La tension d'alimentation V de du convertisseur est fixée à 60V. Les essais sont effectués pour deux types de charges statique et dynamique.

Les figures suivantes 4.28, 4.29, 4.30 et 4.31 illustrent l'allure des signaux du premier bras de l'onduleur sur trois périodes puis zoomés sur un intervalle de 0.25ms. De ces résultats, on constate que les paires (F 11, F 31) et (F 21, F 41) sont complémentaires. Ces signaux générés par la carte FPGA ont une amplitude d'environ 3.3V. Le déphasage de 120° et 240° est vérifié par les figures 4.32 et 4.33.

Afin de pouvoir amorcer les 12 IGBTs de l'onduleur, le passage par un circuit d'adaptation est nécessaire. Ce dernier permet d'amplifier la tension d'attaque de 3.3V à 15V. Le banc d'essai utilisé dans ce projet de fin d'étude est présenté sur la figure 4.34. Il est à noter que nous avons comparé les signaux générés par la SPARTAN 3-E à ceux obtenus par MATLAB avant d'alimenter la charge statique et dynamique.

Les tensions simples, du bras et composée récupérées expérimentalement et par MATLAB sont illustrées respectivement sur les figures 4.36 et 4.37. La forme de la tension simple obtenue pratiquement possède les neuf niveaux de tension (40V, 30V, 20V, 10V, 0, -10V, -20V, -30V, -40V) connus pour le cas d'un onduleur à trois niveaux. La même observation est constatée pour le signal de MATLAB. La tension V an expérimentale a une tension efficace de 18.40V lue sur un multimètre. Cette valeur est très proche de la valeur théorique qui est de 19.59 pour un taux de modulation égal à 0.8. L'erreur entre les deux valeurs, expérimentale et théorique, ne dépasse pas 5.5%. Par ailleurs, la tension V am expérimentale (Fig. 4.38) contient trois niveaux de tension (30V, 0, -30V) ce qui est aussi observé sur le signal produit par simulation.

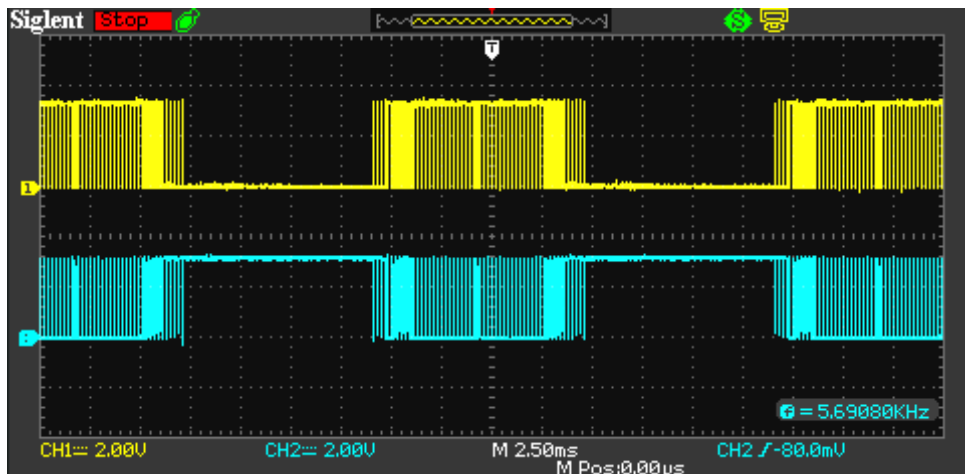


Figure 4.28 : Les signaux de commande de F11 et F31 sur trois périodes

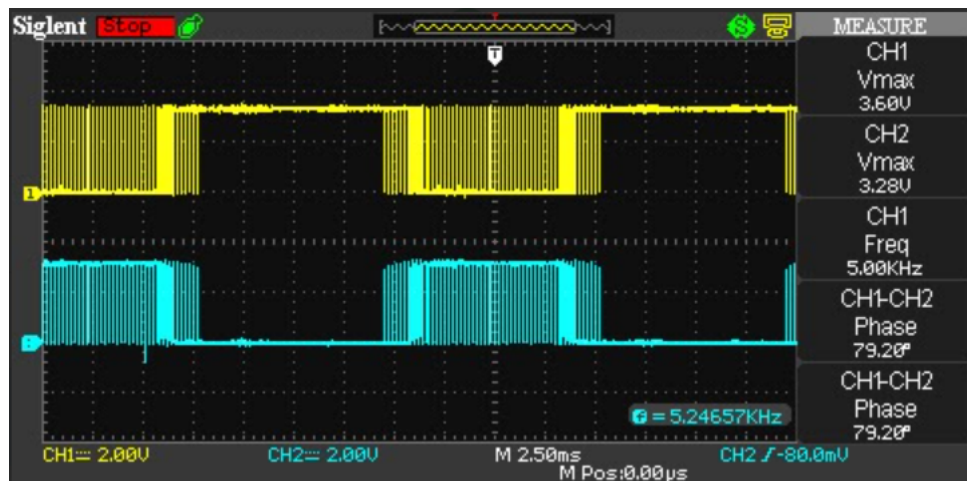


Figure 4.29 : Les signaux de commande de F21 et F41 sur trois périodes

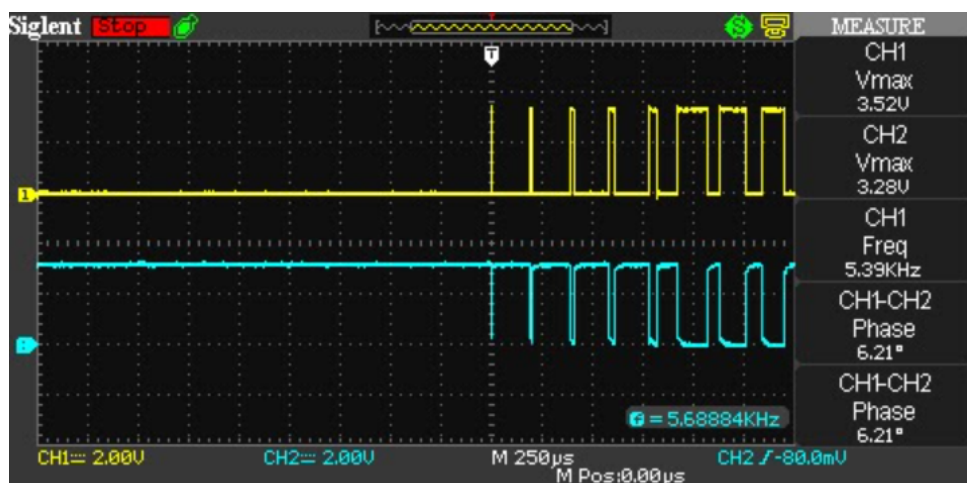


Figure 4.30 : Les signaux de commande de F11 et F31 sur 0,25ms

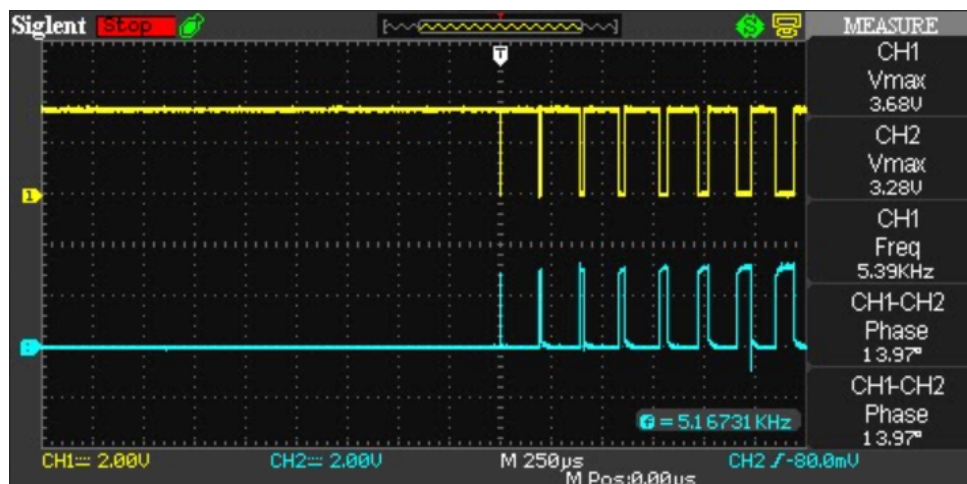
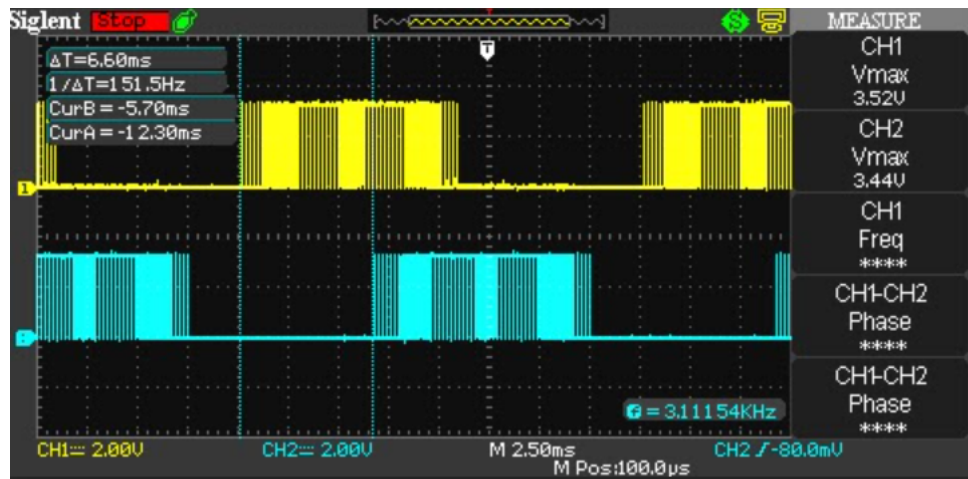
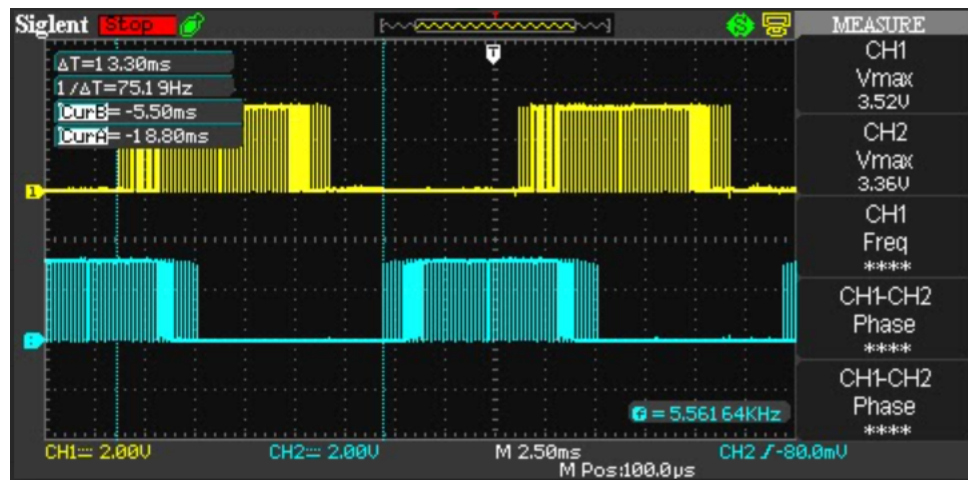
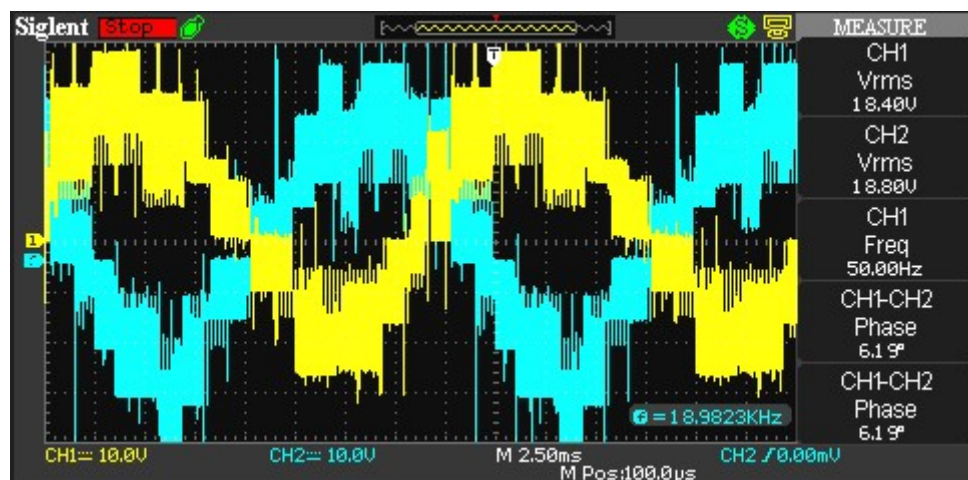
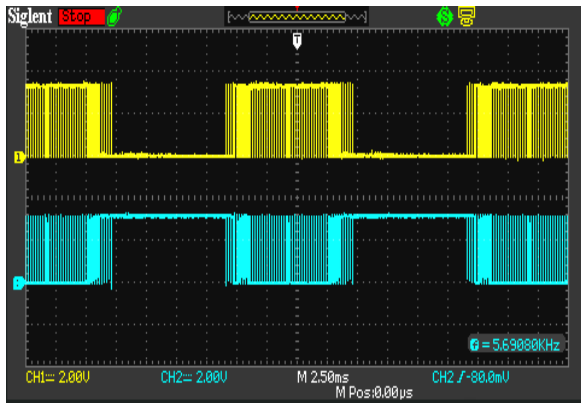
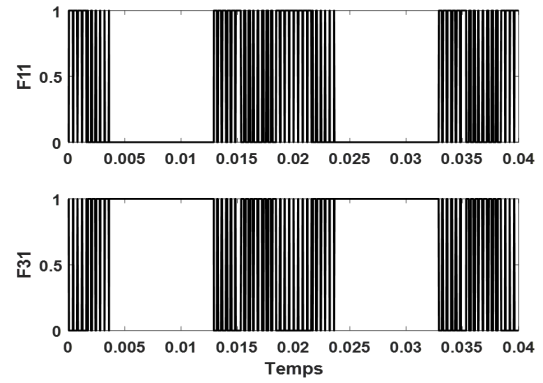


Figure 4.31 : Les signaux de commande de F21 et F41 sur 0,25ms


 Figure 4.32 : Le déphasage de 120° entre F11 et F12

 Figure 4.33 : Le déphasage de 240° entre F11 et F13

 Figure 4.34 : La tension V_{an} et la tension V_{bn}

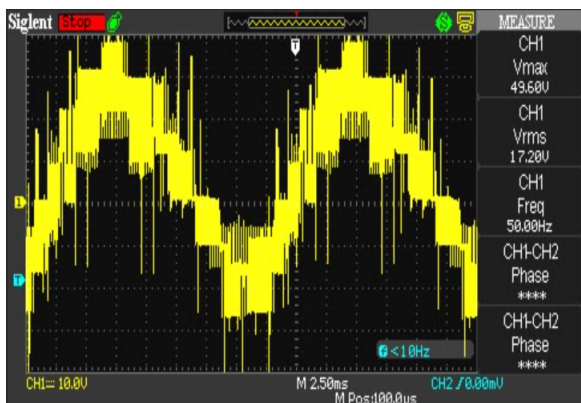


l'essai pratique

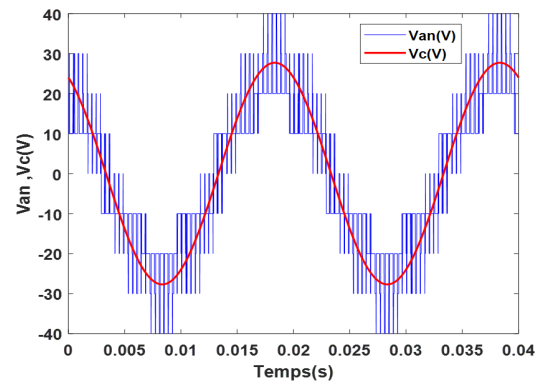


l'essai théorique

Figure 4.35 : Les signaux de commande de F11 et F31

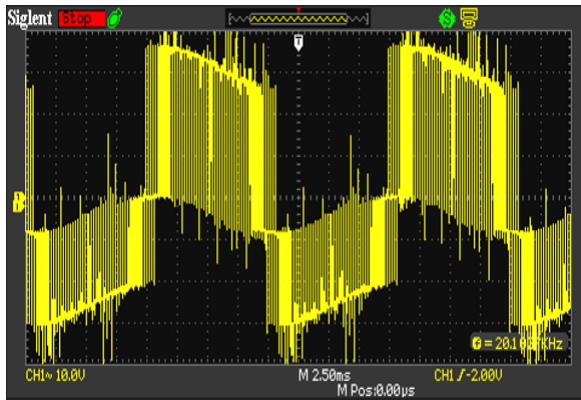


l'essai pratique

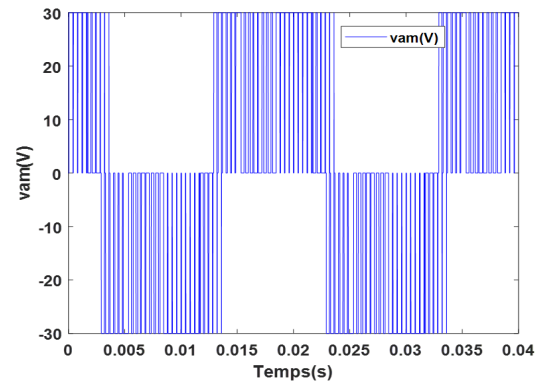


l'essai théorique

Figure 4.36 : La tension simple Van.



l'essai pratique



l'essai théorique

Figure 4.37 : La tension de premier bras VAM.

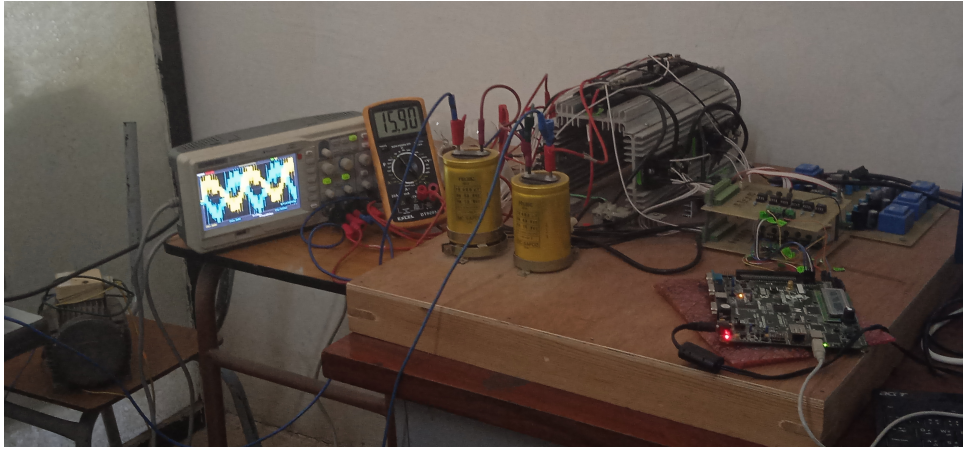


Figure 4.38 : Le banc d'essai

Conclusion

Ce chapitre traite le problème de l'implémentation numérique sur carte FPGA de la MLI vectorielle à trois niveaux. La carte utilisée est de type SPARTAN-3E Starter Kit. Elle offre une horloge de 50 MHz qui nous a permis d'implémenter une commande à un pas d'échantillonnage égal à 0.2 ms.

Le développement de l'algorithme a été effectué avec le langage VHDL. ModelSim est utilisé pour visualiser les 12 signaux de commande avant la configuration de la carte. Pour les essais expérimentaux, un onduleur à trois niveaux réalisé à base d'IGBT a été utilisé. Les essais sont effectués au laboratoire 107 de la faculté de génie électrique à l'USTHB. L'analyse des tensions de sortie récupérées pratiquement confirme l'efficacité de l'implémentation. L'erreur entre les résultats expérimentaux et théoriques en termes de valeurs efficaces ne dépasse pas 5.5 %.

Conclusion générale

L'objectif principal de ce projet de fin d'études est l'implémentation numérique de la modulation vectorielle pour la commande d'un onduleur à trois niveaux de type NPC (Neutral Point Clamped). L'implémentation a été réalisée sur une carte FPGA Spartan-3E Starter Kit. Afin de valider la commande en temps réel, un onduleur basé sur des IGBTs a été utilisé lors des essais expérimentaux, réalisés dans le laboratoire 107 de la faculté de génie électrique à l'Université des Sciences et de la Technologie Houari Boumediene (USTHB).

Dans le premier chapitre, nous avons présenté la structure de base de l'onduleur à deux niveaux, accompagnée des équations mathématiques décrivant son fonctionnement. Pour la commande de ce convertisseur, les stratégies de commande pleine onde et modulation triangulo-sinusoïdale (PWM) ont été utilisées. L'analyse des résultats s'est appuyée sur les formes des tensions de bras (V_{am}), simples (V_{an}) et composées (U_{ab}), ainsi que sur la valeur efficace de V_{an} et son spectre harmonique pour une tension d'entrée. Les résultats obtenus avec MATLAB/Simulink reflètent fidèlement le comportement du convertisseur.

Le deuxième chapitre est consacré à l'étude de l'onduleur à trois niveaux de type NPC. Les tensions de bras, simples et composées, ont été exprimées à partir des fonctions de commutation du convertisseur. Après la mise en équation, nous avons utilisé les mêmes stratégies de commande (pleine onde et PWM) pour piloter les 12 interrupteurs. Il a été observé que l'indice de modulation et le taux de modulation influencent directement la qualité spectrale de la tension V_{an} : plus ces paramètres augmentent, plus le THD diminue, et plus la valeur efficace de la fondamentale croît. Cette caractéristique est avantageuse pour le contrôle de la vitesse d'un moteur en cas de commande à vitesse variable.

Dans le troisième chapitre, nous avons abordé le principe de la commande vectorielle appliquée à un onduleur à trois niveaux. Cet onduleur dispose de 27 états correspondant à 27 vecteurs de tension, formant un hexagone dans le plan (α, β) . Certains vecteurs sont redondants, d'autres non. Le processus de génération des 12 signaux de commande a été détaillé, accompagné de simulations sous MATLAB. Les résultats montrent que la forme des tensions reflète fidèlement le fonctionnement attendu de cette technique. De plus, lorsque le taux de modulation se rapproche de 1, le signal devient quasi sinusoïdal et le THD diminue significativement.

Le quatrième chapitre décrit les étapes de l'implémentation numérique sur la carte FPGA. Après une présentation de la carte, nous avons développé l'algorithme de SVM en langage VHDL, sous l'environnement ISE, avec des simulations fonctionnelles réalisées dans ModelSim. Une fois le bitstream chargé dans le FPGA, les signaux de commande ont été observés à l'oscilloscope pour piloter un onduleur à trois niveaux, d'abord avec une charge statique puis dynamique. Les résultats expérimentaux se sont révélés très satisfaisants : les signaux générés sont conformes aux attentes, la complémentarité est assurée, et les formes de tension (bras, simples, composées)

sont très proches de celles issues des simulations. La valeur efficace mesurée de la tension Van diffère de la valeur théorique de moins de 6%.

L'intégration de la SVM pour un onduleur triphasé à trois niveaux sur FPGA présente de nombreuses perspectives d'évolution. Elle permet d'envisager des systèmes de commande plus intelligents, rapides et adaptatifs. Cette approche favorise également une meilleure gestion des performances énergétiques et une réduction des pertes. Elle représente ainsi une solution d'avenir pour les systèmes embarqués et les applications industrielles exigeantes.

Bibliographie

- [1] D. LALLILI. *MLI Vectorielle et Commande Non Linéaire du Bus Continu des Onduleurs Multiniveaux : Application à la Conduite de la Machine Asynchrone*. Thèse de doctorat en génie Électrique, École Nationale Supérieure Polytechnique, Alger, 2009.
- [2] Abdelmalik BENDAIKHA. *Commande par MLI vectorielle d'un onduleur multi-niveaux*. Thèse de doctorat, Université Badji Mokhtar – Annaba, 2018.
- [3] Wayne Wolf. *FPGA-Based System Design*. 2004.
- [4] Xilinx. *Spartan-3E FPGA Starter Kit Board User Guide*, 2011.
- [5] Khoukha IMARAZENE. Etude de la commande par élimination d'harmoniques des onduleurs multiniveaux avec équilibrage des tensions du bus continu. Thèse de doctorat, Ecole Nationale Polytechnique, 2011.
- [6] Selma Tchoketch Kebir. *Implementation on FPGA of an algorithm for the characterization of solar modules*. Thèse de doctorat, École Nationale Polytechnique, Alger, Algérie, 2021.
- [7] Ian Grout. *Digital Systems Design with FPGAs and CPLDs*. 2008.
- [8] peter J.ASHENDER. The vhdl-cookbook. Book, first edition july 1990.
- [9] G. Séguin, F. Labrique, and P. Delarue. Les onduleurs. In *Électronique de puissance*, pages 119–190. Dunod, Paris, 10 edition, 2015.
- [10] El Walid ZOUGGAR. Développement de l'algorithme de commande de l'onduleur basé sur la séquence alternante de vecteur nul (alternating zero vector sequence). Mémoire de magistère, Université Badji Mokhtar – Annaba, 2008.
- [11] M. BOUSEHARA. Réalisation d'une commande mli à choix multiple. Master's thesis, Université Abou Bekr Belkaid de Tlemcen, 2017.
- [12] Tayari Lassaad. Support de cours fpga. Support de cours, 2015. Maître technologue à l'ISET Gabès.
- [13] Philippe Lecardonnel and Philippe Letenneur. *Introduction à la synthèse logique VHDL*. Publication interne, Granville, 2001.
- [14] Christian Tavernier. *Circuits logiques programmables*. Dunod, Paris, 2005.
- [15] Z. Ait Wali. Application des fpga à la commande d'un moteur asynchrone. Mémoire de magister, Université Mouloud Mammeri de Tizi-Ouzou (UMMTO), Tizi-Ouzou, Algérie, non daté.
- [16] Inc. Xilinx. Ise design suite.

Annexe A

Les charges utilisées dans la simulations

1- Pour l'onduleur à deux niveaux :

Charge RL (équilibrée) : $R = 1\ \Omega$, $L = 10^{-3}\ \text{H}$

2- Pour l'onduleur à trois niveaux :

Charge R (équilibrée) : $R = 1\ \Omega$

Annexe B

Les Paramètres de la Machine Asynchrone Utilisée

- Puissance nominale : $P_n = 375 \text{ W}$
- Tension nominale : $U_n = 200 \text{ V}$
- Courant nominal : $I_n = 2.1 \text{ A}$
- Vitesse nominale : $\omega_n = 1500 \text{ tr/min}$
- Rendement nominal : $\eta_n = 0.7$
- Facteur de puissance nominal : $\cos \varphi_n = 0.7$