

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE



ECOLE NATIONALE SUPERIEURE POLYTECHNIQUE

Département d'Electronique

*Projet de fin d'études en vue de l'obtention du Diplôme
d'Ingénieur d'Etat en Electronique*

Etude et Réalisation de plusieurs niveaux de métallisation

à basse température ($<600^{\circ}\text{C}$).

**Application à la réalisation d'un capteur de position
intégré avec son électronique de conditionnement.**

Réalisé par : **Mlle HAMDI Feriel Sihem**

Promoteur : Pr. M. Haddadi

Co-promoteur : Pr. T. Mohammed-Brahim

Encadreur : Dr. E. Jacques

Soutenu le 24 Juin 2009 devant le jury composé de :

Président : Maître de Conférences H. Bousbia-Salah

Examineur : Maître de Conférences B. Bousseksou

Promoteur : Pr. M. Haddadi

Juin 2009

Je dédie ce travail à ma mère, à mon père et à mes sœurs.

Remerciements

Je tiens à exprimer ma gratitude au Professeur Tayeb Mohammed-Brahim pour m'avoir accueillie au sein du Groupe Microélectronique de l'IETR et pour m'avoir permis d'intégrer une équipe aussi sympathique et pédagogue. Je le remercie également pour avoir encadré ce projet. Ses conseils avisés en Microélectronique, lors de la rédaction de ce rapport ainsi que dans la vie en général m'ont été très précieux.

Je remercie le Professeur Mourad Haddadi, co-promoteur de ce projet, pour m'avoir permis d'effectuer ce stage et pour m'avoir encadrée. Sa passion pour son travail m'a influencée dans mes choix passés, et restera gravée dans mon esprit pour mes choix futurs.

Un grand merci au Docteur Emmanuel Jacques (Manu pour tous), mon encadrant salle blanche, pour m'avoir suivie durant toute la durée de ce projet (ou plutôt pour m'avoir supportée jusqu'à la fin à le suivre partout). Merci d'avoir été aussi patient, disponible, sympathique et de m'avoir fait confiance.

Je tiens à remercier le Docteur Hicham Bousbia-Salah, Maître de Conférences à l'ENP, d'avoir accepté d'être le président de mon jury de projet de fin d'études. Merci également d'avoir été un aussi bon professeur et chef de département. Son travail acharné nous a permis, les étudiants électroniciens, de passer les trois années de spécialité sans penser aux problèmes administratifs, et d'ainsi nous consacrer entièrement à nos études. Il est en grande partie responsable de notre réussite.

Je remercie également le Docteur Boualem Bousseksou, Maître de Conférences à l'ENP, d'avoir accepté d'examiner mon travail. Je le remercie aussi pour ce qu'il m'a apporté en tant qu'enseignant. Ses multiples conseils aux étudiants du département auront été, et seront très utiles.

Un très grand merci à ceux du laboratoire, qui m'ont intégrée instantanément dans leur cercle, votre don pour allier détente et travail m'impressionnera toujours. Merci à Olivier, Christophe, Khalid, Himi-Deen, Anne-Claire, Nathalie, et bien sûr, celui sans qui tout cela n'aurait pas été possible... Régis Rogel (tu aurais dû me donner un paragraphe plus

long !) Merci Régis pour ta bonne humeur permanente et tes conseils. Merci aussi aux thésards ; Fouad, Isman, Bruno, Khaled, Liang et Abd-El-Ghani, je vous souhaite beaucoup de réussite.

Je remercie l'ensemble de mes enseignants qui m'ont permis d'acquérir assez de connaissances pour en être là aujourd'hui. Je remercie notamment Mr. Sadoun de m'avoir permis de « squatter » le centre de calcul durant ces derniers mois et pour ses conseils, ainsi que Mr. Ait-Cheikh pour son chocolat qui nous remonte toujours le moral.

Je n'oublie pas de remercier tous mes amis qui m'ont aidée à traverser ces cinq années dans la joie et la bonne humeur, ça y est, on y est ! Dans le désordre, merci à Said, Rahim, Zaki, Abdou, Elias, la bande des soufaha (Reda, Ghyles,...), Kamel, Krimou, Amine (dit Sunshine), Amine (dit Sphinx, il y a trop de Amine) et tous mes autres amis et camarades de défoulement.

Toute ma famille, mes oncles, tantes, cousins et cousines que j'aimerais voir plus souvent.

Mes sœurs, Amel ma chère grande sœur dont le seul rire me rend heureuse, Dounia ma petite sœur (pas si petite d'ailleurs !) tellement forte et travailleuse, Nesrine ma plus jeune sœur que je ne veux pas voir grandir et Baya, ma sœur de cœur, si généreuse et fidèle, je te souhaite beaucoup de bonheur et de chance dans ta vie future. Mon grand-père dont le seul vœu est de nous voir étudier pour apprendre au maximum. Ma mère, ma précieuse mère que je vois comme la maman la plus forte du monde, et dont la phrase fétiche pour nous dire au revoir est « du courage, et toujours de l'avant » ! On dirait que ça a marché jusque là, alors continues de nous le répéter ! Et enfin, une pensée pour mon père qui sera toujours présent dans mon cœur...

TABLE DES MATIERES

<i>Introduction</i>	1
<i>Chapitre I : Généralités, activité du laboratoire et historique des dispositifs à base de TFT polysilicium</i>	4
1. Généralités sur le Silicium et ses différentes formes :.....	5
1.1. Silicium monocristallin.....	5
1.2. Silicium amorphe.....	7
1.3. Silicium polycristallin ou polysilicium.....	9
1.4. Intérêt du polysilicium et de la technologie basse température.....	13
2. Sujets d'étude du laboratoire de Microélectronique de l'IETR :.....	15
2.1. Technologie Silicium Polycristallin.....	15
2.2. Technologie Silicium Microcristallin.....	16
2.3. Synthèse et création de nanofils de Silicium.....	17
2.4. Micro-technologies (MEMS) avec entre autres, la technologie transistor airgap pour application capteur.....	18
3. Les différents appareils d'un laboratoire de microélectronique.....	19
3.1. Dépôts.....	19
3.2. Photolithographie.....	29
3.3. Gravures.....	32
3.4. Banc de test ou de caractérisation.....	37
4. Les dispositifs déjà réalisés à base de Poly-TFT.....	39
5. Conclusion.....	43
<i>Chapitre II : TFT couches minces en polysilicium</i>	45
1. Fonctionnement des TFTs.....	46
2. TFT Hall :.....	50
2.1.Principe.....	51
2.2.Le capteur à effet Hall en technologie basse température.....	55
3. Pourquoi les microsystèmes ?.....	56
4. Le microsystème et ses différentes parties	58
5. Processus de fabrication du microsystème jusqu'à la première métallisation.....	65
6. Conclusion	74
<i>Chapitre III : Etude sur deux niveaux de métallisation réalisés à basse température (<400°C)</i>	76
1. Problématique.....	77
2. Solution déjà testée et ses inconvénients	81
3. Ce qui se trouve dans la littérature en matière de double métallisation.....	82
4. Les nouvelles conditions proposées.....	84
5. Conclusion.....	87

<i>Chapitre IV : Caractérisations et résultats</i>	89
1. Caractéristiques et paramètres essentiels.....	90
2. Courbes obtenues avant et après recuit de guérison.....	92
3. Extraction des paramètres.....	95
4. Interprétation des résultats.....	98
5. Conclusion.....	103
 <i>Conclusion et perspectives</i>	 105
 <i>Références</i>	 108
 <i>Annexe 1 : Techniques de cristallisation du silicium</i>	 113
<i>Annexe 2 : Description des masques</i>	117

INTRODUCTION

L'objectif de ce projet, préparé au sein du Groupe Microélectronique de l'IETR (Institut d'Electronique et des Télécommunications de Rennes), est de trouver des solutions au problème lié à la multiplicité des niveaux de métallisation, et en l'occurrence une double métallisation.

Ce problème est survenu lors de l'étude d'E. Jacques [1] dont le but était la conception d'un capteur à effet Hall intégré avec son électronique de conditionnement en technologie couches minces (TFT). Ce projet s'inscrit donc dans la continuité de la précédente étude, en intégrant ce microsysteme, dont le but est la détection d'un objet en mouvement, comme application de notre étude.

Le capteur est conçu en technologie couches minces à basse température ($<600^{\circ}\text{C}$) pour réduire le coût de fabrication ; car qui dit plus basse température, dit consommation moindre d'énergie. Le silicium polycristallin constitue donc la forme idéale de Silicium pour le compromis performances/coût parce qu'il présente de meilleures performances que le Si microcristallin, tout en nécessitant une plus basse température que le Si monocristallin. Néanmoins, les nombreux travaux effectués dans le domaine [2] [3] [4], montrent des performances plus faibles que celles des capteurs classiques conçus à haute température. Ceci est dû aux contraintes imposées par les matériaux eux-mêmes, entraînant des valeurs de sortie très faibles du capteur. Ces valeurs se noyant facilement dans le bruit, il est nécessaire d'intégrer une électronique de conditionnement consistant en un amplificateur différentiel. Ce dernier amplifie considérablement la tension de Hall, et permet alors de la différencier du bruit.

L'intérêt d'intégrer l'amplificateur et le capteur dans un même microsysteme est, d'une part, de prouver qu'il est possible de concevoir un microsysteme complexe en technologie couches minces à basse température, et, d'autre part, d'éviter que les bruits qu'introduiraient des connexions extérieures et une incompatibilité de la technologie des éléments (contraintes thermiques et mécaniques) noient le signal.

Parmi les problèmes introduits par l'intégration de plusieurs éléments à un microsystème, on citera la complexité de l'architecture et la multiplicité des connexions. Une des conséquences est alors la difficulté d'effectuer toutes les connexions sans couper de lignes de liaison. La nécessité d'effectuer plusieurs niveaux de métallisation, isolés entre eux par un oxyde, se fait donc ressentir.

Les nœuds ou points de contact entre deux niveaux sont appelés « vias ». Le problème que rencontra E. Jacques [1] lors de la phase de double métallisation est la formation d'une interface isolante, en l'occurrence de l'alumine, au niveau des vias. Cette isolation, involontaire, bloque donc le passage du courant. Le but de ce projet est de proposer des procédés de réalisation de double métallisation qui éviteraient la formation d'une interface au niveau des vias.

Avant d'exposer le problème de la double métallisation et les solutions proposées, ce rapport commence par un chapitre de généralités présentant les différents types de Silicium et les avantages des uns par rapport aux autres. On y explique aussi les raisons du choix du polysilicium. Ce même chapitre introduit les différents axes de recherche du Groupe Microélectronique de l'IETR, puis explique le principe de fonctionnement des diverses machines et manipulations en salle blanche. Enfin, un historique des dispositifs créés en polycristallin clôture ce premier chapitre.

Le second chapitre est plus axé sur le microsystème en lui-même. Après une brève explication du fonctionnement des TFTs en général, et du TFT Hall en particulier, le microsystème et ses différentes parties sont présentés. Enfin, les différentes étapes du procédé de fabrication jusqu'au premier niveau de métallisation sont détaillées.

Le troisième chapitre est consacré à la double métallisation. Après avoir cerné le problème rencontré par E. Jacques [1] et les résultats des solutions alors testées, nous résumons les procédés proposés dans la littérature. Nous présentons ensuite les nouvelles conditions qui ont été testées durant le stage au sein de l'IETR et les raisons de ces choix.

Le dernier chapitre contient les caractéristiques ou résultats des tests des différentes conditions. Mais avant d'illustrer ces résultats et de les interpréter, ce chapitre introduit les paramètres essentiels et les courbes typiques d'un poly-Si TFT.

CHAPITRE I :

GENERALITES, ACTIVITE DU LABORATOIRE ET HISTORIQUE DES DISPOSITIFS FAITS A BASE DE TFT POLYSILICIUM

Dans ce chapitre, une introduction à la technologie couches minces en microélectronique est présentée.

Les différences entre les types de Silicium sont premièrement abordées. La mise en lumière des avantages qu'offre le polysilicium par rapport aux autres formes éclaire sur le choix de ce matériau pour la réalisation de notre microsysteme.

Les différents axes de recherche du groupe Microélectronique de l'IETR sont ensuite développés comme présentation du laboratoire.

La troisième partie résume brièvement toutes les techniques devant être maîtrisées pour la conception d'un dispositif en couches minces avant de mettre l'accent sur les procédés de dépôt disponibles au laboratoire de l'IETR.

Enfin, un bref historique des dispositifs réalisés au laboratoire dans la technologie polysilicium et utilisant des TFT.

1. Généralités sur le Silicium et ses différentes formes

Quand on parle d'électronique, le Silicium est toujours le premier matériau auquel on pense et avec raison. En effet, le Silicium est la base de tout circuit intégré.

A travers l'histoire de l'électronique, les scientifiques ont cherché à améliorer certaines des propriétés de ce matériau, et c'est tout naturellement que différentes formes ont été développées. Ces types de Silicium diffèrent par leur organisation cristalline ; elle peut être parfaite, comme pour le Si monocristallin, ou inexistante, comme pour le Si amorphe. Une troisième forme sera décrite dans ce chapitre ; le Si polycristallin. Ce dernier type de Silicium est celui qui a été utilisé dans le cadre de ce projet. Nous expliquerons aussi, en mettant en évidence les différences de propriétés qui résultent de celles structurelles entre les différentes formes, les avantages du polysilicium.

1.1. Le Silicium monocristallin [5] :

Dans un cristal idéal de silicium, les atomes sont arrangés selon la structure dite diamant, c'est à dire sur un double réseau cubique à faces centrées. Ainsi, chaque atome de silicium, élément de la colonne IV du tableau périodique, est situé dans un environnement tétraédrique schématisé (cf. figure 1.1). Chaque atome est équidistant de ses quatre plus proches voisins de la distance $d = 2,35 \text{ \AA}$, la liaison étant une liaison à caractère covalent de type sp^3 . Deux liaisons forment entre elles un angle de $109^\circ 28'$.

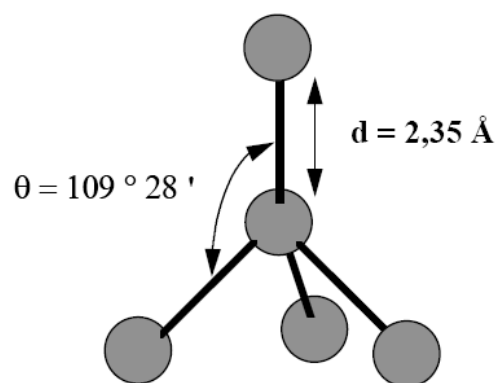


Figure 1.1 : Configuration tétraédrique du silicium dans un cristal de type diamant.

A ce type de liaison correspondent des états électroniques. Dans le cristal, ces états sont couplés et les couplages multiples entre atomes conduisent à des bandes d'énergie permises pour les électrons, séparées par des bandes interdites (figure 1.2). Le couplage entre deux atomes étant fonction de la distance inter-atomique d , il est clair que la valeur de cette distance détermine la largeur des différentes bandes d'énergie. Dans le cas du silicium, la population électronique ne laisse pas de bande incomplètement remplie, la dernière bande remplie correspondant à la bande de valence (BV). La bande suivante autorisée s'appelle la bande de conduction (BC), et la bande intermédiaire interdite (BI) correspond au gap. C'est la valeur relativement faible de son gap ($E_g = 1,12$ eV) comparée à l'énergie thermique des électrons à température ambiante qui fait du silicium un matériau semi-conducteur, en autorisant l'échange d'électrons entre la bande de valence et la bande de conduction.

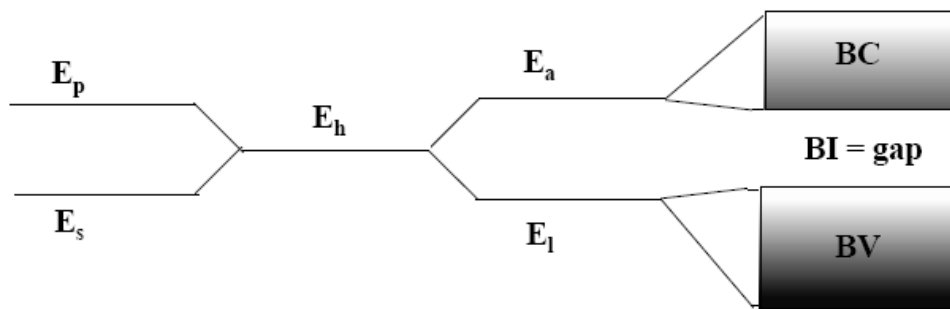


Figure 1.2: transformations successives des états isolés (E_p et E_s issus de l'état de valence $2s2p^2$) vers l'état de valence sp^3 (E_a et E_l) issu du couplage des orbitales hybrides (E_h) et formation des bandes d'énergies.

Nous voyons ainsi que l'arrangement cristallin des atomes, conditionnant notamment la valeur du gap, s'avère déterminant dans cet échange de porteurs de charge électrique et donc sur les propriétés électroniques du matériau.

1.2. Le Silicium amorphe [6]:

Le silicium amorphe est un matériau souvent comparé au silicium cristallin car il est formé du même matériau (le silicium), et qu'il fait aussi partie de la famille des semi-conducteurs. La structure amorphe signifie "pas d'ordre à grande distance", néanmoins, un certain ordre existe à courte distance. La figure 1.3 montre une comparaison entre la structure cristalline et la structure amorphe. Les défauts de la structure amorphe forment des centres de recombinaison pour les porteurs libres et dans une grande majorité des cas ces liaisons sont saturées avec un atome d'hydrogène. Cette structure le différencie du silicium cristallin, tant par les possibilités nouvelles qu'elle offre, que par ses caractéristiques optoélectroniques.

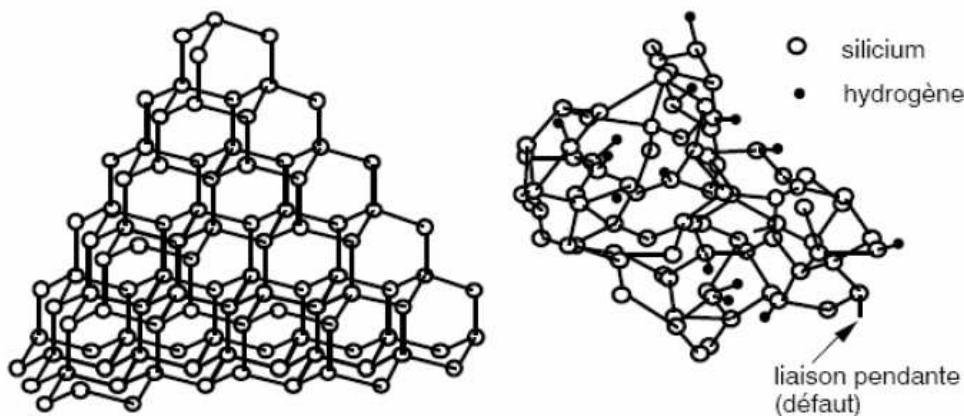


Figure 1.3: Structures cristalline et amorphe

Parmi les avantages du Silicium amorphe par rapport au monocristallin on peut citer :

- la possibilité de le déposer sur de grandes surfaces ; il n'y a plus la limitation de la taille du wafer,
- la possibilité de le déposer sur des surfaces non planes ou souples,
- la facilité de fabrication ; technologie basse température (<300°C),
- une forte absorption de la lumière visible,
- peu de dégradation par les rayons X,
- bande interdite (gap) plus élevée (1,7 eV contre 1,1 pour le silicium cristallin), ce qui permet d'obtenir des courants inverses dans l'obscurité plus faibles,

Par contre, comme toute chose, le Silicium amorphe présente aussi des inconvénients :

- beaucoup de défauts dans la structure,
- faible mobilité des porteurs libres,
- faible mobilité d'effet de champ ($< 1 \text{ cm}^2/\text{V.s}$),
- possibilité de le doper uniquement pour les structures a-Si:H.

Au vu des avantages et des inconvénients cités ci-dessus, il est possible de tirer partie de certains avantages du silicium amorphe afin de développer de nouvelles applications pour lesquelles le silicium cristallin ne peut être ou est difficilement utilisable: principalement les technologies qui nécessitent de grandes surfaces (macro électronique), ou des surfaces non planes. Le tableau 1 répertorie quelques applications du silicium amorphe actuellement industrialisées.

Applications	Caractéristiques	Avantages
Xérographie	Matériau photoconducteur directement déposé sur le cylindre	- Bonne photoconductivité - Peut être déposé sur de grandes surfaces - Peut être déposé sur une surface non plane (cylindre)
Téléfax	Détecteurs optiques en ligne, couvrant la largeur d'une page A4 (la focalisation de l'image n'est plus nécessaire)	- Grande surface - Excellente absorption de la lumière visible - Bonne résistance mécanique
Détecteurs optoélectroniques	Structure de diodes p-i-n	- Comparable aux téléfaxes
Cellules solaires	Structure de diodes p-i-n	- Grandes surfaces - Excellente absorption du spectre solaire
Ecrans plats	Matrices de TFTs (Thin Film Transistors)	- Grandes surfaces - Possibilité de déposer des TFTs

Tableau 1 : Applications du silicium amorphe actuellement industrialisées avec les caractéristiques et les avantages que procurent ce matériau

Cependant, d'un point de vue purement électrique, les caractéristiques de ce matériau se révèlent insuffisantes pour développer des circuits complexes. Il n'est donc pas préférable de l'utiliser dans le cadre de notre application. Par contre, le meilleur candidat pour cela se trouve être le polysilicium.

1.3. Le Silicium polycristallin ou polysilicium [7] :

Le Silicium se décline en plus de deux types. Il ne comprend pas seulement les deux états extrêmes. Il existe des formes intermédiaires comme le Silicium polycristallin (cf. figure 1.4). En effet, ce dernier peut être défini comme un empilement de grains monocristallins séparés de zones étroites, très désordonnées et riches en défauts. Ces zones, appelées joints de grains, sont assimilables à du Silicium amorphe.

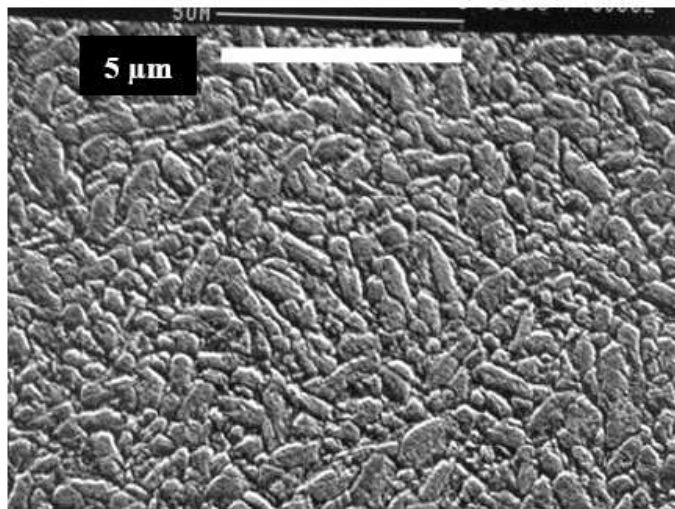


Figure 1.4 : Structure du silicium polycristallin obtenu à partir de silane à 90 Pa, 550 °C recuit à 600 °C pendant 12 heures [1]

Les deux composants du polysilicium, grains et joints de grains, possèdent des caractéristiques propres résumées comme suit :

- le grain est défini par sa taille et sa qualité cristalline. Contrairement à ce que son nom laisserait penser, le grain monocristallin n'est pas exempt de défauts, car les procédés d'obtention du silicium par C.V.D (cf. section 3.1.2. du chapitre 1) ne permettent pas de déposer du silicium de grande qualité cristalline. Ces imperfections (pratiquement des dislocations et des macles) sont à l'origine de liaisons pendantes qui sont électriquement actives. La densité de ces défauts détermine la qualité du grain. Dans le cas d'un matériau texturé, le grain est aussi caractérisé par son orientation cristalline prépondérante.

- les caractéristiques essentielles du joint de grain sont ses dimensions, c'est-à-dire son épaisseur, et également sa densité de défauts.

Ces caractéristiques structurales inhérentes au polysilicium introduisent, de la même façon que pour le silicium amorphe, des états localisés dans le gap. Sur la figure 1.5, nous représentons un exemple de profil des états introduits par les défauts dans la bande interdite.

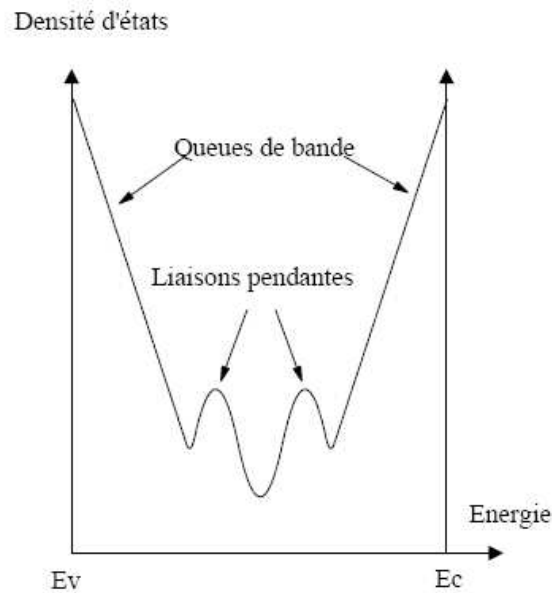


Figure 1.5 : Représentation schématique de la distribution d'états introduits par les défauts dans la bande interdite du polysilicium [7]

Nous n'avons jusqu'à présent parlé que de l'aspect structural du polysilicium et comment il détermine sa structure électronique. Voyons maintenant quel est l'effet, sur les propriétés électriques, de l'introduction intentionnelle d'impuretés dopantes. La figure 1.6 représente les variations en fonction du dopage de ces principales propriétés (la résistivité, la mobilité et la concentration en porteurs).

- *résistivité* : la résistivité du polysilicium faiblement dopé est supérieure de plusieurs ordres de grandeur à celle du silicium monocristallin. Pour une certaine concentration critique, elle chute brutalement, pour tendre aux forts dopages vers la résistivité du silicium monocristallin.

- *mobilité de Hall des porteurs majoritaires* : la mobilité présente un minimum dans la gamme des dopages intermédiaires. Vers les forts dopages, elle tend vers la mobilité du silicium monocristallin. Vers les faibles dopages, elle a tendance également à tendre vers la mobilité du monocristallin, mais reste toutefois très inférieure.

- *concentration de porteurs libres* : elle est toujours inférieure à celle du silicium monocristallin. Elle est très faible pour les faibles dopages, et augmente rapidement à partir

d'une concentration critique pour tendre vers la concentration de porteurs du silicium monocristallin.

Au vu de ces trois courbes, il est intéressant de noter l'existence d'une concentration critique pour laquelle se produit la plus grande variation pour chacune des trois grandeurs.

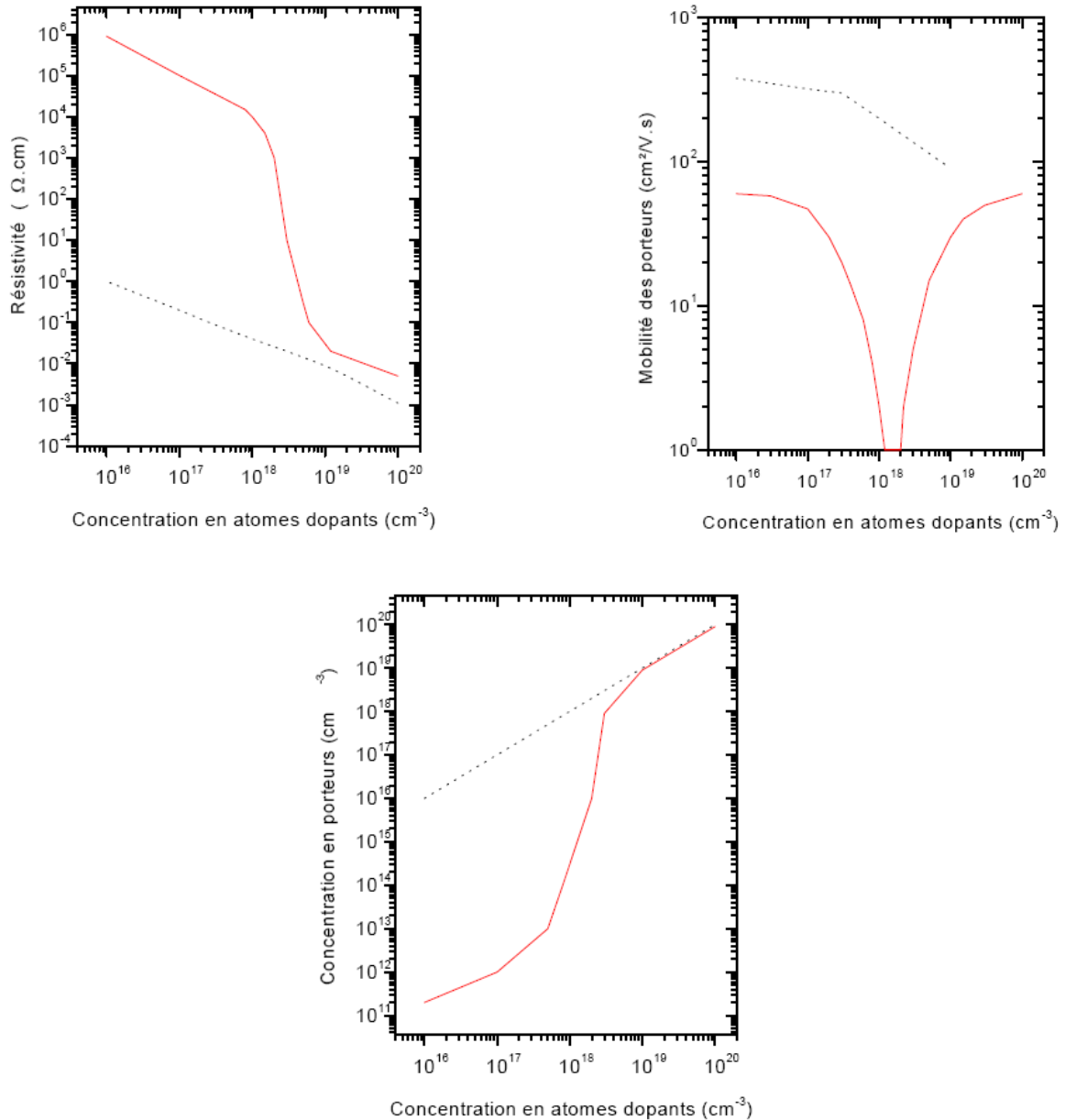


Figure 1.6 : variation de la résistivité, de la mobilité et de la concentration en porteurs libres de polysilicium dopé au bore en fonction de la concentration en bore. Les courbes en pointillés illustrent le comportement du silicium monocristallin [7].

Pour tenter d'expliquer ce comportement du polysilicium, deux modèles ont été successivement développés, le modèle de ségrégation du dopant et le modèle de piégeage des porteurs.

Le modèle de ségrégation du dopant a été proposé par Cowher *et al.* [8] pour expliquer les variations de la résistivité et de la concentration des porteurs. Il met en avant l'idée de la ségrégation du dopant aux joints de grains. Les impuretés diffusent préférentiellement vers les zones riches en défauts, en l'occurrence les joints de grains, et sont alors électriquement inactives. Aux faibles dopages, la majorité des atomes dopants n'est pas activée et la concentration en porteurs reste donc très faible, ce qui explique alors la très grande résistivité.

A fort dopage, seule une minorité des atomes dopants est inactivée et la concentration de porteurs devient alors importante, provoquant une forte diminution de la résistivité.

Cependant, ce modèle ne permet pas de rendre compte du minimum de mobilité ni de la dépendance de la résistivité en fonction de la température.

Kamins [9] a donc introduit le modèle de piégeage des porteurs : la forte densité de défauts aux joints de grains provoque le piégeage des porteurs libres, créant ainsi des barrières de potentiel qui font obstacle au déplacement des porteurs non-piégés. Le modèle a été repris par Seto [10] et formalisé mathématiquement, permettant ainsi de rendre compte qualitativement et quantitativement des propriétés électriques fondamentales du silicium polycristallin. Aux faibles dopages, en deçà d'une certaine concentration critique qui correspondrait à une densité de défauts électriquement actifs, les porteurs sont en majorité piégés aux joints de grains. La concentration en porteurs est alors très faible et la résistivité très grande. Lorsque le dopage croît, plus de porteurs sont piégés, la résistivité et le nombre de porteurs ont peu varié, mais la barrière de potentiel a augmenté, provoquant une chute de la mobilité. L'apparition de la barrière de potentiel s'explique par l'accumulation d'une charge de part et d'autre du joint de grain, le reste des grains étant déserté. A partir de la concentration critique et vers les forts dopages, lorsque tous les pièges sont remplis, les porteurs que l'on apporte par l'intermédiaire des atomes dopants vont alors tous contribuer à la conduction. Ceci provoque une augmentation de la concentration en porteurs libres, une chute de la résistivité et un abaissement des barrières de potentiel puisque les grains sont de moins en moins vides de porteurs, et donc une augmentation de la mobilité.

Divers modèles de conduction reprenant celui de Seto [11][12], ont été développés par la suite en modifiant certaines hypothèses quant à la modélisation de la structure cristalline.

1.4. Intérêt du polysilicium et de la technologie basse température :

Un matériau de Silicium est principalement défini par la taille de ses grains pour la structure, et la mobilité d'effet de champ pour les performances électriques. Ces dernières sont directement dépendantes de la température de dépôt, qui est différente pour chaque type de Silicium. Un compromis doit donc être déterminé entre : performance, taille de grains, coût du procédé de fabrication et température. La figure 1.7 représente un classement de ces différents matériaux.

Dans cette même figure, on voit apparaître un autre type de Silicium : le microcristallin. La structure de ce dernier peut être assimilée à celle du polysilicium. Cependant, les grains du silicium microcristallin, beaucoup plus petits que ceux du polycristallin, sont fabriqués à des températures encore plus basses.

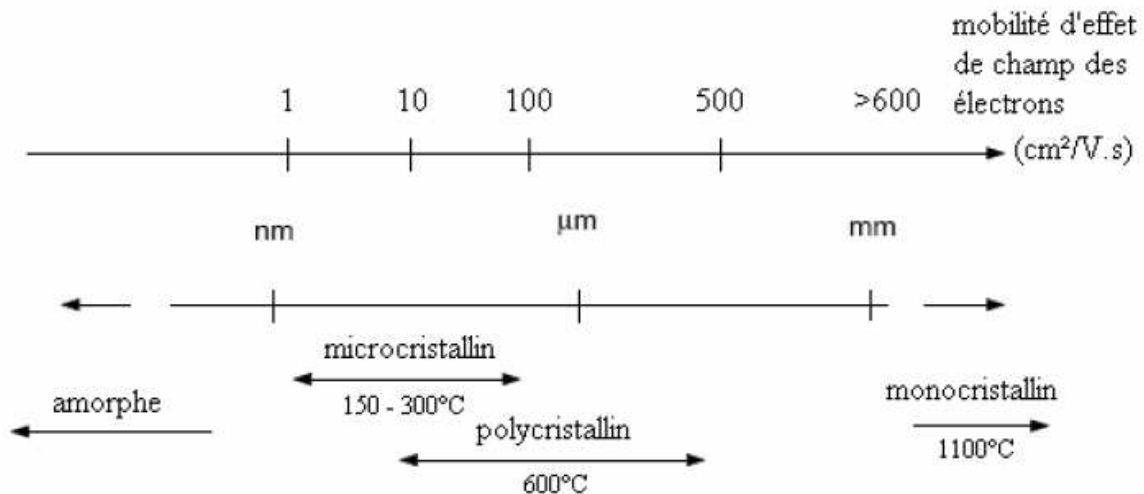


Figure 1.7 : Classification des matériaux de Silicium [1]

Bien que la tendance actuelle soit d'aller vers une décroissance du bilan énergétique des chaînes de production des dispositifs électroniques, les TFTs (Thin Film Transistor ou transistor en couches minces) du type amorphe ou microcristallin (les plus économiques) sont inadaptés à la réalisation de certaines fonctions nécessitant des performances électriques suffisantes (comme l'exigent les circuits d'amplification). Ce qui se fait actuellement dans l'industrie pour contourner ce problème consiste à réaliser une partie du circuit dans une technologie dite basse température et d'effectuer le traitement des signaux dans une technologie haute température. Ce compromis donne naissance à d'autres problématiques comme celle des interconnexions qui sont porteuses de bruit et donc d'erreurs dans le

traitement des signaux, de compatibilité entre les deux procédés de fabrication, de sûreté de fonctionnement ou encore de fiabilité.

Le tableau 2 résume les paramètres caractérisant les TFTs suivant différents procédés de fabrication. Il nous renseigne sur le choix du type de transistor suivant l'application visée.

TFT type N	Mobilité d'effet de champ μ_{FET} (cm ² /V.s)	Stabilité	Reproductibilité	Uniformité	Coût
Polycristallin cristallisé laser	100 - 500	+++	+	--	--
Polycristallin cristallisé SPC	~ 100	++	+	+	+
Microcristallin	$1 < \mu < 100$	+	+	+	++
Amorphe	< 1	--	+	++	++

Tableau 2 : Comparatif des performances de TFTs réalisés à basse et très basse température.

D'après le comparatif précédent, le silicium polycristallin paraît être un bon compromis entre performances ($\mu_{FE\max} \sim 100$ cm²/V.s), fiabilité du procédé de fabrication et coût de production (la basse température de production induit une moindre consommation d'énergie, et la possibilité d'utilisation de tout substrat supportant 600°C contrairement au monocristallin).

Malgré sa mobilité relativement faible, le silicium microcristallin semble lui aussi être un bon candidat pour la réalisation de circuits sur de grandes surfaces. Néanmoins, la mobilité des porteurs étant un paramètre essentiel pour la réalisation d'un amplificateur, le choix, pour la réalisation d'une électronique de traitement, s'est porté sur le silicium polycristallin.

La section qui suit porte sur les différents axes de recherche étudiés au laboratoire de l'IETR. En présentant un résumé de ce qui se fait au laboratoire, cette partie permet d'expliquer les choix de procédés présentés dans le chapitre 3.

2. Sujets d'étude du laboratoire de Microélectronique de l'IETR

L'institut d'électronique et de télécommunications de Rennes est un établissement public qui regroupe des équipes de recherche de l'Université de Rennes1, l'INSA et Supélec (campus de Rennes). Doté d'un ensemble important de plateaux techniques qui lui permet de réaliser des expérimentations en grandeur nature, l'IETR a une forte activité de recherche scientifique au niveau national et international ainsi que de nombreuses activités contractuelles avec des industriels.

L'atout majeur du groupe Microélectronique de l'IETR est la plateforme salle blanche dont il a la charge. Les chercheurs peuvent ainsi y effectuer les dépôts et les différentes autres manipulations très rapidement afin de tester leurs idées. Ceci procure une avancée rapide dans les thèmes de recherche du groupe.

L'activité de recherche du groupe Microélectronique de l'IETR se développe autour des quatre thèmes suivants :

- Technologie Silicium polycristallin,
- Technologie Silicium microcristallin,
- Synthèse et création de nanofils de Silicium,
- Micro-technologies (MEMS) avec entre autres, la technologie transistor airgap pour application capteur.

Dans cette section, nous introduirons brièvement ces différents axes de recherches afin de donner une idée de l'activité du laboratoire.

2.1. Technologie Silicium polycristallin :

Comme dit dans la section précédente, le polysilicium est depuis plusieurs années un matériau dont la place n'est plus à prouver dans le monde de la microélectronique.

Cet axe de recherche du Groupe Microélectronique gravite autour du matériau silicium polycristallin, à savoir l'élaboration, la caractérisation et surtout les applications allant des

transistors films minces pour écrans plats ou capteurs (magnétiques ou d'humidité) à la micro-technologie silicium et aux implications dans les technologies microélectroniques intégrées avancées.

Le groupe microélectronique de l'IETR, a alors développé des compétences en fabrication de dispositifs électroniques sur des substrats peu coûteux tels que le verre. Il a ainsi mis au point des transistors sur verre de performance mondiale. La maîtrise de l'élaboration de composants discrets permet la mise au point de dispositifs ayant une fonction électronique (technologie de type CMOS [13] et circuits associés).

- Amélioration des performances des TFTs.
- Circuits d'adressage de matrice active d'un écran plat à base d'OLEDs.
- Circuit d'amplification d'un capteur de position à base de TFT Hall.

Un bref historique des dispositifs réalisés en poly-TFT est présenté en section 4 du chapitre 1.

2.2. Technologie Silicium microcristallin :

Comme vu précédemment, la particularité du Silicium microcristallin est la température à laquelle il nous permet de travailler. En effet, les températures typiques de dépôt de ce matériau ne dépassant pas 200°C ceci le classe dans la technologie très basse température. Ce matériau est alors utilisé dans le cas du verre et des substrats souples comme le plastique, qui ne supportent pas de températures trop élevées.

Cette technologie est développée dans le but des applications suivantes : électronique sur substrat souple bio-compatible, textile intelligent, affichage nomade. Elle nécessite le contrôle des dépôts en liaison avec les propriétés électroniques des composants. Des dépôts utilisant la technique PECVD ont permis de réaliser des couches de silicium non dopé ou dopé in-situ dont la morphologie correspond à un matériau microcristallin, avec des cristallites de l'ordre de quelques dizaines de nanomètres.

Afin de continuer les travaux en technologie très basse température, et dans le but de contrôler toute la chaîne de fabrication de TFTs à basse température, le laboratoire a dû développer des techniques alternatives de toute la chaîne de conception des TFT à des

températures compatibles avec le microcristallin. On peut par exemple citer le dépôt d'oxyde de silicium de qualité isolant de grille qui peut être effectué par pulvérisation RF sans chauffage.

Ainsi, les TFT réalisés au laboratoire à partir du silicium μc as-deposited à 165°C , du SiO_2 précédent, dans un procédé à $T < 200^\circ\text{C}$ (température du forming gas) ont permis d'atteindre un record mondial quant à la mobilité pour ce type de matériau.

2.3. Synthèse et création de nanofils de Silicium :

Depuis quelques temps déjà, des chercheurs du groupe microélectronique de l'IETR travaillent sur la création de nanofils de Silicium. Cette technologie s'inscrit dans un contexte de recherche exploratoire pour prolonger les limites de la miniaturisation de composants et de circuits électroniques ainsi que celles de leurs performances. En effet, pour pallier aux limitations physiques liées au rythme d'intégration et aux performances électroniques, d'autres approches architecturales doivent être envisagées. Parmi elles, les nanofils de silicium pourraient permettre d'atteindre de hautes performances grâce à une possibilité d'intégration et des propriétés électriques accrues.

Les propriétés physico-électriques des nanofils de silicium sont très intéressantes pour la fabrication de dispositifs aux propriétés électroniques remarquables destinés au développement de microsystemes, mais aussi pour la réalisation de composants nanoélectroniques (nanotransistors, nanocapteurs ultra sensibles) et plus spécifiquement dédiés aux nanosystemes.

La synthèse des nanofils de silicium peut être envisagée suivant plusieurs approches :

- directement par dépôt CVD à partir d'un catalyseur métallique (aluminium ou or) préalablement déposé sous forme de gouttelettes de tailles nanométriques initiant la germination puis la croissance du silicium,
- à partir de nanoplots métalliques obtenus par nanolithographie par voie AFM,
- à partir de nanoespaceurs utilisés comme nanomasques du silicium et réalisés par photolithographie UV classique.

2.4. Micro-technologies (MEMS) avec entre autres, la technologie transistor airgap pour application capteur :

Depuis 2002, le groupe microélectronique a développé des compétences en microtechnologie. La mise au point des procédés de fabrication a permis d'obtenir une bonne tenue mécanique de microstructures et ainsi de développer de nouveaux composants de type MEMS. A partir des microstructures ainsi réalisées, il a été possible de fabriquer des transistors film mince à grille suspendue. Ces transistors sont à la base de très nombreuses applications (PHmètre, biocapteurs, ...etc) qui ont été développées durant ces dernières années, le premier but ayant été de réaliser un capteur de gaz.

La présence d'un air gap (comme un « pont suspendu », l'isolation est constituée d'air) de très faible dimension permet d'accroître notablement la sensibilité à la présence de charges. La structure est ainsi un très bon détecteur d'ambiance. Récemment, un switch fait d'un air gap a aussi été développé au sein du groupe.

Parmi les applications des transistors à grille suspendue qui ont été mises au point au sein du groupe Microélectronique de l'IETR, on peut citer :

- Transistors à grille suspendue utilisables dans un milieu liquide.

L'utilisation des transistors à air gap dans un milieu liquide a nécessité leur isolation électrique par une couche de nitrure de silicium. Cette évolution a impliqué une étude du maintien mécanique lors des immersions du pont ainsi isolé. Utilisés pour la mesure du pH de solutions, ces transistors ont présenté une sensibilité 4 fois supérieure à la technologie actuellement commercialisée.

- Transistors à grille suspendue pour la reconnaissance de l'hybridation de l'ADN.

Les transistors à air gap présentant une forte sensibilité à la présence de charges entre la grille et la zone de canal ont été utilisés pour la reconnaissance de l'hybridation de l'ADN. Cette hybridation apporte une variation de charge électrique détectable par ces transistors, auto-sélectifs dans ce cas.

- Transistors à grille suspendue pour la quantification de protéines.

Le projet propose un système innovant de quantification de protéines, basé sur la détection électronique par transistor à grille suspendue de variations de charges existant dans l'ambiance entourant le capteur. Appliqué à la variation de charges de molécules protéiques

présentes dans une solution et induites par une réaction spécifique antigène-anticorps, ce système doit permettre de détecter et quantifier des protéines d'intérêt en santé, de façon très rapide, extrêmement sensible et peu coûteuse.

Une telle diversité de projets de recherche au sein d'un même laboratoire est un atout pour ce dernier. En effet, l'échange entre les chercheurs constitue le nid de nombreuses idées. D'où la multiplicité des solutions proposées dans le chapitre 3.

La section suivante résume les différents procédés utilisés en salle blanche et dans un laboratoire de Microélectronique en général.

3. Les différents appareils de laboratoire

Une couche mince est un revêtement dont l'épaisseur peut aller de quelques couches atomiques à quelques micromètres. Un composant couches minces sera constitué d'une superposition de couches conductrices, isolantes ou de masquage utilisant des semi-conducteurs, des oxydes et des métaux.

Les étapes technologiques et les procédés de fabrication des composants utilisant une telle technologie doivent donc être spécifiques.

3.1. Dépôts :

Avant tout traitement d'une couche, il faut d'abord la déposer. Pour cela, il existe plusieurs types de procédés, chaque procédé donnant des caractéristiques différentes au matériau déposé.

3.1.1. Les différents procédés de dépôt :

Le premier procédé de dépôt en couches minces fut une application de la réaction de Tollens pour le dépôt d'argent. Appelé revêtement galvanique ou voie humide, ce procédé consiste en une réaction chimique entre le substrat et une solution. Dans le cas du miroir d'argent, on utilise la réduction d'ions Ag^+ par des sucres [14] [15] [16]. On peut aussi citer le dépôt de Cuivre mais qui nécessite le dépôt préalable d'un précurseur sur la plaque. Cette dernière constituera la cathode de la réaction, l'autre électrode étant une anode soluble de cuivre. Les ions Cu^{2+} circulent de l'électrode de cuivre à la plaque dans la cuve. Le bain, une

solution de sulfate de cuivre CuSO_4 par exemple, retient aussi les impuretés. On appelle cette méthode, qui s'utilise encore, l'électrolyse à anode soluble [17] [18] [19].

a. Le procédé CVD et ses variantes :

La décomposition chimique en phase vapeur (CVD pour Chemical Vapor Deposition en anglais) fait partie de la famille des dépôts sous vide. Cette méthode de dépôt de films minces, souvent exploitée par l'industrie, utilise un ou plusieurs précurseurs en phase gazeuse qui réagissent et/ou se décomposent à la surface du substrat pour générer le dépôt désiré. Ceci se fait en général dans un four où les conditions de pression et de température peuvent être modifiées pour obtenir des qualités de couches différentes, car ces conditions déterminent les propriétés structurales et électriques du matériau déposé. Ce dernier pouvant être du Silicium ou un isolant [16] [20].

Il existe plusieurs types de CVD se différenciant par les conditions de pression ou de température. On citera le dépôt CVD à pression atmosphérique (APCVD pour Atmospheric Pressure CVD) et le dépôt à basse pression (LPCVD pour Low Pressure CVD) qui réduit les réactions en phase gazeuse non désirées et augmente l'uniformité des films le long des substrats. On utilise aussi un plasma dans le procédé PECVD (Plasma Enhanced CVD ou Plasma Assisted CVD) dont le plasma augmente le taux de réaction, et permet un dépôt à plus faible température [16].

Dépôt par LPCVD :

Comme dit ci-dessus, ce dépôt s'effectue à basse pression. On injecte les gaz, qui synthétisent le matériau à déposer, dans un four à mur chaud et à environs 500 à 600°C. On peut déposer du Silicium dopé in-situ grâce à ce procédé comme montré sur l'exemple de la figure 1.8

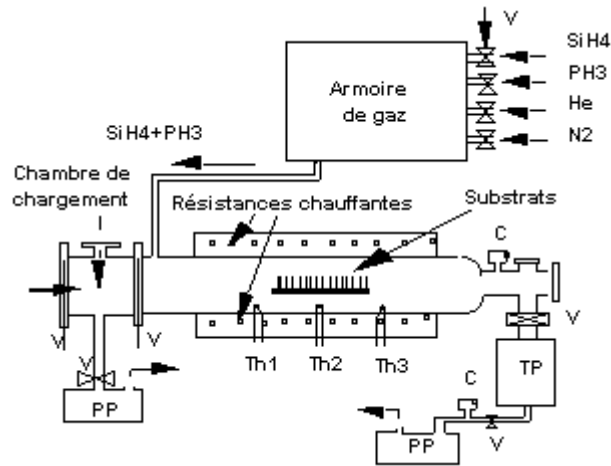


Figure 1.8 : Réacteur LPCVD pour déposer du polysilicium dopé au phosphore *in-situ* [20].

Dépôt par PECVD ou PACVD :

Grâce à une décharge électrique radiofréquence (13,56 MHz) qui ionise les gaz et forme un plasma, le dépôt par PECVD évite des passages à haute température qui peut entraîner une redistribution des dopants, car le plasma ainsi constitué active la réaction chimique en phase vapeur en favorisant la dissociation des gaz. Donc même s'il est nécessaire de chauffer les substrats pour améliorer la qualité du matériau, la température ne dépasse guère quelques centaines de degrés, contrairement à la méthode CVD classique où la décomposition des gaz est obtenue en appliquant typiquement 1000°C [21].

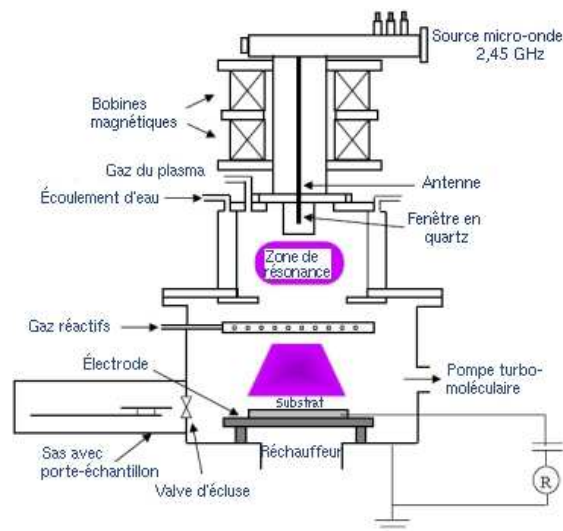


Figure 1.9: Schéma simplifié du bâti de dépôt par PECVD [21]

On trouve deux types de fours pour effectuer le dépôt PECVD ; le four à platine porte-substrat horizontale (figure 1.10) et le four à mur chaud (figure 1.11) le second étant préféré

dans l'industrie car il évite d'éventuels redépôts, en plus du fait qu'il permet de traiter une cinquantaine de substrats à la fois [20].

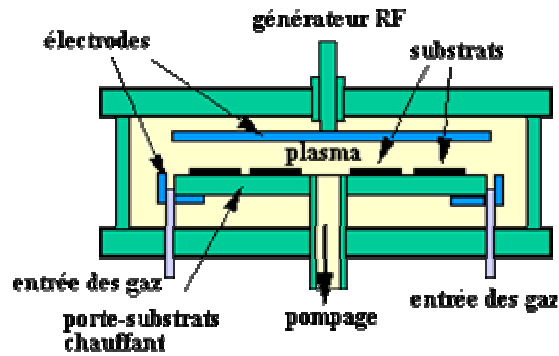


Figure 1.10 : Réacteur plasma à platine porte-substrats horizontale[20]

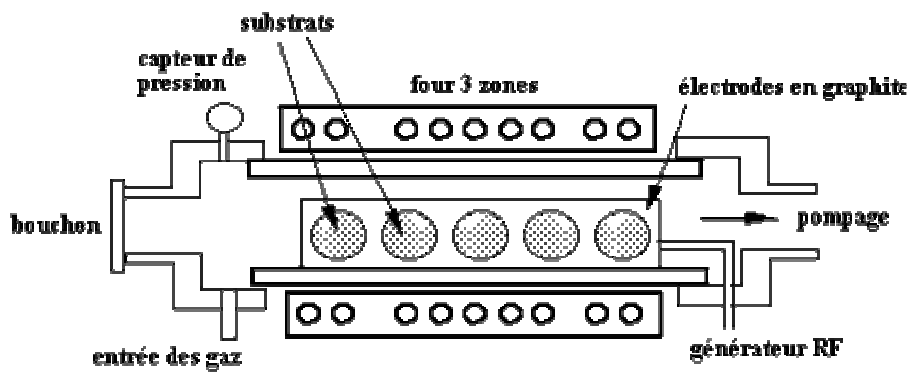


Figure 1.11: Réacteur plasma à mur chaud [20]

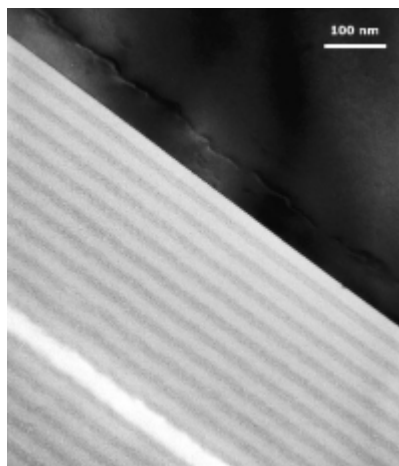


Figure 1.12: Multicouches de SiO_x (en clair) sur SiN_y (en foncé) réalisées par PECVD [21]

b. Le dépôt par PVD :

PVD est l'acronyme de Physical Vapor Deposition en anglais. Ce procédé, comme la technique CVD, fait partie de la famille des dépôts sous vide. Cette technique est notamment utilisée pour la métallisation, c'est-à-dire le dépôt de films minces de matériau solide (comme les métaux). Le procédé PVD regroupe principalement la pulvérisation cathodique ou sputtering, l'évaporation par canon à électrons et l'évaporation thermique.

La pulvérisation cathodique ou sputtering :

Le sputtering ou pulvérisation cathodique permet le dépôt de films minces sur un substrat, par condensation d'une vapeur métallique (dans le cas du dépôt de métal) issue d'une cible solide.

Le principe de cette méthode est d'arracher, par bombardement, les ions de la cible (source solide) et à les envoyer sur le substrat.

Le bombardement résulte de la collision des espèces positives d'un plasma. Cette collision est due à l'attraction exercée par la cathode, constituée par la cible, sous l'effet d'un champ électrique.

Le plasma froid se crée grâce à l'application d'une différence de potentiel entre la cible et les parois du réacteur sous basse pression. En effet, le gaz présent dans le bâti (de l'Argon ou de l'hydrogène) s'ionise à la pression de 10^2 Pa

A la collision, les ions positifs transmettent leur quantité de mouvement, provoquant la pulvérisation des atomes sous forme de particules neutres qui se condensent sur le substrat formant ainsi le dépôt de film mince.

Dans le schéma simplifié de la figure 1.13, l'Argon injecté fournit les ions positifs de bombardement.

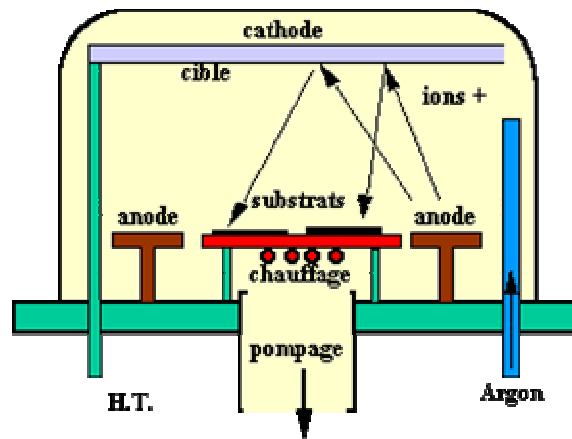


Figure1.13 : schéma simplifié du bâti de dépôt par pulvérisation cathodique (ou sputtering) par l'Argon [20]

Outre l'avantage de pouvoir déposer un matériau de bonne qualité basse température (température ambiante), on peut citer deux autres avantages importants de la pulvérisation cathodique comparativement aux autres méthodes de dépôt ; la vitesse de l'opération et la qualité du matériau du film.

L'avantage de la grande vitesse de dépôt (7nm/min pour une puissance de 200W) entraîne la diminution du dépôt d'impuretés. En effet, plus l'opération va vite, moins les impuretés auront le temps d'atteindre la surface du substrat.

Le second avantage du sputtering est que les films déposés ont la même composition que le matériau source contrairement aux techniques d'évaporation thermique [20] [16].

Dépôt par évaporation par canon à électrons :

Le principe général de l'évaporateur est de déposer un film mince du matériau placé dans le creuset en l'évaporant. L'évaporation est obtenue soit par effet Joule dans le cas de l'évaporateur thermique, ou par bombardement dans le cas du canon à électrons.

L'évaporation par canon à électrons consiste à envoyer un faisceau focalisé d'électrons sur le matériau placé dans le creuset afin de lui apporter suffisamment d'énergie, qui est convertie en chaleur au point d'impact. Ceci fait fondre puis évaporer le matériau, qui se dépose alors sur le substrat qui se trouve sur une plaque tournante au dessus du matériau. Le porte-substrat est tournant pour permettre un dépôt plus homogène.

Les électrons bombardant la cible sont créés par chauffage d'un filament et leur trajectoire incurvée, pour focaliser le faisceau, grâce à l'action conjuguée d'une différence de potentiel électrique et d'un champ magnétique [20] [21].

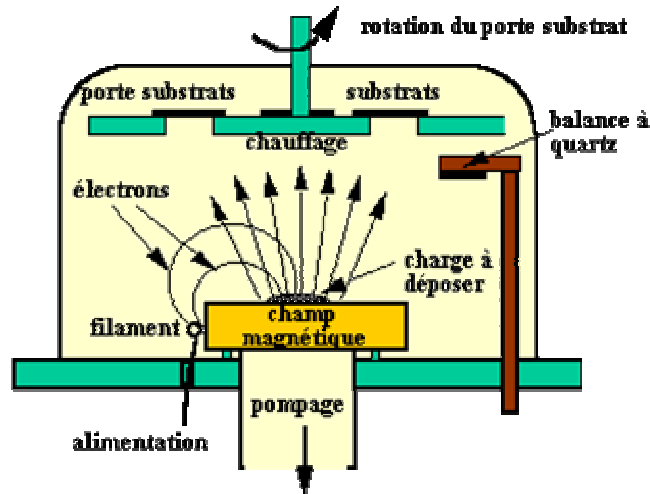


Figure 1.14 : schéma simplifié du bâti de dépôt par canon à électrons [20]

La balance à quartz sert à contrôler l'épaisseur de la couche déposée. Comme le matériau se dépose aussi sur la balance, la masse varie, ce qui change la fréquence d'oscillation du quartz (car la fréquence d'oscillation du quartz dépend de la masse de celui-ci). Donc en mesurant la fréquence, on connaît la masse de matériau déposé, et de ce fait l'épaisseur de la couche.

Dépôt par évaporation thermique :

Le principe général de l'évaporateur thermique est de chauffer le creuset en tungstène contenant le matériau à déposer jusqu'à fusion. Au bout de quelques secondes, les impuretés commencent à s'évaporer (l'alumine par exemple dans le cas du dépôt d'Aluminium) puis le matériau en lui-même s'évapore. A ce moment précis, le cache pivotant doit être déplacé afin de permettre au matériau de se déposer sur les plaques présentes sur le porte-substrat tournant.

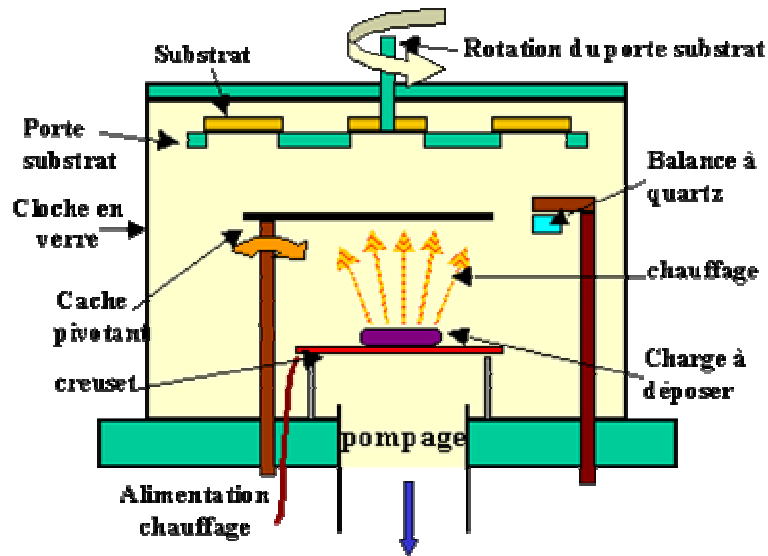


Figure 1.15 : Bâti de dépôt par évaporation thermique.

3.1.2. Dépôt de PolySilicium :

La technique de l'APCVD, initialement utilisée dans le cas des dépôts de semi-conducteurs, a été largement remplacée par les dépôts dits à basse pression car dans ce cas, les espèces réactives diffusent plus rapidement, l'uniformité des dépôts s'en trouve améliorée.

Le procédé LPCVD de dépôt de polysilicium est la technique la plus répandue dans l'industrie micro-électronique. C'est aussi la méthode actuellement utilisée au laboratoire de l'IETR. En effet, le dépôt de couches par LPCVD s'est très vite développé pour des raisons économiques (cette technique permettant de traiter un grand nombre de substrats en même temps avec une température de dépôt inférieure à 630°C). De plus, le dopage de la couche *in-situ* permet d'obtenir une meilleure uniformité. Ces avantages compensent largement les deux inconvénients majeurs de cette technique qui sont : la nécessité d'un vide poussé (compensé en coût par le fait que la consommation de gaz réactifs est faible), et la faible vitesse de dépôt.

Comme indiqué dans la section 3.1.1.a du chapitre 1, le dépôt LPCVD se fait dans un réacteur tubulaire à parois chaudes. Selon le couple pression/température, du Silicium amorphe ou directement cristallisé est obtenu par décomposition du Silane en phase gazeuse selon la réaction globale qui suit :



Il a déjà été établi qu'un matériau déposé amorphe puis cristallisé présentait de meilleures caractéristiques (comme des grains de plus grande taille) qu'un matériau directement déposé cristallin (as-deposited).

D'autre part, le choix des conditions de pression et de température pour le dépôt est très important car ces deux paramètres déterminent la qualité du matériau. Dans le cadre de notre étude, E. Jacques [1] a défini les conditions standard de dépôt par le couple (550°C, 90 Pa). R. Rogel [7] a aussi montré que l'utilisation du disilane (Si_2H_6), au lieu du silane (SiH_4), conduisait à l'obtention d'un meilleur matériau (spécialement pour le couple : 475°C, 50 Pa).

L'étape qui va ensuite permettre de moduler les propriétés électriques des couches déposées en modifiant les concentrations de porteurs est le dopage.

La caractéristique du dépôt LPCVD est qu'il permet un dopage *in-situ* des couches de polysilicium. Cette technique consiste à injecter dans le réacteur un gaz dopant en même temps que le gaz réactif.

Pour le dopage au phosphore (type N), le gaz le plus utilisé est la phosphine PH_3 , alors que pour celui au bore (type P) c'est le diborane (B_2H_6) qui est généralement utilisé [7].

La dernière étape pour un dépôt de polysilicium est celle de la cristallisation du matériau amorphe qui a été déposé pour se rapprocher le plus possible des caractéristiques du Silicium monocristallin. Ceci consiste à fournir suffisamment d'énergie aux atomes de la couche déposée de manière à ce qu'ils puissent s'arranger selon le réseau cristallin du silicium. Le système passe ainsi de l'état métastable amorphe à l'état stable cristallin.

Il existe deux modes de cristallisation ; en phase solide et en phase liquide. Chacun de ces modes peut être effectué selon différentes techniques.

Ainsi, la cristallisation en phase solide peut être faite soit par un recuit thermique classique (SPC pour Solid Phase Crystallization), par recuit thermique rapide (RTA) ou recuit assisté par un métal (MILC).

La cristallisation en phase liquide est aussi appelée cristallisation par laser. Elle utilise principalement des lasers à gaz (excimer) ou des lasers solides [7] [1].

Dans le cas de notre étude, le recuit SPC est privilégié car la réalisation d'un dispositif analogique nécessite une uniformité accrue des paramètres électriques des TFTs (voir annexe 1).

3.1.3. Dépôt d'oxyde de Silicium :

Nous verrons dans la section 5 du chapitre 2 que l'oxyde de Silicium SiO_2 est utilisé à plusieurs reprises durant le processus de fabrication des TFT. Néanmoins, la couche la plus critique où il intervient est celle de l'isolant de grille. En effet, cette couche détermine les performances du transistor car elles dépendent non seulement de la qualité d'isolation de l'oxyde utilisé, mais aussi de l'interface oxyde de grille/ couche active de Silicium. C'est pour cela qu'un nettoyage RCA est nécessaire avant le dépôt de cette couche (cf. section 5 du chapitre 2).

Il existe plusieurs méthodes de dépôt de SiO_2 . Néanmoins, nous ne citerons que celles qui restent applicables à la technologie basse température (c'est-à-dire à 600°C maximum qui est relativement considérée comme telle, vu que les températures usuelles de travail en technologie Silicium sont de l'ordre de 1000°C). Nous ne mentionnerons donc ici que les dépôts par APCVD à 600°C et par sputtering (pulvérisation cathodique) à une température maximale de 200°C introduits précédemment.

Dans le cas du dépôt par APCVD, le SiO_2 est formé à partir d'un mélange de Silane/oxygène dilué dans un gaz porteur (azote N_2) à 400°C selon les réactions suivantes :



Le dépôt est suivi d'un recuit de densification à 600°C sous flux d'azote.

E. Jacques [1] a prouvé qu'une épaisseur de 70nm de SiO_2 déposé par APCVD donnait de très bons résultats en tant qu'oxyde de grille pour des TFT.

Dans le cas du dépôt par pulvérisation cathodique, la seule différence entre le dépôt d'un conducteur (cf. section 3.1.1.b du chapitre 1) et celui d'un isolant est que dans ce second cas il faut utiliser une alimentation alternative (13.56 MHz) afin d'évacuer les charges

statiques. Cependant, il a été démontré que même après un recuit sous forming gaz à 390°C pendant une heure, les caractéristiques restaient moins stables comparées à un oxyde déposé par APCVD [1].

3.2. Photolithographie :

Concevoir un composant en technologie couches minces ne consiste pas seulement à empiler couche sur couche en pleine plaque ; les dispositifs doivent suivre une certaine géométrie, les interconnexions lier des points précis et les plaques contenir plusieurs composants. Pour pouvoir reconstituer un motif sur une plaque, il faut graver par endroits la couche mince qui ne peut être que déposée pleine plaque. Afin de délimiter ces endroits, il faut passer par un procédé de photolithographie qui reproduit le principe du pochoir pour protéger les parties de la plaque qui ne doivent pas être gravées.

3.2.1. Enduction de résine :

Le processus de photolithographie consiste tout d'abord à déposer une fine pellicule d'une résine photosensible sur la totalité de la plaque. La couche de résine devant absolument être uniforme, elle doit être déposée à l'aide d'une tournette (figure 1.16) qui, par aspiration à vide, garde la plaque collée au support lors de l'enduction alors que la force centrifuge répartit uniformément la résine. Une accélération de la vitesse de rotation permet d'éliminer le surplus de résine. L'épaisseur de la couche de résine dépend non seulement de la vitesse de rotation de la tournette, de l'accélération, du temps de rotation, mais aussi du type de résine (notamment de sa viscosité).

Ces résines sont des composés organiques (généralement des polymères thermoplastiques) très adhérents qui réagissent aux UV. En effet, si de la résine est exposée à la lumière UV, elle n'adhère plus à la plaque et est soluble dans une solution appelée « développeur ». C'est pour cela que toutes les étapes de photolithographie s'effectuent dans la partie de la salle blanche protégée des UV ou « salle jaune ».

On peut citer deux types de résines [22] :

- Les résines négatives pour lesquelles le rayonnement ultraviolet entraîne une polymérisation des zones exposées, conférant ainsi à ces zones une tenue particulière au

solvant de révélation (développeur de résine négative) alors que les parties non insolées disparaissent sélectivement dans ce solvant. Le dessin sur la plaque est alors l'inverse de celui du masque.

- Les résines positives pour lesquelles le rayonnement UV entraîne une rupture des macromolécules, d'où une solubilité accrue des zones exposées dans le révélateur (développeur de résine positive). Les motifs sur l'échantillon sont donc les mêmes que ceux sur le masque.

Il est possible d'utiliser un même masque avec une résine négative ou positive ; les motifs obtenus seront différents.

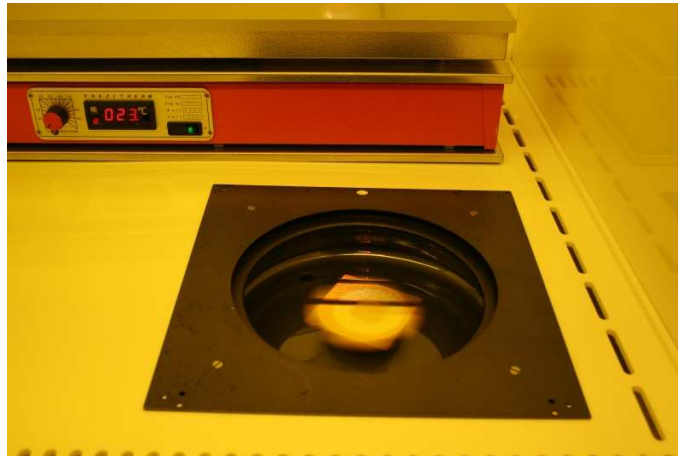


Figure 1.16 : Tournette d'enduction de résine

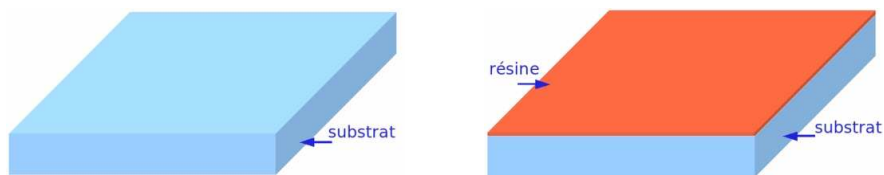


Figure 1.17: Substrat avant (à gauche) et après dépôt de résine (à droite)

On remarquera qu'il vaut mieux chauffer les échantillons sur un système de plaques chauffantes pour déshydrater la surface de la plaque juste avant d'enduire de la résine dessus, car les éventuelles particules d'eau qui y sont affectent l'adhérence de la résine. A cause de leur hydrophilie qui entraîne l'absorption de l'humidité de l'air ambiant, il faut particulièrement y veiller pour les substrats Si, SiO₂ et Al.

On notera aussi qu'en cas d'erreur avant d'avoir rendu la résine inerte, il est possible de retirer la résine en la passant sous de l'acétone, puis de l'alcool pour éliminer cette dernière, et enfin de l'eau pour retirer l'alcool. Ceci assez rapidement pour éviter que l'acétone ne sèche sur l'échantillon.

Après l'enduction de résine ou laquage, celle-ci est encore visqueuse, il faut la durcir en la chauffant très brièvement avant l'alignement. Il est important de la chauffer juste assez (environ à 100°C pendant 60 à 90 secondes) pour qu'elle durcisse sans pour autant devenir inerte. En effet, si la résine chauffe trop ou trop longtemps, elle devient insensible aux UV. Il ne sert donc plus à rien de l'insoler.

3.2.2. Alignement et insolation :

Le but étant de n'insoler que certains endroits de l'échantillon, il faut protéger les autres parties de la plaque par un système de masquage (voir annexe 2). Mais ces masques doivent absolument être à des emplacements précis. Ceci est d'autant plus important que les motifs sont petits et que les masques se succèdent. Pour éviter qu'il n'y ait des décalages trop grands entre les motifs d'une couche et ceux d'une autre, un alignement rigoureux est nécessaire. Cette étape se fait à l'aide d'une machine d'alignement (MA6 ou SET au laboratoire de l'IETR) dotée d'un emplacement pour le masque (qui doit être maintenu par aspiration à vide), un emplacement pour le wafer (aussi maintenu par aspiration à vide mais dont le support est mobile à travers des manettes) et un microscope. L'alignement se fait en modifiant la position de la plaque pour superposer les motifs d'alignement de cette dernière et ceux du masque placé juste au dessus.

Quand l'opération d'alignement est terminée (figure 1.18), le microscope laisse sa place à une lampe UV qui insole la plaque protégée par le masque. L'échantillon est ensuite développé (ou passé dans une solution appelée développeur) pour retirer toute la résine qui a été insolée. Ne reste que la résine protégeant les motifs qui ne doivent pas être gravés (figure 1.19.a ou b).

Maintenant que l'étape de la photolithographie est terminée, le substrat doit pouvoir être sorti de la salle protégée en UV afin d'être gravé. En dehors de cette salle, la résine est encore photosensible. Pour qu'elle tienne au moment de la gravure, elle doit être chauffée

pour la rendre inerte. On la laisse alors environ 2 minutes sur une plaque chauffante à 120°C. Il n'y a aucun mal à la laisser plus longtemps que cela. Cependant, cela prendrait plus de temps de retirer la résine après gravure.

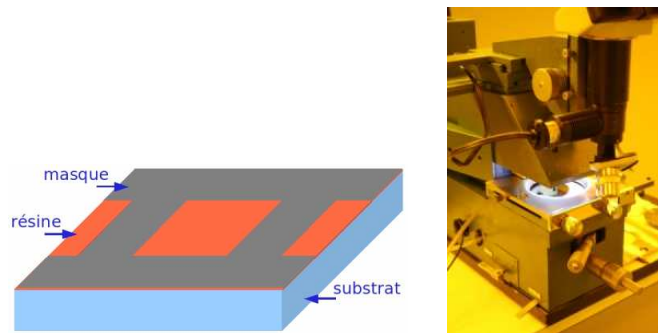


Figure 1.18: substrat recouvert de une couche de résine et du masque à gauche, et pendant l'insolation à droite

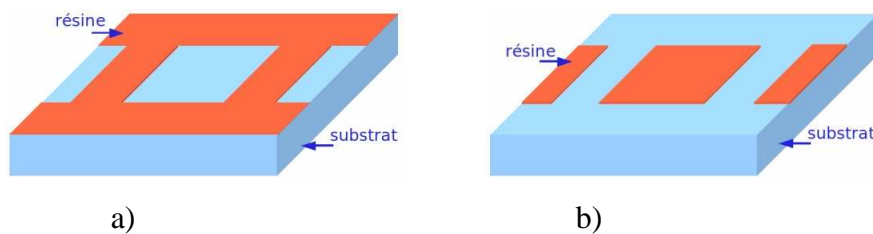


Figure 1.19 : Substrat après dissolution dans le cas d'une résine :a) positive, b) négative

L'étape qui suit la photolithographie est la gravure pour reproduire concrètement le masque sur le matériau de la dernière couche de la plaque.

3.3. Gravures :

Graver un matériau c'est enlever une partie pour y reconstituer un motif. De même, graver une plaque consiste à retirer une partie du matériau de la couche de surface, que ce soit un semi-conducteur, un isolant ou un métal, afin de reproduire le motif du masque de la photolithographie exécutée précédemment.

Deux types de gravure existent ; la gravure sèche et la gravure humide.

3.3.1. Procédé de gravure humide :

Ce type de gravure est nommé comme tel car il utilise des solutions chimiques, acides ou basiques, comme graveurs à température ambiante ou chauffées. La gravure humide se fait

simplement en plongeant le substrat dans la solution qui correspond au matériau à graver. Il est possible de plonger une grande quantité de plaques dans un même bain grâce à des porte-substrats. En effet, dans l'industrie, de grands bacs peuvent contenir jusqu'à 200 substrats.

Durant une gravure humide, une attention toute particulière doit être apportée au temps de gravure car en fonction de la concentration du produit et de l'épaisseur de la couche concernée, la vitesse d'attaque change. C'est pour cela qu'une plaque test est en général utilisée pour l'étalonnage avant de procéder à la gravure de l'échantillon. Le critère de détection de la fin de gravure est en général visuel comme le phénomène d'hydrophobie (surface de la plaque ne retenant aucune goutte de liquide) ou la définition nette des motifs. Dans ce dernier cas, cela peut s'avérer difficile quand les motifs sont petits.

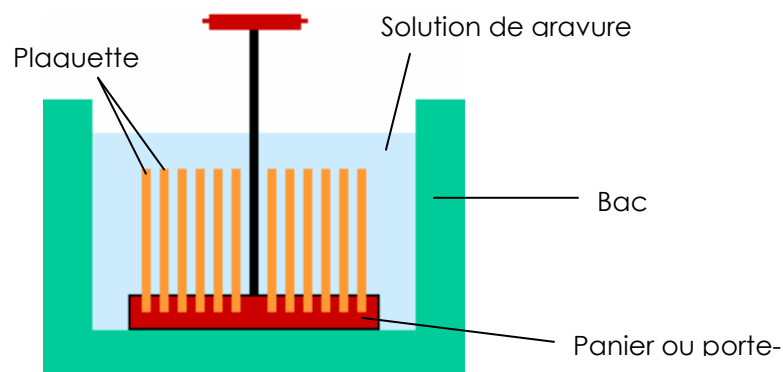


Figure 1.20 : Gravure de plusieurs plaquettes par voie humide

Quand l'opération de gravure humide est terminée, il faut immédiatement passer les échantillons sous jet d'eau déionisée afin de stopper la réaction et d'éviter une surgravure. Il faut ensuite rincer les plaquettes dans plusieurs bacs de rinçage pendant environ 10 minutes. Le séchage, qui se fait par soufflette d'azote, est la dernière étape.

Parmi les inconvénients que présente la gravure humide on cite [20]:

- les éventuelles attaques latérales dans les zones protégées par la résine dues à la propriété de gravure *isotropique* qu'offre cette technique (couche attaquée de façon équivalente suivant toutes les directions de l'espace),

- la dépendance de la vitesse de gravure de la concentration et du type d'impureté que contient le film à graver et de la quantité des substrats traités. De plus, l'efficacité d'attaque diminue au fur et à mesure des utilisations,

- difficulté de contrôle du point de fin de gravure, ce qui peut entraîner une surgravure latérale ou verticale.

Parmi les solutions les plus fréquemment utilisées on citera :

- pour graver le dioxyde de silicium on utilise le mélange : $\text{HF} + \text{NH}_4\text{F} + \text{H}_2\text{O}$
- pour le nitrure de silicium du H_3PO_4 est utilisé
- pour graver l'aluminium on mélange $\text{H}_3\text{PO}_4 + \text{HNO}_3 + \text{acide acétique} + \text{H}_2\text{O}$

3.3.2. Procédé de gravure sèche (RIE) :

La gravure RIE pour gravure ionique réactive (*Reactive Ion Etching en anglais*) ou gravure sèche est une technique utilisant un plasma. C'est une gravure physico-chimique, car elle met en jeu à la fois un bombardement ionique (énergie mécanique) et une réaction chimique entre le gaz ionisé et les surfaces de l'échantillon. Les atomes du gaz réagissent avec les atomes de l'échantillon pour former une nouvelle espèce volatile qui sera évacuée par le groupe de pompage. Le réglage des différents paramètres (pression, puissance, température, polarisation) permet de donner plus ou moins d'importance à l'un ou l'autre des processus de gravure. En effet, une faible polarisation, une pression et une température élevée vont favoriser le processus chimique. Par contre, une tension de polarisation importante et une pression basse vont favoriser le bombardement mécanique. On peut également obtenir des gravures isotropes et anisotropes : les réactions chimiques entre le gaz et l'échantillon produisent une gravure sélective et isotrope alors que l'érosion de la surface dû au bombardement ionique est anisotrope et non sélectif (des flans quasi droits peuvent être obtenus en privilégiant la gravure mécanique due aux chocs des ions avec le matériau). Par le choix des gaz réactifs (ceux à l'origine du plasma) fluorés ou chlorés, une large gamme de matériaux peut être gravés [23].

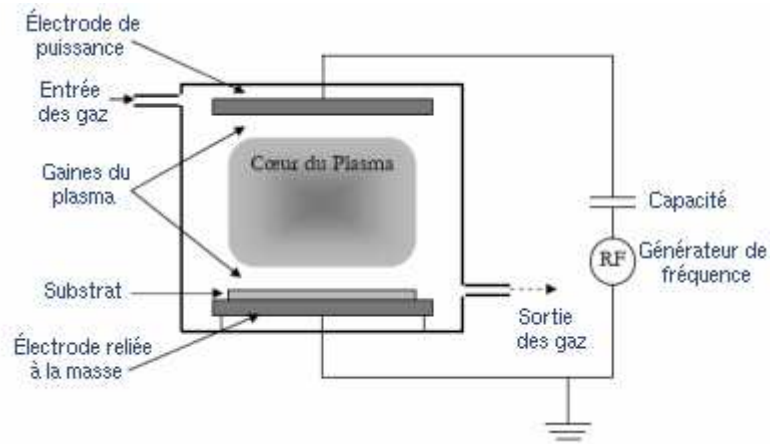


Figure 1.21: Schéma électrique d'un réacteur RIE [21]



Figure 1.22 : Machine de gravure RIE NEXTRAL NE 110

Le principe du procédé peut être résumé par les étapes qui suivent (cf.figure1.23) [20]:

- génération dans le plasma des espèces pouvant attaquer chimiquement la couche,
- transfert et accélération des espèces réactives depuis le plasma vers la surface de la couche à graver grâce à un champ électrique,
- adsorption de l'espèce attaquante à la surface,

- réaction avec le matériau de surface. Le matériau produit par la réaction doit être volatil pour pouvoir quitter la surface,
- désorption du produit de réaction,
- diffusion dans l'environnement gazeux.

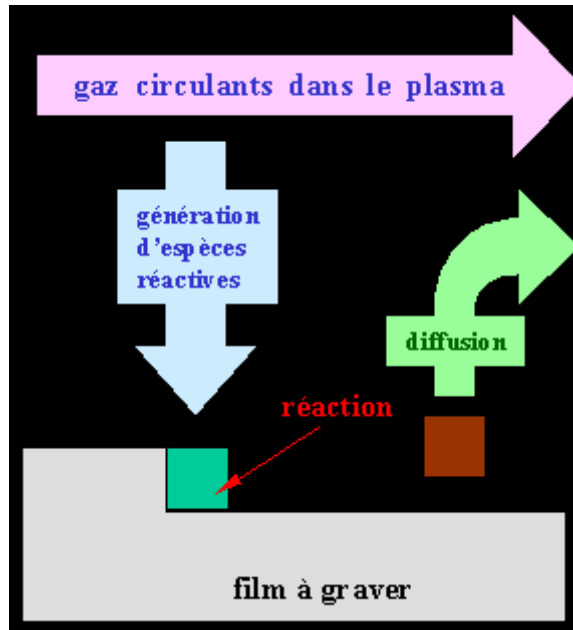


Figure 1.23 : Schéma de principe de la réaction de gravure plasma [20]

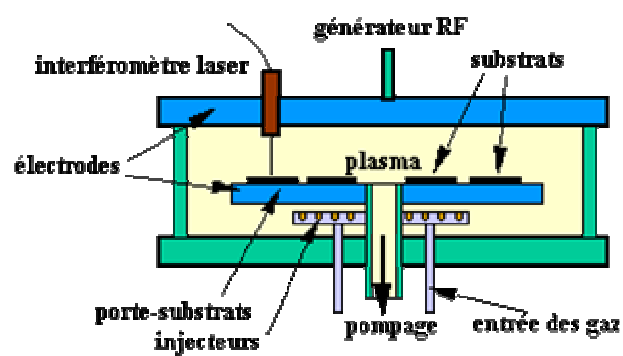


Figure 1.24 : Réacteur de gravure plasma à platine porte-substrats horizontale [20]

Les principaux gaz utilisés dans les gravures RIE sont résumés dans le tableau 3 [20] :

Matériau à graver	Silicium	SiO ₂	Siliciure
	SF ₆	CHF ₃	CFCI ₃
gaz	CF ₄ + O ₂	CF ₄ + O ₂	CF ₂ CI ₂
	HF	CF ₄ + H ₂	CCI ₄
	CFCI ₃	SiCI ₄	SF ₆

Tableau 3: Les principaux gaz utilisés en RIE

Durant toute la durée du process, nous avons utilisé du SF₆ comme gaz de formation du plasma pour la gravure du Silicium. La machine de gravure disponible au laboratoire de l'IETR est une NEXTRAL NE 110 (cf. figure 1.22).

3.4. Banc de test ou de caractérisation :

Les paramètres caractéristiques des poly-Si TFTs sont extraits des échantillons à l'aide d'un banc de mesure constitué d'un testeur sous pointes associé à un analyseur de caractéristiques permettant l'application de tensions de polarisation et en parallèle la mesure des courants.

Ce système de mesures permet de relever les caractéristiques de transfert et de sortie des poly-Si TFTs pour en extraire les paramètres comme la mobilité des porteurs, la pente sous le seuil ou la tension de seuil (cf. partie 1 du chapitre 4).

Le testeur sous pointes contient 4 pointes (seulement 3 ont été utilisées durant nos mesures: une pointe sur le plot relié à la grille, une autre sur le plot de drain et la dernière prise de contact sur le plot de source). Chaque pointe est reliée à l'analyseur de caractéristiques HP par un câble triaxial pour la sécurité qu'il représente au niveau de l'isolation par rapport au câble coaxial.

Durant la mesure, la plaque est maintenue sur le support par aspiration. Le support peut ensuite être déplacé grâce à des vis. Les pointes elles-mêmes peuvent être déplacées selon les trois directions de l'espace. Une manette pneumatique sert à abaisser ces dernières

sur la plaque. Il est très important de ne pas trop baisser les pointes pour éviter d'abîmer l'échantillon. Il faut les abaisser juste assez pour qu'il y ait contact. L'idéal est que les pointes « glissent » en même temps sur les plots de contact. Le microscope possède 3 objectifs : 2 placés comme sur un microscope classique, et un supplémentaire au dessus de la plaque pour avoir une vue d'ensemble, très pratique lors du placement des pointes.



Figure 1.25: Testeur sous pointes [23]

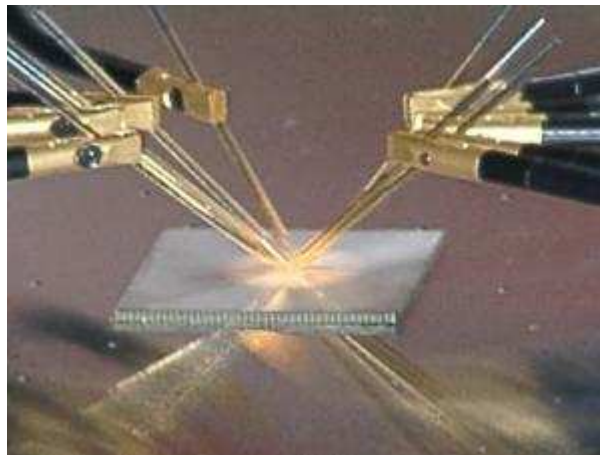


Figure 1.26: Pointes d'un testeur sous pointes sur un substrat.

La section qui suit clôture ce chapitre de généralités en présentant un historique des dispositifs déjà réalisés en matière de transistors couches minces. Cette partie présente le contexte de notre étude.

4. Les dispositifs déjà réalisés à base de poly-TFT [1]

Depuis les premières réalisations de transistors couches minces à basse température, différents types de dispositifs plus complexes ont pu être réalisés au laboratoire. Dans un premier temps, au cours de la thèse de G. Gautier [13], des dispositifs numériques ont pu être réalisés et améliorés en testant de nouvelles structures et techniques de dépôts pour une meilleure reproductibilité des paramètres électriques des Poly-Si TFTs, une meilleure uniformité sur un même échantillon et des performances accrues. Par la suite, A. Gaillard [24] s'est intéressé à un fonctionnement analogique de ces Poly-Si TFTs en réalisant des circuits d'adressage pour écrans à matrice active. Ces circuits diffèrent des dispositifs numériques par l'utilisation des Poly-Si TFTs en tant que convertisseurs tension-courant. Bien que les Poly-Si TFTs aient encore un fonctionnement dit statique (fréquence de fonctionnement proche de zéro), la notion de simulation est devenue indispensable pour prévoir leur fonctionnement dans des dispositifs relativement complexes. Nous présentons ces différentes avancées dans les deux sous parties suivantes.

Inverseurs et oscillateurs :

G. Gautier [13] a développé les premiers dispositifs électroniques intégrant des Poly-Si TFTs de type N et de type P. N'étant plus seulement question de faisabilité mais de reproductibilité des caractéristiques électriques de ces transistors, d'uniformité sur un même échantillon et de vitesse de réponse, la réalisation de ces types de dispositifs est soumise à de nouvelles contraintes par rapport à la réalisation de transistors seuls.

Différentes études ont donc été menées sur la structure et le procédé de fabrication de ces dispositifs, sur le silicium polycristallin dopé et non dopé et sur l'oxyde de grille. Dans ce qui suit, les résultats les plus intéressants de G. Gautier [13] sur les inverseurs et les oscillateurs réalisés au sein du laboratoire sont présentés. Ils ont été utilisés pour déterminer les meilleures conditions pour la réalisation de dispositifs électroniques à base de transistors couches minces en silicium polycristallin.

Au départ, une structure dite « bicouche » fut réalisée au laboratoire. Celle-ci a permis d'obtenir des caractéristiques satisfaisantes pour des inverseurs, à savoir, une transition abrupte entre V_{DD} et 0, une tension de basculement relativement proche de $V_{DD}/2$

comparativement à l'importante dispersion entre les tensions de seuil des TFTs de type N et de type P. Néanmoins, de nombreux défauts demeuraient, notamment la nécessité d'appliquer des tensions d'alimentation très élevées ($>25V$) pour un fonctionnement optimal ou encore à leur faible résistance au stress.

Par la suite, la mise en place de la structure « monocouche » a permis, par la réduction des tensions de seuil, de diminuer les tensions d'alimentation ($10V < V_{DD} < 15V$), de réduire l'écart entre tension de seuil des TFTs de type N et de type P et d'obtenir une tension de basculement plus proche de $V_{DD}/2$. De plus, la diminution du nombre d'étapes du procédé de fabrication des TFTs limite les dispersions entre les paramètres électriques d'un échantillon vis à vis d'un autre ou tout simplement d'un inverseur à l'autre. La figure 1.27 présente les résultats obtenus avec des transistors dopé type P et monocouche de silicium polycristallin déposée par décomposition du disilane.

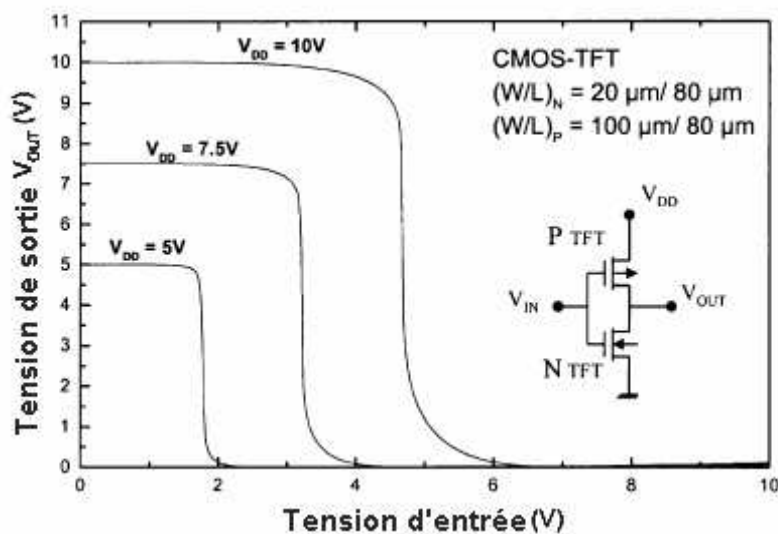


Fig. 27 : Caractérisation d'un inverseur réalisé à base de Poly-Si TFTs

Ces améliorations notables du procédé de fabrication des transistors couches minces en silicium polycristallin ont été le point de départ pour la réalisation de dispositifs plus complexes, notamment des transistors couches minces en silicium polycristallin avec des paramètres électriques stables, reproductibles et donc prévisibles.

Circuit d'adressage pour écrans à matrice active :

A. Gaillard [24] en collaboration avec Thomson R&D a prouvé qu'il était possible d'utiliser cette technologie TFT monocouche pour la réalisation de circuits d'adressage de matrices actives de type OLED.

Le schéma électrique de base d'un circuit d'adressage est représenté en figure 1.28. Le transistor T1 y fonctionne en switch (utilisé en bloqué/saturé) et le transistor T2, dit driver, est utilisé comme convertisseur tension/courant (travaille dans sa zone de saturation). Ainsi, le courant I_{OLED} fourni par T2 est directement dépendant de la tension V_{GS} de T1. Le condensateur C_S est utilisé comme élément de stockage de cette même tension.

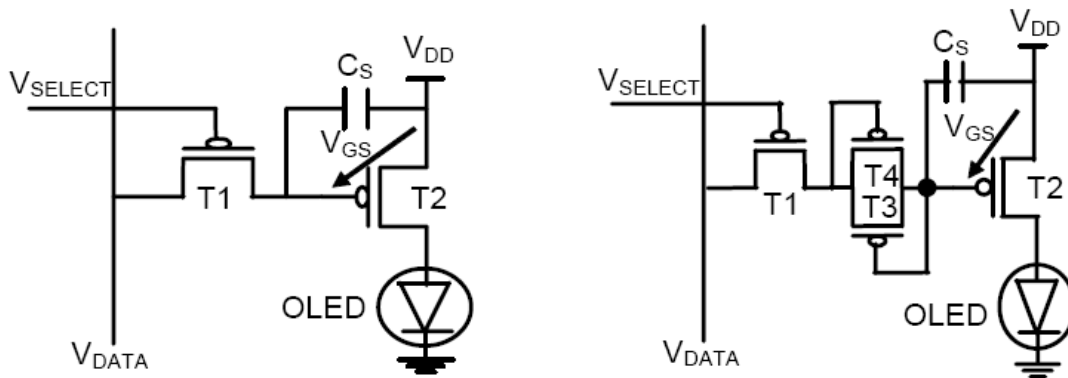


Figure 1.28 : Circuit d'adressage à 2 TFTs et à 4 TFTs

La figure 1.29 représente un des circuits d'adressage à 2 TFTs réalisés au sein du laboratoire.

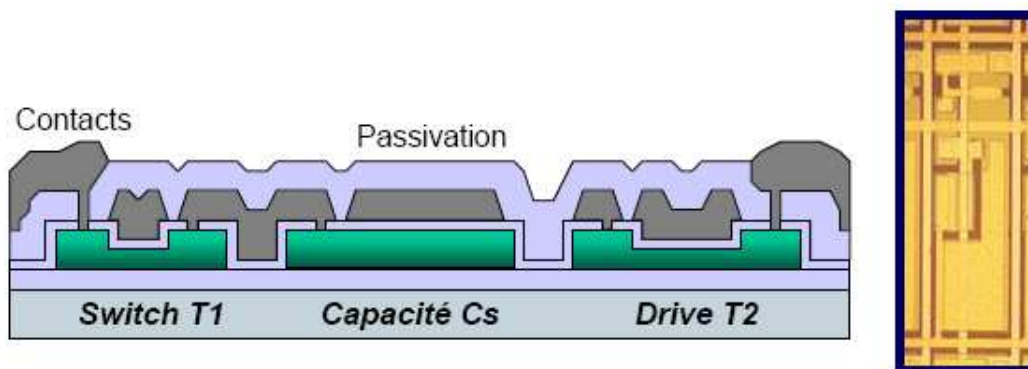


Figure 1.29 : Circuit d'adressage à 2 TFTs

Une matrice d'adressage se doit d'être composée de pixels les plus uniformes possibles sur l'ensemble de la matrice et encore plus localement. L'uniformité des paramètres est donc primordiale pour ce type d'applications. Ces principaux paramètres sont : la tension de seuil V_T , le courant I_{off} et la mobilité μ des TFT mis en jeu.

Afin d'améliorer ces paramètres, plusieurs pistes ont été explorées. Il a par exemple été démontré qu'il y avait un léger gain sur l'uniformité de V_{TH} dans le cas d'un circuit 4 TFT (figure 1.30b) comparativement à un circuit 2 TFT (figure 1.30a). Cependant, le rajout de deux TFTs induit une réduction de l'ouverture OLED (Zone d'éclairement du pixel) et par conséquent une réduction de rendement. En effet, le rapport ouverture/surface totale d'un pixel est aussi un élément important permettant de juger de la pertinence d'une solution.

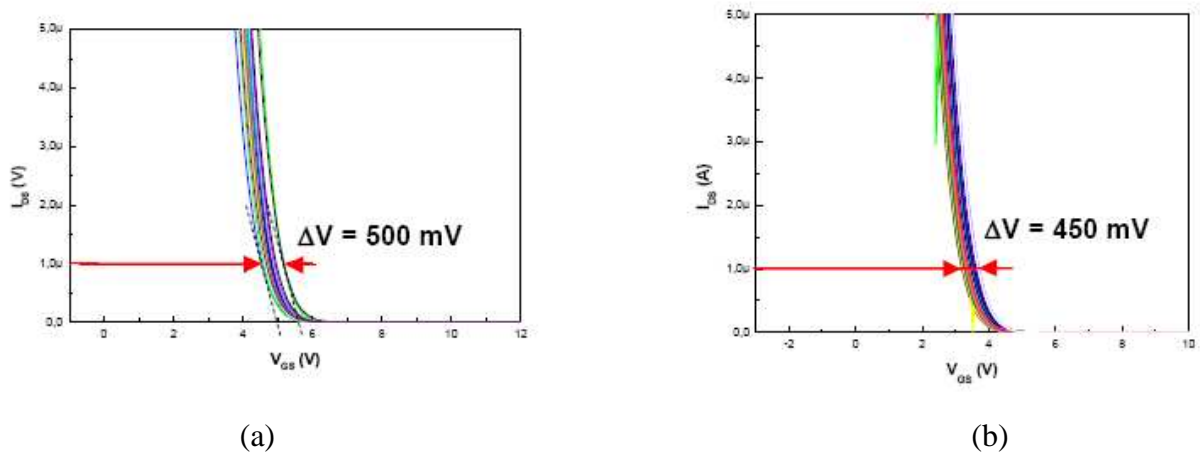


Figure 1.30 : Variation de la tension de seuil du TFT driver pour un circuit 2 TFTs (a) et un circuit 4 TFTs (b)

Selon le même principe, la figure 1.31 illustre les variations du courant I_{switch} et donc du courant fourni à l'OLED, pour différents pixels voisins et à différentes tensions de consigne. Ces variations de courant illustrent la non uniformité de la mobilité.

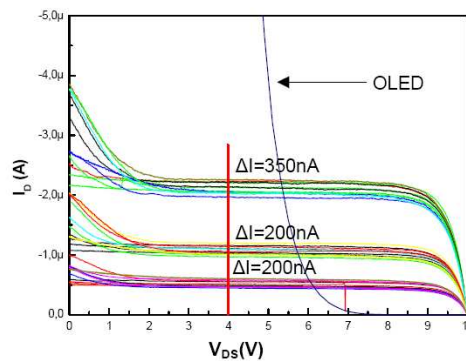


Figure 1.31 : Variations du courant I_{switch} fourni à l'OLED

E. Jacques [1] a par la suite réalisé un TFT Hall intégré avec son électronique de conditionnement, constituée d'un amplificateur différentiel. Cette étude est exposée dans le chapitre 2.

5. Conclusion

Nous avons défini dans ce chapitre les matériaux utilisés pour la fabrication des transistors couches minces après avoir expliqué les raisons de ce choix. Nous avons ensuite introduit les différents axes de recherche du laboratoire pour se familiariser avec l'environnement de travail où a été effectuée l'étude. Par la suite, un bref rappel de tous les procédés de dépôt, de photolithographie et de gravure dont nous avons besoin pour concevoir un dispositif en couches minces a été présenté. Enfin, nous avons clôturé cette partie par un rapide historique des dispositifs faits à base de poly-Si TFT qui ont été développés au sein du laboratoire.

Maintenant que les procédés dits « salle blanche » ont été exposés, il est nécessaire de présenter le microsystème sur lequel s'est portée l'étude. Le chapitre suivant porte sur ce dernier et les différentes étapes de sa conception

CHAPITRE II :

TFT COUCHES MINCES EN POLYSILICIUM

Le chapitre précédent, après avoir explicité les avantages du polysilicium, a été clôturé par les différents dispositifs à base de TFTs utilisant ce matériau. Il est maintenant nécessaire d'expliquer le fonctionnement de ces transistors.

Le présent chapitre s'articule autour de ces dispositifs. En effet, il commence par l'analogie avec le fonctionnement des MOSFETs classiques pour expliquer le fonctionnement des TFTs. Les différents régimes de fonctionnement y sont expliqués.

Dans la deuxième partie, le capteur en lui-même est introduit. Après un rappel de l'effet Hall, les différents types de capteurs magnétiques en couches minces sont présentés, avant de passer au TFT Hall qui nous intéresse.

Ensuite, le microsystème est détaillé ; l'intérêt des microstructures en général, la constitution et le rôle des différentes parties de celui conçu durant l'étude, et enfin une application possible du microsystème fini.

Finalement, la dernière partie résume le procédé de fabrication des TFTs qui a été exploité durant notre étude.

1. Fonctionnement des TFTs [1] [25]

Un poly-Si TFT (pour Thin Film Transistor) est un transistor fait à base de Silicium polycristallin en technologie couches minces. Son principe de fonctionnement peut être assimilé à celui des transistors de type MOSFET (pour Metal Oxide Semiconductor Field Effect Transistor) ou transistor à effet de champ en MOS. L'étude des paramètres électriques régissant ce fonctionnement permet d'analyser les performances des poly-Si TFTs et de valider le procédé de fabrication. Pour l'ensemble des transistors réalisés, on analysera : la tension de seuil V_{TH} (pour threshold ou seuil), la transconductance g_m , la mobilité d'effet de champ des porteurs à l'état passant μ , la pente sous le seuil S et la conductance g_{DS} .

Le transistor MOSFET fait appel à un seul type de porteur de charges ; c'est donc un composant unipolaire. Le principe de base repose sur l'effet de champ appliqué à une superposition d'une couche de métal (appelée "grille"), d'une couche d'oxyde et d'une couche de semi-conducteur (appelée "substrat"). Lorsque la tension de grille (ou différence de potentiel entre la grille et le substrat) est nulle il ne se passe rien. Au fur et à mesure de l'augmentation de cette différence de potentiel les charges libres (électrons ou trous dépendamment du type de dopage du substrat) dans le semi-conducteur sont repoussées de la jonction semi-conducteur/oxyde, créant tout d'abord une zone dite de "déplétion", puis lorsque la différence de potentiel est suffisamment grande (V_{TH}) il apparaît une zone "d'inversion". Cette zone d'inversion est donc une zone où le type de porteurs de charges est opposé à celui du reste du substrat, créant ainsi un "canal" de conduction. La polarisation drain-source permet alors le passage du courant.

La tension de seuil dépend des charges, libres ou fixes, se trouvant dans le substrat et dans l'oxyde. Elle dépend aussi de l'épaisseur de ce dernier. En effet, contrairement au calcul simple où on suppose l'oxyde parfait (c'est-à-dire un isolant d'épaisseur donnée) il existe des charges fixes dans l'oxyde et à l'interface substrat-oxyde. On peut donc diminuer ou augmenter la tension de seuil en dopant le substrat (introduction de charges libres) afin de compenser l'effet des charges fixes de l'oxyde. C'est pour cela que le substrat des MOSFET est très légèrement dopé pour ajuster la tension de seuil. Dans le cas des poly-Si TFTs, ce dopage est impossible car même un faible dopage dégraderait les propriétés électriques du Silicium Polycristallin.

Lorsque la tension de grille est insuffisante pour créer un canal ($|V_{GS}| < |V_{TH}|$), le seul courant susceptible d'être mesuré résulte de la polarisation inverse de la jonction drain-canal. Il est appelé courant I_{off} . Ce régime de fonctionnement est l'état bloquant du TFT.

Lorsque la grille est polarisée par une tension supérieure à la tension de seuil, un canal de porteurs est créé entre source et drain. Un courant peut ainsi circuler, on dit que le transistor est passant. Dans ce dernier cas, deux régimes de fonctionnement sont définis (cf. figure 2.1 pour les MOSFET et figure 2.2 pour les TFTs dans le cas d'un canal N, le canal P ayant un fonctionnement identique en inversant les polarisations) : Un régime aux faibles tensions V_{DS} , appelé régime linéaire, et un second aux tensions V_{DS} élevées où le courant I_{DS} varie peu, appelé régime de saturation.

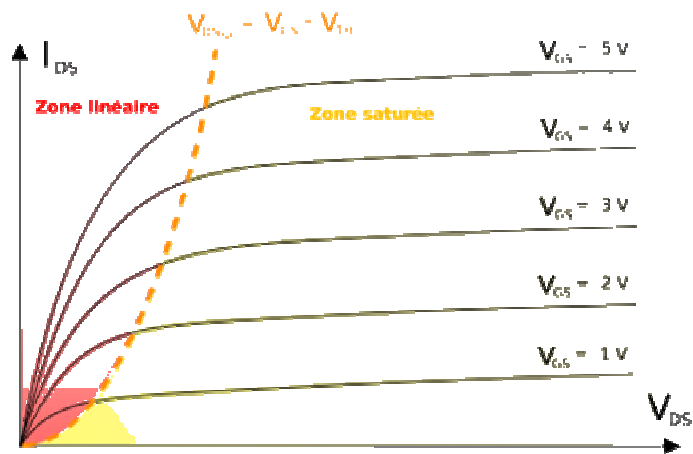


Figure 2.1: Exemple de caractéristiques de sortie d'un MOSFET [25]

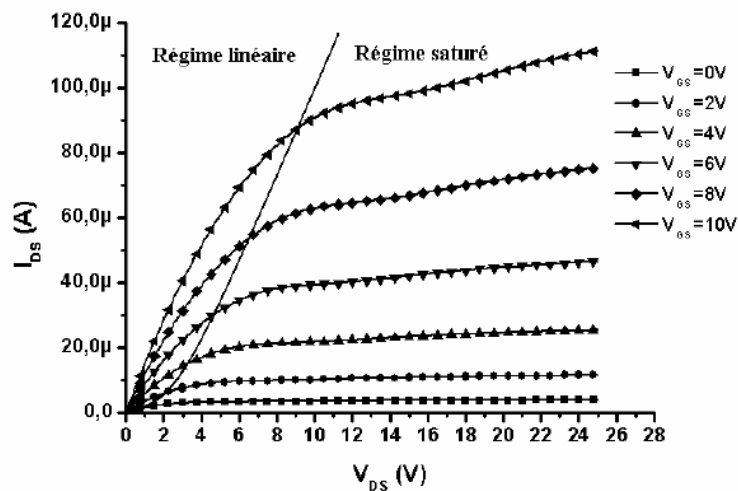


Figure 2.2 : Exemple de caractéristique de sortie d'un poly-Si TFT [1]

Dans le cas de la réalisation d'un amplificateur différentiel, les transistors doivent être polarisés de façon à fonctionner en régime saturé. En effet, la pente de la courbe caractéristique doit être la plus faible possible pour que la résistance drain-source soit la plus élevée possible. Pour des transistors MOSFET classiques, le régime de saturation est caractérisé par une pente quasiment nulle. Au vu de la caractéristique présentée sur la figure 2.2, la difficulté pour les poly-Si TFTs est de déterminer un point de fonctionnement avec la plus faible pente possible.

1.1. Régime linéaire :

Pour de faibles tensions de drain ($V_{DS} \leq V_{GS} - V_{TH}$), le courant drain-source I_{DS} est défini par :

$$I_{DS} = \frac{W}{L} \mu C_{OX} \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (2.1)$$

Où :

W (μm) : largeur du canal

L (μm) : longueur du canal

μ ($\text{cm}^2/\text{V.s}$) : mobilité d'effet de champ

C_{OX} (F/cm^2) : capacité surfacique de l'oxyde de grille

V_{TH} (V) : tension de seuil du transistor

Pour des tensions de drain encore plus faibles ($V_{DS} \ll V_{GS} - V_{TH}$), le transistor se comporte comme une simple résistance dont la valeur est directement liée à ses dimensions W/L . Le courant varie alors proportionnellement à la tension drain-source V_{DS} et peut être défini par :

$$I_{DS} = \frac{W}{L} \mu C_{OX} (V_{GS} - V_{TH}) V_{DS} \quad (2.2)$$

1.2. Régime saturé :

Quand V_{DS} atteint la valeur de $(V_{GS} - V_{TH})$, le canal se pince du côté du drain. Quand la tension de drain augmente au-delà de cette valeur, l'excédent de tension se retrouve aux bornes de la zone de déplétion dont la résistance est très supérieure à celle du canal. Ainsi, la tension aux bornes du canal reste approximativement égale à V_{DSsat} et le courant reste sensiblement constant et égal à I_{DSat} :

$$I_{DSsat} = \frac{W}{2L} \mu C_{OX} (V_{GS} - V_{TH})^2 \quad (2.3)$$

La transconductance est alors déduite de la relation :

$$g_{msat} = \left(\frac{\partial I_{DS}}{\partial V_{GS}} \right)_{V_{DSsat}} = \frac{W}{L} \mu C_{OX} (V_{GS} - V_{TH}) \quad (2.4)$$

Il est important de noter que ces équations sont relatives à un transistor idéal de type MOSFET et ne sont valables que dans les cas où les charges contenues dans l'isolant de grille où les charges aux interfaces sont négligeables. I_{DS} ne dépend plus de V_{DS} dans la zone de saturation ce qui correspond à la présence d'une résistance infinie entre drain et source.

Expérimentalement, plus V_{DS} augmente, plus le point de pincement du canal se déplace vers la source. Dans le cas du MOSFET, cet effet est traduit par la relation suivante :

$$I_{DS} = \frac{W}{2L} \mu C_{OX} (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (2.5)$$

La transconductance g_m est alors dépendante de V_{DS} ce que nous retrouverons dans le cas des poly-Si TFTs. La nouvelle relation de la transconductance g_m est définie par :

$$g_m = \left(\frac{\partial I_{DS}}{\partial V_{GS}} \right)_{V_{DSsat}} = \frac{W}{L} \mu C_{OX} (V_{GS} - V_{TH}) (1 + \lambda V_{DS}) \quad (2.6)$$

Et la conductance g_{DS} dans le régime saturé peut alors être évaluée par la relation suivante :

$$g_{DS} = \lambda I_{DS} \quad (2.7)$$

En clair, un FET est semblable à un robinet d'eau. La grille étant la commande analogue au pas de vis du robinet qui contrôle le débit d'eau (image du courant). Après un quart de tour, il se peut que seul un faible filet d'eau coule. Puis, le courant augmente rapidement avec une faible rotation. Enfin, malgré des tours dans le vide, le courant n'augmente plus, il sature. Aussi, si on veut augmenter le débit du robinet, il faut augmenter le diamètre du tuyau (différence de potentiel grille-substrat).

Ce fonctionnement se rapproche de celui des poly-Si TFTs et nous permet par analogie d'estimer les paramètres caractéristiques des transistors de notre étude. L'extraction

des paramètres caractéristiques des poly-Si TFTs est présentée dans le chapitre 4. La figure 2.3 illustre la comparaison d'un exemple de MOSFET et de TFT, les deux de type N.

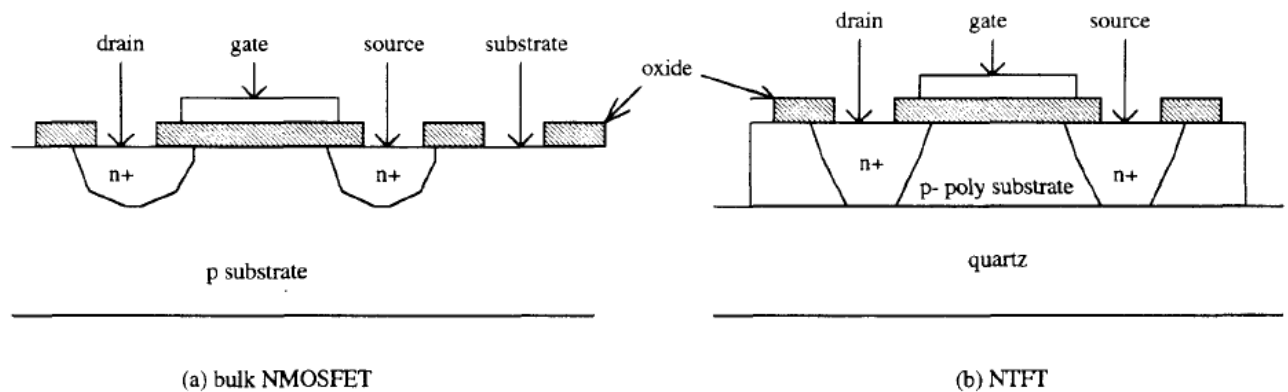


Figure 2.3 : comparaison entre un exemple de NMOSFET et un NTFT [26].

Comme le montre la figure précédente, la principale différence réside dans le substrat. En effet, le substrat du MOSFET est de type P alors que celui du TFT est non-dopé. De plus le substrat du MOSFET est polarisable (et est réellement polarisé) alors que celui du TFT est flottant. Enfin, le TFT a une épaisseur de substrat faible qui engendre des problèmes d'accélération du courant I_{DS} aux fortes tensions V_{DS} (figure 2.2) appelée effet Kink ou « effet de corps flottant » [27].

Les poly-Si TFTs peuvent être utilisés pour la réalisation de toutes sortes de dispositifs. Il a été démontré [1] que les amplificateurs différentiels et les capteurs à effet Hall réalisés à base de cette technologie présentent des performances tout à fait acceptables (cf. chapitre 4). La partie qui suit traite de la réalisation de ces capteurs en poly-Si TFT.

2. TFT Hall

L'une des spécialités du laboratoire de l'IETR étant le Silicium polycristallin, les capteurs magnétiques qui y ont été réalisés sont faits à base de cette technologie. Ceci dans le souci de les concevoir dans une technologie compatible avec celle des amplificateurs différentiels à base de Poly-Si TFT dont les performances sont intéressantes et suffisantes. Cette partie introduit le phénomène exploité ici, en l'occurrence l'effet Hall, et les capteurs

magnétiques à effet Hall avant de présenter la géométrie utilisée pour concevoir de tels capteurs en technologie basse température.

3.1. Principe :

Les capteurs à effet Hall étant les plus utilisés en tant que capteurs magnétiques, nous ne citerons ici que ce type. Pour cela, nous devons tout d'abord introduire l'effet qu'ils utilisent ; l'effet Hall.

L'effet Hall :

En 1879, Edwin Herbert Hall remarqua que si un courant I_0 traverse un barreau en matériau conducteur, et si un champ magnétique d'induction B est appliqué perpendiculairement au sens de passage du courant, une tension V_H , proportionnelle au champ magnétique et au courant I_0 , apparaîtrait sur les faces latérales du barreau. C'est la tension de Hall. Cette dernière suit la loi suivante :

$$V_H = K_H * B * I_0 \quad (2.8)$$

Où K_H représente la constante de Hall. Celle-ci dépend du matériau utilisé [28].

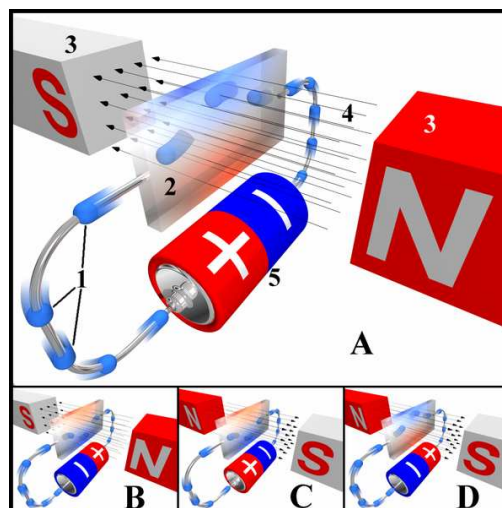


Figure 2.4 : Illustration de l'effet Hall [16]

Physique classique de l'effet Hall :

On sait qu'un champ magnétique agit sur les charges en mouvement. Le courant qui traverse le matériau conducteur est produit par des charges (les électrons libres) qui se déplacent avec une vitesse que l'on notera \vec{v} .

Ces électrons sont donc soumis à la force de Lorentz définie par :

$$\vec{F}_m = -e \cdot \vec{v} \wedge \vec{B} \quad (2.9)$$

« $-e$ » correspond à la charge d'un électron. Il en découle un déplacement d'électrons et une concentration de charges négatives sur l'un des côtés du matériau ainsi qu'un déficit de charges négatives du côté opposé. Cette distribution de charge donne naissance à la tension de Hall V_H ainsi qu'à un champ électrique E_H (figure 2.5).

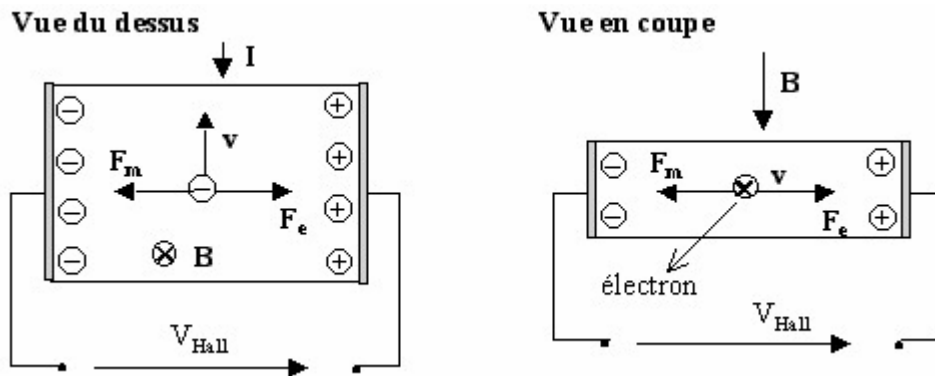


Figure 2.5 : illustration de la physique de l'effet Hall

Le champ électrique E_H est à son tour responsable de la création de la force de Coulomb (force électrique agissant sur les électrons) définie par :

$$\vec{F}_e = -e \cdot \vec{E}_H \quad (2.10)$$

L'équilibre est atteint lorsque les deux forces s'annulent (deuxième loi de Newton). On peut alors écrire :

$$\vec{E}_H = -\vec{v} \wedge \vec{B} \quad (2.11)$$

Les capteurs à Effet Hall ont nombre d'applications dont les capteurs magnétiques (mesure du champ magnétique), les capteurs de courant, les détecteurs de position sans contact, la mesure de vitesse ou encore sous les touches des claviers des instruments modernes [29].

L'effet Hall est ainsi utilisé dans plusieurs types de capteur magnétiques. La partie qui suit explique le fonctionnement d'un TFT Hall, après un bref rappel des autres types de capteurs magnétiques utilisant le même phénomène.

Capteurs à effet Hall :

Les capteurs sont des dispositifs destinés à convertir une information physique, biologique ou chimique (le mesurande) en information exploitable, généralement électrique (la grandeur de sortie).

Un capteur magnétique est donc un dispositif capable de détecter et de quantifier un champ magnétique puis, en général, de le convertir en signal électrique utilisable par les dispositifs électroniques se trouvant en aval. La miniaturisation de ces capteurs permet leur intégration directement dans des dispositifs microélectroniques. La grandeur de sortie de ces capteurs est une tension : la tension de Hall. Cette dernière est définie par l'expression suivante :

$$V_H = \frac{I \cdot B}{n \cdot q \cdot e} \quad (2.12)$$

Où : q représente la charge de l'électron, n la concentration en porteurs majoritaires et e l'épaisseur du matériau subissant le phénomène (conducteur ou semi-conducteur).

On peut constituer un capteur en munissant un matériau conducteur de 4 contacts disposés en carré : deux pour la polarisation et deux pour la mesure de la tension de Hall. Ceci est appelé « motif de Hall » (cf. figure 2.6).

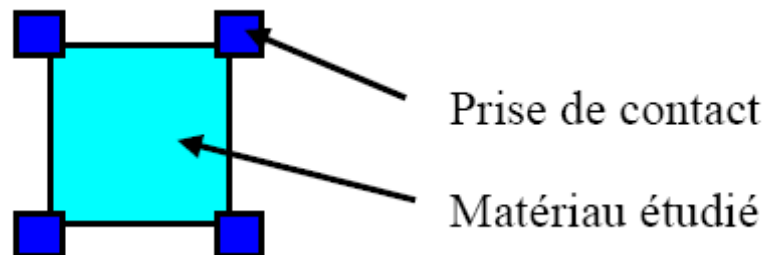


Figure 2.6 : Structure d'un motif de Hall

La couche active, le plus souvent semi-conductrice, est d'une fine épaisseur e . Cette dernière doit être la plus faible possible pour avoir une tension de Hall grande et donc mesurable. Un moyen d'obtenir une couche conductrice d'épaisseur faible est d'utiliser le canal d'un transistor à effet de champ dont l'épaisseur est de l'ordre de la dizaine de nm. Un MOSFET peut donc être utilisé comme capteur à effet Hall.

Aussi appelés MAGFET pour *Magnetic Field Sensitive MOSFET*, le principe de ces dispositifs a été proposé par Gallagher en 1966 [30]. La première différence avec les MOS classiques est la forme du canal. En effet, pour ne pas trop diminuer la tension de Hall tout en présentant un courant acceptable, le canal est conçu de forme carrée. La seconde différence est, comme indiqué dans la figure 2.7, l'ajout de deux contacts de Hall au niveau du canal pour la mesure de la tension V_H [31].

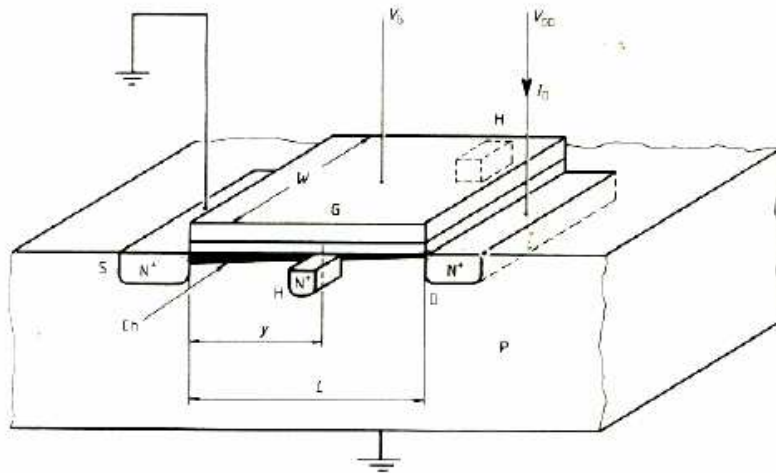


Figure 2.7 : Schéma d'un MAGFET [31]

Suivant le même principe, et les mêmes différences (la surface du canal plus importante dans le cas du capteur et la présence de contacts supplémentaires pour la mesure de la tensions de Hall.), on passe des TFTs aux TFTs Hall. Ces derniers ont été utilisés pour caractériser des couches de silicium polycristallin faiblement dopé ou non [32]. E. Carvou [33] présente aussi, dans sa thèse de doctorat, l'intérêt de ces structures réalisées au laboratoire à base de silicium polycristallin dans la détection d'un champ magnétique.

E. Carvou a démontré durant son étude [34] que l'utilisation de motifs de Hall, en couches minces de polysilicium basse température, présentait une sensibilité bien trop insuffisante. Une technologie TFT a alors été développée et optimisée. La partie qui suit résume les paramètres géométriques adoptés pour la conception du TFT Hall utilisé pour notre microsystème.

2.2. Le capteur à effet Hall en technologie basse température :

L'utilisation du canal d'un transistor film mince comme couche de détection de champ magnétique a déjà été utilisée en technologie basse température. En effet, cette méthode présente la particularité de fournir une mobilité d'effet de champ des porteurs optimale, ainsi qu'une faible épaisseur, conduisant à un faible courant et une faible consommation électrique. L'innovation apportée par E. Carvou [33] était d'appliquer ce principe au polysilicium donc à la technologie basse température. Ses travaux ont donc permis de définir, à partir d'une géométrie de capteur optimisée, une technologie permettant d'obtenir une sensibilité maximale pour une polarisation donnée. La figure 2.8 présente la structure du dispositif avec ses dimensions.

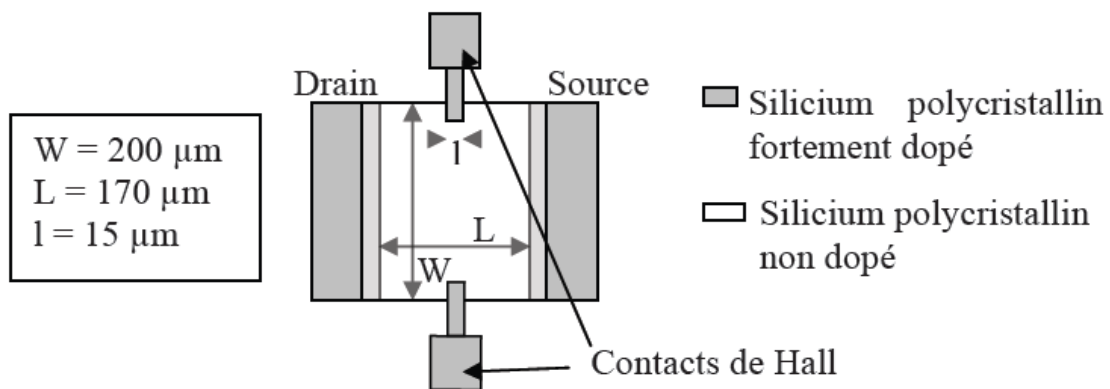


Figure 2.8 : Structure d'un TFT Hall

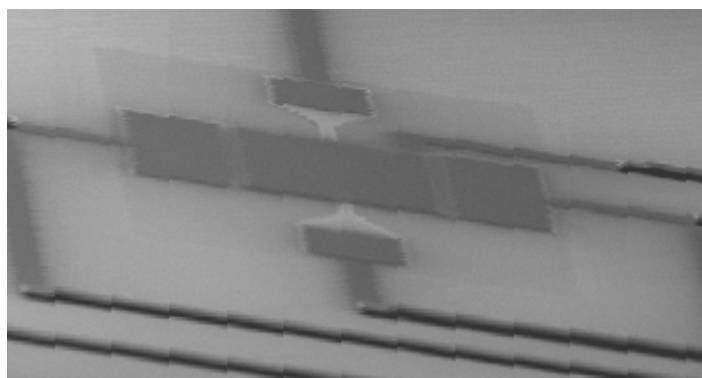


Figure 2.9: Photo MEB d'un TFT Hall

Trois procédés de réalisation technologique ont été testés afin d'obtenir une sensibilité optimale : un procédé bicouche à base de silane, un procédé bicouche à base de disilane et un procédé monocouche à base de silane. Les résultats ont montré qu'il existait au moins deux méthodes d'optimisation de la sensibilité en changeant le procédé de réalisation de la couche

active. En effet, l'utilisation d'un procédé bicouche à base de disilane à la place d'un procédé bicouche à base de silane permet d'augmenter la sensibilité d'une valeur de 12 mV/T à 18 mV/T pour les mêmes tensions de polarisation. Une autre méthode consiste à utiliser un procédé monocouche plutôt qu'un procédé bicouche. La sensibilité atteinte est de 28 mV/T, dénotant là aussi une amélioration de la performance.

Il a aussi été remarqué que les performances en terme de sensibilité d'un TFT Hall de type P étaient toujours inférieures à celles d'un TFT Hall de type N. En effet, cette sensibilité passe de 28 mV/T pour le type N à 14 mV/T pour le type P pour un procédé monocouche à partir de silane. L'utilisation de disilane permet d'augmenter la sensibilité du type P à 18 mV/T. Donc malgré une sensibilité plus basse que le TFT « monocouche » de type N, celle du meilleur TFT de type P est comparable à celle du TFT « bicouche » à base de disilane de type N.

La réalisation d'un capteur magnétique de type N a été privilégiée lors de l'étude de E. Jacques [1]. Néanmoins, lors de notre étude, des dispositifs de type P ainsi que des dispositifs de type N seront intégrés sur une même plaque.

En résumé, lors des études précédentes, il a été démontré qu'il était possible de concevoir des TFTs Hall en technologie basse température. Il a aussi été démontré que les amplificateurs conçus en cette technologie présentaient des performances acceptables. Le but d'E. Jacques [1] durant sa thèse de doctorat était de prouver qu'un microsystème complexe était intégrable en utilisant cette technologie. La partie qui suit explique la nécessité des microsystèmes en général et l'intérêt de l'intégration de ses différentes parties sur une même plaque.

3. Pourquoi les microsystèmes ?

Un microsystème, comme son nom l'indique, est un système miniaturisé, dont les dimensions sont comprises entre quelques micromètres et quelques millimètres [34]. Il incorpore donc de manière monolithique plusieurs éléments comme des capteurs, des actionneurs et des dispositifs de traitement.

Apparus aux Etats-Unis et au Japon vers le début des années 80, les premières réalisations de microsystèmes étaient des dispositifs électromécaniques miniaturisés grâce aux technologies issues de la microélectronique Silicium pour les premiers, alors que les Japonais partageaient de dispositifs mécaniques dont ils réduisaient les dimensions.

Aujourd'hui, la quasi-totalité des disciplines scientifiques ou techniques est concernée par les microsystèmes. En effet, l'intérêt grandissant pour ces microstructures en terme de recherche et de marché réside dans le fait qu'au-delà de la diminution des tailles et des coûts de fabrication des dispositifs, la miniaturisation permet de multiplier les fonctionnalités intégrées aux systèmes et de répondre à de nouveaux besoins.

Dans notre cas, le microsystème est constitué du capteur à effet Hall et de son électronique de conditionnement, qui n'est autre qu'un amplificateur différentiel. L'intérêt de l'amplificateur étant, entre autres, d'amplifier la tension de Hall en sortie du capteur afin de pouvoir la mesurer (les différentes autres raisons étant expliquées en partie 4 du chapitre 2). Il serait possible de relier simplement le capteur à un amplificateur grâce à des connexions extérieures. Cependant, l'utilisation d'une telle méthode entraînerait l'apparition de bruit dû à ces mêmes connexions, bruit qui risquerait de noyer le signal que l'on cherche à amplifier. En effet, la tension de Hall étant très faible (de l'ordre du milliVolt) elle est du même ordre de grandeur que le bruit qui serait produit.

Donc l'intérêt de concevoir une électronique de conditionnement dans une technologie similaire, donc tout à fait compatible, à celle utilisée pour la conception du capteur, offre une optimisation du traitement du signal de celui-ci. D'autre part, comme il a déjà été démontré qu'il était possible de réaliser des dispositifs simples en technologie basse température, il est maintenant plus intéressant de prouver qu'une structure plus complexe est intégrable en utilisant cette technologie.

Dans la partie suivante, les différents éléments du microsystème sont détaillés, ainsi que les masques utilisés pour leur conception. L'intérêt de l'électronique de conditionnement et du microsystème au complet sont aussi exposés.

4. Le microsystème et ses différentes parties

Le microsystème regroupe un TFT Hall et un amplificateur différentiel (figures 2.10 et 2.11).

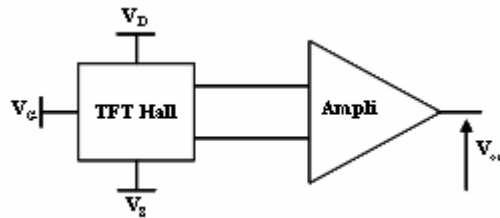


Figure 2.10 : schéma bloc du microsystème

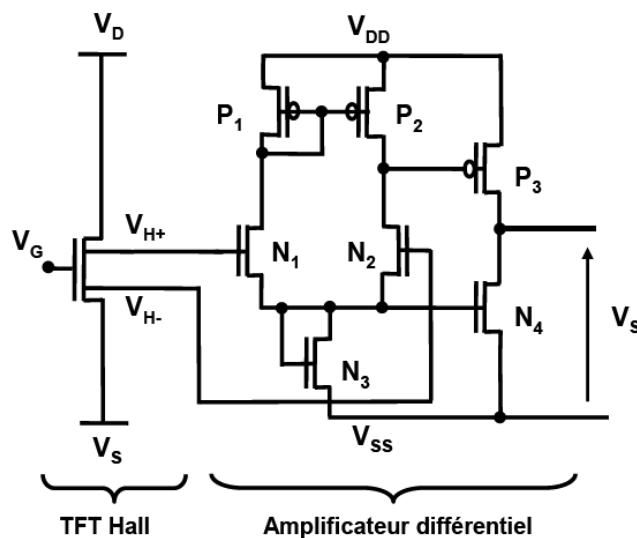


Figure 2.11 : schéma électrique du microsystème

L'architecture de l'amplificateur différentiel choisie est classique, un des objectifs étant de vérifier la possibilité de conception une électronique évoluée en technologie couches minces basse température.

Comme l'indique la figure 2.12, cet amplificateur est composé de deux étages : le premier, différentiel, a pour fonction le rejet du mode commun et l'amplification du mode différentiel, alors que le second est un étage d'amplification simple permettant l'amplification du gain en mode différentiel. Durant toute l'étude, on considère l'hypothèse disant que le comportement des transistors poly-Si est identique à celui des MOSFET.

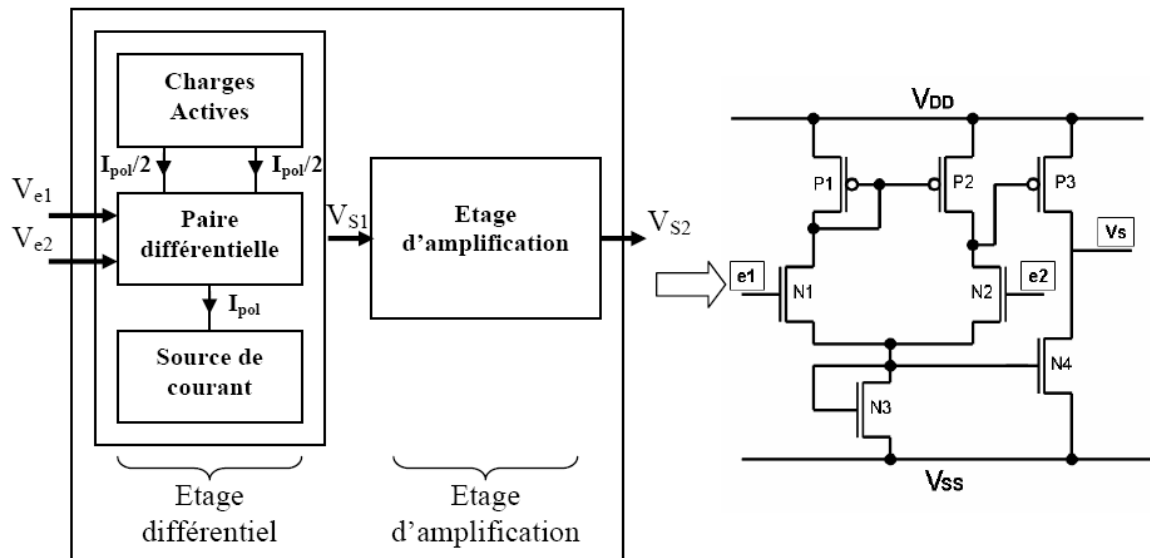


Figure 2.12 : Schéma bloc de l'électronique de conditionnement

L'étage différentiel est à son tour constitué de trois éléments : une paire différentielle, des charges actives et un bloc de polarisation.

Paire différentielle :

La paire différentielle est l'élément de base pour l'acquisition de tensions. Elle est formée de deux transistors identiques montés en source commune, polarisés par une source de courant (cf. figure 2.13). La mobilité des transistors de type N étant plus grande que celle des transistors de type P, la paire différentielle est conçue à base de transistors de type N.

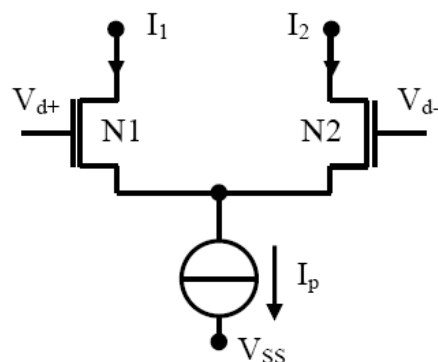


Figure 2.13 : Principe de la paire différentielle

Charges actives :

Leur rôle est la conversion courant – tension. Elles sont composées de deux poly-Si TFTs de même dimension W/L (figure 2.14). Le premier transistor de type P est monté en

diode en reliant le drain et la grille et contrôle le courant qui circule dans le deuxième transistor de type P.

Dans le cas de la réalisation de l'amplificateur différentiel, les charges actives sont constituées de poly-Si TFTs de type P car leur principal avantage est la valeur de la résistance r_{DS} , plus élevée que celle des types N.

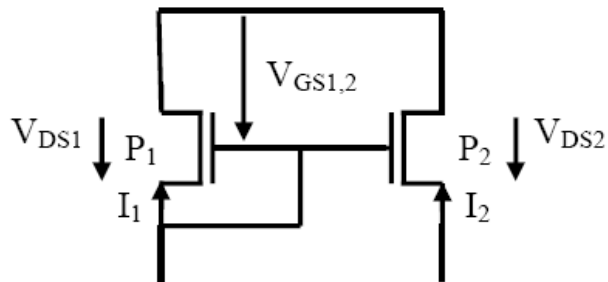


Figure 2.14: Constitution des charges actives

Sources de courant :

La polarisation de la paire différentielle est assurée par un poly-Si TFT de type N monté en diode et placé entre les sources des poly-Si TFTs qui forment la paire différentielle et la tension d'alimentation V_{SS} . Cette technique appelée auto polarisation consiste à commander les courants qui circulent dans les deux branches de la paire différentielle par la tension d'alimentation V_{SS} , la tension de polarisation aux bornes du poly-Si TFT monté en diode étant constante.

Etage d'amplification :

Dans le but d'augmenter l'amplification du signal différentiel, un deuxième étage d'amplification est ajouté.

Comme dit précédemment, les paramètres des poly-Si TFTs ont une relation directe avec leurs dimensions (longueur L et largeur W des motifs, cf. annexe 2 : masques de photolithographie utilisés). Une étude a alors été menée [1] afin de déterminer les dimensions optimales pour chacun des transistors utilisés pour le circuit de l'amplificateur. Les dimensions des poly-Si TFTs qui ont alors été retenues sont :

Paire différentielle : $W/L_{N1} = 40/60$, $W/L_{N2} = 40/60$

Charges actives : $W/L_{P1} = 40/20$, $W/L_{P2} = 40/20$

Source de courant : $W/L_{N3} = 80/60$

Etage d'amplification : $W/L_{N4} = 40/60$, $W/L_{P3} = 40/20$

Pour obtenir un amplificateur différentiel complet, 6 niveaux de masque sont requis.

La figure 2.15 présente un exemple sur deux niveaux de masque.

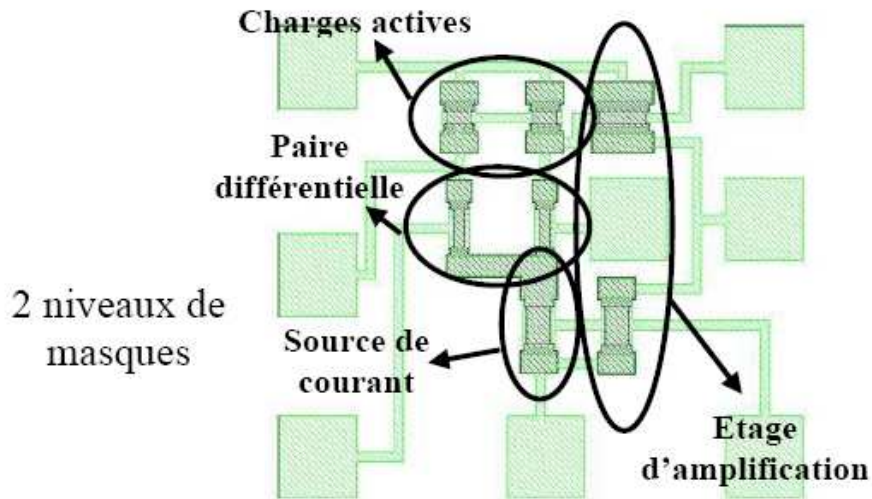


Figure 2.15 : exemple de deux niveaux de masques d'un amplificateur différentiel

Les plots de mesures sont des carrés de $150\mu\text{m}$ de côté, et la cellule présentée sur la figure 2.15 a une surface de 1 mm^2 . La disposition des plots de mesure est définie pour limiter le nombre de niveaux de métallisation à un procédé de fabrication maîtrisé.

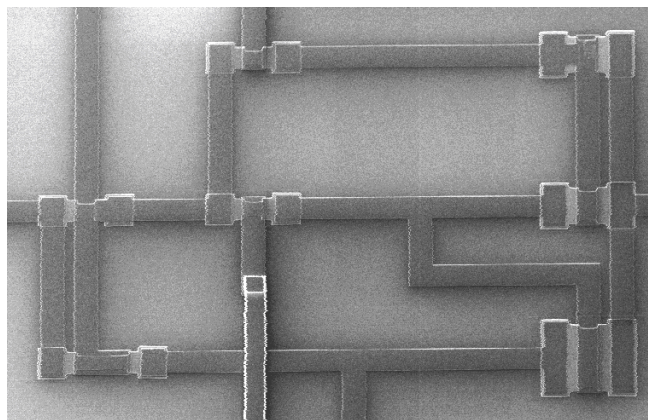


Figure 2.16 : photo MEB de l'amplificateur différentiel du microsystème avec deux niveaux de métallisation

En tenant compte de la structure de l'amplificateur différentiel, deux raisons principales au choix de son utilisation plutôt que celle d'un amplificateur simple apparaissent. Premièrement, la tension de Hall en sortie du capteur est en réalité une différence. En effet, un amplificateur classique n'amplifierait que V_{H+} au lieu de $(V_{H+} - V_{H-})$. De plus, la polarisation de la source de courant permet de diminuer la tension d'offset, sans pour autant complètement l'éliminer. Pour cela, différentes possibilités existent, dont les deux présentées ci-après.

Tension d'offset et améliorations :

La tension d'offset d'un capteur est la tension de sortie délivrée quand la grandeur à mesurer, en l'occurrence le champ magnétique, est nulle. Cette tension possède plusieurs origines :

La première vient de l'imperfection de l'alignement des deux contacts de Hall. Ils ne se trouvent pas dans ce cas sur la même équipotentielle ce qui entraîne l'apparition d'une tension même en l'absence de champ magnétique.

Une deuxième cause provient de la non homogénéité de la couche. Dans le cas de composants montés en boîtier, cette opération entraîne un stress de la couche. Ceci provoque, par effets piézorésistifs, l'apparition d'une tension d'offset. Des couches polycristallines, du fait du désordre structurel entraînant une distorsion des lignes de courants, peuvent de la même façon favoriser une tension d'offset d'origine non géométrique.

Cette tension est du même ordre, voire supérieure à la tension différentielle de Hall. Le signal total issu du capteur ne doit donc pas être amplifié car il faut pouvoir distinguer le signal utile de la tension d'offset. Comme le mode d'utilisation du microsystème fait appel à des signaux variables en fonction du temps, l'amplificateur différentiel assure l'amplification de la tension de Hall et la réduction de la tension d'offset constante.

L'allure de la tension de Hall (offset + tension différentielle) est schématisée ci-dessous :

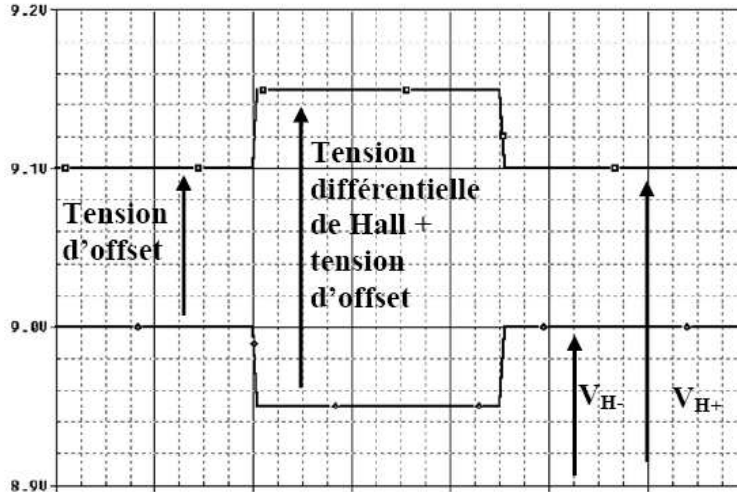


Figure 2.17 : Allure de la tension de Hall

Des méthodes de réduction ou de compensation d'offset sont citées dans la littérature. Une des méthodes envisagée est l'annulation dynamique de la tension d'offset par association de capteurs à effet Hall en quadrature [35]. Cette technique est testée dans le cadre de la conception d'une nouvelle série de masques de photolithographie. La structure de test proposée est la suivante :

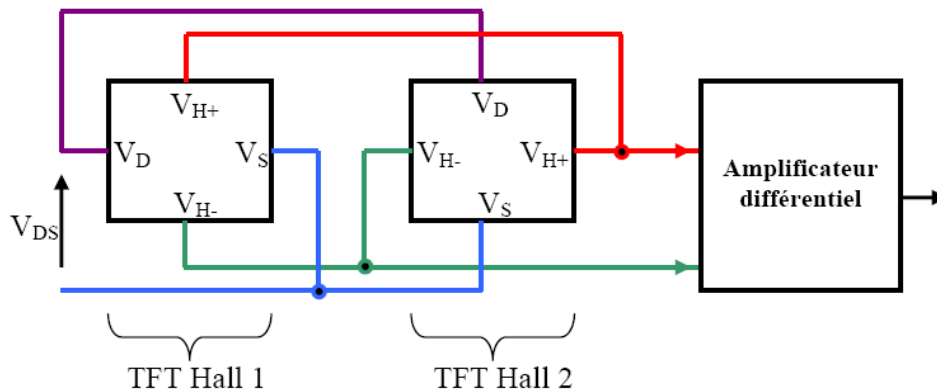


Figure 2.18: Structure de TFTs Hall en quadrature

Une autre méthode qui pourrait être envisagée est une association de deux TFT Hall dont un serait isolé du champ magnétique (figure 2.19). Ce dernier délivrerait alors la tension d'offset seule et serait insensible au champ magnétique. Il servirait alors de référence pour discriminer la tension utile de Hall de la tension d'offset.

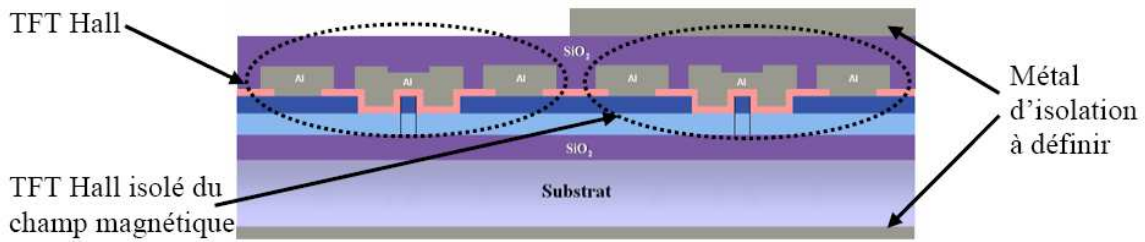


Figure 2.19 : Structure d'un TFT Hall classique et d'un TFT Hall isolé du champ magnétique.

Exemple d'utilisation du microsystème :

Le microsystème ainsi constitué peut avoir plusieurs applications en tant que capteur magnétique. Parmi celles-ci, on peut imaginer un capteur de position qui détecterait les coordonnées en x et y d'un aimant. Pour cela, il faudrait constituer une matrice d'adressage avec plusieurs de ces microsystèmes comme indiqué en figure 2.20. Dans ce cas, le microsystème nécessitera également une électronique de contrôle pour la gestion des signaux. Ce type d'électronique a été développé précédemment au laboratoire lors de la réalisation de matrices d'adressage pour OLED.

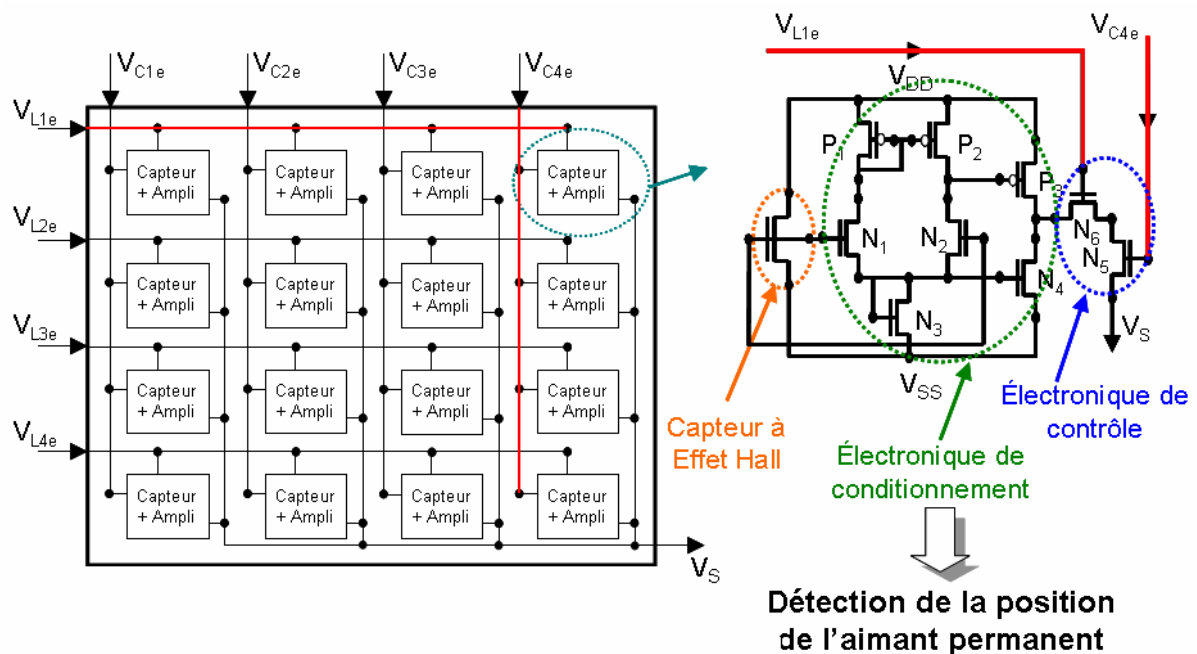


Figure 2.20 : Exemple d'application du microsystème en capteur de position

Afin de concevoir des dispositifs aussi complexes, deux niveaux de métallisation sont indispensables pour créer toutes les connexions entre les différentes parties. Dans la partie qui suit, le processus de fabrication des poly-Si TFTs est explicité. Néanmoins, il s'arrête, pour cette partie, au premier niveau de métallisation car ce problème est abordé en chapitre 3.

5. Processus de fabrication du microsysteme jusqu'à la première métallisation

Le processus de fabrication que nous allons présenter est le même pour tous les TFT du microsysteme. Ce procédé a été mis au point par G. Gautier [13] lors de sa thèse de doctorat au sein de l'IETR pour la réalisation de TFTs de type P et de type N sur un même substrat. Pour créer le microsysteme complet, 8 niveaux de masques de photolithographie sont requis. Néanmoins, dans cette partie, nous ne présenterons que les 6 premiers car la deuxième métallisation n'est abordée qu'en chapitre 3.

Durant la thèse d'E. Jacques [1], le substrat utilisé était du verre car un des buts de l'étude était de prouver la faisabilité de ces dispositifs sur ce type de substrats. Cependant, les wafers de Silicium monocristallin étant plus faciles à manier (se clivant facilement, on peut les découper en cellules individuelles) l'utilisation de ce substrat a été privilégiée durant notre projet.

Etape1 : oxyde de protection :

Après préparation du substrat, on y dépose un oxyde de protection pour isoler électriquement les transistors du substrat conducteur. Le dépôt est réalisé en phase vapeur à pression atmosphérique (APCVD) à « basse température » (~400°C). Bien que l'isolation soit efficace à partir d'une épaisseur de 200nm, une épaisseur de 400nm est déposée pour s'assurer d'une bonne isolation (30nm/min.). Le temps de dépôt est de 13 minutes.

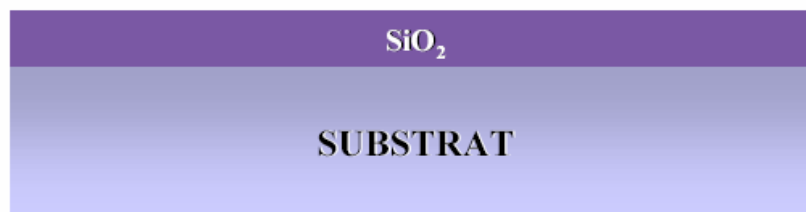


Figure 2.21 : structure après dépôt de l'oxyde d'isolation APCVD

Etape 2 : Dépôt de silicium amorphe non intentionnellement dopé et dopé type N :

Une couche de silicium non intentionnellement dopée (N_{id} : 300 nm) et une couche de silicium fortement dopée N (N : 150 nm) sont déposées sans interruption grâce au procédé monocouche. Cette technique consiste à déposer une couche de Si amorphe est par LPCVD, puis à injecter, au cours du dépôt, un gaz (Phosphine) dans le réacteur afin de doper la couche et de faire croître du silicium amorphe fortement dopé N (cf. partie 3.1. du chapitre 1).

Les transistors fabriqués suivant cette technique présentent de meilleures caractéristiques électriques et sont plus stables.

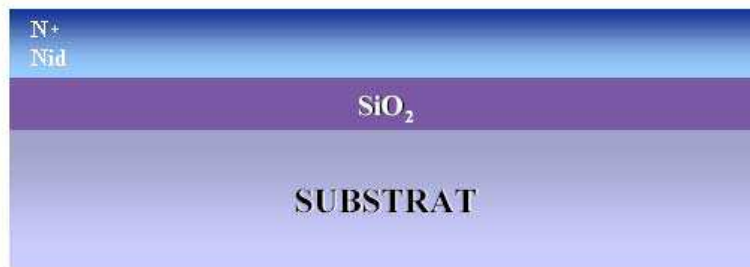


Figure 2.22 : Structure après un dépôt monocouche de silicium amorphe non dopé et fortement dopé N

Etape 3 : Définition des îlots N :

Le premier niveau de masque définit les zones du substrat où seront localisés les transistors de type N. Après une étape de photolithographie définissant les motifs des îlots N, le Silicium est attaqué par une gravure sèche de type RIE (Reactive Ion Etching). Contrairement à la gravure par voie humide, cette gravure sèche est anisotrope. La vitesse de gravure verticale, très supérieure à la vitesse de gravure latérale, permet une très bonne reproduction des motifs des masques.

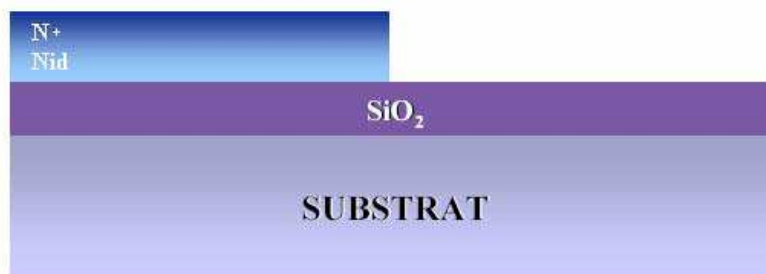


Figure 2.23 : structure après définition des îlots de type N

Etape 4 : Dépôt d'un oxyde de Silicium d'arrêt de gravure :

Afin d'isoler et de protéger les îlots N pendant le dépôt des couches non intentionnellement dopée et fortement dopée P, un oxyde de silicium de faible épaisseur (45 nm) est déposé par APCVD. Cette couche d'oxyde de silicium sera gravée par la suite et ne nécessite donc pas une qualité électronique particulière.

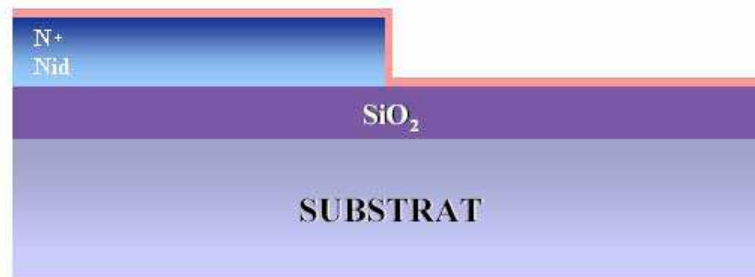


Figure 2.24 : Structure après dépôt de l'oxyde de protection APCVD des îlots N

Etape 5 : Dépôt de silicium polycristallin non intentionnellement dopé et dopé type P :

Les couches de silicium dopée au bore et non dopée sont déposées suivant le même procédé que dans le cas des couches non dopée et dopée N. La seule différence vient de l'introduction d'un gaz dopant différent (diborane). Les épaisseurs ainsi déposées sont de 300 nm pour le silicium non dopé et 150 nm pour le silicium dopé P.

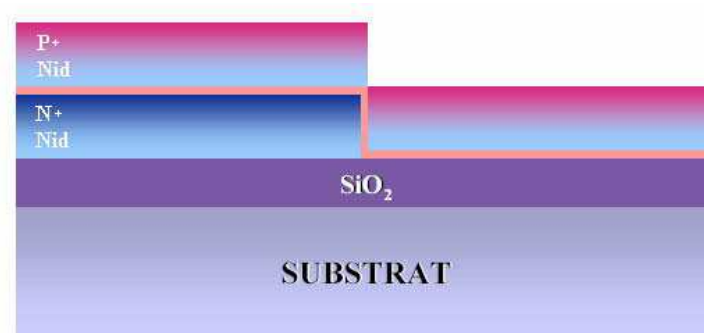


Figure 2.25 : Structure après un dépôt monocouche de silicium amorphe non dopé et fortement dopé P

La cristallisation des deux monocouches déposées (NiD/N et NiD/P) est de type SPC (Solid Phase Crystallization ou Cristallisation en phase solide) et consiste en un recuit à 600°C sous vide pendant 12 heures.

Etape 6 : Définition des îlots P :

Le deuxième niveau de masque définit les zones du substrat où seront localisés les transistors de type P. Une photolithographie puis une gravure de type RIE sont opérées.

L'arrêt de la gravure est défini par la présence d'une couche d'oxyde de silicium. En effet, l'oxyde, qui permet l'isolation de la première monocouche vis à vis de la seconde, sert également à déterminer visuellement le moment où toute la monocouche Nid/P est gravée (le plasma de couleur violette lors d'une gravure de poly-Si devient rose lors de la gravure de SiO₂).



Figure 2.26 : Structure après définition des îlots P

Après la définition des îlots P, la couche d'oxyde de silicium permettant de déterminer la fin de gravure peut être retirée par gravure humide grâce à un mélange à base d'HF.



Figure 2.27 : Structure obtenue après gravure de l'oxyde de protection APCVD

Etape 7 : Définition des zones de source et de drain des transistors :

Les zones de drain et de source sont définies par une troisième étape de photolithographie puis par une gravure RIE. Cette étape définissant la zone active (canal), elle doit être faite avec soin. En effet, il est important de ne graver que la couche dopée N ou P. Cette phase est donc délicate et doit être effectuée par étape avec à chaque fois une mesure de la résistivité pour s'assurer que la couche dopée soit bien gravée et que la couche non dopée soit encore présente. Le temps de référence a été défini à 35 secondes.

La mesure du courant entre deux pointes, en appliquant une tension V_F variant de -5 V à 5 V , nous renseigne sur l'épaisseur de couche gravée. Nous relevons le courant pour $V_F = 1\text{ V}$. Dans le cas d'une couche non intentionnellement dopée, ce courant est de l'ordre de quelques dizaines de pico ampères et pour une couche fortement dopée de l'ordre du milliampère.

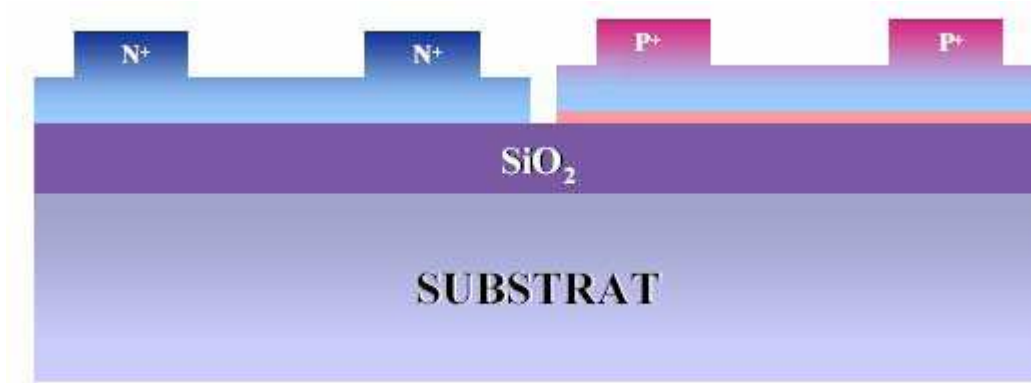


Figure 2.28 : Structure après définition des zones de source et de drain des TFTs

Etape 8 : Définition de la géométrie des transistors :

Une quatrième étape de photolithographie définit la géométrie des transistors. Le temps de gravure n'est pas critique et est défini par un changement de couleur du plasma dans l'enceinte de la RIE. Ce changement de couleur est expliqué par la fin de l'attaque du silicium polycristallin et par le début de la gravure de l'oxyde d'isolation.

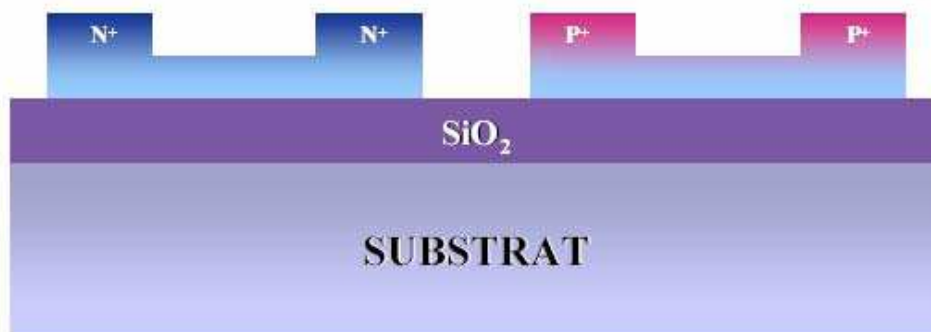


Figure 2.29 : Structure après définition de la géométrie des TFTs

Etape 9 : Dépôt de l'oxyde de grille par APCVD :

Cette étape agissant directement sur le canal des transistors, elle est cruciale pour leur bon fonctionnement. En effet, il est nécessaire de s'assurer d'une interface de qualité entre le canal et l'oxyde de grille et de limiter la présence de défauts dans cette zone critique. Pour cela, un nettoyage RCA est d'abord effectué pour enlever toute impureté organique et inorganique qui pourrait polluer le canal. Le principe global de ce nettoyage est de créer un oxyde à la surface de la zone active dans lequel seront piégés successivement des

contaminants organiques et métalliques. La gravure de cet oxyde élimine ces impuretés et permet d'obtenir une surface de silicium exempte de polluants.

Le tableau résume les étapes du procédé de nettoyage RCA :

Description du procédé	Solution d'attaque	Temps
Préparation de la solution SC1 Porter la solution à T=70°C puis ajouter l'eau oxygénée Plonger les échantillons dans la solution SC1	H ₂ O (200mL) + NH ₄ OH (10 mL) + H ₂ O ₂ (40 mL)	10 min
Rinçage à l'eau DI		10 min
Préparation de la solution SC2 Porter la solution à T=80°C puis ajouter l'eau oxygénée Plonger les échantillons dans la solution SC2	H ₂ O (200mL) + HCl (40 mL) + H ₂ O ₂ (40 mL)	10 min
Rinçage à l'eau DI		10 min
Préparation de la solution de gravure HF Plonger les échantillons dans la solution à base de HF	H ₂ O (400mL) + HF (16 mL)	Jusqu'à hydrophobie
Rinçage à l'eau DI		10 min

Tableau 4 : Etapes du procédé de nettoyage RCA

Le dépôt de l'isolant de grille se fait par APCVD car cette technique est compatible avec le procédé de fabrication basse température et permet d'obtenir un oxyde de relativement bonne qualité [1]. Il est ensuite densifié à 600°C sous flux d'azote pendant 1 heure pour améliorer sa qualité.

L'oxyde déposé détermine la valeur de la tension de seuil du transistor et la tension de claquage de l'oxyde. S'il est trop épais, les tensions de polarisation des TFTs (V_{GS} et V_{DS}) seront élevées. Par contre, un oxyde trop fin permettrait de réduire la tension de seuil avec un grand risque de destruction de la grille. Afin d'obtenir des transistors avec une bonne tenue en tension et une tension de seuil acceptable pour la réalisation de dispositifs électroniques, le compromis choisi est une épaisseur de 70nm.

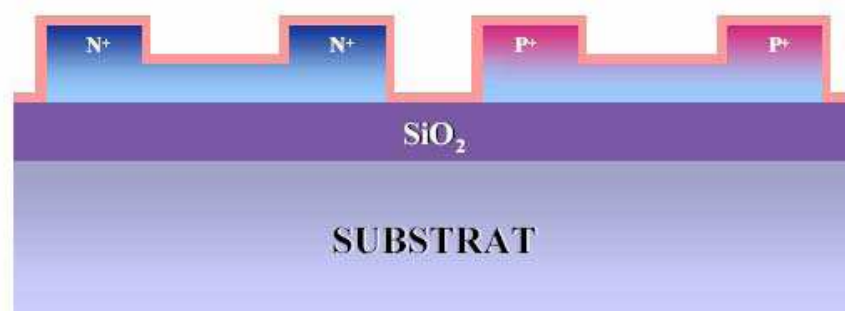


Figure 2.30 : Structure après dépôt de l'oxyde de grille

Etape 10 : Ouverture des contacts source et drain par gravure humide :

Une fois l'oxyde de silicium déposé sur l'échantillon, une cinquième étape de photolithographie définit les ouvertures pour la prise de contacts des zones de source et de drain. Comme mentionné dans le chapitre 1 (partie 3.3.1.), la gravure de la couche SiO_2 est réalisée par gravure humide à 20°C à l'aide de la solution à base de HF suivante :

6.5 vol. NH_4F (dont la concentration est de 40%) + 1 vol. HF (concentré à 50%)

La vitesse de gravure est de 200nm/minute, mais la fin de gravure est généralement déterminée visuellement par hydrophobie (car le silicium est hydrophobe).

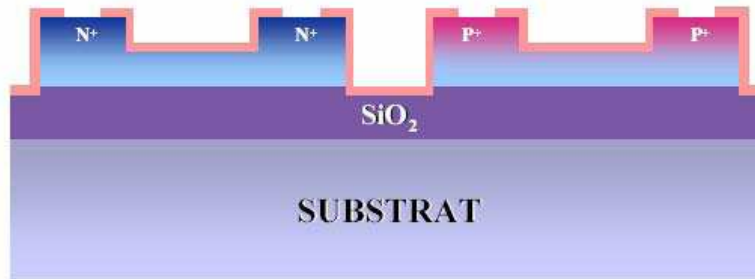


Figure 2.31 : Structure obtenue après ouverture des contacts de source et de drain

Etape 11 : Dépôt d'aluminium et définition des contacts source et drain par gravure humide :

Le dépôt d'aluminium, pour la prise de contacts de drain, de source et de grille, est réalisé dans un bâti d'évaporation par effet joule sous vide (10^{-6} mbar). Lors de la caractérisation des transistors, les plots en aluminium sont en contact avec les pointes de mesures. Pour effectuer de multiples caractérisations sans détruire la structure, un dépôt d'épaisseur suffisante (500 nm) est privilégié.

Il faut ensuite définir les différentes prises de contact en effectuant une sixième photolithographie et une gravure humide à 50°C . La solution d'attaque est constituée comme suit :

701 vol. H_3PO_4 (85%) +28 vol. HNO_3 (70%) +139 vol. CH_3COOH +132 vol. d'eau deionise.

Bien que la vitesse de gravure soit connue (300nm/minute) la fin de la gravure est visible à l'oeil lorsque le dessin de la géométrie finale du transistor apparaît. A la fin de cette étape, nous procédons à un recuit sous forming gaz (10% H_2 , 90% N_2) pendant 30 minutes afin d'améliorer les contacts entre les zones dopées et l'aluminium.

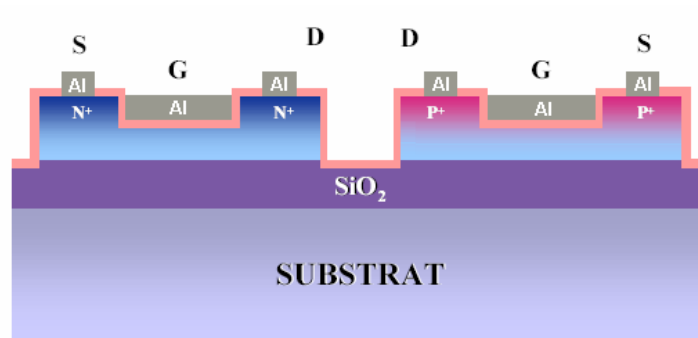


Figure 2.32 : Structure finale de poly-Si TFTs de type N et de type P

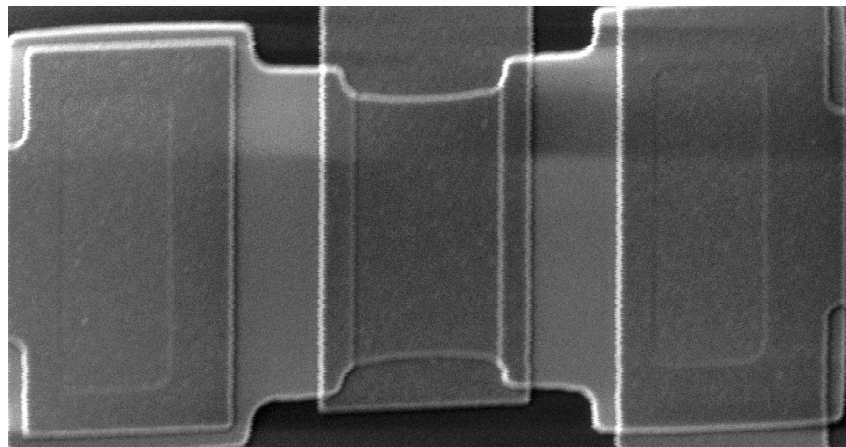


Figure 2.33 : photo MEB d'un TFT poly-Si du microsystème (avec seconde métallisation)

Dans un premier temps, les tests de performances sur les éléments du microsystème (l'amplificateur différentiel et le capteur) sont effectués séparément.

En ce qui concerne l'amplificateur différentiel, en appliquant une tension différentielle dont l'amplitude n'excède pas 40mV, un gain maximal de 41,2 dB et une fréquence de coupure de 2,1kHz sont observés (figure 2.34). Ensuite, pour déterminer le comportement réel de l'amplificateur différentiel associé à un TFT Hall, de très faibles signaux, de même forme que la tension différentielle de Hall, sont générés par un générateur basse fréquence différentiel (figure 2.35). Le comportement dynamique de l'amplificateur peut alors être caractérisé.

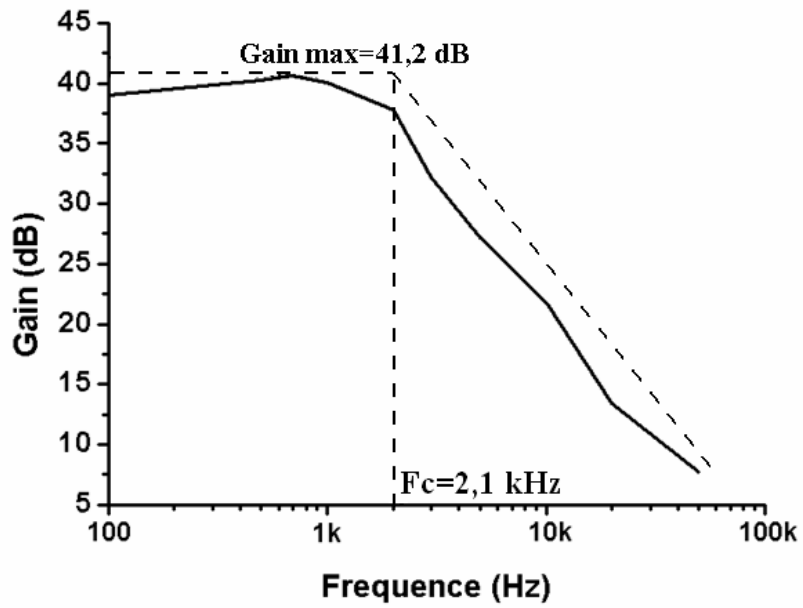


Figure 2.34 : Gain en fréquence d'un amplificateur différentiel à base de poly-Si TFTs

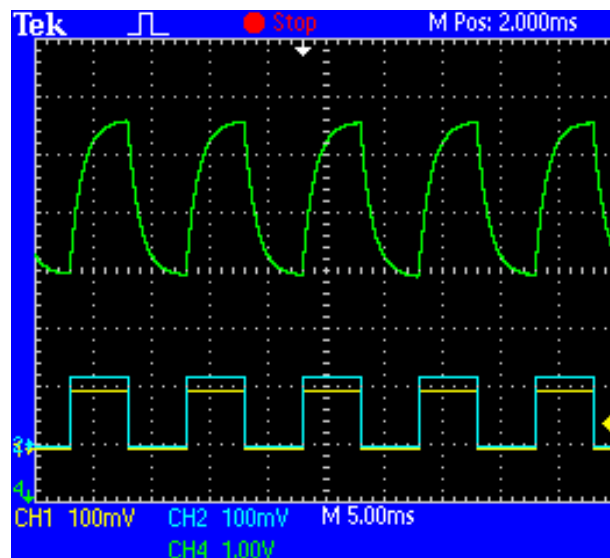


Figure 2.35 : Visualisations de la sortie d'un amplificateur différentiel pour des tensions d'entrée différentielles $V_d = 24$ mV

Enfin, la linéarité de la réponse du capteur peut être évaluée en visualisant la tension différentielle de Hall pour différents champs magnétiques (cf. figure 2.36 pour une amplification externe de $G=10$).

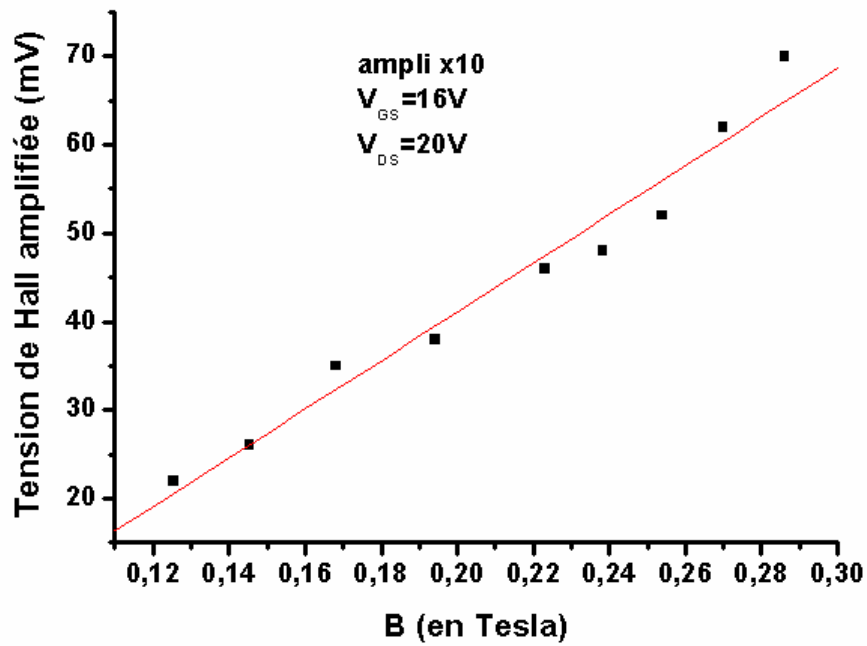


Figure 2.36 : Tension différentielle de Hall en fonction du champ magnétique B

6. Conclusion

Après avoir expliqué le fonctionnement des TFTs en général et des TFTs Hall en particulier, ce chapitre a permis de détailler les différents éléments du microsysteme, leur rôle et leur réalisation. Enfin, le processus de fabrication du microsysteme qui a été utilisé durant le projet a été résumé.

Nous nous sommes jusqu'ici contents d'exposer les 6 premiers niveaux de masques de photolithographie. Cependant, pour réaliser le microsysteme complet, deux autres niveaux sont nécessaires. Le chapitre suivant retrace les problèmes précédemment rencontrés lors de cette dernière étape ainsi que les solutions proposées par notre étude.

CHAPITRE III :

ETUDE SUR DEUX NIVEAUX DE METALLISATION REALISES A BASSE TEMPERATURE (400°C)

Dans le premier chapitre, une introduction aux procédés et aux matériaux utilisés en microélectronique a été effectuée. Le second chapitre a ensuite introduit les TFTs faits en technologie basse température, leur fonctionnement ainsi que le procédé utilisé pour leur fabrication. Le microsystème et ses différentes parties y ont aussi été introduits.

Le chapitre qui suit, quant à lui, expose la problématique abordée durant notre étude. La première partie retrace les problèmes rencontrés en matière de double métallisation pour la finalisation du microsystème.

La seconde partie résume les différentes solutions qui ont été testées par E. Jacques durant ses travaux de thèse, ainsi que les limites de ces solutions. Un rapide état de l'art en matière de double métallisation est ensuite présenté.

Enfin, les différentes conditions proposées par notre projet sont exposées. Les raisons de ces choix ainsi que la méthode de réalisation de chaque condition sont explicitées. Les résultats des tests effectués sur les microsystèmes finis sont présentés dans le dernier chapitre.

1. Problématique

Le procédé technologique présenté dans le chapitre 2 permet de réaliser les deux parties du microsysteme : l'amplificateur différentiel et le TFT Hall. Les six premiers niveaux de masques ne permettent pas de relier ces deux éléments. Cependant, il faut les associer afin d'achever la réalisation du microsysteme. Pour cela, deux niveaux de masques supplémentaires sont nécessaires. La double métallisation est requise car les connexions entre les contacts, piégés dans l'électronique de conditionnement, et le capteur ne peuvent être réalisées qu'en ayant recours à deux niveaux de métallisation.

Les deux niveaux supplémentaires sont respectivement un masque d'ouverture d'oxyde pour prendre contact avec le premier niveau de métallisation, et un masque de définition du deuxième niveau de métallisation. L'étape suivante la définition du premier niveau de masque est donc le dépôt de l'intermétal qui doit être un isolant thermique. En première approche, E. Jacques [1] utilisa un oxyde de Silicium déposé par APCVD.

Le septième masque permet ensuite de définir les zones d'ouverture (vias) entre les deux niveaux. Des vias de tailles assez importantes ($20\mu\text{m} \times 20\mu\text{m}$) sont alors ouverts après gravure de l'oxyde de Silicium (une première partie est gravée en humide, puis une gravure RIE achève l'étape pour éviter l'attaque de l'aluminium par la solution d'HF).

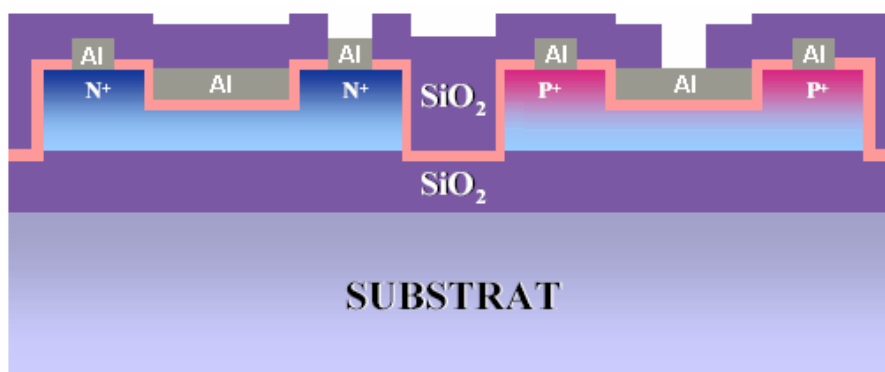


Figure 3.1 : Ouvertures de l'oxyde d'isolation pour la prise de contact entre métal 1 et métal 2

La phase suivante consiste à déposer le deuxième niveau de métal. Une dernière étape de photolithographie suivie d'une gravure permettent de définir les pistes du deuxième niveau

de métallisation et la prise de contact avec le premier niveau. Le microsysteme est alors terminé (figure 3.2).

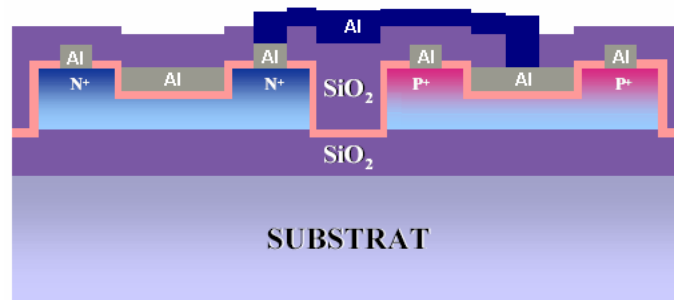


Figure 3.2 : Définition du deuxième niveau de métallisation et de la prise de contact sur le premier niveau d'aluminium

La figure 3.3 représente un exemple de réalisation de l'amplificateur différentiel. Cette photo a été prise à l'aide d'un microscope à balayage électronique (MEB).

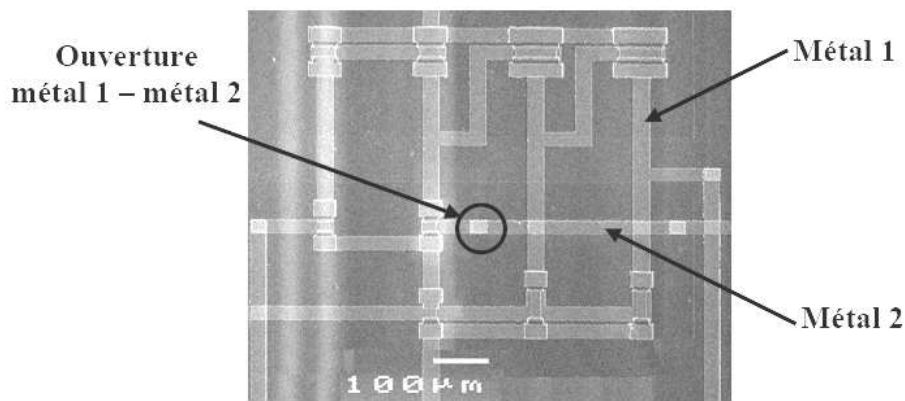


Figure 3.3 : Photo MEB d'un amplificateur différentiel à deux niveaux de métallisation

La figure 3.4, prise aussi par un microscope à balayage électronique, montre l'interconnexion entre le métal 1 et le métal 2.

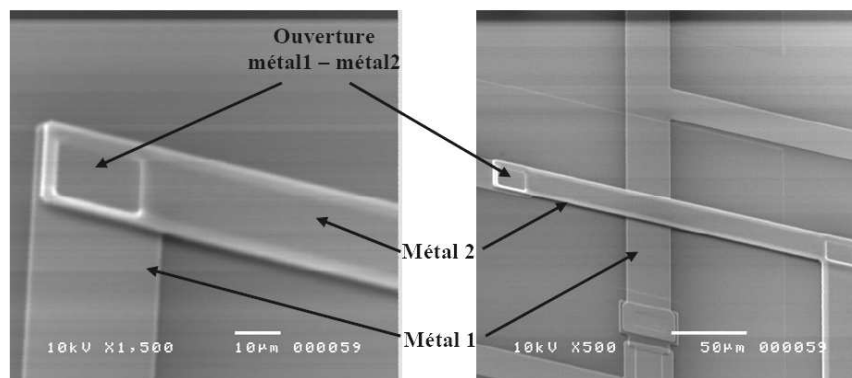


Figure 3.4 : photo MEB de l'interconnexion métal1-métal2

Malgré un bon fonctionnement des amplificateurs différentiels fabriqués avec le premier jeu de masques, les caractérisations électriques des microsystemes dont l'inter-métal est en oxyde APCVD ne sont pas concluantes. En effet, les tests de polarisation du dispositif indiquent qu'aucun courant ne circule. De plus, l'aspect visuel du premier niveau de métallisation montre que l'aluminium s'est détérioré ; des points noirs en surface s'étant formés après le dépôt d'oxyde APCVD à 430°C. Ceci laisse penser qu'une interface s'est formée entre les deux niveaux de métal ; à l'endroit du via (figure 3.5).

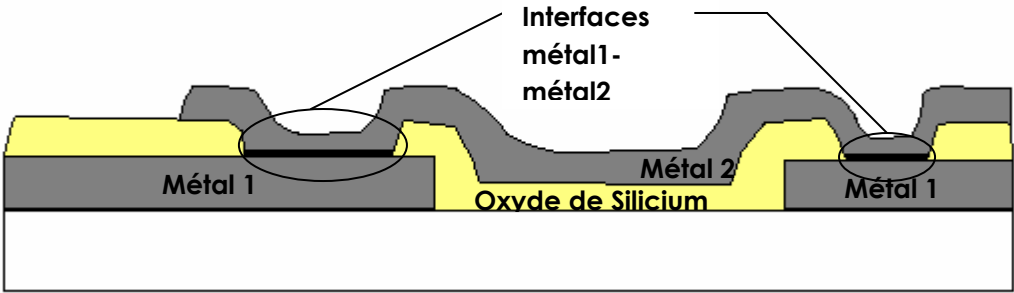


Figure 3.5 : interconnexions métal1-métal2

Cependant, en appliquant une rampe de tension entre le métal1 et le métal2, la connexion s'établit ($V > 10V$) et l'on observe plusieurs sauts de courant qui pourraient correspondre aux claquages d'interfaces entre les deux niveaux (figure 3.6).

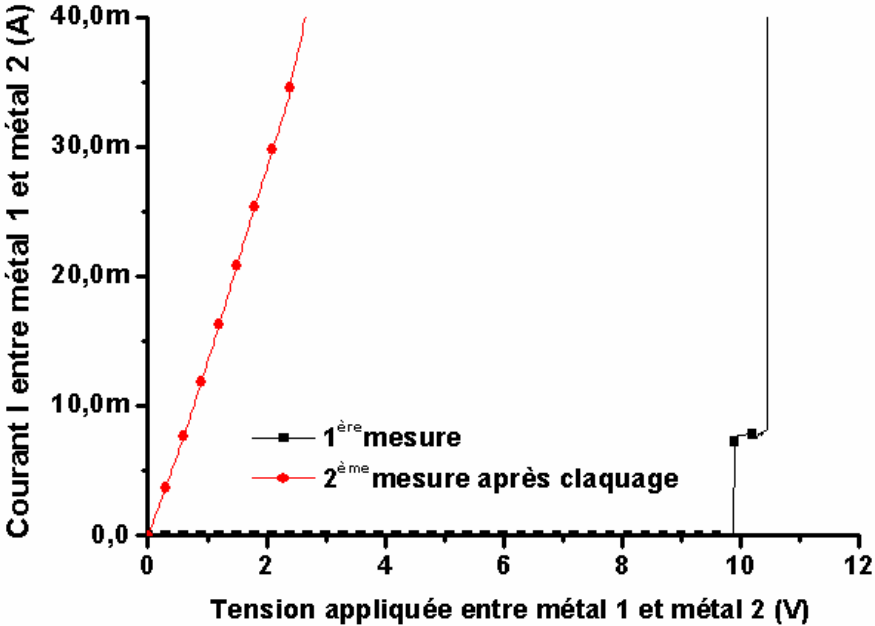


Figure 3.6 : Mesure de courant et claquage de jonctions

Ces mesures sont effectuées entre deux vias (figure 3.4). La présence de deux claquages confirme donc bien la formation d'une interface à chacun des deux vias. Le premier claquage ouvre le premier contact. Les charges rencontrent ensuite l'obstacle du second via, mais un courant circule quand même car un effet de capacité se forme entre le métal 1, l'interface et le métal 2. Cependant, le second claquage ouvre ce deuxième via laissant ainsi le courant circuler librement.

La deuxième mesure réalisée après les claquages des interfaces entre métal 1 et métal 2 montre qu'un courant circule et que la résistance d'accès entre ces deux niveaux est faible ($R=100\Omega$) comparativement à la résistance induite, par exemple, par un contact silicium - aluminium.

L'aluminium s'oxyde à température ambiante et des études ont démontré la création d'un oxyde de surface de l'ordre de 2 à 4 nm permettant la protection contre la corrosion de l'aluminium [36]. Son principe de création est simple : l'oxygène contenu dans l'air ambiant réagit avec la surface du métal et induit la création d'un oxyde amorphe de passivation très stable appelé « alumine » (Al_2O_3).

A basse température ($T < 300^\circ C$), une couche d'oxyde amorphe se développe jusqu'à atteindre une épaisseur limite (épaisseur uniforme). A haute température ($T > 300^\circ C$), il est démontré que cet oxyde n'a pas d'épaisseur limite. Deux régimes d'oxydation sont alors identifiés, un rapide où l'oxyde déposé est amorphe et un deuxième de croissance plus lente où l'oxyde a tendance à se cristalliser [37].

D'après les observations et les résultats sur la formation d'alumine en surface de l'aluminium, l'hypothèse la plus vraisemblable est la création d'une interface composée d'alumine entre métal1 et métal2 dans un premier temps à température ambiante (Al_2O_3 amorphe) puis lors du dépôt d'oxyde effectué sous flux d'oxygène dans le cas de l'oxyde APCVD (Al_2O_3 cristallisé).

Plusieurs solutions ont déjà été testées pour ouvrir les vias, ou encore pour éviter que l'interface ne se forme, donnant des résultats plus ou moins concluants. La partie qui suit expose la solution ayant donné les meilleurs résultats.

2. Solution déjà testée et ses inconvénients

Dans un premier temps, une solution d'ouverture des vias a été testée [1] en exploitant les résultats de M. Garcia-Mendez et co. [38] dont les travaux ont démontré qu'un traitement thermique permettait de faire diffuser l'aluminium dans l'alumine. En effet, à 600°C, l'épaisseur de l'interface croît jusqu'à obtention d'une seule couche mixant les deux composés.

La première solution consistait donc à appliquer un traitement thermique à 400°C au microsysteme à la fin de sa fabrication. Ce recuit est un compromis pour avoir une température suffisante pour la diffusion de l'aluminium dans l'alumine ($T > 300^\circ\text{C}$) et une température pas trop élevée pour ne pas dégrader l'aluminium. Les essais ont d'abord été faits sur des lignes isolées. La grande majorité des connexions (90%) ont alors permis la circulation d'un courant ($I > \text{mA}$ pour 1V).

Malgré ces résultats prometteurs, les tests sur le microsysteme complet montrent une dégradation des performances des transistors. En effet, les niveaux de courant en régime saturé et la mobilité d'effet de champ μ_{FE} sont plus faibles (70 $\text{cm}^2/\text{V.s.}$ par rapport à 130 $\text{cm}^2/\text{V.s.}$ pour des poly-Si TFTs de type N). Cette dégradation est due à la présence de résistances d'accès au niveau de l'intermétal de valeur supérieure au $\text{k}\Omega$. Ceci s'explique par le fait que, durant le traitement thermique, l'aluminium ne diffuse pas complètement dans l'alumine. En effet, comme le montre la figure 3.7, il y a bien contact entre le métal 1 et le métal 2, mais seulement à certains endroits. Cette non uniformité entraîne des résistances élevées.



Figure 3.7 : Etat de l'interface métal1-métal2 après recuit de guérison

La solution qui consiste à faire subir aux dispositifs un post traitement thermique à 400°C ne permet donc pas d'obtenir des poly-Si TFTs de performances suffisantes pour la réalisation des amplificateurs différentiels car leurs mobilités sont trop affectées.

Il est donc nécessaire de trouver de nouvelles solutions au problème de la double métallisation afin d'achever la réalisation de ce microsysteme. La partie qui suit résume ce qui se trouve dans la littérature dans le domaine des connexions par multicouches de métal.

3. Ce qui se trouve dans la littérature en matière de double métallisation

Depuis que le transistor est rentré dans la vie quotidienne et que Gordon Moore a prédit en 1975 le doublement de la densité d'intégration tous les deux ans, la miniaturisation n'a cessé d'être un des buts principaux des chercheurs et des industriels. La nécessité de la multiplicité des niveaux de métallisation n'est donc plus à prouver. Les composants actuels possèdent plus d'un milliard de transistors et plus de 12 niveaux de métallisation pour les connecter. La figure 3.8 illustre un exemple de circuit intégré à 7 niveaux de métallisation.

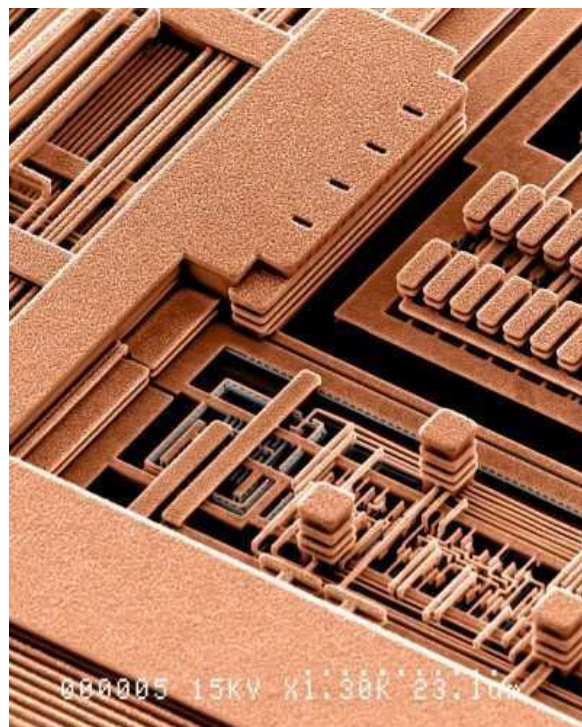


Figure 3.8 : Circuit intégré à 7 couches de métallisation de cuivre [46]

On trouve dans la littérature différents procédés de réalisation de métallisations multi-niveaux. Par exemple, le processus décrit en [39] utilise trois niveaux de métallisation pour un circuit à base de CMOS. Les lignes conductrices sont réalisées en aluminium et les vias en tungstène. La couche d'adhésion/barrière des vias est faite en TiN, et de l'aluminium (avec un faible pourcentage de Si et de Cu) est utilisé pour la couche d'interconnexion. Les contacts des régions source/drain sont réalisés par croissance de TiN à partir de $TiSi_2$. Après passivation, le processus est finalisé par un recuit en forming gaz (10% H_2 dans du N_2) à 400-450°C pendant une trentaine de minutes pour ouvrir les contacts métalliques [40].

Küecher [41] a aussi utilisé des lignes de métallisation en aluminium et des vias en tungstène. Un intermétal en SiO_2 et une couche intermédiaire ont été utilisés.

M. Lerme [42] quant à lui, a préféré le cuivre pour la réalisation des vias, et un intermétal composé de deux couches de SiO_2 séparées de SiN. L'aluminium reste le métal utilisé pour les lignes de connexion.

L'aluminium a jusqu'à présent été le matériau par excellence pour la métallisation. Néanmoins, il commence à montrer ses faiblesses à cause de la miniaturisation des circuits. En effet, depuis que la nécessité d'augmentation d'intégration requiert une plus grande miniaturisation des dispositifs, l'effet d'électromigration dont est victime l'aluminium a des conséquences non négligeables sur les performances des circuits intégrés (les électrons qui se déplacent entraînent des atomes d'aluminium avec eux, provoquant la disparition progressive de la couche de métal). C'est pour cela, que des matériaux comme le cuivre, plus résistants à cet effet, tendent à être de plus en plus utilisés. Zhao & co. [43] ont étudié une double métallisation de cuivre où l'intermétal était un matériau d'une plus faible constante diélectrique que le SiO_2 (pour réduire le temps de propagation). Des polymères peuvent aussi être utilisés comme diélectriques [44].

Motorola et IBM tablent depuis déjà une dizaine d'années sur le cuivre pour la conception de leurs microprocesseurs [45]. Cependant, même si le cuivre est bien meilleur conducteur que l'aluminium, il présente un inconvénient majeur pour la conception de dispositifs à base de silicium. En effet, le cuivre, tout comme l'argent, est considéré comme un véritable poison pour le silicium. Tout dépôt de cuivre doit donc être totalement isolé du transistor car les performances du dispositif risqueraient d'être dégradées. Pour séparer le

cuivre du silicium, IBM utilise le procédé de « double damasquinage ». Le réseau de connexions est d'abord dessiné par lithographie sur la silice. L'alliage, tenu secret, destiné à séparer cuivre et silicium vient ensuite tapisser le fond et les bords des sillons gravés par l'acide, puis le cuivre y est déposé par électrolyse. L'excès de métal est enfin enlevé par un polissage spécial. Un film de nitrure de silicium vient recouvrir cette première couche de connexions, puis le procédé est répété jusqu'à obtention des six niveaux de câblage nécessaires pour la jonction des millions de transistors.

Les ingénieurs de Motorola ont suivi une voie similaire qu'ils appellent « métallisation par double incrustation ». Les canaux gravés dans le semi-conducteur sont plaqués avec du nitrure de titane qui sert à la fois à éviter le contact entre cuivre et silice et à assurer une bonne adhésion au cuivre qui est déposé ensuite. Le même processus est repris pour faire les six niveaux de connexions.

Un gain de 33% en fréquence a été enregistré par IBM en remplaçant la métallisation en aluminium par le cuivre. Mais ce matériau ne fut pas retenu dans le cadre de notre étude en raison de la difficulté de sa mise en oeuvre. En effet, comme il a été vu dans le chapitre 1, il est indispensable de déposer un précurseur sur le substrat pour attirer les ions de cuivre. Mais cela s'avère assez difficile sur la surface de toute une plaque.

La section suivante expose les quatre conditions testées durant notre projet. Les raisons de ces choix ainsi que le procédé de mise en oeuvre de chacune des solutions sont présentés. Ces solutions sont testées dans le but de la résolution du problème rencontré [1] lors de la seconde métallisation ; en l'occurrence la formation d'alumine

4. Les nouvelles conditions proposées

L'alumine pouvant s'être formée à température ambiante sur le métal 1, puis lors du dépôt d'oxyde (le dépôt par APCVD se faisant sous flux d'oxygène), deux possibilités se dégagent pour éviter sa formation :

- Changer le matériau de la première métallisation en choisissant un métal ne s'oxydant pas, ou très peu, à basse température,

- Ou alors changer le procédé de dépôt de l'intermétal.

Quatre conditions ont donc été testées durant l'étude. Ces configurations sont présentées dans le tableau 5 :

Configuration	Métal 1	Métal 2	Inter-métal
Configuration 1	Chrome	Aluminium	SiO ₂ par APCVD
Configuration 2	Aluminium	Aluminium	SiN par PECVD
Configuration 3	Aluminium	Aluminium	SiO ₂ pulvérisé
Configuration 4	Aluminium	Aluminium	Air

Tableau 5 : Les différentes conditions proposées

Le choix du chrome pour la configuration 1 est dû au fait que ce métal s'oxyde moins, comparativement à l'aluminium, à basse température. Néanmoins, le dépôt de ce matériau est assez difficile à effectuer. Dans un premier temps, un procédé d'évaporation thermique fut utilisé. Cependant, le chrome chauffant très rapidement, le dépôt a dû être effectué en deux fois. En effet, le dépôt a dû être arrêté en cours car le bâti avait trop chauffé. Après l'avoir laissé refroidir pendant une heure, la fin du dépôt a pu être effectuée. Malgré ces précautions, le chrome déposé ne résista pas à la phase de gravure et éclata en « paillettes ». Un autre procédé de dépôt a donc dû être mis en place. Pour la seconde série de tests, le chrome fut déposé par sputtering (pulvérisation cathodique). Cette technique présentant l'avantage d'une grande rapidité de dépôt, le problème de chauffe du chrome ne se pose donc pas.

Dans le cas de la configuration 2, l'intermétal n'est plus un oxyde mais du nitrure de silicium déposé par PECVD (*plasma enhanced chemical vapor deposit*). Cette technique n'utilisant pas d'oxygène et s'opérant sous vide, la formation d'alumine est impossible.

L'apport de la configuration 3 par rapport au procédé classique de dépôt par APCVD est que l'opération s'effectue à température ambiante. L'aluminium s'oxydant moins à cette température qu'à celle utilisée pour le dépôt APCVD (~400°C), le risque de formation

d'alumine est moindre. De plus, cette technique n'utilise qu'un faible pourcentage d'oxygène (seulement pour la formation de l'oxyde de silicium). Néanmoins, l'oxyde déposé par pulvérisation a, à priori, une qualité médiocre en tant qu'isolant.

Quant à la configuration 4, elle apporte l'avantage du meilleur isolant qui soit : l'air. En effet, en créant une structure en pont, il n'y a aucun risque que de l'alumine se forme vu qu'il n'y a pas dépôt d'intermétal.

Pour réaliser cette structure (figure 3.9), une couche de résine photosensible plus épaisse que d'ordinaire est déposée en diminuant la vitesse de rotation de la tournette et en augmentant la durée d'enduction. Cette résine est insolée en utilisant le masque d'ouverture d'oxyde, puis développée. Elle est ensuite recuite de façon à devenir inerte. S'en suit le dépôt du métal 2. Pour réaliser une structure en pont, l'épaisseur du deuxième niveau de métallisation ne peut pas être de seulement 400nm comme pour les autres conditions. En effet, pour que des ponts d'une longueur maximale de 500µm restent rigides et ne collapsent pas, 2 µm au moins d'épaisseur d'aluminium sont requis. Dans le cadre de la réalisation du microsysteme, 4 µm d'épaisseur d'aluminium sont déposés car les longueurs de ponts vont jusqu'à 4mm. Une série de plusieurs dépôts d'une épaisseur maximale de 400nm a alors été effectuée pour constituer ces ponts. Après cela, la huitième et dernière photolithographie est effectuée avant de retirer la résine qui protégeait le premier niveau de métallisation, libérant ainsi les ponts suspendus.

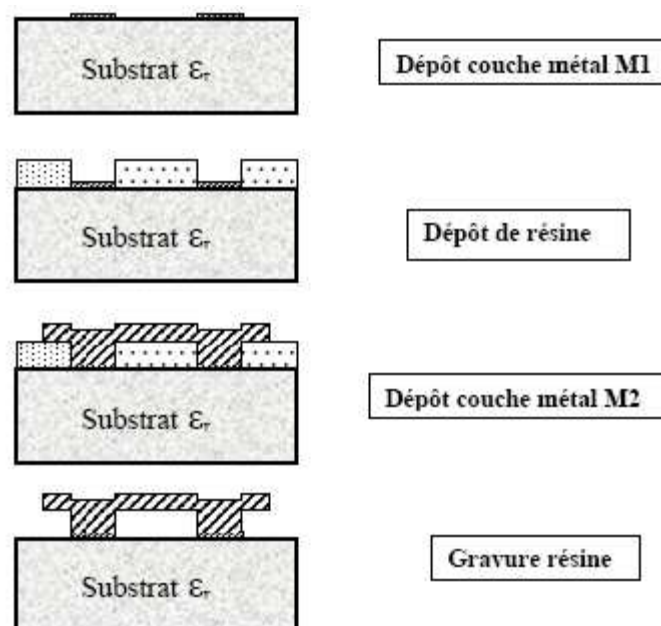


Figure 3.9 : procédé de réalisation de ponts à air [47]

Après réalisation, les différentes plaques sont caractérisées. Ces résultats sont présentés dans le chapitre 4.

5. Conclusion

Le chapitre 3 a permis de mettre en évidence le problème de la double métallisation. Les problèmes rencontrés par E. Jacques [1] lors de la finalisation du microsystème, ainsi que la solution principale qui avait été testée.

Ce chapitre a également permis de présenter les solutions proposées par notre étude, les raisons des choix de conditions et les différentes procédures de réalisation.

Le chapitre suivant présente les résultats de caractérisation des différentes conditions. Il présente aussi l'interprétation des résultats des conditions concluantes et propose des explications pour les échecs.

CHAPITRE IV:

CARACTERISATIONS ET RESULTATS

Le chapitre 3 a permis de mettre en évidence la problématique de la double métallisation en microélectronique. La méthode du recuit thermique n'ayant pas complètement réglé le problème de formation d'alumine, quatre autres solutions ont été proposées.

Ce chapitre traite des résultats obtenus après réalisation d'un microsystème complet en utilisant chacune des conditions.

Dans un premier temps, les courbes et paramètres principaux de caractérisation des TFTs sont présentés.

La deuxième partie expose les différentes courbes tracées grâce au banc de caractérisation. Les faibles performances déduites de ces courbes nous ont poussés à effectuer un recuit de guérison sur certaines plaques. Les courbes caractéristiques de ces échantillons après traitement sont aussi présentées.

Enfin, après extraction des paramètres de toutes les plaques caractérisées, une interprétation de ces résultats ainsi que des perspectives d'optimisation sont exposées.

1. Caractéristiques et paramètres essentiels

Afin de tester les conditions proposées dans le chapitre précédent, on doit caractériser les transistors des microsystemes réalisés. Pour cela, il est nécessaire de définir quelles courbes et paramètres vont nous permettre de tester les performances des dispositifs. L'analogie avec les transistors de type MOSFET permet d'utiliser les caractéristiques issues des équations de fonctionnement présentées dans le chapitre 2 pour caractériser les poly-Si TFTs. Le banc de test présenté dans le premier chapitre est utilisé pour relever les courbes principales de caractérisation des poly-Si TFTs car il permet, en parallèle, l'application de tensions de polarisation et la mesure des courants. Des plots, d'assez grande taille, autour du microsysteme, ont été prévus lors du design des masques de photolithographie (annexe 2) pour le placement des pointes.

Deux courbes sont en général utilisées pour la caractérisation des TFTs :

- La caractéristique de transfert : mesure du courant I_{DS} en fonction de la tension de grille V_{GS} pour une tension de drain V_{DS} constante
- La caractéristique de sortie : mesure du courant I_{DS} en fonction de la tension de drain V_{DS} pour une tension de grille V_{GS} constante (exemple en figure 2.2 présentée dans la première partie du second chapitre).

Néanmoins, la caractéristique utilisée durant notre étude étant la courbe de transfert, nous ne présenterons que celle-ci.

Quatre zones de fonctionnement du Poly-Si TFT peuvent être définies à partir de la courbe de transfert (exemple de la figure 4.1):

(1) : Le transistor est bloqué. Le courant non nul ($I_{DS} = I_{off}$) est principalement dû aux porteurs piégés et accélérés par la forte tension (négative) de drain.

(2) : Cette zone met en évidence la conduction ohmique de toute la couche active.

(3) : Le canal se forme et le courant de drain augmente alors très rapidement avec la tension de grille.

(4) : Le transistor est passant ($I_{DS} = I_{on}$).

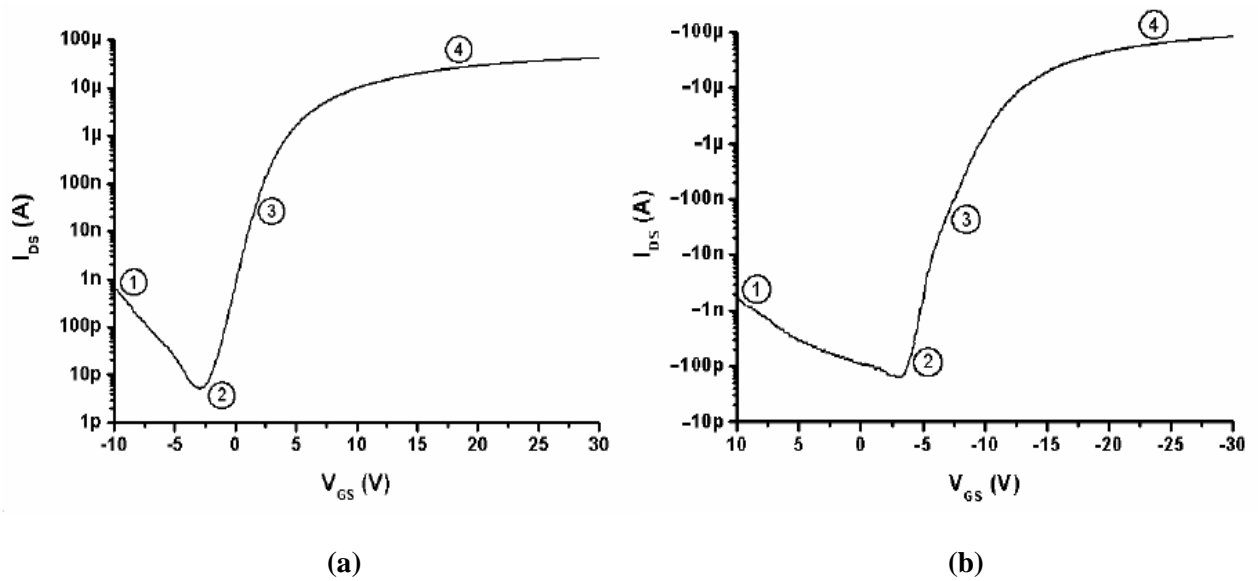


Figure 4.1 : Caractéristiques de transfert en échelle semi-logarithmique d'un poly-Si TFT (SPC-APCVD) de type N (a) de dimensions $W/L = 20/60$ ($V_{DS}=1V$) et de type P (b) de dimensions $W/L=40/20$ ($V_{DS}=-1V$)

Principaux paramètres caractéristiques :

Trois principaux paramètres électriques sont utilisés pour comparer les différents procédés de fabrication, en uniformité et reproductibilité :

- La tension de seuil V_{TH} ;
- La mobilité d'effet de champ μ_{FE} ,
- La pente sous le seuil.

Tension de seuil V_{TH} :

La tension de seuil V_{TH} est la tension de grille pour laquelle on observe le début de l'accumulation des porteurs formant le canal. Celle-ci traduit donc la limite de conduction du transistor. Cette tension de seuil est nettement plus importante dans le cas d'un poly-Si TFTs que dans le cas d'un MOS en silicium monocristallin.

La mobilité d'effet de champ μ_{FE} :

Elle est déduite de la transconductance g_m (ou pente de la courbe de transfert) et définit la facilité des porteurs à se déplacer dans la couche active des transistors. Plus la mobilité d'effet de champ est élevée, plus le transistor est capable de délivrer des courants de drain I_{DS} importants.

La transconductance représente la possibilité de contrôler le transistor à l'aide de la tension de grille et est directement liée à la polarisation du transistor.

La pente sous le seuil S :

Elle correspond à la valeur de la tension de grille à appliquer pour augmenter le courant de drain d'une décade (pour le domaine des tensions inférieures à la tension de seuil). La valeur de ce paramètre correspond à l'inverse de la plus forte pente en échelle logarithmique de la fonction de transfert dans la zone de commutation. Elle s'exprime en V/décade et traduit la facilité du canal à se former :

$$S = \left(\frac{\partial V_{GS}}{\partial (\log(I_{DS}))} \right)_{V_{DS} = cte} \quad (4.1)$$

Le tableau 6 présente les paramètres caractéristiques qui serviront de référence pour les réalisations de poly-Si TFT d'épaisseur d'oxyde de grille $T_{OX}=70$ nm.

Tension de seuil (V_{TH})	Mobilité d'effet de champ (μ_{FE})	Pente sous le seuil (S)
4,5 V	135 $cm^2 \cdot V.s.$	0,85 V/déc.

Tableau 6 : Paramètres caractéristiques d'un poly-Si TFT de type N de dimensions W/L=20/60 et d'épaisseur d'oxyde de grille $T_{OX}=70$ nm

Afin de tester les performances des procédés proposés, il est nécessaire de tracer les courbes de transfert. En effet, les paramètres caractéristiques ne peuvent être extraits que de ces courbes. La partie qui suit résume les résultats qui ont été relevés aux différentes caractérisations.

2. Courbes obtenues avant et après recuit de guérison

Les plaques utilisées pour le projet sont des substrats 2 pouces. Chaque plaque contient à la fin du procédé 12 cellules complètes. Chaque cellule contient 4 microsystèmes (capteur + amplificateur). Il n'est pas nécessaire de caractériser tous les transistors de la plaque pour savoir si les vias sont ouverts. Pour les tests, on choisit de caractériser un TFT Hall par cellule, ce qui fait 12 TFTs à caractériser pour chacune des plaques.

La courbe caractéristique tracée est la courbe de transfert. On configure le banc de test pour balayer avec un pas de 100mV la plage de tensions [-20V , 30V] en V_{GS} . Le courant est mesuré en parallèle, et la courbe est tracée automatiquement.

On remarque que, pour certaines plaques, une majorité des TFTs (ou la totalité) ne module pas le courant de grille si on la caractérise en plaçant les pointes sur les plots de test (en passant donc par des vias) alors que les TFTs fonctionnent s'ils sont caractérisés directement. Ceci laisse penser que les vias de ces transistors restent « bouchés ». Il n'a été possible de caractériser qu'une partie des transistors. Après une première série de tests sur la totalité des échantillons, il a été décidé d'effectuer un recuit de guérison sous forming gaz pour les trois premières configurations du tableau 5 du chapitre 3 (toutes les conditions sauf celle de l'isolation air). La configuration 1 du tableau 5 (métal 1 en chrome) n'a par exemple aucun de ses transistors caractérisables à travers les plots, ni avant ni après recuit. La condition 2 (nitrure de silicium en intermétal) n'a pas donné de bons résultats non plus. Un seul des transistors a pu être caractérisé, et seulement avant recuit (ses performances ont été détériorées par le forming gaz). Cette caractéristique est présentée en figure 4.2.

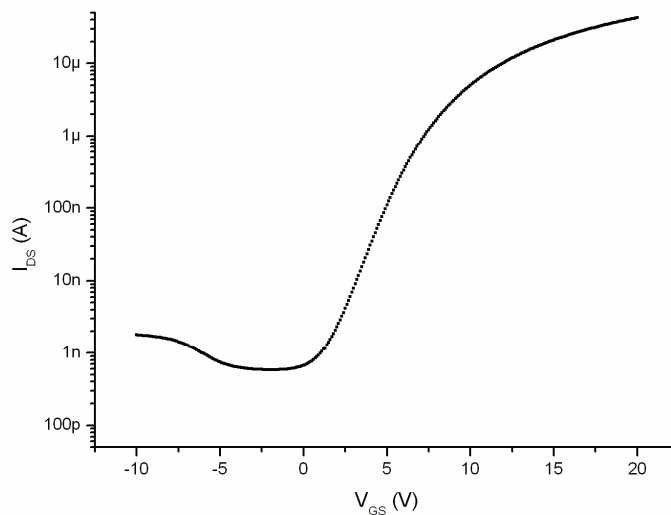


Figure 4.2 : caractéristique de transfert en échelle semi-logarithmique d'un poly-Si TFT du microsystème fini à inter-metal en nitrure de silicium

Dans le cas de la configuration 3 du tableau 5 (isolation en oxyde pulvérisé), même si seulement le tiers des transistors testés est caractérisable, on remarque une nette amélioration

des paramètres caractéristiques après recuit de guérison. En effet, bien que peu nombreux, ces transistors ont les meilleures caractéristiques de l'ensemble des TFTs réalisés. La figure 4.3 donne un exemple avant et après recuit de guérison.

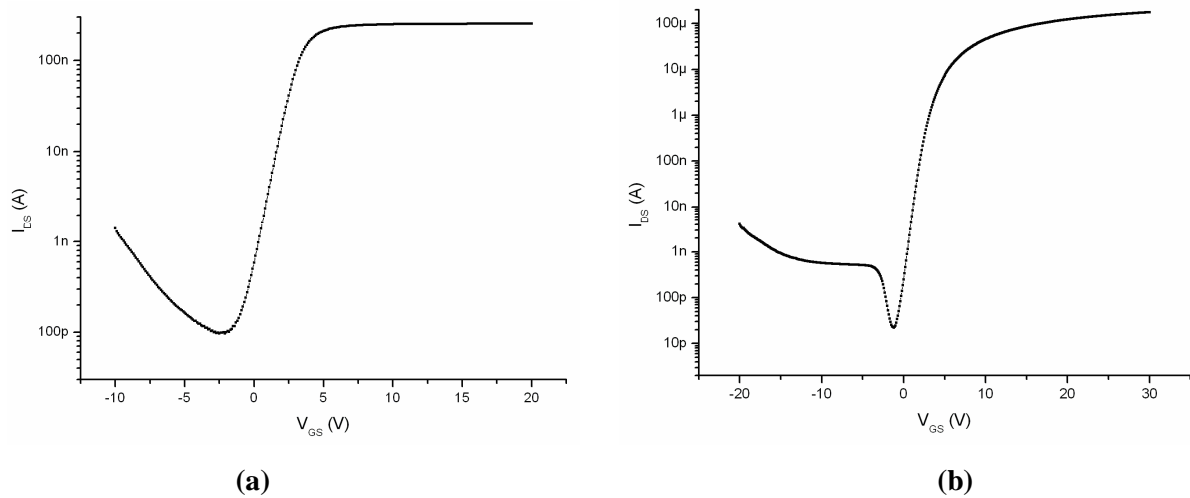


Figure 4.3 : caractéristique de transfert en échelle semi-logarithmique d'un poly-Si TFT du microsysteme fini à inter-métal en oxyde de silicium pulvérisé (a) avant forming gaz (b) après forming gaz

La dernière condition testée (celle des air gap) est la seule à avoir donné un bon taux de réussite. Au départ, nous avons testé ces plaques dans la même plage de tensions que pour les autres TFTs, mais nous avons vite remarqué que si on dépassait une certaine tension, le pont collait et n'était plus suspendu. Ceci est dû à la longueur inhabituelle des ponts. On a alors changé la plage de tensions à $[-10V, 20V]$. A partir de là, pratiquement tous les transistors testés fonctionnaient et avaient une caractéristique acceptable (figure 4.4).

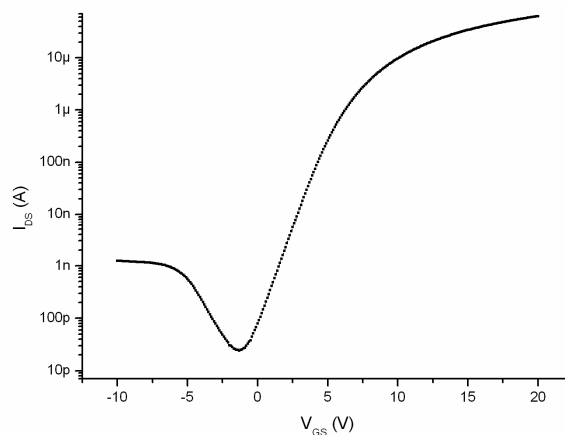


Figure 4.4 : caractéristique de transfert en échelle semi-logarithmique d'un poly-Si TFT du microsysteme fini à isolation air

On remarquera que pour tous les transistors caractérisés, une très grande stabilité a été notée.

Le tracé de ces courbes ne suffit pas à la caractérisation des TFTs des microsystèmes réalisés. Il faut pour cela extraire les paramètres caractéristiques à partir de ces courbes et les comparer aux valeurs typiques du tableau 6. La partie qui suit explique comment extraire ces paramètres pour l'interprétation des résultats.

3. Extraction des paramètres caractéristiques

A partir de la courbe caractéristique de transfert, on extrait les trois principaux paramètres : la tension de seuil V_{TH} , la mobilité d'effet de champ μ_{FE} ainsi que la pente sous le seuil S .

V_{TH} est extraite graphiquement en traçant la tangente à la courbe représentative de la caractéristique de transfert (en échelle linéaire) lorsque la pente est la plus élevée et de relever la valeur de V_{GS} lorsque la tangente coupe l'axe des abscisses ($I_{DS}=0$). La figure 4.5 donne un exemple d'extraction graphique de la tension de seuil.

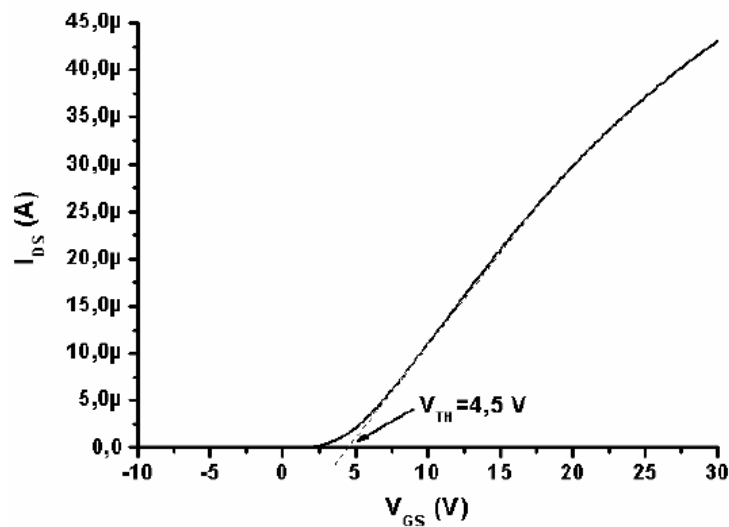


Figure 4.5 : Extraction de la tension de seuil à partir de la caractéristique de transfert en échelle linéaire d'un poly-Si TFT de dimensions $W/L=20/60$ et d'épaisseur d'oxyde de grille $T_{OX}=70$ nm

La mobilité d'effet de champ se calcule à partir de la relation suivante :

$$\mu_{FE} = g_m \cdot \frac{L}{W} \cdot \frac{1}{C_{OX}} \cdot \frac{1}{V_{DS}} \quad (4.2)$$

Les tests ont été effectués à $V_{DS}=1V$ (tests sur les transistors de type N), et le rapport L/W est égal à 170/200. C_{OX} , la capacité surfacique de l'oxyde de grille se calcule suivant la relation 4.3 :

$$C_{OX} \text{ (F/cm}^2\text{)} = \frac{\epsilon_0 \cdot \epsilon_{OX}}{T_{OX}} \quad (4.3)$$

Où : $\epsilon_0 = 8,85 * 10^{-12}$ F/m et $\epsilon_{OX} = 3,9$

$T_{OX}=70\text{nm}$ (épaisseur de l'oxyde de grille)

Reste à connaître la transconductance maximale afin de pouvoir calculer la mobilité d'effet de champ. Pour cela, on doit tracer la courbe de la transconductance en dérivant la caractéristique de transfert du TFT. g_m est le point culminant de cette courbe ($g_m=f(V_{GS})$) comme le montre la figure 4.6, typiquement, la transconductance d'un transistor TFT poly-Si est de $2,02 \mu\text{A/V}$.

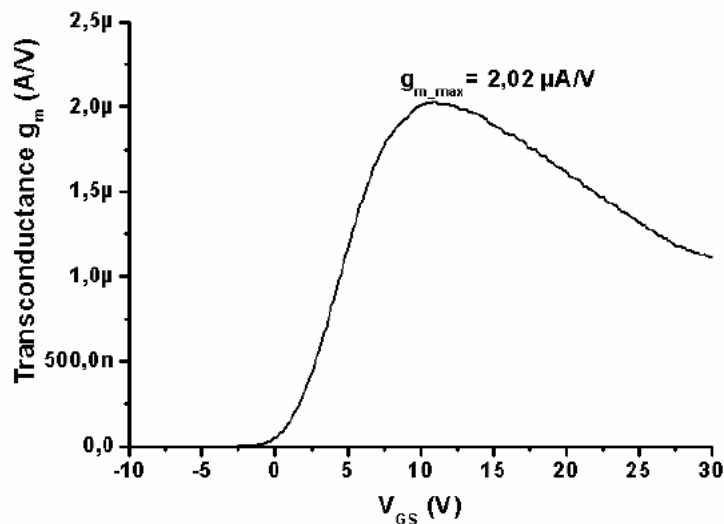


Figure 4.6: Transconductance g_m d'un poly-Si TFT de dimensions $W/L=20/60$ et d'épaisseur d'oxyde de grille $T_{OX}=70 \text{ nm}$

Enfin, un exemple d'extraction de la pente sous le seuil est représenté en figure 4.7, avec :

$$S = \frac{V_{GS2} - V_{GS1}}{2} \quad (4.4)$$

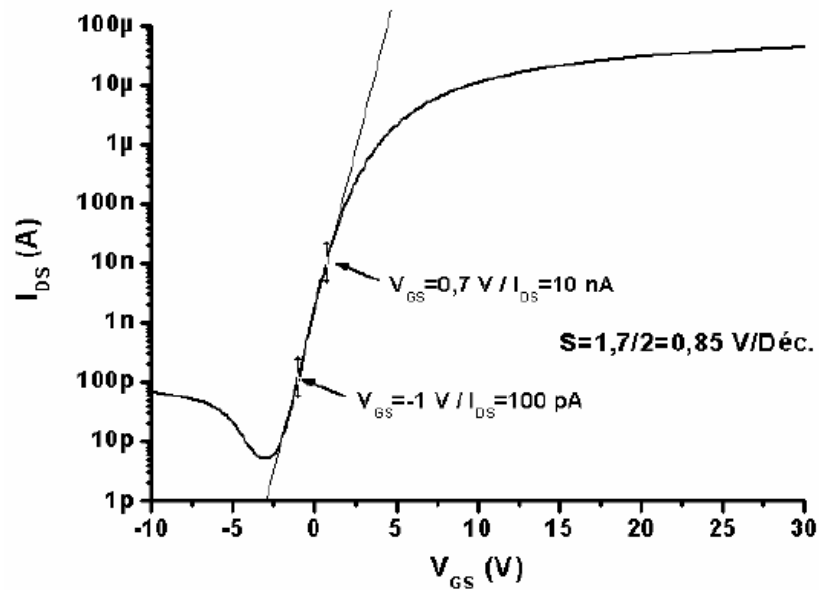


Figure 4.7: Extraction de la pente sous le seuil d'un poly-Si TFT de dimensions $W/L=20/60$ et d'épaisseur d'oxyde de grille $T_{OX}=70$ nm

Les résultats des configurations 1 et 2 du tableau 5 sont médiocres. En effet, aucun des transistors à métallisation en chrome (configuration 1) n'a fonctionné, ni avant ni après recuit sous forming gaz. Quant au procédé à intermétal en nitrure de silicium (configuration 2), un seul transistor a pu être caractérisé et les paramètres extraits montrent des performances médiocres. En effet, la pente sous le seuil est d'environ 1,7 V/dec. alors que typiquement, $S=0,85$ V/dec. La tension de seuil est de près de 20V et la mobilité est d'à peine $36 \text{ cm}^2/\text{V.s}$.

Cependant, les plaques processées en suivant la configuration 3 (inter-metal en oxyde pulvérisé) ont donné de meilleurs résultats. En effet, même s'il n'y a que le tiers des transistors qui fonctionne, ceux-ci ont des performances acceptables. Ces dernières sont encore meilleures après le recuit de guérison. En effet, la pente sous le seuil, qui était comprise entre 1 V/dec et 2 V/dec avant le traitement thermique, a baissé aux environs de 0,70 V/dec pour plusieurs transistors. La tension de seuil, quant à elle, va de 2,1V à 6,4V sur les transistors d'une même plaque. Après recuit, tous les transistors tendent à avoir une tension de seuil de l'ordre de 4V. Enfin, la mobilité d'effet de champ est supérieure à $115 \text{ cm}^2/\text{V.s}$ pour tous les transistors de cet échantillon. Ce paramètre augmente à plus de $150 \text{ cm}^2/\text{V.s}$ après recuit de guérison (la mobilité la plus élevée étant à $176 \text{ cm}^2/\text{V.s}$). La seconde plaque ayant subi ce procédé présente moins de transistors qui fonctionnent, mais les performances après recuit sont les plus proches des valeurs typiques.

En ce qui concerne la dernière condition (isolation air), tous les transistors fonctionnels ont une pente sous le seuil supérieure à 1V/dec. (allant de 1 à 1,95V/dec.) la tension sous le seuil est généralement autour de 6V, néanmoins, elle est supérieure à cette valeur pour certains transistors. Enfin, la mobilité d'effet de champ est toujours supérieure à 100cm²/V.s. (elle va jusqu'à 120 cm²/V.s. pour plusieurs des transistors).

Ces paramètres démontrent que la proposition ayant donné les meilleures performances est la configuration 3 après recuit de guérison. Néanmoins, le rendement (nombre de transistors fonctionnels/ nombre total de transistors) est faible comparativement à la configuration 4 (air gaps ou ponts à isolation en air) dont les paramètres restent acceptables. La partie qui suit propose des hypothèses pour l'explication de ces résultats.

4. Interprétation des résultats

Configuration 1 :

Dans le cas de la configuration 1 du tableau 5 (premier niveau de métallisation en chrome), les résultats ne sont pas concluants malgré le changement du procédé de dépôt. En effet, les premiers essais de dépôt de chrome par évaporation thermique n'ayant pas réussi à cause de la rapidité de chauffe du matériau, un dépôt par sputtering (pulvérisation cathodique) a été mis en place. Ainsi, même si cette technique n'était pas encore maîtrisée au laboratoire lors de notre étude, des essais sur le microsystème ont pu être effectués. Cependant, cette technique de dépôt n'a pas réglé le problème de création non intentionnelle d'isolant à l'endroit du via. En effet, la caractérisation a montré que, même après un recuit de guérison sous forming gaz, le courant ne circule pas entre les deux niveaux de métal. L'explication la plus vraisemblable est la création d'un oxyde de chrome lors des deux premières minutes de création du plasma.

Configuration 2 :

Les résultats de l'isolation en nitrure de silicium (configuration 2 du tableau 5) n'ont pas été concluants non plus. En effet, la première série de caractérisations a mis en évidence un très faible rendement (un seul transistor fonctionnait sur un total de 24 transistors testés) laissant penser qu'un nitrure d'aluminium (AlN) s'était formé. Le recuit de guérison sous forming gaz, dont l'intérêt était d'ouvrir les contacts, a en fait empiré l'état des

interconnexions (le seul transistor qui fonctionnait ne modulait plus le courant de grille, laissant penser que le via n'était plus ouvert). L'hypothèse selon laquelle un nitrure d'aluminium s'était formé lors du dépôt de SiN tendait donc à se confirmer (car le forming gaz est un recuit sous flux d'azote).

D'autre part, des tests sur des lignes isolées d'aluminium ont permis de prouver que le simple dépôt de nitrure de Silicium dégradait le métal. En effet, la figure 4.8 montre que la résistance des lignes d'aluminium augmente après dépôt puis gravure de nitrure de silicium.

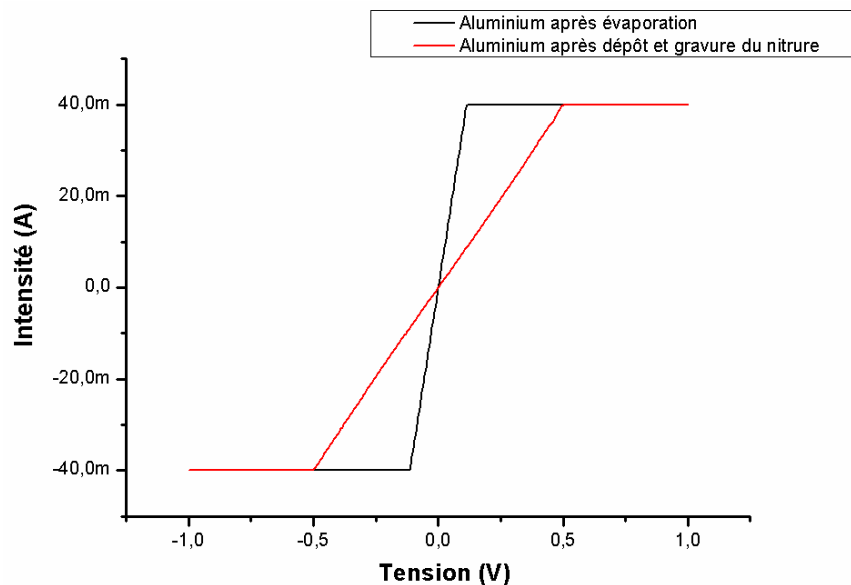


Figure 4.8: mesure de résistance sur une ligne d'aluminium avant et après dépôt et gravure d'SiN

La détérioration des propriétés des lignes d'aluminium ainsi que la possible formation d'AlN semblent expliquer la raison des résultats obtenus pour le microsystème de la configuration 2.

Configuration 3 :

Dans le cas d'un oxyde pulvérisé (configuration 3 du tableau 5), les résultats prouvent que le recuit de guérison sous forming gaz a bien ouvert quelques contacts. En effet, les performances des transistors qui fonctionnaient déjà avant le recuit, se sont améliorées, sans parler des transistors dont les contacts se sont ouverts. De plus, on remarque que ces performances sont très stables. Néanmoins, le fait qu'il n'y ait que le quart des transistors qui fonctionnent laisse penser qu'un oxyde d'aluminium s'est formé lors du dépôt de SiO₂. En effet, comme l'oxyde pulvérisé est connu pour ses faibles performances en tant qu'isolant, le

pourcentage d'oxygène dans le flux de gaz envoyé lors du dépôt par pulvérisation a été augmenté pour améliorer ses qualités isolantes. Cependant, cette augmentation du niveau d'oxygène a pu provoquer la formation d'un oxyde d'aluminium.

Configuration 4 :

Cette solution semble être la plus prometteuse des quatre conditions testées. En effet, une très grande partie des transistors caractérisés fonctionnent. De plus, ceux qui ne présentent pas une caractéristique de transfert acceptable n'ont pas un fonctionnement indiquant un obstacle au niveau des vias, mais indiquant que les lignes de métallisation du second niveau n'ont pas tenu car elles étaient trop longues (une tension un peu élevée fait crouler certains ponts sous leur poids).

Il n'a pas été nécessaire de recuire ces plaques car, l'intermétal étant en air, le recuit ne servirait à favoriser aucune liaison. De plus, il aurait détérioré la structure, les ponts suspendus étant fragiles (l'aluminium fondant à la température du forming gaz). Jusqu'à présent, les structures en isolation air les plus longues ne dépassaient pas 500 μ m pour 2 μ m d'épaisseur d'aluminium. Or, en utilisant une épaisseur de près de 4 μ m, les ponts, sur certaines zones des plaques testées, ont tenu sur des longueurs de 4mm (cf. figure 4.9) sans avoir recours à des micro-pilliers. Cependant, déposer une épaisseur d'aluminium supérieure risquerait d'endommager le dépôt. En effet, dès que l'on dépose une trop grande épaisseur d'aluminium, la couche s'effrite et a un aspect en « paillettes ».

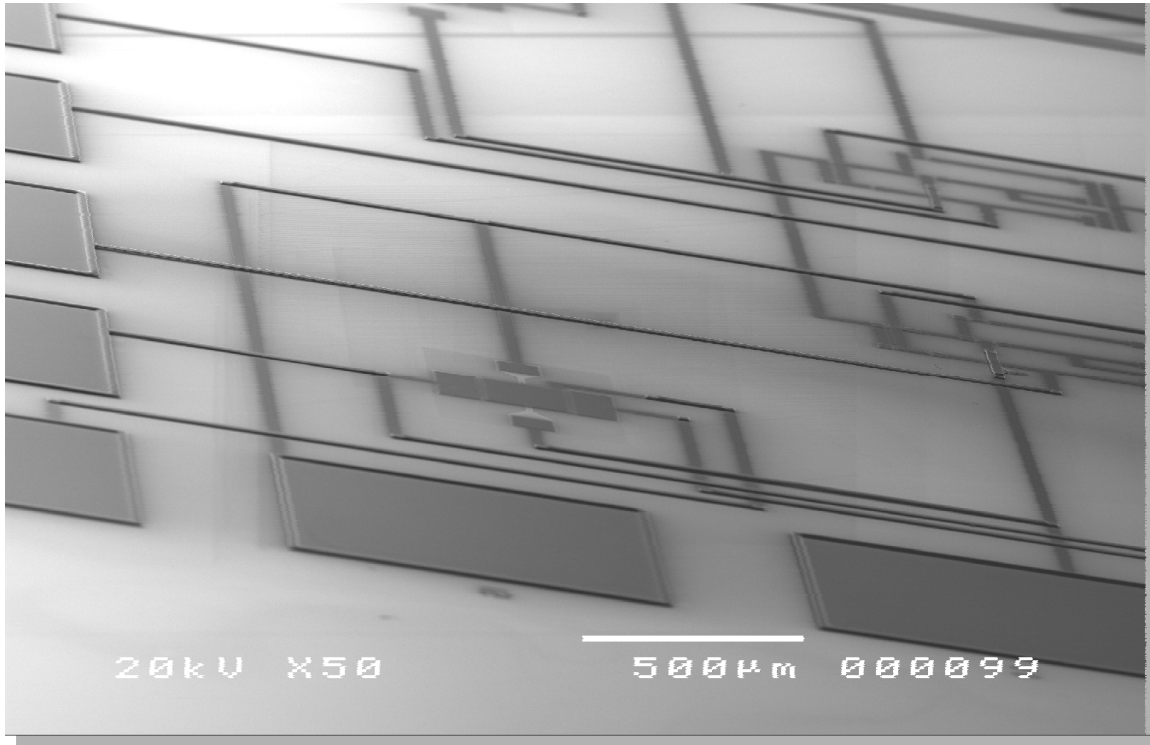
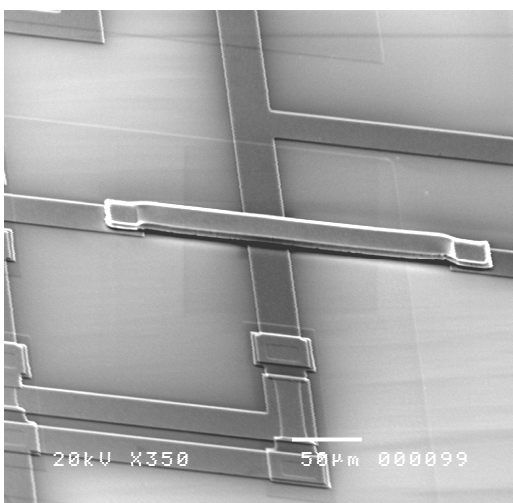


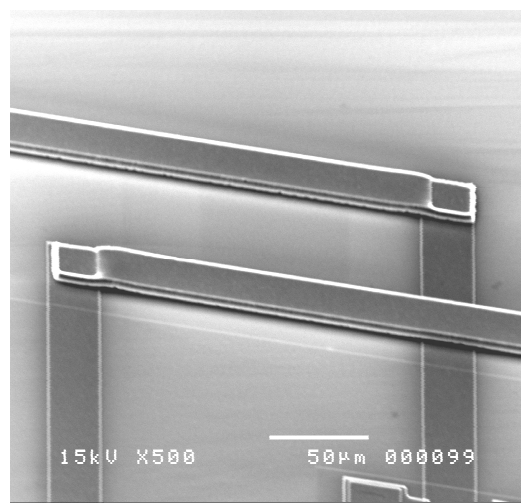
Figure 4.9: Photo MEB du TFT Hall et de ponts de 4 mm de longueur (isolation air)

Sur la figure précédente, prise grâce au microscope à balayage électronique (MEB), on peut bien voir les différences d'épaisseur entre les deux niveaux de métal. De plus, des longueurs de pont de 4 mm qui ont tenu sont visibles.

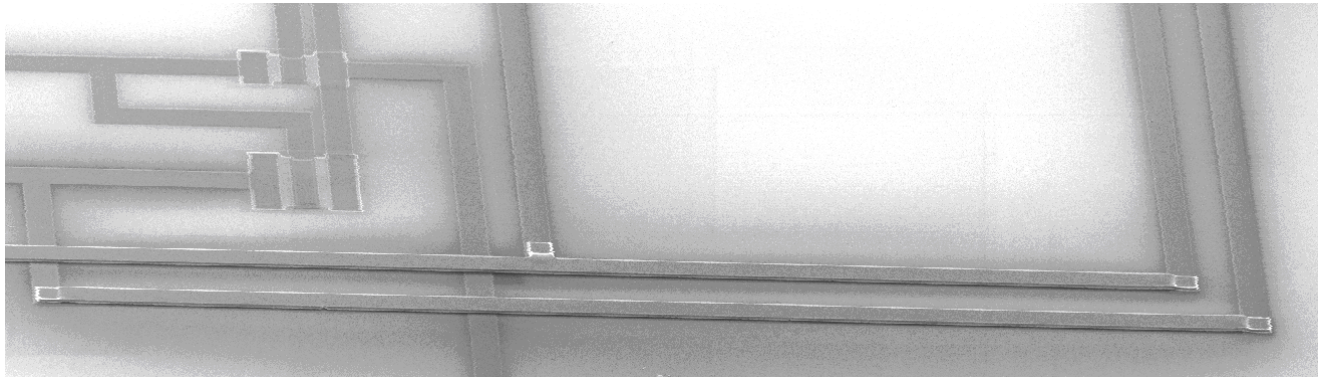
La figure 4.10.a) illustre un exemple de pont d'une longueur de 200 µm. La longueur étant raisonnable, le pont tient parfaitement. On peut très bien distinguer sur la figure 4.10.c (zoomée en figure 4.10.d) qu'un pont tient bien, même tout près d'une zone de via. Sur cette même figure, une longueur de pont ayant tenu, de plus d'1mm de longueur, est visible.



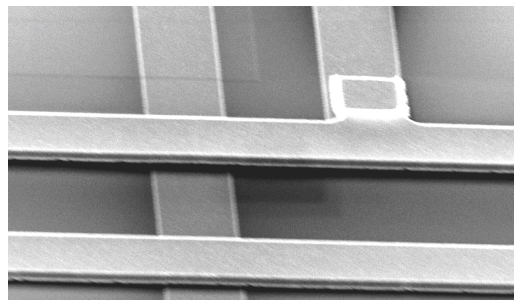
a)



b)



c)



d)

Figure 4.10: photos MEB du microsysteme avec isolation air

Les résultats pour cette configuration montrent que pour pouvoir l'exploiter entièrement, il faudrait changer le design des trois derniers masques (métallisation 1, ouverture de l'inter-métal et métallisation 2) pour dessiner des ponts plus courts. En effet, des ponts d'une longueur de 4mm ne sont pas indispensables à notre application ; il suffirait de faire des ponts courts, juste au dessus des lignes de première métallisation où le contact n'est pas désiré. Cela permettrait de diminuer l'épaisseur d'aluminium en deuxième métallisation, car faire un pont de 4microns d'épaisseur sur 4mm de longueur revient à construire un pont d'une longueur d'1km avec une épaisseur d'1m.

D'autres solutions peuvent être envisagées pour la résolution du problème de double métallisation. On peut penser à l'utilisation d'une résine SOG qui est une résine ne fondant pas sous l'effet d'un courant. La fonction de cette résine n'est pas limitée à la photolithographie ; elle est surtout utilisée comme isolant. Le problème en utilisant ce genre de résine est son coût très élevé.

Une autre solution serait d'utiliser une couche de protection de la première métallisation en silicium microcristallin fortement dopé. Le microcristallin serait choisi car, contrairement au polysilicium, la température de dépôt est inférieure à 200°C, ce qui éviterait d'abîmer la

couche d'aluminium en première métallisation. Après dépôt puis gravure de l'intermétal (nitrure de silicium ou oxyde de silicium) la couche de silicium microcristallin serait gravée, avant le second dépôt de métal. Cette méthode empêcherait la formation de toute interface entre les deux couches de métallisation grâce au silicium protecteur.

5. Conclusion

Ce chapitre résume les principaux résultats de la caractérisation des TFTs du microsystème pour les différents procédés. Les caractéristiques de transfert ainsi que les paramètres résultant de chacun des procédés ont été étudiés.

A partir de ces caractéristiques, un traitement thermique a été appliqué à certaines plaques améliorant les performances de certaines, et aggravant le cas d'autres confirmant l'explication de l'échec.

Ce chapitre a aussi permis de mettre en évidence que la meilleure méthode de double métallisation est la réalisation de ponts pour une isolation en air. Néanmoins, pour optimiser les résultats, un nouveau jeu de masque doit être conçu incluant les deux masques de métallisation ainsi que l'ouverture de l'intermétal. Ceci dans le but de diminuer au maximum les longueurs de pont, et d'augmenter le nombre de vias par interconnexion afin de maximiser les chances d'ouverture.

Les autres solutions envisagées pour la résolution du problème de double métallisation sont la résine SOG, mais dont le coût est élevé, ou l'utilisation d'une couche de protection de la première métallisation en silicium microcristallin fortement dopé.

CONCLUSION ET PERSPECTIVES

Le but de ce projet était de réaliser une double métallisation en technologie couches minces à basse température sur un microsystème intégrant un capteur magnétique et son électronique de conditionnement sur un même substrat.

Ce travail nécessitait d'introduire des notions en microélectronique et en technologie basse température. Par conséquent, la première partie de ce rapport a été dédiée à la présentation du silicium polycristallin et des différents procédés dits « salle blanche ».

Le microsystème sur lequel se base cette étude est parmi les premiers systèmes complexes faits à basse température. Cette étude s'inscrivant donc parfaitement dans la thématique de recherche actuelle, il a été utile de faire un bref historique des dispositifs réalisés en poly-Si. En effet, avant le projet de thèse d'E. Jacques [1], des dispositifs simples comme des inverseurs puis des TFTs Hall avaient pu être développés en technologie basse température. Néanmoins, les performances du capteur de position restaient assez faibles. L'étude menée [1] constituait la suite logique du développement de circuits intégrés à basse température, en étudiant la possibilité de réalisation d'un système complexe. Dans un même temps, elle permettait l'étude complémentaire du capteur de position, en l'associant à un amplificateur différentiel sans risque d'introduction de bruits.

La deuxième section, quant à elle, résume le procédé de fabrication de chacune des deux parties du microsystème. Jusqu'au 6ème masque, les deux éléments (le capteur et l'amplificateur différentiel) restent isolés l'un de l'autre. Pour que le microsystème soit achevé, il est indispensable d'effectuer une seconde métallisation afin de connecter les éléments, emprisonnés dans l'électronique de conditionnement, au capteur à effet Hall. Pour réaliser cette double métallisation, quatre conditions ont été proposées et testées. Ces conditions résultent de la modification du métal de première métallisation ou du procédé de dépôt de l'inter-métal.

Les résultats ont montré qu'un recuit de guérison sous forming gaz pouvait considérablement améliorer les performances des microsystèmes réalisés grâce à un inter-métal en oxyde pulvérisé. Ces transistors présentent même les performances les plus proches des caractéristiques typiques. Il a aussi été remarqué que la stabilité de ces transistors était

quasi-totale. Néanmoins, le faible rendement observé n'en fait pas une solution pouvant être retenue. Les conditions de métallisation en Chrome et d'intermetal en nitrure d'aluminium n'ont pas été concluantes, un isolant s'étant formé dans les deux cas (respectivement un oxyde de chrome et du nitrure d'aluminium).

D'après ces mêmes résultats, la solution la plus prometteuse est celle de l'inter-métal en air. Les performances des microsystèmes réalisés avec ce type de double métallisation sont tout à fait acceptables. De plus, ceux-ci présentent le plus grand taux de réussite. Néanmoins, plusieurs voies pourraient être envisagées afin d'améliorer les résultats obtenus. En effet, la mise au point d'un nouveau jeu de masques remplaçant les 3 derniers (métal 1, inter-métal et métal 2) par des motifs de vias plus grands ou plus nombreux (pour une même interconnexion) augmenterait les chances d'ouverture. Il serait aussi utile de diminuer la longueur des ponts pour avoir une structure plus solide, et plus économique.

On peut aussi penser à d'autres types de double métallisation, comme l'utilisation d'une résine SOG, ou le dépôt d'une couche sacrificielle de silicium fortement dopé pour protéger l'aluminium (de la première métallisation) du dépôt d'oxyde, ou de nitrure de silicium, en intermétal. Cette dernière méthode serait applicable grâce à une technologie très basse température, en déposant une couche de silicium microcristalin (<200°C) pour ne pas endommager la couche d'aluminium.

Les air gaps ou ponts suspendus sont utilisés depuis quelque temps pour la réalisation de switches ou de deuxième métallisation pour les circuits micro-ondes par exemple. Cependant, les structures suspendues déjà réalisées sont d'une longueur typique de 20 à 200microns. Même si des études ont prouvé qu'il était possible de réaliser des ponts de 500µm de long, il n'avait jamais été démontré que des longueurs de plusieurs millimètres pourraient tenir mécaniquement sans sticker. Durant la réalisation de ce projet, nous avons réussi à réaliser des ponts de 4mm de longueur, soit **8 fois plus longs** que les structures les plus longues. Cette prouesse technologique ouvre la voie à la possibilité de créer des microsystèmes à ponts suspendus beaucoup plus longs, autrefois limités par la longueur de la seconde métallisation.

REFERENCES :

- [1] **E. Jacques**
« Microsystème et capteur intégrés en technologie couches minces basse température », Thèse de doctorat, Université de Rennes 1, 2008.
- [2] **Fabin Qiu, Woosuck Shin, Masahiko Matsumiya, Noriya Izu, Ichiro Matsubara, Norimitsu Murayama,**
« Miniaturization of thermoelectric hydrogen sensor prepared on glass substrate with low-temperature crystallized SiGe film », Sensors and Actuators B 103, p. 252–259, 2004
- [3] **M. Suche, N. Katsarakis, S. Christoulakis, S. Nikolopoulou, G. Kiriakidis,**
“Low temperature indium oxide gas sensors”, Sensors and Actuators B 118, p. 135–141, 2006
- [4] **S. Wang, Y. Zhao, J. Huang, Y. Wang, S. Wu, S. Zhang, W. Huang**
“Low-temperature carbon monoxide gas sensors based gold/tin dioxide”, Solid-State Electronics 50, p. 1728–1731, 2006
- [5] **H. Mathieu**
"Physique des semiconducteurs et des composants électroniques" Editions Masson, 1996.
- [6] **P. Chabloz**
“Les couches épaisses en silicium amorphe, application comme détecteurs à rayon X.”, Thèse de doctorat, Ecole polytechnique fédérale de Lausanne, 1996
- [7] **R. Rogel**
“Étude de la faisabilité de diodes PIN par dépôts LPCVD sur substrats de verre en vue d'applications photovoltaïques”, Thèse de doctorat, Université de Rennes 1, 2001
- [8] **M.E. Cowher and T.O. Sedgwick**
"Chemical vapor deposited polycrystalline silicon", J. Electrochem. Soc., vol. 119, p. 1565, 1972.
- [9] **T.I. Kamins**
"Hall mobility in chemically deposited polycrystalline silicon", J. Appl. Phys., vol. 42(11), p. 4357, 1971.

- [10] **J.Y. Seto**
"The electrical properties of polycrystalline silicon films", J. Appl. Phys., vol. 46(12), p. 5247, 1975.
- [11] **G. Baccarani, B. Ricco and G. Spadini**
"Transport properties of polycrystalline silicon films", J. Appl. Phys., vol. 49(11), p. 5565, 1978.
- [12] **M.M. Mandurah, K.C. Saraswat, T.I. Kamins**
"A model for conduction in polycrystalline silicon. Part I: Theory", IEEE Trans. Elec. Devices, vol. ED-28(10), p. 1163, 1981.
- [13] **G. GAUTIER**
"Conception, réalisation et mise au point d'une technologie CMOS en transistors couches minces sur substrat de verre », Thèse de doctorat, Université de Rennes 1, 2002
- [14] **J. Mesplède, C. Saluzzo**
« 100 manipulations de chimie organique et inorganique », Editions Bréal, 287 p., 2004
- [15] **K. Peter, C. Vollhardt, Neil E. Schore**
« Traité de chimie organique », Edition: 4, Publié par De Boeck Université, 1334p. 2004
- [16] <http://www.wikipedia.org>
- [17] <http://www.cuivre.org>
- [18] <http://www.ampere.cnrs.fr>
- [19] **J. Mesplède, J. Randon**
"100 manipulations de chimie: Générale et analytique", Editions Bréal, 249p., 2004
- [20] **Olivier Bonnaud**
<http://www.microelectronique.univ-rennes1.fr>
- [21] <http://www.iness.c-strasbourg.fr>
- [22] <http://www.eudil.fr>
- [23] <http://www.femto-st.fr>
- [24] **A. Gaillard, T. Mohammed-Brahim, R. Rogel, S. Crand, C. Prat, P. Leroy**
"Uniformity of AM-OLED Pixels Circuits Using as-Deposited Polysilicon TFTs Improved by Slicing Effect.", IDW, Japan, 2004
- [25] <http://www.techno-science.net>

- [26] **Chester Li**
"A physical poly-silicon thin film transistor (TFT) model for circuit simulation"
Memorandum No. UCBERL M93/82, University of California, Berkeley 22
November 1993
- [27] **Dewill Chung, Byong-Deok Choi, Sang-Gyu Park**
"A New Model for Kink-Effect in Poly-Silicon Thin-Film Transistors", Div. of
Electronics and Computer Engineering, Hanyang University, Seoul, Korea, 133-791
- [28] **Patrick Abati**
<http://www.stielec.ac-aix-marseille.fr>
- [29] **R.S. Popovic, Z. Randjelovic, D. Manic,**
"Integrated Hall-effect magnetic sensors", Sensors and Actuators A 91 46-50, 2001
- [30] **R.C. Gallagher, W.S. Corak,**
"A metal-oxyde-semiconductor (MOS) Hall element", Solid State Electronics 9 571-
580, 1966
- [31] **H.M. Yang, Y.C. Huang, T.F. Lei, C.L. Less, S.C. Chao,**
"High-resolution magnetic sensor with thin oxide in standard submicron CMOS
process", Sensors and Actuators A, vol. 57, pp. 9-13, 1996
- [32] **F. Le Bihan**
"Etude des mobilités de conductivité et de Hall dans des couches minces et des
transistors en silicium polycristallin faiblement dopé in-situ", Thèse de doctorat,
Université de Rennes 1, 1995
- [33] **E. Carvou**
"Réalisation et Caractérisation de structures intégrées en technologie BCD et de
micro-capteurs de position magnétiques réalisés à partir de couches de silicium
polycristallin dopées in-situ.", Thèse de doctorat, Université de Rennes 1, 2003.
- [34] **Bernard Legrand**
"Les microsystemes"
<http://www.oban.isen.fr>
- [35] **A. Bilotti, G. Monreal, and R. Vig**
"Monolithic Magnetic Hall Sensor Using Dynamic Quadrature Offset Cancellation",
IEEE J. Solid State Circuits, Vol. 32 (6), 1997

- [36] **P. Quintana, A.I. Oliva, J.E. Corona, D.H. Aguilar, P. Bartolo-Perez and M. Aguilar**
"Induced effects by DC electrical current cycling on aluminum thin films", Surface & Coating Technology, vol. 195, pp. 314-319, 2005
- [37] **L.P.H. Jeurgens, W.G. Sloof, F.D. Tichelaar and E.J. Mittemeijer**
"Structure and morphology of aluminium-oxide films formed by thermal oxidation of aluminium", Thin Solid Films, vol. 418, pp.89-101, 2002
- [38] **M. Garcia-Mendez, N. Valles-Villarreal, G.A. Hirata-Flores and M.H. Farias**
"Study of thermal diffusion between AL₂O₃ and Al thin films", Applied Surface Science, vol. 151, pp. 139-147, 1999
- [39] **J. D. Plummer, M.D. Deal, P. B. Griffin**
"Silicon VLSI Technology: Fundamentals, Practice and Modeling"; Prentice Hall:Englewood Cliffs, NJ, 2000.
- [40] **O. Brand**
"Fabrication Technology", School of Electrical and Computer Engineering, Georgia Institute of Technology, Atlanta, GA, USA
- [41] **Peter K uecher**
"integrated semi-conductor circuit comprising at least two metallization levels composed of aluminium or aluminium compounds and a method for the manufacture", Regensburg, Fed. Rep. of Germany, 8 mai 1990
- [42] **Michel LERME**
"Multi Layer Metallization", LETI CEA Grenoble
- [43] **Bin Zhao (Irvine, California), Prahalad K. Vasudev (Austin, Texas), Ronald S. Horwath (Santa Clara), Thomas E. Seidel (Sunnyval, both of California), Peter M. Zeitzoff (Austin, Texas)**
"method of making a dual damascene interconnect structure using low dielectric constant material for an inter-level dielectric layer", 8 Aout 2000
- [44] **A. Hierlemann, D. Lange, C. Hagleitner, N. Kerness, A. Koll, O. Brand, H. Baltes**
"Application-specific sensor systems based on CMOS chemical microsensors," Sensors and Actuators B 2000, 70, 2–11.
- [45] **V. Salem, N. Leroy**
"Les microprocesseurs", DEUG MAIS 2, universit  de La Nouvelle Cal donie, Juin 2000

[46] Frédéric Gaffiot,

«De la microélectronique au nanomonde : 35 ans de recherche en électronique à l'École Centrale de Lyon», mis à jour le : 01/12/2008,

<http://histoire.ec-lyon.fr/index.php?id=641>.

[47] C.Algani

"Technologie des circuits intégrés"; chapitre 7

ANNEXE 1 :

TECHNIQUES DE CRISTALLISATION DU SILICIUM

Un objectif important de la cristallisation est d'obtenir un matériau dont les caractéristiques se rapprochent le plus de celles du silicium monocristallin. Le principe de la cristallisation du silicium amorphe consiste à fournir suffisamment d'énergie aux atomes de la couche déposée de manière à ce qu'ils puissent s'arranger selon le réseau cristallin du silicium. En fonction des contraintes liées à la température du procédé de fabrication, à l'uniformité de la cristallisation ou aux performances souhaitées, deux modes de cristallisation sont accessibles. Le premier est la cristallisation en phase solide et le second est la cristallisation en phase liquide.

1. Cristallisation en phase solide

Dans cette technique, l'arrangement des atomes a lieu en phase solide. Cet arrangement, ainsi contraint, induit des grains très défectueux. Les possibilités de réduire la quantité de ces défauts consistent soit en une amélioration du matériau de départ, soit en travaillant à plus haute température, soit en utilisant des catalyseurs de cristallisation comme certains métaux.

1.1. Recuit thermique classique

Cette technique, appelée SPC (Solid Phase Crystallization), est la technique la plus étudiée. Elle présente l'avantage de pouvoir traiter un grand nombre de substrats en même temps. En technologie « basse température », les substrats sont placés dans un four à des températures allant de 550°C à 650°C pendant une période allant de quelques minutes à quelques heures suivant la température et le type de silicium amorphe de départ. La taille des grains obtenus est nettement plus importante que dans les couches déposées directement polycristallines. Des travaux effectués à l'IETR ont en outre confirmé l'importance du silicium amorphe de départ dans la qualité du produit final. Il existe de nombreux résultats concernant les TFTs réalisés à partir de couches de silicium polycristallin obtenues par cette technique de cristallisation.

Les structures de type bicouche consistent en un dépôt d'une couche non dopée déposée amorphe puis post-cristallisée, suivie d'une étape de photolithographie et d'une gravure pour isoler les transistors. Le substrat est ensuite remis dans le réacteur pour le dépôt de la deuxième couche dopée qui sera utilisée pour définir les zones de source et de drain. Les transistors de type N réalisés à partir de ces couches présentent une mobilité d'effet de champ de l'ordre de $60 \text{ cm}^2/\text{V.s}$.

Les structures de type monocouche consistent en un dépôt successif des couches de silicium non dopé et dopé sans interruption du dépôt, uniquement en ouvrant la vanne du gaz dopant à la fin du dépôt de la couche non dopée. Les transistors de type N ainsi réalisés présentent une mobilité d'effet de champ de l'ordre de $100 \text{ cm}^2/\text{V.s}$.

1.2. Recuit thermique rapide (RTA)

Cette technique est utilisée pour diminuer la durée de cristallisation des couches. Son principe consiste à illuminer la couche de silicium à l'aide d'une lampe halogène pendant environ une minute. Le silicium est ainsi porté à une température supérieure ($700\text{-}800 \text{ }^\circ\text{C}$) à celle employée lors du recuit SPC.

Les TFTs de type N réalisés à partir de cette technique de cristallisation présentent des caractéristiques moins bonnes que celles du SPC. Les mobilités d'électrons sont comprises entre 25 et $28 \text{ cm}^2/\text{V.s}$ [36].

1.3. Recuit assisté par un métal (MILC)

Cette technique de cristallisation est la plus récente des techniques utilisées pour cristalliser le silicium. Le principe est le suivant : une fine couche métallique (Ni, Al,..) est déposée sur une couche de silicium amorphe. L'ensemble subit alors un recuit SPC de plusieurs heures induisant une diffusion des atomes de métal dans la couche de silicium amorphe et une cristallisation anisotropique de cette dernière. Cette technique présente l'avantage de diminuer la température de cristallisation ($500 \text{ }^\circ\text{C}$) et d'obtenir des grains plus larges que ceux obtenus par un recuit classique SPC. Les vitesses de cristallisation latérales peuvent atteindre plusieurs micromètres par heure. L'application d'un champ électrique pendant la cristallisation peut augmenter la vitesse de cristallisation jusqu'à $20 \mu\text{m/h}$ pour un champ électrique de l'ordre de 50 V/cm .

Les transistors de type N réalisés à partir de cette technique de cristallisation présentent des mobilités d'électrons de l'ordre de $110 \text{ cm}^2/\text{V.s}$, soit du même ordre que la mobilité des transistors SPC monocouche. L'inconvénient majeur de cette technique est la présence

d'atomes de nickel dans la couche de silicium, responsables en partie d'un courant important à l'état bloquant.

2. Cristallisation en phase liquide

La technique de cristallisation par laser a été largement étudiée depuis que le silicium polycristallin s'est placé en candidat potentiel dans la réalisation de transistors destinés aux écrans plats à matrice active. Elle offre la possibilité de cristalliser une couche rapidement en passant par la phase liquide, et présente l'avantage d'être compatible avec l'utilisation des substrats de verre. Les lasers les plus utilisés pour cristalliser le silicium amorphe sont les lasers à gaz (excimer) ou les lasers solides.

Le laser à excimer appartient à la famille des lasers à gaz. Le mot excimer est une combinaison de deux mots: *excited* (excité) et *dimer*, mot le plus souvent employé pour désigner des molécules diatomiques. Les molécules les plus courantes sont ArF, KrF et XeCl qui induisent des émissions ultraviolettes respectivement à 193nm, 248nm et 308nm.

L'intérêt de ces lasers réside dans la forte absorption du silicium amorphe aux longueurs d'onde considérées. L'énergie fournie par le laser ne pénètre pas très profondément dans la couche ($\alpha^{-1} \approx 50 \text{ \AA}$). Seule la couche superficielle est ainsi fondue. La fusion du reste de la couche est induite uniquement par la diffusion de la chaleur provenant de la surface. La durée très courte de l'impulsion laser (20 à 200 ns), associée à un contrôle rigoureux de l'énergie imposée, préserve le substrat qui n'est que très peu chauffé. Cependant, ils constituent une sérieuse limitation à l'obtention de grands grains du fait du très court temps de refroidissement. Une mobilité de $329 \text{ cm}^2/\text{V.s}$ a été obtenue sur des TFTs de type N fabriqués à partir de couches cristallisées par un laser excimer KrF. En utilisant un laser excimer XeCl de grande surface développé par la société SOPRA, des mobilités de $170 \text{ cm}^2/\text{V.s}$ ont pu être obtenues. D'autres ont repris la méthode de Sposili (SLS) et ont trouvé des mobilités supérieures à $460 \text{ cm}^2/\text{V.s}$.

La cristallisation du silicium amorphe est une étape importante dans le procédé de fabrication des transistors couches minces en silicium polycristallin. Elle détermine la qualité cristalline du canal et des zones source et drain. Le canal est un des éléments essentiels du transistor et la technique employée détermine ses performances électriques ainsi que l'uniformité de ces performances d'un transistor à l'autre. Dans le cas de notre étude, le recuit SPC est privilégié car la réalisation d'un dispositif analogique nécessite une uniformité accrue des paramètres électriques des TFTs.

ANNEXE 2 :

DESCRIPTION DES MASQUES POUR LA REALISATION DU MICROSYSTEME

1. Structure des masques

Les six masques se présentent sous forme de plaques de verre de format quatre pouces (environ $100 \times 100 \text{ mm}^2$) où les motifs sont définis par une couche de chrome de quelques dixièmes de microns traitée antireflet. Chaque masque se décompose en deux zones (voir figure A.2.1).

A) Les motifs répétitifs dits "motifs principaux".

B) Un motif destiné aux différents tests de gravure et au préalignement.

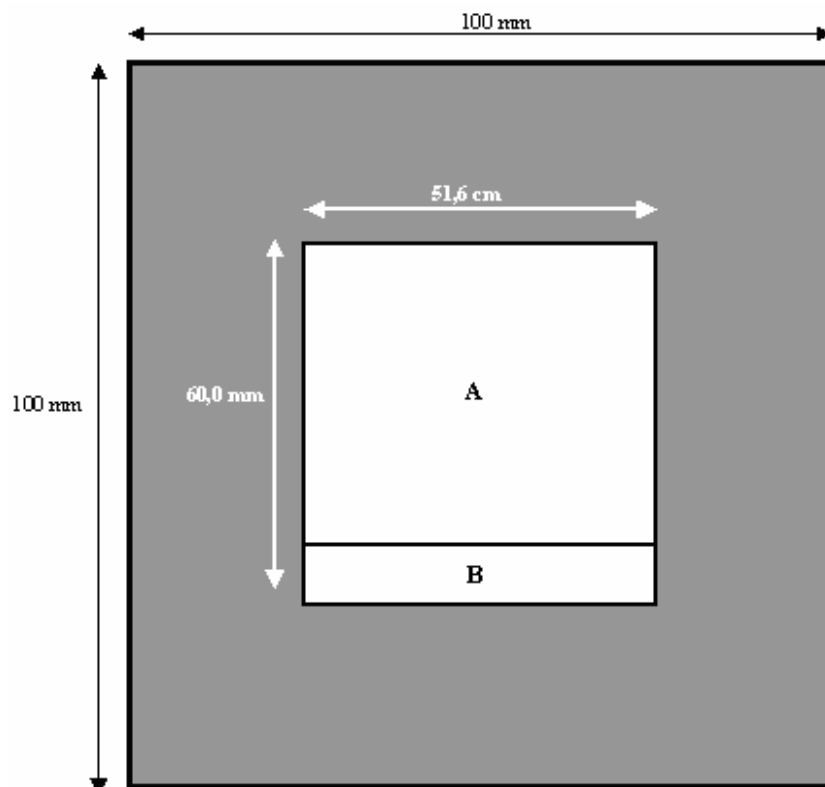


Figure A.2.1 : Différentes zones des masques

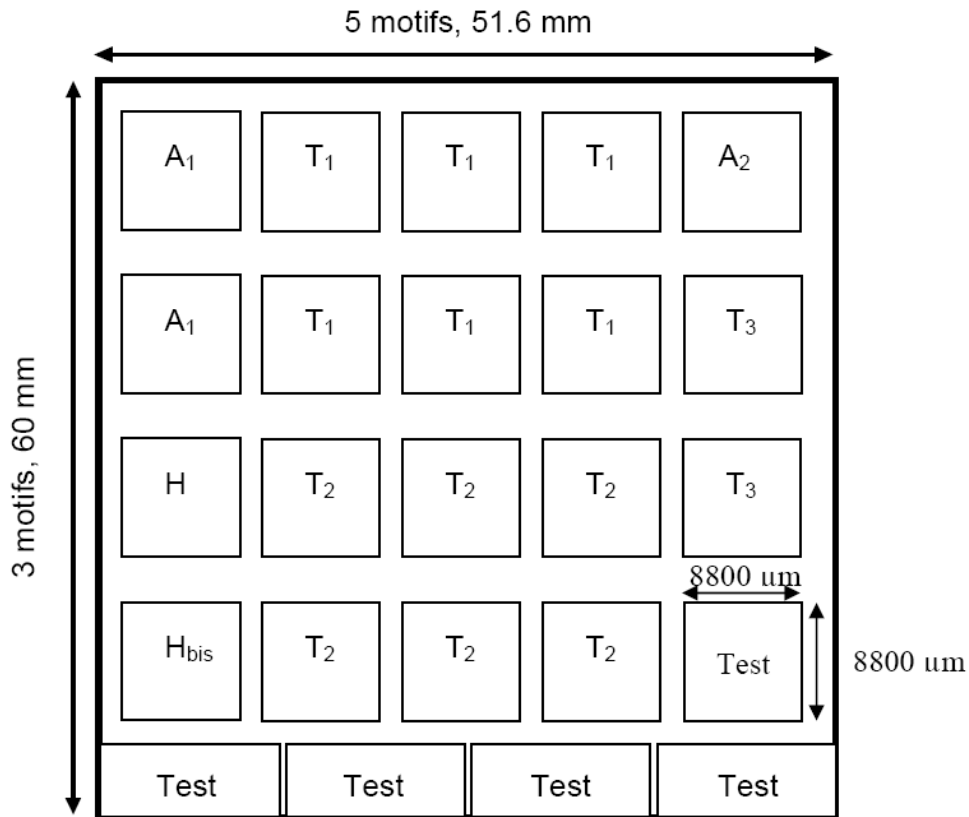


Figure A.2.2 : Plan général du masque

Cellule T1 : 4X (1 TFT Hall + amplificateur différentiel)

Cellule T2 : 4X (1 TFT Hall + amplificateur différentiel + 1 étage)

Cellule A1 : 4X (2 TFTs Hall en quadrature + amplificateur différentiel)

Cellule A2 : 4X (1 TFT Hall classique + 1 TFT Hall passivé + amplificateur différentiel)

Cellule H : 8 TFTs Hall avec différentes dimensions W/L

Cellule H_{bis} : 8 TFTs Hall avec différentes dimensions W/L avec les contacts de Hall à 0,7xDrain et 0,3xSource

Cellule Test : Motifs de test pour les fins de gravure

2. Structure des cellules

Les cellules présentées sur la figure A.2.2, de dimension $8800 \times 8800 \mu\text{m}^2$, sont conçues sur le même modèle pour faciliter la caractérisation électrique. Les plots de mesure sont de dimensions $800 \mu\text{m} \times 800 \mu\text{m}$. L’empreinte des plots de test est fixée pour être adaptée à la carte à pointes utilisée pour la caractérisation et est de la forme présentée sur la figure A.2.3.

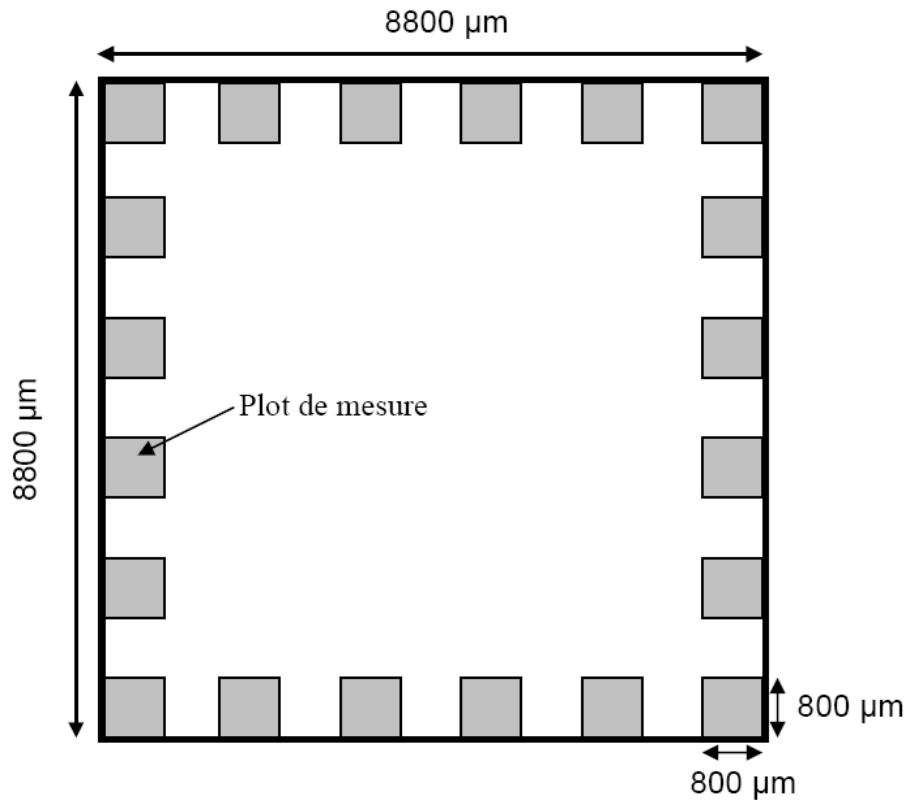


Figure A.2.3: Organisation des plots de mesure

3. Détails des masques

Les masques, au nombre de 8, correspondent à la description suivante :

Masques îlot N et îlot P : masquage de la partie N ou P,

Masque Nid : définition des zones actives des transistors de type N et de type P,

Masque Dopé : définition simultanée des zones dopées de type N et P,

Masque Ouverture d'oxyde : ouverture des contacts dans l'oxyde de grille,

Masque Métal 1 : définition du premier niveau de métallisation,

Masque Intermétal : définition de la prise de contact entre métal 1 et métal 2,

Masque Métal 2 : définition du deuxième niveau de métal.