

9/88

وزارة التعليم و البحث العلمي

MINISTÈRE DE L'ENSEIGNEMENT ET DE LA RECHERCHE SCIENTIFIQUE

ÉCOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT

D'ELECTRONIQUE



PROJET DE FIN D'ETUDES

S U J E T

CONCEPTION ET REALISATION D'UNE CARTE D'INTERFACE
POUR UN SPECTROMETRE RMN
SUR UN MICRO-ORDINATEUR COMPATIBLE IBM PC

Proposé par :
Dr R. PUVVADA

Etudié par :
A. BOUZIT
R. HINI

Dirigé par :
Dr R. PUVVADA

PROMOTION : Janvier 1988

- A mes parents.
- A ma femme.
- A mon fils.

Rachid

- A mes parents.
- A mes grands-parents.
- A mes frères et soeurs.

Abdel-karim



Nous remercions :

Monsieur le Dr Puvvada, notre promoteur, d'avoir tout au long du semestre, dirigé et orienté notre travail.

Monsieur le Dr Ahn, de l'USTHB, pour les précieuses informations qu'il a eu la gentillesse de nous communiquer.

Monsieur Safsaf du centre de calcul pour tous les services rendus.

Monsieur Mekaoui pour son soutien moral et matériel.

Mademoiselle Tabbi et le personnel de l'ENSI pour l'aide et les conseils qu'ils nous ont prodigués.

Monsieur Rivat du CCU et Monsieur Benali ainsi que toutes les personnes ayant contribué de près ou de loin au bon déroulement de notre projet.

PREAMBULE

Depuis la découverte de la résonance magnétique nucléaire (RMN), le nombre d'applications de ce phénomène n'a fait que croître, tant pour l'étude des solides, des liquides ou des gaz. Mais le domaine où l'essor a été le plus spectaculaire est sans conteste celui de la médecine, avec les techniques récentes d'imageries par RMN qui permettent l'examen interne des organismes vivants, sans exposer le patient à des radiations.

L'outil informatique, permettant l'exploitation rapides des informations recueillies, est largement associé au développement des spectromètres RMN. C'est dans cette optique que nous a été confié la réalisation d'une carte d'interface entre un spectromètre RMN et un micro-ordinateur compatible IBM PC (AMSTRAD 1512 à microprocesseur 8086 d'horloge 8 MHz).

Le premier chapitre de notre travail sera consacré à une introduction succincte à la RMN; dans le second nous détaillerons l'étude de la carte; enfin dans un dernier chapitre et pour illustrer son fonctionnement nous donnerons l'organigramme et le programme de calcul du temps de relaxation spin-réseau T_1 .

SOMMAIRE

	Page
Préambule.....	1
Chapitre I : INTRODUCTION A LA RMN	
I.1 : Magnétisme nucléaire	3
I.2 : Phénomène de précession.....	3
I.3 : Phénomène de relaxation.....	4
I.4 : La résonance magnétique nucléaire.....	5
I.5 : Méthode de mesure des temps de relaxation...	7
I.6 : Le spectromètre RMN.....	9
Chapitre II : ETUDE ET REALISATION DE LA CARTE D'INTERFACE	
II.1 : Introduction.....	13
II.2 : Interfaçage de l'AMSTRAD PC 1512.....	15
II.3 : Le PPI 8255 d'INTEL.....	24
II.4 : Adressage de la carte.....	30
II.5 : Le convertisseur analogique-numérique.....	33
II.6 : L'échantillonneur-bloqueur.....	33
II.7 : L'étage de sortie.....	34
II.9 : Fonctionnement de la carte.....	35
Chapitre III : ORGANIGRAMMES ET PROGRAMMES	
Conclusion.....	44
ANNEXE.....	45
Bibliographie.....	54

CHAPITRE I

INTRODUCTION A

LA RMN

CHAPITRE I : INTRODUCTION A LA RMN

I.1 MAGNETISME NUCLEAIRE

Tout comme les électrons, certains noyaux atomiques sont animés d'un mouvement de rotation sur eux même que l'on désigne par le terme de spin nucléaire : ce dernier est la source des propriétés magnétiques du noyau, exploitées par la RMN. Cette rotation du noyau sur lui même engendre deux moments colinéaires :

- un moment cinétique de spin $\vec{\sigma}$
- un moment magnétique de spin $\vec{\mu}$

Ils sont liés par la relation :

$$\vec{\mu} = \gamma \cdot \vec{\sigma} \quad (1)$$

le nombre γ , constant pour chaque type de noyau, est appelé rapport gyromagnétique.

I.2 PHENOMENE DE PRECESSION

Sous l'action d'un champ magnétique extérieur uniforme \vec{H}_0 , un noyau possédant un moment magnétique $\vec{\mu}$ est soumis à des forces dont le couple résultant \vec{T} , est :

$$\vec{T} = \vec{\mu} \wedge \vec{H}_0 \quad (2)$$

Le théorème du moment cinétique appliqué au noyau s'écrit :

$$d\vec{\sigma}/dt = \vec{T} \quad (3)$$

ou encore :

$$d\vec{\sigma}/dt = \vec{\mu} \wedge \vec{H}_0$$

En introduisant la relation (1) nous avons :

$$d\vec{\mu}/dt = \gamma \cdot \vec{\mu} \wedge \vec{H}_0$$

$$d\vec{\mu}/dt = -\gamma \cdot \vec{H}_0 \wedge \vec{\mu}$$

En posant $\vec{\omega}_0 = -\gamma \cdot \vec{H}_0$ nous obtenons finalement :

$$d\vec{\mu}/dt = \vec{\omega}_0 \wedge \vec{\mu} \quad (4)$$

c'est l'équation de BLOCK

Dans la pratique on raisonne sur un grand nombre de noyaux de la même espèce et au lieu de parler de moment magnétique, on parle d'aimantation \vec{M} qui est la somme des moments magnétiques des noyaux par unité de volume .

L'équation (4) s'écrit alors :

$$d\vec{M}/dt = \vec{\omega}_0 \wedge \vec{M} \quad (5)$$

la relation (5) montre que le champ \vec{H}_0 fait subir au vecteur aimantation \vec{M} un mouvement de rotation, à la vitesse angulaire ω_0 , autour de \vec{H}_0

Ce mouvement de rotation est appelé précession de LARMOR et la fréquence $f = \omega_0 / 2\pi$ fréquence de LARMOR .

I.3 PHENOMENE DE RELAXATION

Au bout d'un certain temps, l'aimantation \vec{M} , après avoir précessionné, reprend la direction de \vec{H}_0 . Ce phénomène d'évolution progressive est appelé relaxation.

La composante longitudinale M_z tend vers une valeur finale M_0 . Les composantes transversales M_x et M_y disparaissent (Fig.1.a).

La théorie de BLOCK pour les liquides décrit l'évolution de M_z , M_x , M_y , avec une bonne approximation par les équations suivantes:

$$dM_z/dt = -(M_z - M_0)/T_1$$

$$dM_y/dt = -M_y/T_2$$

$$dM_x/dt = -M_x/T_2$$

où T_1 est le temps de relaxation longitudinal et T_2 le temps de relaxation transversal (Fig. 1.b).

L'énergie de l'aimantation \vec{M} dans le champ \vec{H}_0 est:

$$W = -\vec{M} \cdot \vec{H}_0$$

$$W = -M_z \cdot H_0$$

Lorsque M_z varie, l'énergie varie et s'échange entre l'aimantation \vec{M} et le milieu dans lequel baigne le système de spins; milieu que l'on nomme réseau.

L'allure de ces échanges d'énergie est commandé par T_1 que l'on désigne aussi par temps de relaxation spin-réseau.

Par contre cette énergie n'est nullement affectée par une variation de M_x ou de M_y . L'énergie totale du système de spins reste inchangée et les transferts d'énergie se font uniquement entre les spins, d'où l'appellation pour T_2 de temps de relaxation spin-spin.

La connaissance de T_1 et T_2 est importante en spectrométrie RMN car elle apporte des informations sur l'état du milieu.

1.4 LA RESONNANCE MAGNETIQUE NUCLEAIRE

Nous avons vu précédemment qu'en présence d'un champ extérieur \vec{H}_0 , l'aimantation \vec{M} du système de noyaux était animée d'un mouvement de précession autour de \vec{H}_0 à la vitesse angulaire $\omega = \gamma \cdot H_0$.

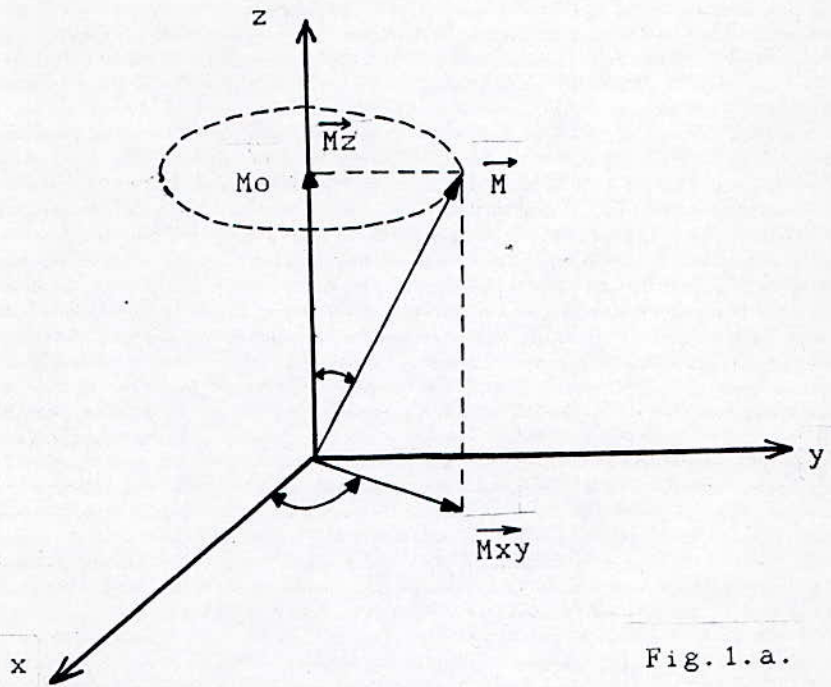


Fig. 1.a.

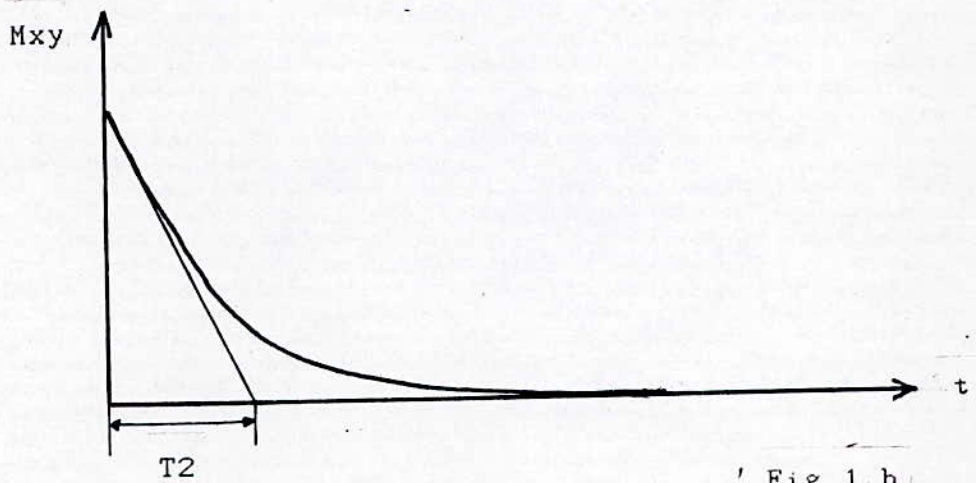
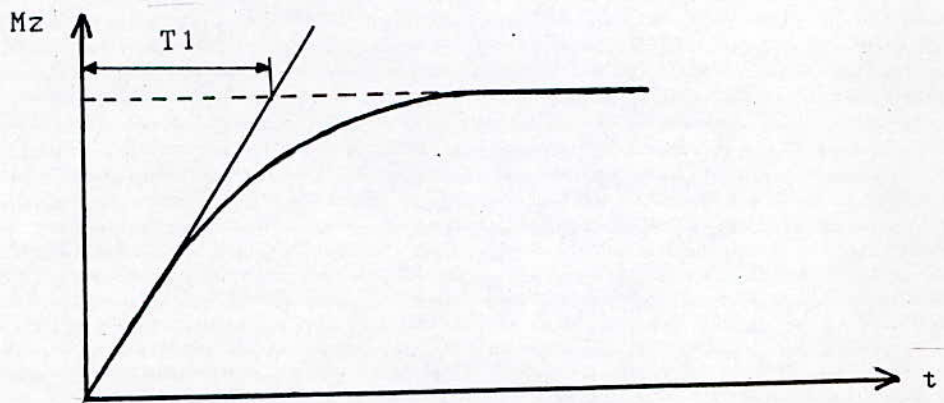


Fig. 1.b

Ce mouvement de précession, normalement amorti par les interactions avec le milieu peut être entretenu par l'application d'un champ \vec{H}_1 , perpendiculaire à \vec{H}_0 et tournant autour de ce dernier avec la pulsation $\omega = \omega_0$: c'est le phénomène de résonance magnétique nucléaire (Fig 1.c).

I.5 MESURE DES TEMPS DE RELAXATION

A. Excitation de \vec{M} par des impulsions radio-fréquence

Dans cette technique on utilise un champ radio-fréquence \vec{H}_1 que l'on applique pendant une certaine durée τ (durée ON), dans une direction perpendiculaire à \vec{H}_0 . Il a pour effet d'éloigner le vecteur aimantation \vec{M} de la direction Oz du champ \vec{H}_0 . Lorsqu'on choisit \vec{H}_1 et τ tels que: $\gamma \cdot H_1 \cdot \tau = \pi/2$, le vecteur \vec{M} se retrouve à la fin de l'impulsion dans le plan Oxy (Fig.1.d). L'impulsion qui provoque un tel basculement de 90 degrés est appelée impulsion $\pi/2$. Quand l'excitation est arrêtée (durée OFF) c'est à dire quand le champ \vec{H}_1 disparaît, l'aimantation \vec{M} revient vers sa position d'équilibre suivant les constantes de temps T1 et T2.

B. Méthode de mesure de T1

Avant l'application du champ \vec{H}_1 le vecteur \vec{M} est colinéaire à \vec{H}_0 . M_z prend alors la valeur maximale M_0 et la composante M_{xy} est nulle. L'arrivée d'une impulsion $\pi/2$ provoque une rotation de 90 degrés du vecteur \vec{M} .

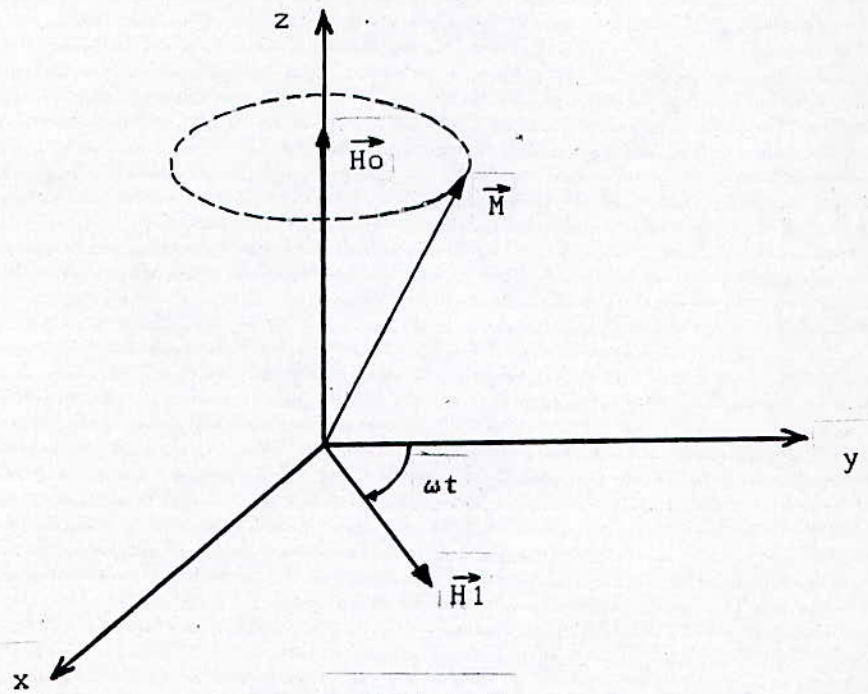


Fig. 1.c

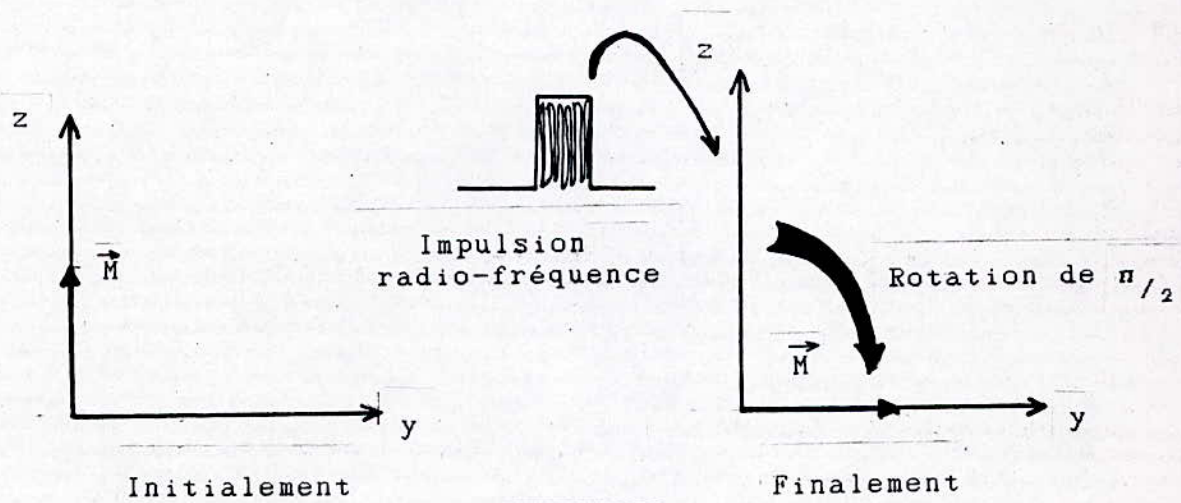


Fig. 1.d

Pendant la durée OFF, \vec{M} tend à revenir à sa position d'équilibre, mais sa composante M_z n'atteindra pas sa valeur initiale M_0 ; la durée OFF a en effet été choisie telle qu'elle empêche une relaxation complète de \vec{M} .

Une deuxième impulsion repositionne \vec{M} dans le plan Oxy, et si on choisit une durée OFF plus longue, M_z atteindra une valeur supérieure à la précédente. L'opération est répétée plusieurs fois et l'évolution de M_z en fonction de T suivra la loi exponentielle d'équation:

$$M_z = M_0(1 - \exp(-T/T_1))$$

T : période du signal impulsionnel

T₁: temps de relaxation spin-réseau

Il suffit alors de reconstituer la courbe de l'équation précédente pour calculer T₁

I.6 LE SPECTROMETRE RMN

Il comprend: (Fig .2)

- un micro-ordinateur
- un système émetteur
- un électro-aimant
- une bobine d'excitation
- un système receptr

Le micro-ordinateur: il a pour rôle de générer des séquences d'impulsions qui pilotent l'oscillateur radio-fréquence (RF) et de traiter le signal RMN

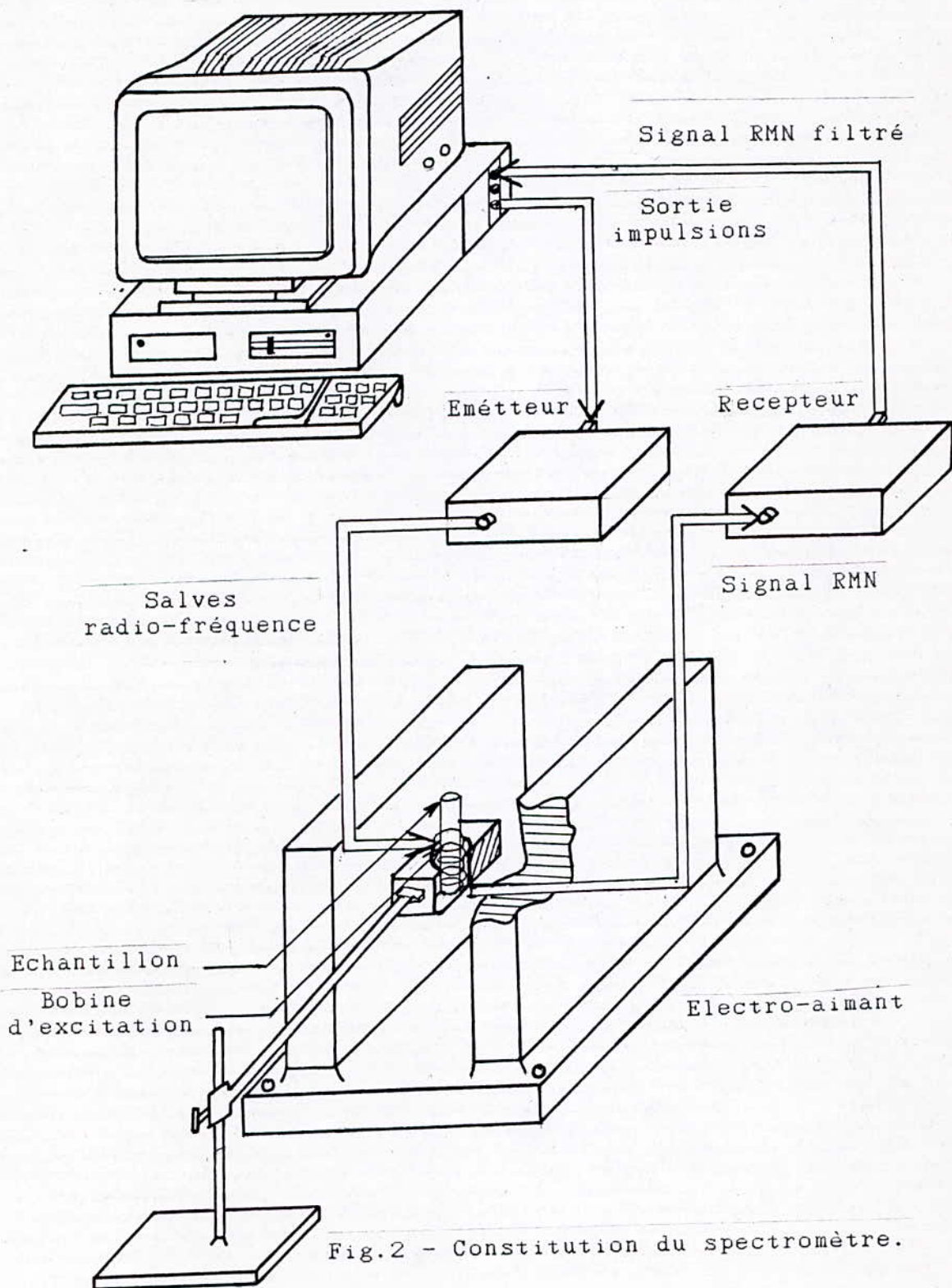


Fig.2 - Constitution du spectrometre.

Le système émetteur: il crée par l'intermédiaire d'un oscillateur RF un signal sinusoïdal excitant les noyaux de l'échantillon à étudier.

L'électro-aimant: c'est lui qui est la source du champ statique \vec{H}_0 .

La bobine d'excitation: alimentée par les salves du signal sinusoïdal, elle crée le champ \vec{H}_1 perpendiculaire à \vec{H}_0 .

Le receptr: il sert à amplifier et à démoduler le signal RMN capté.

CHAPITRE II

ETUDE

ET REALISATION

DE LA CARTE E/S

CHAPITRE II: ETUDE ET REALISATION DE LA CARTE E/S

II.1 INTRODUCTION

Réalisée sur un circuit imprimé aux dimensions normalisées, la carte sera insérée sur un des " SLOTS " vacant du micro-ordinateur.

elle assurera deux fonctions: (Fig.1)

- Génération des séquences d'impulsions pilotant l'oscillateur radio-fréquence du spectromètre RMN.
- Acquisition du signal analogique issu du spectromètre RMN.

Génération :

Un interface de périphérique programmable (PPI), délivrera des impulsions de commandes de l'émetteur radio-fréquence.

Acquisition :

Selon la nature des échantillons étudiés, le signal RMN peut présenter des vitesses de variation importantes. Il est dès lors préférable d'introduire au début de la chaîne d'acquisition un échantillonneur-bloqueur (E/B). Il est suivi d'un convertisseur analogique-numérique (CAN) dont les sorties digitales attaquent l'un des ports parallèles du PPI. La jonction de ce dernier avec le micro-ordinateur se fait par le bus d'extension.

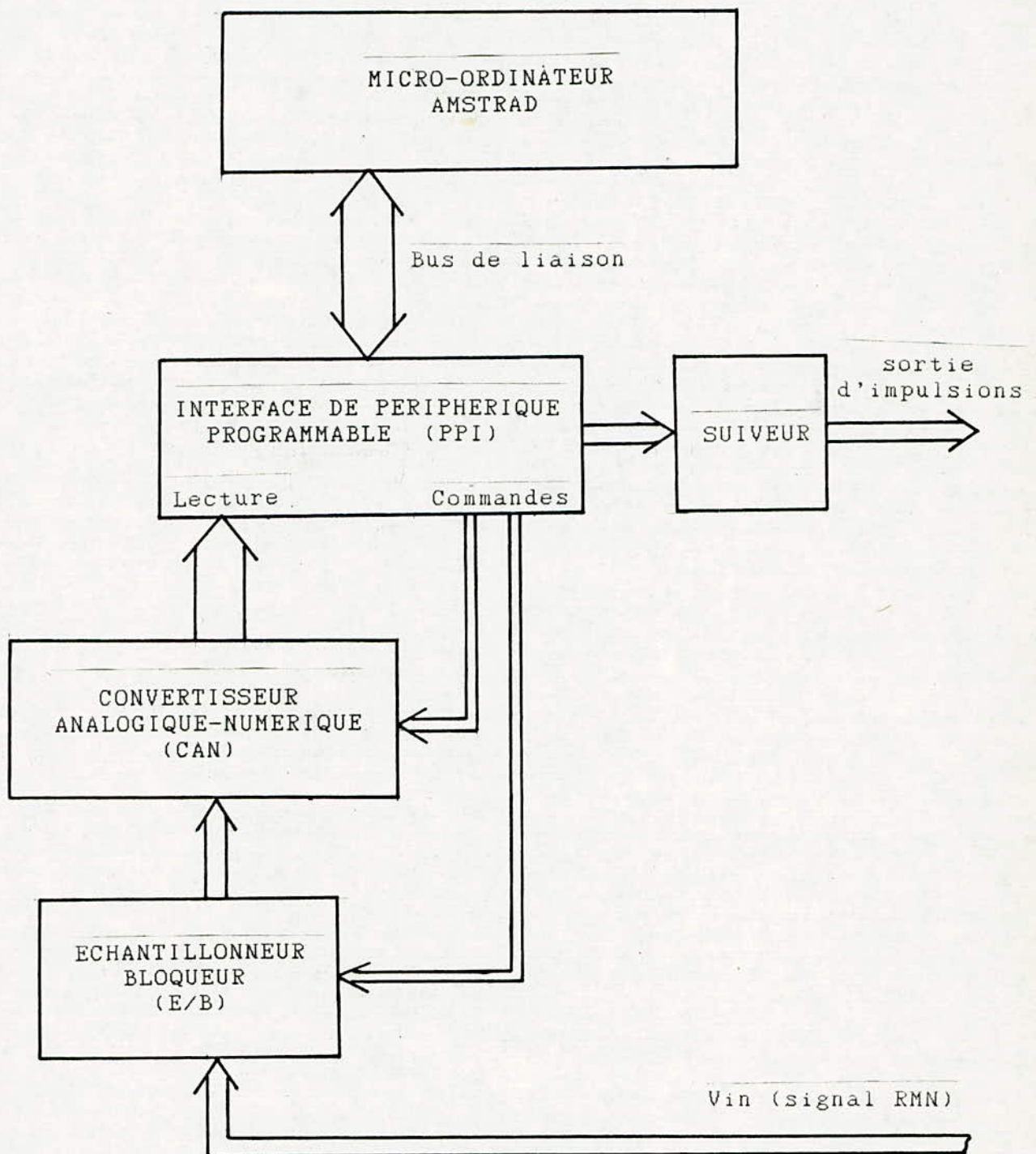


Fig.1 - Synoptique de la carte.

Le contrôle et la conduite des opérations d'échantillonnage, blocage et de conversion, s'effectuent toujours via le PPI.

Quant au traitement des données numériques, il est bien sûr dévolu au micro-ordinateur.

II.2 INTERFACAGE DE L'AMSTRAD PC 1512

A. Le microprocesseur 8086 D'INTEL

a. Généralités et architecture:

Ce microprocesseur se présente dans un boîtier de 40 broches, alimenté par une seule source de tension. Selon les versions il peut travailler à 5 , 8 ou 10 MHZ; ses caractéristiques générales sont :

- un bus de données de 16 bits
- un bus d'adresses de 20 bits

Précisons que pour économiser des broches, INTEL a multiplé ces deux bus.

- Deux modes de fonctionnement: le mode minimum et le mode maximum, ce dernier étant destiné à un environnement multiprocesseur.

- Deux structures d'E/S possibles: une structure E/S par instructions E/S, et une structure E/S par instructions mémoires. Ces deux types de structures sont un point fort du 8086.

- Quatre espaces adressables séparés : programme, données, pile, données supplémentaires.

- 14 registres internes de 16 bits répartis en 4 groupes: les registres généraux, les registres d'index et pointeurs, les registres de segment, le registre indicateur d'état.

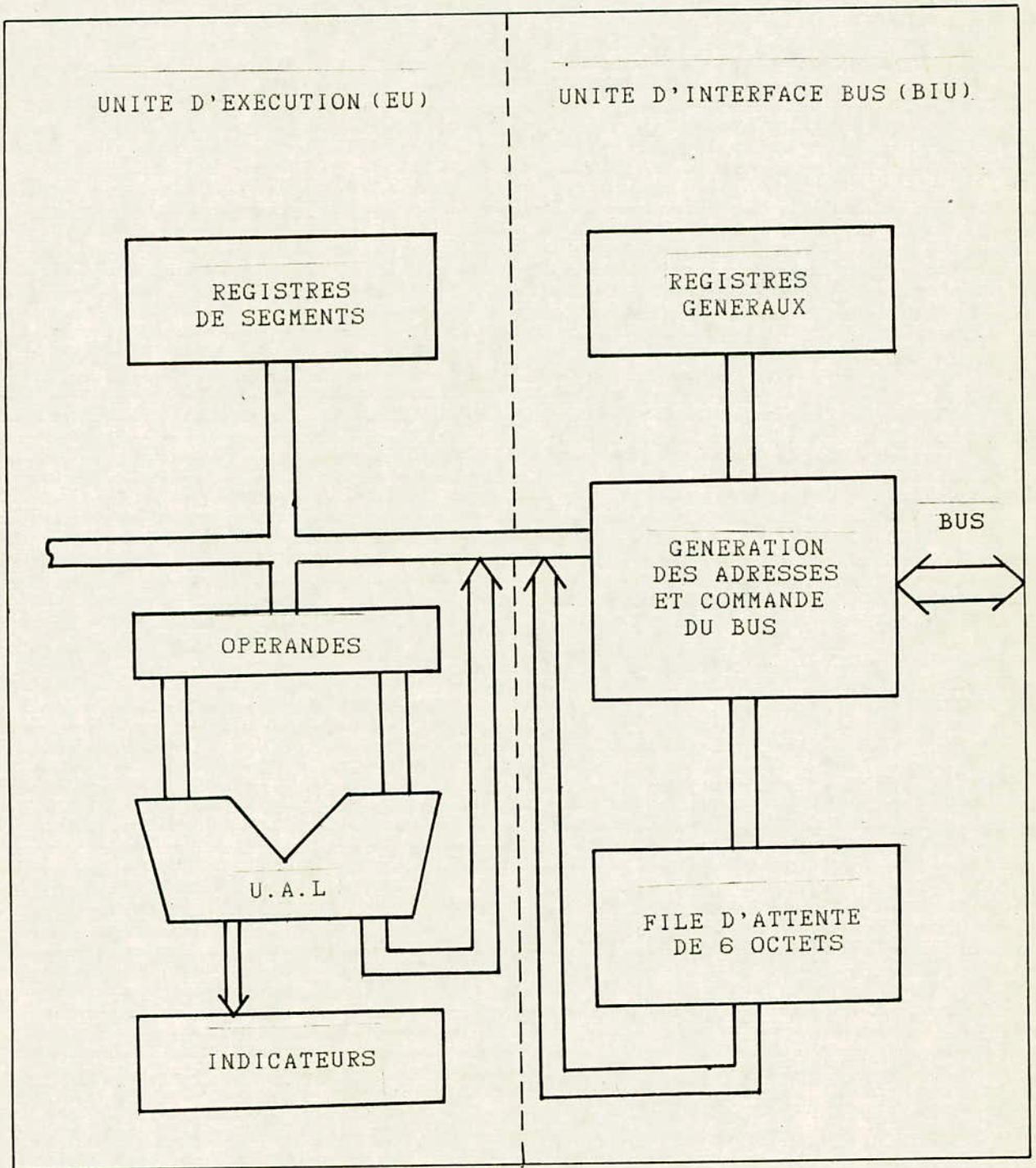


Fig.2 - Architecture interne du 8086.

- d'autre part du déplacement (offset) indiqué dans le champ adresse de l'instruction.

c. Les registres du 8086

Le programmeur dispose de 14 registres de 16 bits classés en 4 groupes (voir fig.3).

- Les registres de données AX, BX, CX, DX
- Les registres de segment CS, DS, SS, ES
- Les registres pointeurs SI, DI, BP, SP
- Le registre d'état et le compteur ordinal IP

Les registres de données:

ils servent d'accumulateurs et de registres d'opérandes de 16 bits, mais peuvent être séparés en 2 registres de 8 bits: l'un de poids fort (H), l'autre de poids faible (L).

Les registres de segment :

tout accès à la mémoire se fait avec le concours de l'un de ces registres

Les registres pointeurs:

ils sont utilisés pour exprimer un déplacement à l'intérieur d'un segment.

Le compteur ordinal:

c'est le registre qui pointe sur les instructions à exécuter

Le registre d'état:

ce registre dont neuf bits seulement sont utilisés rassemble tous les indicateurs d'état. (voir fig.4).

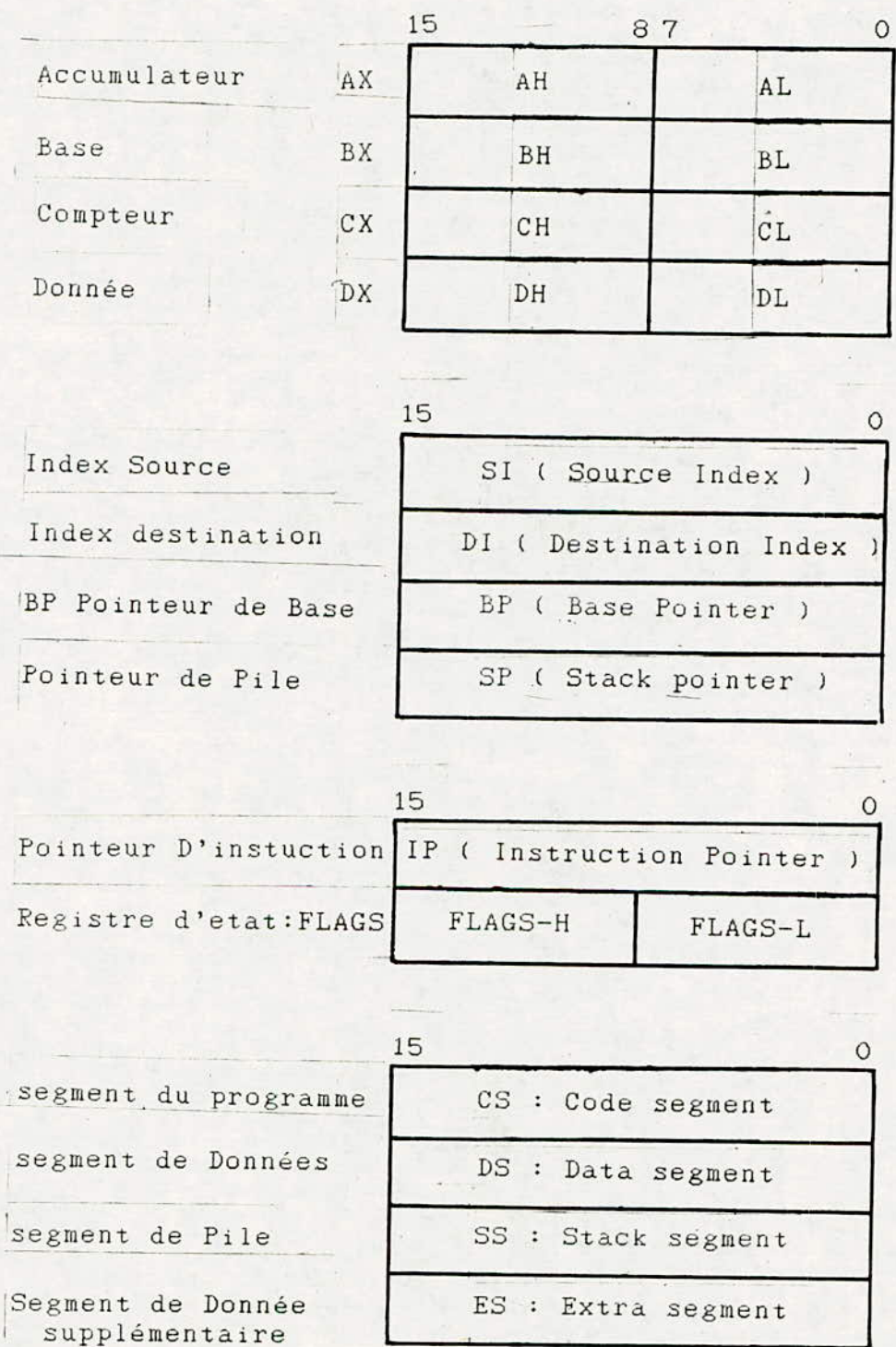


Fig.3 - Regitres du 8086.

B. Les entrées-sorties (E/S)

Parmi les 20 bits du bus d'adresses, seuls les 16 bits de poids faible sont utilisés pour l'adressage des entrées-sorties du 8086.

Le 8086 peut donc interfacer jusqu'à 64K ports de 8 bits ou 32K ports de 16 bits, soit dans la structure E/S par instructions E/S (espace E/S séparé de l'espace mémoire) soit dans la structure E/S par instructions mémoire (espace E/S inclus dans l'espace mémoire). Dans la première structure les instructions sont limitées à deux: IN et OUT, mais ont l'avantage d'être rapides.

Des signaux issus du bus de commande permettent de différencier les deux types de structures.

L'accès aux entrées-sorties ne fait l'objet d'aucune segmentation les adresses physiques sont celles spécifiées directement par le programmeur.

L'adressage se fait de deux manières:

- adressage direct.
- adressage par registre.

Adressage direct:

l'adresse du port est donnée directement par le programme. On n'accède qu'aux 256 premiers octets ou 128 premiers mots d'E/S. Le transfert de la donnée se fait entre le port et:

- AX pour les mots.
- AL pour les octets.

Adressage par registre:

l'adresse du port est contenue dans le registre DX. On accède alors aux 64K octets ou 32K mots d'E/S.

Le transfert de la donnée se fait entre le port et:

- AX pour les mots.
- AL pour les octets.

Nous travaillerons dans la structure E/S par instructions E/S. Un regard sur le schéma de la figure I en ANNEXE permet de constater l'existence d'une "trou" aux adresses 300H à 31FH. C'est dans cette zone innocupée de l'espace mémoire d'E/S du micro-ordinateur que nous implanterons notre carte.

Un adressage adéquat permettra de pointer sur cette zone.

C. Bus d'extension

Les signaux utiles du microprocesseur 8086 gérant l'ordinateur, ainsi que quelques autres signaux sont disponibles sur une série de connecteurs à 62 broches. Ces connecteurs peuvent recevoir des cartes d'extensions diverses. Le connecteur et ses signaux sont représentés sur la figure II en ANNEXE.

Les signaux utiles à la réalisation de notre carte seront prélevés du bus d'extension. Ces signaux sont: (Fig.5)

- les 8 bits du bus de données.
- les 16 bits du bus d'adresses.
- le signal $\overline{\text{IOW}}$ d'écriture E/S.
- le signal $\overline{\text{IOR}}$ de lecture E/S.
- le signal AEN qui indique si le bus d'adresses est commandé par le microprocesseur ou par le contrôleur de DMA (direct memory access). La mise à 1 de AEN indique qu'une transaction par DMA est en train de s'effectuer.

Signal	Désignation	Broche	Broche	Désignation	signal
Data MSB	D7	A1	B1	GND	Masse
"	D6	A2	B2	RESET	RAZ
"	D5	A3	B3	+5V	Alimentation
"	D4	A4	B4		
"	D3	A5	B5		
"	D2	A6	B6		
"	D1	A7	B7	-12V	Alimentation
"	D0	A8	B8		
Data LSB	D0	A9	B9	+12V	Alimentation
		A10	B10	GND	Masse
Adress Enable	AEN	A11	B11		
		A12	B12		
		A13	B13	$\overline{\text{IOWR}}$	Ecriture I/O
		A14	B14	$\overline{\text{IORD}}$	Lecture I/O
		A15	B15		
Adress Bus	A15	A16	B16		
"	A14	A17	B17		
"	A13	A18	B18		
"	A12	A19	B19		
"	A11	A20	B20		
"	A10	A21	B21		
"	A9	A22	B22		
"	A8	A23	B23		
"	A7	A24	B24		
"	A6	A25	B25		
"	A5	A26	B26		
"	A4	A27	B27		
"	A3	A28	B28		
"	A2	A29	B29	+5V	Alimentation
"	A1	A30	B30		
"	A0	A31	B31	GND	Masse

Fig.5 - Signaux utilisés du bus d'extensions.

- RESET, signal de remise à zéro des cartes du bus d'extension.
- les tensions +5 V, -12 V, +12 V
- la masse GND.

Notons que les bus d'adresses et de données sur le bus d'extension sont démultiplexés.

II.3. INTERFACE DE PERIPHERIQUE PROGRAMMABLE (PPI) 8255

Ce circuit intégré d'interface parallèle, développé par INTEL, est le coeur de notre dispositif d'entrée-sortie. Il réalise la liaison entre le micro-ordinateur et les autres éléments de la carte ainsi que leur commande.

A. Organisation externe

Il est logé dans un boîtier DIP (Fig.III en ANNEXE) de 40 broches :

- La broche de sélection de boîtier (\overline{CS}).
- Les deux pattes de sélection de registres A0, A1.
- Les pins de commandes de lecture (\overline{RD}), et d'écriture (\overline{WR}).
- Une broche de remise à zéro (RESET).
- Huits broches de données bidirectionnelles.
- 24 broches d'E/S.
- L'alimentation +5V.
- La masse.

B. Architecture générale

Le 8255 comprend 3 registres de 8 bits A, B, C (appelés ports) et un registre de commande (Fig.6).

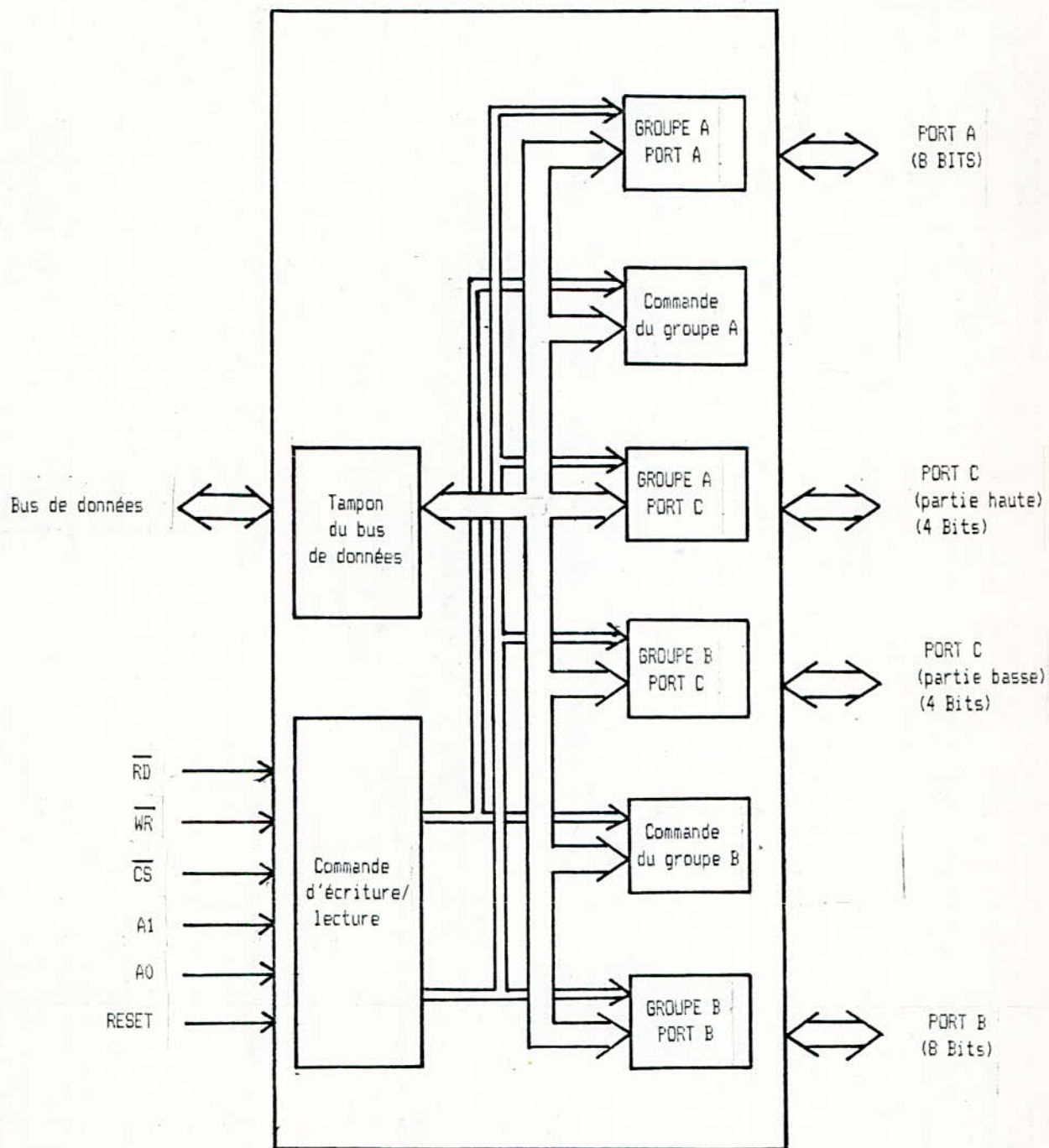


Fig. 6 - Structure interne du 8255.

La repartition des 24 lignes d'E/S s'établit en deux groupes A et B

Le groupe A comporte:

- Le port A (PA0 à PA7).
- Le quartet supérieur du port C (PC7 à PC4).

Le groupe B comprend:

- Le port B (PB0 à PB7).
- Le quartet inférieur du port C (PC0 à PC3).

Les ports A et B peuvent être mis à des modes différents. Le port C supérieur est configuré selon le mode du port A et le port C inférieur selon le mode du port B .

Le choix des modes et la programmation des ports s'effectuent grâce au registre de commande.

la sélection d'un registre parmi les 4 disponibles se fait à l'aide des bits A0 et A1 .

C. Modes de fonctionnement du 8255

Le PPI d'INTEL possède 3 modes de programmation (Fig.7)

- Mode 0 (E/S de base): les ports A et B et les demi-ports C peuvent être programmés en entrée ou en sortie.
- Mode 1 (E/S échantillonnées): chacun des ports est servi par un quartet du port C servant à gérer les échanges "en poignée de main"
- Mode 2 (bus bidirectionnel d'E/S): le port A est intégralement bidirectionnel, mais pour cela il doit être servi par 5 fils du port C.

Nous détaillerons le mode 0 car c'est celui que nous avons adopté pour la mise en oeuvre de notre carte d'interface.

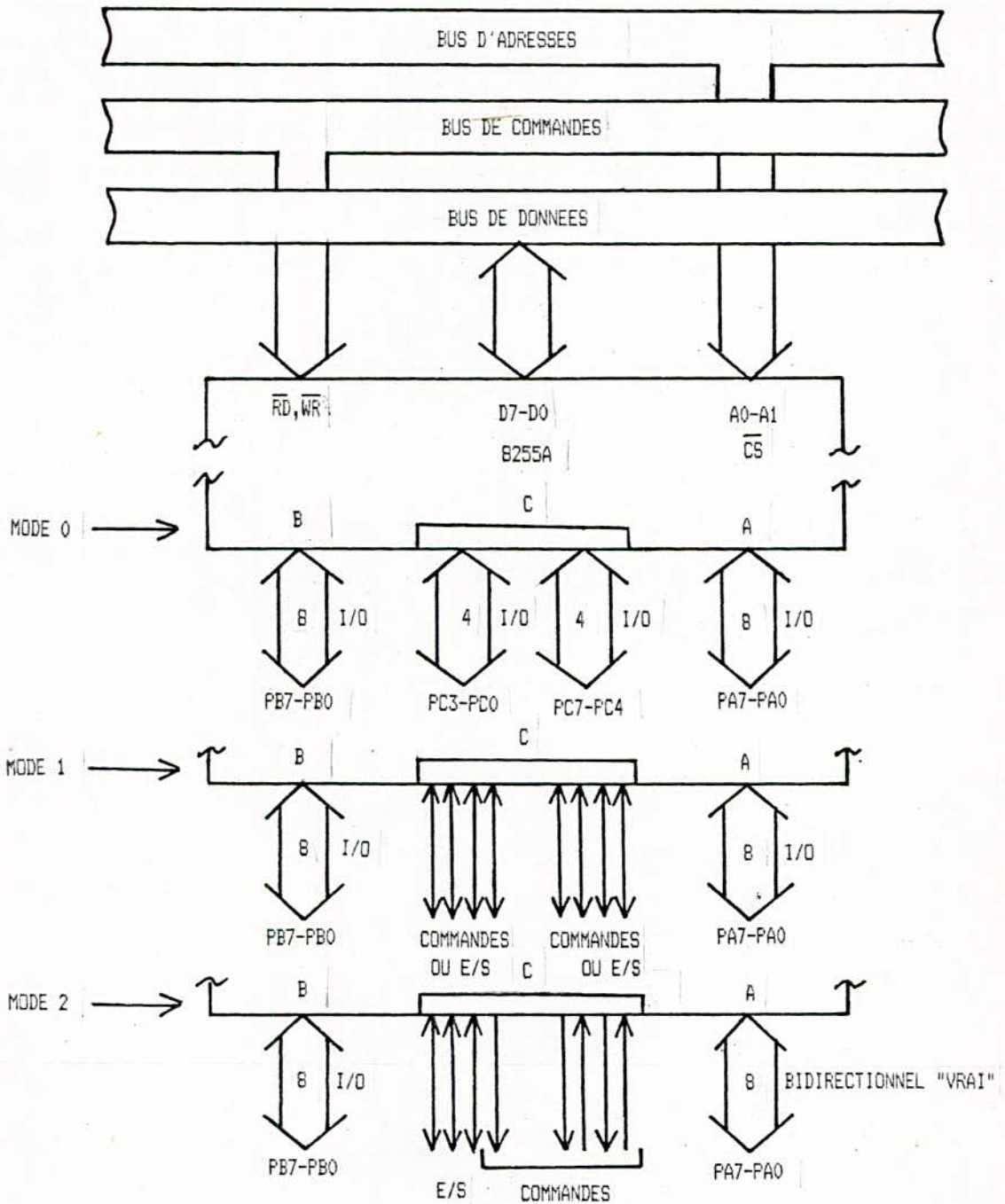


Fig.7 - Modes de fonctionnement du 8255

D. Fonctionnement du 8255 en mode 0

Dans ce mode le PPI possède 24 lignes d'E/S réparties en 4 groupes. Le sens de transfert est impérativement le même à l'intérieur de chacun des 4 groupes qui sont :

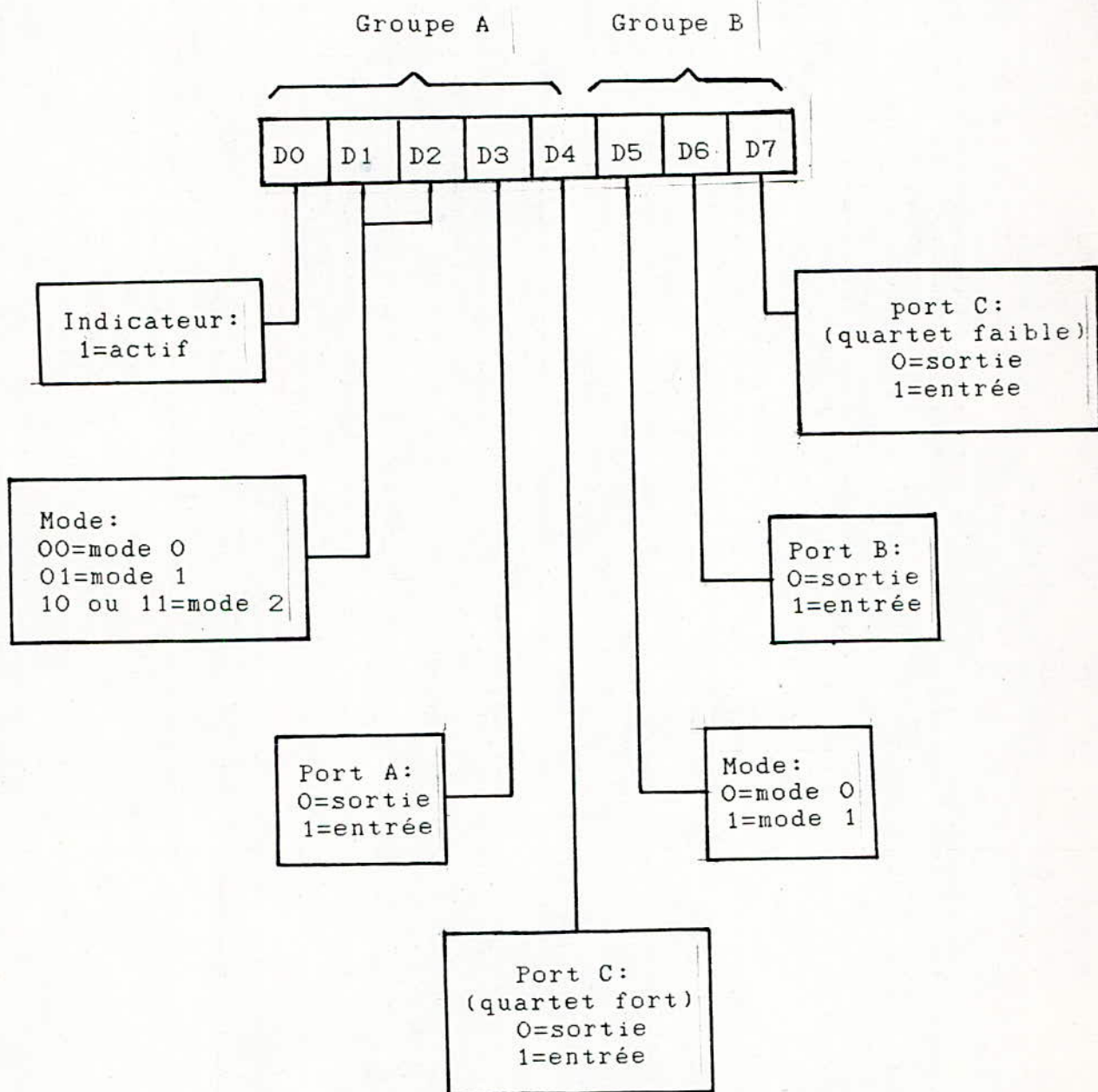
- le port A: 8 lignes d'E/S
- le port B: 8 lignes d'E/S
- le port C
inférieur : 4 lignes d'E/S
- le port C
supérieur : 4 lignes d'E/S

Suivant l'application souhaitée, chaque groupe devra être déclaré soit en entrée soit en sortie. Pour chacun des 4 groupes, une E/S peut être utilisée comme donnée proprement dite, comme signal de commande ou comme signal d'état.

Dans ce mode, les données de sorties sont mémorisées dans le 8255A. Elles resteront donc à leurs valeurs dans le périphérique tant qu'elles ne seront pas changées dans le 8255A. Il n'en est pas de même des entrées: celles-ci ne sont pas mémorisées; il importe donc de les lire lorsqu'elles sont valides.

E. Mot de commande

La composition de ce mot, placé par le microprocesseur sur le bus de données, est la suivante:



II.4 ADRESSAGE DE LA CARTE

A. Introduction

Son rôle consiste à sélectionner notre carte, à l'exclusion de tout autre périphérique, ainsi que les registres internes du 8255. L'adressage se fera par la technique de décodage du bus d'adresses.

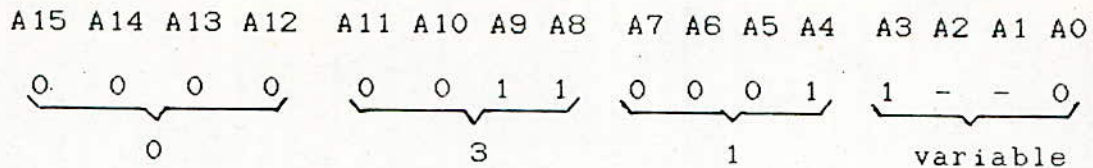
Rappelons qu'il n'est pas nécessaire de décoder les 20 bits du bus d'adresses, car lors d'un transfert relatif à un circuit d'E/S (dans la structure E/S par instructions E/S) les bits A19 à A16 sont toujours au niveau 0. Seuls les bits A0 à A15 participent au décodage.

Dans l'espace mémoire alloué aux E/S la carte occupera 4 positions mémoires, correspondant aux 4 registres du 8255, aux adresses suivantes:

Adresse en Héxa	Partie adressée
0318	Port A
031A	Port B
031C	Port C
031E	registre de commande

B. Décodage

Conformément aux adresses définies dans le tableau précédent le décodage des bits du bus d'adresses se fait de la manière qui suit:



Le dernier quartet prenant les valeurs 8 , A , C ou E suivant la combinaison imposée à A0 et A1.

Les bits A15 à A3 et A0 seront décodés par une succession de portes logiques (Fig.8), dont la sortie finale aboutit à l'unique broche de sélection de boîtier (\overline{CS}) du 8255 et le valide.

Quant aux bits A1 et A2 ils sont directement reliés aux broches A0 et A1 du PPI et permettent ainsi la sélection des 4 registres du 8255A.

Le signal AEN du bus d'extension intervient dans le décodage, afin d'éviter un conflit sur le bus d'adresses lors d'un transfert par DMA. Une adresse ne sera valide que lorsque AEN sera à l'état bas.

C. Signaux de commande

Ils assurent la synchronisation des opérations et déterminent le type de transfert: lecture ou écriture.

Puisque nous avons adopté la structure E/S par instructions E/S, \overline{IOR} et \overline{IOW} du bus d'extension sont pris comme signaux de commande et connectés respectivement aux broches \overline{RD} et \overline{WR} du 8255A.

Le signal RESET du bus d'extension complète la série des signaux de commande, il est relié à la broche RESET de l'interface programmable.

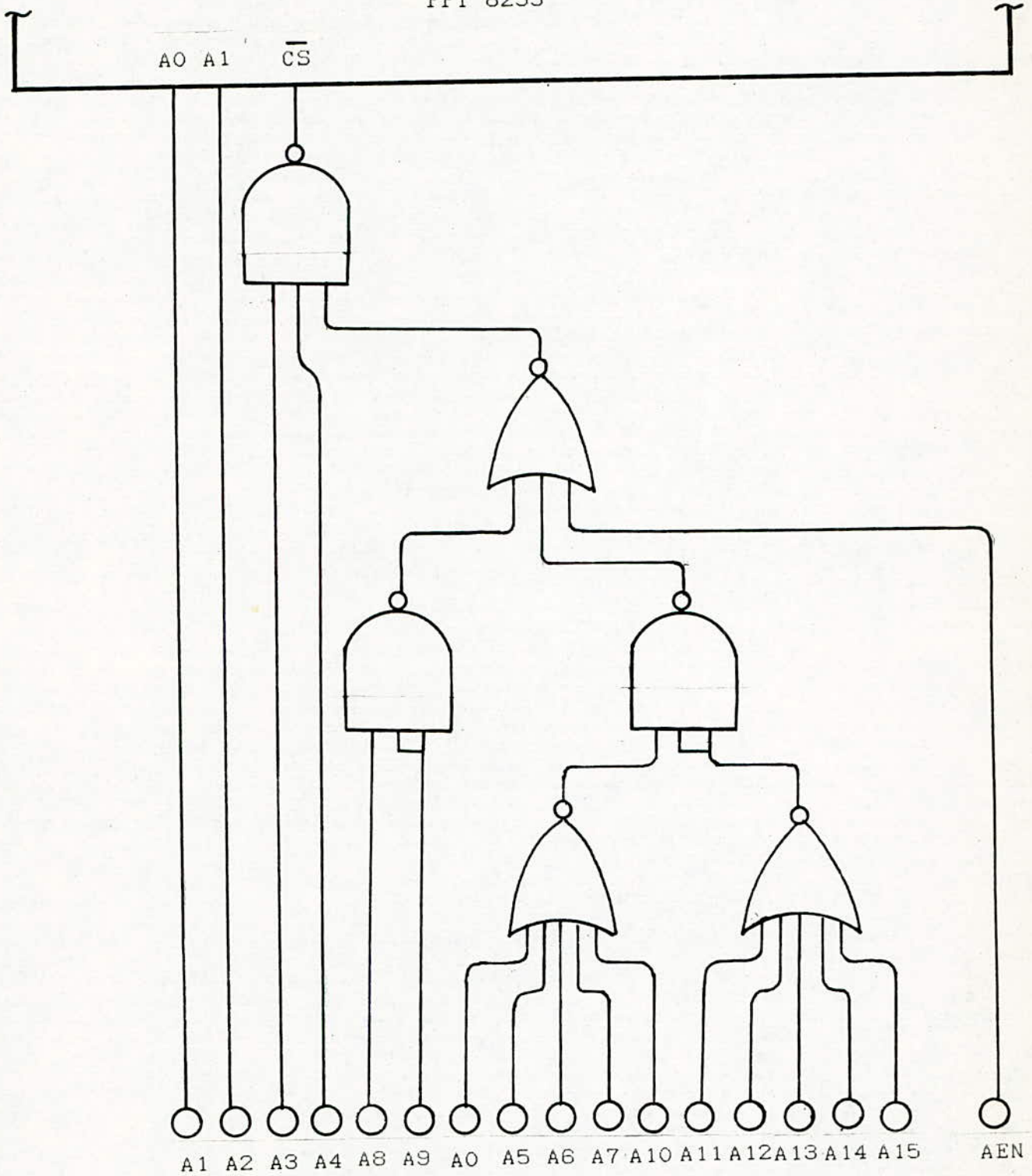


Fig.8 Shéma du décodage

II.5 L'ECHANTILLONNEUR- BLOQUEUR (E/B)

Son rôle consiste à prélever la valeur du signal RMN à un instant donné et à la conserver.

L'E/B choisi est le LF 398 (brochage en ANNEXE). Il est alimenté par deux sources de tensions +12V , -12V. Un niveau haut sur son entrée Logic(L) lance l'opération d'échantillonnage dont la durée peut être fixée à l'aide d'un condensateur associé au LF 398; un niveau bas sur la même entrée L assure le maintien de la valeur analogique prélevée. Une entrée Offset permet de régler la tension de décalage.

II.6 CONVERTISSEUR ANALOGIQUE-NUMERIQUE (CAN)

IL a pour but de transformer en valeur binaire l'échantillon analogique présent à son entrée.

Les caractéristiques essentielles d'un CAN sont:

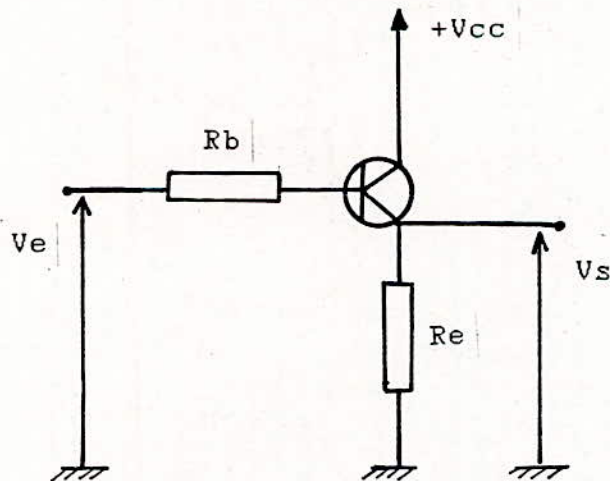
- la résolution: elle représente le nombre de bits utilisés par le par le CAN. Elle définit aussi la plus petite variation perçue par le convertisseur
- le temps de conversion:c'est le temps requis par le convertiseur pour donner la valeur numérique de l'échantillon analogique.

Le convertisseur adopté est un ADC 804. C'est un CAN à approximations successives de résolution 8 bits.Son temps de conversion est de 100 micro- secondes.Sa commande est réalisée par les signaux suivant:

- \overline{CS} : un niveau bas sur cette broche sélectionne le CAN et autorise son fonctionnement.
 - \overline{WR} : le passage de l'état bas à l'état haut permet le lancement de la conversion; un retour au niveau bas remet à 0 en interne l'ADC.
 - \overline{INTR} : indique la fin de la conversion lors de son passage du niveau haut au niveau bas.
 - \overline{RD} : la présence d'un état bas sur cette broche rend possible la lecture de l'information binaire en sortie du CAN.
- Le brochage de l'ADC est disponible en ANNEXE.

II.7 ETAGE DE SORTIE

Cet étage est constitué d'un transistor monté en collecteur commun. Il a pour rôle de fournir un courant élevé en sortie; la tension de sortie V_s restant identique à la tension d'entrée V_e .



II.8 FONCTIONNEMENT DE LA CARTE

La carte réalisée se compose d'un PPI 8255 accompagné de sa logique de décodage; d'un convertisseur analogique-numérique (CAN) ADC 804; d'un échantillonneur-bloqueur (E/B) LF 398; d'un étage de sortie constitué d'un transistor monté en suiveur. L'ensemble est implanté sur circuit imprimé double-faces aux dimensions 100 fois 160 mm, prêt à être inséré sur l'un des connecteurs d'extension du micro-ordinateur.

Le circuit fonctionne comme suit : (Fig.9)

le signal RMN issu du récepteur attaque l'entrée de l'E/B.

Un niveau haut, en provenance de PB7, sur l'entrée L (Logic) de l'E/B lance l'échantillonnage de la valeur analogique appliquée.

Le retour au niveau bas de PB7 assure le blocage de cette valeur; au même moment, et grâce à une porte inverseuse qui amène l'entrée \overline{WR} de l'ADC du niveau 0 au niveau 1, la conversion de la valeur bloquée présente sur l'entrée de l'ADC se déclenche.

La réception du signal \overline{INTR} du CAN par le bit PC4 DU 8255, annonce la fin de la conversion.

L'envoi d'un niveau 0, par l'intermédiaire de PB5, sur la broche \overline{RD} de l'ADC 804, libère les latches de sortie du CAN; le résultat de la conversion est alors disponible sur le port A du PPI.

Quant à la génération des impulsions à destination du spectromètre elle est assurée par le bit 6 du port B du 8255A via l'étage de sortie.

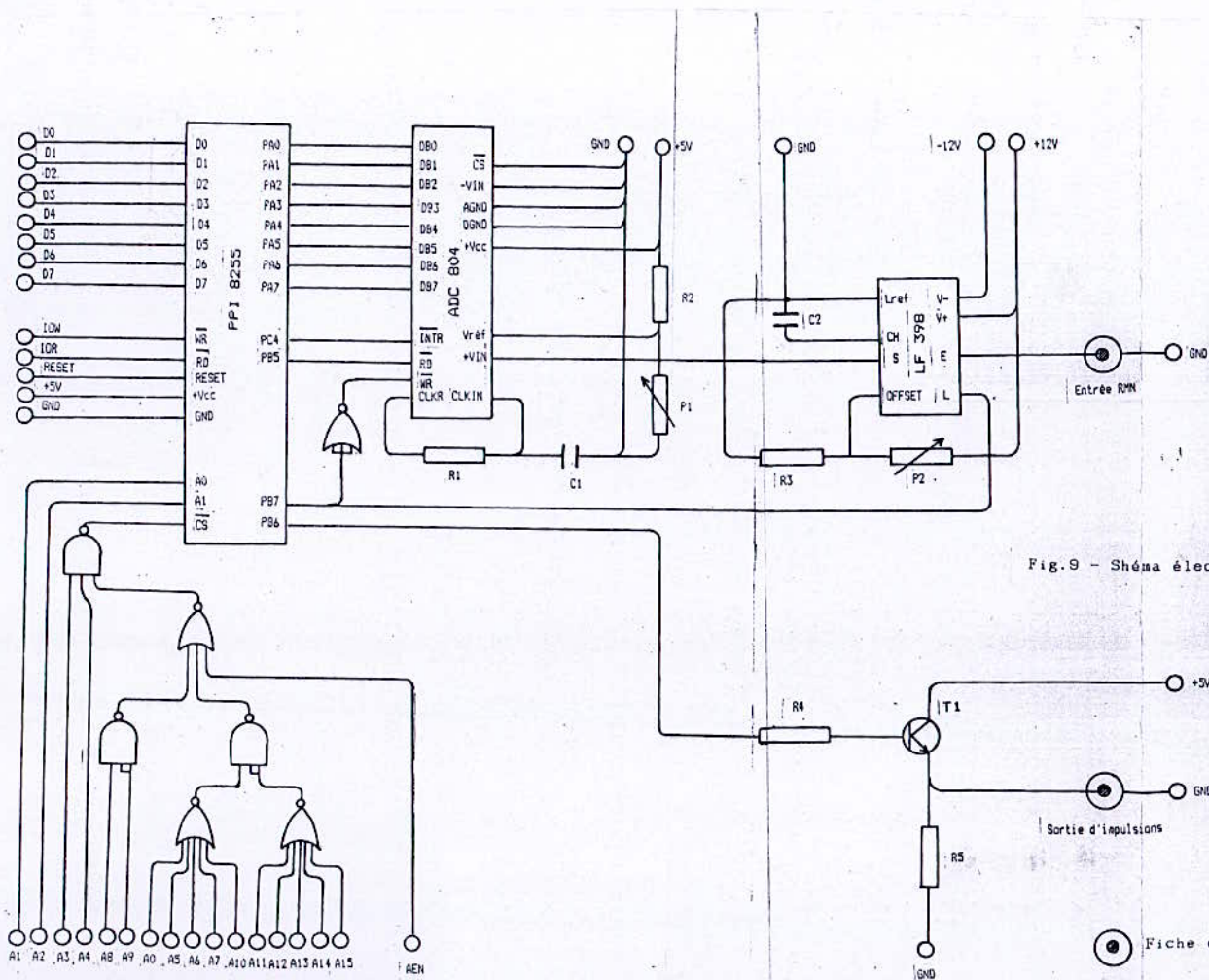


Fig.9 - Schéma électrique de la carte.

- Fiche coaxiale
- Broche du connecteur

CHAPITRE III

ORGANIGRAMMES

ET PROGRAMMES

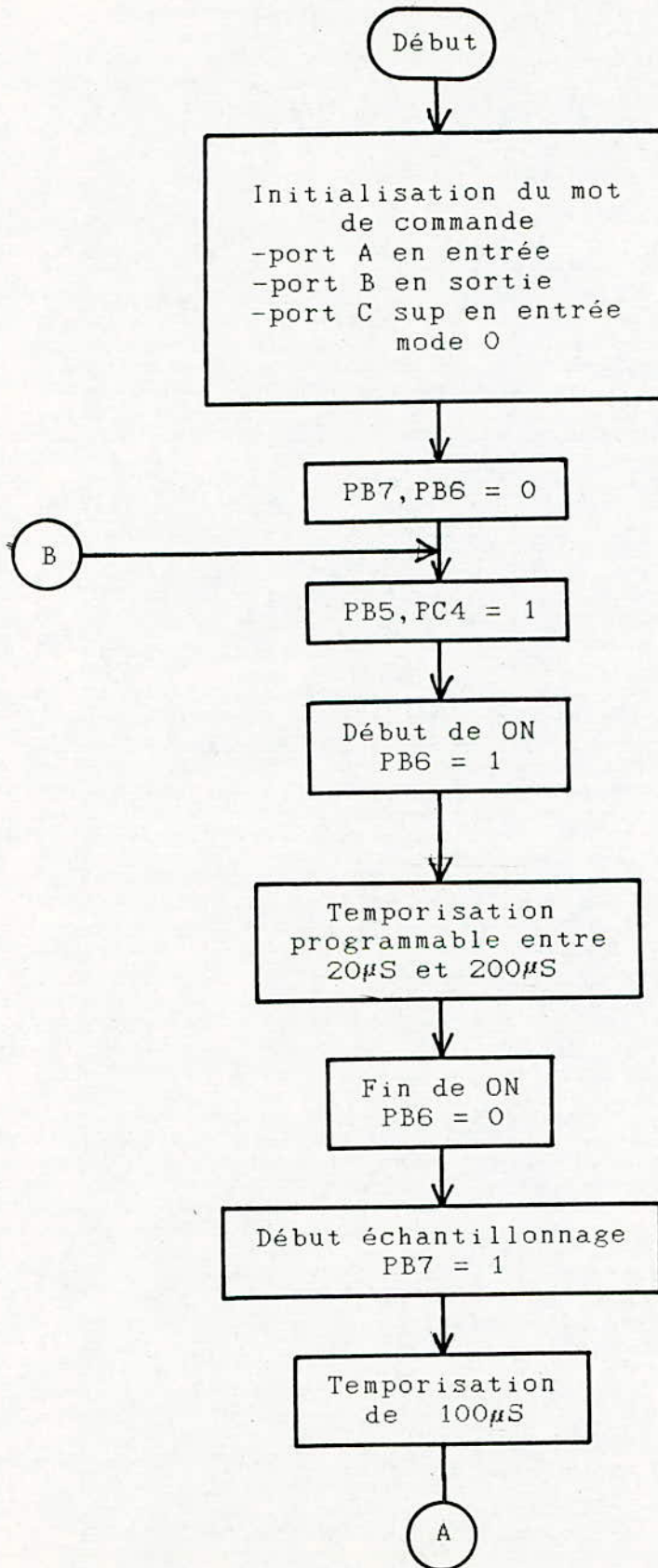
ORGANIGRAMME DE DETERMINATION DE LA DUREE DE L'IMPULSION $\pi/2$

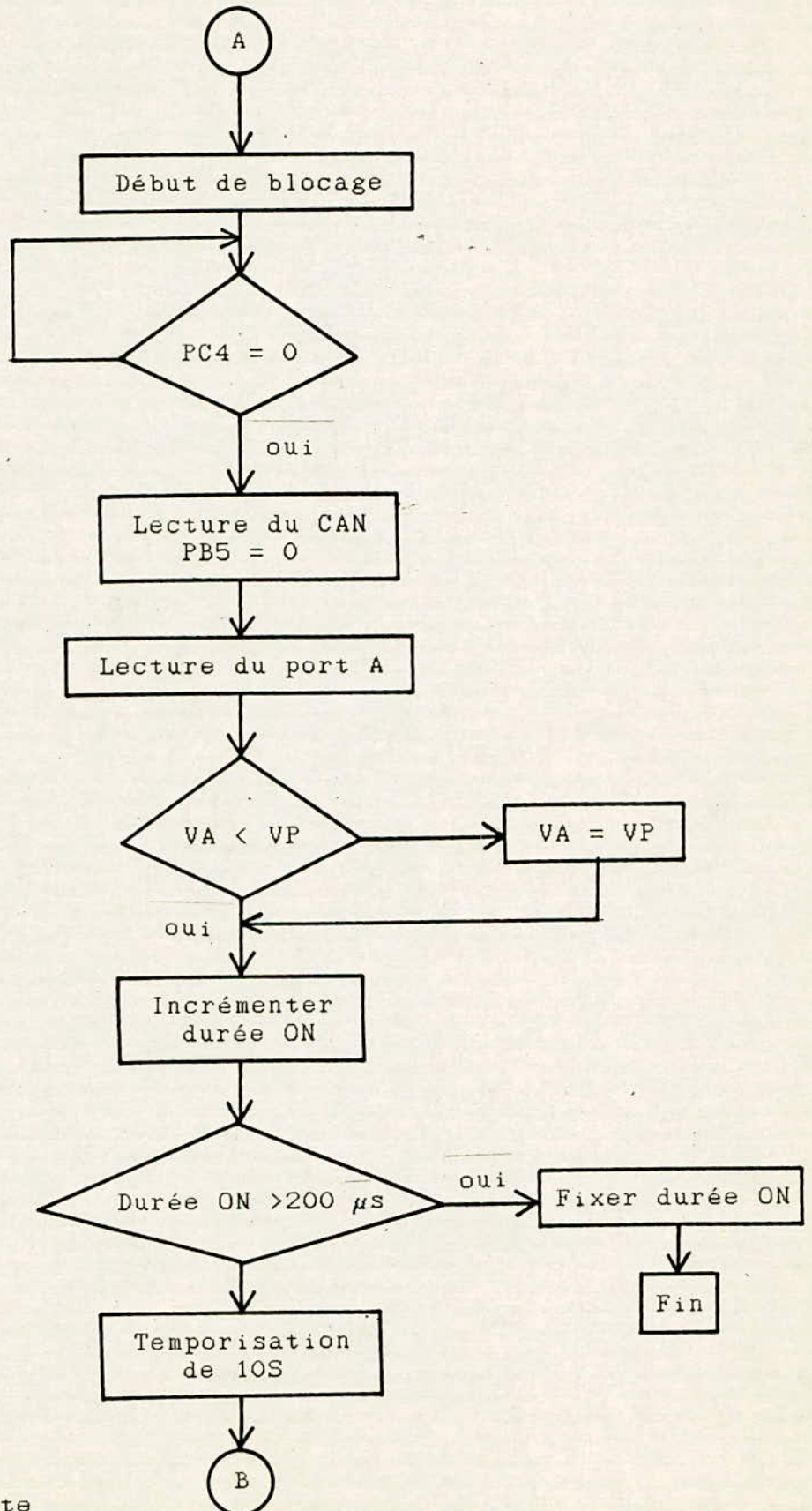
L'organigramme ci-après décrit la façon dont est obtenue l'impulsion $\pi/2$.

Nous générons une impulsion de largeur variable entre $20 \mu s$ et $200 \mu s$ avec un pas d'incrémentation de $5 \mu s$. La durée de la période OFF restant toujours fixée à 10 s.

Pour chaque impulsion ON, nous faisons l'acquisition du signal RMN; la valeur obtenue est comparée à la précédente. Le processus d'acquisition se poursuit jusqu'à l'obtention d'un maximum.

La durée ON ayant produit ce maximum est sauvegardée pour être utilisée par la suite.

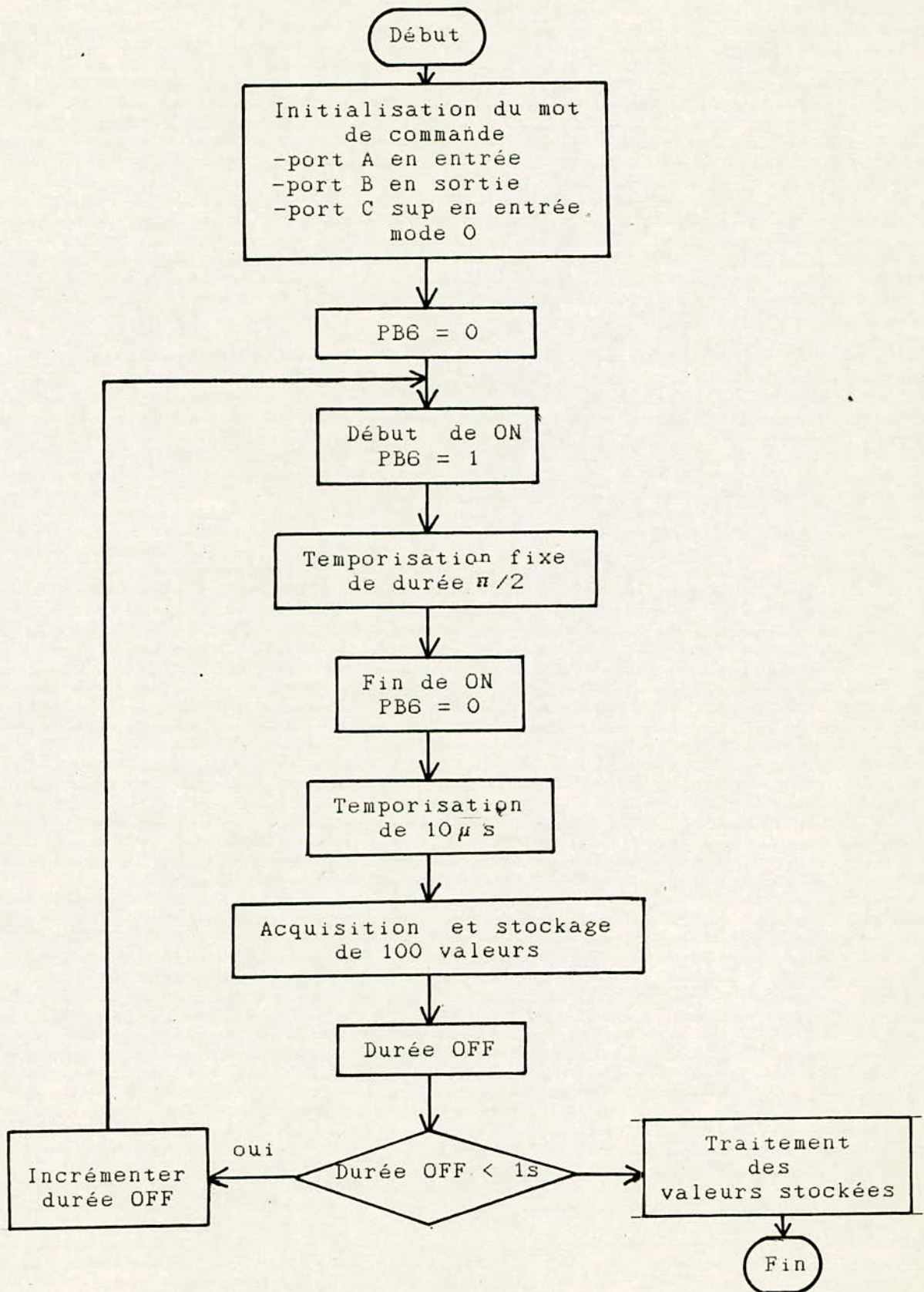




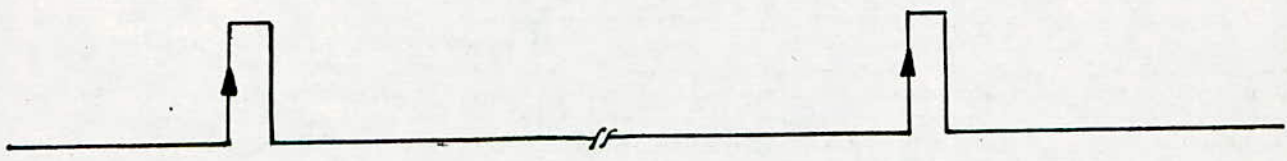
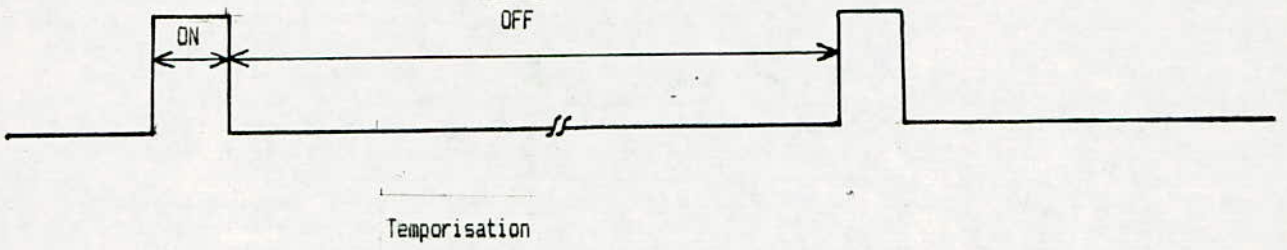
VA:valeur actuelle
VP:valeur précédente

ORGANIGRAMME DE DETERMINATION DE T1

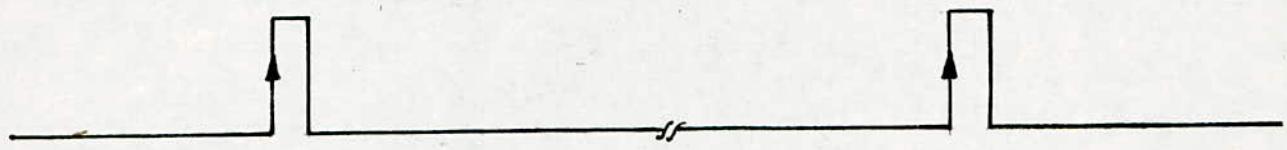
L'organigramme qui suit décrit le calcul du temps de relaxation T1; nous générons une impulsion $\pi/2$ dont la durée ON fixe a été déterminé précédemment ; la période OFF étant cette fois ci variable entre 50mS et 1S avec un pas d'incrémentatation de 50 mS. Après chaque impulsion $\pi/2$, on prélève 100 échantillons du signal RMN qui seront traités pour le calcul du temps de relaxation T1.



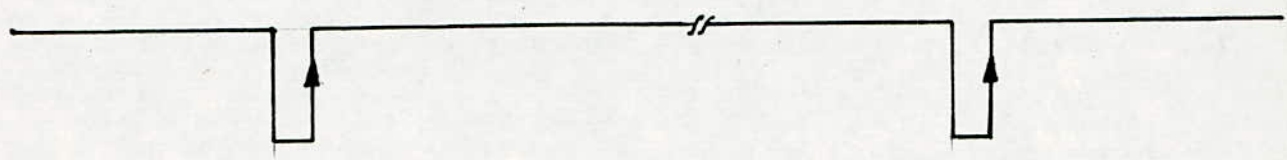
Impulsion $T/2$



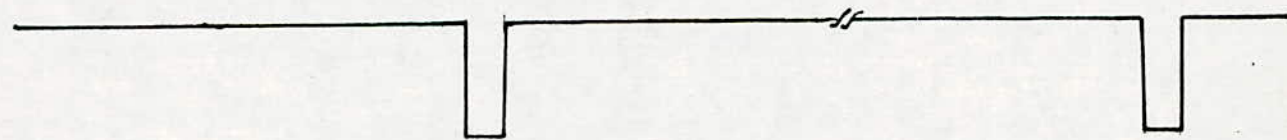
Commande E/B (Logic)



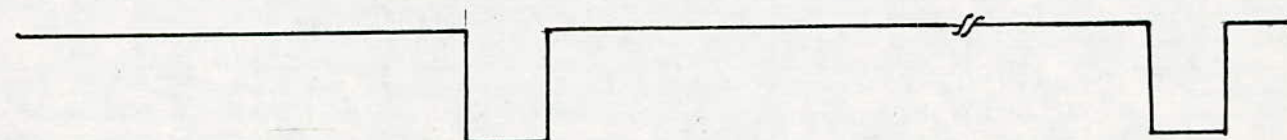
Commande CAN (\overline{WR})



Fin de conversion (\overline{INTR})



Lecture CAN (\overline{RD})



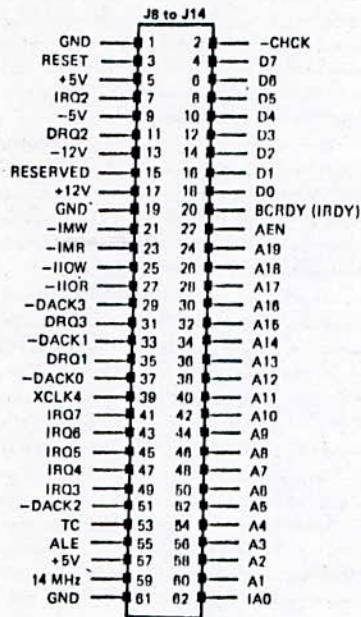
Chronogramme de fonctionnement de la chaîne d'acquisition pour le calcul de T_1

CONCLUSION

En dépit des difficultés que nous avons eu à nous approprier des informations sur les compatibles IBM PC, nous avons pu réaliser une carte d'interface simple mais efficace. Elle est non seulement adaptée à l'étude de la RMN mais peut, compte tenu des limitations imposées par les composants choisis (ADC 804 , LF 398), traiter une grande variété de signaux. Par ailleurs des essais concluants effectués sur un IBM XT , nous autorise à penser que notre carte, à l'origine conçu sur AMSTRAD 1512, fonctionnera sur d'autres compatibles IBM PC.

Outre le calcul des temps de relaxation, que nous n'avons pas entièrement développé faute de temps, les perspectives d'applications de notre travail sont nombreuses.

ANNEXE



I/O Expansion bus connector
(IBM compatible)

ADRESSE (hexa)	FONCTION
200 - 20F	Interface externe de contrôle de jeux
210 - 217	Unité externe d'extension du bus
278 - 27F	Port externe d'imprimante
2B0 - 2DF	Contrôleur graphique secondaire externe
2F8 - 2FF	Port externe RS232C sériel asynchrone
300 - 31F	Carte externe de prototyping
320 - 32F	Contrôleur externe de disque dur
380 - 38C	Port externe RS232C sériel SDLC
390 - 393	Contrôleur externe de 'cluster'
3B0 - 3BB	Contrôleur externe vidéo monochrome
3BC - 3BF	Port d'imprimante
3C0 - 3C7	Contrôleur graphique externe

Fig. I Canaux d'E/S de l'AMSTRAD 1512
sur le bus d'extension

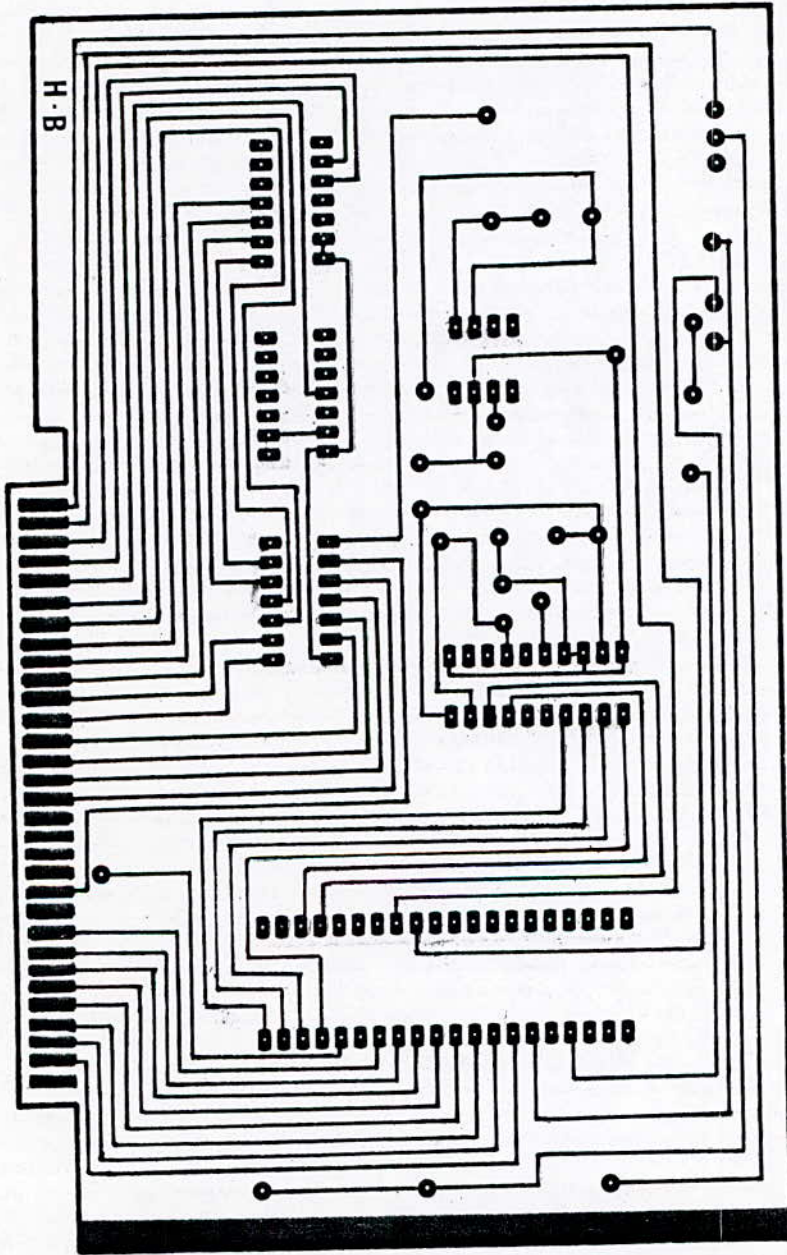
Broche	Signal	In/Out
A01	Not I/O CHCK (pas test entrée/sortie)	In (=entrée)
A02	I/O Data Bit D7 (Bit de données d'entrée/sortie)	In/Out (=entrée/sortie)
A03	I/O Data Bit D6	In/Out
A04	I/O Data Bit D5	In/Out
A05	I/O Data Bit D4	In/Out
A06	I/O Data Bit D3	In/Out
A07	I/O Data Bit D2	In/Out
A08	I/O Data Bit D1	In/Out
A09	I/O Data Bit D0	In/Out
A10	I/O RDY (entrée/sortie prête)	In
A11	AEN - Address Enable (active adresse)	Out (=sortie)
A12	I/O + MEM/Address Bit A19 (Bit d'adresse d'entrée/sortie ou mémoire)	Out
A13	I/O + MEM/Address Bit A18	Out
A14	I/O + MEM/Address Bit A17	Out
A15	I/O + MEM/Address Bit A16	Out
A16	I/O + MEM/Address Bit A15	Out
A17	I/O + MEM/Address Bit A14	Out
A18	I/O + MEM/Address Bit A13	Out
A19	I/O + MEM/Address Bit A12	Out
A20	I/O + MEM/Address Bit A11	Out
A21	I/O + MEM/Address Bit A10	Out
A22	I/O + MEM/Address Bit A09	Out
A23	I/O + MEM/Address Bit A08	Out
A24	I/O + MEM/Address Bit A07	Out
A25	I/O + MEM/Address Bit A06	Out
A26	I/O + MEM/Address Bit A05	Out
A27	I/O + MEM/Address Bit A04	Out
A28	I/O + MEM/Address Bit A03	Out
A29	I/O + MEM/Address Bit A02	Out
A30	I/O + MEM/Address Bit A01	Out
A31	I/O + MEM/Address Bit A00	Out

Fig. II Affectation des broches du connecteur

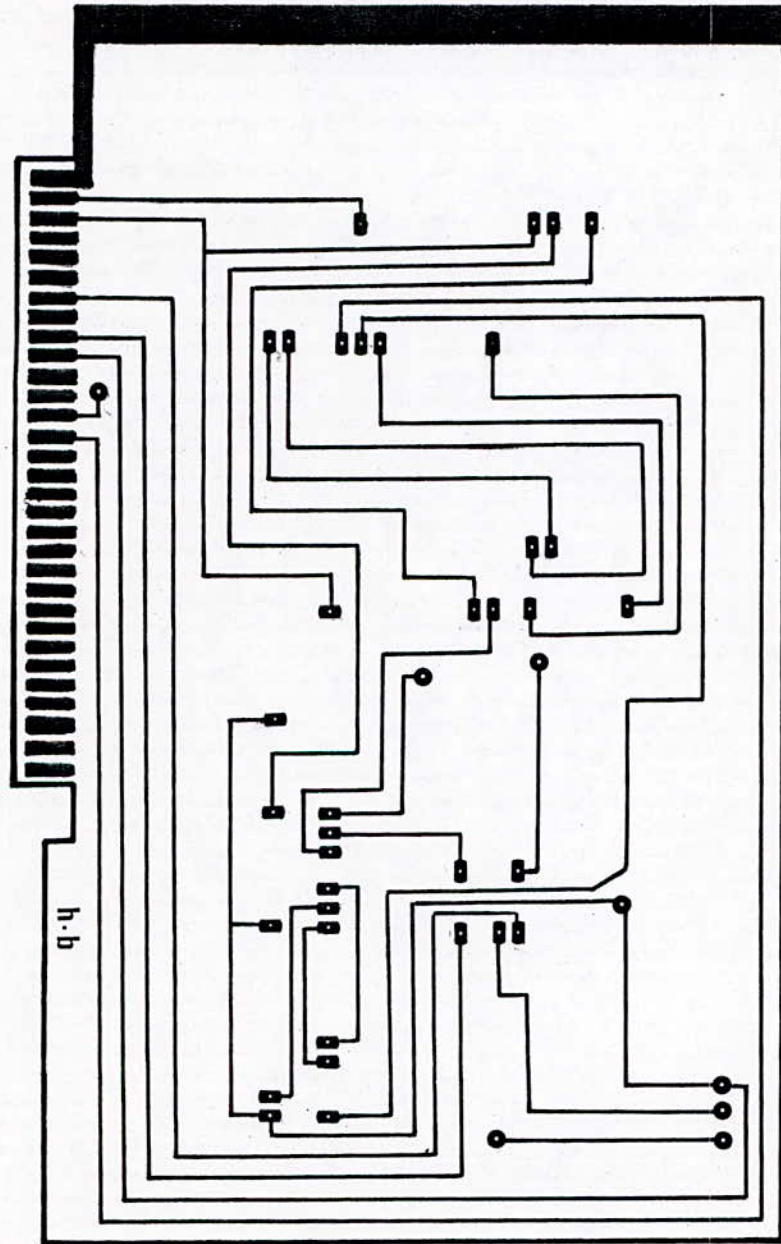
B01	Ground (masse)	-
B02	RESET (réinitialisation)	Out
B03	+5 volts DC	-
B04	IRQ2	In
B05	-5 volts DC	-
B06	DREQ2	In
B07	-12 volts DC	-
B08	Pas connecté (réservé)	In
B09	+12 volts DC	-
B10	Ground (masse)	-
B11	$\overline{\text{MEW}}$ (MEemory Write = pas écriture mémoire)	Out
B12	$\overline{\text{MRD}}$ (Memory ReaD = pas lecture mémoire)	Out
B13	$\overline{\text{IOW}}$ (I/O Write = pas écriture d'entrée/sortie)	Out
B14	$\overline{\text{IOR}}$ (I/O Read = pas lecture d'entrée/sortie)	Out
B15	$\overline{\text{DACK3}}$	Out
B16	$\overline{\text{DREQ3}}$	In
B17	$\overline{\text{DACK1}}$	Out
B18	$\overline{\text{DREQ1}}$	In
B19	$\overline{\text{DACK0}}$	Out
B20	CLK	Out
B21	IRQ7	In
B22	IRQ6	In
B23	IRQ5	In
B24	IRQ4	In
B25	IRQ3	In
B26	$\overline{\text{DACK2}}$	Out
B27	T/C	Out
B28	ALE	Out
B29	+5 volts DC	-
B30	CK14	Out
B31	Ground (masse)	-

Affectation des broches (suite)

CIRCUIT IMPRIME FACE A



CIRCUIT IMPRIME FACE B



LISTE DES COMPOSANTS

Circuits intégrés

PPI 8255AC-2

ADC 804

LF 398

74 LS10

74 LS27

74 LS260

Transistor

2N2222

Condensateurs

C1: 150 pF

C2: 100 nF

Résistances et potentiomètres

R1: 10K 1/2 W

R2: 7.5K "

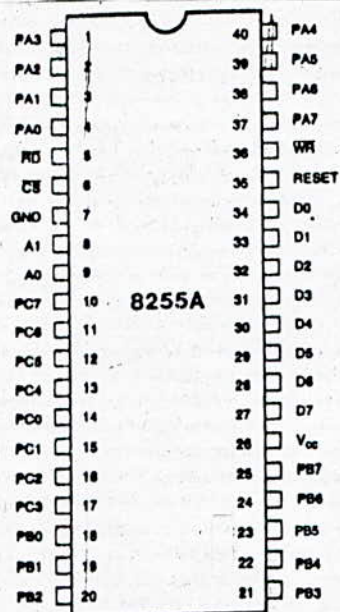
R3: 22K "

R4: 10K "

R5: 1.5K "

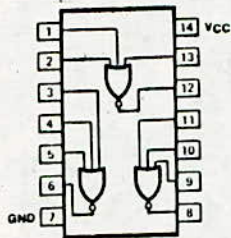
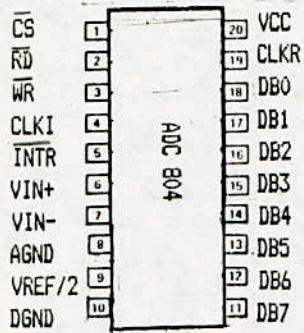
P1: 10K

P2: 1K

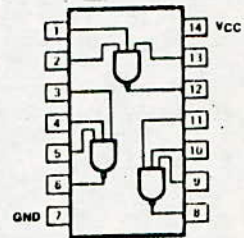


Broche	Nom	Entrée ou sortie	Fonction
1 à 4	PA0 à PA3	E/S	Quartet bas du port PA
5	RD	E	Lecture d'informations du 8255 par l'UCT
6	CS	E	Sélection de circuit
7	GND	—	Masse
8 et 9	A1 et A0	E	Adresse pour les registres de commande
10 à 17	PC0 à PC7	E/S	Port C
18 à 25	PB0 à PB7	E/S	Port B
26	Vcc	E	Alimentation + 5 V
27 à 34	D7 à D0	E/S	Bus vers microprocesseur
35	RESET	E	Mise à zéro des registres ; tous les ports en entrées
36	WR	E	Ecriture : du microprocesseur vers le 8255
37 à 40	PA7 à PA4	E/S	Quartet haut du port PA

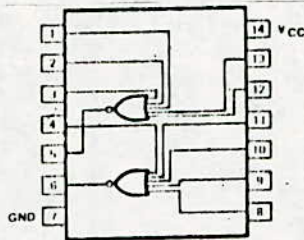
Brochage du 8255AC-2



74 LS27



74 LS10



74 LS260

Brochage des composants

BIBLIOGRAPHIE

- LES PRINCIPES DU MAGNETISME NUCLEAIRE : G.Abragam (dunod 1983)
- TECHNIQUES DE L'INGENIEUR : volets E4350 et P2880
- LA RECHERCHE (REVUE) : Décembre 85
- THESES DE FIN D'ETUDES ENP : (Dirigés par Dr R.Puvvada)
 - . Réalisation d'un carte d'interface pour spectromètre RMN et développement d'un programme pour mesure des temps de relaxation: A.BECIS et S.ABOUS
 - . Réalisation d'une chaine d'acquisition de données pour un spectromètre RMN et calcul des temps de relation: M.KEMICHE et K.AOUIMEUR
 - . Etude et réalisation d'un système récepteur par impulsion pour la mesure des temps de relaxation: A.MANTSOUNGA et A.BOUABDELLI
- SOFT ET MICRO (REVUE) : DEC 86 à M AI 87
- L'EMPLOI DES MICROPROCESSEURS : M.Aumiaux (Masson 1982)
- LES MICROPROCESSEURS 16 BITS A LA LOUPE : R.Dubois (Eyrolles 1985)
- LES MICROPROCESSEURS 16 BITS : M.Aumiaux (Masson 1984)
- DU COMPOSANT AU SYSTEME : R.Zaks (Sybex 1984)
- TECHNIQUE DES INTERFACES : R.Zaks et A.Lesea (Sybex 1984)
- GUIDE DE REFERENCE TECHNIQUE DE L'AMSTRAD 1512 : Micro-Application (1986)
- LES CIRCUITS CLES DE L'IBM PC (8088 et ses périphériques) : H.Lilen (Radio 1986)
- LE MICROPROCESSEUR 16 BITS 8086 : A.B.Fontaine (Masson 1983)
- GUIDE MATERIEL ET LOGICIEL DU 8086/8088 : B.Saguez (Eyrolles 1985)
- ARCHITECTURE ET PROGRAMMATION DU 8086/8088 : J.M.Trio (Eyrolles 1986)
- PROGRAMMATION EN ASSEMBLEUR DU 8086/8088 : B.Geoffrion (Radio 1986)
- PROGRAMMATION EN ASSEMBLEUR DU 8086/8088 : F.Retaureau (Sybex 1985)
- MANUEL D'UTILISATION DU MASM : Microsoft Macro Assembler (Version 4.0 1986)
- MANUEL D'UTILISATION DU DEBUG : Microsoft