

وزارة التعليم و البحث العلمي

MINISTÈRE DE L'ENSEIGNEMENT ET DE LA RECHERCHE SCIENTIFIQUE

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT ELECTRONIQUE

PROJET DE FIN D'ETUDES

SUJET

C e n t r a l e
d'Acquisition de Données
C l i m a t i q u e s

Proposé par :- B.HAMIDI

Etudié par : - A.DALI

Dirigé par : - B.HAMIDI

ING.AU CEN

- M.BELHADJ

PROMOTION : 85

_ DEDICACES _

A mes parents

A toute ma famille

A mes amis

Auor

A mes parents

A mes frères et sœurs

A toute ma famille

A mes amis

Aboramed

REMERCIEMENTS

Nous remercions vivement MR A.ABDELLAOUI, Directeur du Centre de Développement des Techniques Avancées pour nous avoir accueillis au sein du C.D.T.A.

Nous adressons nos vifs remerciements à MR B.HAMIDI ING. au Laboratoire Traitement d'images pour ces fructueuses critiques; et précieux conseils qu'ils nous a prodigués en dirigeant notre travail.

Nous remercions également MRS HADJ.AISSA et HALIMI pour leur aide appréciable.

Nous n'oublierons pas de remercier les sympathiques membres du Laboratoire E.S.R pour nous avoir permis de travailler dans des conditions agréables; ainsi que les membres du Laboratoire de l'Architecture du Système pour les précieux services qu'ils nous ont rendu.

Nous tenons aussi à exprimer notre sincère reconnaissance envers tout le corps enseignant qui a contribué à notre formation d'ingénieur.

Enfin que tous ce qui ont contribué de près où de loin à la réalisation de ce projet trouvent en ces lignes l'expression de notre gratitude reconnaissance.

S O M M A I R E

Introduction

THEME DU PROJET

CHAPITRE I : LA CHAINE D'ACQUISITION

- 1 . La capteur
- 2 . Interface capteur - unité de traitement numérique

CHAPITRE II: LA CHAINE DE TRAITEMENT ET DE RESTITUTION

- A) LE MATERIEL
- B) LE LOGICIEL

A1. Carte CPU

- 1.1 MPU
- 1.2 Buffers de données et d'adresses
- 1.3 Le circuit d'horloge

A2. Les interfaces

1. Circuit d'interfaces pour afficheurs et clavier
2. Circuit d'interfaces de l'imprimante
3. Circuit de BAUD-RATE

A3. Carte mémoire

CHAPITRE III: LES PERIPHERIQUES

- 1) Clavier
- 2) Les afficheurs
- 3) L'imprimante
- 4) Horloge

PARTIE SOFTWARE

- Organigramme principal, et d'intégration.
- S/P d'initialisation.
- S/P de scrutation de clavier
- S/P de Listing
- S/P d'acquisition et de mise en forme des données.
- S/P de transformation de l'échelle des données.

Conclusion

INTRODUCTION

La connaissance précise de l'évolution de phénomènes météorologiques tels que pression atmosphérique, vitesse du vent, température... est devenue indispensable pour leur exploitation dans des domaines aussi divers, allant de l'agriculture à la navigation aérienne où maritime.

En particulier dans les centrales d'acquisition et de traitement de données comme dans les stations météorologiques, des relevés sont une condition nécessaire dans toute recherche poussée dans l'établissement d'une corrélation entre les variations de l'ensemble des paramètres météo et celle du climat, afin d'établir des prévisions précises.

Il y va sans dire tous les aléas que pose la régularité et la continuité de ces relevés pour l'opérateur humain, surtout quand on sait que la durée de sa présence s'allonge et l'intervalle de temps entre relevés s'amenuise afin d'obtenir la précision adéquate la prévision juste.

À cet égard l'utilisation d'une station automatique devant récupérer tous ces paramètres s'avère indispensable.

La station aura pour tâches l'acquisition le traitement et enfin le stockage des données.

On distingue alors deux parties :

- une chaîne d'acquisition comprenant les différents capteurs et les adaptateurs des signaux.

- Une unité de traitement constituée d'un processeur central et finalement la chaîne de restitution et de stockage des informations.

Cette dernière partie constitue l'objet de notre étude et réalisation dans le cadre de notre projet de fin d'étude.

Nous aurons à réaliser une carte CPU et interfaces, une carte mémoire pour la gestion et le traitement des informations, une périphérie constituée de trois organes : afficheurs, clavier et imprimante.

THEME DU PROJET

Notre travail consiste à étudier et réaliser une unité autonome d'acquisition et de traitement de données provenant de capteurs météorologiques.

Ce travail entre dans le cadre du projet global de réalisation d'une station météorologique. Cette unité gérée par microprocesseur traite chaque information émanant des capteurs (nous renseignant sur l'évolution des paramètres à étudier), intègre numériquement chaque série d'information provenant d'un canal distinct sur un intervalle de temps fixé (10', 20' ou 30'); puis restitue les résultats par listing sur imprimante à la fin de chaque période d'intégration.

Une horloge externe accessible à l'opérateur permet le chronométrage du délai d'intégration et la datation des séries d'intégration.

Des séquences de touches à partir du clavier permettent la visualisation des valeurs instantanées présentes sur les différents canaux d'entrées; de changer la durée d'intégration, la remise à l'heure de l'horloge externe ou de redémarrer le système.

Toutefois si aucune commande n'est sélectionnée après le "listing" le système reprend le programme d'acquisition.

CHAPITRE I : LA CHAÎNE D'ACQUISITION

Elle constitue le plus souvent l'interface avec le calculateur ou avec le dispositif d'enregistrement.

Ses principales caractéristiques sont : la vitesse; la précision des mesures effectuées; le nombre de canaux échantillonnés et leur isolement. La structure d'ensemble d'une chaîne d'acquisition de données est représentée par la figure. 1.1. On y trouve

- un capteur spécifique à chaque entrée suivant la grandeur physique à mesurer.
- un amplificateur différentiel propre à chaque canal d'entrée
- une cellule de filtrage
- un étage de multiplexage comportant les voies d'entrées groupées par 8 ou par 16.
- un échantillonneur-bloqueur (S/H)
- Un convertisseur analogique digital (ADC)
- un dispositif de contrôle permettant la sélection d'une voie déterminée; la commande d'échantillonnage; la conversion et le transfert du produit de digitalisation vers l'unité de traitement numérique.

1. LE CAPTEUR

Quoique cet élément soit extérieur à notre unité, il constitue cependant le premier élément de la chaîne d'acquisition. Il est

chargé de convertir la grandeur physique en un signal électrique exploitable.

De ses propriétés dépendent essentiellement :

- La précision ultime de la chaîne de mesure.
- La complexité de la circuiterie associée à la transmission du signal.

Il convient donc de connaître outre son principe de fonctionnement certaines spécifications techniques d'emploi qui ont une répercussion immédiate sur la qualité et la conception de la chaîne de mesure.

Nous retenons parmi celles-ci :

- L'étendue de mesure (seuil de sensibilité et limite supérieure du signal d'entrée).
- La constante de temps (temps de réponse).
- Le pouvoir de résolution (qualité du capteur).
- La fonction de transfert (stabilité).
- L'impédance d'entrée (niveau des perturbations de la mesure par le dispositif lui-même).

Les principaux phénomènes physiques utilisés par les capteurs météorologiques :

On distingue d'abord les principaux phénomènes générateurs de tension électrique.

- L'effet piezo-électrique (capteur de pression).
- L'effet thermo-électrique (capteur de température).
- L'effet photo-électrique (capteur de rayonnement).

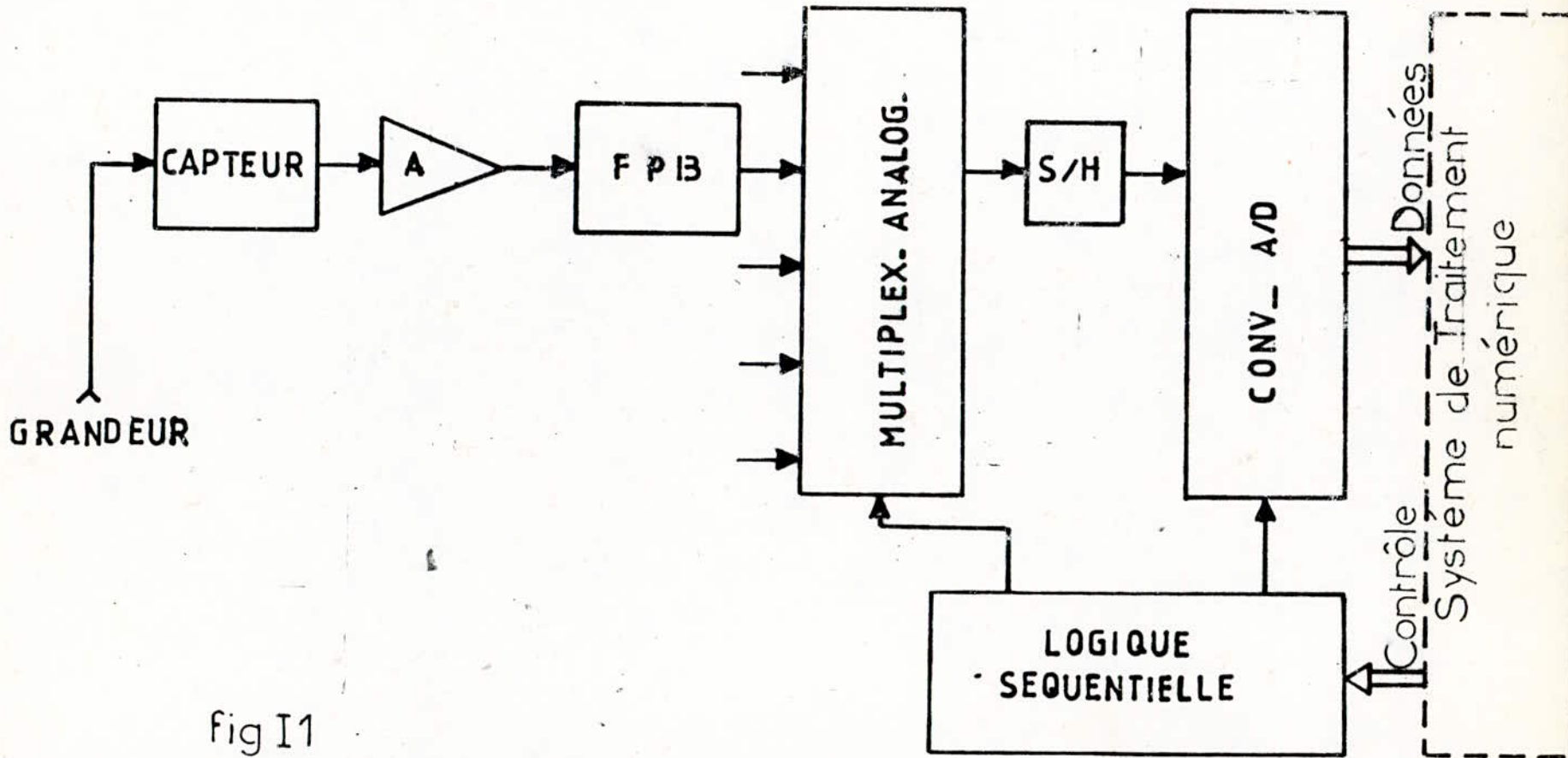


fig I1

A ces effets physiques fondamentaux ; il faut ajoute l'utili-
sation d'éléments passifs variables en fonction d'une action parti-
culière (variation de la résistivité d'une résistance; ou de la capa-
cité d'un condensateur ; ou du champs induit dans une bobine).

2. INTERFACE CAPTEUR-UNITE DE TRAITEMENT NUMERIQUE.

a) Critères de choix

Pour une application donnée, la sélection d'un interface d'a-
daptation s'établit en fonction d'un certain nombre de critères,
dont :

- la résolution et la précision
- le nombre de canaux à traiter et la vitesse d'échantil-
lonnage par canal.
- l'isolation des canaux entre eux et par rapport à l'unité
de conversion
- le taux de réjection en mode commun
- l'utilisation d'un amplificateur à sélecteur de gain
- le coût du système.

Dans les applications où il est fait usage d'équipement so-
phistiqué, les critères sont essentiellement : la vitesse; la dy-
namique; et la précision . Dans notre cas, la dynamique vient en
tête de ces critères pour la détermination du système d'acquisition
adéquat; ceci résulte de l'analyse des données du problème spéci-
fique à notre application .

1/ Les paramètres météorologiques à traiter sont assez lents
dans leurs variations et limités en nombre (cinq dans notre cas :
température ambiante, pression atmosphérique; humidité; vitesse
du vent et taux d'ensoleilment) pour se permettre de reléguer le

critère vitesse d'échantillonnage au second ordre. Un simple calcul permet de s'en assurer :

On a 5 canaux à échantillonner successivement et on sait que la plus rapide variation atmosphérique ne peut dépasser 10H_z (rafales de vent); donc si on fait un échantillonnage uniforme des 5 canaux on a :

$$F_{\text{ech}} = 2 \times 5 \times F_{\text{max}} = 2 \times 5 \times 10 = 100\text{H}_z$$

F_{ech} = fréquence minimum d'échantillonnage.

Donc on peut se satisfaire d'un système aux modestes performances dans ce domaine.

2) Etant donné la grande disparité des signaux émanant des capteurs : s'étallant de quelques millivolts à quelques volts le critère dynamique prend ici une importance particulière car pour prétendre traiter avec la même résolution des signaux de l'ordre du mV (pour les valeurs max jusqu'à 5 volts); cette contrainte nécessite un asservissement du gain de l'amplificateur d'entrée en fonction de la variation du pouvoir de résolution du capteur lui-même fonction de l'ordre de grandeur du signal d'entrée.

Cependant étant donné que chaque capteur à sa propre sensibilité; pouvoir de résolution, fonction de transfert, temps de réponse etc, ceci nécessite une chaîne d'acquisition distincte en fonction des caractéristiques de chaque capteur, pour garder à un niveau exploitable les informations émises par les capteurs. Dans ce contexte il s'avère plus rentable (des points de vue coût et temps) d'utiliser une carte d'acquisition comme la BURR-BROWN (MP 7215) qui a été étudié et conçue pour résoudre ce genre de problèmes en satisfaisant aux normes les plus sévères dans ce domaine.

B/ LA CARTE D'INTERFACE : LA BURR-BROWN (MP 7216)

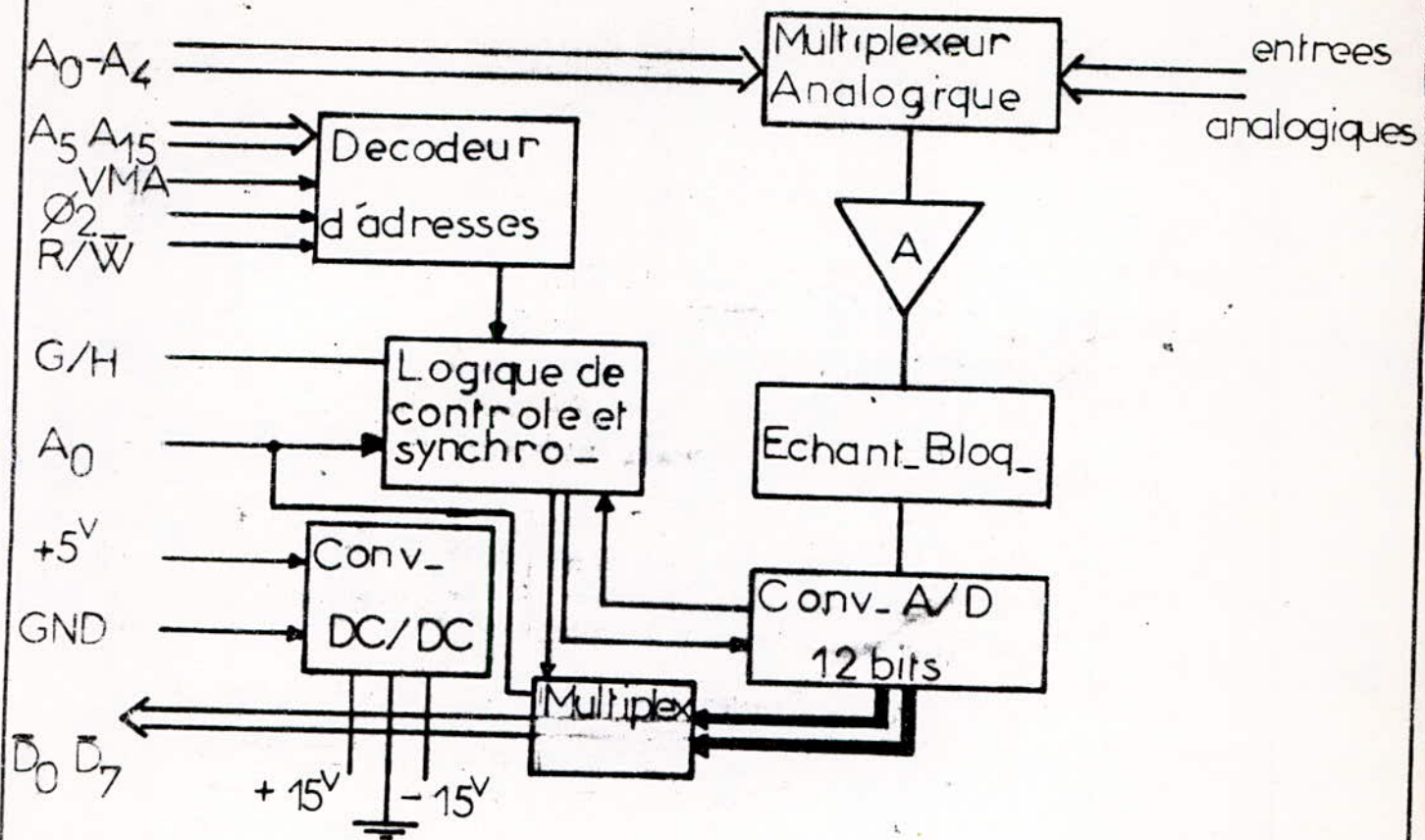
Cette carte hybride est compatible avec les systèmes de développement à base de 6800 ou de 6809 de MOTOROLA. Elle permet le multiplexage et la conversion des 16 canaux d'entrées dans le cas où les signaux sont unipolaires référencés à une masse commune ou de 8 canaux d'entrées pour des signaux bipolaires en mode différentiel; ces entrées peuvent accepter des signaux et les convertir dans des calibres : 2,5V; 5V; 10V; 0 à 5V; 0 à 10V.. Les entrées sont protégées jusqu'à 15V. Les sorties de la carte sont traitées en positions mémoires par le microprocesseur; chaque canal est converti sur 12 bits et il occupe 2 positions mémoires (les 4MSB sont non significatifs), la carte BURR-BROWN occupe donc 32 positions mémoires successives; l'adresse de début de ces positions mémoires est positionnable par des switches de 0000 à FFE0. Les 5LSB du bus d'adresse sont réservés pour la sélection des 16 canaux.

Il convient donc de rappeler qu'il faut tenir compte des 32 positions qu'occupe la carte lors de l'établissement du tableau d'adressage en évitant d'implanter des RAM ou des ROM dans une zone mémoire qui chevauche sur le champ mémoire de la carte.

STRUCTURE DE LA BURR-BROWN

Cette carte comprend :

- un multiplexeur analogique
- un amplificateur à haut gain instrumental



Carte BURR BROWN

Caractéristiques :

- $U_{offset} = 2 \text{ mV}$
- Ecrêtage $U = 4966 \text{ mV}$
- Erreur de conversion 2^{-12}
- Base de temps ϕ_2 (celle du MPU) = 1 MHz
- Temps réel d'acquis. $57 \mu\text{s}$

- un échantillonneur (sample/hold)
- un convertisseur A/D à 12 bits
- une logique de synchronisation; d'adressage et de contrôle
- un convertisseur DC/DC qui convertit la tension d'alimentation de + 5V en une tension de $\pm 15V$ nécessaire à son fonctionnement.

CHAPITRE II : LA CHAÎNE DE TRAITEMENT ET DE RESTITUTION

Dans ce chapitre est décrite l'unité réalisée.
 Cette unité comporte deux parties à savoir :

- le matériel
- le logiciel

A) LE MATÉRIEL (HARWARE)

La réalisation comporte 2 cartes :

a) l'une forme la carte CPU et les différents interférences.
 La CPU est bâtie autour d'un microprocesseur et des circuits permettant le dialogue et la synchronisation des transferts entre le processeur et les interfaces mémoires et la carte BURR-BROWN.

Cette circuiterie (dont les composants doivent être compatibles ou de la même famille que le microprocesseur et les circuits d'interfaces) doit nécessairement comporter :

- une horloge
- une logique de commande et de sélection des boîtiers.

- une logique de contrôle des bus d'adresse et de données.

Les interfaces sont nombre de 3 :

- 2 PIA (Périphéral Interface Adapter) : ce type d'interface programmable permet de dialoguer avec le microprocesseur à partir des périphériques

- 1 ACIA (Asynchronous Communication Interface Adopter) : il réalise la mise au format des données et le contrôle de la transmission pour dialoguer avec un périphérique travaillant en mode série asynchrone (une imprimante série dans notre cas)

b) l'autre carte forme le champs mémoire lui-même divisé en deux :

- La mémoire vive : composée de RAM type 6810 permettant le stackage temporaire des données et valeurs des résultats intermédiaires lors du déroulement des différents programmes d'acquisition, de traitement et de stockage.

- la mémoire morte composée d'EPR0M type 2716. Elle permet la lecture seulement une fois programmée; c'est là ou est stocké l'ensemble du programme de gestion de toute le système (voir organigramme général de gestion et de fonctionnement du système et l'implantation des différents sous-programmes en partie SOFT) ainsi que les programmes de traitement.

Les deux cartes (CPU et mémoires) ainsi que la carte BURR-BRU sont reliées par des connecteurs à un fond de panier commun qui assure la connection des bus données; adresse et contrôle des différentes cartes ainsi qu'avec leurs homologues du système du développement (dans la phase de mise au point)

Une horloge extérieur accessible à l'opération permet la datation des résultats qui seront listés sur l'imprimante et le chronométrage des intervalles d'intégrations .

Cette horloge est constituée de 4 parties :

- la base de temps
- le circuit de comptage et d'affichage
- le circuit de mise à l'heure
- le circuit d'interface avec le processeur

Un clavier à 9 touches permet :

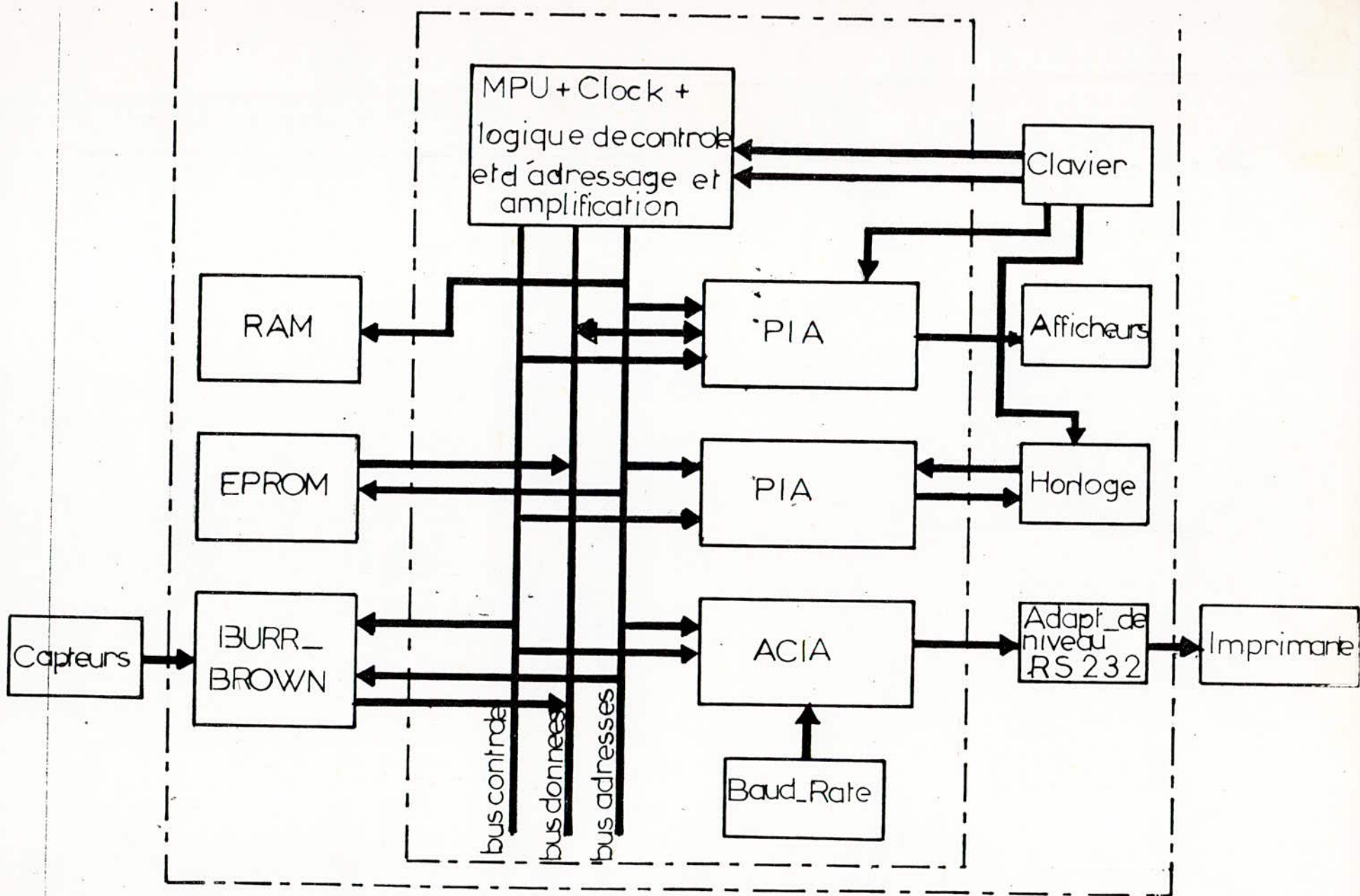
- la visualisation des valeurs instantannées présentes sur les canaux d'entrées au moyen de cinq afficheurs multipléxés
- de restanter le système à tout moment
- la remise à l'heure de l'horloge extérieure.
- la commande d'un listing immédiat même avant la fin de la durée d'intégration.

Enfin une alimentation stable fournit les tensions + 5V; $\pm 12V$ nécessaires en fonctionnement du système.

B) LE LOGICIEL (SOFTWARE)

Pour la mise en oeuvre d'un système à base de microprocesseur, on doit disposer outre du matériel, d'un support logiciel permettant de gérer le système suivant le schéma de fonctionnement établi que nous allons détailler dans la partie programme (organigrammes général de fonctionnement, initialisation du système, gestion des

interruptions, identifications des commandes du clavier etc... ainsi que les sous-programmes de traitement : lecture : lecture des canaux de la BURR-BROWN, intégration, mise en forme, transcodage, affichage multiplexé, émission des résultats vers l'imprimante, etc ...) Un synoptique général du système est donné en Fig.II.1



Synoptique Général du Systeme

A.1- LA CARTE CPU

Elle contient :

- Un MPU MC 6800
- Des buffers d'adresses MC 6880 et de données MC 6885.
- Un générateur d'horloge MC 6875.
- Un décodeur 74 LS 138 pour la sélection des boitiers à l'intérieur de la C.P.U.
- Des portes logiques pour la commande des buffers et du décodeur.
- Des interfaces : 2 PIA (MC 6821), 1 ACIA (6850), les circuits d'adaptation (la RS232) et le BAUD RATE, (MC 14411).

1.1 - LE MPU : MC 6800

C'est un microprocesseur monolithique à 8 bits réalisant la fonction d'unité centrale pour la famille 6800; il est réalisé en MOS canal N, compatible TTL, ne nécessite qu'une tension d'alimentation + 5V et peut être piloté par une horloge de 1 MHz; 1,5 MHz ou 2MHz.

Schéma fonctionnel : fig II.2 ; Brochage voir Annexe.

Caractéristiques :

- 1°)- Bus de données : 8 lignes bidirectionnelles (D_0-D_7); permet le transfert des données entre le MPU et les circuits mémoires ou périphériques.
- 2°)- Bus d'adresses : 16 lignes unidirectionnelles (A_0-A_{15}); permet l'adressage d'un espace mémoire de 64 Koctets.

Les deux bus sont à sorties 3 états permettant l'accès directe en mémoire et les configurations multiprocesseurs.

3°)- Bus de contrôle et de commande :

C'est un ensemble de signaux permettant le dialogue entre le M.P.U et sa périphérie; d'interrompre; d'arrêter; ou de reinitialiser le système.

Présentation sommaire des signaux de contrôle et de commande :

a) ϕ_1 ; ϕ_2 : deux signaux d'horloge en quadrature sans recouvrement.

ϕ_1 haut (ϕ_2 bas) : le M.P.U adresse ses registres internes.

ϕ_1 bas (ϕ_2 haut) : le M.P.U adresse sa périphérie.

b) BA (bus disponible) : cette sortie est généralement à l'état bas quand elle passe à l'état haut elle n'indique que le M.P.U est arrêté : toutes les sorties à 3 états sont à l'état haute impédance.

c) VMA : A l'état haut cette sortie indique à la périphérie qu'une adresse est valide sur le bus d'adresse; à l'état de repos elle est à l'état bas.

b) R/\bar{W} : Cette sortie à 3 états indique si le MPU est à l'état de lecture $R/\bar{W} = 1$ ou écriture $R/\bar{W} = 0$, elle passe à l'état haute impédance quand le MPU est arrêté.

e) TSC: Cette commande d'entrée trois états est utilisée pour des accès directs en mémoire de courte durée quand il passe à l'état haut BA et VMA sont forcés à l'état bas, les lignes d'adresses et le R/\bar{W} sont à l'état haute impédance.

TSC est désactivé dans notre cas étant donné qu'on n'utilise pas le DMA.

- c) \overline{DBE} : C'est le signal de commande trois états pour le bus données, il est en général commandé par la phase ϕ_2 l'horloge ; à l'état haut il active le bus de données pour les applications DMA il doit être maintenu à l'état bas.
- f) \overline{IRQ} : Cette entrée provoque une interruption (si le bit masque d'interruption est à 0) quand elle passe à l'état bas.
- g) \overline{NMI} : Ce signal a la même fonction que IRQ sauf qu'il ne tient pas compte de l'état du masque d'interruption. Cette entrée est activée quand elle passe de l'état haut à l'état bas.
- h) \overline{HALT} : Cette entrée est sensible à un niveau bas ; elle permet la commande d'exécution du programme par une source externe.
Quand \overline{HALT} est activée on a $BA = 1$; $VMA = 0$.
- i) \overline{RESET} : Son passage à l'état bas provoque la remise à l'état initial du système ; elle est utilisée pour redémarrer le système après une panne d'alimentation ou lors de la mise sous tension ; elle permet de réinitialiser la machine à tout moment.

L'organigramme détaillé de gestion des interruptions par le M.P.U est donné en Annexe.

4°)- Les registres internes du M.P.U.

Ils sont au nombre de six, accessibles par programme.

- LE POINTEUR DE PILE (SP) :

C'est un registre à 16 bits ; contient l'adresse de la position disponible dans une pile externe fonctionnant en LIFO; cette pile peut être positionnée en n'importe quelle adresse en RAM.

- LE REGISTRE D'INDEX.

C'est un registre à 16 bits qui peut être utilisé pour les transferts de données ou comme index dans le mode d'adressage indexé

- LE COMPTEUR DE PROGRAMME.

C'est un registre à 16 bits contenant l'adresse courante dans le programme.

- DEUX ACCUMULATEURS : (A et B) de 8 bits utilisés pour contenir les résultats de l'unité arithmétique et logique (ALU).

- LE REGISTRE D'ETAT : (CCR) : Ce registre de 8 bits contient des indicateurs sur le résultat d'une opération de l'UAL ou l'état du masque d'interruption, les bits de ce registre sont utilisés comme code condition test dans les instructions de saut conditionnel

- . Bit 0 : retenue du bit 7 (carry).
- . Bit 1 : dépassement en complément à deux (overflow)
- . Bit 2 : résultat nul.
- . Bit 3 : résultat négatif.
- . Bit 4 : état du masque d'interruption (s'il est à 1 toute requête d'interruption est ignorée).
- . Bit 5 : demi-retenu du bit 3 (half-carry)

. Les bits 6 et 7 du CCR sont toujours à 1.

5°)- JEUX D'INSTRUCTIONS DU 6800.

Le 6800 possède 72 types d'instructions de longueur variable (1,2 ou 3 octets) et compte tenu du fait qu'il possède 7 modes d'adressages (immédiat ; direct ; relatif ; indéxé ; étendu; implicite; et indirect) il totalise 197 instructions tout mode confondus ; pour plus de détail concernant l'effet de chaque instruction sur les registres internes du M.P.U et en particulier sur le registre d'état voir le listing du Jeu d'Instruction en Annexe.

1.2 - LES BUFFERS DE DONNEES ET D'ADRESSES.

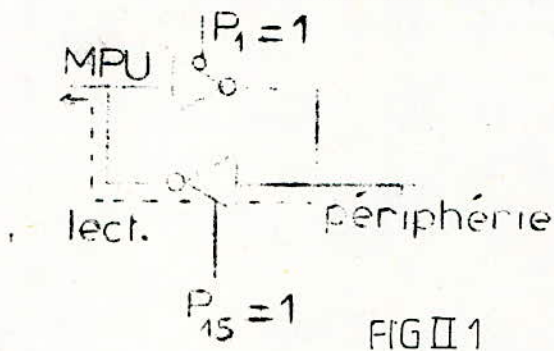
1°) Les buffers de données :(MC 6880 plus connu sous le nom 8T26). Deux circuits de ces quadruples amplificateurs bidirectionnels à sorties 3 états assurent l'adaptation et la protection des lignes du bus de données avec la périphérie du M.P.U ; ces amplificateurs sont nécessaires étant le nombre de charge TTL que doit commander chaque ligne du bus (rappelons que la sortance d'un circuit MOS est 0,25 tandis que l'entrance d'un circuit TTL-LS est

LA LOGIQUE DE COMMANDE DES 8T26

Suivant qu'il s'agisse d'un ordre de lecture ou d'écriture, le dispositif de commande permet la validation des buffers dans le sens entrant ou sortant.

Cette commande est assurée par les broches, P₁ et P₁₅ du 8T26 dont l'état est resumé par le tableau de vérité suivant :

P_1	P_{15}	FONCTION DU 8T26
0	0	Lecture
0	1	Indéterminée (interdite)
1	0	Haute impédance
1	1	Ecriture



Nous avons représenté la commande de la ligne D_0 , en fait toutes les lignes sont commandées de la même façon par les broches P_1 et P_{15} .

FIG II 1

a) LECTURE (en dehors de la CPU)

Afin d'effectuer cette opération il faut que :

- $DBE (\emptyset_2) = 1$ Bus de données valide
- $R/\bar{W} = 1$ Bus de données entrant
- $BA = 0$ Bus d'adresses disponibles

D'où le tableau de vérité :

BA	R/W	DBE	P ₁₅
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	0

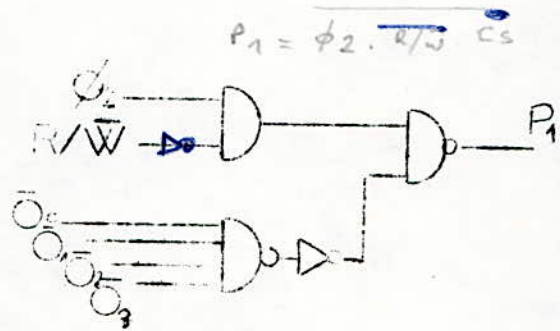


FIG II.2.b

b) ECRITURE (en dehors de la C.P.U).

Pour effectuer cette opération il faut que :

- DBE = 1 Bus de données disponible
- R/W = 0 Bus de données sortant
- CS = 0 Le boîtier adressé est à l'extérieur de la C.P.U

D'où le tableau de vérité :

CS	R/W	ϕ_2	P ₁₅
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

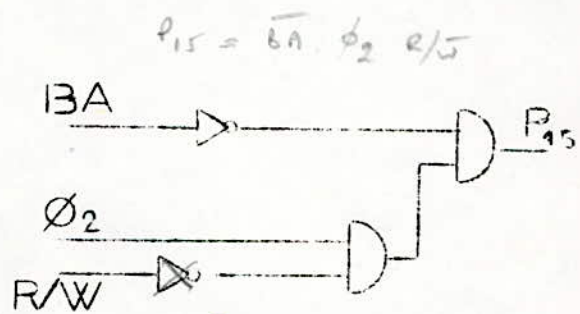


FIG II.2.a

VERIFICATION

$$a) P_1=0 \left\{ \begin{array}{l} R/\bar{W} = 0 \\ \bar{\phi}_1 = 1 \\ \overline{CS} = 0 \end{array} \right\} \Rightarrow P_{15} = 0 \neq BA$$

On a donc bien une ECRITURE car P_1 et $P_{15} = 0,0$

$$b) P_{15} = 1 \Rightarrow \left\{ \begin{array}{l} \phi_2 = 1 \\ R/\bar{W} = 1 \Rightarrow P_1 = 1 \neq \overline{CS} \\ BA = 0 \end{array} \right.$$

On a donc une LECTURE car $P_1, P_{15} = 1,1$

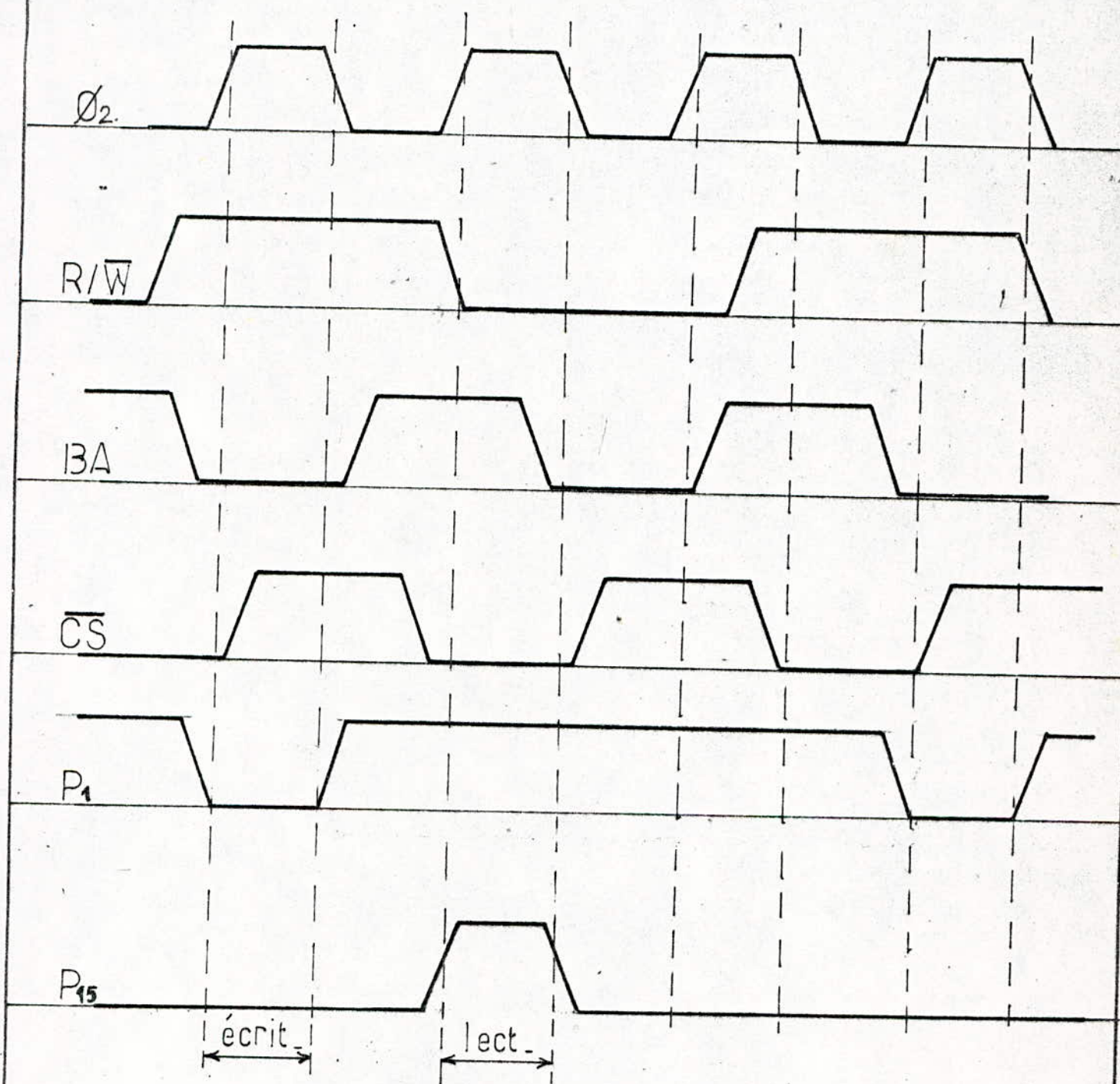
c) On n'a jamais le cas $P_1, P_{15} = 0,1$ qui laisse le bus de données dans un état indéterminé (le cas à éviter) car :

$$\begin{array}{l} P_{15} = 1 \Rightarrow R/\bar{W} = 1 \\ \text{et } P_1 = 0 \Rightarrow R/\bar{W} = 0 \end{array} \quad \begin{array}{l} \text{Ce cas ne se présente jamais du fait} \\ \text{que } R/\bar{W} \text{ ne peut avoir deux états simul-} \\ \text{tanéments.} \end{array}$$

2°) Les buffers d'adresses : (MC6885 plus connu sous le MT95

Trois circuits de ces sextuples amplificateurs unidirectionnels à sorties 3 états, permettent de buffériser (pour les mêmes raisons évoquées pour le bus de données) les 16 lignes du bus d'adresses, les signaux R/\bar{W} et VMA nécessaires pour un dialogue avec des circuits tels les mémoires.

Etant donné que le bus d'adresses est unidirectionnel, sa commande se résume uniquement à BA. (Indicateur de l'état du bus d'adresses):



Chronogramme des entrees P₁ P₁₅ commandants
le transfert des donnees (8T26)

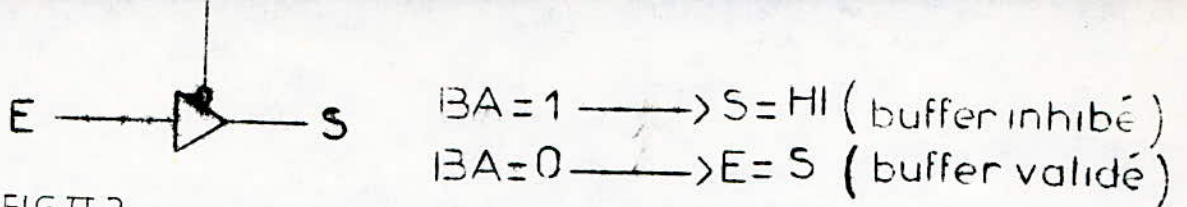


FIG II 3 idem pour les autres lignes

1.3 - LE CIRCUIT D'HORLOGE

Il est basé sur le générateur d'horloge le MC 6875, celui-ci fournit les signaux d'horloge ϕ_1 et ϕ_2 non chevauchant, nécessaire au fonctionnement du MPU, ainsi que les signaux de rafraichissement mémoire ce qui permet une extension facile du système en assurant synchronisation.

Une seule alimentation lui est nécessaire : + 5V; un quartz 4MHz déterminant la fréquence du système qui est de 1MHz, La résistance de 1 K ohm contribue suffisamment à réduire le coefficient de qualité Q pour maintenir la stabilité de fonctionnement du quartz

Schéma du circuit horloge voir fig.11.5.

Sommaire des signaux de l'horloge :

* MPU ϕ_2 : sorties pouvant commander les entrées ϕ_1 ; ϕ_2 du MPU
* ϕ_2 TTL : sortie en phase avec l'entrée ϕ_2 du MPU pouvant commander des circuits TTL (pour la commande des 8T26 et du décodeur interne de la CPU)

* DMA/REF.REF.REO : entrées asynchrones utilisées pour permettre rafraichissement dynamique des mémoires ou un accès direct en mémoire .

* REF GRNT : sortie synchrone permettant le rafraichissement de la mémoire ou l'accès directe à celle -ci.

* RESET : sortie permettant la remise à zéro du système et des circuits d'interfaces E/S

* MCLK : sortie en phase avec ϕ_2 fonctionnant librement pendant un cycle de rafraichissement

* MRDY : entrée asynchrone utilisée avec une mémoire lente.

* POWER ON RESET : entrée d'un bascule (trigger de Schmitt) pour commande de la sortie RESET (non utilisé dans notre cas car on restarte le système extérieurement.

* EXT.IN : permet de piloter le circuit à partir d'un signal extérieur pour assurer la synchronisation du MPU avec un dispositif externe (non utilisé dans notre cas).

* X_1 ; X_2 : broches prévues pour connecter le quartz en résonance série .

Toutes les entrées non utilisées sont maintenues à l'état inactif (celles qui sont actives à l'état haut sont mises à la masse

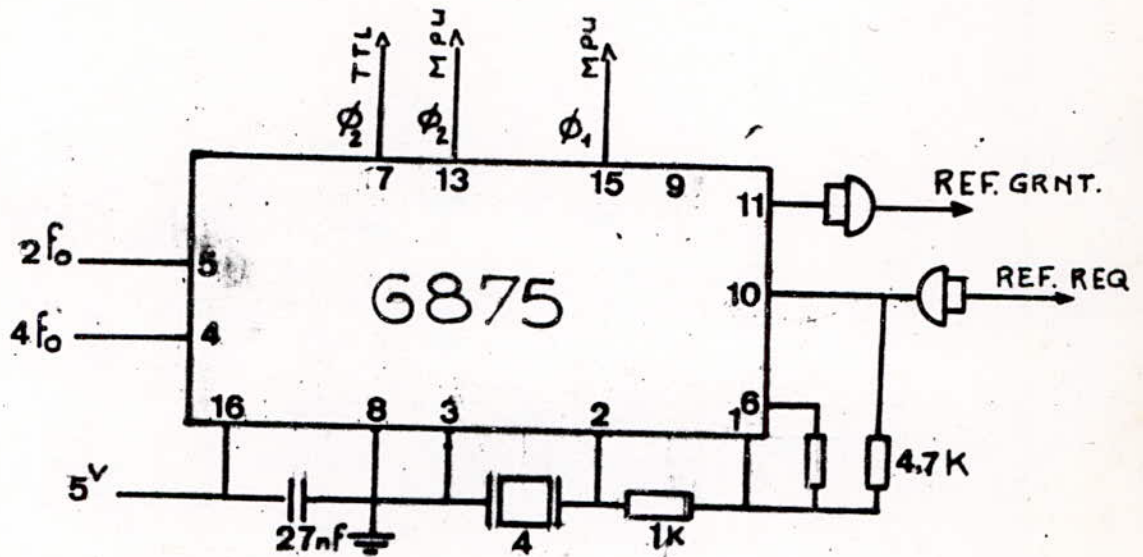


FIG II 5

Circuit d'Horloge

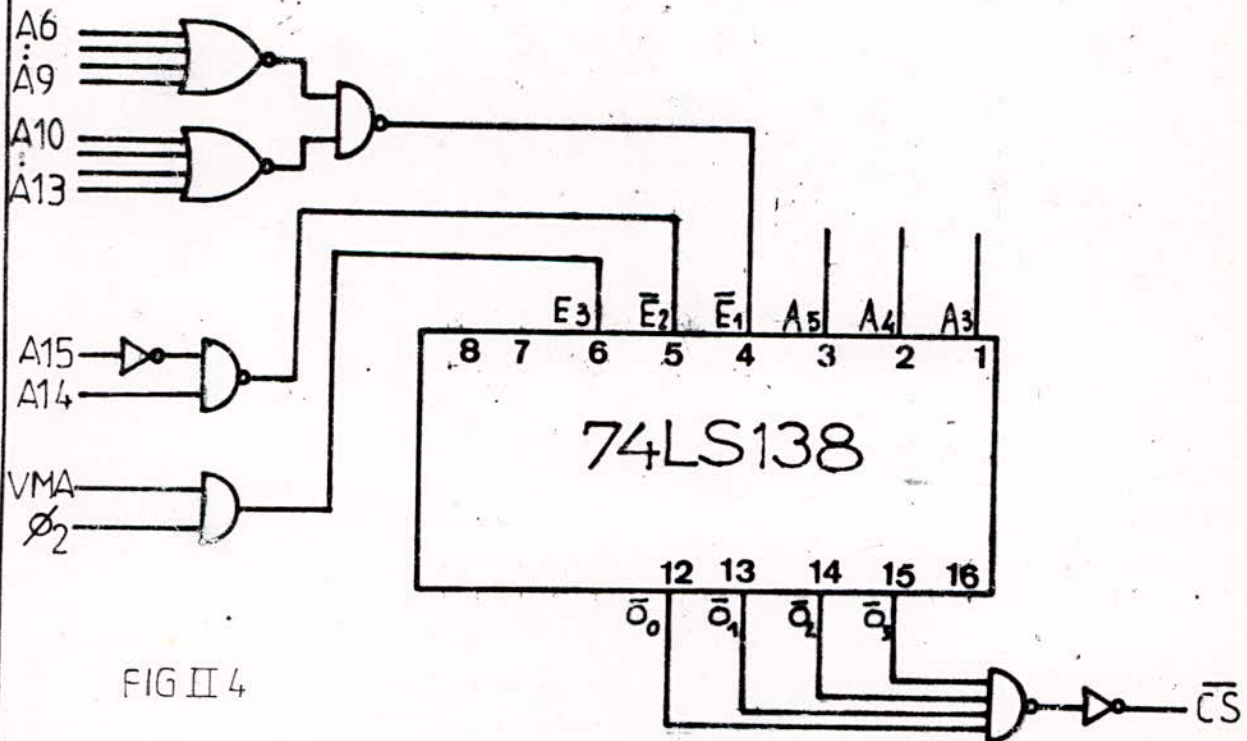
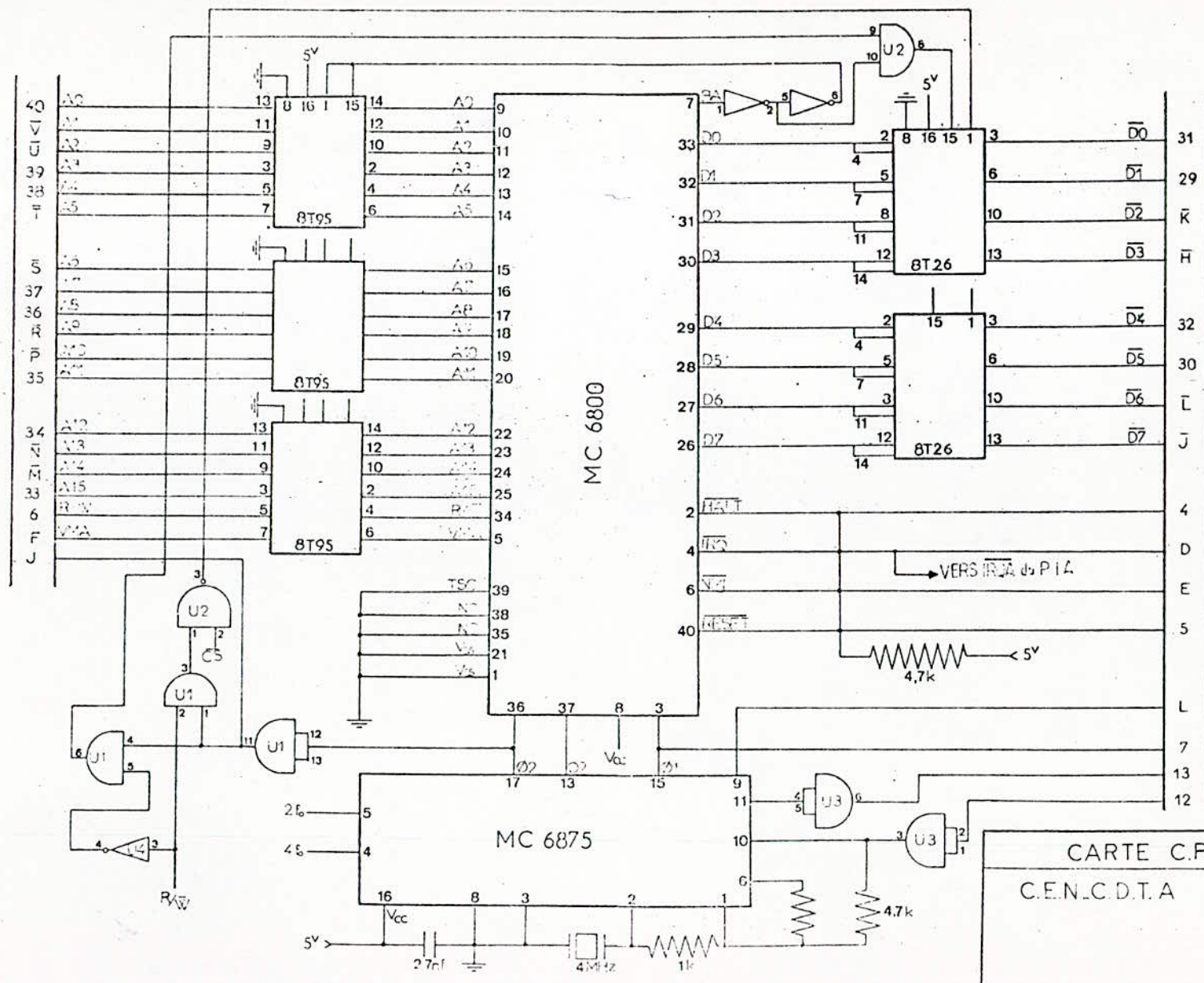


FIG II 4

Circuit de Decodage
a l'interieur de la C.P.U



CARTE C.P.U
 C.E.N.C.D.T.A janv.85

et celles qui sont actives à l'état bas sont mises à +5V à travers une résistance de 3K ohm. La broche d'alimentation est découplée par une capacité de 27nF la reliant directement à la masse.

5- L'ADRESSAGE ET LA LOGIQUE DE DECODAGE (à l'intérieur de la CPU)

Ø l'intérieur de la carte CPU on a 3 interfaces à adresser à savoir deux PIA occupant chacun 4 octets et un ACIA occupant 2 octets. Ils sont implantés dans les position mémoires suivantes

* PIA : 4008 à 400B

* PIA : 4010 à 4013

* ACIA : 4018 à 4019

(voir tableau d'adressage)

Pour cela un décodeur 1 parmi 4 est optimal, cependant pour une question de disponibilité de composants on a été amené à utiliser un décodeur 1 parmi 8 ce qui peut s'avérer utile dans le cas où on serait amenés à ajouter d'autres interfaces.

Pour la validation du décodeur (afin de sélectionner le boîtier dont l'adresse est présente sur l'entrée du décodeur) on utilise les signaux de contrôle émanants du MPU :

VMA et ϕ_2 afin que la sélection de boîtier s'effectue quand les bus d'adresses et de données sont valides en même temps

Quand aucun boîtier n'est sélectionné on positionne à l'aide d'une porte NAND le signal CS à 1 afin d'indiquer aux 8T26 qu'aucun boîtier à l'intérieur de la carte C.P.U n'est sélectionné.

voir fig II 4

A-2 LES INTERFACES

Pour que l'unité centrale puisse dialoguer avec dispositif

24

de communication opérateur-système (la périphérie physique) un interface entre l'unité centrale et cette périphérie physique est indispensable, ceci pour divers raisons, dont :

- modes et vitesse de transmission des données
- différence entre les niveaux logiques de fonctionnement de l'U.C et les niveaux de travail de chaque périphérique (afficheurs; clavier, et imprimante)

D'où un type d'interface pour chaque genre de communication avec les organes périphériques est recommandé.

1) Circuit d'interface pour afficheurs et clavier

L'interface est réalisé par un circuit programmable (le PIA) celui-ci permet de communiquer avec le MPU à partir du dispositif qu'on a conçu (le clavier et les afficheurs).

* ORGANISATION INTERNE DU PIA

C'est un circuit pratiquement symétrique, il comporte deux ports de communication qu'on appelle PORT A et PORT B. Chaque port comprend 8 lignes programmables individuellement en entrée ou en sortie; le sens des échanges de chaque port est fixé par le contenu du registre de direction de donnée DDRX.

Les lignes (CA1, CA2) ; (CB1, CB2) permettent de dialoguer avec l'extérieur selon un mode fixé par le registre de contrôle (CRX) de chaque port; enfin les données sont bufférisées dans un registre de sortie (ORX).

(Voir tableau de synthèse de programmation du PIA et schéma fonctionnel en Annexe).

* SIGNAUX DE LIAISON DU PIA AVEC LE MPU.

Les deux circuits sont reliés à travers :

- le bus de données D0-D7
- les lignes de sélection du boîtier : CS0, CS1 et $\overline{CS2}$.
CS0 et CS1 sont à l'état haut
 $\overline{CS2}$ est reliée à une sortie du décodeur interne de la CPU.
- les lignes de sélection du registre interne du PIA : RS0 et RS1 elles sont reliées dans notre cas à A0 et A1 du bus d'adresses.
- R/\overline{W} : Détermine le sens de transfert des données : lecture ou écriture dans le PIA
- l'entrée E (enable) est reliée à la phase ϕ_2 TTL de l'horloge afin de synchroniser les échanges.
- deux lignes d'interruption \overline{TRQA} et \overline{TRQB} non utilisées dans notre cas.
- la ligne \overline{RESET} : sensible au niveau bas, reçoit le signal RESET général de la carte ce qui reinitialise tous les registres.

* UTILISATION DES PIA DANS NOTRE SYSTEME.

Notre réalisation a nécessité l'utilisation de deux PIA :

* PIA 1 :

Les 4 lignes du port A sont utilisées pour commander les entrées de 5 afficheurs multipléxés. (voir paragraphe affichage)
les 4 lignes du port B sont programmées en entrée pour la détection des commandes du clavier (voir paragraphe CLAVIER)

* PIA 2 :

26
Le port A est programmé en entrée pour la lecture de l'horloge (heures, minutes et secondes).

Le port B commande la lecture des heures; minutes ou secondes. (voir chapitre horloge).

2) CIRCUIT D'INTERFACE DE L'IMPRIMANTE.

Cet interface est réalisé au moyen d'un ACIA. Il permet le dialogue avec l'imprimante suivant la norme RS232 : en réalisant la conversion série-parallèle et parallèle-série des données. Il est en communication avec le MPU par l'intermédiaire des bus de données, d'adresses et de contrôle.

Trois lignes d'entrée-sortie permettent le dialogue avec le périphérique : (CTS, DCD, RTS)

Une ligne de transmission et une ligne de réception assurent les échanges de données (en série) avec la périphérie.

synop_ & prog_ voir Annexe

3) CIRCUIT BAUD RATE

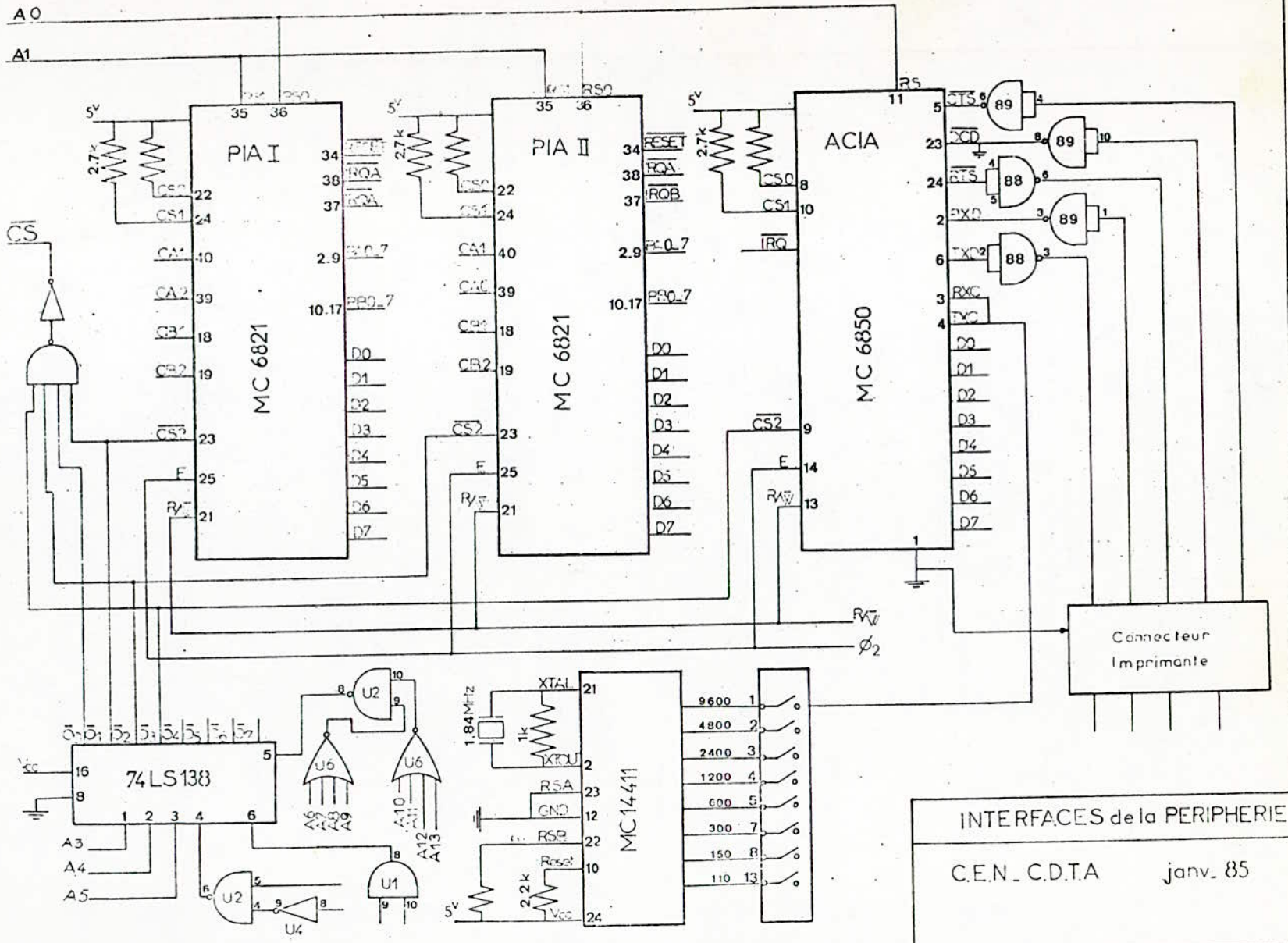
Le circuit BAUD RATE (MC14411) est piloté par un quartz de 1,8432 MHz; il permet de fixer la vitesse de transmission et de réception des données grâce aux phases d'horloge qu'il génère.

Il est connecté à l'ACIA à travers les lignes :

* TxCLK : entrée horloge de transmission, elle sert de référence pour la transmission des données

* RxCLK : entrée horloge de réception, elle est utilisée pour la synchronisation des informations recues.

Ce circuit est configurable afin de s'adapter aux différents



INTERFACES de la PERIPHERIE
 C.E.N. C.D.T.A janv. 85

modes de programmation de l'ACIA (facteur de division de précharge de TxCLK et RxCLK, (structure et fonctionnement du BAUD GATE voir Annexe)

Adaptation de niveau :

L'interfaçage entre des signaux TTL de l'ACIA et des signaux RS 232 (imprimante) nécessite deux circuits à savoir :

- le MC 1488 : circuit d'émission .

En appliquant des signaux TTL sur les entrées on obtient en sortie des signaux RS 232 (\neq 12V)

- le MC 1489 : circuit de réception

Il admet à l'entrée des signaux RS 232 pour fournir des signaux TTL (+5V)

(voir structure des MC 1489 en annexe).

La RS 232 utilise une logique négative.

Utilisation :

Les deux circuits sont directement connectés à l'ACIA et à la logique TTL et au connecteur de l'imprimante côté RS 232

(voir fig.2.6)

A.3 La carte mémoire :

Comme son nom l'indique, elle est destinée à contenir l'ensemble du champ mémoire nécessaire au fonctionnement du système si on considère l'abstraction des quelques positions mémoires occupées par la BURN BROWN (32) et celles occupées par les circuits d'interfaces à l'extérieur de la CPU (10).

Elle contient outre les circuits de mémoires vives et mortes un ensemble de circuits logiques permettant la commande de sélection de boîtier et de contrôle des transferts des données.

1. LA MEMOIRE VIVE.

Elle est destinée à contenir l'ensemble du flux de données des valeurs intermédiaires pendant le traitement des données et des résultats finaux à restituer aux périphériques. Pour accomplir cette tâche elle doit nécessairement permettre l'accès en lecture ou écriture d'où son nom : RAM : (Random Access Memory)

Dans notre cas on n'a pas besoin de stocker un grand volume de données ou de résultats semi-finaux, car en faisant la restitution des résultats après chaque listing on évite le cumul des données et des résultats intermédiaires. C'est ce qu'on a pu vérifier après avoir assemblé notre programme et recensé le nombre des positions mémoires vives nécessaires. Il nous faut donc moins de 256 octets d'où l'utilisation de 2 mémoires RAM statiques (type 6810) dont la capacité est de (128X8) bits.

Les RAM sont positionnées successivement en page 0 : de 7F et de 80 à FF ce qui nous permettra d'utiliser l'adressage direct.

2. LA MEMOIRE MORTE. ROM (Read Only Memory)

C'est dans cette zone mémoire où est logé le programme de gestion, comportant tous les sous-programmes assemblés (d'acquisition de mise en forme, d'intégration, de transcodage, d'affichage, listing, de détection des commandes du clavier etc...)

Notre programme de gestion a nécessité l'utilisation de EPROM (type 2716) de (2048X8) bits chacune. Le programme est dans les intervalles (F000-F7FF) et (F800-FFFF)

3.1 Adressage et Commande de Validation de boîtiers et de buffers

Le données ; le bus d'adresses ne décode que partiellement. Les adresses des boîtiers mémoires RAM et ROM

Les RAM (6810) sont adressées à l'aide de 7 lignes d'adresses $A_0 \dots A_6$. La ligne A_7 sera utilisée pour distinguer entre RAM 1 et RAM 2.

ie : $A_7 = 0$ RAM 1 : ~~E000~~^{007F} - E7FF
~~0070~~⁰⁰⁷⁰ - 00FF
 $A_7 = 1$ RAM 2 : E800-FFFF

On appliquera donc : $\overline{A_7}$ à l'entrée CS3 de la RAM 1
 A_7 à l'entrée CS3 de la RAM 2

Les 8 lignes $A_{15} A_{14} \dots A_8$ doivent être à zéro

Nous les avons utilisés pour valider la RAM

$A_{15} + A_{14} = 0$ valide $\overline{CS5}$ $A_{11} + A_{10} = 0$ valide $\overline{CS2}$

$A_{13} + A_{12} = 0$ valide $\overline{CS4}$ $A_9 + A_8 = 0$ valide $\overline{CS1}$

VMA . $\emptyset_2 = 1$ valide CS0

3.2 Commande des buffers de données des RAM

Les buffers utilisés sont les mêmes que ceux de la carte CPU (8T26), seulement leur commande change :

Les buffers doivent être entrants pour $R/\overline{W} = 0$ et sortants pour $R/\overline{W} = 1$ et cela seulement quand $\emptyset_2 = 1$ (Data Bus Valid);
 $\overline{CS5} = 1$ ie la RAM est sélectionnée ($\overline{CS5} = A_{15} + A_{14}$). ($\overline{A_8 + A_9}$)

Pour tous les autres cas il faut que les lignes de sortie des buffers soient à l'état H.I.

D'où la table de vérité

CS5	R/w	ϕ_2	P ₁	P ₁₅
0	0	0	0	0
0	0	1		0
0	1	0	1	0
0	1	1	1	0
1	0	0	1	0
1	0	1	0	0
1	1	0	1	0
1	1	1	1	1

H.1

H.1

H.1

H.1

H.1

Lecture *écriture*

H.1

écriture *Lecture*

$$\text{Donc : } P_1 = \overline{R/w} \cdot \phi_2 \cdot \overline{CS5}$$

$$P_{15} = R/w \cdot \phi_2 \cdot \overline{CS5}$$

L'adressage de la ROM

Les 2 EPROM (2716) s'adressent sur 11 LSB du bus d'adresse. Les 4 MSB : A₁₅ A₁₄ A₁₃ A₁₂ doivent valider la ROM dans l'adresse

F000 à FFFF A₁₅ A₁₄ A₁₃ A₁₂ = 1111 $\overline{CS} = A_{15} \cdot A_{14} \cdot A_{13} \cdot A_{12}$

La ligne A₁₁ fait la différence entre les 2 EPROM.

- * A₁₁ = 0 sélection de l'EPROM 1 sur \overline{G} : (voir carte mémoire)
- * A₁₁ = 1 sélection de l'EPROM 2 sur \overline{G} (" " ")

3.3 Commande des buffers du bus de données (ROM).

Les 8 lignes de données sont bufférisées aussi par des

mais ne se valident que pour la lecture ($P_1, P_{15} = 00$) car elle n'est destinée qu'à la lecture après avoir logé le programme de gestion du système.

Cette validation a lieu aux conditions suivantes :

* $R/\overline{W} = 1$

* $(\overline{CS}_2) = A_{15} A_{14} A_{13} A_{12}$ valide \overline{DE}

* $\emptyset_2 = 1$ (Data Bus Valid)

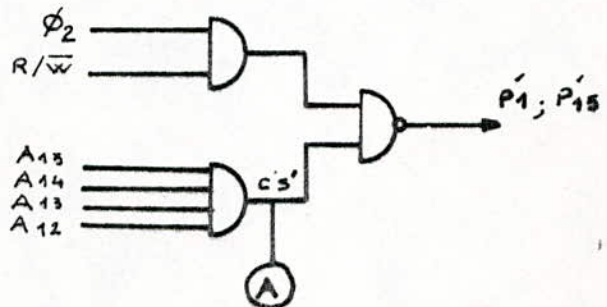
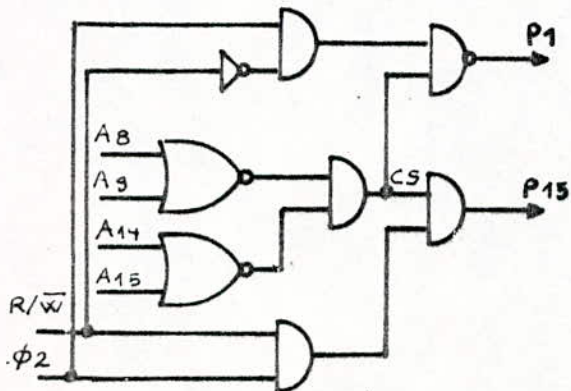
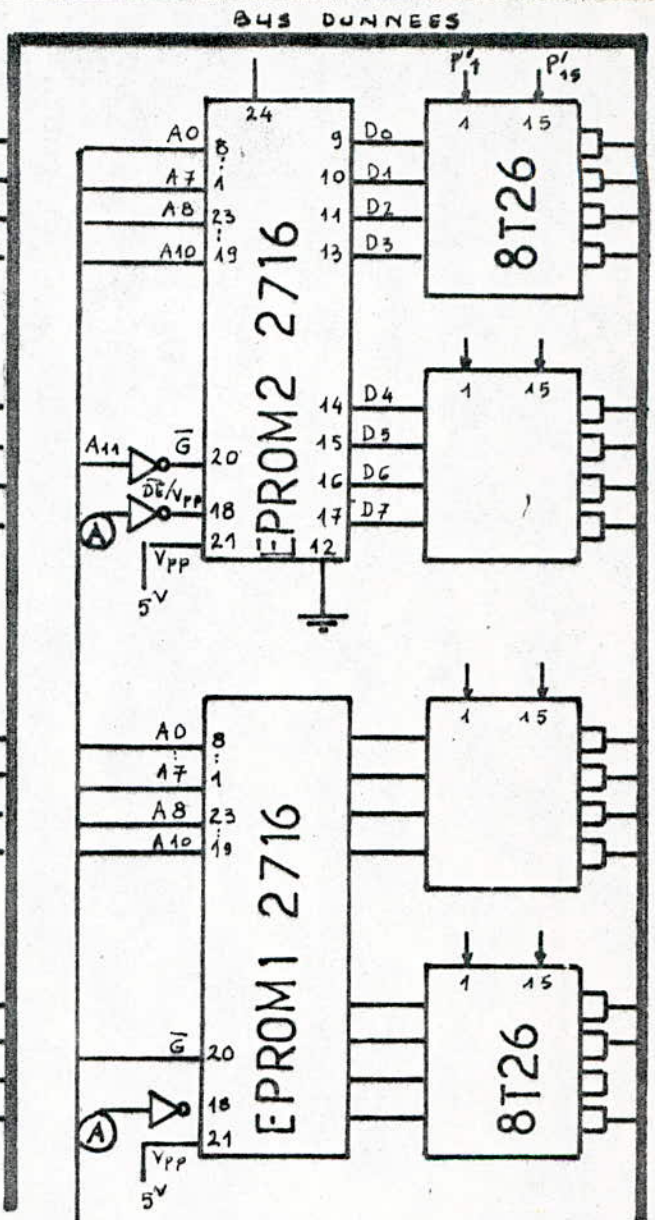
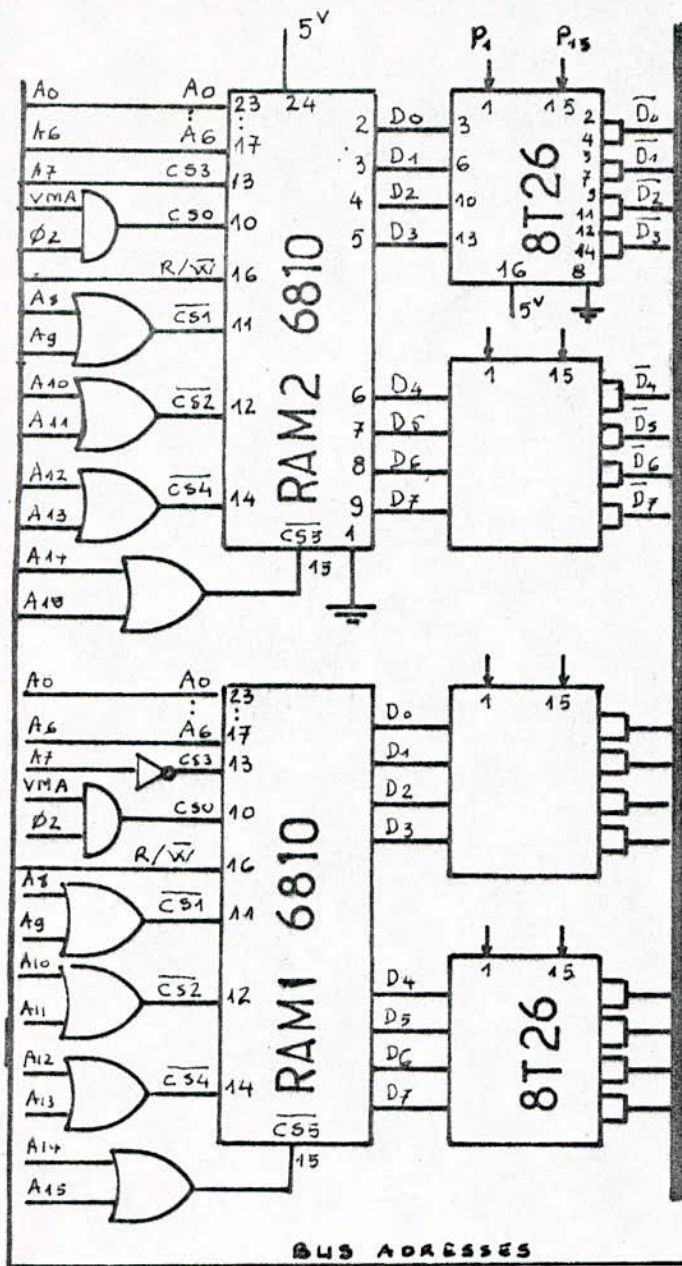
Pour tous les autres états les buffers doivent être à l'état

H.I.

D'où la table de vérité.

\overline{CS}_2	R/\overline{W}	\emptyset_2	P_1	P_{15}	
0	0	0	1	0	H.I.
0	0	1	1	0	H.I.
0	1	0	1	0	H.I.
0	1	1	1	0	H.I.
1	0	0	1	0	H.I.
1	0	1	1	0	H.I.
1	1	0	1	0	H.I.
1	1	1	1	1	écriture lecture

d'où $P_{15} = D_{\uparrow} = \overline{CS}_2 \cdot R/\overline{W} \cdot \emptyset_2$



Carte MEMOIRE et Logique de Commande des buffers

Tableau d'Adressage

adresse	A ₁₅ A ₁₄ A ₁₃ A ₁₂	A ₁₁ A ₁₀ A ₉ A ₈	A ₇ A ₆ A ₅ A ₄	A ₃ A ₂ A ₁ A ₀	attribution	Taille octets
0000	0 0 0 0	0 0 0 0	0 0 0 0	0 0 0 0	RAM	128
007F	0 0 0 0	0 0 0 0	0 1 1 1	1 1 1 1		
0080	0 0 0 0	0 0 0 0	1 0 0 0	0 0 0 0	RAM	128
00FF	0 0 0 0	0 0 0 0	1 1 1 1	1 1 1 1		
0100	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	Burr Brown	32
011F	0 0 0 0	0 0 0 1	0 0 0 1	1 1 1 1		
0120	0 0 0 0	0 0 0 1	0 0 0 0	0 0 0 0	Extension RAM	~ 16k
3FFF	0 0 1 1	1 1 1 1	1 1 1 1	1 1 1 1		
4000	0 1 0 0	0 0 0 0	0 0 0 0	0 0 0 0	Ext. Interfaces sur CPU	7
4007	0 1 0 0	0 0 0 0	0 0 0 0	0 1 1 1		
4008	0 1 0 0	0 0 0 0	0 0 0 0	1 0 0 0	PIAI	4
400B	0 1 0 0	0 0 0 0	0 0 0 0	1 0 1 1		
4010	0 1 0 0	0 0 0 0	0 0 0 1	0 0 0 0	PIAII	2
4013	0 1 0 0	0 0 0 0	0 0 0 1	0 0 1 1		
4018	0 1 0 0	0 0 0 0	0 0 0 1	1 0 0 0	ACIA	2
4019	0 1 0 0	0 0 0 0	0 0 0 1	1 0 0 1		
4020	0 1 0 0	0 0 0 0	0 0 1 0	0 0 0 0	Extension EPROM	~ 44k
FFFF	1 1 1 0	1 1 1 1	1 1 1 1	1 1 1 1		
F000	1 1 1 1	0 0 0 0	0 0 0 0	0 0 0 0	ROM1	2k
F7FF	1 1 1 1	0 1 1 1	1 1 1 1	1 1 1 1		
F800	1 1 1 1	1 0 0 0	0 0 0 0	0 0 0 0	ROM2	2k
FFFF	1 1 1 1	1 1 1 1	1 1 1 1	1 1 1 1		

CHAPITRE III: LES PERIPHERIQUES

Ces organes constituent le ~~dispositif de communication~~ entre l'opérateur humain et le système; ils adaptent le langage binaire des circuits digitaux à un langage compréhensible à l'échelle humaine permettant alors de récupérer les résultats; ou d'introduire des commandes.

Dans notre cas ces organes sont au nombre de trois :

- 1. CLAVIER
- 2. LES AFFICHEURS
- 3. L'IMPRIMANTE

1. CLAVIER

C'est par l'intermédiaire de cet organe d'entrée qu'on ~~com-~~mande, contrôle où interrompt l'exécution des tâches programmées au fonctionnement du système. On peut aussi à partir du clavier réinitialiser le système où remettre à l'heure l'horloge externe. En ce qui concerne la partie de commandes qui sont traités par le programme, le processus d'identification de la commande se fait après une séquence de 2 touches déterminées. Cette conception du processus d'identification est dûe à notre désir volontaire de limiter le nombre de touches à 9 tout en intégrant les commandes de réinitialisation et de remise à l'heure de l'horloge dans le clavier

On a ~~coté~~ 9 fonctions qui sont :

- Visualisation des canaux (1 à 5) : 5 fonctions
- Acquisition, intégration et listing ^{avec} ~~avec~~ une durée d'intégration variable (10', 20', 30') : 3 fonctions.
- Commande de listing immédiat : 1 fonction

Le clavier est constitué de 9 touches dont 6 réservées à la commande par programme, une pour la commande réinitialisation et 2 touches pour la commande de l'horloge externe (Remise à l'heure).

* Les 6 touches de commande : voir fig 3.1.

T₁, T₂, T₃ : sont appelées touches Appel de Programme. La commande d'une parmi ces 3 touches génère un NMT qui branchera le microprocessuer sur le programme d'identification des commandes de clavier.

T₄; T₅; T₆ : chaque commande de touche T₁, T₂ où T₃ doit être suivie d'une commande de touche T₄, T₅ ou T₆ afin de permettre l'identification de la commande (composée de 2 séquences de touches) et la commencement de l'exécution.

T₄, T₅ et T₆ sont appelées touches d'exécution.

Identification de chaque fonction.

	T ₁	T ₂	T ₃
T ₄	F ₁	F ₄	F ₇
T ₅	F ₂	F ₅	F ₈
T ₆	F ₃	F ₆	F ₉

- F₁ : Programme d'acquisition, intégration et listing (10')
- F₂ : " " " " (20')
- F₃ : " " " " (30')

- F₄ : Visualisation de la valeur présente sur le 1er canal.
- F₅ : " " " " " " " 2ème "
- F₆ : " " " " " " " 3ème "
- F₇ : " " " " " " " 4ème "
- F₈ : " " " " " " " 5ème "
- F₉ : Commande de Listing immédiat.

* La touche de réinitialisation (voir fig 3.2)

La touche T₀ permet la réinitialisation du système.

* Les 2 touches de l'horloge :(voir fig 3.3)

T₇ : permet la sélection de la fréquence désirée (1 ou 10Hz)

T₈ sélectionne les afficheurs

1.1 Configuration du clavier.

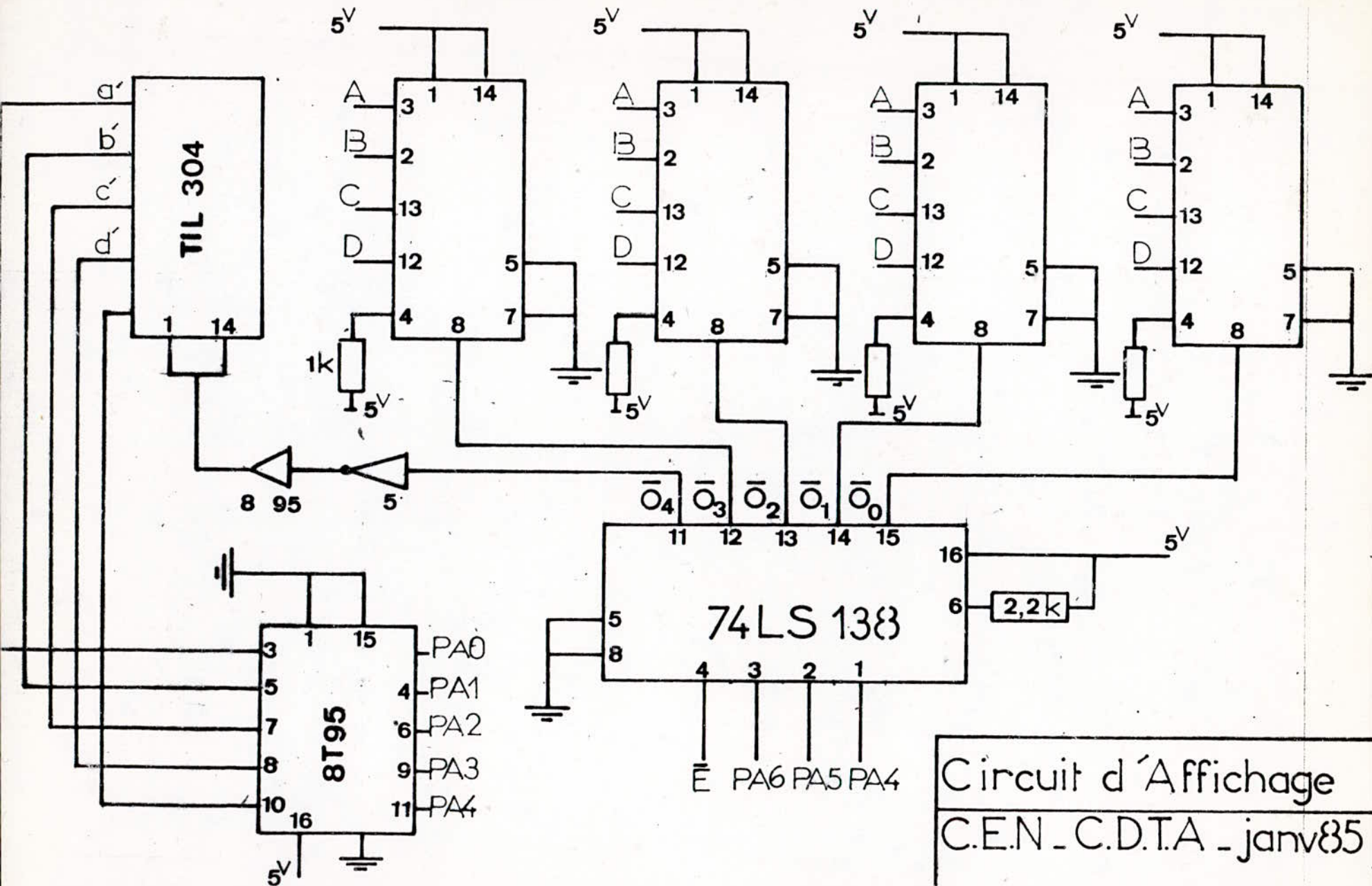
Les 6 touches de commande de programme sont interfacées avec le système à l'aide de 6 lignes du PORTA du PIA (PA0...PA5) programmés en entrées; au repos sortie + 5^V (1 Logique) les 3 touches T₁ , T₂, T₃ sont envoyées sur une porte ET dont une sortie est envoyée sur CA1 qui génère un \overline{TRQA} à la sortie du PIA. Cet \overline{TRQA} est relié au \overline{TRQ} du microprocesseur qui déclenche le processus de scrutation du clavier.

2 LES AFFICHEURS

Ils permettent l'affichage des valeurs instantanées présentes sur l'un des canaux d'entrées de la carte BURR-BROWN (la sélection du canal à visualiser étant commandée par le clavier).

Cinq afficheurs sont utilisés (4TIL 311 et 1 TIL 304 à décodeurs

4 X TIL 311



Circuit d'Affichage
C.E.N. - C.D.T.A. - janv85

intégrés) pour l'affichage d'un nombre décimal signé de 4 chiffres

PRINCIPE.

Nous utilisons l'affichage multiplexé. Le MPU se chargera du multiplexage, afin d'économiser des lignes du PIA.

Pour afficher un nombre signé de 4 chiffres décimaux, il suffit d'envoyer la configuration DCB de ce nombre successivement sur les entrées des afficheurs (toutes les entrées homologues des afficheurs sont reliées entre elles); l'afficheur correspondant au chiffre étant validé par un "1 logique", c.a.d que si le chiffre des dizaines se présente sur les entrées il faut valider l'afficheur des dizaines ets...

* 7 Lignes du PORT B du PIA 1 sont programmées en sortie :

- 4 sorties pour véhiculer successivement les 4 chiffres du nombre codé en DCB sur les entrées des décodeurs intégrés aux afficheurs
- 3 sortie (PB4...PB6) sont reliées aux entrées d'un décodeur (74LS 138) permettant ainsi d'adresser successivement les 5 afficheurs.

La validation du décodeur se fait par la commande du PORT B du PIA 1 programmé en sortie. (voir fig3)

Pour la programmation les lignes du PIA, le mode dialogue la gestion de l'envoi des données voir sou-programmes Affichage et partie SOFT.

3. L'HORLOGE

Le circuit d'horloge est constitué de :

- La base de temps
- Le circuit de comptage et affichage
- Le circuit de remise à l'heure
- Le circuit d'interface

A. BASE DE TEMPS

Elle fournit des impulsions de durée 1 seconde pour le comptage.

B. CIRCUIT DE REMISE A L'HEURE.

Il permet la mise à l'heure réelle de l'horloge

C. CIRCUIT DE COMPTAGE ET AFFICHAGE.

Il est réalisé au moyen de trois compteurs binaires et de six afficheurs digits.

D. CIRCUIT INTERFACE.

Doit servir à relier les sorties des afficheurs aux entrées du PIA réservé à la lecture de l'horloge.

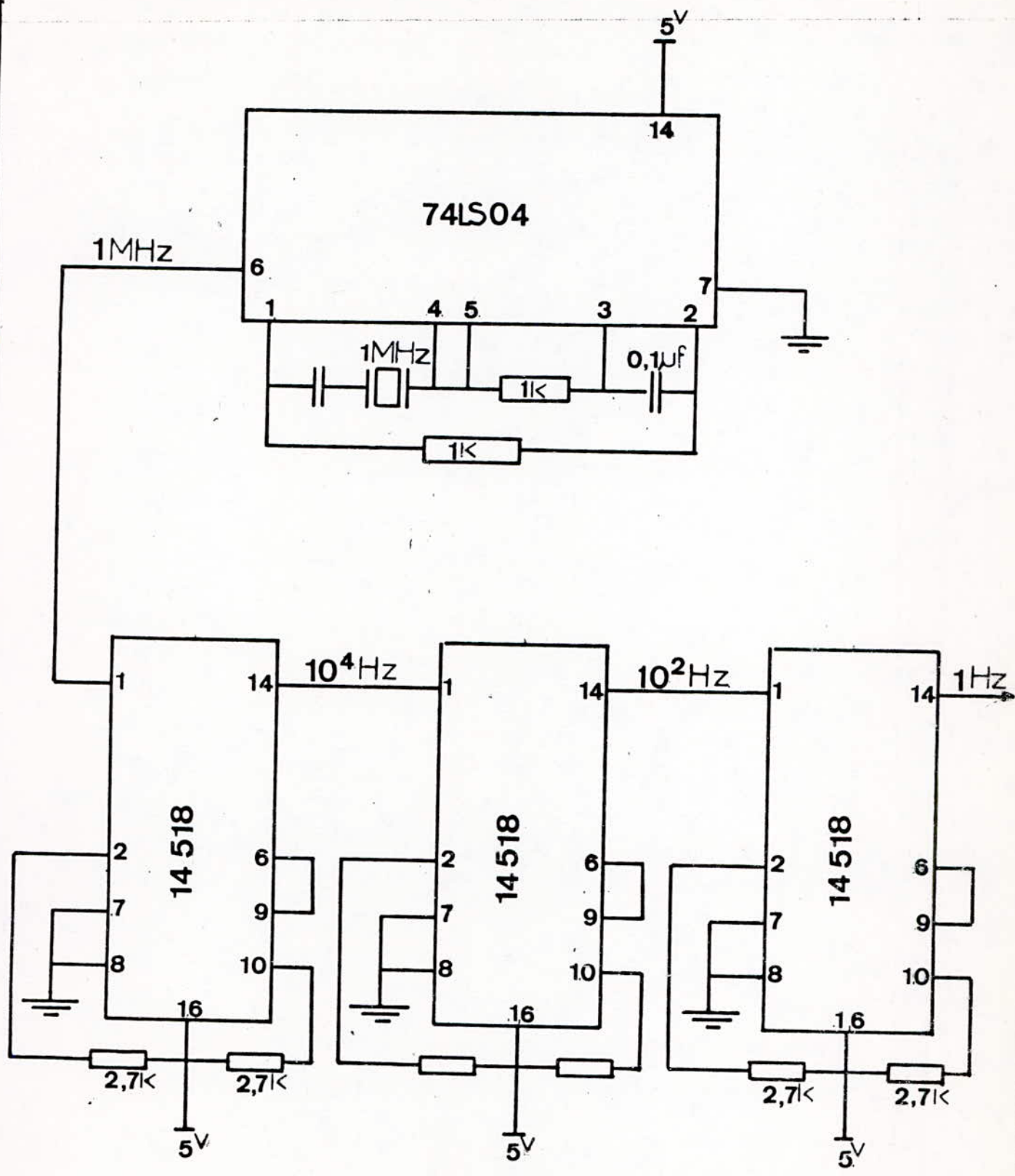
CONSTITUTION DE CHAQUE BLOC.

A. CIRCUIT DE BASE DE TEMPS ET FONCTIONNEMENT.

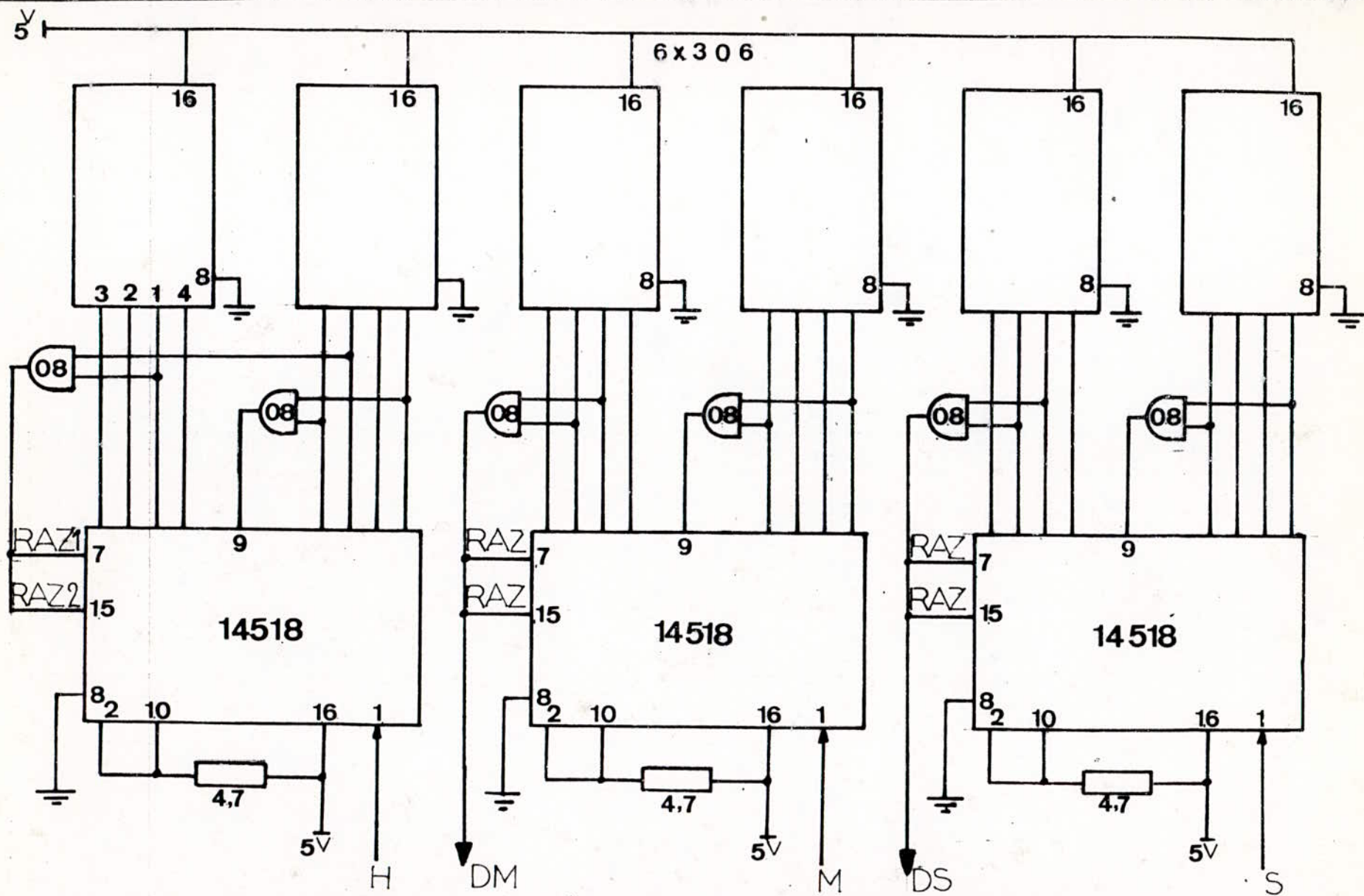
La base de temps est réalisée à l'aide d'un oscillateur à quartz et une série de décade du type 14518, doubles compteurs.

A.1 Oscillateur à quartz.

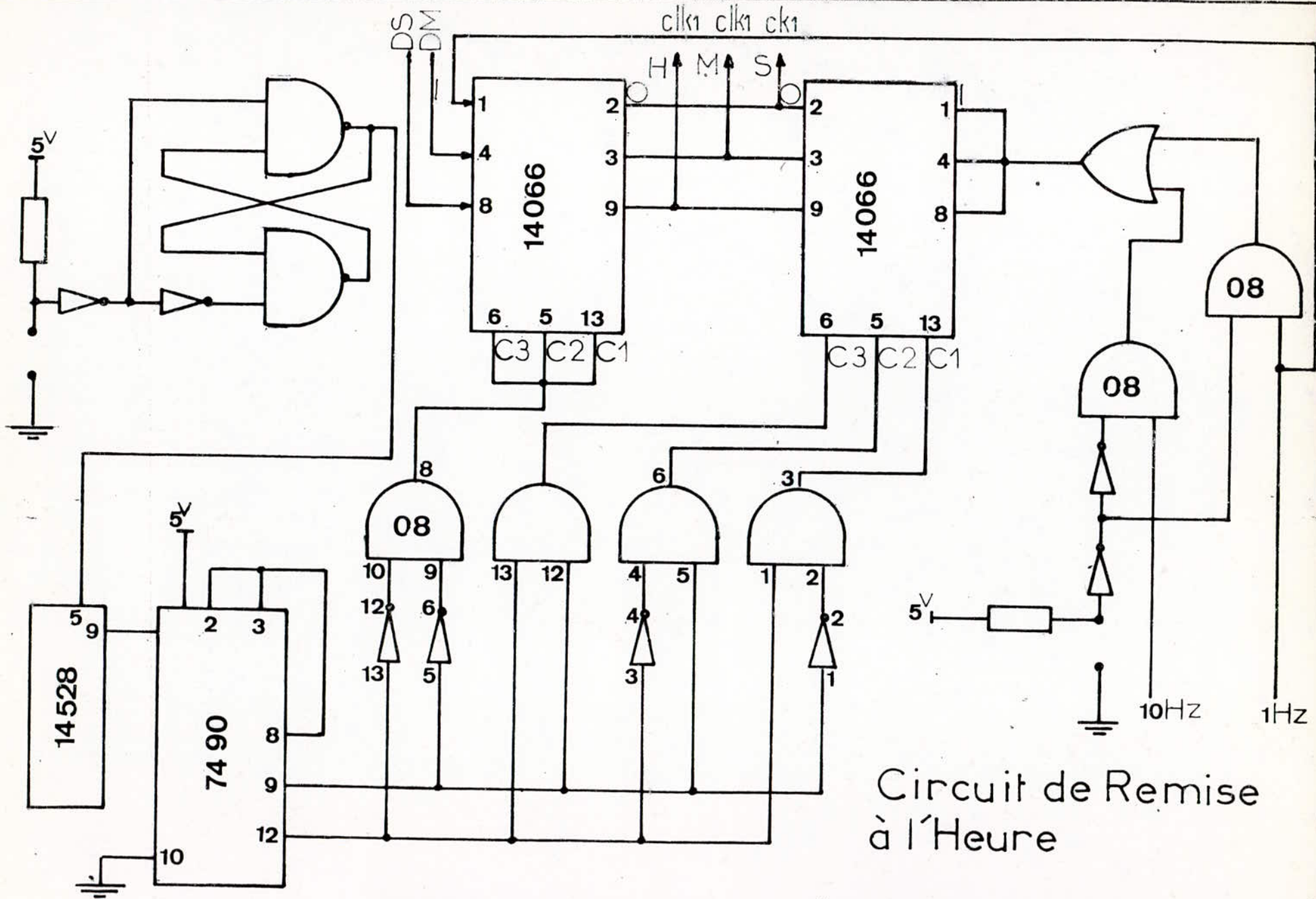
Il est constitué principalement d'un amplificateur dont le gain est supérieur à 1 et dont la rotation de phase est 360° pour la fréquence considérée (1MHz) ainsi que d'un réseau de contre-réaction à quartz pour une stabilisation de la fréquence d'oscillation. Notons que la série LS permet la réalisation d'oscillateurs à quartz.



Circuit de la Base de Temps



Circuit de Comptage et Affichage



Circuit de Remise à l'Heure

jusqu'à des fréquences de l'ordre d'une dizaine de MHz .

A.2 Diviseur de fréquence.

La fréquence obtenue à l'aide de l'oscillateur à quartz est de 1MHz . Pour la ramener à la fréquence désirée (1Hz) il a fallu l'utilisation de 3 diviseurs par 100. Le circuit diviseur est réalisé à l'aide de trois doubles compteurs du type MC 14518.

B. CIRCUIT DE COMPTAGE ET AFFICHAGE.

Le comptage est fait à l'aide de 3 compteurs (14518). Un premier compteur s'incrémente au rythme de l'horloge arrivé à la soixantième impulsion une porte AND le remet à zéro et incrémente le deuxième compteur (celui des minutes). Celui-ci à son tour arrivé à la soixantième impulsion est remis à zéro grâce à une porte AND qui agit sur le troisième compteur.

Ce troisième compteur (heures) passe à zéro dès la 24^{ème} impulsion également à l'aide d'une porte AND.

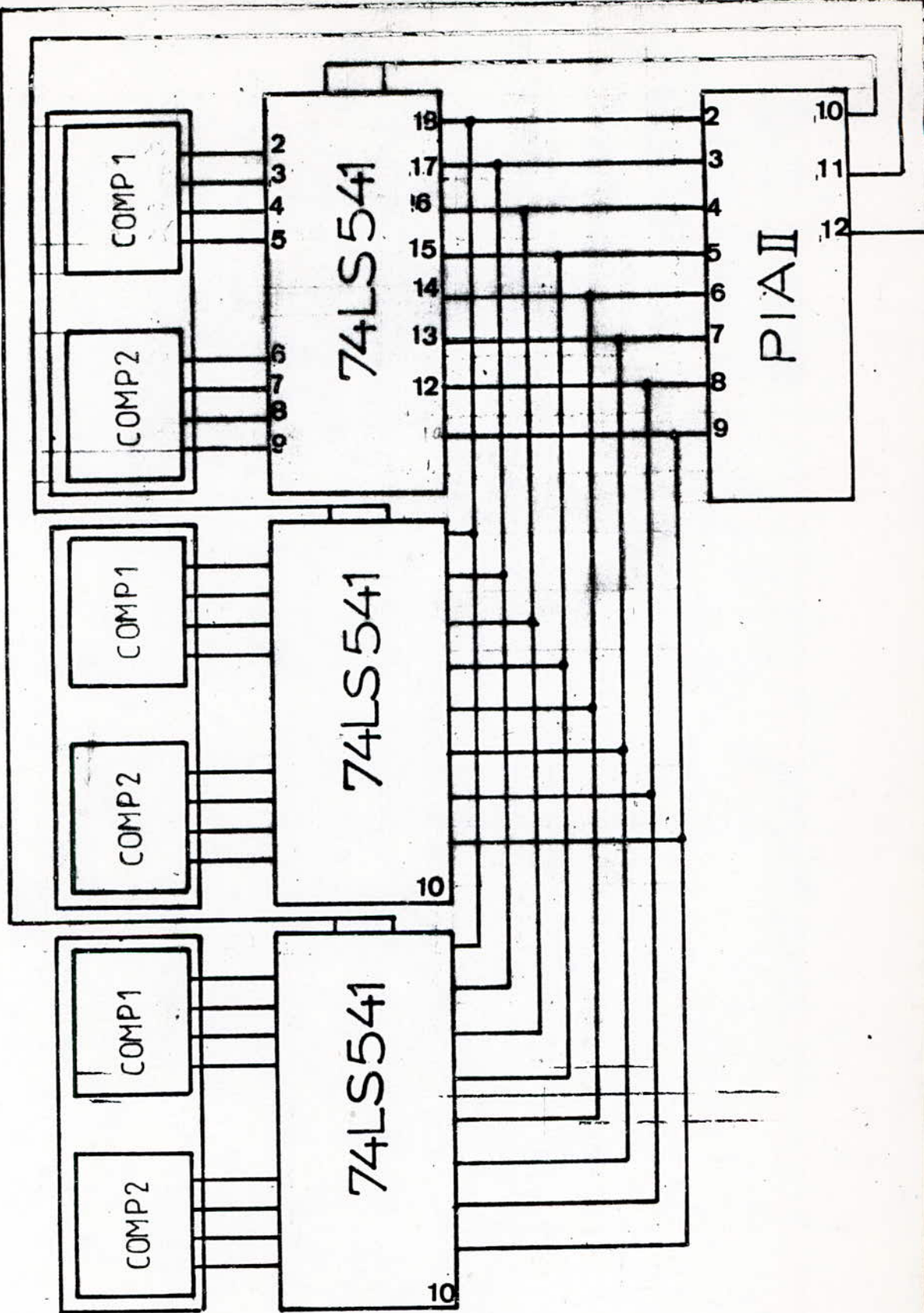
C. CIRCUIT DE REMISE A L'HEURE

Un ensemble de compteur monostable permet de sélectionner le bloc de comptage des secondes, minutes ou heures. Et-ce à l'aide de deux switch électronique (type 14066), et des touches du clavier.

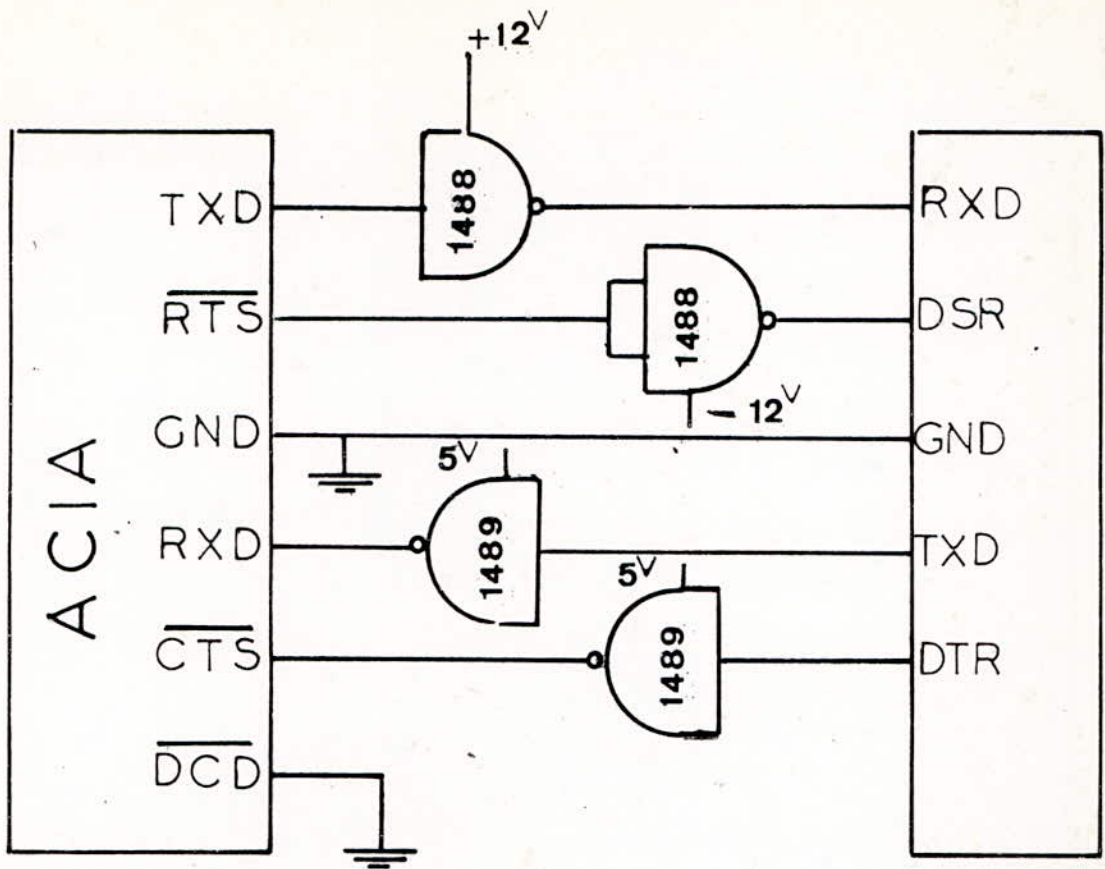
Après sélection des afficheurs (secondes, minutes ou heures) on peut envoyer des impulsions de 10 secondes afin de remettre l'horloge à l'heure et ce grâce à un commutateur électronique.

D. INTERFACAGE HORLOGE.

Les 3 sorties des coupleurs des compteurs des secondes, minutes, et heures sont envoyés sur trois latch qui sont validés séquentiellement quand le MPU effectue une lecture de l'horloge, ou individuellement quand il effectue l'opération chronométrage.



INTERFACE HORLOGE M.P.U.



Connecteur de l'imprimante

Liaison RS 232 entre l'ACIA
et l'imprimante

FIG II6

La lecture se fait par l'intermédiaire des lignes du PORT A du PIA 2 qui sont programmées en entrées et reliées en parallèle aux sorties de 3 latch de sorte que le latch dont on souhaite la lecture soit validé par l'intermédiaire d'une ligne du PORT B programmé en sortie conséquence : 3 lignes du PORT B sont monopolisées pour la validation.

4. L'IMPRIMANTE.

Cet organe de restitution des résultats est connecté au système avec un connecteur RS 232 qui fait la liaison entre l'AOI et les circuits d'adaptation MC 1488 et MC 1489 d'une part et l'imprimante d'autre part.

Configuration de l'Imprimante

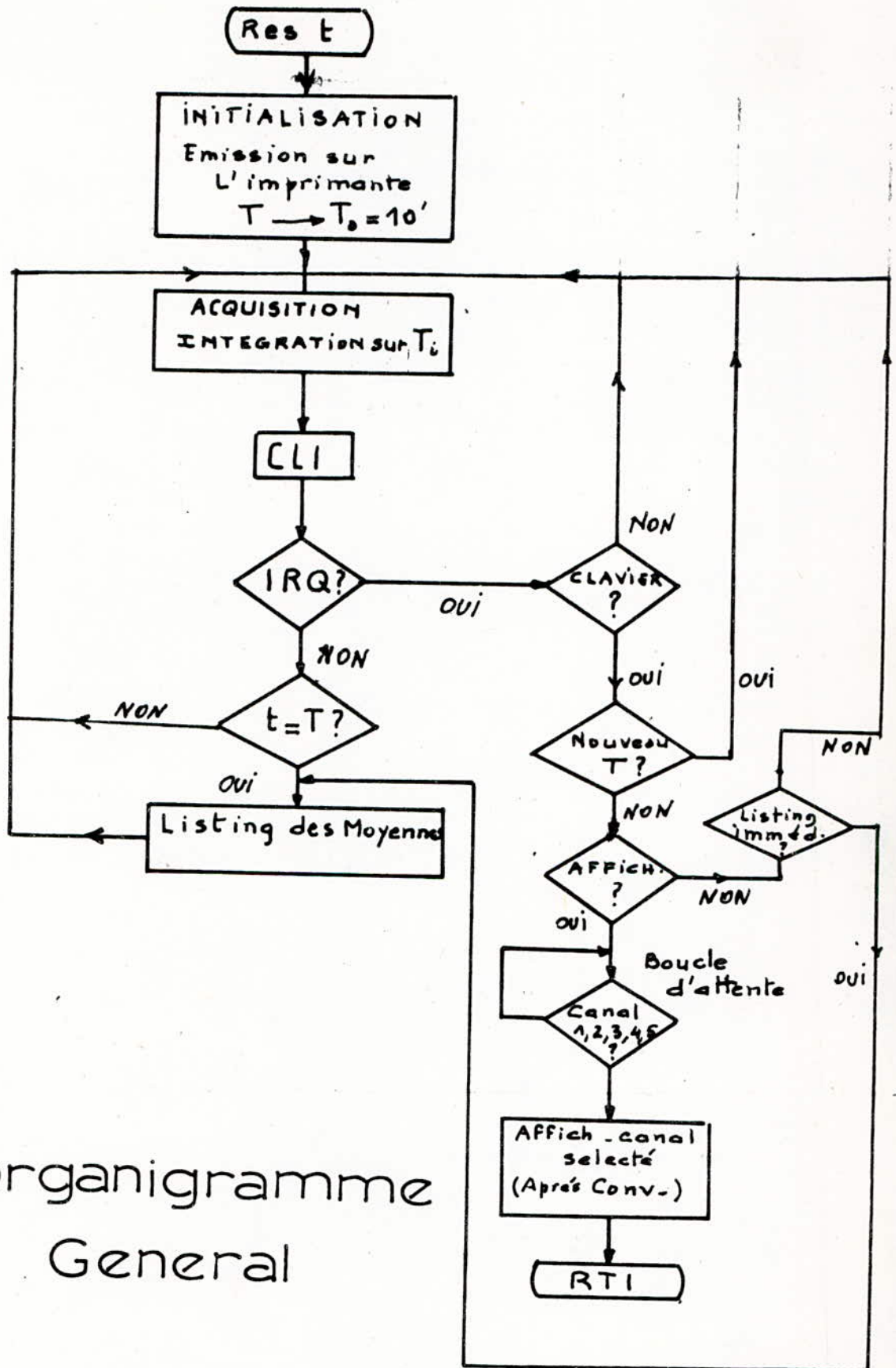
Principales caractéristiques utiles pour la communication avec

1. FORMAT : 8 bits
2. BAND RATE = 2400 BANDS
3. MODE DE CARACTÈRES : ASCII
4. PROTOCOLE DE COMMUNICATION : BUSY : LOW (BAS)
READY : HIGH (HAUT)

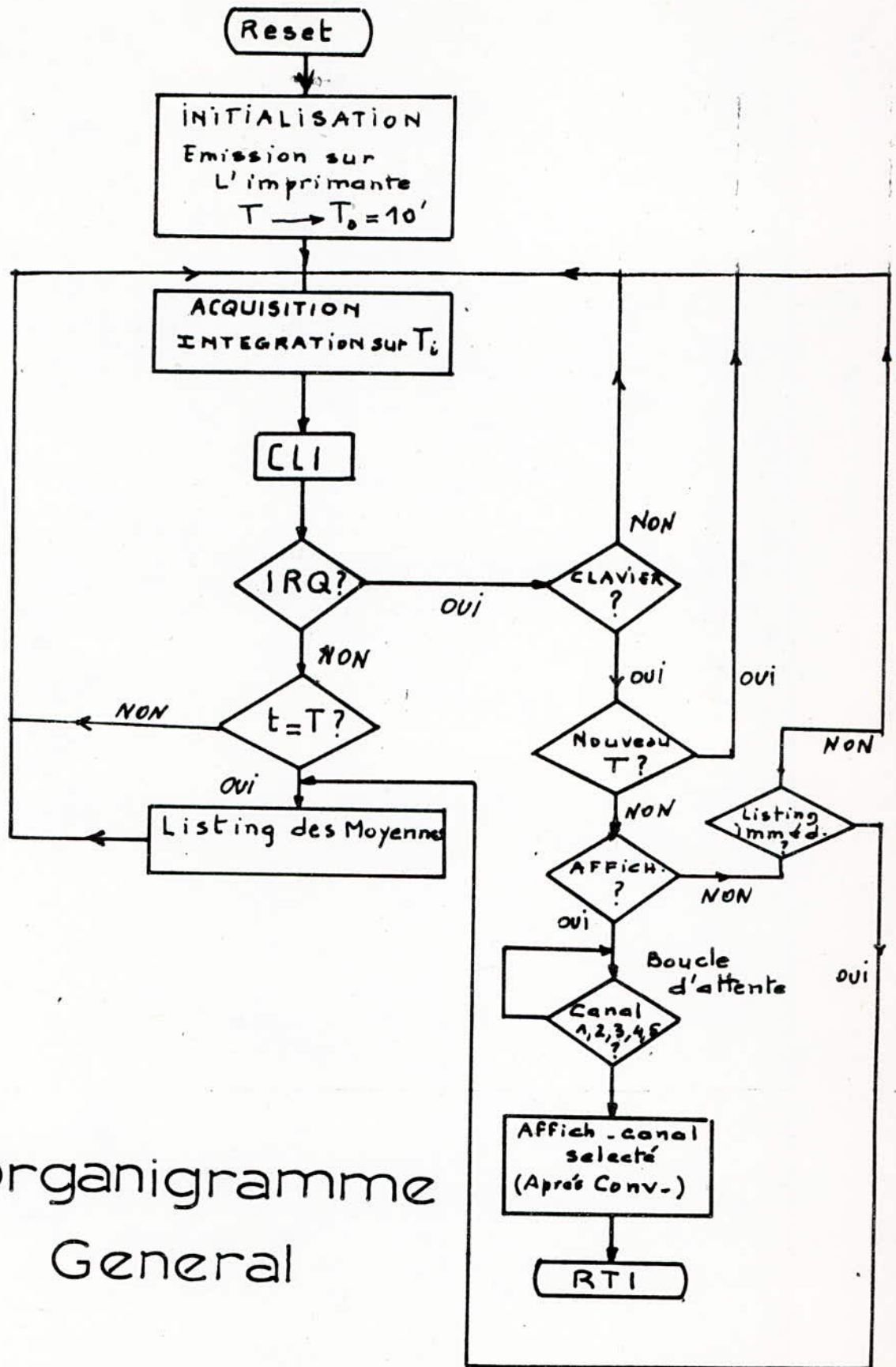
PARTIE SOFT_

Sous Programmes Principaux :

- _ Initialisation
- _ Scrutation du clavier
- _ Listing immédiat
- _ Affichage d'un canal
- _ Acquisition
- _ Transformation d'échelle



Organigramme
General



Organigramme
General

Sous Programme d'Initialisation

Adresse d'implantation : contenue dans Le Vecteur REST
(FFFF-FFFF)

CLRA

STAA # 4009

LDA A # C0

STAA 4008

LD AA #04

ST AA 4009

PA0...PA5 sont configurées en
entrée pour le clavier
PA_G, PA7 en sorties et mises à 0
pour ne pas fausser la lecture
des commandes du clavier.

CLRA

STA A 4008

CLRA

STAA 400B

LDA A # FF

STA A 400A

LDAA #24

STAA 400A

CLRA

STAA 4011

STA A 4010

LDA A #04

STA A 4011

CLRA

STAA 4013

LDAA # 03

STAA 4012

configuration de PB0...PB7 en sort
pour la commande des afficheurs
multiplexés.

configuration de PA0...PA7 du PIA
entrées; pour la lecture successi
des compteurs de l'horloge externe

configuration de PA0...PA2 du PIA
en sorties de commande pour la lec
ture des compteurs de l'horloge
externe

LDAA #24

STAA 4013

Reset de L'ACIA

LDAA #03
STAA 4018
LDAA #B₁
STAA 4018

configuration de L'ACIA pour dialoguer avec L'imprimante (format, protocole de communication)

LDX FF00
INX
CPX FFF0
BEQ L_p2
LDAA 0,X
STAA 4019

chargement de la zone FF01, FFF0 par le biais du registre d'émission (TDR) afin que L'imprimante envoie un message indiquant que le système est prêt.

L_p0 LDAB 4019
ANDB #02
BEQ L_p0
JMP L_p1
L_p2 CLI
WAI

Boucle de détection de L'émission (TDRE = 1) : bit indicateur du registre d'état.
Retour au prochain chargement
Démasquage du bit interruption et attente de L'interruption (commande du clavier).

Sous Programme de scrutation du clavier

Adresse d'implantation : contenue dans le vecteur \overline{NMI} (FFFC-FFFD). Les touches T₁, T₂, T₃ sont reliées à une porte NAND. Le passage d'une de ces touches à zéro génère une impulsion négative à la sortie de la porte reliée au \overline{NMI} du M.P.U.

Codage des touches :

T ₁ : 1F	T ₄ : 3B
T ₂ : 2F	T ₅ : 3D
T ₃ : 37	T ₆ : 3E

Les fonctions F₁, F₂...F₉ (voir tableau des fonctions : paragraphe clavier).

L _p 0	LDAA 4008 CMP A # 1F BEQ L _p 1 LDA A 4008 CMPA # 2F BEQ L _p 2 LDA A 4008 CMPA # 3F BEQ L _p 3 BRA L _p 0	Scrutation de la touche T ₁ Scrutation de la touche T ₂ Scrutation de la touche T ₃
L _p 1	LDAA 4008 CMP A # 3B BNE L _p 11 JMP F1	scrutation de la séquence T ₁ , T ₄ : fonction F ₁
L _p 11	LDAA 4008 CMPA # 3D BNE L _p 12 JMP F2	scrutation de la séquence T ₁ , T ₅ : fonction F ₂
L _p 12	LDAA 4008 CMPA # 3E BNE L _p 13 JMP F3	scrutation de la séquence T ₁ , T ₆ : fonction F ₃
L _p 13	BRA L _p 1	
L _p 2	LDAA 4008 CMPA # 3B BNE L _p 21	scrutation de la séquence T ₂ , T ₄ : fonction F ₄

L_p21 JMP F4
 LDAA 4003

scrutation de la séquence T₂,T₅ :
fonction F5

 CMP A #3D
 BNE L_p22
 JMP F5
L_p22 LDAA 4003

scrutation de la séquence T₂,T₆ :
fonction F₆

 CMPA #3E
 BNE L_p23
 JMP R6
L_p23 BRA L_p2
L_p3 LDAA 4003

scrutation de la séquence T₃,T₄ :
fonction F7

 CMPA #3B
 BNE L_p31
 JMP F7
L_p31 LDAA 4008

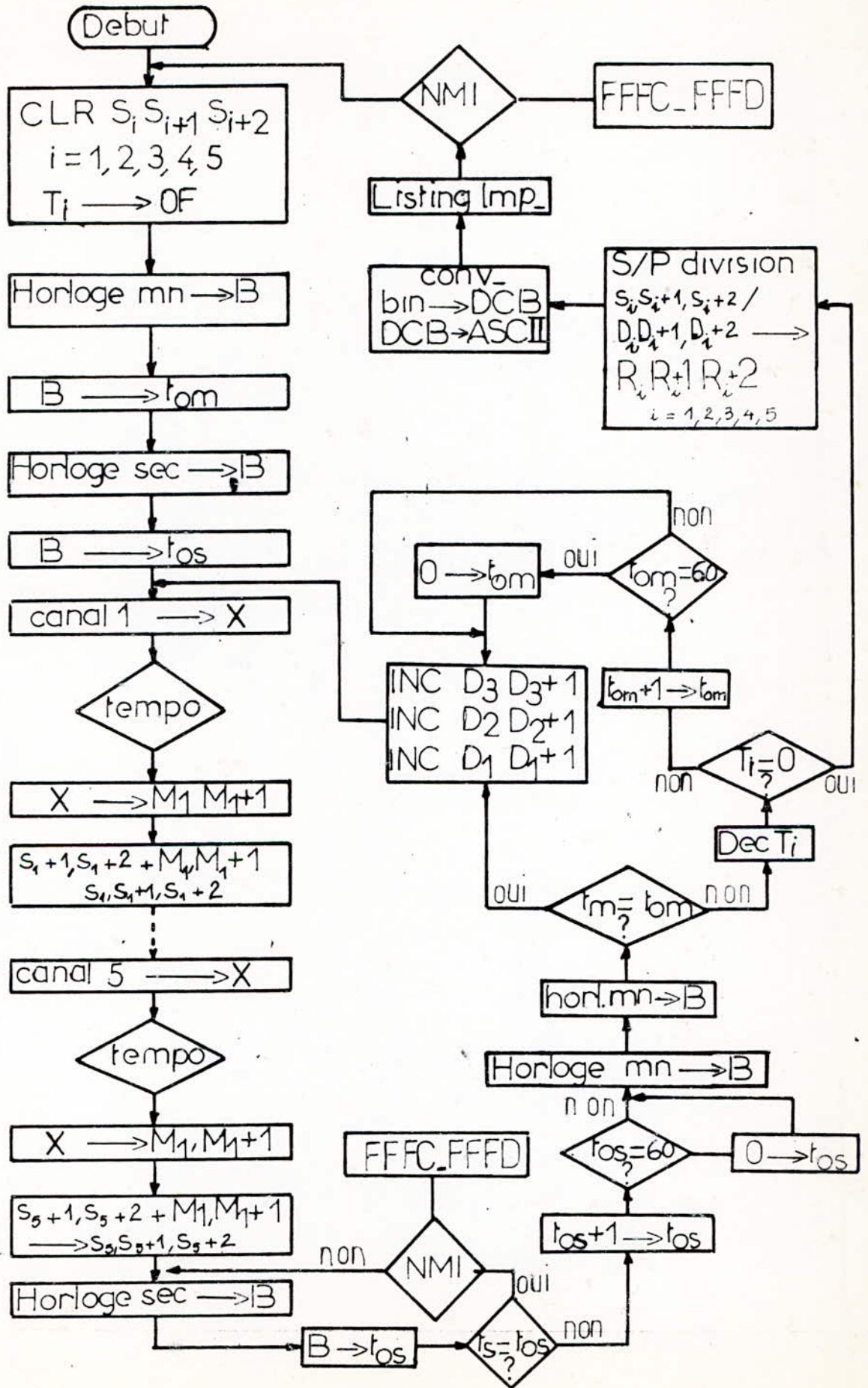
scrutation de la séquence T₃,T₅ :
fonction F8

 CMPA #3D
 BNE L_p32
 JMP F8
L_p32 LDAA 400B

scrutation de la séquence :T₃,T₆ :
fonction F9

 CMPA #3E
 BNE L_p33
 JMP F9
 BRA L_p3
 SWI

Organigramme d'une Intégration (de période T_i)



Sous-Programme de "Listing" immédiat des résultats de la dernière acquisition (résultats convertis en code ASCII).

Les données à émettre à l'imprimante sont stockés en RAM de 0040 à 007F

	LDAA #03	
	STAA 4018	
	LDAA #B1	
	STAA 4018	
	LDX #003F	
L _p 1	INX	Chargement de la zone 0040 à 007F dans l'imprimante déjà configurée dans le programme de RESET (Initialisation)
	CPX #0080	
	BEQ L _p 1	
	LDAA 0,X	
	STA A 4019	
L _p 0	LDAB 4018	Boucle de détection de l'émission (TDRE = 1) : bit indicateur du registre d'état de l'ACIA
	AND B #02	
	BEQ L _p 0	
	JMP L _p 1	Retour au prochain chargement
	CLI	Démasquage du bit d'interruption
	RTI	et retour au programme interrompu.

Sous-Programme d'affichage d'un canal sélectionné sur la BURR-BROW (Les 5 sous-programmes d'affichage des 5 canaux à traiter sont simultanés).

Les valeurs à afficher sont supposées traiter et converties en DCB et ce pour ne pas compliquer la compréhension du principe utilisé (le multiplexage).

LDAA	Affichage du chiffre unité sur l'afficheur N°1.
------	---

	ADDA # 60	
	STAA 400A	
	LDAA # FF	Boucle de temporisation
L _p 0	DECA	
	BNE L _p 0	
	LDAA 31	Affichage du chiffre dizaine
	ADDA # 10	L'Afficheur N°2
	STAA 400A	
	LDAA FF	Boucle de temporisation
L _p 0	DEC A	
	BNE L _p 0	
	LDA A 32	Affichage du chiffre centair
	ADDA # 20	L'afficheur N°3
	STAA 400A	
	LDAA FF	
L _p 0	DEC A	Boucle de temporisation
	BNE L _p 0	
	LDA A 33	Affichage du chiffre milieu
	ADDA # 30	L'afficheur N°4
	STAA 400A	
	LDAA FF	
L _p 0	DECA	Boucle de temporisation
	BNE L _p 0	
	LDA A 34	Affichage du signe dans L'af
		N°5
	ADDA # 40	
	STAA 400A	
	LDAA # FF	Boucle de temporisation
L _p 0	DEC A	
	BNE L _p 0	
	RTI	Retour au S/P interrompu.

Commentaire.

- La valeur DCB est stockée en
(0034) (0033) (0032) (0031) (0030)
signe Millier Centaine Dizaine Unité

- En DCB chaque chiffre occupe au maximum 4 bits, donc nous
avons réservé les 4 MSB pour coder la position du chiffre.

- On ne peut utiliser le mode d'adressage indexé afin d'alléger
le sous-programme, car le registre d'index est monopolisé pour le
comptage du nombre d'acquisition dans le programme principal.

Sous-programme d'Acquisition et de mise en forme des données
sur un canal de la BURR-BROWN (Le même S/P est valable pour les autres
canaux)

- L'adresse du canal N°1 = 120, il occupe 2 octets (120), (1
mais 12 bits sont seulement significatifs (les 4MSB de 120 sont non
significatifs)

- Le résultat du traitement sont stockés en (0050);(0051).

CLRA
LDX 050

Mise à zéro de la zone mémoire 0 à
0054 pour son utilisation ulté-
rieure.

L_p0 STA A 0,X
INX
CPX 54
BNE L_p0
L_p1 LDX 0120
NOP

Le chargement d'1 canal dans le R.I
nécessite 2 instructions séparées

LDX 0120

STX 0020

LDX 0120

NOP

LDX 0120

CPX 0020

BNE Lp1

LDAB 0020

AND B # 0F

STA B 020

SWI

par une NOP, ceci est dûe à la
procédure de transmission
donnée de la BURR-BROWN.

Stockage du canal dans l'adresse
0020

deuxième chargement du même canal
dans le R.I et sa comparaison

Le contenu de l'adresse 0020
de s'assurer de la stabilisation
la lecture.

Élimination des 4 MSB non significatifs
DE 0020

Commentaire :

- Le temps de temporisation : en pratique après la 2^{ème} lecture
la valeur se stabilise le temps de temporisation sera égal à

2X boucle de STABILISATION - temps de lecture et charge

Après calcul de la durée des instructions (nbe de cycles machines)
Le temps de temporisation = $2 \times 37 - 17 = 57$

Sous-Programme de transformation d'échelle des données.

Exemple : Canal de Rayonnement :

$\tilde{A}: 0 \text{ volt}$ correspond $0 \text{ watt}/2_m$ noté X_{\min}

$\tilde{A}: 5 \text{ volts}$ corresponde $1300 \text{ watt}/2_m$ noté X_{\max}

d'où $4095 \text{ (FFF)} \longrightarrow (X_{\max} - X_{\min}) = 1300$

$X_{Lue} \longrightarrow X$

$$x = \frac{X_{Lue} \cdot 13000}{4095} = \frac{X_{Lue} \cdot 1300}{4096}$$

Notre programme consiste alors à faire le produit X_{Lue} par 1300 (512 hexa) et la division par 4096 (décalage sur 12 bits).

La valeur est supposé déjà acquise est mise en forme (voir sous-programme correspondant).

Valeurs à traitées en $\textcircled{0A0}$ et $\textcircled{0A1}$; Le résultat en $\textcircled{0A5}$ et $\textcircled{0A6}$.

CLRA

clarification de la zone mémoire $\textcircled{0A0}$

à $\textcircled{0A6}$

L_p0 LDX # $\textcircled{0A2}$
STAA $\textcircled{0}, X$
INX
CPX # $\textcircled{A7}$
BNE L_p0
LDX # $\textcircled{514}$
 L_p2 LDAB $\textcircled{0A1}$
ADDB $\textcircled{0A4}$
STAB $\textcircled{0A4}$
LDAB $\textcircled{0A0}$
ADCB $\textcircled{0A3}$
BCC L_p1
INC $\textcircled{0A2}$

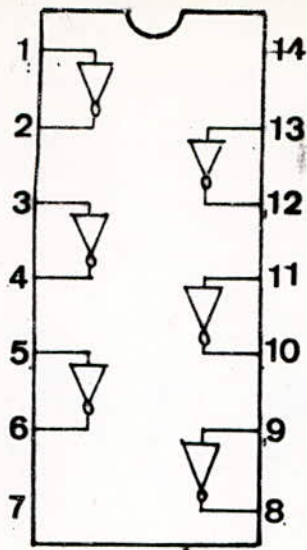
Multiplication de la valeur par 1300 ($\textcircled{\$ 514}$).

L_p1 STAB 0A3
 DEX
 BNE L_p2
 LDX 0A2
 STX 0A5
 LDAA 0A6
 ANDA #F0
 STAA 0A6
 CLR B
 ASR 0A5
 INC A
 CMPB #04
 LDAA 0A6
 ANDA #0F
 STAA 0A6
 LDAA 0A2
 ANDA #0F
 STAA 105
 CLR B
 ASL 105
 INC B
 CMP B #04
 ADDB 106
 LDAA 0A2
 ANDA #F0
 CLR B
 ASR 0A2
 INC B
 CMP B #04
 LDAA 0A2
 ANDA #0F
 STAA 0A5
 BRA SP1

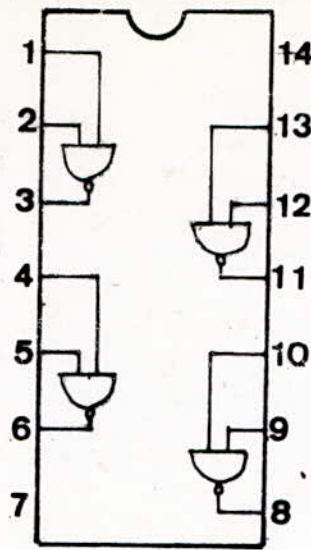
Opération de décalage vers la droite de 12 bits du produit de la Multiplication

Branchement au S/P de conversion DCB ou ASCII

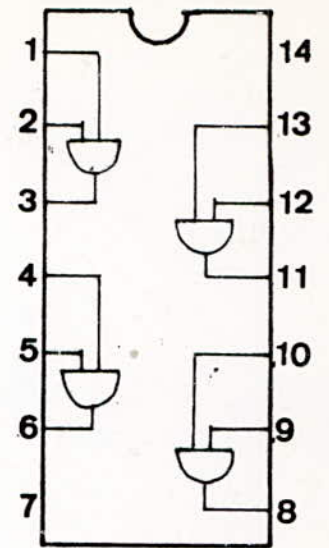
Annexe



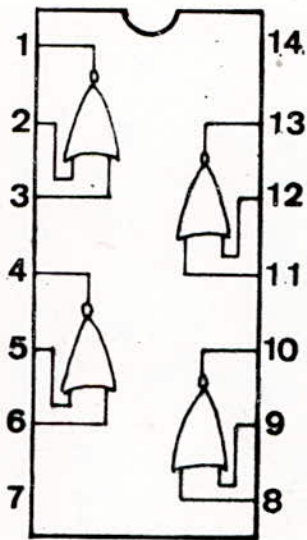
74LS04



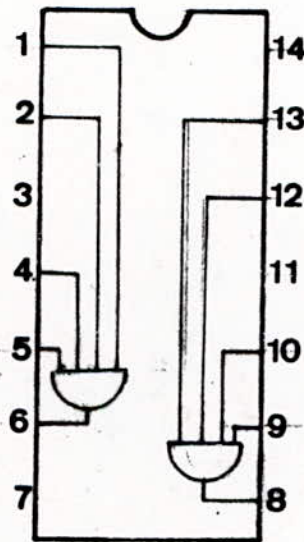
74LS00



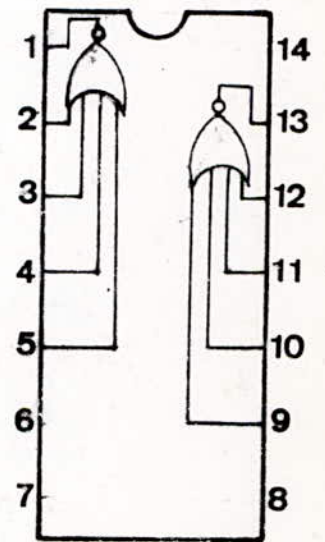
74LS08



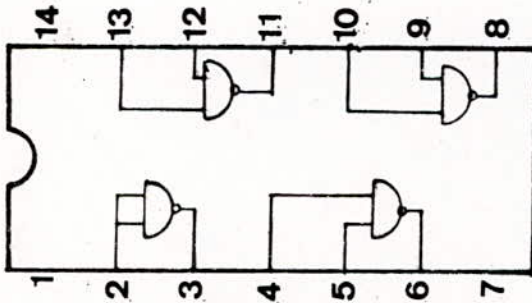
74LS02



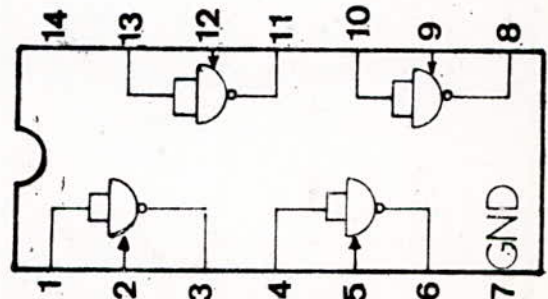
74LS20



MC14002



MC 1488



MC 1489

CONCLUSION

Nous pouvons estimer que les objectifs assignés au départ pour notre projet ont été globalement atteints :

- Une gestion de périphériques par commande où en automatique simplifiée.

- Une précision de lecture appréciable : une erreur sur le L.S.B du 12^{ème} bits (erreur absolue : 2^{-12})

- Une programmation adéquate pour la collecte de maximum de données pendant la période d'intégration (hiérarchisation des interruptions, et détermination des priorités des tâches)

- Une possibilité de travail ininterrompu pour des études portants sur des évaluations des paramètres climatiques climatiques sur une longue période (pour étude du climat local)

- Une possibilité de coordination avec les autres stations pour des relevés synchrones afin de dresser des cartes climatiques par une station terminal pourvue d'un ordinateur puissant qui collecte les résultats de traitement de l'ensemble des stations sur les différents points du territoire.

Cependant au fur et à mesure que nous avançons dans cette besogne, une foule d'idées portants sur l'amélioration du système nous est venue, de deux points de vue :

- Intension du nombre de périphériques et extension des méthodes de traitement .

On pourrait ajouter comme périphériques à notre système

- * Une sortie sur un lecteur de cassette pour un stockage de résultats sur de longues périodes évitant les problèmes d'épuisement du papier de l'imprimante dans le cas où elle travail en automatique.

* Une sortie sur une table traçante où sur une imprimante en mode graphique permettant la restitution de tracés de courbes (paramètres en fonction du temps).

Enfin ce travail nous a permis de développer nos connaissances dans le domaine de la micro-informatique en nous familiarisant avec toute la panoplie HARD nécessaire à la conception de tels systèmes à microprocesseur et une certaine expérience dans les procédés de programmation en différents langage; ainsi que l'utilisation des différents systèmes de développement.

BIBLIOGRAPHIE

- 1- Digital Signal Processing
Ronald SHAFER
- 2- Data Acquisition Système (Doc de la BURR-BROWN Corep)
- 3- Emploi des microsystèmes
AUMIAUX
- 4- Les microprocesseurs tome 1 et 2 (série SCHAUM)
ROGER L. TOKHEIM
- 5- Initiation à la logique programmé et au microprocesseur
J.COUDERC
- 6- Catalogues : circuits intégrés CMOS; TTL; optoélectronique.
- 7- Programmation en langage assembleur du 6800.
DANCE A. LEVENTHAL
- 8 'Revue :
 - I.E.E.E. (Années 84)
 - Haut-Parleur N° 1630 à 1651
N° 1681 à 1705
 - Minis et Micro
 - Micro système
 - Electronics
 - Mesures.