

UNIVERSITE D'ALGER

DEPARTEMENT ELECTRICITE

FILIERE D'INGENIEUR EN ELECTRONIQUE

8/76

1 ex

1976

PROJET DE FIN D'ETUDES

SUJET :

COMPTAGE ELECTRONIQUE
RÉALISATION D'UN
FRÉQUENCEMÈTRE

PROPOSE PAR :

M^E BOUDIN

juin 1976

REALISE PAR :

M^E Mohammed IRABELSI

REMERCIEMENTS

Je désireremercier tous mes professeurs notamment Madame G.MONDON qui n'a pas ménagé ses efforts pour contribuer à la réalisation de mon projet.

Je remercie également tous mes amis qui m'ont apporté leur aide.

Que tous ceux qui m'ont aidé ou essayé dem'aider trouvent ici l'expression de ma profonde gratitude.

SOMMAIRE

1ere PARTIE : ETUDE THEORIQUE

0. INTRODUCTION

I. GENERALITES SUR LES COMPTEURS

1. Structure des compteurs
2. Objet des compteurs
3. Compteurs synchrone et asynchrone

II. LES COMPTEURS BINAIRES

1. Compteurs binaires asynchrones
 - a. Diviseurs par deux
 - b. Compteurs binaires asynchrones
2. Compteurs binaires synchrones
 - A. Synthèse dans le cas général
 - B. Autre méthode de synthèse

III. DIVISEURS DE FREQUENCE ET DECADES

1. Synthèse des diviseurs de fréquence et des décades de type synchrone
 - A. Méthode de synthèse classique, ne faisant pas appel aux entrées de forçage
 - B. Synthèse par utilisation de remise à zéro
2. Synthèse d'un diviseur ou d'une décade asynchrone
3. Cycles erronés
4. Diviseurs ou décades rétrogrades, diviseurs ou décades réversibles
 - a. Diviseurs rétrogrades
 - b. Diviseurs réversibles
5. Diviseurs des types parallèle et série
6. Exemples de réalisation intégré

IV. ENSEMBLES DE COMPTAGE

- a. Assemblages synchrones
- b. Assemblages asynchrones
- c. Compteurs synchrones réversibles
- d. Prédétermination
- e. Exemples de compteurs réversibles intégrés

V. COMPARAISON DES COMPTEURS SYNCHRONES ET ASYNCHRONES

2eme PARTIE : REALISATION PRATIQUE

I. GENERALITES

II. 1. Horloge

- 2. Compteurs, registres, décodeurs, afficheurs
- 3. Amplification et mise en forme

LE COMPTAGE ELECTRONIQUE

INTRODUCTION:

Le comptage et l'affichage numériques constituent depuis longtemps une importante application des circuits et dispositifs électroniques.

Dans les systèmes logiques de commande (control logique) et autres automatismes, il est rare qu'il ne soit pas nécessaire de faire appel à un compteur.

Le compteur qui est un organe séquentiel possède une double propriété. Tout d'abord, constitué de flip-flops (ou bascules), c'est avant tout une mémoire; à la suite de chaque ordre (extérieur) le nouvel état occupé reste stable et accessible jusqu'au prochain pas; Mais de plus en interconnectant les flip-flops à l'aide de portes logiques si nécessaire, on est capable de faire décrire au compteur une séquence déterminée c'est à dire de lui faire occuper une suite d'états binaires (de n bits) successivement au rythme d'une horloge (C_p).

La plus grande application est le comptage. On regarde alors le compteur comme un accumulateur du nombre d'impulsions électriques délivrées par une horloge extérieure.

Les compteurs peuvent se diviser en deux types principaux:

- *Les compteurs asynchrones.
- *Les compteurs synchrones.

Parmi ces types de compteurs, on peut rencontrer:

- Des ~~compteurs~~ échelles comptant dans le sens direct 1, 2, 3, ... appelé tout simplement compteur.
- Des échelles décompteurs: 9, 8, 7, ... "appelé décompteur"
- Des compteurs réversibles (ou compteur-décompteur) capable d'effectuer le comptage et décomptage.

Il existe deux autres types de compteurs:

- Les registres bouclés, registres à décalage.
 - Les compteurs en anneau, constitués par une suite de portes NAND OU NOR.
- On se propose d'examiner les applications des bascules intégrées associées aux familles logiques à commande par niveaux.

On étudie les composants des dispositifs de comptage: les diviseurs de fréquence et les décades.

I) GENERALITES SUR LES COMPTEURS

1) Structure des compteurs:

Un compteur est un dispositif séquentiel comprenant:

- *n bascules binaires qui sont généralement de l'un des types S-R, J-K, ou T.
- *Un réseau logique de commande.

2) Objet des compteurs:

A l'état de chaque bascule d'un compteur, on associe un chiffre binaire 0 ou 1 par conséquent, l'ensemble des états des bascules représente un nombre binaire à n chiffres (0, 1, 1...0) qu'on appelle "l'état du compteur".

Un compteur reçoit des impulsions dites "impulsions d'avancement". A la suite de chaque impulsion, il prend un certain état. La suite de ces états est imposée par le réseau logique de commande. Les nombres binaires successifs obtenus peuvent croître, décroître ou représenter une suite quelconque que l'on appelle "le code du compteur".

Cette suite est nécessairement finie. Un compteur revient toujours à l'état initial après un nombre d'impulsions d'avancement qui est nécessairement inférieur ou égal à : $2^N - 1$

Le problème de synthèse d'un compteur est le suivant:

- i) On se donne la suite des états, c'est à dire le code du compteur.
- ii) On s'impose un type de bascule déterminée S-R; J-K ou T.
- iii) On veut déterminer le réseau logique de manière à réaliser effectivement la suite d'état désirée en utilisant pour cela la table de vérité de la bascule imposée.

3) Compteurs synchrones et asynchrones:

-Un compteur est dit synchrone lorsque les impulsions d'avancement sont envoyées simultanément à toute les bascules du compteur.

-Un compteur est dit asynchrone lorsqu'au contraire l'impulsion d'avancement n'est envoyée qu'à la première bascule. Dans ce cas les autres bascules sont commandées à partir de signaux à fréquence plus basse issus des bascules précédentes.

On verra que ce mode de commande permet une certaine simplification du réseau logique de commande.

II) LES COMPTEURS BINAIRES:

1) Compteurs binaires asynchrones:

a) Diviseurs par deux:

On obtient un diviseur par deux en imposant à une bascule J-K les contraintes:

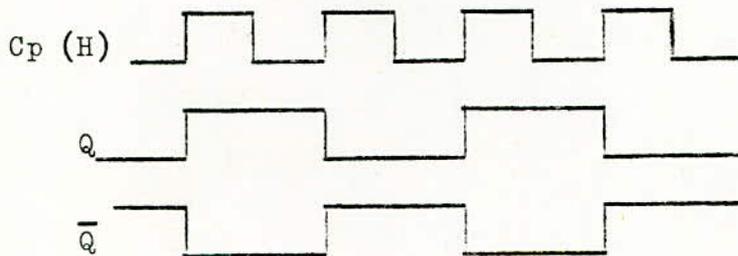
$$J=K=1$$

La relation:

$Q_{n+1} = J \cdot \bar{Q}_n + \bar{K} \cdot Q_n$ se simplifie; elle devient:

$$Q_{n+1} = \bar{Q}_n$$

Un tel montage change d'état à chaque impulsion d'horloge. Le changement d'état s'effectue généralement sur le front descendant de l'impulsion d'horloge.



$$F_Q = \frac{1}{2} F_H$$

Oscillogramme

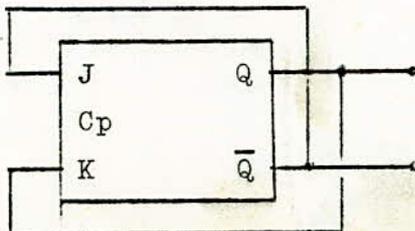
Remarque:

Pour avoir $Q_{n+1} = \bar{Q}_n$ on doit:

- Soit porter J et K à $+V_{cc}$.
- Soit ramener la sortie Q_n du bistable à son entrée K et sa sortie \bar{Q}_n à J.

En effet si: $J = \bar{Q}_n$ et $K = Q_n$ la relation $Q_{n+1} = J \cdot \bar{Q}_n + \bar{K} \cdot Q_n$ devient

$$Q_{n+1} = \bar{Q}_n \cdot \bar{Q}_n + \bar{Q}_n \cdot Q_n = \bar{Q}_n$$



Bistable J-K

b) Compteurs binaires asynchrones:

En connectant en cascade des diviseurs par deux, on obtient un compteur binaires asynchrone. Les schémas des figures 1 et 2 représentent deux variantes d'un même compteur binaire asynchrone, l'un réalisé à l'aide de bascules types D, circuits SN5474, l'autre à l'aide de bascules maître-esclaves, type SN 5473.

Rappel: Une bascule D est un diviseur par deux car: $Q_{n+1} = \bar{D}_n$

Ces deux types de compteur comptent de 0 jusqu'à 15 et reviennent à 0 à la 16^e impulsion, ainsi que le montre le diagramme des phases figure 3. Ce fonctionnement peut être extrapolé à un nombre quelconque de bascules. Avec n bascules, on peut compter jusqu'à $2^n - 1$.

2) Compteur binaire synchrone:

A) Synthèse dans le cas général:

Un compteur binaire est dit synchrone lorsque toutes les entrées " horloge " (H ou Cp) des bascules reçoivent les mêmes impulsions de déclenchement qui sont les impulsions à compter. Ecrivons la suite des états successifs des bascules.

- Pour deux bascules 1 et 2, le tableau des états peut s'écrire sous les deux formes suivantes qui sont équivalentes (tableau 1). Les états envisagés à l'instant $n+1$ sont obtenus par un simple décalage vertical à partir des états envisagés à l'instant n.

	$(Q_2)_n$	$(Q_1)_n$
n=0	0	0
n=1	0	1
n=2	1	0
n=3	1	1

	$(Q_2)_{n+1}$	$(Q_1)_{n+1}$
n=0	0	1
n=1	1	0
n=2	1	1
n=3	0	0

Tableau 1: Etats successifs d'un compteur à 2 bascules.

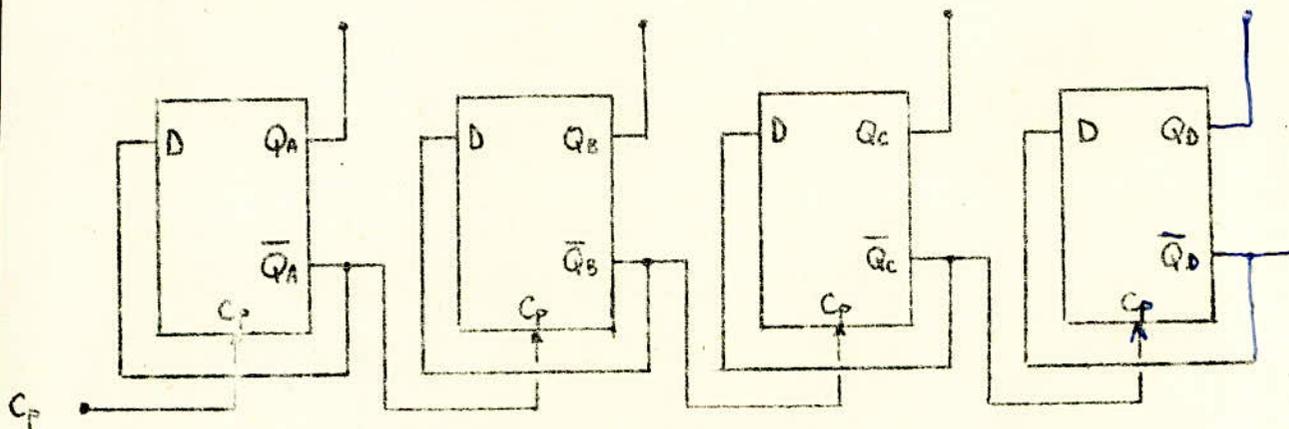


fig. 1 Compteur binaire asynchrone à l'aide de bascules type D (SN 5474)

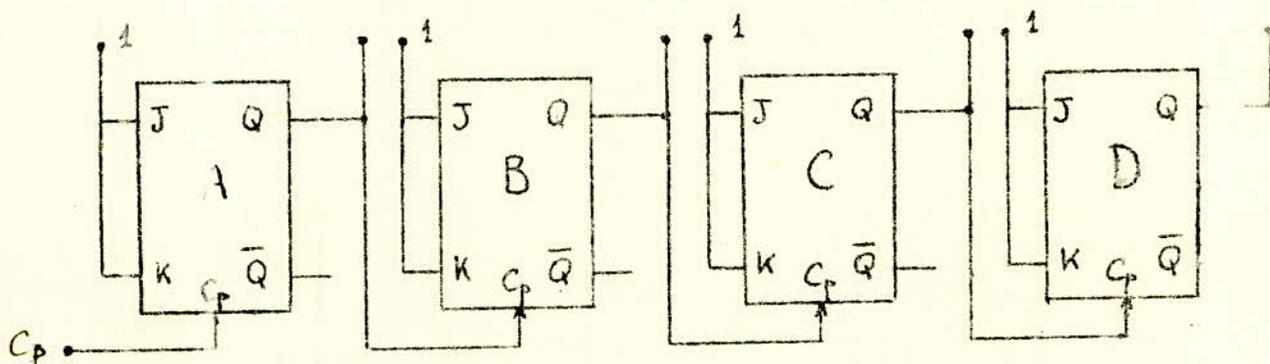


fig 2. Compteur binaire asynchrone à l'aide de bascules maître - esclaves (SN 5473)

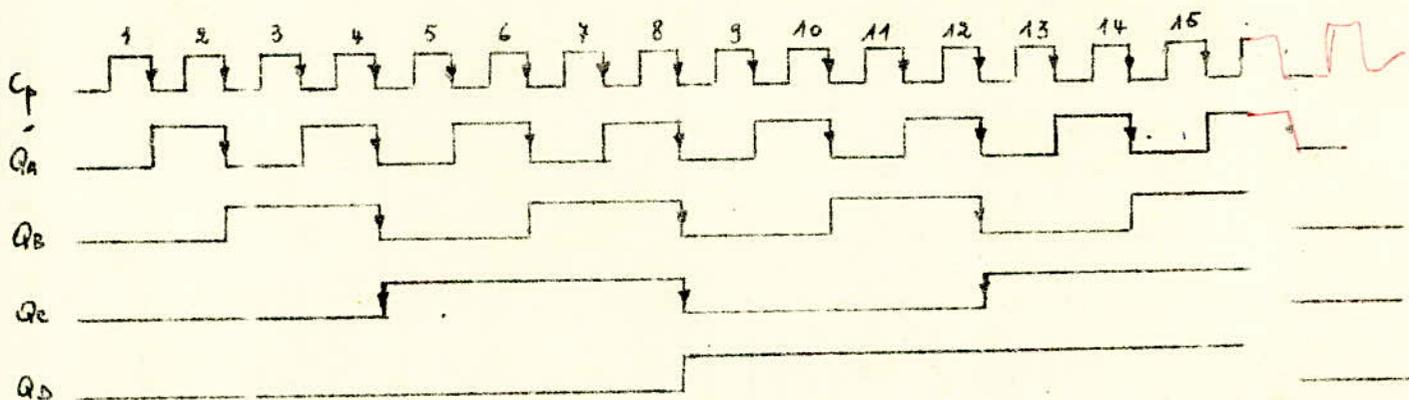


fig. 3 Diagramme des phases.

On dresse les tables de KARNAUGH de $(Q_1)_{n+1}$ et $(Q_2)_{n+1}$ en fonction de $(Q_1)_n$ et $(Q_2)_n$:

		$(Q_1)_n$	
	$(Q_2)_n$	0	1
0		1	0
1		1	0

$(Q_1)_{n+1} = (\bar{Q}_1)_n$

		$(Q_1)_n$	
	$(Q_2)_n$	0	1
0		0	1
1		1	0

$(Q_2)_{n+1} = (Q_1)_n \cdot (\bar{Q}_2)_n + (\bar{Q}_1)_n \cdot (Q_2)_n$
 $= (Q_1)_n \oplus (Q_2)_n$

$$(Q_1)_{n+1} = (\bar{Q}_1)_n$$

et

$$(Q_2)_{n+1} = (Q_1)_n \oplus (Q_2)_n$$

-Pour 3 bascules successives: 1,2 et 3

n	$(Q_3)_n$	$(Q_2)_n$	$(Q_1)_n$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1

$(Q_3)_{n+1}$	$(Q_2)_{n+1}$	$(Q_1)_{n+1}$
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1
0	0	0

Tables de KARNAUGH /:

$(Q_2 Q_1)_n$		$(Q_3)_n$			
		00	01	11	10
0	1	0	0	1	
1	1	0	0	1	
		$(Q_1)_{n+1}$			

$(Q_2 Q_1)_n$		$(Q_3)_n$			
		00	01	11	10
0	0	1	0	1	
1	0	1	0	1	
		$(Q_2)_{n+1}$			

$(Q_2 Q_1)_n$		$(Q_3)_n$			
		00	01	11	10
0	0	0	1	0	
1	1	1	0	1	
		$(Q_3)_{n+1}$			

$$(Q_1)_{n+1} = (\bar{Q}_1)_n \quad ; \quad (Q_2)_{n+1} = (Q_1 \bar{Q}_2)_n + (Q_1 \bar{Q}_2)_n = (Q_1)_n \oplus (Q_2)_n$$

$$\begin{aligned} (Q_3)_{n+1} &= (Q_1 Q_2 \bar{Q}_3)_n + (Q_3 \bar{Q}_2)_n + (Q_3 \bar{Q}_1)_n = (Q_1 Q_2 \bar{Q}_3)_n + (Q_3)_n (\bar{Q}_1 + \bar{Q}_2)_n \\ &= (Q_1 Q_2)_n (\bar{Q}_3)_n + (\bar{Q}_1 \bar{Q}_2)_n (Q_3)_n = (Q_1 Q_2)_n \oplus (Q_3)_n \end{aligned}$$

$$\boxed{(Q_1)_{n+1} \equiv (\bar{Q}_1)_n}$$

$$\boxed{(Q_2)_{n+1} = (Q_1)_n \oplus (Q_2)_n}$$

$$\boxed{(Q_3)_{n+1} = (Q_1 Q_2)_n \oplus (Q_3)_n}$$

Montrons que cette loi est générale; soit un ensemble de m bascules pour lequel on envisage un état représenté par le nombre binaire:

$\{(Q_m)_n, (Q_{m-1})_n, \dots, (Q_p)_n, (Q_{p-1})_n, \dots, (Q_1)_n\}$ où $(Q_p)_n$ est le chiffre binaire de la $p^{\text{ième}}$ bascule à l'instant n .

À l'instant suivant $n+1$, l'état du compteur est représenté par un nombre binaire égal au précédent augmenté d'une unité. Observons la variation du $p^{\text{ième}}$ chiffre entre l'instant n et l'instant $n+1$.

Deux cas se présentent:

a) Si $(Q_{p-1})_n = (Q_{p-2})_n = \dots = (Q_1)_n = 1$, on aura $(Q_p)_{n+1} = (\bar{Q}_p)_n$
ceci peut s'écrire sous la forme suivante:

$$\left\{ (Q_{p-1})_n \cdot (Q_{p-2})_n \cdot \dots \cdot (Q_1)_n = 1 \right\} \longrightarrow (Q_p)_{n+1} = (\bar{Q}_p)_n$$

b) SI l'un au moins des chiffres binaires: $(Q_{p-1})_n$ ou $(Q_{p-2})_n$ ou etc ...
ou Q_1 est nul, on est certain que le chiffre de rang p demeure inchangé
car la propagation d'un report s'arrête au premier chiffre binaire non
nul. On peut écrire $\left\{ (Q_{p-1})_n \cdot (Q_{p-2})_n \cdot \dots \cdot (Q_1)_n = 0 \right\} \longrightarrow (Q_p)_{n+1} = (Q_p)_n$

En rassemblant les deux résultats précédents, on a donc:

$$(Q_p)_{n+1} = (Q_1 Q_2 \dots Q_{p-1})_n \cdot (\bar{Q}_p)_n + (\bar{Q}_1 \bar{Q}_2 \dots \bar{Q}_{p-1})_n \cdot Q_p$$

c'est à dire

$$(Q_p)_{n+1} = (Q_1 Q_2 \dots Q_{p-1})_n \oplus (Q_p)_n$$

On peut ~~alors~~ alors construire des compteurs binaires synchrones à l'ai-
-de des bascules J-K. Il suffit de faire:

$$J_1 = K_1 = 1, \quad J_p = Q_1 Q_2 \dots Q_{p-1} \quad \text{et} \quad K_p = J_p \quad \text{pour vérifier la relation donnant} \\ (Q_p)_{n+1}.$$

* Pour la construction des compteurs binaires synchrones à l'aide de bas-
-cules R-S, il suffit de faire:

$$R_1 = Q_1, \quad S_1 = \bar{Q}_1, \quad R_p = Q_1 Q_2 \dots Q_p \quad \text{et} \quad S_p = Q_1 Q_2 \dots \bar{Q}_p$$

En effet, la fonction logique de R-S est:

$$(Q)_{n+1} = S + \bar{R} \cdot Q_n$$

Donc si $R_1 = Q_1$ et $S_1 = \bar{Q}_1 \longrightarrow (Q_1)_{n+1} = (\bar{Q}_1)_n + (\bar{Q}_1)_n \cdot (Q_1)_n = (\bar{Q}_1)_n$
 donc vérifiée pour une seule bascule.

Si $R_p = Q_1 Q_2 \dots Q_p$ et $S_p = Q_1 Q_2 \dots \bar{Q}_p$

$$(Q_p)_{n+1} = (Q_1 Q_2 \dots Q_{p-1} \bar{Q}_p)_n + (\overline{Q_1 Q_2 \dots Q_p})_n \cdot (Q_p)_n$$

$$\begin{aligned} (\overline{Q_1 Q_2 \dots Q_{p-1} Q_p})_n \cdot (Q_p)_n &= (\bar{Q}_1 + \bar{Q}_2 \dots + \bar{Q}_{p-1} + \bar{Q}_p)_n \cdot (Q_p)_n \\ &= (\bar{Q}_1 Q_p)_n + (\bar{Q}_2 Q_p)_n \dots + (\bar{Q}_{p-1} Q_p)_n + (\bar{Q}_p Q_p)_n \end{aligned}$$

$$(\bar{Q}_p Q_p) = 0$$

$$\begin{aligned} \text{donc } (\overline{Q_1 Q_2 \dots Q_{p-1} Q_p})_n \cdot (Q_p)_n &= (\bar{Q}_1 + \bar{Q}_2 + \dots + \bar{Q}_{p-1})_n (Q_p)_n \\ &= (\overline{Q_1 Q_2 \dots Q_{p-1}})_n (Q_p)_n \end{aligned}$$

Finalement on aura:

$$\begin{aligned} (Q_p)_{n+1} &= (Q_1 Q_2 \dots Q_{p-1} \bar{Q}_p)_n + (\overline{Q_1 Q_2 \dots Q_p})_n (Q_p)_n \\ &= (Q_1 Q_2 \dots Q_{p-1})_n (\bar{Q}_p)_n + (\overline{Q_1 Q_2 \dots Q_{p-1}})_n (Q_p)_n \end{aligned}$$

donc vérifiée pour p bascules

Exemples:

1) Compteurs avec bascules J-K

$$p=4 \longrightarrow J_1=K_1=1 ; J_2=K_2=Q_1 ; J_3=K_3=Q_1 Q_2 ; J_4=K_4=Q_1 Q_2 Q_3$$

2) Compteurs avec bascules R-S

$$p=4 \longrightarrow R_1=Q_1 ; S_1=\bar{Q}_1 ; R_2=Q_1 Q_2 ; S_2=Q_1 \bar{Q}_2 ; R_3=Q_1 Q_2 Q_3 ; S_3=Q_1 Q_2 \bar{Q}_3$$

$$R_4=Q_1 Q_2 Q_3 Q_4 ; S_4=Q_1 Q_2 Q_3 \bar{Q}_4$$

B) AUTRE METHODE DE SYNTHESE

-On s'impose le nombre de bascules, notées A, B, C, D... ainsi que le code.

-On se propose de réaliser un réseau logique appliquant aux entrées de chaque bascule, à l'instant n , les signaux nécessaires pour que ces bascules présentent à l'instant $n+1$ les sorties demandées par le code.

On procède de la manière suivante:

a) On écrit pour chaque entrée les signaux nécessaires aux instants successifs. On fait appel, pour cela, aux tables de vérité des bascules, mises sous la forme du tableau suivant:

Q_n	Q_{n+1}	S_n	R_n
0	0	0	\emptyset
0	1	1	0
1	0	0	1
1	1	\emptyset	0

Q_n	Q_{n+1}	J_n	K_n
0	0	0	\emptyset
0	1	1	\emptyset
1	0	\emptyset	1
1	1	\emptyset	0

b) On exprime chaque entrée (telle que: S_n, R_n ou encore J_n, K_n) sous forme d'une fonction de

c) On établit le schéma.

Exemple:

Soit à réaliser la synthèse d'un compteur binaire synchrone à 4 bascules J-K en code binaire pur.

On procède successivement de la manière suivante:

-On représente dans une table les états du code binaire pur.

-On écrit les signaux d'entrées nécessaires aux instants successifs (sous forme de colonnes $J_A, K_A, J_B, K_B, J_C, K_C, J_D, K_D$) à l'aide de la table de vérité de la bascule J-K.

-On simplifie les fonctions J_A, K_A, J_B, K_B etc... au moyen des tables de KARNAUGH.

n	Q _d	Q _c	Q _b	Q _a	J _a	K _a	J _b	K _b	J _c	K _c	J _d	K _d
0	0	0	0	0	1	∅	0	∅	0	∅	0	∅
1	0	0	0	1	∅	1	1	∅	0	∅	0	∅
2	0	0	1	0	1	∅	∅	0	0	∅	0	∅
3	0	0	1	1	∅	1	∅	1	1	∅	0	∅
4	0	1	0	0	1	∅	0	∅	∅	0	0	∅
5	0	1	0	1	∅	1	1	∅	∅	0	0	∅
6	0	1	1	0	1	∅	∅	0	∅	0	0	∅
7	0	1	1	1	∅	1	∅	1	∅	1	1	∅
8	1	0	0	0	1	∅	0	∅	0	∅	∅	0
9	111	0	0	1	∅	1	1	∅	0	∅	∅	0
10	1 1	0	1	0	1	∅	∅	0	0	∅	∅	0
11	1	0	1	1	∅	1	∅	1	1	∅	∅	0
12	1	1	0	0	1	∅	0	∅	∅	0	∅	0
13	1	1	0	1	∅	1	1	∅	∅	0	∅	0
14	1	1	1	0	1	∅	∅	0	∅	0	∅	0
15	1	1	1	1	∅	1	∅	1	∅	1	∅	1
16	0	0	0	0	0							

Pour n=16 (ou à la 16^e impulsion), le compteur revient à son état initial.

Tables de KARNAUGH:

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	1	\emptyset	\emptyset	1
	01	1	\emptyset	\emptyset	1
	11	1	\emptyset	\emptyset	1
	10	1	\emptyset	\emptyset	1

$$J_a = 1$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	\emptyset	1	1	\emptyset
	01	\emptyset	1	1	\emptyset
	11	\emptyset	1	1	\emptyset
	10	\emptyset	1	1	\emptyset

$$K_a = 1$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	0	1	\emptyset	\emptyset
	01	0	1	\emptyset	\emptyset
	11	0	1	\emptyset	\emptyset
	10	0	1	\emptyset	\emptyset

$$J_b = Q_a$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	\emptyset	\emptyset	1	0
	01	\emptyset	\emptyset	1	0
	11	\emptyset	\emptyset	1	0
	10	\emptyset	\emptyset	1	0

$$K_b = Q_a$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	0	0	1	0
	01	\emptyset	\emptyset	\emptyset	\emptyset
	11	0	0	1	0
	10	\emptyset	\emptyset	\emptyset	\emptyset

$$J_c = Q_a Q_b$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	\emptyset	\emptyset	\emptyset	\emptyset
	01	0	1	0	0
	11	\emptyset	\emptyset	\emptyset	\emptyset
	10	0	0	1	0

$$K_c = Q_a Q_b$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	0	0	0	0
	01	0	0	1	0
	11	\emptyset	\emptyset	\emptyset	\emptyset
	10	\emptyset	\emptyset	\emptyset	\emptyset

$$J_d = Q_a Q_b Q_c$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	\emptyset	\emptyset	\emptyset	\emptyset
	01	\emptyset	\emptyset	\emptyset	\emptyset
	11	0	0	1	0
	10	0	0	0	0

$$K_d^- = Q_a Q_b Q_c$$

On indique aux figures 4 et 5 deux exemples de réalisations.

Remarque:

On peut également utiliser les notations de Marcus pour la synthèse d'un compteur binaire synchrone.

Transitions	Q_n	Q_{n+1}
S_0	0	0
S_1	1	1
T_0	1	0
T_1	0	1

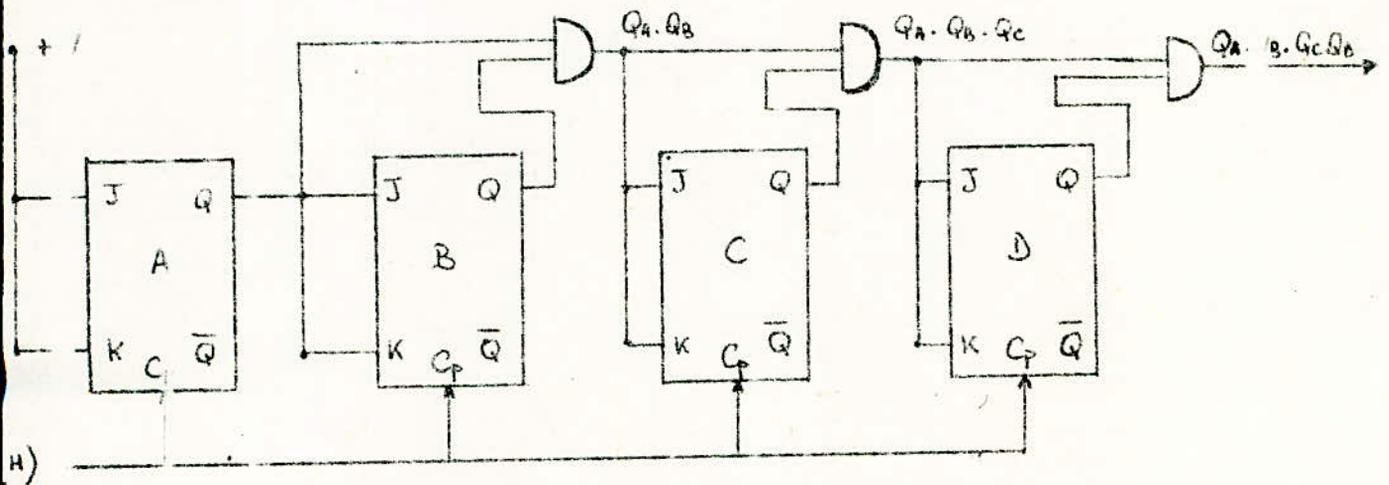


fig. 4 Compteur binaire synchrone à "retenue série"

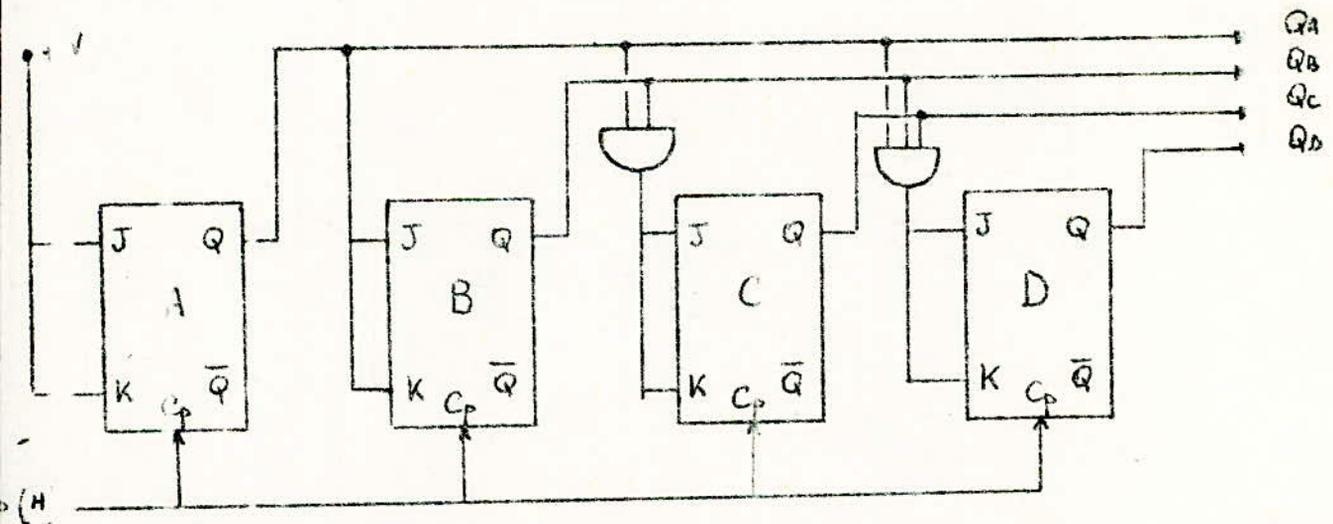


fig. 5 Compteur binaire synchrone à "retenue parallèle"

III) DIVISEURS DE FREQUENCE ET DECADES.

Un diviseur est un système séquentiel dont les changements d'état successifs sont provoqués par l'arrivée des impulsions d'horloge.

Un tel système est chargé de prendre n états successifs différents et de revenir à l'état initial à la $(n+1)^{\text{ième}}$ impulsion pour reprendre le cycle.

L'ensemble constitué par un diviseur et le réseau de décodage associé fait partie d'une classe de système séquentiel.

1) Synthèse des diviseurs de fréquence et des décades de type synchrone :

A) Méthode de synthèse classique, ne faisant pas appel aux entrées de forçage.

On s'impose le nombre des bascules, notées A,B,C,D etc... ainsi que le code du diviseur. Bien entendu, si le code est n états le nombre des bascules, p , doit-être tel que :

$$2^p > n \quad (2^p \text{ immédiatement supérieur à } n)$$

Pour l'établissement des diviseurs synchrones, on procède de la manière suivante :

- On trace la table des états des variable dans le code le n considéré
- On trace la table des transitions du type de bascules utilisé (en utilisant les notations de Marcus)

exemple :

Q_n	Q_{n+}	J_n	K_n	Transitions
0	0	0	\emptyset	S_0
0	1	1	\emptyset	T_1
1	0	\emptyset	1	T_0
1	1	\emptyset	0	S_1

Q_n	Q_{n+1}	S_n	R_n	Transitions
0	0	0	\emptyset	S_0
0	1	1	0	T_1
1	0	0	1	T_2
1	1	\emptyset	0	S_1

c) On reporte dans la table des séquences, pour chaque bascule, le type de transition tiré de la table de (b) (ou table de transition) ainsi que les états des entrées nécessaires aux instants successifs (ou pour chaque transition).

d) On reporte ensuite les états des entrées sur la table de KARNAUGH pour simplification.

On exprime donc chaque entrée (telle que S_n , R_n ou encore J_n , K_n) sous forme d'une fonction $(Q_a)_n$, $(Q_b)_n$... etc ...

e) On vérifie que les fonctions choisies ne conduisent pas à un cas où, à la mise sous tension, le compteur se positionnerait sur un des chiffres non utilisés ; cela ne mènerait pas à un cycle erroné, c'est à dire qu'après quelques impulsions d'horloge, il reviendrait bien à son cycle normal.

Cette vérification est effectuée en étudiant la séquence des transitions des nombres inutilisés avec les fonctions de J et de K retenues

f) Cela fait, il ne reste plus qu'à établir le tableau de charge des bistables et à vérifier si, du fait des connexions de retroaction, certaines sorties ne supportent pas un fan-out trop élevé.

Dans ce cas, il y aurait lieu d'équilibrer en prenant le signal de retroaction sur la sortie complémentaire du bistable (\bar{Q}) et de l'appliquer à une partie des étages du compteur, après inversion au moyen d'une porte inverseuse, ou encore, lorsque les bistables utilisés en comportent d'appliquer le signal issu de la sortie inversée

du bistable de commande sur une entrée \bar{J} ou \bar{K} . Si la surcharge est trop importante aussi bien pour Q que pour \bar{Q} , on utiliserait des buffers

Exemple: Soit à réaliser la synthèse d'un compteur à 3 bascules J-K prenant 6 états successifs par le code binaire naturel.

$n=6$ $p=3$ ----- $2^3=8 > 6$

a)

n	Q_c	Q_b	Q_a
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	0	0	0

b)

Q_n	Q_{n+1}	J_n	K_n	transitions
0	0	0	\emptyset	S_0
0	1	1	\emptyset	T_1
1	0	\emptyset	1	T_0
1	1	\emptyset	0	S_1

c)

n	Q_c	Q_b	Q_a	Transitions			J_c	K_c	J_b	K_b	J_a	K_a
				S_0	S_1	T_1						
0	0	0	0	S_0	S_0	T_1	0	\emptyset	0	\emptyset	1	\emptyset
1	0	0	1	S_0	T_1	T_0	0	\emptyset	1	\emptyset	\emptyset	1
2	0	1	0	S_0	S_1	T_1	0	\emptyset	\emptyset	0	1	\emptyset
3	0	1	1	T_1	T_0	T_0	1	\emptyset	\emptyset	1	\emptyset	1
4	1	0	0	S_1	S_0	T_1	\emptyset	0	0	\emptyset	1	\emptyset
5	1	0	1	T_0	S_0	T_0	\emptyset	1	0	\emptyset	\emptyset	1
	0	0	0	C	B	A						

d)

Q_c	$Q_b Q_a$			
	00	01	11	10
0	1	\emptyset	\emptyset	1
1	1	\emptyset	\emptyset'	\emptyset'

Q_c	$Q_b Q_a$			
	00	01	11	10
0	\emptyset	1	1	\emptyset
1	\emptyset	1	\emptyset'	\emptyset'

donc $J_a = 1$ et $K_a = 1$

		$Q_b Q_a$			
		00	01	11	10
Q_c	0	\emptyset	\emptyset	1	0
	1	\emptyset	\emptyset	\emptyset'	\emptyset'

$$K_b = Q_a$$

		$Q_b Q_a$			
		00	01	11	10
Q_c	0	0	1	\emptyset	\emptyset
	1	0	0	\emptyset'	\emptyset'

$$J_b = Q_a \bar{Q}_c$$

		$Q_b Q_a$			
		00	01	11	10
Q_c	0	0	0	1	0
	1	\emptyset	\emptyset	\emptyset'	\emptyset'

$$J_c = Q_a Q_b$$

		$Q_b Q_a$			
		00	01	11	10
Q_c	0	\emptyset	\emptyset	\emptyset	\emptyset
	1	0	1	\emptyset'	\emptyset'

$$K_c = Q_a$$

Remarque: \emptyset' correspond aux états non utilisés.

e)

Q	J	K
B	$Q_a \bar{Q}_c$	Q_a
A	1	1
C	$Q_a Q_b$	Q_a

$$Q_a = 4 \text{ charges}$$

$$Q_b = 1 \text{ charge}$$

$$Q_c = 1 \text{ charge}$$

Si on utilise les circuits intégrés TTL, Q_a (4 charges) n'est pas surchargé puisque la sortance (fan-out) de ces circuits est égale à 10.

Qu'est-ce qu'une sortance ou fan-out ?

On appelle sortance ou fan-out ou charge de sortie le nombre maximal d'unités de I (courant) que le circuit logique considéré est capable de délivrer ou d'absorber en fonctionnement normal.

I est le courant unité de charge c'est à dire le courant qu'il est nécessaire de fournir ou de soutirer à l'élément considéré (NOR-NAND-AND).

2^e exemple:

Soit à réaliser la synthèse d'une décade à bascules J-K en code binaire naturel.

$n=10$ donc la puissance p de 2 immédiatement supérieurs à 10 est $p=4$ donc ce compteur comporte 4 bascules notées A,B,C,D.

On procède de la même manière que précédemment.

n	Q_d	Q_c	Q_b	Q_a	D	C	B	A	J_d	K_d	J_c	K_c	J_b	K_b	J_a	K_a
0	0	0	0	0	S_0	S_0	S_0	T_1	0	\emptyset	0	\emptyset	0	\emptyset	1	\emptyset
1	0	0	0	1	S_0	S_0	T_1	T_0	0	\emptyset	0	\emptyset	1	\emptyset	\emptyset	1
2	0	0	1	0	S_0	S_0	S_1	T_1	0	\emptyset	0	\emptyset	\emptyset	0	1	\emptyset
3	0	0	1	1	S_0	T_1	T_0	T_0	0	\emptyset	1	\emptyset	\emptyset	1	\emptyset	1
4	0	1	0	0	S_0	S_1	S_0	T_1	0	\emptyset	\emptyset	0	0	\emptyset	1	\emptyset
5	0	1	0	1	S_0	S_1	T_1	T_0	0	\emptyset	\emptyset	0	1	\emptyset	\emptyset	1
6	0	1	1	0	S_0	S_1	S_1	T_1	0	\emptyset	\emptyset	0	\emptyset	0	1	\emptyset
7	0	1	1	1	T_1	T_0	T_0	T_0	1	\emptyset	\emptyset	1	\emptyset	1	\emptyset	1
8	1	0	0	0	S_1	S_0	S_0	T_1	\emptyset	0	0	\emptyset	0	\emptyset	1	\emptyset
9	1	0	0	1	T_0	S_0	S_0	T_0	\emptyset	1	0	\emptyset	0	\emptyset	\emptyset	1
10	0	0	0	0												

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	\emptyset	1	1	\emptyset
	01	\emptyset	1	1	\emptyset
	11	\emptyset	\emptyset	\emptyset	\emptyset
	10	\emptyset	1	\emptyset	\emptyset

$K_a = 1$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	1	\emptyset	\emptyset	1
	01	1	\emptyset	\emptyset	1
	11	\emptyset	\emptyset	\emptyset	\emptyset
	10	1	\emptyset	\emptyset	\emptyset

$J_a = 1$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	\emptyset	\emptyset	1	0
	01	\emptyset	\emptyset	1	0
	11	\emptyset'	\emptyset'	\emptyset'	\emptyset'
	10	\emptyset	\emptyset	\emptyset'	\emptyset'

$$K_b = Q_a$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	0	1	\emptyset	\emptyset
	01	0	1	\emptyset	\emptyset
	11	\emptyset'	\emptyset'	\emptyset'	\emptyset'
	10	0	0	\emptyset'	\emptyset'

$$J_b = Q_a \bar{Q}_d$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	\emptyset	\emptyset	\emptyset	\emptyset
	01	0	0	1	0
	11	\emptyset'	\emptyset'	\emptyset'	\emptyset'
	10	\emptyset	\emptyset	\emptyset'	\emptyset'

$$K_c = Q_a Q_b$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	0	0	1	0
	01	\emptyset	\emptyset	\emptyset	\emptyset
	11	\emptyset'	\emptyset'	\emptyset'	\emptyset'
	10	0	0	\emptyset'	\emptyset'

$$J_c = Q_a Q_b$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	\emptyset	\emptyset	\emptyset	\emptyset
	01	\emptyset	\emptyset	\emptyset	\emptyset
	11	\emptyset'	\emptyset'	\emptyset'	\emptyset'
	10	0	1	\emptyset'	\emptyset'

$$K_d = Q_a$$

		$Q_b Q_a$			
		00	01	11	10
$Q_d Q_c$	00	0	0	0	0
	01	0	0	1	0
	11	\emptyset'	\emptyset'	\emptyset'	\emptyset'
	10	\emptyset	\emptyset	\emptyset'	\emptyset'

$$J_d = Q_a Q_b Q_c$$

Remarque: On peut faire $J_a = \bar{Q}_a$ et $K_a = Q_a$ au lieu de $K_a = J_a = 1$, car dans les deux cas la bascule est un diviseur par deux.

Jana

Tableau de charges:

	J	K
A	-	-
B	$\overline{A}\overline{D}$	A
C	AB	AB
D	$\overline{A}BC$	A

A=6 charges ; B=3 charges ; C=1 charge ; D=0 charge

\overline{A} =0 charge ; \overline{B} =0 charge ; \overline{C} =0 charge ; \overline{D} =1 charge

Voir figure 7.

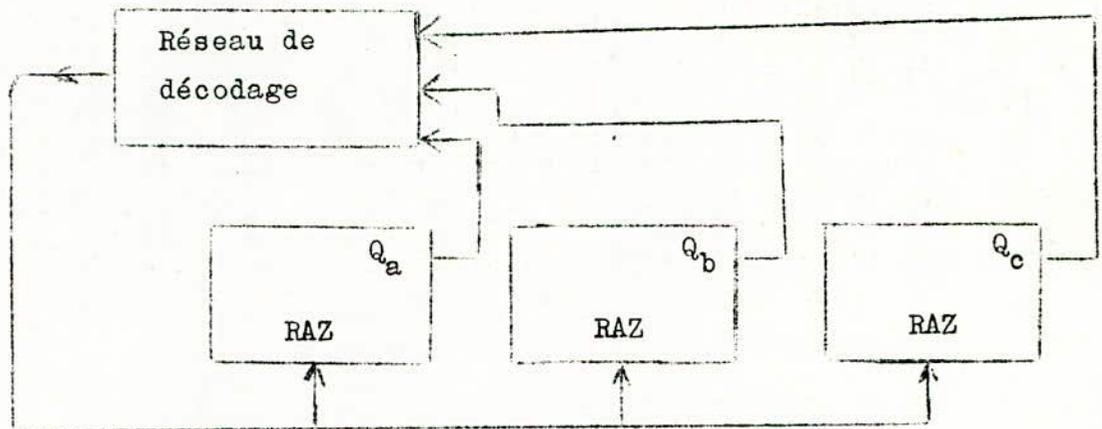
B) Synthèse par ~~remise~~ utilisation de Remise à zéro:

Dans ce type de diviseurs, on effectue généralement un compteur selon le code binaire pur. UN circuit de décodage détecte le $n^{i\text{ème}}$ état du compteur. Dès que cet état apparaît, il y a remise à zéro. Les sorties de cet état sont raccordées aux entrées d'une porte ET, dont la sortie commande simultanément les entrées "reset" de remise à zéro de toutes les bascules du compteur. Le signal d'entrée (ou d'horloge) est parfois appliqué à l'une des entrées de la porte ET; lorsque la $n^{i\text{ème}}$ impulsion se présente, toutes les autres entrées sont déjà à (1), on recueille à la sortie de la porte ET un signal qui remet ~~à zéro~~ simultanément à zéro toutes les bascules du compteur, puisque cela est bien connu, les entrées de forçage S_D et R_D sont prépondérantes sur toutes les autres.

Remarque: Dans le cas d'emploi d'une porte NAND, ce sont les sorties \overline{Q} des bistables ~~des~~ correspondant à (1) et les sorties Q de ceux qui correspondent à (0) dans l'expression binaire de n qui entreraient dans la porte NAND, et le signal d'horloge devra être complété.

Mais avec ce type de compteur, un certain nombre de précautions sont à prendre. Le code binaire n'étant pas cyclique, il peut y avoir, à la sortie de la porte de décodage, des impulsions parasites très brèves, lesquelles risquent de remettre prématurément le compteur à zéro.

De plus, à la $n^{\text{ième}}$ impulsion, le compteur peut prendre cet état (l'état n) non désiré pendant un très court instant avant de se remettre à zéro; il est donc nécessaire de filtrer la sortie de la porte de commande de remise à zéro au moyen d'un condensateur de très faible valeur.



Méthode de synthèse par remise à zéro

Exemple:

Proposons nous d'effectuer une division par 12 à l'aide de 4 bascules J-K.

Le diviseur doit afficher les équivalents en binaire pur de 0,1,2... 11 et revenir à zéro à la douzième impulsion.

Pour cela, on détecte le nombre 12=1100 au moyen d'un circuit ET (en langage TTL, on utilisera un NAND puisque les entrées de remise à zéro sont complémentées).

Le schéma est donné par la figure 8.

On notera qu'entre la 8^e et la 9^e ligne (voir tableau ci-dessous), les variables Q_d et Q_c permutent en même temps; en réalité il se peut très bien que Q_c change avant Q_d , auquel cas 2 chiffres "1" apparaissent fugitivement aux entrées du circuit NAND de décodage et peuvent provoquer une remise à zéro prématurée. Pour éliminer l'éventualité d'une remise à zéro anticipée, on met à la sortie du circuit NAND un condensateur de faible valeur.

Etats	Q_d	Q_c	Q_b	Q_a
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1

8^e ligne9^e ligne

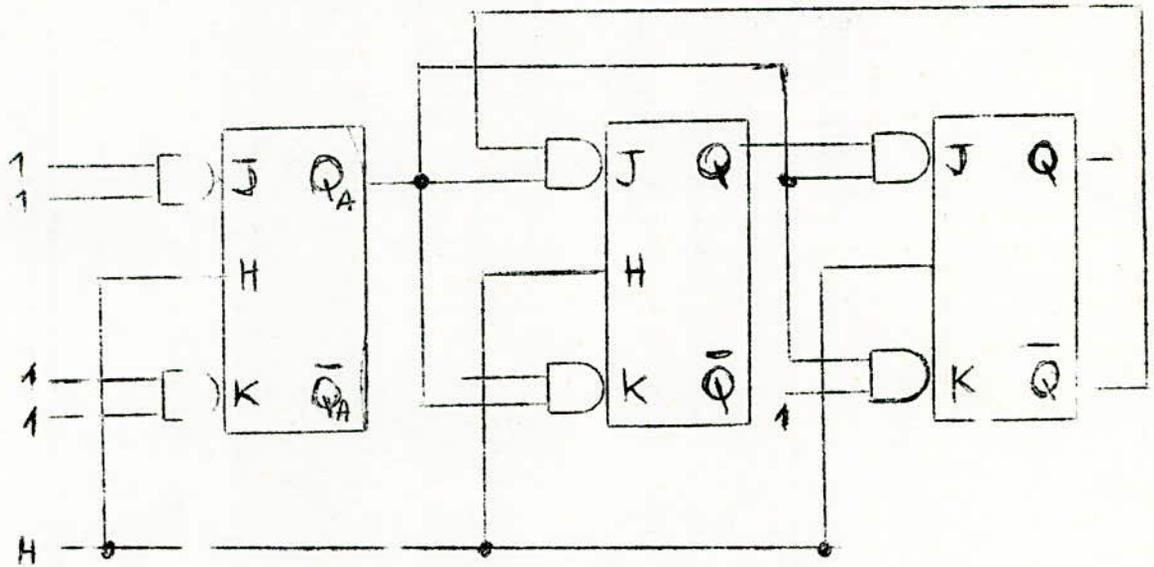


Fig 5: Diviseur Synchrones par 6

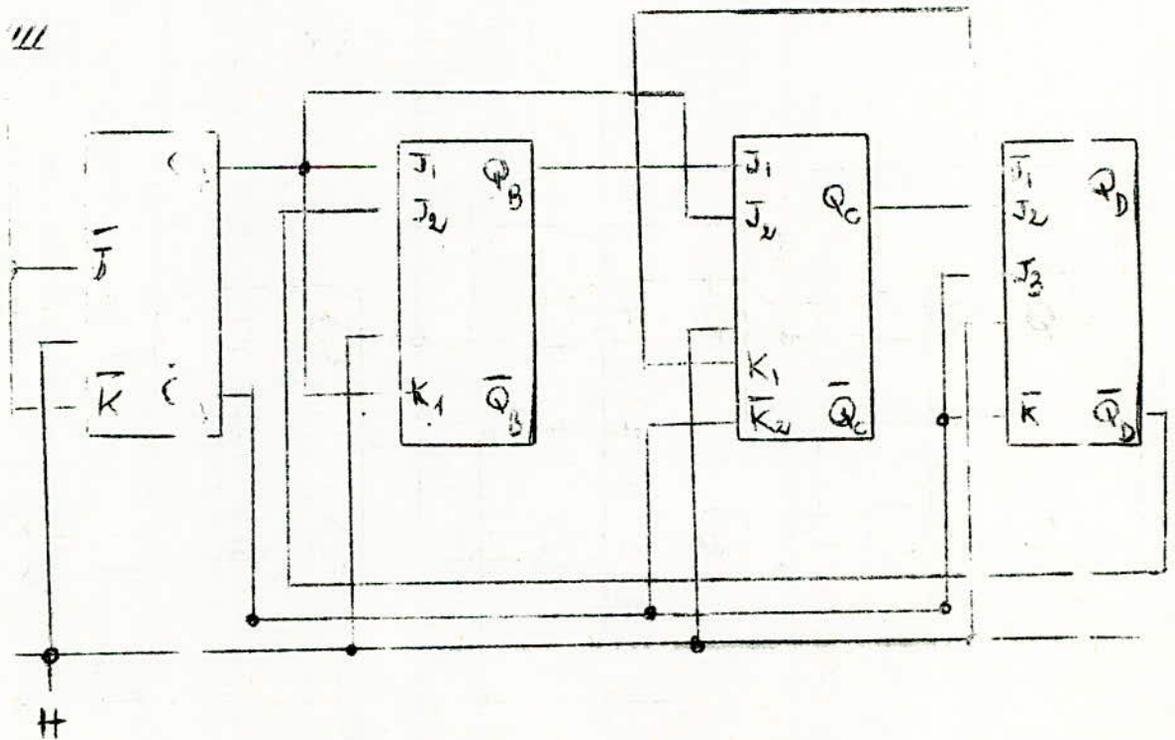


Figure 7 Déca de Synchrones.

24

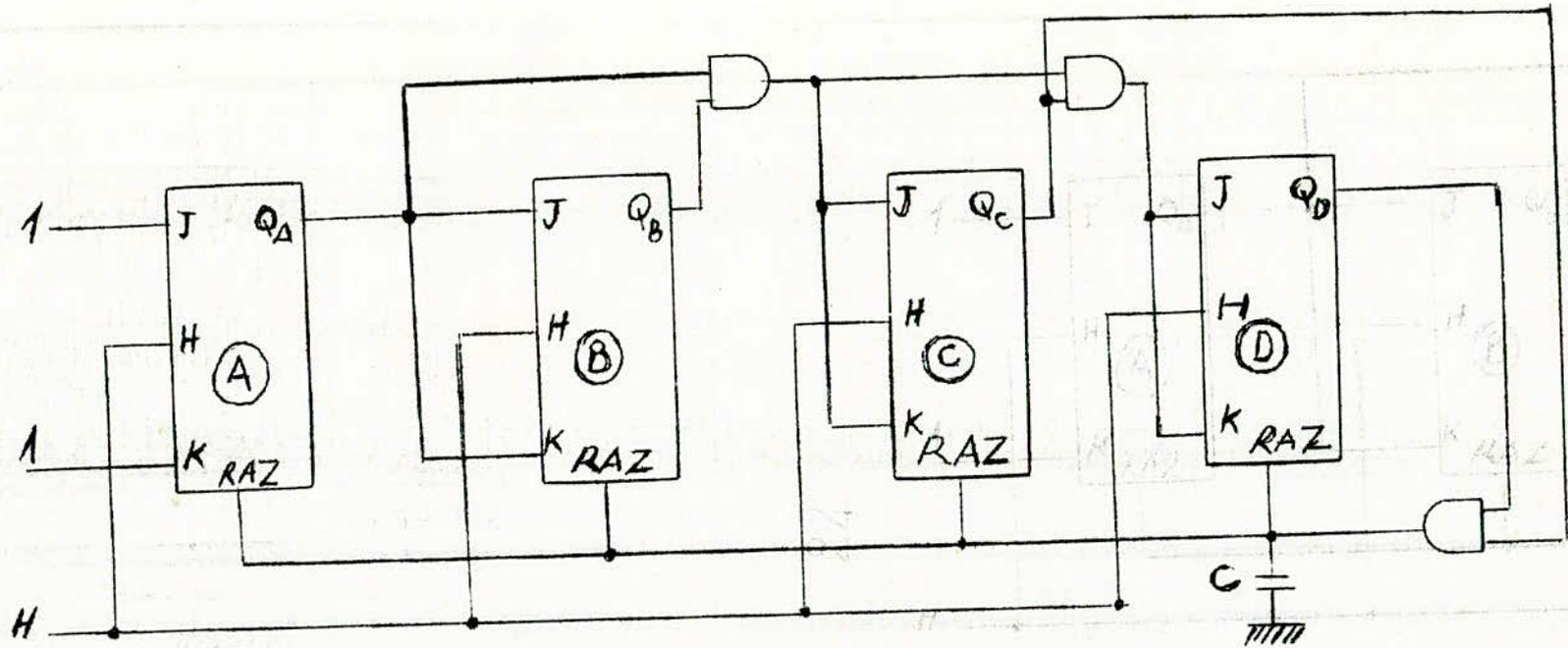


figure. 8: Diviseur par 12 utilisant
la remise à zéro

Diviseur par 12
la remise à zéro

2) SYNTHESE D'UN DIVISEUR OU D'UNE DECADE ASYNCHRONE:

a) Méthode:

Une década (ou un diviseur) est dit asynchrone quand les impulsions à compter ne sont pas envoyées sur toutes les entrées horloge des bascules; en pratique ces impulsions ne sont appliqués qu'à l'entrée horloge de la première bascule. Les entrées horloge des bascules suivantes reçoivent des signaux de fréquences plus faible.

Si c'est un diviseur par n , le nombre de bascules p doit être tel que: $2^p > n$ (2^p immédiatement supérieur à n).

Pour la synthèse, on procède de la manière suivante:

- i) On dresse la table des états et le diagramme des phases, dans le code considéré.
- ii) Les impulsions à compter sont envoyées sur l'entrée horloge de la première bascule. En s'aidant du diagramme des phases, on cherche pour chacune des entrées horloge des bascules suivantes un signal présentant un front négatif (pour les flaps-flops basculant aux fronts négatifs) ou un front positif (pour les flaps-flops basculants aux fronts positifs) au moins chaque fois qu'un basculement est nécessaire.
- iii) On écrit pour chaque entrée les signaux nécessaires aux instants successifs, en s'aidant de la table de vérité des bascules utilisées.
- iiii) On reporte ensuite les états des entrées sur la table de Karnaugh pour simplification. On exprime donc chaque entrée (S_n, R_n ou J_n, K_n) sous forme d'une fonction de Q_a, Q_b, \dots .

Notons que de nouvelles indéterminations apparaissent en fonctionnement asynchrone quand aucun front négatif (ou front positif pour les autres bascules) ne survient.

iiii) On établit le schéma.

b) Application à la synthèse d'une décade asynchrone dans le code

8-4-2-1:

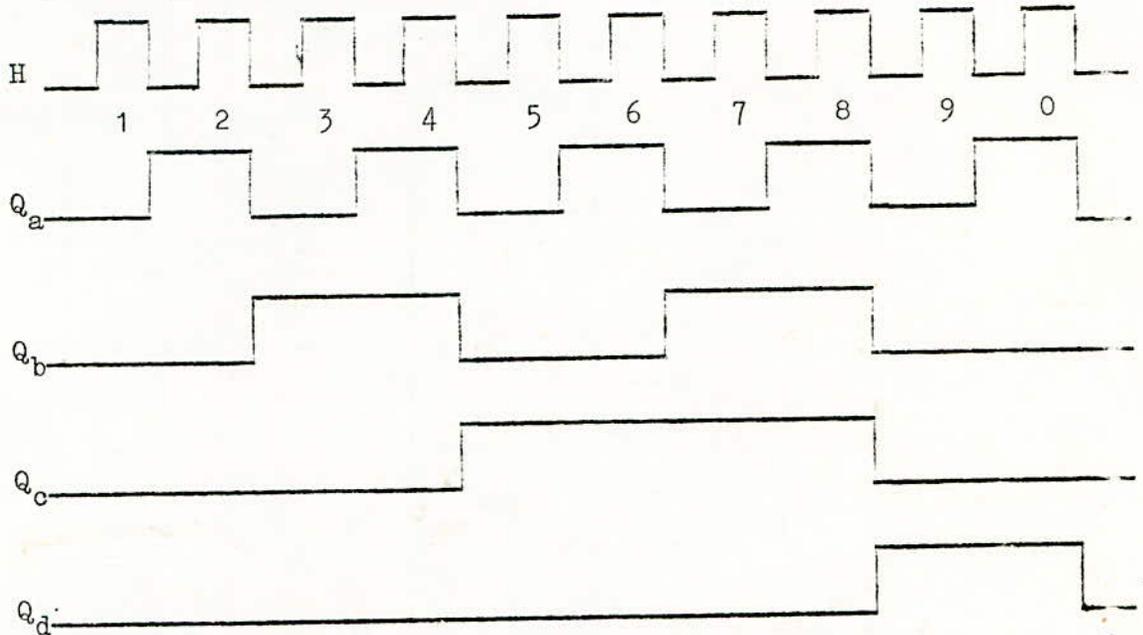
$n=10 \longrightarrow 2^p > 10 \longrightarrow p=4$
 donc 4 bascules J-K notées :

A, B, C, D.

i) La table des états (ou code) de la décade permet de dresser le diagramme des phases.

Table des états successifs:

séquences	Q_d	Q_c	Q_b	Q_a
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	0	0	0	0

Diagramme des phases:

ii) On réalise ensuite les connexions des horloges.

L'horloge de la bascule B peut être reliée à Q_a ; l'horloge de la bascule C peut être reliée à Q_b ; l'horloge de la bascule D ne peut être reliée ni à Q_c ni à Q_b ; on peut la relier à Q_a .

Seuls donc les étages D et B nécessitent une correction sur leurs entrées, car sur certaines des transitions de leur signal d'horloge, ces étages ne doivent pas changer d'état.

iii) On écrit les signaux d'entrée nécessaires, dans chaque état, pour préparer l'état suivant, en s'aidant de la table de vérité des bascules J-K

Q_n	Q_{n+1}	J_n	K_n
0	0	0	\emptyset
0	1	1	\emptyset
1	0	\emptyset	1
1	1	\emptyset	0

Table de vérité des bascules J-K

séquences	Q_d	Q_c	Q_b	Q_a	J_a	K_a	J_b	K_b	J_c	K_c	J_d	K_d
0	0	0	0	0	1	\emptyset	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''
1''	0	0	0	1	\emptyset	1	1	\emptyset	\emptyset''	\emptyset''	0	\emptyset
2	0	0	1	0	1	\emptyset	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''
3	0	0	1	1	\emptyset	1	\emptyset	1	1	\emptyset	0	\emptyset
4	0	1	0	0	1	\emptyset	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''
5	0	1	0	1	\emptyset	1	1	\emptyset	\emptyset''	\emptyset''	0	\emptyset
6	0	1	1	0	1	\emptyset	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''
7	0	1	1	1	\emptyset	1	\emptyset	1	\emptyset	1	1	\emptyset
8	1	0	0	0	1	\emptyset	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''	\emptyset''
9	1	0	0	1	\emptyset	1	0	\emptyset	\emptyset''	\emptyset''	\emptyset	1
10	0	0	0	0								

Signaux d'entrée nécessaires pour provoquer les commutations convenables des bascules.

\emptyset'' : indéterminations dues à la structure asynchrone. Ces indéterminations signifient que lorsqu'une horloge d'une bascule ne reçoit aucune impulsion (front négatif), l'état de sortie de cette bascule reste inchangé quels que soient les états d'entrée (J, K).

iii) Les diagrammes de KARNAUGH permettent d'exprimer les J et les K sous forme minimale.

On obtient:

$$J_a = K_a = 1 ; J_b = \bar{Q}_d ; K_b = 1 ; J_c = K_c = 1 ; J_d = Q_c Q_b ; K_d = 1$$

iiii) Schéma (fig 9)

Remarque: on peut utiliser également la méthode de remise à zéro étudiée précédemment (paragraphe: synthèse d'un diviseur synchrone).

1 1 1 1
0 0 0 0

Décade asynchrone dans le code 8.4.2.1

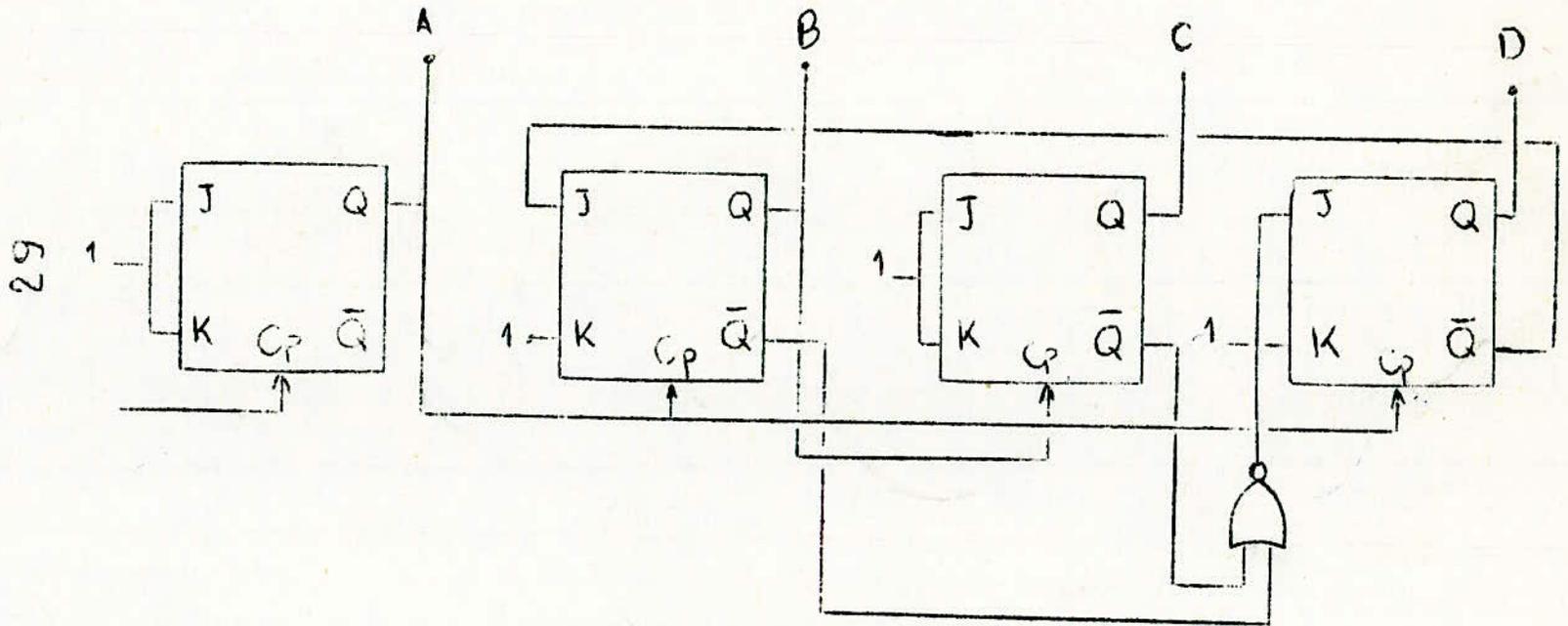


Tableau : Equations aux entrées des FF/JK pour des compteurs asyn-
-rones.

Modulo N	Code	Equations d'entrées pour FF			
		E	D	C	B
3	Binaire				$J=A; K=B$
3	Non pondéré				$J=K=\bar{A}$
4	Binaire				$J=K=A$
4	Johnson				$J=A; K=\bar{A}$
5	Binaire			$J=AB; K=C$	$J=K=A$
5	Non pondéré			$J=K=B$	$J=A; K=\bar{A}$
6	Non pondéré 111			$J=A; K=B$	$J=K=A\bar{C}$
6	Binaire			$J=AB; K=A$	$J=\bar{A}\bar{C}; K=A$
7	Binaire			$J=AB; K=B$	$J=A; K=A\bar{C}$
7	Non pondéré 111			$J=A; K=B$	$J=K=A$
8	Binaire			$J=K=AP$	$J=K=A$
8	Johnson		$J=C; K=\bar{C}$	$J=B; K=\bar{B}$	$J=A; K=\bar{A}$
9	Binaire		$J=ABC; K=\bar{C}$	$J=K=AB$	$J=K=A$
10	Binaire		$J=AB; K=A\bar{B}$	$J=ABC; K=A$	$J=K=A\bar{D}$
10	Johnson	$J=D; K=\bar{D}$	$J=C; K=\bar{C}$	$J=B; K=\bar{B}$	$J=A; K=\bar{A}$
11	Binaire		$J=ABC; K=B$	$J=AB; K=AB$	$J=A; K=A\bar{D}$
12	Binaire		$J=ABC; K=AB$	$J=AB\bar{D}; K=AB$	$J=K=A$
13	Binaire		$J=ABC; K=C$	$J=AB; K=AB+D$	$J=K=A$
14	Binaire		$J=ABC; K=AC$	$J=AB; K=A(B+D)$	$J=A(\bar{C}+\bar{D}); K=A$
15	Binaire		$J=ABC; K=BC$	$J=AB; K=AB+BD$	$J=A; K=A+CD$
16	Binaire		$J=ABC; K=ABC$	$J=K=AB$	$J=K=A$

Tableau 1

17	Binaire	$J=ABCD; K=\bar{D}$	$J=K=ABC$	$J=AB; K=AB$	$J=K=A$
18	Binaire	$J=ABCD; K=A$	//	//	$J=K=\bar{E}$
19	//	$J=ABCD; K=B$	//	//	$J=A; K=\bar{E}$
20	//	$J=ABCD; K=AB$	//	$J=AB\bar{E}; K=AB$	$J=K=A$
21	//	$J=ABCD; K=\bar{A}C$	//	$J=AB; K=AB+E$	//
22	//	$J=ABCD; K=AC$	//	$J=AB; K=AB+AE$	$J=A\bar{B}\bar{C}+\bar{E}; K=A$
23	//	$J=ABCD; K=\bar{A}BC$	//	$J=AB; K=AB+BE$	$J=AB; K=\bar{A}+ACE$
24	//	$J=ABCD; K=ABC$	$J=AB\bar{C}\bar{E}; K=ABC$	$J=K=AB$	$J=K=A$
25	//	$J=ABCD; K=D$	$J=ABC; K=ABC+E$	//	//
26	//	$J=ABCD; K=AD$	$J=ABC; K=ABC+AE$	//	$J=A\bar{D}+A; K=A$
27	//	$J=ABCD; K=BD$	$J=ABC; K=ABC+BE$	//	$J=A; K=+DE$
28	//	$J=ABCD; K=ABD$	$J=ABC; K=ABC+ABE$	$J=AB\bar{D}+AB\bar{E}; K=AB$	$J=K=A$
29	//	$J=ABCD; K=\bar{A}CD$	$J=ABC; K=ABC+\bar{A}CE$	$J=AB; K=AB+DE$	//
30	//	$J=ABCD; K=ACD$	$J=ABC; K=ABC+ACE$	$J=AB; K=AB+ADE$	$J=A\bar{D}+A\bar{C}+A\bar{E}; K=A$
31	//	$J=ABCD; K=\bar{A}BCD$	$J=ABC; K=\bar{A}BC+\bar{A}BCE$	$J=AB; K=AB+BDE$	$J=A; K=+BDE$
32	//	$J=K=ABCD$	$J=K=ABC$	$J=K=AB$	$J=K=A$

Tableau 2 (ou suite du tableau 1)

Suite du tableau 1

	A
3	$J=K=\bar{B}$
3	$J=\bar{B}; K=B$
4	$J=\bar{A}; K=A$
4	$J=\bar{B}; K=B$
5	$J=K=\bar{C}$
5	$J=\bar{C}; K=A$
6	$J=\bar{A}; K=A$
6	//
7	$J=K=\bar{BC}$
7	$J=\bar{A}; K=\bar{BC}$
8	$J=\bar{A}; K=A$
8	$J=\bar{D}; K=D$
9	$J=K=\bar{D}$
10	$J=\bar{A}; K=A$
10	$J=\bar{E}; K=E$
11	$J=K=\bar{BD}$
12	$J=\bar{A}K=A$
13	$J=K=\bar{CD}$
14	$J=\bar{A}; K=A$
15	$J=\bar{BCD}; K=A$
16	$J=\bar{A}; K=A$

Suite du tableau 2

	A
17	$J=K=\bar{E}$
18	$J=\bar{A}; K=A$
19	$J=\bar{BE}; K=A$
20	$J=\bar{A}; K=A$
21	$J=\bar{ACE}; K=A$
22	$J=\bar{A}; K=A$
23	$J=\bar{ABCE}; K=A$
24	$J=\bar{A}; K=A$
25	$J=\bar{DE}; K=A$
26	$J=\bar{A}; K=A$
27	$J=\bar{BDE}; K=A$
28	$J=\bar{A}; K=A$
29	$J=\bar{ACDE}; K=A$
30	$J=\bar{A}; K=A$
31	$J=\bar{ABCDE}; K=A$
32	$J=\bar{A}; K=A$

3) CYCLES ERRONES :

Soit un diviseur de fréquence pour lequel le nombre des états du code est inférieur au nombre des états réalisables avec les bascules. Un certain nombre d'états n'apparaissent pas en fonctionnement normal. Toute fois, pour chacun de ces états, il existe une suite d'états successeurs parfaitement définis par les fonctions J_a, K_a, J_b, K_b etc...

En effet au moment des simplifications des fonctions logiques de commande, nous avons attribué une valeur à chacune des entrées même dans les états qui n'apparaissent pas.

Deux cas peuvent se produire si un état considéré comme exclu vient à apparaître accidentellement :

- a) Les états successeurs rejoignent le cycle normal
- b) Les états successeurs forment un cycle erroné.

Le cas d'un cycle erroné doit être éliminé au moment de la synthèse. Pour cela, on doit vérifier pour chaque état non utilisé le comportement du compteur.

Exemple :

- a) Soit le diviseur par 6 de l'exemple initial

$$J_a = K_a = 1 ; J_b = Q_a \bar{Q}_c ; J_c = Q_a Q_b ; K_c = \bar{Q}_a ; K_b = Q_a$$

On a défini J et K même pour les états qui n'existent pas.

Soit par exemple $K_b = Q_a$

		$Q_b Q_a$			
		00	01	11	10
Q_c	0	\emptyset	\emptyset	1	0
	1	\emptyset	\emptyset	\emptyset'	\emptyset'

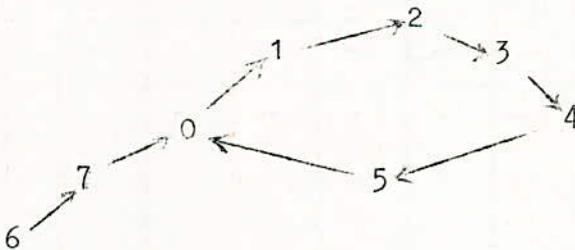
On a pris donc $\emptyset' = 1$, ceci signifie que Q_b est défini et vaut 1 pour la 7^e impulsion.

Le tableau réel des séquences est le suivant:

états	Q_c	Q_b	Q_a	J_a	K_a	J_b	K_b	J_c	K_c
0	-	-	-	-	-	-	-	-	-
1	-	-	-	-	-	-	-	-	-
⋮									
4	1	0	0	1	1	0	0	0	0
5	1	0	1	1	1	0	1	0	0
6	1	1	0	1	1	0	0	0	0
7	1	1	1	1	1	0	1	1	1

Après minimisation, on a affecté donc des valeurs aux fonctions de commande J_a, K_a ...etc dans tous les états que peuvent prendre les bascules et pas seulement dans ceux du code.

On peut avoir alors que si l'état 6 vient à apparaître accidentellement, on passe à l'état 7, puis à l'état 0. On revient donc vers le cycle normal.



b) Cycle de Johnson:

Ce cycle peut créer un cycle erroné.

Soit une décade de Johnson; on appelle ainsi une décade réalisée avec 5 bascules, opérant selon le code suivant:

états	Q_e	Q_d	Q_c	Q_b	Q_a	équivalent décimal
0	0	0	0	0	0	0
1	0	0	0	0	1	1
2	0	0	0	1	1	3
3	0	0	1	1	1	7
4	0	1	1	1	1	15
5	1	1	1	1	1	31
6	1	1	1	1	0	30
7	1	1	1	0	0	28
8	1	1	0	0	0	24
9	1	0	0	0	0	16

4) DIVISEURS OU DECADES RETROGRADES, DIVISEURS OU DECADES REVERSIBLES:

a) DIVISEURS RETROGRADES:

Un diviseur rétrograde doit décompter au lieu de compter, et il est invariablement du type synchrone. Les états de sortie des diviseurs rétrogrades sont les équivalents binaires de chiffres $n, n-1, n-2 \dots 1, 0$. Par conséquent, il n'y a pas de théorie particulière à faire ; la méthode de synthèse précédemment décrite convient pour de telles diviseurs.

Exemple:

Soit à réaliser la synthèse d'une décade rétrograde synchrone opérant selon le code 8-4-2-1 .

On procède de la même manière que précédemment.

horloge	état	Q_d	Q_c	Q_b	Q_a	J_a	K_a	J_b	K_b	J_c	K_c	J_d	K_d
0	9	1	0	0	1	∅	1	0	∅	0	∅	∅	0
1	8	1	0	0	0	1	∅	1	∅	1	∅	∅	1
2	7	0	1	1	1	∅	1	∅	0	∅	0	0	∅
3	6	0	1	1	0	1	∅	∅	1	∅	0	0	∅
4	5	0	1	0	1	∅	1	0	∅	∅	0	0	∅
5	4	0	1	0	0	1	∅	1	∅	∅	1	0	∅
6	3	0	0	1	1	∅	1	∅	0	0	∅	0	∅
7	2	0	0	1	0	1	∅	∅	1	0	∅	0	∅
8	1	0	0	0	1	∅	1	0	∅	0	∅	0	∅
9	0	0	0	0	0	1	∅	0	∅	0	∅	1	∅
10	9	1	0	0	1								

Commande d'une décade rétrograde

4) DIVISEURS OU DECADES RETROGRADES, DIVISEURS OU DECADES REVERSIBLES:

a) DIVISEURS RETROGRADES:

Un diviseur rétrograde doit décompter au lieu de compter, et il est invariablement du type synchrone. Les états de sortie des diviseurs rétrogrades sont les équivalents binaires de chiffres $n, n-1, n-2 \dots 1, 0$. Par conséquent, il n'y a pas de théorie particulière à faire ; la méthode de synthèse précédemment décrite convient pour de telles diviseurs.

Exemple:

Soit à réaliser la synthèse d'une décade rétrograde synchrone opérant selon le code 8-4-2-1 .
On procède de la même manière que précédemment.

horloge	état	Q_d	Q_c	Q_b	Q_a	J_a	K_a	J_b	K_b	J_c	K_c	J_d	K_d
0	9	1	0	0	1	\emptyset	1	0	\emptyset	0	\emptyset	\emptyset	0
1	8	1	0	0	0	1	\emptyset	1	\emptyset	1	\emptyset	\emptyset	1
2	7	0	1	1	1	\emptyset	1	\emptyset	0	\emptyset	0	0	\emptyset
3	6	0	1	1	0	1	\emptyset	\emptyset	1	\emptyset	0	0	\emptyset
4	5	0	1	0	1	\emptyset	1	0	\emptyset	\emptyset	0	0	\emptyset
5	4	0	1	0	0	1	\emptyset	1	\emptyset	\emptyset	1	0	\emptyset
6	3	0	0	1	1	\emptyset	1	\emptyset	0	0	\emptyset	0	\emptyset
7	2	0	0	1	0	1	\emptyset	\emptyset	1	0	\emptyset	0	\emptyset
8	1	0	0	0	1	\emptyset	1	0	\emptyset	0	\emptyset	0	\emptyset
9	0	0	0	0	0	1	\emptyset	0	\emptyset	0	\emptyset	1	\emptyset
10	9	1	0	0	1								

Commande d'une décade rétrograde

Attention: Les équivalents décimaux des nombres binaires lus en sortie des bascules ne coincident plus avec les numéros des états.

Après minimisation, on trouve:

$$J_a = K_a = 1 ; J_b = \bar{Q}_a (Q_c + Q_d) ; K_b = \bar{Q}_a ; J_c = \bar{Q}_a Q_d ; K_c = \bar{Q}_a \bar{Q}_b$$

$$J_d = \bar{Q}_a \bar{Q}_b \bar{Q}_c ; K_d = \bar{Q}_a$$

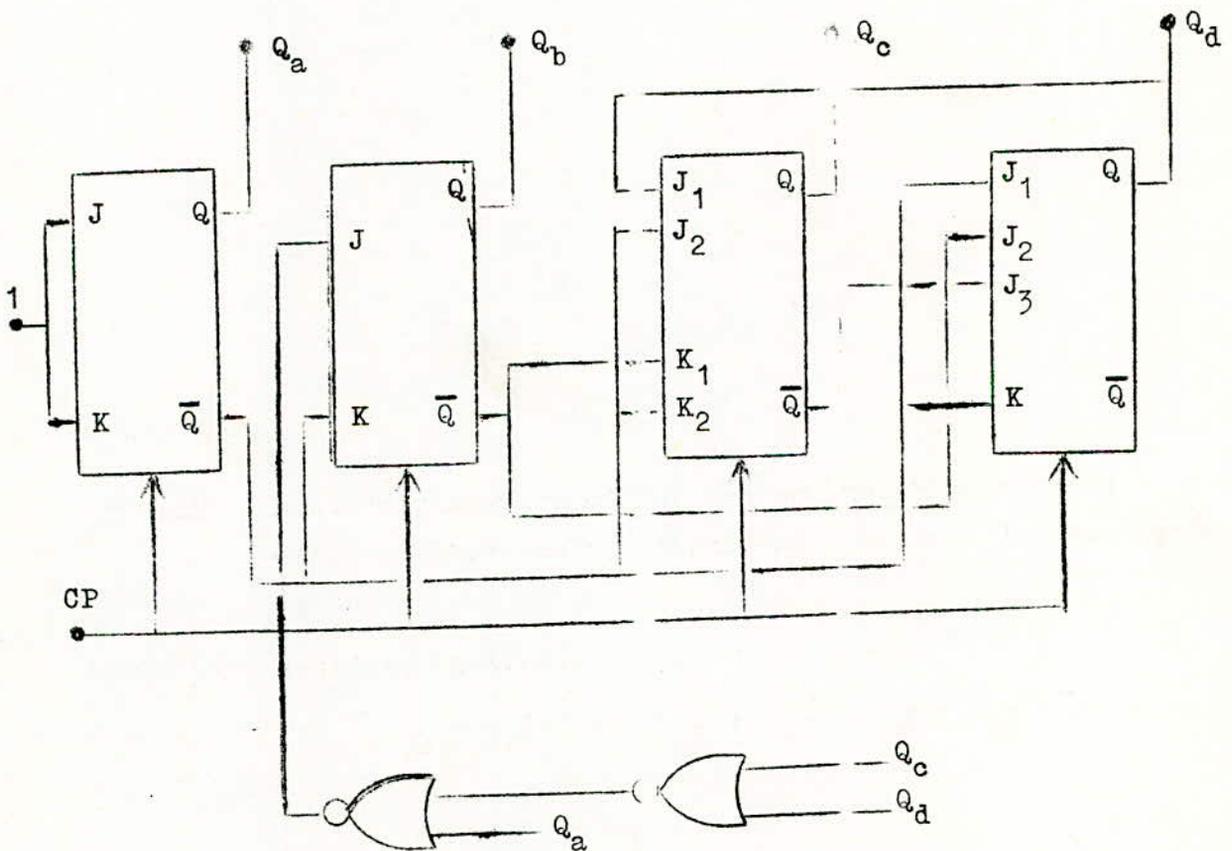


fig 10. Diviseur rétrograde synchrone en code 8-4-2-1.

b) Diviseurs réversibles:

Un diviseur réversible est un diviseur susceptible d'obéire à une variable de commande X en ~~comptant~~ comptant dans le sens direct pour X=1 et dans le sens rétrograde pour X=0. Dans le cas où le diviseur est constitué, de bascules J-K, les différentes entrées J et K voient les signaux suivants/:

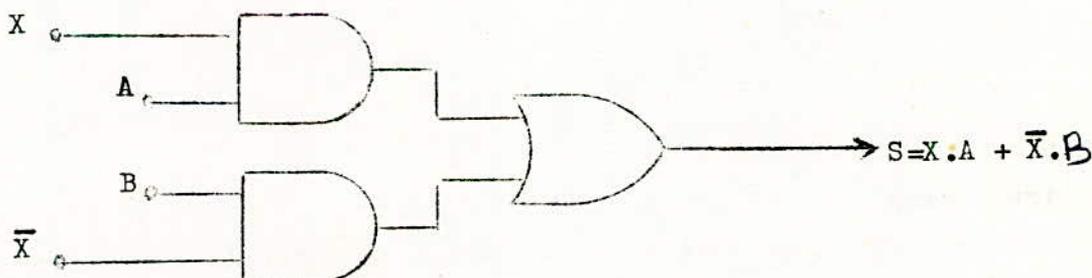
$$J_a = X(J_a)_d + \bar{X}(J_a)_r \quad ; \quad K_a = X(K_a)_d + \bar{X}(K_a)_r$$

$$J_b = X(J_b)_d + \bar{X}(J_b)_r \quad ; \quad K_b = X(K_b)_d + \bar{X}(K_b)_r$$

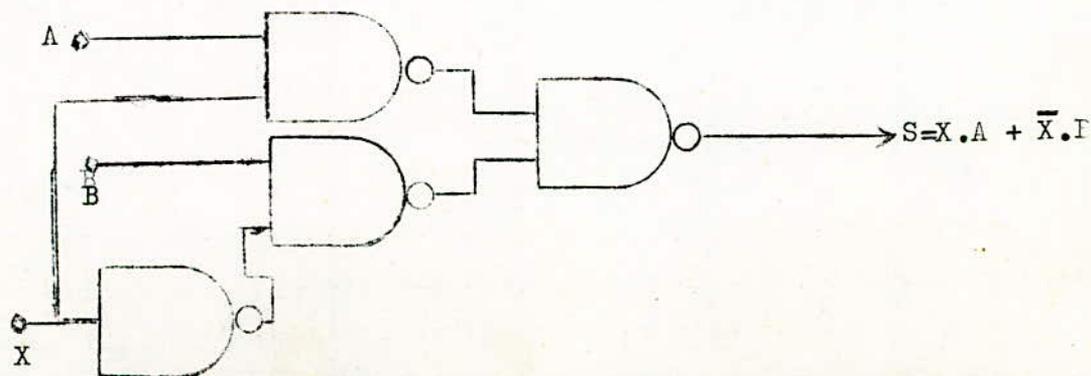
... etc .

Pour obtenir ces signaux, on utilise des portes d'inversion du sens de comptage. Il y a deux circuits possibles, le premier utilisant des portes ET et OU le deuxième des portes NAND :

Premier circuit:



Deuxième circuit:



Dans le cas d'une décade synchrone, les expressions des J et K deviennent

$$J_a = K_a = 1 ;$$

$$J_b = X(Q_a \bar{Q}_a) + (\bar{X})\bar{Q}_b \bar{Q}_a (Q_c + Q_d) ; \quad K_b = XQ_a + \bar{X}Q_a$$

$$J_c = X(Q_a Q_b) + \bar{X} \cdot \bar{Q}_a Q_d ; \quad K_c = XQ_a Q_b + \bar{X} \cdot \bar{Q}_a \bar{Q}_b$$

$$J_d = XQ_a Q_b Q_c + \bar{X} \cdot \bar{Q}_a \bar{Q}_b \bar{Q}_c ; \quad K_d = XQ_a + \bar{X} \cdot \bar{Q}_a$$

Le schéma est donné par la figure

Remarque:

Le signal de commande direct/inverse doit être synchrone du signal d'horloge; en effet si le sens de comptage est inversé pendant la phase active de l'impulsion d'horloge, on risque un positionnement indéterminé du compteur.

Un circuit de synchronisation de la commande direct/inverse est donné par la figure . Le signal appliqué sur l'entrée D ne sera transmis sur les lignes direct/inverse qu'après passage de l'impulsion d'horloge

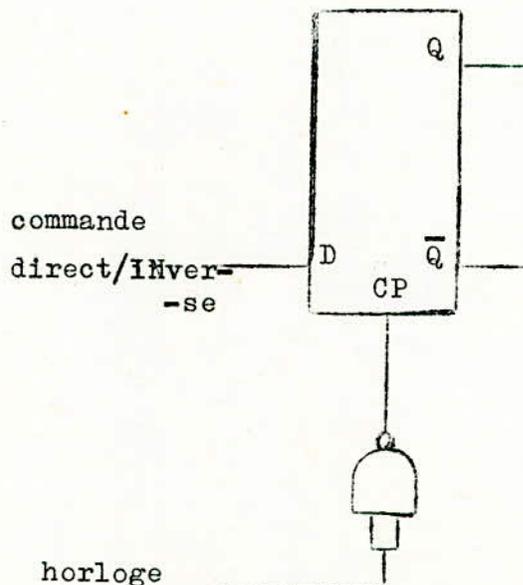
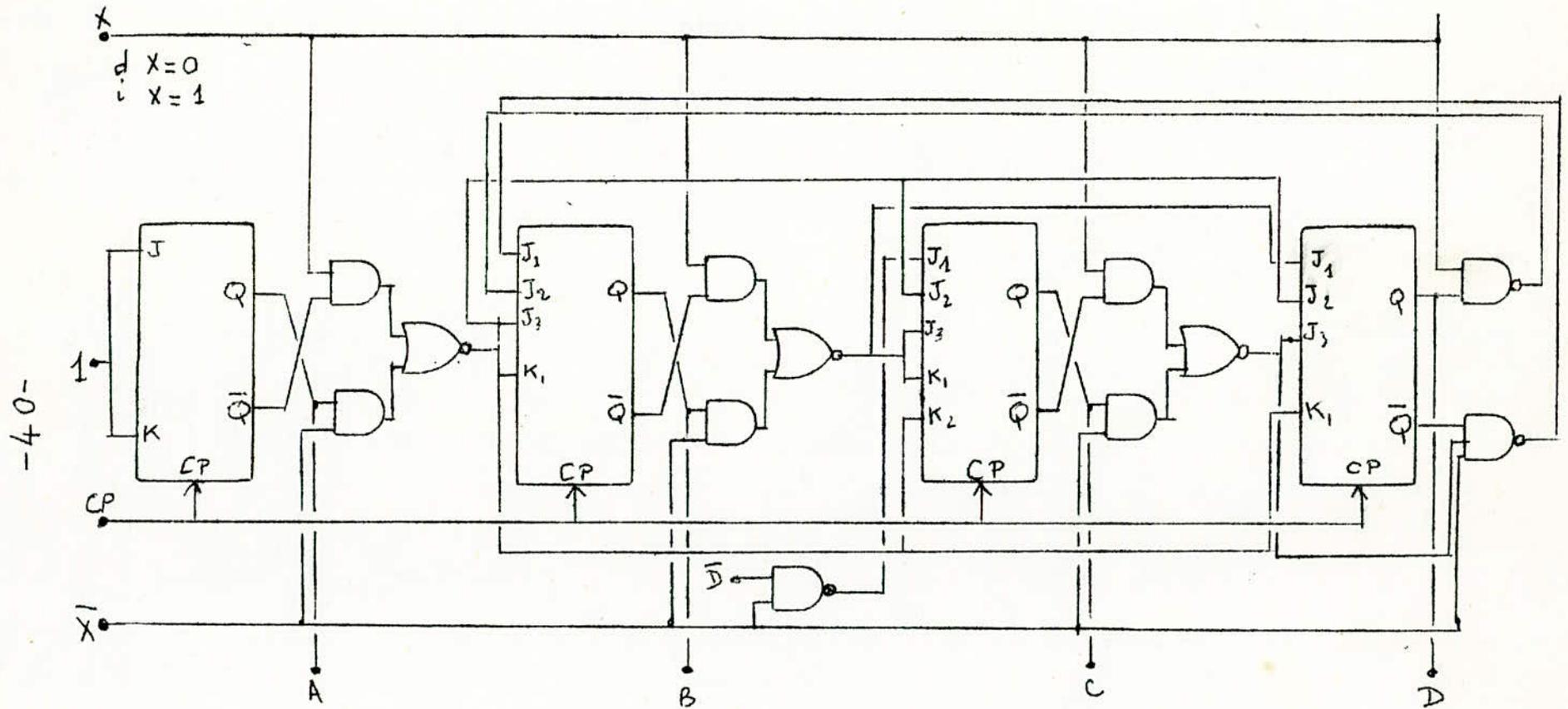


fig 11: Compteur synchrone réversible
BCD



5) Les reports parallèle et série:

Les compteurs(ou diviseur) peuvent être distingués par la façon dont est transmise l'information: parallèle ou série (ces compteurs sont désignés par les termes de parallel carry ou de serial carry par les Américains).

Dans les compteurs du type parallèle, le transfert des informations se fait en parallèle c'est à dire que la sortie de chaque bascule attaque simultanément les bascules suivantes. Autrement dit le transfert des informations se fait directement.

Par contre dans les compteurs du type série, le transfert des informations ne se fait pas directement mais à travers des bascules.

Mais les compteurs du type parallèle présentent un inconvénient :

Surcharge des sorties(des bascules)

Pour remédier à ce déplorable état de choses, nous utilisons le signal \bar{Q} après inversion.

Prenons par exemple le compteur binaire synchrone modulo 16 (fig4 et 5) Pour le type parallèle, la sortie Q_a attaque simultanément l'entrée de la bascule b et, à travers deux portes ET, les entrées des bascules c et d.

Par contre pour le type série, la sortie Q_a attaque seulement l'entrée de la bascule b et une porte ET.

On remarque que, pour le type parallèle, il ya une charge excessive de la sortie Q_a . on utilise, pour remédier à cela, la sortie \bar{Q}_a après l'avoir inversée(voir fig 12).

Remarque:

Certaines bascules une possibilité du fait de la présence des entrées J et K inversées. Pour ce type de bascule l'utilisation des inverseurs n'est pas nécessaire.

6) Exemple de réalisation intégré: Les SN 7490N; SN 7492N; SN 7493N:
 Les circuits complexes SN 7490N, SN 7492 et SN 7493N réunissent chacun, en un seul boîtier, 4 bascules maître-esclaves connectées en compteur asynchrone.

Le compteur SN 7490N est un compteur D.C.B à 10 positions, le SN 7492N un compteur à 12 positions et le SN 7493N un compteur binaire à 16 positions.

dans ces trois circuits, la première bascule n'est pas reliée intérieurement aux trois autres: on peut donc modifier, pour chaque type, la capacité de comptage initiale sans toutefois la dépasser. Ces trois circuits possèdent également une remise à zéro qui, outre sa fonction normale, permet la modification de la séquence de comptage. La fréquence maximale typique de fonctionnement est de l'ordre de 18 MHz pour les trois types.

- Le compteur à 10 positions est réalisé avec le SN 7490N; trois configurations sont possibles:

a) Compteur D.C.B à 10 positions. L'impulsion d'horloge est appliquée sur l'entrée A. La sortie A est reliée à l'entrée BD (fig 13).

b) Diviseur de fréquence par 10 avec signal de sortie symétrique. On relie, ici, la sortie D à l'entrée A; le signal de sortie est disponible sur A et parfaitement symétrique (fig 14).

c) Enfin, il est possible d'utiliser séparément le compteur à 5 positions et la première bascule A si le signal de remise à zéro est commun.

La remise à zéro ou à 9 s'effectue par application du niveau logique (1) sur les deux entrées $R_0(1)$, $R_0(2)$ ou $R(1)$, $R(2)$.

- Pour le SN 7492N, on a deux configurations:

a) Compteur à 6 positions: l'impulsion d'horloge est appliquée sur l'entrée BC. La division par 3 est disponible sur la borne C et par 6 sur D. Le flip-flop A peut être utilisé séparément si la remise à zéro est commune aux deux étages.

b) Compteur à 12 positions: l'impulsion d'horloge est appliquée sur l'entrée A doit alors être connectée à l'entrée BC (fig 15).

-Pour le SN 7493N, on a aussi deux configurations:

a) En compteur binaire 8 positions, l'impulsion d'horloge est appliquée sur l'entrée B; la bascule A peut être utilisée indépendamment si la remise à zéro est commune aux deux étages.

b) En compteur binaire 16 positions, l'impulsion d'horloge est appliquée sur l'entrée A, la sortie A est reliée à l'entrée B (fig 16).

IV) ENSEMBLES DE COMPTAGE:

Un ensemble est constitué par plusieurs décades. Selon le mode des interconnexions, il peut être synchrone ou asynchrone, indépendamment du type des décades.

a) Assemblages synchrones:

Dans ce cas, les impulsions à compter sont envoyées aux entrées horloge de toutes les décades. Il est nécessaire de ne leur permettre d'atteindre l'échelle suivante que si la première décade a atteint son dernier chiffre 9; aussi est-on amené à utiliser une porte ET qui ne s'ouvre à ces impulsions que pour la combinaison de ce dernier chiffre ($Q_a Q_d$). Cette structure est possible donc si l'on prévoit sur chaque décade une entrée d'autorisation (ou d'interdiction) dont la mise à zéro, par exemple, interdit le comptage.

Cette entrée d'autorisation (E) est alimentée par un réseau combinatoire qui fournit le (1) lorsque les décades précédentes sont au 9.

Le schéma d'un tel assemblage est donné par les figures 17 et 17'

b) Assemblages asynchrones:

L'assemblage ~~est~~ asynchrone est donné par la figure 18

Remarque: Le plus souvent on réalise des compteurs asynchrones avec des décades synchrones car la première décade a généralement une vitesse très élevée, pour répondre aux impulsions d'horloge, la vitesse des suivantes pouvant être moins grande.

c) Compteurs synchrones réversibles:

Supposons que nous disposions de décades réversibles. pour compter dans le sens direct, chaque décade reçoit un signal $X=0$. De plus, on doit appliquer, sur la ligne d'indication de chaque décade, un signal (1) lorsque les décades sont au 9. En comptage inverse, on doit appliquer un signal (1) quand les décades précédentes sont au (0).

La structure ~~de la décade~~ d'un compteur réversible à plusieurs décades est indiquée (fig 19).

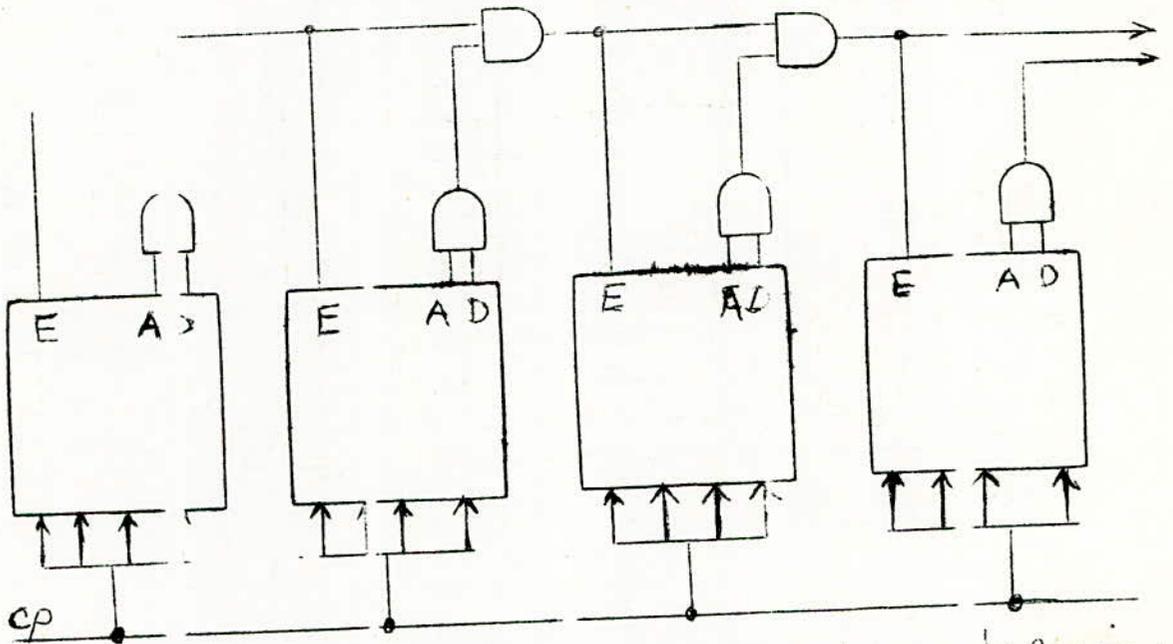


fig 17: Principe d'un compteur synchrone à plusieurs cascades

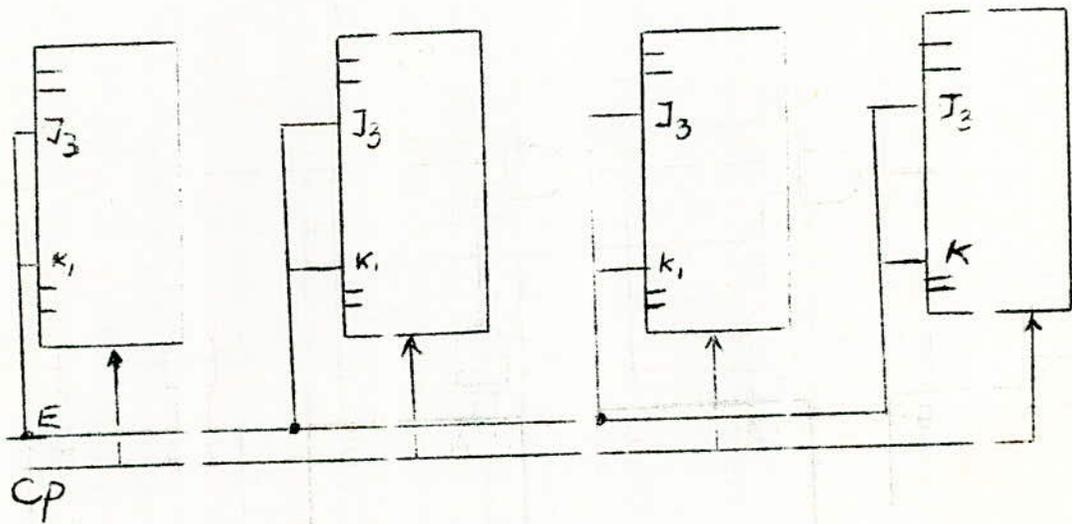
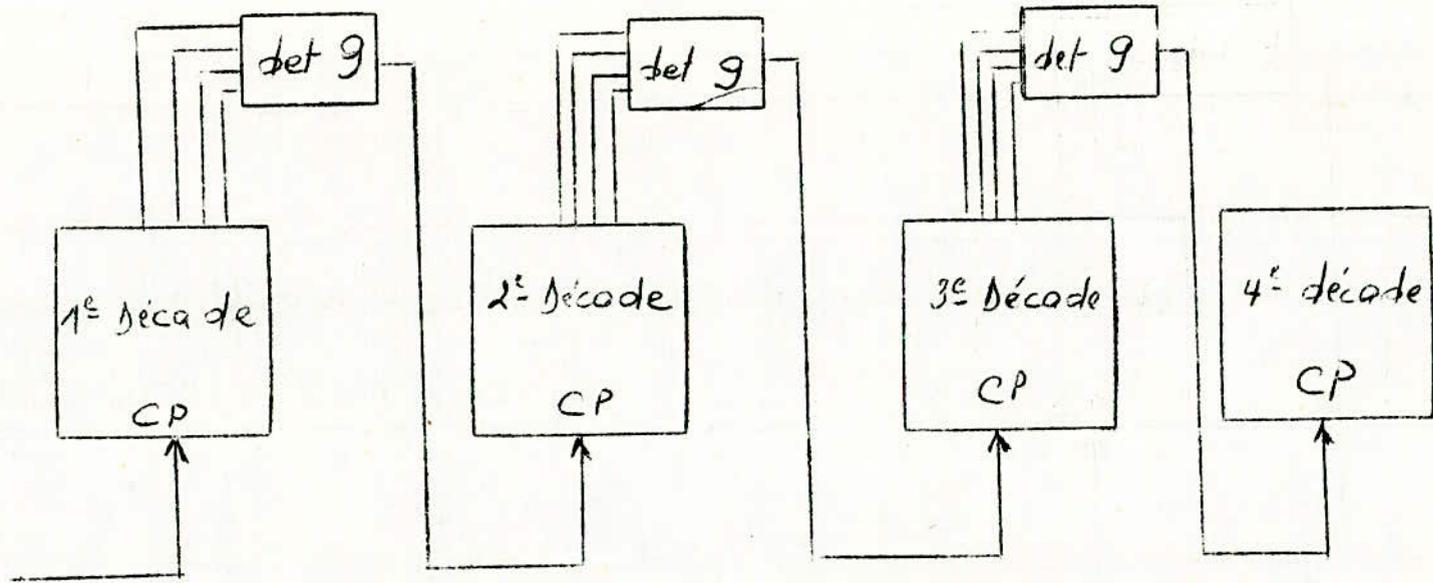


Figure 7'

Redoublon d'une ligne de validation. (par mise à 1 de E) sur une décade synchrone.



50

Figure 18 : Compteur. asynchrone
 (réalisable avec des décades synchrones)

d) Prédétermination:

EN quoi consiste cette prédétermination?

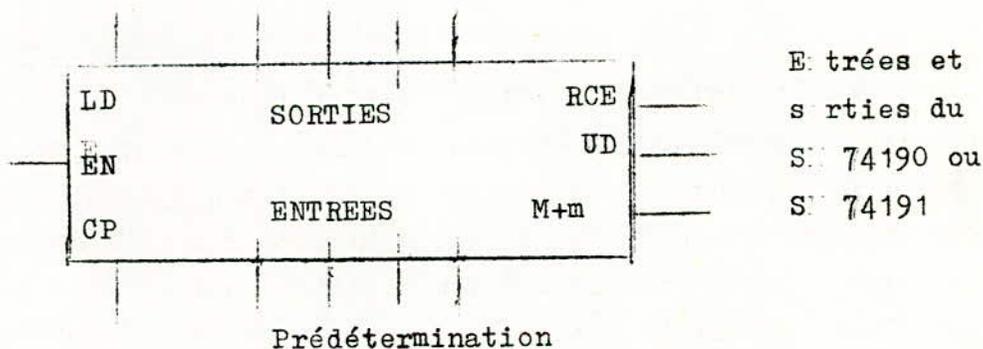
Dans certaines applications, il est nécessaire de ^{ne} pas faire débiter le comptage à zéro, mais à partir d'une valeur fixe. On obtient la prédétermination en positionnant pour le signal de début de cycle de comptage (équivalent à la remise à zéro) chacun des bistables de chaque décade, pour la combinaison binaire correspondant au chiffre désiré. Il suffit, pour obtenir ce positionnement, d'appliquer le signal de remise à zéro, non pas sur les entrées "reset" de tous les bistables, mais sur les entrées "set" ou "reset" selon l'état souhaité de chaque bascule; c'est le rôle des inverseurs de deux positions P_a, P_b, P_c, P_d du schéma de la figure 20.

e) Exemples de compteurs réversibles intégrés:

Il existe actuellement,

entre autres, deux montages aux propriétés voisines:

- Le SN74191N (Téxas instruments) qui est un compteur binaire (0 à 15)
- Le ~~SN~~ 74190 N (Téxas instruments) qui est une décade (0 à 9).



Ils comportent les entrées et sorties suivantes:

-UD(up-down):détermine le sens du comptage :

0-----> comptage

1-----> décomptage

-LD(load) chargement:c'est une entrée asynchrone; lorsqu'elle passe au niveau(0), les données appliquées sur les entrées A,B,C,D sont introduites de façon asynchrone,c'est à dire indépendamment de l'état de l'horloge dans le compteur et apparaissent sur les sorties A,B,C,D de celui-ci.

-EN(enable) entrée de validation :

0-----> validation

1-----> interdiction

c'est à dire que le compteur compte pour EN=0 et se bloque pour EN=1

-C_p (clock pulse) entrée des impulsions d'horloge.

L'horloge attaque simultanément les quatre bascules constituant le compteur; car c'est un compteur synchrone.

Notons ici, que par suite de la présence d'un circuit inverseur interne ce sont les fronts positifs du signal d'horloge qui provoquent les changements d'état des bascules.

-A, B, C, D, sorties donnant l'état du compteur.

-M+m(maximum + minimum), cette sortie décode en ~~xxxxxx~~ comptage l'état 9 pour le compteur SN 74191N (BCD) ou l'état 15 pour le compteur 74191N (binaire). En décomptage, cette sortie passe au niveau logique (1), quand les compteurs passent par l'état(0).

-RCE(Ripple count enable), cette sortie laisse apparaître le niveau logique(0), lorsque le compteur passe par un maximum, et que simultanément, il est dans un état à même de compter(enable=0), alors que l'horloge est au ~~ni~~ niveau bas. On utilise cette sortie pour réaliser des compteurs asynchrones à plusieurs décades.

La sortie M+m a pour équation:

$$\text{-SN 74190: } M+m = (9)\overline{UD} + (0)UD$$

$$\text{-SN 74191: } M+m = (15)\overline{UD} + (0)UD$$

La sortie RCE a pour équation:

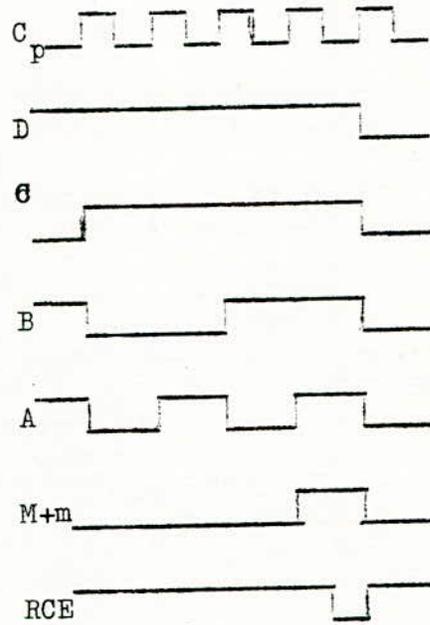
$$\text{-SN 74190: } RCE = \overline{(M+m)} + C_p$$

Idem pour SN 74191

Prenons par exemple le cas du SN 74191N. Les états de sortie successifs sont les suivants:

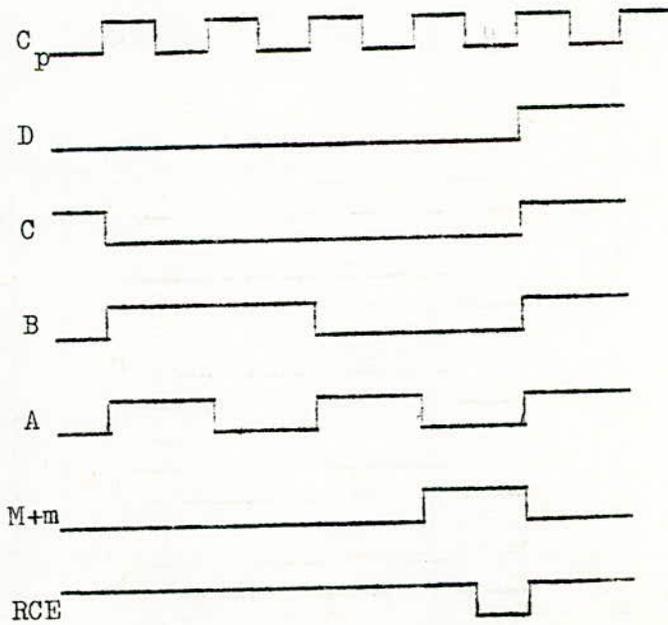
-En comptage:

états	D	C	B	A
0	0	0	0	0
1	0	0	0	1
⋮	⋮	⋮	⋮	⋮
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1



-En décomptage:

D	C	B	A
1	1	1	1
1	1	1	0
⋮	⋮	⋮	⋮
0	0	1	0
0	0	0	1
0	0	0	0



Il existe aussi une autre catégorie de compteurs ayant les mêmes propriétés; il s'agit de la catégorie SN 74192 et 193.

Ces compteurs réversibles ont une double entrée de comptage et une remise à zéro. Tout comme dans la première catégorie (SN 74190/191N), il existe une entrée "load" active à l'état logique (0). En outre, il y a une entrée de remise à zéro "clear".

Sur les figures 22, 23 sont représentés respectivement le compteur SN 192 qui est une décade réversible et le SN 193 qui est un compteur binaire réversible à quatre bits. On remarque qu'en plus des quatre sorties A, B, C, D indiquant l'état du compteur, figurent des sorties appelés "borrow output" (sortie d'emprunt) et "carry output" (sortie de retenue). Ces deux sorties sont actives à l'état logique (0), lorsque le compteur passe à son maximum ou à son minimum et que simultanément, il est en comptage ou en décomptage.

Ainsi, pour la décade de comptage SN 74192, la sortie de retenue (carry output) passe à l'état logique (0) quand le compteur est à l'état 9 et que l'entrée de comptage logique (0). Quant à la sortie d'emprunt "borrow output", toujours pour ce même compteur, elle passe à l'état logique (0) quand le compteur est en décomptage, à l'état (0), c'est à dire quand l'entrée "down count" est à l'état logique (0). Remarquons que ce sont les "down count" ou "up count" qui déterminent le sens du comptage et qu'il est nécessaire, lorsque les impulsions sont appliquées sur l'une des entrées, que l'autre soit maintenue au niveau logique (1).

a) Synchronisation des compteurs réversibles:

Nous savons que l'entrée "load" est asynchrone, ce qui peut être gênant dans certaines applications où l'on recherche un chargement synchrone des compteurs. Il existe un principe pour synchroniser le chargement des compteurs en utilisant une bascule D, du type SN 7474.

Le circuit représenté par la figure 24 montre comment utiliser une telle bascule pour synchroniser le chargement; l'impulsion de chargement ne sera prise en considération qu'au moment où elle sera inscrite dans la bascule D, c'est à dire lors d'une transition du niveau logique (0) au niveau logique (1) de l'impulsion d'horloge, ce qui rend ainsi synchrone

le chargement du compteur. Dans ce circuit tant que le chargement est actif, il n'est pas possible de compter, et le compteur reste dans l'état prédéterminé.

b) Application des compteurs réversibles à la réalisation des compteurs à plusieurs étages:

-Mode d'interconnexion asynchrone:

Le schéma est donné par la figure 24'

-Mode d'interconnexion synchrone:

Le schéma est donné par la figure 25

c) Application des compteurs réversibles à la réalisation de diviseurs ou compteurs programmables:

Une des applications les plus intéressantes des compteurs réversibles est leur utilisation en diviseurs ou compteurs programmables. Il s'agit en fait, de diviseurs programmables qui peuvent diviser la fréquence de comptage par un nombre N pouvant être défini, soit en binaire, soit en BCD selon qu'il sera utilisé un compteur binaire ou un compteur BCD. Réalisons, par exemple, un diviseur programmable avec un seul circuit SN 74191N. Nous pouvons diviser par tout nombre compris entre 1 et 15. Ce diviseur est donné par la figure 26

L'entrée UD étant reliée au 1, le montage décompte. Lorsque l'état zéro est atteint, le signal RCE autorise la prédétermination du montage au nombre affiché sur les commutateurs.

Si par exemple, on affiche 7, les états successifs sont:

..... 7,6,5,4,3,2,1,0,7,6,.....

Avec plusieurs circuits, on peut diviser par un nombre quelconque.

Le montage est donné par la figure 27

d) Utilisation des compteurs réversibles pour le comptage des nombres négatifs:

Dans de nombreux systèmes industriels (c'est le cas notamment, en commande numérique), on peut être amené à compter aussi bien des nombres positifs que des nombres négatifs.

Ainsi par exemple, lorsqu'un compteur contient le nombre $\overline{543210-1-2-3}$, "5" et qu'on le place en décomptage, on obtient l'évolution suivante "5", "4", "3", "2", "1", "0", "-1", "-2", "-3", etc. Si l'on prend un compteur BCD du type 74 190, on constate qu'en décomptage, lorsqu'il passe à zéro, l'état qui le suivra sera "9", puis "8", puis "7". Or, "9" constitue le complément à "10" de "1", "8" est le complément à "10" de "2", etc. On voit donc que les compteurs SN 74 190 donnent directement les nombres négatifs par leur complément à "10". Pour avoir le signe, il suffit, lorsque l'on passe à zéro et que l'on est en décomptage, d'inscrire dans une mémoire le signe négatif, et lorsque l'on passe en décomptage dans la position "0", d'inscrire en mémoire le signe positif.

Ainsi, le circuit de la figure 28 montre un compteur à deux étages 74 190 comptant avec les compléments à 10, la mémoire permettant d'avoir le signe et de suivre l'évolution du compteur lorsqu'on passe à zéro. Si l'on souhaite obtenir les nombres négatifs par leur complément à "9", il suffit de retenir le schéma de principe de la figure 28.

On utilise toujours une même mémoire de signe et dans ce cas, lorsqu'on atteint "0", il est nécessaire d'utiliser les entrées de prédétermination "load" pour charger le compteur selon qu'on est en comptage ou en décomptage (états 1001: décomptage; 0000: comptage), cela étant obtenu par l'action directe de l'entrée de contrôle "up-down". Remarquons que dans un tel compteur, l'état "0", selon que l'on est en comptage ou en décomptage, est codé différemment. Par exemple, la séquence suivante permet de voir le passage par "0" lorsque l'on est en décomptage depuis + 3 jusqu'à - 3.

Dans le cas des compteurs binaires, de la même façon, le SN 74 191 permet de compter directement en complément à 2.

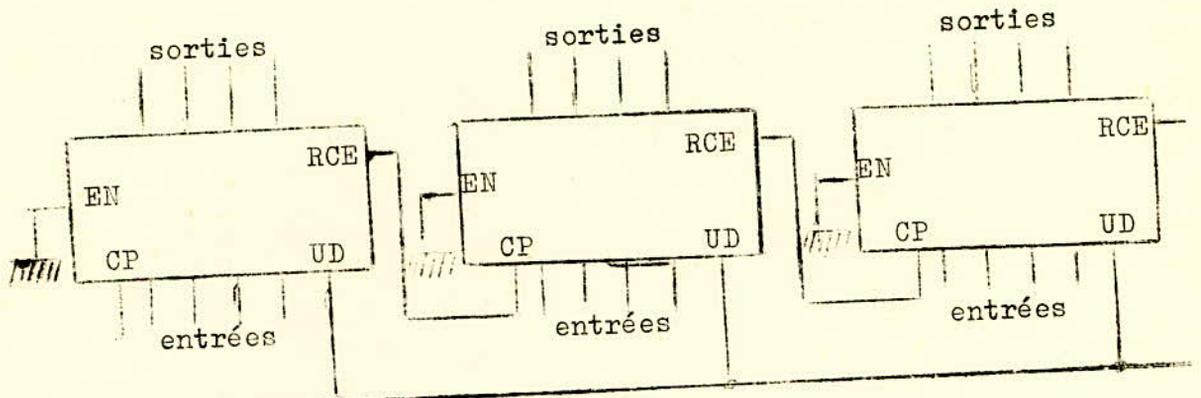
Sur la figure 29 est représenté un exemple de compteur réversible 8 bits, comptant en complément à 2. Le circuit ajouté permet d'obtenir "0" pour le signe positif et "1" pour le signe négatif.

Si l'on souhaite disposer des nombres négatifs par leur complément à "1", on branche les compteurs 74 191 comme indiqué sur la figure 30

où est représenté un compteur 8 bits, comptant en complément à "1".

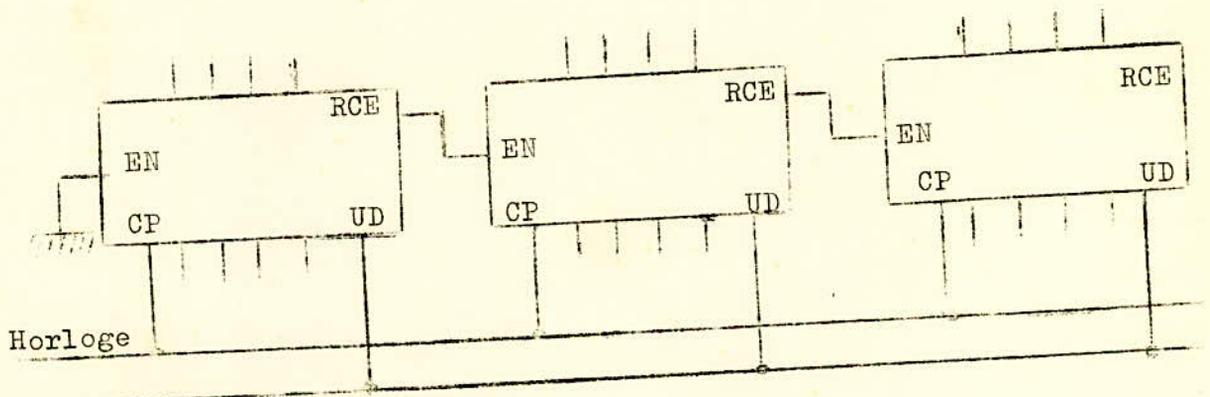
Chaque fois que le compteur passe à zéro, s'il est en décomptage, on le prédétermine à zéro; s'il est en comptage, on le prédétermine avec des uns.

Remarquons qu'ici encore, "0" est codé de deux façons; "0" positif l'étant avec des "0" partout, et "0" négatif avec des "1" partout.



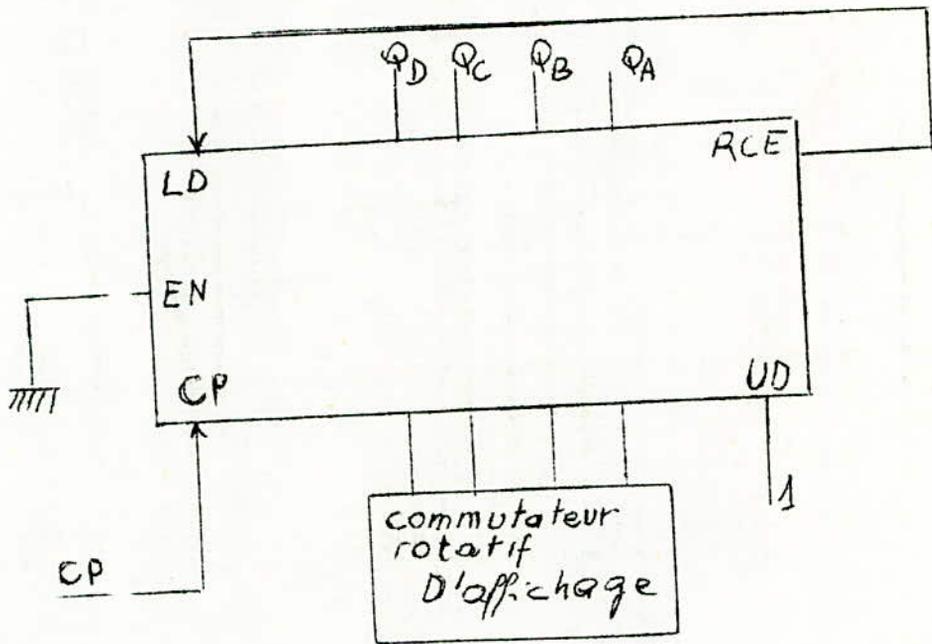
Contrôle comptage-décomptage

fig 24. Interconnexion asynchrone de circuits SN 74190N



Contrôle comptage-décomptage

fig 25 Interconnexion synchrones des décades



Figur 26 : Diviseur programmable

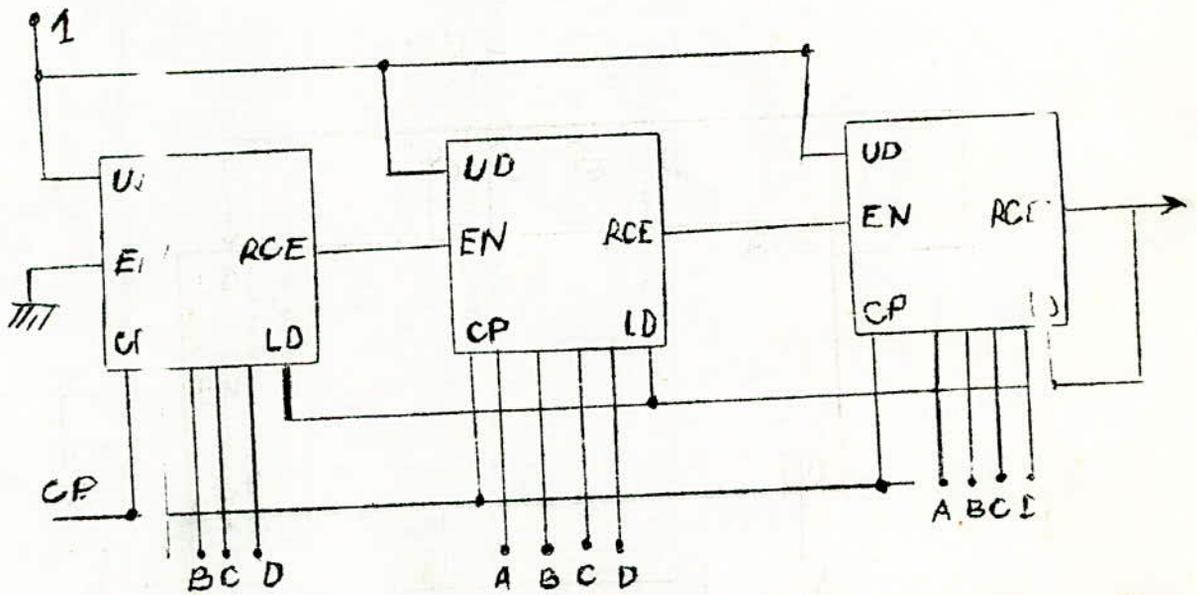
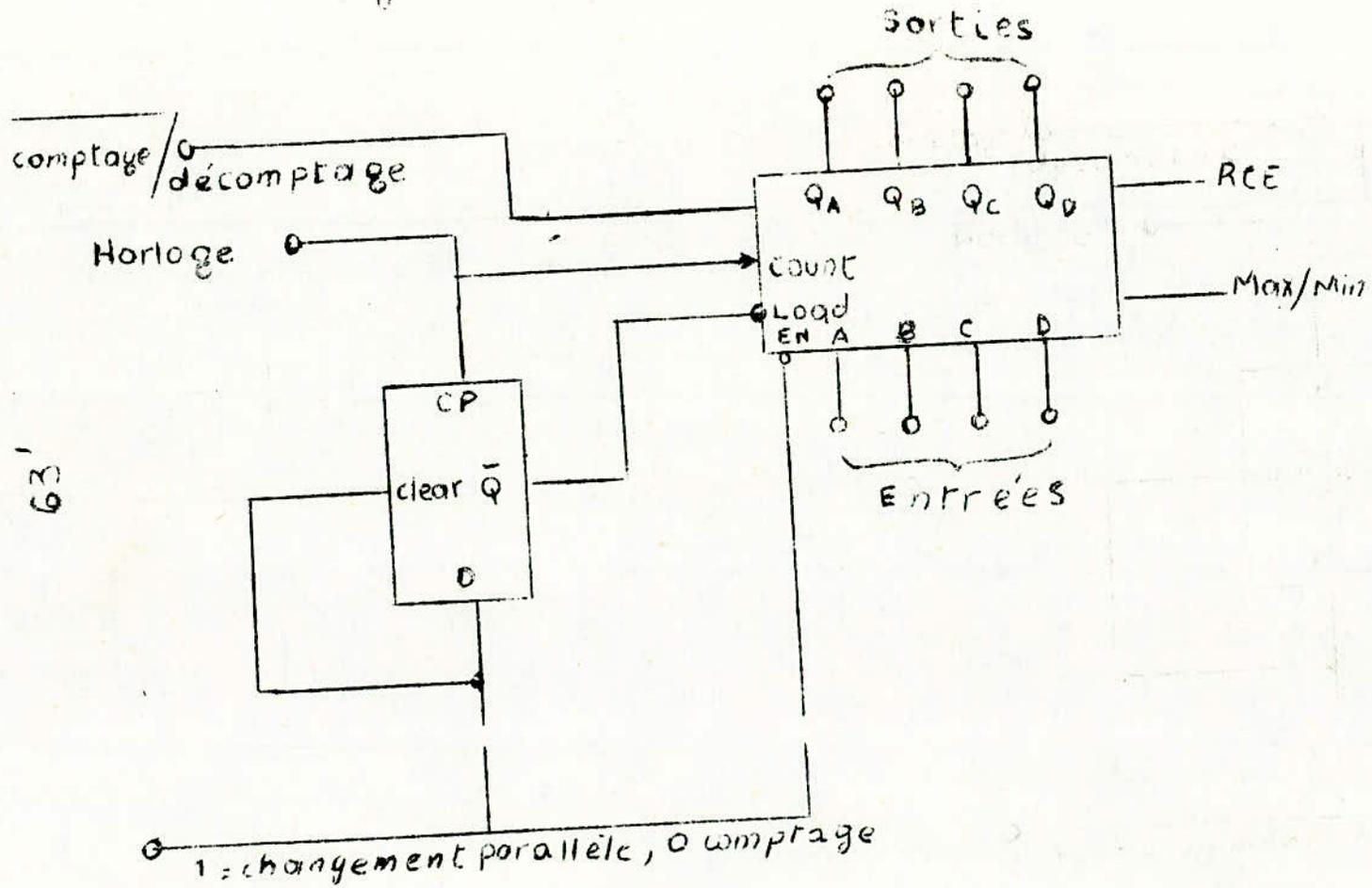


Fig 27' Diviseur programmable avec plusieurs circuits

Fig 24: Synchronisation des compteurs Reversibles



63'

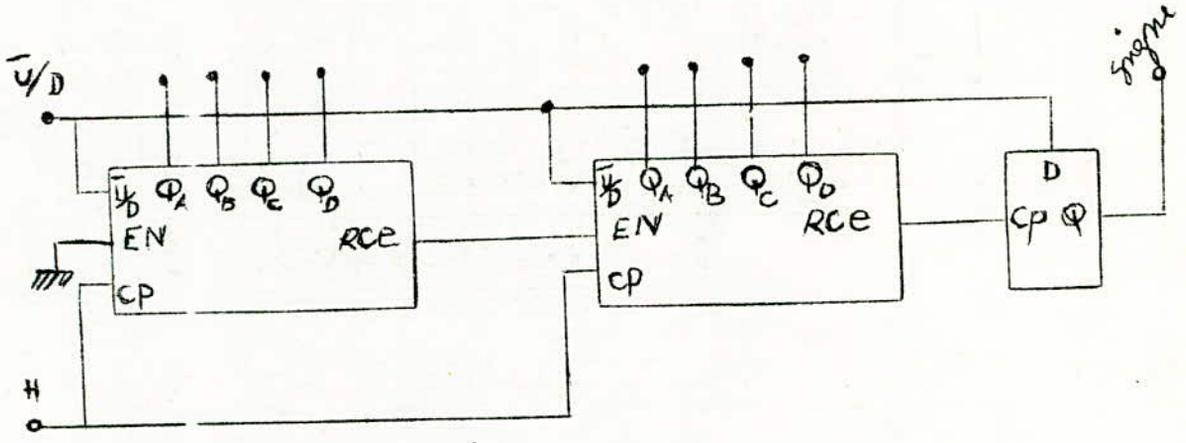


fig 28: Compteur BCD en complement à 10

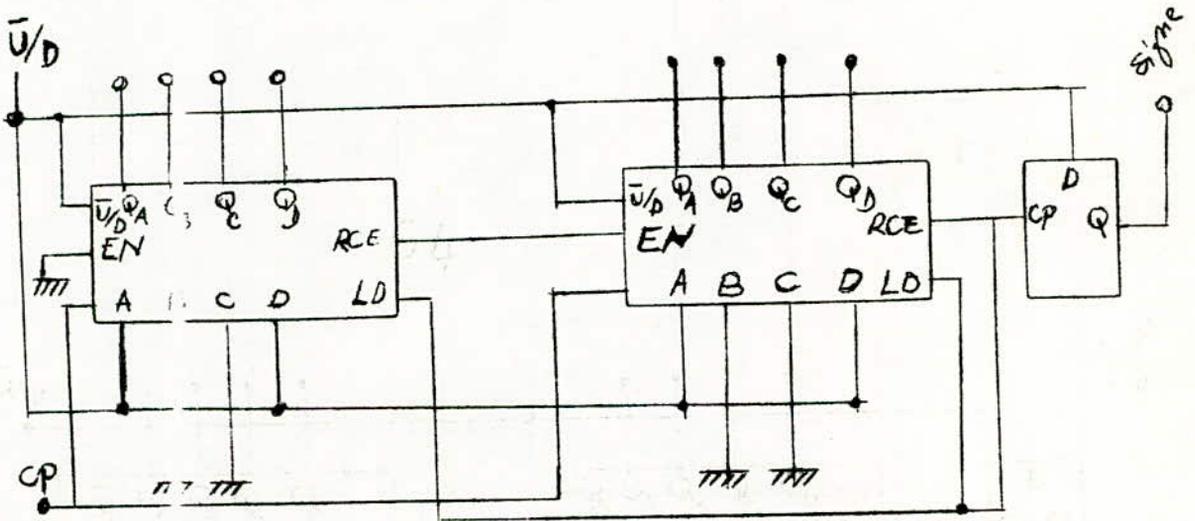


figure 28': Compteur reversible BCD
à complement à 9

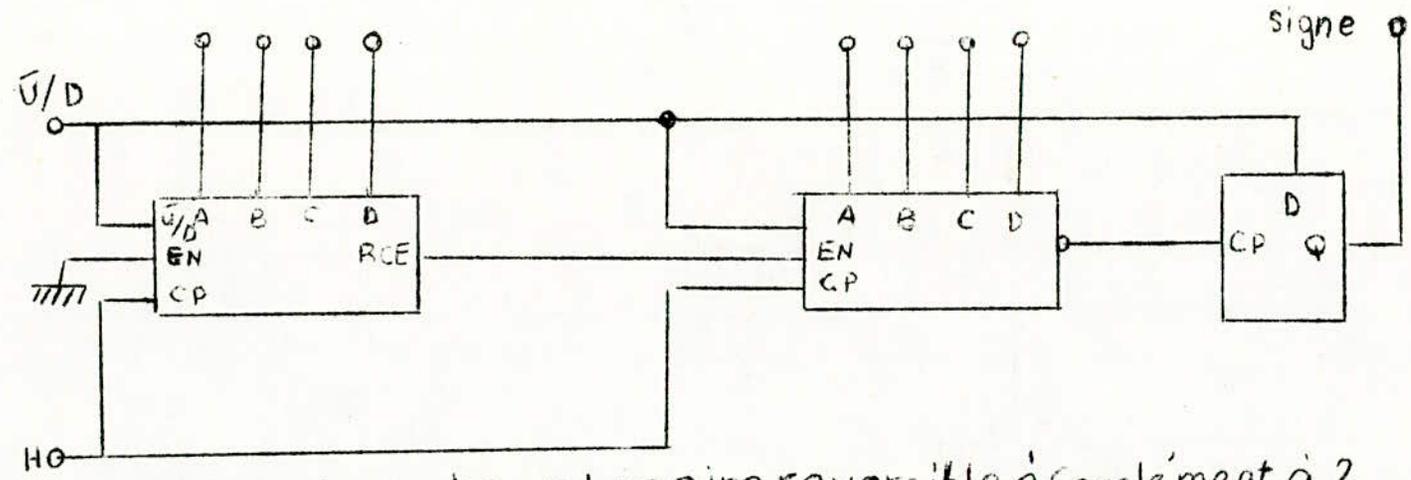


Fig 29: Compteur binaire reversible à complément à 2

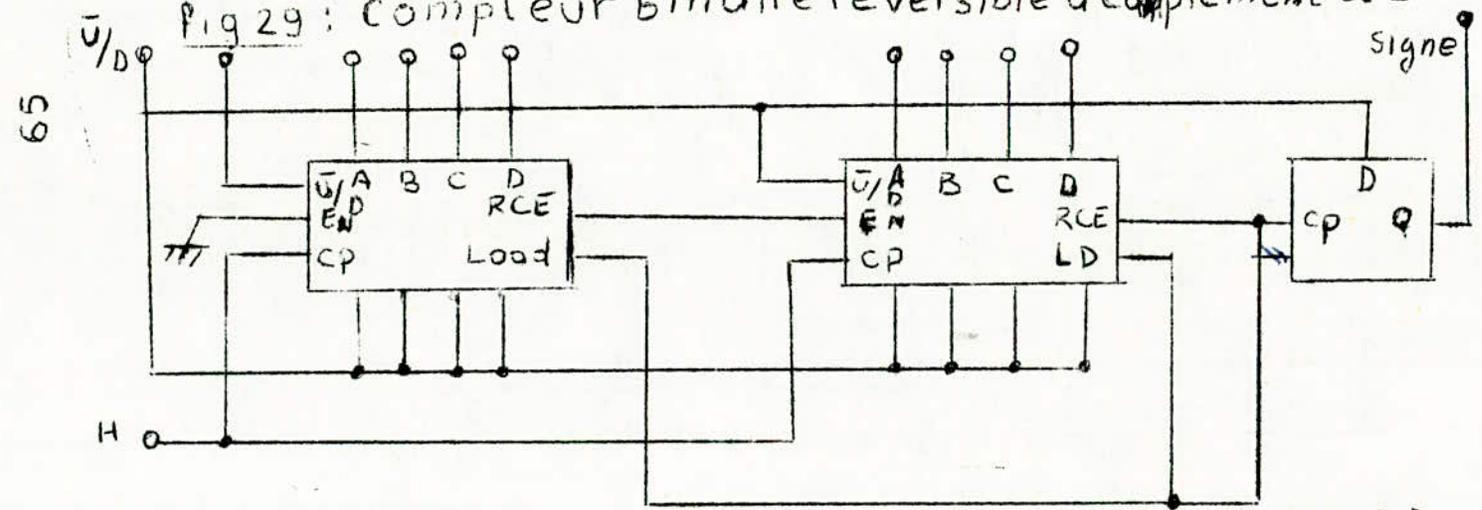


Fig 30: Compteur reversible à complément à 1

COMPARAISON

On peut faire une comparaison au quadruple point de vue:

Côut

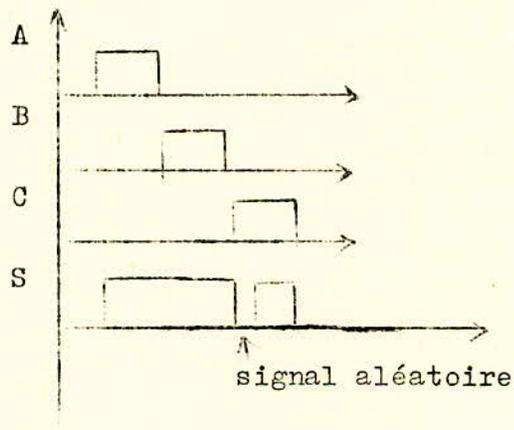
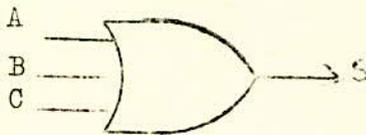
Fonctionnement

Fréquence d'utilisation

Temps de propagation des signaux ~~vers~~ les sorties

A) Fonctionnement

Il faut tout d'abord faire un rappèle sur les logiques synchrone et asynchrone. Pour cela, envisageons le cas de la porte OU:



Si, dans : : n'importe quelles machines électroniques les niveaux (1) Se présentent d'une manière quelconque aux entrées des différentes portes logiques de la machine, il peut en résulte des signaux aléatoires capables de fausser gravement le résultat recherché. Cette logique est appelé logique asynchrone.

Par contre en logique synchrone, dans laquelle onx utilise une entrée supplémentaire dite horloge, les signaux aléatoires sont pratiquement très rares ou inexistant. De plus un système synchrone est moins sensible aux parasites, puisqu'un signal indésirable ne peut passer que s'il se présente pendant la faible période d'ouverture de la porte par le signal d'horloge.

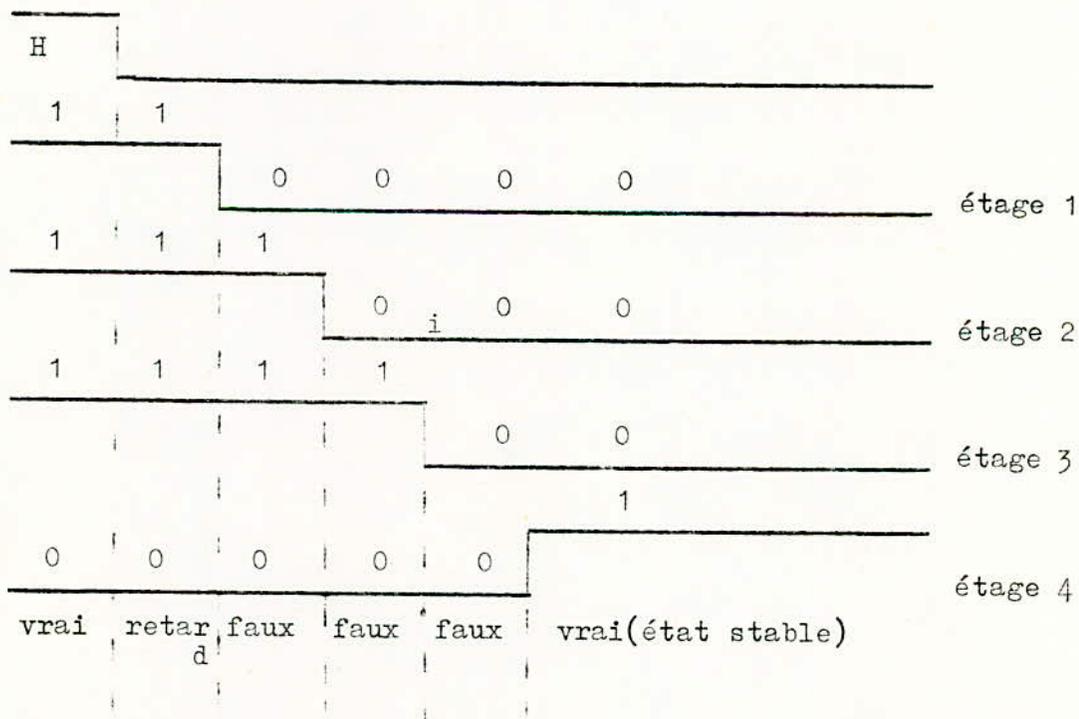
Donc, les premiers inconvénients des compteurs asynchrones sont :

1) L'apparition de signaux aléatoires ou transitoires.

En effet, si on regarde l'évolution d'un compteur asynchrone au moment du front de commande de l'impulsion, on s'aperçoit que la propagation du signal d'horloge telle qu'elle est imposée dans ce type de compteur provoque des états transitoires qui sont indésirables et sont présents un certain temps non négligeable.

Prenons le compteur asynchrone 4 bits. Le diagramme de la fig montre les différents états par lesquels va passer le compteur pour basculer de la position 0111 à 1000. On a supposé pour cela que chaque étage a le même temps de réponse T_r ;

Dans ce cas particulier, le temps nécessaire au compteur pour se stabiliser à sa valeur finale est de $4 T_r$ et ce qui est plus grave, il passe par 3 états successifs erronés qu'il garde un temps T_r (de l'ordre de 20 ns pour une bascule rapide).



Cette particularité devient rédhibitoire chaque fois que le compteur sera exploité par des organes rapides.

2°) Sensibilité aux parasites :

En effet, la probabilité pour qu'un parasite "passe" est d'autant plus grande que la période d'horloge est grande. Or la période du signal d'horloge des dernières bascules est (pour un compteur asynchrone) 2^k fois plus grande que celle du signal d'horloge de la première bascule; donc les dernières bascules sont beaucoup plus sensibles aux parasites que les premières bascules.

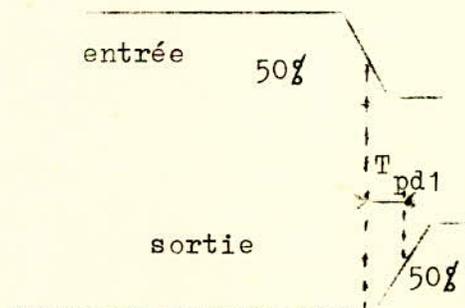
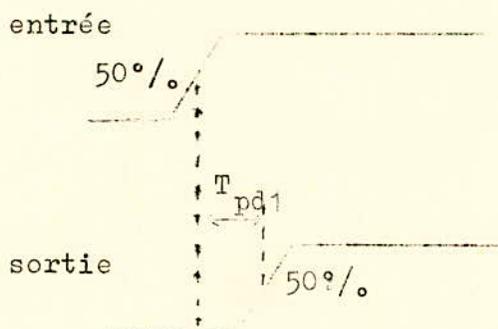
Par contre dans un compteur synchrone, il n'y a pas d'état transitoire puisque ses ~~bascules~~ bistables basculent simultanément pour un état ~~de~~ donné du compteur, de plus la sensibilité est moindre.

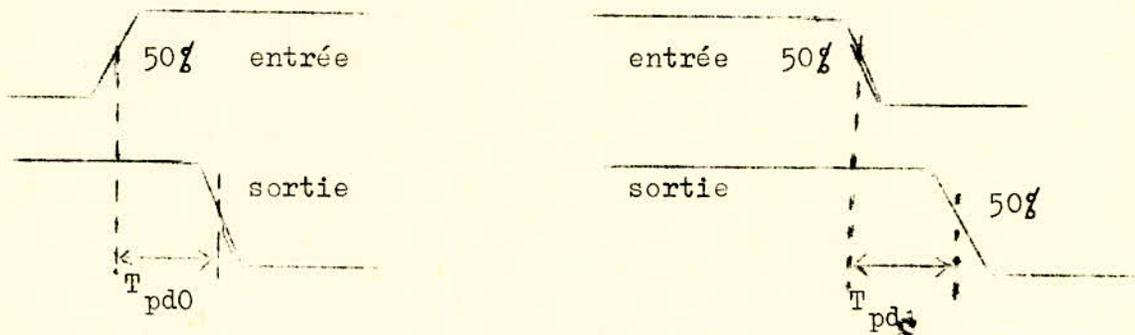
B) Coût:

Les compteurs asynchrones sont moins coûteux que les compteurs synchrones puisque la commande asynchrone permet de simplifier davantage le réseau de commande des entrées des bascules.

C) Temps de propagation des signaux vers les sorties:

Le temps de propagation T_{pd} d'un circuit est la moyenne arithmétique du temps de propagation à la croissance et du temps de propagation à la décroissance (T_{pd1} et T_{pd0}).





$$T_{pd} = \frac{T_{pd0} + T_{pd1}}{2}$$

On peut en déduire que, pour n circuits placés en série, le temps de propagation est:

$$T = \sum_{i=1}^n T_{pdi}$$

Donc dans le cas de deux compteurs (synchrone et asynchrone) de même modulo et équipés des mêmes bistables, les temps de propagation sont nettement différents. Dans le cas du compteur synchrone, le temps de propagation est celui des bistables qui le constituent; alors que dans le cas du compteur asynchrone, les bistables basculant les uns après les autres, leurs temps de propagation s'ajoutent.

On peut dire donc que la vitesse maximale de comptage d'un compteur synchrone est plus grande que celle d'un compteur asynchrone.

D) Fréquence d'utilisation:

La fréquence limite de fonctionnement d'un montage asynchrone est essentiellement celle du premier bistable. La période minimale de l'horloge sera prise au maximum des deux temps suivants:

- T_{pd1} : temps de propagation à la croissance

- T_{pd0} : temps de propagation à la décroissance

Pour comparer les deux types de compteurs (synchrone et asynchrone) sur leurs fréquences, on prend le type parallèle des compteurs synchrones qui est plus rapide que le type série (on le verra plus loin). Soit le compteur binaire parallèle de la figure à quatre étages, sa fréquence maximale de travail est donnée par:

$$F_{\max} = \frac{1}{T_{pd} + T_{cp}} \quad (1)$$

T_{pd} : temps de propagation du signal à travers un circuit.

T_{cp} : largeur minimale d'une impulsion d'horloge.

Quant au compteur binaire parallèle à n étages de la figure , la vitesse de fonctionnement s'accroît et est donnée par:

$$F_{\max} = \frac{1}{T_{pd}(FF) + T_{pd}(P_0) + T_{pd}(P_1) + T_{cp}} \quad (2)$$

$T_{pd}(ff)$: temps de propagation d'un flip-flop.

$T_{pd}(P_0); T_{pd}(P_1)$: temps de propagation des deux portes.

T_{cp} : durée de l'impulsion d'horloge.

Donc, on peut en conclure que la fréquence d'utilisation d'un compteur asynchrone est plus grande que celle d'un compteur synchrone.

II) COMPARAISON DES COMPTEURS SYNCHRONES DE TYPE PARALLELE ET DE TYPE SERIE:

Le type parallèle est le plus rapide, car la période d'horloge peut être égale au temps de propagation à travers un circuit. Le type série est plus économique, mais sa vitesse de fonctionnement maximale diminue au fur et à mesure que l'on augmente le nombre des étages.

Les fréquences maximales de travail des compteurs type parallèle sont données par les formules (1) et (2).

Voyons maintenant le compteur série

Comme pour le compteur parallèle, on a :

$$J_n = Q_1 \cdot Q_2 \cdot \dots \cdot Q_{N-1}$$

cependant cette information doit traverser un nombre de portes qui croît avec le nombre d'étages avant d'arriver au n^e étage. La vitesse maximale diminue donc.

Sur le schéma, on remarquera l'utilisation alternée de circuits NAND et NOR qui permet de réduire le nombre des inverseurs et d'augmenter la vitesse.

2e Partie : REALISATION PRATIQUE FREQUENCE METRE
NUMERIQUE.

GENERALITES:

Cet appareil permet de mesurer la fréquence d'un signal quelconque mais périodique, pouvant varier de 1 Hz à quelques megahertz et dont l'amplitude va de quelques mV à quelques dizaines de volts, cet appareil indique le résultat de la mesure sans forme digitale.

FONCTIONNEMENT:

Il fonctionne en fréquence mètre et en périodemètre. Il possède 7 gammes de fréquences obtenues à l'aide d'un commutateur rotatif.

L'équipement de cet appareil est réalisé exclusivement à l'aide de circuits intégrés.

73

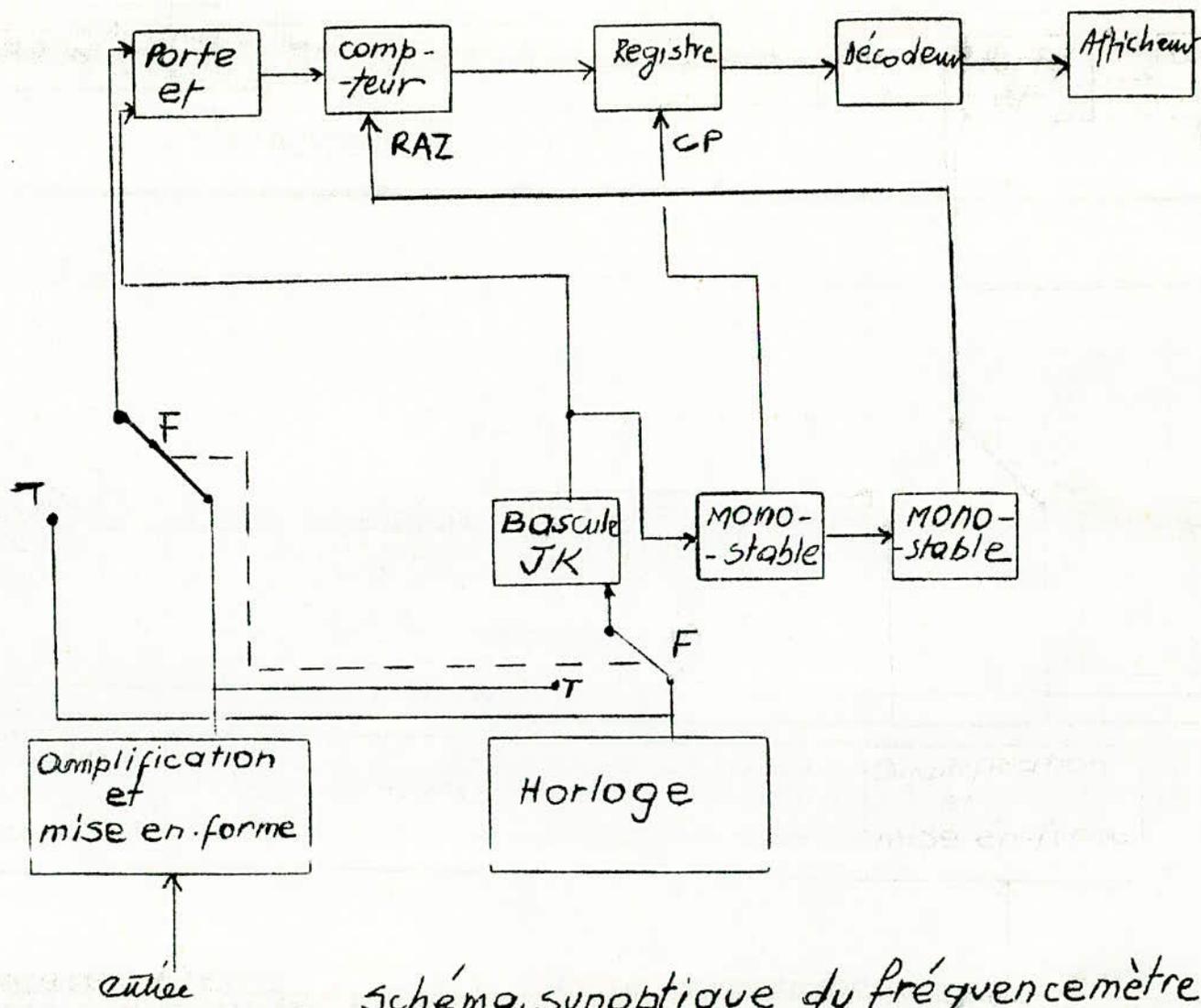


schéma synoptique du fréquencesmètre

Première partie: L'horloge1) Principe de fonctionnement du fréquencemètre:

On distingue deux fonctionnements:

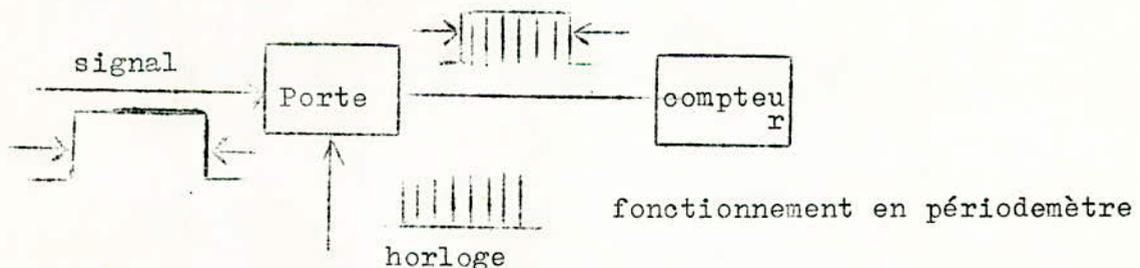
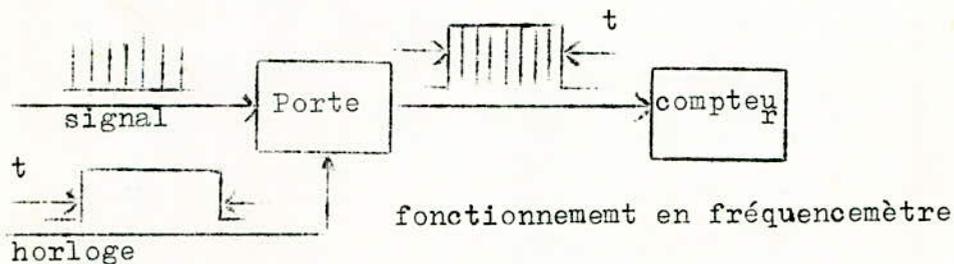
a) Fonctionnement en fréquencemètre

b) Fonctionnement en périodemètre

Pour un bon fonctionnement de l'appareil, il est préférable de choisir un temps de comptage relativement faible. Ce temps de comptage est désigné par t .

Choisissons le temps de comptage le plus grand égal à une seconde (1s). CE choix de t et la précision de l'appareil nous imposent de faire fonctionner l'appareil en périodemètre et en fréquencemètre.

Le schéma de principe est donné pour les deux fonctionnements par les figures suivantes:

a) Fonctionnement en fréquencemètre:

Après mise en forme du signal dont on veut mesurer la fréquence F_m , le signal obtenu attaque l'entrée d'une porte ET dont l'ouverture, commandée par l'horloge, dure t secondes. Le nombre N d'impulsions comptées est:

$$N = t \cdot F_m$$

Avec 4 compteurs, N_{\max} est 9999.

La fréquence maximale F_m est ,pour $t=1s$, égale à:

$$F_m = \frac{10^4}{1} = 10 \text{ KHZ}$$

La gamme la plus basse sur la position fréquencesmètre est donc :
1KHZ - 10KHZ

On a donc 4 gammes:

Gamme 1 :	1KHZ à 10KHZ	$t= 1\text{seconde}$	-----	1HZ
2 :	10KHZ à 100KHZ	$t= 0,1\text{seconde}$	----	10HZ
3 :	100KHZ à 1MHZ	$t= 0,01\text{seconde}$	----	100HZ
4 :	1MHZ Et plus	$t= 0,001\text{seconde}$	---	1KHZ

b) Fonctionnement en périodemètre:

Puisqu'on ne peut pas mesurer des fréquences inférieures à 1KHZ; on mesure la période.

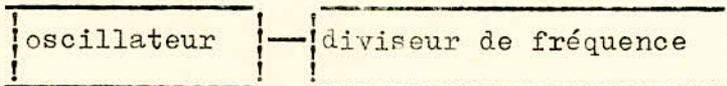
$$N = T_m \cdot H$$

H: fréquence d'horloge

On aura les gammes suivantes:

Gamme 5 :	1s à 100ms	H=10KHZ
6 :	100ms à 10ms	H=100KHZ
7 :	10ms à 1ms	H=1MHZ

II) Composition du circuit horloge:



1) Oscillateur:

L'oscillateur utilisé est un trigger de Schmitt (SN 7413N) dans lequel on introduit une réaction RC entre l'entrée et la sortie.

Cet oscillateur démarre sans signal extérieur.

D'autres oscillateurs peuvent être utilisés comme par exemple l'oscillateur Colpitts ou l'oscillateur à quartz. Ce dernier est meilleur car il est très stable.

Mais l'utilisation de ces oscillateurs nécessite des adaptateurs d'impédance à la sortie. De plus pour réaliser une horloge, on doit mettre pour la mise en forme du signal sinusoïdal issu de l'oscillateur, un Trigger de Schmitt.

Mais si on est amené à utiliser l'un de ces deux oscillateurs (Colpitts ou à quartz) il serait préférable d'utiliser l'oscillateur à quartz parce que comme on l'a dit il est très stable en fréquence et par conséquent l'appareil (le fréquencemètre) serait ~~très~~ beaucoup plus précis car la précision de la mesure de F_m ou de T_m dépend exclusivement de la fréquence de l'horloge.

En effet:

$$\frac{\Delta N}{N} = \frac{\Delta t}{t} \quad \text{ou} \quad \frac{\Delta H}{H}$$

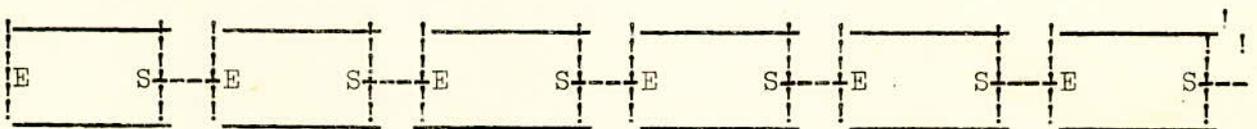
2) Le diviseur:

Il a pour rôle ^{d'obtenir} par divisions successives les fréquences

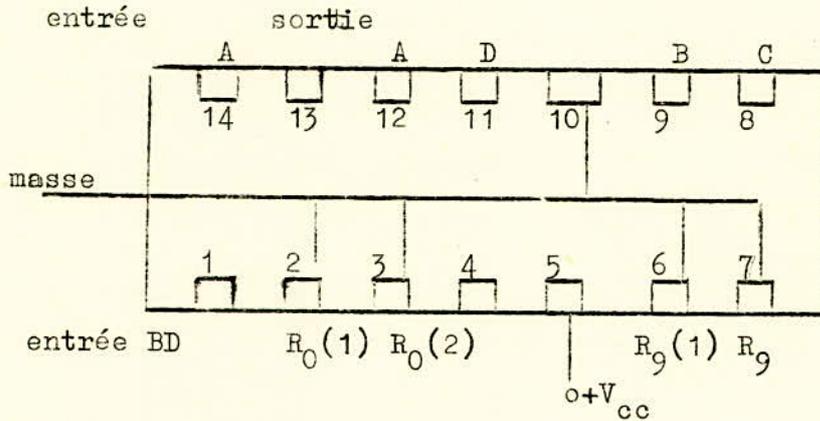
100KHZ ; 10KHZ ; 1KHZ ; 100HZ ; 10HZ ; 1HZ à partir de la fréquence fixe de 1MHZ de l'oscillateur.

Ce diviseur est constitué de 6 circuits intégrés SN 7490N divisant chacun la fréquence du signal appliqué à son entrée (BD) par 10.

Ces 6 décades sont montées en asynchrone c'est à dire que la sortie de la première décade est reliée directement à l'entrée de la seconde et ainsi de suite jusqu'à la dernière décade.



6 décades montées en asynchrone

Schéma de branchement d'une décade:

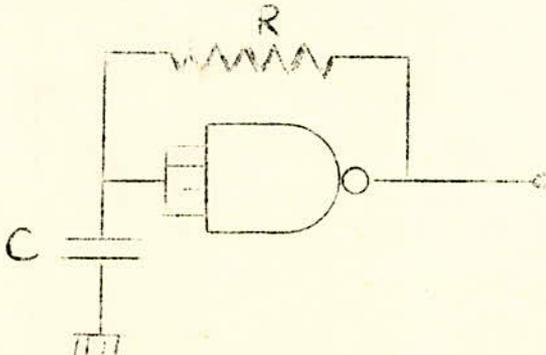
Pour le branchement de la décade en diviseur par 10 il faut:

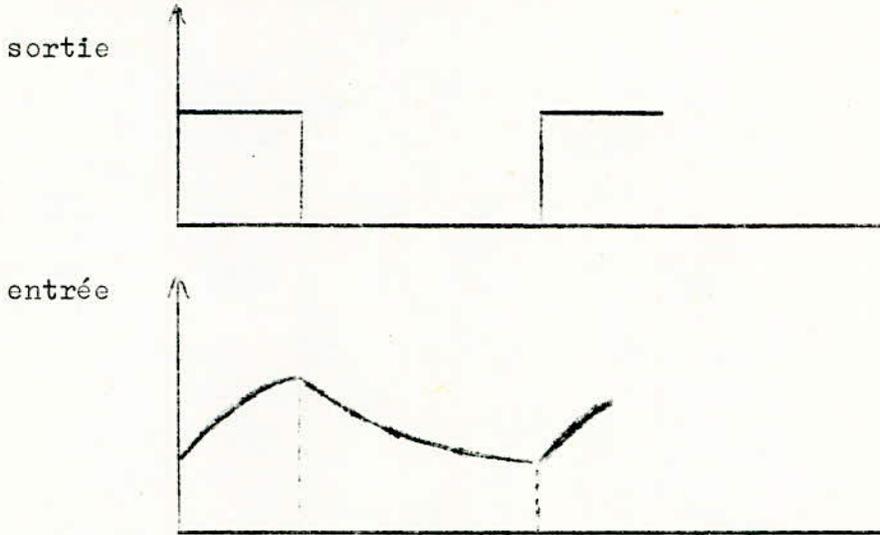
- 1) Les remises à zéro (bornes 2 et 3) et les remises à 9 (bornes 6 et 7) soient à la masse (GND)
- 2) Connecter l'entrée A (borne 14) et la sortie D (borne 11).
- 3) Entrer sur BD (borne 1).
- 4) Sortir sur sortie A (borne 12)
- 5) Alimenter +V_{cc} (borne 5)
- 6) Ne rien connecter sur NC (bornes 13 et 4)
- 7) Laisser les bornes de sortie C et B en l'air (bornes 8 et 9).

Trigger de Schmitt:

On utilise le SN 7413N (circuit intégré).

Ce circuit possède deux Triggers de Schmitt indépendants. On n'utilise qu'un seul (1/2 SN 7413N)



Courbes d'entrée et de sortie:

La capacité C se charge à travers R jusqu'à la tension de seuil du flanc montant qui est de l'ordre de 1,4 volts à 2volts.

Pendant la charge du condensateur C, la tension de sortie est à l'état haut.

Lorsque le potentiel d'entrée(ou potentiel de C) atteint la valeur de la tension de seuil, la sortie passe à l'état bas et le condensateur commence à se décharger à travers l'impédance d'entrée du transistor d'entrée et à travers R.jusqu'à la tension de seuil du flanc descendant.

Caractéristiques électriques du SN 7413N :

V_{cc} : 4,75V - 5,25V ; tension d'entrée: 2V - 5,5V

tension maximale d'entrée en inverse: -1V

2^e partie:) COMPEURS; REGISTRES; DECODEURS; AFFICHEURS

La réalisation d'un compteur de capacité $N=9999$ nécessite l'utilisation de 4 décades en série.

$$N=10^4 - 1$$

Ladécade SN 7490N utilisée contient d'une part un diviseur par 2 et d'autre part un diviseur par 5. Par une connexion externe qui relie les pattes 1 et 12 nous obtenons un compteur binaire cyclique par 10 et sortant en B.C.D. On relie les sorties de ce compteur aux entrées du registre SN 7475N.

le circuit SN 7475N est constitué de bistables D pour la mise en mémoire des informations fournies par le compteur. Ce circuit est relié ~~à un registre qui est relié à son tour~~ au décodeur SN 7441N.

Le circuit SN 7442 réalise le décodage B.C.D - décimal

Pour l'affichage, on utilise le circuit intégré TIL 302 qui présente un avantage sur les tubes NEC puisqu'il nécessite une tension d'alimentation de l'ordre de 5volts.

A) Compteur SN 7490N:

Le schéma est donné par la figure 13 page 45.

Ses caractéristiques électriques sont les suivantes:

V_{cc} : 4,75V - 5,25V ; tension d'entrée maximale: 5,5V

$V_{out}(1)$: 2,4V minimum ; $V_{out}(0)$: 0,4V minimum

$I_{in}(1)$: 40 microampère ; $I_{in}(0)$: 1mA

F_{max} = 18MHz

Temps de propagation à la croissance : 100ns

Temps de propagation à la décroissance : 100ns

Pour l'assemblage des quatres compteurs, on doit relier la sortie **BD** (borne 11) du n^{ième} compteur à l'entrée A_1 (borne 14) du(n+1)^{ième} compteur.

La remise à 9 doit être à la masse.

Quant à la remise à zéro $R_0(1)$ et $R_0(2)$ reçoit un signal après chaque comptage, du monostable.

La table de vérité des remises à 9 et à 0 est la suivante:

$R_0(1)$	$R_0(2)$	$R_9(1)$	$R_9(2)$	A	B	C	D	
1	1	0	X	0	0	0	0	} Remise à zéro
1	1	X	0	0	0	0	0	
X	X	1	1	1	0	0	1	← Remise à 9
X	0	X	0	Count				} c'est à dire $A+B+C+D \neq 0$
0	X	X	0	-				
0	X	0	X	-				
X	0	0	X	-				

Pour qu'il y ait remise à zéro il faut que

$$\begin{cases} R_0(1)=R_0(2)=1 \\ R_9(1)=R_9(2)=0 \end{cases}$$

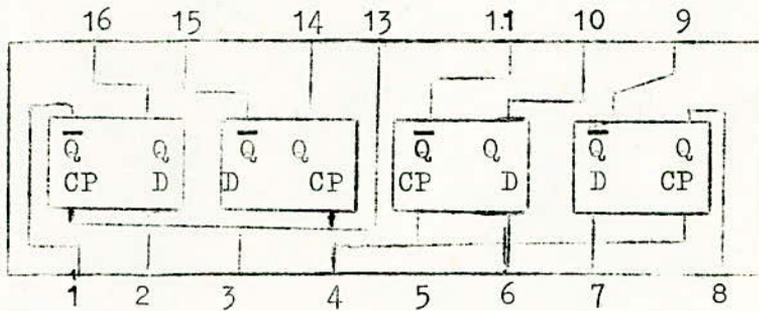
X:indifférent

Registre SN 7475N:

Ce circuit est une quadruple bascule à sorties complémentaires Q et \bar{Q} . La sortie Q suit l'information présente en D , tant que l'horloge est haute. Quand l'horloge passe au niveau bas, l'information présente en D , au moment de la transition, est maintenue jusqu'à ce que l'horloge redeviennent haute.

Table de vérité(par bascule) :

t_n	t_{n+1}	
D	Q	\bar{Q}
1	1	0
0	0	1



Décodeur SN 7442N:

C'est un décodeur BCD-décimaux. Il est constitué essentiellement de portes NAND et d'inverseurs.

Table de fonctionnement:

entrées				sorties									
D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	1	1	0	1	1	1	1	1	1	1
0	0	1	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

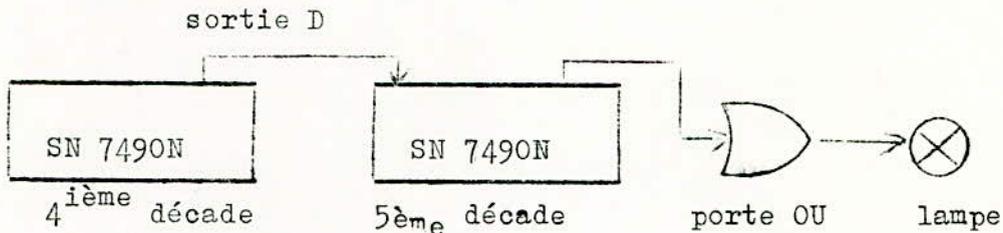
Pour les autres nombres (10,11..15)
toutes les sorties sont à l'état 1

Signalisation de dépassement:

Il est nécessaire de prévoir un système de signalisation par un voyant lumineux lorsque le nombre d'impulsions à compter dépasse 9999.

Ce système est constitué d'une décade SN 7490N et d'une porte OU. Cette porte OU est placée à la sortie de la décade et la lampe est placée à la sortie de la porte OU

Schéma synoptique:



Soient A,B,C,D les sorties de la 5^{ème} décade

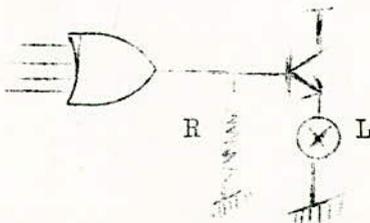
$$-N > 9999 \quad A+B+C+D=1$$

$$-N < 9999 \quad A+B+C+D=0$$

Réalisation pratique:

La 5^{ème} décade est montée en série avec la 4^{ème} décade du compteur. Sa remise à 9 étant mise à la masse et sa remise à 0 reçoit comme celles des autres décades du compteur une impulsion du monostable.

La porte OU est une porte à quatre entrées:



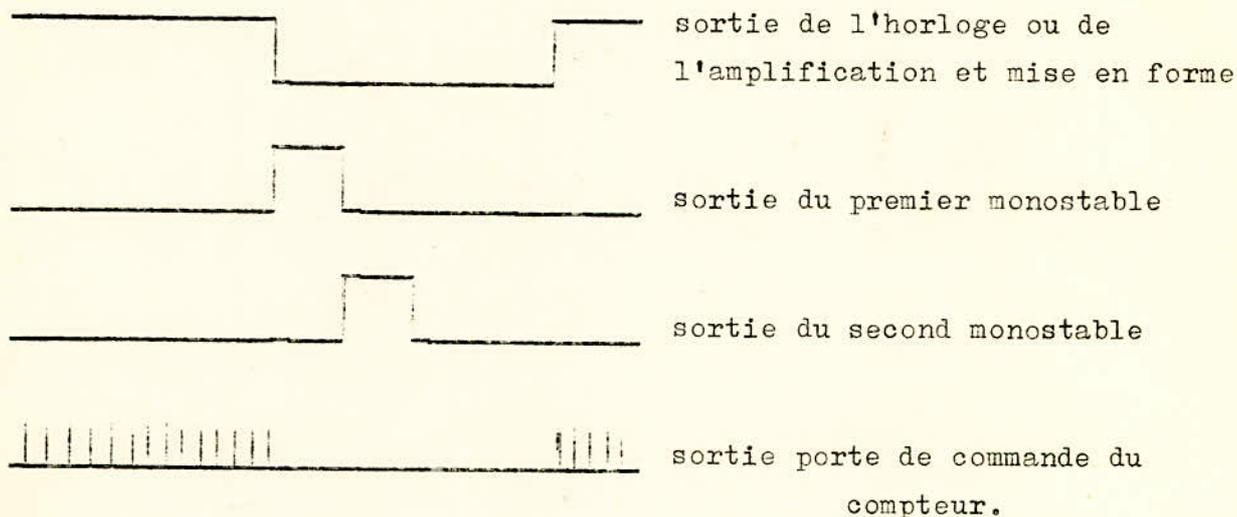
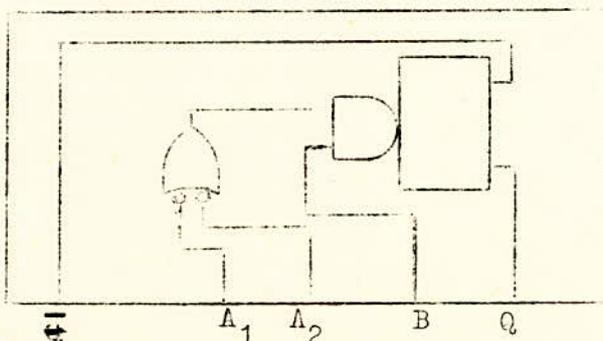
La lampe est mise entre l'émetteur et la masse d'un transistor fonctionnant en commutation

MONOSTABLE SN 74121N :

Le fréquencemètre est constitué de deux monostables SN 74121N.

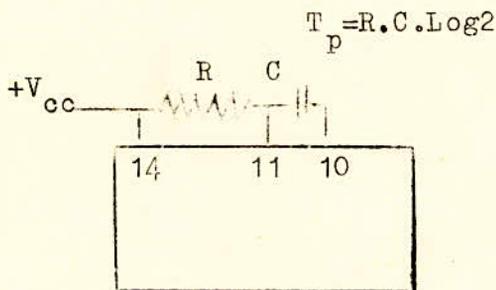
Le basculement du premier monostable est provoqué par le signal de commande issu de l'horloge en fonctionnement fréquencemètre ou bien par celui ~~ixxx~~ dont on veut la fréquence en fonctionnement périodemètre. Le signal issu de ce monostable sert d'une part à provoquer le transfert du contenu du compteur dans le registre de mémoire et d'autre part à faire basculer le second monostable.

Le deuxième monostable a pour rôle de remettre à zéro le compteur.

Diagramme de fonctionnement:Description, utilisation et fonctionnement:

A_1 et A_2 sont des entrées qui agissent par le front de décroissance et qui déclenchent le monostable quand soit l'une, soit ~~l'autre~~ les deux passent au niveau bas lorsque B est au niveau haut. B est une entrée d'un trigger de Schmitt.

Pour obtenir des impulsions de largeur précise, on connecte une résistance entre les broches 11 et 14, et une capacité entre les broches 10 et 11. La largeur des impulsions est donnée par la relation:



Choix de R et de C:

La fréquence maximale du signal de commande est de 1KHz que ça soit en fonctionnement fréquencesmètre ou en fonctionnement périodesmètre. Mais en réalité cette fréquence est divisée par 2 par la bascule JK. Il faut donc que la somme des largeurs des impulsions des deux monostables soient inférieures à 2ms (correspondant à 500Hz)

$$T_{p1} + T_{p2} < 2\text{ms}$$

Prenons $R_1 = R_2 = R$ et $C_1 = C_2 = C$

$$(2\text{Log}2)R.C < 2\text{ms} \longrightarrow (\text{Log}2)R.C < 1\text{ms}$$

$$R.C < 1,43 \text{ ms}$$

Prenons $R.C = 1 \text{ ms}$

$C = 1\text{mF}$

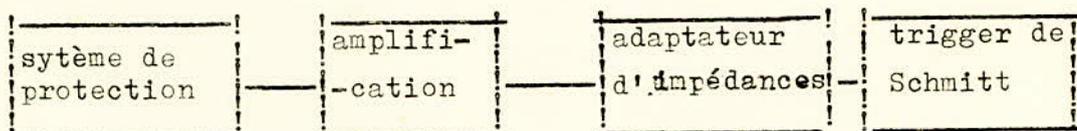
$R = 1\text{K}\Omega$

Partie N°3: AMPLIFICATION ET MISE EN FORME:

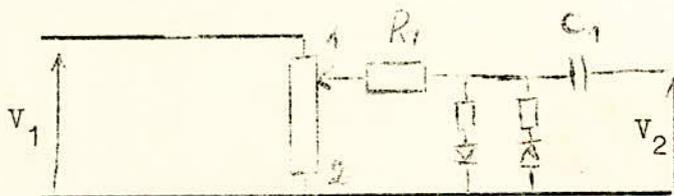
Cette partie est constituée

des montages suivants:

- Une protection contre les surtensions
- Un amplificateur de fréquences de coupure: 1HZ et F_{ch} supérieure à 1MHZ
 F_{ch} : fréquence de coupure haute.
- un adaptateur d'impédances (collecteur commun)
- Un trigger de Schmitt pour la mise en forme.

Schéma synoptique:1) Système de protection:

C'est un montage qui limite la tension que l'on applique au montage amplificateur. Le fréquencesmètre doit mesurer la fréquence d'un signal dont l'amplitude peut varier de 10^{-4} à 10^4 V à environ quelques dizaines de volts, donc la protection est nécessaire pour les fortes tensions.

A) Schéma du montage:

Le potentiomètre P est très grand de l'ordre de 1M

Fonctionnement:

Quand le niveau d'entrée est faible (quelques mv), la tension V_2 est pratiquement nulle lorsque le curseur est en position (2) et le montage suivant ne fonctionne pas. Mais en position (1) toute la tension d'entrée au montage.

Maintenant si l'on applique une tension de quelques dizaines de volts et si le curseur est en (1), cette tension est appliquée aux bornes des diodes à travers R_1 . Les diodes écrètent cette tension et V_2 sera largement plus faible.

En (2), la tension V_2 est très faible.

Donc, on doit agir sur le potentiomètre pour faire fonctionner le montage.

Calcul des éléments:

Le condensateur C doit être calculé de façon à laisser passer 1HZ.

$$f = \frac{1}{2\pi RC}$$

$$R = 1M \Omega$$

donc $C = 0,16 \mu F$

on prend :

$$C = 1 \mu F$$

La résistance R_1 limite le courant dans les diodes ; on la choisit de l'ordre de $3K \Omega$.

B) Amplificateur:

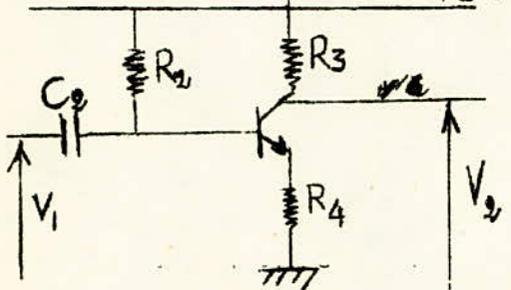
A l'entrée de l'amplificateur, on met un transistor à effet de champ monté en drain commun car la résistance gate source est supérieure à $1 M \Omega$. L'utilisation de ce transistor permet de conserver une impédance de l'ordre de $1 M \Omega$ quel que soit le niveau d'entrée. L'amplificateur choisi est un amplificateur à liaison direct.

Cet amplificateur est composé de 4 étages. Tous les éléments seront calculés avec les caractéristiques suivantes :

$$B = 50 ; V_{cc} = 5 \text{ V} ; V_{ce} = 2 \cdot V ; I_c = 1 \text{ mA} ; I_b = 50 \text{ A}$$

$$h_{11} = 2 \text{ k} ; h_{22} = \infty ; V_{BE} = 0,6 \text{ V}.$$

Calcul du 1er étage : +5V



T = 2N 706 A

$$V_{R_3} + V_{R_4} = V_{cc} - V_{ce} = 3 \text{ V} ; R_4 + R_3 = \frac{3 \text{ V}}{1 \text{ mA}} = 3 \text{ k}\Omega$$

$R_3 > R_4$; on choisit :

$$R_4 = 500 \Omega ; R_3 = 2,5 \text{ k}\Omega \text{ ou bien } R_4 = 0,47 \text{ k}\Omega \text{ et } R_3 = 2,7 \text{ k}\Omega$$

$$V_{R_4} = 0,47 \text{ V} ; V_{R_2} = 5 - 0,47 - 0,6 = 4 \text{ V}$$

$$\text{ou } I_B = 50 \mu\text{A}$$

$$\text{donc } R_2 = 4 / 50 \cdot 10^{-6} = 80 \text{ k}\Omega \text{ on prendra } R_2 = 82 \text{ k}\Omega$$

Impédance d'entrée du montage :

$$v_e = h_{11} i_b + R_4 (B + 1) i_b = R_2 i_p$$

$$Z_e = \frac{R_2 [h_{11} + R_3 (B + 1)]}{R_2 + h_{11} + R_4 (B + 1)}$$

d'où $Z_e = 20,5 \times 10^3 = 20 \text{ K}$.

Calcul de C_2 : C_2 doit laisser passer 1 Hz

$$C = \frac{1}{2\pi F Z_e} \implies C \approx 100 \mu\text{F}.$$

Calcul du gain en tension :

$$v_s = -R_3 i_b ; v_e = \frac{h_{fe}}{1} + R_4 (D+1) \frac{i}{1}$$

$$\frac{v_s}{v_e} = \frac{-R_3 B}{h_{fe} + R_4(B+1)} \approx \frac{-R_3}{R_4} = -6$$

En réalité, ce n'est pas seulement R_3 qui charge ce premier étage mais il y'a aussi l'impédance d'entrée du 2^e étage, c'est-à-dire $Z_e = h_{ie} + R_6 (D - 1)$



$T = 2 \text{ N } 706 \text{ A.}$

Prenons $R_6 = R_4 = 0,47 \text{ K}\Omega$ et $R_5 = 2,7 \text{ K}\Omega = R_3$.

or $Z_e = 20 \text{ k}\Omega$

donc $Z_e // R_3 = 2,3 \text{ K}\Omega$.

$$\text{donc } \frac{v_s}{v_e} = - \frac{Z_e // R_3}{R_4} \approx -5$$

On prend le même Z_e pour le 3^e étage c à d $R_7 = R_5 = R_3 = 2,7 \text{ K}\Omega$

$R_8 = R_6 = R_4 = 0,47 \text{ K}\Omega$

Donc le gain total des 3 étages est égal à :

$$A_v = A_{v_1} \cdot A_{v_2} \cdot A_{v_3}$$

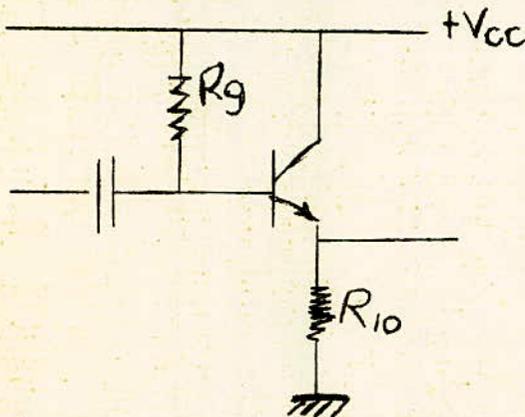
Le 3^e étage attaque un collecteur commun (adaptateur d'impédance).

Donc $Z_1 = R_7 // Z_6$ $R_7 = 2,7 \text{ K}\Omega$ $Z_6 = \text{impédance d'entrée du collecteur commun}$

donc $A_{v_3} = -6$

$$\Rightarrow A_v = (-5) \cdot (-5) \cdot (-6) = -150 \quad \text{cas } A_{v_1} = A_{v_2} = -5$$

Calcul des éléments du collecteur commun :



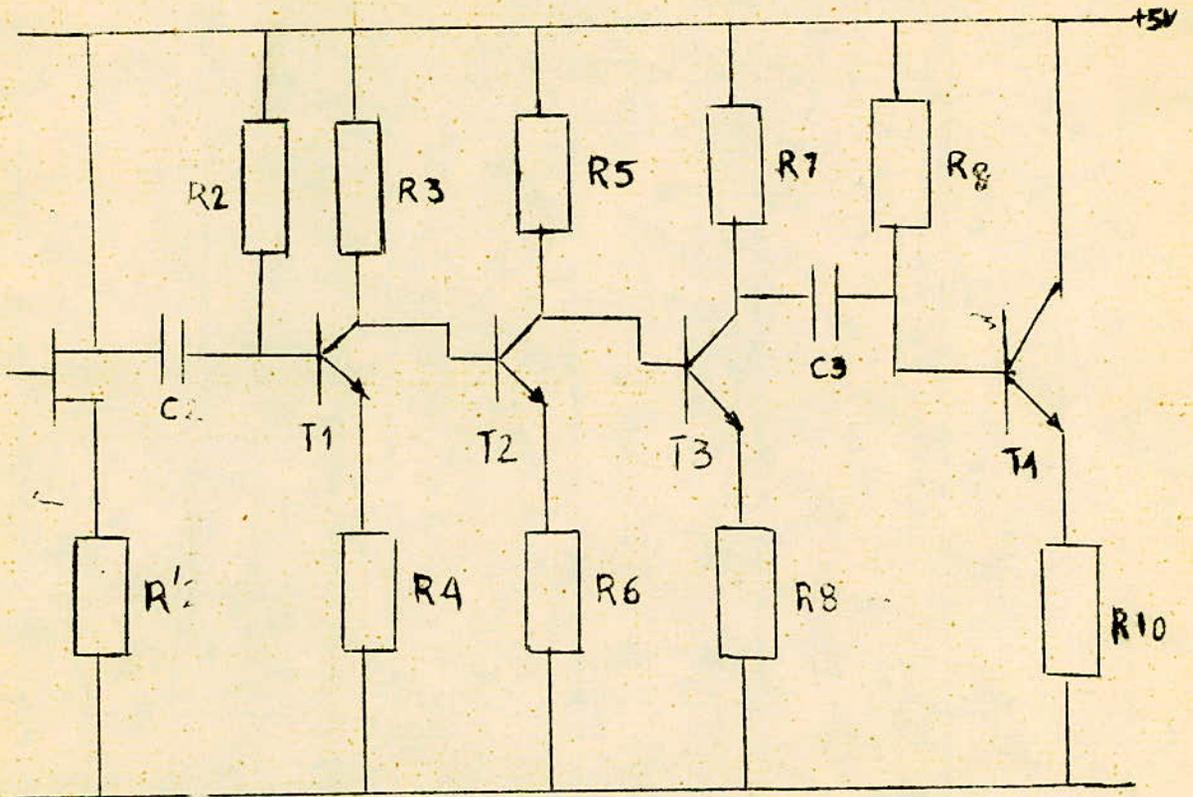
$$R_g = 22 \text{ K}\Omega$$

$$R_{10} = 1 \text{ K}\Omega$$

$$Z_e = \frac{R_g [h_{11} + R_{10} (1+1)]}{R_g + h_{11} + R_{10} (1+1)} = 15 \text{ K}\Omega$$

$$F = 1 \text{ Hz}$$

$$C_3 = \frac{1}{2\pi F Z_e} \approx 10 \mu\text{F}$$



Amplificateur

