

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

PROJET DE FIN D'ETUDES

SUJET

ETUDE ET REALISATION D'UN
GENERATEUR DE SEQUENCES
PSEUDO ALEATOIRES A PLUSIEURS
SORTIES COMMANDEES

Proposé par :
M. ROMANKEVITCH

Etudié par :
AMMOUR - KAMEL
ET
ARBAOUI - AMAR

Dirigé par :
M. ROMANKEVITCH
M. MAHDI



PROMOTION : JUIN_84



DEDICACES

Je dedie ce modeste travail /

- A ma mère et mon père qui ont beaucoup consenti
pour moi .

- A mes amis .

- A mes frères et sœurs .

A. AMAR .

Je dedie ce travail :

- A ma mère et mon père et à leurs sacrifices

- A mes frères et sœurs

- A mes amis .

A. KAMEL .

REMERCIEMENT

Nous tenons cette occasion pour remercier vivement nos promoteurs M. ROMANKEVITCH et M. MAHDI , qui par leurs aide précieuse et leurs conseils nous ont guidé tout au long du semestre .

Nos remerciement s'adressent également à :

M. CHIKHI

M. BESSALLAH

M. MENACER

Pour leurs aide dans la réalisation de notre projet .

TABLE DES MATIERES

INTRODUCTION

Chapitre I S.B.P.A.

I.1. Définition d'une S.B.P.A.:	2
I.2. génération d'une S.B.P.A.:	2
I.3. Séquence de longueur maximale :	4
I.4. Propriétés :	8
I.5. Représentation des séquences par des polynômes:	10
I.6. Fonction d'autocorrélation:	13

Chapitre II GENERATEURS DE S.B.P.A.

2.1. Générateurs P.A. simple :	
2.1.1. Introduction.	20
2.1.2. Générateurs P.A. simple:	20
2.1.3. Générateurs multirégistré:	20
2.1.4. Générateurs d'étages variable :	22
2.1.5. Application:	26
2.2. Générateurs commandés:	27
2.2.1. Introduction :	27
2.2.2. Principe de base :	27

Chapitre III ETUDE ET REALISATION I D'UN GENERATEUR P.A.

A PLUSIEURS SORTIES

INTRODUCTION	31
3.1. Posution du problème :	32
3.2. Etude et réalisation :	33
3.2.1. G.S.P.A. COMMANDÉ	33
3.2.2. Synchronisation:	43
3.2.3. Sélection :	45
3.2.4. Commande:	50
3.3. Module de comptage:	57
3.3.1. Introduction:	57
3.3.2. Schéma de principe et fonctionnement;	57
3.4. MESURES :	67
3.5. Conclusion :	67

Chapitre VI APPLICATION	70
Chapitre V Simulation par un programme en Basic:	72
CONCLUSION	86

INTRODUCTION

Lorsque l'on produit des systèmes en grande quantité, il n'est plus possible de mettre ce produit au point ou de le réparer manuellement. Aussi utilise-t-on des appareils qui puissent faire le test automatiquement, qui injectant des signaux aux entrées des circuits sous test, vérifient l'état des sorties.

En de divergence avec l'état prévu, l'appareil aide l'opérateur à localiser l'élément défaillant.

De cette façon le dépannage prend quelques minutes.

L'objet de notre travail consiste en la réalisation d'un générateur de séquences pseudo-aléatoire à plusieurs sorties commandées permettant ainsi la génération des ^{mots} d'une façon pseudo-aléatoire, qui par la suite, seront utilisés pour faire le diagnostic des pannes dans les circuits numériques.

Notre ^{projet} s'articule autour de cinq chapitres:

- Le premier est consacré à l'étude des S.B.P.A.
- Le deuxième est consacré à l'étude des différents générateurs P.A. simples commandés et non commandés
- Le troisième chapitre concernant l'étude et la réalisation du générateur.
- Le quatrième est consacré à l'application de notre générateur.
- Enfin le cinquième donne un programme de simulation en langage Basic.

Chapitre I

Séquences Binaires

Pseudo-Aléatoires

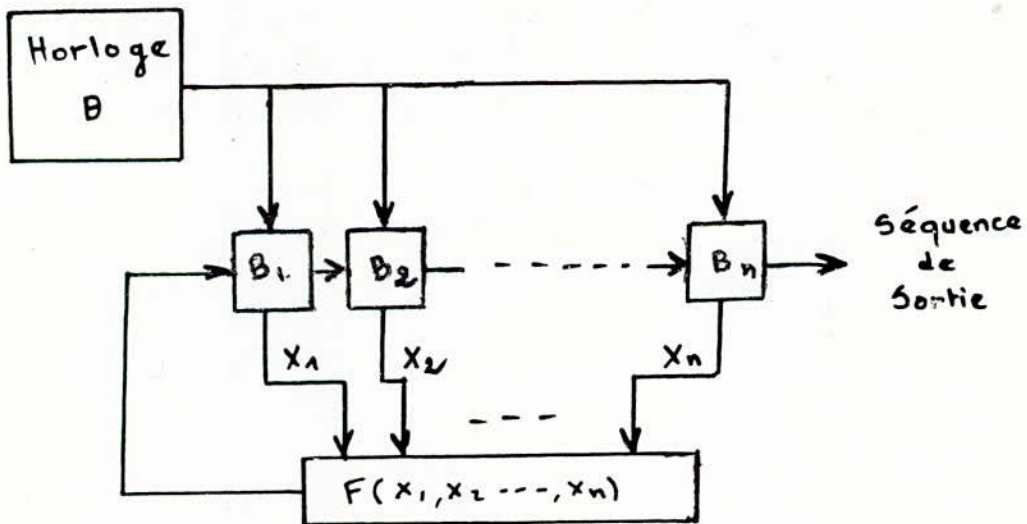
1-1- Définition d'une S . B . P . A . :

Une séquence étant une suite d'événements, si elle est pseudo-aléatoire, la suite des événements peut se déterminer parfaitement à priori, autrement dit elle est créée de façon déterministe, mais elle apparaît comme aléatoire à un observateur qui ignore la façon dont elle est fabriquée

1-2- Génération d'une S . B . P . A .

On peut facilement engendrer une S . B . P . A . de niveau "0" ou "1". Il suffit de retroalimenter un registre à décalage de N Digits à travers une Fonction booléenne, qu'on choisit très généralement, comme addition modulo 2.

Soit un registre d'ordre N constitué de N bascules et possèdent une contre réaction définie par la fonction booléenne $F(x_1, x_2, \dots, x_n)$.



- Fig 1.1 -

La fonction booléenne correspond à une disjonction de certains Bits X_i .

La séquence ainsi obtenue est périodique, la longueur maximale qui peut être obtenue a pour valeur $(2^n - 1)$ Bits.

En effet le registre pourra prendre au maximum toutes les combinaisons possibles des N éléments sauf la combinaison correspondante à $X_i = 0$ pour $i = 1, 2, \dots, N$ qui donne une sortie constamment nulle.

Cette séquence ainsi générée de longueur $2^n - 1$ est nommée S . B . P . A . de longueur maximale.

Pour que la séquence soit de longueur maximale, la fonction $F(X_i)$ ne peut être quelconque donc l'addition modulo 2 doit porter sur certain Bits seulement. Parmi tous les cas possibles les plus intéressants sont ceux pour lesquels deux Bits seulement sont égaux à "1", l'addition modulo-2 se réduit alors à un ou exclusif.

Donnons deux exemples, pour montrer l'effet du choix de la fonction $F(X_i)$ sur la longueur de la séquence générée.

Exemple 1 : Soit un registre à décalage constitué par 4 bascules représenté Fig 1-2.

On peut remarquer que la périodicité est de 6 périodes d'horloge seulement, alors que 4 bascules présentent 15 états différents.

.../...

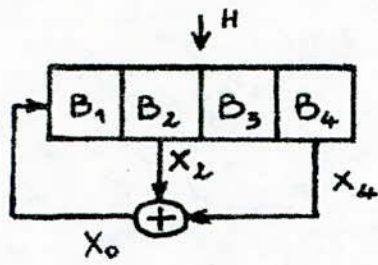


Fig. 1.2

	X_1	X_2	X_3	X_4	$X_0 = X_4 \oplus X_2$
→	1	1	0	0	1
	1	1	1	0	1
	1	1	1	1	0
	0	1	1	1	0
	0	0	1	1	1
	1	0	0	1	1
←	1	1	0	0	1

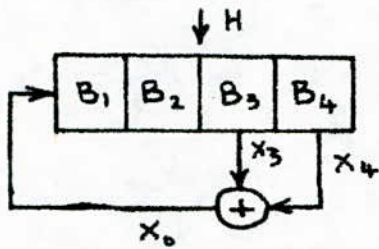


Fig. 1.3

	X_1	X_2	X_3	X_4	$X_0 = X_4 \oplus X_3$
→	1	0	1	1	0
	0	1	0	1	1
	1	0	1	0	1
	1	1	0	1	1
	1	1	1	0	1
	1	1	1	1	0
	0	1	1	1	0
	0	0	1	1	0
	0	0	0	1	1
	1	0	0	0	0
	0	1	0	0	0
	0	0	1	0	1
	1	0	0	1	1
	1	1	0	0	0
	0	1	1	0	1
←	1	0	1	1	0

Exemple 2 : Soit le cas de la Fig 1.3.

On constate, pour ce cas, que la périodicité est de 15 périodes d'horloge qui est celle de la longueur maximale (çàd $2^n - 1$).

On voit donc, d'après ces 2 exemples simples, que le choix des Bits de la contre réaction est important.

Par conséquent, il faut trouver une methode qui puisse nous permettre de choisir une combinaison qui répond aux exigences voulues.

1.3 Séquence de longueur maximale :

Considérons le montage de la Fig 1.4.

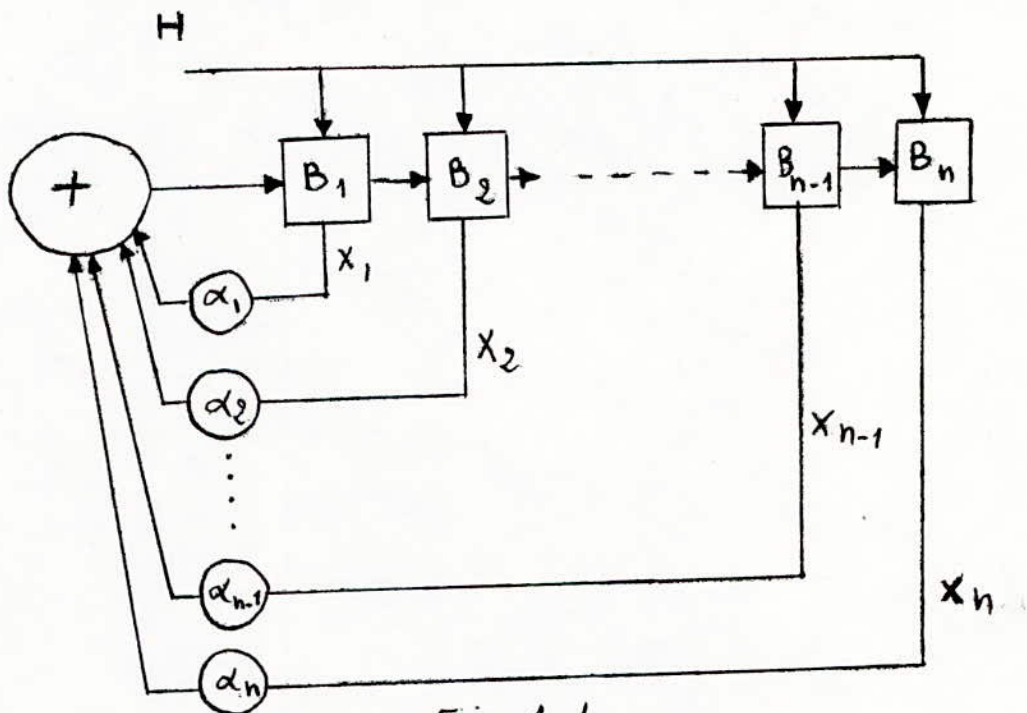


Fig 1.4

L'entrée serie du registre reçoit un signal obtenu à partir du contenu des N cases.

Nous avons

$$e_0(k) = \sum_{j=1}^n \oplus \alpha_j e_j(k)$$

.../...

$e_j(k)$: étant le contenu de la case de rang j à l'instant k .

Le symbole \sum_{\oplus} indiquant qu'il s'agit d'une sommation modulo 2.

Les α_j sont des coefficients pouvant prendre seulement 2 valeurs

0 ou 1.

Après la $(k+1)$ ième coup d'horloge on peut écrire.

$$\begin{cases} e_1(k+1) = \alpha_1 e_1(k) + \alpha_2 e_2(k) + \dots + \alpha_n e_n(k) \\ e_2(k+1) = e_1(k) \\ e_3(k+1) = e_2(k) \\ \dots \\ e_n(k+1) = e_{n-1}(k) \end{cases}$$

où sous forme matricielle :

$$\begin{pmatrix} e_1(k+1) \\ e_2(k+1) \\ \dots \\ e_n(k+1) \end{pmatrix} = \begin{pmatrix} \alpha_1 & \alpha_2 & \dots & \alpha_n \\ 1 & 0 & & 0 \\ & & & \\ & & & \\ 0 & 0 & \dots & 0 \end{pmatrix} \begin{pmatrix} e_1(k) \\ e_2(k) \\ \dots \\ e_n(k) \end{pmatrix}$$

c à d $E(k+1) = A E(k)$. (1)

On montre que le système donné par (1) est linéaire.

A partir d'un état initial décrit par un vecteur $E(0)$ l'évolution du système (1) est déterminé par les équations.

$$E(1) = A \cdot E(0).$$

$$E(2) = A \cdot E(1) = A^2 \cdot E(0).$$

$$E(K) = A^K E(0).$$

Après un certain nombre d'impulsions d'horloge le même état peut se reproduire.

La périodicité des états est telle que :

$$E(m+U) = E(m) = A^U E(m).$$

qui s'écrit $A^U E(m) = I \cdot E(m)$.

$$\text{d'où } (A^U - I) \cdot E(m) = 0.$$

La périodicité de la matrice est telle que :

$$A^L = I$$

On montre alors que la fonction d'autocorrelation se réduit à un seul triangle à l'origine de largeur \pm une période d'horloge si les deux périodicités ainsi décrites sont égales à leur valeur maximale $2^U - 1$. (voir paragraphe 1.6 de ce même chapitre exemple 3).

Ceci est réalisé si certaines conditions sont remplies par les coefficients

Le polynôme caractéristique de la matrice A est défini par :

$$h(x) = |A - xI| = |A \oplus xI| = \begin{vmatrix} \alpha_1 - x & \alpha_2 & \alpha_3 & \dots & \alpha_n \\ 1 & -x & 0 & & 0 \\ 0 & 1 & -x & & 0 \\ \dots & \dots & \dots & \dots & \dots \\ & & & & -x \end{vmatrix}$$

En arithmétique modulo-2, l'addition et la soustraction sont identiques.

$h(x)$ se développe alors comme :

$$h(x) = x^n \oplus \alpha_1 x^{n-1} \oplus \alpha_2 x^{n-2} \oplus \dots \oplus \alpha_n$$

$$h(x) = x^n \oplus \sum_{j=1}^{n-1} \alpha_j x^{n-j} \oplus \alpha_n$$

Pour avoir une séquence de longueur maximale $2^n - 1$, il faut que $h(x)$ soit irréductible et primitif.

.../...

Un polynôme est irréductible s'il ne possède pas de polynôme diviseur de degré inférieur càd si $h(x) = n(x) \cdot q(x) + r(x)$. Et $r(x) = 0$ alors $h(x)$ est irréductible.

Un polynôme de degré n est primitif si la séquence générée correspondante a pour période $2^n - 1$.

Enfin si la longueur $2^n - 1$ est un nombre premier l'irréductibilité du polynôme est la seule condition nécessaire et suffisante.

Le lecteur trouvera dans le tableau I-I ci-dessous les polynôme caractéristique associés aux principales séquences de longueur maximale pour $n \leq 40$.

$\hat{h}(x)$ étant le polynôme réciproque de $h(x)$ défini comme $\hat{h}(x) = x^n h(x)$

$\hat{h}(x)$ indique les bits de retroaction à choisir.

I-4-Propriétés des S.B.P.A. :

soit $h(x)$ un polynôme primitif de degré n et soit \mathcal{S}_n l'ensemble des séquences pseudo-aléatoires obtenues par $h(x)$.

Les S.B.P.A. ont $2^n - 1$ ségments différents

$$a_i a_{i+1} \dots a_{i+2^n-2} \quad i=0, 1, \dots, 2^n-2$$

Nous donnons ci-dessous les propriétés de ces séquences

I.4.1 Décalage :

si $B = b_0 b_1 \dots b_{2^n-2}$ est n'importe quelle séquences appartenant à \mathcal{S}_n , alors tout décalage cyclique de B :

$$b_j b_{j+1} \dots b_{2^n-2} b_0 \dots b_{j-1}$$

est aussi dans \mathcal{S}_n

I.4.2. Recurrence :

posons $h(x) = \sum_{i=0}^{n-1} h_i x^i$ avec $h_0 = h_{n-1} = 1$
 et $h_i = 0$ ou 1

toute séquence pseudo-aléatoire $B \in \mathcal{S}_n$ satisfait la recurrence :

n	$h(x)$	$\tilde{h}(x)$	n	$h(x)$	$\tilde{h}(x)$
2	$x^2 + x + 1$	$1 + x + x^2$	22	$x^{22} + x + 1$	$1 + x + x^{22}$
3	$x^3 + x + 1$	$1 + x^2 + x^3$	23	$x^{23} + x^5 + 1$	$1 + x + x^{23}$
4	$x^4 + x + 1$	$1 + x^3 + x^4$	24	$x^{24} + x^4 + x^3 + 1$	$1 + x + x^{23} + x^{24}$
5	$x^5 + x^2 + 1$	$1 + x^3 + x^5$	25	$x^{25} + x^3 + 1$	$1 + x + x^{25}$
6	$x^6 + x + 1$	$1 + x^5 + x^6$	26	$x^{26} + x^8 + x^7 + 1$	$1 + x + x^{18} + x^{19} + x^{25} + x^{26}$
7	$x^7 + x + 1$	$1 + x^6 + x^7$	27	$x^{27} + x^8 + x^7 + 1$	$1 + x + x^{19} + x^{20} + x^{26} + x^{27}$
8	$x^8 + x^6 + x^5 + 1$	$1 + x^2 + x^3 + x^7 + x^8$	28	$x^{28} + x^3 + 1$	$1 + x + x^{28}$
9	$x^9 + x^4 + 1$	$1 + x^5 + x^9$	29	$x^{29} + x^2 + 1$	$x + x + x^{27} + x^{29}$
10	$x^{10} + x + 1$	$1 + x^7 + x^{10}$	30	$x^{30} + x^{16} + x^{15} + 1$	$1 + x + x^{14} + x^{15} + x^{29} + x^{30}$
11	$x^{11} + x^2 + 1$	$1 + x^9 + x^{11}$	31	$x^{31} + x^3 + 1$	$1 + x + x^{28} + x^{31}$
12	$x^{12} + x^7 + x^4 + x^3 + 1$	$1 + x^5 + x^8 + x^9 + x^{12}$	32	$x^{32} + x^{28} + x^{27} + 1$	$1 + x + x^4 + x^5 + x^{31} + x^{32}$
13	$x^{13} + x^4 + x^3 + 1$	$1 + x^5 + x^{10} + x^{12} + x^{13}$	33	$x^{33} + x^{13} + 1$	$1 + x + x^{20} + x^{33}$
14	$x^{14} + x^{12} + x^{11} + 1$	$1 + x^2 + x^3 + x^{13} + x^{14}$	34	$x^{34} + x^{15} + x^{14} + 1$	$1 + x + x^{10} + x^{20} + x^{33} + x^{34}$
15	$x^{15} + x + 1$	$1 + x^{14} + x^{15}$	35	$x^{35} + x^2 + 1$	$1 + x + x^{33} + x^{35}$
16	$x^{16} + x^5 + x^3 + x^2 + 1$	$1 + x^{11} + x^{13} + x^{14} + x^{16}$	36	$x^{36} + x^{11} + 1$	$1 + x + x^{25} + x^{36}$
17	$x^{17} + x^3 + 1$	$1 + x^{14} + x^{17}$	37	$x^{37} + x^{12} + x^{10} + x^2 + 1$	$1 + x + x^{25} + x^{27} + x^{35} + x^{37}$
18	$x^{18} + x^7 + 1$	$1 + x^{11} + x^{18}$	38	$x^{38} + x^6 + x^5 + 1$	$1 + x + x^{32} + x^{33} + x^{37} + x^{38}$
19	$x^{19} + x^6 + x^5 + 1$	$1 + x^{13} + x^{14} + x^{18} + x^{19}$	39	$x^{39} + x^4 + 1$	$1 + x + x^{35} + x^{39}$
20	$x^{20} + x^3 + 1$	$1 + x^{17} + x^{20}$	40	$x^{40} + x^{21} + x^{19} + x^2 + 1$	$1 + x + x^{19} + x^{21} + x^{32} + x^{40}$
21	$x^{21} + x^2 + 1$	$1 + x^{19} + x^{21}$			

$$(I) \quad B_{i+n} = h_{n-1} B_{i+n-1} + h_{n-2} B_{i+n-2} + \dots + h_i b_{i+1} + b_i$$

$$i = 0, 1, \dots$$

Réciproquement toute solution de (I) est dans δ_n

Il ya donc n solution linéairement indépendant de (I), de même n séquence linéairement indépendant dans δ_n .

I.4.3. I/2 des "0" et I/2 des "1".

Une S.B.P.A. contient 2^{n-1} "1" et 2^{n-1} "0"

En effet, toutes les combinaisons sont obtenues puisque la longueur est maximale, sauf la combinaison 00...0 qui est évitée.

Autrement dit la probabilité des "1" et des "0" est égale environ à I/2 pour n assez grand.

$$P(0) = P(1) = I/2.$$

I.4.4. Addition :

La somme de deux séquences dans δ_n est une autre séquence dans δ_n .

(la somme s'effectue en modulo-2 sans retenue.)

I.4.5. Addition et décalage.

Si on réalise la disjonction d'une séquence avec la même séquence retardée, le résultat est à son tour une nouvelle version retardée de la même séquence : on obtient ainsi en temps réel n'importe quelle réalisation retardée de la séquence choisie.

I.4.6. Propriété de la fenêtre.

Si une fenêtre de largeur m (cad comprenant m bits) parcourt une suite δ_m de "0" et de "1", chacun des $2^m - 1$ m -tuples binaires non nuls est rencontré une seule fois.

Exemple pour $m = 4$: On a la suite.

... 000 1001 10101111...

fenêtre

Chaque 4-tuples non nuls est vu une seul fois.

I.5. Représentation des S.B.P.A. par des polynômes :

La S.B.P.A. dans δ_n à une description consise par des polynômes.

On peut représenter toute S.B. $a = a_0 a_1 \dots a_{k-1}$ de longueur n par le

polynôme : $a(x) = a_0 + a_1 x + a_2 x^2 + \dots + a_{k-1} x^{k-1}$

par exemple :

000100110101111

est représentée par :

$$a(x) = x^3 + x^6 + x^7 + x^9 + x^{11} + x^{12} + x^{13} + x^{14}$$

Un décalage cyclique d'un rang à droite de

$a, a_{k-1} a_0 a_1 \dots a_{k-2}$, est représentée par

$$a_{n-1} + a_0 x + \dots + a_{k-2} x^{k-1}$$

si $\mathcal{X}^k = 1 = x^0$

alors $X.a(x) = a_0 x + a_1 x^2 + a_2 x^3 + \dots + a_{k-2} x^{k-1} + a_{k-1} x^k$

$$\mathcal{X}.a(x) = a_{k-1} + a_0 X + \dots + a_{k-2} X^{k-1}$$

D'où la multiplication par X correspond à un décalage cyclique à droite d'un rang, \mathcal{X}^{k+1} est toujours divisible par le polynôme primitive de degré n lorsque $k = 2^n - 1$, et la division est effectuée en algèbre modulo 2.

Soit $\tilde{h}(x) = \sum_{m=0}^{m=n} h_m x^{n-m} = h\left(\frac{1}{x}\right) \cdot \mathcal{X}^n$

C'est le polynôme réciproque de $h(x)$, obtenu par une inversion des coefficients.

Définissons $g(x) = \frac{x^{k+1}}{\tilde{h}(x)}$

c-à-d si $h(x) = \mathcal{X}^4 + \mathcal{X} + 1$, $\tilde{h}(x) = x^4 + x^3 + 1$

alors $g(x) = \frac{x^{15} + 1}{x^4 + x^3 + 1} = 1 + x^3 + x^4 + x^6 + x^8 + x^9 + x^{10} + x^{11}$

notée que $x^3 g(x) = a(x)$.

Propriété :

La S . B . P . A . dans \mathcal{S}_n composée d'un polynôme $x^i b(x)$ avec $i = 0, \dots, 2^n - 2$ et $b(x) \in \mathcal{S}_n$.
(voir propriété 1.4.1.).

Par ailleurs il existe des polynômes :
 $t(x) \cdot g(x)$ où $t(x)$, est un polynôme de degré inférieur
à n .

(Si $b(x) = t(x) \cdot g(x)$ alors $b(x) \cdot \hat{h}(x) = t(x) \cdot (x^k + I)$
En égalisant les coefficients de x^{n+i} dans cette identité
on obtient :

$$\sum_{n=0} b_{i+n} h_n = 0 \quad i=0, 1, \dots, k-n-1$$

cette récurrence est celle de la propriété I.4.2
Vu que $g(x), xg(x), \dots, x^{-1}g(x)$ représente k séquen-
ces linéairement indépendant dans \mathcal{S}_n , toute séquence dans
peut être représentée par $t(x) \cdot g(x)$ où $\deg(t(x)) < n$
par conséquent $g(x)$ est appelé polynôme générateur
de \mathcal{S}_n

1.4. Fonction d'autocorrélation d'une S. B. :

Avant de définir la fonction d'autocorrélation de n'importe quelle ^{sequence} binaire, il est préférable de donner les caractéristiques d'un bruit blanc.

Un bruit blanc étant un signal aléatoire dont la connaissance à un instant donné ne fournit aucun renseignement sur sa valeur à l'instant suivant. Cette propriété se traduit mathématiquement par une fonction d'autocorrélation qui est une impulsion de Dirac à l'origine des temps, fig. 1.5.

$$\Phi_{xx}(\tau) = k^2 \delta(\tau).$$

On obtient d'après la définition de la densité spectrale.

$$\Phi_{xx}(\omega) = k^2$$

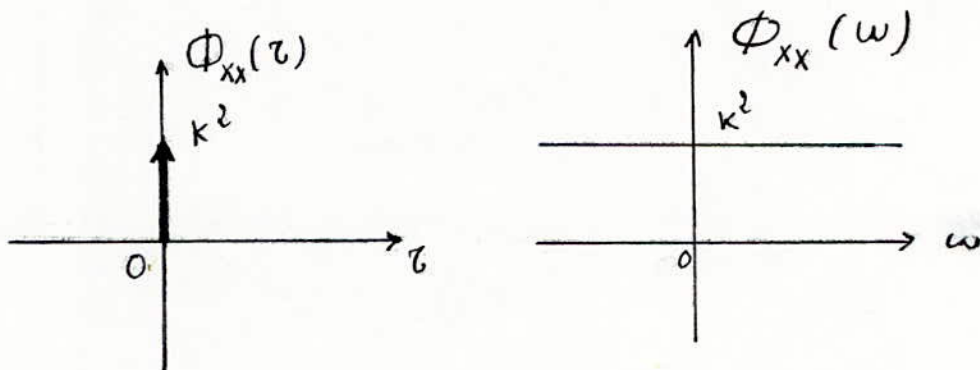


Fig. 1.5.

1.6.1. Fonction d'autocorrélation.

On appelle fonction d'autocorrélation d'un signal quelconque $x(t)$, la fonction :

$$\Phi_{xx}(\tau) = \frac{1}{T} \int_0^T x(t) \cdot x(t+\tau) dt. \quad (1)$$

Dans le cas d'une suite binaire synchrone d'une horloge, associons +a au "1" logique et -a au "0" logique.

L'intégrale (1) prend alors la forme suivante

$$\Phi_{XX}(k) = \frac{1}{L} \sum_{j=1}^L X(j) \cdot X(j+k)$$

Quand k est une valeur entière $k = 0, 1, \dots, L$

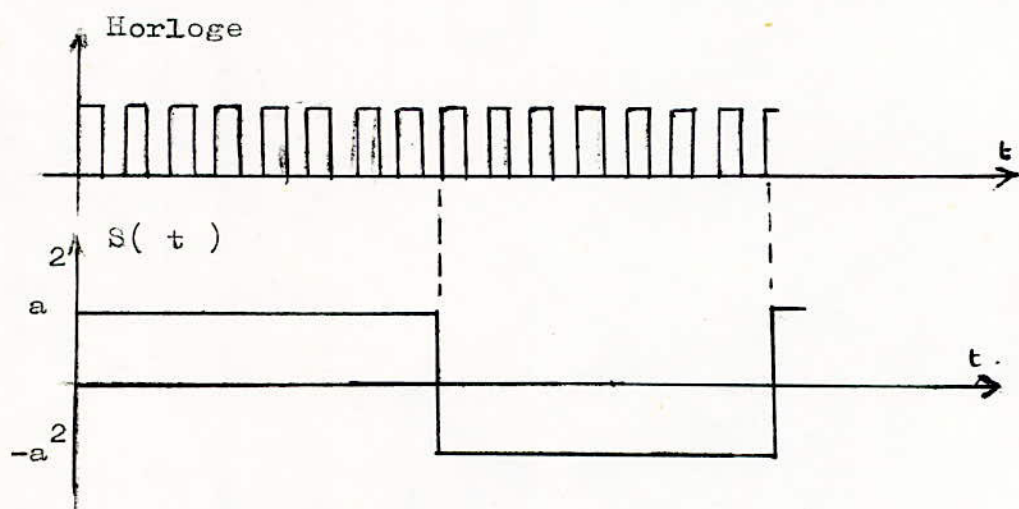
L est la longueur de la séquence.

Donnons quelques exemples, pour expliquer comment on trace une fonction d'autocorrelation connaissant la séquence binaire engendrée.

Exemple 1 :

Choisissons $T = 15$, étant la période de l'horloge et T la durée de la séquence qui est récurrente.

Considérons la suite 1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 à laquelle est associé le signal $X(t)$ fig. 1.6.



Codons $+a^2$ par "1" et $-a^2$ par "0", ainsi on obtient l'opération $a \cdot b$ où \cdot représente la coincidence.

$S(t)$	$S(t-\tau)$	$S(t) \cdot S(t-\tau)$
- a	- a	+ a ²
- a	+ a	- a ²
+ a	- a	- a ²
+ a	+ a	+ a ²

Il suffit donc, pour calculer les valeurs de la fonction d'auto-correlation pour chaque retard, de juxtaposer la suite d'origine et la même suite décalée de $0, 2\theta, \dots, 15\theta$ et d'effectuer la coincidence bit par bit.

Ensuite un simple calcul du nombre de " 1 " auquel on retranche le nombre de " 0 " le résultat multiplié par $a^2/15$ donne $\Phi_{XX}(\tau)$ correspondant à $\tau = K\theta$ choisi.

Nous avons donc :

$$\Phi_{XX}(K\theta) = \frac{a^2}{15} (n - p)$$

avec n le nombre de " 1 "

et p le nombre de " 0 "

La construction géométrique de la fig 1.7. permet de calculer simplement Φ_{XX} pour $\tau = \theta$.

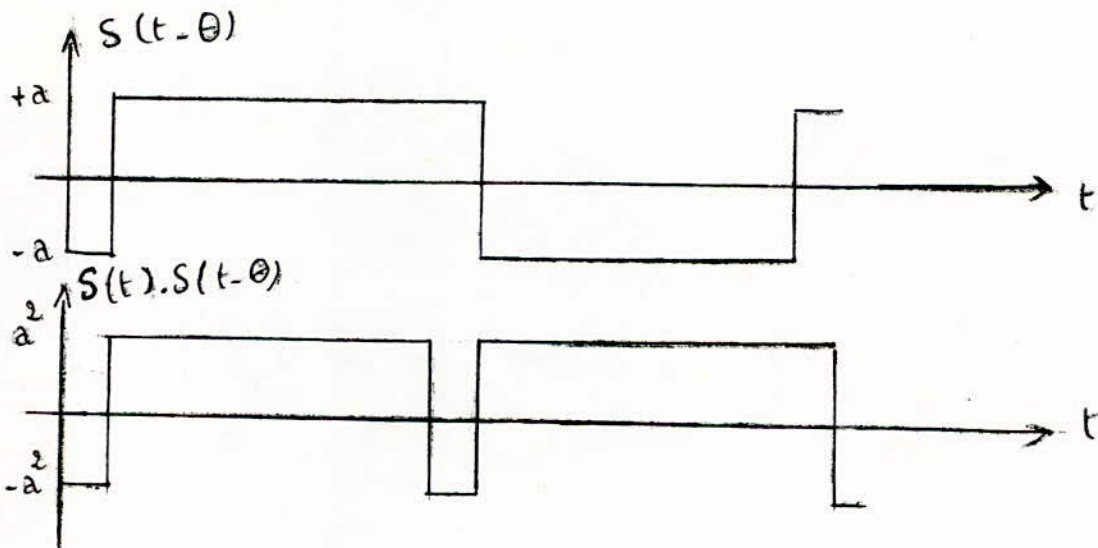


fig 1. 7.

1 1 1 1 1 1 1 1 0 0 0 0 0 0 0 suite à l'origine

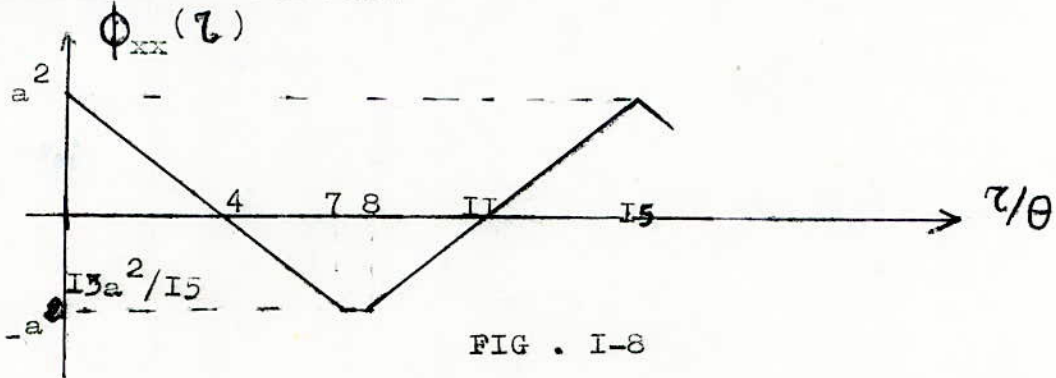
0 1 1 1 1 1 1 1 1 0 0 0 0 0 0 suite décalée de

0 1 1 1 1 1 1 1 0 1 1 1 1 1 1 coincidence.

Nous aurons donc

$$\phi_{xx}(\tau) = \frac{a^2}{15} (13 - 2) = \frac{11}{15} a^2$$

En continuant de même, on obtient la courbe de la fig 1.8. C'est pour un décalage de 7 à 8 que la suite décalée a la plus grande dissemblance avec elle-même.



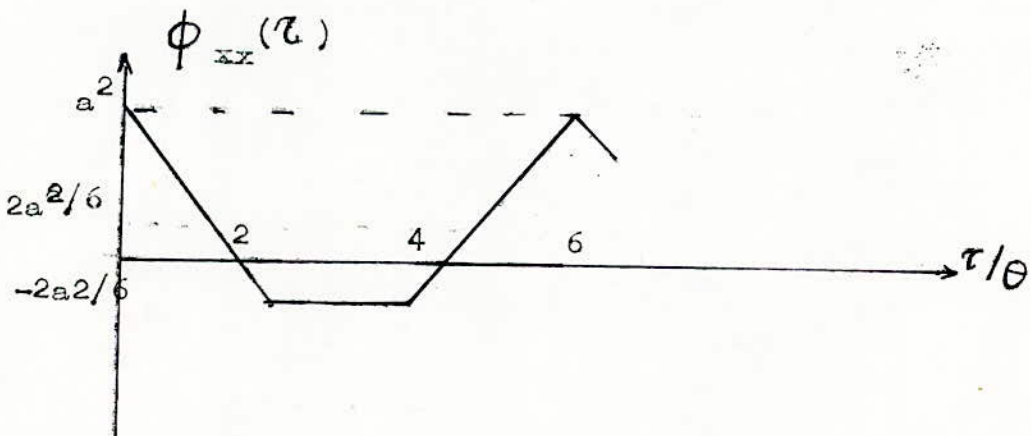
Exemple 2 :

Considérons maintenant la suite 111001 de longueur 6 (c'est la séquence de l'exemple 1 fig.1.2).

Cette suite est une séquence pseudo-aléatoire de longueur non maximale.

Voyons sa fonction d'autocorrélation.

Un raisonnement analogue à celui de l'exemple 1 donne la courbe de la fig. 1.9.



Cette courbe montre que la fonction d'autocorrelation se réduit à un seul triangle à l'origine mais de largeur ± 2 périodes d'horloge.

Exemple 3 :

Nous allons, enfin, voir le cas d'une séquence binaire pseudo-aléatoire de longueur maximale 15 : 1 1 1 1 0 0 0 1 0 0 1 1 0 1 0 (c'est la suite de la séquence de l'exemple 2 fig 1.3.).

Le signal associé $S(t)$ est représenté fig.1.10.

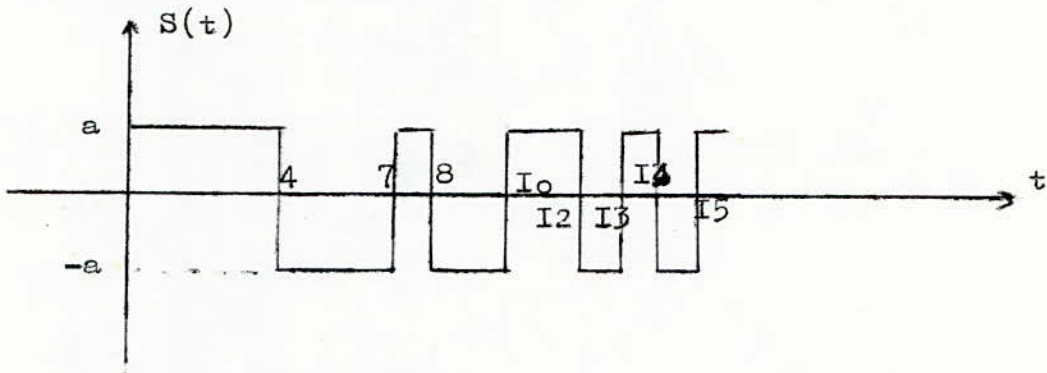


fig 1.10.

Corrélé avec lui-même, la méthode suivie précédemment permet d'obtenir la courbe fig. 1.11.

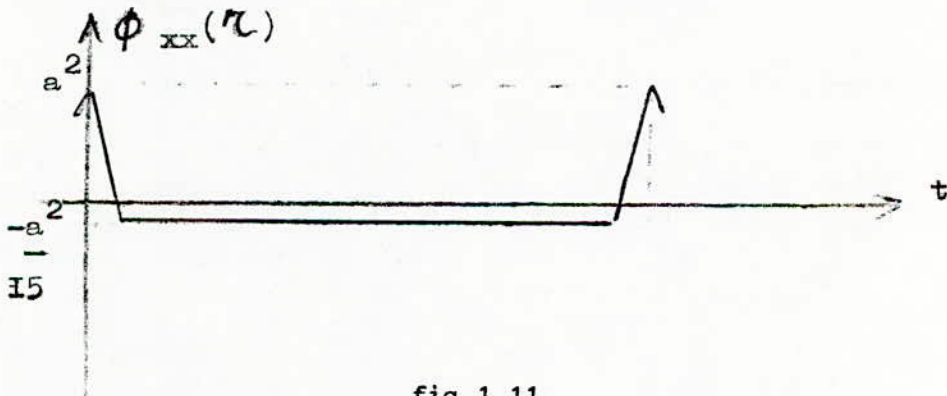


fig.1.11.

La séquence pseudo-aléatoire étudiée présente, comme toute les G . S . P . A . de longueur maximale, la particularité de posséder une fonction d'autocorrélation se rapprochant de l'impulsion de Dirac à l'origine, toute fois $\phi_{XX}(\tau)$ est périodique de période T.

Propriétés :

a - La valeur moyenne d'une S.B.P.A. de longueur maximale se calcule sur une période comme :

$$E(x) = \frac{1}{L} \sum_{i=1}^L x(i) = a/L.$$

Pratiquement, si L est assez grand, on néglige cette valeur et on considère que la séquence est centrée (c-à-d à valeur moyenne nulle).

B- On calcule l'autocorrélation sur une période d'une S.B.P.A de longueur maximale comme :

$$\phi_{XX}(\tau) = \frac{1}{L} \sum X(j) \cdot X(j+k) \begin{cases} a^2 & \text{si } k = nL \quad n \in \mathbb{N} \\ \frac{a^2}{L} & \text{si } k \neq nL \end{cases}$$

Si maintenant nous cherchons la valeur de la fonction de corrélation pour $k \in \mathbb{Z} \setminus (k+1)\mathbb{Z}$ deux cas sont à envisager :

si $k = 0$ alors

$$\phi_{XX}(\tau) = a^2 \left(1 - |\tau| \frac{L+1}{L} \right)$$

si $k \neq 0$ alors

$$\phi_{XX}(\tau) = - \frac{a^2}{L}$$

Les exemples 2 et 3 montrent qu'une S.B.P.A. de longueur maximale présente plus d'avantage que celle de longueur non maximale à savoir :

- la valeur moyenne diminue.
- la largeur du triangle à l'origine diminue aussi.

1.6.2. Densité spectrale d'une S.B.P.A.

La densité spectrale $\phi_{XX}(\omega)$ de la fonction $S(t)$ étant la transformée de Fourier de la fonction de corrélation, on peut écrire :

$$\phi_{XX}(\omega) = 2 \int_0^T \phi_{XX}(\tau) \cos \omega \tau \cdot d\tau.$$

La figure 1.12 donne la densité spectrale d'une S.B.P.A. de longueur maximale.

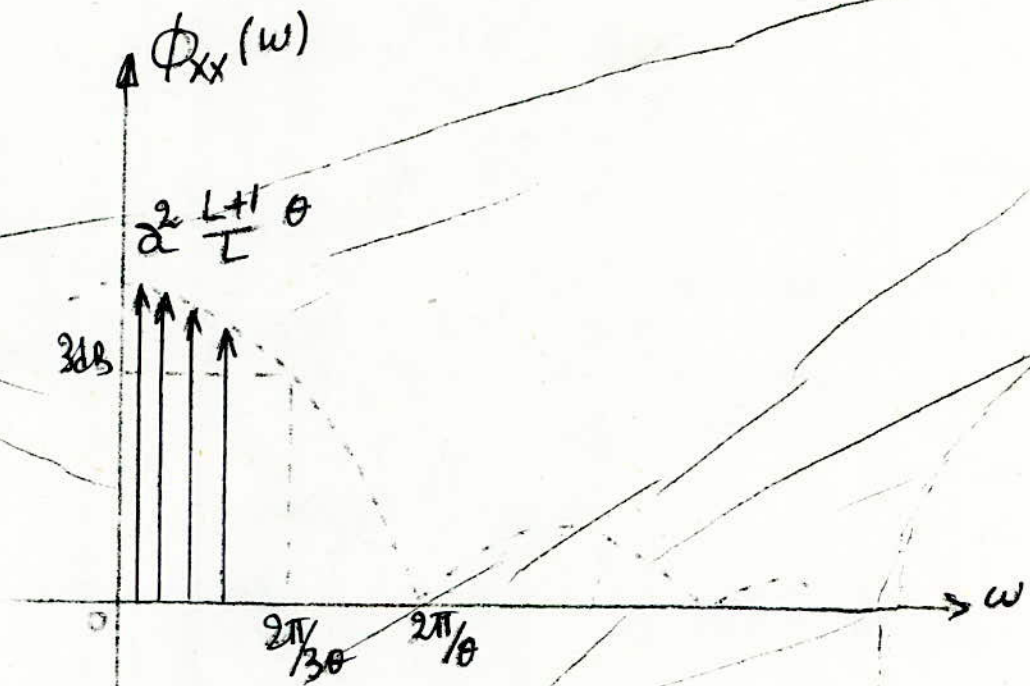


Fig 1.42.

On montre que si la composante $- a^2/L$ est faible ($L\theta$ suffisamment grand), la première fréquence peut-être aussi voisine de zéro qu'on le désire; on peut noter aussi que l'amplitude du spectre décroît de 3 dB pour $\omega = 2\pi/3\theta$ ainsi la séquence peut-être assimilée à un élément " bruit blanc " pour des fréquences allant jusqu' $1/3\theta$.

.../...

Chapitre II

Générateurs

Pseudo-Aléatoires.

2 . I . G . S . P . A . Simple.

2 . I . I . INTRODUCTION.

On a vu dans le chapitre qui précède qu'un registre à décalage avec une rétroalimentation convenable peut générer une source riche d'information. Nous verrons maintenant l'aspect pratique d'un tel générateur ; Puis nous donnerons comment réaliser un générateur multiréglé. Finalement nous traiterons le cas d'un G . S . P . A . dans lequel le nombre de bascules est ravigable.

2 . I . 2 G . S . P . A . Simple.

Le registre à décalage est construit à l'aide de bascules simples il suffit de relier les horloges entre elles et la sortie de l'une est connectée à l'entrée de la suivante.

l'élément de rétroaction linéaire, peut-être réaliser à partir d'un XOR où plusieurs suivant le nombre de bascules utilisées.

Par exemple : pour $h(x) = x^5 + x^2 + 1$

on a le schéma électrique suivant , de la fig. 2 . I . I

$S_0, S_1, S_2, S_3, S_4, S_5$: sont des S.B.P.A. de longueur $2^5 - 1 = 31$.

Remarque :

Une méthode très efficace consiste à utiliser un compteur linéaire à l'envers c-a-d à permuter le rôle du D,A et les digits intermédiaire B,C pour 4 bits les états successifs sont les suivants.

0 0 0 0 - 1 0 0 0 - 0 1 0 0 - 1 0 0 0 etc... soit en décimal

0,8,4,2,10,6,16,1,9,5,13,3,11,7,15,0.

on remarque que l'état 0 0 0 0 figure.

2 . I . 3 . Générateur multiréglé.

Soit le cas de figure. 2I2.

Ce circuit est réalisé à partir de 2 G . S . P . A simple, l'un de longueur L_p l'autre de largeur L_p .

Si on réalise la détection d'une séquence L_p et d'une autre L_p , le résultat est une autre séquence mais de longueur L_{pq}

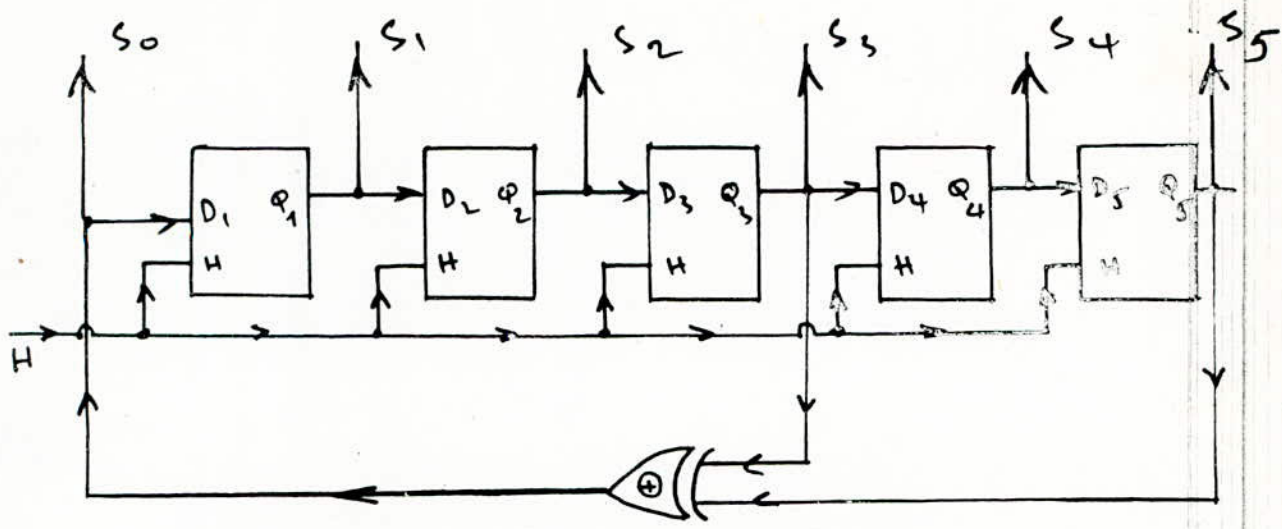


Fig. 2.1.1

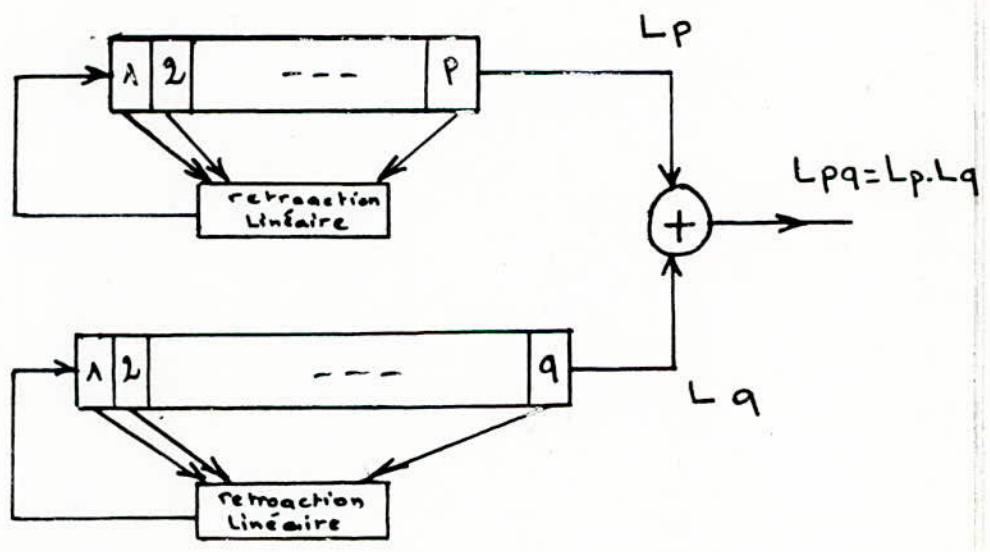


Fig. 2.1.2.

égale au produit des 2 longueurs.

$$\text{soit } L_{pq} = L_p L_q.$$

remarque :

si L_q et L_p étaient de longueur maximale

$$\text{c-a-d } L_p = 2^p - 1 \text{ et } L_q = 2^q - 1$$

$$\text{alors } L_{pq} = (2^p - 1)(2^q - 1) = 2^{p+q} - 2^q - 2^p + 1$$

par contre si on utilise un seul registre de $p+q$ étages, la longueur maximale sera :

$$L_{p'q} = 2^{p+q} - 1$$

on constate que $L_{p'q} > L_{pq}$

2 . I . 4 . G . S . P . A . a étages variable.

Ce générateur pulse des séquences de longueur maximale.

Ces dernières peuvent-être varier selon le nombre d'étage utilisé.

On a conçu un générateur allant de 4 à 16 étages.

A chaque nombre d'étages on affecte le polynôme primitif correspondant dont le but d'obtenir des séquences de longueur maximale.

Le schéma est donné fig. 2.I.3.

Les commutateurs sont du type CD 4016 c . CD 4066 c-à-d. chaque interrupteur possède une entrée, une sortie et une commande qui le met soit à l'état passant, soit à l'état bloqué.

Voyons maintenant la constitution du transcodeur.

soient C_2 ---- C_{16} les sorties, N_4 , ---- N_{16} les entrées.

Il faut donc exprimer la sortie en fonction de l'entrée
d'après le tableau II donné au chapitre I on tire le tableau 2.I.I.
qui correspond à :

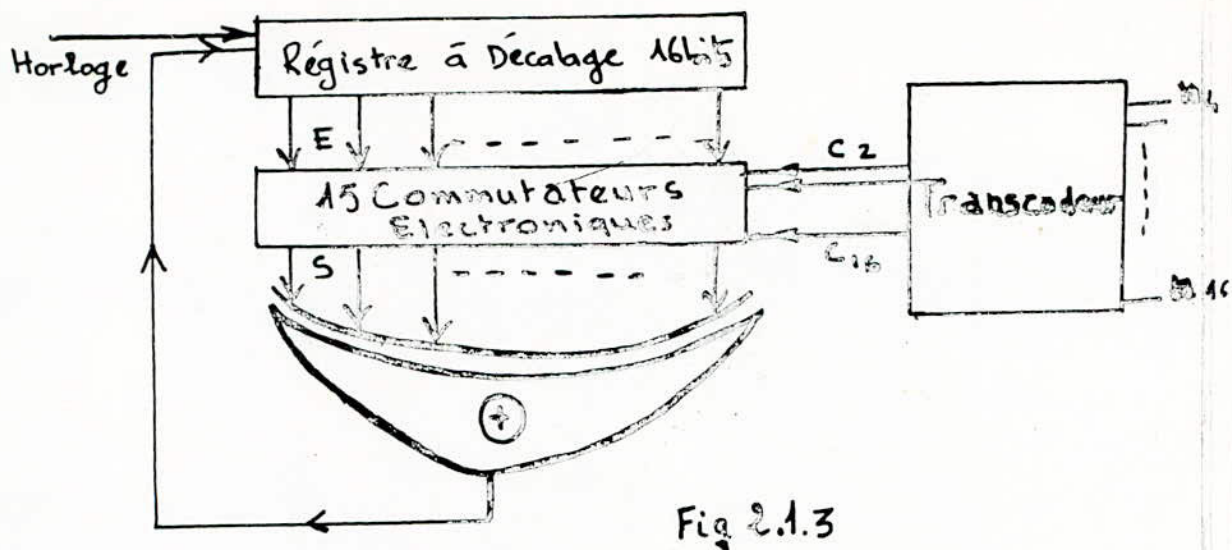


Fig 2.1.3

Sortie Entrée	C ₂	C ₃	C ₄	C ₅	C ₆	C ₇	C ₈	C ₉	C ₁₀	C ₁₁	C ₁₂	C ₁₃	C ₁₄	C ₁₅	C ₁₆
n ₄	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
n ₅	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0
n ₆	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0
n ₇	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0
n ₈	1	1	0	0	0	1	1	0	0	0	0	0	0	0	0
n ₉	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0
n ₁₀	0	0	0	0	0	1	0	0	1	0	0	0	0	0	0
n ₁₁	0	0	0	0	0	0	0	1	0	1	0	0	0	0	0
n ₁₂	0	0	0	1	0	0	1	1	0	0	1	0	0	0	0
n ₁₃	0	0	0	0	0	0	0	1	1	0	1	1	0	0	0
n ₁₄	1	1	0	0	0	0	0	0	0	0	0	1	1	0	0
n ₁₅	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0
n ₁₆	0	0	0	0	0	0	0	0	0	1	0	1	1	0	1

tableau 2. 1.1

$$C_2 = n_8 + n_{I4}$$

$$C_3 = n_4 + n_5 + n_8 + n_{I4}$$

$$C_4 = n_4$$

$$C_5 = n_5 + n_6 + n_9 + n_{I2}$$

$$C_6 = n_6 + n_7$$

$$C_7 = n_7 + n_8 + n_{I0}$$

$$C_8 = n_8 + n_{I2}$$

$$C_9 = n_9 + n_{II} + n_{I2} + n_{I3} + n_{I4}$$

$$C_{I0} = n_{I0} + n_{I3}$$

$$C_{II} = n_{II} + n_{I6}$$

$$C_{I2} = n_{I2} + n_{I3}$$

$$C_{I3} = n_{I3} + n_{I4} + n_{I6}$$

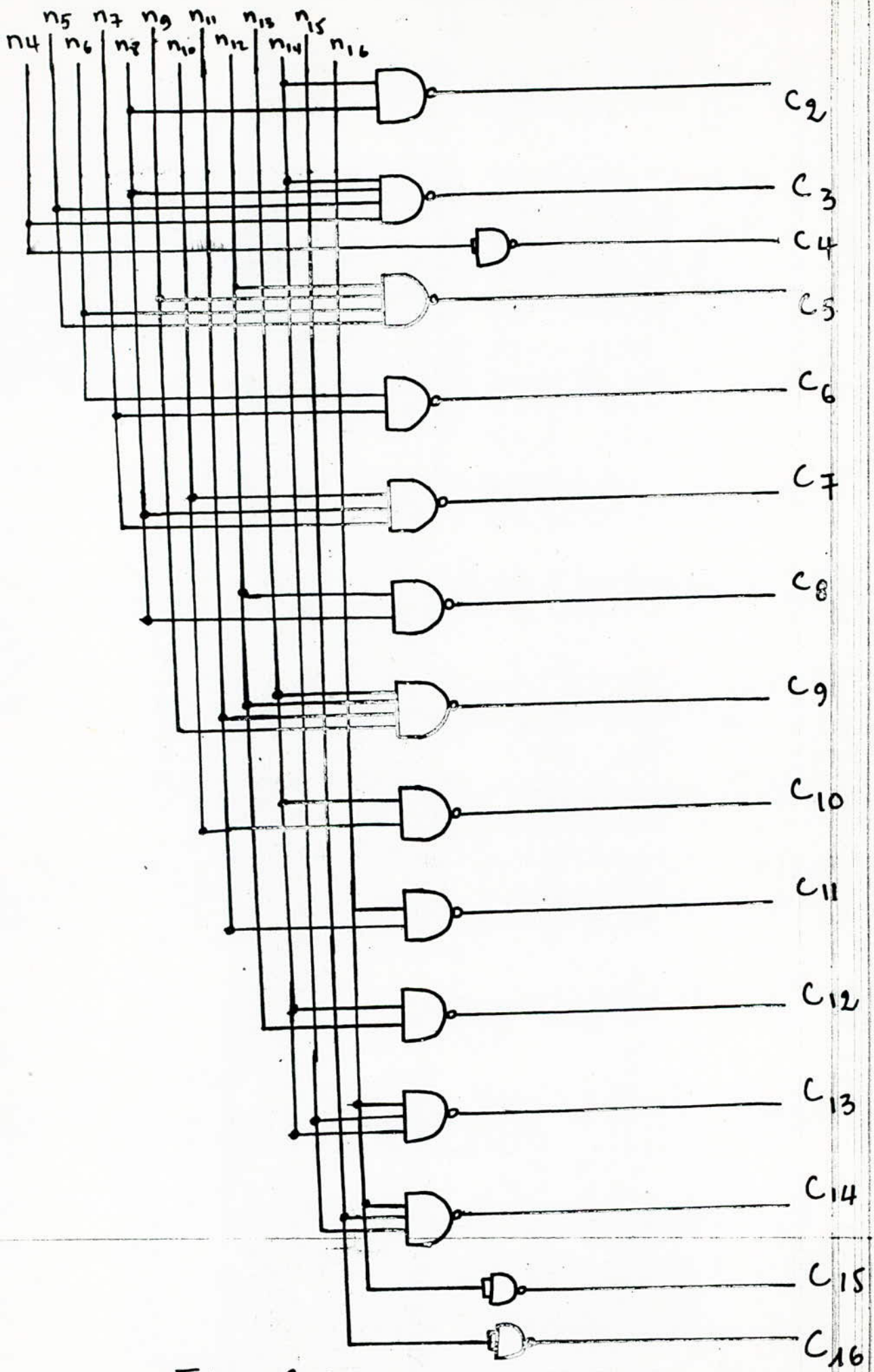
$$C_{I4} = n_{I4} + n_{I5} + n_{I6}$$

$$C_{I5} = n_{I5}$$

$$C_{I6} = n_{I6}$$

Le schéma électrique du transcodour est donné fig.2I4
Pour choisir un générateur de n_i étages ,il suffit de
mettre l'entrée du transcodour correspondante à l'état bas .

Remarque: On peut avoir d'autre configurations donnant
un G.S.P.A. d'étage variables .



- Fig. 2.1.4 -

245. Application :

Les S.B.P.A. , connus depuis longtemps , ont été utilisés dans plusieurs domaines .

En général, elles sont utilisées comme signaux de tests, vu qu'elles présentent plusieurs propriétés importantes

Ce type de signaux numériques a d'abord été utilisé dans les systèmes de communications digitaux puis plus récemment lors de l'identification des systèmes industriels ainsi que dans le domaine de détection des erreurs dans les circuits logique .

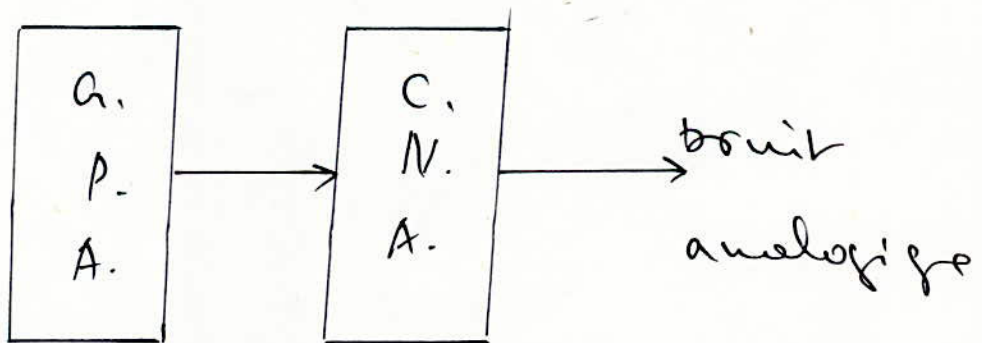
245.I. Génération de bruit :

"Fabriquer" du bruit n'est toujours facile, il est plus pratique d'avoir à créer une entrées déterministe.

une telle entrées existe , c'est les S.B.P.A..

On peut à l'aide de ces dernières, générer un bruit analogique dont le spectre est constant en basse fréquence et limité du côté des haute fréquences .

Le schéma de principe est donné fig .2.3.I



La conversion peut être réaliser à partir d'un filtre passe bas , pourvu que la bande passante du filtre soit beaucoup plus petite que la fréquence d'horloge .

2.2 G . S . P A C :

2.2. I. INTRODUCTION :

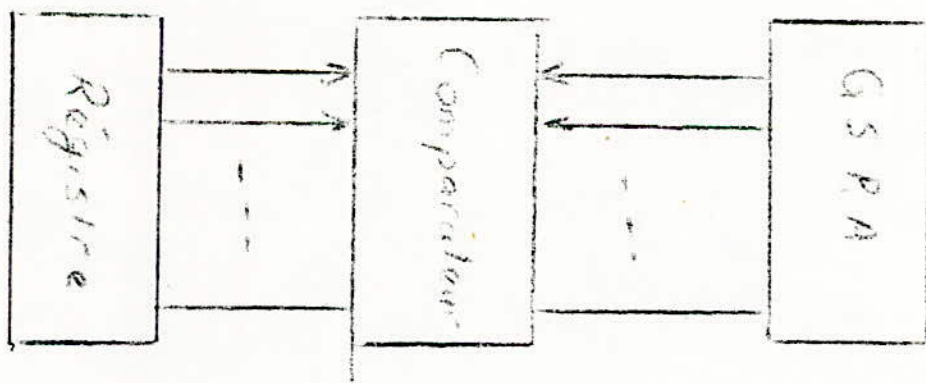
Un générateur P.A. simple nous génère ~~des~~ séquences dont la probabilité des " 1 " et des " 0 " est égale à 0,5 comme on l'a vu précédemment.

Dans cette partie, nous allons essayer de réaliser un générateur pseudo-aléatoire dans lequel la séquence générée est commandée c-à-d que la probabilité des " 1 " à la sortie est variable selon notre choix.

2.2.2. Principe de Base :

Le principe de la commandabilité est basé sur un comparateur qui compare le mot venant du G . P . A . simple et un autre mot venant d'un registre, et ce dernier peut être varier à volonté, et nous renseigne sur le nombre de " 1 " dans la séquence générée.

Le schéma de principe est donné par la fig. 2.2.I.



fig; 2.2.I.

.../...

Donnons un tableau résumant le fonctionnement d'un tel

dispositif :

Sortie $A \leq B$

Entrée (S.P.A.)	0000	0100	1000	1100	1111
1000	0	0	1	1	1
0100	0	1	1	1	1
0010	0	1	1	1	1
1001	0	0	0	1	1
1100	0	0	0	1	1
0110	0	0	1	1	1
1011	0	0	0	1	1
0101	0	0	1	1	1
1010	0	0	0	1	1
1101	0	0	0	0	1
1110	0	0	0	0	1
1111	0	0	0	1	1
0111	0	0	1	1	1
0011	0	1	1	1	1
0001	0	1	1	1	1
Nbre 1^*	0	4	8	12	15
$P(1)$	0	0,2667	0,5333	0,8	1

Pour que le nombre de " 1 " soit bien le mot d'entrée B dans la séquence générée, il suffit de réaliser ces conditions :

Si $A \leq B$ alors " 1 " apparait à la sortie du comparateur

Si $A > B$ alors " 0 " apparait à la sortie du comparateur.

Montrons ceci par un exemple :

soit un schéma de la fig. 2.2.2.

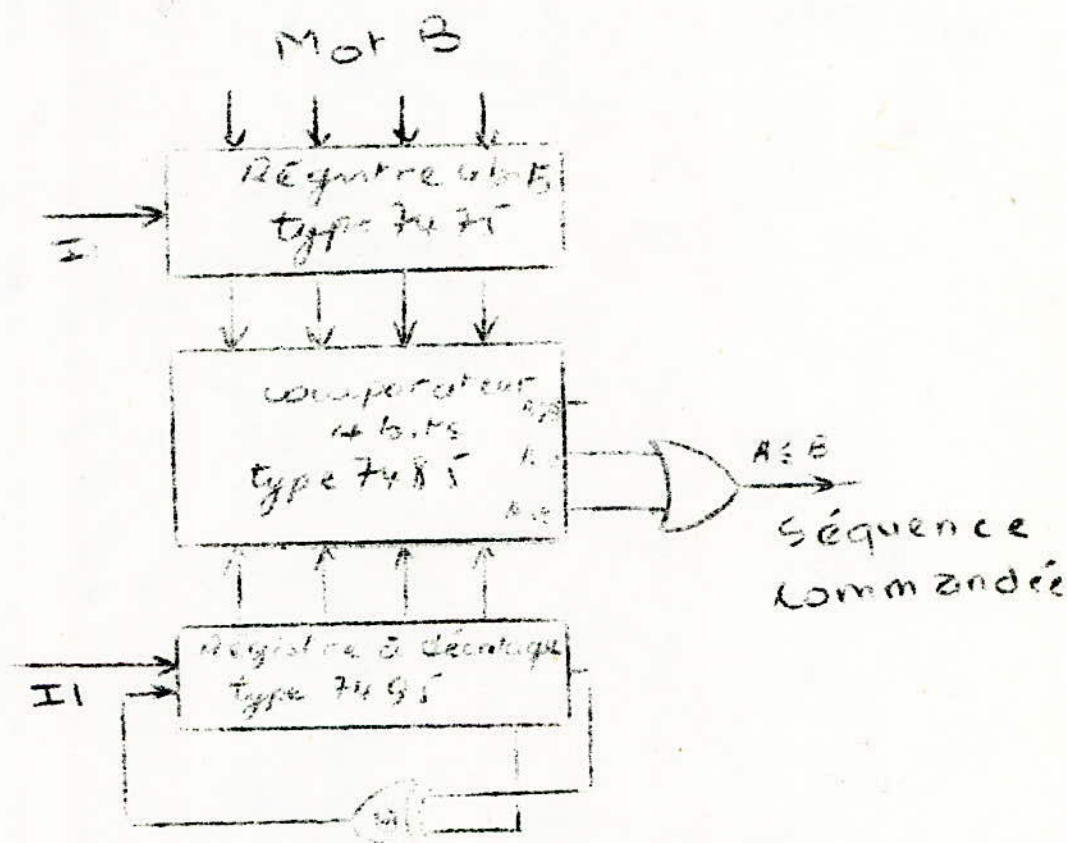


Fig. 2.2.2.

On remarque dans l'exemple précédent que les probabilités des " I " sont légèrement supérieures à celles indiquées par le mot B, cela vient du fait que la combinaison 0 0 0 0 n'apparaît pas dans les mots générés par le G . S . P . A .

Par contre, si on prend un G . S . P . A . de m bits, dans lequel on exploite seulement p bits (avec $p < m$) pour la comparaison, et en prenant uniquement la sortie A B du comparateur, on remarquera que ces probabilités sont légèrement inférieures mais qu'ils tendront de plus en plus vers la probabilité voulue lorsque $m - p$ devient faible. (voir réalisation).

Chapitre III

Etude et Réalisation d'un
Générateur de séquences
Pseudo-Aléatoires à plusieurs
Sorties Commandés.

INTRODUCTION :

La civilisation change et se développe dans les années, et elle utilisera de plus en plus des équipements plus sophistiqués et plus perfectionnés suivant l'exigence de la vie courante et avec elle les appareils de jadis deviennent moins efficaces, donc il faut toujours chercher et concevoir des appareils de test plus efficaces et qui répondent aux exigences et contraintes demandées.

Maintenant où est apparu l'ordinateur et les éléments logiques, il est fastidieux et s'avère impossible pour un ingénieur chargé de la maintenance d'utiliser les procédés conventionnels de dépannage tels que voltmètres et oscilloscopes : disposant de relativement peu de points de tests, du fait de la très grande densité d'intégration des circuits, il se trouve confronté avec des configurations de données numériques longues et complexes.

Donc il faut concevoir des appareils qui puissent faire le contrôle automatiquement et pendant un temps très bref.

Notre générateur à plusieurs sorties commandable qu'on a réalisé, consiste à générer des mots pseudo-aléatoirement qui par la suite seront utilisés pour le diagnostic des pannes dans les circuits numériques.

.../...

3.1. Position du Problème :

Notre générateur peut être facilement réaliser à partir de plusieurs G . S . P . A . commandables à une seule sortie n (comme celui étudié dans le Chapitre 2), Dans le but d'avoir plusieurs sorties indépendantes de probabilité variable utilisant par conséquent un nombre de matériels importants ce qui présente un encombrement non négligeable et un prix élevé.

Or, il existe un moyen plus rentable, qui permet à l'aide d'un seul G . S . P . A . commandable de répondre aux exigences demandées.

Notre appareils, délivre à ses sorties des séquences numériques de probabilité variable selon l'utilisateur et ceci d'une façon indépendante c-à-d. qu'on peut changer le nombre de " 1 " de chaque sortie d'une manière indépendante des autres.

.../...

3.2. Etude et réalisation :

Le schéma synoptique est donné figure 3.2.1. et figure 3.2.2.

Comme on peut le remarquer, notre générateur peut être subdiviser en 4 parties :

- G . S . P . A . Commandé à une seule sortie.
- Synchronisation.
- Sélection.
- Commande.

3.2.1. G . S . P . A . Commandé :

Ce générateur est basé sur le même principe que celui vu dans le chapitre précédent.

Le registre à décalage a été réalisé par le circuit intégré S N 7 4 L S 194 (fig 3.2.3).

Si $S_0 = " 1 "$ (broche 9) et $S_1 = " 0 "$ (broche 10). On réalise un décalage à droite du mot présent sur la sortie dès le premier front montant de l'horloge.

Le circuit intégré SN 74LS86 (fig 3.2.4.) définit l'élément de contre réaction (c-à-d l'addition modulo 2).

Le G ... S . P . A seul, délivre des séquences qui vérifient les propriétés citées dans le chapitre 1 à savoir.

$$P (0) = P (1) = 1/2.$$

Pour un registre à décalage de 15 bits, la longueur des séquences est de $L = 2^{15} - 1 = 32767$.

On a choisi 15 bits pour 2 raisons.

- La rétroaction ne demande qu'une seule porte ou exclusif.
- La longueur des séquences obtenues est considérable.

Cette dernière est primordial comme on va le voir tout de suite.

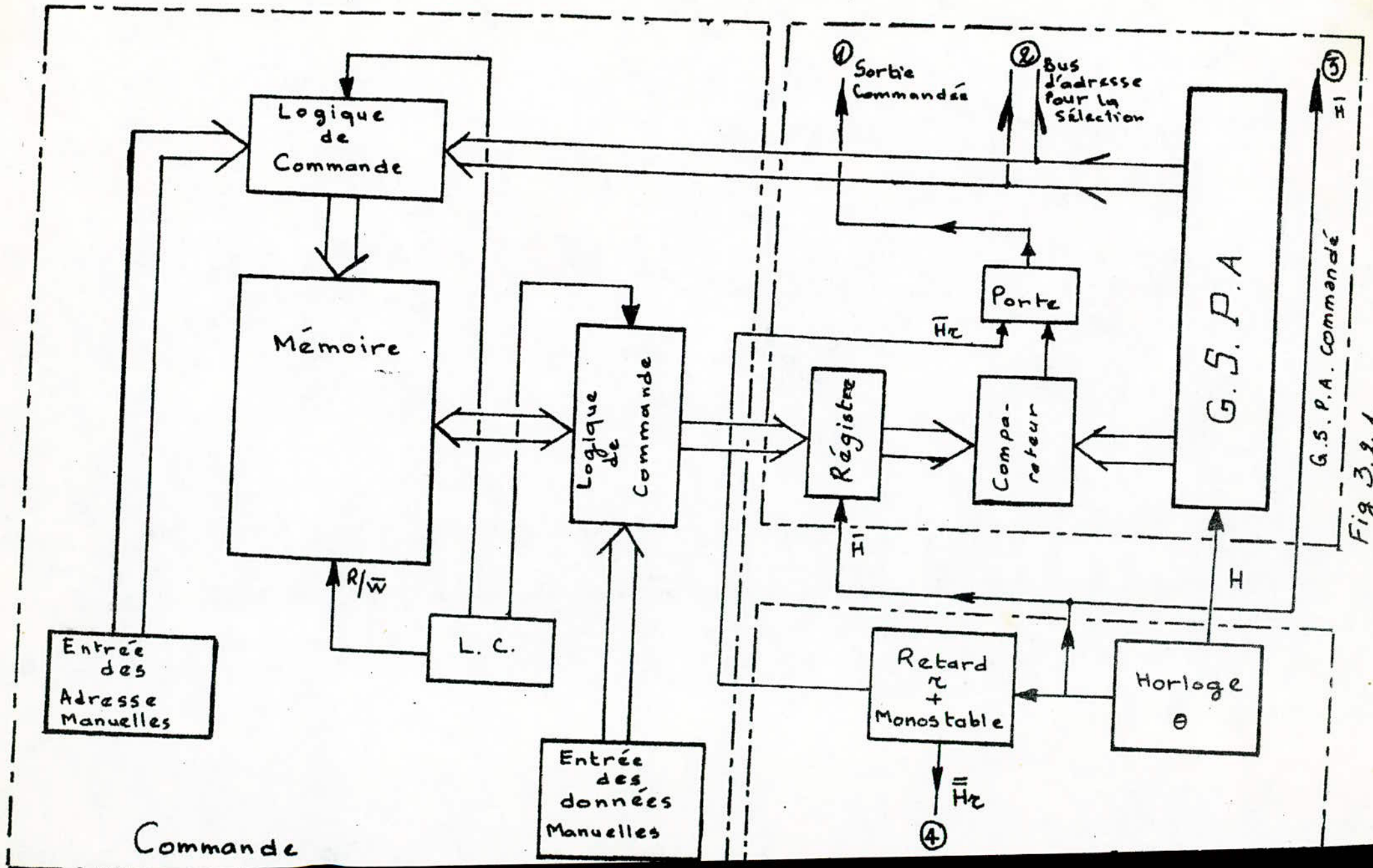


Fig 3.2.1.

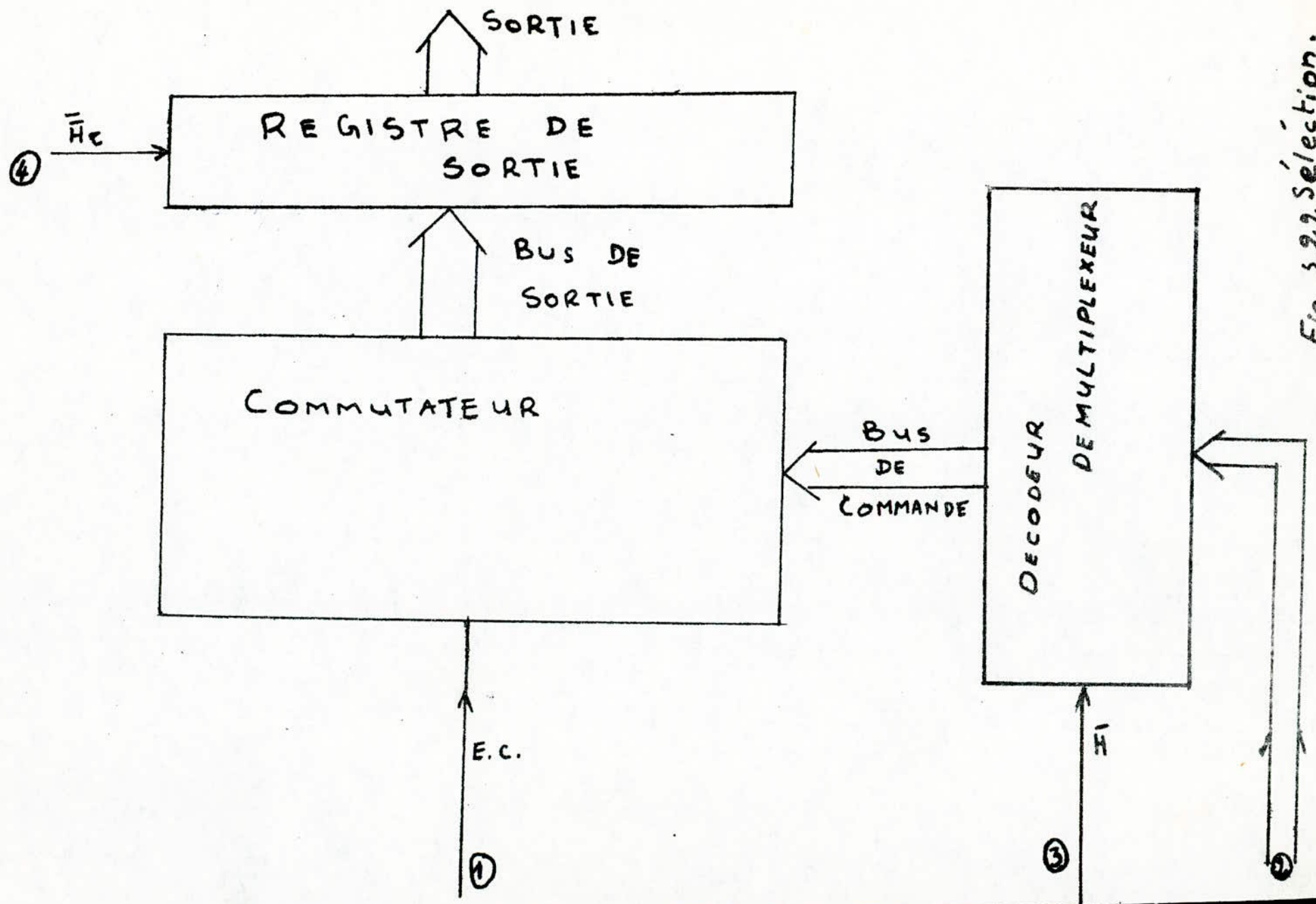
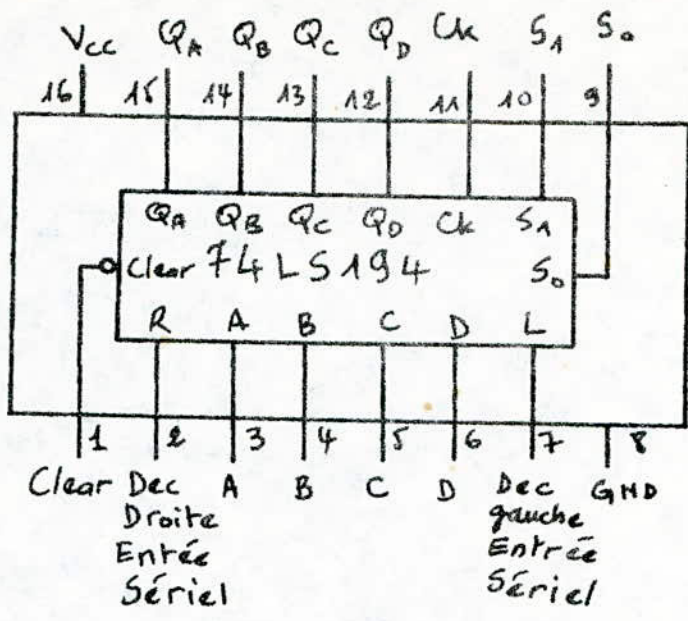


Fig. 5.2.2. Sélection.



Entrées					Sorties								
Clear	Mode		Clock	Sériel		Parallel							
	S ₀	S ₁		D.	G.	A	B	C	D				
0	X	X	X	X	X	X	X	X	X	0	0	0	0
1	X	X	0	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}
1	1	1	↑	X	X	a	b	c	d	a	b	c	d
1	0	1	↑	X	1	X	X	X	X	1	Q _{An}	Q _{Bn}	Q _{Cn}
1	0	1	↑	X	0	X	X	X	X	0	Q _{An}	Q _{Bn}	Q _{Cn}
1	1	0	↑	1	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	1
1	1	0	↑	0	X	X	X	X	X	Q _{Bn}	Q _{Cn}	Q _{Dn}	0
1	0	0	X	X	X	X	X	X	X	Q _{A0}	Q _{B0}	Q _{C0}	Q _{D0}

Brochage et table de fonction du circuit intégré SN 74LS194

Fig 32.3

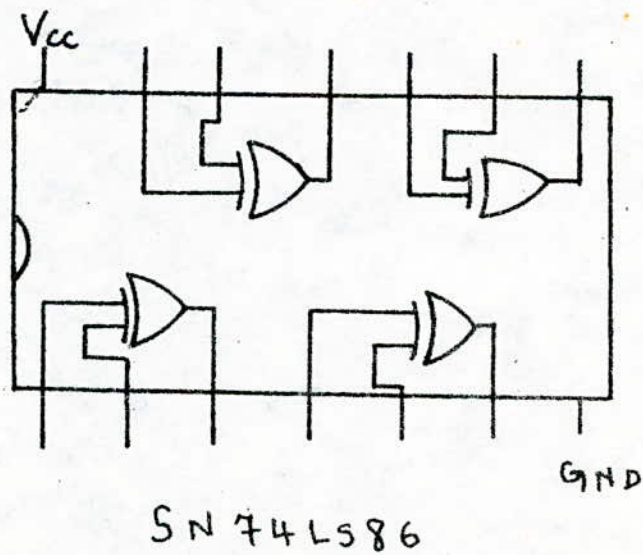
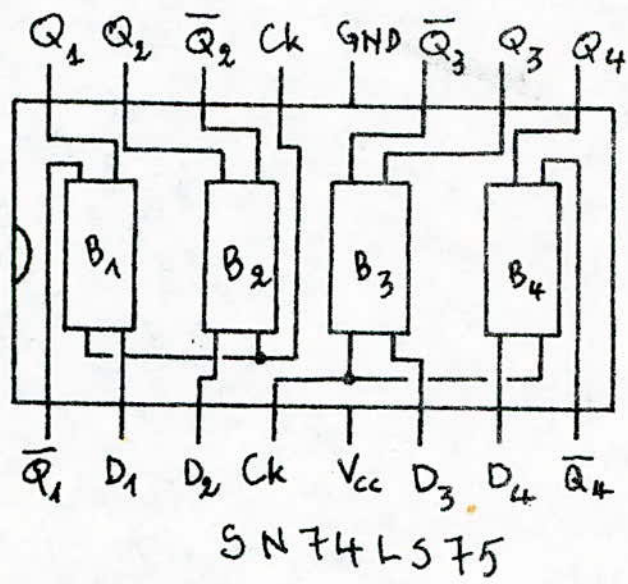
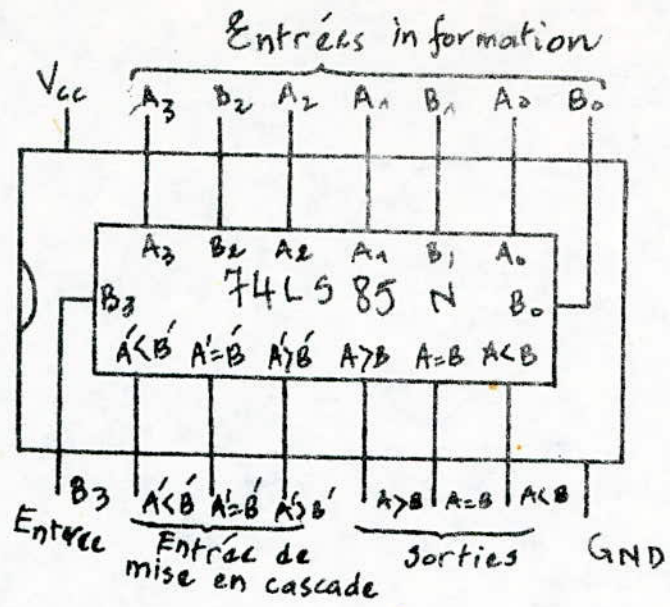


Fig 3.2.4

Si on prend par exemple un G . S . P . A . à 4 bits on aura les combinaisons suivantes :

0 0 0 1
1 0 0 0
0 1 0 0
0 0 1 0
1 0 0 1
1 1 0 0
0 1 1 0
1 0 1 1
0 1 0 1
1 0 1 0
1 1 0 1
1 1 1 0
1 1 1 1
0 1 1 1
0 0 1 1

Dressons un tableau donnant le nombre du mot zéro et des mot différent de zéro en fonction du nombre des bits pris.
(voir tableau 3.2.1.).

Avec un raisonnement analogue on peut généralisé à un G.S.P.A. à N bits (voir tableau 3.2.2.).

Comme le nombre de séquence i à prendre en considération est pris suivant le besoin, il faut donc prendre N assez grand pour que le mot zéro apparait autant de fois que les autres mots, autrement dit le rapport du nombre d'apparition du mot zéro sur celui de n'importe quel autre mot différent de zéro tend vers l'unité.

On constate bien que :

$1/2$ $3/4$ $127/128$... $2^{p-1}/2^p$

suivant le nombre d'étages.

Nbre de séquences prises	Apparition du nbre 0	Apparition des mots \neq de zéro
4	0	1
3	1	2
2	3	4
1	7	8

tableau 3.2.1.

Nbre de bits pris	Apparition du nbre zéro	Apparition des mots \neq de zéro
n	$0 = 2^0 - 1$	$1 = 2^0$
$n-1$	$1 = 2^1 - 1$	$2 = 2^1$
$n-2$	$3 = 2^2 - 1$	$4 = 2^2$
⋮	⋮	⋮
⋮	⋮	⋮
⋮	⋮	⋮
$n-11$	$2047 = 2^{11} - 1$	$2048 = 2^{11}$
⋮	⋮	⋮
⋮	⋮	⋮
$n-p$	$2^p - 1$	2^p

avec $n > p$.

Tableau 3.2.2.

Pour notre cas, on a utilisé 4 bits du G . S . P . A . pour la combinaison et 4 autres bits pour l'adressage de la mémoire et la sélection.

Le schéma électrique du G . S . P . A . commandé est donné fig. 3.2.5.

Le comporateur 4 bits est réalisé à partir du circuit intégré SN 74LS 85 (fig 3.2.4.).

Le registre 4 bits à partir du circuit intégré SN 74LS (fig; 3.2.4.).

Le générateur fonctionne avec une fréquence d'horloge de 1 M H Z, c-à-d qu'a chaque impulsion d'horloge (front montant) on aura une nouvelle combinaison à la sortie, ce qui veut dire le G . S . P . A . garde chaque combinaison en mémoire pendant une période.

Les 4 bits choisis pour l'adressage de la mémoire et la sélection s'effectue d'une manière pseudo-aléatoire.

Selon l'adressage de la mémoire, cette dernière va liberer une donnée, qui n'est rien d'autre que la probabilité des " 1 ", qui va être présenter à la sortie du registre 4 bits à chaque impulsion d'horloge H.

On remarque qu'il se produit un certain retard entre le mot du G. S. P. A. et le mot venant de la mémoire.

Il faut donc synchroniser les 2 informations pour que la comparai-
-son s'effectue d'une manière corrécete c-à-d le 1er mot avec la 1er donné etc-----

Pour cela nous avons choisi la 2ème altérnance du signal d'horloge H appliqué au G . S . P . A . comme temps de comparaison.

Pour plus de clarté voir chronogramme de la fig 3.2.6.

On voit que, sans le signal H_r , la comparaison s'effectue d'une façon anormale du fait que le 2ème mot sera comparé avec le 1er donnée venant de la R A M, d'où pour palier cet inconvénient on a été amené à créé un autre signal H_r à partir de H, appliqué à une entrée d'une porte A N D dans laquelle l'autre entrée sera la sortie A E B du comporateur.

-41-

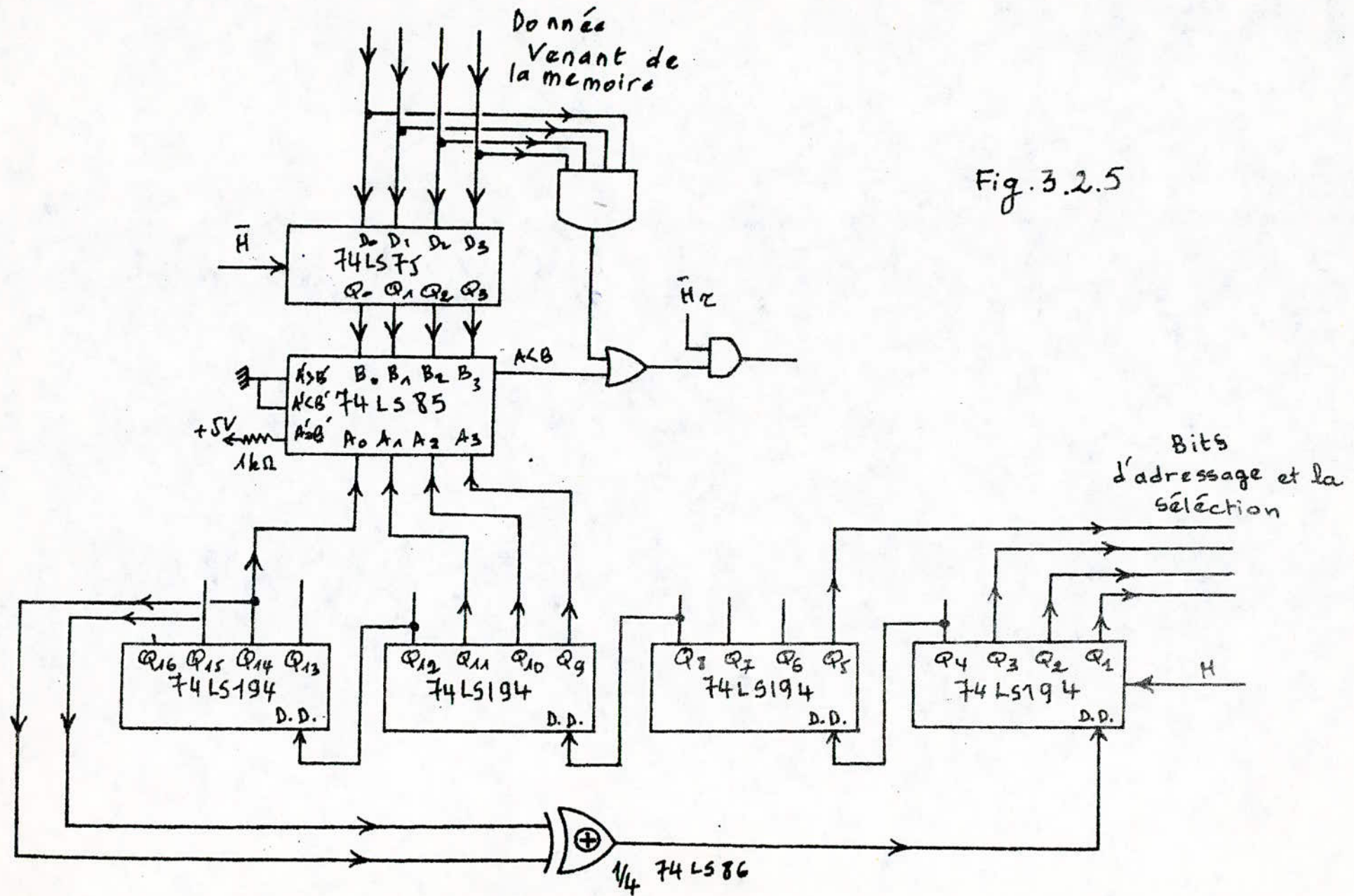


Fig. 3.2.5

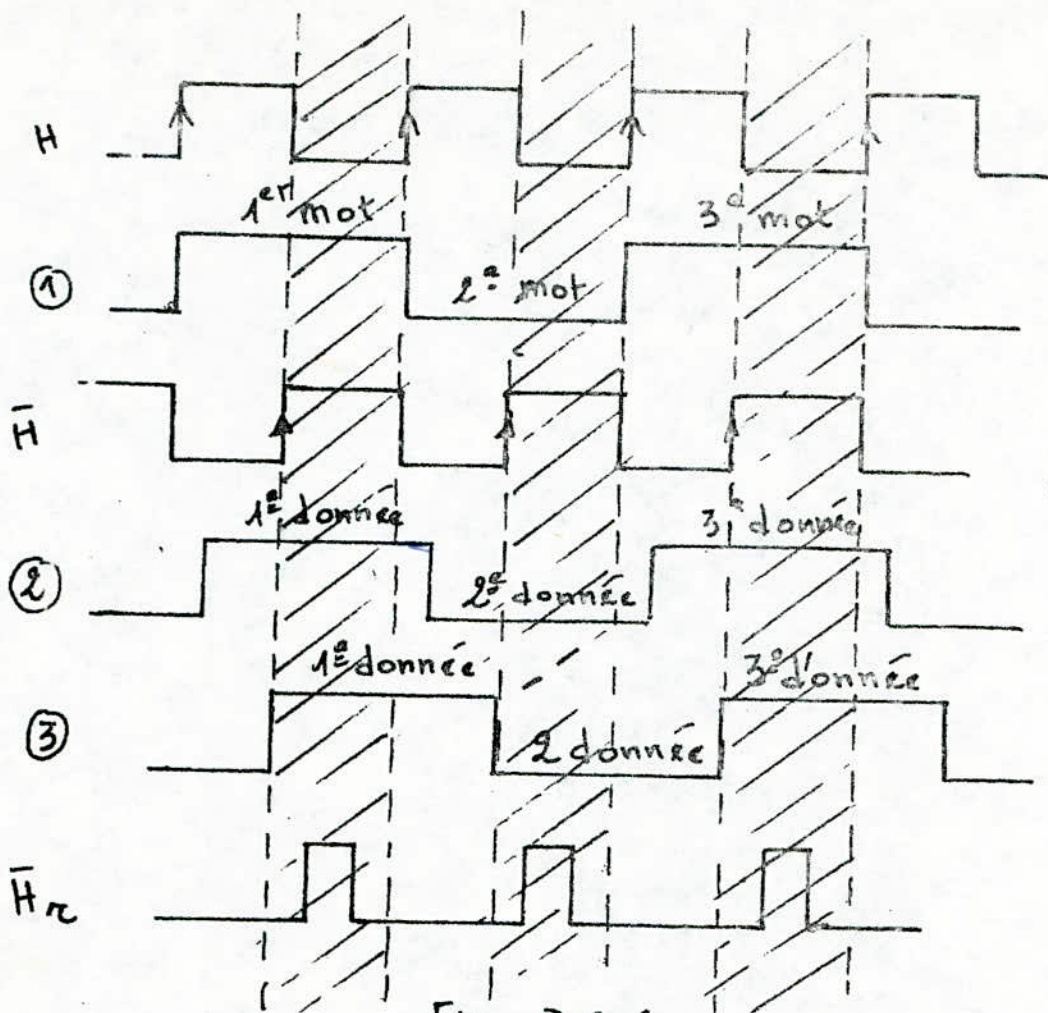


Fig. 3-2.6

La zone hachurée est l'intervalle où s'effectue la comparaison

① Représente la durée de chaque mot à la sortie du G.S.P.A. à la cadence de H

② Représente la durée de chaque donnée sortant de la mémoire

③ Représente la durée de chaque donnée à l'entrée du comparateur

Remarque :

Les niveaux haut et bas de ①, ② et ③ n'ont aucune signification, c'est juste pour distinguer 2 mots successifs.

3.2.2. Synchronisation :

Ce bloc nous génère des signaux qui mettent notre appareil en régime de fonctionnement optimal c-à-d aucune information utile ne se perde.

Les signaux \bar{H} et \bar{H} sont générés par l'hologe intégré 6 8 7 I A FIG. 3.2.7.

CETTE horloge dispose de plusieurs signaux en l'occurrence :

Broche 2 qui donne une sortie T T L de fréquence I M H Z .
(signal H).

Ce signal est appliqué au G.S.P.A.

Broche I2 qui délivre le même signal H, de même fréquence mais en technologie N M O S.

Ce signal est appliqué au décodeur démultiplexeur I parmi I6.

Broche 23 qui génère un signal H en version N M O S de même fréquence que H.

Ce signal sera appliqué au registre 4 bits et au double monostables.

Nous allons voir maintenant, comment générer le signal \bar{H}_r et \bar{H}_r à partir du signal H.

C'est avec un double monostable qu'on puisse réaliser \bar{H}_r car on a besoin à la fois de deux opérations, l'une effectuant le retard du signal, l'autre la réduction du palier.

On a choisi pour cela le circuit intégré SN 74LSI23 (fig. 3.2.8.).

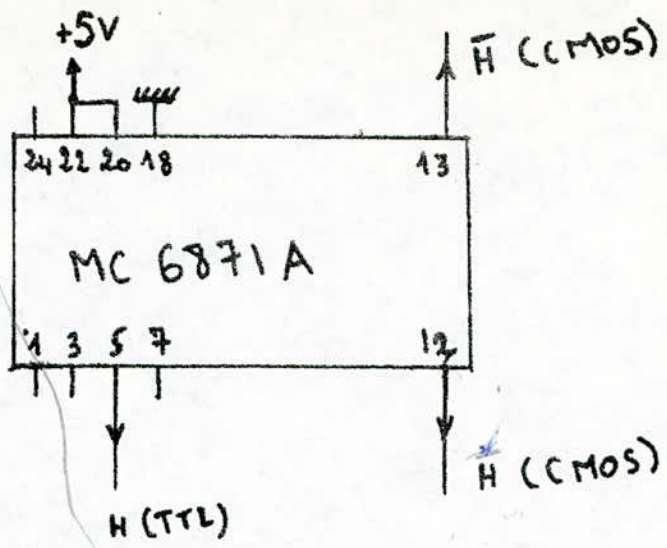
Ce circuit comprend en fait, 2 monostables identiques chaque élément ne comprend qu'une entrée A et une entrée B.

La durée de l'impulsion est définie par un circuit extérieur R.C après avoir été déclenché par un front.

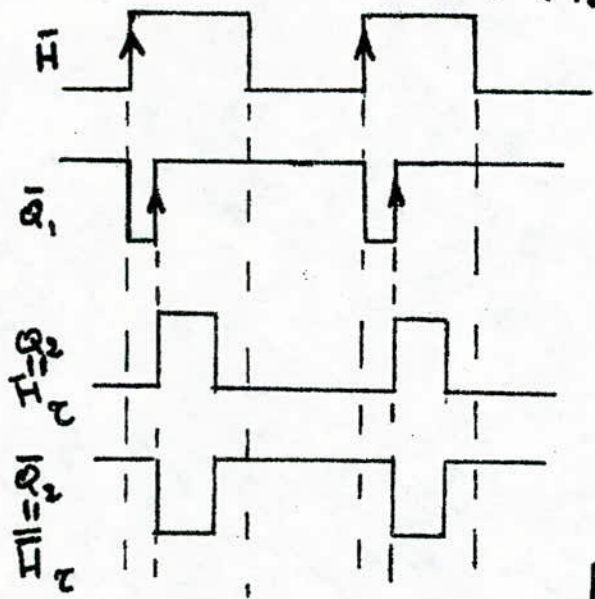
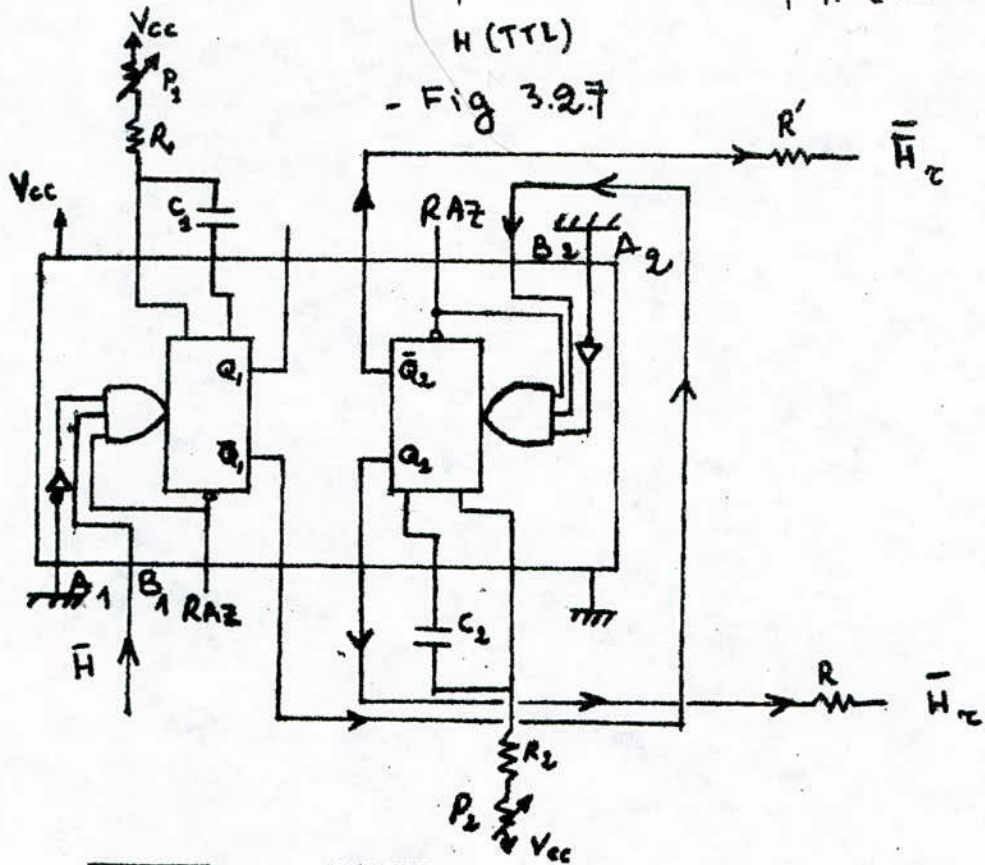
Le déclenchement a lieu pour un front négatif appliqué à l'entrée A où par un front positif appliqué à l'entrée B conformément à la table de vérité fig 3.2.8.

Le schéma adopté est donné fig 3.2.8.

Le signal H est appliquée à l'entrée B (déclenchement par un front montant).



- Fig 3.2.7



Entrées			Sorties	
A	B	RAZ	Q	\overline{Q}
0	1	1	0	1
1	1	1	1	0
x	x	0	0	1

Fig. 3.2.8.

R_1 , P_1 et C_1 ont été choisis de telle sorte que la durée de l'impulsion se réduit à 100 ns pour rattraper le retard dû à la comparaison.

R_2 , P_2 et C_2 ont été choisis pour une durée de 300 ns environ pourvu qu'elle ne dépasse pas les 400 ns. Si non on aura un chevauchement de 2 informations qui ne concorde pas.

Etant donné que les capacités utilisées sont inférieures à $1/nf$, il faut donc se référer aux caractéristiques donnant la durée en fonction de la capacité et des résistances.

On a pris :

$$R_1 = 3,9 \text{ K} \quad C_1 = 6,8 \text{ pF} \quad P_1 = 10 \text{ K}$$

$$R_2 = 10 \text{ K} \quad C_2 = 56 \text{ pF} \quad P_2 = 22 \text{ K}$$

Les ajustables P_1 et P_2 servent uniquement pour un ajustage correcte des durées.

Le chronogramme de la fig. 3.2.8. explique en détail le fonctionnement global de ce montage.

Enfin, les résistances R et R' , de 47 Ω chacune, servent pour protéger les sorties H_1 et H_2 contre les courts-circuits.

L'intérêt du signal H_1 sera vu par la suite (section 3.2.3.).

3.2.3. Bloc de sélection :

Ce bloc permet de sélectionner une sortie parmi 16 selon l'adresse présentée à son entrée.

Il comprend 3 parties (fig. 3.2.9.).

- Décodeur démultiplexeur 1/16.
- Commutateur.
- Régistre de sortie.

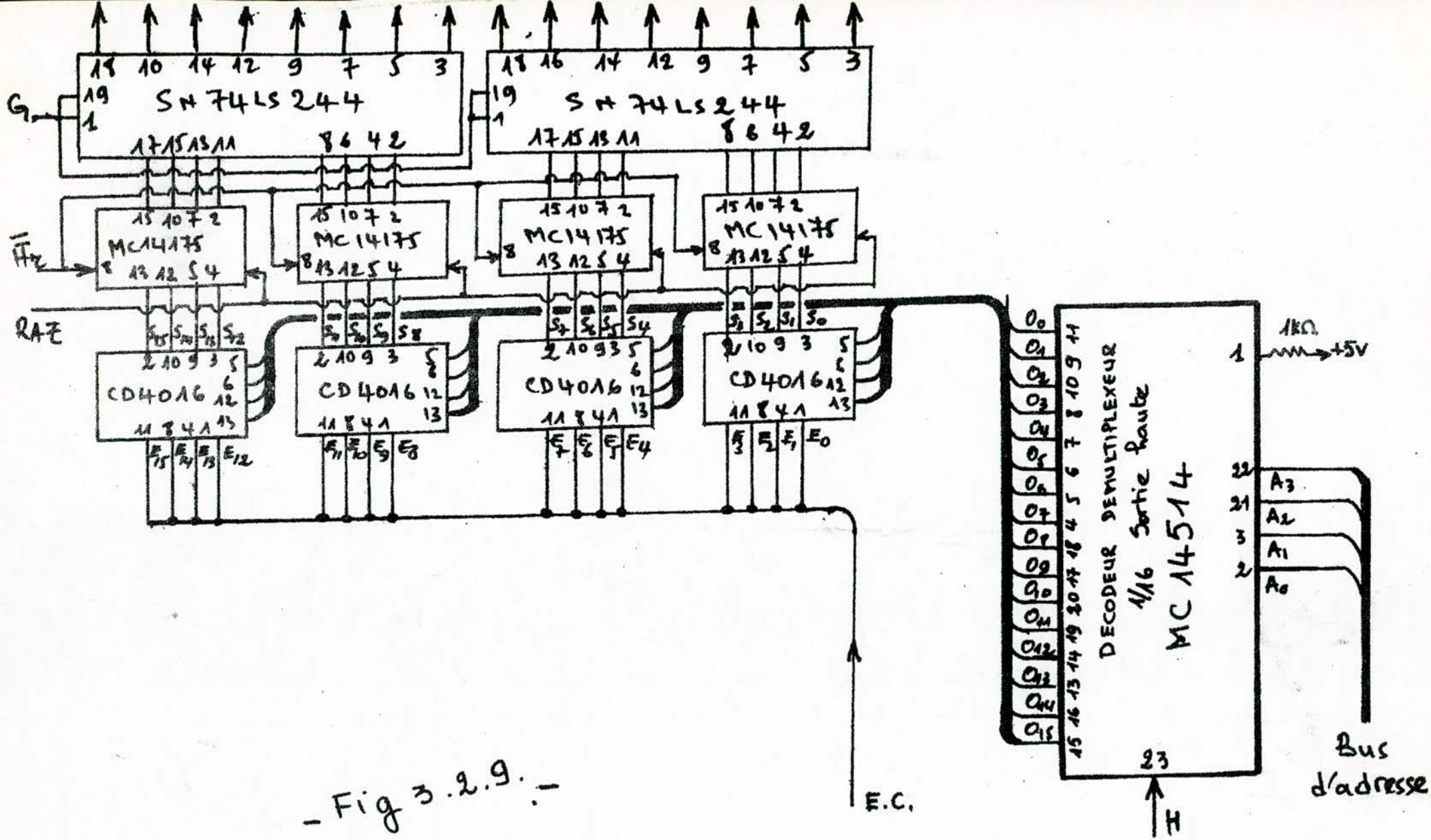
3.2.3.2. Décodeur démultiplexeur 1/16.

Il est réalisé à partir du circuit intégré CMOS le MC 14514 (fig. 3.2.1.0.).

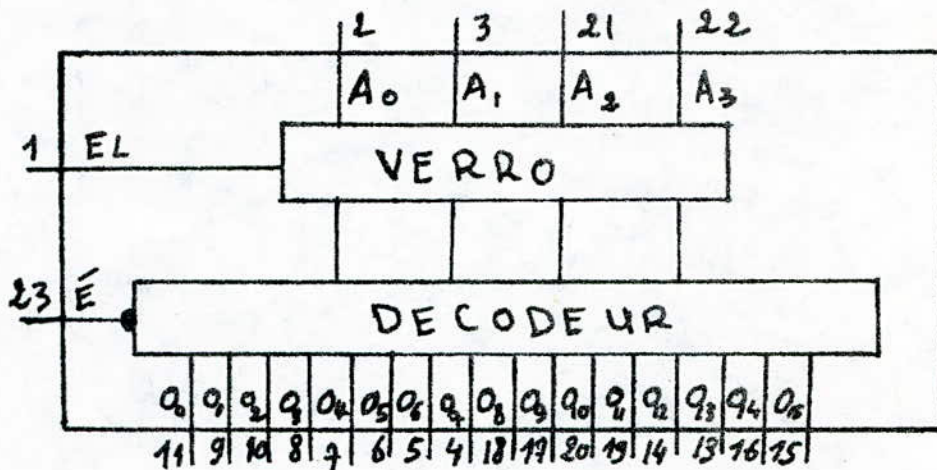
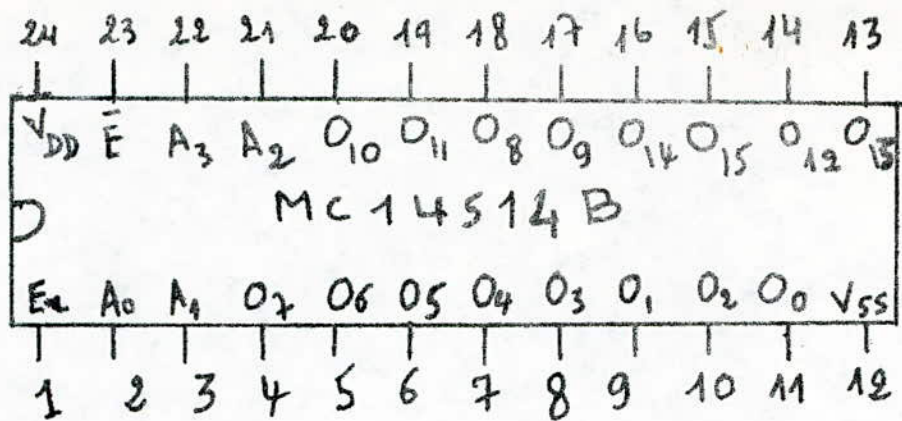
Ce circuit présente l'avantage de disposer de 2 entrées.

Une pour le verrouillage de l'adresse ($\bar{E}L$) et l'autre pour valider le décodage (\bar{E}).

.../...



- Fig 3.2.9. -



Entrées		Sorties															
\bar{E}	$A_0 A_1 A_2 A_3$	O_0	O_1	O_2	O_3	O_4	O_5	O_6	O_7	O_8	O_9	O_{10}	O_{11}	O_{12}	O_{13}	O_{14}	O_{15}
1	X X X X	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0 0 0 0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1 0 0 0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0 1 0 0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0 1 1 0 0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	0 0 0 1 0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1 0 1 0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	0 1 1 0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	1 1 1 0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
0	0 0 0 1	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	1 0 0 1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
0	0 1 0 1	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
0	1 1 0 1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
0	0 0 0 1 1	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
0	1 0 1 1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
0	0 1 1 1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
0	1 1 1 1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

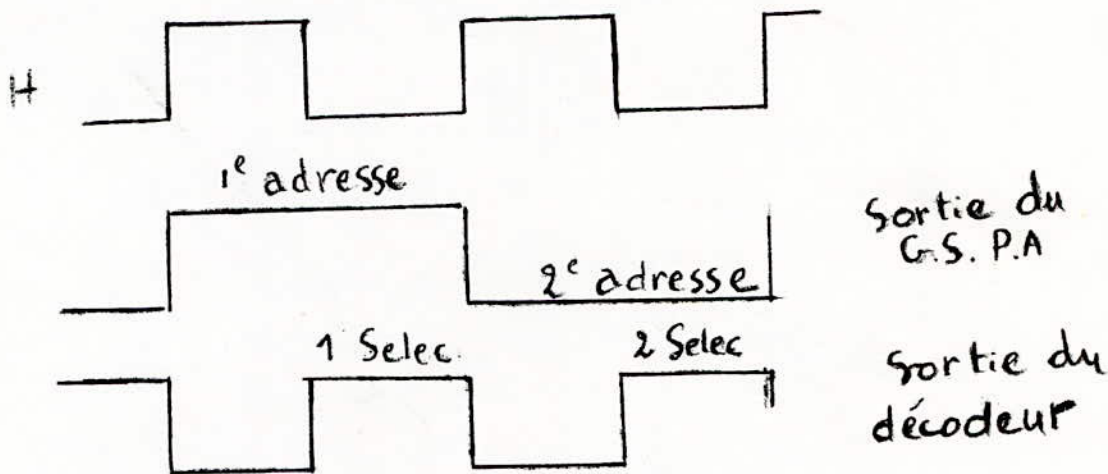
Fig 3.2.10.

Ce circuit présente également l'intérêt d'avoir la sortie sélectionnée à l'état haut et les autres à l'état bas conformément à la table de vérité donnée fig 3.2.I0.

Au niveau du commutateur, on aura deux informations qui arrivent il faut donc les synchroniser.

Pour cela on a appliqué à l'entrée de validation du décodeur (broche 23) le signal d'horloge H.

Ce signal permet de faire fonctionner le décodeur uniquement lorsqu'il est à l'état bas, d'où le chronogramme suivant :



On voit que cette information sera présentée à l'entrée commande du commutateur pendant 500 ns lorsque H passe de " 1 " à " 0 ".

Parallèlement on a vu que l'autre information (sortie commandée venant du comparateur) est présente elle aussi pendant cet intervalle de temps d'où on a bien synchronisation.

3.2.3.2. Commutateur :

Il est réalisé à partir du circuit intégré CMOS le CD 4016 (fig 3.2.II.).

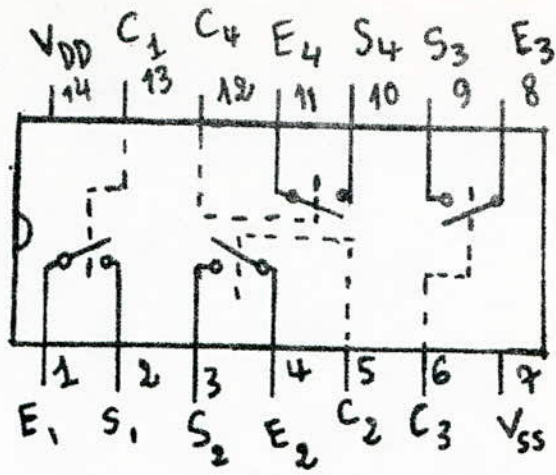
Ce boîtier contient en fait 4 commutateurs bidirectionnels dont chacun possède une entrée de commande d'ouverture ou de fermeture de cet interrupteur électronique .

Etant donné qu'on a 16 sorties, il nous faut donc 4 boîtiers CD 4016.

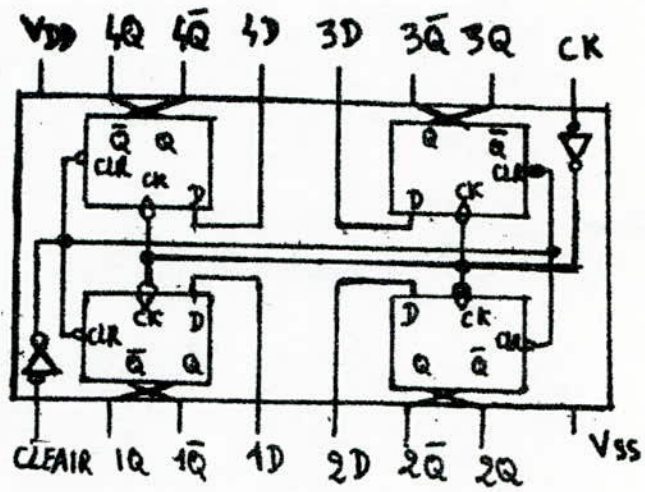
Les commandes sont reliées au décodeur.

Les entrées sont toutes reliées à la sortie commandée (fig 3.2.9.).

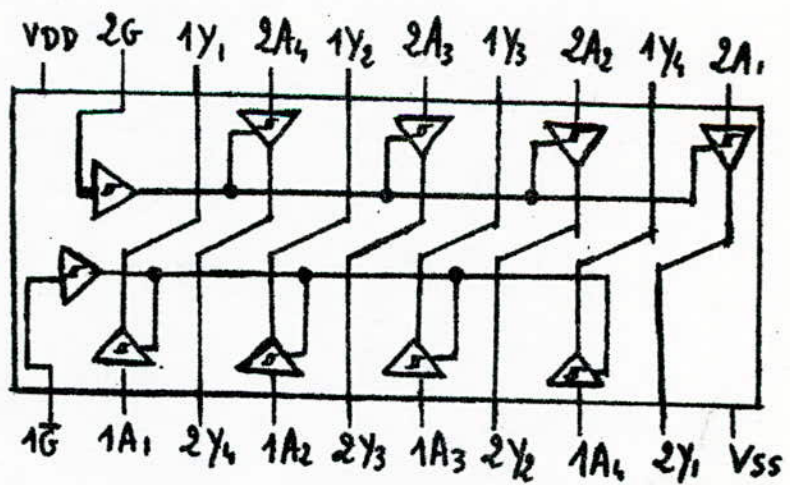
.../...



Brochage du CI CD4016



Brochage du CI MC14175.



Brochage du CI SN74LS244

Fig 3.2.11

Donc selon l'adresse présente à l'entrée du décodeur, on aura un seul commutateur qui va être fermer, les autres restent ouverts, et par la suite l'information à l'entrée sera récurérée à la sortie correspondante.

Et par ce procédé on aura, à chaque coup d'horloge, un seul état qui va être affecter à la sortie finale.

3.2.3.3. Régistre de sortie :

Ce régistre sert à garder en mémoire chaque mot pendant une période d'horloge.

Il est réalisé par le circuit intégré MC 14 175 (fig 3.2.22).

Ce circuit contient 4 bascules D synchronisées par une seule horloge et une entrée R A Z commune.

L'entrée horloge est attaquée par le signal H. pour qu'elle puisse recopier le mot présent à l'entrée.

Vu que le régistre de sortie, est à technologie CMOS, chaque sortie est buférées dans le but de pouvoir attaquer plusieurs entrances.

Le buffer utilisé étant le circuit S N 74LS 224. (voir fig; 3.2.II.).

3 . 2 . 4 . COMMANDE :

Le schéma synoptique est donné fig. 3:2.I.2.

On distingue donc 2 types de commandes; manuelle et auto-matique.

3.2.4.2. Commande manuelle :

Elle permet de choisir la probabilité qu'on désire avoir à la sortie.

Etant donné qu'on a 16 sorties, il nous faut donc une mémoire de 16 mots pour stocker les différentes probabilités.

La longueur du mot à été fixé à 4 bits, vu qu'on a besoin seulement de quelque probabilités remarquables.

Des mots de 4 bits peuvent former seulement 16 probabilités différentes qui sont données par le tableau suivant :

0 0 0 0	0
0 0 0 1	0, 0 625.

.../...

-51-

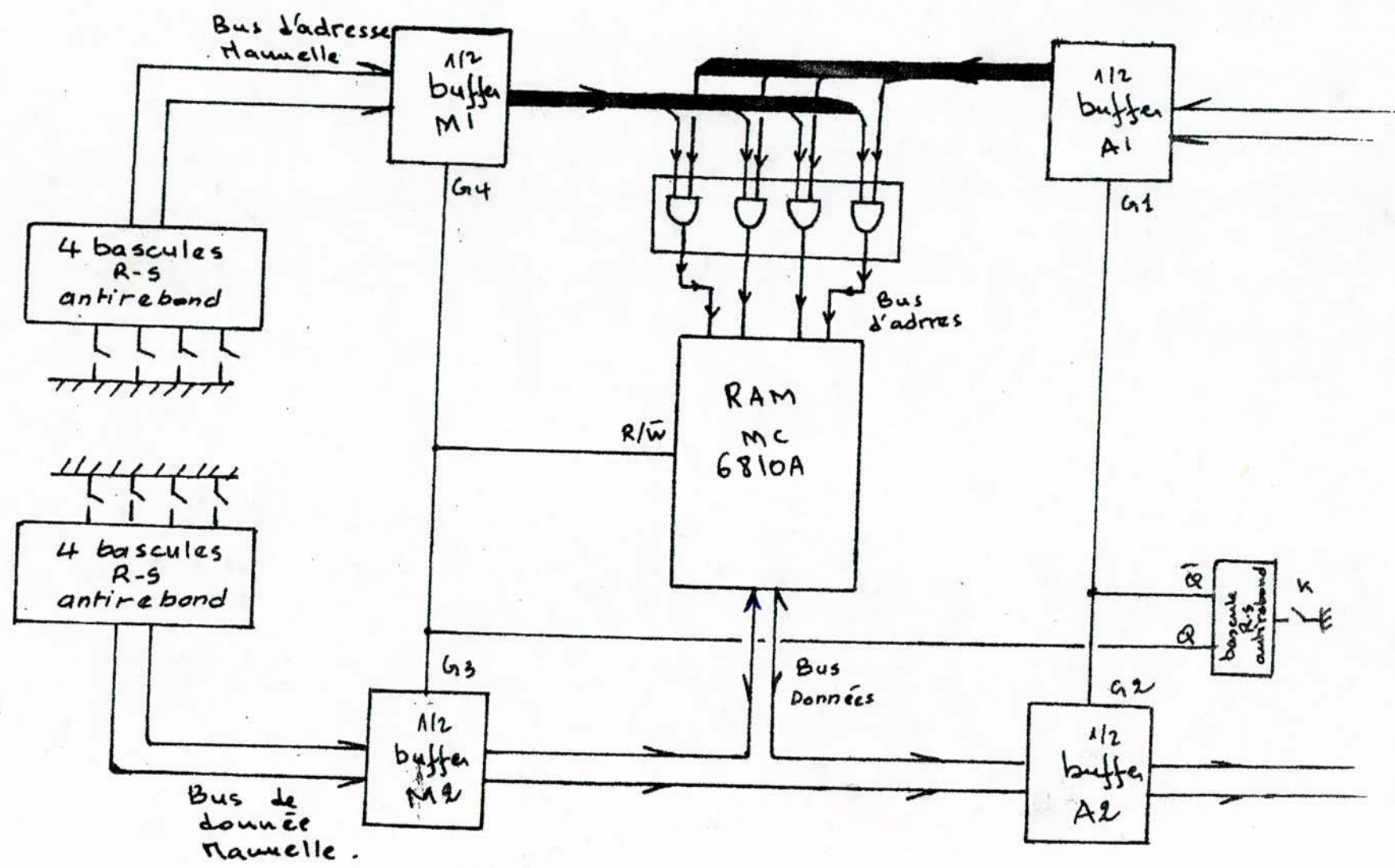


Fig 3.2. 12.

0 0 0 0	0,125
0 0 1 1	0,1875
0 1 0 0	0,25
0 1 0 1	0,3225
0 1 1 0	0,385
0 1 1 1	0,4375
1 0 0 0	0,5000
1 0 0 1	0,5625
1 0 1 0	0,625
1 0 1 1	0,6875
1 1 0 0	0,7500
1 1 0 1	0,8125
1 1 1 0	0,875
1 1 1 1	0,9375

TABLEAU 3 . 2 . II.

L'écart entre 2 probabilité successives est de 0,0625, pour le réduire il suffit d'augmenter la longueur du mot.

La R A M MC 6810 A est utilisée pour réaliser le but recherché

Cette mémoire (fig. 3.2.I3) possède un bus de donnée bidirectionnel, sa taille est de 128 x 8 bits.

Pour réduire cette taille à 16 x 4 bits il suffit de mettre à la masse A_4 , A_5 , A_6 , D_4 , D_5 , D_6 et D_7 .

Si l'entrée R/\bar{W} = " 0 " , on obtient le mode écriture qui correspond à la commande manuelle d'où il faut que les buffers M_1 et M_2 conduise par contre les buffers A_1 et A_2 soient à l'état haute impédance.

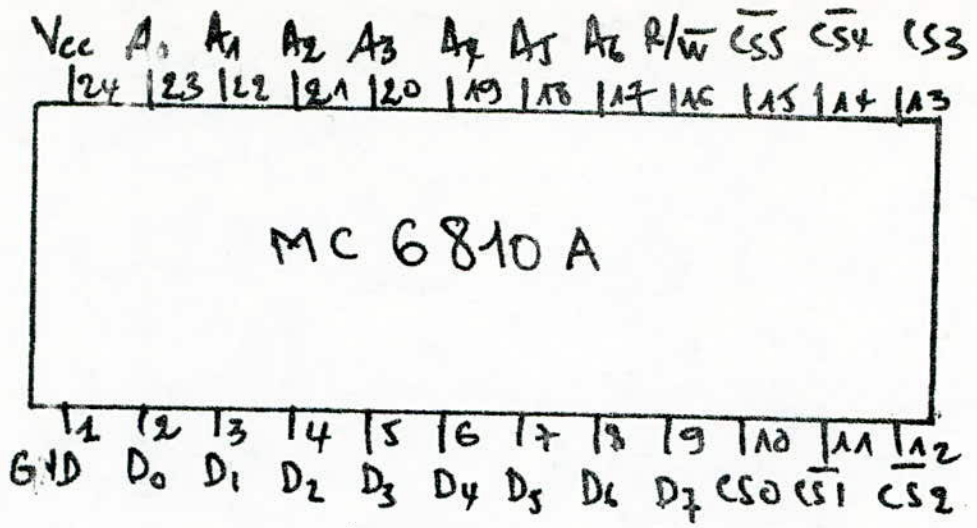
Pour réaliser ceci, il suffit donc d'avoir :

$$R/\bar{W} = G_3 = G_4 = " 0 "$$

et

$$G_1 = G_2 = " 1 " .$$

.../...



Brochage

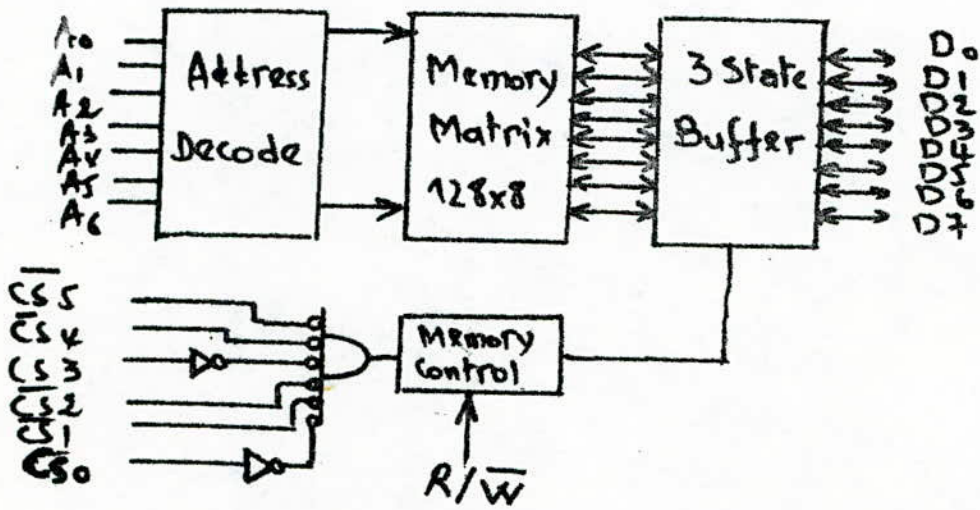


Schéma interne

\bar{CS}_0	\bar{CS}_1	\bar{CS}_2	\bar{CS}_3	\bar{CS}_4	\bar{CS}_5
1	0	0	1	0	0

table de fonction normale.

- fig 3.2.13 -

Les entrées G_i permettent de mettre le buffer soit à l'état passant soit à l'état haute impédance.

si $G = "0"$ le buffer est passant

si $G = "1"$ le buffer est en haute impédance.

Cette commande peut-être faite à l'aide d'une bascule R - S anti-rebond qui a pour effet d'éliminer les phénomènes transitoires dû à l'interrupteur, son schéma électrique est le suivant :

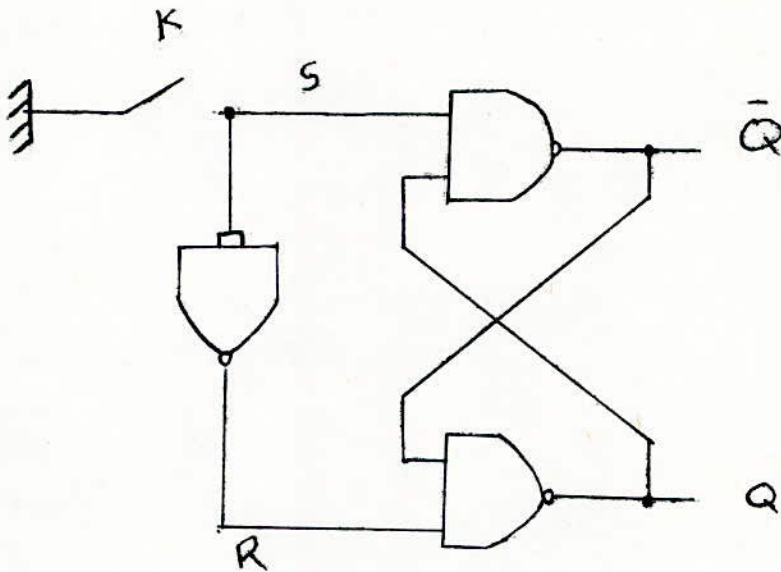


Fig. 3 . 2 . I4.

Si K est ouvert $R = "0"$ $S = "1"$ alors

$Q = "1"$

Si K est fermé $R = "1"$ $S = "0"$ alors

$\bar{Q} = "1"$ et $Q = "0"$.

Si par exemple $Q = G_1 = G_2$ et

$\bar{Q} = G_3 = G_4 = R/\bar{W}$.

Alors K ouvert correspond au mode manuelle et K fermé au mode automatique.

L'entrée des données et l'adressage de la R A M se fait également à partir des bascules anti-rebond. (fig. 3.2.I4.).

A chaque bit on fait correspondre une bascule R . S .

3.2.4.2. Commande automatique :

Elle correspond au régime de fonctionnement de notre générateur.

Dans ce mode, l'entrée R/\bar{W} de la R.A.M se met à l'état lecture par conséquent les buffers A_1 et A_2 conduisent, par M_1 et M_2 SONT à l'état haute impédance, ce qui a pour effet d'interrompre complètement le mode manuelle.

Le balayage de l'adressage de la mémoire s'opère d'une manière pseudo-aléatoire.

Les 4 portes A N D présentent à l'entrée des bits d'adressages ont pour rôles d'éviter de relier 2 sorties T T L (provenant des buffers M_1 et A_1) entre elles.

On remarque dans le tableau 3.2.I. que la probabilité I ne figure pas, alors que dans la pratique, il est intéressant d'avoir cette probabilité.

Il suffit d'affecter à I IIII la probabilité I étant donné que 0,9375 n'a pas beaucoup d'intérêt dans la pratique.

Pour réaliser ceci, on procède comme indique la figure 3.2.I5.

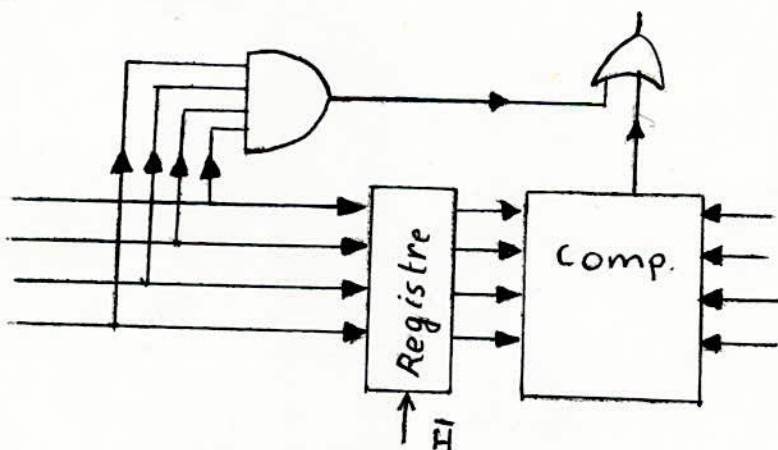


Fig 3.2.15

La porte AND à quatre entrées détecte la donnée IIIII , et quelque soit la sortie du comparateur on aura un "I" à la sortie de la porte OR .

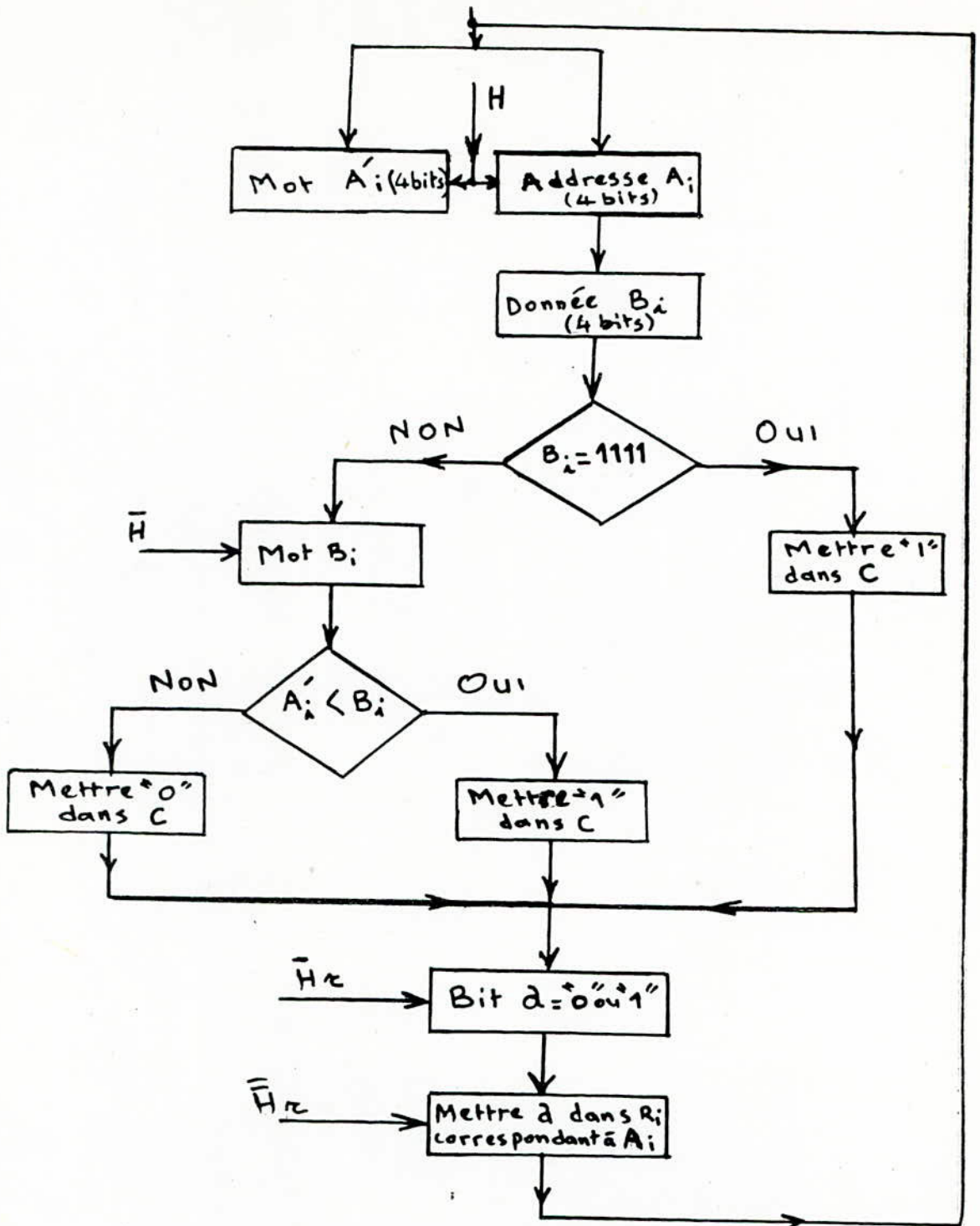


Fig. 3.2.16. :
 - Schéma fonctionnel du générateur -

3 . 3 . Module de comptage :

3 . 3 . 1 . INTRODUCTION :

Etant donné que l'oscilloscope ne permet pas de mesurer la probabilité à la sortie, on a été amené à réaliser un module de comptage qui résoud ce problème.

Ce module nous sert essentiellement pour la mesure (c-a-d la vérification) des probabilités des différentes positions du registre de sortie.

Il permet également de vérifier si le générateur pseudo-aléatoire pulse des séquences de longueur maximale ou non.

3 . 3 . 2 . Schéma de principe et fonctionnement :

Le schéma synoptique est donné fig. 3.3.1.

Le module est basé sur le même principe d'un fréquencemètre c-a-d le comptage se fait pendant un temps t bien déterminé, choisi au préalable et qui est un multiple de la longueur maximale de la séquence générée par le G . S . P . A .

c-a-d. $t = K L$ avec K entier.

$$L = 2^{15} - 1$$

$$= 1 \text{ s.}$$

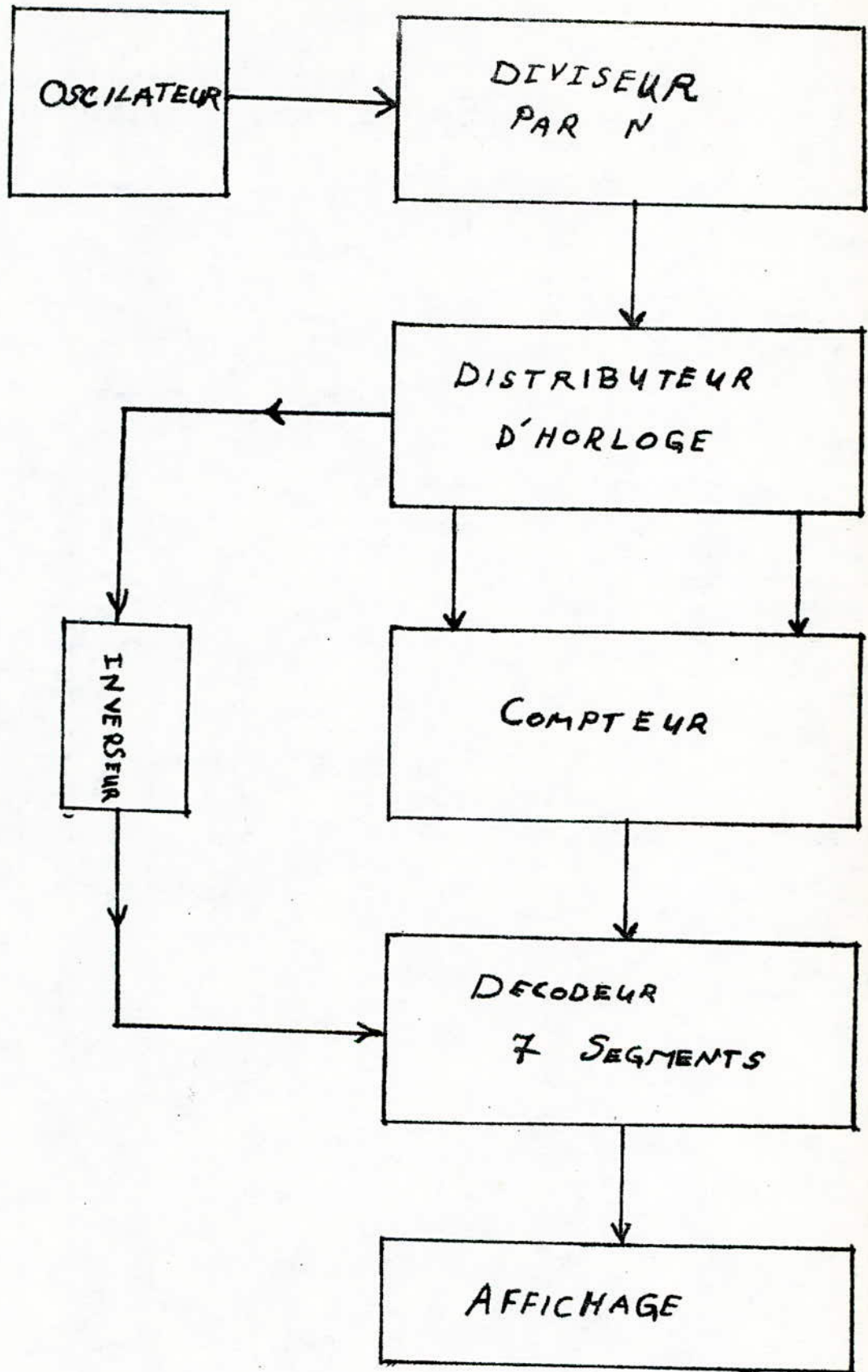
Donc la probabilité affichée n'est rien d'autre que le nombre de " 1 " d'une séquence de sortie sur le nombre d'impulsion d'horloge pendant le temps t .

$$P (1) = \frac{\text{nombre de " 1 " pendant } t}{\text{nombre d'impulsion d'horloge pendant } t}$$

Le Schéma comprend :

3 . 3 . 2 . 1 . Oscillateur :

Pour obtenir des mesures précises, il faut que l'oscillateur soit stable en fréquence, d'où la nécessité d'un quart



Puisqu'on dispose d'un oscillateur de 1 M H Z, il suffit donc de réaliser un diviseur.

Étant donné que $t = K L$ avec $K \approx N^*$, prenons par exemple $K = 6$.

d'où $t_0 = 0,1966 \text{ s}$.

qui donne $F_0 = 1/t_0 = 5,086 \text{ H Z}$.

Si on utilise le circuit intégré S N 7 4 L S 9 0 (fig. 3.3.2.), il nous faut 6 boitiers réaliser le but recherché

5 boitiers pour la division par 8.

1 boitiers pour la division par 6.

Et de cette façon la fréquence $f_0 = 5,086 \text{ H Z}$ sera obtenue à partir de la fréquence 1 M H Z.

3 . 3 . 2 . 2 . Distributeur d'horloge.

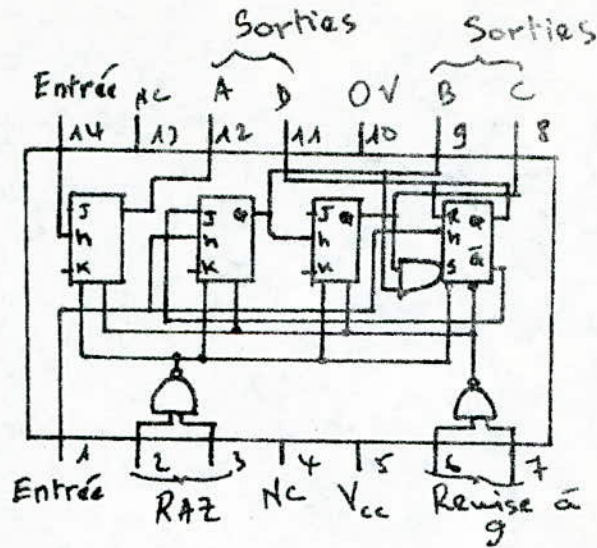
Ce bloc nous délivre les différents signaux qui permettent le comptage, la remise à zéro ainsi que l'affichage.

Il est réalisé à partir du circuit intégré C M O S CD 4 0 1 7 (fig; 3 . 3 . 3 .) qui est un compteur de décader, c-a-d qu'il avance pas à pas au rythme des impulsions d'horloge à front raide positif présentées sur l'entrée E. Par déplacement du niveau logique " 1 " sur les différentes sorties $S_0, S_1 \dots S_9$ les autres sorties restant au niveau logique " 0 ". Cette avance du compteur se produit uniquement si l'entrée \checkmark de validation se trouve au niveau logique " 0 ".

Toute impulsion positive sur l'entrée R A Z provoque la remise à zéro du compteur.

La fréquence f_0 obtenue par division, servira comme signal d'horloge du circuit C D 4 0 1 7.

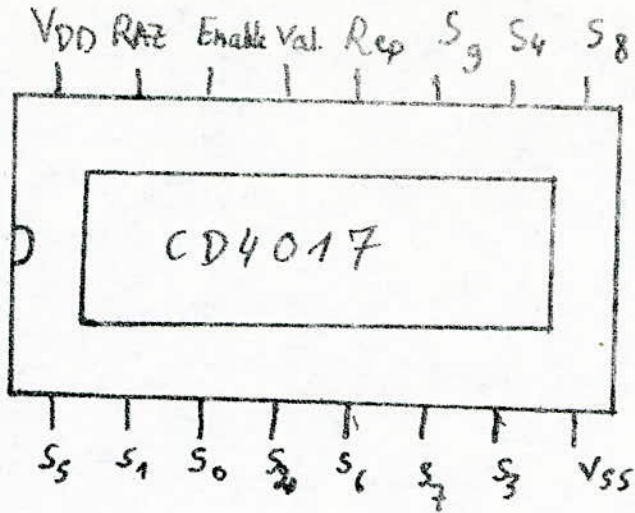
A partir de ce dernier, on a besoin seulement de 3 signaux, le premier permettant le comptage pendant 5 t, le deuxième assurant l'affichage.



Brochage SN74LS90

Division	Entrée	Sortie	Liaisons à effectuer
2	14	12	2 et 6 à la masse
3	1	9	8 à 3, 9 à 2, 6 masse
4	1	8	11 à 2 et 3, 6 masse
5	1	11	2 et 6 à la masse.
6	14	8	12 à 1, 9 à 2, 8 à 3, 6 masse
7	1	14	11 à 14, 12 à 2, 8 à 3, 6 masse
8	14	8	12 à 1, 11 à 2, 6 masse
9	14	11	11 à 2, 12 à 3, 12 à 1, 6 masse
10	14	11	12 à 1, 2 et 6 à la masse

Fig 3.3.2.



brochage du CD4017

E	S ₀	S ₁	S ₂	S ₃	S ₄	S ₅	S ₆	S ₇	S ₈	S ₉	R
↑	1	0	0	0	0	0	0	0	0	0	1
↑	0	1	0	0	0	0	0	0	0	0	1
↑	0	0	1	0	0	0	0	0	0	0	1
↑	0	0	0	1	0	0	0	0	0	0	1
↑	0	0	0	0	1	0	0	0	0	0	1
↑	0	0	0	0	0	1	0	0	0	0	0
↑	0	0	0	0	0	0	1	0	0	0	0
↑	0	0	0	0	0	0	0	1	0	0	0
↑	0	0	0	0	0	0	0	0	1	0	0
↑	0	0	0	0	0	0	0	0	0	1	0

Table de Vérité du CD4017

Fig 3.3.3

et enfin le dernier ^e le compteur à zéro. chaque fois qu'il recommence à compter de nouveau.

Pour plus de détail voir chronogramme fig. 3 . 3 . 4 .

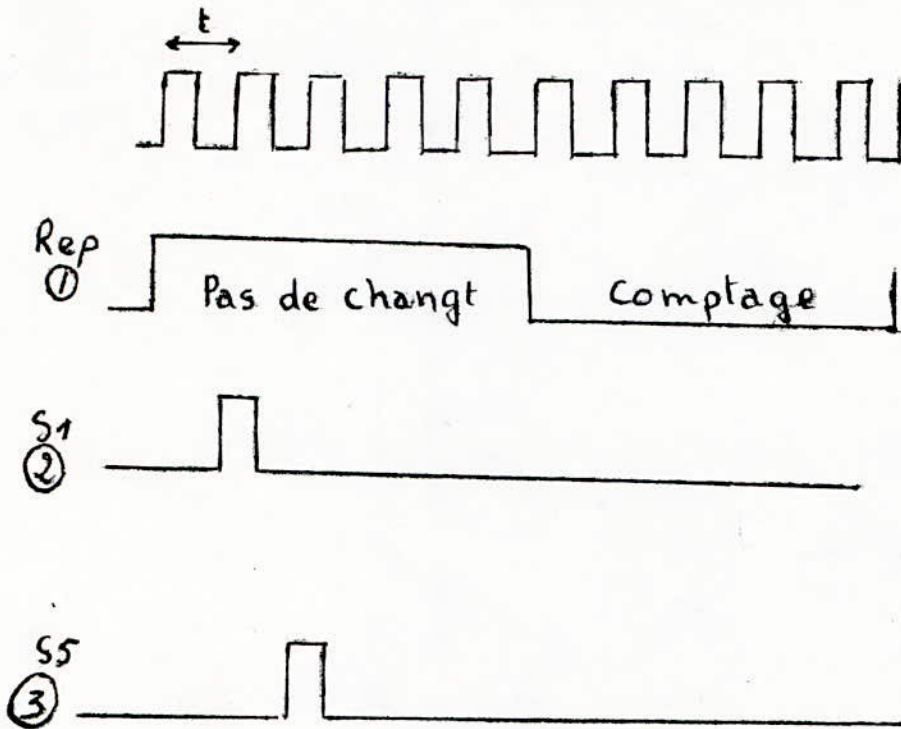


fig. 3 . 3 . 4 .

3 . 3 . 4 . Compteur :

Il est réalisé à partir du circuit intégré C M O S C D 5 8 (fig. 3 . 3 . 5 .).

Ce circuit contient en fait 2 compteurs identiques intégrés dans un seul boîtier.

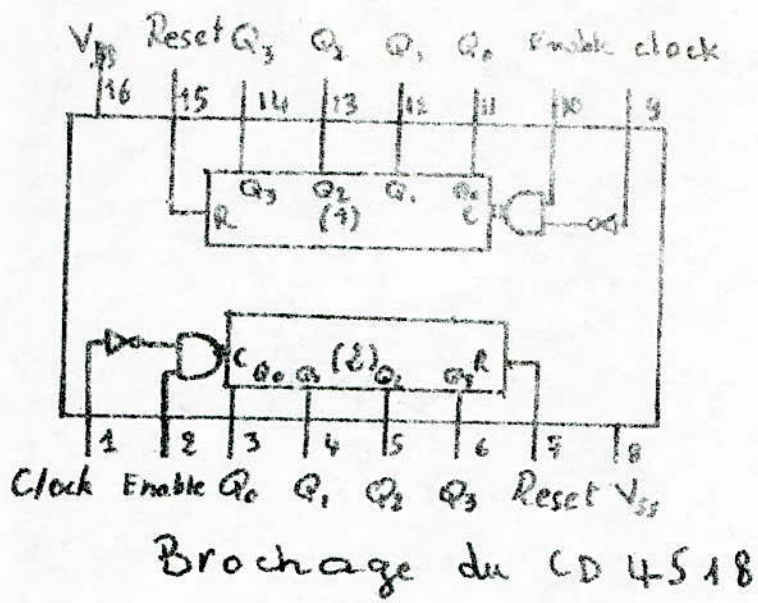
Il existe 2 modes de comptage conformément à la table de vérité fig. 3 . 3 . 5 .

On a choisi la configuration suivante :

L'entrée clock sera attaquée par le signal (1) qui permet le comptage pendant S t et l'arrêt pendant S t?

Le signal (2) sera appliqué à l'entrée R A Z du compteur.

Le comptage des impulsions se fait à travers l'entrée Enable.



Clock	Enable	RAZ	Résultat
↑	1	0	Incrémentation
0	↓	0	Incrémentation
↓	x	0	Pas de changt
x	↑	0	Pas de changt
↑	0	0	Pas de changt
1	↓	0	Pas de changt
x	x	1	$Q_0 = \dots = Q_3 = 0$

Table de vérité du CD4518.

Fig 3.3.5

La mise en cascade de plusieurs compteurs s'effectue en reliant la sortie Q_3 à l'entrée Enable de l'autre compteur.

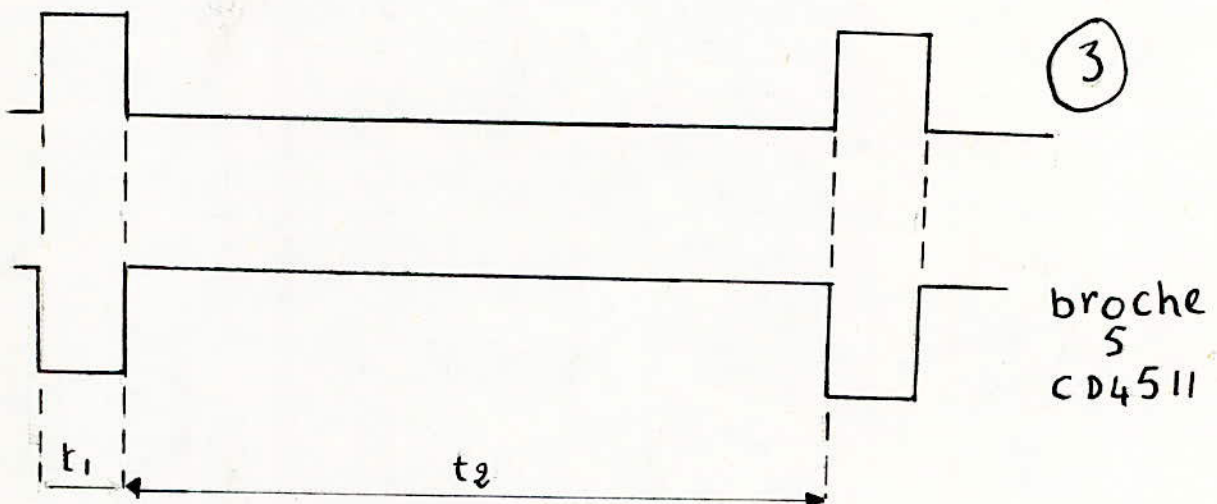
3 . 3 . 5 . Décodeur + Afficheur :

Le décodeur à été réalisé par le circuit intégré CMOS CD4511 (fig. 3.3.6.).

Ce circuit recopie ce qu'il ya aux entrées DC BA dès que la broche 5 passe à l'état " 0 " .

Le décodage s'effectue lorsque les broches 3 et 4 sont au niveau logique " 1 " .

Le signal (3) sera inversé avant d'être appliqué à la broche 5 du décodeur.



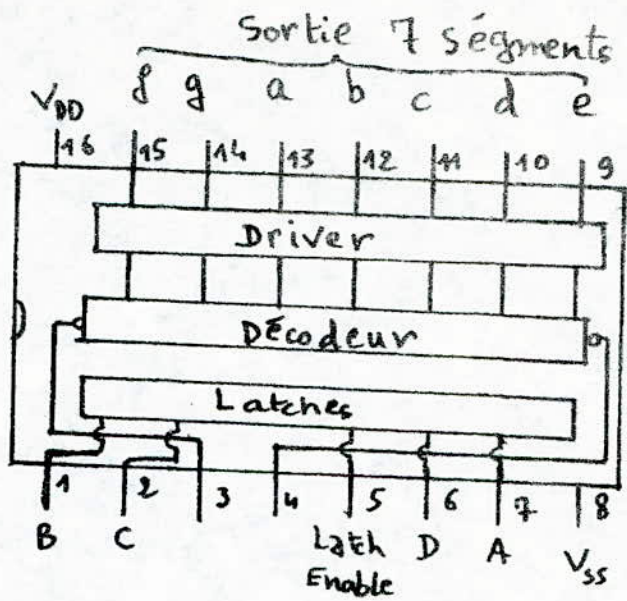
Pendant le temps t_1 , le décodeur recopie ce qu'il a son entrée.

Pendant le temps t_2 , il garde l'information recopiée en mémoire.

Enfin des afficheurs du type cathode commune assurent l'affichage en décimal.

Le schéma électrique global est donné fig. 3 . 3 . 7 .

.../...



brochage du CD4511

Entrées			Sorties	
broches 3 et 4	LE	DCBA	Fg	a bc de
0	X	X		
1	1	X	Pas de changement	
1	0		décodage	

table de vérité du 4511

Fig 33.6.

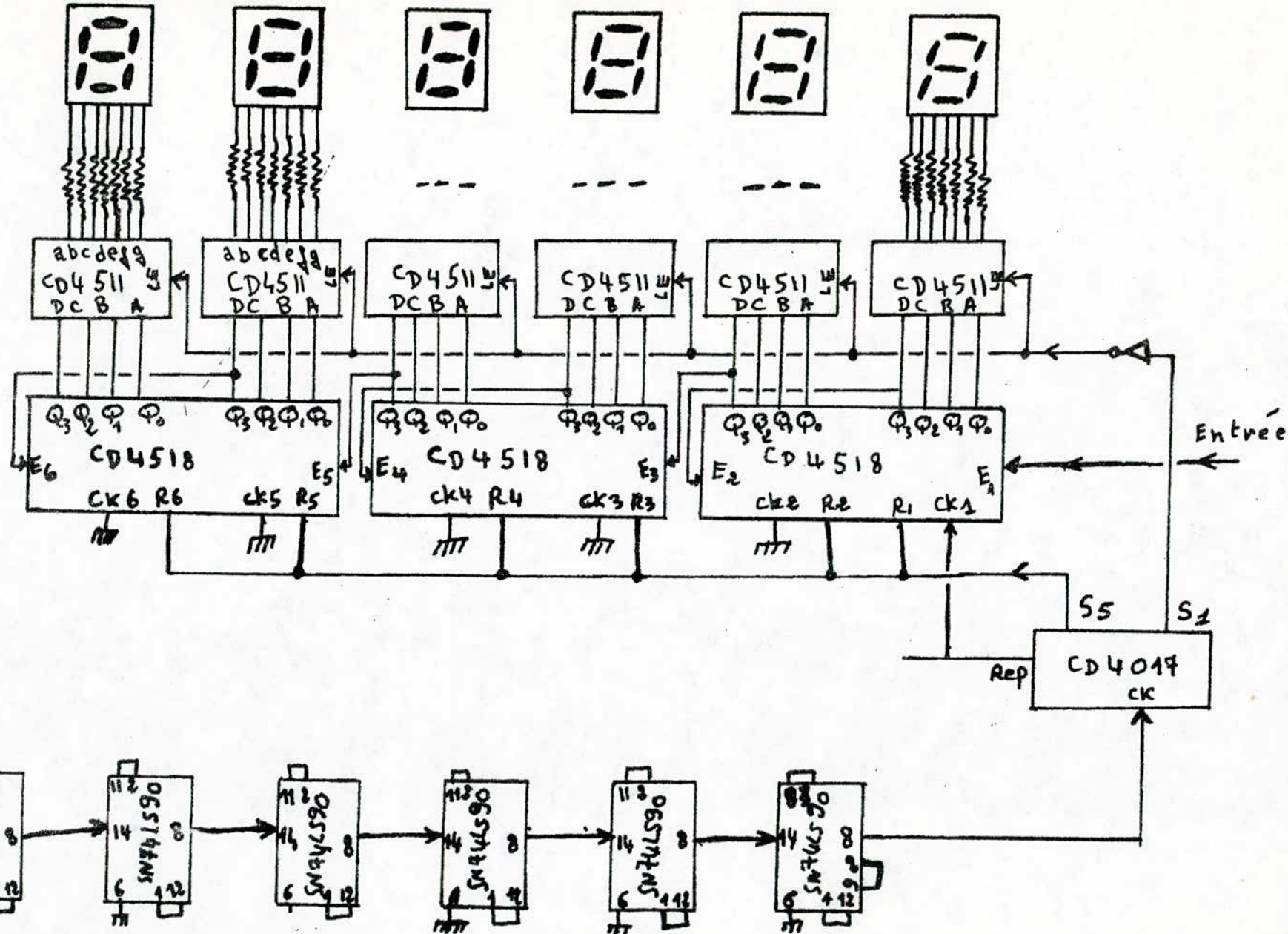
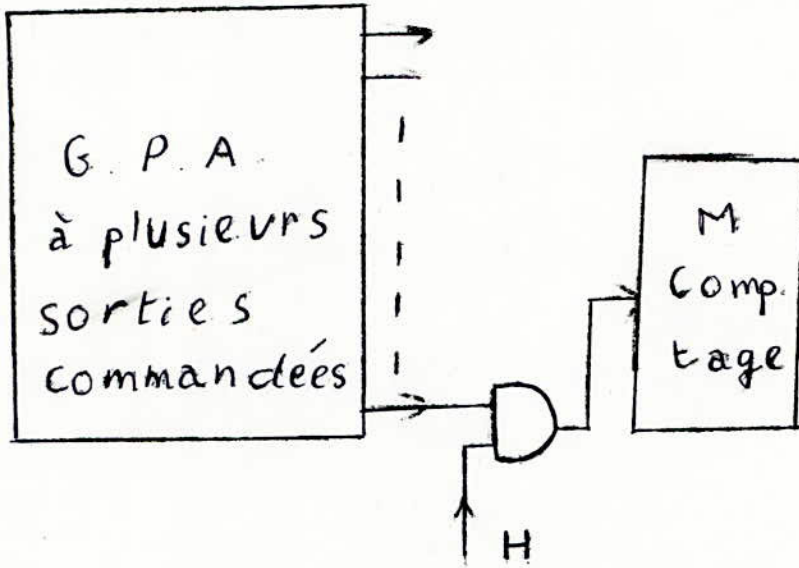


Fig 3.3.7.

3.4. Mesures:

Pour la mesure des probabilités à la sortie il suffit de procéder comme indiqué fig. 3.4.1:



Les résultats obtenus sont donnés par les tableaux I et II

Conclusion:

Les résultats expérimentaux obtenus à la sortie de notre générateur sont conformes avec les probabilités inscrites dans la R.A.T.

Les variations sont acceptables.

On voit donc, bien que notre générateur est commandable, ce qui est le but recherché.

Toutefois, on peut améliorer ces résultats en augmentant la longueur du résistor à décalage. (constatation vu en pratique).

La consommation du générateur est de l'ordre de 500 mA.

D \ A	0000	0001	0010	0011	0100	0101	0110	0111
0000	0	0	0	0	0	0	0	0
0001	0,0586	0,0513	0,0564	0,0385	0,0519	0,0562	0,0215	0,0915
0010	0,1306	0,1003	0,1	0,09	0,1	0,1216	0,1335	0,1507
0011	0,1916	0,1503	0,1509	0,1506	0,1612	0,2095	0,1856	0,2105
0100	0,2224	0,2104	0,2376	0,2175	0,2306	0,2611	0,226	0,2916
0101	0,3319	0,29	0,3209	0,3016	0,3004	0,3215	0,3151	0,3306
0110	0,4	0,3115	0,3788	0,3761	0,3908	0,4186	0,3846	0,3817
0111	0,4607	0,4314	0,427	0,4110	0,43	0,4779	0,4265	0,4304
1000	0,5404	0,4976	0,4887	0,4761	0,4915	0,5115	0,508	0,5310
1001	0,5997	0,5710	0,5468	0,5406	0,5660	0,5412	0,5618	0,5796
1010	0,6516	0,6316	0,5967	0,5909	0,6213	0,6016	0,6563	0,6415
1011	0,72	0,7778	0,6314	0,66	0,699	0,6866	0,7164	0,6896
1100	0,7978	0,7863	0,720	0,7504	0,7602	0,7391	0,780	0,7366
1101	0,8085	0,8691	0,779	0,8178	0,819	0,8009	0,8069	0,8219
1110	0,9315	0,9217	0,8401	0,8178	0,9366	0,8619	0,869	0,8911
1111	1	1	1	1	1	1	1	1

- Tableau I -

D \ A	0000	0001	0010	0011	0100	0101	0110	0111
0000	0	0	0	0	0	0	0	0
0001	0,0603	0,0640	0,088	0,0627	0,0765	0,09	0,08	0,0687
0010	0,08	0,1330	0,154	0,127	0,157	0,12	0,16	0,136
0011	0,137	0,1850	0,22	0,184	0,2319	0,2384	0,2374	0,1912
0100	0,2174	0,2115	0,283	0,239	0,2870	0,2901	0,2787	0,2564
0101	0,2747	0,280	0,355	0,3029	0,3311	0,3369	0,3024	0,3200
0110	0,3428	0,3034	0,438	0,3269	0,3589	0,3889	0,3519	0,3778
0111	0,3811	0,4335	0,5246	0,4023	0,4504	0,4304	0,4118	0,4419
1000	0,4371	0,4931	0,5524	0,4891	0,522	0,4786	0,4814	0,5205
1001	0,4783	0,5324	0,6364	0,559	0,5711	0,5513	0,5485	0,6019
1010	0,5338	0,6007	0,7096	0,62	0,6599	0,6017	0,6117	0,6717
1011	0,5928	0,66	0,7736	0,672	0,7161	0,6516	0,6881	0,7302
1100	0,6584	0,77	0,82	0,7104	0,7608	0,706	0,7306	0,78
1101	0,7164	0,8132	0,8961	0,7624	0,8178	0,7569	0,7867	0,8567
1110	0,8115	0,8667	0,9274	0,8338	0,8775	0,8077	0,8445	0,9171
1111	1	1	1	1	1	1	1	1

- Tableau II -

CHAPITRE V : APPLICATION

Notre générateur a été conçu pour faire le diagnostic des pannes dans les circuits numériques .

Comme il peut être utilisé pour "fabriquer" un bruit analogique .

Nous allons voir comment il peut être introduit pour détecter les erreurs dans les circuits logiques .

4.1. Test par comparaison :

Cette méthode, désormais ancienne, consiste à comparer les sorties du système sous test avec celles du système étalon .

Le schéma de principe est donné fig. 4.1.

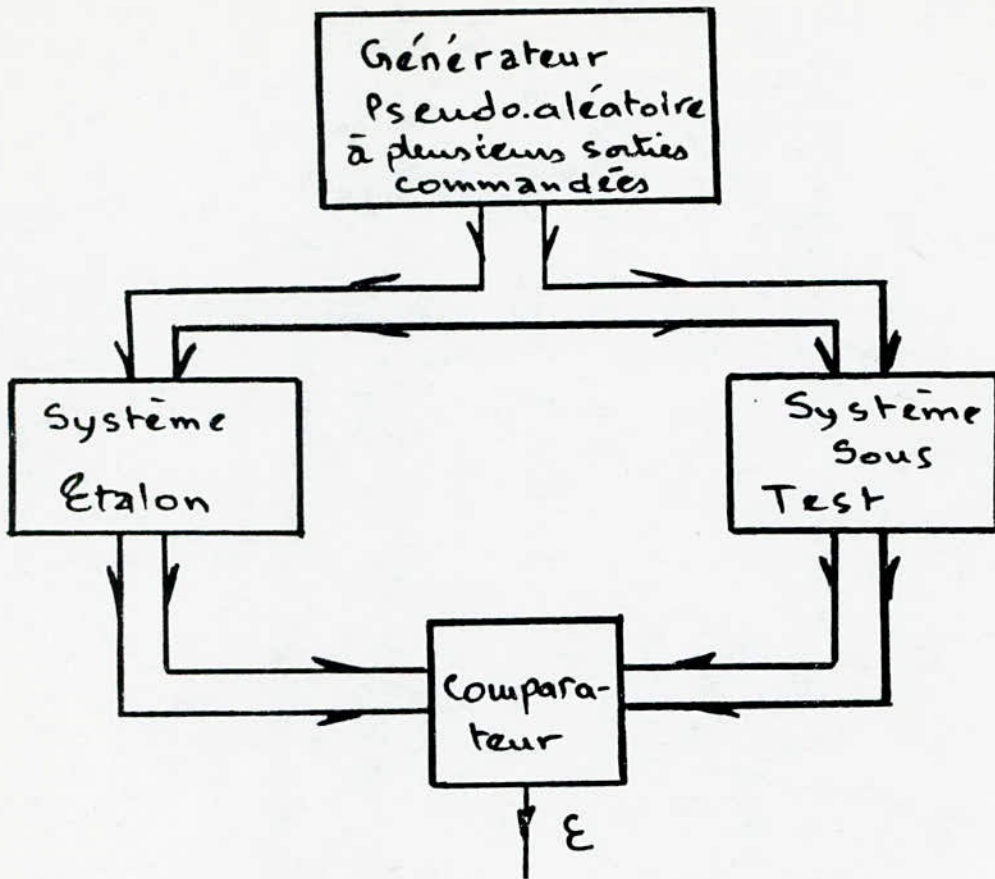
Ce type de test par comparaison nécessite l'emploi d'un système étalon .

La comparaison peut être faite mot à mot , et de cette façon on détecte si notre circuit est en panne ou non , sans localiser l'erreur .

Mais si la comparaison s'effectue bit par bit c'est-à-dire chaque sortie avec celle qui lui correspond , on aboutit à localiser la ou les sorties d'où vient l'erreur , dans ce cas , le comparateur se réduit donc pour chaque couple de sorties à un seul XOR .

Dans la pratique, il est intéressant de connaître le mot , à la sortie du générateur , qui a détecté la panne .

Les inconvénients de cette méthode résident dans le fait qu'on a pas de possibilités de localiser la panne et en plus on a besoin d'un étalon physique .



- Fig. 4.1. -

On peut remplacer l'étalon physique par un autre mathématique qui puisse réaliser les mêmes fonctions (c'est par programmation) c à d que ce programme modélise le fonctionnement de l'étalon physique.

Chapitre V SIMULATION DE NOTRE GENERATEUR PAR UN PROGRAMME EN LANGAGE BASIC.

Il est préférable, avant d'entamer une réalisation (Logique câblée), de simuler cette dernière par un programme, dans le but d'optimiser et d'améliorer la conception du produit.

Structure du programme :

Les lignes 10 à 35 initialisent les 16 états du registre de sortie.

Les lignes 40 à 110 permettent de faire entrer les 16 données (Probabilités) de la RAM.

De 114 à 238 simulent le G.S.P.A à 15 étages

De 240 à 270 adressent la RAM.

Les lignes 276 à 422 correspondent à la donnée qui sort de la RAM.

La ligne 426 détecte le mot 1111 (Simulation d'une porte AND à 4 entrées)

De 428 à 455 : simulation du comparateur

Les lignes 468 à 498 correspondent à la sélection du commutateur.

De 500 à 560 détecte la sortie va être affecter.

De 570 à 632 représentent le module du comptage pour sortie du registre

La ligne 634 affiche sur l'écran les séquences de sorties

les lignes 640 à 670 scrutent le clavier pour faire appelle à des sous-programme 675: lit le clavier (commande manuelle qui a pour but de faire changer les probabilités inscrites dans la RAM.)

677: G.M: affichage sur l'écran des 16 probabilités.

682 et 686 : condition Dès que $S=9$ l'écran s'efface.

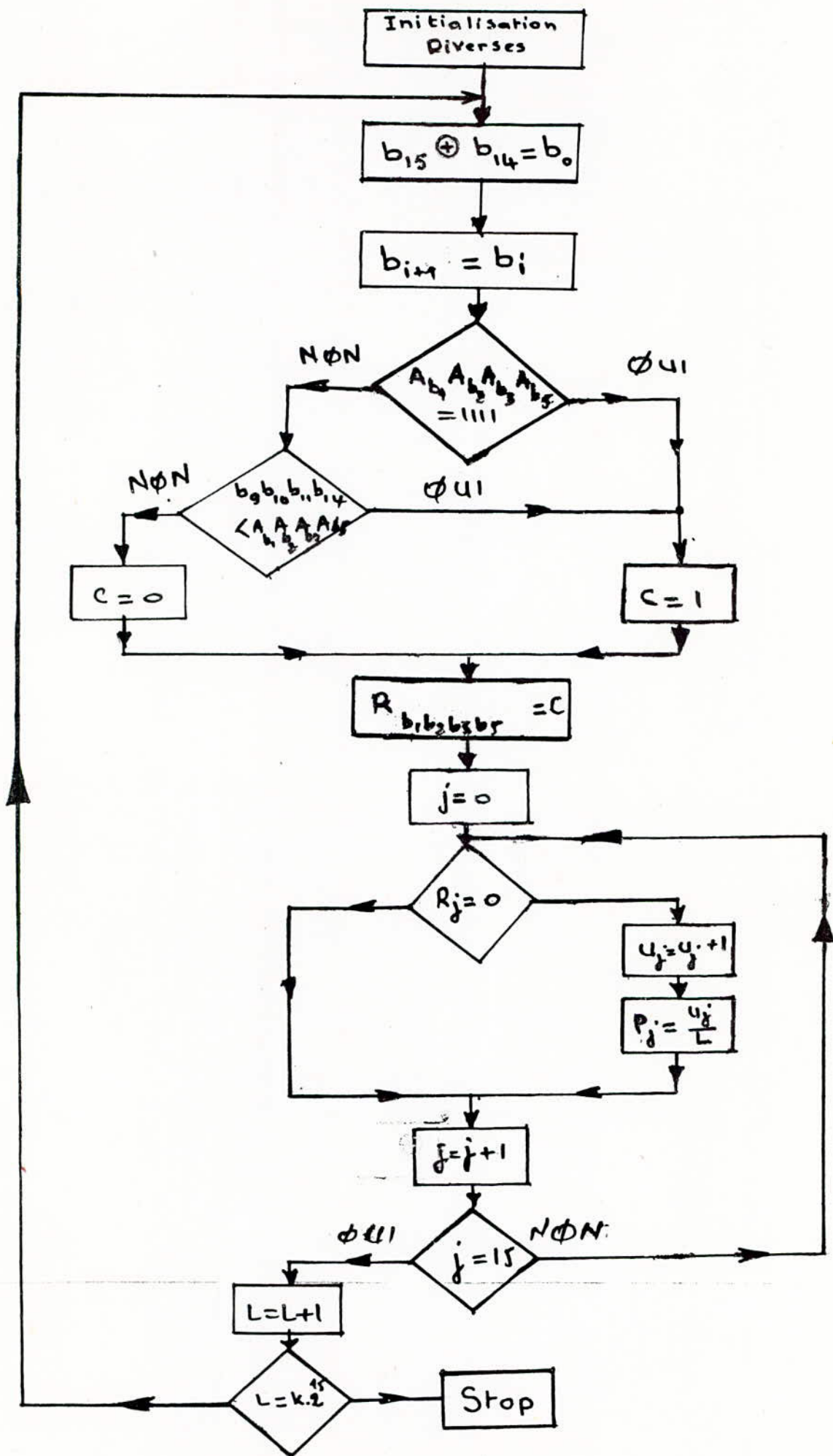
les lignes 690 à 845 : c'est les sous programmes qui sont appelés par les touches du clavier (donc on a la possibilité de faire entrer une seule donnée.

850 à 880 : calculent les probabilités

885 : affichage des 16 probabilités.

890 , 895 , 905 et 910 : possibilité de continuer le programme.

900 arrêt du programme.



10 Read $R_0, R_1, R_2, R_3, R_4, R_5, R_6, R_7, R_8, R_9, R_{10}, R_{11}, R_{12}, R_{13}, R_{14}, R_{15}$
 15 Read $U_0, U_1, U_2, U_3, U_4, U_5, U_6, U_7, U_8, U_9, U_{10}, U_{11}, U_{12}, U_{13}, U_{14}, U_{15}$
 20 Read $P_0, P_1, P_2, P_3, P_4, P_5, P_6, P_7, P_8, P_9, P_{10}, P_{11}, P_{12}, P_{13}, P_{14}, P_{15}$
 25 Data $0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0$
 30 Data $0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0$
 35 Data $0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0, 0$
 40 Input D_0, D_1, D_2, D_3
 45 Input E_0, E_1, E_2, E_3
 50 Input F_0, F_1, F_2, F_3
 55 Input G_0, G_1, G_2, G_3
 60 Input H_0, H_1, H_2, H_3
 65 Input I_0, I_1, I_2, I_3
 70 Input J_0, J_1, J_2, J_3
 75 Input K_0, K_1, K_2, K_3
 80 Input M_0, M_1, M_2, M_3
 85 Input N_0, N_1, N_2, N_3
 90 Input O_0, O_1, O_2, O_3
 95 Input T_0, T_1, T_2, T_3
 100 Input X_0, X_1, X_2, X_3
 105 Input Y_0, Y_1, Y_2, Y_3
 107 Input Z_0, Z_1, Z_2, Z_3
 110 Input W_0, W_1, W_2, W_3
 112 Let $L = 1$
 114 Let $b_1 = 0$
 116 Let $b_2 = 0$
 118 Let $b_3 = 0$

- 120 Let $b_4 = 0$
- 122 Let $b_5 = 0$
- 124 Let $b_6 = 0$
- 126 Let $b_7 = 0$
- 128 Let $b_8 = 0$
- 130 Let $b_9 = 0$
- 132 Let $b_{10} = 0$
- 134 Let $b_{11} = 0$
- 136 Let $b_{12} = 0$
- 139 Let $b_{13} = 0$
- 140 Let $b_{14} = 0$
- 142 Let $b_{15} = 1$
- 145 Let $s = 0$
- 150 if $b_{14} = 0$ and $b_{15} = 0$ or $b_{14} = 1$ and $b_{15} = 1$ Then Let $b_0 = 0$
- 200 if $b_{14} = 0$ and $b_{15} = 1$ or $b_{14} = 1$ and $b_{15} = 0$ Then Let $b_0 = 1$
- 210 Let $b_{15} = b_{14}$
- 212 Let $b_{14} = b_{13}$
- 214 Let $b_{13} = b_{12}$
- 216 Let $b_{12} = b_{11}$
- 218 Let $b_{11} = b_{10}$
- 220 Let $b_{10} = b_9$
- 222 Let $b_9 = b_8$
- 224 Let $b_8 = b_7$
- 226 Let $b_7 = b_6$
- 228 Let $b_6 = b_5$
- 230 Let $b_5 = b_4$

- 232 Let $b_4 = b_3$
- 234 Let $b_3 = b_2$
- 236 Let $b_2 = b_1$
- 239 Let $b_1 = b_0$
- 240 if $b_1 = 0$ and $b_2 = 0$ and $b_3 = 0$ and $b_5 = 0$ Then GOTO 276
- 242 if $b_1 = 0$ and $b_2 = 0$ and $b_3 = 0$ and $b_5 = 1$ Then GOTO 286
- 244 if $b_1 = 0$ and $b_2 = 0$ and $b_3 = 1$ and $b_5 = 0$ Then GOTO 296
- 246 if $b_1 = 0$ and $b_2 = 0$ and $b_3 = 1$ and $b_5 = 1$ Then GOTO 306
- 248 if $b_1 = 0$ and $b_2 = 1$ and $b_3 = 0$ and $b_5 = 0$ Then GOTO 316
- 250 if $b_1 = 0$ and $b_2 = 1$ and $b_3 = 0$ and $b_5 = 1$ Then GOTO 326
- 252 if $b_1 = 0$ and $b_2 = 1$ and $b_3 = 1$ and $b_5 = 0$ Then GOTO 336
- 254 if $b_1 = 0$ and $b_2 = 1$ and $b_3 = 1$ and $b_5 = 1$ Then GOTO 346
- 256 if $b_1 = 1$ and $b_2 = 0$ and $b_3 = 0$ and $b_5 = 0$ Then GOTO 356
- 258 if $b_1 = 1$ and $b_2 = 0$ and $b_3 = 0$ and $b_5 = 1$ Then GOTO 366
- 260 if $b_1 = 1$ and $b_2 = 0$ and $b_3 = 1$ and $b_5 = 0$ Then GOTO 376
- 262 if $b_1 = 1$ and $b_2 = 0$ and $b_3 = 1$ and $b_5 = 1$ Then GOTO 386
- 264 if $b_1 = 1$ and $b_2 = 1$ and $b_3 = 0$ and $b_5 = 0$ Then GOTO 396
- 266 if $b_1 = 1$ and $b_2 = 1$ and $b_3 = 0$ and $b_5 = 1$ Then GOTO 406
- 268 if $b_1 = 1$ and $b_2 = 1$ and $b_3 = 1$ and $b_5 = 0$ Then GOTO 416
- 270 if $b_1 = 1$ and $b_2 = 1$ and $b_3 = 1$ and $b_5 = 1$ Then GOTO 426
- 276 Let $A_0 = D_0$
- 278 Let $A_1 = D_1$
- 280 Let $A_2 = D_2$
- 282 Let $A_3 = D_3$
- 284 GOTO 424
- 286 Let $A_0 = E_0$

- 288 Let $A_1 = E_1$
290 Let $A_2 = E_2$
292 Let $A_3 = E_3$
294 $G \oplus T \oplus 424$
296 Let $A_0 = F_0$
298 Let $A_1 = F_1$
300 Let $A_2 = F_2$
302 Let $A_3 = F_3$
304 $G \oplus T \oplus 424$
306 Let $A_0 = G_0$
308 Let $A_1 = G_1$
310 Let $A_2 = G_2$
312 Let $A_3 = G_3$
314 $G \oplus T \oplus 424$
316 Let $A_0 = H_0$
318 Let $A_1 = H_1$
320 Let $A_2 = H_2$
322 Let $A_3 = H_3$
324 $G \oplus T \oplus 424$
326 Let $A_0 = I_0$
328 Let $A_1 = I_1$
330 Let $A_2 = I_2$
332 Let $A_3 = I_3$
334 $G \oplus T \oplus 424$
336 Let $A_0 = J_0$
338 Let $A_1 = J_1$

340 Let $A_2 = J_2$
 342 Let $A_3 = J_3$
 344 GOTO 424
 346 Let $A_0 = K_0$
 348 Let $A_1 = K_1$
 350 Let $A_2 = K_2$
 352 Let $A_3 = K_3$
 354 GOTO 424
 356 Let $A_0 = M_0$
 358 Let $A_1 = M_1$
 360 Let $A_2 = M_2$
 362 Let $A_3 = M_3$
 364 GOTO 424
 366 Let $A_0 = N_0$
 368 Let $A_1 = N_1$
 370 Let $A_2 = N_2$
 372 Let $A_3 = N_3$
 374 GOTO 424
 376 Let $A_0 = O_0$
 378 Let $A_1 = O_1$
 380 Let $A_2 = O_2$
 382 Let $A_3 = O_3$
 384 GOTO 424
 386 Let $A_0 = T_0$
 388 Let $A_1 = T_1$
 390 Let $A_2 = T_2$
 392 Let $A_3 = T_3$

394 GOTO 424
 396 Let $A_0 = X_0$
 398 Let $A_1 = X_1$
 400 Let $A_2 = X_2$
 402 Let $A_3 = X_3$
 404 GOTO 424
 406 Let $A_0 = Y_0$
 408 Let $A_1 = Y_1$
 410 Let $A_2 = Y_2$
 412 Let $A_3 = Y_3$
 414 GOTO 424
 416 Let $A_0 = Z_0$
 418 Let $A_1 = Z_1$
 420 Let $A_2 = Z_2$
 422 Let $A_3 = Z_3$
 424 GOTO 424
 426 Let $A_0 = W_0$
 428 Let $A_1 = W_1$
 430 Let $A_2 = W_2$
 432 Let $A_3 = W_3$
 424 Fast
 426 if $A_0 = 1$ and $A_1 = 1$ and $A_2 = 1$
 and $A_3 = 1$ Then GOTO 445
 428 if $b_9 < A_3$ Then GOTO 445
 430 if $b_9 > A_3$ Then GOTO 445
 432 if $b_{90} < A_2$ Then GOTO 445

434 if $b_{10} > A_2$ then goto 455

436 if $b_{11} < A_1$ then goto 445

438 if $b_{11} > A_1$ then goto 455

440 if $b_{11} < A_0$ then goto 435

442 if $b_{11} \geq A_0$ then goto 455

445 let $c = 1$

450 goto 468

455 let $c = 0$

468 if $b_1 = 0$ and $b_2 = 0$ and $b_3 = 0$ and $b_5 = 0$ then goto 500

470 if $b_1 = 0$ and $b_2 = 0$ and $b_3 = 0$ and $b_5 = 1$ then goto 504

472 if $b_1 = 0$ and $b_2 = 0$ and $b_3 = 1$ and $b_5 = 0$ then goto 508

474 if $b_1 = 0$ and $b_2 = 0$ and $b_3 = 1$ and $b_5 = 1$ then goto 512

476 if $b_1 = 0$ and $b_2 = 1$ and $b_3 = 0$ and $b_5 = 0$ then goto 516

478 if $b_1 = 0$ and $b_2 = 1$ and $b_3 = 0$ and $b_5 = 1$ then goto 520

480 if $b_1 = 0$ and $b_2 = 1$ and $b_3 = 1$ and $b_5 = 0$ then goto 524

482 if $b_1 = 0$ and $b_2 = 1$ and $b_3 = 1$ and $b_5 = 1$ then goto 528

484 if $b_1 = 1$ and $b_2 = 0$ and $b_3 = 0$ and $b_5 = 0$ then goto 532

486 if $b_1 = 1$ and $b_2 = 0$ and $b_3 = 0$ and $b_5 = 1$ then goto 536

488 if $b_1 = 1$ and $b_2 = 0$ and $b_3 = 1$ and $b_5 = 0$ then goto 540

490 if $b_1 = 1$ and $b_2 = 0$ and $b_3 = 1$ and $b_5 = 1$ then goto 544

492 if $b_1 = 1$ and $b_2 = 1$ and $b_3 = 0$ and $b_5 = 0$ then goto 548

494 if $b_1 = 1$ and $b_2 = 1$ and $b_3 = 0$ and $b_5 = 1$ then goto 552

496 if $b_1 = 1$ and $b_2 = 1$ and $b_3 = 1$ and $b_5 = 0$ then goto 556

498 if $b_1 = 1$ and $b_2 = 1$ and $b_3 = 1$ and $b_5 = 1$ then goto 560

500 let $R_0 = c$

502 Goto 570

504 Let $R_1 = C$
506 Goto 570
508 Let $R_2 = C$
510 Goto 570
512 Let $R_3 = C$
514 Goto 570
516 Let $R_4 = C$
518 Goto 570
520 Let $R_5 = C$
522 Goto 570
524 Let $R_6 = C$
526 Goto 570
528 Let $R_7 = C$
530 Goto 570
532 Let $R_8 = C$
534 Goto 570
536 Let $R_9 = C$
538 Goto 570
540 Let $R_{10} = C$
542 Goto 570
544 Let $R_{11} = C$
546 Goto 570
548 Let $R_{12} = C$
550 Goto 570
552 Let $R_{13} = C$
554 Goto 570

556 Let $R_{14} = C$
558 Goto 570
560 Let $R_{15} = C$
570 if $R_0 < > 1$ then goto 574
572 Let $U_0 = U_0 + 1$
574 if $R_1 < > 1$ then goto 578
576 Let $U_1 = U_1 + 1$
578 if $R_2 < > 1$ then goto 582
580 Let $U_2 = U_2 + 1$
582 if $R_3 < > 1$ then goto 586
584 Let $U_3 = U_3 + 1$
586 if $R_4 < > 1$ then goto 590
588 Let $U_4 = U_4 + 1$
590 if $R_5 < > 1$ then goto 594
592 Let $U_5 = U_5 + 1$
594 if $R_6 < > 1$ then goto 598
596 Let $U_6 = U_6 + 1$
598 if $R_7 < > 1$ then goto 602
600 Let $U_7 = U_7 + 1$
602 if $R_8 < > 1$ then goto 606
604 Let $U_8 = U_8 + 1$
606 if $R_9 < > 1$ then goto 610
608 Let $U_9 = U_9 + 1$
610 if $R_{10} < > 1$ then goto 614
612 Let $U_{10} = U_{10} + 1$
614 if $R_{11} < > 1$ then goto 618

616 Let $U_{11} = U_{11} + 1$
 618 if $R_{12} < > 1$ then goto 622
 620 Let $U_{12} = U_{12} + 1$
 622 if $R_{13} < > 1$ then goto 626
 624 Let $U_{13} = U_{13} + 1$
 626 if $R_{14} < > 1$ then goto 630
 628 Let $U_{14} = U_{14} + 1$
 630 if $R_{15} < > 1$ then goto 634
 632 Let $U_{15} = U_{15} + 1$
 634 Print L; " "; $A_0; A_1; A_2; A_3;$ " "; C; " "; $R_0; R_1; R_2; R_3; R_4; R_5; R_6;$
 $R_7; R_8; R_9; R_{10}; R_{11}; R_{12}; R_{13}; R_{14}; R_{15};$ " "; $U_0;$ " "; $U_1;$ " "; $U_2;$ " "
 $U_3;$ " "; $U_4;$ " "; $U_5;$ " "; $U_6;$ " "; $U_7;$ " "; $U_8;$ " "; $U_9;$ " "; $U_{10};$ " "
 $U_{11};$ " "
 $U_{12};$ " "; $U_{13};$ " "; $U_{14};$ " "; U_{15}
 636 if $S = 9$ then Pause 100
 638 Let $L = L + 1$
 640 if Inkeys = "0" then Gomb 690
 642 if Inkeys = "1" then Gomb 700
 644 if Inkeys = "2" then Gomb 710
 646 if Inkeys = "3" then Gomb 720
 648 if Inkeys = "4" then Gomb 730
 650 if Inkeys = "5" then Gomb 740
 652 if Inkeys = "6" then Gomb 750
 654 if Inkeys = "7" then Gomb 760
 656 if Inkeys = "8" then Gomb 770
 658 if Inkeys = "9" then Gomb 780
 660 if Inkeys = "A" then Gomb 790

662 if InKeys = " B " then Gosl 800
664 if InKeys = " C " then Gosl 810
666 if InKeys = " D " then Gosl 820
668 if InKeys = " E " then Gosl 830
670 if InKeys = " F " then Gosl 840
675 if InKeys = " G " then goto 10
677 if InKeys = " H " then goto 850
680 let S = S + 1
682 if S = 9 then goto 686
684 goto 150
686 CLS
688 Goto 145
690 Input D₀, D₁, D₂, D₃
695 Return
700 Input E₀, E₁, E₂, E₃
705 Return
710 Input F₀, F₁, F₂, F₃
715 Return
720 Input G₀, G₁, G₂, G₃
725 Return
730 Input H₀, H₁, H₂, H₃
735 Return
740 Input I₀, I₁, I₂, I₃
745 Return
750 Input J₀, J₁, J₂, J₃
755 Return

760 Input K_0, K_1, K_2, K_3
765 Return
770 Input M_0, M_1, M_2, M_3
775 Return
780 Input N_0, N_1, N_2, N_3
785 Return
790 Input O_0, O_1, O_2, O_3
795 Return
800 Input T_0, T_1, T_2, T_3
805 Return
810 Input X_0, X_1, X_2, X_3
815 Return
820 Input Y_0, Y_1, Y_2, Y_3
825 Return
830 Input Z_0, Z_1, Z_2, Z_3
835 Return
840 Input W_0, W_1, W_2, W_3
845 Return
850 let $P_0 = U_0/L$
852 let $P_1 = U_1/L$
854 let $P_2 = U_2/L$
856 let $P_3 = U_3/L$
858 let $P_4 = U_4/L$
860 let $P_5 = U_5/L$
862 let $P_6 = U_6/L$
864 let $P_7 = U_7/L$

$$866 \quad P_8 = U_8 / L$$

$$868 \quad P_9 = U_9 / L$$

$$870 \quad P_{10} = U_{10} / L$$

$$872 \quad P_{11} = U_{11} / L$$

$$874 \quad P_{12} = U_{12} / L$$

$$876 \quad P_{13} = U_{13} / L$$

$$878 \quad P_{14} = U_{14} / L$$

$$880 \quad P_{15} = U_{15} / L$$

885 Print " P₀=" ; P₀ ; " , P₁=" ; P₁ ; " , P₂=" ; P₂ ; " , P₃=" ; P₃ ;
" , P₄=" ; P₄ ; " , P₅=" ; P₅ ; " , P₆=" ; P₆ ; " , P₇=" ; P₇ ; " , P₈=" ; P₈ ;
" , P₉=" ; P₉ ; " , P₁₀=" ; P₁₀ ; " , P₁₁=" ; P₁₁ ; " , P₁₂=" ; P₁₂ ;
" , P₁₃=" ; P₁₃ ; " , P₁₄=" ; P₁₄ ; " , P₁₅=" ; P₁₅

890 Input V

895 if V=1 then goto 905

900 Stop.

905 CLS

910 GOTO 145

CONCLUSION

Par le biais de cette étude , nous avons essayé de montrer l'importance et l'utilisation des séquences binaires pseudo-aléatoires, comme signaux de test , pour la réalisation des systèmes pouvant résoudre plusieurs problèmes .

Dans notre réalisation, on s'est limité à un nombre de sorties égal à 16 , alors il est possible de faire une extension .

On espère qu'on a dirigé le regard vers ce vaste domaine (Test Automatique) , et qu'il sera important d'achever ce qu'on vient de commencer pour de futur projet de fin d'étude.

BIBLIOGRAPHIE

- Commande et régulation par calcuteur numérique (1982)
Par Claude FOULARD
Sylviane GENTIL
Jean-Paul SANDRAZ
Editions EYROLLES
 - Identification des processus (1975)
Par L. Povy
Edition dunod université.
 - Électronique des signaux échantillonnés et numériques (1979)
Edition dunod université.
 - PROCEEDINGS OF THE IEEE Vol. 64 n:12
Décembre 1976
F. JESSIE MAC WILLIAMS and
NEIL J.A. SLOANE, member, IEEE.
- Toute l'Électronique 15.10.1977 n° 242
- Programmation Basic
Par BYRON S. GOTTFRIED
Serie SCHAUM (1982)
 - DATA BOOK: TEXAS INSTRUMENT et
MOTOROLA

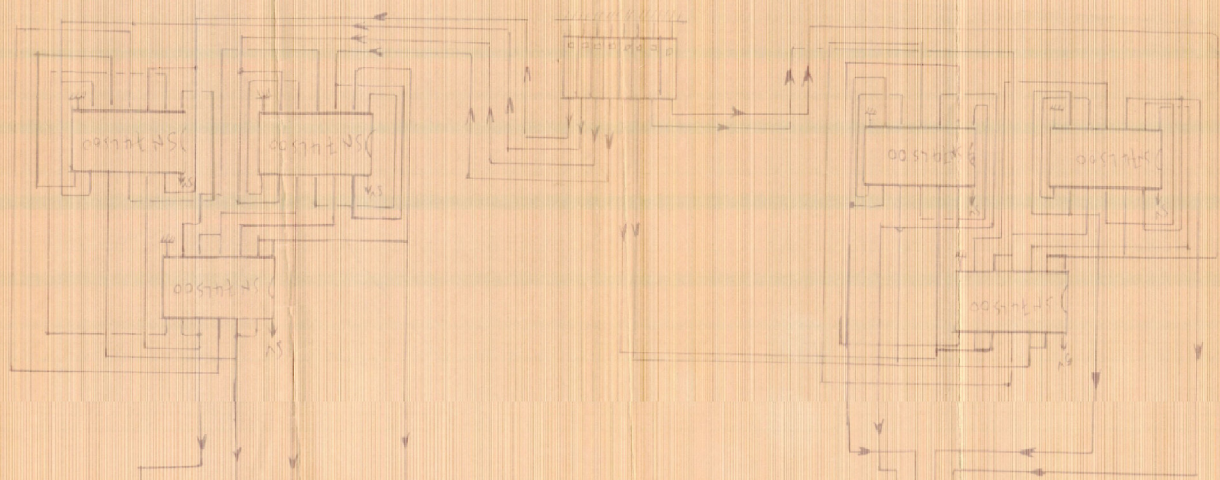


Schéma électrique du générateur

