

3/82

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

UNIVERSITE D'ALGER

2 ex

E.N.P.A

FILIERE D'INGENIEUR EN ELECTRONIQUE

المدرسة الوطنية للعلوم الهندسية
الوطنية للعلوم الهندسية
PROJET DE FIN D'ETUDES

ECOLE NATIONALE POLYTECHNIQUE
BIBLIOTHEQUE

ETUDE DU GENERATEUR DE
CARACTERES — C G 3000B—

PROPOSE PAR: M^r M. MEHNI

PARRAINE PAR: M^r H. FARAH

CHEF DE DEPARTEMENT A LA R.T.A

CHARGE DE COURS A L'E.N.P.A

REALISE PAR:

- M^r S AISSANO
- M^r Y BOUKENOUS
- M^r A MAHRANE

PROMOTION JANVIER 82

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

UNIVERSITE D'ALGER

E.N.P.A

FILIERE D'INGENIEUR EN ELECTRONIQUE

PROJET DE FIN D'ETUDES

ETUDE DU GENERATEUR DE
CARACTERES — C G 3000B—

PROPOSE PAR: M^r M. MEHNI

CHEF DE DEPARTEMENT A LA R.T.A

PARRAINE PAR: M^r H. FARAH

CHARGE DE COURS A L'E.N.P.A

REALISE PAR:

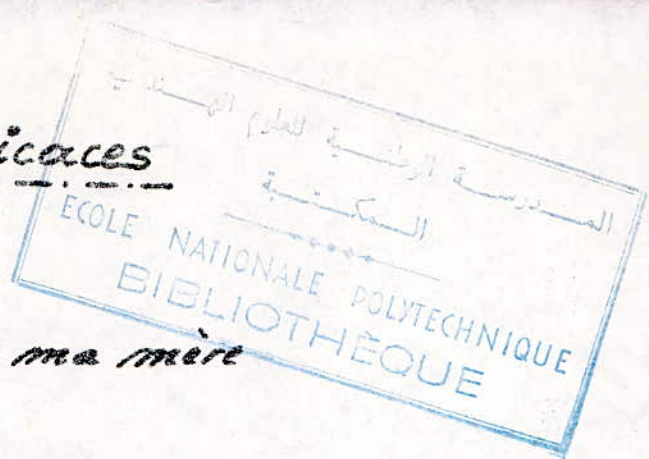
M^r S AISSANO

M^r Y BOUKENNOUS

M^r A MAHRANE

PROMOTION JANVIER 82

Dédicaces



À la mémoire de ma mère
À mon père
À mes frères et sœurs

Saddik

À ma mère et mon père adorés
À mes frères et sœurs
À tous mes amis

Yacine

À la mémoire de mes grand-parents
À mes parents
À mes frères et sœur
À tous mes amis

Achour

Remerciements

L'élaboration de ce document est l'aboutissement d'une gerbe d'efforts que tout un chacun a consentie avec amour et abnégation.

Les mots nous manquent pour traduire la gratitude qui nous anime et la reconnaissance que nous avons à l'égard de tous, ceux qui nous ont prodigué aides et conseils.

Nos remerciements s'adressent plus particulièrement à :

- M^r HOUYOU pour son esprit de coopération et ses encouragements.
- M^r NEHNI pour son dévouement et la compréhension dont il a fait preuve.
- M^r FARAH pour le témoignage de sa confiance et ses judicieux conseils qui contribueront à l'amélioration de notre travail.
- M^{rs} ISSERI et KAIDI pour leur sympathie, amabilité et leurs attentives attentionnées dont ils nous ont toujours gratifiés.

Puisse ces quelques lignes constituer un vibrant hommage à tous, ceux qui ont concouru à bon escient à la réalisation de ce projet.



Sommaire

Introduction

Chapitre 1:

Généralités

- 1.1 : Description générale du système
- 1.2 : Constitution de la chaîne de visualisation

Chapitre 2:

Nini-ordinateur (TC 3000)

- 2.1 : Principe de fonctionnement
- 2.2 : Structure du CPU
- 2.3 : Mémoire centrale

Chapitre 3:

Générateur de caractères (CG 3000 B)

- 3.1 : Principe de fonctionnement
- 3.2 : Constitution du CG 3000 B
 - 3.2.1 : Générateur du curseur.
 - 3.2.2 : Section de commande.
 - 3.2.3 : Mémoire de format.
 - 3.2.4 : Mémoire de page.
 - 3.2.5 : Zone de massage.
 - 3.2.6 : Mémoire de fonte.
 - 3.2.7 : Section de commande des sorties.

Chapitre 4:

Section vidéo.

Chapitre 5:

Carte d'interface.

- 5.1 : Horloge principale et diviseurs de synchro.
- 5.2 : Commande de dispositifs d'interface.
- 5.3 : Carte d'interface de la mémoire disque.

Chapitre 6:

Clavier (TKB 3000).

Conclusion.

INTRODUCTION

Les besoins de communication entre l'homme et la machine par le biais d'un dispositif d'affichage ont amené la visualisation graphique plus particulièrement celle concernant les caractères alpha-numériques.

Celle-ci est assurée par un système de composition graphique, qui est en fait une chaîne de traitement aigie par un mini-ordinateur qui capte les désirs de l'opérateur par l'intermédiaire des données et commandes qu'il aiguille vers le générateur. Ce dernier du type "CG3000B" prend à lui exploite les informations numériques qui lui parviennent, afin d'assurer la "mise en forme" des caractères à visualiser.

Il est alors au dernier étage qui traduit concrètement sur l'écran les désirs exprimés par l'opérateur c'est la section vidéo.

C'est dans le but d'effectuer une étude détaillée du fonctionnement du générateur de caractères tout en l'insérant dans le milieu dans lequel il doit évoluer que nous nous sommes vus confier l'élaboration de ce document au sein de la RTA.

Chapitre-1 -

GENERALITES

1.1 : Description générale du système :

La fig. 1-1 est un schéma synoptique simplifié du système compositeur.

L'unité principale du compositeur renferme l'unité centrale de traitement (CPU) avec sa mémoire opérationnelle (64K x 16). Le CPU contrôle les données d'entrées/sorties provenant des claviers de l'opérateur, le terminal central et la mémoire magnétique opérationnelle à disque.

Les pages graphiques créées sur le clavier par l'opérateur sont mises en mémoire pour une utilisation ultérieure sur le disque fonctionnel. Les pages peuvent être réutilisées à tout moment pour une édition spécifique à moins qu'elles ne soient protégées contre tout changement non autorisé.

Le terminal central assure l'interface opérateur-machine sur le CPU, pour l'utilisation du système et les vérifications d'entretien décidées par l'utilisateur. Les bande de programmes de diagnostic, dont certaines peuvent être obtenues sur disque à partir de l'usine, assurent des vérifications de performance pour les fonctions de sous-système telle que la mémoire à disque, le générateur de caractère, etc ...

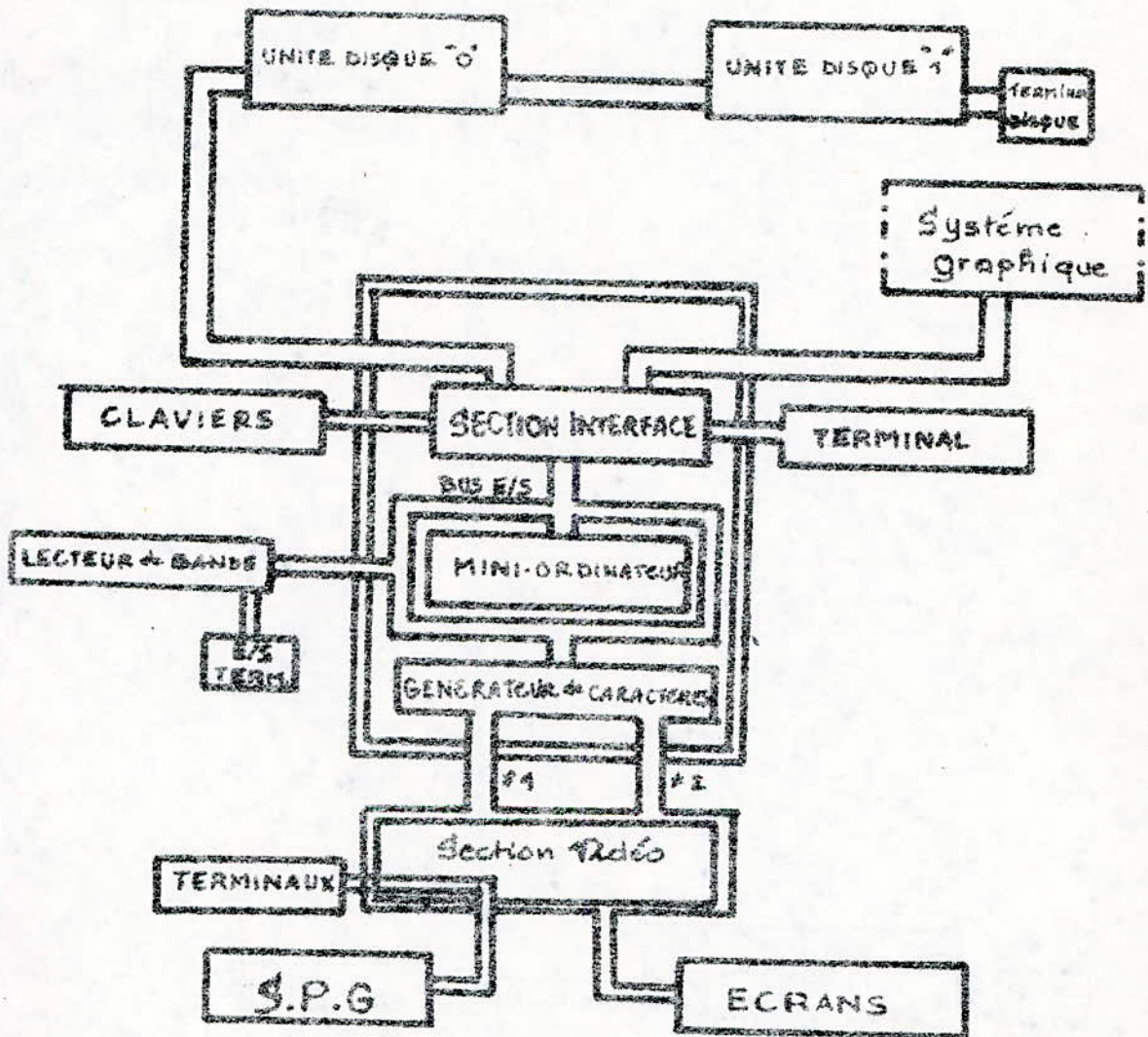


Fig 1: Schéma bloc du système

Les programmes opérationnels et les données de fonte sont lus à partir du lecteur de bande dans la mémoire opérationnelle du CPU pour le stockage subséquent dans le disque.

Les données de format des pages graphiques sont mises en mémoire séparément depuis les données de fonte. Lorsqu'une page est sélectionnée à partir de la mémoire à disque, les données de fonte sélectionnent l'information de fonte correcte dans le générateur de caractères, puis sont envoyées sur la section vidéo pour la visualisation.

Le débit de données numériques provenant du générateur de caractères s'achève ensuite dans la section vidéo où est produite la vidéo-composée.

De plus le système vidéo assure la mise en bordure des caractères optionnels, la couleur des caractères et la couleur du fond puis sont sélectionnées par l'opérateur.

1.3 : Localisation de la chaîne de visualisation

La fig 2. est un schéma synoptique simplifié de la chaîne de visualisation des caractères. Elle se compose de :

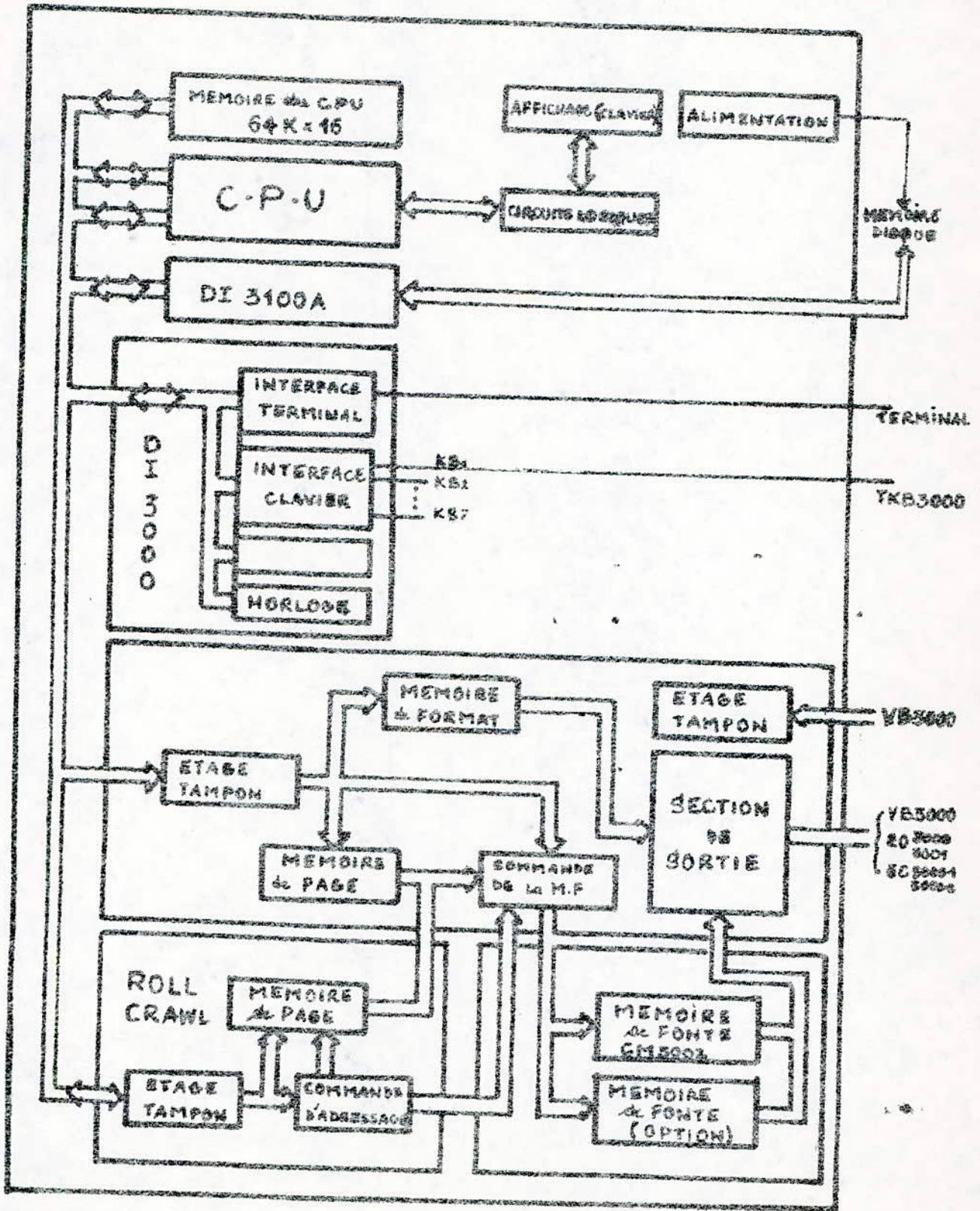
1.2.1 : Unité centrale de traitement (CPU). Elle exécute les instructions de programmes présentes dans la mémoire centrale en vue de commander le système.

1.2.2 : Mémoire centrale : C'est une mémoire RAM de 64 Kx16 bits retenue toutes les données de programme utilisées par le système.

Ensemble, le CPU et la mémoire forment un ordinateur.

1.2.3 : Générateur de caractères C63000B : Ce module C63000B contient tous les circuits électroniques digitaux

fig 2 - Synoptique du Système Compositeur -



nécessaires à l'engendrement d'usages de canal unique tant pour la programmation que pour le préensionnement (y compris les lignes de communication).

Il existe 3 types de mémoires.

- Mémoire de page qui emmagasine les données relatives aux caractères ainsi que leurs caractéristiques (bord fond, ...).
- Mémoire de format qui garde toutes les données relatives à la structure d'une page.
- Mémoire de fonte CR3002 qui emmagasine toutes les données concernant les fontes de caractères.

1.2.4 : Interface de commande DI3000 : cette carte compte les interfaces suivants, reliés pour le système.

- Terminal d'entrée/sortie de commande centrale.
- Sept ports d'entrée de clavier.
- Une porte de sortie de clavier.

1.2.5 : Interface de la mémoire disque DI3100A : il commande le disque à bras mobile utilisé par le système pour emmagasiner programmes, fontes et pages.

1.2.5 Dérèglement / Avancement Lent (R/L) : le module RC3000 contient les circuits de mémorisation et d'interface nécessaires au dérèglement et à l'avancement de pages composées en mode statique, et ceci quelque soit la longueur du message, dans les limites de la mémoire à disque. Le module dispose de 6 vitesses plus l'arrêt.

1.3.6 : Terminal central : Il déclenche tous les changements des bords de diagnostic, des fontes et des programmes. Il fournit de plus une copie en clair sur papier et la commande des numéros de page de la mémoire, les codes de protection et les priorités du panneau de commande (clavier).

1.2.3: Action vidéo: Le flot de données digitales du générateur de caractères est transféré en des signaux caractères-vidéo dans le chemin vidéo où l'on produit la vidéo composite. De plus, le système vidéo permet une commande de bord optionnelle sur les caractères, la couleur des caractères et la couleur du fond qui sont sélectionnés par l'opérateur.

Chapitre-2-

MINI-ORDINATEUR

Le système de réalisation que nous nous proposons d'étudier nécessite un organe principal (mini-ordinateur) assurant les commandes et contrôles pour gérer toutes les directions de la chaîne. Le mini-ordinateur se compose essentiellement :

- * d'une mémoire centrale RAM de capacité 64K x 16 emmagasinant les instructions des programmes et les données.
- * d'une unité centrale de traitement (CPU) qui exécute les instructions de programmes présentes dans la RAM.

2.1: Principe de fonctionnement :

La mémoire centrale est destinée à stocker le programme et les données. Et ces deux types d'information suivent deux chemins différents lors du traitement.

Les instructions du programme sont acheminées après leur lecture en mémoire vers le registre d'instructions (RI) qui les mémorise pendant leur exécution. Elles sont analysées par l'unité de commande qui actionne les divers organes pour exécuter l'opération demandée. L'enchaînement des différentes instructions du programme est assuré par le compteur de programmes qui pointe continuellement pendant l'exécution, l'adresse de l'instruction suivante à effectuer. (cf fig 4)

Dans le cas d'un enchaînement séquentiel des instructions, le compteur de programmes est régulièrement incrémenté de un ; par contre, dans le cas d'une rupture de séquence, l'adresse contenue dans ce compteur est modifiée. Les données également extraites de la mémoire centrale sont acheminées vers l'organe de traitement

approprié. L'exécution d'une instruction nécessite l'enchaînement d'une suite de micro-ordres.

A chaque instruction est associé un micro-programme formé d'une suite de micro-instructions qui sera appelée et exécutée chaque fois que l'instruction correspondante sera demandée.

Ces-ci sont organisés en 80 bits avec un ou plusieurs bits pour chaque fonction. Il est contenu dans deux (20) PROMS (Type 6349) chacune ayant une capacité de 4K bits sur une répartition de 512 octets, dont deux entrées sont admises respectivement dans deux (20) registres. (cf fig 2).

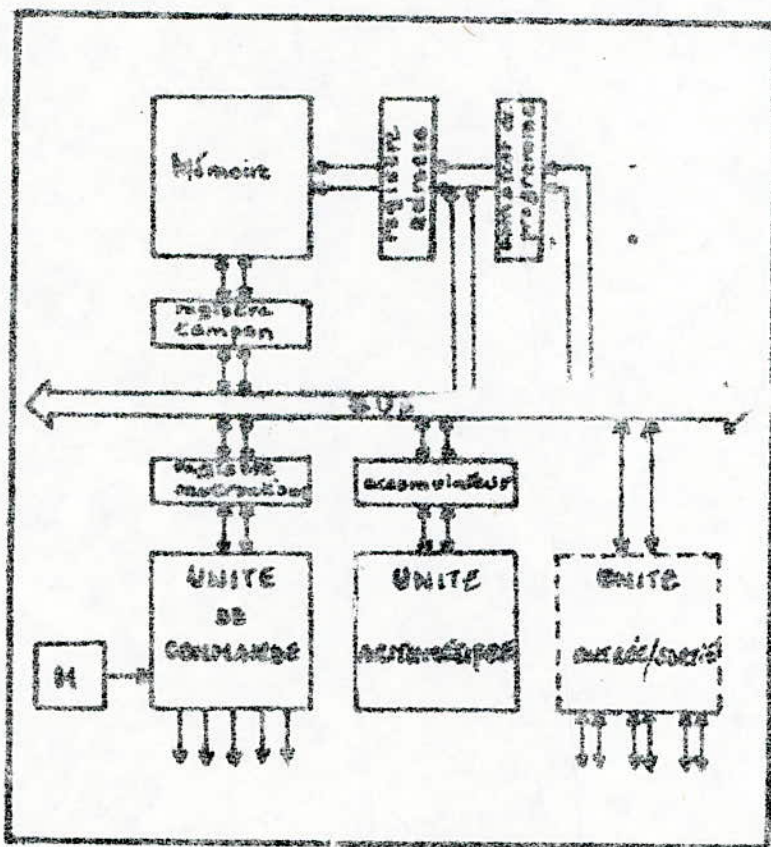
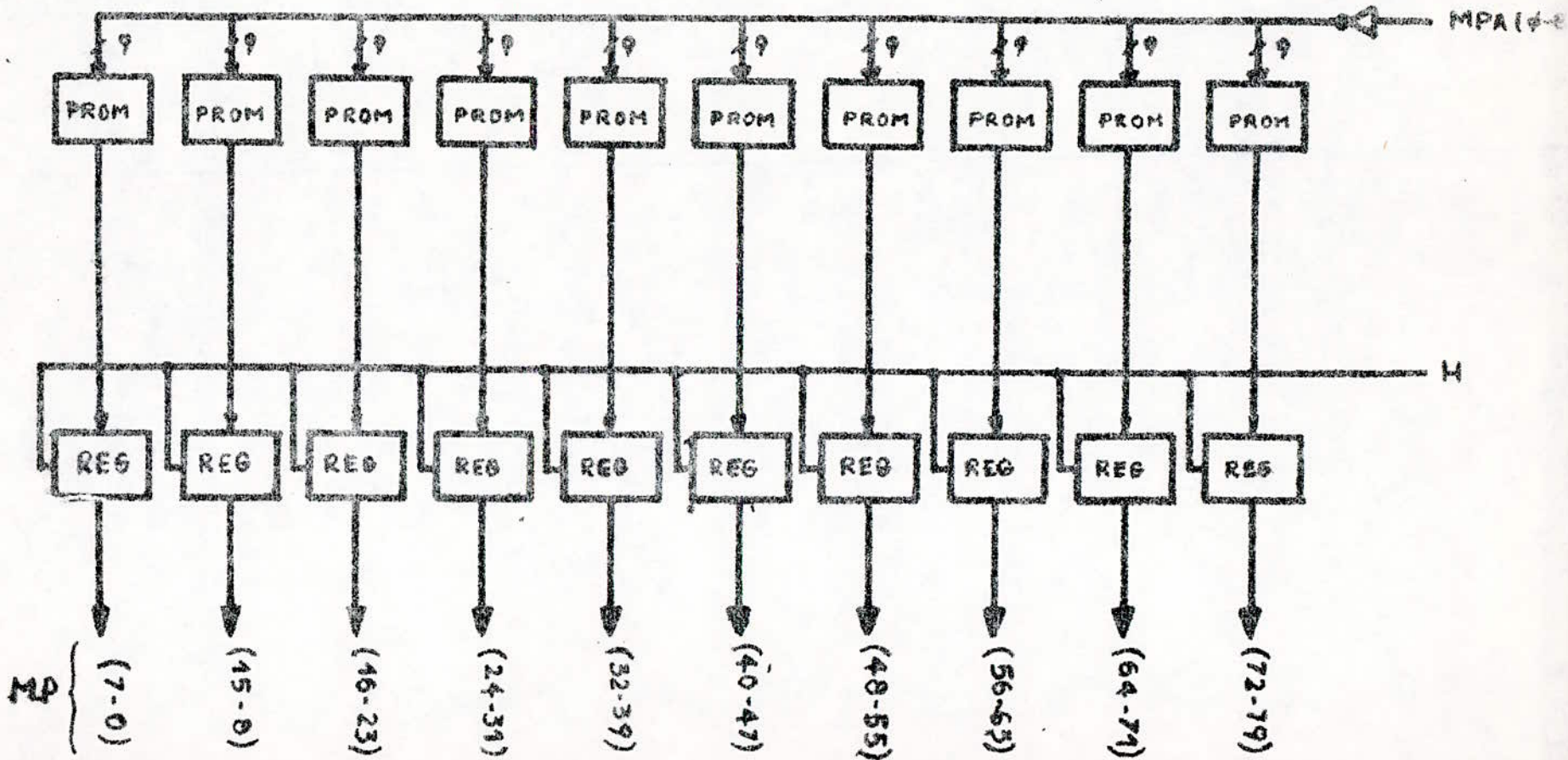


Fig. 2

fig-2 - Organisation du Microprogramme.



2.2: Structure du CPU:

L'unité centrale de traitement (CPU) est le cerveau du calculateur qui analyse les différentes instructions et assure leurs exécutions en agissant d'une manière séquentielle sur les différents organes du calculateur.

Les unités de commandes et de traitement le composant essentiellement sont à base de "microprocesseurs en tranches".

2.2.1: Unité de commande: (séquenceur)

L'unité de commande prend en entrée les instructions et en sort les micro-commandes.

Elle est réalisée avec 3 tranches de séquenceurs du type AN2909 mis en cascade et des mémoires de microprogramme. (10 PROMS).

1. Etude de l'AN 2909 (cf fig 3)

Le "module" commande le déroulement des microinstructions contenues dans les PROMS précédemment cités en sélectionnant une adresse de quatre (4) sources suivantes:

- * un ensemble d'entrées directes "0" qui réalise le branchement à une micro-instruction qui se trouve codée dans une adresse de la mémoire morte indiquée dans la microinstruction précédente.

- * Des données externes "R" stockées dans le registre interne servant d'adresse de départ du sous-programme.

- * Une pile d'une capacité de quatre (4) mots qui permet des branchements multiples au cours de l'exécution d'un programme.

- * Une compteur de programme qui assure l'adressage séquentiel.

Les quatre (4) voies sont gérées par un multiplexeur à quatre (4) entrées, dont la sélection de l'une d'elles est

La sortie du multiplexeur peut également être forcée à "0" par l'entrée \overline{OE} . Les autres sont en logique 3 états et sont contrôlés par l'entrée \overline{OE} .

\overline{OE} : sur niveau bas valide les sorties Y_i

sur un niveau haut les Y_i sont dans l'état HI (haute impédance).

- L'incrémenteur : dispose d'une entrée de report C_n et d'une sortie de report C_{n+1} pour les mises en cascade. Lorsque C_n de la tranche la moins significative est à "1", le dispositif fonctionne en incrémenteur, car pour l'adresse présentée à l'adresse du registre compteur de programme est égale à celle qui est sur la sortie du multiplexeur augmentée d'une unité (enchainement séquentiel). Par contre, lorsque cette entrée C_n est à "0", l'incrémenteur laisse passer l'adresse sans la modifier et le registre PC se chargera à la prochaine impulsion d'horloge avec la même adresse que précédemment. Cette provision permet ainsi d'exécuter plusieurs fois de suite la même μ -instruction.

- La pile du type LIFO (last in - first out), gérée par un pointeur de pile (SP) est utilisée pour mémoriser l'adresse à laquelle on doit revenir lorsque le sous-programme auquel on a fait appel est terminé.

Les signaux \overline{EN} et PUSH permettent de valider la pile, ($\overline{EN}=0$) ou de l'inhiber ($\overline{EN}=1$); et d'introduire le contenu du registre PC dans la pile (PUSH=1) ou d'extraire le dernier mot entré dans la pile (PUSH=0).

ii: Opérations et fonctions: la fig 4.3 présente la sélection des codes pour le multiplexeur. En effet deux bits S_0 et S_1 appliqués à partir de la mémoire de contrôle

de l'adresse de la nouvelle μ -instruction. Le contenu de la source sélectionnée apparaîtra sur les ports Y_i .

Les fig 4.2 et 4.3 donnent respectivement la table de vérité pour la commande de sortie du séquenceur et la commande de la pile.

fig 4.1

S ₁	S ₀	Sortie d'adres
0	0	μPC
0	1	REG
1	0	STKO (*)
1	1	D _i

(*) : Contenu de la pile à l'état initial.

fig 4.2

OR _i	\overline{ZER}	\overline{OE}	Y_i
X	X	1	Z
X	0	0	0
1	1	0	1
0	1	0	(**)

(**): Y_i est sélectionné par S₀S₁
 $X = V$; Z : haute impédance.

\overline{FE}	RUP	E/S de la pile.
1	X	pas de changement
0	1	Incristementation du SP
0	0	Décrémentation du SP

fig 4.3

2.2.2 Unité de traitement :

L'unité de traitement de données sert essentiellement à effectuer des opérations arithmétiques et logiques sur les données. Elle est réalisée à partir de 4 microprocesseurs en tranches du type AN2901 mis en cascade.

i: Etude de l'AN2901 : Cette unité est constituée d'une ALU (unité arithmétique et logique), d'une mémoire RAM à double accès de 16 registres, d'un registre auxiliaire Q, d'une entrée directe D et de modules de décalage.

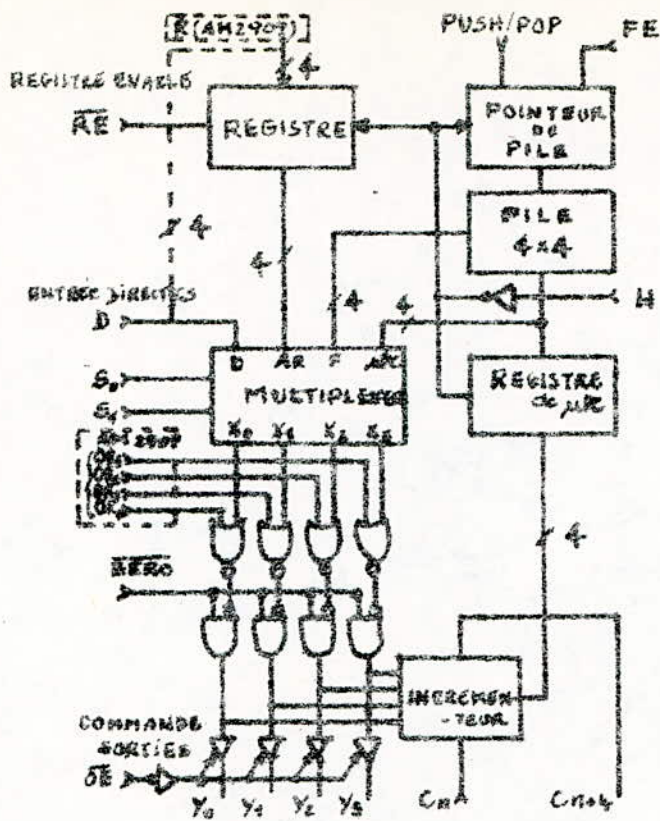


fig 3 - Schéma Bloc Am 2909

MICRO CODE				SOURCE D'OPERANDS	
I ₂	I ₁	I ₀	OCTAL	R	S
0	0	0	0	A	Q
0	0	1	1	A	B
0	1	0	2	Q	Q
0	1	1	3	Q	B
1	0	0	4	Q	A
1	0	1	5	D	A
1	1	0	6	D	Q
1	1	1	7	D	Q

fig 5.1 - Commande des sources d'opérandes de l'ALU.

MICRO CODE				FONCTION ALU	Symbol
I ₂	I ₁	I ₀	OCTAL	R op S	R ^{op} S
0	0	0	0	STANDARD	S-R
0	0	1	1	R min S	R-S
0	1	0	2	R OR S	RVS
0	1	1	3	R AND S	RAS
1	0	0	4	R AND S	RAS
1	0	1	5	R XOR S	RVS
1	1	0	6	R XOR S	RVS
1	1	1	7	///////	///////

fig 5.2 - Commande des fonctions ALU.

Le schéma fonctionnel est représenté en fig 5.

On peut présenter sur l'entrée R de l'ALU les opérandes (A, D ou 0) et (A, B, Q ou 0) sur l'entrée S. La sélection des opérandes est faite par les multiplexeurs. Les opérandes A et B sont extraites à partir de la mémoire à double accès.

On peut sélectionner les registres de la mémoire à l'aide de 8 bits d'adresse (4 bits pour le registre A et 4 pour B), provenant d'un champ du registre de μ -instructions. Les contenus correspondants apparaissent sur les entrées A et B.

- * L'entrée D est une entrée directe de données.
- * L'entrée Q est fournie par le registre auxiliaire Q destiné à la multiplication et l'addition de soustraction, et peut être utilisée comme accumulateur ou registre de maintien.
- * L'entrée "0" est définie par un générateur de "0" logique.

Le fonctionnement de l'ALU est contrôlé par 9 bits (I_0 à I_8) provenant du registre de μ -instructions. Elle opère à une vitesse élevée et exécute trois fonctions arithmétiques et cinq fonctions logiques sur les opérandes sélectionnés par les bits (I_0 à I_8).

L'UAL dispose de 4 sorties servant d'indicateurs pendant le déroulement des opérations.

C_{+1} : retenue de sortie

F_0 : bit du signe de la branche

OVF : d'overflow pour la branche

$F=0$: Indicateur de zéro.

Lorsqu'une opération arithmétique ou logique est terminée le résultat peut être envoyé à l'entreeur (Y) et/ou stocké en mémoire RAN (dans le registre B) ou dans le registre Q,

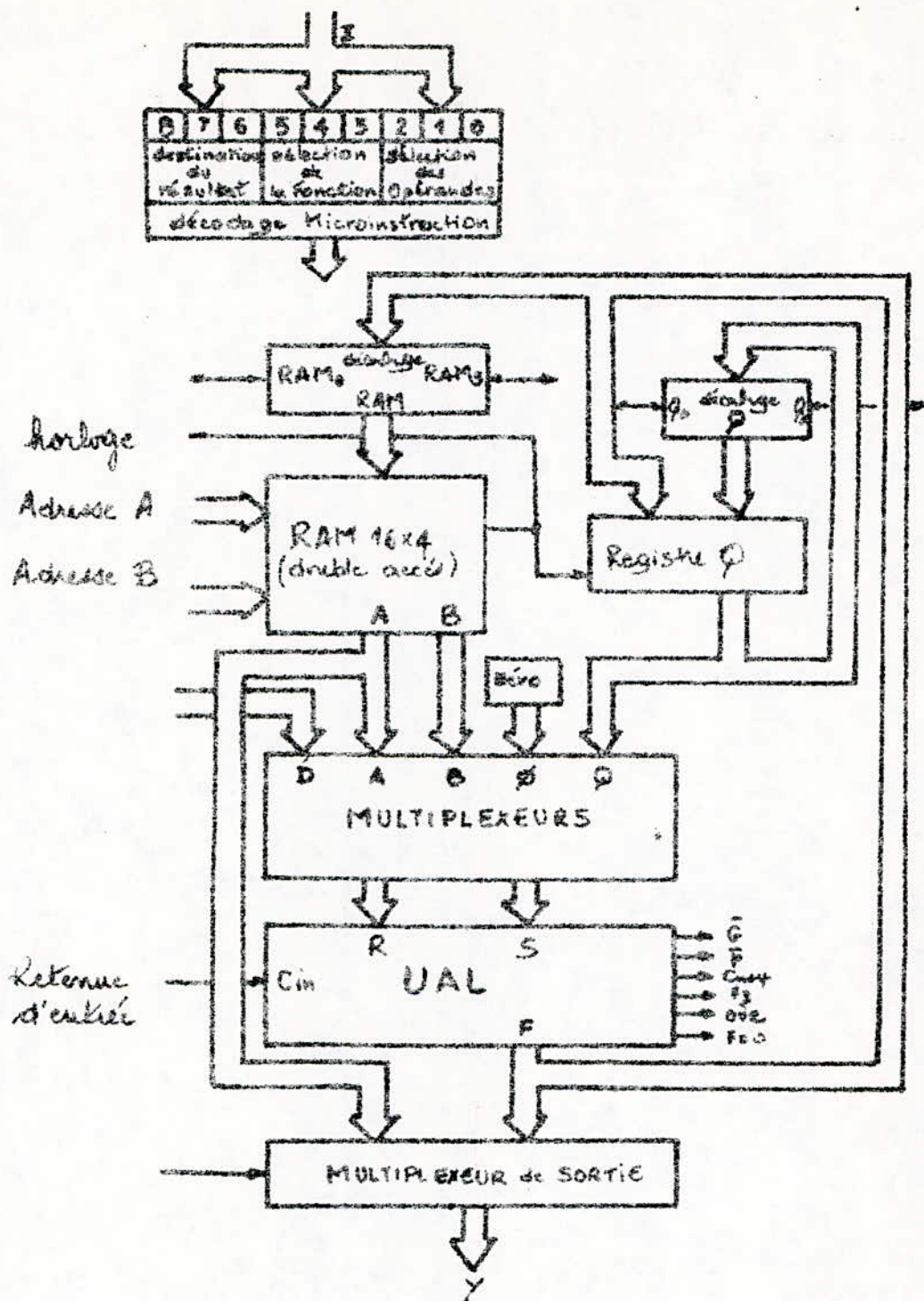


fig-5 - Schema Bloc de l'Am 2901.

après décalage éventuel à droite ou à gauche.

Les différentes opérations sont contrôlées par les bits ($I_6 \div I_8$). Les extrémités RAN₀, RAN₃, Q₀ et Q₃ des modules de décalage sont utilisés, comme E/S lorsqu'un décalage a lieu. Dans le mode "pas de décalage" elles sont dans l'état HI.

Lors de la mise en cascade on applique les mêmes signaux sur tous les bits (Add A, Add B et contrôle de l'UAL). La retenue d'entrée C_n de chaque bit est connectée à C_{n+1} du bit précédent.

"Des performances supérieures sont obtenues en générant des retenues de façon externe à partir de \bar{P} et \bar{C} ."

ii Opérations et fonctions:

Les sélections d'opérations et de fonctions sont commandées par les μ -instructions ($I_0 \div I_8$) dans la répartition ci-dessous.

$I_0 \div I_2$: sélectionnent les opérations (A et B). cf tableau 5.1

$I_3 \div I_5$: sélectionnent la fonction à exécuter. cf tableau 5.2

$I_6 \div I_8$: déterminent la destination du résultat. cf tableau 5.3

Les opérations arithmétiques et fonctions logiques sont respectivement consignés dans les tableaux 5.4 et 5.5

2.3 : Mémoire centrale

Cette mémoire contient toutes les instructions et données nécessaires à l'exécution du programme de façon temporaire.

La capacité de $64K \times 16$ est organisée en quatre groupes de $16K \times 16$; donc chacun d'eux est composé de 16 chips mémoire (RAN dynamiques).

Le type de mémoire nécessite un rafraîchissement périodique pour maintenir l'information présente.

Mode d'adressage: cf fig 6

Chaque chip est une matrice de 128×128 cellules. Quatorze

MICRO CODE			FONCTION RAM		REG Q FONCTION		Y	
I ₆	I ₇	I ₈	OCTAL	DECALAGE	CHARGE	DECALAGE		CHARGE
0	0	0	0	X	NON	NON	F → Q	F
0	0	1	1	X	NON	X	NON	F
0	1	0	2	NON	F → B	X	NON	A
0	1	1	3	NON	F → B	X	NON	F
1	0	0	4	BAS	F/2 → B	BAS	Q/2 → Q	F
1	0	1	5	BAS	F/2 → B	X	NON	F
1	1	0	6	HAUT	2F → B	HAUT	2Q → Q	F
1	1	1	7	HAUT	2F → B	X	NON	F

fig 5.3 - Commande de destination de l'ALU.

Octal I ₁₀ , I ₁₁	GROUP	FONCTION
40	ET	A & Q
41		A & B
45		D & A
46		D & Q
30	OU	A ∨ Q
31		A ∨ B
55		D ∨ A
36		D ∨ Q
60	OU-EX	A ∨ Q
61		A ∨ B
65		D ∨ A
66		D ∨ Q
70	NON-EX	A ⊕ Q
71		A ⊕ B
75		D ⊕ A
76		D ⊕ Q
72	INVERSE	Q
73		B
74		A
77		D
62	PASSE	Q
63		B
64		A
67		D
32	PASSE	Q
33		B
34		A
37		D
42		
43	"ZERO"	0
44		0
47		0
50		MAJUSCULE
51	A & B	
55	B & A	
56	B & Q	

Octal I ₁₀ , I ₁₁	C _n = 0 bas		C _n = 1 haut	
	Groupes	fonction	Group	fonction
00	ADD	A + Q	ADD plus un	A + Q + 1
01		A + B		A + B + 1
05		D + A		D + A + 1
06		D + Q		D + Q + 1
02	PASSE	Q	Incrément	Q + 1
03		B		B + 1
04		A		A + 1
07		D		D + 1
42	Decrement	Q - 1	PASSE	Q
43		B - 1		B
44		A - 1		A
47		D - 1		D
22	COMPLEMENT -ENY & 1.	-Q - 1	COMPLEMENT -ENY & 2.	-Q
23		-B - 1		-B
24		-A - 1		-A
47		-D - 1		-D
10	SOUSTRACTION EN COMPLEMENT & 2.	Q - A - 1	SOUSTRACTION EN COMPLEMENT & 2.	Q - A
11		B - A - 1		B - A
15		A - B - 1		A - B
16		Q - D - 1		Q - D
20		A - Q - 1		A - Q
21		A - B - 1		A - B
25		D - A - 1		D - A
26		D - Q - 1		D - Q

fig 5.4 - Mode des fonctions arithmétiques de l'ALU.

fig 5.5 - Mode des fonctions logiques de l'ALU.

bits d'adresse sont mémorisés au décodage des 16384 emplacements de cellules.

• Au premier coup d'horloge les sept bits d'adresse de rangée sont insérés dans la mémoire pour la commande de \overline{RAS} (4).

• Au deuxième coup d'horloge les sept bits d'adresse de la colonne sont insérés dans la mémoire pour la commande de \overline{CAS} (4).

(4): [strobe address row : adresse d'échantillonnage de rangée.]

(4): [strobe address column : adresse d'échantillonnage de colonne.]

Chacun de ces signaux \overline{RAS} et \overline{CAS} détermine la réponse des éléments qui sont commandés par la ligne à retard D_{12} (4). Cette ligne contrôle la fonction de mémoire, le cycle de rafraîchissement et sélectionne les adresses de rangée par \overline{RAS} et de colonnes par \overline{CAS} .

Les 14 lignes d'adresses sont acheminées vers la mémoire via deux multiplexeurs (74LS 157). La sélection du bloc mémoire pour l'adresse de rangée est effectuée par une sélection (74LS 139) pour les commandes de lignes ADR 14 et 15 pour les entrées A et B et ADR 16 pour la validation des mots.

Les registres de parole (74LS 374) de la mémoire sont commandés par le sélecteur de dispositifs.

20

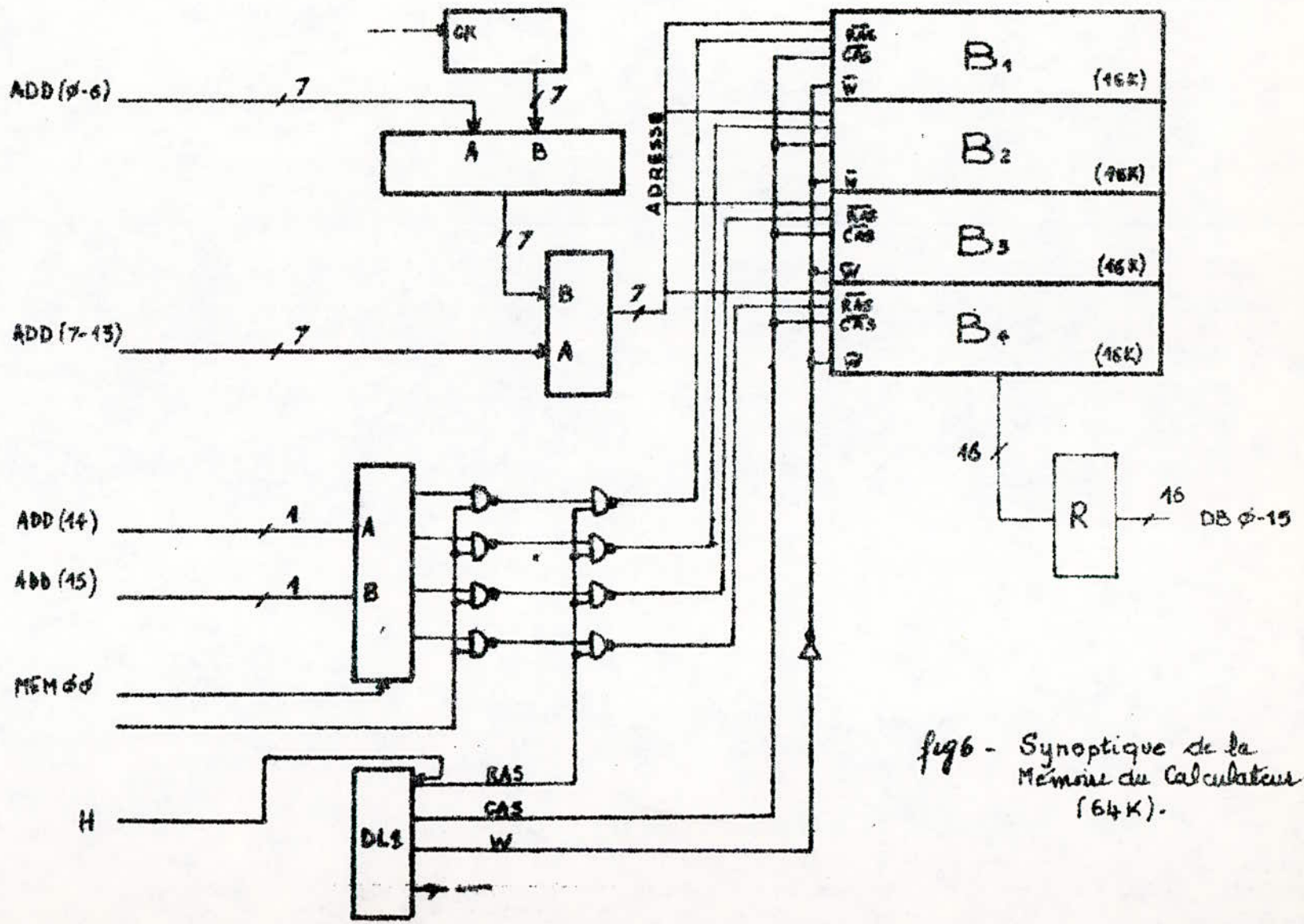


fig 6 - Synoptique de la Mémoire du Calculateur (64K).

Chapitre-3-

GENERATEUR-DE-CARACTERES

Le module générateur de caractères produit un affichage d'une page avec deux (2) rangées de communication à partir des données du calculateur.

Il génère aussi un flot de données digitales relatives à la formation du curseur et du caractère (couleur, bord...), à la couleur de fond et l'agencement des pages.

Le CG 3000B comprend essentiellement trois (3) sections de mémoire :

- La mémoire de fonte "C13002" emmagasinant les données qui permettront au synthétiseur d'écrire de former tous les caractères de fontes mémorisés.
- La mémoire de page qui stocke les caractères à combiner sur une page, leur position dans une rangée de la page ainsi que la couleur, le bord et autres caractéristiques.
- La mémoire de format mémorise les couleurs de fond, les caractéristiques de ton ainsi que la position des rangées dans une page.

3.1: Principe de fonctionnement: (cf. fig 1)

Le fonctionnement du CG 3000B est sous tutelle de l'unité principale de traitement TC 3000, qui le commande et contrôle par le biais d'un flot de données numériques.

Tous les signaux du calculateur entrent dans la carte CG 3000B sont mis en tampon pour améliorer leur stabilité. Ceux-ci sont dirigés vers le générateur du curseur, la mémoire de format, la mémoire de page et la section de commande.

L'adresse du curseur fournie par le TC3000 est comparée à celle arrivant du compteur de position (verticale et horizontale) pour permettre une génération (visualisation) correcte de ce dernier. Il établit par sa présence un dialogue à travers les voies de communication sur l'écran.

Les données qui arrivent sur la mémoire de format fournissent une adresse de charge de rangée à la mémoire de page, et la couleur de fond qui sera produite à partir de la ROM de couleur et injectée dans la section vidéo.

La mémoire de page quant à elle nécessite 48 bits pour chaque caractère (adresse, hauteur, couleur...).

Les sorties de la mémoire de page sont introduites parallèlement :

- * Dans la zone de message qui donne une adresse effective à la mémoire de fonte ; pour la restitution du caractère paire de transitions par paire de transitions qui seront comparées à son compteur de position horizontale pour mettre le registre de sortie en/hors circuit.
- * Dans la ROM de couleur (couleur et ton du caractère).
- * Dans le registre de sortie (bord et sa luminosité, clignotement).

3.2: Constitution du générateur de caractères:

3.2.1: Générateur du curseur: (cf fig 2)

Le curseur doit être toujours présent sur l'écran lorsque le compositeur est apte à recevoir des données à partir de l'un des sept (7) claviers. Il indique la position qui est prête à recevoir l'affichage d'un caractère ou symbole quelconque. Son emplacement est déterminé par les données E/S (entrées/sorties) du calculateur. Celles-ci arrivent sur

les registres X et Y (74LS 174) sont composés respectivement dans CPH et CPV (compteur de position horizontal et verticale; 74LS 95) avec celles issues du compteur de position horizontale XCT (627) et celles du compteur de lignes d'analyse CLA(0+6). Lorsque la similitude des comptes est établie, les compteurs de position du curseur (74LS 194) sont chargés avec leurs entrées préglées, sous impulsion d'horloge. Ils nous fournissent la position exacte du curseur sur l'écran (signal 1). Un diviseur par 12 du signal trame supprime une vitesse de clignotement du curseur et un régime de deux marches et un arrêt. (signal 2). Une commande émanant du CPU actionne la marche ou l'arrêt du curseur (signal 3). Les trois signaux combinés dans une porte NAND, assurent la formation du curseur complet.

3.2.2: Section de commande :

Cette section assure et coordonne les opérations que l'on exécute en utilisant la mémoire de format, de page et de fonte, sous contrôle du CPU.

Elle assure les fonctions suivantes :

- * Sélection de mémoire (SELECTMEN).
- * Charge de l'adresse de mémoire (MLOAD).
- * Adresse de mémoire plus un. (MAPIN).
- * Validation des portes de la mémoire de fonte (EXTCSN).
- * La commande de prise (TAKEN) qui permet l'échémement du flot de données généré vers la section vidéo.
- * Commande de trame après la charge (FLDALD).

3.2.3: Mémoire de format : (cf fig 3)

Cette mémoire emmagasine des données relatives à la structure d'une page (couleur de fond, disposition des rangées dans une

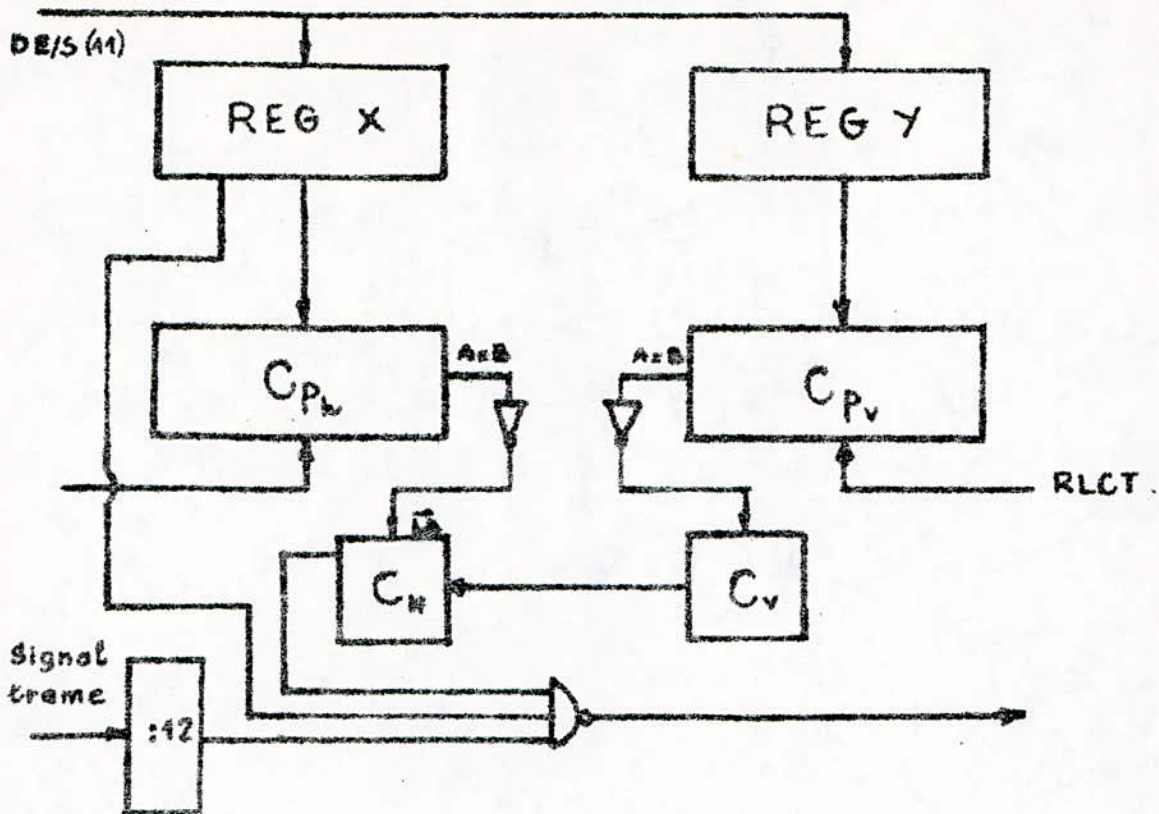


fig-2 - Générateur de curseur.

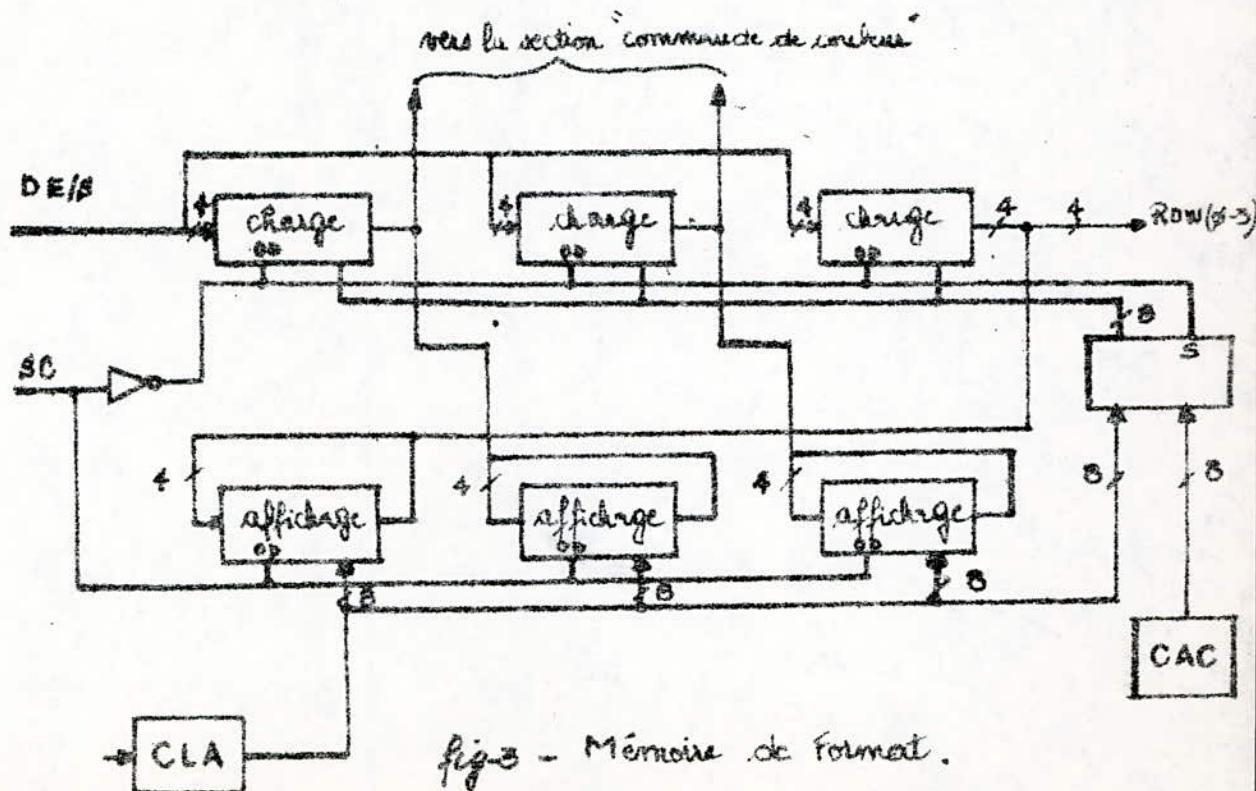


fig-3 - Mémoire de format.

page...). Etant donné que la lecture et l'écriture ne peuvent se faire simultanément à partir de la mémoire, il est donc nécessaire de la scinder en deux parties identiques, à savoir une mémoire de format de charge et une mémoire d'affichage. Chacune d'elles étant constituée de trois confettis de mémoire.

Le confetti est une mémoire RAM statique à accès sélectif; de capacité 2K bits organisé en 256 mots de 4 bits.

i. Cycle de fonctionnement :

Les données sont introduites par quartet (4 bits) dans chacun des trois confettis de la mémoire de format de charge. Pendant que celle-ci se charge (ses sorties inhibées par un signal haut sur 00), la mémoire de format d'affichage a son contenu visualisé, du fait que ses sorties sont validées par un niveau bas sur 00.

Après réception d'une page complète par la mémoire de format de charge, son contenu est transféré sur la mémoire de format d'affichage tout en étant visualisé sur l'écran. Lors du changement d'une nouvelle page dans la mémoire de charge, la lecture de la page précédente est faite à partir de la mémoire d'affichage. Le cycle alterné permet l'affichage permanent sur l'écran.

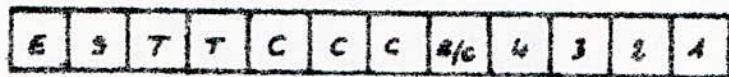
ii. Mode d'adressage :

Chaque confetti de mémoire nécessite huit (8) bits pour son adressage. Pour écrire dans la mémoire de charge, l'adresse est fournie par le compteur d'adresse de charge (CAC) lequel est composé de deux compteurs (74LS161) mis en cascade. Pour la lecture, l'adressage se fait par le compteur de lignes d'analyse. On dispose de deux (2) multiplexeurs (74LS157) qui sélectionnent l'une de ces deux adresses.

Quant à la mémoire d'affichage, elle reçoit son adresse uniquement du compteur de lignes d'analyse (CLA) (74LS161).

iii: Constitution d'un mot de format:

Chaque mot de format possède l'organisation suivante:
12 bits de longueur.



E: échange (1 bit)

0: normal

1: la couleur de fond est inversée à la place de celle des caractères.

S: source (1 bit) permet d'insérer une image externe.

0: interne

1: externe.

TT: ton (2 bit) ton de couleur de 0 à 3.

0: le plus foncé.

3: le plus clair.

COUL: couleur (3 bits)

0: gris

4: cyan

1: rouge

5: magenta

2: vert

6: jaune

3: bleu

7: marron.

R/C: (déroulement / avance lente) (1 bit)

0: pas de R/C

1: déroulement ou avance lente.

ROW: rangée (4 bits) ces 4 bits indiquent le numéro de rangée.

ROW (1 ÷ 12) sont utilisés pour les données de programme.

ROW 13 est utilisé comme terminaison de page.

ROW (4-15) rangées de communication.

ROW 0 marque une rangée nulle.

Les bits de rangées (4-2) sortant de la mémoire de format sont acheminés dans la mémoire de page. Les trois bits de couleur de fond, les deux de ton et celui d'échange quant à eux sont introduits dans la section de commande de couleur.

iv. Section commande de couleur :

L'élément principal de cette section est une mémoire à lecture seulement de 32 mots octets (ROW : 64-022732-004) programmée pour fournir divers types de couleurs. cf fig-5.

DECAL ADDR	BINARY ADDR M-20	D D7	C C6	B B5	A A4	LEV L3	BLU B2	GRN G1	RED R0	COMMENTAIRES
0	000000	1	1	1	1	0	0	0	0	0 BLACK
1	000001	1	1	1	0	0	0	1	1	0 RED
2	000010	1	1	1	0	1	0	0	0	0 GREEN
3	000011	1	1	0	1	0	1	0	0	0 BLUE
4	000100	1	1	0	1	0	1	1	0	0 CYAN
5	000101	1	1	0	1	0	1	0	1	0 MAGENTA
6	000110	1	1	0	1	1	0	1	1	0 YELLOW
7	000111	1	1	0	0	1	0	0	1	0 RED (BROWN)
8	001000	1	0	0	1	0	0	0	0	1 GRAY
9	001001	1	0	0	0	0	0	0	1	1 RED
10	001010	1	0	0	1	0	0	1	0	1 GREEN
11	001011	1	0	0	1	0	1	0	0	1 BLUE
12	001100	1	0	0	0	0	1	1	0	1 CYAN
13	001101	1	0	0	0	0	1	0	1	1 MAGENTA
14	001110	1	0	0	1	0	0	1	1	1 YELLOW
15	001111	1	0	0	1	1	0	0	1	1 RED (BROWN)
16	010000	0	1	1	0	0	0	0	0	2 GRAY
17	010001	0	1	1	0	0	0	0	1	2 RED
18	010010	0	1	1	0	0	1	0	0	2 GREEN
19	010011	0	1	0	1	0	1	0	0	2 BLUE
20	010100	0	1	0	1	0	1	1	0	2 CYAN
21	010101	0	1	0	1	0	1	0	1	2 MAGENTA
22	010110	0	1	0	1	1	0	1	1	2 YELLOW
23	010111	0	1	0	0	1	0	0	1	2 RED (BROWN)
24	011000	0	0	1	0	0	0	0	0	3 WHITE
25	011001	0	0	1	0	0	0	0	1	3 RED
26	011010	0	0	1	0	0	0	1	0	3 GREEN
27	011011	0	0	0	1	0	1	0	0	3 BLUE
28	011100	0	0	0	1	0	1	1	0	3 CYAN
29	011101	0	0	0	1	0	1	0	1	3 MAGENTA
30	011110	0	0	0	1	1	0	1	1	3 YELLOW
31	011111	0	0	0	0	1	0	0	1	3 RED (BROWN)

plus
foncées

plus
claires

figure 5. programme de la "ROW COULEUR"

Les signaux de couleur des caractères émanent de la mémoire de page via la bascule de couleur "A" (74LS174), et les données de couleur de fond "B" provenant de la mémoire de frappe sont appliqués sur la ROM de couleur à travers un multiplexeur (74LS157). La sélection de "A" ou de "B" est validée au rythme d'haloge par le signal "échange". cf fig-4-

- échange sur un niveau bas, on a le cycle normal. (tantôt c'est la couleur de fond qui passe, tantôt c'est celle des caractères)
- échange sur un niveau haut, on a toujours la couleur de fond qui passe. (la couleur du caractère est remplacée par celle du fond).

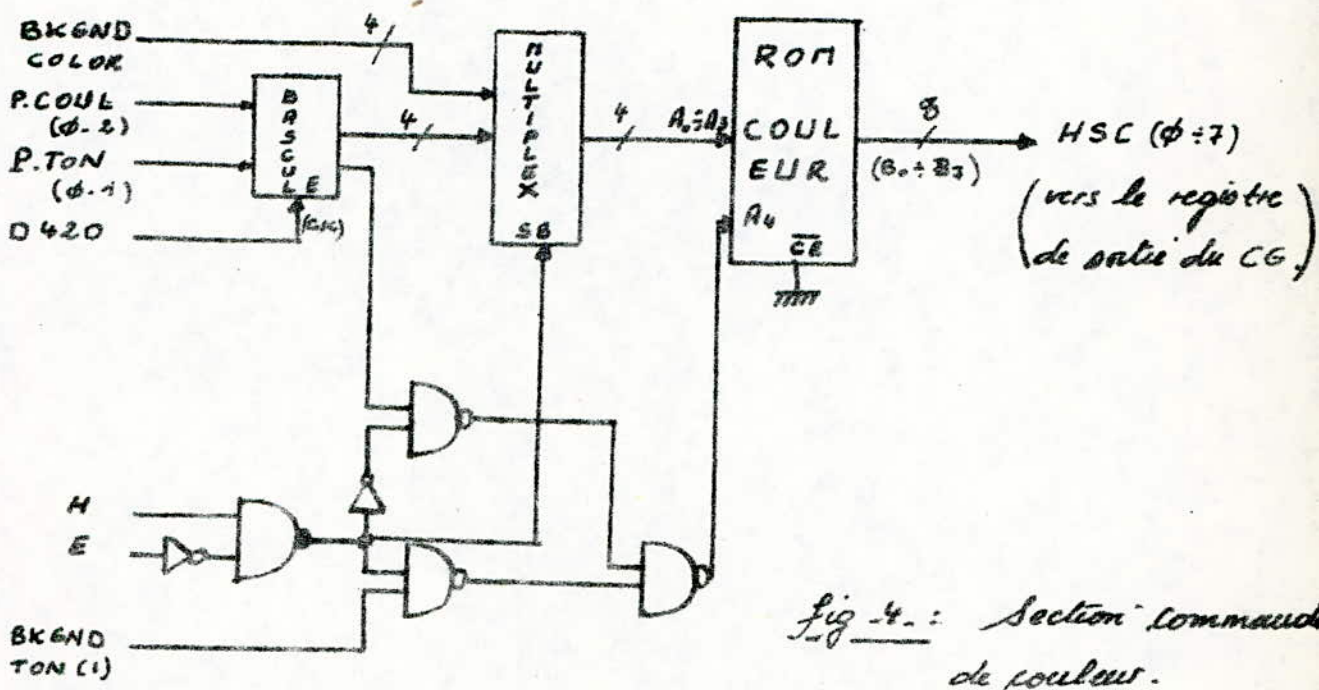


fig-4.: Section commande de couleur.

Les cinq (5) entrées de la ROM couleur ($A_0 \div A_2$ pour la couleur et $A_3 \div A_4$ pour le ton) constituent une adresse pour la couleur désirée.

Chaque couleur a 4 tons, cela permet d'avoir une variété de 32 couleurs (cf fig.5.).

La sortie de la ROM (8 bits) est dirigée vers la section vidéo (colorisateur) via le registre de sortie du CG.

3.2.4: Mémoire de page:

Cette mémoire emmagasine les caractères à combiner sur une page ainsi que leurs caractéristiques spécifiques (hauteur, largeur, couleur, position dans une rangée...).

Elle est constituée de deux parties (sections) identiques.

- Mémoire de charge.
- Mémoire d'affichage.

Chaque section se compose de trois (3) blocs de quatre (4) confettis chacun. Un confetti comprend deux (2) unités fonctionnant alternativement. La capacité de l'unité est de 256×4 bits. Donc la capacité d'un bloc est de 512×16 bits.

i: Mode d'adressage:

On utilise deux types d'adressage. (cf fig. 6.)

L'un pour les rangées et l'autre pour les caractères.

*L'adressage des rangées est établie avec 4 bits ($A_3 \div A_0$). Pendant l'affichage ces 4 bits sont acheminés par les lignes ROW ($0 \div 3$) à partir de la mémoire de format.

3 ROW	2 ROW	1 ROW	0 ROW	Commentaires
0	0	0	0	Les huit premières rangées dans la première unité.
0	0	0	1	
0	0	1	0	
⋮	⋮	⋮	⋮	
0	1	1	1	
1	0	0	0	Les huit autres rangées dans la deuxième unité.
1	0	0	1	
⋮	⋮	⋮	⋮	
⋮	⋮	⋮	⋮	
1	1	1	1	

Remarque: ROW 3 sert à valider l'une des deux unités.

Pendant l'opération de chargement, ces 4 bits sont véhiculés par

Mémoire de page
de charge.

Mémoire de page
d'affichage.

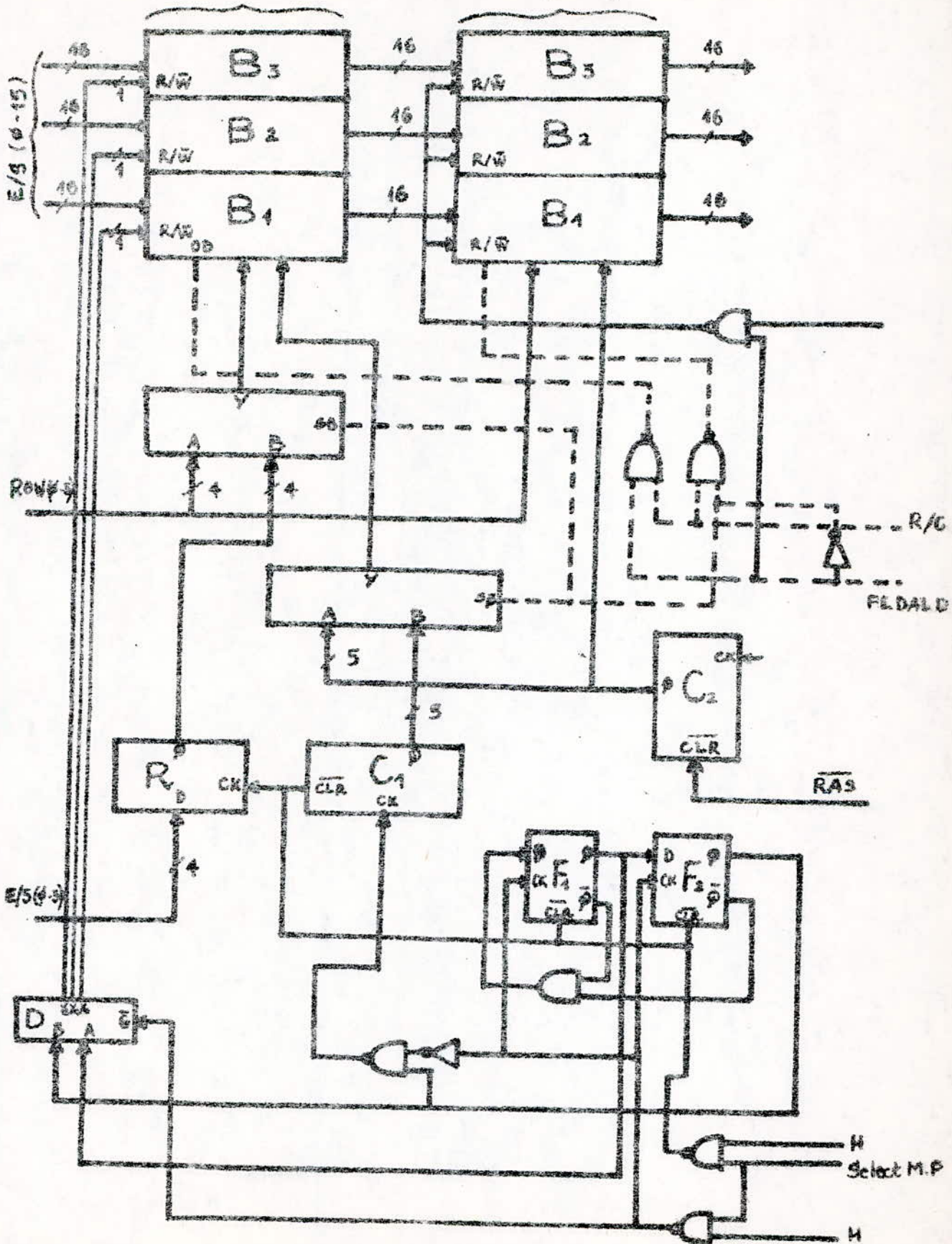


fig-6 - Mémoire de Page.

La ligne "donnée E/S" du calculateur via un registre R (74LS 175).
 * L'adressage des caractères est établi avec cinq (5) bits ($A_0 \div A_4$) pour les 32 positions susceptibles d'être occupées par un caractère dans une rangée.

Pour l'affichage comme pour le chargement, l'adresse est fournie respectivement par les compteurs C_2 et C_1 (74LS 161).

ii : Cycle de fonctionnement :

Comme pour la mémoire de format ; pour obtenir un affichage continu, on a opté pour un chargement et une lecture simultanés à partir des deux (2) sections constituant la mémoire.

Pendant que l'une est chargée, l'autre est affichée. Un dispositif de sélection a été conçu pour assurer cette synchronisation, dont la table de vérité est donnée ci-dessous.

Se référer à la fig-6.

R/C	FLOAD	OD CHARGE	OD AFFICHE
0	0	Ø	Ø
0	1	Ø	Ø
1	0	1	0
1	1	0	1

- "00" sur un niveau haut valide les sorties de la mémoire (lecture).

- "00" sur un niveau bas valide les entrées de la mémoire (écriture).

Remarque : Lorsque le R/C est activé avec un niveau bas, cette mémoire

de page n'est pas utilisée (Ø). (Le générateur de R/C ayant sa propre mémoire de page).

Le signal R/C est issu de la mémoire de format.

FLOAD (signal de trame après la charge) permet de changer de section. Il est fourni par le registre de commande.

On se propose d'étudier l'opération de chargement de la mémoire de page de charge. On supposera donc que ses entrées sont validées et ses sorties inhibées (00 sur un niveau bas).

Lors du chargement, il s'agit d'écrire les données présentes (48) sur les entrées de cette dernière. L'exécution de cette charge se

fait séquentiellement. La sélection des blocs de caractères est assurée par 2 flip-flops (multivibrateurs) via le démultiplexeur D, (74LS 139). La sélection de chaque est donnée par le tableau suivant :

\bar{E}	B	R	\bar{Y}_0	\bar{Y}_1	\bar{Y}_2	Interprétations.
0	0	0	0	1	1	écrire dans B1
0	0	1	1	0	1	écrire dans B2
0	1	0	1	1	0	écrire dans B3
0	1	1	1	1	1	lire les 3 blocs

- fig-7 -

\bar{E} : doit être toujours au niveau bas pour valider les sorties ($\bar{Y}_0, \bar{Y}_1, \bar{Y}_2$) du démultiplexeur.

L'écriture des trois mots (3 x 16 bits) constituant le caractère se fait successivement. Par contre leur lecture se fait en même temps.

a. Déroulement de l'opération de chargement :

Après avoir sélectionné la mémoire de page de charge, on introduit l'adresse de charge des rangées, amenée du calculateur par les lignes E/S (0:3) via le registre R, dans la mémoire de charge (cf fig. 6). (On dispose de quatre (4) lignes pour véhiculer cette adresse, car on ne peut avoir 16 rangées au maximum sur une page.)

La rangée étant sélectionnée, celle-ci pouvant contenir jusqu'à 32 caractères, d'où la nécessité d'avoir cinq (5) lignes d'adresse pour décrire toutes les positions. La combinaison de ces deux adresses, nous permet de (positions) situer un caractère donné dans n'importe quelle rangée de la page.

Les 5 lignes d'adresse de caractères sont issues d'un compteur (C1) à 5 bits. Ce compteur est mis au rythme par deux flip-flops (F1 et F2). Ceux-ci ont pour autre fonction de permettre l'écriture successive dans les 3 blocs de soufflés

via le démultiplexeur D au rythme de trois (3) coups d'horloge. Le 4^{ème} coup d'horloge étant destiné à incrémenter le compteur d'adresse de charge (CA) de caractères d'une unité. (il permet aussi la lecture voir le tableau précédent).

Pour écrire, il faut valider les entrées, d'où la nécessité d'un niveau bas sur OD. Une fois ces fonctions remplies, la mémoire de page est apte à être chargée.

Les données 8/5 (8-15) arrivant du calculateur, véhiculent des informations nécessaires à la génération du caractère désiré, celles-ci sont mémorisées dans la mémoire de page. Chaque caractère est découpé par 48 bits répartis en trois (3) mots de 16 bits chacun. Chaque mot sera stocké dans un bloc de 4 cellules.

Format des trois mots constituant le caractère :

- . mot 0 : TT (2 bits) ; ADR (14 bits)
- . mot 1 : luminance de bord ; dimension du bord ; ton ; couleur ; hauteur
(3) et type (4) (2) (3) (5)
- . mot 2 : TTN (1) ; élargissement (1) ; PDH (9) ; PDV (5).

TT (0-1) : type de transition ; il identifie le nombre de transitions "marche / arrêt" (Ma / Aa) dans le caractère. Le chiffre indique le nombre de fois qu'une ligne d'analyse (se confère à la mémoire de fonte) doit être "mise en marche" et "mise en arrêt" pour fournir un caractère bien défini sur une rangée (ensemble de lignes d'analyse).

0 : une paire de Ma / Aa.

1 : deux paires de Ma / Aa.

2 : quatre paires de Ma / Aa.

3 : Six ou huit paires Ma / Aa.

ADR (2-15) : Ces 14 bits comprennent une adresse pour chaque caractère de la page dans la mémoire de fonte.

LB (0-1): Ces deux bits commandent la luminosité de tous les traits sur les caractères.

- | | |
|----------------|----------------|
| 0 : noir | 2 : gris clair |
| 1 : gris foncé | 3 : blanc. |

DB (2-5): Ces 4 bits déterminent la queue et la dimension du trait qui apparaîtra sur chaque caractère de la page.

- | | |
|-----------------------|--------------------------|
| 0 : pas de trait | 8 : pas de marge |
| 1 : 2 lignes d'ombre | 9 : 2 ligne de marge |
| 2 : 4 lignes d'ombre | 10 : 4 lignes de marge |
| 3 : 6 lignes d'ombre | 11 : 6 lignes de marge |
| 4 : 8 lignes d'ombre | 12 : n'est pas utilisé |
| 5 : 10 lignes d'ombre | 13 : 2 lignes de contour |
| 6 : 12 lignes d'ombre | 14 : 4 lignes de contour |
| 7 : n'est pas utilisé | 15 : 6 lignes de contour |

TON (6-7): Ces deux bits commandent la luminosité des caractères sur la page, quel que soit le contour.

- | | |
|----------------|-------------|
| 0 : très foncé | 2 : moyenne |
| 1 : foncé | 3 : clair. |

COULEUR (8-10): Ces trois bits de couleur commandent la couleur de chaque caractère apparaissant sur la page.

- | | |
|-----------|-------------|
| 0 : gris | 4 : cyan |
| 1 : rouge | 5 : magenta |
| 2 : vert | 6 : jaune |
| 3 : bleu | 7 : marron. |

HAUT (11-15): Ces lignes de hauteur contiennent un nombre indiquant la hauteur de chaque caractère. (à compter du haut vers le bas du caractère en quart).

On a 32 quartets maximum = 128 lignes d'analyse.
1 quartet est un incrément de 4 lignes.

FLASH (A): ce bit détermine si des caractères spécifiques doivent clignoter ou non.

0: pas de clignotement de caractère.

1: caractère en clignotement.

TTT (0): modificateur du type de transition, s'utilise avec les bits TT.

0: 6 paires de Ta/At .

1: 8 paires de Ta/At .

PDH (2-10): Position de départ horizontal du caractère telle qu'elle est comptée à partir du bord gauche du cadre de ligne.

POV (11-15): Position de démarrage vertical en quartet, pour le caractère à partir du haut de la rangée.

5 bits: $2^5 = 32$ quartets.

Remarque: Le dernier caractère sur chaque rangée est une terminaison spéciale de rangée qui est fusionné pour tous les "1" dans la zone d'adresse.

Après mémorisation d'une page complète (16 rangées); une impulsion de traque après la charge (FLDLD) permet de valider les sorties de la mémoire de page de charge et les entrées de la mémoire de page d'affichage. Deux actions simultanées ont lieu.

* Transfert de données d'une section à l'autre.

* Affichage à partir des sorties de la mémoire de charge.

b. Déroulement de l'opération d'affichage

Lors de cette phase, on a affichage à partir du contenu de la mémoire de charge tout en transférant vers la mémoire d'affichage. Une adresse d'affichage de rangées est produite à partir de la mémoire de format (ROW $\Phi-3$), et une adresse d'affichage de caractères est produite à partir du compteur C2, pour les deux sections de mémoire (cf fig. 6-). Le dernier caractère de la rangée constitue un terminus de rangée lequel décode par deux portes NAND à huit entrées, permet de fournir une impulsion pour remettre à zéro le compteur C2 pour afficher les caractères présents sur la nouvelle rangée.

Une fois le transfert terminé, lequel décode par deux portes NAND, envoie un signal terminaison de page (PTERM) au calculateur. Le dernier peut alors envoyer une impulsion de trame pour un changement d'une nouvelle page. Cette opération nous permet de mémoriser un nouveau contenu dans la mémoire de page de charge pendant que l'affichage est assuré par la mémoire d'affichage. Le cycle se perpétue quand nécessaire oblige.

Les sorties de la mémoire de page sont réparties comme suit.

POH ($\Phi-8$)
TERMP (1)
TTN (1) } vers la section de sortie du CG.

LB ($\Phi-4$)
DB ($\Phi-2$)
FLASH (1) } vers le registre de sortie du CG

HAUT ($\Phi-4$)
POV ($\Phi-4$)
ADR ($\Phi-13$)
TT ($\Phi-1$) } vers la zone de message.

COULEUR ($\Phi-2$) et TON ($\Phi-4$) vers la commande de couleur.

3.2.5 : Zône de message :

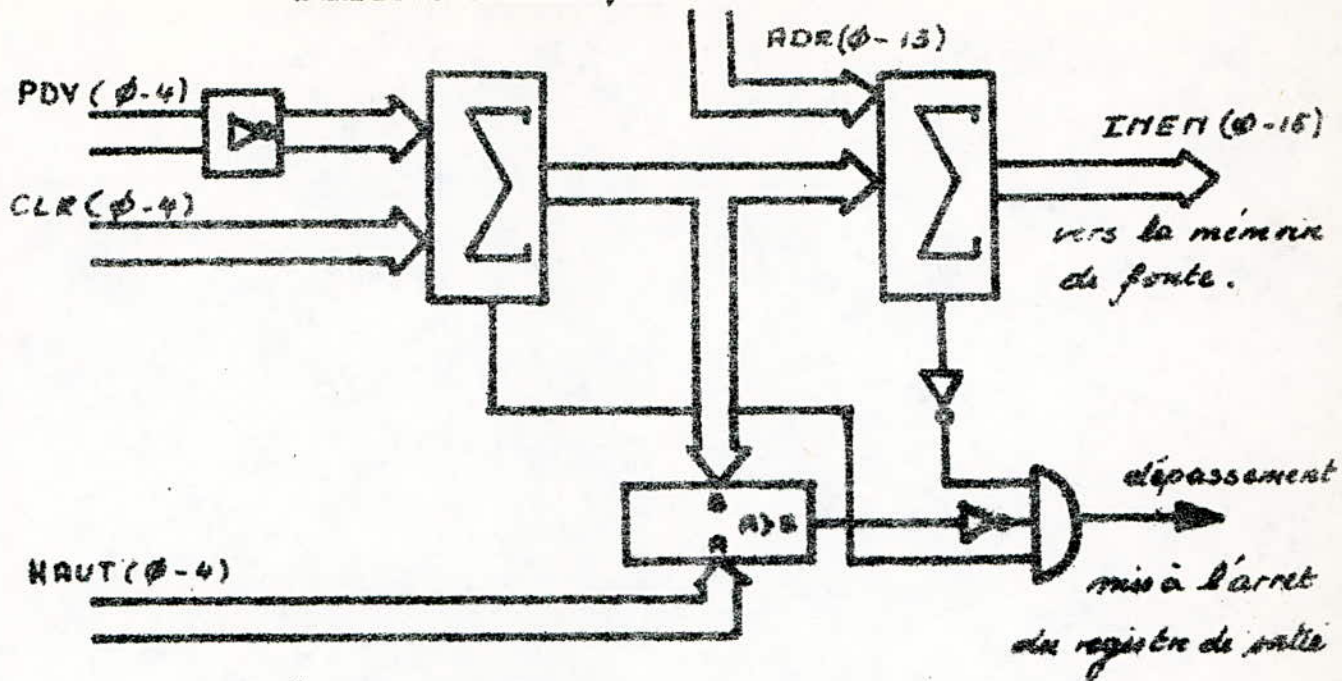


fig 6 - Synoptique de la Zone de Message.

Son but est de fournir une adresse effective à la mémoire de fonte pour générer le caractère sélectionné dans le style de fonte sélectionné, en se basant sur les données suivantes.

- adresse du caractère ADR (φ-13)
- hauteur du caractère HAUT (φ-4)
- Position de départ vertical PDV (φ-4).
- CLR compteur de lignes de hauteur.

Un caractère peut s'écrire au maximum sur 32 quartets dans une rangée. Sa position de départ vertical à compter du haut de la rangée est indiquée par les bits PDV (φ-4). En faisant la différence (dans le sommateur) entre CLR (32 quartets) et PDV (φ-4), on détermine le nombre de quartet (X) que peut occuper le caractère.

$$X = (CLR) - (PDV)$$

Cette adresse ajoutée à celle du caractère ADR (φ-13) conduit à l'adresse effective pour la mémoire de fonte INEN (φ-16)

Pour éviter l'affichage d'un caractère ou d'une position erronée sur l'écran, une porte ET à 3 entrées met le registre de sortie hors circuit quand l'une des 3 anomalies suivantes est détectée.

* HAUT > X : la hauteur du caractère est plus grande que l'espace qui lui est réservé.

* MEM ($\Phi-15$) > 2^{16} : la mémoire de fonte contient au maximum 2^{16} mots d'adresse.

* PDV > CLR : la position de départ vertical se situe en dessous de la 1^{re} ligne de la rangée.

Dans tous ces cas on dit qu'il y'a dépasement.

3.2.6 Mémoire de fonte :

La mémoire de fonte C173002 enregistre les données utiles à la formation des caractères par le générateur.

Les caractères sont mémorisés sous forme de paires de transitions marche/arrêt.

La mémoire de fonte est chargée par le calculateur à partir du disque de travail, lequel est chargé par un programme.

Cette mémoire est composée de deux sections de $16K \times 16$ bits chacune. (une section paire et une autre impaire). Chaque section est composée de 4 blocs de 16 confettis chacun. La capacité d'un confetti est de 4K bits.

Les données arrivant du CPU (E/S $\Phi-1$) sur le registre de commande ordonnent à ce dernier la sélection de la mémoire de fonte. Parallèlement les fonctions suivantes seront validées à partir de la section de commande.

* PALOAD [permet de charger les compteurs d'adresse (C_1 à C_4)]

* PRISE [commande l'opération de R/W (lecture/écriture) dans les confettis préalablement sélectionnés]

* EXCTCS [sélection des sorties de confettis]

* MAPIN [constitue l'horloge des compteurs C_1 à C_4] .

i. Sélection de la section paire ou impaire

La sortie Q_n de C_2 (cf fig 11) détermine la section de mémoire à sélectionner.

Q_n sur un niveau haut ; on a la section paire.

Q_n sur un niveau bas ; on a la section impaire.

Cette sélection se fait alternativement (cf fig. 9.).

La sélection d'un des 8 blocs se fait avec un décodeur composé de 8 portes NAND à trois entrées chacune. Elles se sont :

- * La sortie Q_A de C_1 [16] qui agit dya pour l'une des deux sections.
- * La sortie Q_0 de C_4 [1] combiné avec le signal de validation de sélection (SVS).
- * Les sorties Q_C et Q_B de C_4 [2], [3] ; seront décodées par le démultiplicateur D (74LS138) pour fournir la troisième entrée pour chaque porte. (cf fig 10.).

SVS	8	2	16	mémoire paire	mémoire impaire
0	0	0	0	BLOC 1	
0	0	0	1		BLOC 2
0	0	1	0	BLOC 3	
0	0	1	1		BLOC 4
0	1	0	0	BLOC 5	
0	1	0	1		BLOC 6
0	1	1	0	BLOC 7	
0	1	1	1		BLOC 8

fig. 9. : Procédure de sélection des blocs de mémoire.

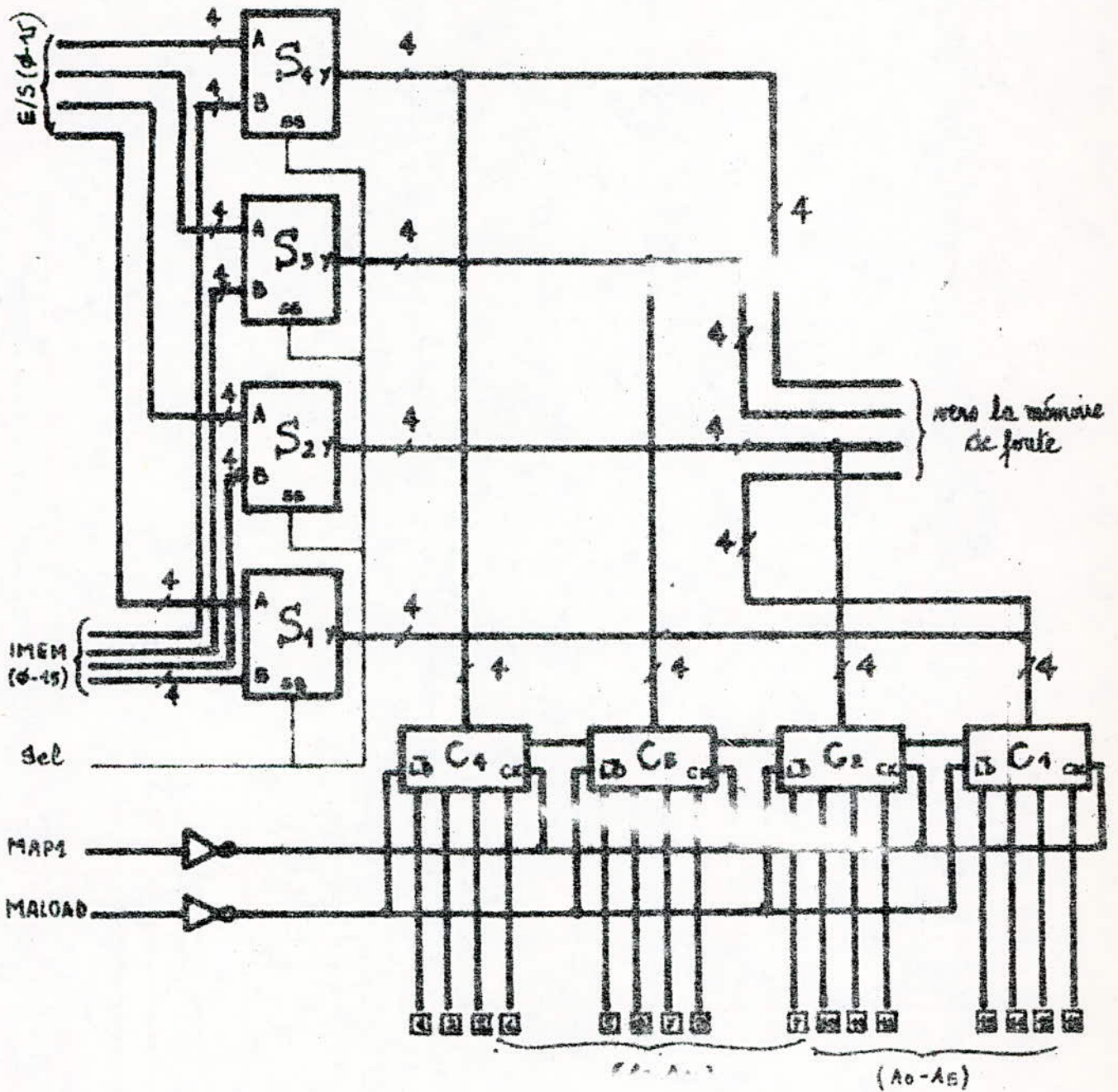


Fig 14 - Dispositif d'adressage de lecture et écriture pour la mémoire de ferrite.

ii: Mode d'adressage de la CA3002:

Chaque bloc de caractères mémorisés sous adresse de 12 bits.

$A_0 \div A_5$ constituent l'adresse horizontale.

$A_6 \div A_{11}$ constituent l'adresse verticale.

Donc chaque caractère est organisé en une matrice de 64×64 bits. Les données d'adresse émanant de deux sources ($E/S(\phi-15)$ pour le calculateur et $INEN(\phi-16)$ pour la zone de manœuvre) sont appliquées sur un dispositif de sélection composé de 4 multiplexeurs 5A à 5D [74LS157]; lequel fera passer sous l'ordre du signal "SEL" du registre de commande, l'une ou l'autre des deux données. Les sorties de ce dernier sont acheminées vers les entrées des compteurs [C1 à C4 (74LS191)].
cf fig 11.

Après avoir chargé les compteurs par la ligne "NALOAD" du registre de commande, ils nous permettent de fournir sous supervision d'horloge "NAPIN", des adresses dans le bloc sélectionné.

iii: Technique de mémorisation des caractères:

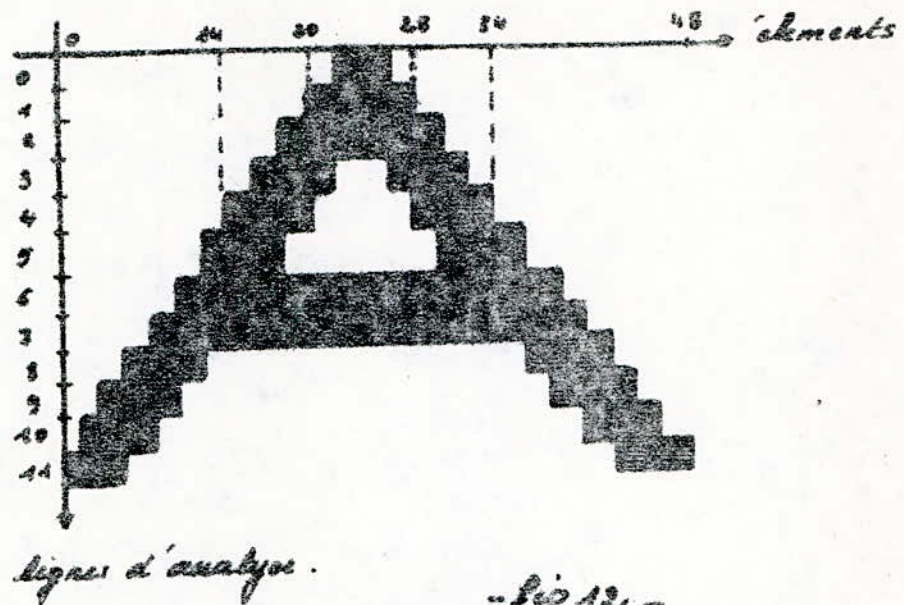
Pour permettre à un caractère d'être mémorisé, celui-ci doit être converti en une représentation "mathématique". Il sera codé au moyen d'une grille imaginaire quadrillée, horizontalement en "éléments" (ou intervalle de temps de 30ms) et verticalement en "lignes d'analyse". Une mise en approximation à l'aide des divisions rectangulaires de la grille nous donne l'allure du caractère (cf fig 12).

Les lignes d'analyse étant numérotées, à chacune d'elles est associée une ou plusieurs paires de transitions N_0/A_1 .

N_0 : indiquant où le caractère est mis "en circuit" dans la ligne.

A_1 : indiquant où le caractère est mis "en hors circuit" dans la ligne.

Cette codification nous permet d'établir une fiche signalétique pour chaque caractère.



-fig 12-

On a pris l'exemple d'un caractère qui a pour hauteur 12 lignes d'analyse.

sur la ligne 2 on a une paire de transition Π_a/A_t .

sur la ligne 5 on a deux paires.

ligne	1 ^{re} paire Π_a/A_t	2 ^{me} paire Π_a/A_t
0	38/26	
1	20/28	
2	18/30	
3	16/22	26/32
4	14/20	28/34
5	12/18	20/27
6	10/18	
7	8/40	
8	6/12	36/42
9	4/10	38/44
10	2/8	40/46
11	0/6	42/48

Dans une ligne on peut avoir jusqu'à 8 paires de transitions Π_0/Π_1 au maximum. La première, la troisième, la cinquième et la septième sont chargées dans chacun des blocs de la section paire de la mémoire de fonte. Tandis que la deuxième, la quatrième, la sixième et la huitième sont chargées dans chacun des blocs de la section impaire. (cf fig 13). La lettre I nécessite une paire de transition Π_0/Π_1 pour chaque ligne d'analyse. Donc il sera stocké complètement dans le premier bloc de la mémoire paire.

A quand à lui nécessite deux paires de transition au maximum dans une ligne.

Il utilise quatre paires de transition pour son écriture.

1^{ère} paire dans le bloc 1

2^{ème} paire dans le bloc 2

3^{ème} paire dans le bloc 3

4^{ème} paire dans le bloc 4

IV. a : Procédé de chargement de la mémoire de fonte :

Le chargement de la mémoire s'effectue par le biais du calculateur à partir des disques de travail dans lequel sont stockés d'une façon permanente huit types de fonte programmés. Un seul type de fonte est exploitée à la fois avec la mémoire de fonte. Il est composé de 128 éléments (lettres, chiffres, symboles, semi-graphiques) stockés sous formes de transitions Π_0/Π_1 dans la mémoire de fonte.

Le chargement successif des caractères est positionné par leurs adresses. (cf fig 14)

Les données E/S (φ-15) émanant du calculateur sont appliquées sur les entrées des 16 confettis constituant le bloc de mémoire sélectionné. L'écriture est validée par le signal WRITE sur un niveau bas du registre de commande.

transition "MARCHÉ"

transition "ARRÊT"

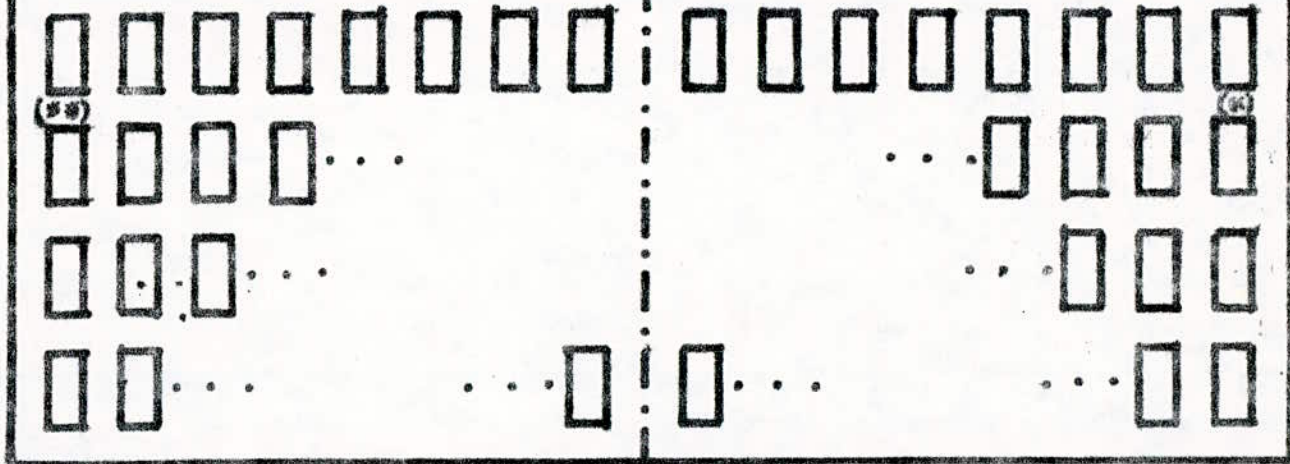
Section Paire

BLOC 1
1^{ère} paire

BLOC 3
3^{ème} paire

BLOC 5
5^{ème} paire

BLOC 7
7^{ème} paire



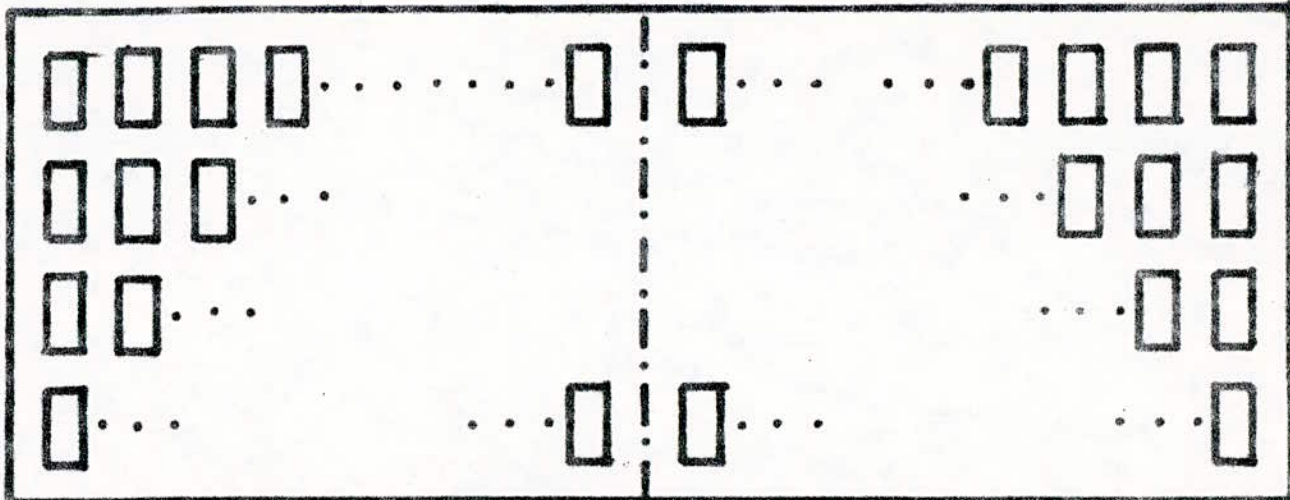
Section Impaire

BLOC 2
2^{ème} paire

BLOC 4
4^{ème} paire

BLOC 6
6^{ème} paire

BLOC 8
8^{ème} paire



* bit de poids le plus faible.
 (**) bit de poids le plus fort.

Fig 13
- 46 -

b. Procédé de lecture de la mémoire de fonte :

Pour générer un caractère donné, son adresse doit être fournie par le CG 3000 à la mémoire de fonte via un compteur qui nous permet, sous impulsion d'haloge de reconstituer le caractère paire de transition par paire de transition. La lecture est validée par le signal "WRITEN" sur un niveau haut du registre de commande.

Les sorties de la mémoire de fonte sont appliquées sur des registres qui ont pour fonction principale de séquencer le défilement des données des sorties au rythme des coups d'haloge envoyés par le registre de commande.

De même que pour l'écriture, la lecture s'effectue en sollicitant alternativement les blocs de la mémoire paire et impaire.

v: Exemple détaillé d'une opération de lecture :

Pour la génération du caractère A; on a besoin de deux blocs mémoires seulement 1 et 2. Car on a 2 paires de transition au maximum sur une ligne d'analyse.

Supposons que l'adresse initiale pour la génération de la lettre A est $A_{11} \div A_0 = 000000\ 000000$; c'est à dire l'origine de la matrice de chaque confettie de mémoire. Etant donné que les 16 confetties de chaque bloc sont adressées de la même façon, on aura la même position dans tous ces confetties. (cf fig 15)

Supposons encore que toutes les paires de transitions sont mémorisées dans la 1^{re} ligne de la matrice de chaque confettie. Le qui fait que pour cet exemple l'adresse verticale est toujours nulle, par contre l'adresse horizontale s'incrémente à chaque fois d'une unité (tous les deux coups d'haloge).

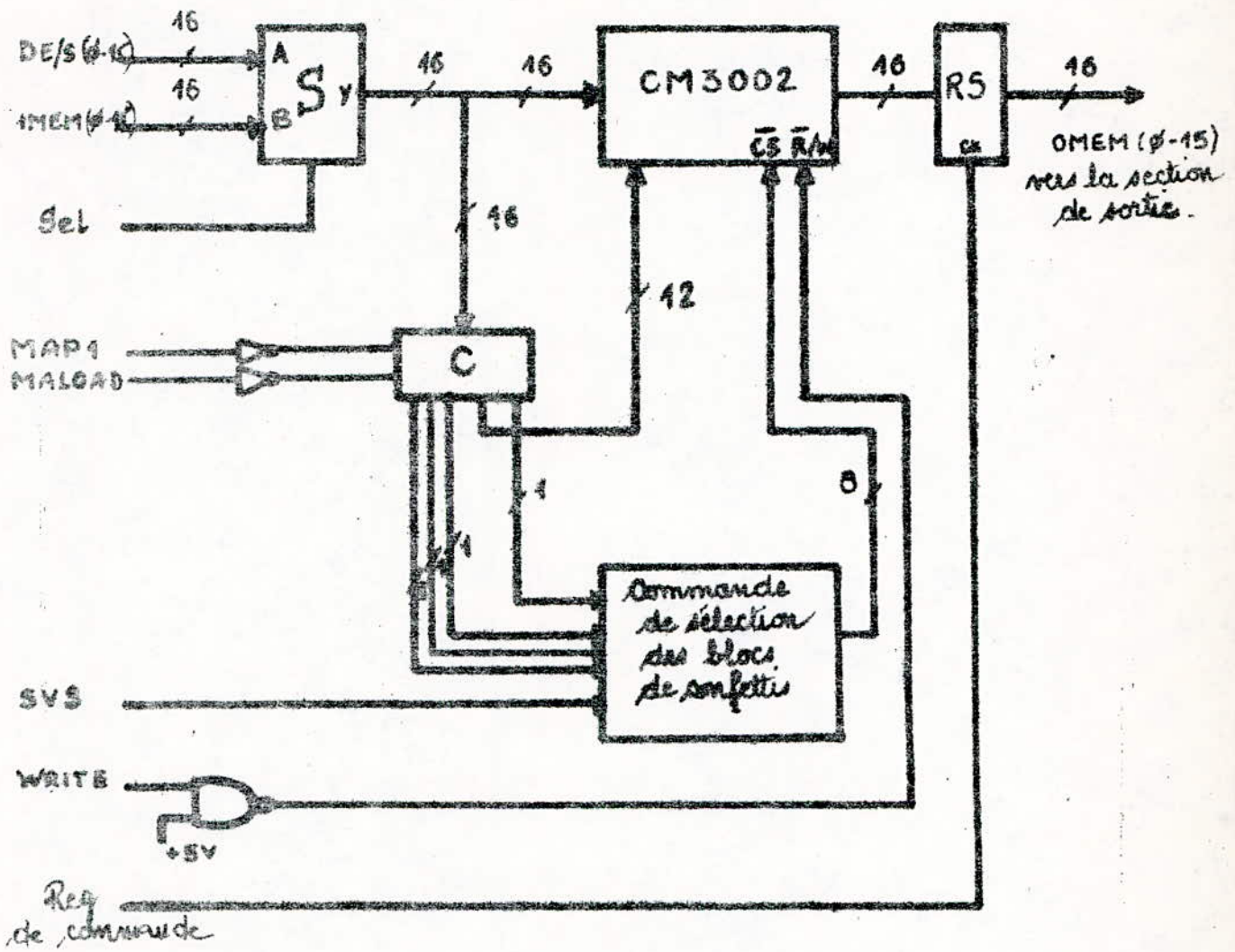
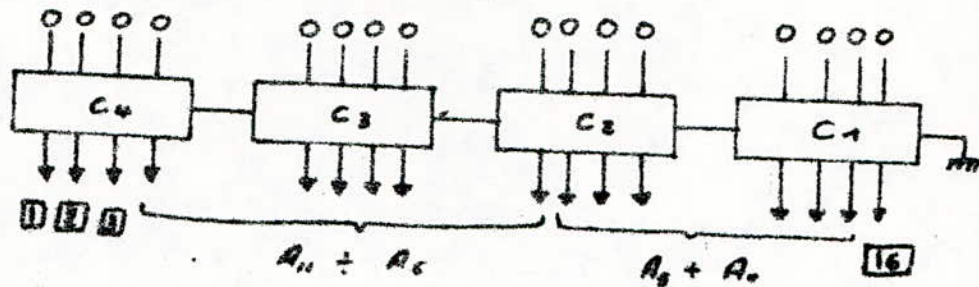


fig 14 - Synoptique de la Mémoire et sortie CM3002.

Le C63000 doit fournir l'adresse suivante sur l'entrée des compteurs $C_1 \div C_4$. (cf fig 14).



Une impulsion de chargement du compteur, l'adresse $A_{11} \div A_0$ nous sélectionne déjà le premier bit de chaque caractère du bloc 1 ($\boxed{16}$ sur 0).

Au coup d'halage suivant C_2 s'incrémente de l'unité, c'est à dire la même adresse nous sélectionne le premier bit de chaque caractère du bloc 2. ($\boxed{16}$ sur 1).

Au deuxième coup d'halage l'adresse s'incrémente d'une unité ($A_{11} \div A_0$) pour nous lire le deuxième bit de chaque caractère du bloc 1. ($\boxed{16}$ sur 0)

Au troisième coup d'halage la même adresse nous lit le deuxième bit de chaque caractère du bloc 2. ($\boxed{16}$ sur 1).

"Le signal $\boxed{16}$ nous sélectionne alternativement l'un des deux blocs à chaque coup d'halage."

"L'adresse $A_{11} \div A_0$ est incrémentée tous les deux coups d'halage."

Et ainsi de suite, le compteur s'incrémente à chaque fois d'une unité jusqu'à la lecture complète du caractère. Et pour passer à la lecture du deuxième caractère, le générateur doit fournir son adresse sur l'entrée du compteur.

En suivant ce cheminement pas à pas, on reconstruit notre caractère A (cf fig 12).

1 ^{er} et 2 ^{im} coup d'haloge	$(A_{11} \div A_0)$ 000000 000000	éléments de chaque matrice 0 du bloc 1 0 de B2	une seule paire 32 36 0
3 ^{er} et 4 ^{er} coup d'haloge	000000 000001	éléments 1 2 de B1 éléments 1 2 de B2	1 20 30
5 ^{er} et 6 ^{er}	000000 000010	éléments 1 2 de B1 éléments 1 2 de B2	2 18 20
7 ^{er} et 8 ^{er}	000000 000011	éléments 1 3 de B1 et de B2	3 paires 16/18 26 32
9 ^{er} et 10 ^{er}	000000 000100	éléments 1 4 de B1 et de B2	4 18 20 30 34
11 ^{er} et 12 ^{er}	000000 001011	éléments 1 41 de B1 et B2	11 0 6 42 48

3.2.7: Section de commande des entrées

Cette section commande la sortie du flot de données numériques qui va être utilisée par l'étape vidéo du C63000 pour l'affichage des caractères sur l'écran.

Elle se compose d'un compteur de position horizontale, d'un comparateur, d'un dispositif de retardement lequel est constitué par trois registres à décalage et d'un système d'analyse de parité de la mémoire de fonte. (cf fig 46).

i: Le compteur horizontal X de position: il est utilisé pour le positionnement horizontal du curseur sur l'écran, ainsi que pour fournir des signaux de retard de séquençage pour la commande de sortie. Le compteur a ses entrées protégées, afin d'assurer une marge minimale sur l'écran que l'on respectera au départ de chaque ligne.

ii: Comparateur: Les sorties du compteur XCT (Φ-8) sont comparées avec les lignes de départ horizontal de la mémoire de page P11HSTR (Φ-8). Quand l'égalité est établie, la sortie inverse du comparateur (74LS85) est combinée avec le signal de départ horizontal du R/C pour activer l'entrée du registre à décalage.

iii: Le dispositif de retard: il est constitué de trois registres à décalage (74LS164). Le dispositif commande successivement les fonctions de sortie au rythme de l'horloge (60ns). Les fonctions sont exécutées dans l'ordre chronologique suivant:
LOPREG (Φms) ce signal sert d'horloge pour le compteur d'adresse et d'affichage de caractères pour la mémoire de page.

LDENTAO (18Φ-24Φms) valide le chargement de l'adresse du caractère sélectionné dans la mémoire de fonte, par l'intermédiaire

du registre de commande (PALOAD).

0240 MS: signal de retardement qui combiné avec le signal FLDALD valide la lecture ou l'écriture dans la mémoire de page d'affichage.

STREPI (300 MS): commande les sorties de la mémoire de fonte

0420 MS: ce signal sert d'haloge pour les dispositifs (registres) qui fournissent les particularités du caractère (lad, ton, couleur...).

0480 MS: remet à zéro le flip-flop (multivibrateur) qui commande la validation R/W de la mémoire de page d'affichage.

FNTADP1 600 MS: permet de passer à l'adresse du caractère suivant via le registre de commande qui délivre le signal NAPIH servant d'haloge au compteur d'adresse de la mémoire de fonte.

CLR 720 MS: commande la remise à zéro du compteur de transitions.

IV: analyse de sortie de la mémoire de fonte:

Pendant le programme de sortie, la mémoire de fonte fournit des paquets de transitions Na/At pour valider la sortie de chaque élément de caractère.

Les données ONEP (0-15) qui repartent au CG depuis la mémoire de fonte sont acheminées sur six (6) registres sous la forme de valeur de transition Na/At. (cf fig 16-). Elles sont mises au rythme d'haloge et envoyées vers les deux sélecteurs de données; l'un pour les transitions marche (Na) et l'autre pour les transitions arrêt (At). Ces valeurs sont comparées séparément avec la sortie du compteur d'éléments pour repérer le point sur la ligne d'analyse horizontale où le caractère doit être formé.

du registre de commande (PALOAD).

0240 MS: signal de retardement qui synchronisé avec le signal FLOAD valide la lecture ou l'écriture dans la mémoire de page d'affichage.

STOPEN (300 MS): commande les sorties de la mémoire de fonte

0420 MS: ce signal sert d'haloge pour les dispositifs (registres) qui fournissent les particularités du caractère (lnd, ton, couleur...).

0480 MS: remet à zéro le flip flop (multivibrateur) qui commande la validation R/W de la mémoire de page d'affichage.

FNTADP1 600 MS: permet de passer à l'adresse du caractère suivant via le registre de commande qui délivre le signal NADIN servant d'haloge au compteur d'adresse de la mémoire de fonte.

CLR 720 MS: commande la remise à zéro du compteur de transition.

IV: Analyse de sortie de la mémoire de fonte:

Pendant le programme de sortie, la mémoire de fonte fournit des paquets de transitions Na/At pour valider la sortie de chaque élément de caractère.

Les données OPEN (0-15) qui repartent au CG depuis la mémoire de fonte sont acheminées sur six (6) registres sous la forme de valeur de transition Na/At. (cf fig 16-). Elles sont mises au rythme d'haloge et envoyées vers les deux sélecteurs de données; l'un pour les transitions marche (Na) et l'autre pour les transitions arrêt (At). Ces valeurs sont comparées séparément avec la sortie du compteur d'éléments pour repérer le point sur la ligne d'analyse horizontale où le caractère doit être formé.

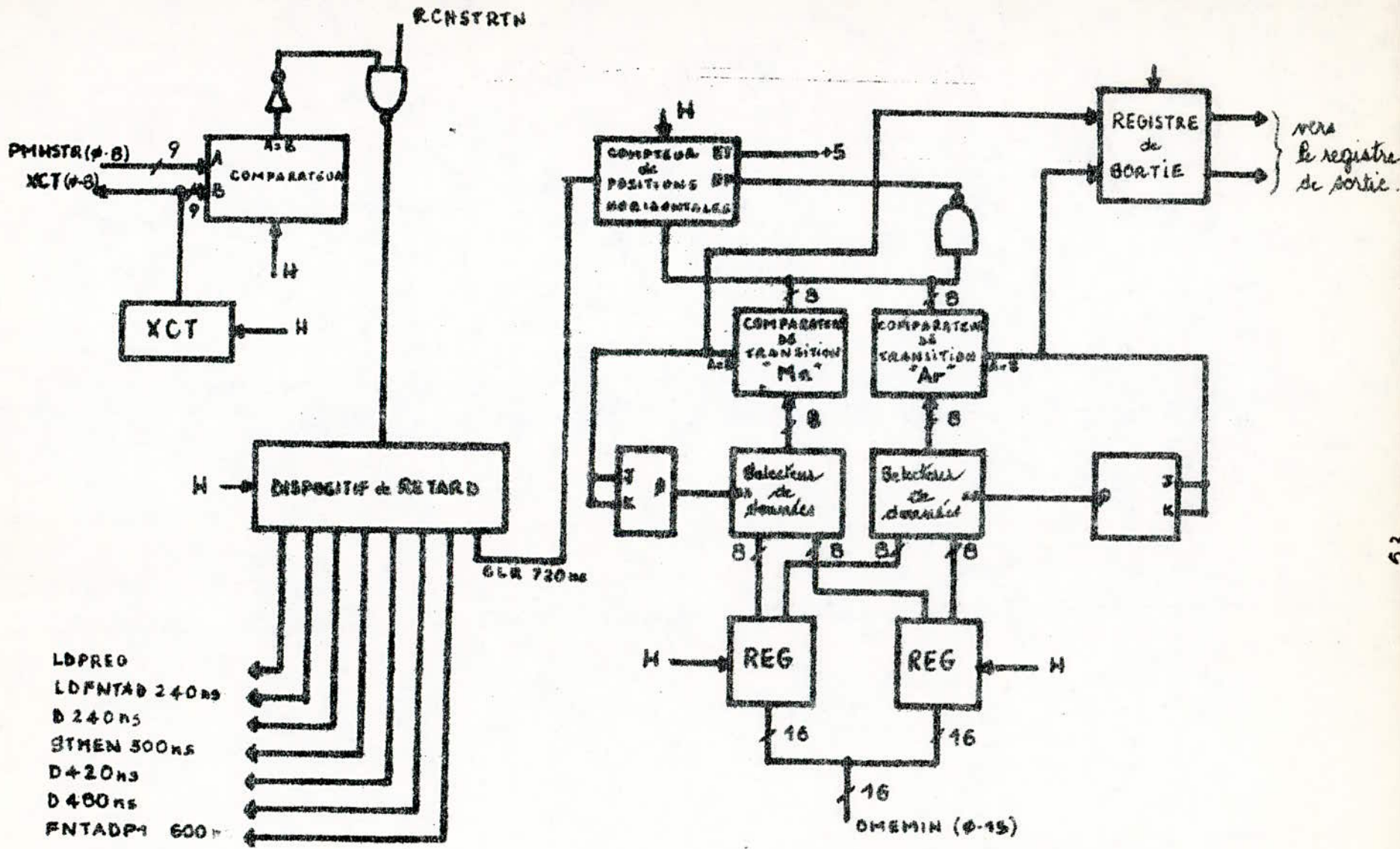


fig 16 - Section Commande de Sorties.

Pour écrire un caractère sur l'écran, la position est déterminée dans la comparaison des données de la transition de marche de la mémoire de fonte avec le compteur d'élément; et le registre de sortie est ensuite mis en marche.

Pour mettre le registre de sortie à l'arrêt, lorsque l'élément de caractère est terminé sur la ligne d'analyse, les données de transition d'arrêt (A_1) de la mémoire de fonte sont comparées avec la sortie du compteur d'éléments pour déterminer la position de mise à l'arrêt et mettre hors-circuit le registre de sortie lorsque les deux valeurs concordent.

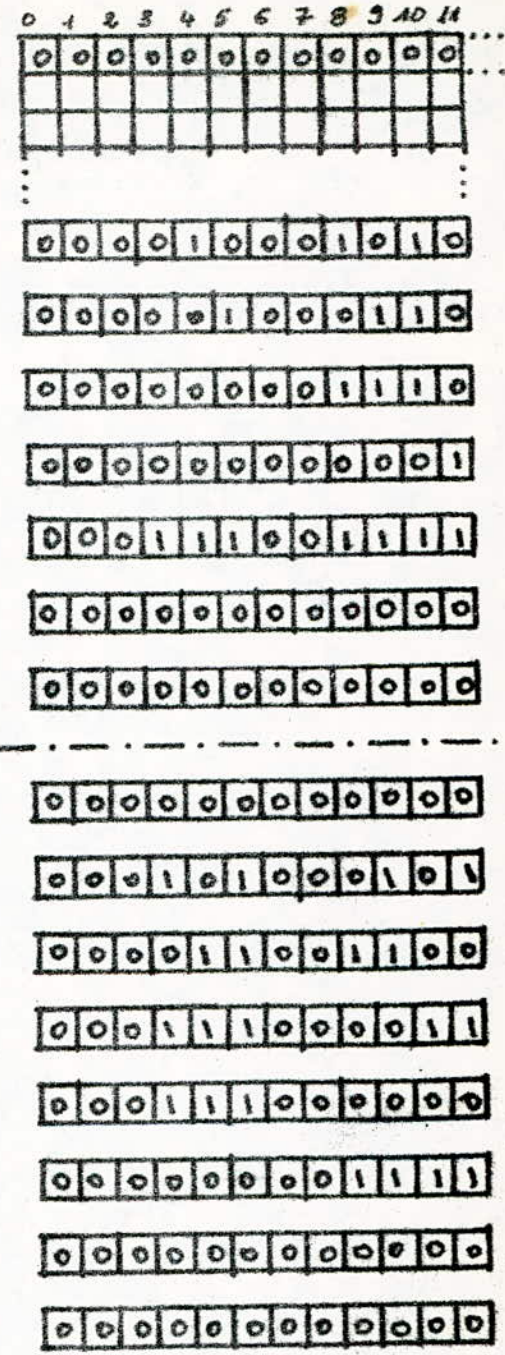
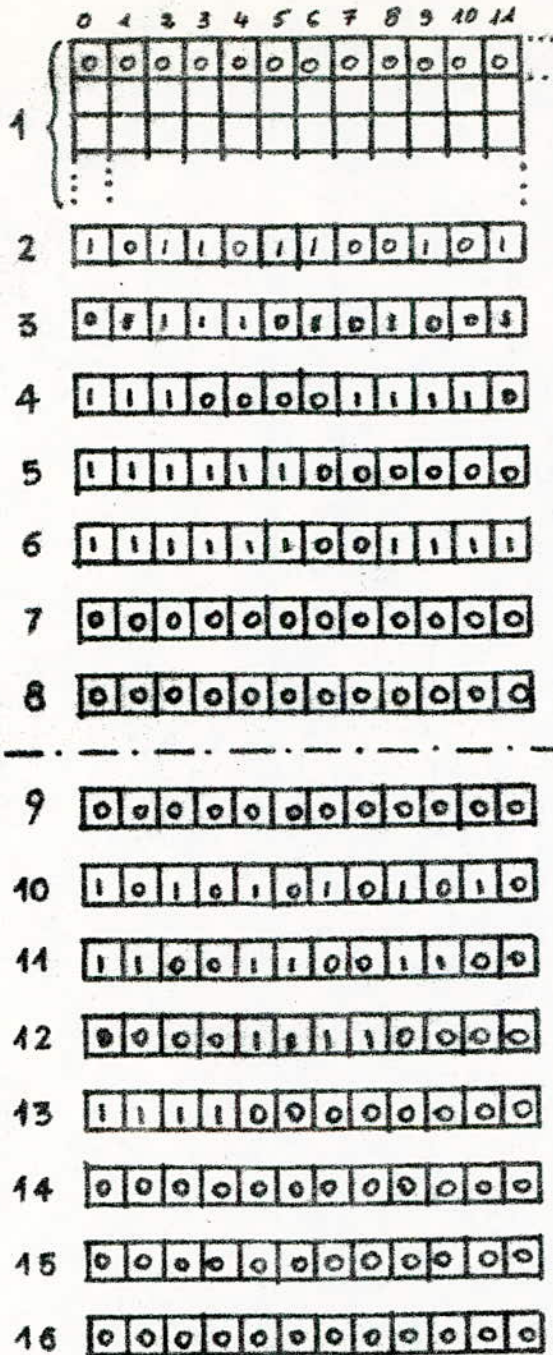
Intervalle entre les nouveaux cycles de mémoire: Pendant le programme de sortie, la mémoire de fonte fournit des paires de transitions de A_2/A_1 pour valider la sortie de chaque élément de caractère.

Le caractère de terminaison (décodé par une porte NAND à 8 entrées) 377_8 de la mémoire coupe non seulement l'affichage de sortie, mais commande également la sortie du niveau de mémoire (STERN) de déchargement sur la mémoire de fonte. Avant et après chaque caractère sur la rangée, les mots de terminaison sont envoyés sur la partie sortie du générateur de caractères par la mémoire de fonte pour couper la sortie d'affichage jusqu'au caractère suivant. Le mot terminaison est un mot binaire codé en octal 377_8 (256 éléments) détecté par un circuit NAND à 8 portes. Cette porte contrôle les lignes de la mémoire de fonte $ONE(8-15)$ sur la section sortie des registres de transitions A_2/A_1 .

Circuit d'horloge: L'horloge pour la carte du générateur de caractères comprend plusieurs circuits NAND, deux multivibrateurs monostables, des inverseurs et des portes pour fournir les signaux de synchronisation aux diverses parties de la carte. Le circuit est piloté par le signal $MARGE$ depuis le module VB3000.

8 bits de transition "Arrêt"

8 bits de transition "Marché"



SECTION PAIRE

SECTION IMPAIRE

BLOC 1

BLOC 2

Fig - 15 -

Chapitre-4-

SECTION VIDEO

Après avoir étudié les différentes étapes permettant la formation de caractères, il est une dernière phase qui traduit la conjugaison de toutes les opérations précédemment exécutées en vue de leur visualisation sur l'écran du moniteur.

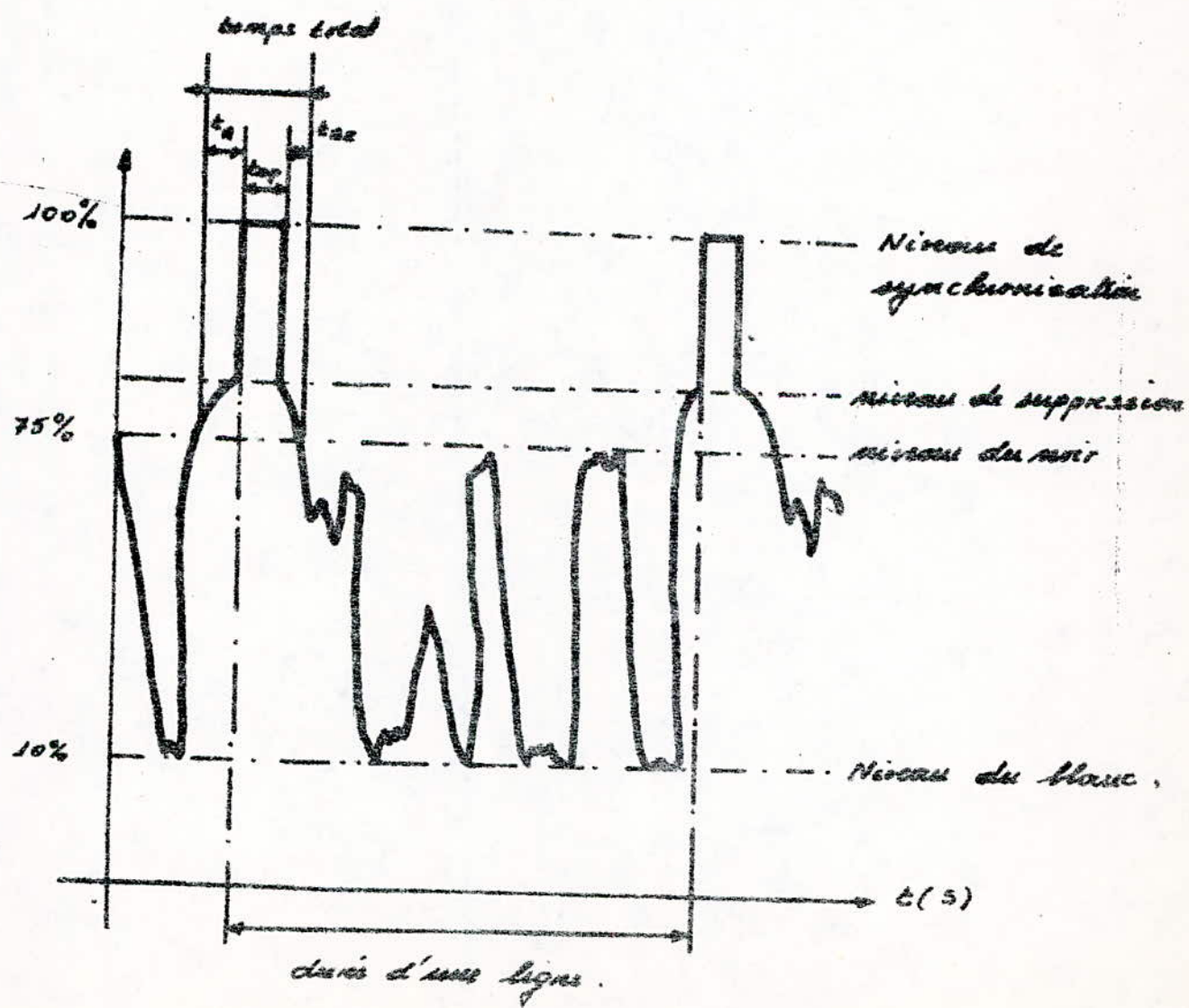
Avant d'aborder l'interprétation pour l'éloge vidéo de l'information du générateur de caractères relatives aux caractères, quelques notions élémentaires de télévision s'avèrent utiles.

Rappels de télévision: Un signal de télévision est la superposition d'un signal de luminance et de divers signaux de commande et de synchronisation, il est aussi appelé signal vidéo composite.

- * Le signal vidéo est un signal électrique dont la tension est fonction de la luminance de chacun des points de l'image analysée.
- * Les signaux de synchronisation permettent une restitution fidèle de l'image lors de la réception.
- * Les signaux de suppression sont générés pour éviter l'apparition de la trace du spot sur l'écran lors du retour de celui-ci après avoir analysé une ligne ou une trame.

Ce signal vidéo composite module une porteur haute fréquence en amplitude pour être transmis par voie hertzienne.

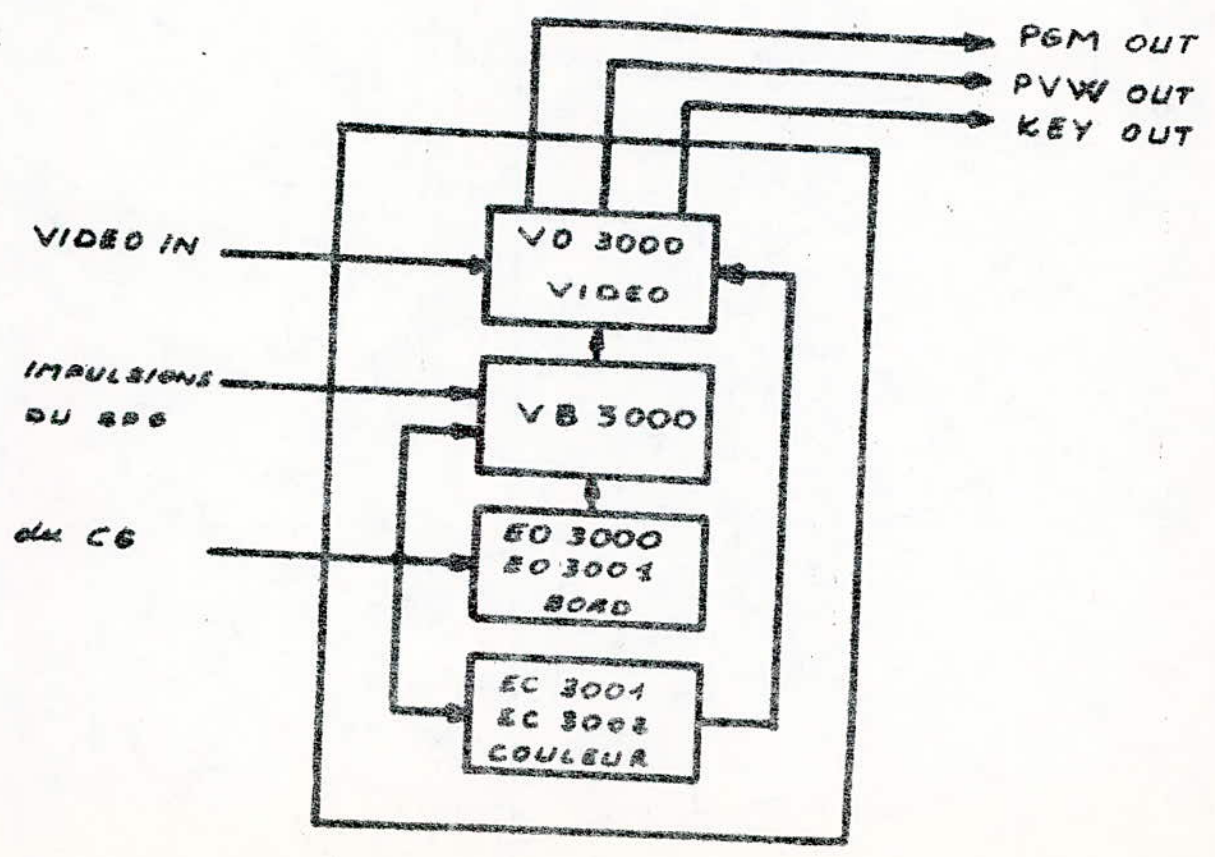
fig. 1.: Signal vidéo composite en
modulation négative.



- La section vidéo permet de traduire les signaux issus :
- du CG 3000 (impulsions relatives aux caractères).
 - du SPG (signaux de synchronisation.)
- ou un signal vidéo composite pour l'affichage.
- Elle se compose de quatre blocs :

- * VB 3000 circuit tampon vidéo.
- * VO 3000 étage de sortie vidéo.
- * EO (3000-3004) étage d'option de bord.
- * EC (3004-3002) étage de colorisation.
- * SPG (générateurs d'impulsions de synchronisation).

fig-2 : Schéma synoptique de la section vidéo.



4-1. Étage tampon vidéo VB3000 (cf. fig 2a -)

Il agit comme interface pour le V03000, afin de canaliser les données de fonte et d'option de bord, et assure également la régénération des signaux de synchronisation et de suppression. Cet étage se compose de:

- Régénérateur de synchronisation.
- Régénérateur de suppression.
- Identificateur de PAL.
- Interface INT/EXT.
- Prise du CG.
- Générateur de marge
- Interface du caractère
- Générateur de verrouillage.
- Interface de communication.

4.1.1: Régénérateur de synchronisation.

Il dérive diverses fréquences à partir du signal de synchro. et ce pour synchroniser les différentes parties constituant l'étage tampon vidéo. Aussi, il produit à sa sortie une impulsion à potentiel négatif qui est utilisée à plusieurs fois notamment:

- A travers des multivibrateurs constituant des rythmiques pour fournir une impulsion longue de synchro verticale.

(C'est la synchronisation de trame qui est de l'ordre de 20ms)

- Pour le générateur de marge afin d'indiquer le départ de chaque ligne d'analyse; c'est ce qui est appelé la synchronisation de ligne.

4.2.2: Régénérateur de suppression (Blanking).

L'impulsion de suppression émanant du SPG est employée par le régénérateur de suppression afin de fournir les signaux de suppression verticale et horizontale.

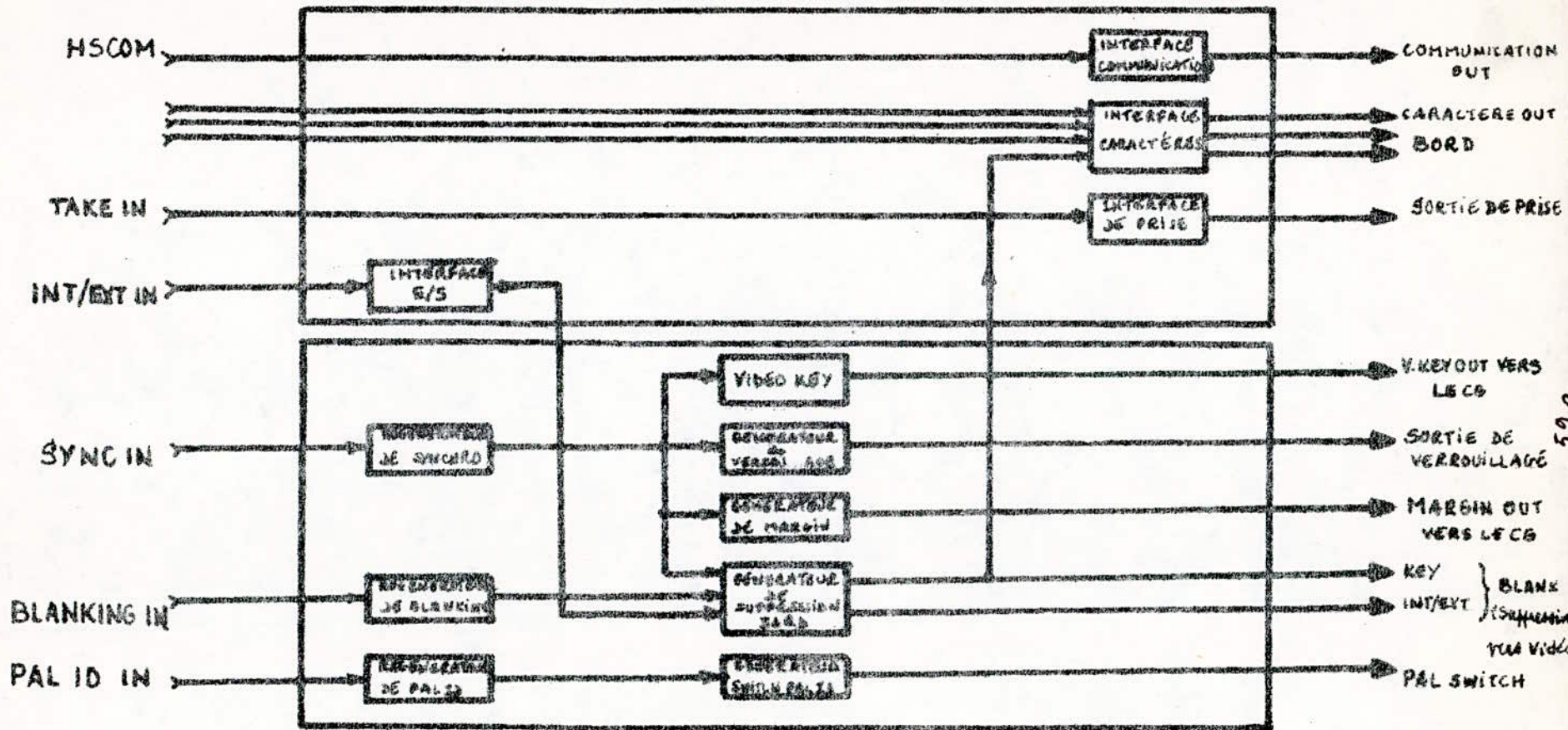


fig 8a - Etage temps vidéo.
(VE 3000)

- Suppression horizontale: elle correspond à l'intervalle de temps entre deux caractères successifs.

- Suppression verticale: elle correspond à l'intervalle de temps qui s'écoule entre deux lignes successives.

Remarque: La valeur minimale de ces intervalles de temps préalablement réglés reste constante.

4.1.3: Régénérateur PAL:

L'idée fondamentale du principe du codeur PAL consiste à inverser de 180° la phase du signal de chrominance une ligne sur deux et ce pour une compensation automatique des erreurs de phase "PAL 10" définies par le générateur d'impulsions de synchronisation et régénéré dans le module V133000 nous permet d'identifier un codage PAL correct du signal à transmettre.

4.1.4: Interface INT/EXT:

L'interface interne/externe commandée par le CPU permet à la vidéo interne d'être insérée entre l'affichage des caractères, ou bien introduit un fond localement produit dans l'unité (CG) pour accompagner l'affichage.

4.1.5: Prise du CG:

Elle permet d'avoir accès sur la vidéo. Les instructions d'affichage du CPU sont transmises par la section de commande sur la commande de prise vidéo.

4.1.6: Générateur de marge:

Il exploite le signal de synchro pour fournir une impulsion correspondante au départ d'une ligne d'analyse.

4.1.7: Interface des caractères

Il se charge de collecter toutes les informations relatives à la structure du caractère, afin d'en donner la forme finale. Deux sortes de données sont introduites dans l'interface:

- Celles arrivant du générateur de caractères sous forme de train d'impulsions définissant le caractère choisi.
- Et celles fournies par le module d'option bord sous forme d'impulsions amenant sous particularité de bord pour le caractère.

4.1.8: Générateur de verrouillage

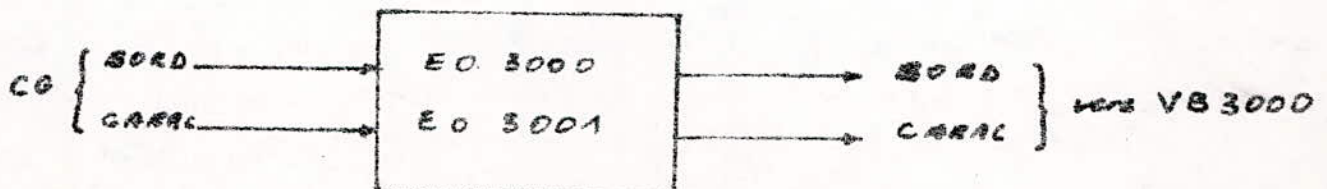
Il permet de contrôler le niveau de couleur lors de l'insertion d'un fond extérieur dans la vidéo de sortie.

4.1.9: Interface de communication

Les données "HSCON" du générateur de caractères arrivent par l'intermédiaire de cette interface, la seule vidéo de sortie pour l'établissement d'une liaison entre ces deux dispositifs.

4.2: Etage option de bord EO (3000-3001)

Le mode option de bord transforme les données de CG en un signal produisant différents modèles tel que le bord, l'ombrage d'un élément et son contour. Avec les deux cartes EO3000 et EO3001 il est possible de produire jusqu'à douze bords différents.



4.3: Etage de colorisation EC(3001 - 3002)

Les deux canaux assurent la commande des signaux de couleur de caractères et du fond auxi que les niveaux de luminance de caractères et du fond. (cf. fig 3)

Les signaux proviennent du générateur de caractères.

4.4: Etage de sortie vidéo : VO 3000

Le module traite la vidéo graphique (caractères, ombrage, fond, couleurs, etc) et fournit les sorties de première vision et de vidéo clavier et de programme.

La sortie vidéo clavier affiche un caractère blanc sur fond noir. Elle est prévue pour commander les fonctions d'insertion avec le pupitre de mélange vidéo.

La sortie PEN contient uniquement le programme exploité.

La sortie PVW contient le programme, le curseur et les deux canaux de communications. (cf. fig. 4 -)

4.5: Générateur d'impulsions de synchronisation:

Les signaux de synchronisation permettent d'obtenir que le faisceau électronique d'un tube récepteur reproduise fidèlement les déplacements du faisceau électronique du tube analyseur qui fournit le signal image. Comme ce signal arrivant du CG sur la section vidéo est dépourvu des signaux de synchronisation et de sous porteur, il est impératif que ces derniers soient générés pour que la transmission télévisuelle soit possible.

Cette fonction est remplie par le générateur d'impulsions de synchronisation (SPG).

Cet équipement comprend en particulier un oscillateur pilote (générateur d'impulsions principales) qui commande les générateurs de synchro horizontale et verticale reliés aux générateurs de balayage.

Il fournit aussi :

- des signaux pilotés (impulsions à la fréquence des images à la fréquence des lignes ou des demi-lignes)
- des signaux de blocage.
- des signaux de suppression.
- des signaux d'effacement
- des signaux de synchronisation (lignes et trames)
- des signaux PAL.

Le SP6 fonctionne à une fréquence double de la fréquence des lignes. Les autres signaux sont déduits par division de fréquence.

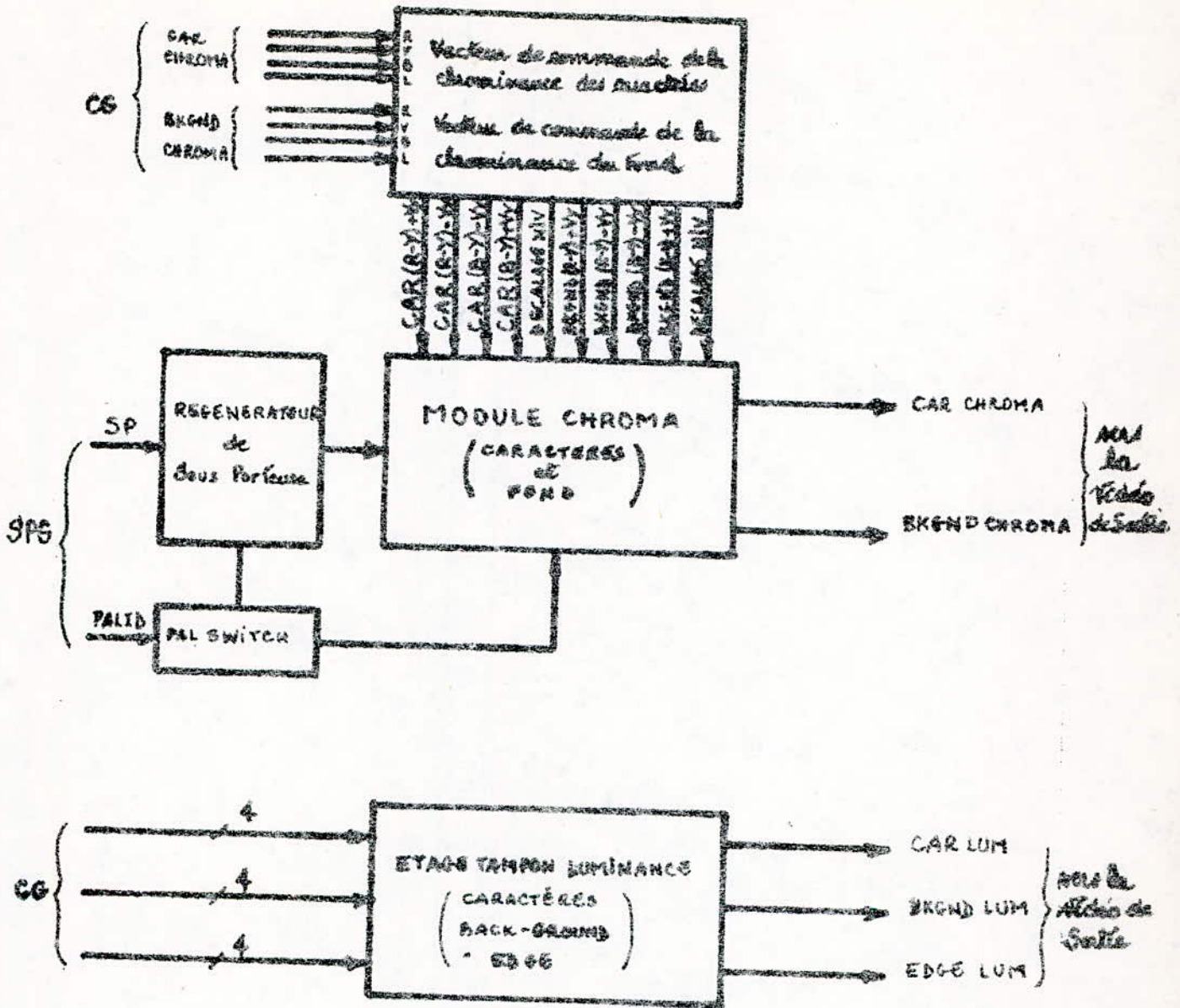


fig 3 - Etage de Colorisation EC (3001-3002)-

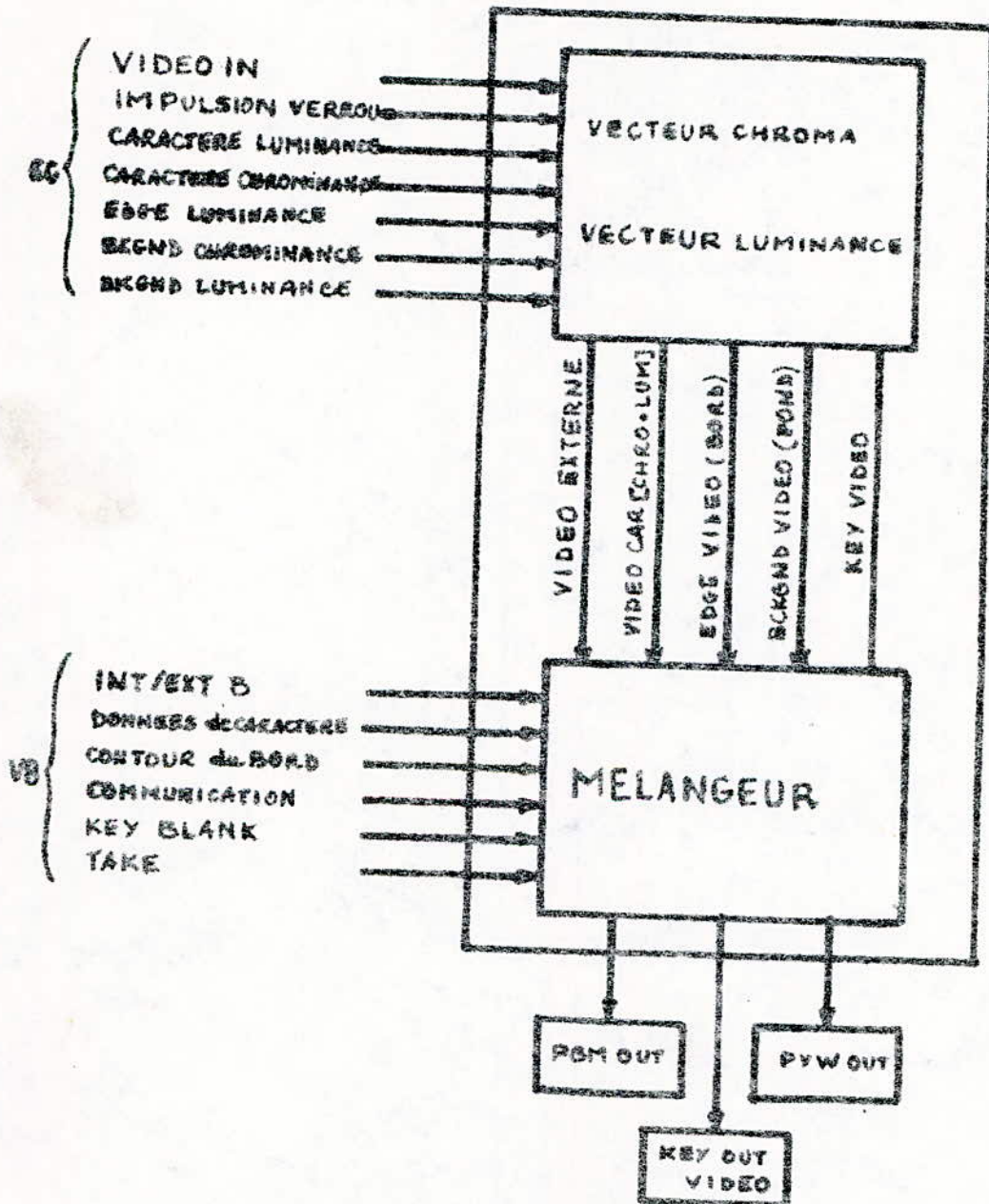


fig 4 - Crage Vidéo de Sortie

Chapitre - 5 -

CARTE D'INTERFACE

La fonction de la carte d'interface "DI3000" est de fournir un moyen grâce auquel un certain nombre de dispositifs d'entrée/sortie peuvent communiquer avec le CPU et ce dernier peut à son tour communiquer avec ses éléments (dispositifs) périphériques (terminal central, claviers, lecteurs de bandes perforées...).

L'élément de base de cette carte est l'horloge principale système, qui permet aux divers dispositifs de l'interface de communiquer en réalisant une référence de synchronisation commune. Chaque dispositif prévoit un module appelé UART (émetteur-récepteur asynchrone universel) pour régénérer les signaux (série-parallèle et parallèle-série) et adapter le taux baud sur son entrée à celui requis par la voie principale de données.

5.1 : Horloge principale et diviseurs de synchronisation

La fréquence de l'horloge de 1.6896 MHz est divisée pour fournir les diverses fréquences pouvant être requises pour la communication entre le CPU et ses dispositifs périphériques. (cf fig. 1.)

L'oscillateur de l'horloge comprend un quartz et des sections "inverseurs à Trigger de Schmidt" (74LS 14N) de passe avec des résistances et une capacité.

Les signaux de fréquence qui apparaissent à la sortie des diviseurs de synchronisation constitués par 3 types de compteurs (74LS 290; 74LS 293; 74LS 161) sont dirigés vers

Les dispositifs comme suit :

* $f = 1 \text{ Hz}$ via le compteur de secondes.

* $f = \begin{cases} 1760 \text{ Hz} \\ 4800 \text{ Hz} \\ 19200 \text{ Hz} \\ 76800 \text{ Hz} \end{cases}$

Le choix de l'une de ces fréquences nous donne la vitesse de Baud défini pour la transmission de données.

* $f = 4800 \text{ Hz}$ via l'horloge des syts accès de plaisir (UART).

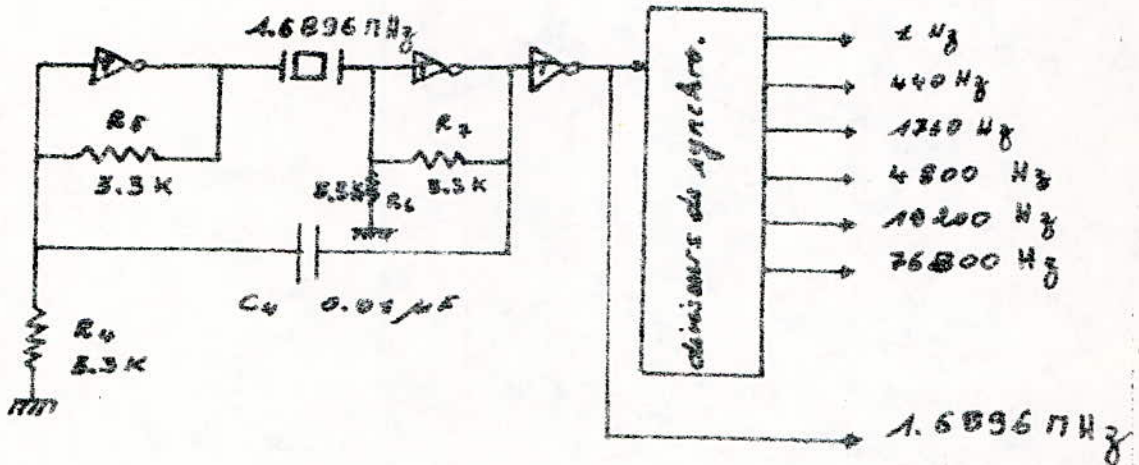


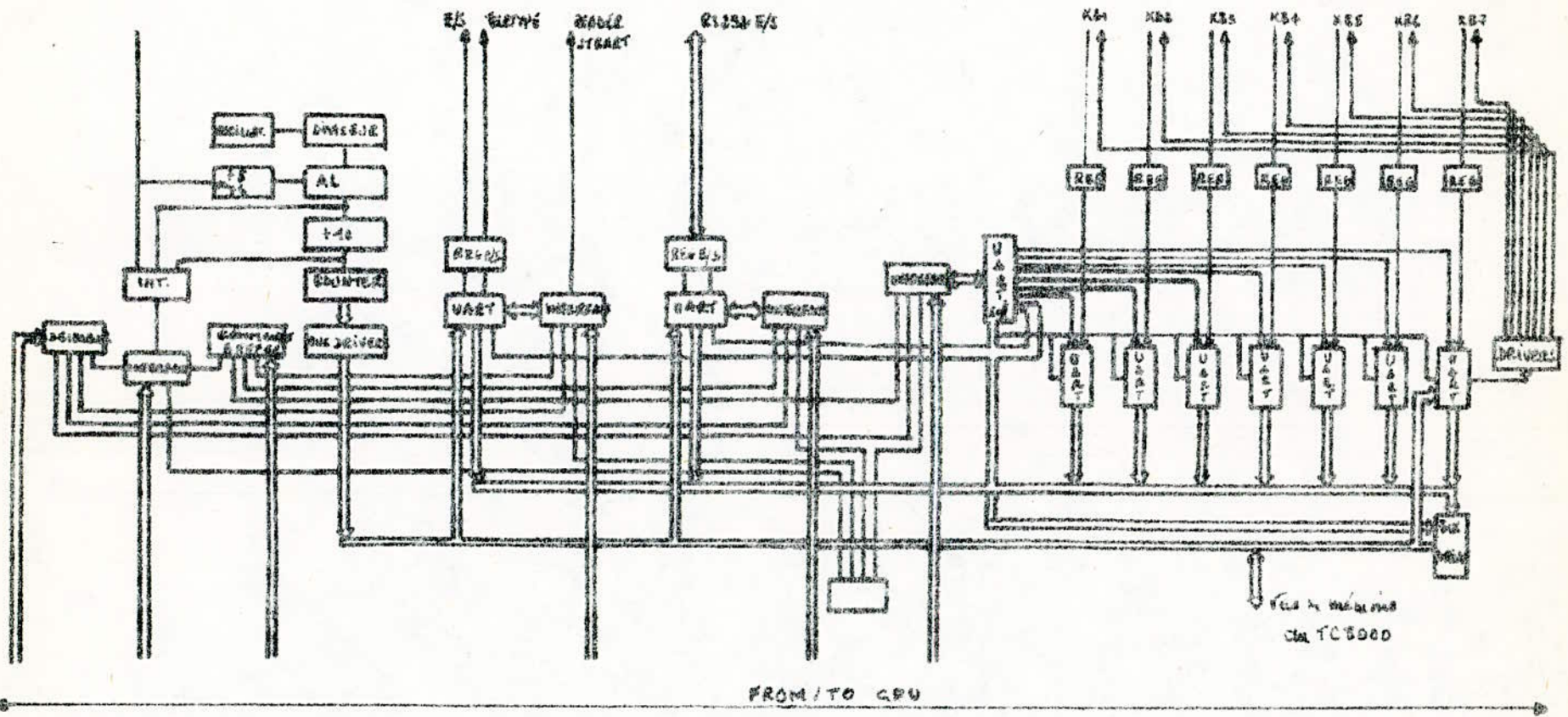
fig-1-

5.2: Commande de dispositifs d'interfaces: (cf fig-2-)

Chaque section de dispositif d'interface est commandée individuellement par le CPU et lui signale son état au cours de la suite de deux indicateurs (occupé / terminé).

Le dispositif signale au CPU qu'il a reçu une caractéristique d'entrée complet ou a terminé sa tâche en réglant la ligne de demande d'interruption sur un niveau logique bas ou le niveau de priorité d'interruption, qui a son tour signale au CPU qu'un dispositif attend d'être servi et assigne une priorité à la demande.

Les demandes d'interruption peuvent être invalidées par le



89

fig-2 - Synoptique de l'Interface
(DI 3000)

CPU qui suivie une instruction de masquage dans le but de réinitialiser les demandes d'interruption ou ce cas permet d'éliminer les entrées ou les sorties qui pourraient perturber d'autres opérations ayant lieu dans le même temps.

Lorsqu'un dispositif quelconque reçoit des données, l'entrée est envoyée par l'UART dans la voie principale du registre de récepteur (RRBUS). Les données de la voie principale (RRBUS) sont envoyées dans la voie principale de données par le transfert vers la mémoire centrale par le registre de sortie.

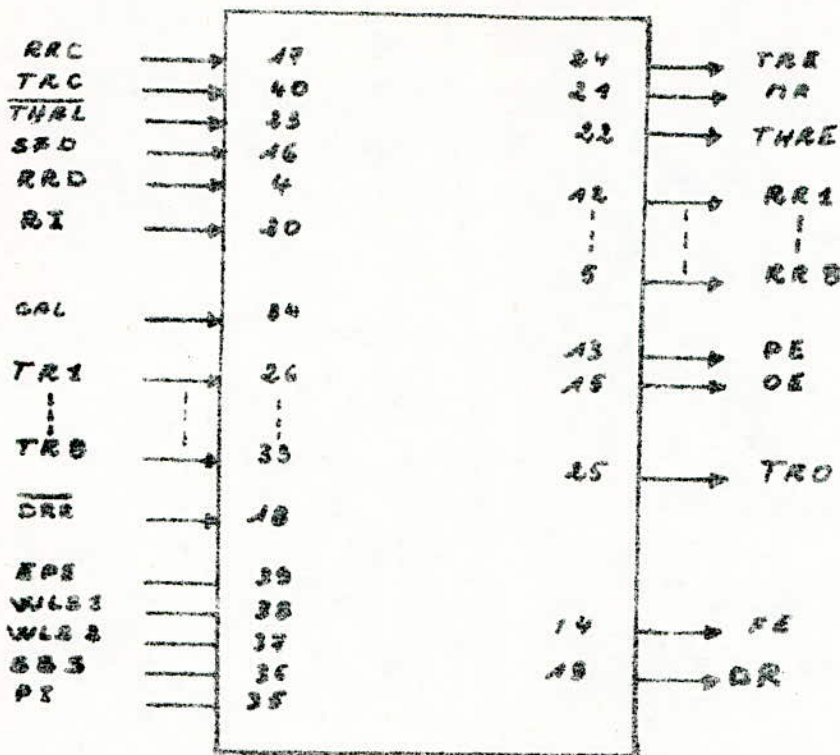
Les dispositifs commandés par la carte D18000 sont :

- * Interface du terminal : Cette section reçoit les données d'une borne téléimprimeur qui commande la lecture de bandes perforées.
- * Interface RS232C : Elle est similaire à celle du terminal sauf qu'elle est prévue pour des entrées ou sorties à distance.
- * Interface de clavier : Cette section prévoit sept accès de clavier en série d'E/S et inclut une sortie en série vers chacun d'eux depuis la voie principale d'E/S.

Le signal de chacun d'eux est mis en entrée sur un UART qui est validé par son pollueur de UART.

Remarque : Vu l'importance et le rôle que jouent les UART, nous établissons ci-après sans désignation de bornes des fonctions de chaque entrée et chaque sortie de l'UART.

UART (Émission-Récepteur-Asynchrone-Universel)



- * RRD; (4): Deux sorties haute, sur cette ligne coupe la partie des registres de maintenance de récepteur des sorties de données RRB-RR1.
- * RRB-RR1; (5-12): Données de registre de maintenance de récepteur.
- * PE; (13): Erreur de parité: Deux sorties haute sur cette ligne indiquent que la parité reçue ne s'accorde pas avec celle programmée par la ligne de commande de parité parité (EPE; 39).
- * FE; (14): Erreur de cadrage. Deux sorties haute sur cette ligne indiquent que le caractère ne parvient pas à être d'arrêt valide.
- * OE; (15): Erreur d'encodage. Une sortie haute sur OE indique que l'indicateur de données reçues (DR; 19) n'a pas été synchronisé avant le registre de maintenance de récepteur.
- * SFD (16): Coupure de l'indicateur d'états. Deux sorties haute sur cette ligne, coupe FE, PE, OE, DR et THRE.
- * RRC; (47): Horloge de registre de récepteur. La fréquence d'horloge de récepteur est 16 fois le taux de décodage du récepteur.

- * DDR; (18): Reinitialisation de données reçues. Une entrée basse sur cette ligne réinitialise la ligne DR.
- * DR; (19): Données reçues. Le sortie haute sur DR indique qu'un caractère a été reçu et transféré par le registre de maintien de récepteur.
- * RI; (20): Entrée de récepteur.
- * NR; (21): Reinitialisation principale. Réinitialise le registre d'émetteur et de récepteur, FE, OE, PE, DR et règle la ligne de sortie au zéro sur une sortie haute.
- * THRE; (22): Registre de maintien d'émetteur vide. Une sortie haute sur THRE indique que le registre de maintien de récepteur a transféré son contenu sur le registre d'émetteur et qu'il peut être chargé avec un nouveau caractère.
- * THRL; (23): Charge du registre de maintien d'émetteur. Une entrée basse sur THRL admet un caractère dans le registre de maintien d'émetteur. Une transition du niveau bas vers le haut transfère le caractère dans le registre d'émetteur s'il ne se trouve pas dans le processus de transmission d'un caractère.
- * TRE; (24): Registre d'émetteur vide. Une sortie haute sur TRE indique que le registre d'émetteur a terminé la transmission du reste d'un caractère complet.
- * TRO; (25): Sortie du registre d'émetteur.
- * TR1 ÷ TR8; (26 ÷ 33): Entrées de données dans le registre d'émission.
- * CRL; (34): Charge du registre de commande. Une entrée haute sur cette ligne charge le registre de commande avec les bits de commande (WLS1, WLS2, EPE, PI, SBS).
- * PI; (35): Inhibition de parole.
- * SBS; (36): Sélection de bits de stop. Cette ligne sélectionne le nombre de bits STOP à transmettre après le bit de parole.
- * WLS3, WLS4; (37, 38): Sélection de longueur mot.

WLS 2	WLS 1	Coupage des bits
0	0	5 bits
0	1	6 bits
1	0	7 bits
1	1	8 bits

* EPE (30) : Validation des paquets passés.

* TRC (40) : Halage du registre d'émission.

La fréquence d'halage d'émission est 16 fois la vitesse de décalage donnée de l'émission.

6.3 : Carte d'interface de la mémoire disque "D13100A"

Comme les programmes, fontes et pages doivent être mémorisés dans le disque pour des utilisations répétées.

Pour accéder une interface, la "D13100A", peut assurer la discussion entre le processeur et l'unité de disque à des fins de lecture et d'écriture.

* Principe de fonctionnement : (cf fig-3 - .)

Le D13100A commande le disque à bras mobile utilisé pour emmagasiner programmes, fontes et pages.

La section E/S et celle des registres reçoivent du CPU deux sortes d'instructions.

Les ordres de données (DATA; DATAB; DATOC) chargent les registres avec des données de commande et de contrôle, tandis que celles de lecture (DATA) lisent ce contenu pour envoyer le mot d'état vers le processeur. Ainsi les données DATOC chargent les données de comptage de secteurs, de bits et d'unité, présents dans la section des registres. Les données DATA chargent le registre d'adresse de piste avec l'adresse de cylindre et les données de mode de commande.

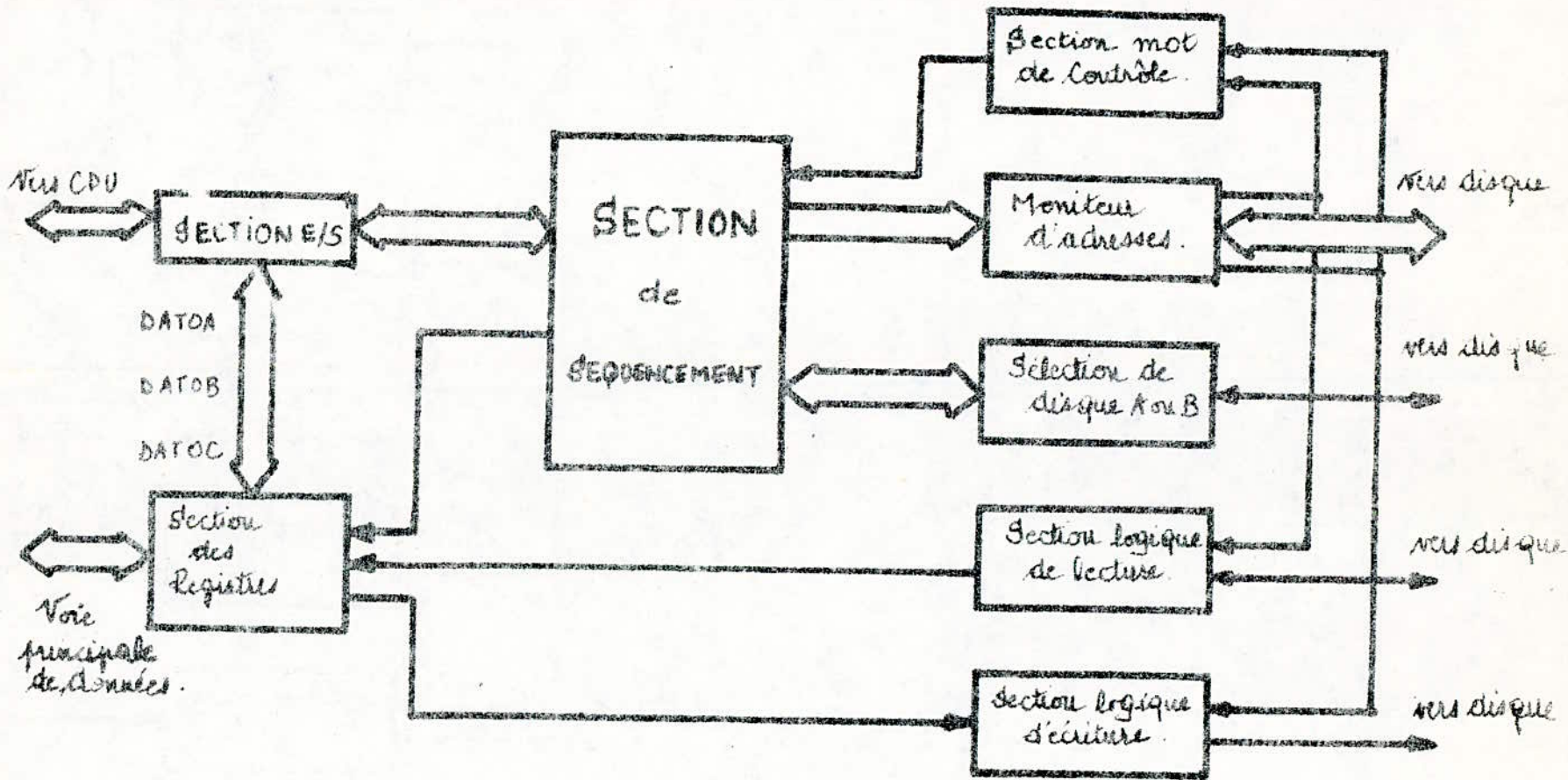


fig-3 - Synoptique de l'Interface du disque.

Le jeu de "cartes" chargé le registre d'adresse à tous (comptes et adresses) prévus dans la section E/S.

La section des registres assemble les données issues lors précédemment de la section logique de lecture pour les renvoyer vers le processeur via les lignes de sortie principale E/S. Elle plus elle décompacte les données parallèles du processeur qui doivent être transférées dans la section logique d'écriture pour être minimisées dans le disque. La section logique du mot de contrôle forme le mot de contrôle à 16 bits qui est transmis au sera depuis le registre de décalage du mot de contrôle dans la section logique d'écriture où il est ensuite transmis dans l'unité de disque. Il sera ensuite comparé avec celui calculé par le commutateur bit par bit.

Mémoire de disque:

Le disque utilisé à cet effet est une plaque d'aluminium dont les deux surfaces sont recouvertes d'une couche de matériau d'enregistrement gamma-craydo-ferrique. Il est également équipé de 5 rainures de scribe.

Il est nécessaire de charger les bandes "chargeurs de programmes" sur le disque de travail avant de pouvoir minimiser toute autre bande perforée de programmes.

Avant d'effectuer le chargement une étape préliminaire de dialogue avec le processeur est instaurée afin de l'aviser. Le programme permet l'identification de divers programmes qui seront sélectivement chargés en assignant à chacun d'eux un nom.

Une programme d'initialisation de disque a été prévu avant son exploitation pour sa structuration. A présent le disque est apte à recevoir tous les programmes relatifs aux fontes et pages - ceux-ci sont inscrits sur des bandes

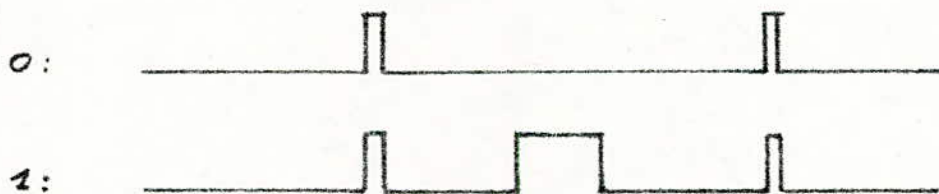
perforés qui seront lues par le lecteur de bande.

Les données sont enregistrées sur des anneaux concentriques sur chaque côté, avec une bande étroite vierge de chaque côté de la piste. Une autre plus mince est également prévue entre pistes pour empêcher la diaphonie. (cf. fig 4 et 5)

Le disque est monté sur une broche et tourne à une vitesse constante de 1500 trs/mn. Les têtes sont montées sur des bras métallés avec une tête de chaque côté.

Lors des calculs pour le positionnement des renseignements et telle que la direction de la tête, la différence entre la position de la tête et la nouvelle position sont assurées dans l'unité de commande de la cartouche de disque.

La technique d'enregistrement utilise la méthode à double fréquence. Dans cette méthode, une transition du flux est enregistrée pour chaque impulsion d'entrée. On utilise des impulsions d'horloge pour enregistrer les transitions sur le disque à des intervalles réguliers. La période de temps entre ces transitions constitue un bit. Une impulsion ou transition supplémentaire dans l'état de bit est un 1. Un élément de bit sans l'impulsion supplémentaire est un 0.



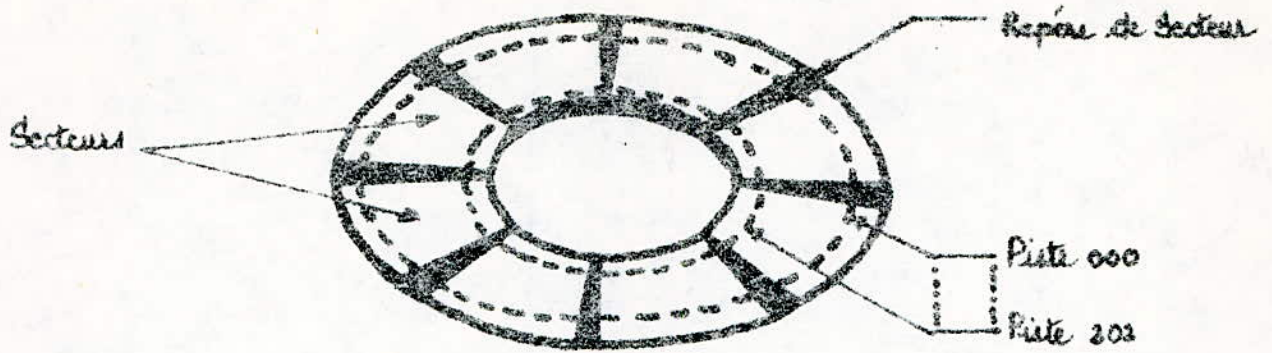


fig-4 - Vue Supérieure du disque -

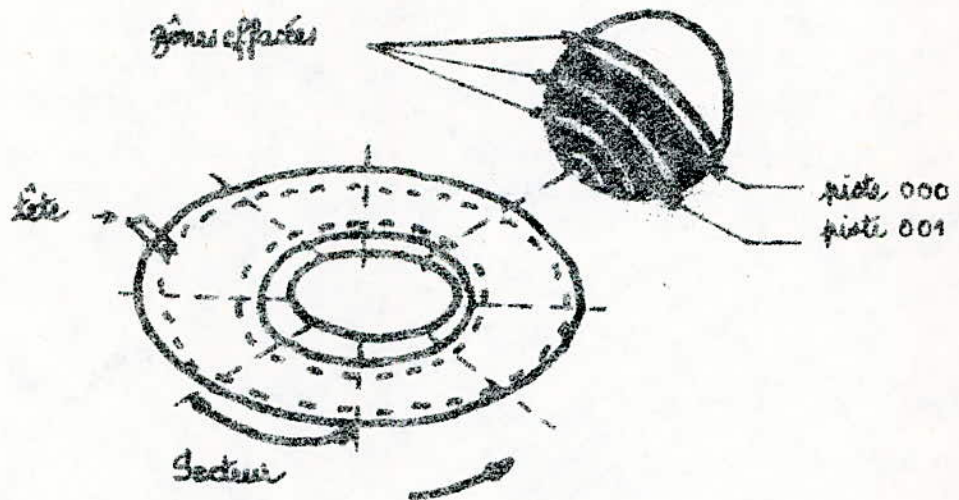


fig-5 - Technique d'enregistrement.

Performances du disque :

<u>Capacité :</u>	<u>Standard</u>	<u>Haute densité</u>
Deuxième de bits	1100 bits/pouce	2.200
Deuxième de pistes	100 pistes/pouce	100
Largeur de pistes	0.0051 pouce	0.007
Espacement de piste	0.010 pouce	0.004
Taux de transfert de bits	784 KHz	1562
Bits par cartouche	12.000.000	24.000.000
Bits par cylindre	60.000	120.000
Bits par piste	30.000	60.000
Cylindres par cartouche	203	203
Pistes par cartouche	408	405
Secteurs par piste	8 ÷ 24	8 ÷ 24
Secteurs par cartouche	3248 ÷ 9744	3248 ÷ 9744
Bits par secteur standard.	3750	7500.

* 1 pouce = 2,54 cm.

Chapitre - 6 -

CLAVIER-TKB 3000-

Le clavier "TKB 3000" permet la communication entre l'opérateur et l'équipement, et ce au moyen des instructions ou des données d'affichage que ce dernier lui transmet.

* On dispose de 82 touches, dont 36 relatives aux fonctions (type de fonte ; commande de couleur, de ton, de bord...), et les autres sont réservées aux caractères et symboles.

* Les impulsions de touches sont codées pour être introduites dans le ROM qui implémente en sortie le code du caractère sélectionné dans le calculateur. (cf fig 1).

Le caractère est transmis à la fréquence Baud appropriée (300 Baud) par un UART (Émetteur - Récepteur) par l'intermédiaire des registres de sortie.

* La production du signal d'horloge pour la transmission des données se fait par oscillateur commandé par une quartz et une chaîne de diviseurs.

On prévoit une indication par lampe de signalisation pour notifier l'opérateur que son clavier commande le CG.

6.1: Description du circuit: (cf fig 1)

6.1.1: Codeur de clavier: Les impulsions de touches faites par l'opérateur produisent un code de 10 x 10 bits qui est lu sur les entrées X et Y (rangée et colonne) du codeur de clavier (EA 2030). La sortie consiste en 9 bits dont 8 sont

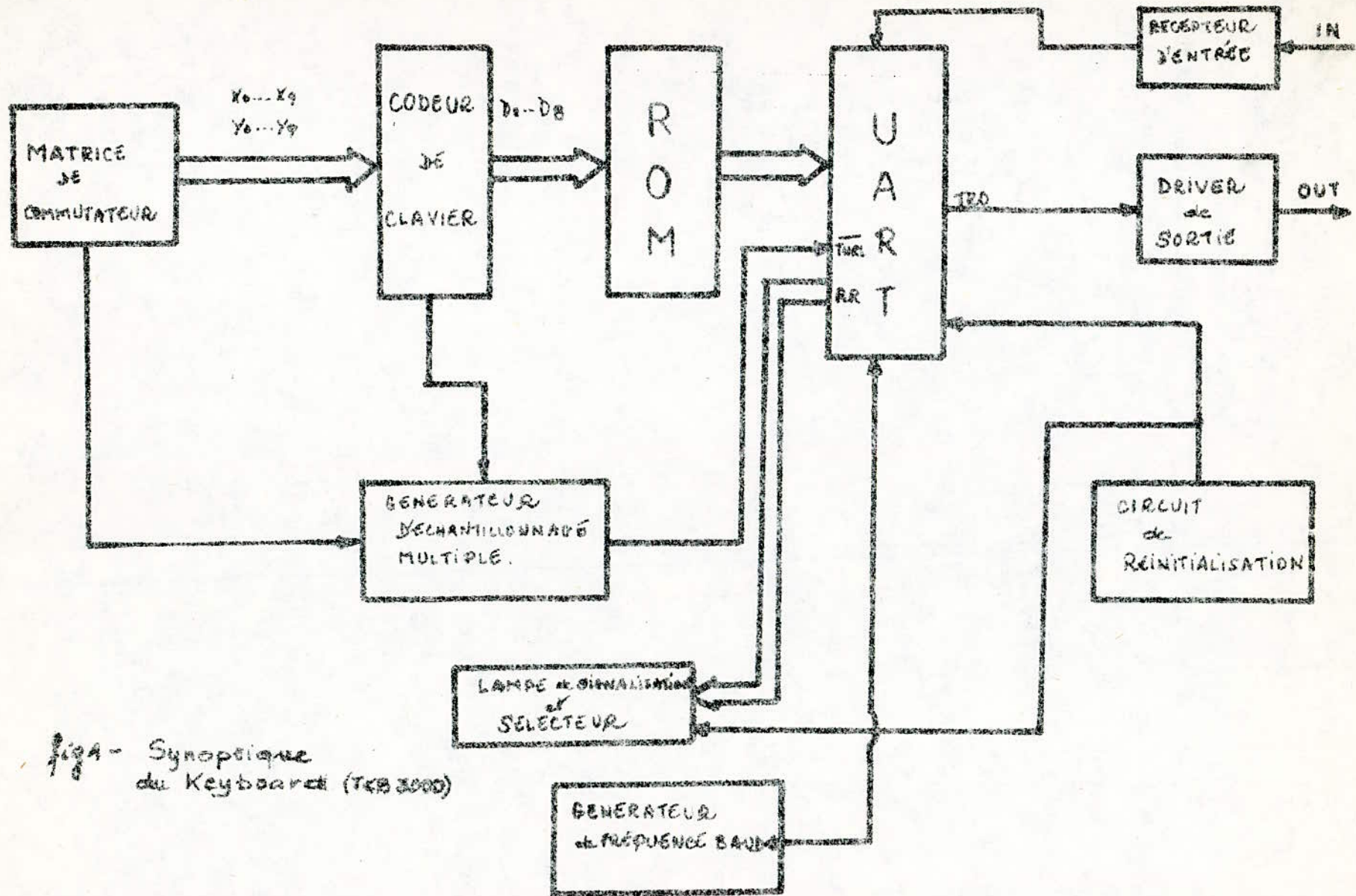


fig 3 - Synoptique du Keyboard (TCS 3000)

appliqués en parallèle sur les RON de décodeurs de code.
L'adresse sur les RON valide la sortie de 7 bits du caractère sélectionné.

Les RON sont programmés en usine pour produire en sortie chaque caractère (code) du jeu de caractères selon l'adresse du codeur de claviers. La sortie à 7 bits du décodeur est introduite sur les entrées du registre d'émission de l'UART.

6.1.2: Générateur d'échantillonnage multiple

Le générateur d'échantillonnage multiple, composé d'un rythmeur (NE555V) permet d'utiliser la bouche de répétition.

6.1.3: L'UART (émetteur-récepteur asynchrone universel)

Une entrée du calculateur sur l'UART (via l'interface DI3000) est utilisée pour commander le fonctionnement de la lampe de signalisation pour indiquer si le clavier a la commande du CG.

L'entrée série est introduite dans le registre de récepteur RI et est mise en sortie en parallèle ($RR_1 \div RR_7$) sur le registre sélecteur (74LS167) dont la sortie nous indique le numéro de clavier de 0 à 7 dans le mode "prise de priorité".

Une fois que l'un des claviers a la priorité, la sortie du caractère en série par le registre de transmission (TRO) est acheminée vers la carte d'interface (DI3000).

6.1.4: Horloge

Le signal d'horloge de 3.579545 MHz dérivé d'un oscillateur à quartz est divisé par une chaîne de diviseurs (74LS191), pour fournir une fréquence de 300 baud ($300 \times 16 \text{ Hz}$) à l'entrée d'horloge de l'UART (RRC; TRC).

CONCLUSION

Le document que nous avons élaboré se veut être d'un humble concours à toute personne désireuse d'acquies des connaissances utiles relatives à la technique de visualisation des caractères. Il offre une description détaillée des principaux dispositifs qui le constituent en expliquant les fonctions qu'ils remplissent ainsi que les étapes nécessaires à la formation et la visualisation d'un caractère.

Il est à remarquer que le compositeur graphique étudié est entièrement conçu en logique TTL. On notera cependant l'introduction au niveau du CPU des microprocesseurs en tranches qui sont eux-mêmes construits au moyen de fonctions intégrées dans la technologie précitée.

Cette technologie "TTL" offre à la fois les possibilités de fonctionnement à grande vitesse avec une bonne immunité au bruit et une portance convenable. Elle est de ce fait celle qui comporte le plus grand nombre de types distincts de fonctions.

Une ère nouvelle a vu le jour avec la naissance des microprocesseurs résolvant ainsi l'encombrement et présentant une plus grande maniabilité. Ils nous permettent d'implanter sans difficulté d'autres algorithmes travaillant sur les mêmes structures de données par simple modification de microprogramme.

Cependant la technologie "TTL" est très appréciée notamment dans la conception des grands calculateurs, où elle répond par la structure modulaire et les liaisons câblées au besoin d'une exécution rapide de plusieurs fonctions simultanées.

Bibliographie

- 1 - Notices techniques - RTA.
- 2 - Les microprocesseurs en tranches
C. BRIE et R. GERBER.
- 3 - Revues : Haut-parleur.
- 4 - Recueil de notes d'application (vd 5)
TEXAS - INSTRUMENTS.
- 5 - Télévision moderne
R. BESSON.