

23/80

UNIVERSITE DES SCIENCES ET DE LA TECHNOLOGIE D'ALGER

red

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT ELECTRICITE

PROJET DE FIN D'ETUDES

L'ELECTRONIQUE:

DE LA THEORIE A LA PRATIQUE



Proposé par :
M.KACIMI

Etudié par :
F. KHELIL
D. MEBHAH

Janvier 1980

*

UNIVERSITE DES SCIENCES ET DE LA TECHNOLOGIE D'ALGER

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT ELECTRICITE



PROJET DE FIN D'ETUDES



L'ELECTRONIQUE:

DE LA THEORIE A LA PRATIQUE

Proposé par :

M.KACIMI.

Etudié par :

F. KHELIL

D. MEBHAH

Janvier 1980

INTRODUCTION

Qu'est-ce qu'un Ingénieur ?

Le dictionnaire Larousse le définit comme " une personne que ses connaissances rendent apte à occuper des fonctions scientifiques ou techniques actives, en vue de créer, organiser, diriger des travaux qui en découlent, ainsi qu'à y tenir un rôle de cadre..." Qu'en est-il, en fait, de l'élève Ingénieur de notre génération ?

Nous pensons refléter l'impression de la majorité de nos camarades en le définissant comme : "une personne qui subit un enseignement, généralement, théorique qui ne le prépare en général pas à occuper dans la société la place qui devrait lui revenir : celle d'un cadre hautement qualifié...".

Que pourrait, en effet, penser Larousse d'un Ingénieur qui a suivi un enseignement "spécialisé" en électronique et qui est, le plus souvent, obligé de supplier un dépanneur pour qu'il lui répare sa télévision ou son poste radio? Sans doute serait-il tenté de réviser l'idée qu'il se fait de "son" Ingénieur? Qui sait ?

Larousse devrait en fait savoir que tout au long de ses études l'élève Ingénieur occupe très souvent la place de spectateur au lieu d'occuper celle d'acteur.

En un mot nous dirons que notre formation n'étant pas technique, nous ne sommes (souvent) pas appelés à être de bons "bricoleurs".

A qui la faute ? Nous pensons que la réponse à cette question dépasse le cadre du travail que nous nous sommes fixé dans notre sujet de Thèse de fin d'Etudes d'Ingénieurs option Electronique.

En fait en quoi consiste ce travail seriez-vous tentés de nous dire ? Nous avouons humblement avoir hésité à en parler. Mais puisque vous nous le demandez avec insistance, nous dirons simplement qu'après plusieurs semaines d'hésitation nous avons décidé de l'intituler : "L'ELECTRONIQUE : DE LA THEORIE A LA PRATIQUE".

Un titre bien pompeux nous direz-vous ? Certes.

Précisons cependant que de crainte que quelqu'un puisse nous ressortir

Le fameux dicton : "La critique est aisée mais l'art est difficile", nous nous sommes fixé comme objectif la recherche d'une solution qui permettrait de sortir du dilemme précédent.

Nous avons, en effet, imaginé un moyen de faire participer activement l'étudiant, de le faire toucher du doigt, en un mot de démystifier "les bêtes noires à deux pattes que sont les diodes, les bêtes non moins noires à trois pattes que sont les transistors et finalement les bêtes encore plus noires à plusieurs pattes (nous allons écrire à mille-pattes...!) que sont les circuits interprés". Comment ! Eh bien c'est presque simple. Nous avons réalisé un ensemble de circuits électroniques qui pourraient être utilisés pour illustrer chaque cours magistral durant lequel une série de relations mathématiques sont tirées. Ces "expériences vivantes" ne manqueront pas de convaincre les "spectateurs" que nous sommes qu'entre la Théorie et la Pratique il n'y a généralement pas qu'un pas. Nous sommes convaincues cependant que ces démonstrations ne manqueraient pas de vous aider à franchir des gouffres et nous inciter à passer de l'autre côté de la barrière pour rejoindre les heureux "acteurs" que vous êtes.

En fait aurez-vous réussi à atteindre votre objectif nous direz-vous ? Nous sommes très mal placées pour répondre.

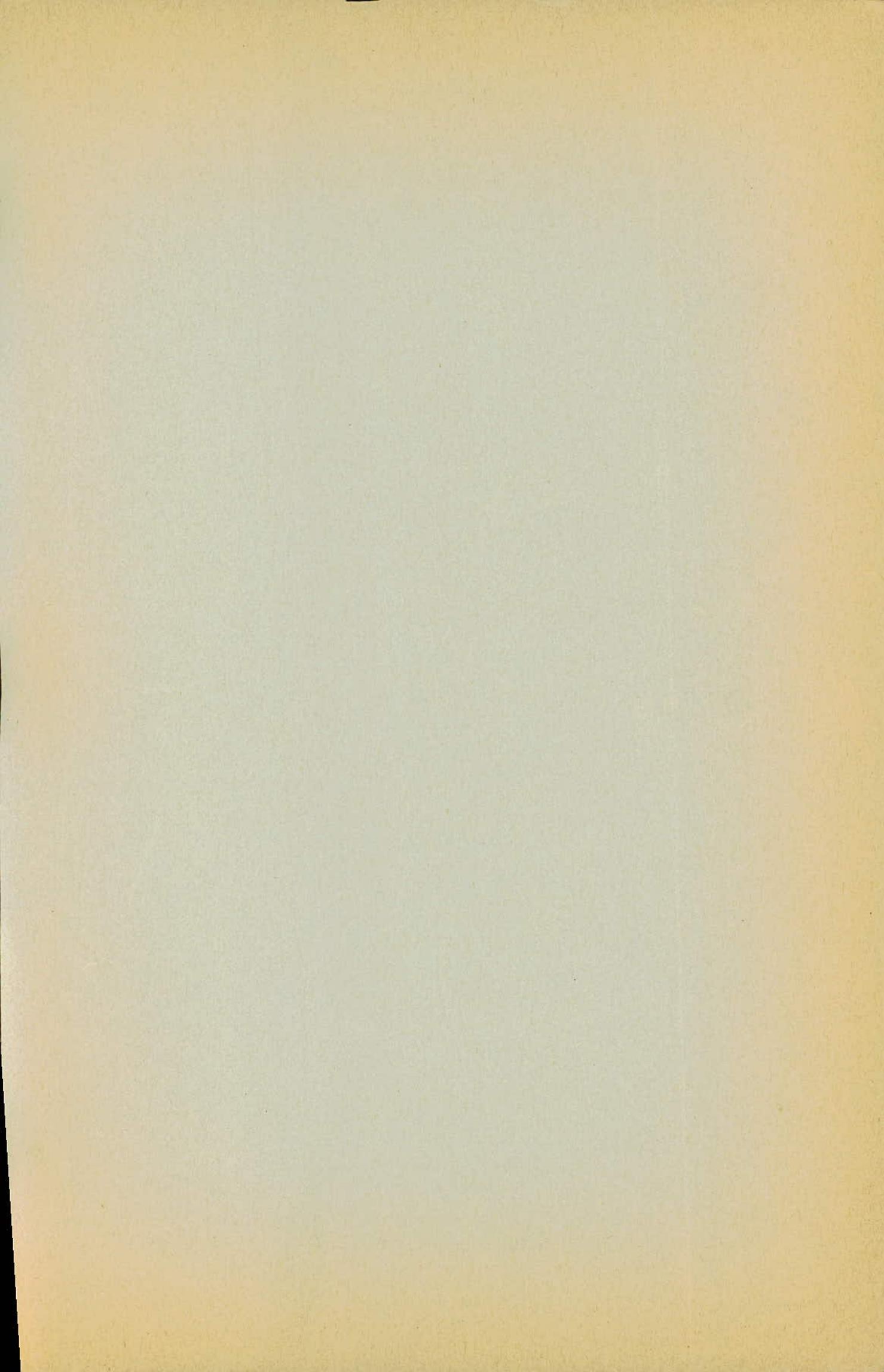
Nous vous laissons le soin de juger en vous signalant seulement que même si vous arrivez à la conclusion que nous n'avons pas atteint le but que nous nous sommes fixé nous avons au moins eu l'audace d'avoir essayé.

Il faut en effet reconnaître que dans une tâche aussi colossale, le résultat que des débutantes comme nous peuvent atteindre est généralement loin d'être parfait.

Nous espérons cependant que nos efforts n'aient pas été vains et que d'autres élèves suivront dans cette optique, en essayant d'apporter des améliorations afin de rendre l'enseignement de l'électronique plus pratique et donc plus profitable.

Table des matières.

- CH.1. Alimentation stabilisée.
- CH.2. Les filtres actifs.
- CH.3. Résolution analogique d'équations différentielles du 2^e ordre.
- CH.4. Echantillonnage et multiplexage.
- CH.5. Conversions analogique-numérique et numérique-analogique.
- CH.6. Les compteurs.
- CH.7. L'horloge électronique.
- CH.8. Les éléments à résistance dynamique négative.



ALIMENTATION STABILISEE

I - INTRODUCTION

La plupart des circuits utilisés en électronique, nécessitent pour leur polarisation, des sources de tension ou de courant continues et stables.

Dans le cas des appareils portatifs nécessitant des basses tensions et de très faibles puissances, l'utilisation de piles bien que contraignante et peu sûre s'avère un moyen commode.

Pour l'alimentation d'appareillages à usage domestique ainsi que pour la polarisation de dispositifs qui nécessitent une haute tension et des puissances élevées, la solution précédente est abandonnée au profit de l'alimentation à partir de la tension alternative disponible aux bornes du secteur.

Pour être utilisée la tension du secteur doit subir une série de transformations que l'on peut classer en :

- adaptation de l'amplitude du signal en fonction de la tension et de la puissance désirée.
- redressement
- filtrage
- stabilisation et régulation.

Nous nous proposons d'étudier dans la suite les moyens de réaliser les transformations précédentes.

II - ETUDE THEORIQUE

II-1. Adaptation de l'amplitude du signal :

L'adaptation entre la tension du secteur et celle désirée est réalisée à l'aide d'un transformateur.

Pour notre étude nous supposerons que le transformateur est constitué par :

- un noyau magnétique
 - un primaire
 - un secondaire.
- Le noyau magnétique est caractérisé par la section du fer, l'induction magnétique et la puissance utile qu'il devra transmettre.

- Le primaire est caractérisé par la tension secteur U_1 , le nombre de spires N_1 la section d_1 du fil utilisé et par le courant I_1 qui le traverse.
- Le secondaire est caractérisé par la tension U_2 disponible à ses bornes, la puissance P_{s2} qu'il doit fournir, le nombre de spires N_2 , la section d_2 du fil utilisé et le courant I_2 qui le traverse.

Dans le cas d'un transformateur isolectra que l'on a utilisé, les grandeurs précédentes sont reliées par les relations suivantes :

$$N_1 = U_1 \times n_1 \quad (1)$$

n_1 étant le nombre de spires par volt donné dans le tableau 1.

$$N_2 = U_1 \times n_1 \left(1 + \frac{100 - \eta}{2.100} \right) \quad (2)$$

η étant le rendement en % du circuit choisi, rendement minimum qui correspond à la puissance désirée.

Ce paramètre est donné par le tableau 2.

$$I_1 = \frac{P_{s2}}{\eta V_1} \quad (3)$$

$$I_2 = \frac{P_{s2}}{V_2} \quad (4)$$

$$d_1 = 1,13 \sqrt{\frac{I_1}{\Delta}} \quad \text{et} \quad d_2 = 1,13 \sqrt{\frac{I_2}{\Delta}} \quad (5)$$

Δ étant la densité de courant donnée par le tableau 1.

On peut de même grâce aux indications données par les 2 tableaux effectuer des calculs de pertes dans le cuivre, de pertes dans le fer, de résistance ohmique des enroulements ou de l'épaisseur de l'enroulement.

II-2. Redressement :

Il existe deux possibilités de redresser la tension alternative disponible côté secondaire du transformateur.

La première consiste en un redressement mono-alternance ; la seconde permet de redresser les deux alternances.

II-2.a. redressement simple alternance :

Le montage de principe utilisé pour réaliser un redressement mono-alternance est donné par le figure 1.

Dans le cas où la diode utilisée est supposée idéale, on peut montrer que la tension redressée disponible aux bornes de la charge R_2 se présente sous la forme indiquée par la figure 2.

Cette tension $v(t)$ appelée tension redressée a pour expression :

$$\begin{aligned} v(t) &= E_m \sin \omega t & \text{pour} & \quad 0 \leq \omega t \leq \Pi \\ v(t) &= 0 & \text{pour} & \quad \Pi \leq \omega t \leq 2 \Pi \end{aligned} \quad (6)$$

Sa valeur moyenne \bar{v} est donnée par la relation :

$$\bar{v} = \frac{1}{2 \Pi} \int_0^{2 \Pi} v(\omega t) \cdot d(\omega t) = \frac{E_m}{\Pi} \quad (7)$$

II-2.b. redressement bi-alternance :

Le redressement bi-alternance peut être réalisé, de deux façons différentes.

- soit en utilisant un transformateur dont le secondaire est muni d'un point milieu,
- soit à l'aide d'un transformateur possédant un secondaire unique.

Les figures 3 et 4 donnent les schémas de principe des deux montages utilisés.

Dans la mesure où les diodes utilisées sont supposées être idéales on peut montrer que la tension redressée se présente sous la forme indiquée Fig. 5.

Cette tension redressée $v(t)$ a pour expression :

$$\begin{aligned} v(t) &= E_m \sin \omega t & \text{pour} & \quad 0 \leq \omega t \leq \Pi \\ v(t) &= - E_m \sin \omega t & \text{pour} & \quad \Pi \leq \omega t \leq 2 \Pi \end{aligned} \quad (8)$$

il s'ensuit que la valeur moyenne de $v(t)$ est :

$$\bar{v} = \frac{2 E_m}{\Pi} \quad (9)$$

II-3. Filtrage :

Un développement en série de *Fourier* du signal redressé montre que celui-ci est constitué d'une composante continue à laquelle s'ajoutent des signaux alternatifs dont la fréquence est un multiple de la fréquence du secteur.

Filtrer le signal redressé revient à atténuer fortement les composantes sinusoïdales du signal.

Un filtre passe-bas dont la fréquence de coupure est judicieusement choisie permet d'effectuer le filtrage.

Pour des raisons de commodité on préfère souvent utiliser comme filtres des éléments R, C .

La Fig. 6 donne le schéma de principe d'un filtre utilisé dans le cas d'un redressement mono-alternance.

On peut alors montrer que la tension redressée et filtrée se présente sous la forme donnée Fig. 7.

Un calcul simple permet de montrer que dans le cas où $R_L \cdot C > \frac{1}{f}$, l'ondulation Δv est reliée à la valeur moyenne de la tension redressée par la relation :

$$\frac{\Delta v}{\bar{v}} = \frac{1}{2 R_L \cdot C \cdot f} \quad (10)$$

Le même raisonnement nous permet de montrer que dans le cas d'une tension redressée bi-alternance et filtrée, les paramètres précédents sont reliés par la relation :

$$\frac{\Delta v}{\bar{v}} = \frac{1}{4 R_L \cdot C \cdot f} \quad (11)$$

La relation précédente montre que, théoriquement, le filtrage sera d'autant plus efficace que la capacité de filtrage est élevée.

Dans la pratique, compte tenu du courant demandé par le condensateur, son encombrement, son prix et son efficacité non motivée, on arrive à la conclusion qu'il faudra limiter sa valeur. Si l'on tient compte du fait que la régulation avale et aura pour effet de minimiser la tension résiduelle à la sortie, on pourra admettre avec une très bonne approximation qu'une tension résiduelle égale en valeur efficace au maximum à 10 % de la tension moyenne redressée au courant nominal est largement suffisante. La valeur du condensateur étant

choisie proportionnellement au courant débité en sortie on prend généralement une valeur égale à $1500 \mu F/A$.

Le condensateur choisi devra être prévu pour supporter une tension maximale à vide que peut fournir le secondaire du transformateur. Comme généralement les tensions secondaires de ce dernier sont données pour des transformateurs chargés, c'est à dire débitant un courant nominal, il nous faudra encore prendre une marge de sécurité pour tenir compte du cas où le transformateur se trouverait à vide.

En plus de l'effet précédent, on est souvent amenés à augmenter de 20 % la tension secondaire pour tenir compte des élévations possibles de la tension du réseau.

Compte tenu des effets précédents, on est souvent conduit à prendre pour la tension de service du condensateur de filtrage une valeur égale à 1,7 fois la tension efficace disponible au secondaire du transformateur en charge.

II-4. Stabilisation et régulation :

Les paragraphes précédents nous ont permis de montrer que les tensions redressées et filtrées dépendent d'une part des fluctuations du secteur, d'autre part des variations de la charge.

Si l'on désire réduire les effets précédents il conviendra de stabiliser la tension filtrée.

La Fig. 8 donne le schéma de principe d'un régulateur.

Le principe de fonctionnement de ce régulateur peut s'expliquer de la façon suivante :

L'ampli d'erreur qui compare une fraction βV_S de la tension de sortie à une tension de référence fixe génère un signal d'erreur dont l'amplitude et le signe dépendent des variations que subit la tension de sortie V_S .

Le signal d'erreur agit sur le transistor ballast dont il tend à maintenir le point de fonctionnement fixe.

Si l'on admet que le gain en tension du transistor T monté en $E.C$ est égal à l'unité, on en déduit que :

$$V_S = V_B = G_V (V_r - \beta V_S) \quad (12)$$

ce qui donne :

$$V_S = V_r \left(\frac{G_V}{1 + \beta G_V} \right) = C^{ste} \quad (13)$$

avec
$$\beta = \frac{R_2}{R_1 + R_2} \quad (14)$$

III - REALISATION PRATIQUE

III-1. Calcul du transformateur :

Pour notre étude nous nous sommes fixés pour objectif l'étude d'un transformateur monophasé devant délivrer une puissance utile de 72 V.A sous une tension de 36 V à partir d'une tension secteur de 220 V.

III-1.a. Choix du circuit :

Le tableau 1 montre que le circuit 35 T 25 peut fournir une puissance maximum de 75 V.A. de sorte qu'il peut donc être utilisé.

III-1.b. rendement :

Le tableau 2 montre que le rendement minimal est 84 % pour une puissance de 50 V.A et de 85 % pour une puissance de 100 V.A. On pourra donc admettre que pour le transformateur utilisé le rendement est de l'ordre de 84 %.

III-1.c. Nombre de spires au primaire :

$$N_1 = 220 \times n_1 = 220 \times 5,69 \approx 1252.$$

III-1.d. Nombre de spires au secondaire en charge :

$$N_2 = 36 \times 5,69 \left(1 + \frac{100-84}{2.100}\right) \approx 222.$$

III-1.e. Calcul des courants :

$$I_1 = \frac{P_{s2}}{\eta U_1} = \frac{72}{0,84.220} = 0,39 \text{ A.}$$

$$I_2 = 2 \text{ A.}$$

III-1.f. Calcul du diamètre des fils :

$$\Delta = 4,1 \text{ A/mm}^2$$

$$d_1 = 1,13 \sqrt{\frac{I_1}{\Delta}} = 1,13 \sqrt{\frac{0,39}{4,1}} = 0,35 \text{ mm}$$

$$d_2 = 1,13 \sqrt{\frac{I_2}{\Delta}} = 1,13 \sqrt{\frac{2}{4,1}} = 0,79 \text{ mm} \approx 0,8 \text{ mm.}$$

III.2. L'Alimentation stabilisée :

La Fig. 9 donne le schéma d'ensemble de l'alimentation stabilisée réalisée.

Références du noyau	Puiss. max. transmise	Dimensions du transformateur hors tout E x 2F x H	Section de fer cm ²	Longueur de la ligne de force cm	Spires par Volt	Intensité dans le cuivre A/mm ²	Rapport puiss./ volume Watt/cm ³	pertes totales en Watts	Puiss. apparente en V.A.
35 Q 13	20	54 x 59 x 44	1,94	12,4	13,65	5,9	0,146	0,4	25x2
35 Q 19	29	54 x 59 x 50	2,82	12,4	9,4	5,1	0,182	0,6	3,6x2
35 Q 25	38	54 x 59 x 56	3,72	12,4	7,12	4,5	0,214	0,78	4,7x2
35 Q 38	58	54 x 59 x 69	5,66	12,4	4,68	3,8	0,292	1,2	7,2x2
35 T 13	41	71 x 73 x 50	2,42	16,3	10,95	5,4	0,168	0,66	3,6x2
35 T 19	60	71 x 73 x 56	3,54	16,3	7,46	4,4	0,207	0,98	5,2x2
35 T 25	75	71 x 73 x 62	4,66	16,3	5,69	4,1	0,242	1,28	6,8x2
35 T 32	95	71 x 73 x 69	5,96	16,3	4,45	3,8	0,266	1,64	8,7x2
35 U 19	68	77 x 79 x 65	3,54	17,8	7,48	4,4	0,174	1,08	5,5x2
35 U 25	88	77 x 79 x 71	4,66	17,8	5,69	4,1	0,204	1,4	7,2x2
35 U 32	110	77 x 79 x 78	5,96	17,8	4,45	3,8	0,23	1,8	9,2x2
35 U 38	145	77 x 79 x 84	7,08	17,8	3,74	3,6	0,264	2,14	10,9x2
35 V 22	136	89 x 97 x 76	5,32	20,6	4,98	4	0,212	1,86	9,0x2
35 V 29	180	89 x 97 x 83	7,02	20,6	3,77	3,6	0,252	2,46	11,8x2
35 V 38	230	89 x 97 x 92	9,20	20,6	2,88	3,3	0,29	3,22	15,5x2
35 V 51	300	89 x 97 x 109	12,30	20,6	2,15	2,85	0,33	4,32	20,6x2
35 X 19	220	108 x 123 x 87	5,66	25,5	4,68	3,9	0,193	2,26	11,0x2
35 X 29	330	108 x 123 x 97	8,34	25,5	3,18	3,4	0,256	3,74	16,8x2
35 X 38	440	108 x 123 x 106	11,34	25,5	2,34	3	0,314	4,92	22,0x2
35 X 51	580	108 x 123 x 119	15,2	25,5	1,74	2,6	0,354	6,60	29,6x2
35 Z 25	430	127 x 147 x 105	8,84	30,3	3	3,3	0,216	4,54	19,6x2
35 Z 38	710	127 x 147 x 118	13,42	30,3	1,97	2,7	0,322	6,92	29,4x2
35 Z 51	900	127 x 147 x 131	18,02	30,3	1,47	2,5	0,37	9,28	39,5x2
35 Z 70	1200	127 x 147 x 150	24,74	30,3	1,07	2,3	0,424	12,74	51,3x2
35 AD 32	1200	164 x 189 x 130	14,86	39	1,38	2,6	0,29	9,88	39,6x2
35 AD 51	1900	164 x 189 x 149	23,7	39	1,12	2,4	0,41	15,34	62,7x2
35 AJ 32	2000 VA	209 x 240 x 150	19	49,7	1,4	2,5	0,265	13	112
35 AJ 51	3200 VA	209 x 240 x 170	30	49,7	0,83	2	0,31	21	190
35 AP 32	3500 VA	260 x 300 x 190	24	62	1,1	2,3	0,22	21	180
35 AP 51	5500 VA	260 x 300 x 220	38	62	0,7	1,7	0,33	33	290

Tableau n° 1.

puissance en V.A.	Rendement en %
25	76
50	84
100	85
200	86
300	88
400	90
500	92
700	91
1000	92
1300	92
1500	94
2000	95

Tableau n° 2.

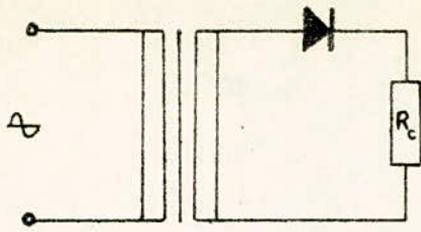


Fig 1. Redressement mono-alternance.

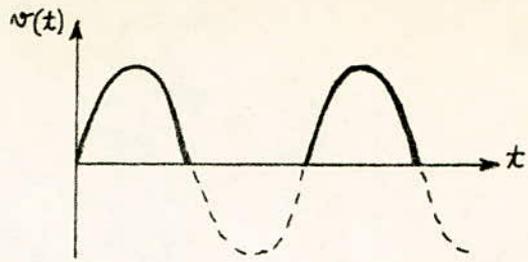


Fig 2. tension redressée mono-alternance

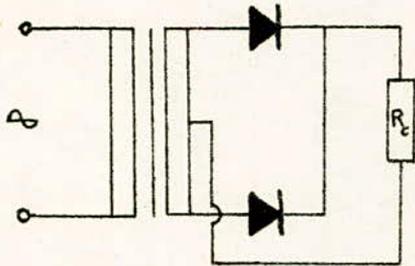


Fig 3. Redressement double-alternance à transformateur point milieu.

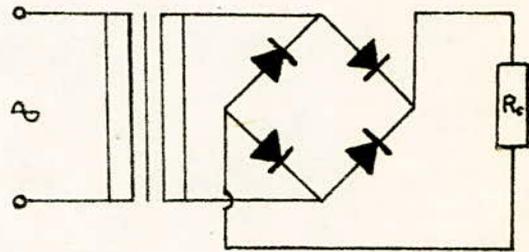


Fig 4. Redressement double alternance à pont de diodes.

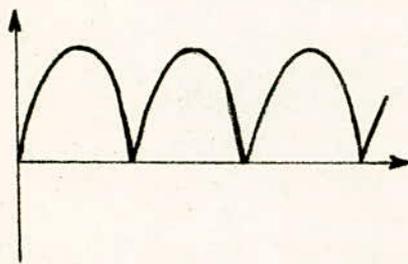


Fig 5. tension redressée double-alternance.

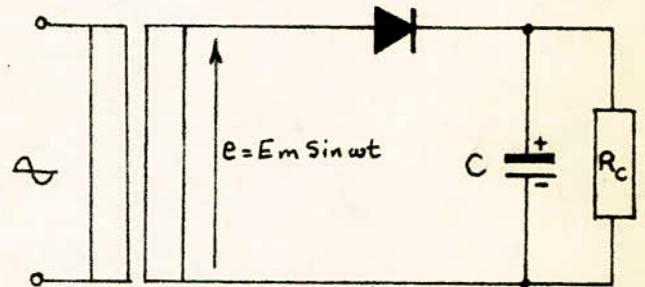


Fig 6. filtre utilisé dans le cas d'un redressement mono-alternance.

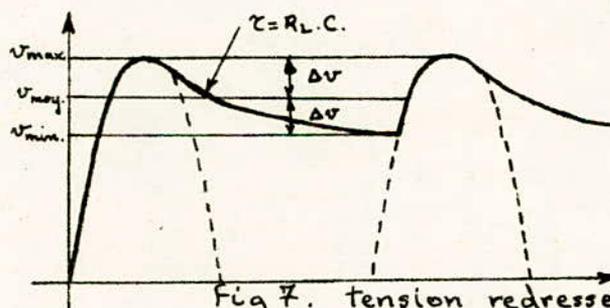


Fig 7. tension redressée et filtrée.

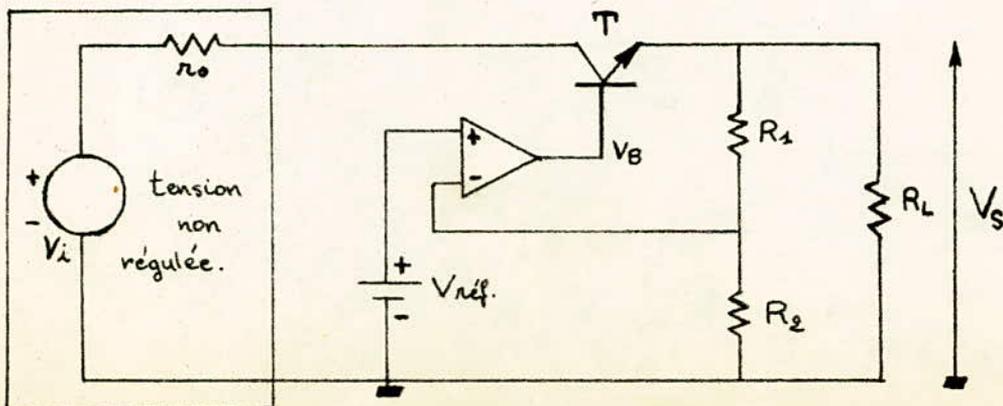


Fig 8. Régulateur.

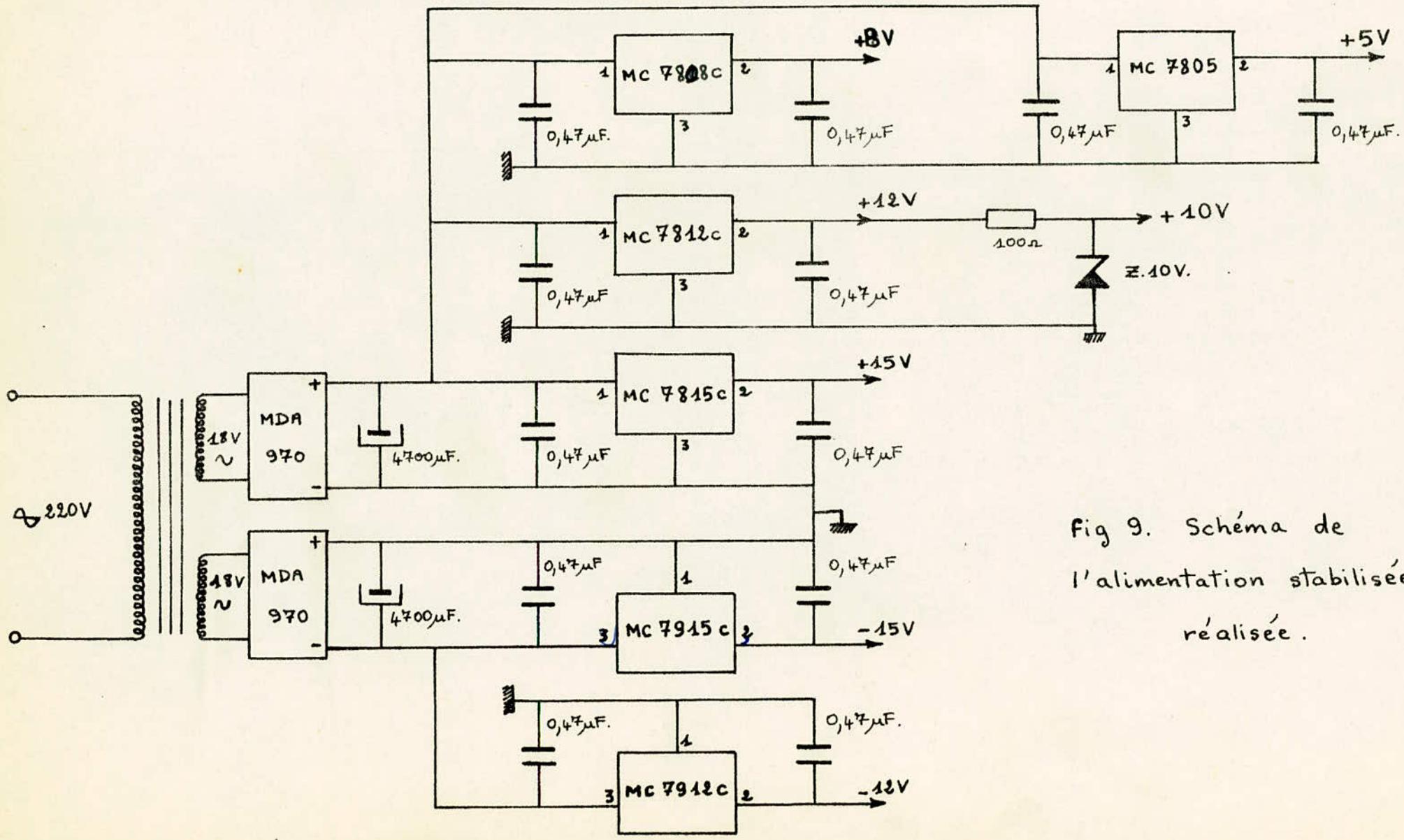
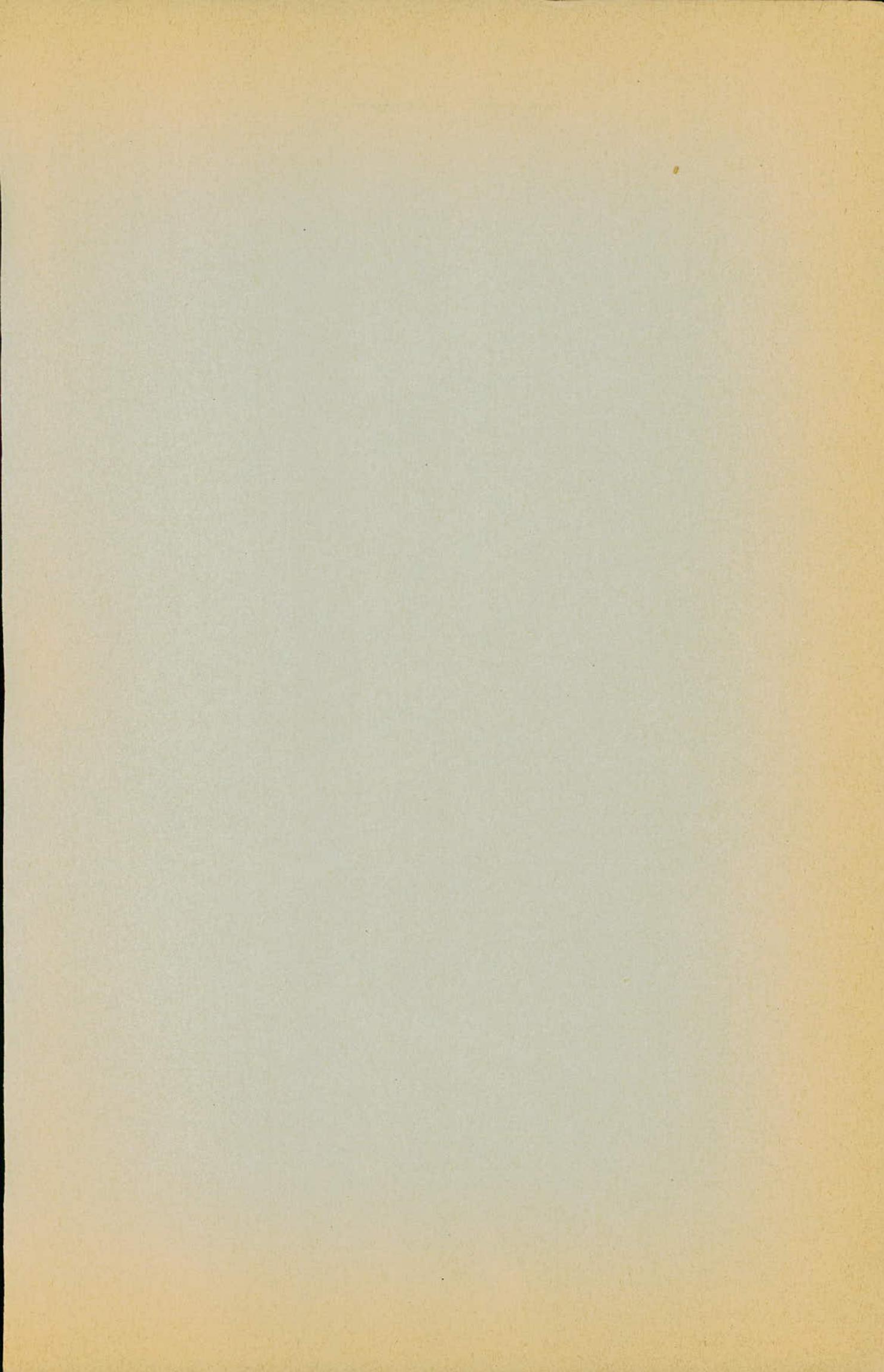


Fig 9. Schéma de l'alimentation stabilisée réalisée.



I. GENERALITES :

I.1 DEFINITION :

On appelle filtre un réseau capable de sélectionner un domaine de fréquence bien déterminé.

Il existe deux catégories de filtres :

- filtres passifs.
- filtres actifs .

Les premiers utilisent des composants R,L,C.

Les seconds des circuits R,C associés à des éléments actifs du type amplificateurs.

Les filtres actifs possèdent des avantages indéniables parmi lesquels on peut citer :

- Impédances d'entrée élevées associées à des impédances de sortie relativement faibles ce qui élimine les problèmes d'interaction entre cellules lors de montages en cascade de plusieurs filtres.

- Diminution de l'encombrement du fait que des éléments encombrants du type self peuvent être simulés par une association de réseaux R,C et d'amplificateurs;

- Possibilité de travailler avec des signaux d'entrée de très bas niveau étant donné les gains disponibles.

Ils présentent cependant certains inconvénients dont les plus importants sont :

- Dynamique du signal de sortie limité du côté des grandes amplitudes par la saturation des étages de sortie et du côté des faibles amplitudes par les bruits d'origine interne aux amplificateurs.

- Très forte sensibilité qui peut engendrer des oscillations.

I.2 DOMAINE D'UTILISATION ET APPLICATIONS :

- Le domaine d'utilisation est généralement limité aux basses fréquences entre 10 Hz et 30 kHz.

L'utilisation de circuits complémentaires de compensation associés à des amplificateurs spéciaux permet d'étendre ce domaine aux fréquences inférieures à 10 Hz ou supérieures à 30 kHz

- Les filtres actifs sont utilisés dans plusieurs domaines tels que télécommunications, filtres de voies téléphoniques, sonars, commande d'engins, matériels industriels, équipement de recherche, applications aéronautiques et spatiales, système de traitement de données...etc.

I.3 CARACTERISTIQUES :

L'une des caractéristiques les plus importantes d'un filtre actif est sa fonction de transfert $F(p)$ définie comme le rapport entre le signal de sortie $V_s(p)$ et le signal d'entrée $V_e(p)$; p étant l'opérateur de la place.

On appelle ordre d'un filtre la valeur la plus élevée de l'exposant associé à p au dénominateur de $F(p)$.

L'expérience montre que la pente de la réponse d'un filtre à partir d'une fréquence donnée est d'autant plus accentuée que l'ordre est élevé.

I.4 DIFFERENTES FORMES DE REPONSES :

I.4.a GENERALITES

La réponse d'un filtre actif peut présenter plusieurs formes dont les plus caractéristiques sont celles de :

- Butterworth
- Chebyshev
- Bessel
- Cauer.

I.4.b. REPONSE DE BUTTERWORTH :

Caractérisée par une valeur bien précisée de son coefficient d'amortissement $\zeta = \frac{\sqrt{2}}{2} = 0 = \frac{1}{2\zeta} = 0,707$, cette réponse ne présente pas d'ondulation dans la bande de fréquences transmises et possède une amplitude dont le module F fonction de la fréquence de coupure à 3 dB, f_0 , et de l'ordre n, est donné par la relation :

$$F = \frac{1}{\sqrt{1 + \left(\frac{f}{f_0}\right)^{2n}}} \quad (1)$$

La figure 1. nous donne la forme de cette réponse en amplitude pour un filtre passe bas.

I.4.c. REPONSE DE CHEBYSCHY :

Caractérisée par un coefficient d'amortissement inférieur à 0,707, cette réponse présente, des ondulations dans la bande de fréquences transmises d'autant plus prononcées que la coupure est rapide. Le nombre de maxima et de minima est égal à l'ordre du filtre. (voir fig.2)

I.4.d REPONSE DE BESSEL :

Cette réponse est caractérisée par une phase qui varie proportionnellement à la fréquence. La figure 3 nous donne la variation de l'amplitude de la fonction de transfert F (p) en fonction de la pulsation ω pour un filtre passe bas.

I.4.e REPONSE DE CAUER:

Cette réponse présente la particularité d'avoir une fonction de transfert discontinue dans la bande des fréquences transmises (fig.4).

La figure 5 nous donne l'allure des différentes réponses pour un filtre passe bas.

II. DIFFERENTS TYPES DE FILTRES :

-4-

II.1. LES FONCTIONS DE TRANSFERT.

Il existe des filtres d'ordres différents. Dans la pratique le filtre d'ordre deux est le plus couramment utilisé.

Il est en effet possible d'obtenir des filtres d'ordre supérieur par associations de filtres de second ordre.

D'une façon générale les filtres peuvent être classés en 4 groupes :

- passe bas
- passe haut
- passe bande
- rejecteur de bande.

P étant la pulsation dans le plan complexe, ω_0 la pulsation caractéristique, $\zeta = \frac{1}{2Q}$ le coefficient d'amortissement, Q le coefficient de surtension, A le module de la fonction de transfert, on montre que les fonctions de transfert pour les différents filtres peuvent être mises sous les formes standards suivantes qui seront données en fonction du paramètre :

$$D = 1 + 2 \frac{P}{\omega_0} + \frac{P^2}{\omega_0^2}. \quad (2)$$

FILTRE PASSE BAS : $F(P) = \frac{A}{D}. \quad (3)$

La figure 6 montre que la courbe de réponse du réseau passe)bas présente un pic d'autant plus élevé que ζ sera faible, à ω_0 et A constants.

FILTRE PASSE HAUT : $F(P) = \frac{A}{D} \cdot \frac{P^2}{\omega_0^2}. \quad (4)$

La figure 7 nous donne l'allure de la courbe de réponse d'un filtre passe haut.

FILTRE PASSE BANDE : $F(P) = \frac{A}{D} \cdot 2 \frac{P}{\omega_0} \quad (5)$

La figure 8 nous donne les réponses en amplitude et en phase de ce système.

FILTRE REJECTEUR DE BANDE : $F(P) = \frac{a + a' \frac{P^2}{\omega_0^2}}{D} \quad (6)$

a et a' caractérisent la symétrie du filtre.

Les différentes formes de réponse de ce filtre sont représentées par la figure 9.

pour un rejecteur symétrique a = a' = 1 la fonction de transfert peut prendre deux formes caractéristiques :

$$F_1(P) : A \left[\frac{1}{D} + \frac{P^2}{\omega_0^2 D} \right] = F_{P.B}(P) + F_{P.H}(P) \quad (7)$$

$$F_2(P) = A \left[1 - \frac{2 \xi P}{\omega_0 D} \right] = A - F'_{P.B}(P) \quad (8)$$

$F_{P.B}(P)$, $F_{P.H}(P)$ et $F'_{P.B}(P)$ étant respectivement les fonctions de transfert des filtres passe-bas, passe-haut et passe-bande.

II.2. STRUCTURES UTILISEES :

II.2.a. GENERALITES .

Il est possible de réaliser des filtres de second ordre en utilisant quatre types de structures :

- Structure à contre-réaction simple dont la fig 10 donne le schéma de principe.

- Structure à source contrôlée (Sallen-Key) dont la fig 12 donne le schéma de principe.

- Structure à variable d'état dont la fig 13 donne le schéma de principe, pour un filtre passe-bas.

Moyennant des calculs de circuits très simples on peut mettre les fonctions de transfert des différents circuits précédents sous les formes suivantes :

II.2.b. STRUCTURE A CONTRE REACTION SIMPLE :

$$F(P) = \frac{1}{1 + \frac{Y_4}{Y_1^2} (2 Y_1 + Y_2)} \quad (9)$$

Dans le cas où $Y_1 = Y_3 = Y_7$ et $Y_2 = Y_6$.

Cette structure permet de réaliser :

des filtres passe-bas en prenant $Y_1 = \frac{1}{R}$, $Y_2 = C_1 P$, $Y_4 = C_2 P$

des filtres passe-haut en prenant $Y_1 = C_P$, $Y_2 = \frac{1}{R_1}$, $Y_4 = \frac{1}{R_2}$

II.2.c STRUCTURE A CONTRE REACTION MULTIPLE :

$$F(P) = - \frac{Y_1 Y_3}{Y_5 (Y_1 + Y_2 + Y_3 + Y_4) + Y_3 Y_4} \quad (10)$$

En prenant $Y_2 = \frac{1}{R_2}$, $Y_5 = \frac{1}{R_5}$ et $Y_4 = C_4 P$ cette structure permet de réaliser :

Des filtres passe-bas en prenant $Y_1 = \frac{1}{R_1}$ et $Y_3 = \frac{1}{R_3}$

des filtres passe-haut en prenant $Y_1 = C_1 P$ et $Y_3 = C_3 P$

des filtres passe-bande en prenant $Y_1 = \frac{1}{R_1}$ et $Y_3 = C_3 P$.

II.2.d. STRUCTURE A SOURCE CONTROLEE :

$$F(P) = \frac{K Y_1 Y_3}{(Y_1 + Y_2 + Y_3)(Y_3 + Y_4) - K Y_2 Y_3} \quad (11)$$

Le paramètre K est généralement pris égal à 1.

Cette structure, de même que la précédente, ne permet pas de réaliser des filtres rejeteurs de bande. Elle permet cependant la réalisation de filtres passe-bande.

II.2.e STRUCTURE A VARIABLE D'ETAT :

Le schéma de principe d'un filtre utilisant cette structure peut être obtenu en exprimant la fonction de transfert en fonction de la grandeur $a = \frac{\omega_0}{P}$ qui représente la fonction de transfert d'un intégrateur.

C'est ainsi que dans le cas du filtre passe-bas par exemple la fonction de transfert peut se mettre sous la forme :

$$F(P) = \frac{A}{1 + 2 \xi \frac{P}{\omega_0} + \left(\frac{P}{\omega_0}\right)^2} = \frac{A}{1 + 2 \xi \frac{1}{a} + \frac{1}{a^2}} \quad (12)$$

d'où l'on tire :

$$V_s = A V_e a^2 - 2 \xi V_s a - V_s a^2. \quad (13)$$

Cette relation montre que la figure 13 peut être utilisée comme filtre passe-bas.

Moyennant un calcul de circuit simple on montre que la fonction de transfert de ce circuit peut se mettre sous la forme :

$$F(P) = \frac{1}{1 + \left(\frac{P}{\omega_0}\right)^2 + \frac{R}{R_2} \left(\frac{P}{\omega_0}\right)} \quad (14) \quad \text{avec} \quad \frac{\omega_0}{P} = \frac{1}{RCP}$$

Les relations (12) et (14) nous permettent de tirer les équivalences suivantes :

$$\left\{ \begin{array}{l} A = \frac{R}{R_1} \\ \xi = \frac{1}{2} \frac{R}{R_2} \end{array} \right. \quad (15)$$

Ce principe peut être repris pour déterminer les schémas des différents types de filtres.

III. APPLICATIONS :

La propriété que possède un filtre de sélectionner des domaines de fréquences bien déterminés est largement utilisé en électronique pour transformer un signal de forme donnée en un signal de forme désirée.

Pour saisir l'importance de cette transformation il suffira de se rappeler que le Théorème de Fourier montre que toute fonction périodique, non sinusoïdale et continue, dans un intervalle compris entre 0 et Π , peut être décomposée en une somme infinie de fonctions périodiques dont les fréquences appelées harmoniques sont des multiples exacts de la fréquence la plus basse appelée fondamentale.

C'est ainsi que :

Un signal carré peut se mettre sous la forme :

$$f(t) = \frac{4A}{\Pi} \left(\sin \omega t + \frac{1}{3} \sin 3 \omega t + \dots \right) \quad (16)$$

un signal triangulaire sous la forme :

$$f(t) = \frac{8A}{\Pi^2} \left(\sin \omega t - \frac{1}{9} \sin 3 \omega t + \frac{1}{25} \sin 5 \omega t \dots \right) \quad (17)$$

un signal redressé monoalternance

$$f(t) = A \left(\frac{1}{\pi} + \frac{1}{2} \sin \omega t - \frac{2}{3\pi} \cos 2 \omega t \right) \quad (18)$$

un signal redressé double alternance :

$$f(t) = \frac{2A}{\pi} \left(1 - \frac{2}{1 \times 3} \cos 2 \omega t - \frac{2}{3 \times 5} \cos 4 \omega t \right) \quad (19)$$

compte tenu de ce qui précède on déduit des propriétés importantes des filtres pour :

- Le filtrage d'un signal redressé
- la transformation d'un signal carré en ~~un~~ signal triangulaire.
- la transformation d'un signal triangulaire en un signal sinusoidal.

III.1. FILTRAGE D'UN SIGNAL REDRESSE :

Le filtrage d'un signal redressé permet d'obtenir une tension continue en utilisant un filtre passe-bas dont la fréquence de coupure doit être inférieure ~~à~~ dans le cas d'un signal redressé simple alternance , et inférieure à 2ω dans le cas d'un signal redressé bialternance, ω étant la fréquence du fondamental du signal non redressé.

III.2. TRANSFORMATION D'UN SIGNAL CARRE EN UN SIGNAL TRIANGULAIRE:

Les relations (16) et (17) montrent que en appliquant un signal carré à un filtre passe bas qui déplace de π et qui affaiblit la composante de fréquence 3ω il est possible de transformer ce signal en un signal triangulaire.

III.3. TRANSFORMATION D'UN SIGNAL TRIANGULAIRE EN UN SIGNAL SINUSOIDAL :

La relation (17) montre qu'un filtre passe-bas de pulsation de coupure comprise entre ω et 3ω transforme un signal triangulaire en un signal sinusoidal.

- * BIBLIOGRAPHIE :
- Manuel d'applications C.I.L (T.3) Filtres actifs.
 - L'amplificateur opérationnel R.DAMAYE.
 - Pratique de l'Electronique (T.2) M.AUMIAUX.

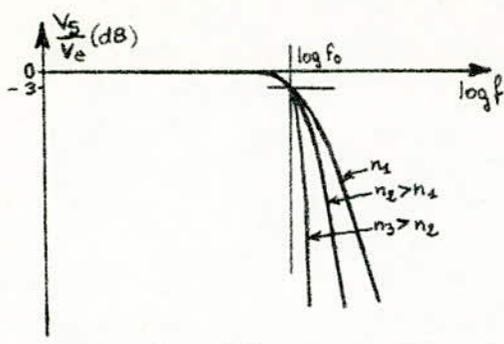


Fig 1. Réponses de Butterworth.

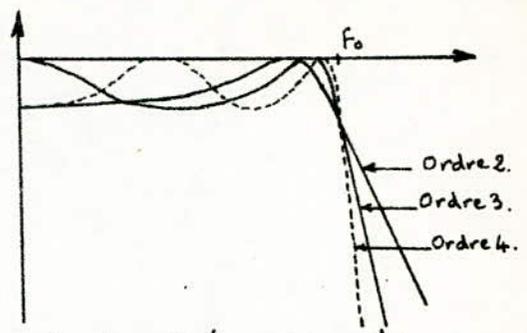


Fig 2. Réponses de Chebyshev.

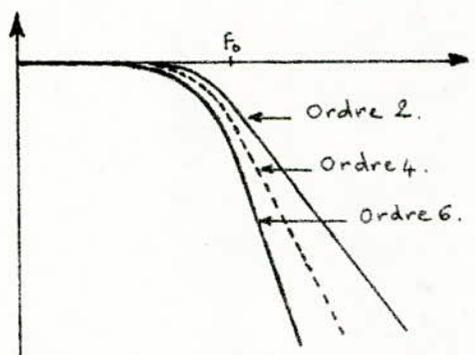


Fig 3. Réponses de Bessel.

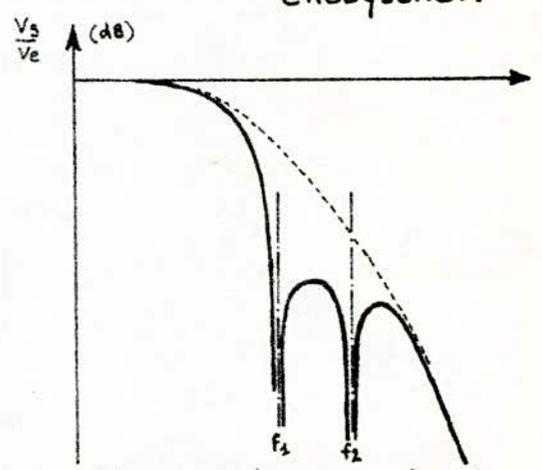


Fig 4. Réponses de Caer.

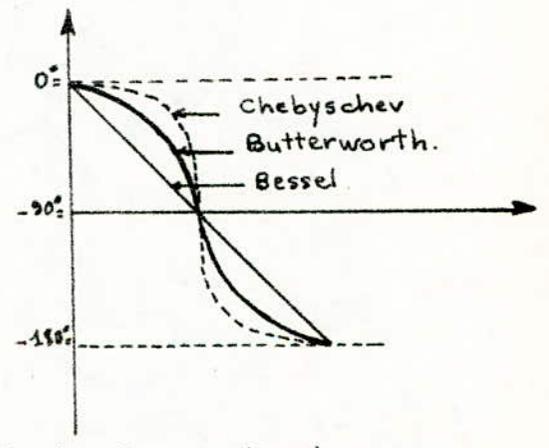
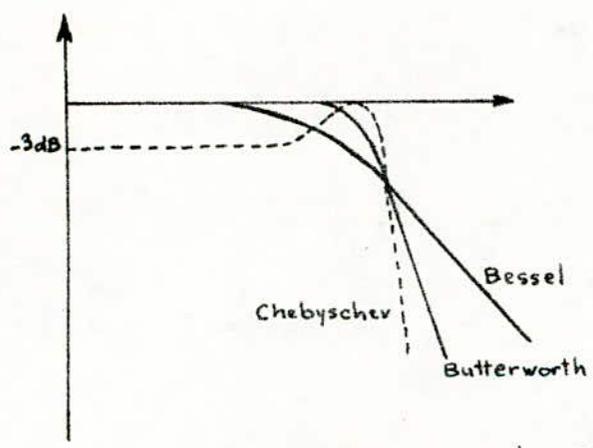
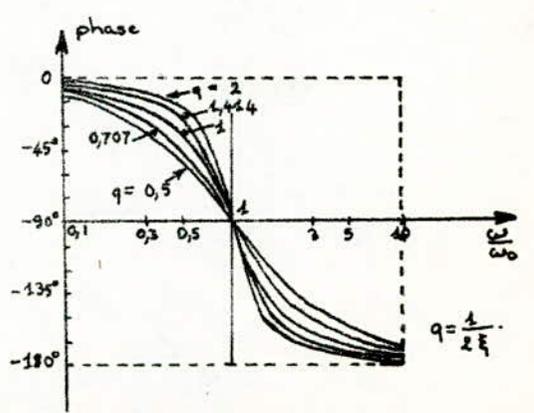
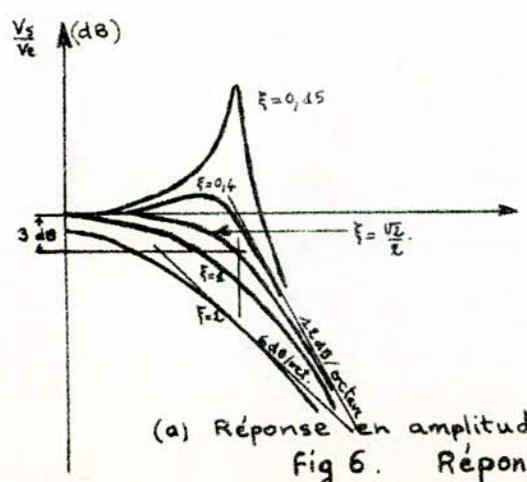
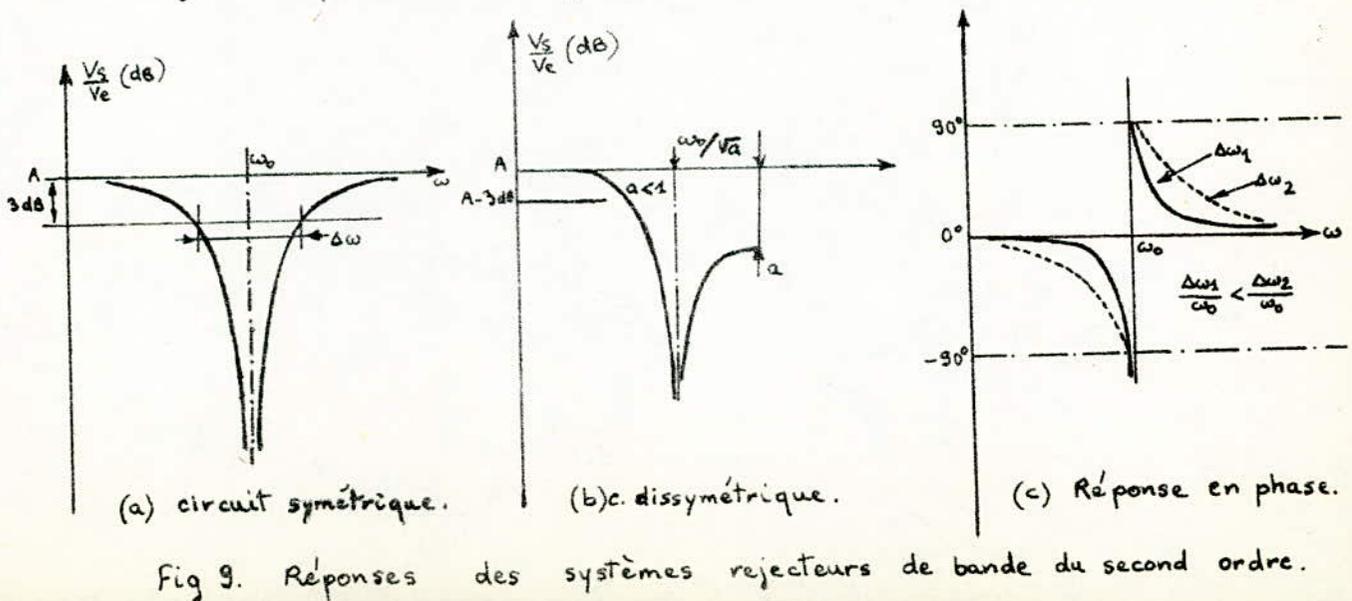
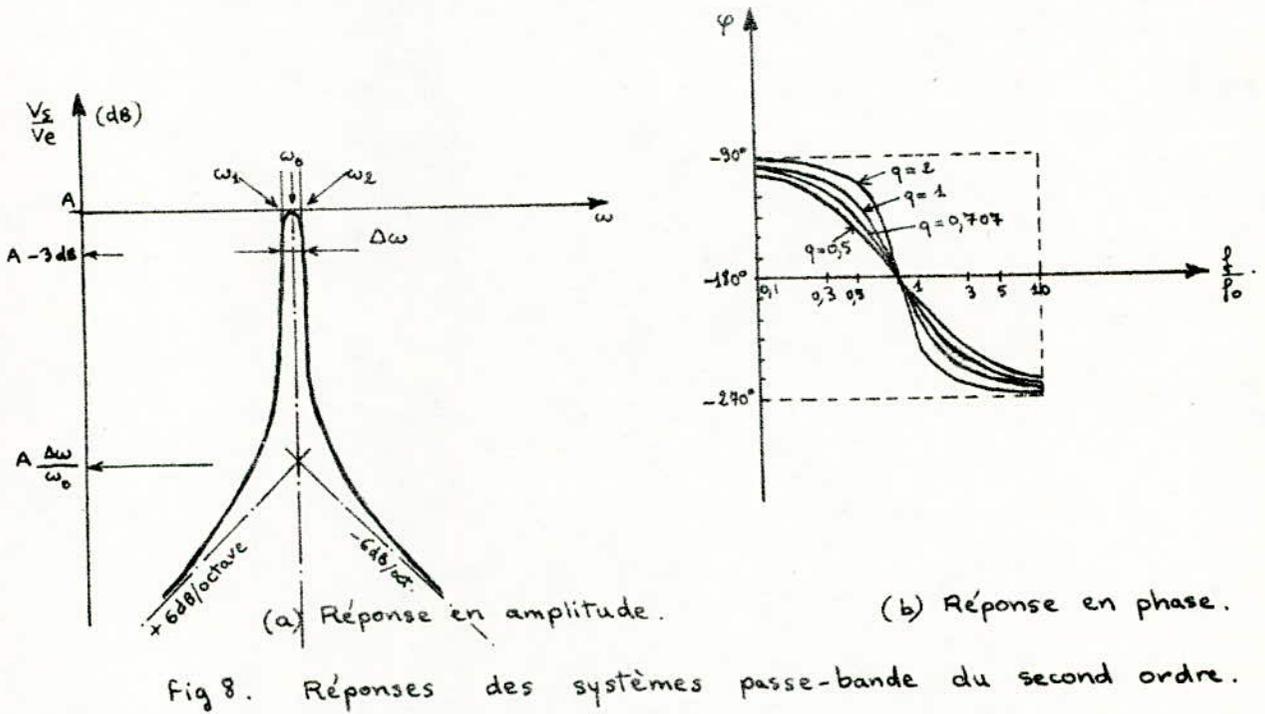
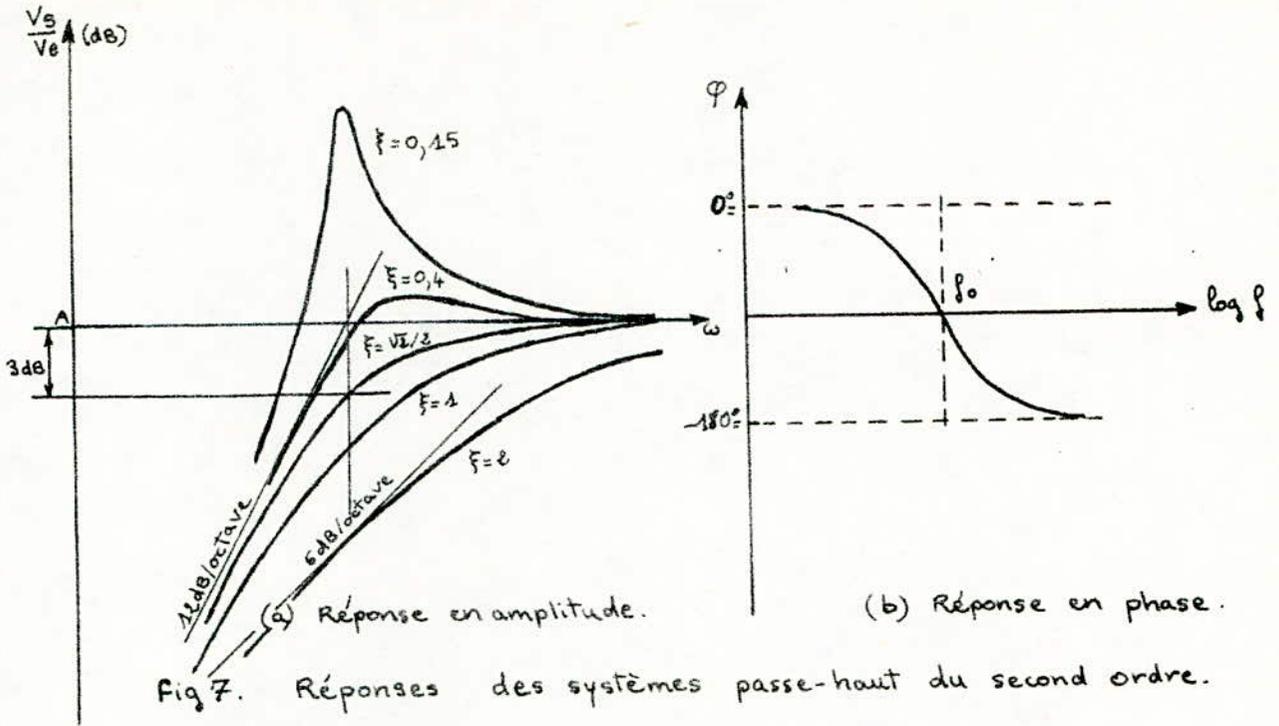


Fig 5. Allures comparées des différentes formes de réponse en amplitude et en phase pour un filtre passe-bas du second ordre.



(a) Réponse en amplitude. (b) Réponse en phase. Fig 6. Réponses des systèmes passe-bas du 2^{ème} ordre.



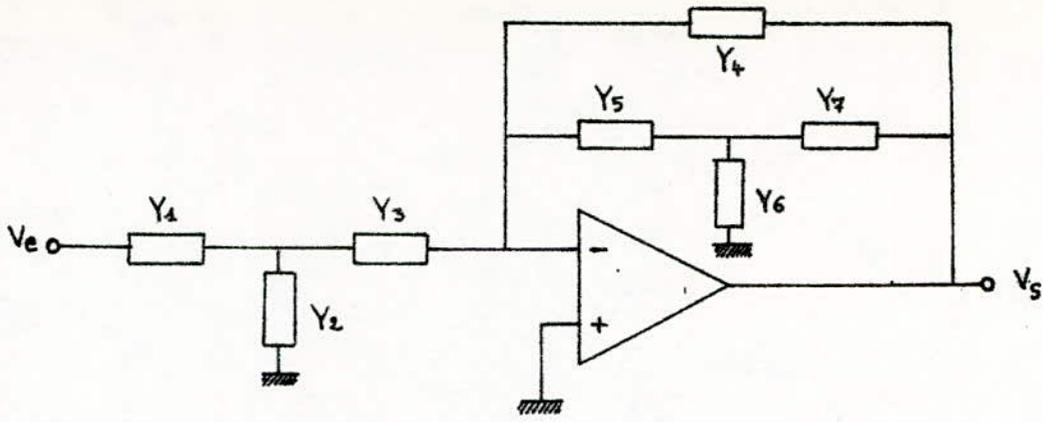


Fig 10. Structure à contre-réaction simple.

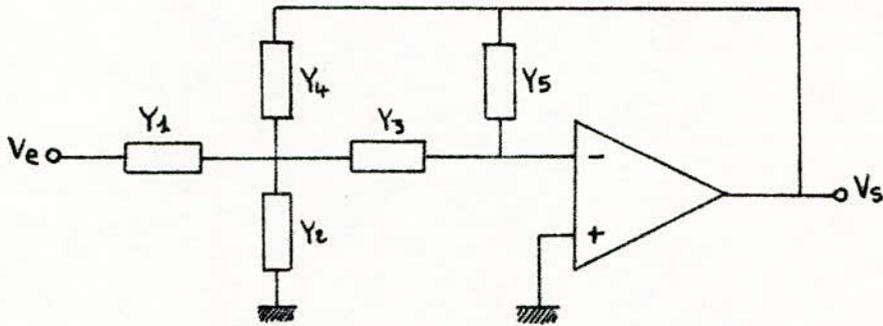


Fig 11. Structure à contre-réaction multiple.

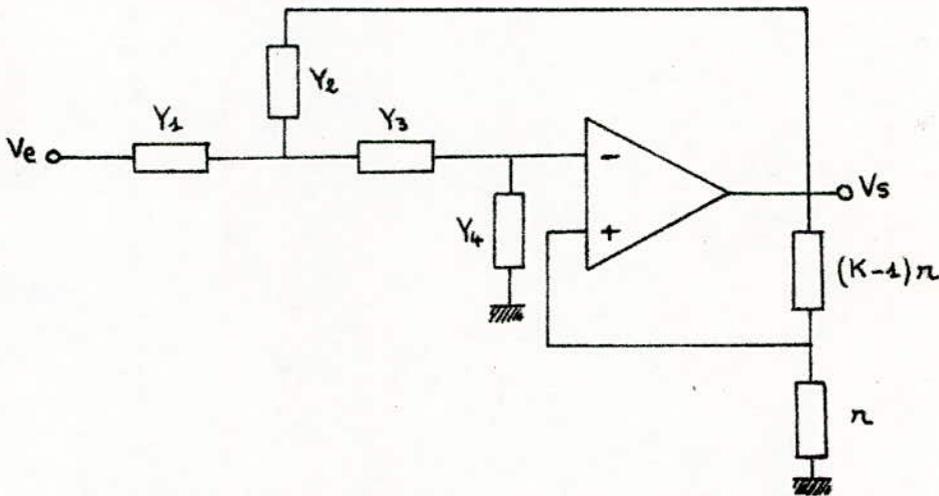


Fig 12. Structure à source contrôlée.

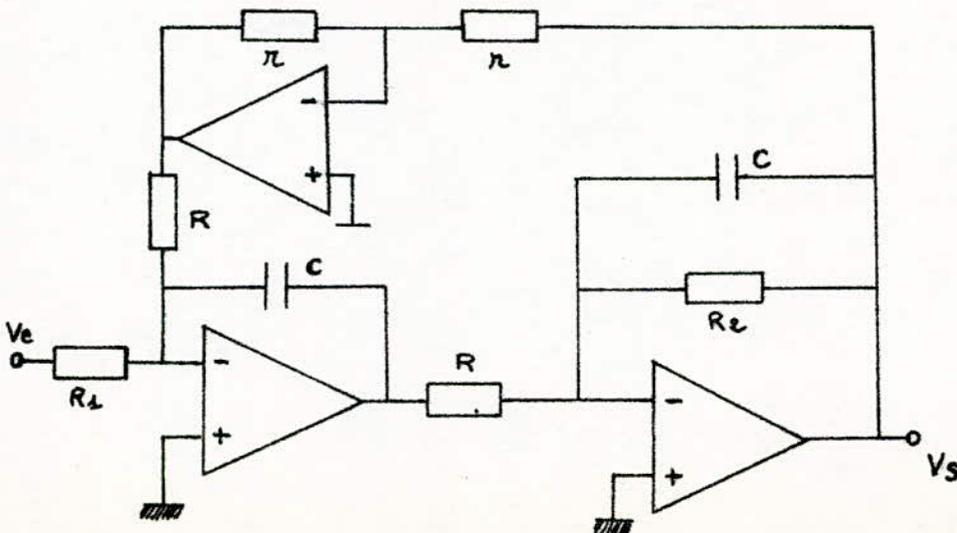
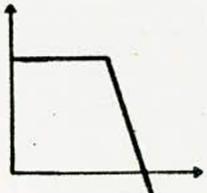
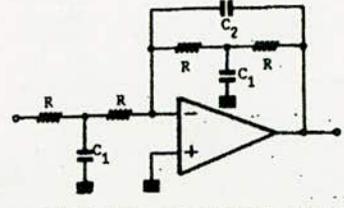
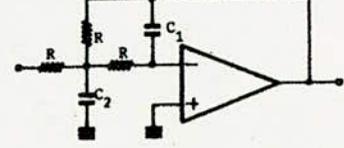
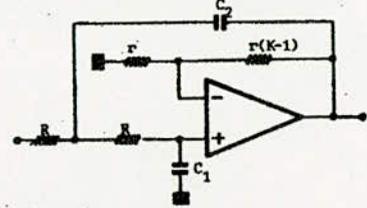
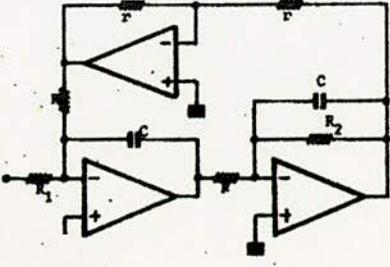


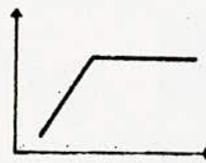
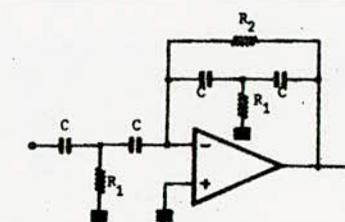
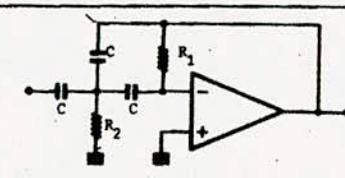
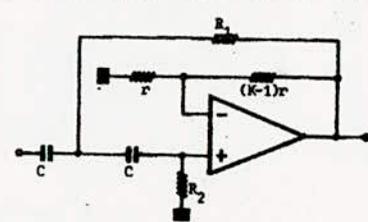
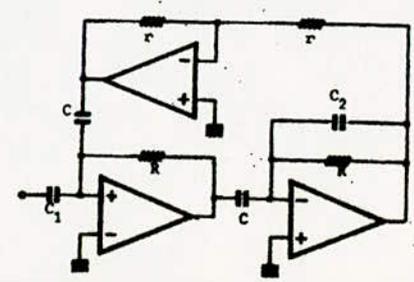
Fig 13.

Structure à variable d'état d'un filtre passe-bas.

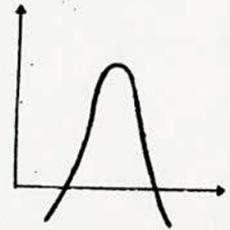
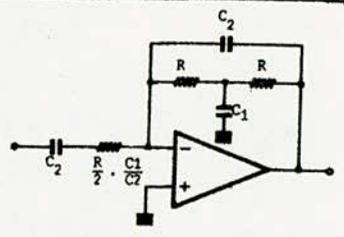
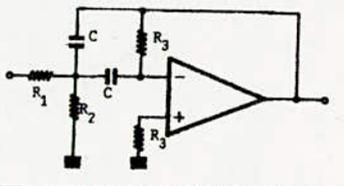
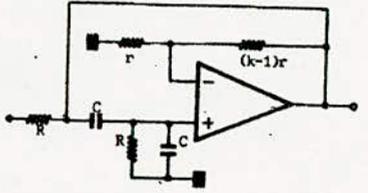
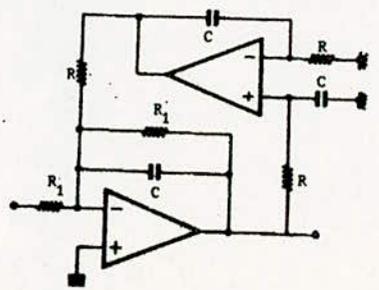
FILTRES PASSE-BAS

	VALEUR DES PARAMETRES	VALEUR DES COMPOSANTS	STRUCTURE	
$F(p) = G_m \frac{\omega_0^2}{p^2 + 2f\omega_0 p + \omega_0^2}$  <p>Réponse en amplitude</p>		$G_m = 1$ $f_0 = \frac{1}{2\pi R\sqrt{C_1 C_2}}$ $f = \sqrt{\frac{C_1}{C_2}}$	$C_1 = \frac{1}{R} \frac{f}{\omega_0}$ $C_2 = \frac{1}{R} \frac{1}{f\omega_0}$	CONTRE-REACTION SIMPLE
		$G_m = 1$ $f_0 = \frac{1}{2\pi R\sqrt{C_1 C_2}}$ $f = 1,5\sqrt{\frac{C_1}{C_2}}$	$C_1 = \frac{1}{R} \frac{f}{1,5\omega_0}$ $C_2 = \frac{1}{R} \frac{1}{1,5f\omega_0}$	CONTRE-REACTION MULTIPLE OU STRUCTURE DE RAUCH
		CAS OU $C_1 = C_2 = C$ $G_m = K$ (prendre $K \neq 3$) $f_0 = \frac{1}{2\pi RC}$ $f = \frac{3-K}{2}$	CAS OU $C_1 \neq C_2$ et ampli totalement contre- réactionné $K = 1$ (r absent) $G_m = 1$ $f_0 = \frac{1}{2\pi R\sqrt{C_1 C_2}}$ $f = \sqrt{\frac{C_1}{C_2}}$	SOURCE CONTROLÉE A REACTION SIMPLE (STRUCTURE DE SALLÉN ET KEY)
		$G_m = \frac{R}{R_1}$ $f_0 = \frac{1}{2\pi RC}$ $f = \frac{1}{2} \frac{R}{R_2}$	$C = \frac{1}{R\omega_0}$ $R_1 = \frac{R}{G_m}$ $R_2 = R \frac{1}{2f}$	STRUCTURE A VARIABLE D'ETAT

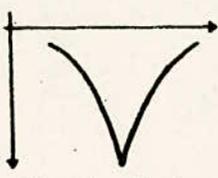
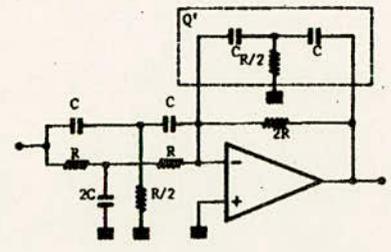
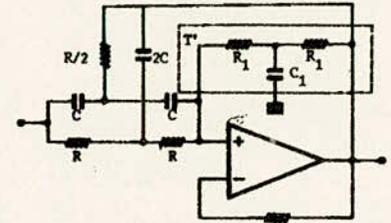
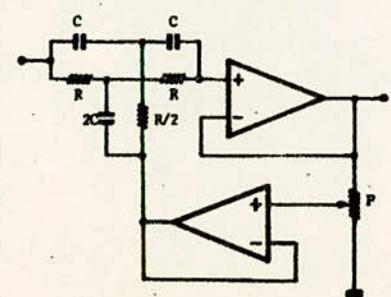
FILTRES PASSE-HAUT

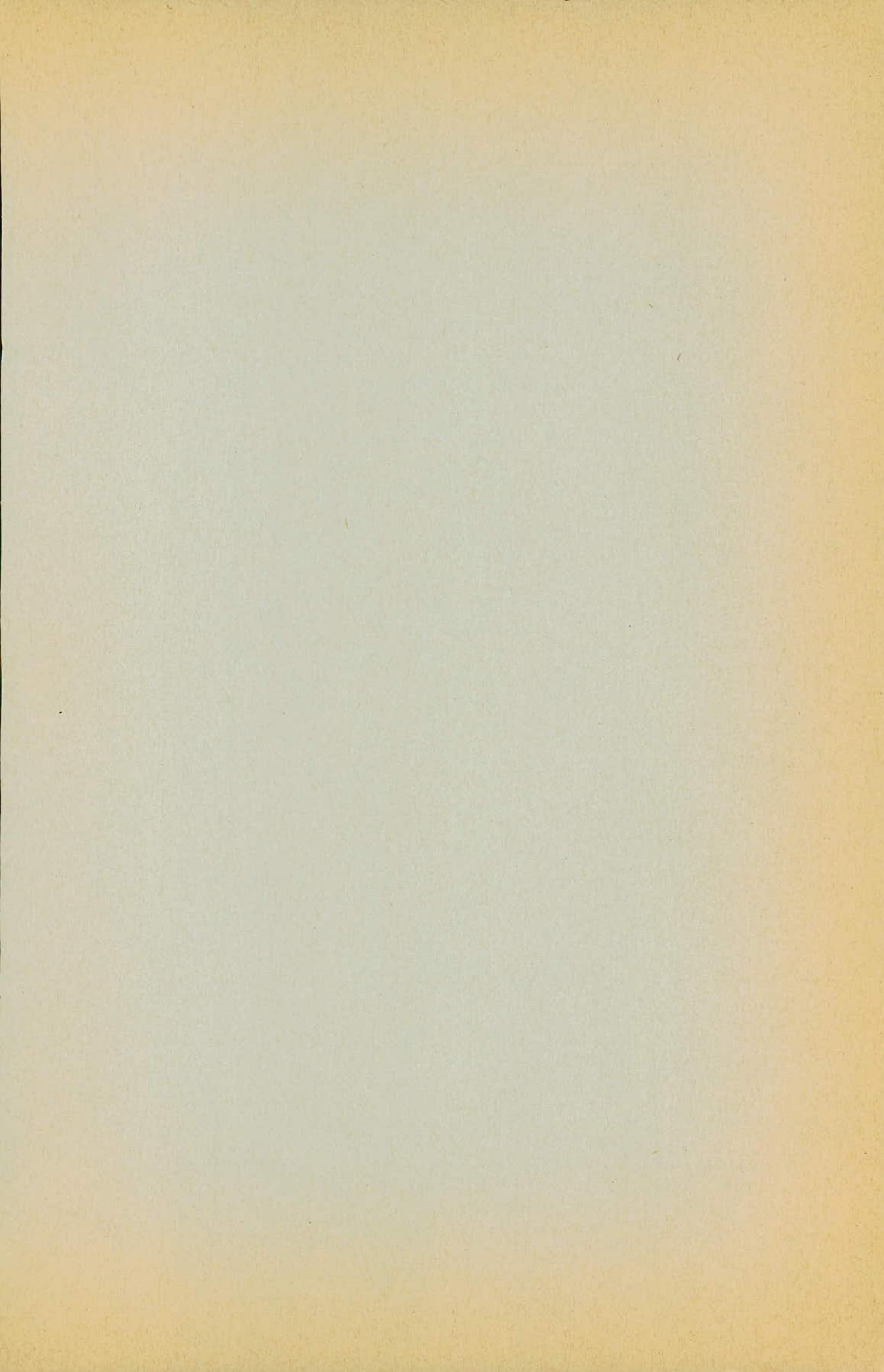
		VALEUR DES PARAMETRES	VALEUR DES COMPOSANTS	STRUCTURE
$F(p) = G_m \frac{p^2}{p^2 + 2\xi \omega_0 p + \omega_0^2}$  <p>Réponse en amplitude</p>		$G_0 = 1$ $f_0 = \frac{1}{2\pi C\sqrt{R_1 R_2}}$ $\xi = \sqrt{\frac{R_1}{R_2}}$	$R_1 = \frac{1}{C} \frac{\xi}{\omega_0}$ $R_2 = \frac{1}{C} \frac{1}{\xi \omega_0}$	CONTRE-REACTION SIMPLE
		$G_0 = 1$ $f_0 = \frac{1}{2\pi C\sqrt{R_1 R_2}}$ $\xi = 1,5\sqrt{\frac{R_2}{R_1}}$	$R_1 = \frac{1}{C} \frac{1,5}{\xi \omega_0}$ $R_2 = \frac{1}{C} \frac{\xi}{1,5 \omega_0}$	CONTRE-REACTION MULTIPLE
		CAS OU $R_1 = R_2 = R$ $G_0 = K$ $f_0 = \frac{1}{2\pi RC}$ $\xi = \frac{3-K}{2}$	CAS OU $R_1 \neq R_2$ et ampli totalement contre- réactionné (r absent) $G_0 = 1$ $f_0 = \frac{1}{2\pi C\sqrt{R_1 R_2}}$ $\xi = \sqrt{\frac{R_1}{R_2}}$	SOURCE CONTROLÉE A REACTION SIMPLE (STRUCTURE DE SALLEN ET KEY)
		$G_0 = \frac{C_1}{C}$ $f_0 = \frac{1}{2\pi RC}$ $\xi = \frac{1}{2} \frac{C_2}{C}$	$R = \frac{1}{C \omega_0}$ $C_1 = G_0 C$ $C_2 = 2\xi C$	STRUCTURE A VARIABLE D'ETAT

FILTRES PASSE-BANDE

		VALEUR DES PARAMETRES	VALEUR DES COMPOSANTS	STRUCTURE
$F(p) = G_m \frac{2\zeta \omega_0 p}{p^2 + 2\zeta \omega_0 p + \omega_0^2}$  <p style="text-align: center;">Réponse en amplitude</p>		$G_{F_0} = 1$ $f_0 = \frac{1}{2\pi R \sqrt{C_1 C_2}}$ $\zeta = \sqrt{\frac{C_2}{C_1}}$ $\Delta\omega = \frac{2}{RC_1}$		STRUCTURE A CONTRE-REACTION SIMPLE
		$G_{F_0} = \frac{R_3}{2R_1}$ $f_0 = \frac{1}{2\pi C \sqrt{R_3 \frac{R_1 R_2}{R_1 + R_2}}}$ $\Delta\omega = \frac{2}{CR_3}$	$R_1 = \frac{1}{C} \frac{1}{G_{F_0} \Delta\omega}$ $R_2 = \frac{1}{C} \frac{\Delta\omega}{2\omega_0^2 - G_{F_0} \Delta\omega^2}$ $R_3 = \frac{1}{C} \frac{2}{\Delta\omega}$	STRUCTURE A CONTRE-REACTION MULTIPLE (RAUCH)
		$G_{F_0} = \frac{K}{5 - K}$ $f_0 = \frac{\sqrt{2}}{2\pi RC}$ $\Delta\omega = \frac{5 - K}{RC}$	$C = \frac{\sqrt{2}}{\omega_0 R}$	STRUCTURE A SOURCE CONTROLLEE
		$G_{F_0} = 1$ $f_0 = \frac{1}{2\pi RC}$ $\Delta\omega = \frac{1}{R_1 C}$	C arbitraire $R = \frac{1}{C \omega_0}$ $R_1 = \frac{1}{C} \frac{1}{\Delta\omega}$	STRUCTURE A VARIABLE D'ETAT

FILTRIS REJECTEUR DE BANDE

		VALEUR DES COMPOSANTS	STRUCTURE
$F(p) = G_m \frac{p^2 + \omega_0^2}{p^2 + 2\xi\omega_0 p + \omega_0^2}$  <p style="text-align: center;">Réponse en amplitude</p>		$G = 1$ $f_0 = \frac{1}{2\pi RC}$ $Q = \begin{cases} 1/4 \text{ sans } Q' \\ 1 \text{ avec } Q' \end{cases}$	<p style="text-align: center;">STRUCTURE A CONTRE-REACTION SIMPLE</p> <ul style="list-style-type: none"> - à large bande : sans le quadripôle Q' - à bande étroite : avec le quadripôle Q'
		$G = 1$ $f_0 = \frac{1}{2\pi RC}$ $Q \approx 50$ sans T' $Q = \frac{R_1}{4R}$ avec T'	<p style="text-align: center;">STRUCTURE A SOURCE CONTROLLEE A REACTION MULTIPLE</p> <p>facteur de surtension Q variant d'une valeur élevée (50) à une valeur inférieure à 1 selon deux techniques possibles :</p>
		$G = 1$ $f_0 = \frac{1}{2\pi RC}$ Q variant d'une valeur élevée à une valeur égale à 1/4	<ol style="list-style-type: none"> 1 introduction du tripôle T' et variation de R_1 et C_1 2 introduction d'un buffer ramenant au point A une fraction de la tension de sortie grâce à un potentiomètre.



RESOLUTION ANALOGIQUE
D'EQUATIONS DIFFERENTIELLES

I - INTRODUCTION :

L'évolution de phénomènes physiques est très souvent régie par des équations différentielles, d'où l'importance des dispositifs électroniques capables de résoudre de telles équations.

Nous nous proposons d'étudier, dans la suite, un circuit analogique capable de donner la solution d'une équation différentielle du second degré à coefficients constants, avec un second membre fonction du temps.

Ce dispositif utilise essentiellement des amplificateurs opérationnels MC 1741 associés à des circuits logiques du type monostable et interrupteurs en technologie C.MOS.

II - ETUDE THEORIQUE :

II-1. Rappel sur la résolution d'une équation différentielle du second ordre :

La résolution d'une équation différentielle du second ordre du type :

$$a x'' + b x' + c x = f(t) \tag{1}$$

est souvent faite en considérant l'équation standard :

$$x'' + 2 \xi \omega_n x' + \omega_n^2 x = F(t) \tag{2}$$

expression dans laquelle ξ et ω_n appelés coefficient d'amortissement et fréquence propre du système sont définis par les relations :

$$\frac{b}{a} = 2 \xi \omega_n \quad \text{et} \quad \frac{c}{a} = \omega_n^2 \tag{3}$$

La solution générale de l'équation (2) est la somme de la solution générale de l'équation sans second membre et d'une solution particulière de l'équation avec second membre.

La solution générale de l'équation sans second membre dépend de la valeur du terme ξ .

On montre que si :

$$\begin{aligned}
 \xi = 0 & ; \quad x = A \sin \omega_n t \\
 \xi < 1 & ; \quad x = e^{-\xi \omega_n t} \cdot [A \cos \omega_n \sqrt{1 - \xi^2} t + B \sin \omega_n \sqrt{1 - \xi^2} t] \\
 \xi = 1 & ; \quad x = e^{-\omega_n t} [A t + B] \\
 \xi > 1 & ; \quad x = e^{-\xi \omega_n t} \cdot [A e^{\omega_n \sqrt{\xi^2 - 1} t} + B e^{-\omega_n \sqrt{\xi^2 - 1} t}]
 \end{aligned} \tag{4}$$

Les figures 1, 2, 3 et 4 donnent l'allure générale des solutions précédentes.

III - RESOLUTION ANALOGIQUE :

III-1. Choix des unités machines :

L'utilisation d'amplificateurs opérationnels pour la résolution d'équations différentielles présente deux limitations. Du fait des bruits qui leurs sont propres, seuls des signaux supérieurs à un certain seuil peuvent être traités. De même la situation des étages de sortie fait que, seuls les signaux inférieurs à un certain seuil, fonction des alimentations, peuvent être exploités.

III-1.a. facteurs d'échelle :

Afin d'éviter tout fonctionnement incorrect du dispositif électronique, il conviendra de faire un choix judicieux des facteurs d'échelle qui doivent tenir compte de la valeur maximum de chaque variable.

Rappelons, en effet, que la valeur des variables utilisées étant représentée par une tension à la sortie d'éléments de calcul, il conviendra de veiller à ce qu'elle ne dépasse en aucun cas, la tension de saturation des amplificateurs utilisés.

Pour rendre les résultats exploitables, on utilise toujours une tension de référence dont la valeur, égale à 10 V, dans notre cas, est appelée unité machine (1 U.M.)

Pour une variable x donnée on définit un facteur d'échelle K par la relation :

$$K = \frac{1 \text{ U. M.}}{x_{max}} \tag{5}$$

III-1.b. Evaluation des valeurs maximales :

Il n'existe pas de méthode simple d'évaluation des valeurs maximales d'une variable. Celles-ci dépendent, en général, à la fois des conditions initiales et des valeurs de la fonction $f(t)$.

Dans le cas d'une équation du second ordre sans second membre on montre que pour $0 < \xi < 1$:

$$|x'|_{max} \leq \omega |x_0| \quad (6)$$

$$|x''|_{max} \leq \omega^2 |x_0| \quad (7)$$

avec
$$\omega = \omega_n \sqrt{1 - \xi^2} \quad (8)$$

x_0 étant la valeur de x au temps $t = 0$, $x''(0)$ et $x'(0)$ étant supposées nulles.

III-1.c. Mise en forme de l'équation machine :

Dans la pratique les valeurs maximales des variables utilisées et de leurs dérivées étant calculées ou données on évalue les facteurs d'échelle et l'on écrit une nouvelle équation appelée équation machine dans laquelle chaque variable aura été multipliée par son facteur d'échelle.

Dans le cas d'une équation du second ordre avec second membre non nul on montre que si les conditions initiales sont nulles on a :

$$x''_{max} = \frac{A}{a} \quad (9)$$

$$x_{max} = \frac{2A}{C} \quad (10)$$

La grandeur A étant la valeur prise par la fonction $f(t)$ pour $t \geq 0$

Compte tenu de ce qui précède l'équation différentielle du second ordre s'écrit sous la forme d'équation machine normalisée suivante :

$$A \cdot \left(\frac{a x''}{A} \right) + x'_{max} \left(\frac{b x'}{x'_{max}} \right) + 2A \left(\frac{C x}{2A} \right) = f(t) \quad (11)$$

Les grandeurs mises entre parenthèses représentent les nouvelles variables du problème.

Si l'on désire obtenir les variables réelles il suffira de diviser le signal à la sortie des éléments de calcul par le facteur d'échelle correspondant.

III-1.d. Echelle des temps :

Le temps d'évolution des grandeurs étudiées varie dans une gamme très large. Il peut donc s'avérer utile de modifier l'échelle des temps afin de pouvoir, soit ralentir, soit accélérer leur résolution.

Pour ce faire on introduit des facteurs d'échelle des temps en jouant à la fois sur la constante de temps et le gain des intégrateurs utilisés pour la résolution, en tenant compte du fait que ce dernier doit rester inférieur à une valeur de l'ordre de 50.

Ainsi pour changer l'échelle de temps dans un rapport α , il suffira d'utiliser un temps machine :

$$t_{machine} = \alpha t_{réel}$$

la grandeur α pouvant être supérieure ou inférieure à l'unité.

Dans le cas d'un changement d'échelle du temps, il conviendra de tenir compte du fait que les dérivées d'ordre n s'écrivent :

$$\frac{d^n x}{dt^n_{réel}} = \alpha^n \cdot \frac{d^n x}{dt^n_{machine}} \tag{12}$$

III-1.e. Résumé des différentes étapes à suivre :

Pour passer de l'équation mathématique à la résolution analogique il conviendra de suivre les étapes suivantes :

- évaluation des valeurs maximales.
- détermination des facteurs d'échelle.
- changement éventuel de l'échelle des temps.
- écriture des équations machine.
- réalisation du calculateur.

Nous donnons dans la suite un circuit analogique qui permet de résoudre une équation différentielle du second ordre.

III-2. Calculateur utilisé :

La Fig. 5 donne le schéma de principe du calculateur utilisé qui

résoud l'équation différentielle par rapport à la dérivée d'ordre un, à partir de la relation :

$$x' = - \int_0^t \left[\frac{b}{a} x' + \frac{c}{a} x - \frac{f(t)}{a} \right] dt - (-x'_0) \quad (13)$$

Les éléments ont été choisis de façon que :

$$R C = 1 \quad ; \quad \frac{R_2}{R_1} = \frac{1}{a} \quad ; \quad \frac{R}{R + R_3} = \frac{b}{a} \quad \text{et} \quad \frac{R}{R + R_4} = \frac{c}{a} \quad (14)$$

IV - LOGIQUE DE COMMANDE :

La tension à la sortie des intégrateurs étant fonction des conditions initiales il conviendra, si l'on désire automatiser la résolution de ces équations, de prévoir une logique qui permette de passer par les phases suivantes :

- Fixation des conditions initiales.
- Calcul.
- Arrêt des calculs dès qu'une grandeur dépasse la gamme autorisée.

La Fig. 6 indique l'allure des signaux utilisés pour la commande.

La Fig. 7 nous donne le schéma complet du système réalisé.

Cette figure montre que le calculateur est composé de 4 sous-ensembles :

- Un sous-ensemble résolution.
- Un sous-ensemble fixation des conditions initiales et commande des interrupteurs
- un sous-ensemble base de temps
- un sous-ensemble signalisation de l'état du calculateur.

Le sous-ensemble 1 est semblable à celui donné Fig. 5

Le sous-ensemble 2 utilise un monostable MC 14528 B qui permet de fixer le temps t_1 pendant lequel sont fixées les C.I., et de synchroniser la phase calcul.

Le sous-ensemble 3 est prévu pour synchroniser extérieurement les dispositifs de visualisation qui peuvent être soit un oscilloscope soit une table traçante.

Lors de la réalisation de cette base de temps pour laquelle la tension de sortie est reliée à la tension d'entrée par la relation :

$$V_S = - \frac{1}{R C} V_e \cdot t$$

Nous avons choisi le produit $R C$ égal à l'unité, le temps au bout duquel le signal généré atteint la valeur 12 V égal à 20 secondes, de sorte que la tension

maximale à l'entrée est de l'ordre de $- 0,6$ V.

Le 4ème sous-ensemble est prévu pour signaler les 3 états possibles du calculateur à savoir : C.I., calcul, saturation.

Les interrupteurs utilisés sont du type MC 140668.

Les Figs. 8 et 9 nous donnent les schémas de brochage d'un monostable du type MC 14528 B et d'un circuit intégré MC 14066 B comprenant 4 interrupteurs.

BIBLIOGRAPHIE : La technique du calculateur analogique par C.A. STEWART
et R. ATKINSON.

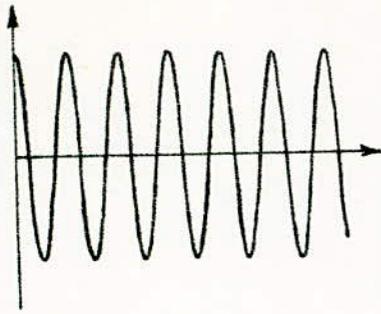


Fig 1. Onde non amortie
 $\xi = 0$

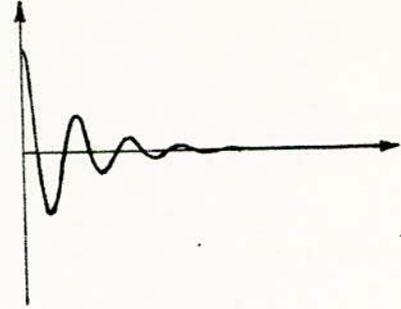


Fig 2. Régime faiblement amorti
 $\xi < 1$

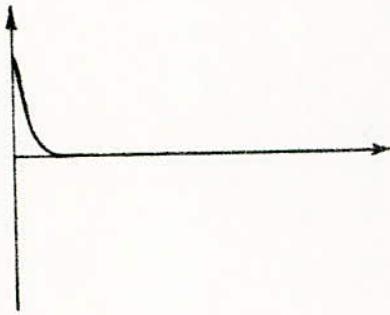


Fig 3. Régime critique
 $\xi = 1$.

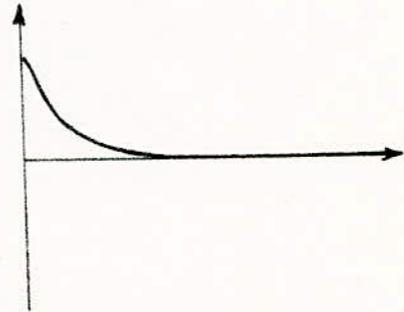


Fig 4. Régime suramorti.
 $\xi > 1$.

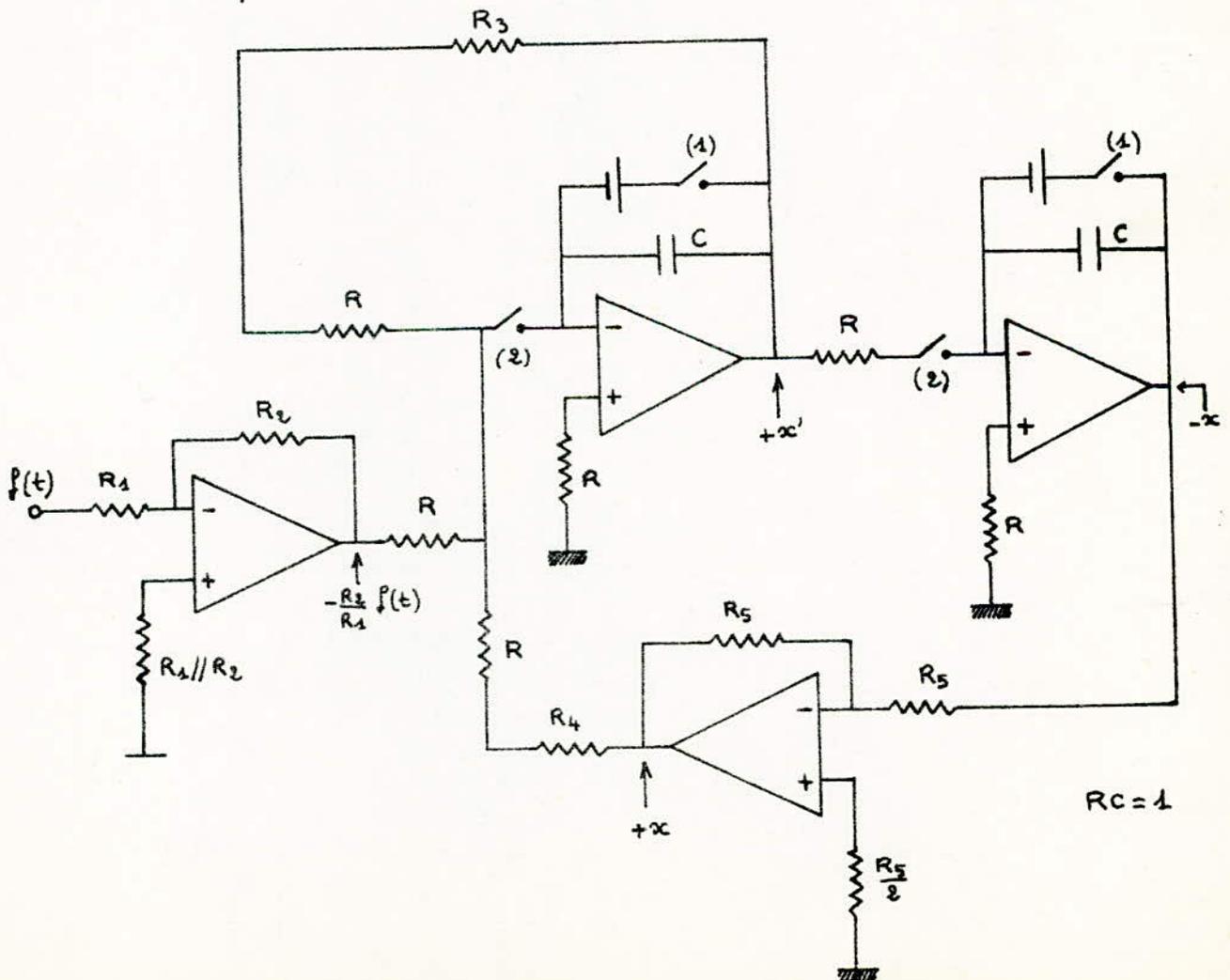


Fig 5. Schéma de principe du système étudié.

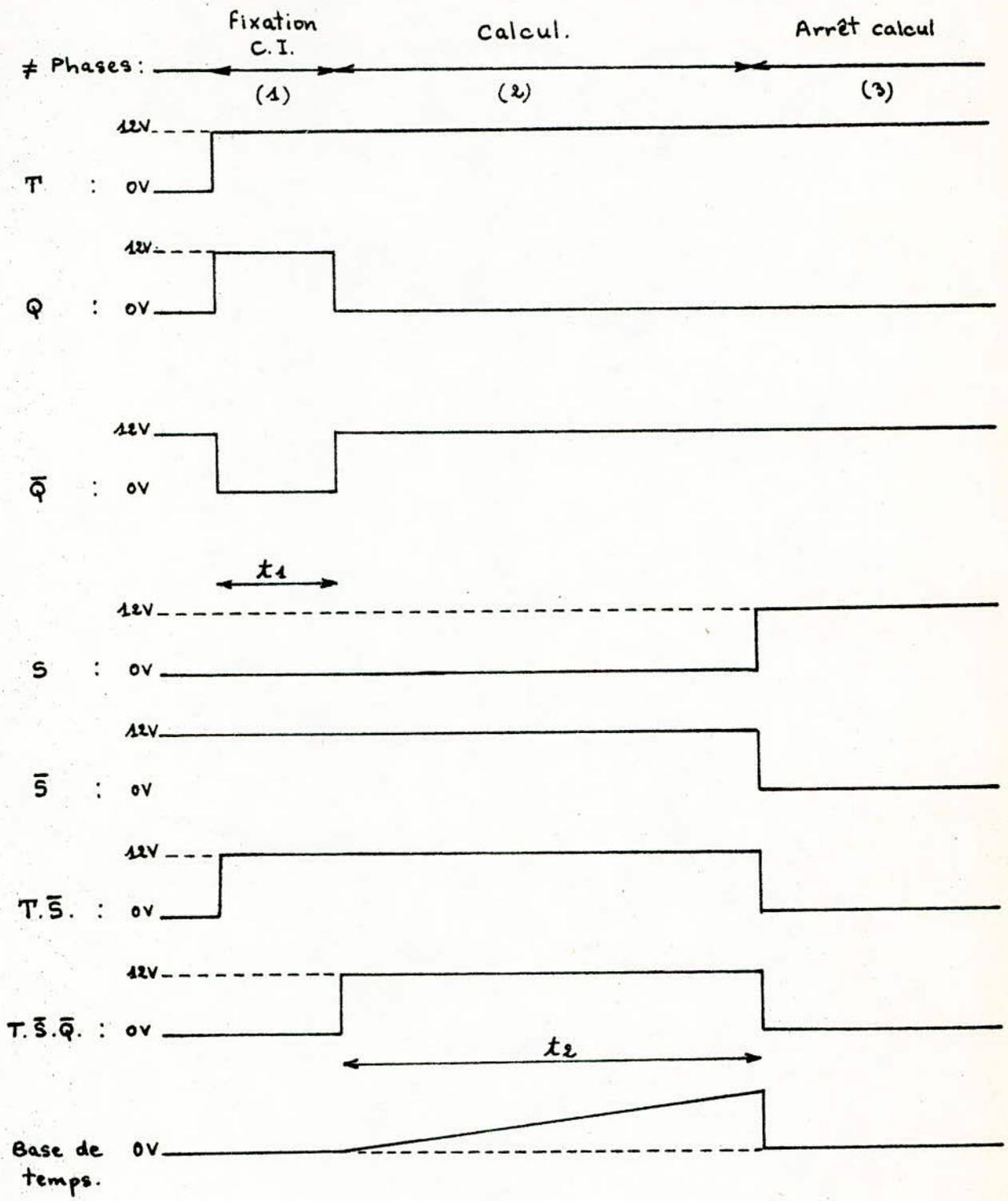


Fig 6. Allure des signaux de commande.

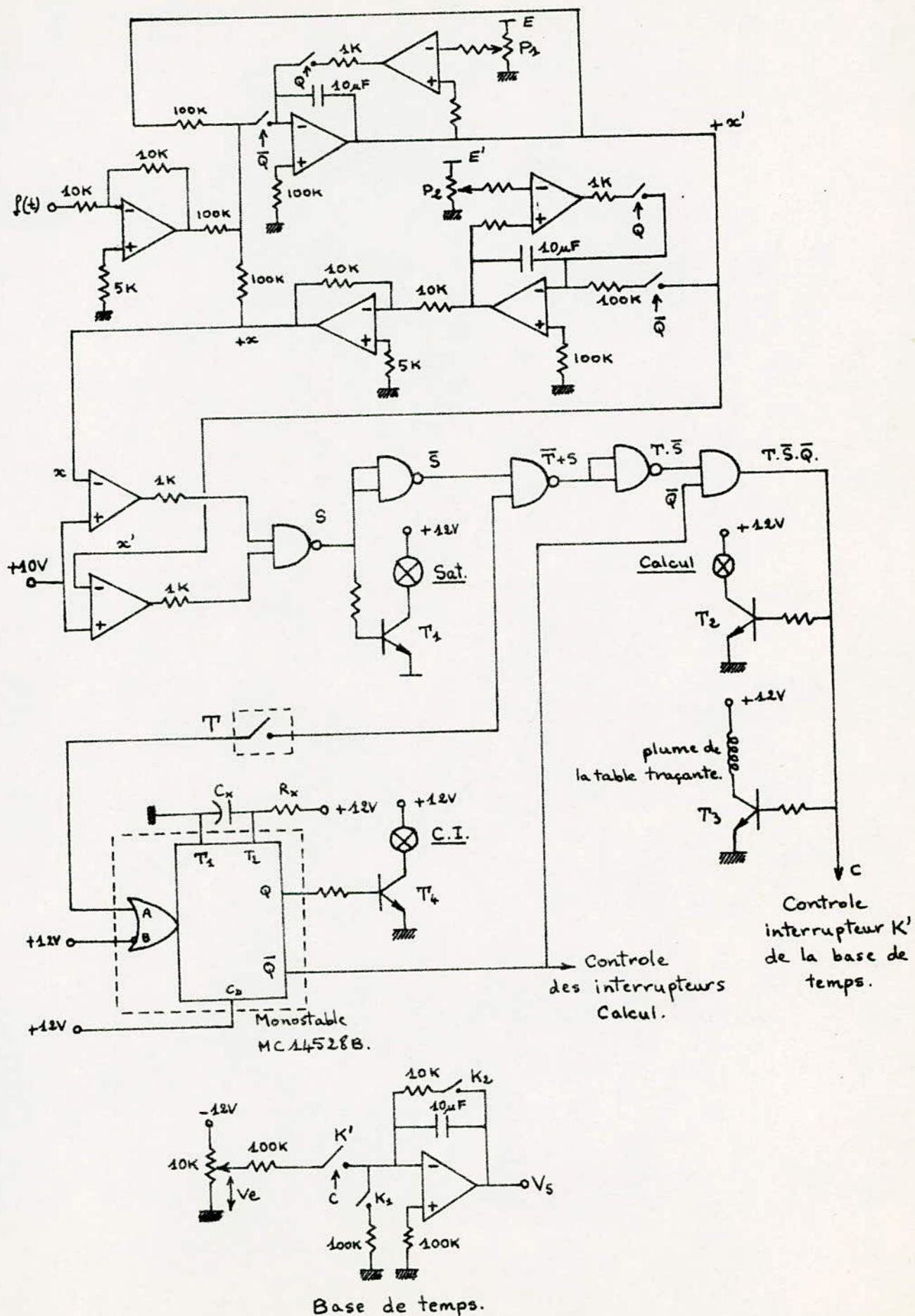
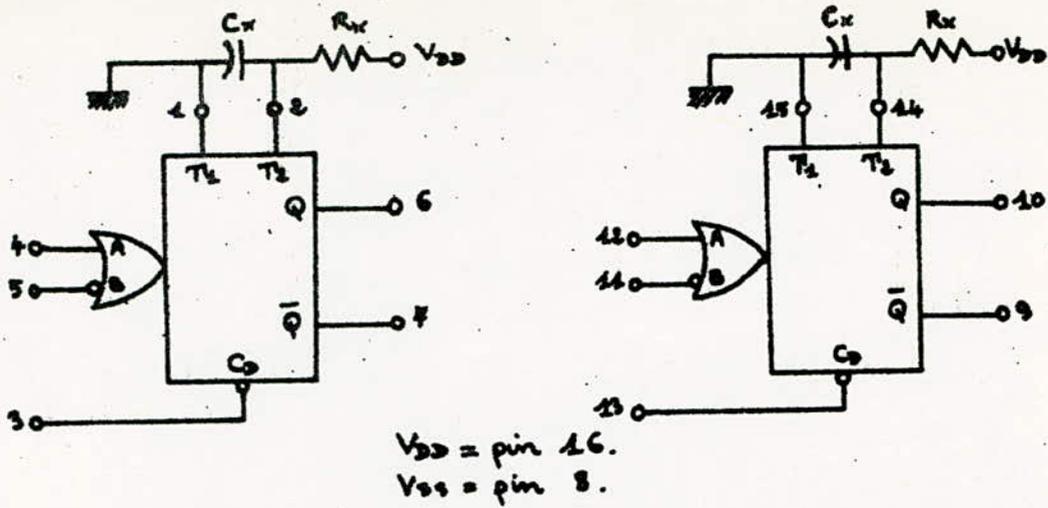


Fig 7. Système réalisé.



C0	A	B
VDD	P01	VDD
VDD	VSS	P02
P03	P04	P05

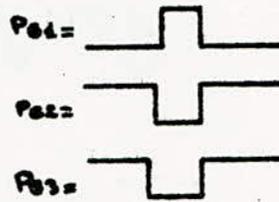
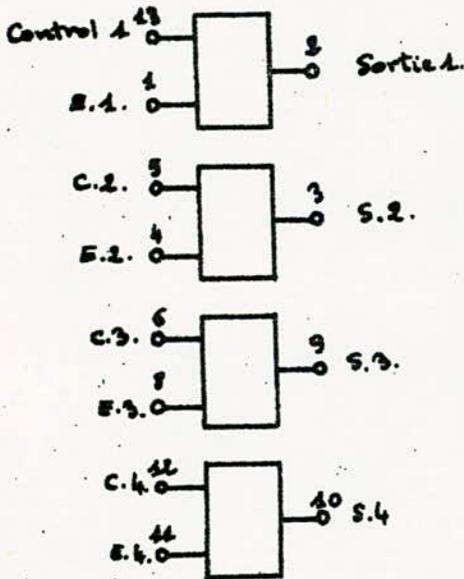


Fig. 8. Brochage du circuit MC 14528 B (Monostable).

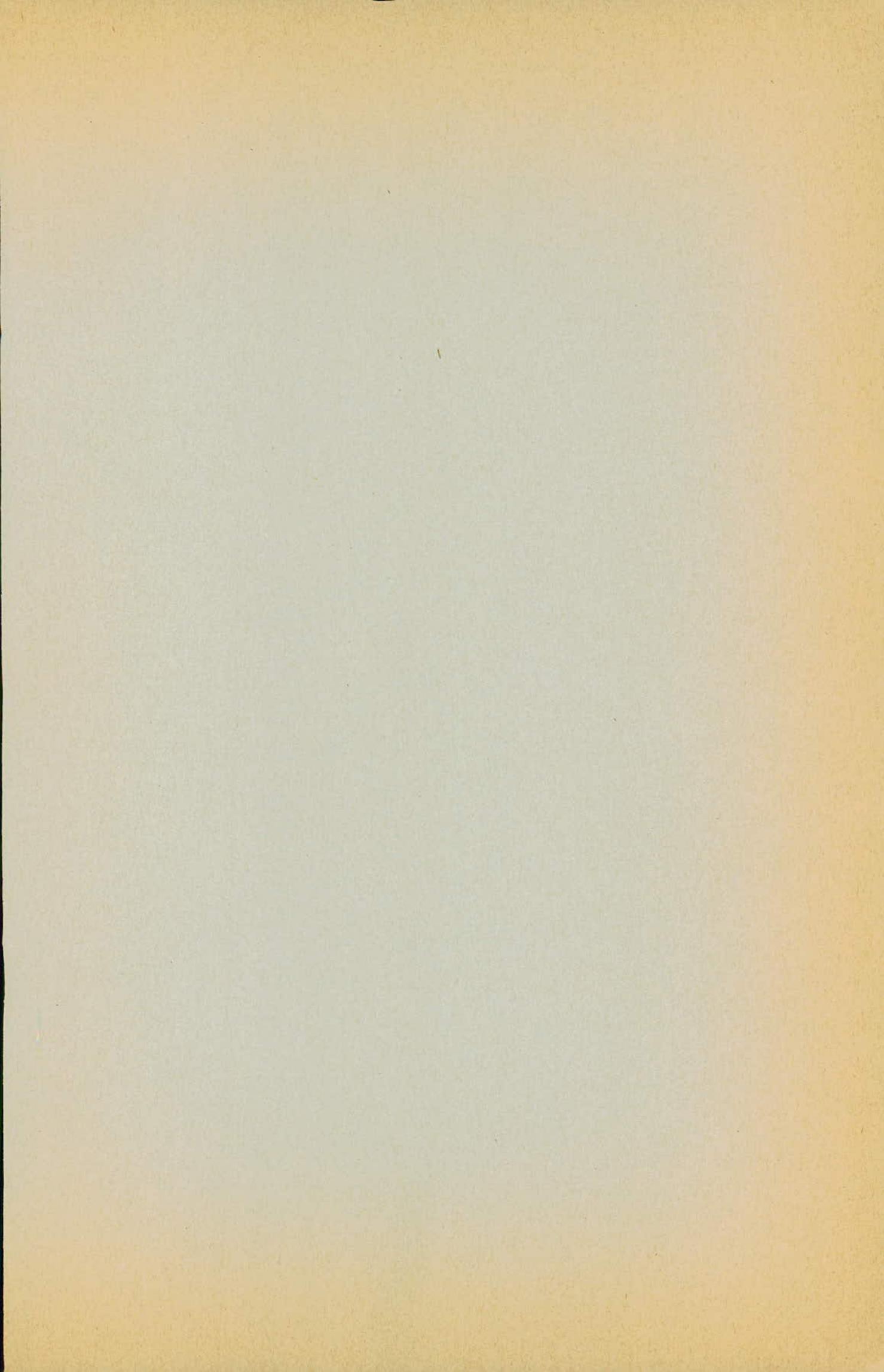


$V_{DD} = \text{pin } 14.$
 $V_{SS} = \text{pin } 7.$

Contrôle	Etat
0	Ouvert
1	Fermé

$V_{SS} \leq V_{\text{entrée}} \leq V_{DD}.$
 $V_{SS} \leq V_{\text{sortie}} \leq V_{DD}.$

Fig 9. Brochage du circuit MC 14066 B (Interrupteurs).



I - INTRODUCTION

L'échantillonnage et le multiplexage sont utilisés dans le traitement numérique de l'information.

Ce traitement qui se présente sous la forme d'un processus séquentiel est exécuté à partir de valeurs appelées échantillons prises par les différentes variables étudiées à un instant t donné.

Le multiplexage digital permet de fournir les informations numériques à l'unité de traitement.

Le multiplexage analogique est en général utilisé dans le cas où l'on désire étudier plusieurs signaux analogiques au moyen d'un seul convertisseur analogique-numérique.

II - MULTIPLÉXAGE DIGITAL :

II-1. Généralités :

Un multiplexeur est un dispositif muni de N entrées et d'une seule sortie.

Sous l'effet d'une commande envoyée sous forme d'adresse codée de n bits, il est possible de transmettre en sortie le signal présent à l'une des entrées.

Les grandeurs n et N sont reliées par la relation $N = 2^n$.

Dans certains cas une entrée de validation est prévue pour autoriser ou interdire le multiplexage.

La Fig. 1. donne le schéma d'ensemble d'un multiplexeur muni de ses N entrées, n bits d'adresse, une entrée de validation, une sortie S et éventuellement une sortie \bar{S} .

II-2. Multiplexeur à 4 entrées :

La Fig. 2 donne le schéma de principe d'un multiplexeur à 4 entrées pour lequel il est prévu 2 bits d'adresse E et F , une entrée de validation et 1 sortie S .

Le tableau suivant donne les adresses permettant de sélectionner une des quatre entrées :

Entrée	E	F
I_0	0	0
I_1	1	0
I_2	0	1
I_3	1	1

Compte tenu de ce qui précède le signal S peut se mettre sous la forme :

$$S = \bar{E} \cdot \bar{F} \cdot I_0 + E \cdot \bar{F} \cdot I_1 + \bar{E} \cdot F \cdot I_2 + E \cdot F \cdot I_3 \quad (1)$$

relation qui peut se mettre sous la forme :

$$S = \overline{(E \cdot F \cdot I_0)} \cdot \overline{(E \cdot F \cdot I_1)} \cdot \overline{(E \cdot F \cdot I_2)} \cdot \overline{(E \cdot F \cdot I_3)} \quad (2)$$

ceci compte tenu du théorème de Morgan qui montre que :

$$\overline{A \cdot B} = \bar{A} + \bar{B} \quad (3)$$

La Fig. 2 donne un aperçu du nombre important d'éléments qu'il faut utiliser pour réaliser un tel multiplexeur.

Si l'on ajoute à cela que ce nombre augmente avec la capacité du multiplexeur on comprendra pourquoi seule une intégration poussée a permis la réalisation de multiplexeurs dotés d'un grand nombre d'entrées sans pour autant augmenter le coût et l'encombrement.

Les multiplexeurs les plus utilisés sont ceux qui sont dotés soit de 4 , soit de 8 , soit de 16 entrées.

II-3. Multiplexeur de mots :

Le multiplexeur de mots est un élément constitué de N mots et de X bits chacun, capable de transmettre en sortie l'un quelconque des N mots sous l'effet d'un signal d'adresse de n bits tels que $N = 2^n$.

III-3.a. Multiplexeur de 4 mots de 2 bits :

Pour réaliser un tel multiplexeur il nous faut prévoir 4 mots de 2 bits chacun et 2 bits d'adresse.

Ce multiplexeur peut être doté de 2 signaux de validation 1G et 2G.

Le tableau suivant donne la table de vérité d'un tel multiplexeur :

Adresse		Val. 1	Entrées				Val. 2	Entrées				Sorties	
A	B	16	A ₀	B ₀	C ₀	D ₀	26	A ₁	B ₁	C ₁	D ₁	1Y	2Y
X	X	0	X	X	X	X	0	X	X	X	X	0	0
0	0	1	0	X	X	X	1	0	X	X	X	0	0
0	0	1	1	X	X	X	1	1	X	X	X	1	1
0	1	1	X	0	X	X	1	X	0	X	X	0	0
0	1	1	X	1	X	X	1	X	1	X	X	1	1
1	0	1	X	X	0	X	1	X	X	0	X	0	0
1	0	1	X	X	1	X	1	X	X	1	X	1	1
1	1	1	X	X	X	0	1	X	X	X	0	0	0
1	1	1	X	X	X	1	1	X	X	X	1	1	1

avec $1Y = 16 [\bar{A}. \bar{B}. A_0 + \bar{A}. B. B_0 + A. \bar{B}. C_0 + A. B. D_0]$. (4)

et $2Y = 26 [\bar{A}. \bar{B}. A_1 + \bar{A}. B. B_1 + A. \bar{B}. C_1 + A. B. D_1]$. (5)

La fig. 3 donne le schéma d'ensemble d'un tel multiplexeur.

III - MULTIPLEXAGE ANALOGIQUE:

La Fig. 4 donne le schéma d'un multiplexeur analogique comportant N entrées dont le contrôle est effectué par n bits d'adresse décodés par un décodeur qui permet d'aiguiller en sortie une entrée et une seule.

Le multiplexeur est essentiellement composé de N interrupteurs constitués en général de transistors à jonction ou MOS qui peuvent être rendus conducteurs ou bloqués par les impulsions de commande issues du décodeur.

Etant donné que les courants de fuite et les parasites augmentent avec le nombre d'entrées il peut s'avérer utile d'utiliser un multiplexage à deux niveaux si l'on désire obtenir des multiplexeurs à grande capacité dotés d'une grande rapidité et stabilité.

La Fig. 5 nous donne un aperçu sur la structure d'un multiplexeur à deux niveaux.

IV - ECHANTILLONNAGE

L'échantillonnage d'un signal analogique se traduit en général par la mise en mémoire temporaire de la valeur instantanée $E(t_i)$ du signal étudié à l'instant t_i .

D'une façon générale le signal à étudier comprend toujours des composantes sinusoïdales. Dans ce cas il conviendra de choisir l'intervalle T séparant 2 échantillonnages successifs en fonction de la fréquence la plus haute présente dans le signal traité.

La Fig. 6 donne le schéma de principe utilisé dans l'échantillonnage. Elle est essentiellement constituée d'un interrupteur dont l'état est contrôlé par un signal V_1 , d'une capacité qui doit présenter une résistance de fuite relativement élevée, et d'un amplificateur suiveur.

La mémoire analogique précédemment décrite fonctionne de la manière suivante :

- Lorsque l'interrupteur est en position fermée, la capacité se charge avec une constante de temps $\tau = R C$.

R étant la somme de la résistance interne de la source et de la résistance du transistor dans l'état conducteur.

- Lorsque l'interrupteur est ouvert, la charge emmagasinée par la capacité peut varier sous l'effet d'un courant de fuite I somme de 3 composantes:

Un courant de fuite de l'interrupteur.

Un courant de fuite de la capacité.

Un courant de polarisation de l'ampli *op*.

On peut donc écrire :

$$\Delta V_C = - \frac{I}{C} dt.$$

Les figures 7 et 8 donnent 2 exemples de réalisation de mémoire analogique.

Dans le schéma de la Fig. 7, l'ampli A_1 , de gain $= \frac{R_1 + R_2}{R_2}$ est prévu pour abaisser l'impédance de la source, ce qui assure la charge rapide du condensateur.

Dans le schéma de la Fig. 8 on constate que lorsque T_2 est bloqué et T_1 conducteur le gain global est égal à 1 ; dans ce cas la mémoire se charge.

Lorsque T_2 est conducteur et T_1 bloqué, la capacité est isolée de l'entrée. A_2 est bloqué ; cette période correspond à la phase de maintien.

V - REALISATION PRATIQUE :

Partant des principes de base résumés plus haut nous avons réalisé :

- un multiplexeur de 4 mots de 2 bits dont le schéma de principe est donné Fig. 3 et le brochage des éléments utilisés est représenté Fig. 9.
- un multiplexeur analogique à 8 entrées dont le brochage des éléments utilisés est représenté Fig. 10.
- une mémoire analogique dont le schéma de principe est donné Fig. 7.

BIBLIOGRAPHIE : "Circuits intégrés et techniques numériques"
de R. DELSOL.

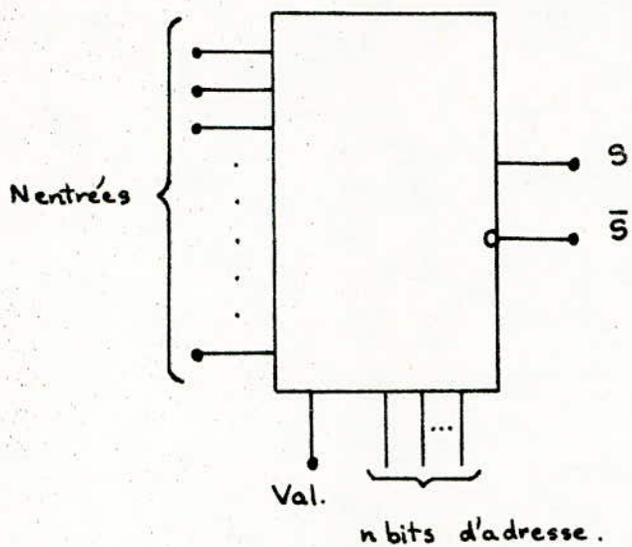


Fig 1.
Multiplexeur de N entrées.

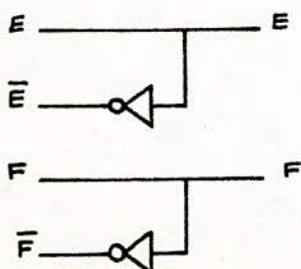
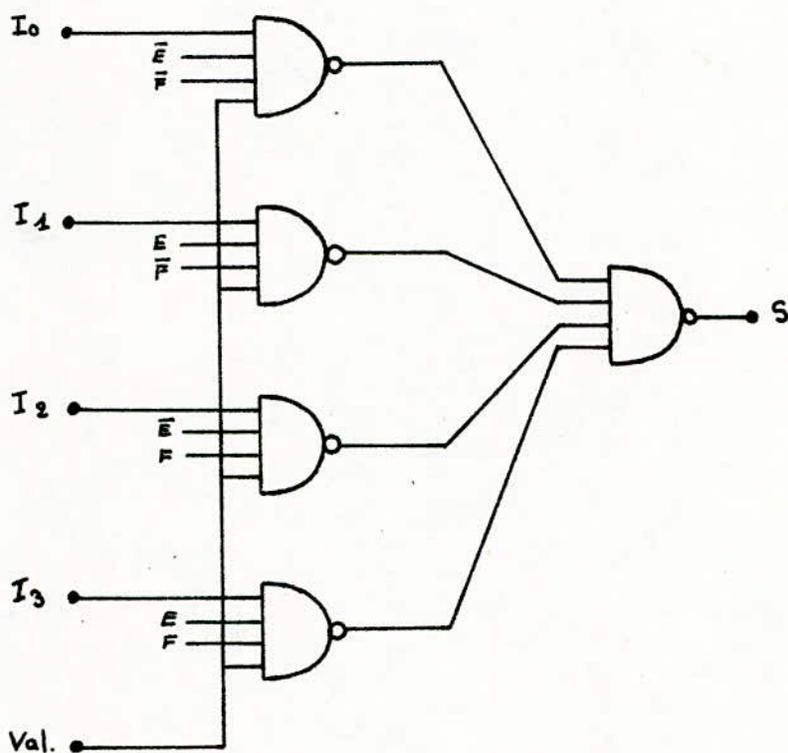


Fig 2.
Multiplexeur de 4 entrées

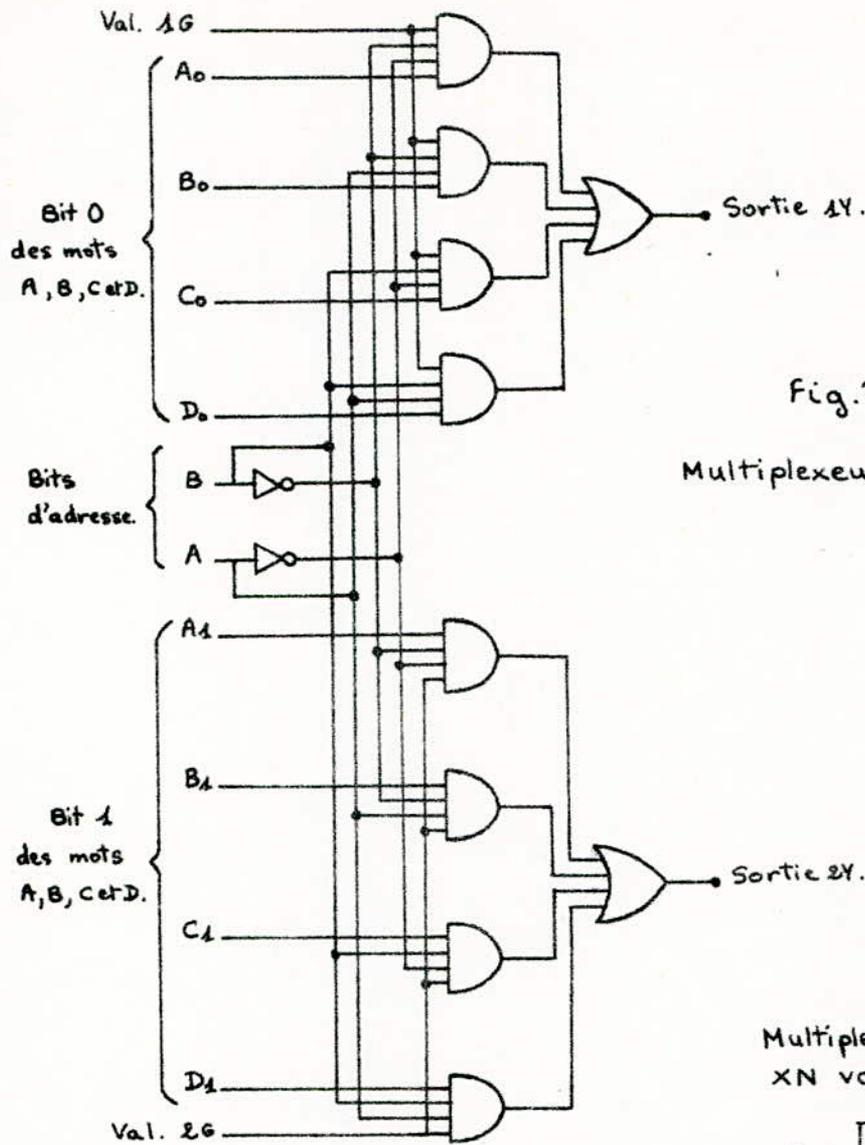


Fig. 3.
Multiplexeur de 4 mots de 2 bits.

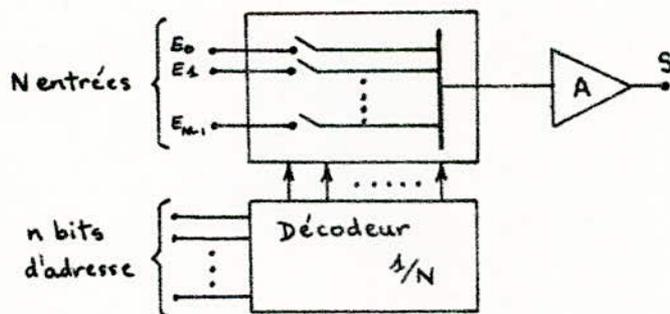
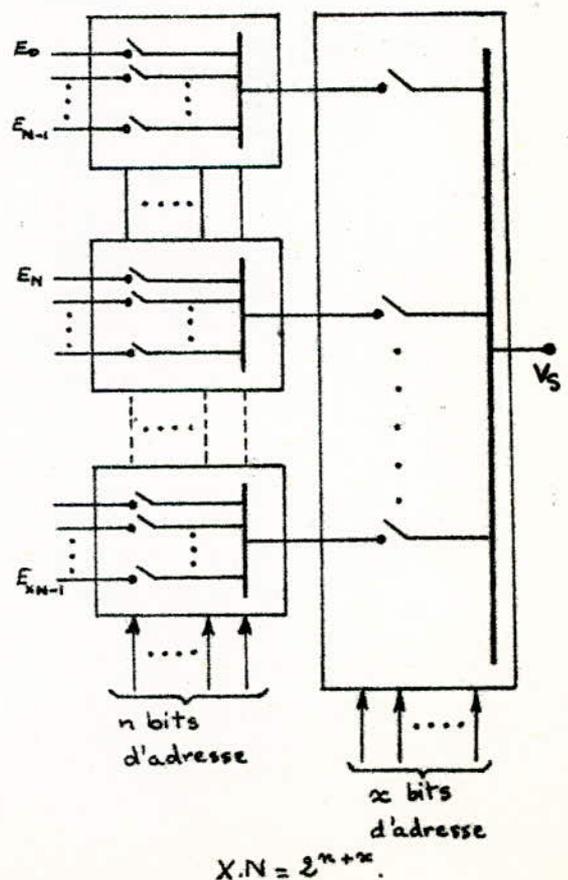


Fig 4. Organisation d'un multiplexeur analogique.

Fig. 5.
Multiplexeur analogique de XN voies à 2 niveaux.



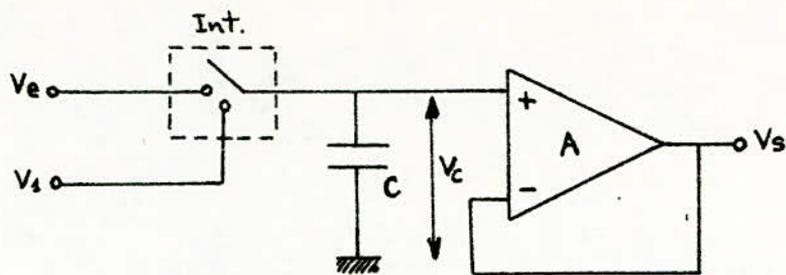


Fig. 6. Principe de base d'une mémoire analogique.

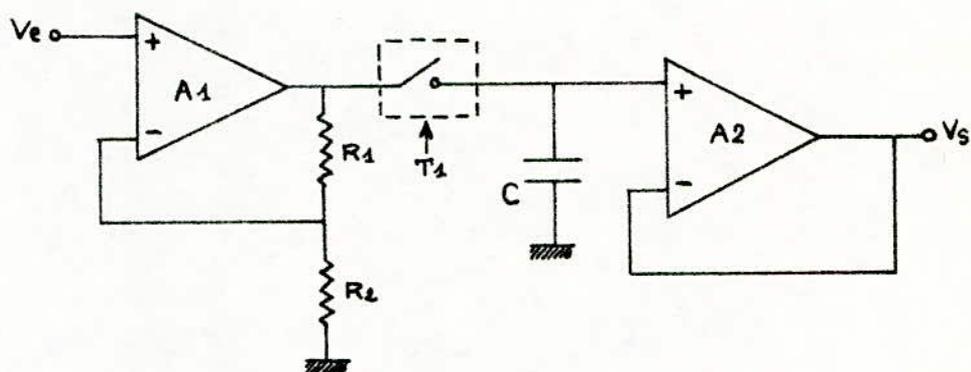


Fig. 7. Mémoire analogique à 1 interrupteur.

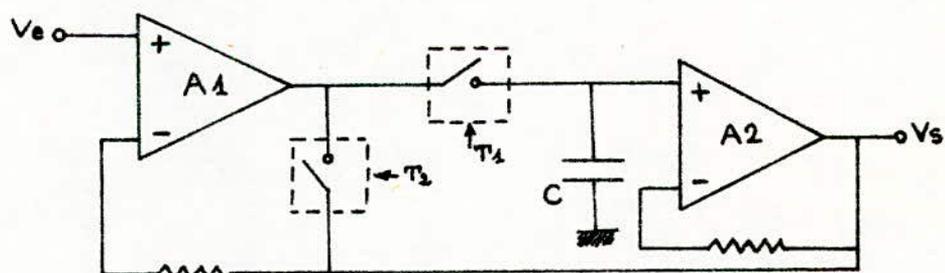


Fig. 8. Mémoire analogique à 2 interrupteurs.

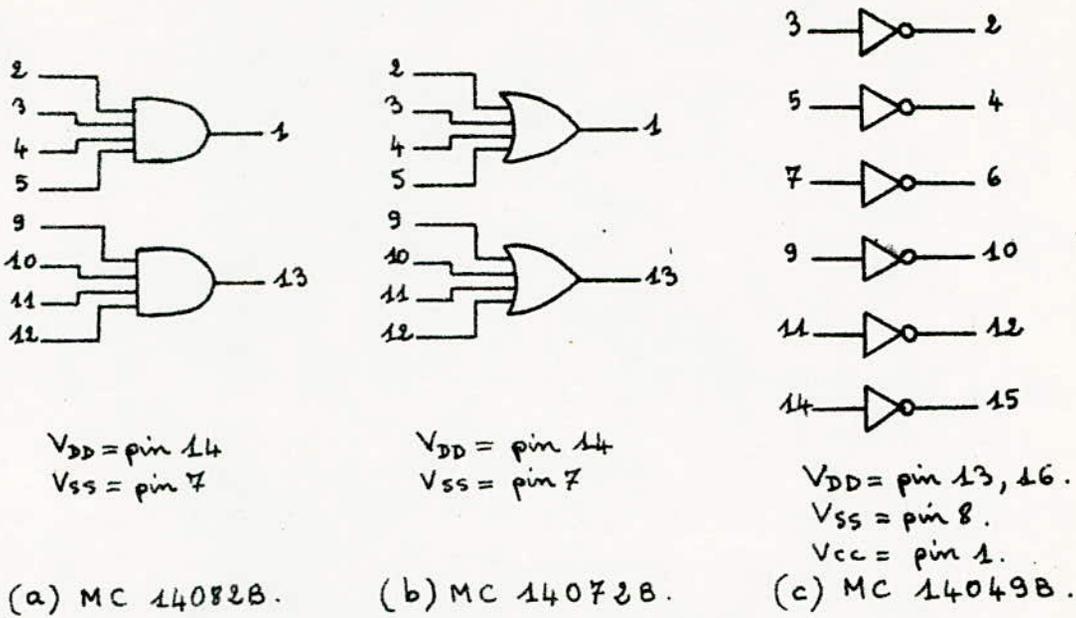
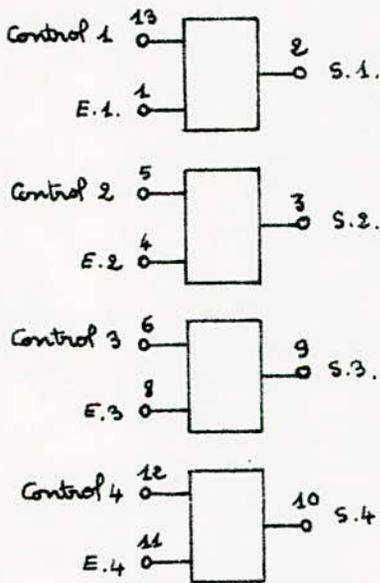
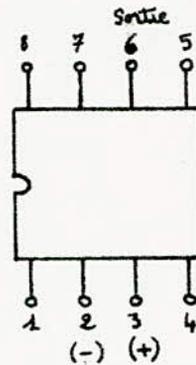


Fig 9. Brochage des éléments du multiplexeur de 4 mots de 2 bits.



$V_{DD} = \text{pin } 14$
 $V_{SS} = \text{pin } 7$



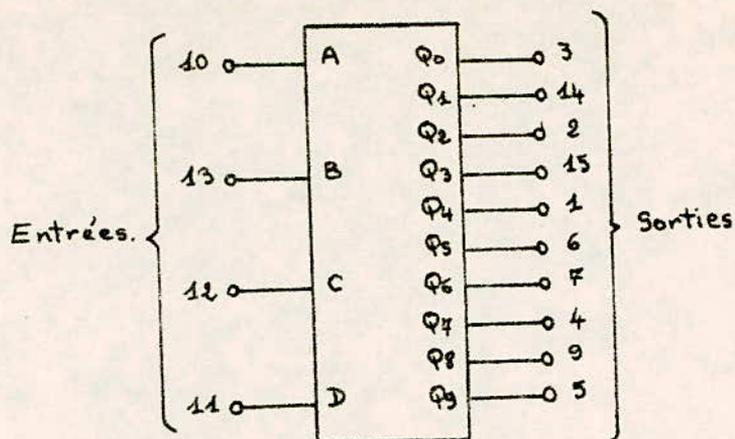
$+V_{CC} = \text{pin } 7$
 $-V_{CC} = \text{pin } 4$

(b) Amplificateur opérationnel MC 1741C

Control	Etat
0	Ouvert
1	Fermé

(a) MC 14066B (Interrupteurs.)

Fig 10. Brochage des éléments du multiplexeur analogique.

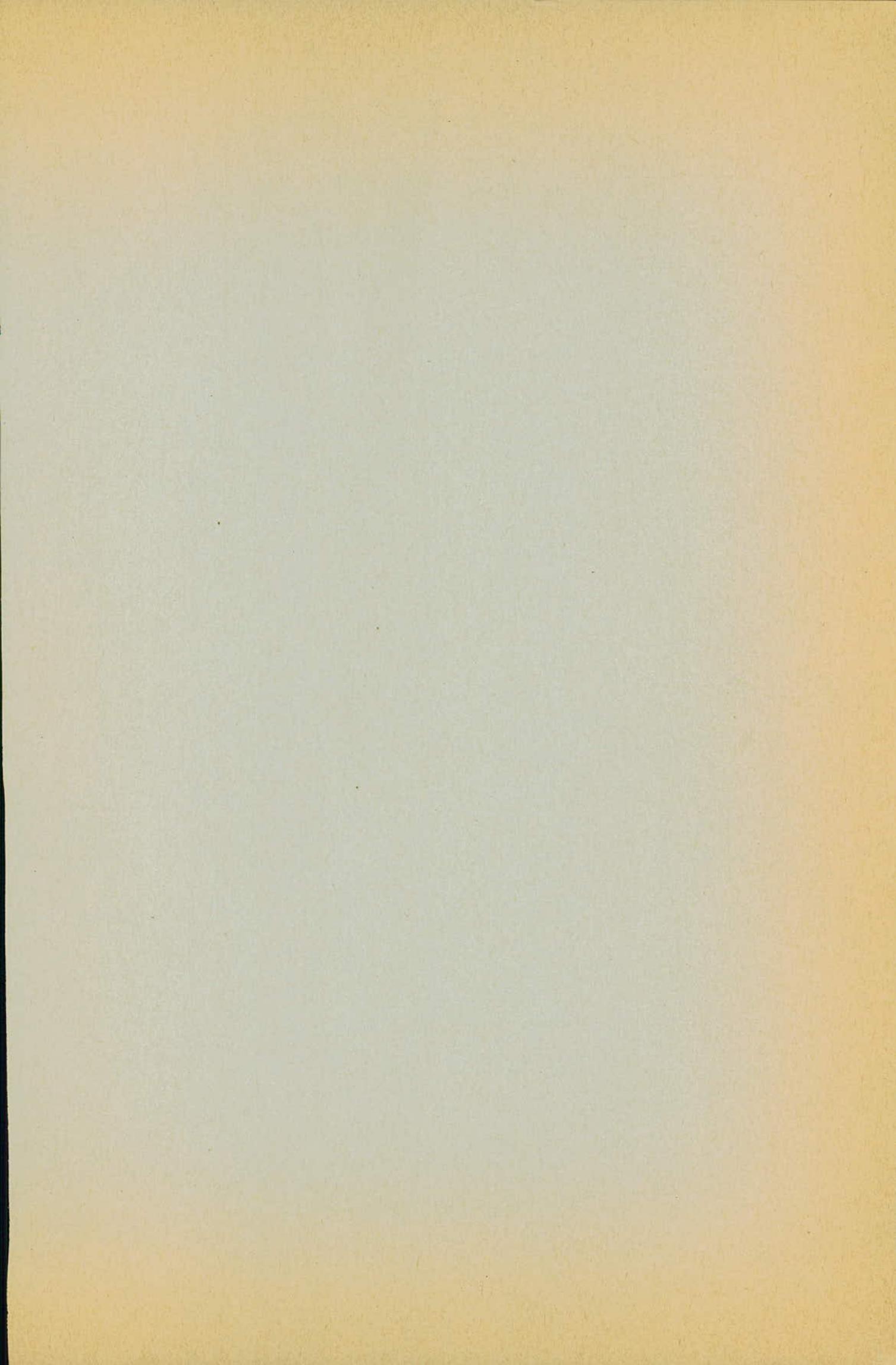


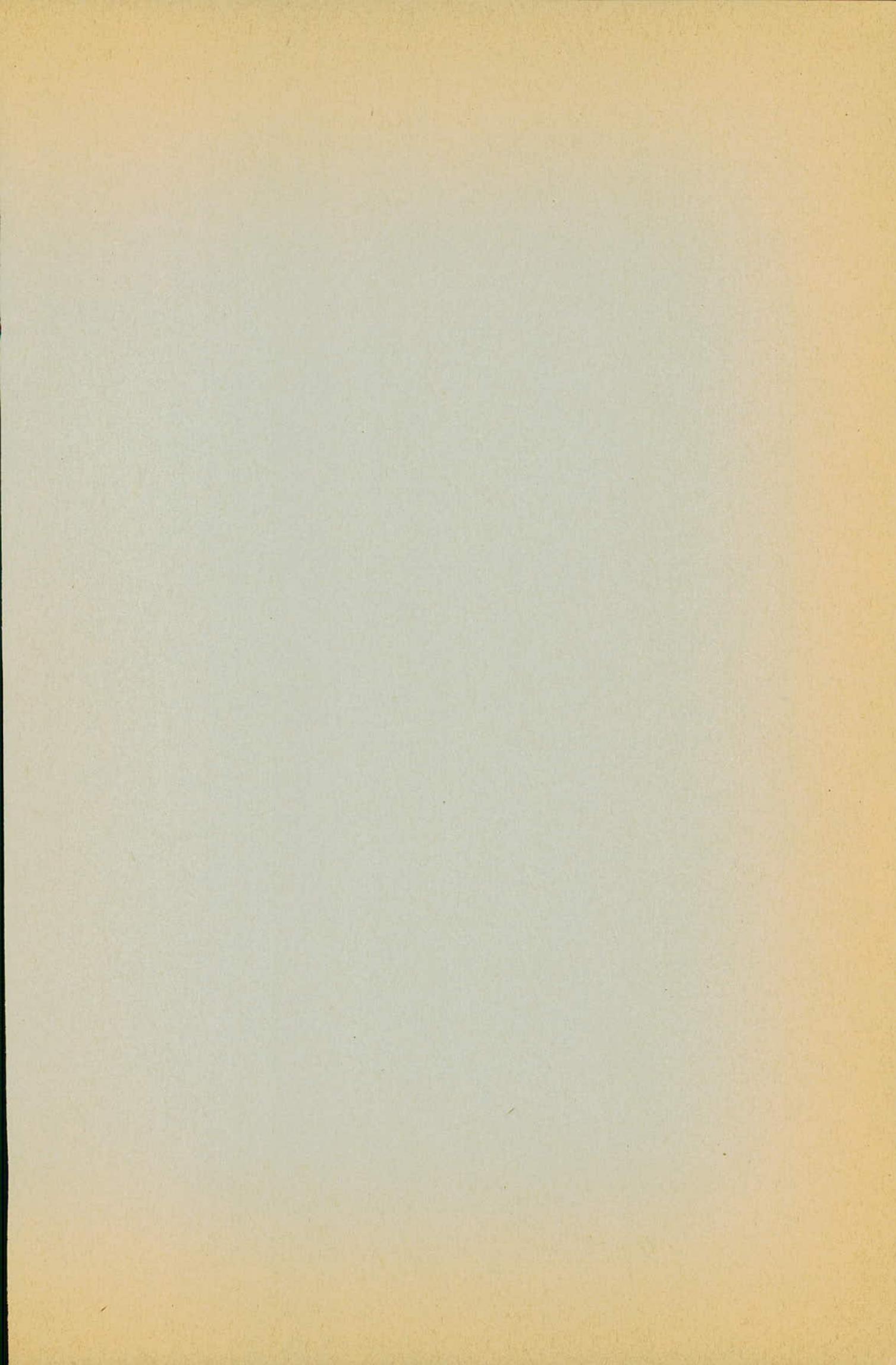
$V_{DD} = \text{pin } 16.$
 $V_{SS} = \text{pin } 8.$

Entrées				Sorties									
D	C	B	A	Q ₉	Q ₈	Q ₇	Q ₆	Q ₅	Q ₄	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0

Table de vérité.

Fig 10 (c) brochage du décodeur 1/N HC 14028B.





CONVERSIONS NUMERIQUE - ANALOGIQUE (C N A)
ET ANALOGIQUE - NUMERIQUE (C A N)

I - INTRODUCTION :

Dans l'analyse des phénomènes physiques, les grandeurs étudiées sont très souvent fournies par des capteurs qui délivrent des tensions ou des courants qui leur sont proportionnels.

Dans la plupart des cas le traitement numérique d'informations analogiques peut s'avérer indispensable. C'est le cas par exemple où le nombre d'informations à traiter est considérablement élevé. Il conviendra alors de convertir les signaux analogiques en signaux numériques.

La transformation inverse, à savoir conversions numérique-analogique est aussi très utilisée. C'est ce qui se passe par exemple si l'on désire transformer l'information numérique fournie par un ordinateur en signal analogique pour attaquer des galvanomètres ou d'autres instruments de mesure.

Nous nous proposons de décrire dans la suite les principes de fonctionnement ainsi que les propriétés des convertisseurs numérique-analogique (C N A) et analogique-numérique (C A N).

Les commutateurs analogiques et les comparateurs jouant un rôle important dans les convertisseurs, il nous a paru intéressant de présenter leur principe de fonctionnement avant de décrire les convertisseurs.

I-1. Les commutateurs :

Il existe différents types de commutateurs :

- relais
- commutateurs à diodes
- commutateurs à transistors bipolaires
- commutateurs à F.E.T ou M.O.S.

Nous ne nous intéresserons dans ce qui suit qu'à ce dernier type de commutateurs.

La Fig. 1 donne le schéma de principe d'un commutateur à F.E.T.

Ce dispositif fonctionne de la manière suivante :

- Le commutateur est bloqué lorsque $V_{GS} > V_p$; V_p étant la tension de pincement.

- Le commutateur est conducteur lorsque V_{GS} est nul.

Dans le choix de la tension de commande V_C il conviendra de prévoir 2 volts de sécurité pour bloquer effectivement le F.E.T. C'est ainsi par exemple que dans le cas où $V_e = \pm 10$ V et $V_p = 6$ V, il conviendra de choisir $- 18$ V $< V_C < 10$ V.

La diode D doit avoir un courant de fuite I_d faible pour respecter $V_{GS} = 0$ à l'état conducteur.

La résistance interne de la source devra être faible. Dans le cas contraire, il conviendra de prévoir une adaptation d'impédance.

La vitesse de commutation dépend de la résistance R et des capacités parasites C_{GS} et C_0 .

La constante de temps $\tau = R (C_{GS} + C_0)$ est généralement très faible.

I-2. Les comparateurs :

La Fig. 2 donne le schéma de principe d'un comparateur. La sortie de ce dispositif peut être égale à 0 ou $+E$ selon que V_1 inférieur ou supérieur à V_2 respectivement; E étant la tension de polarisation de l'amplificateur.

II - CONVERTISSEURS NUMERIQUE-ANALOGIQUE (C N A) :

On appelle convertisseur N A un dispositif capable de convertir une information numérique en un signal analogique.

Dans les chaînes d'acquisition et de traitement de données analogiques ces circuits permettent de restituer sous forme analogique une grandeur qui se présente sous forme numérique.

II-1. Principe de la C N A :

Compte tenu du fait que l'information numérique se présente sous la forme d'une somme de puissances successives de 2 affectées de coefficients 0 ou 1, on en déduit que pour faire correspondre à une information numérique quelconque une tension analogique correspondante il conviendra d'attribuer une valeur analogique au poids 2^n ce poids est appelé QUANTUM.

Dans ce cas l'e C N A multiplie le nombre binaire converti en décimal par le quantum.

La Fig. 3 donne le schéma de principe d'un convertisseur 8 bits se présentant sous la forme parallèle.

Dans ce circuit chacune des sorties contrôle l'état fermé ou ouvert d'un interrupteur.

L'amplificateur se comportant comme un sommateur on pourra écrire :

$$V_S = - \frac{E}{R} \left(a_7 + \frac{a_6}{2} + \frac{a_5}{4} + \dots + \frac{a_0}{128} \right) R_1 .$$

II-2. Caractéristiques d'un C N A :

Les caractéristiques des C N A sont :

- la résolution
- la linéarité
- la tension maximale de sortie
- la précision
- la monotonie
- le temps de conversion
- le code.

II-2.a. La résolution :

Pour un convertisseur à n bits ayant 2^n configurations on définit la résolution comme le rapport $\frac{1}{2^n}$.

Nous noterons au passage que cette grandeur ne dépend que du nombre de bits à convertir et non des caractéristiques des circuits utilisés.

II-2.b. La linéarité :

Du fait que les circuits utilisés ne sont pas parfait il peut exister une différence entre la tension délivrée et la tension théorique qu'il devrait fournir. On dira qu'un convertisseur est linéaire si l'erreur faite sur une mesure quelconque est inférieure à $\pm \frac{1}{2}$ quantum.

II-2.c. Tension maximale de sortie :

La tension de sortie maximale est rigoureusement celle qui vaut $(2^n - 1)$ fois le quantum. Cette valeur maximale est souvent désignée par pleine échelle.

II-2.d. La précision :

Par suite de l'imperfection des circuits électroniques utilisés la tension fournie par le convertisseur lorsque tous les bits d'entrée sont dans l'état 1 peut être différente de la valeur théorique. Cette différence éventuelle caractérise la précision du convertisseur. Ce paramètre est souvent exprimé en pourcentage de la pleine échelle ou en fonction du quantum.

II-2.e. La monotonie :

Un convertisseur est dit monotonic lorsque sa tension de sortie augmente ou au moins ne diminue pas lorsque l'information d'entrée croît.

II-2.f. Le temps de conversion :

Le temps de conversion caractérise le temps maximal requis pour effectuer une conversion N A.

II-2.g. Le code :

La structure du convertisseur dépend du code retenu.

III - CONVERTISSEURS ANALOGIQUE-NUMERIQUE (C A N) :

On appelle convertisseur A.N. un dispositif capable de convertir un signal analogique en une information numérique.

Dans les C A N, dont la plus grande partie fonctionne en mode série, on accorde une grande importance aux problèmes d'impédance d'entrée et de réjection en mode commun.

III-1. Convertisseur à rampe à une polarité :

La Fig. 4 donne le schéma de principe d'un convertisseur à rampe utilisé dans le cas où la tension à mesurer E_X a la même polarité que la tension V_S .

Ce dispositif fonctionne de la façon suivante :

- le comparateur compare la tension E_X à la tension V_S et génère un signal qui commande une porte ET.

La Fig. 5 précise les valeurs respectives des tensions V_S et E_X .

La porte est câblée de façon que le compteur ne reçoit les informations issues

de l'horloge que lorsque E_X est supérieur à V_S . Dès que les 2 tensions sont égales le comparateur génère une impulsion qui bloque la porte. On déduit donc que le compteur reçoit un nombre d'impulsions N de période T proportionnel à la tension à mesurer E_X . Ce qui nous permet d'écrire :

$$E_X = N.T.$$

Le générateur de rampe est un intégrateur alimenté par une source de référence E_{ref} . Sa tension de sortie V_S est donc reliée à la résistance R et à la capacité C qui le constituent par la relation :

$$V_S = - \frac{E_{ref}}{R C} \int_0^t dt = - \frac{E_{ref}}{R C} t.$$

A l'égalité entre V_S et E_X on peut écrire :

$$E_X = - E_{ref} \cdot \frac{T}{R C} \cdot N.$$

Dans la pratique on désire que E_X soit proportionnel à N . C'est la raison pour laquelle on prend souvent la grandeur $E_{ref} \cdot \frac{I}{R C}$ égale à l'inverse du nombre de points de mesure à convertir. Ainsi pour 100 points de mesure soit un affichage sur 2 digits on pourrait prendre dans le cas où la pleine échelle vaut 10 volts :

$$E_{ref} \cdot \frac{I}{R C} = \frac{1}{100}.$$

III-2. Convertisseur à rampe à deux polarités :

Si l'on désire tenir compte de la polarité de E_X on pourra utiliser un montage dont le schéma de principe est donné Fig. 6.

La Fig. 7 montre que dans ce cas la rampe démarre à une tension $-V$. Ce circuit fonctionne de la façon suivante :

Pour E_X négatif le comptage démarre dès que V_S atteint une valeur égale à E_X . A cet instant le comparateur 1 bascule pour valider le comptage. Le comptage est arrêté lorsque la tension V_S passe par une valeur nulle, ce qui entraîne le basculement du comparateur 2.

Pour E_X positif le principe est le même que celui précédemment décrit.

IV - REALISATION PRATIQUE :

Afin de tester l'efficacité des convertisseurs réalisés, nous avons adopté la méthode suivante :

partant d'un signal analogique connu, on le convertit en numérique. L'information ainsi obtenue est ensuite convertie en analogique. Le signal finalement obtenu devrait être identique au signal initial utilisé dans la mesure où la conversion a été réalisée de façon satisfaisante.

Nous commencerons donc dans un premier stade par décrire le convertisseur analogique digital avant de passer à l'analyse du convertisseur digital-analogique :

IV-1. Convertisseur A-N à modulation de durée :

La Fig. 8 donne le schéma de principe d'un convertisseur A-N fonctionnant de la façon suivante :

Le signal analogique d'entrée donne naissance à un créneau dont la durée lui est proportionnelle. Cette durée est ensuite convertie en digital par comptage du nombre de cycles d'une fréquence de référence présente entre le début et la fin du créneau.

Une capacité C préalablement déchargée est chargée à partir de l'instant initial par un courant constant I_0 . La tension à ses bornes croît donc linéairement :

$$V = \frac{I_0 t}{C}$$

Un comparateur compare cette tension au signal d'entrée V_1 . A la coïncidence le comptage de la fréquence pilote qui avait commencée à l'instant initial est interrompue. Ceci se produit à l'instant T_1 tel que :

$$T_1 = \frac{V_1 C}{I_0}$$

Le nombre d'impulsions comptées est alors :

$$N = \frac{V_1 \cdot C}{I_0} \cdot f_0 = \frac{V_e}{2} \cdot \frac{C f_0}{I_0} .$$

Comme on a prévu 100 points de mesure on aura donc :

$$\frac{C f_0}{2 I_0} = 10^2 .$$

L'oscillateur pilote choisi est un astable dont le schéma de principe est donné Fig. 9, et possède une période donnée par la relation suivante :

$$T = 2 R C \text{ Log } \left(1 + \frac{2 R_3}{R_2} \right)$$

La capacité C étant choisie égale à $10 \mu F$ et f_0 à 2 k Hz , nous aurons :

$$I_0 = \frac{C f_0}{2.10^2} = \frac{10^{-5} \cdot 2 \cdot 10^3}{2.10^2} = 0,1 \text{ mA.}$$

Afin de linéariser la charge de la capacité C , ce courant I_0 est généré par une source à courant dont le schéma de principe est donné Fig. 10.

Le transistor T choisi est du type 2N 2905. Son gain β est de l'ordre de 50 ; I_0 étant le courant de collecteur I_C , on aura :

$$I_B = \frac{0,1}{50} \text{ mA} = 2 \mu A.$$

La résistance R a été choisie de façon que la tension $R I_0$ soit voisine de 1 V , ce qui nous donne $R = 10 \text{ k } \Omega$.

Pour avoir une bonne stabilité on est conduit à prendre un courant I passant dans le pont R_1, R_2 élevé devant I_B . Nous avons pris $I = 100 I_B$, ce qui nous donne :

$$R_1 = \frac{1,7.10^3}{0,2} = 8 \text{ k } \Omega$$

$$R_2 = \frac{13,3.10^3}{0,2} = 66,5 \text{ k } \Omega.$$

Les figures 11, 12, 13 et 14 donnent les schémas de brochage des circuits intégrés utilisés.

IV-2. Convertisseur numérique - analogique :

La Fig. 15 donne le schéma de principe d'un convertisseur N.A pour lequel on a :

$$V_S = \frac{R_2}{R_1} \cdot \frac{R_0}{R} E_{ref} \left(a_7 + \frac{a_6}{2} + \frac{a_5}{4} + \frac{a_4}{8} \right) + \frac{R_2}{16R_1} \cdot \frac{R_0}{R} E_{ref} \left(a_3 + \frac{a_2}{2} + \frac{a_1}{4} + \frac{a_0}{8} \right)$$

$$\text{soit } V_S = \frac{R_2}{R_1} \cdot \frac{R_0}{R} E_{ref} \left(a_7 + \frac{a_6}{2} + \frac{a_5}{4} + \frac{a_4}{8} + \frac{a_3}{16} + \frac{a_2}{32} + \frac{a_1}{64} + \frac{a_0}{128} \right)$$

La Fig. 16 donne le schéma de brochage des interrupteurs utilisés.

BIBLIOGRAPHIE : - Pratique de l'Electronique T.2. AUMIAUX
 - Enseignement d'Electronique C4.2. AUVRAY.

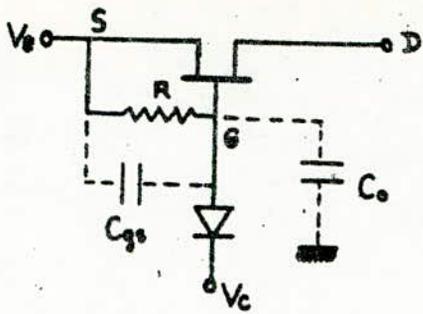


Fig. 1. Schéma de principe d'un commutateur à F.E.T.

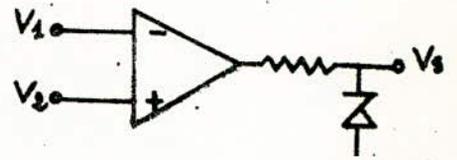


Fig. 2. Comparateur.

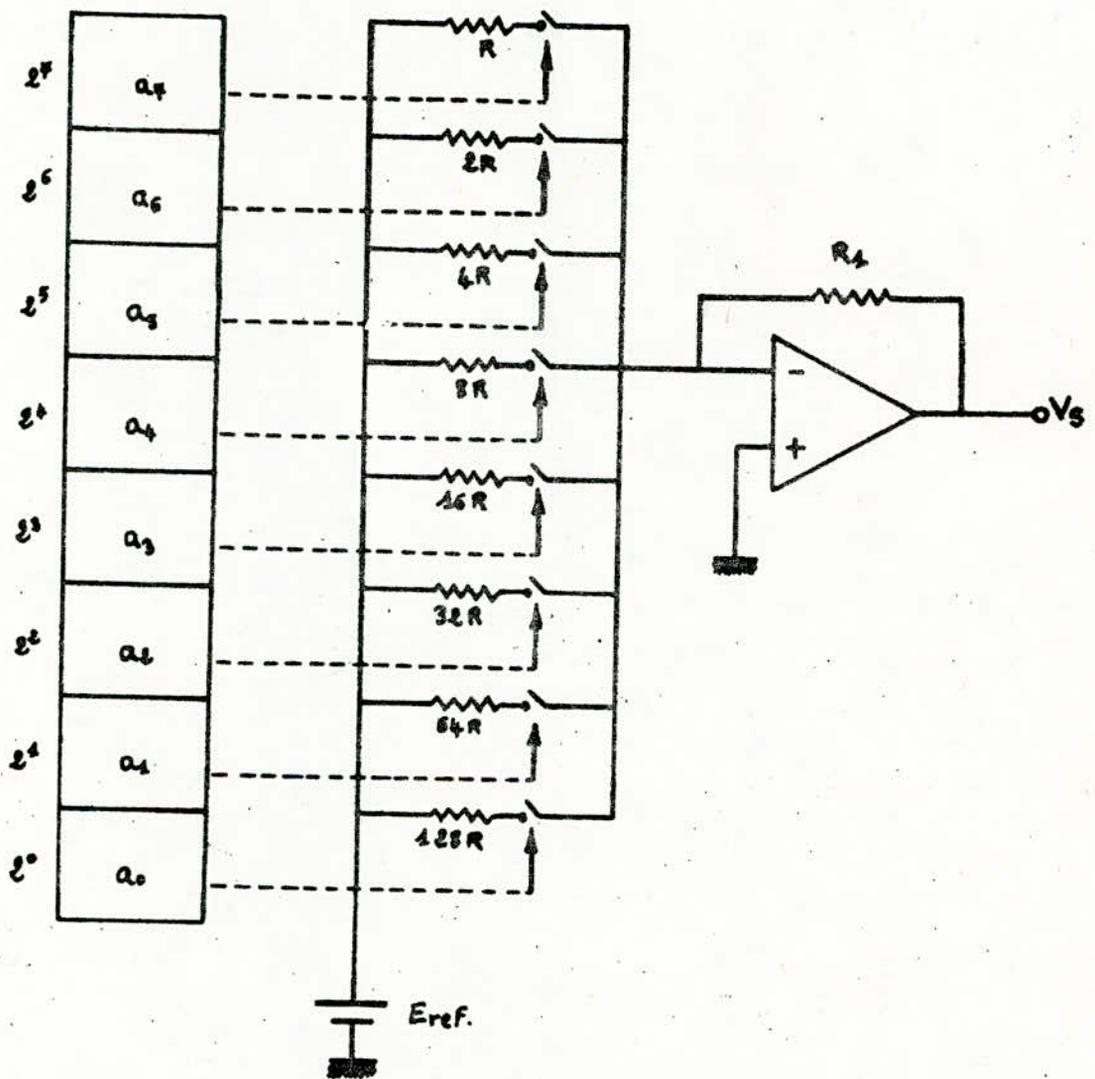


Fig. 3. Convertisseur numérique-analogique 8 bits.

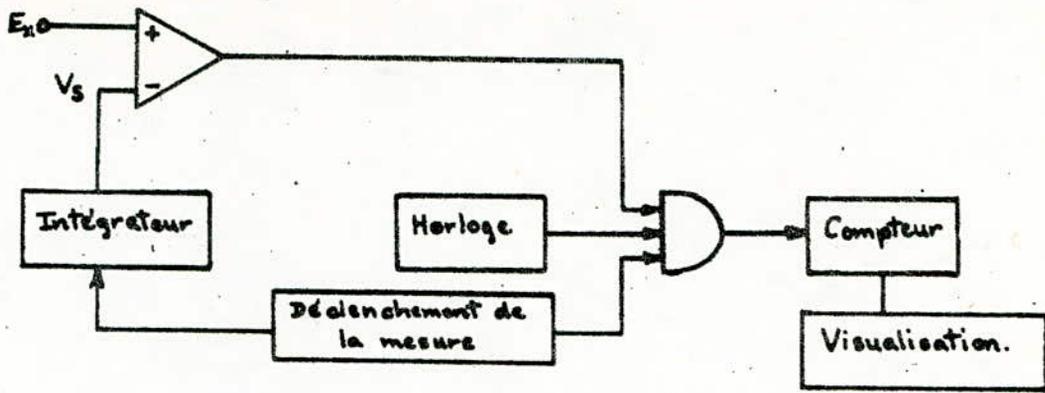


Fig. 4. Convertisseur analogique-numérique à rampe à une polarité.

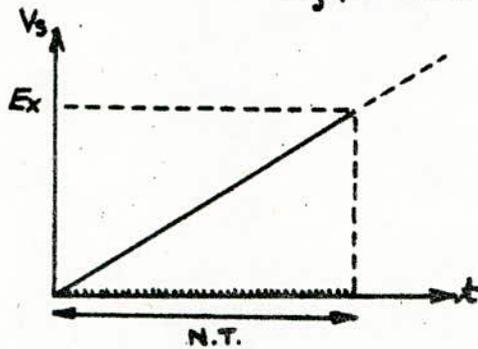


Fig. 5. Principe de la mesure effectuée par un CAN à rampe à une polarité.

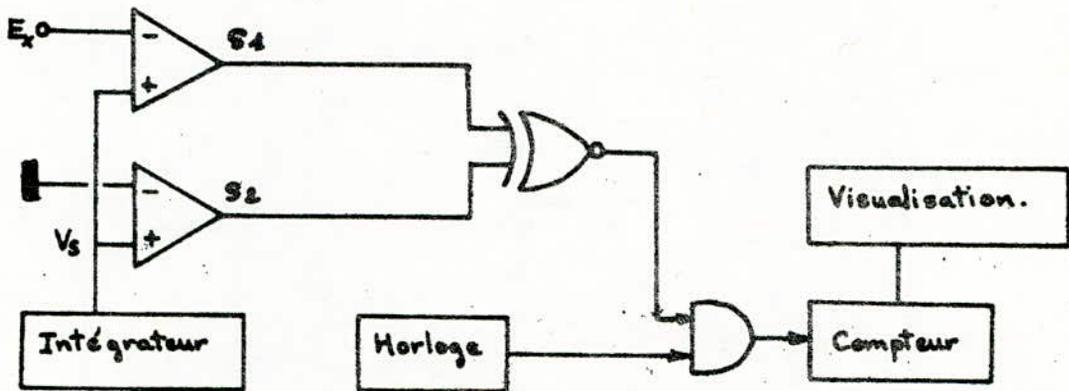


Fig. 6. Convertisseur analogique-numérique à rampe à deux polarités.

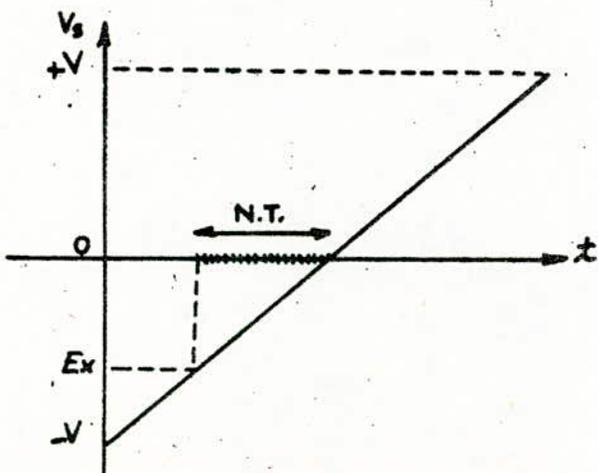


Fig. 7. Principe de la mesure effectuée par un CAN à rampe pour une tension négative.

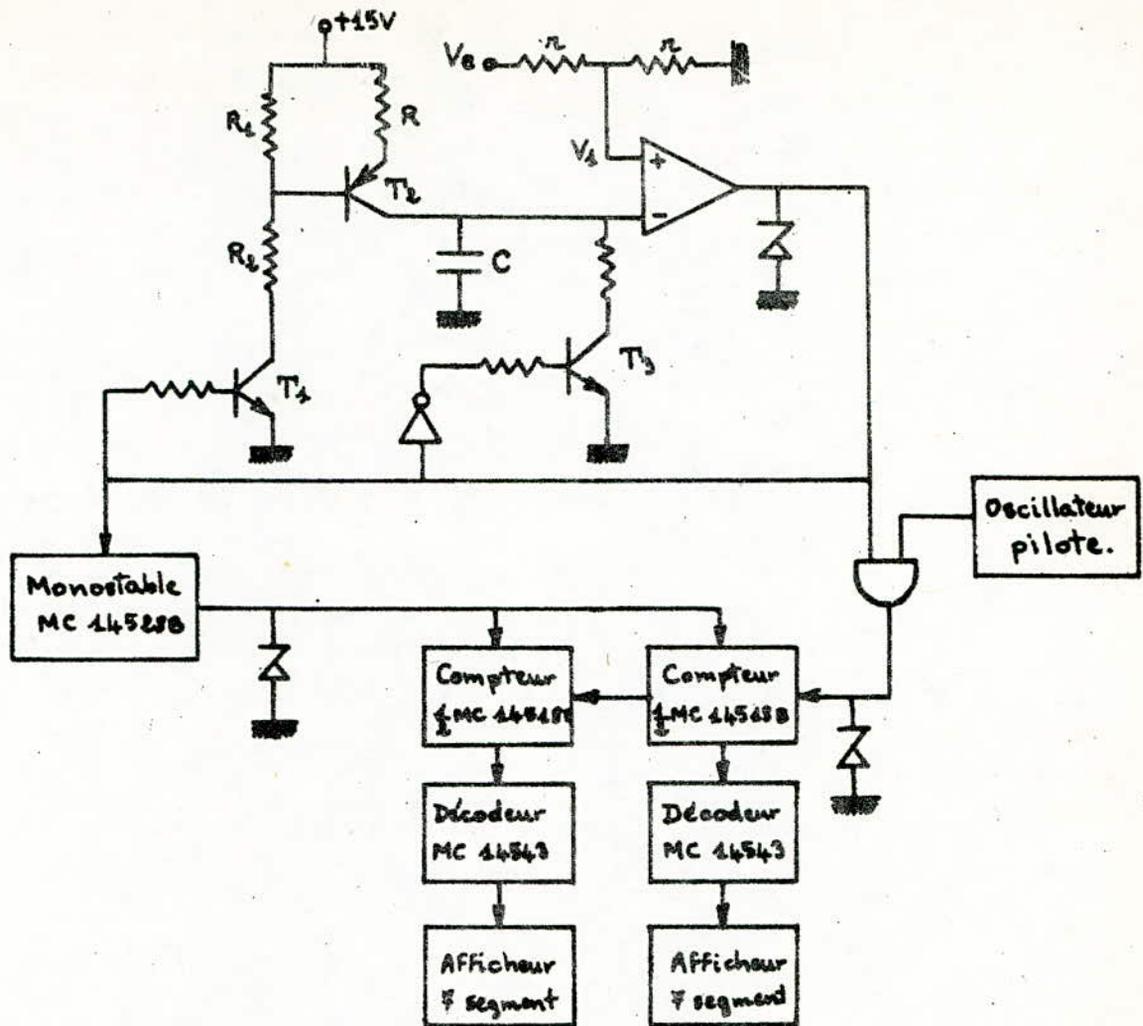


Fig. 8. CAN à 100 points de mesure réalisé.

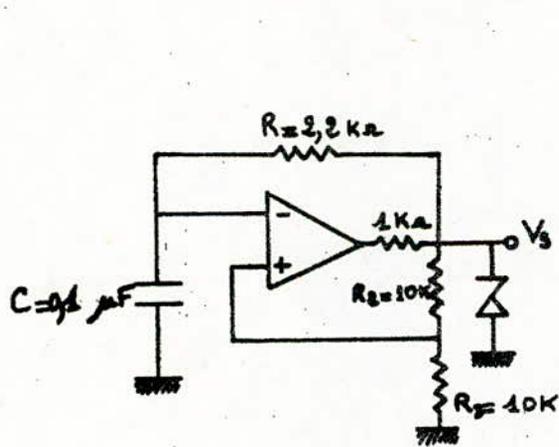


Fig. 9. L'oscillateur pilote.

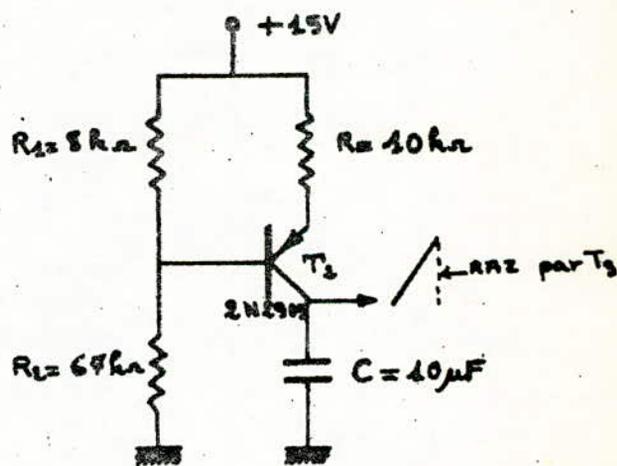


Fig. 10. Charge à courant constant de C.

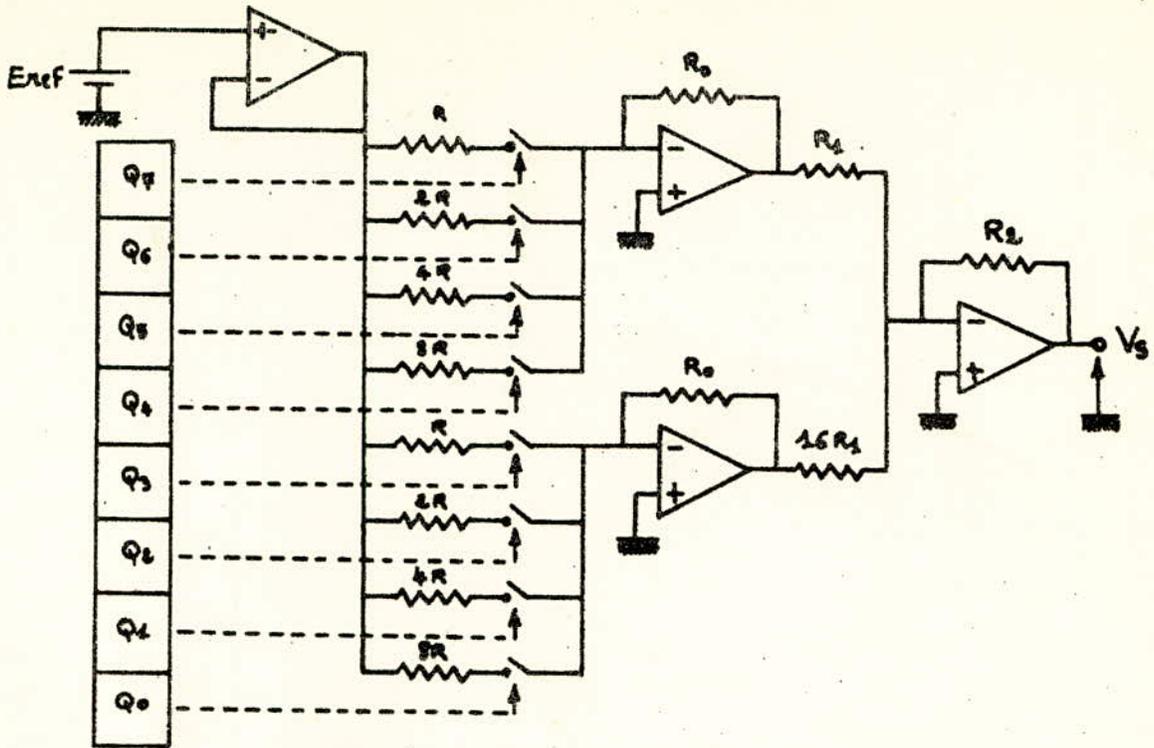
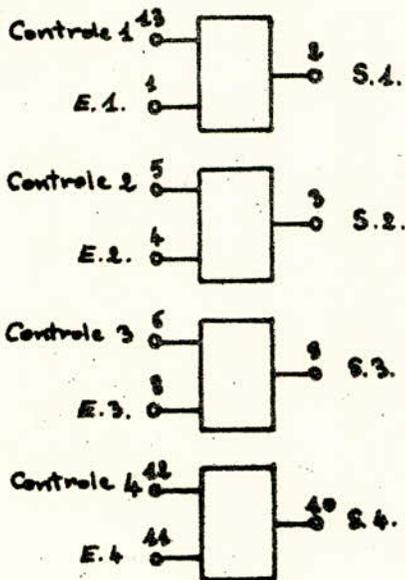


Fig 15. CNA 8bits réalisé.



Contrôle	Etat
0	Ouvert
1	Fermé

$$V_{ss} \leq V_{entrée} \leq V_{DD}$$

$$V_{ss} \leq V_{sortie} \leq V_{DD}$$

V_{DD} = pin 16
 V_{ss} = pin 7

Fig.16. Brochage du circuit MC 14066B (Interrupteurs)

LES COMPTEURS

I - INTRODUCTION

Le compteur est un organe à base de bascules pouvant décrire une séquence bien déterminée. Le but principal des compteurs est de faire connaître le nombre d'impulsions envoyées sur ses bascules, après une remise à zéro. Ce nombre généralement exprimé dans le code binaire ou dans le code B C D, est décodé et affiché.

II - RAPPELS SUR LES COMPTEURS

Un compteur binaire réalisé avec N bascules peut compter de 0 à $(2^N - 1)$. Il possède donc au maximum 2^N états différents. On dit que sa capacité est de 2^N : la $2^{n^{ieme}}$ impulsion remet le compteur à zéro. Si on envoie sur les entrées du compteur un nombre d'impulsions supérieur à sa capacité, on obtient un résultat faux : on a un débordement. Pour s'assurer de l'exactitude du résultat, on détecte le passage à 0 du bit, de poids le plus fort. On peut cependant augmenter la capacité du compteur en ajoutant des bascules. Une autre "source" d'erreurs vient du fait que le temps de basculement est limité, ce qui limite la fréquence des impulsions.

On divise les compteurs en deux catégories : asynchrones et synchrones.

II-1. Compteur asynchrone

Un compteur asynchrone reçoit le signal de comptage sur sa première bascule uniquement, le signal d'horloge d'une bascule de rang i étant le signal de sortie de la bascule de rang $(i - 1)$.

Le changement d'état des différentes bascules ne se produit pas au même moment, ce qui provoque l'apparition d'états intermédiaires.

La durée de ces états dépend de la rapidité des bascules utilisées. Les effets de ces états intermédiaires se sont sentis lorsque le compteur est exploité par des circuits rapides (Par contre, cet inconvénient n'est pas gênant si on ne s'intéresse qu'à la sortie du compteur). On peut cependant y remédier en transmettant le résultat une fois l'état final atteint.

La figure 1 donne le schéma de principe d'un montage qui corrige ce défaut : le circuit à retard commande le circuit d'affichage en introduisant un retard au moins égal à $N \cdot tr$ où tr représente le retard dû à une bascule. On peut aussi éviter cet inconvénient en travaillant dans un code où les transitions correspondent à un changement d'état d'un nombre réduit de bits ; comme par exemple le code GRAY où un seul bit change d'état à chaque transition du compteur.

II-2. Compteurs synchrones

Dans ce type de compteurs, toutes les bascules reçoivent le même signal d'horloge et ceci simultanément. Le changement d'état des différentes bascules devrait donc se faire au même instant. Mais, compte tenu des dispersions des caractéristiques des bascules, les temps de basculement ne sont pas identiques, ce qui entraîne l'apparition d'états intermédiaires, dont la durée est négligeable. Les compteurs synchrones seront donc généralement considérés comme idéaux.

On utilise surtout les compteurs synchrones dans le cas où ils doivent attaquer des circuits rapides, ou si l'on désire comparer à tout instant le contenu de ces compteurs à des références fixées à l'avance.

Tout compteur, synchrone ou asynchrone, peut fonctionner en compteur ou en décompteur suivant le signal de commande qui lui sera appliqué : on l'appellera alors compteur réversible.

III - APPLICATIONS DES COMPTEURS

On utilise le plus souvent :

- Les compteurs binaires où toutes les sorties, correspondant à des divisions de fréquences par des puissances de 2, peuvent être exploitées.
- Les compteurs décimaux composés de décades.

D'une manière générale, on appelle compteur modulo $|N|$, un compteur qui a été réalisé de façon à compter de 0 à $|N - 1|$, le $N^{\text{ième}}$ impulsion le remettant à zéro. Ce compteur fait correspondre à un signal d'entrée de fréquence F un signal de sortie de fréquence $\frac{F}{N}$. D'où leur application comme diviseur de fréquences.

III-1. Compteur synchrone modulo |10| ou décade

Une décade compte de 0 à 9, elle est donc composée de 4 bascules. La table des états présents et états futurs est donnée figure 3.

Pour réaliser cette décade, nous avons utilisé des bascules *J K* synchrone du type MC 140 27.

Pour établir les valeurs des entrées *J* et *K* des différentes bascules en fonction des états (ou des sorties) du compteur, on étudie les relations existant entre les transitions de chaque bascule et les transitions d'une bascule *J K*.

De la table des états nous déduisons que :

$$J_A = K_A = 1$$

Les tableaux de *Karnaugh* donnés figure nous permettent de connaître les fonctions d'entrée simplifiées. On obtient :

$$\begin{array}{lll}
 J_B = A \bar{D} & K_B = A & J_C = K_C = A B \\
 I_D = C B A & & K_D = A
 \end{array}$$

La fonction combinatoire *F* assurant la remise à zéro détecte le passage du compteur de l'état 9 à l'état 10, elle s'écrit donc :

$$F = D \bar{C} B \bar{A} H$$

La commande *S* qui sélectionne le comptage ou le décomptage a été choisie de la manière suivante

- $S = 0 \rightarrow$ comptage
- $S = 1 \rightarrow$ décomptage.

III-2. Fréquencemètre :

La figure 6 donne le schéma de principe d'un fréquencemètre permettant de mener des fréquences de 1 à 999 Hz. Ce fréquencemètre est constitué de 4 ensembles :

- Un détecteur de zéro
- Une base de temps
- Un compteur
- Un système de visualisation par affichage décimal.

III-2.a. Le circuit détecteur de zéro :

La figure 7 donne le schéma de principe d'un détecteur de zéro qui est

constitué par un comparateur dont la tension de référence est la masse. Il génère des signaux carrés d'amplitude positive de même fréquence que la tension d'entrée, les alternances négatives étant supprimées par la diode D_1 . Cette diode limite l'amplitude des signaux d'horloge envoyés sur les entrées du compteur à 5 V.

Ce détecteur est précédé d'un circuit de mise en forme dont la constante de temps doit être inférieure à 1 m sec. Cette constante de temps a été fixée à 0,1 m sec.

III-2.b. Base de temps

La base de temps est essentiellement constituée d'un astable dont la figure 8 donne le schéma de principe. La durée du comptage a été fixée à 1 sec, pour avoir un résultat en Hz. Ce signal est appliqué à l'entrée Disable du compteur. Le comptage se fait lorsque cette entrée est au niveau 0. Le compteur réagit alors au front descendant du signal de fréquence inconnue. Au front montant du signal autorisant le comptage, c'est à dire après une seconde. Le premier monostable déclenche la mémorisation du résultat (l'entrée LE est portée au niveau 1). La sortie de ce monostable commande un autre monostable qui assure la remise à zéro du compteur.

Pour assurer un résultat correct, on remet le compteur à zéro bien avant le démarrage de la mesure.

Si on note τ_1 la durée de l'impulsion du monostable 1 et τ_2 la durée du monostable 2, on doit choisir τ_1 et τ_2 tel que :

$$\tau_1 + \tau_2 \ll 1 \text{ sec.}$$

Pour les monostables utilisés, des MC 14528 dont le schéma de brochage et les caractéristiques sont donnés plus loin, la durée de l'impulsion est donnée par la formule :

$$\tau = 0,2 R_X C_X L_n \left| \frac{V_{DD}}{V_{SS}} \right|$$

Si $V_{DD} = 5 \text{ V}$

$V_{SS} = 0 \text{ V}$

on a :

$$\tau = 0,2 R_X C_X$$

Soit $\tau_1 = \tau_2 = 0,1 \text{ sec}$

avec $R_X = 20 \text{ K } \Omega$ on obtient $C_X = 1,6 \text{ n F}$

III-2.c. Le compteur

Le circuit utilisé est un MC 14553, ses caractéristiques sont données plus loin. Ce compteur synchrone est constitué de 3 décades. Chaque décade est connectée à une mémoire.

Les sorties des décades sont envoyées dans un multiplexeur qui sélectionne successivement les sorties des 3 décades.

Le signal qui commande le multiplexeur est généré par un oscillateur et compteur intégrés dans ce circuit.

La sortie O.F (Overflow ou débordement) passe à 1 à la 1.000^{ième} impulsion. Ce changement d'état indique un débordement.

Pour mesurer des fréquences inférieures à 1 K Hz, un seul compteur suffit.

Au dessus de 1 K Hz on a débordement. Pour augmenter la capacité jusqu'à un M Hz, on peut intercaler (par changement de calibre) un autre compteur MC 14553.

Le signal O F du compteur initial constituait le signal d'horloge du compteur adjoint.

BIBLIOGRAPHIE

- Circuits intégrés et techniques numériques, par R. DELSOL.
- Emploi rationnel des circuits intégrés, par J.P. OEHMICHEN.

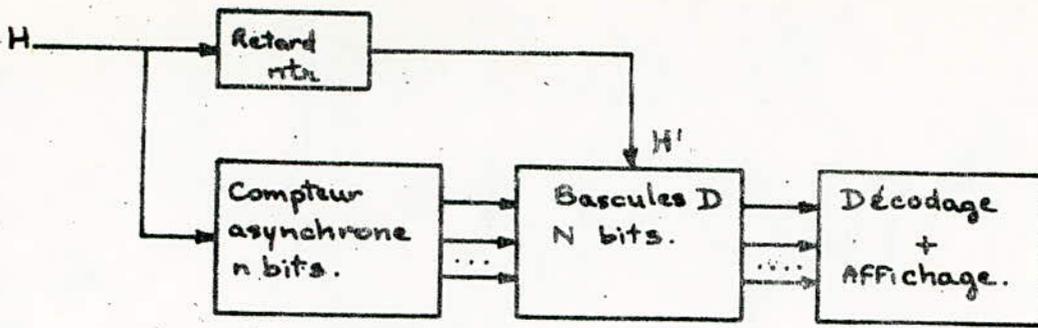


Fig 1. Lecture d'un compteur asynchrone.

Entrées					Sorties		
C	J	K	S	R	Q _n	Q _{n+1}	Q _{n+1}
0	1	x	0	0	0	1	0
0	x	0	0	0	1	1	0
0	0	x	0	0	0	0	1
0	x	1	0	0	1	0	1
0	x	x	0	0	x	Q _n	Q _n
1	x	x	1	0	x	1	0
1	x	x	0	1	x	0	1
1	x	x	1	1	x	1	1

Transition	J	K
T ₁	1	0
T ₀	0	1
S ₀	0	0
S ₁	0	0

Table des transitions
(x = 0 = Indifférent)

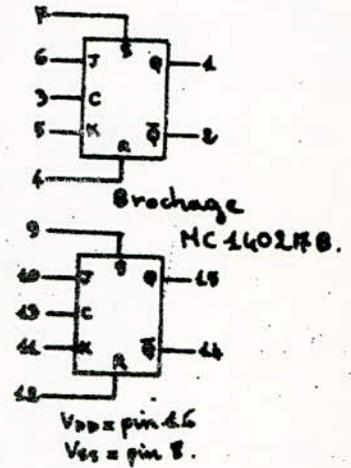


Table de vérité de la bascule JK.
MC 14027B.

Fig 2. la bascule JK. (MC 14027B)

Q _D	Q _C	Q _B	Q _A	Q _{D+}	Q _{C+}	Q _{B+}	Q _{A+}
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	0	1	1
0	0	1	1	0	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	0
0	1	1	1	1	0	0	0
1	0	0	0	1	0	0	1

Fig 3. table de vérité d'un compteur synchrone modulo (10).

BA \ DC	00	01	11	10
00	S ₀	T ₁	T ₀	S ₁
01	S ₀	T ₁	T ₀	S ₁
11	-	-	-	-
10	S ₀	S ₀	-	-

Q_{B+}

BA \ DC	00	01	11	10
00	S ₀	S ₀	T ₁	S ₀
01	S ₁	S ₁	T ₀	S ₁
11	-	-	-	-
10	S ₀	S ₀	-	-

Q_{C+}

BA \ DC	00	01	11	10
00	S ₀	S ₀	S ₀	S ₀
01	S ₀	S ₀	T ₁	S ₀
11	-	-	-	-
10	S ₁	T ₀	-	-

Q_{D+}

Fig 4. Tableaux de Karnaugh

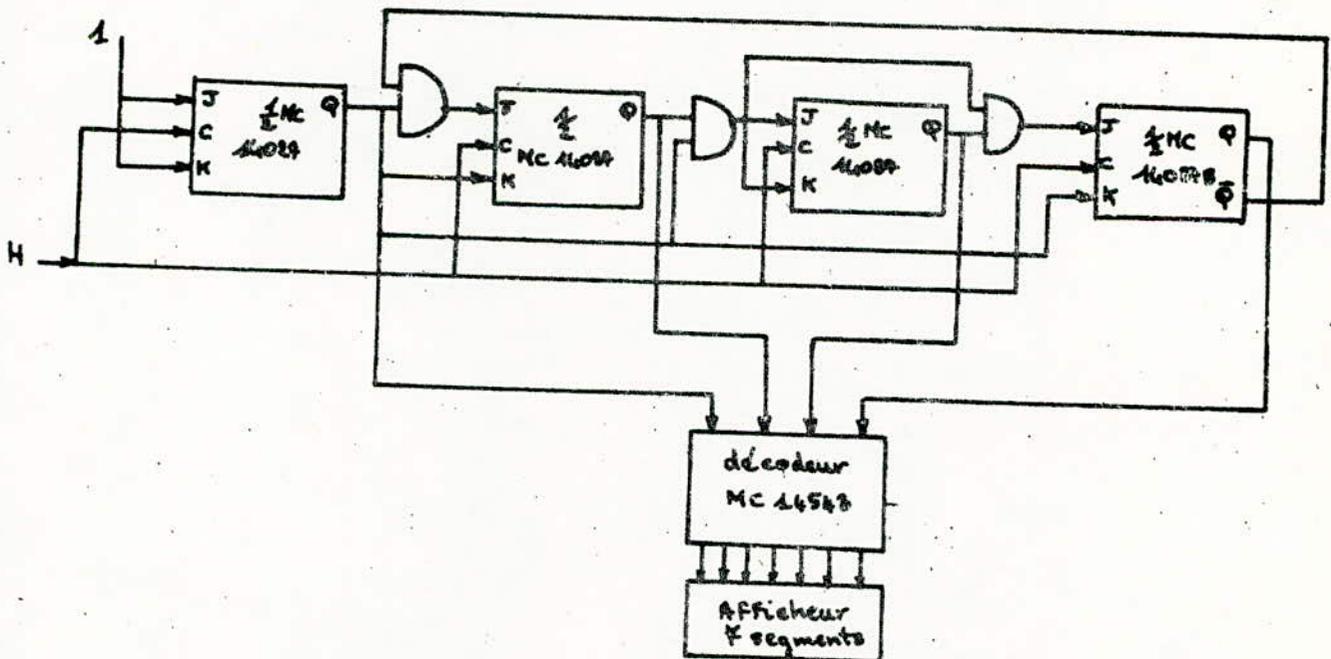


Fig 5. Compteur synchrone modulo (10).

Fig. 6. Schéma de principe d'un Fréquencemètre.

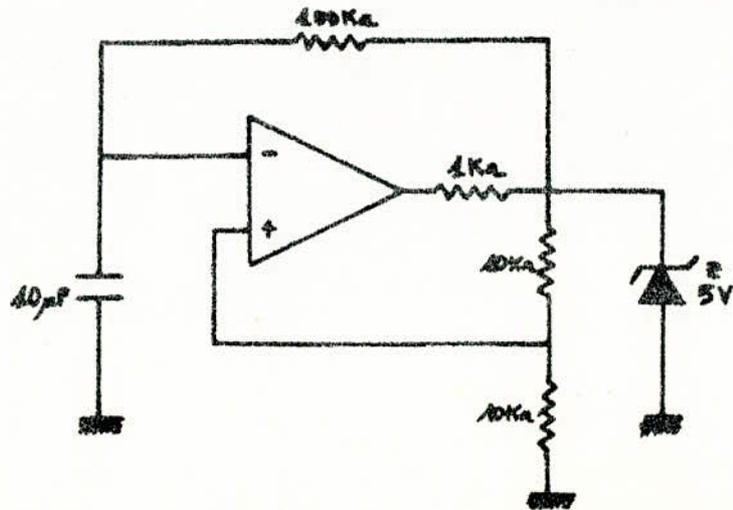
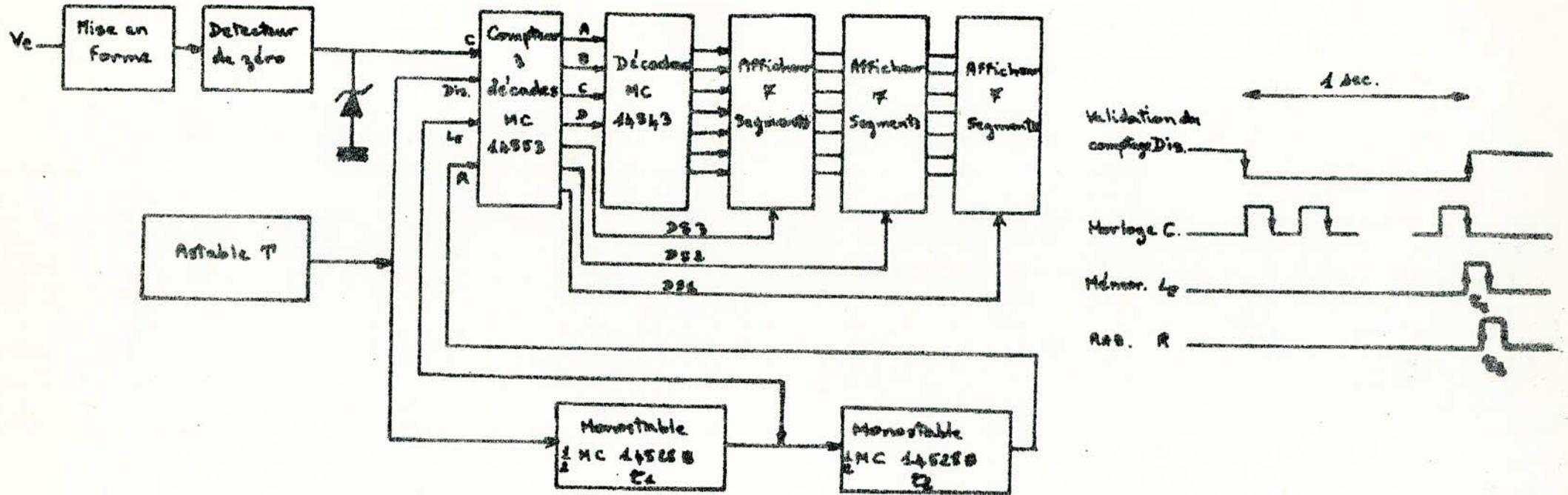


Fig 8 . Astable T.

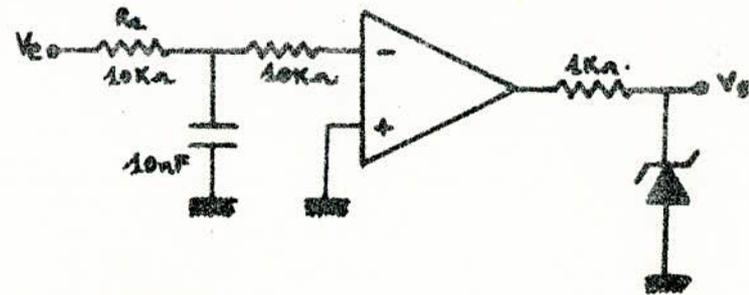


Fig 9 . Circuit de mise en forme et détecteur de zéro.

THREE-DIGIT BCD COUNTER

The MC14553B three-digit BCD counter consists of three negative edge triggered BCD counters that are cascaded synchronously. A quad latch at the output of each counter permits storage of any given count. The information is then time division multiplexed, providing one BCD number or digit at a time. Digit select outputs provide display control. All outputs are TTL compatible.

An on-chip oscillator provides the low-frequency scanning clock which drives the multiplexer output selector.

This device is used in instrumentation counters, clock displays, digital panel meters, and as a building block for general logic applications.

- TTL Outputs
- On-Chip Oscillator
- Cascadable
- Clock Disable Input
- Pulse Shaping Permits Very Slow Rise Times on Input Clock
- Output Latches
- Master Reset

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Pin	I	10	mAdc
DC Current per Pin, All Outputs	I	20	mAdc
Operating Temperature Range - AL Device	T_A	-55 to +125	$^{\circ}C$
Operating Temperature Range - CL/CP Device		-40 to +85	$^{\circ}C$
Storage Temperature Range	T_{stg}	-65 to +150	$^{\circ}C$

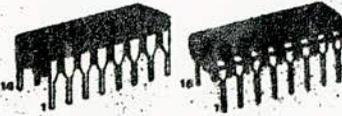
TRUTH TABLE

MASTER RESET	INPUTS			OUTPUTS
	CLOCK	DISABLE	LE	
0	0	0	0	No Change
0	1	0	0	Advance
0	X	1	X	No Change
0	1	1	0	Advance
0	0	0	0	No Change
0	0	X	X	No Change
0	X	X	X	Latched
1	X	X	0	2477 set = Q2 Q3 = 0

X = Don't Care

MC14553B

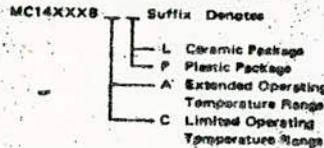
THREE-DIGIT BCD COUNTER



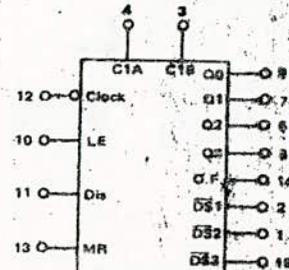
L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION



BLOCK DIAGRAM



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{SS} < (V_{in} \text{ or } V_{out}) < V_{DD}$. Unused inputs must always be tied to an appropriate logic voltage level (e.g. either V_{SS} or V_{DD}).

FIGURE 2 - 3-DIGIT COUNTER TIMING DIAGRAM (Reference Figure 4)

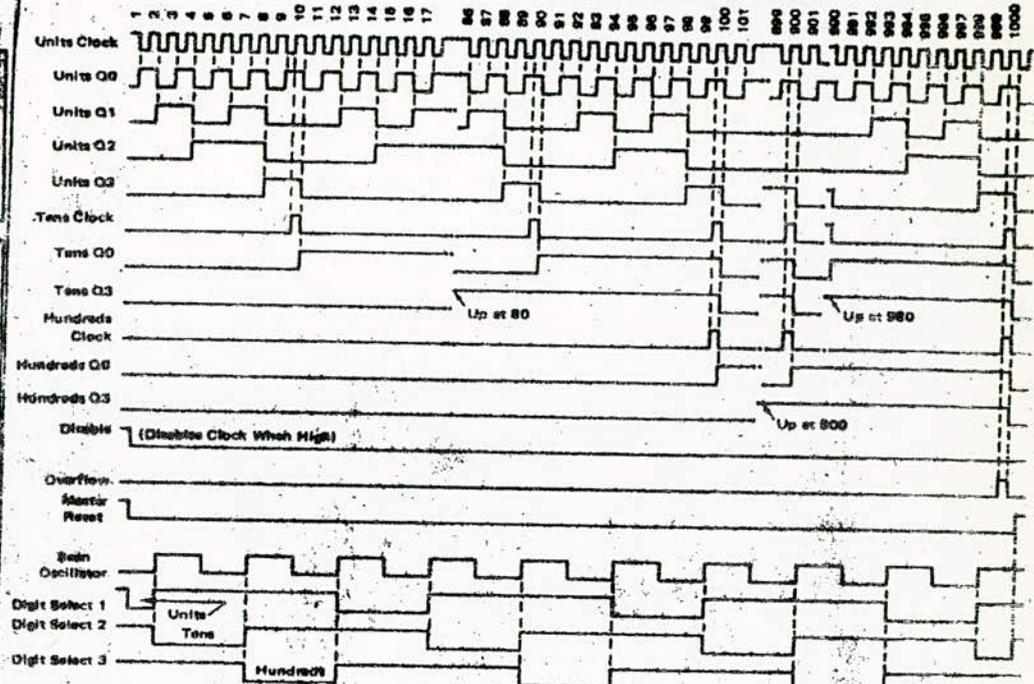
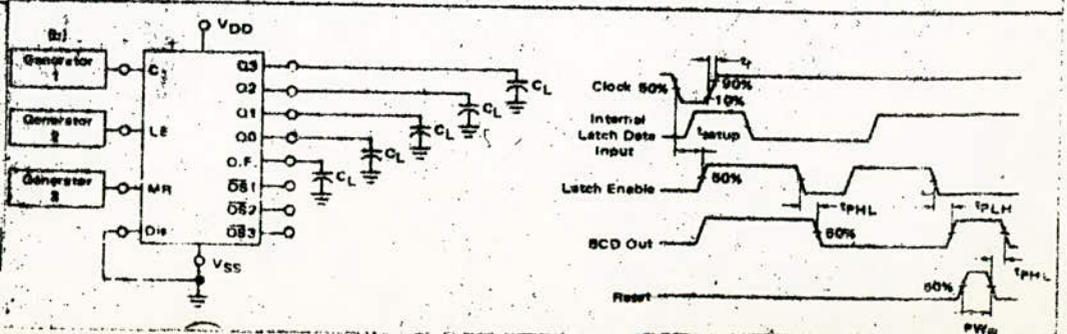
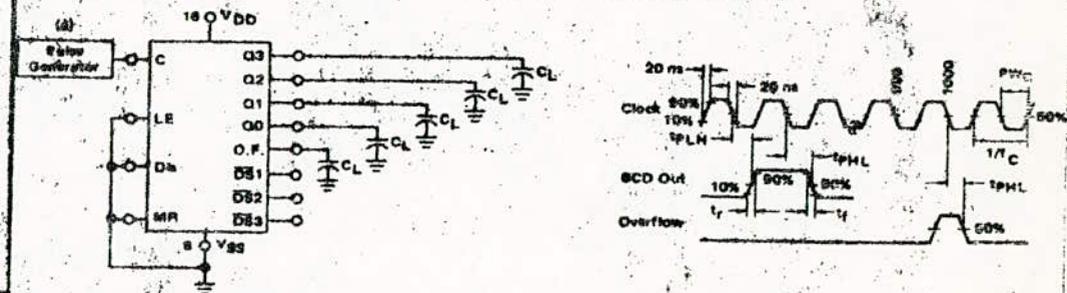


FIGURE 3 - SWITCHING TIME TEST CIRCUITS AND WAVEFORMS



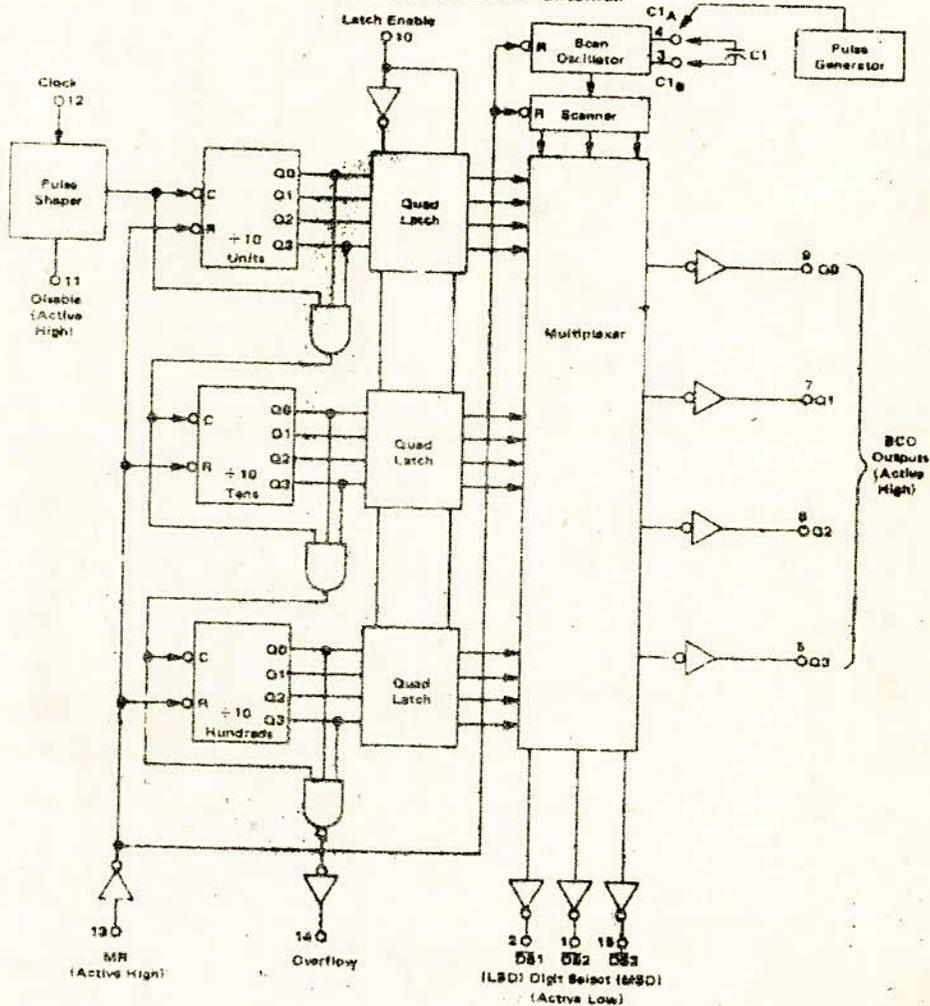
OPERATING CHARACTERISTICS

The MC14653B three-digit counter, shown in Figure 4, consists of three negative edge-triggered BCD counters which are cascaded in a synchronous fashion. A quad latch at the output of each of the three BCD counters permits storage of any given count. The three sets of BCD outputs (active high), after going through the latches, are time division multiplexed, providing one BCD number or digit at a time. Digit select outputs (active low) are provided for display control. All outputs are TTL compatible.

An on-chip oscillator provides the low frequency scanning clock which drives the multiplexer output selector. The frequency of the oscillator can be controlled externally by a capacitor between pins 3 and 4, or it can be overridden and driven with an external clock at pin 4. Multiple devices can be cascaded using the overflow output, which provides one pulse for every 1000 counts.

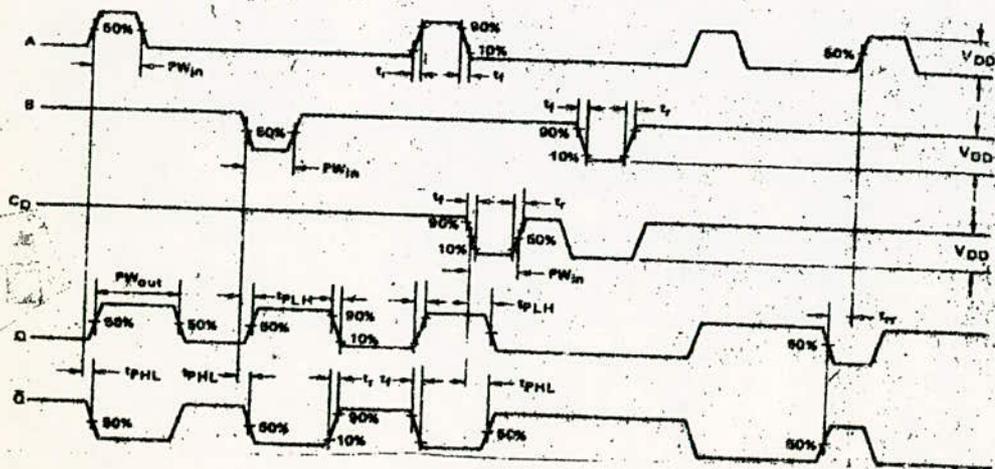
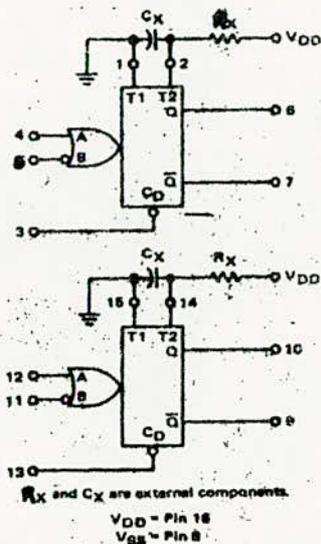
The Master Reset input, when taken high, initializes the three BCD counters and the multiplexer scanning circuit. While Master Reset is high the digit scanner is set to digit one; but all three digit select outputs are disabled to prolong display life, and the scan oscillator is inhibited. The Disable input, when high, prevents the input clock from reaching the counters, while still retaining the last count. A pulse shaping circuit at the clock input permits the counters to continue operating on input pulses with very slow rise times. Information present in the counters when the latch input goes high, will be stored in the latches and will be retained while the latch is high, independent of other inputs. Information can be recovered from the latches after the counters have been reset if Latch Enable remains high during the entire reset cycle.

FIGURE 4 - EXPANDED BLOCK DIAGRAM



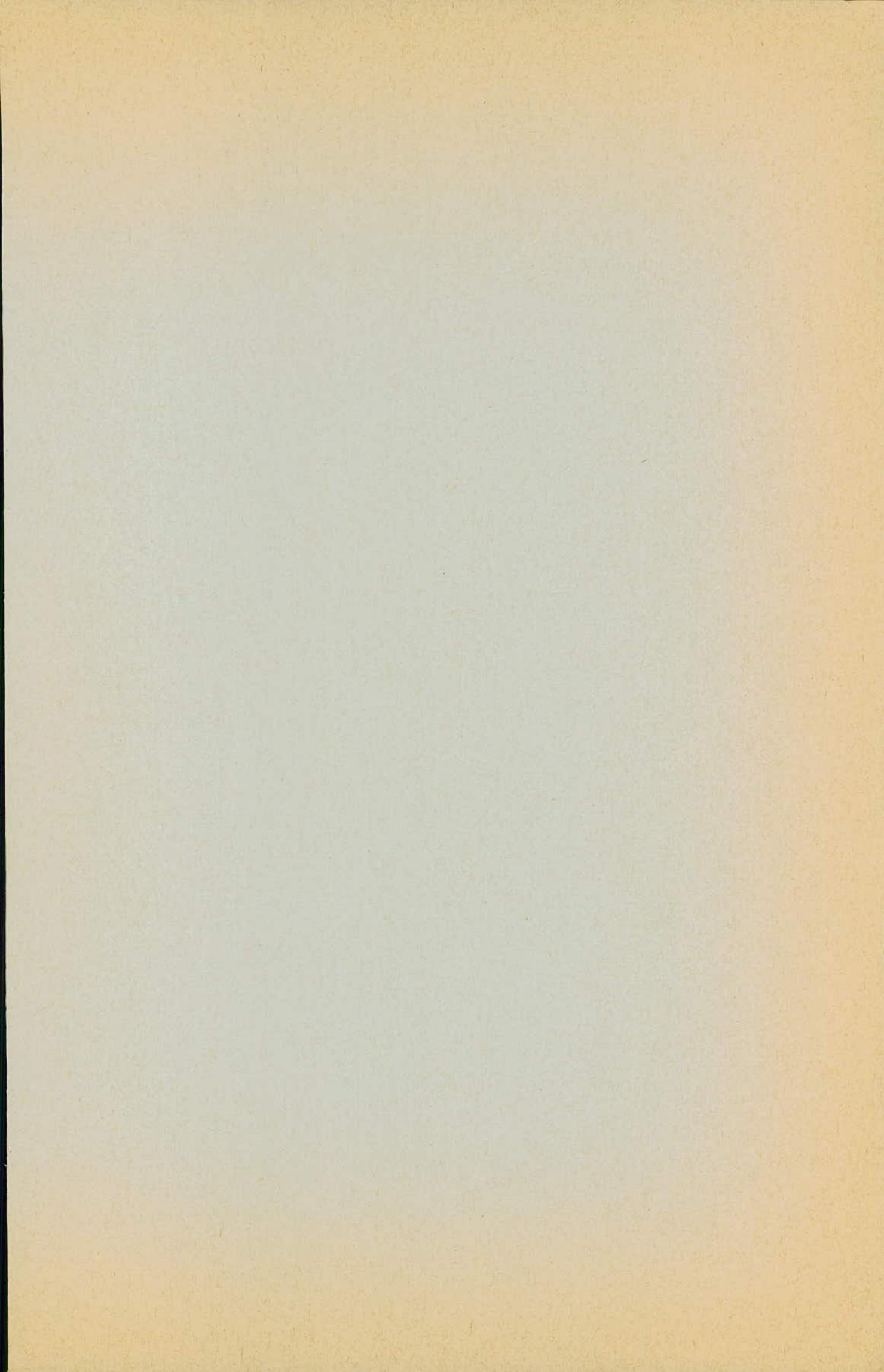
MC14528B

BLOCK DIAGRAM



SWITCHING CHARACTERISTICS** (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	C _X pF	R _X kΩ	V _{DD} Vdc	Typ All Types	Max		Unit
						AL Device	CL/CP Device	
Output Rise Time t _r = (3.0 ns/pF) C _L + 30 ns t _r = (1.5 ns/pF) C _L + 15 ns t _r = (1.1 ns/pF) C _L + 10 ns	t _r			5.0 10 15	180 90 66	350 165 110	400 200 160	ns
Output Fall Time t _f = (1.5 ns/pF) C _L + 25 ns t _f = (0.75 ns/pF) C _L + 12.5 ns t _f = (0.66 ns/pF) C _L + 9.5 ns	t _f			5.0 10 15	± 100 50 37	175 75 55	200 100 80	ns
Turn-Off, Turn-On Delay Time - A or B to Q or Q̄ t _{PLH} , t _{PHL} = (1.7 ns/pF) C _L + 240 ns t _{PLH} , t _{PHL} = (0.66 ns/pF) C _L + 87 ns t _{PLH} , t _{PHL} = (0.5 ns/pF) C _L + 65 ns	t _{PLH} , t _{PHL}	15	5.0	5.0 10 15	325 120 90	490 150 135	700 300 225	ns
Turn-Off, Turn-On Delay Time - A or B to Q or Q̄ t _{PLH} , t _{PHL} = (1.7 ns/pF) C _L + 620 ns t _{PLH} , t _{PHL} = (0.66 ns/pF) C _L + 267 ns t _{PLH} , t _{PHL} = (0.5 ns/pF) C _L + 185 ns	t _{PLH} , t _{PHL}	1000	10	5.0 10 15	705 290 210			ns
Minimum Input Pulse Width - A or B	PW _{in}	15	5.0	5.0 10 15	70 30 30	150 75 55	240 120 90	ns
		1000	10	5.0 10 15	70 30 30			ns
Output Pulse Width - Q or Q̄ (For C _X < 0.01 μF use graph for appropriate V _{DD} level.)	PW _{out}	15	5.0	5.0 10 15	550 350 300			ns
Output Pulse Width - Q or Q̄ (For C _X > 0.01 μF use formula: PW _{out} = 0.2 R _X C _X Ln [(V _{DD} - V _{SS})] [†])	PW _{out}	10,000	10	5.0 10 15	30 55 55	± 10 ± 25 ± 25	± 15 ± 40 ± 40	ns
Pulse Width Match between Circuits in the same package	t _{1-t2}	10,000	10	5.0 10 15	8.0 8.0 8.0	15 20 20	25 35 35	%
Reset Propagation Delay - C _D to Q or Q̄	t _{PLH} , t _{PHL}	15	5.0	5.0 10 15	325 90 60	490 150 110	600 225 170	ns
		1000	10	5.0 10 15	1000 300 250			ns
Minimum Retrigger Time	t _{rr}	15	5.0	5.0 10 15	0 0 0			ns
		1000	10	5.0 10 15	0 0 0			ns
External Timing	R _X				Min	1000	1000	kΩ
External Timing Capacitance	C _X				No Limits			μF



HORLOGE ELECTRONIQUE

I - INTRODUCTION

La figure 1 donne le schéma d'ensemble des circuits constituant une horloge pouvant afficher l'heure, la minute et la seconde. Celle-ci est constituée de quatre ensembles.

- un ensemble oscillateur
- un ensemble diviseur
- un ensemble diviseur, décodeur, afficheur
- un ensemble de remise à l'heure.

L'oscillateur à quartz délivrant un signal d'horloge de 2 MHz, nous avons été conduit à diviser cette fréquence par $2 \cdot 10^6$ afin d'obtenir un signal de fréquence égale à 1 Hz. Ce signal attaque deux diviseurs par 60 suivis d'un diviseur par 24, ce qui nous permet d'afficher, après décodage, respectivement les secondes les minutes et les heures.

L'ensemble de remise à l'heure a été prévu pour une remise rapide de l'heure indépendamment du signal d'horloge.

Nous nous proposons de décrire dans la suite les caractéristiques ainsi que le principe de fonctionnement des circuits utilisés.

II - ETUDE DES CIRCUITS CONSTITUANT L'HORLOGE

II-a. Etude de l'oscillateur à quartz

La figure 2 donne le schéma de principe de l'oscillateur utilisé. Ce dispositif utilise un quartz dont le schéma équivalent est donné par la figure 3.

Les paramètres L_Q , C_Q , R_Q qui figurent dans le schéma représentent respectivement l'inertie du quartz, son élasticité et l'amortissement dû aux frictions du quartz avec les électrodes. La capacité C_p représente la capacité parasite due aux électrodes.

L'amplificateur est constitué de deux étages inverseurs à base de circuits digitaux SN 74 04, que l'on a transformés en amplificateurs linéaires en insérant une résistance entre l'entrée et la sortie.

L'oscillateur oscille sur la fréquence propre du quartz F_0

$$F_0 = \frac{1}{2 \pi \sqrt{L_Q C_Q}}$$

La capacité de 100 pF placée à la sortie du circuit filtre les harmoniques.

II-b. Etude du circuit diviseur

Les circuits utilisés pour assurer la division par $2 \cdot 10^6$ sont indiqués sur la figure 1. Leurs caractéristiques seront données à la fin du chapitre. Pour compléter les indications données sur le schéma de la figure 1, on précise que :

- Le premier étage du circuit diviseur est un MC 14017, qui alimenté à 5 V peut fonctionner à une fréquence supérieure à 2,5 M Hz.
- Le diviseur MC 14566 comprend 2 diviseurs : un diviseur par 10 et un diviseur par 6 ou 5 selon le signal appliqué à l'entrée "Contrôle". En combinant ces 2 diviseurs, on obtient un diviseur par 50 ou par 60. Ce circuit possède un monostable qui est utilisé pour une remise à zéro forcée.
- Le diviseur MC 14520 est un compteur binaire à 4 bits. Il peut diviser par 2, 4, 8 et 16.

II - C. CIRCUIT DIVISEUR - DECODEUR - AFFICHEUR

Les circuits constituant cet ensemble sont indiqués figure 1. Le schéma du principe du diviseur par 24 est donné figure 4.

On détecte le passage de l'état 23 à l'état 24 (La sortie ϕ_2 passe de 0 à 1 et de sortie ϕ_{1B} est égale à 1). Ce signal est envoyé à travers un monostable sur l'entrée de remise à zéro.

Les circuits MC 14543 sont des ~~décodeurs~~ *décodeurs* BCD/7 segments à mémoire, l'entrée LD commande le passage des données ou la mise en mémoire de la dernière donnée.

Les décodeurs sont connectés à des afficheurs à 7 segments.

II-d. Etude du circuit de remise à l'heure

Pour minimiser les effets d'une erreur due à la manipulation ou à une perturbation, on effectue la remise à l'heure au niveau du dixième de seconde.

Le circuit de remise à l'heure est constitué d'un relaxeur à U.J.T, dont la capacité est alimentée par une source à courant constant afin de linéariser la dent de scie, et d'un circuit de mise en forme.

La figure 5 donne le schéma de principe de ce circuit. L'oscillateur fournit des impulsions de fréquence variable. Ces impulsions sont envoyées sur la base d'un transistor de commutation T_2 qui constitue le circuit de mise en forme. Le signal recueilli sur le collecteur attaque le dernier étage du circuit diviseur.

On règle la vitesse de remise à l'heure en agissant sur le potentiomètre P . Les valeurs du courant I_E et de la résistance R_E sont limités par la condition d'oscillation de l'U.J.T.

$$I_P < I_E < I_V$$

$$\frac{E - V_{CE_{sat}} - V_P}{I_V} < R_E < \frac{E - V_{CE_{sat}} - V_P}{I_P}$$

La relation permettant de fixer la limite en fréquence et la valeur de la capacité est :

$$C V_P = \frac{I_E}{f}$$

Compte tenu des caractéristiques de l'U.J.T, on fixe les limites du courant I_E à :

$$6 \mu A < I_E < 3 \text{ mA}$$

Ce qui fixe les limites en fréquence à 25 K Hz et 50 Hz et la valeur de la capacité C à 33 n F.

Pour $V_{CE_{sat}} = 2 \text{ V}$, la résistance R_E est limitée à :

$$240 \Omega < R_E < 8,2 \text{ K}\Omega$$

soit

$$R_E = 1 \text{ K}\Omega$$

Pour avoir une bonne stabilité de la tension de polarisation du transistor T_1 , on prend :

$$I = 100 I_{B_{1max}}$$

Le transistor T_1 est un 2N 2905, il a un gain en courant $\beta = 100$ et

$$V_{CE_{sat}} = 2 \text{ V.}$$

On prend :

$$I = 2.5 \text{ mA.}$$

Les relations donnant les valeurs des résistances du pont sont :

$$\begin{array}{ll} R_1 I = V_{BE} + R_E I_P & R_1 = 330 \Omega \\ (R_1 + P)I = V_{BE} + R_E I_V & R_2 = 470 \Omega \\ (R_1 + R_2 + P) I = E & P = 1 \text{ K } \Omega \end{array}$$

Fig. 1. Schéma de l'horloge.
Ensemble diviseur par $2 \cdot 10^6$.

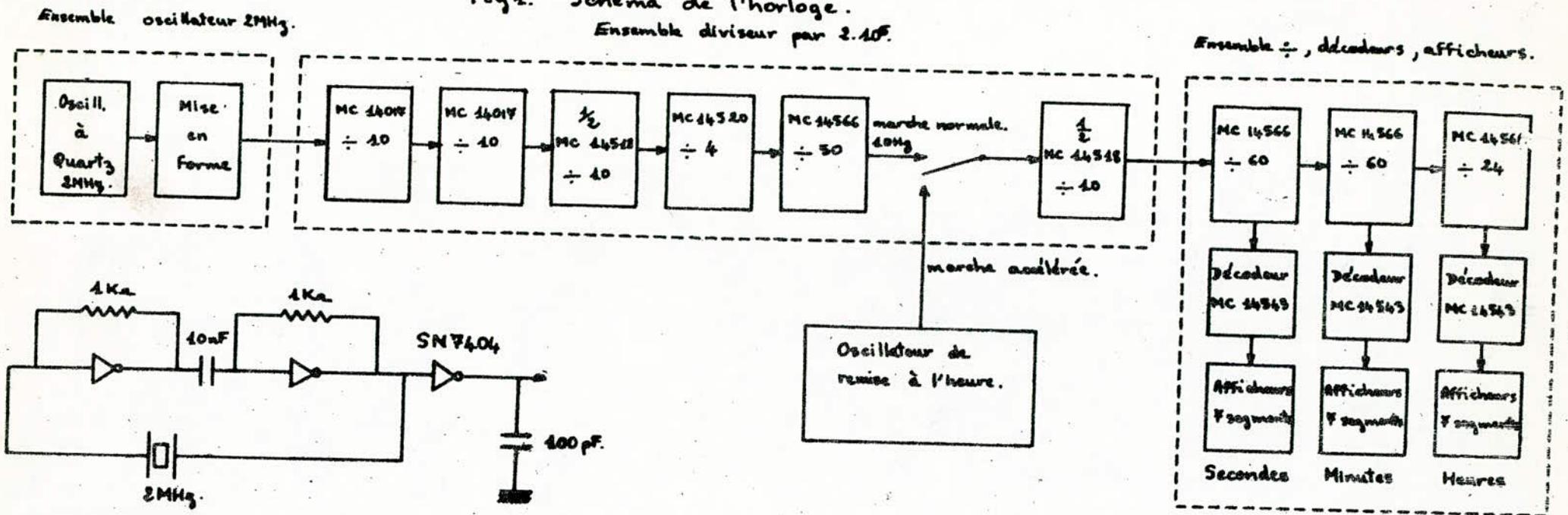


Fig 2. Oscillateur à quartz.

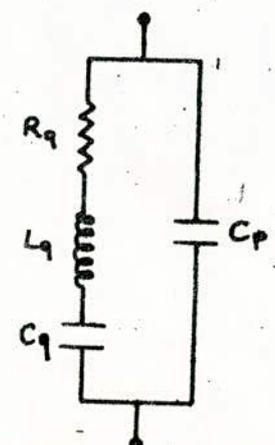


Fig 3. Circuit équivalent d'un quartz.

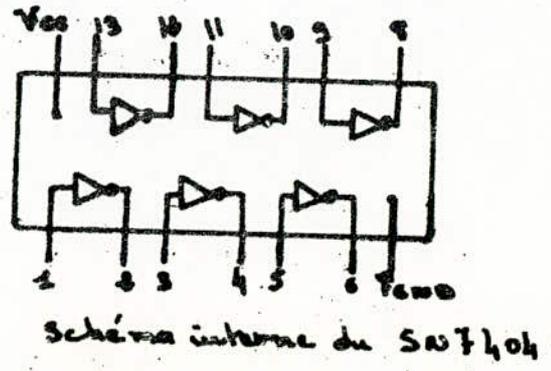


schéma interne du SN7404

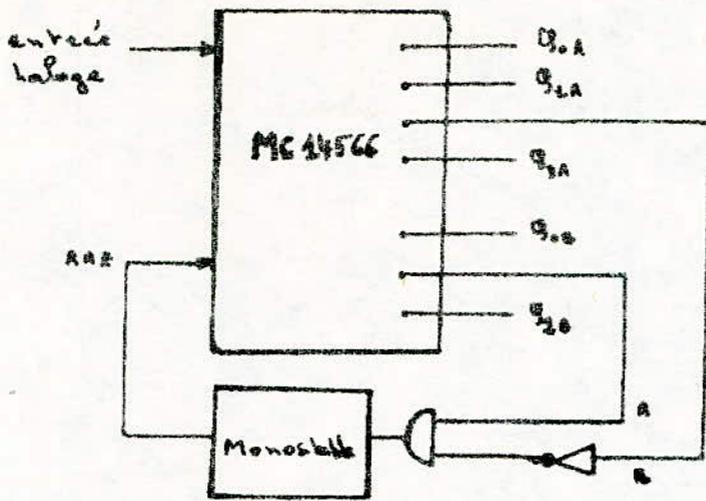


Fig 4. schéma de principe du diviseur par 14.

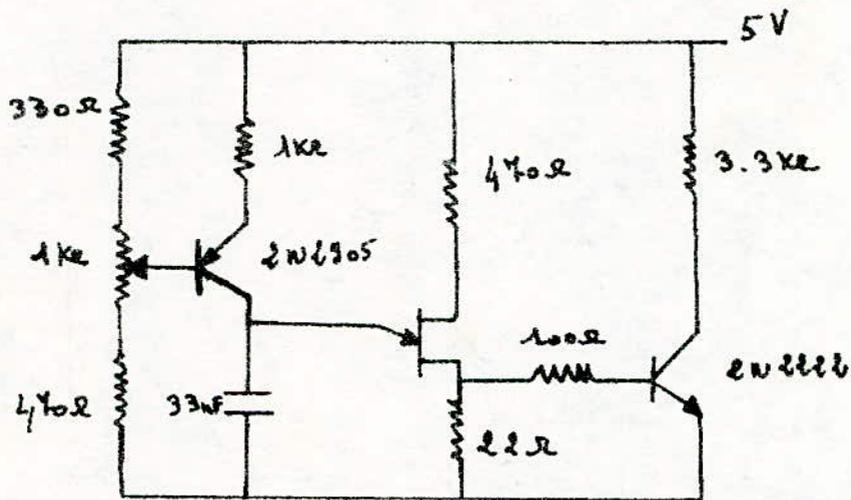


Fig 5. Oscillateur de rampe à l'heure.

DECADE COUNTER/DIVIDER

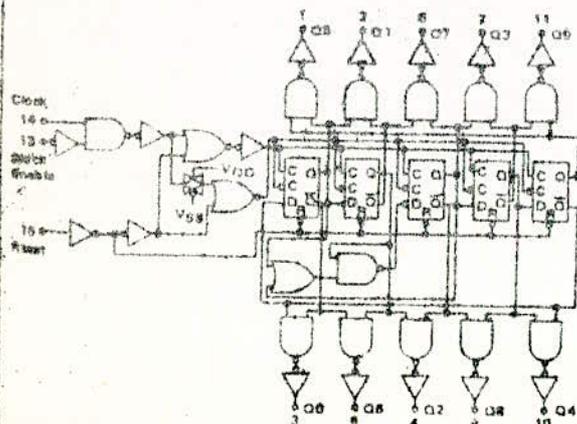
The MC14017B is a five-stage Johnson decade counter with built-in code converter. High-speed operation and spike-free outputs are obtained by use of a Johnson decade counter design. The ten decoded outputs are normally low, and go high only at their appropriate decimal time period. The output changes occur on the positive-going edge of the clock pulse. This part can be used in frequency division applications as well as decade counter or decimal decade display applications.

- Fully Static Operation
- DC Clock Input Circuit Allows Slow Rise Times
- Carry Out Output for Cascading
- 12 MHz (typical) Operation @ $V_{DD} = 10$ Vdc
- Divide-by-N Counting
- Quiescent Current = 5.0 nA/package Typical @ 5 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4017

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current, Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	T_A	-55 to +125	$^{\circ}C$
Operating Temperature Range - CL/CP Device		-40 to +85	$^{\circ}C$
Storage Temperature Range	T_{stg}	-65 to +150	$^{\circ}C$

LOGIC DIAGRAM



MC14017B



L SUFFIX CERAMIC PACKAGE CASE 820
P SUFFIX PLASTIC PACKAGE CASE 646

ORDERING INFORMATION

MC14XXXS Suffix Denotes

- L Ceramic Package
- P Plastic Package
- A Extended Operating Temperature Range
- C Limited Operating Temperature Range

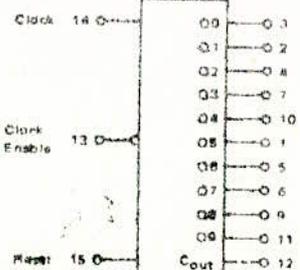
FUNCTIONAL TRUTH TABLE

(Positive Logic)

CLOCK	CLOCK ENABLE	RESET	DECODE OUTPUT - n
0	X	0	n
X	1	0	n
X	X	1	Q0
X	0	0	n+1
X	X	0	n
X	X	0	n
1	X	0	n-1

X = Don't Care. If n < 5 Carry = "1". Otherwise = "0".

BLOCK DIAGRAM



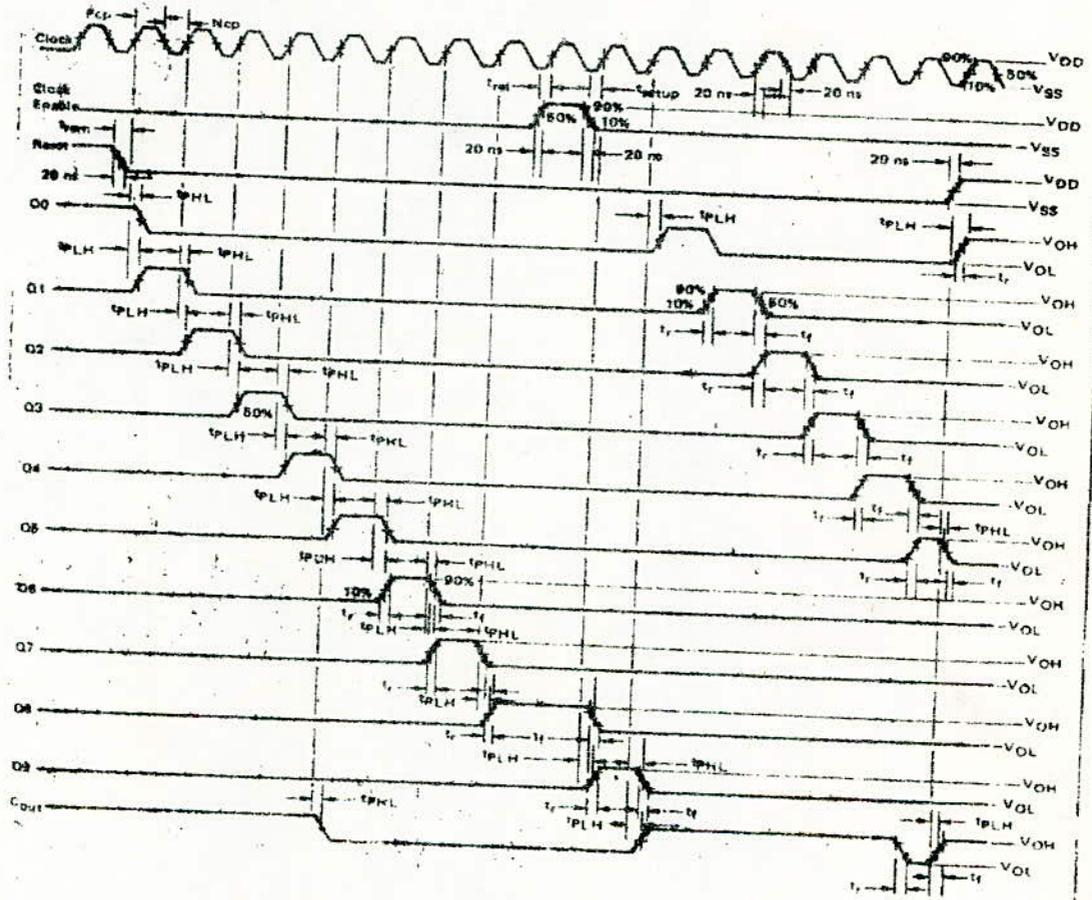
V_{DD} = Pin 16
 V_{SS} = Pin 8

SWITCHING CHARACTERISTICS* ($C_L = 80$ pF, $T_A = 25^{\circ}C$)

Characteristic	Symbol	V_{DD} Vdc	Min		Typ		Max		Unit
			AL Device	CL/CP Device	All Types	AL Device	CL/CP Device		
Output Rise Time $t_r = (3.0 \text{ ns/pF}) C_L + 30 \text{ ns}$ $t_r = (1.5 \text{ ns/pF}) C_L + 15 \text{ ns}$ $t_r = (1.1 \text{ ns/pF}) C_L + 10 \text{ ns}$	t_r	5.0	-	-	180	350	400	ns	
		10	-	-	60	150	200		
		15	-	-	88	110	180		
Output Fall Time $t_f = (1.5 \text{ ns/pF}) C_L + 25 \text{ ns}$ $t_f = (0.75 \text{ ns/pF}) C_L + 12.5 \text{ ns}$ $t_f = (0.55 \text{ ns/pF}) C_L + 9.5 \text{ ns}$	t_f	5.0	-	-	100	175	200	ns	
		10	-	-	50	75	100		
		15	-	-	37	55	80		
Propagation Delay Time Reset to Decode Output $t_{PLH, PHL} = (1.7 \text{ ns/pF}) C_L + 415 \text{ ns}$ $t_{PLH, PHL} = (0.85 \text{ ns/pF}) C_L + 197 \text{ ns}$ $t_{PLH, PHL} = (0.5 \text{ ns/pF}) C_L + 115 \text{ ns}$	$t_{PLH, PHL}$	5.0	-	-	800	750	1000	ns	
		10	-	-	230	350	450		
		15	-	-	140	250	350		
Propagation Delay Time Clock to Count $t_{PLH, PHL} = (1.7 \text{ ns/pF}) C_L + 215 \text{ ns}$ $t_{PLH, PHL} = (0.85 \text{ ns/pF}) C_L + 117 \text{ ns}$ $t_{PLH, PHL} = (0.5 \text{ ns/pF}) C_L + 75 \text{ ns}$	$t_{PLH, PHL}$	5.0	-	-	400	800	800	ns	
		10	-	-	150	250	350		
		15	-	-	100	190	250		
Propagation Delay Time Clock to Decode Output $t_{PLH, PHL} = (1.7 \text{ ns/pF}) C_L + 415 \text{ ns}$ $t_{PLH, PHL} = (0.85 \text{ ns/pF}) C_L + 197 \text{ ns}$ $t_{PLH, PHL} = (0.5 \text{ ns/pF}) C_L + 115 \text{ ns}$	$t_{PLH, PHL}$	5.0	-	-	800	750	1000	ns	
		10	-	-	230	350	450		
		15	-	-	140	250	350		
Turn-Off Delay Time Reset to Count $t_{PLH} = (1.7 \text{ ns/pF}) C_L + 315 \text{ ns}$ $t_{PLH} = (0.85 \text{ ns/pF}) C_L + 117 \text{ ns}$ $t_{PLH} = (0.5 \text{ ns/pF}) C_L + 75 \text{ ns}$	t_{PLH}	5.0	-	-	400	800	800	ns	
		10	-	-	150	250	350		
		15	-	-	100	190	250		
Minimum Clock Pulse Width	P_{WC}	5.0	-	-	100	200	250	ns	
		10	-	-	42	70	100		
		15	-	-	30	55	75		
Maximum Clock Frequency	PRF	5.0	2.5	2.0	5.0	-	-	MHz	
		10	7.0	5.0	12	-	-		
		15	9.3	6.7	15	-	-		
Minimum Reset Pulse Width	P_{WR}	5.0	-	-	200	330	500	ns	
		10	-	-	100	185	280		
		15	-	-	75	125	190		
Reset Removal Time	t_{rem}	5.0	-	-	300	500	750	ns	
		10	-	-	100	200	275		
		15	-	-	80	150	210		
Maximum Clock Input Rise and Fall Time	$t_{r, f}$	5.0	No Limit					-	
		10							
		15							
Clock Enable Setup Time	t_{setup}	5.0	-	-	175	300	700	ns	
		10	-	-	75	150	300		
		15	-	-	62	115	225		
Clock Enable Release Time	t_{rel}	5.0	-	-	260	400	700	ns	
		10	-	-	100	200	300		
		15	-	-	70	150	225		

*The formulae given is for the typical characteristics only.

FIGURE 4 - AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



DUAL UP COUNTERS

The MC14518B dual BCD counter and the MC14520B dual binary counter are constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. Each consists of two identical, independent, internally synchronous 4-stage counters. The counter stages are type D flip-flops, with interchangeable Clock and Enable lines for incrementing on either the positive going or negative-going transition as required when cascading multiple stages. Each counter can be cleared by applying a high level on the Reset line. In addition, the MC14518B will count out of all undefined states within two clock periods. These complementary MOS up counters find primary use in multi-stage synchronous or ripple counting applications requiring low power dissipation and/or high noise immunity. Additional characteristics can be found on the Family Data Sheet.

- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Low Input Capacitance = 5.0 pF typical
- Internally Synchronous for High Internal and External Speeds
- Logic Edge-Clocked Design - Incremented on Positive Transition of Clock or Negative Transition on Enable
- 6.0 MHz Counting Rate
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V _{in}	-0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Pin	I	18	mA dc
Operating Temperature Range - AL Device	T _A	-55 to +125	°C
CL/CP Device		-40 to +85	°C
Storage Temperature Range	T _{stg}	-65 to +180	°C

TRUTH TABLE

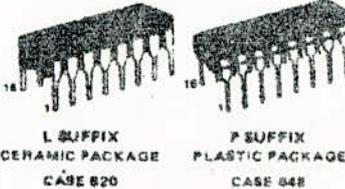
CLOCK	ENABLE	RESET	ACTION
↑	1	0	Increment Counter
0	↓	0	Increment Counter
↑	X	0	No Change
X	↑	0	No Change
↑	0	0	No Change
1	↓	0	No Change
X	X	1	Q1 thru Q4 = 0

X = Don't Care

McMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

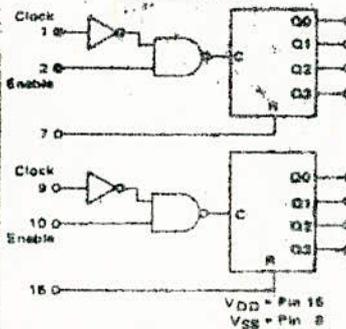
DUAL BCD UP COUNTER (MC14518B) DUAL BINARY UP COUNTER (MC14520B)



ORDERING INFORMATION

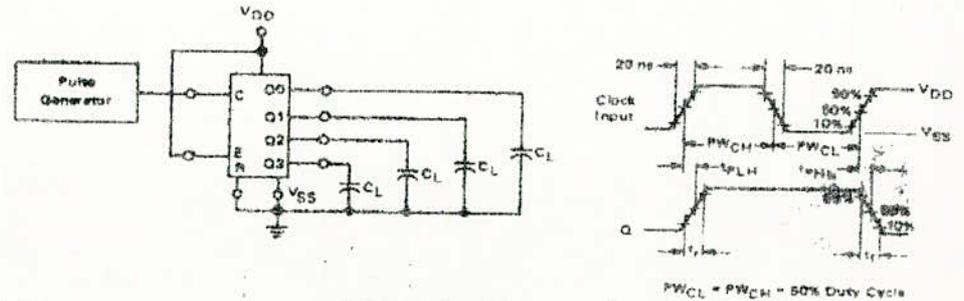
MC14XXXB	Suffix	Denotes
	L	Ceramic Package
	P	Plastic Package
	A	Unlimited Operating Temperature Range
	C	Limited Operating Temperature Range

BLOCK DIAGRAM



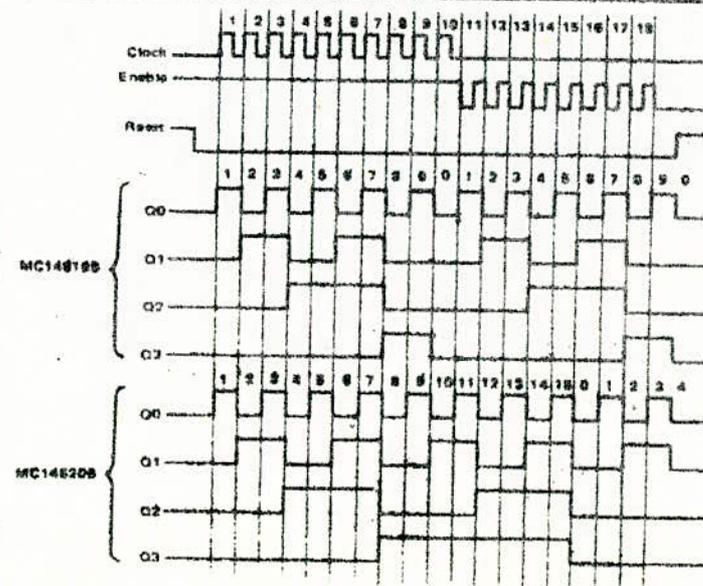
This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range V_{SS} < (V_{in} or V_{out}) < V_{DD}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

FIGURE 2 - SWITCHING TIME TEST CIRCUIT AND WAVEFORM



MC14518B
MC14520B

FIGURE 3 - TIMING DIAGRAM



INDUSTRIAL TIME BASE GENERATOR

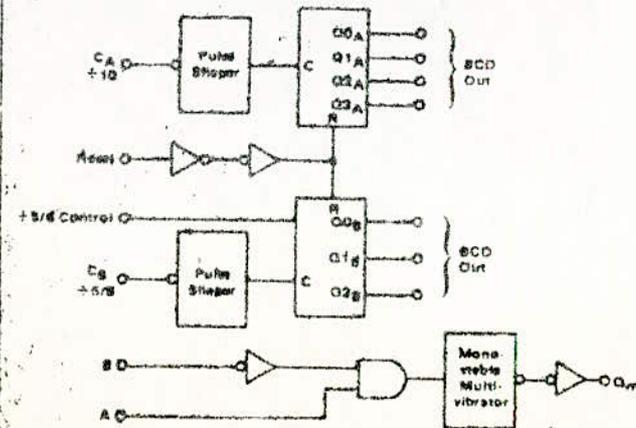
The MC14566B Industrial time base generator is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. This device consists of a divide-by-10 ripple counter and a divide-by-5 or divide-by-6 ripple counter to permit stable time generation from a 50 or 60 Hz line. By cascading this device as divide-by-60 counters, seconds and minutes can be counted and are available in BCD format at the circuit outputs. An internal monostable multivibrator is included whose output can be used as a reset or clock pulse providing additional frequency flexibility. Also a pin has been included to allow divide-by-5 counting for generating 1.0 Hz from European 50 Hz line.

- Negative Edge Triggered Counters for Ease of Cascading
- Pulse Shapers on Counter Inputs Absorb Slow Input Rise Times
- Monostable Multivibrator Positive or Negative Edge Triggered
- Noise Immunity = 45% of VDD typical
- Diode Protection on All Inputs
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

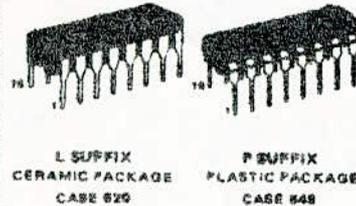
MAXIMUM RATINGS (Voltages referenced to VSS)

Rating	Symbol	Value	Unit
DC Supply Voltage	VDD	-0.5 to +18	Vdc
Input Voltage, All Inputs	V _{in}	-0.5 to VDD + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Devices	T _A	-95 to +125	°C
Operating Temperature Range - CL/CP Devices		-40 to +85	°C
Storage Temperature Range	T _{stg}	-85 to +150	°C

EXPANDED BLOCK DIAGRAM

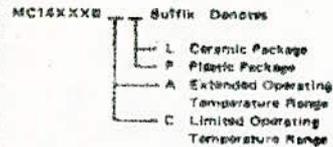


MC14566B

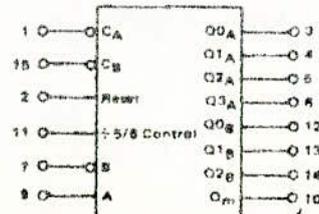


L SUFFIX CERAMIC PACKAGE CASE 629
P SUFFIX PLASTIC PACKAGE CASE 648

ORDERING INFORMATION

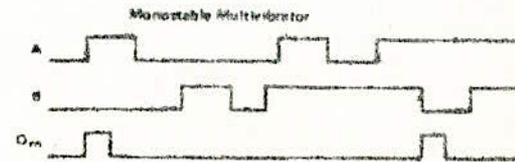
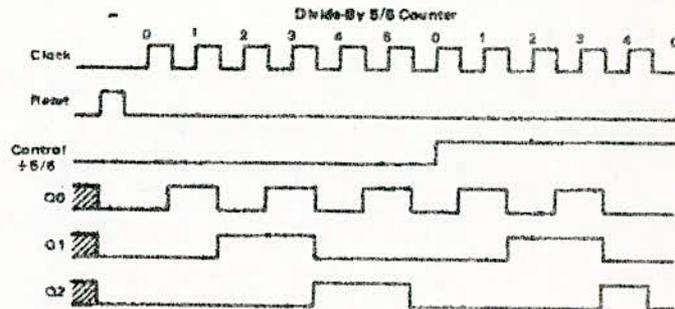
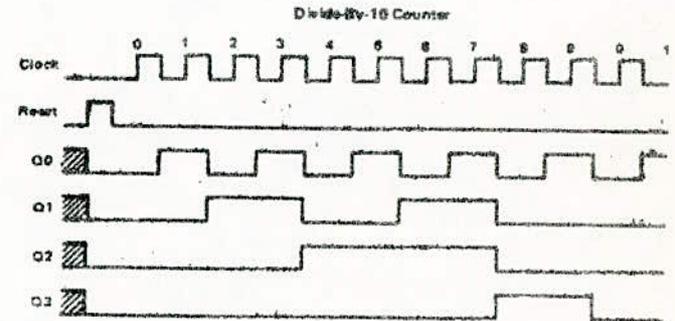


BLOCK DIAGRAM



VDD = Pin 16
VSS = Pin 8

TIMING DIAGRAM



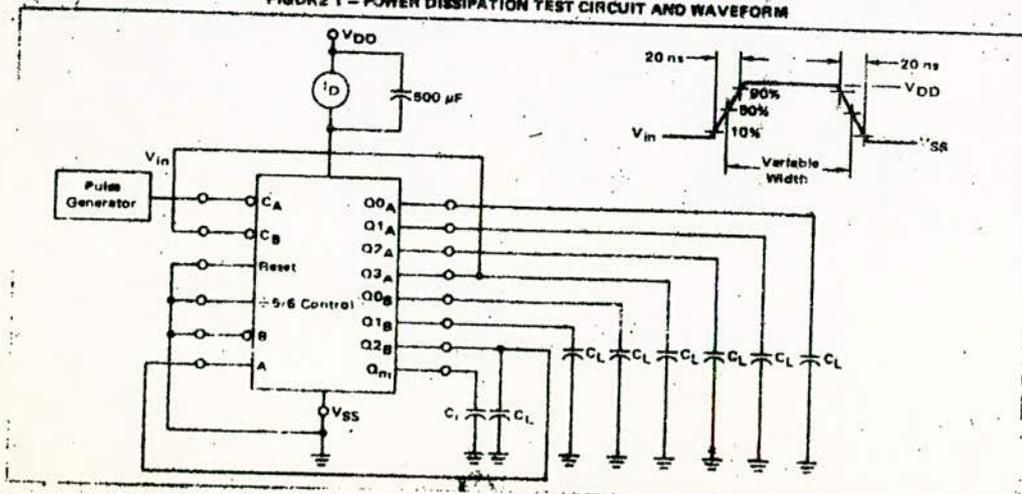
■ = Don't Care

SWITCHING CHARACTERISTICS* ($C_L = 50 \text{ pF}$, $T_A = 25^\circ\text{C}$)

Characteristic	Symbol	V_{DD}	Min		Typ All Types	Max		Unit
			AL Device	CL/CP Device		AL Device	CL/CP Device	
Output Rise Time $t_r = (2.0 \text{ ns/pF}) C_L + 30 \text{ ns}$ $t_r = (1.5 \text{ ns/pF}) C_L + 15 \text{ ns}$ $t_r = (1.1 \text{ ns/pF}) C_L + 10 \text{ ns}$	t_r	5.0	-	-	180	350	400	ns
		10	-	-	98	150	200	
		15	-	-	68	110	160	
Output Fall Time $t_f = (1.5 \text{ ns/pF}) C_L + 25 \text{ ns}$ $t_f = (0.75 \text{ ns/pF}) C_L + 12.5 \text{ ns}$ $t_f = (0.55 \text{ ns/pF}) C_L + 9.5 \text{ ns}$	t_f	5.0	-	-	100	175	200	ns
		10	-	-	50	75	100	
		15	-	-	37	55	80	
Propagation Delay Time, Clock to Q3A $t_{PLH}, t_{PHL} = (1.7 \text{ ns/pF}) C_L + 1385 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.68 \text{ ns/pF}) C_L + 487 \text{ ns}$ $t_{PLH}, t_{PHL} = (0.5 \text{ ns/pF}) C_L + 295 \text{ ns}$	t_{PLH}, t_{PHL}	5.0	-	-	1480	3000	4800	ns
		10	-	-	830	1000	1500	
		15	-	-	320	750	1000	
Propagation Delay Time, Reset to Q3A $t_{PHL} = (1.7 \text{ ns/pF}) C_L + 845 \text{ ns}$ $t_{PHL} = (0.86 \text{ ns/pF}) C_L + 282 \text{ ns}$ $t_{PHL} = (0.8 \text{ ns/pF}) C_L + 195 \text{ ns}$	t_{PHL}	5.0	-	-	930	2000	3000	ns
		10	-	-	318	600	1000	
		15	-	-	210	480	750	
Minimum Clock Pulse Width	P_{WC}	5.0	-	-	400	750	1200	ns
Minimum Reset Pulse Width	P_{WR}	5.0	-	-	400	750	1200	ns
		10	-	-	125	250	400	
		15	-	-	90	180	270	
Maximum Clock Pulse Frequency	PRF	5.0	0.5	0.3	1.0	-	-	MHz
		10	1.5	1.0	2.5	-	-	
		15	2.0	1.5	4.2	-	-	
Maximum Clock Pulse Rise and Fall Time	t_r, t_f	5.0	No Limit	No Limit	-	-	-	-
		10	-	-	-	-	-	
		15	-	-	-	-	-	
Monostable Multivibrator Pulse Width	PW_{Om}	5.0	900	1200	2800	-	-	ns
		10	300	400	900	-	-	
		15	200	300	600	-	-	

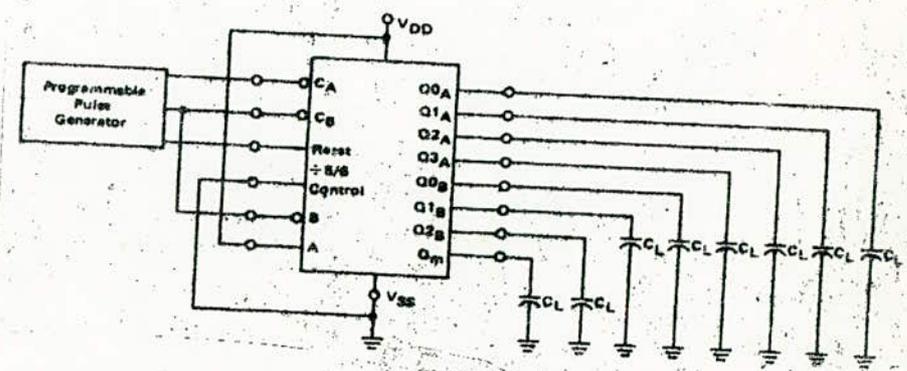
*The formulae given is for the typical characteristics only.

FIGURE 1 - POWER DISSIPATION TEST CIRCUIT AND WAVEFORM

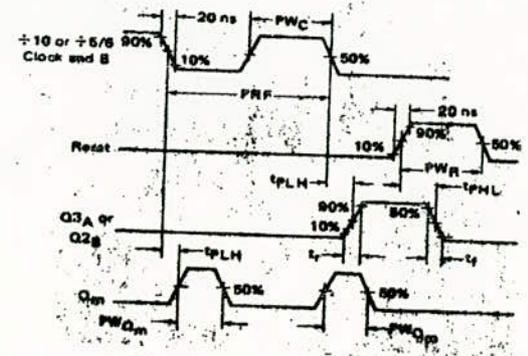


MC145668

FIGURE 2 - SWITCHING TIME TEST CIRCUIT AND WAVEFORMS



Note: Assume ± 10 Counter at "6" and $\pm 5/5$ Counter at "2" at beginning of sequence.



BCD-TO-SEVEN SEGMENT LATCH/DECODER/DRIVER for LIQUID CRYSTALS

The MC14543B BCD-to-seven segment latch/decoder/driver is designed for use with liquid crystal readouts, and is constructed with complementary MOS (CMOS) enhancement mode devices. The circuit provides the functions of a 4-bit storage latch and an 8421 BCD-to-seven segment decoder and driver. The device has the capability to invert the logic levels of the output combination. The phase (Ph), blanking (Bl), and latch disable (LD) inputs are used to reverse the truth table phase, blank the display, and store a BCD code, respectively. For liquid crystal (LC) readouts, a square wave is applied to the Ph input of the circuit and the electrically common backplane of the display. The outputs of the circuit are connected directly to the segments of the LC readout. For other types of readouts, such as light-emitting diode (LED), incandescent, gas discharge, and fluorescent readouts, connection diagrams are given on this data sheet.

Applications include instrument (e.g., counter, DVM etc.) display driver, computer/calculator display driver, cockpit display driver, and various clock, watch, and timer uses.

- Logic Circuit Quiescent Current = 5.0nA/package typical @ 5 Vdc
- Latch Storage of Code
- Blanking Input
- Readout Blanking on All Illegal Input Combinations
- Direct LED (Common Anode or Cathode) Driving Capability
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4058A (with Pin 7 Tied to V_{SS}).

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V _{in}	-0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	T _A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T _{stg}	-55 to +150	°C
Maximum Continuous Output Drive Current (Source or Sink) per Output	I _{OHmax} I _{OLmax}	10	mAdc
Maximum Continuous Output Power* (Source or Sink) per Output	P _{OHmax} P _{OLmax}	70	mW
* P _{OHmax} = I _{OH} (V _{OH} - V _{DD}) and P _{OLmax} = I _{OL} (V _{OL} - V _{SS})			

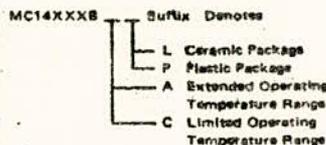
MC14543B

BCD-TO-SEVEN SEGMENT LATCH/DECODER/DRIVER for LIQUID CRYSTALS



L SUFFIX CERAMIC PACKAGE CASE 920
P SUFFIX PLASTIC PACKAGE CASE 648

ORDERING INFORMATION

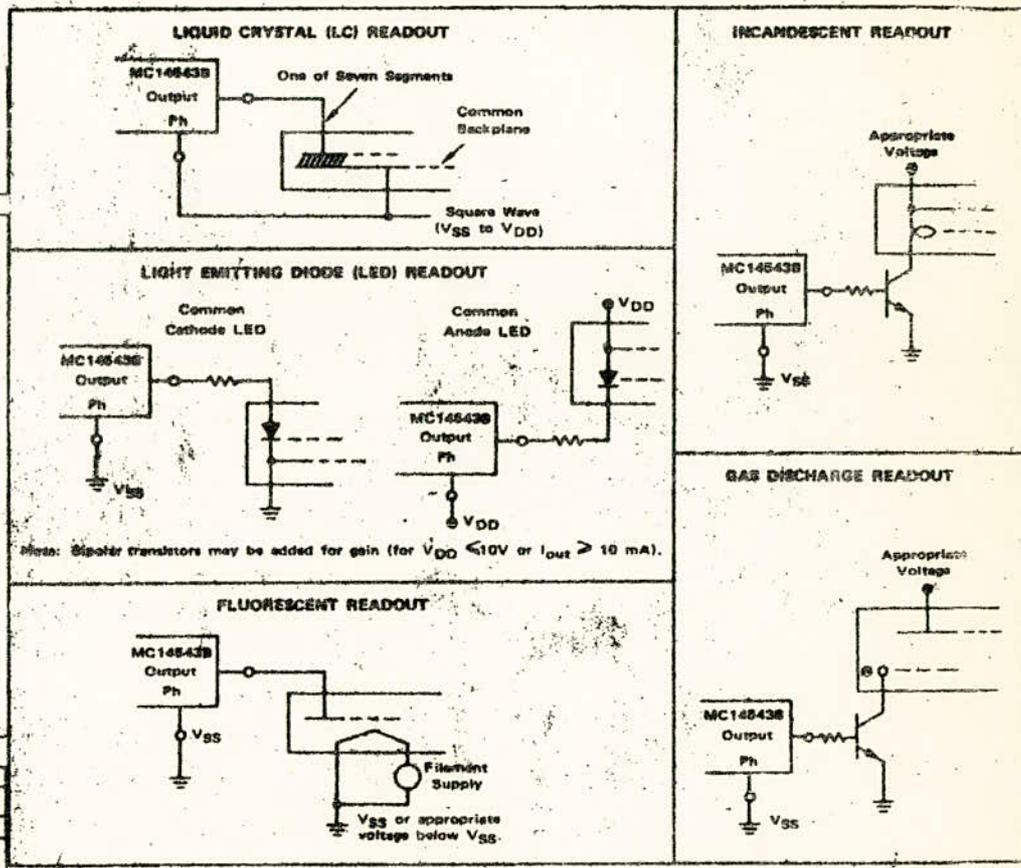


TRUTH TABLE

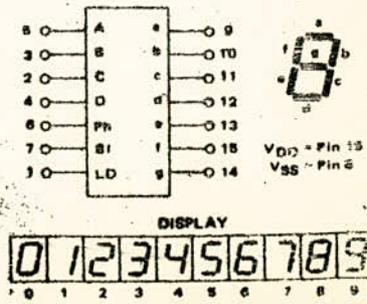
INPUTS				OUTPUTS							
LD	Bl	Ph*	D C B A	a	b	c	d	e	f	g	Display
X	1	0	X X X X	0	0	0	0	0	0	0	Blank
1	0	0	0 0 0 0	1	1	1	1	1	0	0	0
1	0	0	0 0 0 1	0	1	1	0	0	0	0	1
1	0	0	0 0 1 0	1	1	0	1	1	0	0	2
1	0	0	0 0 1 1	1	1	1	0	0	1	0	3
1	0	0	0 1 0 0	0	1	1	0	0	1	1	4
1	0	0	0 1 0 1	1	0	1	1	0	1	1	5
1	0	0	0 1 1 0	1	0	1	1	1	1	0	6
1	0	0	0 1 1 1	1	1	1	0	0	0	0	7
0	0	0	X X X X	1	1	1	1	1	1	1	8
1	0	0	1 0 0 0	1	1	1	1	1	1	1	9
1	0	0	1 0 0 1	0	0	0	0	0	0	0	Blank
1	0	0	1 0 1 0	0	0	0	0	0	0	0	Blank
1	0	0	1 0 1 1	0	0	0	0	0	0	0	Blank
1	0	0	1 1 0 0	0	0	0	0	0	0	0	Blank
1	0	0	1 1 0 1	0	0	0	0	0	0	0	Blank
1	0	0	1 1 1 0	0	0	0	0	0	0	0	Blank
1	0	0	1 1 1 1	0	0	0	0	0	0	0	Blank
0	0	0	X X X X	--	--	--	--	--	--	--	--
1	1	1	1	Inverse of Output Combinations Above							Display as above

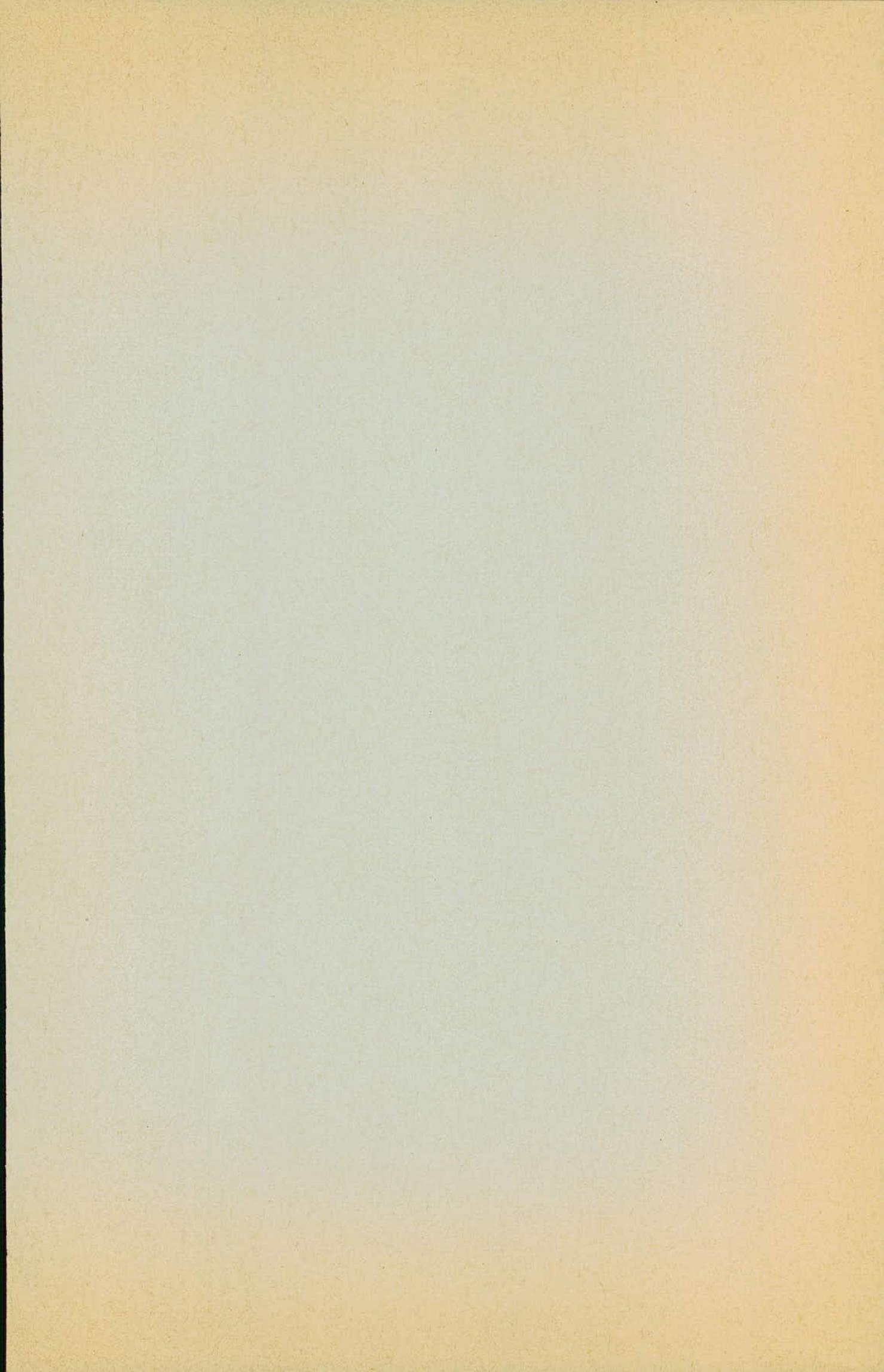
- X = Don't care
- 1 = Above Combination
- * For liquid crystal readouts apply a square wave to Ph. For common cathode LED readouts, select Ph = 0. For common anode LED readouts, select Ph = 1.
- ** Depends upon the BCD code previously applied when LD = 1.

CONNECTIONS TO VARIOUS DISPLAY READOUTS



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range V_{SS} < (V_{in} or V_{out}) < V_{DD}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).





LES ELEMENTS A RESISTANCE DYNAMIQUE NEGATIVE

I - INTRODUCTION

Les éléments à résistance dynamique négative possèdent la propriété de présenter, dans un domaine de la caractéristique statique (I, V), une zone où la résistance dynamique ρ définie comme le rapport $\frac{\Delta V}{\Delta I}$ est négative.

Il existe deux catégories importantes d'éléments à résistance dynamique négative.

- les uns, dits éléments pilotés en courant, possèdent des caractéristiques dont l'allure générale est donnée figure I.1. Cette caractéristique montre que, dans ce type de circuit, il correspond pour une valeur de courant donnée, une tension et une seule. Dans la pratique, ces circuits doivent être commandés en courant c'est à dire par des sources ayant une forte impédance interne. C'est à cette catégorie de composants qu'appartiennent le *Transistor Unijonction* ou *U.J.T*, le *Transistor Unijonction Programmable* ou *P.U.T*; la diode *SHOCKLEY* dénommée aussi diode *P.N.P.N* ou encore diode à quatre couches, le *Thyristor*; le *Triac*; le *Diac*; le commutateur unilatéral ou *S.U.S*; le commutateur bilatéral ou *S.B.S.* etc.
- les autres, dits éléments pilotés en tension, possèdent des caractéristiques dont l'allure générale est donnée figure I.2. Cette caractéristique montre que dans ce type de circuit, il correspond pour une valeur de tension donnée, un courant et un seul. Dans la pratique, ces circuits doivent être commandés en tension c'est à dire par des sources ayant une faible impédance interne. C'est à cette catégorie de composants qu'appartient la diode tunnel.

L'existence de la résistance dynamique négative et largement utilisée en électronique comme nous nous proposons de le montrer dans la suite.

Notre étude sera divisée en deux parties :

- une partie théorique.
- une partie pratique.

Dans la partie théorique, nous essayerons de présenter les propriétés des différents éléments à résistance dynamique négative ainsi que leur principe de fonctionnement.

Dans la partie pratique, nous étudierons certains montages utilisant les éléments précédents.

A - LE TRANSISTOR UNIJONCTION OU U. J. T

A-1. PRESENTATION DE L'U.J.T

"Le transistor unijonction" dénommé "unijonction transistor" ou U.J.T dans la littérature anglosaxonne est aussi connu sous la dénomination de "diode à deux bases".

L'U.J.T est, essentiellement constitué d'un mince barreau de silicium, généralement, de type *N* aux extrémités duquel sont soudées deux connections ohmiques B_1 et B_2 appelées bases. Une troisième électrode *E* dénommée émetteur constituée d'un petit barreau de silicium de type *P* est réalisée latéralement en un point *M* situé au voisinage du milieu de $B_1 B_2$. L'émetteur de type *P* forme, avec le barreau principal de type *N*, une jonction *P N* au niveau de l'émetteur; d'où les deux noms donnés à ce composant :

- diode à deux bases pour rappeler que l'U.J.T est une diode munie de deux bases B_1 et B_2 ,
- transistor unijonction pour spécifier qu'il s'agit d'un transistor spécial possédant une seule jonction.

Les figures A-1 donnent, respectivement, la présentation, le schéma symbolique et la disposition de trois électrodes vues côté connexions. L'U.J.T décrit, précédemment est le plus populaire. C'est la raison pour laquelle, nous ne considérerons, dans la suite, que ce type de composant, sauf mention contraire.

Il existe, en effet, un autre type d'U.J.T dit U.J.T complémentaire dans lequel le barreau principal est du type *P* et l'émetteur de type *N*. la figure A-2 en donne le schéma symbolique.

A-2. CARACTERISTIQUE STATIQUE D'UN U.J.T

Considérons un U.J.T polarisé conformément au schéma donné figure A-3 et admettons que le barreau principal peut être assimilé à une résistance R_{BB} telle que

$$R_{BB} = R_{B_1} + R_{B_2} \quad (A.1)$$

Dans ce cas, l'étude des caractéristiques du montage donné figure A-3 peut être faite à partir du schéma équivalent donné figure A-4.

Cette figure montre que la diode D reste bloquée tant que la tension V_E est inférieure au seuil V_ρ dit tension de pic définie par la relation :

$$V_\rho = \eta \bar{V}_{BB} + V_D \quad (\text{A.2})$$

expression dans laquelle V_D représente la tension directe aux bornes de la diode et η appelée rapport intrinsèque de l'U.J.T est donné par la relation :

$$\eta = \frac{R_{B1}}{R_{B1} + R_{B2}} \quad (\text{A.3})$$

Compte tenu de ce qui précède, on déduit que :

- tant que la tension d'entrée V_E est inférieure au seuil V_ρ , il ne circule qu'un faible courant inverse dans l'émetteur,
- dès que la tension d'entrée V_E atteint un seuil égal à ηV_{BB} la diode commence à conduire. Des trous majoritaires sont, alors, injectés dans le barreau principal. Sous l'effet du champ électrique longitudinal dû à la tension de polarisation V_{BB} , ces trous sont dirigés vers la partie inférieure du barreau contribuant à réduire la valeur effective de la résistance R_{B1} entraînant une diminution de potentiel au point M , ce qui se traduit par une augmentation de la tension directe aux bornes de la diode phénomène qui conduit à une injection plus importante de trous,
- dès que la tension d'entrée atteint un seuil égal à V_ρ , il s'établit un véritable phénomène d'avalanche qui aura pour effet de faire tendre la résistance R_{B1} vers une valeur nulle entraînant une diminution de potentiel V_E jusqu'à une valeur voisine de V_D .

Compte tenu des effets précédents, on déduit que l'U.J.T devrait présenter une caractéristique ayant une forme donnée figure A.5.a. En réalité, il faudra tenir compte de la caractéristique statique de la diode D située entre émetteur et barreau principal. Celle-ci est représentée figure A.5.b. Compte tenu de ces deux effets, on déduit que la caractéristique statique de l'U.J.T se présente sous la forme donnée figure A.5.c.

Cette caractéristique met en évidence l'existence de trois zones :

- une zone de blocage où l'U.J.T présente une résistance positive élevée,
- une zone à résistance dynamique négative,
- une zone de saturation où l'U.J.T présente une résistance positive relativement faible.

A-3. PARAMETRE CARACTERISTIQUES DE L'U.J.T

Le tableau donné ci-contre résume la signification des principaux paramètres qui caractérisent le fonctionnement d'un U.J.T.

A-4. MONTAGE PRATIQUE

L'U.J.T est généralement utilisé en relaxateur conformément au schéma donné figure A-6. Ce dispositif fonctionne de la façon suivante : tant que la tension aux bornes du condensateur est inférieure à la tension du pic de l'U.J.T ce dernier est bloqué de sorte que C se charge avec une constante de temps $\tau = R C$. La tension V_C aux bornes de C évolue alors selon

$$V_C = E \left| 1 - \exp \left(- \frac{t}{\tau} \right) \right| \quad (\text{A. 4})$$

Dès que $V_C = V_p$ l'U.J.T s'amorce entraînant la décharge de C dans R_1 ce qui donne naissance à une impulsion aux bornes de R_1 . On pourra donc obtenir des dents de scies aux bornes de C et des impulsions aux bornes de R_1 . Pour que le système fonctionne en relaxateur, il conviendra de choisir une résistance R telle que la droite de charge correspondante coupe la caractéristique en un point situé dans la zone à résistance dynamique négative.

Dans ce montage la résistance R_2 est prévue pour minimiser l'effet de la température sur le fonctionnement du dispositif. Sa valeur est prise égale à

$$R_2 = \frac{0.7}{\eta} \cdot \frac{R_{BB}}{E} + \left(\frac{1 - \eta}{\eta} \right) R_1 \quad (\text{A. 5})$$

La résistance R_1 dont la valeur est égale à quelques dizaines d'Ohm est prévue pour recueillir l'impulsion qui apparaît lors du déclenchement du dispositif.

La relation A.4 nous permet d'exprimer la période du relaxateur en fonction de R , C . Il suffira, pour ce faire de poser que pour $t = T$ on a $V_C = V_p$. Si l'on admet que :

$$V_p \approx \eta E \quad (\text{A.6})$$

on en déduit que en supposant $\eta \approx 0.5$

$$T \approx 0.7 R \cdot C \quad (\text{A.7})$$

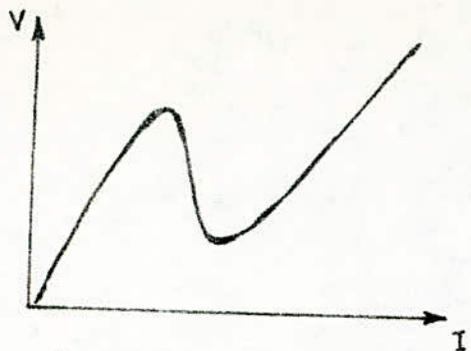


Fig 1. Caractéristique statique d'un élément à résistance négative piloté en courant.

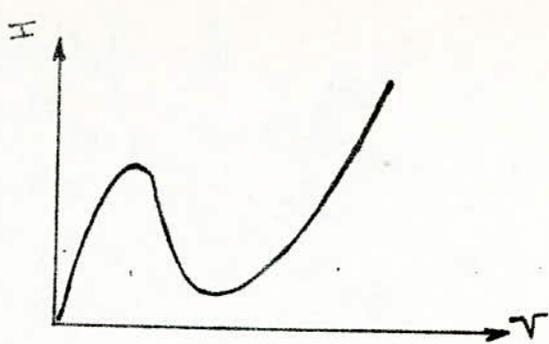


Fig 2. Caractéristique statique d'un élément à résistance négative piloté en tension.

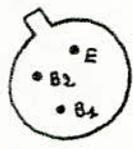
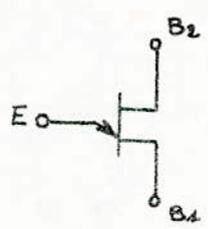
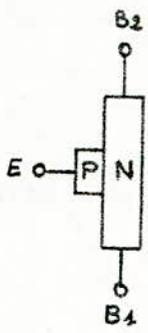


Fig A.1. a Présentation de l'U.J.T.

Fig A.1. b. Schéma symbolique de l'U.J.T.

Fig A.1. e. Disposition des électrodes d'un U.J.T. vu côté connexions.

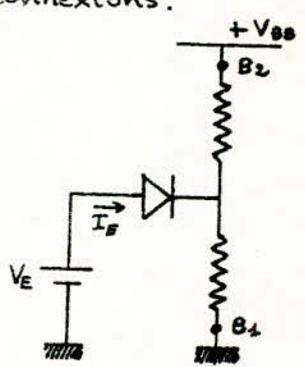
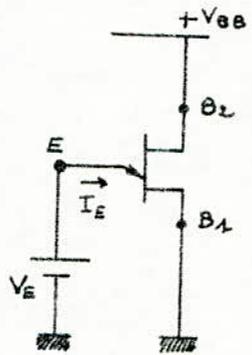
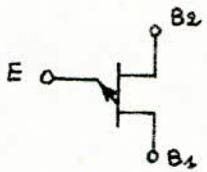


Fig A.2. Schéma symbolique de l'U.J.T. complémentaire.

Fig A.3. Polarisation d'un U.J.T.

Fig A.4. Schéma équivalent de la polarisation d'un U.J.T.

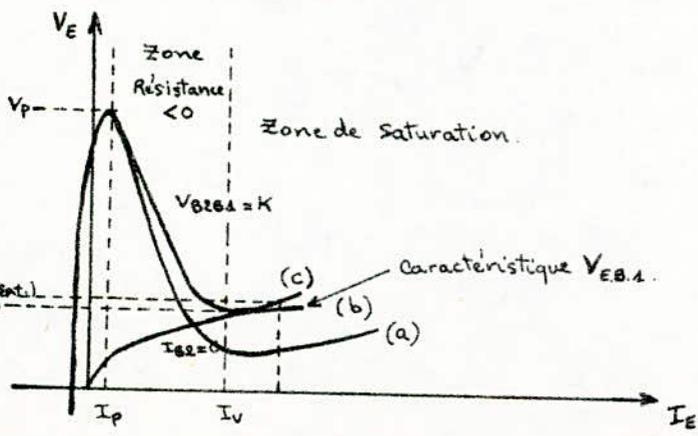


Fig A.5. Caractéristique statique de l'U.J.T.

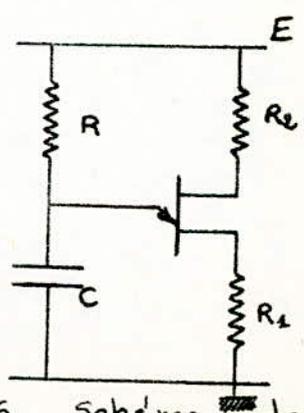


Fig A.6. Schéma de principe d'un relaxateur.

PRINCIPAUX PARAMETRES DU TRANSISTOR UNIIONCTION

PARAMÈTRE	SYM-BOLE	DÉFINITION	PARAMÈTRE	SYM-Rbb	DÉFINITION
Courant modulé inter-bases (Interbase modulated current)	ib_2	Courant de base 2 dans la zone de saturation, mesuré pour $V_{BB} = 10$ V et $I_E = 50$ mA. Ce paramètre indique le gain en courant effectif entre émetteur et base 2.	Résistance interbases... (Interbase resistance)		C'est le rapport du courant inter-bases à la tension interbases, l'émetteur étant en l'air. Ce paramètre varie avec V_{BB} et la température.
Courant de pic (ou de sommet) (Peak current)	ip	Courant d'émetteur minimal pour provoquer l'amorçage de l'U.J.T.	Tension de diffusion d'émetteur	V_d	Tension équivalente d'émetteur. Sa valeur, à 25°C, est voisine de 0,7 V. Elle diminue avec la température d'environ 3 mV/°C.
Courant inverse d'émetteur (Emitter reverse current)	leo	Courant mesuré en appliquant une tension inverse entre l'émetteur et la base 2, la base 1 étant en l'air. Ce courant varie avec la température, de la même manière que le courant I_{CBO} d'un transistor ordinaire au silicium.	Tension interbases (Interbase voltage)	V_{bb}	Tension appliquée entre les bases B_1 et B_2 .
Courant de vallée (Valley current)	iv	Courant d'émetteur au point de vallée, c'est-à-dire à la limite entre la zone de résistance négative et la zone de saturation.	Tension de pic (ou de sommet) (Peak voltage)	V_p	Tension d'émetteur pour laquelle s'amorce le phénomène de résistance négative; V_p décroît quand la température s'élève, du fait de la diminution de V_d . Cette variation peut être compensée au moyen d'une petite résistance montée en série avec B_2 .
Rapport de tension intrinsèque (Intrinsic stand-off ratio)	η	Ce paramètre est le plus important d'un transistor unijonction. Il est déterminé par la géométrie du transistor. Il est pratiquement indépendant de la tension interbases et de la température. Il permet de calculer la tension de pic selon la formule : $V_p = \eta V_{BB} + V_d$.	Tension de vallée (Valley voltage)	V_v	C'est la tension de l'émetteur au point de vallée. Ce paramètre croît avec la tension interbases et décroît avec la résistance de base 1 ou de base 2.
Résistances de base 1, de base 2 (Base 1, base 2 resistances) ...	Rb_1, Rb_2	Résistance du barreau comprise entre l'émetteur et la base 1 ou la base 2. On utilise parfois les mêmes symboles pour désigner les résistances extérieures montées en série avec les bases.	Tension de saturation d'émetteur (Emitter saturation voltage)	$V_{e_{sat}}$	Tension mesurée sur l'émetteur, pour une tension interbase de 10 V et un courant d'émetteur de 50 mA.
			Tension d'impulsion de base 1 (Base 1 peak pulse voltage)	V_{obi}	Amplitude minimale de l'impulsion recueillie aux bornes de la résistance montée en série avec la base 1, dans les conditions fixées par le constructeur.

B - DIODE P.N.P.N OU DIODE A QUATRE COUCHES OU DIODE SHOCKLEY

B-1. PRESENTATION D'UNE DIODE P.N.P.N

La diode à quatre couches appelée aussi diode SHOCKLEY ou encore diode *P.N.P.N* est formée de la juxtaposition de quatre couches de semiconducteurs dopés *P.N.P.N* aux extrémités desquelles sont réalisées deux connexions ohmiques l'une l'anode *A*, l'autre la cathode *K* comme le montre la figure B.1. Dans un tel composant, il existe trois jonctions J_1 ; J_2 ; J_3 . La figure B.2 donne le schéma symbolique d'une telle diode. La figure B.3 donne un schéma équivalent obtenu par association de trois diodes D_1 ; D_2 ; D_3 . La figure B.4 transformée de la figure B.1 montre qu'une diode *P.N.P.N* est équivalente à l'association de deux transistors complémentaires dont l'un T_1 est du type *P.N.P* et l'autre T_2 du type *N.P.N*. La figure B.5 donne le schéma obtenu en remplaçant la diode SHOCKLEY par les deux transistors T_1 et T_2 .

La diode *P.N.P.N* sert de cellule de base à l'étude de dispositifs d'une grande importance tels que : *Transistor Unijonction Programmable* ou *P.U.T*; *Thyristor* ; *TRIAC*, *Commutateur unilatéral*, ou *S.U.S* ; *Commutateur bilatéral* ou *S.B.S*...etc.

B-2. CARACTERISTIQUES STATIQUE D'UNE DIODE P.N.P.N.B-2.a. POLARISATION DIRECTE.

Considérons une diode *P.N.P.N* polarisée conformément au schéma de la figure B.6. L'étude du fonctionnement du dispositif représenté par figure B.6 peut être grandement simplifiée si l'on tient compte des caractéristiques des transistors. Rappelons, à cet effet, que dans un transistor *P.N.P* ou *N.P.N* les courants d'émetteur I_E , de base I_B et de collecteur I_C sont reliés par les relations suivantes :

$$I_E = I_B + I_C \quad (\text{B.1})$$

$$I_C = \alpha I_E + I_{CB0} \quad (\text{B.2})$$

expressions dans lesquelles :

- I_{CB0} représente le courant de fuite collecteur-base lorsque l'émetteur est en l'air,

- α le gain en courant en base commune. Précisons que dans les transistors à base de silicium seul élément utilisé dans les circuits à résistance dynamique négative, la grandeur α , inférieure à l'unité, présente la propriété importante d'être fonction de la valeur du courant I_E comme le montre la figure B.7.

Si l'on tient compte du fait que :

$$I_A = I_{E1} = I_K = I_{E2} \quad (B.3)$$

$$I_{C2} = I_{B1} \quad (B.4)$$

$$I_{C1} = I_{B2} \quad (B.5)$$

$$I_{C1} = I_{B2} = \alpha_1 I_{E1} + I_{CB01} = \alpha_1 I_A + I_{CB01} \quad (B.6)$$

$$I_{C2} = I_{B1} = \alpha_2 I_{E2} + I_{CB02} = \alpha_2 I_A + I_{CB02} \quad (B.7)$$

comme :

$$I_A = I_{E1} = I_{B1} + I_{C1} \quad (B.8)$$

il vient :

$$I_A = (\alpha_2 I_A + I_{CB02}) + (\alpha_1 I_A + I_{CB01}) \quad (B.9)$$

d'où l'on tire finalement :

$$I_A = \frac{I_{CB01} + I_{CB02}}{1 - (\alpha_1 + \alpha_2)} \quad (B.10)$$

Cette relation importante montre que le courant I_A est fonction de la somme $(\alpha_1 + \alpha_2)$ laquelle dépend des valeurs respectives de I_{E1} et I_{E2} donc de I_A . Il s'ensuit que pour une tension V_{AK} réduite, le courant I_A est faible. Dans ce cas la somme $(\alpha_1 + \alpha_2)$ est négligeable devant l'unité de sorte que le courant I_A est voisin de $(I_{CB01} + I_{CB02})$. Au fur et à mesure que la tension V_{AK} et le courant I_A augmentent, la somme $(\alpha_1 + \alpha_2)$ augmente ce qui se traduit par un effet cumulatif entraînant l'augmentation de I_A ce qui conduit à une augmentation de la somme $(\alpha_1 + \alpha_2)$.

Lorsque la grandeur $(\alpha_1 + \alpha_2)$ tend vers l'unité, ce qui est atteint lorsque la tension V_{AK} atteint un seuil V_{E0} appelée tension de retournement ou "Break Over Voltage" dans la littérature anglosaxonne. La relation (B.10) montre que le courant I_A tend à prendre une valeur infinie. Dans ce cas la diode P.N.P. N se conduit pratiquement comme un court-circuit.

On pourrait être tenté de conclure que lors de l'amorçage, l'augmentation du courant I_A pourrait se traduire par une augmentation prononcée des grandeurs $\alpha_1 + \alpha_2$ qui pourraient alors prendre des valeurs individuelles voisines

de l'unité de sorte que leur somme serait alors supérieure à l'unité. Si une telle éventualité se produisait le courant I_A devrait changer de sens comme le prévoit la relation B.10. En fait, un tel phénomène ne peut se produire et ce pour les raisons suivantes : Lorsque la tension de claquage V_{B0} est atteinte, il se produit effectivement une augmentation du courant I_A et par voie de conséquence une augmentation des courants I_{E1} et I_{E2} . Cette augmentation contribue à saturer les transistors T_1 et T_2 de sorte que la tension V_{AK} s'établit à une valeur :

$$V_{AK} = \left| V_{BE1sat} \right| + V_{CE2sat}$$

voisin de 1V qui tend à maintenir la condition

$$\alpha_1 + \alpha_2 < 1$$

Après l'amorçage la diode *P.N.P.N* se comporte comme une association de deux diodes normales en série.

On définit un courant I_H appelé courant de maintien ou courant hypostatique ou encore "holding current" dans la littérature anglosaxonne. Le courant I_H est le courant minimal qui contribue à maintenir la diode amorcée. Pour désamorcer cette dernière, il conviendra de réduire le courant I_A à une valeur inférieure à I_H .

B-2.b. POLARISATION INVERSE

En polarisation inverse la diode présente une résistance très élevée tant que la tension de claquage n'est pas atteinte.

B-2.c. CARACTERISTIQUE STATIQUE

La figure B.8 donne l'allure générale des caractéristiques statiques d'une diode *P.N.P.N*. On notera, au passage, que contrairement à ce qui est fait dans le cas de l'*U.J.T*, c'est le courant qui est porté en ordonnée dans le cas de la diode *P.N.P.N*.

B-2.d. ORDRES DE GRANDEUR DES PARAMETRES

- La tension de retournement V_{B0} est généralement comprise entre une dizaine de volts et quelques centaines de volts,
- le courant I_{B0} correspondant possède des valeurs de quelques centaines de μA ,
- la résistance de la diode dans la zone de blocage est comprise entre quelques $M\Omega$ et quelques centaines de $M\Omega$;

- le courant de maintien I_H est généralement compris entre quelques mA et quelques centaines de mA,
- la tension V_H correspondante est comprise entre 0.5 V et 20 V,
- la résistance de la diode dans la zone de saturation peut atteindre des valeurs aussi faibles que 0,1 Ω .

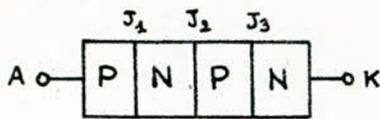


Fig B.1.
Présentation d'une diode PNPN.



Fig B.2
Schéma symbolique d'une diode PNPN.

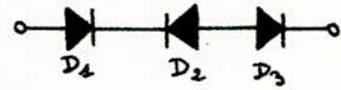


Fig B.3.
Schéma équivalent d'une diode PNPN.

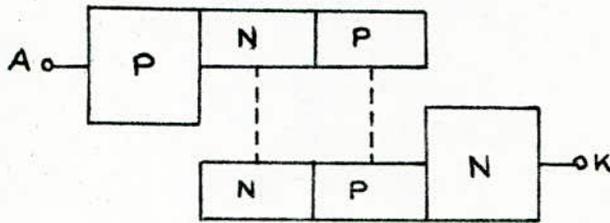


Fig B.4.
Transformée de la fig B.1.

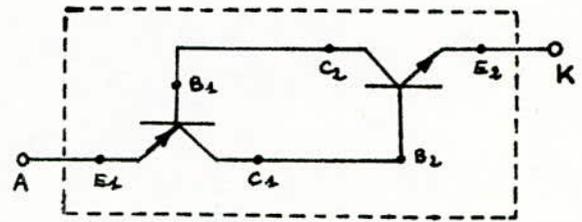


Fig B.5. Schéma équivalent d'une diode PNPN.

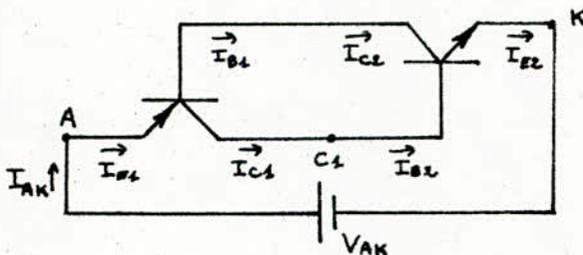


Fig B.6. Polarisation directe d'une diode PNPN.

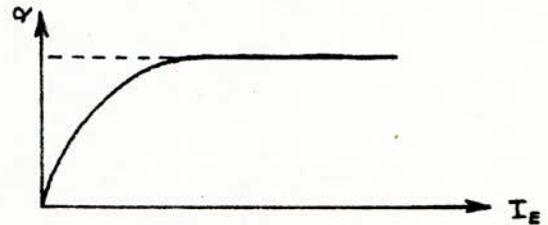


Fig B.7. $\alpha = f(I_E)$

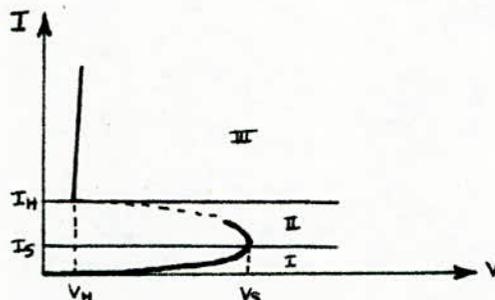


Fig B.8. Caractéristique statique d'une diode PNPN.

C - LE THYRISTOR

C-1. PRESENTATION

Le Thyristor dénommé "Silicon Controlled Switch" ou *S.C.S* dans la littérature anglosaxonne n'est autre chose qu'une diode *P.N.P.N* munie d'une gachette de cathode. Comme son nom l'indique, le *S.C.S* est un redresseur qui peut être commandé par un signal appliqué à sa gachette. Nous allons montrer que contrairement à la diode *P.N.P.N* qui amorce toujours sur une tension fixe V_{B0} , le thyristor peut amorcer sur une tension voulue fixée par le signal appliqué à sa gachette d'où le nom de redresseur commandé qui lui est donné.

Le thyristor est apparu sur le marché des semi-conducteurs vers les années 1957. Le terme thyristor a été alors introduit dans le seul but de rappeler son ancêtre le thyatron à gaz qui a d'ailleurs disparu de la circulation.

Le thyristor est essentiellement un redresseur commandé unidirectionnel.

La figure C.1 donne le schéma équivalent du thyristor obtenu par association de deux transistors. La figure C.2 en donne le schéma symbolique .

C-2. CARACTERISTIQUES STATIQUES D'UN THYRISTORC-2.a. POLARISATION DANS LE SENS DIRECT

Considérons un thyristor polarisé conformément au schéma de la figure C.3.

Nous précisons, tout de suite, qu'en l'absence du signal de gachette le thyristor se conduit comme une diode *P.N.P.P* qui amorce, alors, sur une tension V_{AK} égale à la tension de retournement V_{B0} .

Considérons ; maintenant, le cas où la gachette reçoit un courant de commande I_G de sorte que l'on peut écrire :

$$I_K = I_A + I_G \quad (C.1)$$

comme :

$$I_A = I_{E1} = I_{C1} + I_{B1} = I_{C1} + I_{C2} \quad (C.2)$$

et que :

$$I_{C1} = \alpha_1 I_{E1} + I_{CB01} = \alpha_1 I_A + I_{CB01} \quad (e.3)$$

$$I_{C2} = \alpha_2 I_{E2} + I_{CB02} = \alpha_1 I_K + I_{CB02} = \alpha_1 (I_A + I_G) + I_{CB02} \quad (C.4)$$

il vient :

$$I_A = \alpha_1 I_A + I_{CB01} + \alpha_2 (I_A + I_G) + I_{CB02} \quad (5)$$

d'où l'on tire :

$$I_A = \frac{I_{CB01} + I_{CB02} + \alpha_2 I_G}{1 - (\alpha_1 + \alpha_2)} \quad (C.6)$$

Cette relation montre bien qu'en l'absence de signal sur la gachette, le thyristor se conduit comme une diode *P.N.P.N.*

L'expression précédente indique que le courant d'anode est influencé par la valeur du courant de commande I_G . Ce paramètre pourra par conséquent, sans agir sur la tension de polarisation V_{AK} , provoquer le phénomène d'avalanche et conduire à un seuil de retournement plus faible que V_{B0} .

C-2.b. POLARISATION DANS LE SENS INVERSE

En polarisation inverse le thyristor est bloqué tant que la tension inverse n'atteint pas la tension de claquage.

C-2.c. CARACTERISTIQUES STATIQUES

La figure C.4 donne les caractéristiques statiques d'un thyristor sur lesquelles on peut remarquer l'effet du courant de gachette.

C-3. CARACTERISTIQUE DE COMMANDE DE LA GACHETTE

La commande d'un thyristor s'effectuant généralement par la gachette, il est donc nécessaire de connaître la caractéristique de celle-ci afin de pouvoir choisir les éléments de polarisation.

Du fait qu'il existe une diode entre gachette et cathode d'un thyristor, on pourrait s'attendre à voir une caractéristique semblable à celle d'une diode normale. On constate, cependant, dans la pratique, qu'il existe une différence entre une diode ordinaire et la diode gachette-cathode d'un thyristor. La caractéristique de gachette donnée figure C.5 montre bien que la diode gachette-cathode caractérisée par sa résistance directe R_{GK} présente une chute de tension directe supérieure à celle d'un diode et possède un courant inverse nettement plus élevé que celui d'une diode.

Dans la pratique du fait de la dispersion des paramètres des thyristors de la même famille, le constructeur précise toujours :

- les caractéristiques extrêmes correspondant aux résistances directes R_{GKmax} et R_{GKmin} ,
- la caractéristique typique correspondant à une résistance R_{GK} typique,
- la tension V_{GT} ou **trigger** gate voltage égale à la tension minimale nécessaire pour amorcer le thyristor, tension généralement comprise entre 1V et 3 V,
- le courant minimal nécessaire I_{GT} pour amorcer le thyristor,
- le courant maximal I_{FGM} qui peut être appliqué à la gachette,
- la tension maximale V_{FGM} qui peut être appliquée à la gachette,
- la tension inverse V_{RGM} que peut supporter la gachette,
- la puissance P_{GM} que peut dissiper la gachette,
- la puissance instantanée maximale P_{GAV} admissible dans la gachette
- la tension maximale V_{GD} qui peut être appliquée à la gachette sans amorcer le thyristor,
- le courant maximal I_{GD} qui peut être appliqué à la gachette sans amorcer le thyristor.

D'une façon générale, dans la pratique, on prévoit toujours une résistance R_G entre gachette et cathode pour prévenir des déclenchements intempestifs du thyristor sauf si celle-ci est déjà intégrée par le fabricant comme c'est le cas des thyristors à court-circuit gachette-cathode appelé "shorted emitter" dans la littérature anglosaxonne.

C-4. AMORCAGE DES THYRISTORS

C-4.a. DYNAMIQUE DE L'AMORCAGE

L'amorçage d'un thyristor sous l'effet d'une impulsion de gachette n'est pas instantané. Le temps t_{on} d'amorçage est la somme du temps de préconditionnement ou temps de délai (delay time) pendant lequel la tension V_{AK} passe de 100 % à 90 % et du temps de basculement t_r pendant lequel la tension V_{AK} passe de 90 % à 10 %. L'expérience montre que t_d **démine** lorsque I_G augmente.

Pour amorcer le thyristor, il conviendra que la durée de l'impulsion de gachette soit supérieur à t_{on} . De plus il faudra veiller à ce que le courant minimal qui traverse le thyristor est supérieur au courant d'accrochage I_L .

C-4.b. VITESSE DE CROISSANCE DE LA TENSION D'ANODE $\frac{dV_{AK}}{dt}$

L'expérience montre que la tension d'un thyristor diminue lorsque la vitesse de croissance $\frac{dV_{AK}}{dt}$ de la tension anode-cathode augmente, ce phénomène est dû à l'effet de la capacité parasite C représenté figure C-5. La résistance r représente la résistance base-émetteur du transistor T_2 . Dans le circuit précédent, une variation brutale de la tension V_{AK} donne naissance à un courant i qui après avoir traversé la capacité peut jouer le même rôle qu'un courant I_G entraînant un amorçage intempestif du thyristor. Pour palier cet inconvénient, il suffit de limiter la vitesse $\frac{dV_{AK}}{dt}$ à une valeur inférieure à un seuil fixé par le constructeur.

La figure C.7 donne le schéma de principe d'un circuit utilisé pour protéger le thyristor contre les $\frac{dV_{AK}}{dt}$

C-4.c. VITESSE DE CROISSANCE DU COURANT D'ANODE $\frac{dI}{dt}$

Lors de l'amorçage d'un thyristor, la tension a ses bornes ne s'annule pas instantanément. De plus, en général, dès l'amorçage, le courant d'anode augmente rapidement. Il s'ensuit que la puissance dissipée dans le thyristor peut atteindre des valeurs excessives pouvant aller jusqu'à la destruction de l'élément. C'est pour éviter cette situation que l'on doit toujours limiter la vitesse $\frac{dI}{dt}$ à une valeur inférieure à un seuil fixé par le constructeur.

La figure C.8 donne le schéma de principe d'un circuit utilisé pour protéger le thyristor contre les $\frac{dI}{dt}$.

C-4.d. DECLENCHEMENT DES TYRISTORS

C-4.d.1. GENERALITES

Il existe un nombre considérable de dispositifs capables d'amorcer un thyristor. Ces circuits peuvent être classés :

- selon la nature des éléments mis en oeuvre : résistance, résistances et capacités ; circuits déphaseurs, semiconducteurs, circuits magnétiques.. etc,

- selon la nature de la tension d'alimentation des thyristors qui peut être soit alternative, soit continue,
- selon la nature de la tension de commande : cette tension peut se présenter sous formes d'impulsions ou persister durant tout le fonctionnement.

C-4.d.2. DECLENCHEMENT PAR RESISTANCE

La figure C-9 donne le schéma de principe d'un circuit utilisant une résistance R pour déclencher le thyristor. La diode D sert à bloquer la composante négative dans le cas où la tension d'alimentation est sinusoïdale. Compte tenu du fait que les tensions d'alimentation et de déclenchement sont en phase, on déduit que l'angle de retard introduit est compris entre 0° et 90° .

C-4.d.3. DECLENCHEMENT PAR CIRCUIT R,C

La figure C-10 donne le schéma de principe d'un circuit utilisant des éléments R,C pour déclencher le thyristor. Ce dispositif fonctionne de la façon suivante :

Lors de l'alternance positive la capacité C se charge jusqu'au moment où sa tension atteint le seuil de déclenchement du thyristor.

Lors de l'alternance négative, la diode D_2 se sature de sorte que la tension aux bornes de C devient égale à la tension d'alimentation.

En agissant sur R il est possible de faire varier l'angle de retard entre 0° et 180° .

C-4.d.4. DECLENCHEMENT PAR DISPOSITIFS A SEUIL

La figure C-11 donne le schéma de principe d'un circuit utilisant des éléments à seuil pour déclencher les thyristors. Ce dispositif fonctionne de la façon suivante. La capacité C se charge jusqu'à ce que la tension du dispositif de déclenchement. La capacité se décharge, alors, fournissant une impulsion qui déclenche le thyristor.

Le dispositif de déclenchement peut être soit un $U.J.T$, soit un $P.U.T$, soit un commutateur unilatéral ou $S.U.S$ c'est à dire " *Silicon Unilateral Switch*" les figures C.11 et C.12 donnent les schémas des circuits utilisant l' $U.J.T$ et le $P.U.T$.

Le *S.U.S* n'est autre chose qu'un thyristor miniature à gachette d'anode auquel on a adjoint une diode avalanche à faible seuil zener. Les figures C.14 et C.15 précisent respectivement sa structure et son symbole. La figure C.16 donne sa caractéristique statique.

La figure C.17 précise le montage utilisé pour déclencher les thyristors. D'une façon générale la gachette d'un *S.U.S* n'est utilisée que dans les cas où l'on désire assurer une synchronisation. Le *S.U.S* est caractérisé par le courant I_S et la tension V_S de commutation, le courant I_H et la tension V_H de maintien. Ce dispositif délivre des impulsions capables de déclencher pratiquement tous les thyristors.

C-5. BLOPAGE DES THYRISTORS

C-5.a. DYNAMIQUE DE BLOPAGE

Le désamorçage d'un thyristor est obtenu lorsque le courant d'anode est inférieur au courant de maintien I_H .

Le temps de désamorçage t_{off} et la somme du temps de recouvrement inverse t_{rr} ou *reverse recovery time* et du temps de récupération t_{gr} ou *gate recovery time*.

C-5.b. MODE DE DESAMORCAGE DES THYRISTORS

Si le thyristor est alimenté en alternatif, il se désamorce chaque fois que la tension s'annule.

Si le thyristor est alimenté en continu, il conviendra de prévoir un circuit annexe permettant son blocage. La solution généralement retenue est indiquée figure C-18. Ce circuit fonctionne de la façon suivante. En l'absence de signal de blocage le thyristor T est bloqué de sorte que si le thyristor est déjà conducteur la capacité est chargée à une tension voisine de E . Dès qu'un signal de blocage apparaît, le transistor T se sature appliquant une tension $-E$ entre anode et cathode du thyristor entraînant son blocage. Le transistor T peut aussi être remplacé par un thyristor auxiliaire.

C-6. ANTI-PARASITAGE DES THYRISTORS

Le fait que le thyristor est capable de commuter en un temps de quelques μs en fait un générateur de parasites pouvant interférer sur les signaux de radiophonie en modulation d'amplitude. Pour palier cet inconvénient, il suffira de prévoir un filtre passe bas $L.C$, à l'entrée du dispositif comme le montre la figure C.15. Dans ce montage des valeurs $L = 100 \mu H$ et $C = 0,1 \mu F$ s'avèrent très efficaces.

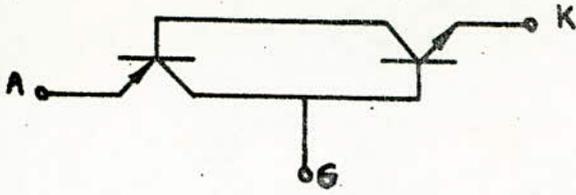


Fig. C.1. Schéma équivalent d'un thyristor.

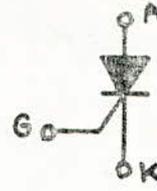


Fig. C.2. Schéma symbolique d'un thyristor.

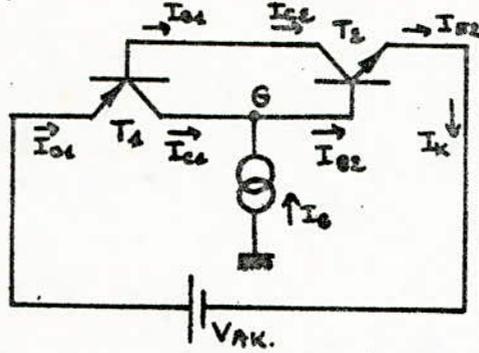


Fig. C.3. Polarisation d'un thyristor.

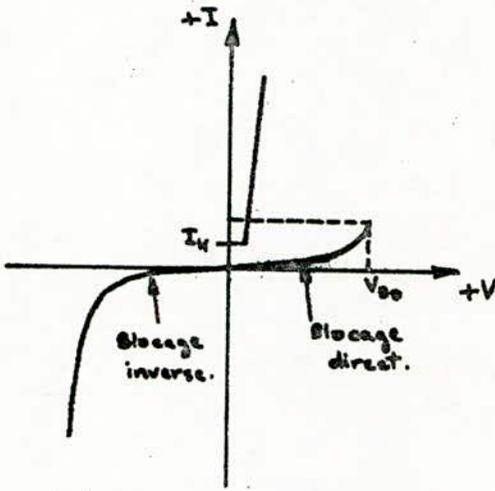


Fig. C.4. Caractéristique statique d'un thyristor.

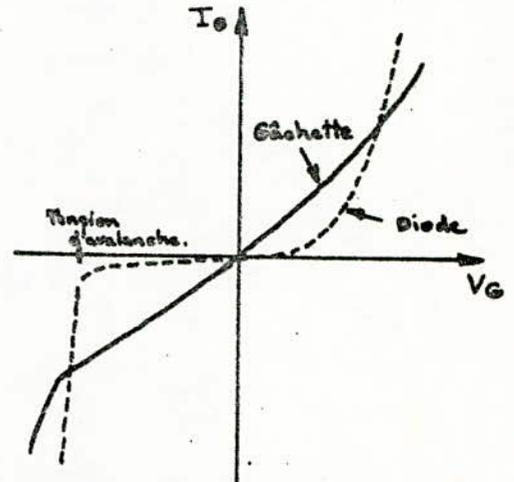


Fig. C.5. Caractéristique de la gâchette.

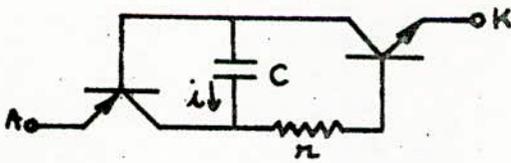


Fig. C.6. Effet de la capacité parasite C.

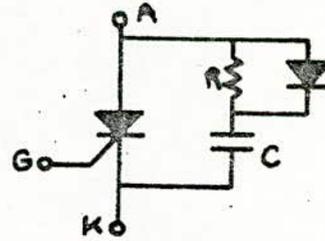


Fig. C.7. Circuit de protection du thyristor en $\frac{dV}{dt}$.

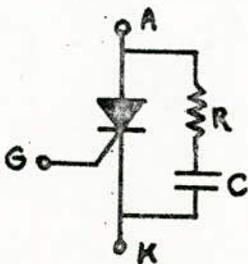


Fig. C.8. Circuit de protection du thyristor contre les $\frac{dI}{dt}$.

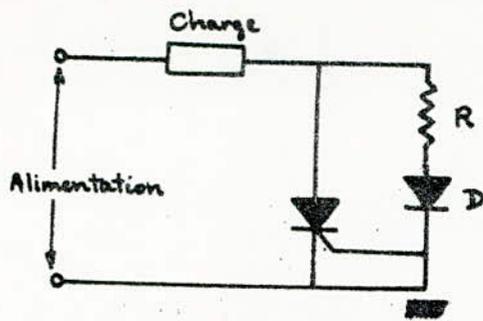


Fig. C.9. Déclenchement par résistance.

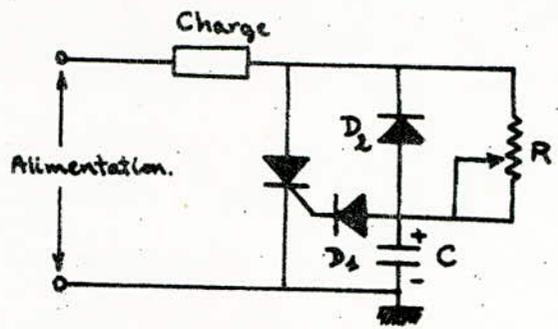


Fig. C.10 Déclenchement par circuit R,C.

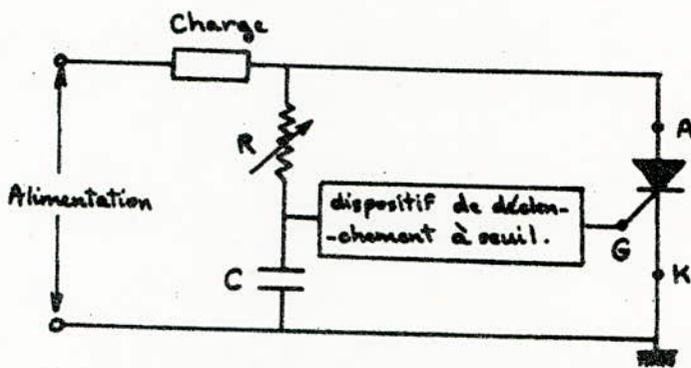


Fig. C.11. Déclenchement par dispositif à seuil.

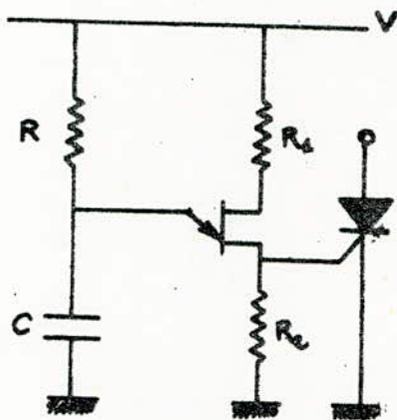


Fig. C.12. Déclenchement par U.J.T.

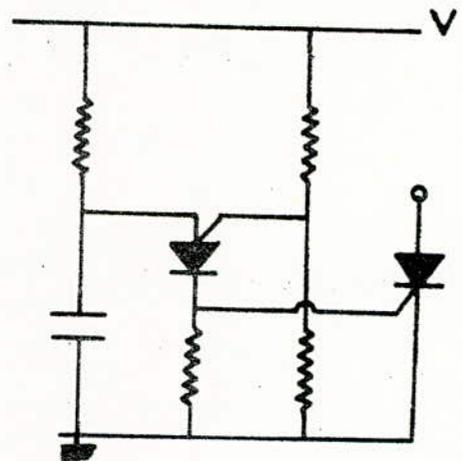


Fig. C.13. Déclenchement par P.U.T.

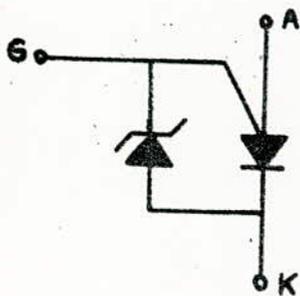


Fig. C.14. Structure d'un S.U.S.

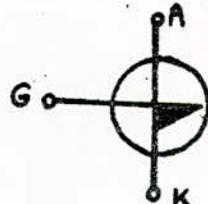


Fig. C.15. Symbole d'un S.U.S.

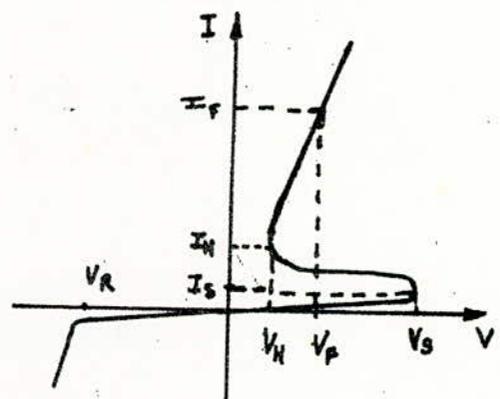


Fig. C.16. Caractéristique statique d'un S.U.S.

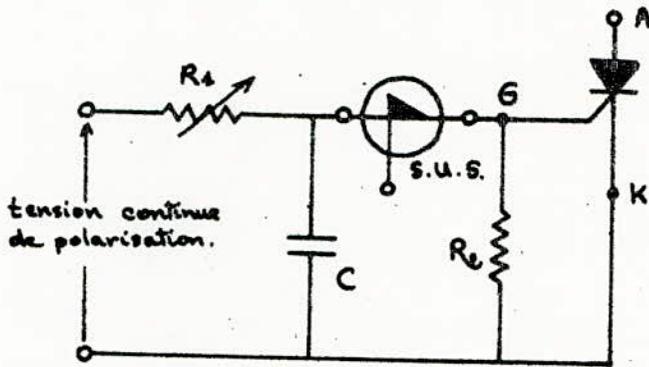


Fig. C.17 Montage utilisé pour le déclenchement des thyristors.

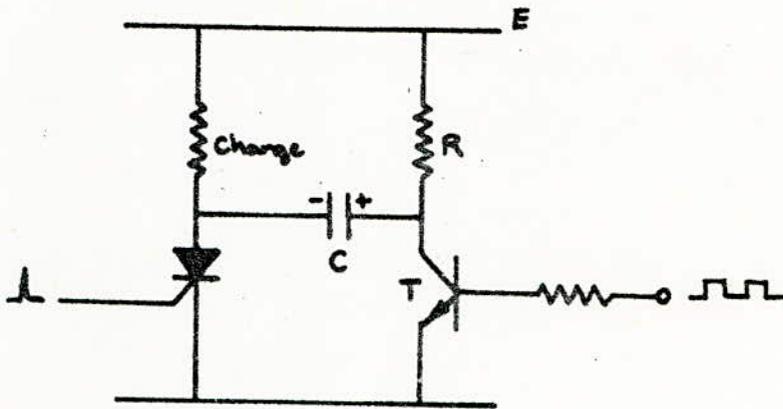


Fig. C. 18 Circuit de blocage du thyristor.

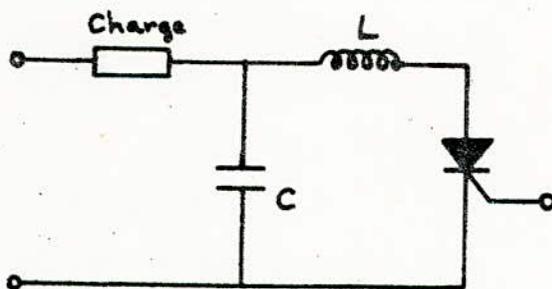


Fig. C.19 Protection anti-parasitage des thyristors.

D - LE TRANSISTOR UNIJONCTION PROGRAMMABLE OU P.U.T

D-1. PRESENTATION DU P.U.T

Le Transistor Unijonction Programmable appelé "P.U.T" ou "Programmable Unijonction Transistor" dans la littérature anglosaxonne est connu sous d'autres dénominations telles que Thyristor complémentaire et Thyristor à gachette d'anode.

Dans la pratique le P.U.T peut avantageusement remplacer l'U.J.T sur lequel il présente des avantages certains tels que :

- possibilité de fonctionner sous une tension faible,
- grande sensibilité,
- tension de claquage élevée,
- production d'impulsions hautes fréquences et hautes énergies,
- faible courant de fuite,
- possibilité de programmer à volonté et facilement les divers paramètres caractérisant son fonctionnement tels que : résistance inter-base R_{BB} ; rapport intrinsèque η ; courants de Vallée I_V et de pic I_p ; tension de Vallée V_v et de pic V_p .

La figure D.1 donne la structure d'un P.U.T à partir de laquelle on peut déduire que cet élément est équivalent à l'association de deux transistors P.N.P et N.P.N associés conformément à la figure D.2. La figure D.3 donne le schéma symbolique utilisé en électronique. La figure D.1 montre que le P.U.T n'est autre chose qu'une diode P.N.P.N munie d'une gachette d'anode.

D-2. POLARISATION D'UN P.U.T

La figure D.4 qui donne le schéma de polarisation d'un P.U.T montre que la tension de pic V_P et la résistance interbase R_{BB} du P.U.T sont données par les relations suivants :

$$V_P = \eta V + V_{EB1} \quad (D.1)$$

$$R_{BB} = R_1 + R_2 \quad (D.2)$$

expressions dans lesquelles le rapport intrinsèque η est donné par :

$$\eta = \frac{R_1}{R_1 + R_2} \quad (D.3)$$

Les relations précédentes montrent que par un choix judicieux des éléments R_1 , R_2 et V , il est possible de fixer à volonté les caractéristiques du P.U.T.

Les caractéristiques données figures D.5 et D.6 montrent que les courants de pic et de vallée sont inversement proportionnels à la résistance :

$$R = \frac{R_1 R_2}{R_1 + R_2} \quad (D.4)$$

Ces caractéristiques montrent que les tensions de pic et de vallée varient, quant à elles dans le même sens que la tension de polarisation V .

D-3. APPLICATIONS

Compte tenu de ce qui précède on déduit que :

- si l'on désire obtenir des courants de pic et de vallée très faibles, il suffira de donner à R_1 et R_2 des valeurs très élevées.
- si l'on désire obtenir un courant de pic faible et un courant de vallée élevé, il suffira de donner à R_1 et R_2 des valeurs très faibles et de mettre en série avec la gachette une résistance R' élevée shuntée par une diode D montée comme l'indique la figure D.7. Dans ce cas lorsque le P.U.T est bloqué la diode se trouve polarisée en inverse. La gachette "voit", alors une résistance élevée voisine de R' ce qui conduit à un courant de pic faible. Lorsque le P.U.T est amorcé, la diode D se trouve polarisée en directe. Dans ce cas l'électrode de commande "voit" une résistance équivalente à la mise en parallèle de R_1 et R_2 en série avec la résistance directe de la diode dont la valeur est très faible. La résistance totale équivalente étant alors très faible, on déduit que le courant de vallée est élevé. Notons que le même résultat peut être obtenu en plaçant la résistance R' élevée non pas en parallèle sur la diode mais entre l'électrode de commande G et la cathode comme le montre la figure D.8.

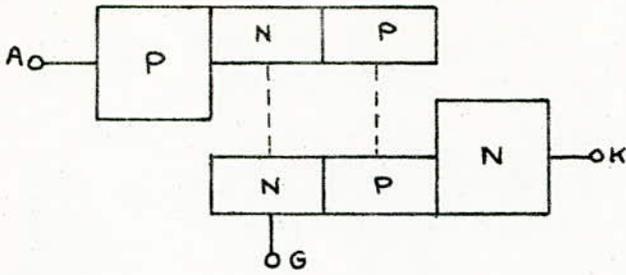


Fig. D.1. Structure d'un P.U.T.

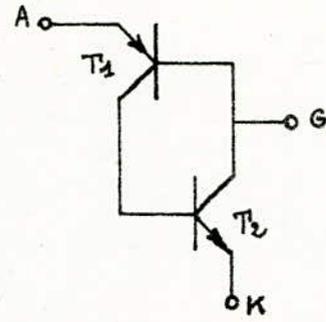


Fig. D.2. Schéma équivalent d'un P.U.T. obtenu par association de 2 transistors complémentaires.

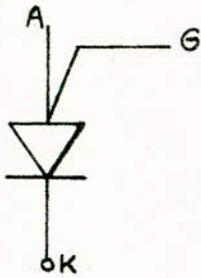


Fig. D.3. Schéma symbolique d'un P.U.T.

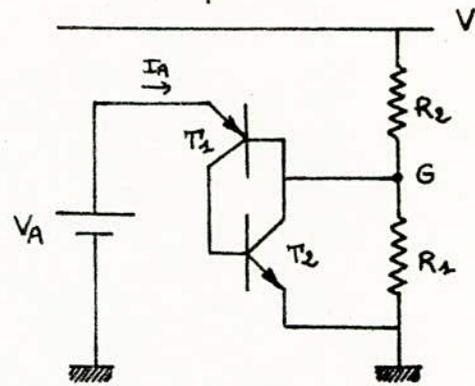


Fig. D.4. polarisation d'un P.U.T.

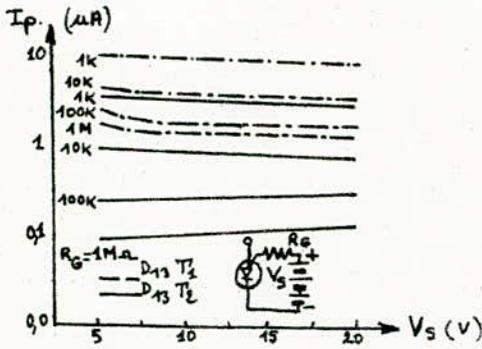


Fig. D.5. I_p fonction de la tension d'électrode de commande.

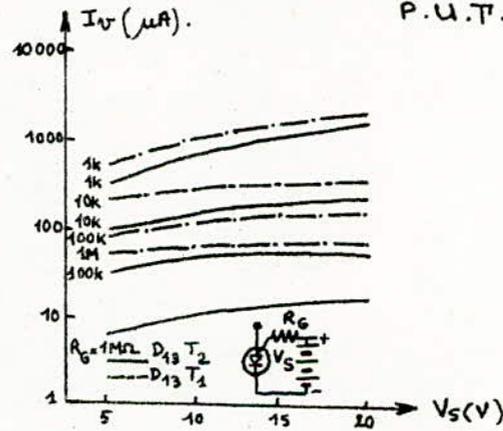


Fig. D.6. I_v fonction de la tension d'électrode de commande.

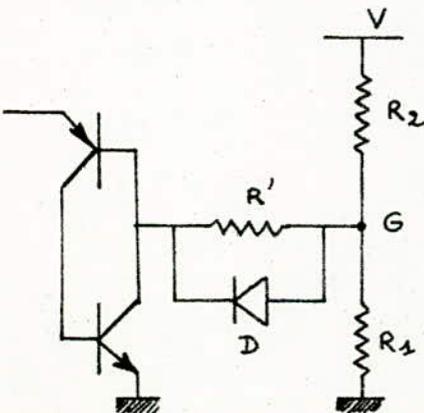


Fig. D.7. Montage permettant d'obtenir un courant de pic faible et un courant de vallée élevé.

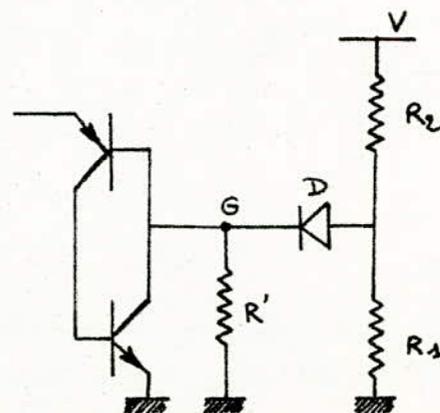


Fig. D.8. Variante du montage donné en Fig. D.7.

E-1. INTRODUCTION

Le thyristor est un élément unidirectionnel. Il ne travaille, de ce fait, que sur une alternance lorsqu'il est alimenté en alternatif. L'association de deux thyristors montés tête-bêche pourraient être utilisés sur les deux alternances. Dans la pratique, cet assemblage est jugé non fiable. C'est la raison pour laquelle on a été conduit à réaliser le triac ou "Triode Alternative Courant" dont la figure E.1 donne la structure. Cet élément comporte deux bornes T_1 et T_2 et une gachette. La figure E.2 en donne le symbole.

E-2. CARACTERISTIQUE DU TRIAC

Les caractéristiques courant-tension d'un triac sont semblables à celles d'un thyristor symétrique. La figure E.3 en donne l'allure générale dans le cas où la borne T_1 est prise comme référence. Le triac peut s'amorcer sur un signal de gachette polarité quelconque.

Le tableau suivant donne les différents modes de déclenchement du thyristor.

Premier quadrant	}	mode I^+ : I_G, V_G positifs
$V_{T_2} > V_{T_1}$		mode I^- : I_G, V_G négatifs
Deuxième quadrant	}	mode III^+ : I_G, V_G positifs
$V_{T_2} < V_{T_1}$		mode III^- : I_G, V_G négatifs

La sensibilité du triac est plus élevée pour les modes I^+ et III^- .

E-3. CIRCUIT DE DECLENCHEMENT DU TRIAC

Pour déclencher le Triac par une source de tension continue en alternative on pourra utiliser les circuits donnés figures E.4 et E.5 respectivement. On utilise aussi souvent des éléments tels que le commutateur bilatéral ou *S.B.S.* C'est à dire *Silicon Bilateral Switch* et le diac ou "*Diode Alternative Current Switch*".

Les figures E.6, E.7, donnent le schéma de principe d'un *S.B.S.*, son symbole et sa caractéristique respectivement. Le *S.B.S* permet de déclencher le triac en modes I^+ et III^- .

Les figures E.9, E.10, E.11 donnent le symbole du diac, sa caractéristique ainsi qu'un montage couramment utilisé.

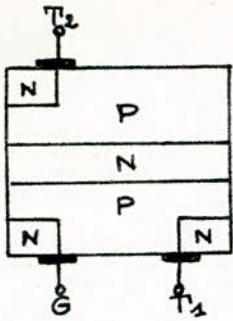


Fig E.1. Structure d'un triac.

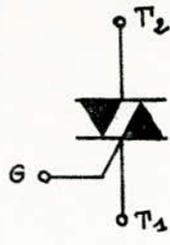


Fig E.2. Symbole d'un triac.

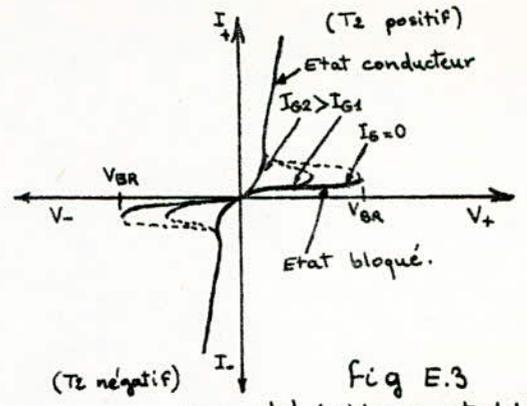


Fig E.3. Caractéristique statique d'un triac.

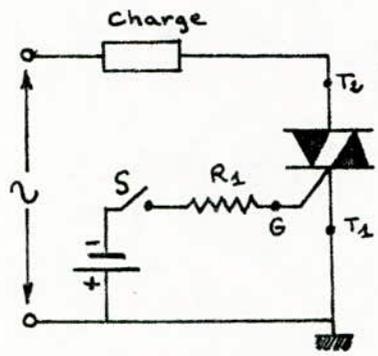


Fig E.4. Déclenchement par source à courant continu.

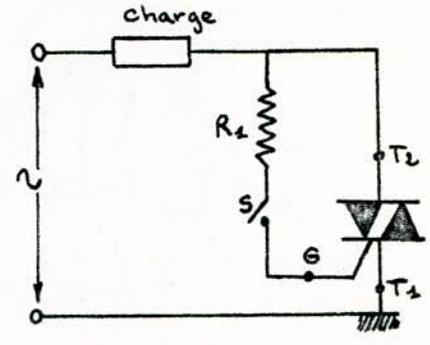


Fig E.5. Déclenchement par source à courant alternatif.

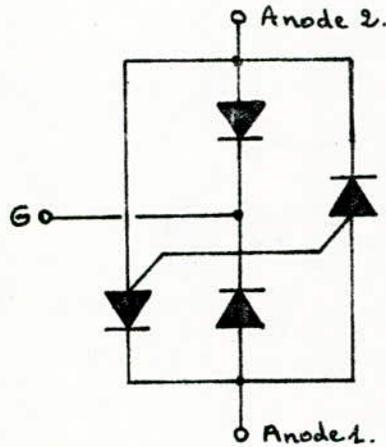


Fig E.6. Structure d'un S.B.S.

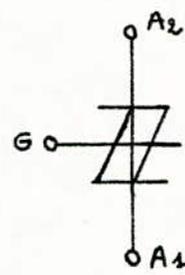


Fig E.7. Symbole d'un S.B.S.

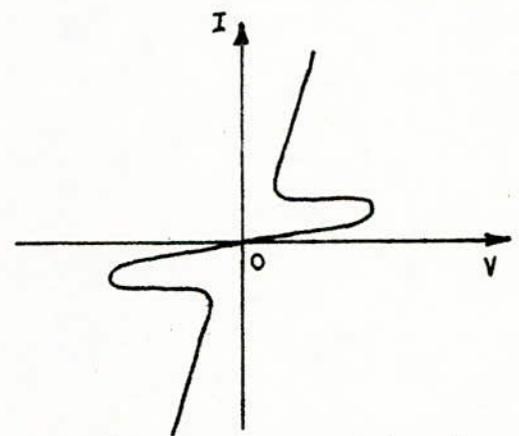


Fig E.8. Caractéristique d'un S.B.S.



Fig E.9. Symbole d'un diac.

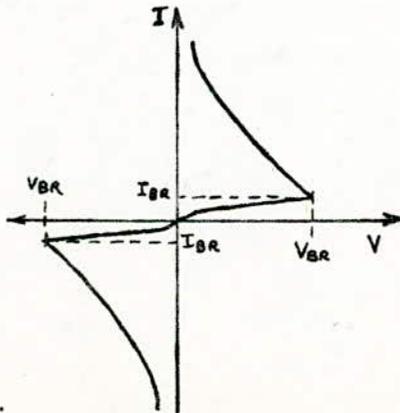


Fig E.10. Caractéristique d'un diac.

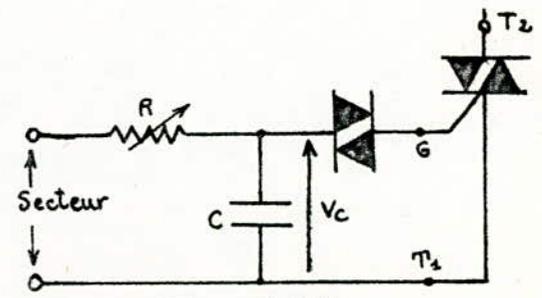


Fig E.11. Circuit de déclenchement d'un diac.

APPLICATIONS DES ELEMENTS A RESISTANCE
DYNAMIQUE NEGATIVE

Nous nous proposons de décrire dans la suite, le principe de fonctionnement de quelques circuits qui utilisent la propriété de résistance dynamique négative. Avant d'entamer cette étude, nous précisons les dispositifs utilisés ainsi que leurs caractéristiques les plus importantes.

1 - TRANSISTOR UNIJONCTION 2 N 2646

$$\eta_{min} = 0,56 \quad I_{P_{max}} = 5 \mu A \quad I_{V_{min}} = 4 \text{ mA} \quad V_V = 2 \text{ v.}$$

2 - THYRISTOR 2 N 6398

$$V_{AK_{max}} = 2.2 \text{ v} \quad I_{g_{Max}} = 30 \text{ mA} \quad V_{G_{Max}} = 1,5 \text{ v} \quad I_{H_{Max}} = 40 \text{ mA.}$$

3 - TRIAC 2 N 6348

$$V_{T_{Max}} = 1,75 \text{ v?}$$

$$I_g = 50 \text{ mA} \quad \text{pour le mode } M T_2 (+), G (+)$$

$$V_g = 2. \text{v}$$

$$I_g = 75 \text{ mA} \quad \text{pour le mode } M T_2 (+), G (-)$$

$$V_g = 2,5 \text{ v}$$

4 - S U S MUS 49 87

$$V_{seuil} = V_{S_{Max}} = 10 \text{ v} \quad I_S = 500 \text{ A} \quad I_H = 15 \text{ mA}$$

$$V_0 = 4.8 \text{ v} \quad V_0_{min} = 3.5 \text{ v}$$

typique

V_0 = tension de l'impulsion générée.

$$V_F = V_{direct_{Max}} = 1.5 \text{ v}$$

I - SYSTEMES A RETARD

Les systèmes à retard appelés aussi temporisateurs sont généralement utilisés pour alimenter ou déconnecter une charge après un temps réglable choisi à l'avance.

Nous nous proposons de décrire dans ce qui suit le principe de fonctionnement de deux temporisateurs, l'un fonctionnant en continu et l'autre en alternatif.

I-1. Temporisateur alimenté en continu

La figure I-1 donne le schéma de principe d'un temporisateur alimenté en continu dans lequel le thyristor T_1 est bloqué et le thyristor T_2 conducteur en l'absence de signal appliqué à l'interrupteur S . Dans ce cas, la capacité C_2 se trouve chargée à un potentiel $V_{A1} - V_{A2} = E$. L'anode du thyristor T_2 étant alors portée à un potentiel voisin de celui de la masse, il s'en suit que le temporisateur constitué par l'U J T n'est pratiquement pas alimenté.

Dès la fermeture de l'interrupteur S , le thyristor T_1 dont la gachette reçoit le signal de commande par l'intermédiaire du pont de résistances $R_1 - R_2$, rentre en conduction entraînant une chute brutale de la tension V_{A1} qui passe du potentiel $+E$ à un potentiel voisin de la masse, ce qui contribue à alimenter temporairement en négatif l'anode du thyristor T_2 qui se bloque.

Le circuit de temporisateur est alors alimenté à travers R_3 pendant que la capacité C_2 se charge rapidement à travers cette résistance. La capacité C_1 du circuit temporisateur se charge à travers R_6 à partir de V_{A2} jusqu'à un potentiel égal à la tension de pic de l'U J T. Dès que ce seuil est atteint, l'U.J.T génère une impulsion qui sature le thyristor T_2 . Le changement d'état de ce composant entraîne l'envoi d'un signal momentanément négatif sur l'anode du thyristor T_1 entraînant le blocage de celui-ci. Ce désamorçage déconnecte la charge de l'alimentation.

Le temps qui s'écoule entre le moment où la charge a été alimentée et celui auquel elle est déconnectée est fixé par la constante de temps $R_6 C_1$.

CALCUL DES ELEMENTS

La tension de gachette du thyristor T_1 étant de 1,5 V et la résistance R_2 étant fixée à 1 K Ω , on déduit que le courant qui la traverse est voisin de 1,5 mA.

La résistance R_1 vaut :

$$R_1 = \frac{V_e - V_g}{I_g I_2} = \frac{12 - 1,5}{30 + 1,5} = 0,33 \text{ K } \Omega \quad (\text{I.1})$$

La résistance R_3 doit laisser un courant d'anode supérieur au courant de maintien du thyristor T_2 , d'où :

$$R_{3max} = \frac{V_C - V_{AK}}{I_A} = \frac{12 - 1,75}{40} = 0,25 \text{ K } \Omega \quad (\text{I.2})$$

Nous avons pris $R_3 = 250 \Omega$

La résistance R_6 est comprise entre deux limites fixées par la double inégalité:

$$\frac{V_e - V_v}{I_v} < R_6 < \frac{V_e - V_p}{I_p} \quad (\text{I.3})$$

relations qui s'écrit, compte tenu des valeurs numériques introduites plus haut:

$$2,5 \text{ K } \Omega < R_6 < 1 \text{ M } \Omega$$

Nous avons choisi

$$C_1 = 10 \mu \text{ F}$$

La résistance R_6 est constituée d'une résistance fixe R'_6 et d'une résistance variable R''_6 .

Nous avons fixé :

$$R'_6 = 33 \text{ K } \Omega \quad R''_{6max} = 100 \text{ K } \Omega$$

Ces valeurs nous permettent d'obtenir des retards compris entre 20 msec et 618 msec (soit 0,62 sec).

La résistance R_p est une résistance de protection qui limite le courant de décharge de C_1 dans la gachette du thyristor T_2 sa valeur est fixée par la relation :

$$R_p = \frac{V_p - V_g}{I_g} = \frac{7,5 - 1,5}{30} = 0,15 \text{ K } \Omega \quad (\text{I.4})$$

La capacité C_2 doit avoir une constante de temps très faible devant celle du circuit de temporisation. Nous l'avons prise égale à :

$$C_2 = 1 \mu \text{ F}$$

Les valeurs de R_{B1} et R_{B2} sont telles que :

$$R_{B1} = 27 \Omega \quad R_{B2} = 470 \Omega$$

Les capacités C_3 et C_4 fixent les tensions de gachette. Leurs valeurs ont été choisies égales à 10 n F.

I-1. Temporisateur alimenté en alternatif

La figure 2 donne le schéma de principe d'un temporisateur alimenté en alternatif. Dans ce circuit l'alimentation continue du temporisateur est obtenue à l'aide des éléments R_3 , D_1 , C_1 , D_2 . Ce système fonctionne de la façon suivante :

Dès la mise sous tension, la gachette du Triac est portée à un potentiel suffisant pour amorcer ce dernier. Le potentiel de son anode passe alors à une valeur pratiquement nulle de sorte que la charge est alimentée. La capacité C_2 du système de temporisation constitué par l'U.J.T se charge alors avec une constante de temps $(R_6 + R_7)$. C_2 jusqu'à une valeur égale à la tension de pic de l'U.J.T. Ce dernier génère alors une impulsion qui sature le thyristor, dont le potentiel d'anode passe alors à une valeur très faible, insuffisante pour maintenir l'amorçage du Triac. Ce dernier se désamorce alors dès la fin de l'alternance, ce qui contribue à déconnecter la charge.

CALCUL DES ELEMENTS

Le circuit de temporisation est alimenté par une tension de 12 V, à partir du secteur.

La valeur de la résistance chutrice R est limitée par la valeur du courant inverse qui traverse la diode. Ce dernier étant de 25 mA, on a été conduit à prendre :

$$R = 12 \text{ K } \Omega \quad (10 \text{ W})$$

La résistance R_3 égale à 1 K Ω évite que le triac s'amorce de façon intempestive.

Les résistances R_p , R_6 , R_7 , R_{B1} et R_{P2} ont été fixées de la même façon que précédemment. La capacité C_2 a été prise égale à 10 μ F.

La capacité C_1 est égale à 220 μ F.

Le courant traversant étant faible, on pourra écrire :

$$R_1 + R_2 = \frac{12 \text{ V} - V_B}{I_B} = \frac{12 - 1.5}{30} = 0,125 \text{ K } \Omega \quad (\text{I.5})$$

Compte tenu du fait que la conduction du thyristor doit entraîner le blocage du triac, on déduit que :

$$R_1 = \frac{12 \text{ V} - V_{AK}}{I_A} = \frac{12 - 2}{100} = 0,082 \text{ K } \Omega \quad (\text{I.6})$$

ce qui donne :

$$R_2 = 33 \text{ } \Omega$$

II - COMMANDE DE LAMPES

La figure 3 donne le schéma de principe d'un circuit qui permet de modifier l'éclairage d'une lampe en agissant sur un potentiel. Dans ce circuit l'alimentation continue du circuit de temporisation est obtenue à l'aide des éléments R_1 , D_1 , D_2 \mathcal{T} .

Le dispositif est muni d'un filtre anti-parasite L_1 , C_1 . Les transistors ϕ_2 et ϕ_3 alimentent le transistor ϕ_4 pendant les alternances positives et négatives respectivement. Au passage à zéro de la tension du secteur, la paire ϕ_2 , ϕ_3 se bloque entraînant le blocage de ϕ_4 . A cet instant le circuit de temporisation constitué de l'UJT n'est plus alimenté, sa tension de pic chute à une valeur pratiquement nulle entraînant la décharge du condensateur C_2 . Comme le triac est bloqué à ce même moment, l'impulsion de gachette générée par l'UJT n'influe pas sur l'état du triac.

En dehors du passage de la tension du secteur par la valeur nulle, le Thyristor ϕ_4 étant saturé le circuit de temporisation est alimenté. La capacité C_2 se charge alors avec une constante de temps $(R_6 + R_5)C_2$ jusqu'à une valeur égale à la tension de pic de l'UJT. A ce moment l'UJT s'amorce générant une impulsion aux bornes de R_8 amorçant le triac. A partir du moment où le triac est déclenché, la charge est alimentée jusqu'à la fin de l'alternance considérée.

On constate donc qu'en agissant sur R_6 on peut modifier le temps durant lequel la charge est alimentée, donc l'intensité de l'éclairage.

CALCUL DES ELEMENTS

Nous avons admis un courant de 2 mA dans le pont de résistances R_2 , R_3 , ce qui nous donne dans le cas où V_{BEsat} est de 2 Volts :

$$R_2 = 100 \text{ K } \Omega \quad (2 \text{ W})$$

$$R_3 = 1 \text{ K}\Omega$$

Aux bornes de la résistance R_4 on retrouve environ 12 V. Nous avons pris

$$R_4 = 20 \text{ K } \Omega$$

Le calcul des éléments du temporisateur est identique à ceux faits plus haut.

Les éléments constituant le filtre passe bas ont pour valeur :

$$L_1 = 100 \text{ } \mu \text{ H}$$

$$C_1 = 0,1 \text{ } \mu \text{ F}$$

III - COMMANDE DE MOTEURS UNIVERSELS

La figure 4 donne le schéma de principe d'un variateur de vitesse fonctionnant en mono-alternance.

Le principe de fonctionnement de ce dispositif peut s'expliquer comme suit : La force contre-électromotrice produite par le moteur Universel est proportionnelle à sa vitesse. Cette grandeur peut mettre en évidence des éventuelles variations dues à des variations de charges. La comparaison de cette f.c.e.m et de la tension de référence V_1 prise aux bornes du pont R_1, R_2, D_1 , génère une tension d'écart qui est utilisée pour assurer la régulation de vitesse. A la mise sous tension, le Thyristor est bloqué de sorte que toute la tension est appliquée au pont déphaseur ; le moteur est alors déconnecté du circuit. La capacité C_1 se charge jusqu'à un seuil égal à la somme de la tension d'amorçage du S U S augmentée de la tension gachette du thyristor. Lorsque ce seuil est atteint la capacité se décharge à travers le S U S qui délivre une impulsion qui assure la conduction du thyristor.

La tension anode-cathode de cet élément étant alors très faible, on en déduit que le circuit déphaseur est pratiquement court-circuité. Toute la tension du secteur se retrouve aux bornes du moteur.

Pour préciser l'action régulatrice du dispositif, imaginons une variation de charge qui entraînerait une augmentation de la vitesse du moteur. Dans ce cas la f.c.e.m tendrait à augmenter. La tension $V_1 - V_2$ étant constante, on en déduit que l'amorçage du S U S sera obtenu pour une tension du secteur plus élevé. Dans ce cas la durée pendant laquelle le thyristor est amorcé est plus faible, ce qui devrait se traduire par une diminution de la vitesse du moteur assurant ainsi l'action régulatrice.

IV - ALIMENTATION STABILISEE BASSE TENSION

La figure 5 donne le schéma d'une alimentation stabilisée basse tension n'utilisant pas de transformateur.

Dans ce dispositif le signal de commande de la gachette du thyristor est obtenu de la façon suivante : les diodes zener suppriment les alternances négatives et écrêtent les alternances positives à 30 V. Ce signal d'allure pratiquement carré, est transformé en impulsion positive et négative par le circuit R_2, C_2 . La diode D_3 bloque les impulsions négatives, tandis que la diode D_2

transmet les impulsions positives. La stabilisation de la tension de sortie est obtenue de la façon suivante : pendant les alternances négatives, la capacité C_5 se charge à travers R_5 , D_1 et R_1 . Pendant l'alternance positive suivante, le Thyristor rendu conducteur permet le transfert de la charge emmagasinée dans C_5 vers C_4 . Ce transfert ne peut être obtenu que si la tension de sortie est inférieure à la tension aux bornes des diodes zener.

Cette tension est indépendante des variations du secteur et des charges.

CALCUL DES ELEMENTS

Le système de protection R_p , C_p est composé des éléments :

$$R_p = 150 \Omega$$

$$C_p = 220 \text{ n F}$$

La capacité C_5 doit avoir une constante de temps τ faible devant la période du secteur. Nous avons pris :

$$\tau = 50 \mu \text{ sec}$$

$$C_5 = 16 \mu \text{ F (500 V)}$$

Ce qui nous donne :

$$R_5 = 3,3 \Omega (10 \text{ W})$$

La résistance R_1 doit être de valeur assez élevée. Nous l'avons prise égale à $150 \text{ K } \Omega (2 \text{ W})$. Elle assure l'alimentation du circuit qui est en aval de C_5 . Lorsque cette dernière est chargée.

La cellule R_2 , R_3 , C_2 doit avoir une faible constante de temps τ' , afin de fournir des impulsions de courtes durées. Nous avons pris :

$$\tau' = 500 \mu \text{ sec.}$$

Nous avons choisi C_2 égal à 10 n F . Ce qui nous donne dans le cas où R_2 et R_3 sont égales :

$$R_2 = R_3 = 100 \text{ K } \Omega$$

Nous avons pris C_1 égal à $1 \mu \text{ F}$.

V - CHARGEUR DE BATTERIE AVEC ARRÊT AUTOMATIQUE

On considère qu'une batterie est chargée lorsque la tension aux bornes de chacun de ses éléments est supérieure à une certaine valeur fonction de l'accumulateur et de l'électrolyte.

Une charge en continu d'une batterie peut conduire à sa détérioration si celle-ci est faite sans précautions. Un chargeur avec arrêt automatique permet de déco-necter le circuit de charge de la batterie, dès que celle-ci est supposée suffisamment chargée. La figure 6 donne le schéma de principe d'un chargeur à arrêt automatique.

Dans ce circuit, le transformateur et les diodes D_3 et D_4 abaissent et redressent la tension du secteur, appliquant ainsi à la batterie un courant de charge par l'intermédiaire du thyristor T_1 et du potentiomètre R . Dès la mise sous tension la gachette du thyristor T_1 reçoit un courant à travers la résistance R_2 et la diode D_2 ; en supposant que le thyristor T_2 est désamorçé ce qui est vrai si la batterie n'est pas suffisamment chargée. La diode B_2 est prévue pour bloquer toute composante négative éventuelle. Le diviseur R_5 , R_4 , placé aux bornes de la batterie assure l'alimentation de la gachette du thyristor T_2 à travers la diode zener D_1 .

Le potentiomètre R_4 est réglé de façon que lorsque la batterie est suffisamment chargée, la gachette du thyristor T_2 n'est pas alimentée; dans ce cas le thyristor T_1 est amorcé à chaque demi-alternance. Au fur et à mesure que le potentiel aux bornes de la batterie augmente, la capacité C se charge jusqu'à une tension égale à la somme des tensions Zener, de la diode D_1 et de la tension de gachette nécessaire pour déclencher le thyristor T_2 .

Dès l'amorçage du thyristor T_2 , un courant important circule dans les résistances R_2 et R_3 . Le potentiel V_{A2} passant à une valeur pratiquement nulle, il s'en suit que le potentiel d'anode de la diode D_2 passe à une valeur inférieure à celle de la cathode du thyristor T_1 . La diode D_2 est alors bloquée supprimant le courant de gachette du thyristor T_1 qui se bloque à la fin de l'alternance. Le circuit de charge est remis en marche dès que le potentiel aux bornes de la batterie devient inférieur à un seuil fixé à l'avance. Le thyristor T_2 se bloque et le phénomène précédent se reproduit.

CALCUL DES ELEMENTS

La tension redressée est de 22 V.

La résistance R_2 qui fixe le courant de gachette a été fixée à 50Ω (5W)

Les résistances R_2 et R_3 limitent le courant qui traverse le thyristor T_2 . Nous avons pris :

$$R_3 = R_2 = 50 \Omega \quad (5 W)$$

La tension aux bornes de la batterie est filtrée par le condensateur C_1 . Pour limiter le taux d'ondulation, la constante de temps $R_1 C_1$ doit être supérieure à la pulsation du secteur. Nous avons pris :

$$R_4 = 500 \Omega$$

$$C_1 = 220 \mu F.$$

La résistance R_1 a été fixée égale à $1 K \Omega$.

Nous avons pris R_5 égale à 50Ω

Nous avons utilisé comme diodes :

$$D_1 \quad \text{BZY88C8V2}$$

$$D_2, D_3, D_4 \quad \text{sont des 13J2}$$

- BIBLIOGRAPHIE :
- Les thyristors par R. ENUCET
 - Les Triacs par J.P. CHABANNE
 - Thyristors et Triacs par M. LILEN
 - 110 études pratiquées à thyristors et à triacs par R.M. NARSTON.
 - Pulse, digital, and Switching wave forms, par MILLMAN and TAURB.
 - Technique du Transistor, par F. PIETERMAAT.
 - Semi-conducteurs - 1ère partie, par MOUNIC.

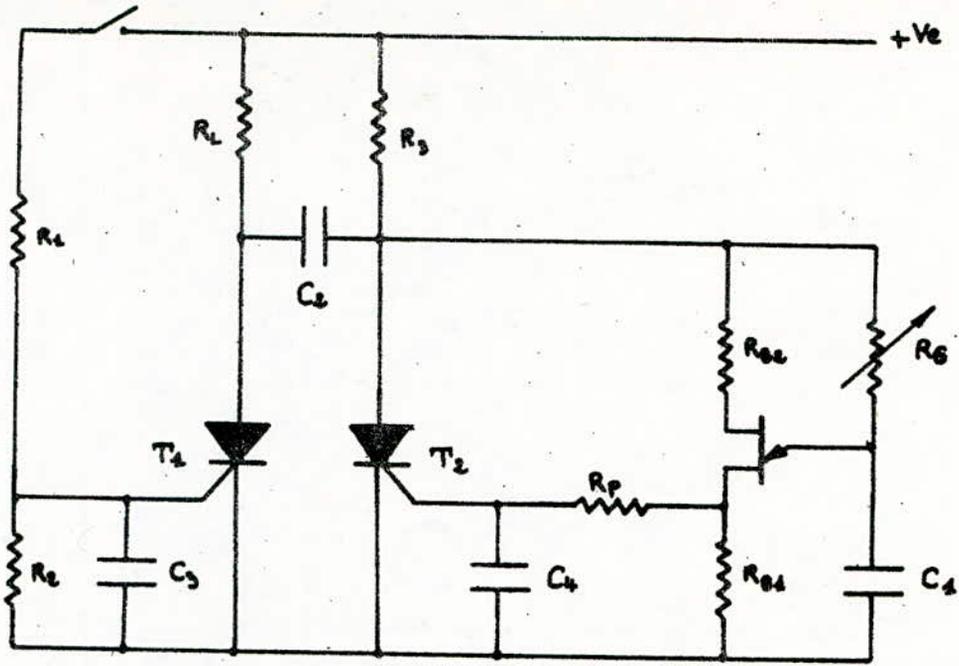


Fig. 1. Interrupteur automatique à courant continu.

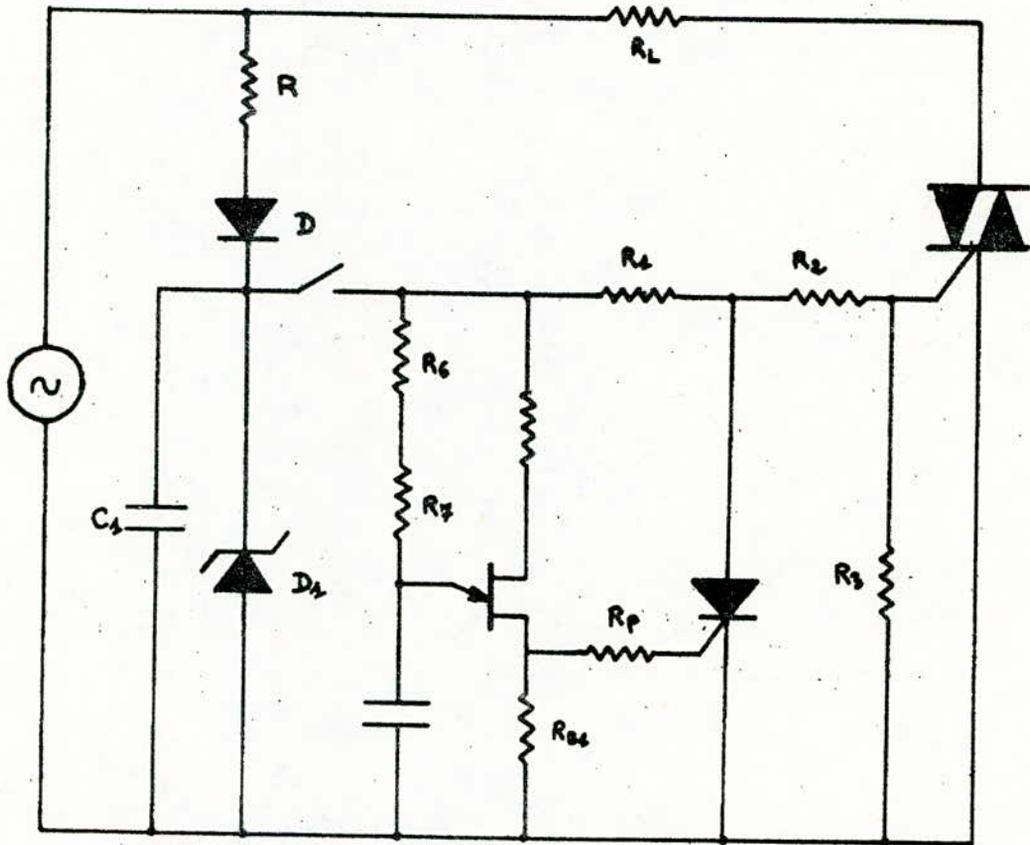


Fig. 2. Interrupteur automatique à courant alternatif.

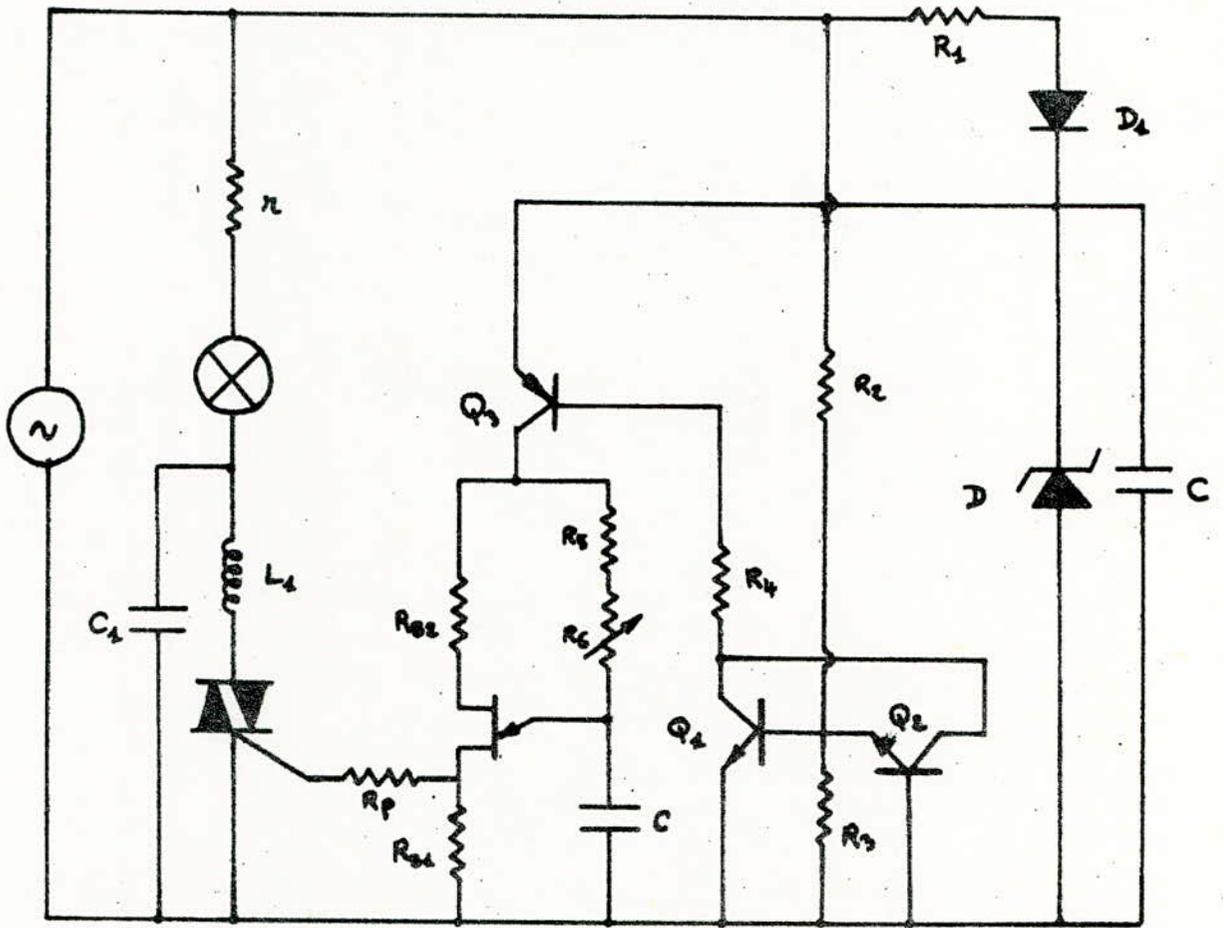


Fig 3. Commande de lampes.

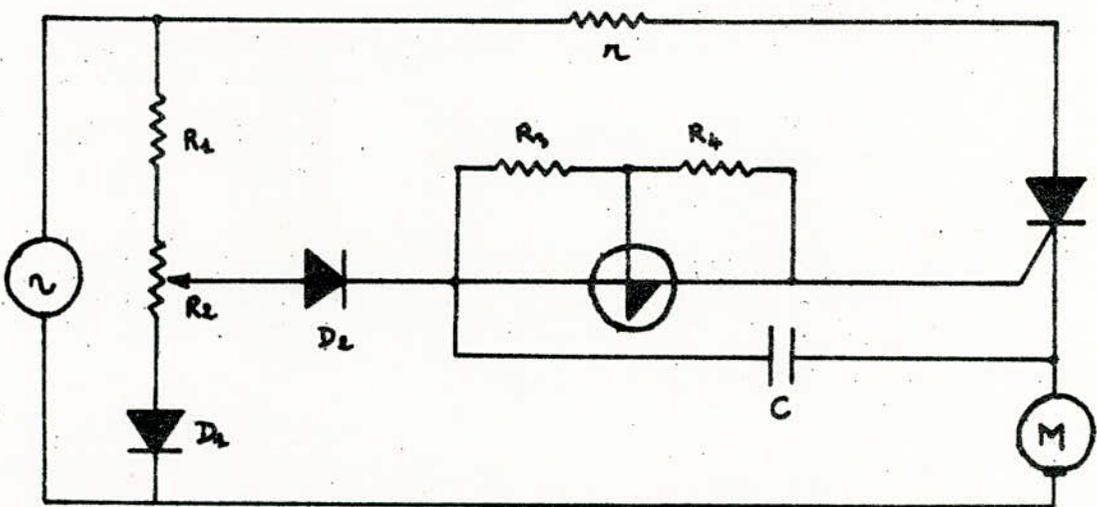


Fig 4. Variateur de vitesse pour moteur universel.

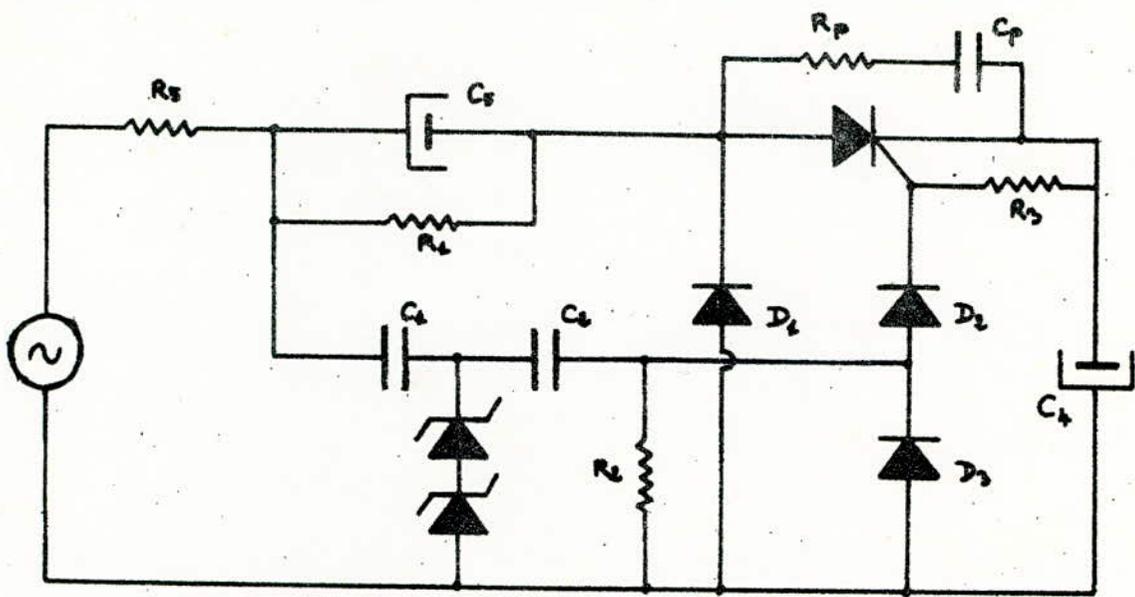


Fig. 5. Alimentation basse tension sans transformateur.

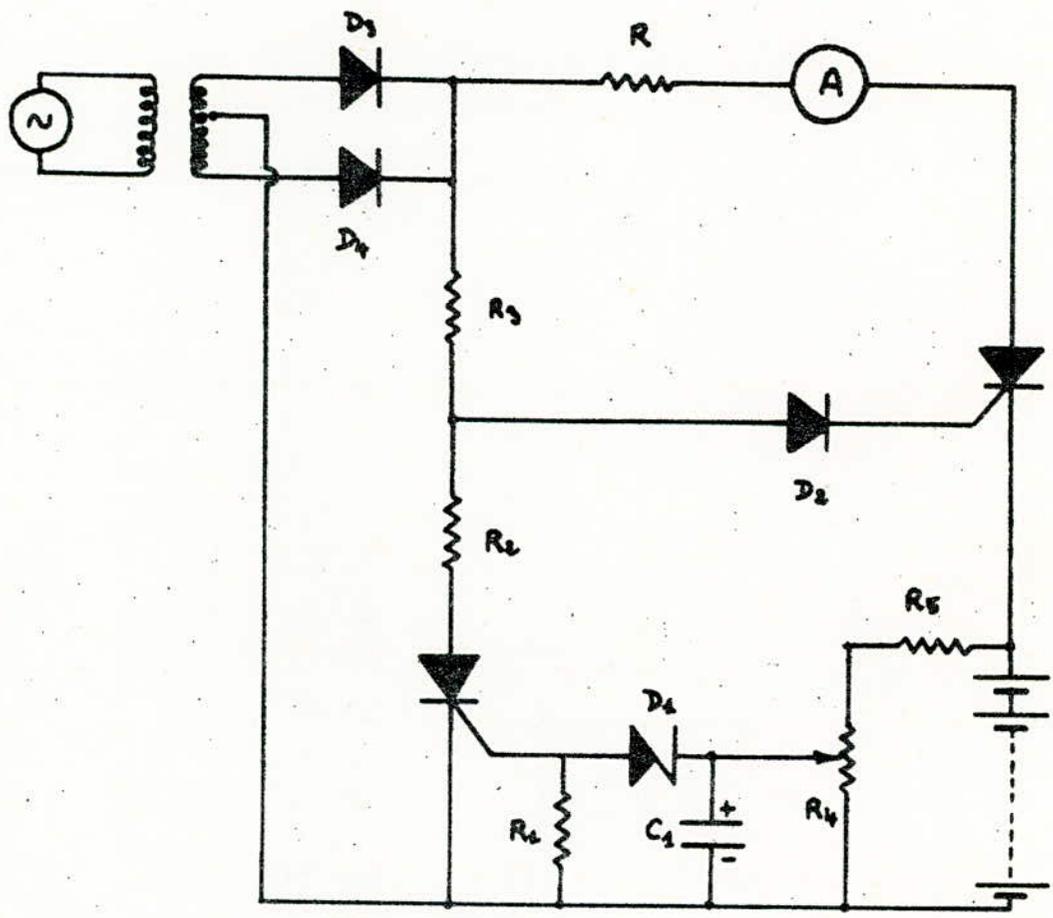


Fig. 6. Chargeur de batterie avec arrêt automatique.

2N4993 (SILICON)



SILICON BIDIRECTIONAL SWITCH

designed for full wave triggering in Triac phase control circuits, half wave SCR triggering applications and as voltage level detectors

- Low Switching Voltage - 8.0 Volts Typical
- Uniform Characteristics in Each Direction
- Low On-State Voltage - 1.7 Volts Maximum
- Low Off State Current - 1.0 μ A Maximum
- Low Temperature Coefficient - 0.02 %/°C Typical

SILICON BIDIRECTIONAL SWITCH

8.0-10 VOLTS
350 mW

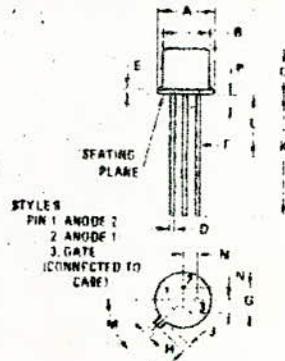
DS 2619



*MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Dissipation	P_D	350	mW
DC Forward Anode Current	I_F	200	mA
DC Gate Current (off state only)	$I_G(\text{off})$	5.0	mA
Repetitive Peak Forward Current (1.0% Duty Cycle, 10 μ s Pulse Width)	$I_{FM}(\text{rep})$	1.0	Amp
Non-Repetitive Forward Current 18 μ s Pulse Width	$I_{FM}(\text{nonrep})$	5.0	Amps
Operating Junction Temperature Range	T_J	-55 to +150	°C
Storage Temperature Range	T_{STG}	-55 to +200	°C

*Indicates JEDEC Registered Data



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	5.31	5.89	0.209	0.231
B	4.57	4.85	0.179	0.190
C	4.37	5.23	0.170	0.207
D	0.406	0.533	0.016	0.021
E		0.762		0.030
F	0.406	0.482	0.016	0.019
G	2.54	2.54	0.100	0.100
H	0.914	1.17	0.036	0.046
J	0.711	1.27	0.028	0.050
K	12.0		0.472	
L	6.35		0.250	
M	4.68	5.1	0.184	0.201
N	1.27	1.27	0.050	0.050
P		1.27		0.050

ALL DIMENSIONS ARE IN MILLIMETERS UNLESS OTHERWISE SPECIFIED
CASE 22 014
1141 101

2N4993 (continued)

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
*Switching Voltage	V_S	8.0	8.0	10	Vdc
*Switching Current	I_S		175	500	μAdc
*Switching Voltage Differential	$ V_{S1} - V_{S2} $		0.3	0.5	Vdc
Holding Current	I_H		0.7	1.5	mAdc
*Off State Blocking Current ($V_F = 5.0 \text{ Vdc}$, $T_A = 25^\circ\text{C}$) ($V_F = 5.0 \text{ Vdc}$, $T_A = 100^\circ\text{C}$)	I_B		0.06 6.0	1.0 10	μAdc
*Forward On State Voltage ($I_F = 200 \text{ mAdc}$)	V_F		1.4	1.7	Vdc
Peak Output Voltage ($C_C = 0.1 \mu\text{F}$, $R_L = 20 \text{ ohms}$, (Figure 7))	V_o	3.5	4.8		Vdc
Turn On Time (Figure 8)	t_{on}		1.0		μs
Turn Off Time (Figure 9)	t_{off}		30		μs
Temperature Coefficient of Switching Voltage	T_C		+0.02		$\%/^\circ\text{C}$
*Switching Current Differential	$ I_{S2} - I_{S1} $			100	μAdc

*Indicates JEDEC Registered Data

TYPICAL ELECTRICAL CHARACTERISTICS

FIGURE 1 - SWITCHING VOLTAGE versus TEMPERATURE

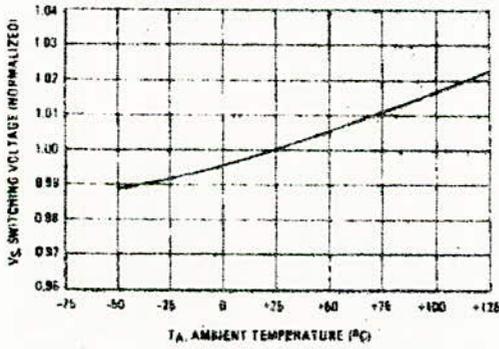
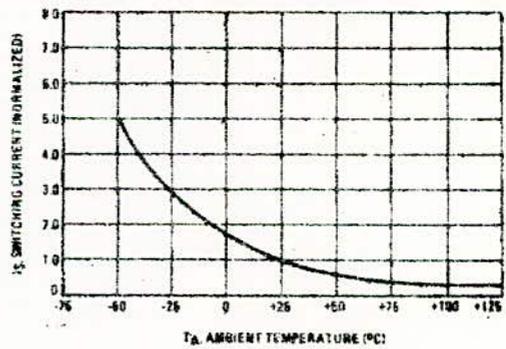


FIGURE 2 - SWITCHING CURRENT versus TEMPERATURE



2N4993 (continued)

FIGURE 3 - HOLDING CURRENT versus TEMPERATURE

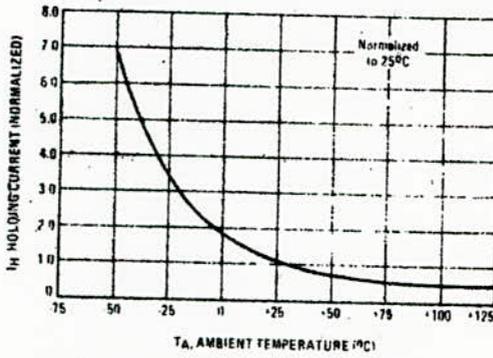


FIGURE 4 - OFF-STATE BLOCKING CURRENT versus TEMPERATURE

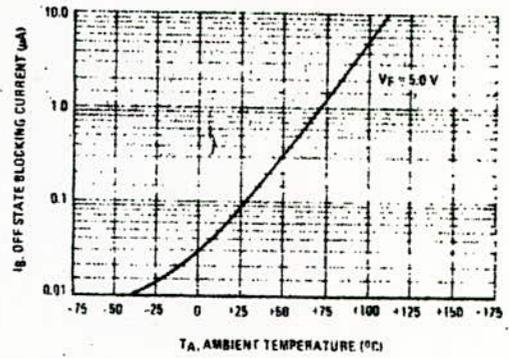


FIGURE 5 - ON-STATE VOLTAGE versus FORWARD CURRENT

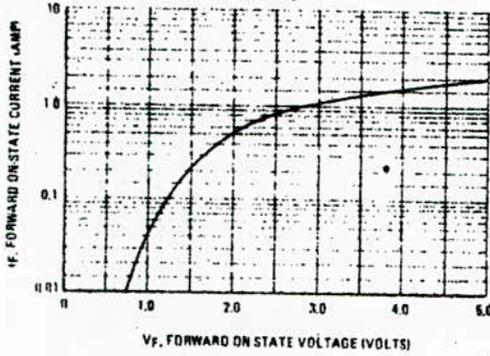


FIGURE 6 - PEAK OUTPUT VOLTAGE (FUNCTION OF R_L AND C_c)

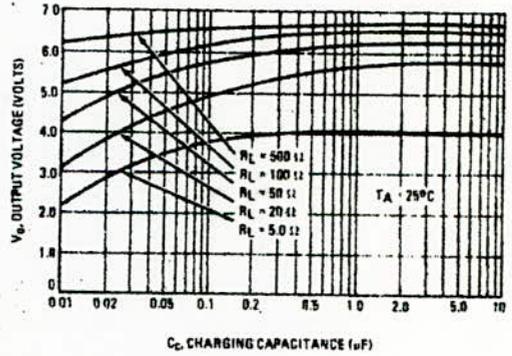


FIGURE 7 - PEAK OUTPUT VOLTAGE TEST CIRCUIT

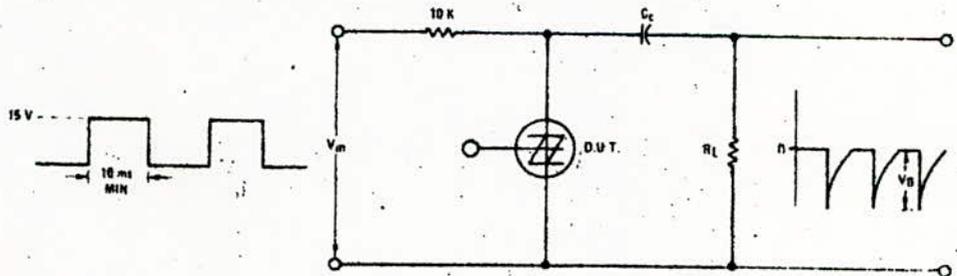
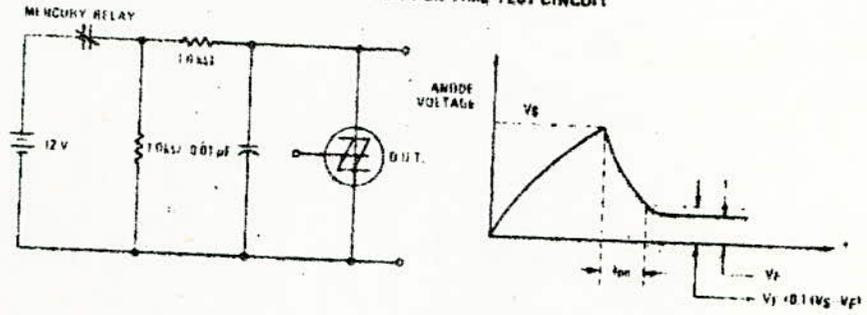
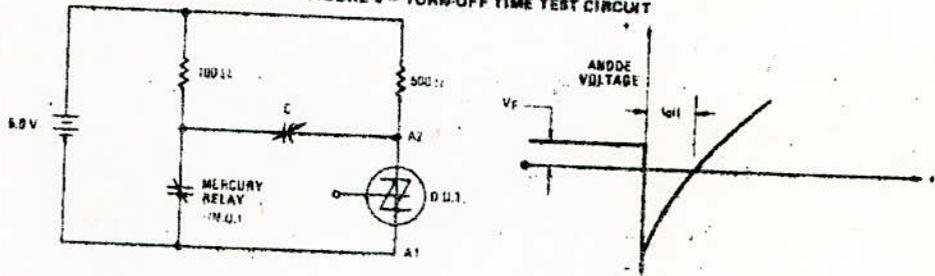


FIGURE 8 - TURN-ON TIME TEST CIRCUIT



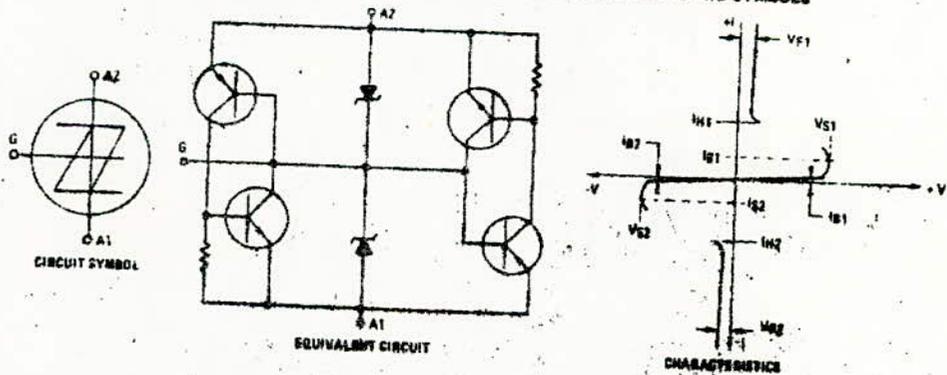
Turn on time is measured from the time V_g is achieved to the time when the anode voltage drops to within 90% of the difference between V_g and V_t .

FIGURE 9 - TURN-OFF TIME TEST CIRCUIT



With the SBS in conduction and the relay contacts open, close the contacts to cause anode A2 to be driven negative. Decrease C until the SBS just remains off when anode A2 becomes positive. The turn off time, t_{off} , is the time from initial contact closure and until anode A2 voltage reaches zero volts.

FIGURE 10 - DEVICE EQUIVALENT CIRCUIT, CHARACTERISTICS AND SYMBOLS



1N5758,A thru 1N5762,A (SILICON)

SILICON 3-LAYER BILATERAL TRIGGERS

Annular, two terminal devices that exhibit bi-directional negative resistance switching characteristics. These economical, durable devices have been developed for use in thyristor triggering circuits for lamp drivers and universal motor speed controls.

- Switching Voltage Range — 20 to 36 Volts Nominal
- Symmetrical Characteristics
- Passivated Surface for Reliability and Uniformity

SILICON BILATERAL TRIGGERS



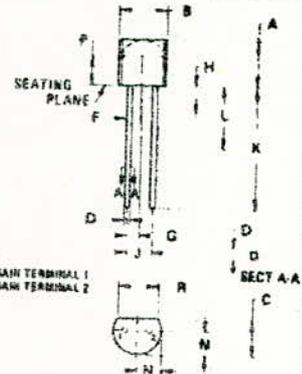
*MAXIMUM RATINGS (T_A = 25°C unless otherwise noted)

Rating	Symbol	Value	Unit
Peak Pulse Current (30 μs duration, 120 Hz repetition rate)	I _{pulse}	2.0	Amp
Power Dissipation @ T _A = -40 to +25°C Derate above 25°C	P _D	300 4.0	mW mW/°C
Operating Junction Temperature Range	T _J	-40 to +100	°C
Storage Temperature Range	T _{stg}	-40 to +150	°C

*ELECTRICAL CHARACTERISTICS (T_A = 25°C unless otherwise noted)

Characteristic	Symbol	Min	Max	Unit
Switching Voltage (Both Directions)	1N5758	15	24	Volts
	1N5759	20	26	
	1N5760	24	32	
	1N5761	28	36	
	1N5762	32	40	
	1N5758A	18	22	
	1N5759A	22	26	
	1N5760A	26	30	
Switching Current (Both Directions) (T _A = -40 to +75°C)	1N5758/5762	—	100	μA
	1N5758A/5762A	—	25	
Switching Voltage Change (Both Directions) (ΔI = I _g to I = 10 mA)	1N5758,A,1N5759,A	5.0	—	Volts
	1N5760,A,61,A,62,A	7.0	—	
Leakage Current (Both Directions), (Applied Voltage = 14 Volts)	I _B	—	10	μA
Switching Voltage Symmetry	1N5758/5762	—	± 4.0	Volts
	1N5758A/5762A	—	± 2.0	
Peak Pulse Amplitude (Figure 1) (Both Polarities)	1N5758,A,1N5759,A	3.0	—	Volts
	1N5760,A,61,A,62,A	5.0	—	

*Indicates JEDEC Registered Data.



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	4.32	5.33	0.170	0.210
B	4.45	5.21	0.175	0.205
C	2.18	4.18	0.125	0.165
D	0.365	0.523	0.014	0.021
E	0.487	0.482	0.019	0.019
F	1.27	85C	0.050	85C
G	—	1.27	—	0.050
H	2.54	85C	0.100	85C
I	12.70	—	0.500	—
J	0.30	—	0.012	—
K	2.65	7.60	0.104	0.300
L	2.91	—	0.114	—
M	3.43	—	0.135	—

CASE 182-02

1N5758,A thru 1N5762,A (continued)

TYPICAL ELECTRICAL CHARACTERISTICS

FIGURE 1 - PEAK PULSE AMPLITUDE TEST CIRCUIT

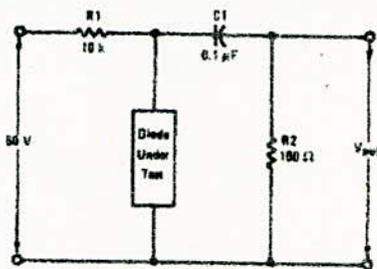


FIGURE 2 - VOLT-AMPERE CHARACTERISTICS

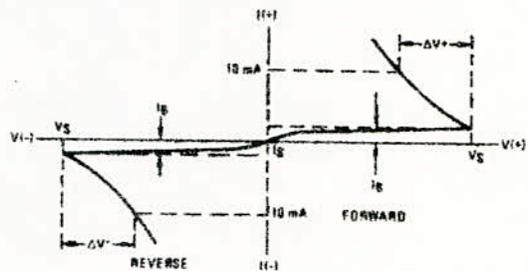


FIGURE 3 - BREAKOVER VOLTAGE BEHAVIOR

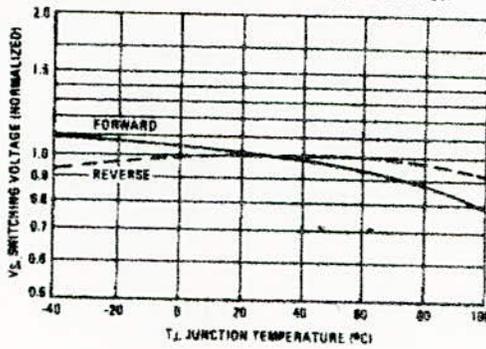


FIGURE 4 - NORMALIZED OUTPUT VOLTAGE BEHAVIOR

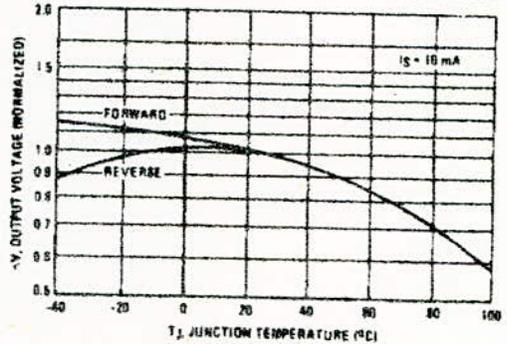


FIGURE 5 - SWITCHING TIMES

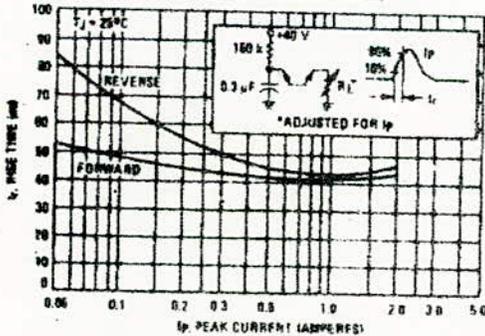
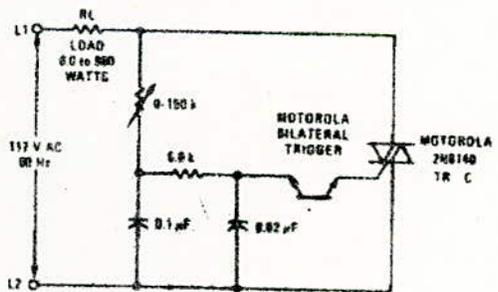


FIGURE 6 - CONTROL CIRCUIT



1N5779 thru 1N5793 For Specifications, See 1N5158 Data

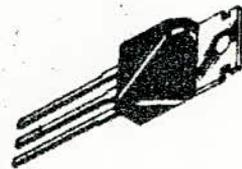
2N6394 thru 2N6399 (SILICON)



SILICON CONTROLLED RECTIFIERS

- designed primarily for half-wave ac control applications, such as motor controls, heating controls and power supplies; or wherever half-wave silicon gate-controlled, solid-state devices are needed.
- Glass Passivated Junctions and Center Gate Fire for Greater Parameter Uniformity and Stability
 - Small, Rugged, Thermowatt Construction for Low Thermal Resistance, High Heat Dissipation and Durability
 - Blocking Voltage to 800 Volts

THYRISTORS
12 AMPERES RMS
50-800 VOLTS



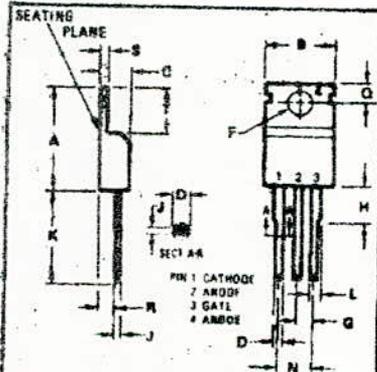
MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Peak Reverse Blocking Voltage (1)	V_{RRM}		Volts
2N6394		80	
2N6396		100	
2N6398		200	
2N6397		400	
2N6398		800	
2N6399		800	
Forward Current RMS $T_J = 125^\circ\text{C}$ (All Conduction Angles)	$I_T(\text{RMS})$	12	Amps
Peak Forward Surge Current (1/2 cycle, Sine Wave, 60 Hz, $T_J = 125^\circ\text{C}$)	I_{TSM}	100	Amps
Circuit Fusing Consideration: ($T_J = -40$ to $+125^\circ\text{C}$, $t = 1.0$ to 8.3 ms)	I^2t	40	A^2s
Forward Peak Gate Power	P_{GM}	20	Watts
Forward Average Gate Power	$P_{G(AV)}$	0.6	Watt
Forward Peak Gate Current	I_{GM}	2.0	Amps
Operating Junction Temperature Range	T_J	-40 to +125	$^\circ\text{C}$
Storage Temperature Range	T_{stg}	-40 to +150	$^\circ\text{C}$

THERMAL CHARACTERISTICS

Characteristic	Symbol	Max	Unit
Thermal Resistance, Junction to Case	$R_{\theta JC}$	2.0	$^\circ\text{C}/\text{W}$

(1) Values for all types can be applied on a continuous basis without incurring damage. Ratings apply for zero or negative gate voltage. Devices should not be tested for blocking capability in a manner such that the voltage supplied exceeds the rated blocking voltage.
*Indicates JEDEC Registered Data



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	14.23	15.87	0.560	0.625
B	9.85	10.65	0.388	0.420
C	3.56	4.92	0.140	0.194
D	0.51	1.14	0.020	0.045
E	3.52	4.73	0.139	0.187
F	2.29	2.79	0.090	0.110
G		8.35		0.329
H	0.31	1.14	0.012	0.045
J	12.70	14.27	0.500	0.562
L	1.14	1.77	0.045	0.070
N	4.83	5.33	0.190	0.210
P	2.54	3.04	0.100	0.120
R	2.04	2.92	0.080	0.115
S	0.51	1.38	0.020	0.055
T	6.85	8.85	0.270	0.350

CASE 221 02
TO 220 AB

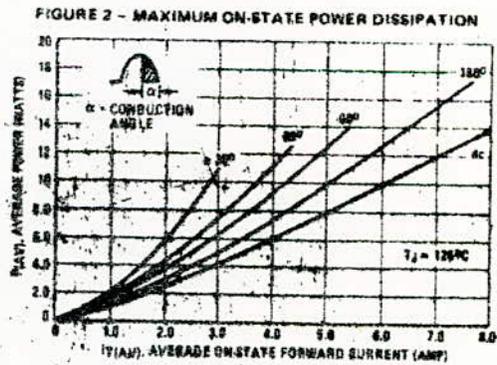
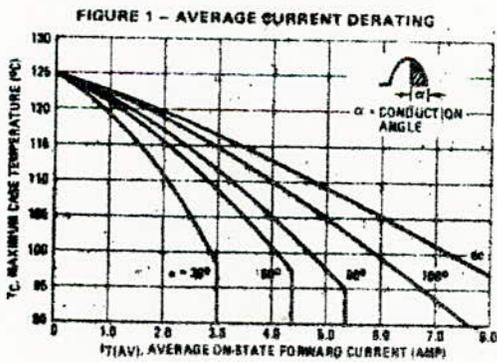
AN JEDEC DISPOSITION AND NOTES APPLY

2N6394 thru 2N6399 (continued)

*ELECTRICAL CHARACTERISTICS ($T_C = 25^\circ\text{C}$ unless otherwise noted)

Characteristic	Symbol	Min	Typ	Max	Unit
Peak Forward Blocking Voltage ($T_J = 125^\circ\text{C}$)	V_{ORM}				Volts
2N6394		50	-	-	
2N6395		100	-	-	
2N6396		200	-	-	
2N6397		400	-	-	
2N6398		600	-	-	
2N6399		800	-	-	
Peak Forward Blocking Current (Rated V_{DRM} @ $T_J = 125^\circ\text{C}$)	I_{DRM}			2.0	mA
Peak Reverse Blocking Current (Rated V_{RRM} @ $T_J = 125^\circ\text{C}$)	I_{RRM}			2.0	mA
Forward "On" Voltage ($I_{TM} = 24 \text{ A Peak}$)	V_{TM}		1.7	2.2	Volts
Gate Trigger Current (Continuous dc) (Anode Voltage = 12 Vdc, $R_L = 100 \text{ Ohms}$)	I_{GT}		5.0	30	mA
Gate Trigger Voltage (Continuous dc) (Anode Voltage = 12 Vdc, $R_L = 100 \text{ Ohms}$)	V_{GT}		0.7	1.5	Volts
Gate Non-Trigger Voltage (Anode Voltage = Rated V_{DRM} , $R_L = 100 \text{ Ohms}$, $T_J = 125^\circ\text{C}$)	V_{GD}	0.2	-	-	Volts
Holding Current (Anode Voltage = 12 Vdc)	I_H		6.0	40	mA
Turn-On Time ($I_{TM} = 12 \text{ A}$, $I_{GT} = 40 \text{ mAdc}$)	t_{gt}		1.0	2.0	μs
Turn-Off Time (V_{DRM} = rated voltage) ($I_{TM} = 12 \text{ A}$, $I_R = 12 \text{ A}$) ($I_{TM} = 12 \text{ A}$, $I_R = 12 \text{ A}$, $T_J = 125^\circ\text{C}$)	t_q		15 35	-	μs
Forward Voltage Application Rate ($T_J = 125^\circ\text{C}$)	dv/dt		50	-	$\text{V}/\mu\text{s}$

*Indicates JEDEC Registered Data.



2N6394 thru 2N6399 (continued)

FIGURE 3 - MAXIMUM ON-STATE CHARACTERISTICS

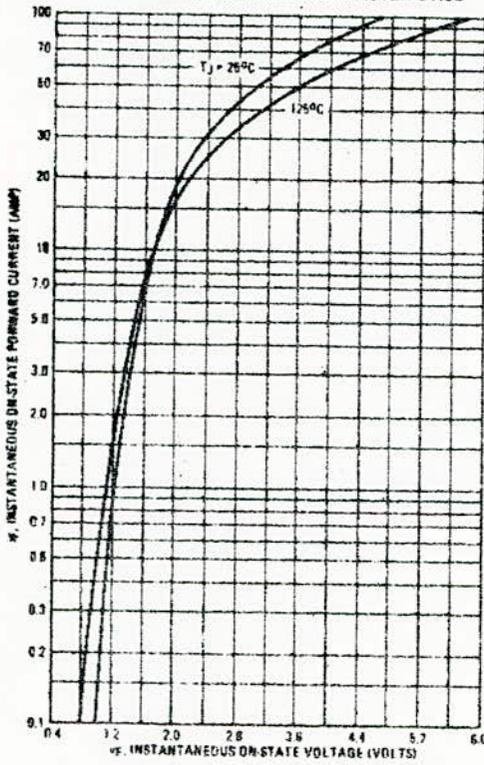


FIGURE 4 - MAXIMUM NON-REPETITIVE SURGE CURRENT

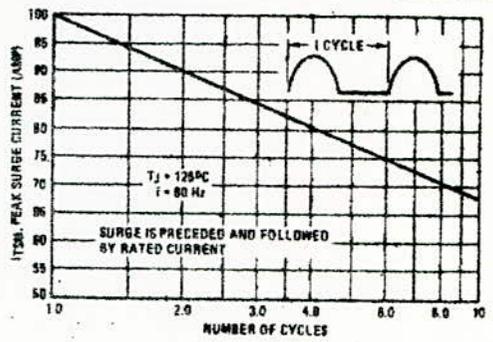


FIGURE 5 - CHARACTERISTICS AND SYMBOLS

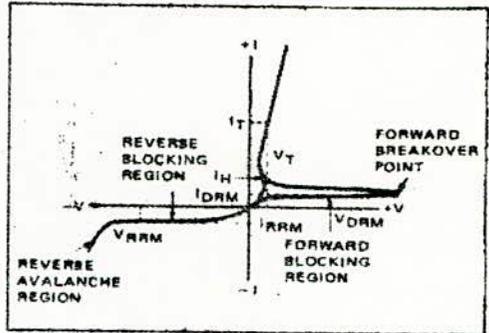
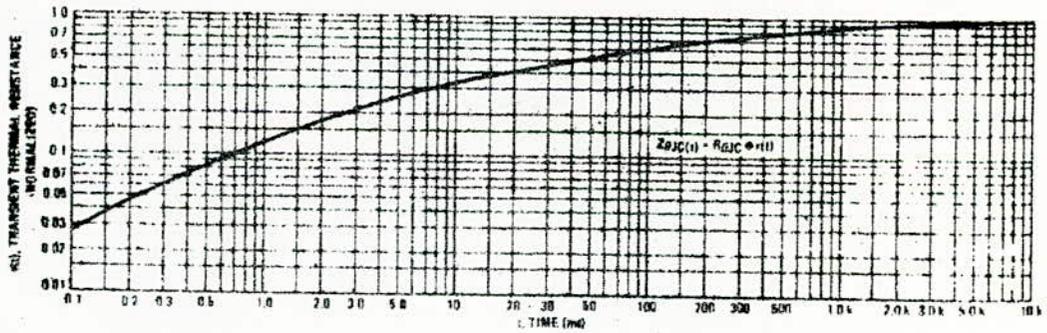


FIGURE 6 - THERMAL RESPONSE



TYPICAL CHARACTERISTICS

FIGURE 7 - PULSE TRIGGER CURRENT

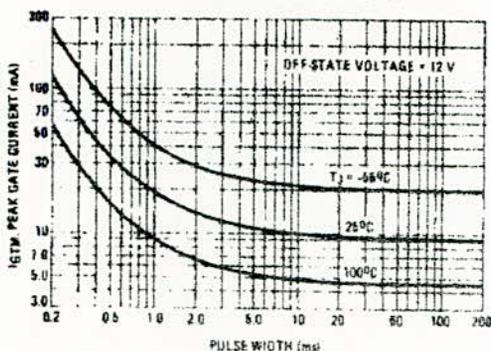


FIGURE 8 - GATE TRIGGER CURRENT

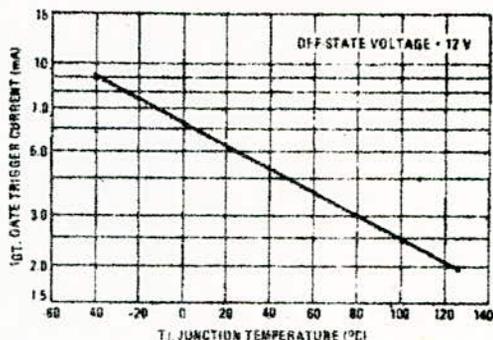


FIGURE 9 - GATE TRIGGER VOLTAGE

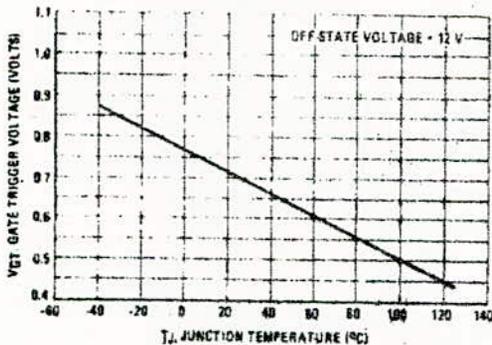
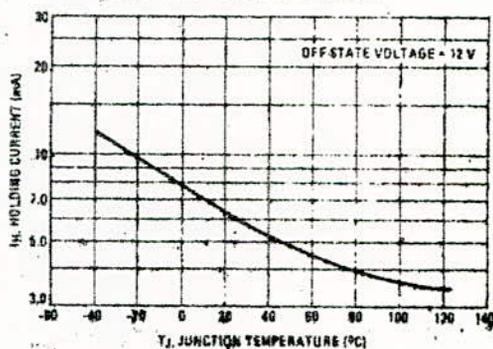


FIGURE 10 - HOLDING CURRENT



THYRISTOR APPLICATION NOTES

- AN-140 Characterization of SCR's as Switches for Line Type Modulators
- AN-189 Solid-State Pulse Width Modulation DC Motor Control
- AN-240 SCR Power Control Fundamentals
- AN-296 Suppressing RFI in Thyristor Circuits
- AN-413 Unijunction Trigger Circuits for Gated Thyristors
- AN-441 SCR Slaving Circuits
- AN-443 Directional and Speed Control for Series, Universal and Shunt Motors
- AN-450 Induction Motor Speed Control
- AN-453 Zero Point Switching Techniques
- AN-462 Electronic Speed Control of Appliance Motors

- AN-526 Theory, Characteristics and Applications of Silicon Unilateral and Bilateral Switches
- AN-527 Theory, Characteristics and Applications of the Programmable Unijunction Transistor
- AN-668 A Fuse-Thyristor Coordinator Primer

To obtain copies of these notes list the AN number(s) on your company letterhead and send your request to:

Technical Information Center
 Motorola Semiconductor Products, Inc.
 P.O. Box 20834
 Phoenix, Arizona 85028

2N6342A (SILICON)

thru

2N6349A



SILICON BIDIRECTIONAL THYRISTORS

designed primarily for full-wave ac control applications, such as light dimmers, motor controls, heating controls and power supplies; or wherever full-wave silicon gate controlled solid-state devices are needed. Triac type thyristors switch from a blocking to a conducting state for either polarity of applied anode voltage with positive or negative gate triggering.

- Blocking Voltage to 800 Volts
- All Diffused and Glass Passivated Junctions for Greater Parameter Uniformity and Stability
- Small, Rugged, Thermowatt Construction for Low Thermal Resistance, High Heat Dissipation and Durability
- Gate Triggering Guaranteed in Two Modes (2N6342A, 2N6343A, 2N6344A, 2N6345A) or Four Modes (2N6346A, 2N6347A, 2N6348A, 2N6349A)
- For 400 Hz Operation, Consult Factory
- 8 Ampere Devices Available as 2N6342 thru 2N6349

MAXIMUM RATINGS

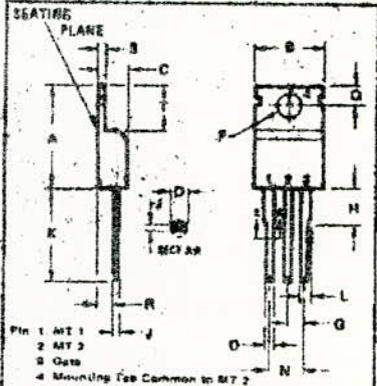
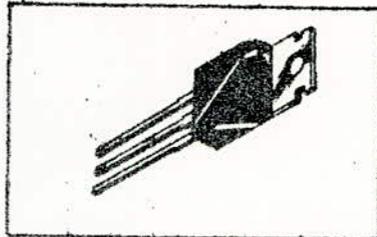
Rating	Symbol	Value	Unit
*Repetitive Peak Off-State Voltage, Note 1 (T _J = -40 to +110°C) % Sine Wave 50 to 60 Hz, Gate Open	V _{DRM}	200 400 600 800	Volts
*Peak Gate Voltage	V _{GM}	10	Volts
*On-State Current RMS Full Cycle Sine Wave 50 to 60 Hz (T _C = +85°C)	I _{T(RMS)}	12 8.0	Amp
*Peak Surge Current (One Full Cycle, 60 Hz, T _C = +85°C) preceded and followed by rated current	I _{TSM}	120	Amp
Circuit Fusing Considerations (T _J = -40 to +110°C, t = 1.0 to 8.3 ms)	I _F	40	A ² s
*Peak Gate Power (T _C = +85°C, Pulse Width = 2.0 μs)	P _{GM}	20	Watts
*Average Gate Power (T _C = +85°C, t = 8.3 ms)	P _{G(AV)}	0.5	Watt
*Peak Gate Current	I _{GM}	7.0	Amp
*Operating Junction Temperature Range	T _J	-40 to +110	°C
*Storage Temperature Range	T _{stg}	-40 to +150	°C

THERMAL CHARACTERISTIC

Characteristic	Symbol	Max	Unit
*Thermal Resistance, Junction to Case	R _{θJC}	2.0	°C/W

*Indicates JEDEC Registered Data

**TRIACS
(THYRISTORS)**
12 AMPERES RMS
200 - 800 VOLTS



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	14.23	15.81	0.560	0.625
B	8.66	10.66	0.340	0.420
C	3.56	4.82	0.140	0.190
D	0.81	1.14	0.030	0.045
E	3.52	3.73	0.138	0.147
F	7.29	7.79	0.091	0.110
G		6.35		0.250
H	0.31	1.14	0.012	0.045
I	12.70	14.27	0.500	0.562
J	1.14	1.77	0.045	0.070
K	4.83	5.33	0.190	0.210
L	2.54	3.04	0.100	0.120
M	2.04	2.32	0.080	0.115
N	0.51	1.39	0.020	0.055
O	5.85	6.85	0.230	0.270

CASE 22102
TO 220 AB

All KEEC dimensions and notes apply

2N6342A thru 2N6349A (continued)

ELECTRICAL CHARACTERISTICS (T_C = 25° unless otherwise noted)

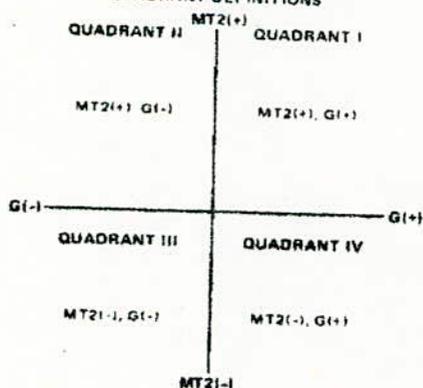
Characteristic	Symbol	Min	Typ	Max	Unit
*Peak Blocking Current (Either Direction) Rated V _{DRM} , I _T , T _J = 110°C, Gate Open	I _{URM}			2.0	mA
*Peak On State Voltage (Either Direction) I _T = 17 A, Peak Pulse Width = 1.0 to 2.0 ms, Duty Cycle ≤ 2.0%	V _{TM}		1.3	1.75	Volts
Peak Gate Trigger Current Main Terminal Voltage = 12 V _{dc} , R _L = 100 Ohms Minimum Gate Pulse Width = 2.0 μs MT2 (+), G1 (+) All Types MT2 (+), G1 (-) 2N6346A thru 2N6349A MT2 (-), G1 (-) All Types MT2 (-), G1 (+) 2N6346A thru 2N6349A	I _{GT}		6.0 6.0 10 25	50 75 60 75	mA
*MT2 (+), G1 (+), MT2 (-), G1 (-) T _C = -40°C All Types *MT2 (+), G1 (-), MT2 (-), G1 (+) T _C = -40°C 2N6346A thru 2N6349A				100 125	
Peak Gate Trigger Voltage Main Terminal Voltage = 12 V _{dc} , R _L = 100 Ohms Minimum Gate Pulse Width = 2.0 μs MT2 (+), G1 (+) All Types MT2 (+), G1 (-) 2N6346A thru 2N6349A MT2 (-), G1 (-) All Types MT2 (-), G1 (+) 2N6346A thru 2N6349A	V _{GTM}		0.9 0.9 1.1 1.4	2.0 2.5 2.0 2.5	Volts
*MT2 (+), G1 (+), MT2 (-), G1 (-) T _C = -40°C All Types *MT2 (+), G1 (-), MT2 (-), G1 (+) T _C = -40°C 2N6346A thru 2N6349A				2.5 3.0	
Main Terminal Voltage = Rated V _{DRM} , R _L = 10 k ohms, T _J = 110°C *MT2 (+), G1 (+), MT2 (-), G1 (-) All Types *MT2 (+), G1 (-), MT2 (-), G1 (+) 2N6346A thru 2N6349A		0.2 0.2			
Holding Current (Either Direction) Main Terminal Voltage = 12 V _{dc} , Gate Open, I _T Initiating Current = 200 mA	I _H		5.0	40	mA
T _C = 25°C T _C = -40°C				75	
*Turn-On Time Rated V _{DRM} , I _{TM} = 17A I _{GT} = 120 mA, Rise Time = 0.1 μs, Pulse Width = 2.0 μs	t _{gt}		1.5	2.0	μs
Critical Rate of Rise of Commutation Voltage Rated V _{DRM} , I _{TM} = 17A, Commutating di/dt = 6.5 A/ms, Gate Unenergized T _C = 80°C	di/dt		5.0		V/μs

*Indicates JEDEC Registered Data

NOTES

- Ratings apply for open gate conditions. Thyristor devices shall not be tested with a constant current source for blocking capability such that the voltage applied exceeds the rated blocking voltage.

QUADRANT DEFINITIONS



Trigger devices are recommended for gating on Triacs. They provide

- Consistent predictable turn-on points
- Simplified circuitry
- Fast turn-on time for cooler, more efficient and reliable operation

ELECTRICAL CHARACTERISTICS OF RECOMMENDED BIDIRECTIONAL SWITCHES

USAGE	General		Lamp Dimmer			
	PART NUMBER	MBS4991	MBS4992	MBS100		
V _S	6.0	10 V	7.5	9.0 V	3.0	5.0 V
I _S	350	μA Max	120	μA Max	100	400 μA
V _{G1} - V _{G2}	0.5	V Max	0.2	V Max	0.35	V Max
Temperature Coefficient	0.02%/°C Typ					

See AN-526 for Theory and Characteristics of Silicon Bidirectional Switches

2N6342A thru 2N6349A (continued)

FIGURE 1 - AVERAGE CURRENT DERATING

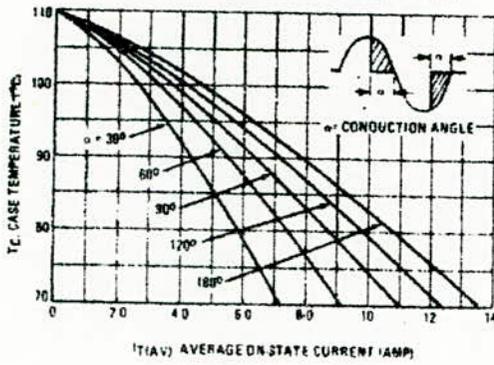


FIGURE 2 - RMS CURRENT DERATING

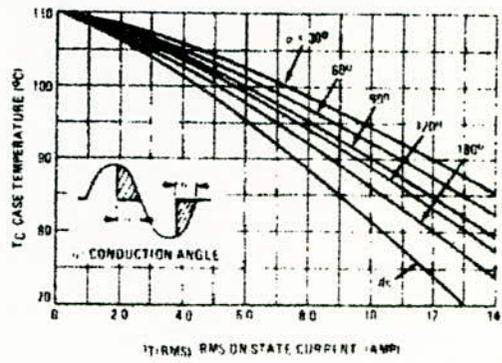


FIGURE 3 - ON STATE POWER DISSIPATION

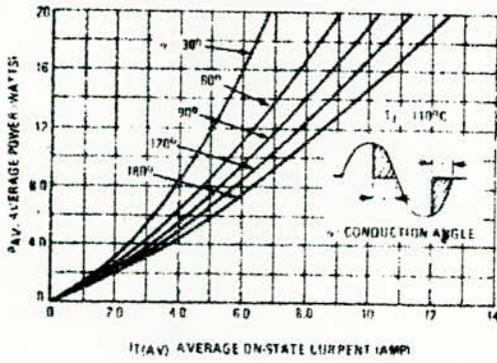


FIGURE 4 - ON STATE POWER DISSIPATION

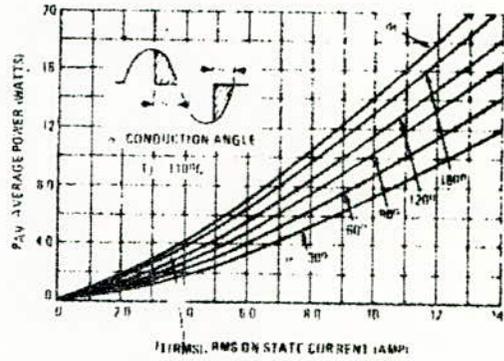


FIGURE 5 - TYPICAL GATE TRIGGER VOLTAGE

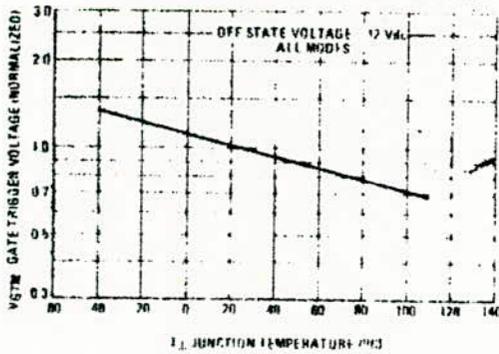
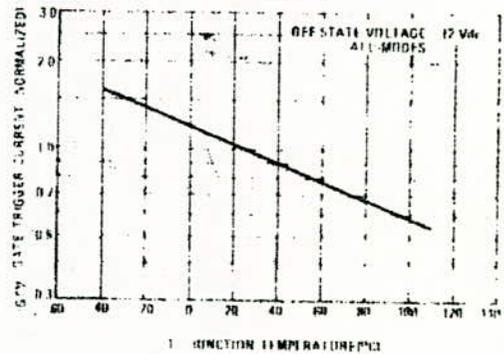


FIGURE 6 - TYPICAL GATE TRIGGER CURRENT



MUS4987 (SILICON)

MUS4988



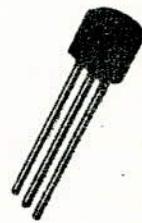
SILICON UNIDIRECTIONAL SWITCH

... designed for half-wave triggering in SCR phase control circuits, bi-stable memory elements and as voltage level detectors. Supplied in an inexpensive plastic TO-92 package for high-volume requirements, this low-cost plastic package is readily adaptable for use in automatic insertion equipment.

- Low Switching Voltage - 8.0 Volts Typical
- Uniform Characteristics in Each Direction
- Low On-State Voltage - 1.5 Volts Maximum
- Low Off-State Current - 0.1 μ A Maximum
- Low Temperature Coefficient - 0.02%/ $^{\circ}$ C Typical

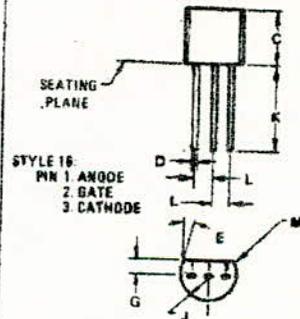
SILICON UNIDIRECTIONAL SWITCH (PLASTIC)

6.0-10 VOLTS
300 mW



MAXIMUM RATINGS

Rating	Symbol	Value	Unit
Power Dissipation Derate above $T_A = 25^{\circ}$ C	P_D	300 3.0	mW mW/ $^{\circ}$ C
Peak Reverse Voltage	V_R	30	Vdc
DC Forward Anode Current Derate above $T_A = 25^{\circ}$ C	I_F	200 2.0	mA mA/ $^{\circ}$ C
DC Gate Current (off-state only)	$I_G(\text{off})$	5.0	mA
Repetitive Peak Forward Current (1.0% Duty Cycle, 10 μ s Pulse Width, $T_A = 100^{\circ}$ C)	$I_{FM}(\text{rep})$	2.0	Amp
Non-Repetitive Forward Current 10 μ s Pulse Width, $T_A = 25^{\circ}$ C	$I_{FM}(\text{nonrep})$	5.0	Amp
Operating Junction Temperature Range	T_J	-55 to +125	$^{\circ}$ C
Storage Temperature Range	T_{stg}	-65 to +150	$^{\circ}$ C



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
C	4.250	4.700	0.175	0.185
D	0.407	0.442	0.016	0.018
E	5 ^o NOM		5 ^o NOM	
G	1.150	1.300	0.045	0.056
J	2.100	2.420	0.085	0.095
K	12.700	-	0.500	-
L	1.275 TP		0.050 TP	
M	0.076	0.330	0.003	0.013

CASE 29-01

MUS4987, MUS4988 (continued)

ELECTRICAL CHARACTERISTICS ($T_A = 25^\circ\text{C}$ unless otherwise noted)

Characteristic		Symbol	Min	Typ	Max	Unit
Switching Voltage	MUS4987	V_S	6.0	8.0	10	Vdc
	MUS4988					
Switching Current	MUS4987	I_S	-	110	500	μAdc
	MUS4988					
Reverse Current ($V_R = 30\text{ V}$, $T_A = 25^\circ\text{C}$) ($V_R = 30\text{ V}$, $T_A = 85^\circ\text{C}$) ($V_R = 30\text{ V}$, $T_A = 25^\circ\text{C}$) ($V_R = 30\text{ V}$, $T_A = 100^\circ\text{C}$)	MUS4987	I_R	-	-	0.1	μAdc
	MUS4987				1.0	
	MUS4988				0.1	
	MUS4988				1.0	
Holding Current	MUS4987	I_H	-	0.14	1.5	mA
	MUS4988			0.11	0.5	
Forward Blocking Current ($V_F = 5.0\text{ Vdc}$, $T_A = 25^\circ\text{C}$) ($V_F = 5.0\text{ Vdc}$, $T_A = 85^\circ\text{C}$) ($V_F = 5.0\text{ Vdc}$, $T_A = 25^\circ\text{C}$) ($V_F = 5.0\text{ Vdc}$, $T_A = 100^\circ\text{C}$)	MUS4987	I_B	-	-	0.1	μAdc
	MUS4987				1.0	
	MUS4988				0.1	
	MUS4988				1.0	
Forward On-State Voltage ($I_F = 150\text{ mAdc}$)		V_F	-	1.32	1.5	Vdc
Peak Output Voltage ($C_G = 0.1\ \mu\text{F}$, $R_L = 20\ \text{ohms}$, Figure 9)		V_O	3.5	4.6		Vdc
Turn On Time (Figure 10)		t_{on}	-	1.0		μs
Turn Off Time (Figure 11)		t_{off}	-	25		μs
Temperature Coefficient of Switching Voltage		TC	-	+0.02		$\%/^\circ\text{C}$

TYPICAL ELECTRICAL CHARACTERISTICS

FIGURE 1 - SWITCHING VOLTAGE

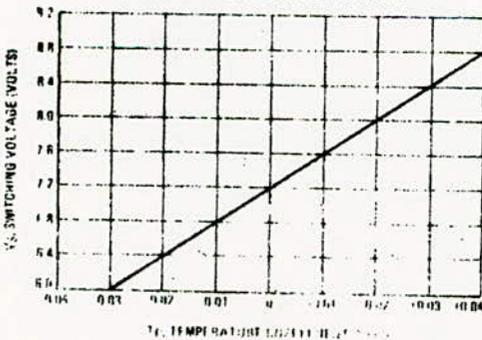
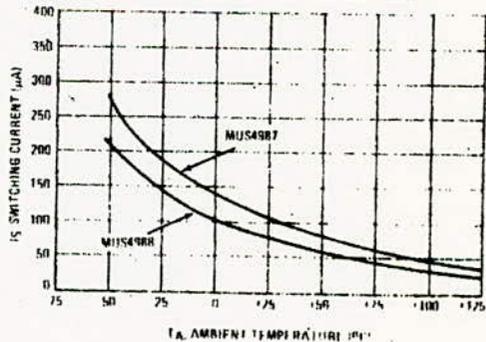


FIGURE 2 - SWITCHING CURRENT



MUS4987, MUS4988 (continued)

FIGURE 3 - HOLDING CURRENT

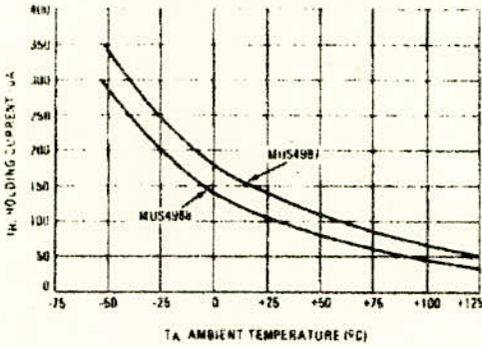


FIGURE 4 - FORWARD BLOCKING CURRENT

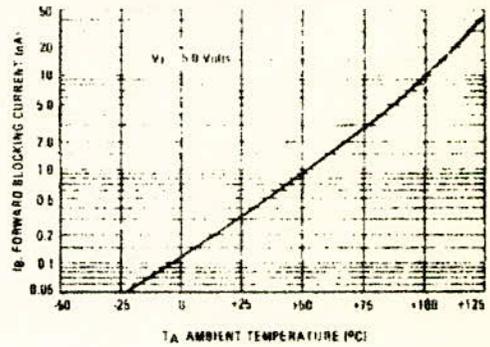


FIGURE 5 - FORWARD ON-STATE VOLTAGE

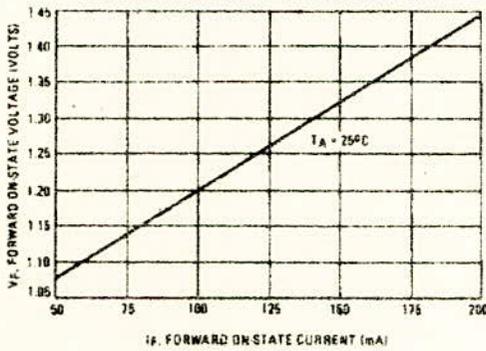


FIGURE 6 - OUTPUT VOLTAGE (FUNCTION OF R_L AND C_C)

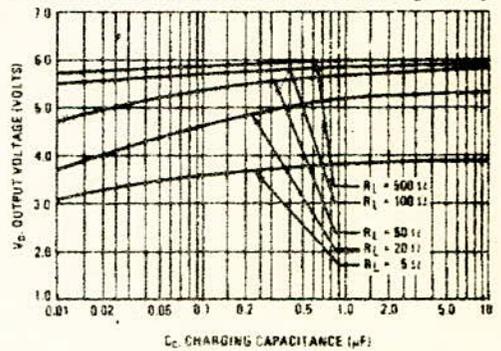


FIGURE 7 - REVERSE CURRENT

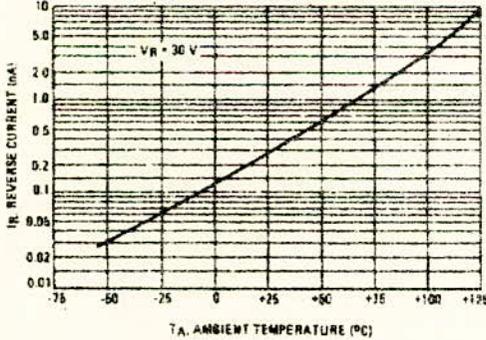
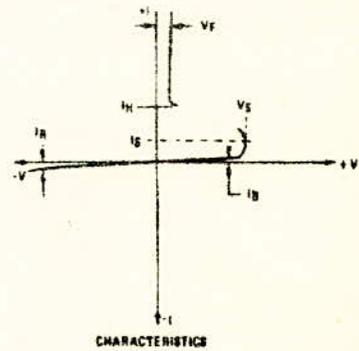


FIGURE 8 - CHARACTERISTICS



MUS4987, MUS4988 (continued)

FIGURE 9 - PEAK OUTPUT VOLTAGE TEST CIRCUIT

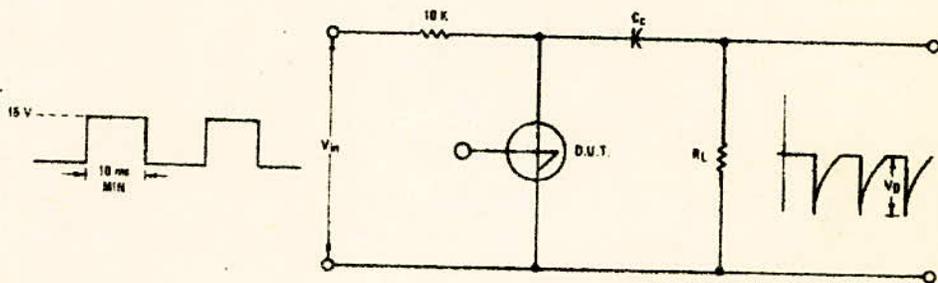
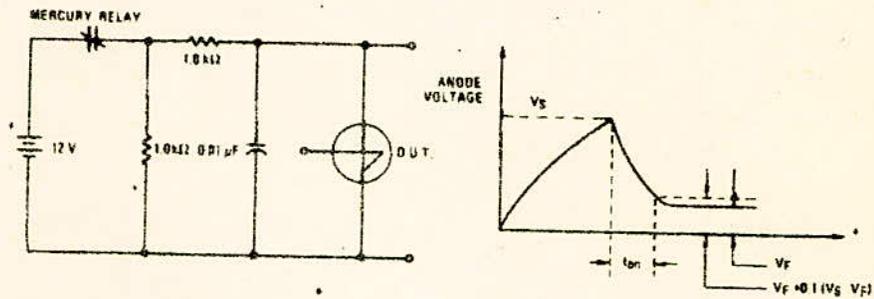
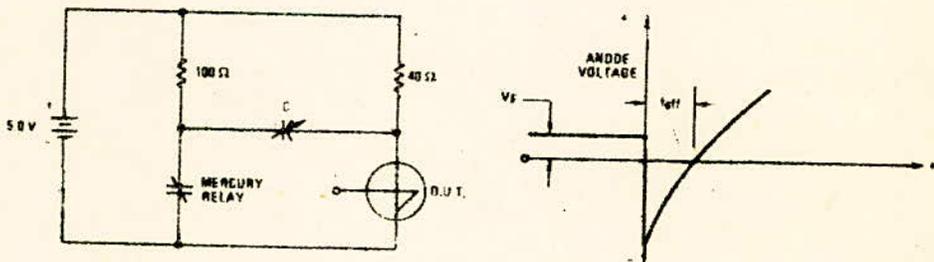


FIGURE 10 - TURN-ON TIME TEST CIRCUIT



Turn-on time is measured from the time V_S is achieved to the time when the anode voltage drops to within 90% of the difference between V_S and V_F .

FIGURE 11 - TURN-OFF TIME TEST CIRCUIT



With the SUS in conduction and the relay contacts open, the contacts are closed and the anode is driven negative. C is decreased, and when the anode voltage becomes positive, the SUS remains off. The turn off time, t_{off} , is the time between initial contact closure and the point where the anode voltage passes through zero volts.