

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE

Ministère de l'Enseignement Supérieur et de la Recherche
Scientifique

Ecole Nationale Polytechnique



المدرسة الوطنية المتعددة التقنيات
Ecole Nationale Polytechnique

Département d'Electronique

Mémoire de projet de fin d'études

pour l'obtention du diplôme d'ingénieur d'état en Electronique

**Systeme de communication MIMO-OFDM
sur FPGA**

BOUTARENE Moncef

Sous la direction de

Mr. M.Taghi

Présenté et soutenu publiquement le 29/06/2019

Composition du Jury :

Président	Mme.R. Touhami	Pr	ENP
Promoteurs	M. M.Taghi	Mr	ENP
Examineur	M. A.Belouchrani	Pr	ENP

ENP 2019

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE

Ministère de l'Enseignement Supérieur et de la Recherche
Scientifique

Ecole Nationale Polytechnique



المدرسة الوطنية المتعددة التقنيات
Ecole Nationale Polytechnique

Département d'Electronique

Mémoire de projet de fin d'études

pour l'obtention du diplôme d'ingénieur d'état en Electronique

**Systeme de communication MIMO-OFDM
sur FPGA**

BOUTARENE Moncef

Sous la direction de

Mr. M.Taghi

Présenté et soutenu publiquement le 29/06/2019

Composition du Jury :

Président	Mme.R. Touhami	Pr	ENP
Promoteurs	M. M.Taghi	Mr	ENP
Examineur	M. A.Belouchrani	Pr	ENP

ENP 2019

Dédicace

Avant tout, je remercie Allah, le tout puissant pour cette existence,

Je dédie ce travail, à vous chers parents, Sans vous je ne serais jamais devenu ce que je suis, je vous en serais éternellement reconnaissant,

À la mémoire de mon défunt grand père, que dieu protège son âme,

À mes frères,

À toute ma famille,

À tous mes amis,

Moncef Boutarene

Remerciements

Je tiens à remercier mon promoteur M.Taghi qui m'a soutenu tout au long de la réalisation de ce projet.

Je remercie tous les professeurs et enseignants dont j'ai eu l'honneur de côtoyer et qui m'ont fourni les bases nécessaires pour accomplir ce travail durant mon cursus.

Mes plus vifs remerciements s'adressent aussi à tout le cadre professionnel et administratif de L'école Polytechnique.

Mes remerciements vont enfin à toute personne qui a contribué de près ou de loin à l'élaboration de ce travail.

ملخص

يتمحور هذا العمل على محاكاة و تثبيت لمودم FFT / IFFT 512 نقطة على FPGA و جهاز تشفير زمني مكاني ذات 4 هوائيات لأنظمة اتصالات MIMO-OFDM .

هذه دراسة هندسية لمحاولة فوريي السريع والتشفير المكاني الزمني لأنظمة MIMO-OFDM متبوعة بتثبيت هذين المكونين على FPGA\ Nexys2 الكلمات المفتاحية: FFT , عاكس تأخير متعدد مسار, التشفير المكاني الزمني

Abstract:

This work is based on simulation and implementation on FPGA board of a 512-point multi-path delay commutator FFT / IFFT modem and a 4-antenna spatio-temporal transmitter for MIMO-OFDM communications systems.

This is an architectural study of FFT and spatio-temporal block coding for MIMO-OFDM systems, followed by the implementation of these two components on the Nexys 2 FPGA board

Keywords : FFT, multi path delay commutator ,codeur spatio-temporel

Résumé

Ce travail s'articule autour de la simulation et l'implémentation sur FPGA d'un modem FFT/IFFT multi-path delay commutator à 512 points et d'un codeur spatio-temporel à 4 antennes d'émission pour les systèmes de communications MIMO-OFDM.

Il s'agit d'une étude architecturale de la FFT et du codage spatio-temporels en bloc pour les systèmes MIMO-OFDM, suivie de l'implémentation de ces deux composants sur la carte FPGA Nexys 2.

Mots clés : FFT, multi path delay commutator ,codeur spatio-temporel

Table des matières

Liste des tableaux

Liste des figures

Liste des Abréviations

Introduction Générale	12
1 Généralités sur les systèmes Mimo-ofdm	15
1.1 Introduction	15
1.2 Le canal de propagation sans fil	15
1.2.1 Evanouissement à grande échelle	16
1.2.2 Evanouissement à petite échelle	16
1.2.3 Impact des caractéristiques du canal sur les communications numériques	19
1.3 Système de transmission MIMO	21
1.3.1 Diversité	21
1.3.2 Mono-utilisateur et Multi-utilisateur MIMO	22
1.3.3 Capacité du canal MIMO	23
1.4 Introduction de l'OFDM	24
1.4.1 Principe de l'ofdm	27
1.4.2 Notion d'orthogonalité	27
1.4.3 Principe de la modulation/démodulation OFDM	28
1.5 L'intérêt de l'association MIMO-OFDM	30
1.6 Conclusion	32
2 Transformée de Fourier rapide ,codage spatio-temporel : bases théoriques	33
2.1 Introduction	33
2.2 Transformée de Fourier Rapide TFR	33
2.3 Facteur de tournoiement (Twiddle Factor)	34
2.4 Algorithme entrelacement en fréquence base-2 (DIF radix-2)	35
2.5 Algorithme entrelacement en fréquence base-8 (DIF FFT Radix-8)	39
2.6 Algorithme entrelacement en fréquence base- 2^3 (DIF FFT Radix- 2^3)	40
2.7 Codage spatio-temporel	42
2.8 Codage spatio-temporel en bloc	42
2.8.1 Codage Alamouti	43
2.8.2 STBC d'ordre supérieur	44
2.9 Conclusion	44

3 Architectures de la FFT	45
3.1 Introduction	45
3.2 Architecture parallèle pour le calcul de la FFT	45
3.2.1 Single-memory architectures	46
3.2.2 Dual-memory architectures	47
3.3 Architecture pipeline pour le calcul de la FFT	47
3.3.1 L'architecture Single-path delay feedback (SDF) architecture	48
3.3.2 L'architecture Multi-path Delay Commutator MDC	54
3.4 Comparaison	57
3.5 Conclusion	57
4 Implémentation	58
4.1 Introduction	58
4.2 Étapes de conception	58
4.3 Conception de l'architecture pipeline FFT/ IFFT radix-2 ³ MDC à 512 points	59
4.3.1 Architecture proposée	59
4.3.2 Utilisation pour le calcul de la transformée de fourier inverse (IFFT)	77
4.4 Conception du codeur (Ostbc) $M_T=4$ à rendement $R = 1/2$	78
4.4.1 Schéma de l'architecture	78
4.4.2 Fonctionnement	78
4.5 Simulation	79
4.5.1 Effet de Quantification	79
4.5.2 Erreur de quantification	80
4.5.3 Résultats	80
4.6 Implémentations sur FPGA	86
4.6.1 Langage VHDL	86
4.6.2 Circuits FPGA	86
4.6.3 Description de la carte FPGA- Nexys 2	86
4.6.4 Outil de développement	87
4.6.5 Les blocs générés dans Xilinx ise	88
4.6.6 Test du codeur sur la carte NEXYS-2	91
Conclusion Générale	94
Bibliographie	96

Liste des tableaux

3.1	Comparaison entre l'architecture MDC et SDF	57
4.1	Outils de conception	59
4.2	Valeur initiale du décompteur de chaque étage(taille de registre) . . .	66

Liste des figures

1.1	Propagation par trajets multiples dans un canal radio mobile	17
1.2	effet doppler	19
1.3	Illustration d'un canal non sélectif et sélectif en fréquence	20
1.4	Les différentes configurations d'antennes	22
1.5	Système ascendant MIMO : (a) un seul utilisateur (SU-MIMO), (b) multi-utilisateur (MIMO-MU)	23
1.6	Schéma en bloc d'un système MIMO	24
1.7	le spectre de fréquence d'un système : (a) FDM et (b) OFDM	25
1.8	Différentes utilisations des sous-porteuses d'un symbole OFDM	26
1.9	Spectre d'un signal OFDM	28
1.10	Schéma de principe d'un modulateur OFDM	29
1.11	Diagramme en bloc d'un système MIMO-OFDM	31
2.1	Diagramme du butterfly Radix-2	37
2.2	Diagramme simplifié du butterfly Radix-2	37
2.3	Diagramme de la FFT à base de Butterfly Radix-2 de type DIF (a) (N=8)	37
2.4	Diagramme de la FFT à base de Butterfly Radix-2 de type DIF (b) (N=8)	38
2.5	Diagramme de la FFT à base de Butterfly Radix-2 de type DIF (c) (N=8)	38
2.6	Diagramme du butterfly Radix-8	39
2.7	Diagramme du butterfly Radix-2 ³	42
2.8	Codeur spatio-temporel	43
3.1	Architecture parallèle du radix-2 (N=8)	46
3.2	Diagramme de l'architecture Single-Memory	46
3.3	Diagramme de l'architecture Dual-Memory	47
3.4	projection cartographique de la FFT à base de Butterfly Radix-2 de type DIF	48
3.5	Le schéma fonctionnel du processeur DIF SDF à base de Butterfly Radix-2	49
3.6	(a)mode 1 (b)mode 2	49
3.7	Le déroulement procédural de l'architecture SDF à base de Butterfly Radix-2	53
3.8	Les deux premiers étages de l'architecture MDC à base de Butterfly Radix-2	54
3.9	Le déroulement procédural de l'architecture MDC à base de butterfly Radix-2	56
4.1	Diagramme de l'architecture proposée MDC à base du butterfly 2 ³ (N=512 points)	60
4.2	Diagramme du butterfly proposé	61
4.3	Bloc du butterfly	61

4.4	Structure interne du butterfly	61
4.5	Commutateur de délai du premier étage (données réels)	62
4.6	Commutateur de délai du premier étage (données imaginaires)	63
4.7	Commutateur de délai des autres étages (données réels)	63
4.8	Commutateur de délai des autres étages (données imaginaires)	63
4.9	diagramme de Machine d'état du premier étage	64
4.10	illustration du premier état	64
4.11	illustration du 2 ^{ème} état	65
4.12	ordonnancement des données d'entrées du 1 ^{er} butterfly	65
4.13	Diagramme de machine d'état des autres étages	66
4.14	illustration de l'état P1	67
4.15	illustration de l'état P1	67
4.16	illustration de l'état P2	68
4.17	Ordonnancement des données d'entrées pour le butterfly du 2 ^{ème} étage	69
4.18	Ordonnancement des données d'entrées pour le butterfly du 3 ^{ème} étage	70
4.19	Ordonnancement des données d'entrées pour le butterfly du 4 ^{ème} étage	71
4.20	Ordonnancement des données d'entrées pour le butterfly du 5 ^{ème} étage	72
4.21	Ordonnancement des données d'entrées pour le butterfly du 6 ^{ème} étage	73
4.22	Ordonnancement des données d'entrées pour le butterfly du 7 ^{ème} étage	74
4.23	Ordonnancement des données d'entrées pour le butterfly du 8 ^{ème} étage	75
4.24	Ordonnancement des données d'entrées pour le butterfly du 9 ^{ème} étage	76
4.25	Blocs des twiddle factor	77
4.26	architecture du codeur Ostbc à 4 antennes d'émission	78
4.27	diagramme de machine d'état du codeur	79
4.28	Simulation de l'architecture FFT	82
4.29	Vérification avec Matlab de l'architecture FFT	83
4.30	simulation du codeur	84
4.31	vérification avec matlab	85
4.32	schéma du circuit interne du FPGA	86
4.33	Carte FPGA- Nexys 2	87
4.34	schéma RTL du circuit FFT	88
4.35	schéma RTL du circuit d'un étage du circuit FFT	89
4.36	schéma RTL du butterfly	90
4.37	schéma RTL du circuit codeur ostbc	91
4.38	Test du codeur su FPGA (a)	92
4.39	Test du codeur su FPGA (b)	92
4.40	Test du codeur su FPGA (c)	93

Listes des abréviations

ADSL	Asymmetric Digital Subscriber Line
BF	Butterfly
BS	Base Station
DAB	Digital Audio Broadcasting
DFT	Discrete Fourier Transform
DVB-T	Digital Video Broadcasting Terrestrial
FDM	Frequency Division Multiplexing
FFT	Fast Fourier Transform
FPGA	Field Programmable Gate Array
ICI	Inter Carrier Interference
IDFT	Inverse Discrete Fourier Transform
IFFT	Inverse Fast Fourier Transform
ISI	Inter Symbol Interference
LTE	Long Term Evolution
MDC	Multi-path Delay Commutator
MIMO	Multiple Input Multiple Output
MISO	Multiple Input Single Output
MS	Mobile Station
MU-MIMO	Multi-user Multiple Input Multiple Output
OFDM	Orthogonal Frequency Division Multiplexing
PE	Processing Element
R2MDC	Radix2 Multipath Delay Commutator
SDF	Single-path Delay Feedback
SFG	Signal Flow Graph

SIMO	Single Input Multiple Output
SISO	Single Input Single Output
SNR	Signal Noise Ratio
STBC	Space Time Block Coding
SU-MIMO	Single-user Multiple Input Multiple Output
VHDL	Very High Description Language
WiFi	Wireless Fidelity
WiMax	Worldwide Interoperability for Microwave Access
WLAN	Wireless Local Area Network
WMAN	Wireless Metropolitan Area Network

Introduction générale

Le monde des télécommunications a vécu ces dernières années une évolution spectaculaire en matière de communication sans fil, en raison de l'apparition d'un large éventail d'applications telles que : l'incorporation de l'accès à internet aux services multimédias exigeant comme le streaming audio et vidéo en haute définition, ou encore plus récemment la visioconférence et la télévision à haute définition. Ainsi, l'émergence de la téléphonie mobile représente une véritable révolution technologique dans le monde entier. De nos jours, avec l'invention d'une nouvelle génération de terminaux intelligents dites « smartphone » accompagné de l'inclusion des services de 3G et 4G, l'utilisateur ne se contente plus d'un simple appel téléphonique mais d'autres diverses fonctionnalités (Internet, appel Vidéo, service MMS...), toute cette évolution technologique ajoutée à la croissance des usagers, exige une augmentation accrue de la demande des communications sans fil à haut débit avec une meilleure qualité de service (QoS).

Les communications sans fil sont généralement définies par une propagation radioélectrique permettant de transmettre l'information sous forme d'une onde électromagnétique entre deux points distants souvent désignée par le vocable canal sans fil. Ce dernier représente la principale source de perturbation et de dégradation que subit un signal lors de sa propagation, se répercutant ainsi sur la qualité de la transmission. En raison du phénomène d'évanouissement causé par les trajets multiples, le signal émis va emprunter plusieurs chemins pour atteindre le récepteur. En effet, le signal reçu va être la superposition de plusieurs répliques du signal émis provoqués par les phénomènes physiques de l'environnement (diffusion, diffraction, réflexion par les obstacles), se traduisant au niveau récepteur des interférences inter-symbole (ISI). Une des solutions permettant d'atténuer l'effet d'interférences (ISI) produits par un canal multi-trajets est la modulation multi-porteuses OFDM (Orthogonal Frequency Division Multiplexing), qui repose sur une transmission en parallèle des données, modulées sur des sous-porteuses orthogonales. La technique OFDM est adoptée par de nombreux standards comme le DAB (Digital Audio Broadcasting), DVB-T (Digital Video Broadcasting-Terrestrial), ADSL (Asymmetric Digital Subscriber Line), les réseaux sans fil de la norme IEEE 802.11x (WiFi), IEEE 802.16 (WiMax) et les réseaux mobiles de nouvelle génération LTE (Long Term Evolution) [1]. D'autre part l'évolution de la communication sans fil sur la plateforme des services de téléphonie mobile progresse à une vitesse foudroyante nécessitant un taux de transfert de données important. Afin de répondre au besoin de cette exigence, l'utilisation de la technique MIMO à base de plusieurs antennes à la fois à l'émission et à la réception a un grand intérêt dans le domaine du haut débit mobile.

l'association des systèmes multi antennes MIMO et la technique Ofdm est considéré comme une technologie clé dans l'augmentation des performances des systèmes sans fil et de leurs robustesse face au phénomène multi trajets .en effet il en résulte une diversité à la fois temporelle ,fréquentielle, garantissant la réduction des évanouissements tout en assurant des débit de plus en plus élevé.

Ce travail a pour objectif, outre la présentation de la technologie MIMO-OFDM, la réalisation sur support reconfigurable de deux des plus importants éléments de la chaine de communication liée à cette technologie , le modem FFT et le bloc du codage spatio-temporel.

ce mémoire est structuré en deux parties :

- La première partie ,Constitué de 2 chapitre, est consacré à la présentation des technologies MIMO OFDM ainsi qu'à l'étude théorique des algorithmes de calcul de la transformée de Fourier rapide(FFT) et du codage spatio-temporel
- La seconde partie divisée quant à elle en 2 chapitres , est réservée à la présentation des différents types d'architectures de la FFT et du codeur spatio-temporel ainsi qu'à la description de l'implémentation des architectures retenues pour ces deux outils.

Chapitre 1

Généralités sur les systèmes

Mimo-ofdm

1.1 Introduction

Ce premier chapitre présente, dans un premier temps ,les principales caractéristiques des canaux de propagation sans fil ainsi que les modèles des canaux à évanouissement. puis montre l'utilité de la technique multi antenne (MIMO) dans l'augmentation du débit de transmission. Ce chapitre se termine par un état de l'art sur la technique multi porteuse (OFDM) qui met en avant l'efficacité de ce procédé dans la lutte contre les imperfections du canal multi-trajets.

1.2 Le canal de propagation sans fil

La performance d'un système de transmission sans fil est souvent limitée par le comportement des ondes radio lorsqu'elles se propagent de l'émetteur vers le récepteur.En effet, la propagation sans fil est généralement perturbée par plusieurs phénomènes physiques, les plus connus sont : la réflexion, la diffraction et la diffusion,dont l'amplitude et la phase du signal reçu varient dans le temps et en fréquence donnant ainsi naissance à une propagation multi-trajets, ce phénomène est souvent désigné par l'évanouissement ou connu aussi par « le fading ». Le phénomène d'évanouissement d'un canal sans fil est dû soit par la propagation par trajets multiples ou par la perte de trajet et l'ombrage des obstacles, de ce fait, l'effet d'évanouissement peut être classé en deux catégories différentes :

l'évanouissement à petite échelle et l'évanouissement à grande échelle. Dans cette section nous examinons en détail, les phénomènes physiques rencontrés dans une propagation sans fil ainsi que les caractéristiques et les modèles des canaux à évanouissement [2].

1.2.1 Evanouissement à grande échelle

L'évanouissement à grande échelle ou l'évanouissement de perte de trajet se produit lors d'une propagation à longue distance, ce type d'évanouissement est dû soit aux pertes progressives de la puissance du signal lorsque la distance qui sépare l'émetteur et le récepteur est assez grande (l'ordre de plusieurs centaines ou milliers de mètres) soit par l'effet de l'ombrage des obstacles entre l'émetteur et le récepteur [2]

Pertes de trajet (Path loss)

Les pertes de trajet sont expliquées par l'atténuation de la puissance du signal reçu en fonction de la distance de séparation de l'émetteur et du récepteur.

L'ombrage (Shadawing)

L'ombrage est défini par l'atténuation de la puissance du signal avec la présence des grands obstacles tout au long du chemin de propagation tels que : les bâtiments et la végétation [2] [3]

1.2.2 Evanouissement à petite échelle

L'évanouissement à petite échelle ou l'évanouissement multi-trajets correspond à des fluctuations rapides de l'amplitude, la phase ou le retard des trajets multiples d'un signal radio se propageant sur une courte distance ou période de temps, de telle sorte que les pertes de chemin à grande échelle peuvent être négligées. Dans un sens plus large l'évanouissement à petite échelle est dû principalement à la présence d'un grand nombre d'obstacles qui entourent l'émetteur et le récepteur

tels que : les maisons, les bâtiments, les arbres etc. . . , comme le montre la figure 1.1, provoquant ainsi l'apparition d'une multitude de trajets réfléchis, diffractés ou diffusés qui se superposent à la réception créant des interférences d'une manière constructive ou destructive.

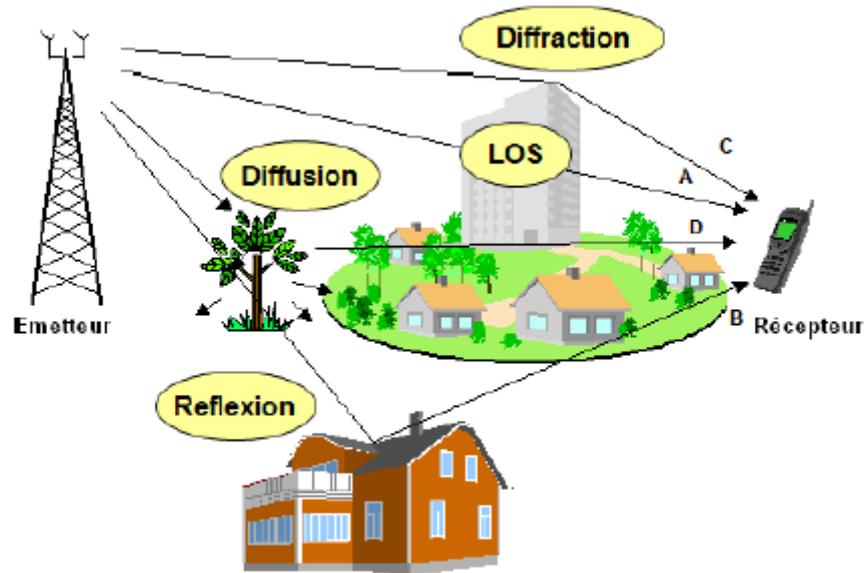


Figure 1.1: Propagation par trajets multiples dans un canal radio mobile

La réflexion (reflection)

Le phénomène de réflexion se produit lorsqu'une onde électromagnétique rencontre des objets dont leurs dimensions sont plus grandes que sa longueur d'onde de propagation. Par exemple : la surface de la terre, les bâtiments et les murs.

La diffraction (diffraction)

Le phénomène de diffraction se manifeste par le fait qu'une onde électromagnétique rencontre des objets dont la forme est irrégulière ou bien intercepte des petites ouvertures en induisant une diffusion de l'onde.

La diffusion (scattering)

Le phénomène de diffusion se traduit par le rayonnement dévié d'une onde électromagnétique dans plusieurs directions. La diffusion est produite lorsque

l'onde rencontre des objets de dimension égale ou inférieure à sa longueur d'onde. Par exemple : les arbres, les plaques de rues [2] [4]

Les paramètres de l'évanouissement à petite échelle

Plusieurs paramètres permettant de faire caractériser le type d'évanouissement d'un canal multi-trajets sont détaillés comme suit :

La dispersion temporelle

La dispersion temporelle (delay spread) notée $\sigma_{\tau_{max}}$ est un type de distorsion qui se produit dans un canal multi-trajets, c'est-à-dire que le signal reçu est la somme de plusieurs répliques du signal émis avec des temps d'arrivées différents (retards) et elle correspond à la différence de temps entre les moments d'arrivée de la première composante multitrajets et de la dernière. La dispersion temporelle et la valeur RMS (root mean square) de la dispersion temporelle sont notées respectivement $\sigma_{\tau_{max}}$ et σ_{τ} [2]

L'effet doppler (doppler spread)

Le décalage doppler se manifeste par la variation de la fréquence de la porteuse du signal émis lorsque l'émetteur et/ou le récepteur sont en mouvement. La mesure de la fréquence doppler est liée à la vitesse de déplacement du mobile v et l'angle entre la direction du signal d'arrivée et la direction du mouvement θ , exprimée par :

$$f_d = \frac{f_c v \cos(\theta)}{c} \quad (1.1)$$

Avec :

f_c : la fréquence porteuse

c : la vitesse de la lumière

La fréquence doppler maximale f_{dmax} et la bande doppler B_D sont données par :

$$f_{dmax} = \frac{f_c v}{c} \quad (1.2)$$

$$B_D = 2f_{dmax} \quad (1.3)$$

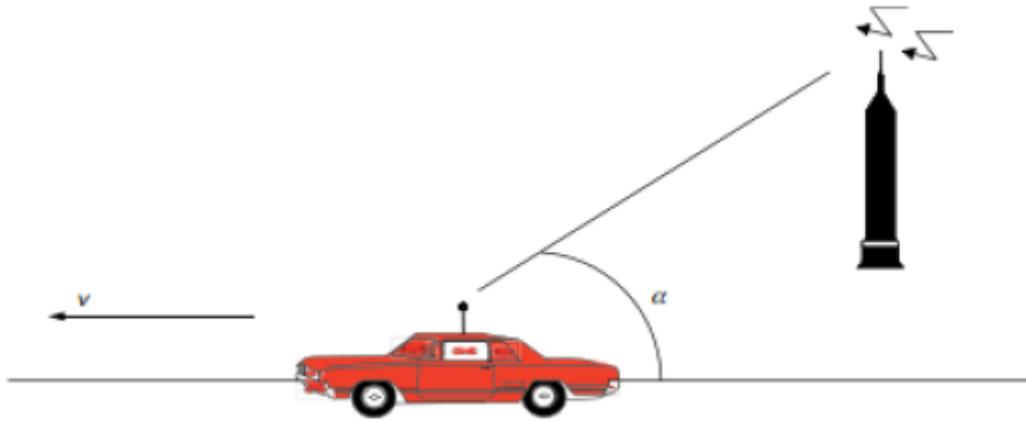


Figure 1.2: effet doppler

Temps de cohérence T_c

Le temps de cohérence T_c du canal est la durée pendant laquelle le canal est approximativement constant (invariable dans le temps). Le temps de cohérence est inversement proportionnel à la bande de doppler B_D par :

$$T_c \approx \frac{1}{B_D} \quad (1.4)$$

La bande de cohérence B_c

La bande de cohérence B_c est une bande de fréquence sur laquelle le canal peut être considéré comme étant quasiment constant, elle représente un paramètre important pour différencier un canal sélectif en fréquence et un canal plat en fréquence. La bande de cohérence est inversement liée à la valeur RMS de la dispersion temporelle [2]

$$B_c \approx \frac{1}{\sigma_\tau} \quad (1.5)$$

1.2.3 Impact des caractéristiques du canal sur les communications numériques

Une caractérisation approfondie du canal de propagation permet d'améliorer la qualité d'un système de transmission numérique. Ainsi, il est intéressant de présenter le lien existant entre les paramètres caractéristiques du canal et l'information transmise. Cette information peut être représentée par deux

paramètres [2]

- le temps symbole T_s , qui correspond à la durée d'un symbole.
- la bande B_s , qui est l'occupation spectrale de l'information transmise.

Evanouissements fréquentiels

- Canal sélectif en fréquence : Si $B_s \gg B_c$ ($\sigma_\tau \gg T_s$), alors le canal est dit sélectif en fréquence. Dans ce cas, le spectre du signal reçu sera déformé en dehors de la bande de cohérence.

La relation précédente signifie que la sélectivité en fréquence correspond à la génération d'interférences inter- symboles (ISI) dans le domaine temporel, ce qui entraîne une dégradation des performances d'un système de transmission numérique.

- Canal à évanouissements plats : Dans le cas où $B_s \ll B_c$ ($\sigma_\tau \ll T_s$), toutes les fréquences du spectre du signal subissent les mêmes amplifications ou atténuations. Dès lors, le canal est considéré comme non sélectif (pas de ISI dans le domaine temporel) en fréquence et donc à évanouissements plats.

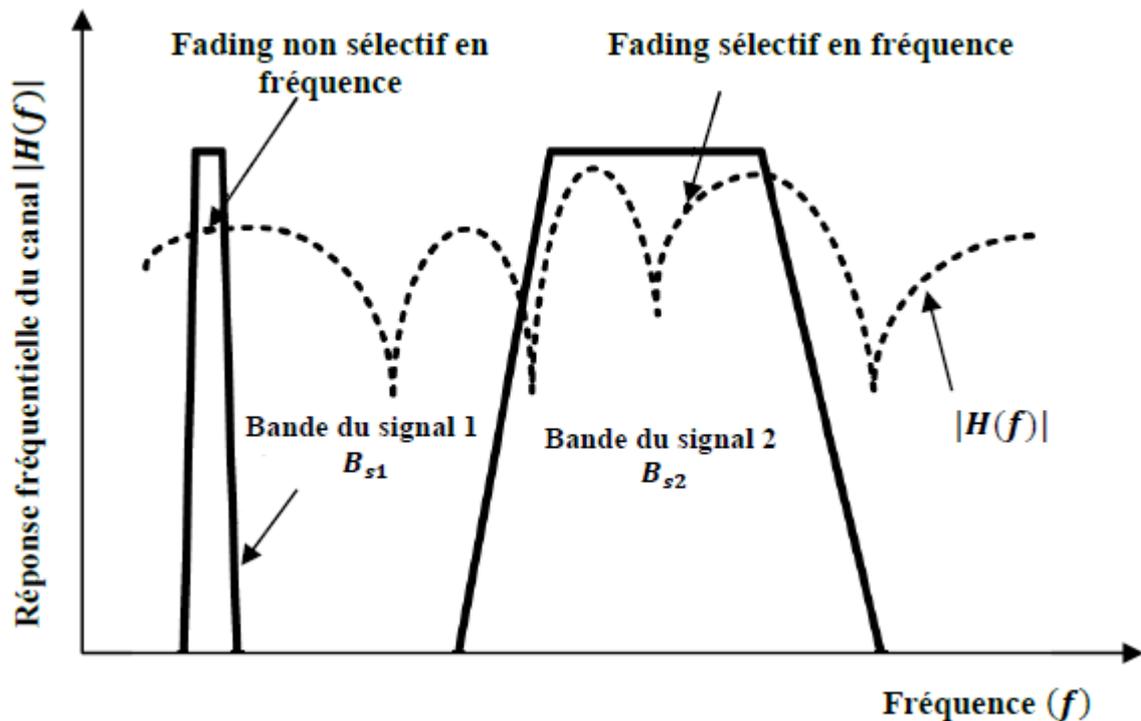


Figure 1.3: Illustration d'un canal non sélectif et sélectif en fréquence

1.3 Système de transmission MIMO

Les communications sans fil à haut débit avec une meilleure qualité de service constituent un intérêt considérable et un défi de recherche important dans le contexte des réseaux sans fil.

En effet l'utilisation d'antennes multiples à la fois à l'émission et à la réception, largement connue sous le nom de la technologie MIMO "Multiple Input Multiple Output", représente une solution incontournable car elle permet d'offrir une amélioration de la performance et une augmentation de la capacité des systèmes de transmission sans fil

Cas particuliers

Du modèle général, trois cas existent :[5]

— SISO : traditionnellement, lorsqu'une seule antenne est utilisée en émission et en réception, la technique de transmission sur l'interface radio est appelée SISO.

-SIMO : ou diversité en réception , et consiste à n'employer qu'une seule antenne en émission et plusieurs antennes en réception, c'est-à-dire que le récepteur reçoit le même signal par plusieurs antennes , ces signaux seront ensuite combinés , ce qui permet de diminuer les interférences.

-MISO :ou diversité en émission, et consiste à n'employer qu'une seule antenne en réception et plusieurs antennes en émission .La diversité en émission exploite de multiples antennes au niveau de l'émetteur pour introduire la diversité, en transmettant des versions redondantes du même signal sur plusieurs antennes. Ce type de technique MIMO utilise ce qu'on appelle STBC(space time bloc code) et sera traité ultérieurement. (fig1.4)

1.3.1 Diversité

Une des techniques les plus efficaces pour atténuer les effets des évanouissements est d'utiliser la diversité. La diversité se base sur le fait que les répliques d'un même signal, engendrées par la propagation multi-trajets, ont une faible probabilité de subir de profonds évanouissements simultanément. Ainsi, l'idée derrière la diversité est de combiner, à la réception, les variantes du signal émis dont les fluctuations sont décorréllées d'une telle manière que

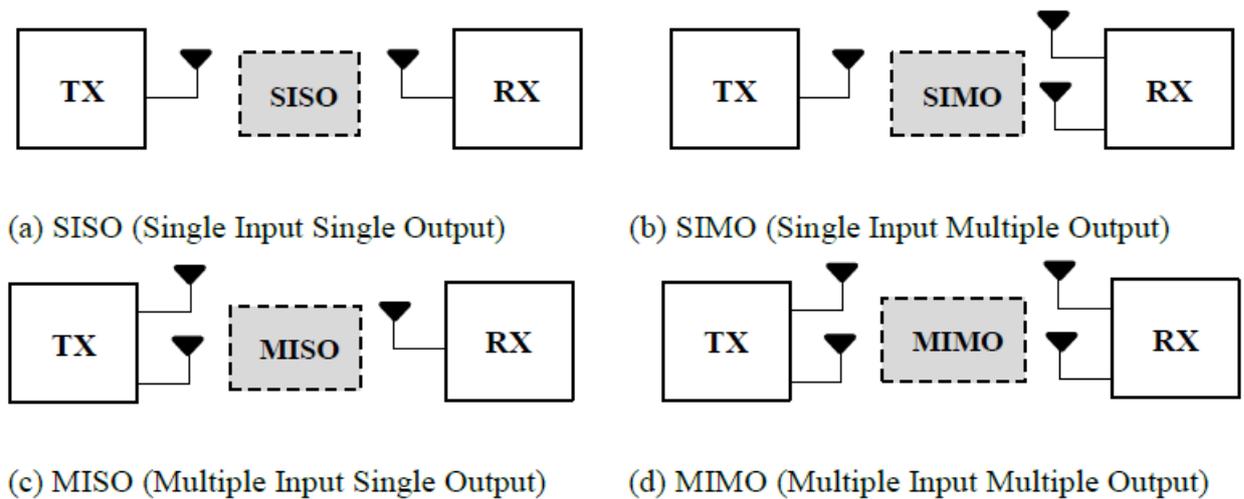


Figure 1.4: Les différentes configurations d'antennes

l'évanouissement du signal résultant est réduit . La diversité peut s'appliquer de façons diverses [6] :

- Diversité temporelle : des copies du signal sont retransmises au cours de divers créneaux temporels espacés d' au moins le temps de cohérence du canal.
- Diversité fréquentielle : ici les copies du signal sont transmises sur différentes fréquences porteuses (espacées d'au moins la bande de cohérence du canal) .
- Diversité polarimétrique : elle utilise les signaux transmis simultanément par les mêmes antennes sur des polarisations orthogonales qui sont souvent affectés différemment par le milieu de propagation.
- Diversité spatiale : Dans ce cas la transmission est basée sur des antennes multiples au niveau de l'émetteur et/ou du récepteur, espacées d'au moins la moitié de la longueur d'onde pour avoir une décorrélation entre les évanouissements affectant les signaux reçus par chaque antenne.

1.3.2 Mono-utilisateur et Multi-utilisateur MIMO

Les avancées technologiques des systèmes MIMO ont conduit principalement à l'apparition de nouveaux systèmes de communication MIMO multi-utilisateur (MU-MIMO) en plus des systèmes traditionnels mono-utilisateur (SU-MIMO), qui sont utilisés dans les systèmes sans fil tels que : LTE et WiMax. La figure 1.5 (a) illustre une configuration MIMO à un seul utilisateur dans une liaison ascendante,

qui désigne la communication MIMO classique où il y a un nœud à l'émission et un nœud à la réception, qui sont équipés de plusieurs antennes via laquelle les données sont transmises d'un seul utilisateur vers la station de base, tandis que dans une liaison ascendante d'un système MIMO à multi-utilisateurs, plusieurs flux de données sont alloués simultanément à différents utilisateurs mobiles en utilisant la même bande de fréquence où chaque utilisateur est équipé d'une seule antenne qui transmet à la station de base, qui à son tour sépare les différents signaux provenant des utilisateurs mobiles individuels comme le montre la figure 1.5 (b). [7]

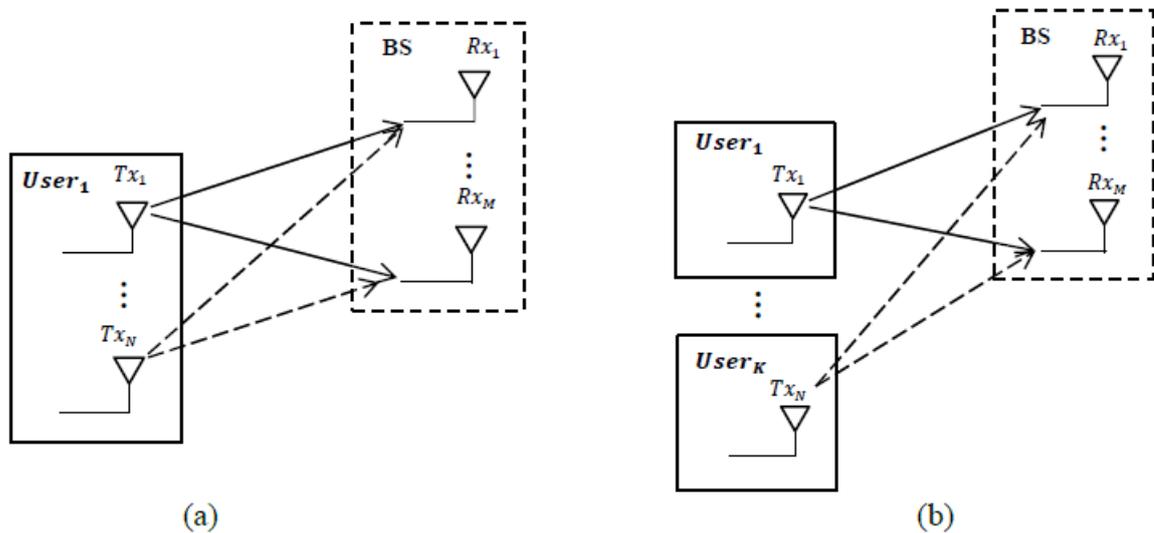


Figure 1.5: Système ascendant MIMO : (a) un seul utilisateur (SU-MIMO), (b) multi-utilisateur (MIMO-MU)

1.3.3 Capacité du canal MIMO

Considérant un système MIMO composé de N_T antennes à l'émission et N_R antennes à la réception, comme le montre la figure 1.6, le trajet entre la i ème antenne d'émission et la j ème antenne de réception est défini par un gain complexe du canal h_{ij} représentant le coefficient d'évanouissement. Le canal MIMO peut être

décrit par la matrice H de dimension $(N_R \times N_T)$ [8] :

$$H = \begin{bmatrix} h_{11} & h_{12} & \cdots & h_{1N_T} \\ h_{21} & h_{22} & \cdots & h_{2N_T} \\ \vdots & \vdots & \ddots & \vdots \\ h_{N_R1} & h_{N_R2} & \cdots & h_{N_RN_T} \end{bmatrix} \quad (1.6)$$

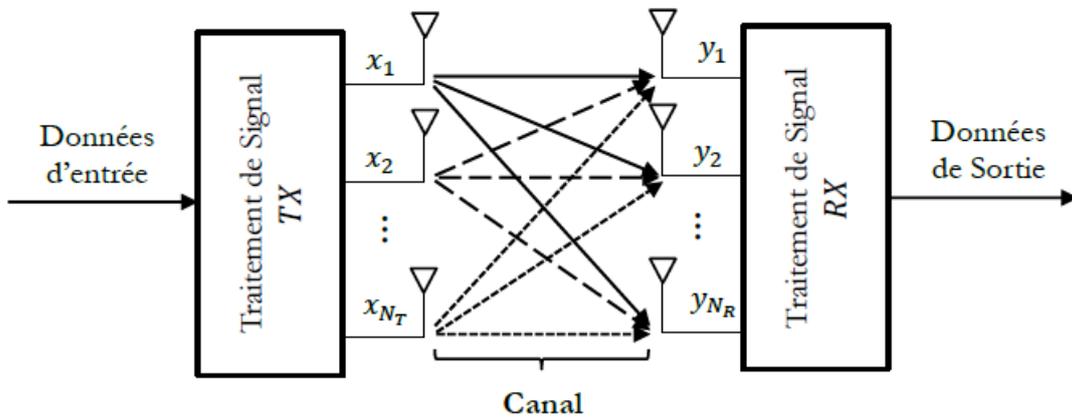


Figure 1.6: Schéma en bloc d'un système MIMO

La capacité d'un canal est une notion introduite par Shannon dans les années 1940, elle mesure la quantité d'information maximum par unité de temps et par bande de fréquence que peut supporter le canal. Dans un canal MIMO nous supposons le canal parfaitement connu à la réception. La capacité du canal MIMO exprimée par bit par second par hertz (bits/s/Hz) est donnée par [4] :

$$C = \log_2(\det(I_{N_R} + \frac{SNR}{N_T} HH^T)) \quad (1.7)$$

1.4 Introduction de l'OFDM

L'idée clé derrière le concept de la transmission multi-porteuses a débuté avec la technique de multiplexage fréquentielle FDM (Frequency Division Multiplexing), qui a été proposé pour la première fois à la fin des années 1950.

Dans le multiplexage par répartition de fréquence (FDM), la plage de fréquence disponible est divisée en plusieurs petites plages appelées canaux, dont chacun

est caractérisé par une fréquence porteuse différente et alloué en permanence à un utilisateur. Le système FDM utilise une bande de garde entre les canaux afin d'éviter les interférences entre les porteuses (ICI), mais ce processus présente un gaspillage du spectre. A cet effet, au milieu des années 1960 la FDM a été améliorée vers une transmission multi-porteuse OFDM (Orthogonal Frequency Division Multiplexing), permettant à plusieurs fréquences porteuses, de se chevaucher les unes avec les autres afin de maximiser l'utilisation du spectre de fréquence. Ceci est obtenu en maintenant une orthogonalité entre les sous porteuses de telle sorte à ne pas avoir des interférences entre celles-ci (ICI). La figure 1.7 illustre la différence entre le spectre de fréquence d'un système FDM et OFDM. [4] [3]

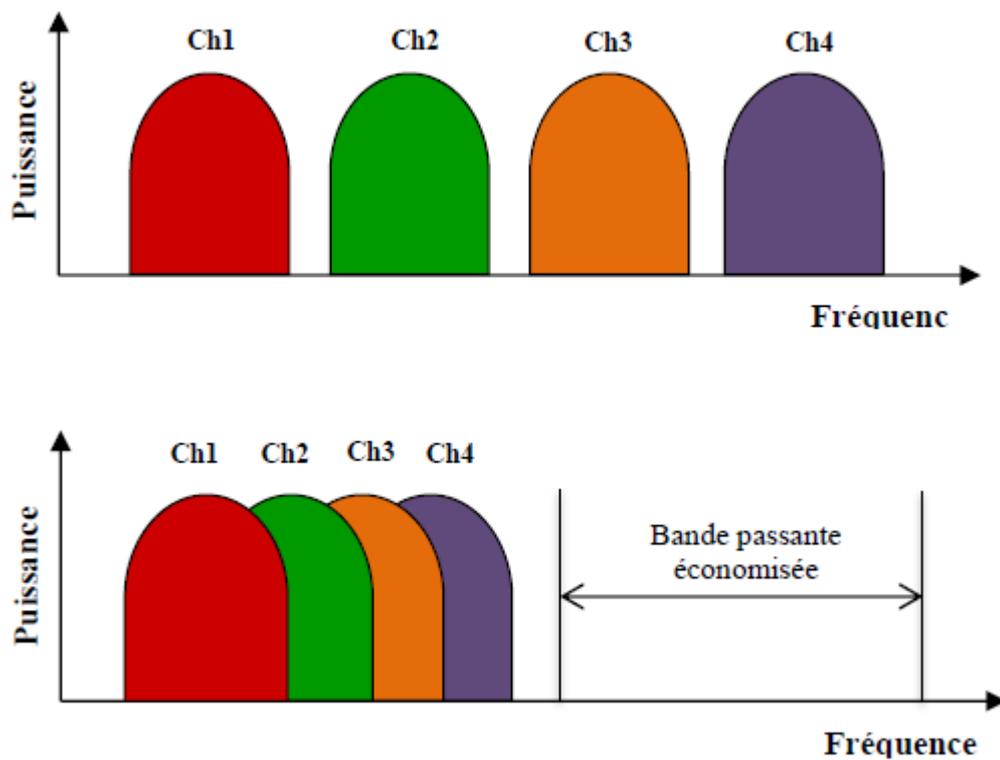


Figure 1.7: le spectre de fréquence d'un système : (a) FDM et (b) OFDM

L'OFDM nécessite une complexité d'implémentation élevée pour réaliser un modulateur et un démodulateur à base de sous-porteuses sinusoïdales, cette contrainte limite l'application de l'OFDM. En 1971 des chercheurs ont suggéré l'utilisation de la transformée de Fourier discrète pour l'implémentation numérique

de la modulation et la démodulation OFDM, depuis, d'énormes recherches ont été menées pour le développement de l'OFDM.

Dans un système OFDM, les sous porteuses peuvent être utilisées de différentes manières comme le montre (fig.1.8.) La majorité des sous porteuses sont utilisées dans la transmission des données, quelques sous porteuses sont utilisées comme pilotes servant à l'estimation du canal et à la synchronisation, et d'autres sont utilisées au début (préfixe) ou à la fin (suffixe) de chaque symbole OFDM comme intervalle de garde.

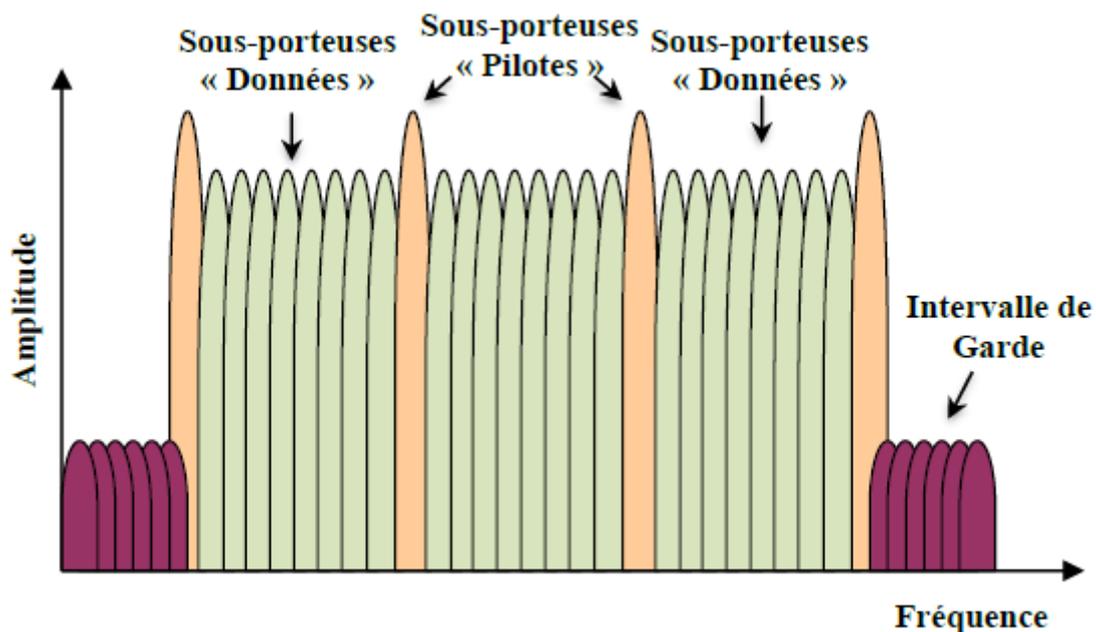


Figure 1.8: Différentes utilisations des sous-porteuses d'un symbole OFDM

Ces dernières années, le multiplexage par répartition orthogonale des fréquences (OFDM) a été adopté avec un grand succès dans de nombreux standards tels que la radiodiffusion numérique terrestre (DAB), la télévision numérique terrestre (DVB-T), la technologie (ADSL), les réseaux locaux sans fil WLAN définis par la norme IEEE 802.11 a/b (WiFi), les réseaux d'accès IEEE 802.16 (WiMAX) et les réseaux mobiles de nouvelle génération (LTE)

1.4.1 Principe de l'OFDM

Afin de diminuer l'ISI, il est souhaitable d'avoir une durée symbole T_s grande par rapport à la valeur RMS de la dispersion temporelle, c'est-à-dire : $T_s \gg \sigma_\tau$. Pour cela on regroupe une séquence de N symboles $X_0 X_1 \dots X_{N-1}$ en un seul symbole, appelé symbole OFDM et de durée $T_{sym} = NT_s$. En choisissant une valeur assez grande pour N , ceci satisfait la condition : $T_{sym} \gg \sigma_\tau$. Ensuite, on transmet simultanément les N symboles en parallèle sur différentes porteuses de fréquence f_k , appelée dans ce contexte sous-porteuses. Le principe d'une transmission OFDM analogique se traduit dans le domaine fréquentiel par un fractionnement de la bande passante totale disponible B , en N sous-canaux à bande étroite, associés à N sous porteuses et espacés de Δf tel que la bande passante de chaque sous canal soit inférieure à la bande de cohérence du canal pour assurer la condition de non sélectivité en fréquence, et donc chaque sous canal subit un évanouissement plat.

1.4.2 Notion d'orthogonalité

Le principe de l'orthogonalité des sous-porteuses réside dans la transmission simultanée des signaux sur les différentes sous porteuses sans qu'il y ait un chevauchement entre eux. La solution préconisée dans les premiers systèmes FDM pour limiter le recouvrement entre les bandes de fréquences des canaux était de les séparer par un intervalle de garde. Cependant cette solution n'était pas efficace à cause de la consommation inutile du spectre. En effet, un système OFDM permet de maximiser l'efficacité spectrale en superposant les sous-porteuses les unes avec les autres tout en assurant une certaine orthogonalité entre elles afin de maintenir l'absence des interférences entre porteuses (ICI). Cela signifie, que le spectre de chaque porteuse à la valeur de la fréquence centrale coïncide avec le zéro des autres porteuses [4]

Le principe d'orthogonalité est présenté dans la figure 1.9.

Les fréquences des sous-porteuses sont définies par :

$$f_k = f_0 + K\Delta f \quad \text{avec} \quad k = 0, \dots, (N - 1) \quad (1.8)$$

où f_0 est la fréquence porteuse origine, Δf est l'écart entre deux sous-porteuses

consécutives et N est le nombre des sous-porteuses. L'espacement minimal entre deux sous-porteuses adjacentes permettant de conserver l'orthogonalité entre elles est de [9] :

$$\Delta f = \frac{1}{T_u} \quad (1.9)$$

Avec T_u est la période utile du symbole

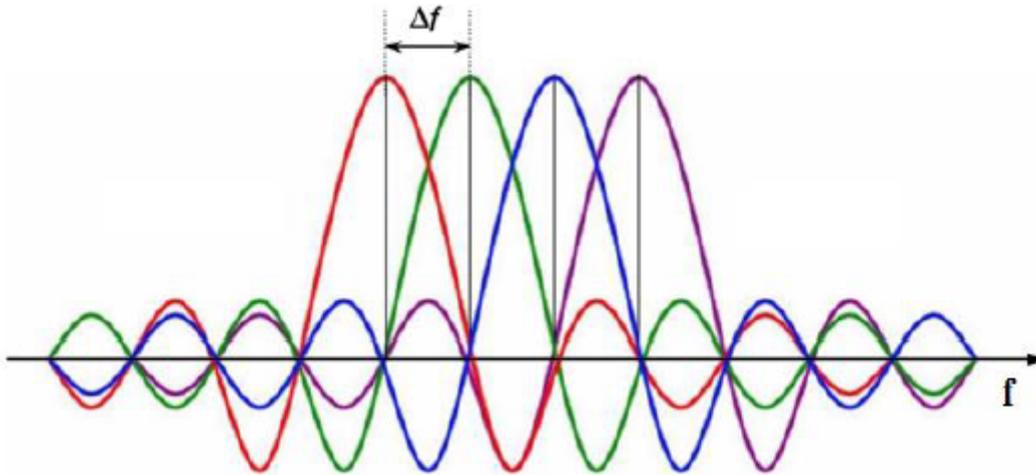


Figure 1.9: Spectre d'un signal OFDM

1.4.3 Principe de la modulation/démodulation OFDM

L'OFDM est une technique de transmission multi-porteuses qui consiste à partager le spectre de fréquence en N sous porteuses, ensuite à transmettre parallèlement et simultanément les flux de symboles sur les différentes N sous-porteuses modulées à un débit $R_{mc} = R/N$, avec R est le débit binaire d'une transmission mono-porteuse. la durée d'un symbole est étendue à un facteur de N , donc le système multi-porteuses est moins sensible à la dispersion temporelle du canal par rapport à un système mono-porteuses transmettant des données au même débit [10]. D'une manière générale, le signal OFDM est composé de N sous-porteuses de fréquence $f_k = f_0 + k\Delta f$, utilisées pour transmettre en parallèle les N symboles complexes X_k définis par une modulation PSK ou QAM. La représentation mathématique d'un signal modulé en OFDM est exprimée par [3]

$$x(t) = \sum_{k=0}^{N-1} X(k) \exp^{2j\pi f_k t} \quad \text{avec} \quad k = 0, \dots, (N - 1) \quad (1.10)$$

La démodulation OFDM classique consiste à démoduler le signal suivant les N sous-porteuses. Le schéma classique d'un modulateur et d'un démodulateur OFDM est montré dans la figure 1.10

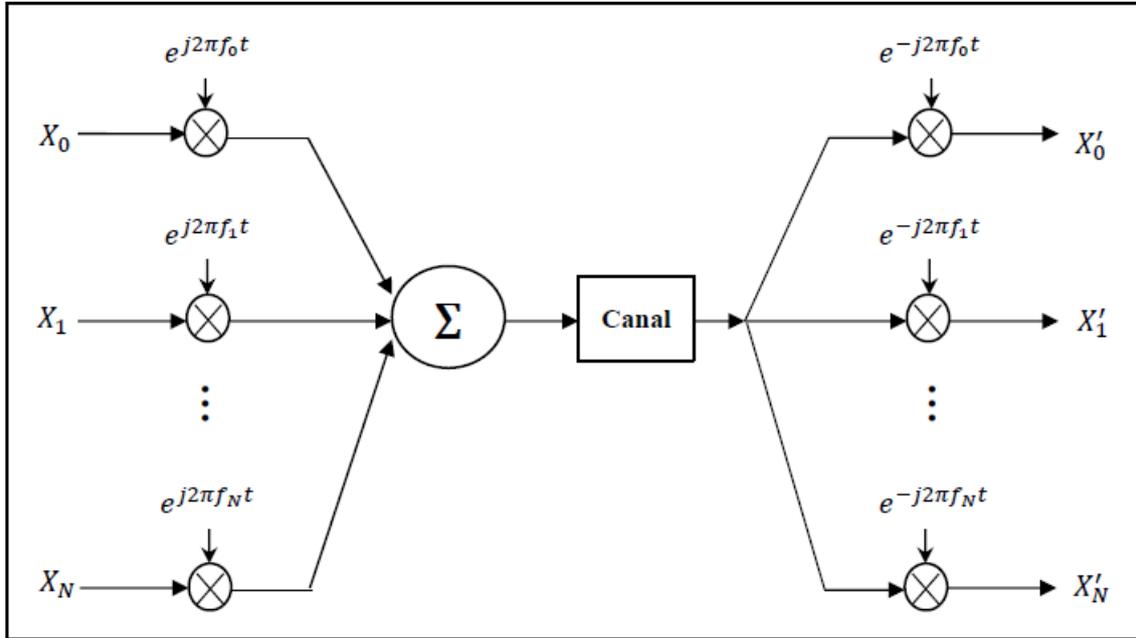


Figure 1.10: Schéma de principe d'un modulateur OFDM

Les systèmes de transmission modernes mettent souvent en oeuvre des émetteurs et des récepteurs numériques, un émetteur numérique génère une sortie sous forme de données échantillonnées. En posant $t=nT_s$, ou T_s est la période d'un échantillonnage. La sortie numérique de l'émetteur multi-porteuse est donnée par :

$$x(nT_s) = \sum_{k=0}^{N-1} X(k) \exp^{2j\pi f_k nT_s} \quad (1.11)$$

En outre, si les fréquences porteuses sont uniformément séparées dans le domaine fréquentiel par un espacement de $f_k = k\Delta f$, donc :

$$x(nT_s) = \sum_{k=0}^{N-1} X(k) \exp^{2j\pi k\Delta f nT_s} \quad (1.12)$$

Avec $\Delta f=1/NT_s$ est l'espacement minimal pour maintenir une orthogonalité entre les signaux, le signal OFDM est donné sous forme [3] :

$$x(n) = \sum_{k=0}^{N-1} X(k) \exp^{2j\pi \frac{nk}{N}} \quad (1.13)$$

Le résultat obtenu ci-dessus met en évidence que le signal OFDM peut être facilement généré en employant la transformée de Fourier discrète inverse (IDFT). A la réception, les symboles émis peuvent être récupérés en appliquant la transformée de Fourier discrète directe (DFT) aux échantillons reçus. Cependant la modulation et la démodulation OFDM peuvent être implémentées numériquement par une simple opération de transformée de Fourier rapide inverse (IFFT), et directe (FFT) respectivement [3]

Avantages de l'OFDM

- Grande efficacité spectrale ;
- Simple mise en oeuvre par la transformée de Fourier rapide (FFT) et inverse (IFFT)
- Faible complexité du récepteur
- Robuste aux transmissions de haut débit sur des canaux à évanouissement multi-trajets

1.5 L'intérêt de l'association MIMO-OFDM

Les systèmes de communication sans fil ont connu ces dernières années un essor important dans le domaine des télécommunications. L'utilisation de la technique multi-porteuse OFDM représente une solution efficace en raison de sa robustesse envers les évanouissements des canaux multi-trajets en transformant un canal à large bande sélectif en fréquence en un ensemble de canaux à bande étroite non-sélectif en fréquence et donc diminuer la complexité du récepteur [11]. L'emploi de plusieurs antennes à la fois à l'émission et à la réception sous la technique MIMO permet d'augmenter la capacité et d'améliorer la qualité des communications sans fil respectivement par l'utilisation de la diversité spatiale. Par conséquent l'association de la technique multi- antennes et la modulation multi-porteuses (MIMO-OFDM) représente un module puissant pour les réseaux locaux sans fil (WLAN), les réseaux métropolitains (WMAN) et les réseaux de téléphonie mobile de 4ème génération [1]. La figure 1.11 montre un diagramme

en bloc simplifié du schéma d'association MIMO-OFDM.

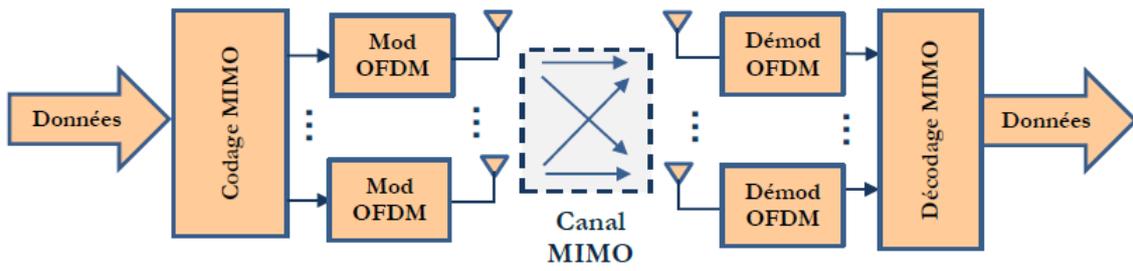


Figure 1.11: Diagramme en bloc d'un système MIMO-OFDM

1.6 Conclusion

Dans ce chapitre, nous avons présenté un aperçu détaillé sur la notion d'évanouissement d'une propagation à trajet-multiples, ainsi que les différents canaux adoptés dans la modélisation d'une transmission sans fil. Nous avons donné par la suite une description générale des systèmes MIMO. Par ailleurs, en raison de l'influence des imperfections des canaux multi-trajets sur la performance de la liaison, le recours vers le schéma multi-porteuses OFDM offre un grand potentiel pour surmonter les dégradations induites par le canal comme la sélectivité en fréquence. Toutefois, la combinaison entre la technique OFDM et MIMO permet d'intégrer un module de communication à haut débit robuste aux phénomènes des trajets-multiples.

Chapitre 2

Transformée de Fourier rapide ,codage spatio-temporel : bases théoriques

2.1 Introduction

Dans ce deuxième chapitre nous présentons une étude théorique sur les deux parties qui font l'objet de notre travail : la FFT et le Codage spatio-temporel. dans un premier lieu nous présentons les algorithmes conventionnels pour calculer la FFT comme : radix-2, radix-8 et radix-2³, ils serviront tout au long du projet pour comprendre les algorithmes de références puisqu'ils sont les plus utilisés en industrie,ce qui permettra de comprendre les différentes techniques d'implémentation des architectures à partir des équations mathématiques qui régissent les algorithmes FFT conventionnels,ensuite on abordera le codage spatio-temporel qui exploite les dimensions spatiale et temporelle apportées par le canal MIMO.

2.2 Transformée de Fourier Rapide TFR

La Transformée de Fourier Rapide (notée par la suite FFT) est simplement une TFD calculée selon un algorithme permettant de réduire le nombre d'opérations et, en particulier, le nombre de multiplications à effectuer. Il faut noter cependant, que la réduction du nombre d'opérations arithmétiques à effectuer, n'est pas synonyme

de réduction du temps d'exécution. Tout dépend de l'architecture du processeur qui exécute le traitement.

Pour calculer une TFD, on doit calculer N valeurs X(k) :

$$X(K) = \sum_{n=0}^{N-1} x(n) \exp^{-2j\pi \frac{nk}{N}} \quad \text{avec} \quad k = 0, \dots, (N-1) \quad (2.1)$$

le calcul direct sans algorithme efficace, doit effectuer :

- N^2 multiplications complexes
- $N(N-1)$ additions complexes.

Il existe différents algorithmes pour le calcul de la FFT. Le plus connu est sûrement celui de Cooley-Tukey [12] qui réduit à $\frac{N}{2} \log_2(N)$ le nombre de multiplications.

Il existe deux versions de l'algorithme :

- FFT avec entrelacement temporel : Decimation in time (DIT)
- FFT avec entrelacement fréquentiel : Decimation in frequency (DIF)

Lorsque la division en paquets de données, commence du côté de l'entrée (signal temporel), l'algorithme est appelé DIT et lorsque la division se fait du côté de la fréquence, cet algorithme est appelé DIF.

Dans ce travail, nous avons retenu la version DIF de la FFT pour l'implémentation sur FPGA.

2.3 Facteur de tournoiement (Twiddle Factor)

On peut réécrire l'équation de la TFD comme suit :

$$X(K) = \sum_{n=0}^{N-1} x(n) W_N^{nk} \quad \text{avec} \quad k = 0, \dots, (N-1) \quad (2.2)$$

La notation W_N^{nk} représente le facteur de tournoiement « twiddle factor », en anglais, il est défini comme suit :

$$W_N^{nk} = \exp^{-2j\pi \frac{nk}{N}} = \cos(2\pi \frac{nk}{N}) - j \sin(2\pi \frac{nk}{N}) \quad (2.3)$$

Tous les algorithmes pour le calcul de la FFT utilisent les propriétés suivantes du facteur de tournoiement pour réduire la complexité des calculs :

Propriété 1 :

$$W_N^{KN} = \exp^{-j\frac{2\pi kN}{N}} = \exp^{-j2\pi k} = 1 \quad (2.4)$$

Propriété 2 : (périodicité par rapport à n et k)

$$W_N^{nk} = W_N^{nk+Nk} = W_N^{(n+N)k} \quad (2.5)$$

Propriété 3 :

$$W_N^{nk+N/2} = \exp^{-j\frac{2\pi(nk+N/2)}{N}} = \exp^{-j\frac{2\pi nk}{N}} \exp^{-j\pi} = -1 \quad (2.6)$$

cette propriété est utilisée pour réduire le nombre de multiplications :

$$AW_N^{nk} + BW_N^{nk+N/2} = (A + BW_N^{N/2})W_N^{nk} = (A - B)W_N^{nk} \quad (2.7)$$

2.4 Algorithme entrelacement en fréquence base-2 (DIF radix-2)

Comme son nom l'indique, l'algorithme DIF FFT radix-2 est obtenu en décomposant la séquence de fréquence de sortie X [k] en 2 paquets : un paquet formé des données d'indices pairs X [2r] et un paquet formé des données d'indices impaires X [2r+1] [13] .

Nous trouvons les équations suivantes :

$$\begin{aligned} X(2r) &= \sum_{n=0}^{N-1} x(n)W_N^{n(2r)}, r \in [0, \frac{N}{2}-1] \\ &= \sum_{n=0}^{N/2-1} x(n)W_N^{2rn} + \sum_{n=N/2}^{N-1} x(n)W_N^{2rn} \\ &= \sum_{n=0}^{N/2-1} x(n)W_N^{2rn} + \sum_{n=0}^{N/2-1} x(n + N/2)W_N^{2r(n+N/2)} \\ &= \sum_{n=0}^{N/2-1} x(n)W_N^{2rn} + \sum_{n=0}^{N/2-1} x(n + N/2)W_N^{2rn} \\ &= \sum_{n=0}^{N/2-1} (x(n) + x(n + N/2))W_N^{2rn} \end{aligned}$$

$$X(2r) = \sum_{n=0}^{N/2-1} (x(n) + x(n + N/2))W_{N/2}^{rn} \quad (2.8)$$

$$\begin{aligned} X(2r + 1) &= \sum_{n=0}^{N-1} x(n)W_N^{n(2r+1)}, r \in [0, \frac{N}{2}-1] \\ &= \sum_{n=0}^{N/2-1} x(n)W_N^{(2r+1)n} + \sum_{n=N/2}^{N-1} x(n)W_N^{(2r+1)n} \\ &= \sum_{n=0}^{N/2-1} x(n)W_N^{(2r+1)n} + \sum_{n=0}^{N/2-1} x(n + N/2)W_N^{(2r+1)(n+N/2)} \\ &= \sum_{n=0}^{N/2-1} x(n)W_N^{(2r+1)n} - \sum_{n=0}^{N/2-1} x(n + N/2)W_N^{(2r+1)n} \\ &= \sum_{n=0}^{N/2-1} (x(n) - x(n + N/2))W_N^{(2r+1)n} \end{aligned}$$

$$X(2r + 1) = \sum_{n=0}^{N/2-1} (x(n) - x(n + N/2))W_N^n W_{N/2}^{rn} \quad (2.9)$$

en posant $g[n] = x(n) + x(n + N/2)$ et $h[n] = x(n) - x(n + N/2)$

les équations (2.8) (2.9) peuvent être réécrites de la façon suivante :

$$X(2r) = \sum_{n=0}^{N/2-1} g[n]W_{N/2}^{rn} \quad (2.10)$$

$$X(2r + 1) = \sum_{n=0}^{N/2-1} h[n]W_N^n W_{N/2}^{rn} \quad (2.11)$$

En se basant sur les équations (2.10)(2.11), un graphe dit «papillon» ou bien «Butterfly» est obtenu. figure 2.1

la figure 2.2 illustre la version simplifiée du graphe.

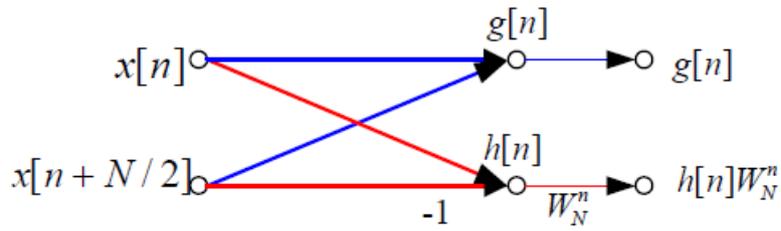


Figure 2.1: Diagramme du butterfly Radix-2

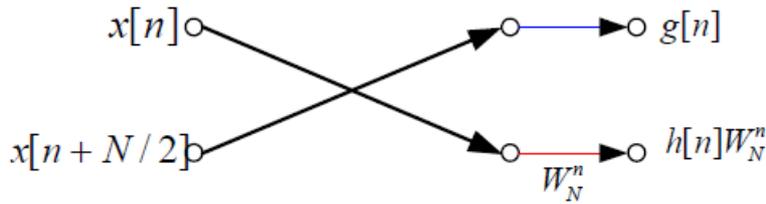


Figure 2.2: Diagramme simplifié du butterfly Radix-2

Ainsi tout TFD d'ordre N multiple de 2, peut se calculer à l'aide de 2 TFD d'ordre $N/2$ et d'un étage de $N/2$ Butterfly. Le graphe de la première étape de l'algorithme DIF Radix-2 est illustré dans la figure (2.3)

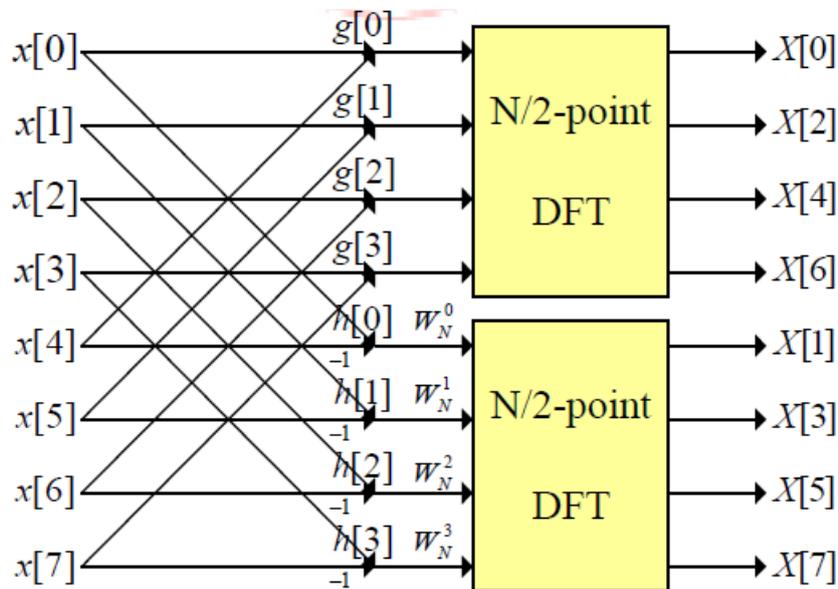


Figure 2.3: Diagramme de la FFT à base de Butterfly Radix-2 de type DIF (a) ($N=8$)

Si $N/2$ est un multiple de 2, on peut réitérer la méthode pour le calcul des 2 TFD d'ordre $N/2$. Chaque TFD d'ordre $N/2$ est alors calculée à l'aide de 2 TFD d'ordre $N/4$ et un étage de $N/4$ Butterfly, ce qui donne au total 4 TFD d'ordre $N/4$ plus 2 étages de $N/2$ Butterfly (voir figure 2.4)

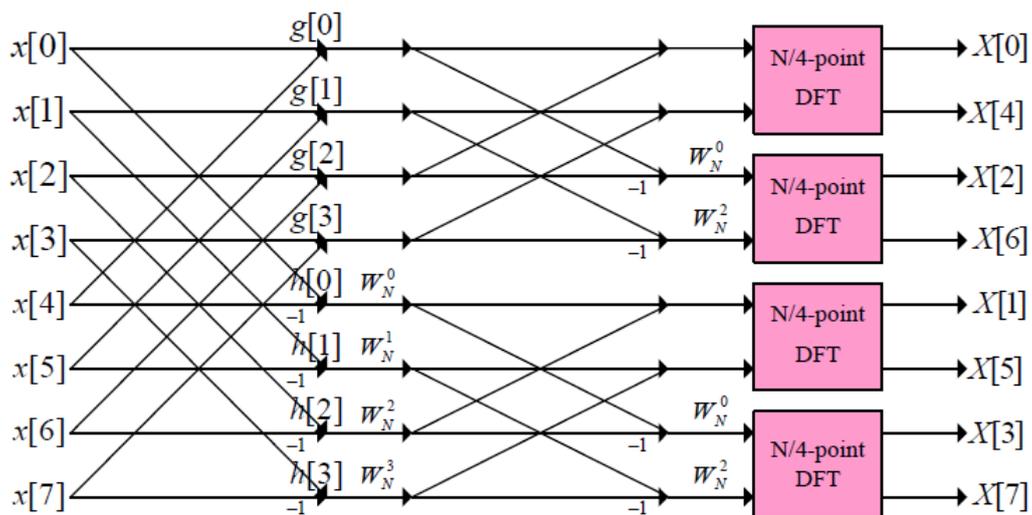


Figure 2.4: Diagramme de la FFT à base de Butterfly Radix-2 de type DIF (b) (N=8)

D'une manière plus générale si N est une puissance de 2, $N = 2^l$, on peut réitérer la méthode l fois et calculer la TFD d'ordre N à l'aide de l étages de $N/2$ Butterfly, avec $l = \log_2(N)$. Voir figure 2.5

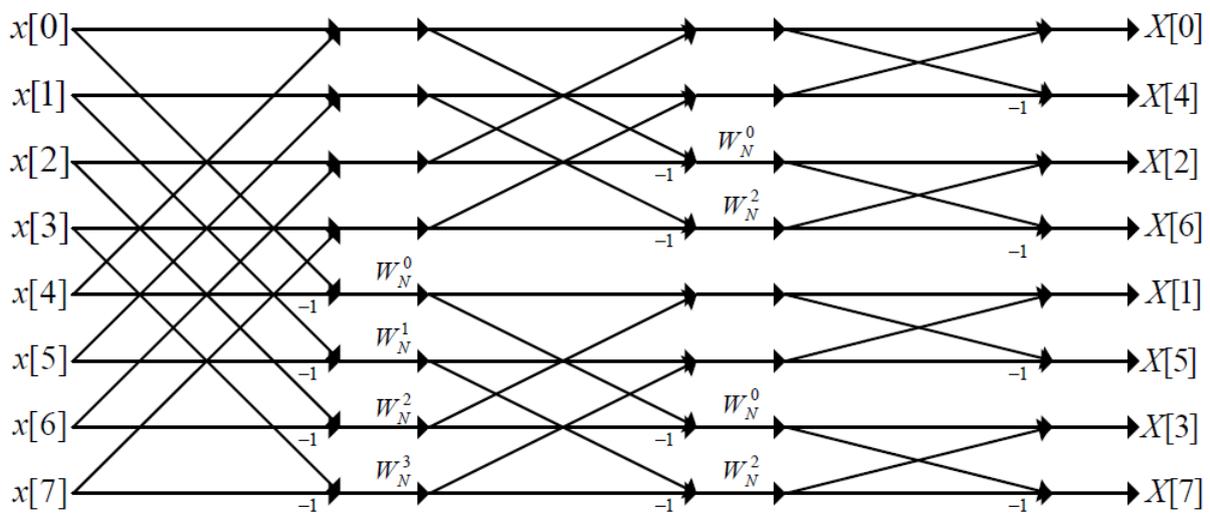


Figure 2.5: Diagramme de la FFT à base de Butterfly Radix-2 de type DIF (c) (N=8)

2.5 Algorithme entrelacement en fréquence base-8 (DIF FFT Radix-8)

En comparant avec l'algorithme « DIF Radix-2 » classique, l'avantage de développer L'algorithme DIF Radix-8 consiste à réduire davantage le coût arithmétique. Cependant, l'application de cet algorithme est limitée à des FFT de taille N tel que $N = 8^m$.

L'algorithme DIF FFT radix-8 est obtenu en décomposant la séquence de fréquence de sortie en 8 paquets $X [8r+l], l \in [0,7]$.

On aura comme séquence de fréquence de sortie :

$X [8r], X [8r+1], X [8r+2], X [8r+3], X [8r+4], X [8r+5], X [8r+6], X [8r+7]$:

$$X(8r + l) = \sum_{n=0}^{N/8-1} [(x(n) + x(n + 2N/8)W_4^l + x(n + 4N/8)W_4^{2l} + x(n + 6N/8)W_4^{-l} + (x(n + N/8) + x(n + 3N/8)W_4^l + x(n + 5N/8)W_4^{2l} + x(n + 7N/8)W_4^{-l})W_8^l]W_N^{nl}W_{N/8}^{nr}$$

le graphe simplifié du Butterfly de l'algorithme DIF FFT Radix-8 est illustré dans la figure 2.6 :

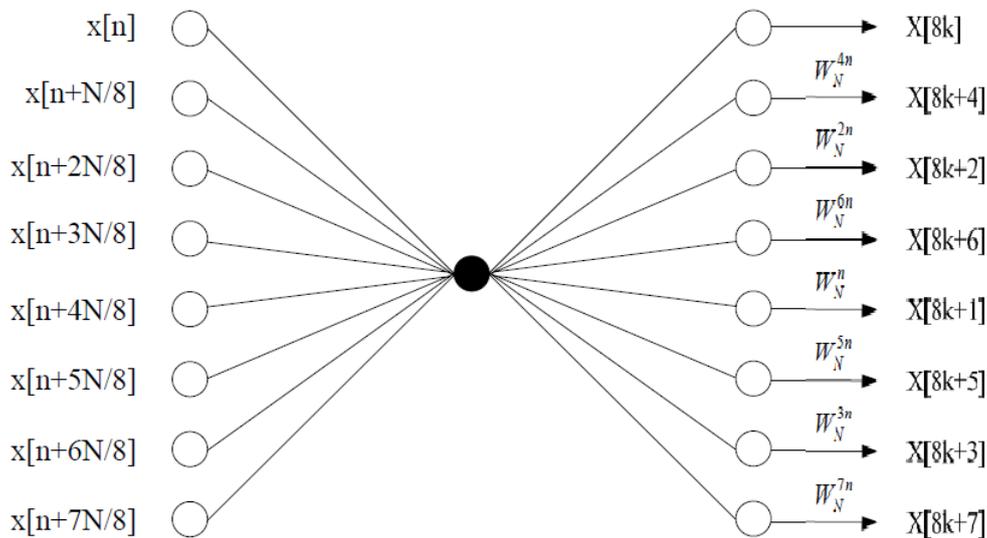


Figure 2.6: Diagramme du butterfly Radix-8

2.6 Algorithme entrelacement en fréquence base-2³

(DIF FFT Radix-2³)

l'étage butterfly de l'algorithme DIF Radix-8 peut être implémenté avec 3 étages du butterfly de l'algorithme DIF Radix-2 et ceci en divisant l en l= 4l₃ + 2l₂ + l₁ (l₁, l₂, l₃ ∈ [0,]) [14] :

$$X(8r + 4l_3 + 2l_2 + l_1) = \sum_{n=0}^{N-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n}, r \in [0, \frac{N}{8}-1]$$

$$\begin{aligned} X(8r + 4l_3 + 2l_2 + l_1) &= \sum_{n=0}^{N/8-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n} + \sum_{n=N/8}^{N/4-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n} + \\ &\sum_{n=N/4}^{3N/8-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n} + \sum_{n=3N/8}^{N/2-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n} + \\ &\sum_{n=N/2}^{5N/8-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n} + \sum_{n=5N/8}^{6N/8-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n} + \\ &\sum_{n=6N/8}^{7N/8-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n} + \sum_{n=7N/8}^{N-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n} \end{aligned}$$

$$\begin{aligned} X(8r + 4l_3 + 2l_2 + l_1) &= \sum_{n=0}^{N/8-1} x(n)W_N^{(8r+4l_3+2l_2+l_1)n} + \sum_{n=0}^{N/8-1} x(n + \\ &N/8)W_N^{(8r+4l_3+2l_2+l_1)(n+N/8)} + \sum_{n=0}^{N/8-1} x(n + N/4)W_N^{(8r+4l_3+2l_2+l_1)(n+N/4)} + \sum_{n=0}^{N/8-1} x(n + \\ &3N/8)W_N^{(8r+4l_3+2l_2+l_1)(n+3N/8)} + \sum_{n=0}^{N/8-1} x(n + N/2)W_N^{(8r+4l_3+2l_2+l_1)(n+N/2)} + \sum_{n=0}^{N/8-1} x(n + \\ &5N/8)W_N^{(8r+4l_3+2l_2+l_1)(n+5N/8)} + \sum_{n=0}^{N/8-1} x(n + 6N/8)W_N^{(8r+4l_3+2l_2+l_1)(n+6N/8)} + \sum_{n=0}^{N/8-1} x(n + \\ &7N/8)W_N^{(8r+4l_3+2l_2+l_1)(n+7N/8)} \end{aligned}$$

$$\begin{aligned} X(8r+4l_3+2l_2+l_1) &= \sum_{n=0}^{N/8-1} [x(n)+x(n+N/8)W_N^{4l_3+2l_2+l_1} + x(n+N/4)W_N^{2(4l_3+2l_2+l_1)} + \\ &x(n+3N/8)W_N^{3(4l_3+2l_2+l_1)} + x(n+N/2)W_N^{4(4l_3+2l_2+l_1)} + x(n+5N/8)W_N^{5(4l_3+2l_2+l_1)} + x(n+ \\ &6N/8)W_N^{6(4l_3+2l_2+l_1)} + x(n+7N/8)W_N^{7(4l_3+2l_2+l_1)}]W_N^{n(4l_3+2l_2+l_1)}W_{N/8}^{nr} \end{aligned}$$

$$\begin{aligned} X(8r+4l_3+2l_2+l_1) &= \sum_{n=0}^{N/8-1} [x(n)+x(n+N/8)W_8^{4l_3+2l_2+l_1} + x(n+N/4)(-1)^{l_2}(-j)^{l_1} + \\ &x(n+3N/8)W_8^{4l_3+2l_2+l_1}(-j)^{l_1+2l_2} + x(n+N/2)(-1)^{l_1} + x(n+5N/8)W_8^{4l_3+2l_2+l_1}(-1)^{l_1} + \\ &x(n+6N/8)(-1)^{l_2}(j)^{l_1} + x(n+7N/8)W_8^{4l_3+2l_2+l_1}(j)^{l_1}(-1)^{l_2}]W_N^{n(4l_3+2l_2+l_1)}W_{N/8}^{nr} \end{aligned}$$

$$\begin{aligned} X(8r+4l_3 + 2l_2 + l_1) &= \sum_{n=0}^{N/8-1} [x(n) + x(n + N/2)(-1)^{l_1} + (-j)^{l_1+2l_2}(x(n + N/4) + \\ &x(n + 3N/4)(-1)^{l_1}) + W_8^{4l_3+2l_2+l_1}(x(n + N/8) + x(n + 5N/8)(-1)^{l_1} + (-j)^{l_1+2l_2}(x(n + 3N/8) + \\ &x(n + 7N/8)(-1)^{l_1})]W_N^{n(4l_3+2l_2+l_1)}W_{N/8}^{nr} \quad (2.12) \end{aligned}$$

à partir de l'équation 2.12 on peut en déduire les équations suivantes avec les quelles on peut construire le diagramme du butterfly DIF Radix-2³ :

$$X(8r) = \sum_{n=0}^{N/8-1} x(n) + x(n + N/2) + x(n + N/4) + x(n + 3N/4) + (x(n + N/8) + x(n + 5N/8) + x(n + 3N/8) + x(n + 7N/8))W_{N/8}^{nr}$$

$$X(8r + 1) = \sum_{n=0}^{N/8-1} (x(n) - x(n + N/2) - j(x(n + N/4) - x(n + 3N/4)) + W_8^1[(x(n + N/8) - x(n + 5N/8)) - j(x(n + 3N/8) - x(n + 7N/8))])W_N^n W_{N/8}^{nr}$$

$$X(8r + 2) = \sum_{n=0}^{N/8-1} (x(n) + x(n + N/2) - (x(n + N/4) + x(n + 3N/4)) - j[(x(n + N/8) + x(n + 5N/8)) - (x(n + 3N/8) + x(n + 7N/8))])W_N^{2n} W_{N/8}^{nr}$$

$$X(8r + 3) = \sum_{n=0}^{N/8-1} (x(n) - x(n + N/2) + j(x(n + N/4) - x(n + 3N/4)) + W_8^3[(x(n + N/8) - x(n + 5N/8)) + j(x(n + 3N/8) - x(n + 7N/8))])W_N^{3n} W_{N/8}^{nr}$$

$$X(8r + 4) = \sum_{n=0}^{N/8-1} (x(n) + x(n + N/2) + x(n + N/4) + x(n + 3N/4) - [(x(n + N/8) + x(n + 5N/8)) + x(n + 3N/8) + x(n + 7N/8)])W_N^{4n} W_{N/8}^{nr}$$

$$X(8r + 5) = \sum_{n=0}^{N/8-1} (x(n) - x(n + N/2) - j(x(n + N/4) - x(n + 3N/4)) - W_8^1[(x(n + N/8) - x(n + 5N/8)) - j(x(n + 3N/8) - x(n + 7N/8))])W_N^{5n} W_{N/8}^{nr}$$

$$X(8r + 6) = \sum_{n=0}^{N/8-1} (x(n) + x(n + N/2) - (x(n + N/4) - x(n + 3N/4)) + j[x(n + N/8) + x(n + 5N/8) - (x(n + 3N/8) - x(n + 7N/8))])W_N^{6n} W_{N/8}^{nr}$$

$$X(8r + 7) = \sum_{n=0}^{N/8-1} (x(n) - x(n + N/2) + j(x(n + N/4) + x(n + 3N/4)) - W_8^3[(x(n + N/8) - x(n + 5N/8)) + j(x(n + 3N/8) - x(n + 7N/8))])W_N^{7n} W_{N/8}^{nr}$$

le graphe simplifié du Butterfly de l'algorithme DIF FFT Radix2³ est illustré dans la figure 2.7 :

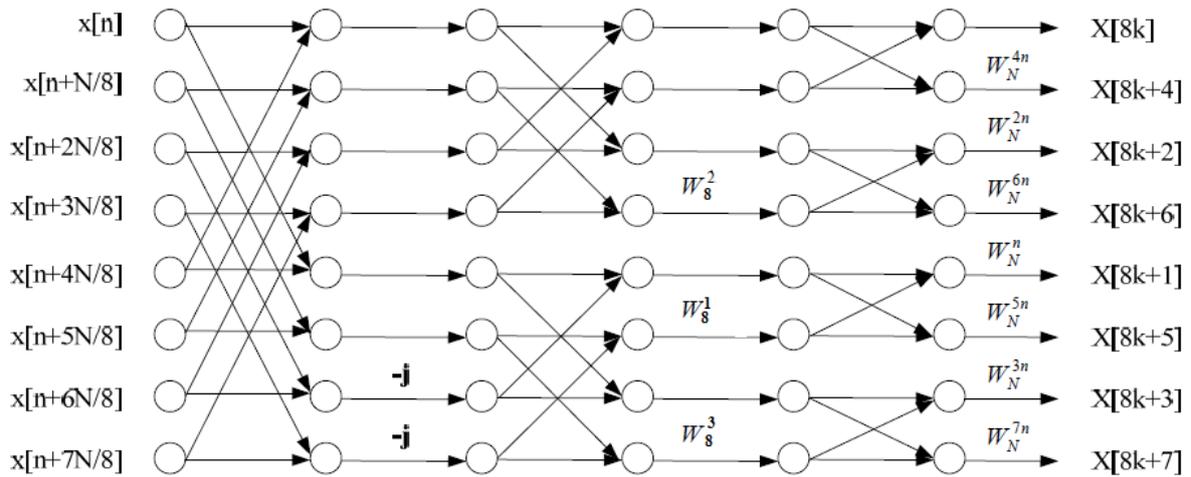


Figure 2.7: Diagramme du butterfly Radix-2³

2.7 Codage spatio-temporel

L'idée de base des CST repose sur la transmission adéquate de l'information parmi les différentes antennes et dans le temps. Il s'agira donc d'associer la dimension temporelle du codage de canal "classique" avec la dimension spatiale (dans le sens géographique du terme) des multi-antennes. Ainsi, le raisonnement se fait sur 2 dimensions. [4]

2.8 Codage spatio-temporel en bloc

Un CST de rendement $R = \frac{K}{p}$ encode un bloc de k symboles, noté $X = [x_1, \dots, x_k]^T$, en une matrice $X_{n,p}$ de taille $n \times p$, tel que n est le nombre d'antennes de transmissions et p le nombre de périodes de transmission d'un bloc de symboles codés.

$$X_{n,p} = \begin{bmatrix} x_{11} & x_{12} & \cdots & x_{1p} \\ x_{21} & x_{22} & \cdots & x_{2p} \\ \vdots & \vdots & \ddots & \vdots \\ x_{n1} & x_{n2} & \cdots & x_{np} \end{bmatrix} \quad (2.13)$$

Les entrées du STBC sont des combinaisons linéaires des k symboles modulés et leurs conjugués. Pour avoir une diversité totale de n, la matrice $X_{n,p}$ est construite

de tel manière à avoir un système orthogonale tel que :

$$X.X^H = C(|x_1|^2 + |x_2|^2 + \dots + |x_n|^2)I_n \quad (2.14)$$

C : Constante.

In : matrice identité de n x n.

la i^e ligne de X représente les symboles transmis par la i^e me antenne dans p périodes consécutives.

La j^e colonne de X représente les symboles transmis simultanément par n antennes dans le temps j .

la j^e colonne est prise comme un space-time symbole transmis au temps j.

les éléments de la matrice X, $x_{i,j}$ $\{i = 1, \dots, n, j = 1, \dots, p\}$ représentent les signaux transmis par l'antenne i au temps j.

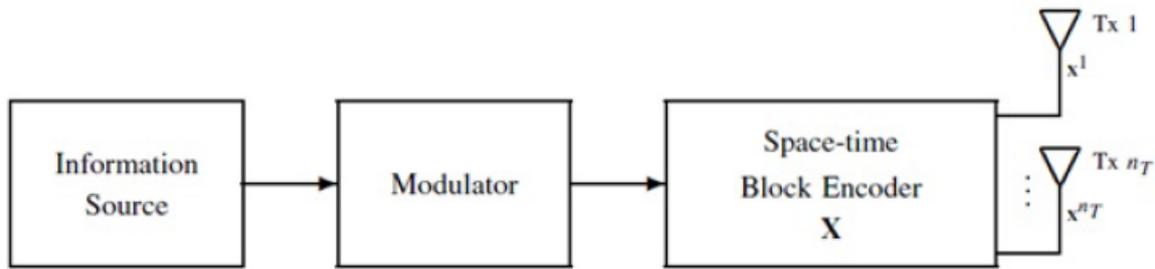


Figure 2.8: Codeur spatio-temporel

2.8.1 Codage Alamouti

Dans l'encodeur Alamouti, deux symboles consécutifs x_1 et x_2 sont codés avec la matrice suivante :

$$X_2^c = \begin{bmatrix} x_1 & -x_2^* \\ x_2 & x_1^* \end{bmatrix} \quad (2.15)$$

Ceci indique qu'à une période symbole donnée, les deux signaux x_1 et x_2 sont simultanément transmis sur les antennes 1 et 2 respectivement. Pendant la prochaine période symbole, les antennes 1 et 2 transmettent respectivement les

signaux $-x_2^*$ et x_1^* , où * désigne l'opérateur complexe conjugué.

2.8.2 STBC d'ordre supérieur

Pour un nombre plus grand que deux d'antennes, le but c'est de construire une matrice à rendement maximum avec une complexité faible du codage, de même le nombre de période doit être minimisé pour minimiser le temps de codage.

On peut trouver des matrices X_3, X_4 à rendement 1/2 [4]

$$X_3 = \begin{bmatrix} x_1 & -x_2 & -x_3 & -x_4 & x_1^* & -x_2^* & -x_3^* & -x_4^* \\ x_2 & x_1 & x_4 & -x_3 & x_2^* & x_1^* & x_4^* & -x_3^* \\ x_3 & -x_4 & x_1 & x_2 & x_3^* & -x_4^* & x_1^* & x_2^* \end{bmatrix} \quad (2.16)$$

$$X_4 = \begin{bmatrix} x_1 & -x_2 & -x_3 & -x_4 & x_1^* & -x_2^* & -x_3^* & -x_4^* \\ x_2 & x_1 & x_4 & -x_3 & x_2^* & x_1^* & x_4^* & -x_3^* \\ x_3 & -x_4 & x_1 & x_2 & x_3^* & -x_4^* & x_1^* & x_2^* \\ x_4 & x_3 & -x_2 & x_1 & x_4^* & x_3^* & -x_2^* & x_1^* \end{bmatrix} \quad (2.17)$$

2.9 Conclusion

Dans ce chapitre nous avons présenté un état de l'art sur le codage spatio-temporel et sur les algorithmes de calcul de la FFT, Les algorithmes détaillées feront l'objet d'une étude architecturale en vue de leur implémentation sur FPGA.

Chapitre 3

Architectures de la FFT

3.1 Introduction

Généralement, les architectures de processeurs FFT se divisent en deux types. Le premier est l'architecture parallèle, le deuxième est l'architecture pipeline. Chaque architecture de processeurs FFT présente des avantages et des inconvénients.

Dans ce chapitre, nous présentons une description générale des deux architectures, cependant nous allons nous concentrer plus, sur l'architecture pipeline[14] retenue dans le cahier de charge, ensuite nous présenterons, brièvement, une comparaison entre les architectures pipelines en termes de configuration matérielle, de vitesse et de performances et d'efficacité d'utilisation.

3.2 Architecture parallèle pour le calcul de la FFT

La méthode la plus simple pour obtenir une architecture parallèle pour le calcul de la FFT est la reproduction directe du mappage du SFG (Signal Flow Graph) de la FFT.

Le principal inconvénient de cette architecture est l'augmentation rapide des besoins en ressources matérielles avec la taille N de la FFT Radix- r . En effet, $N/r \log_r(N)$ «Butterfly» sont nécessaires pour implémenter cette architecture.

Par exemple, il faut 12 BF pour une architecture parallèle Radix-2 ($N=8$ points), Voir figure 3.1

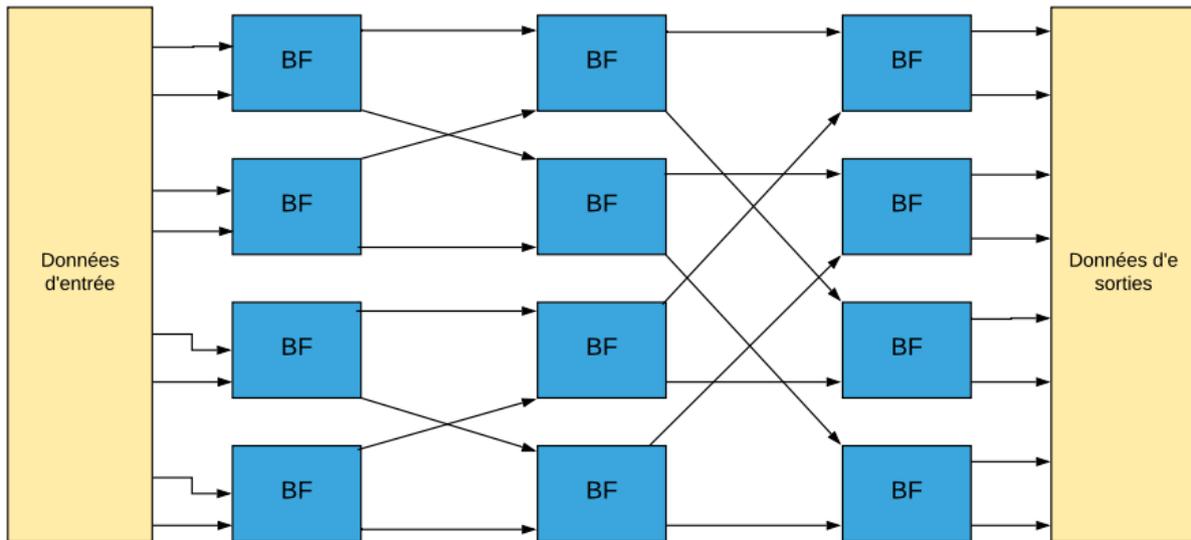


Figure 3.1: Architecture parallèle du radix-2 (N=8)

il é également à noter que plus la taille N augmente, plus l'architecture prend d'espace dans le processeur. Ce problème limite l'utilisation de cette architecture aux petites tailles de la FFT. Cependant, elle reste une des meilleures solutions d'implémentation si la taille de la FFT ne dépasse pas 64 points, grâce à sa rapidité et son efficacité.

3.2.1 Single-memory architectures

L'approche de l'architecture à mémoire unique est la plus simple des architectures parallèles. D'abord les valeurs d'entrée d'une FFT à N points sont chargées en mémoire, le système nécessite donc un banc de mémoire d'au moins N mots.

Le premier étage est calculé et ses résultats sont stockés dans la mémoire, ces résultats sont ensuite utilisés pour calculer le deuxième étage et ainsi de suite. Voir figure 3.2

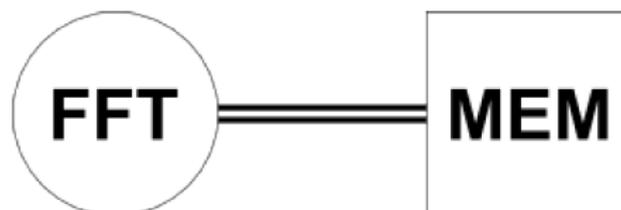


Figure 3.2: Diagramme de l'architecture Single-Memory

3.2.2 Dual-memory architectures

L'approche à double mémoire est similaire à l'approche précédente. Cependant, dans cette architecture, les résultats du premier étage sont stockés dans un second banc de mémoire, ce qui permet la lecture, le calcul et l'écriture dans un cycle. Dans la deuxième étape, l'entrée est prise du deuxième banc de mémoire et les résultats sont stockés dans le premier banc de mémoire et ainsi de suite jusqu'à ce que toutes les étapes soient terminées. (fig 3.3)

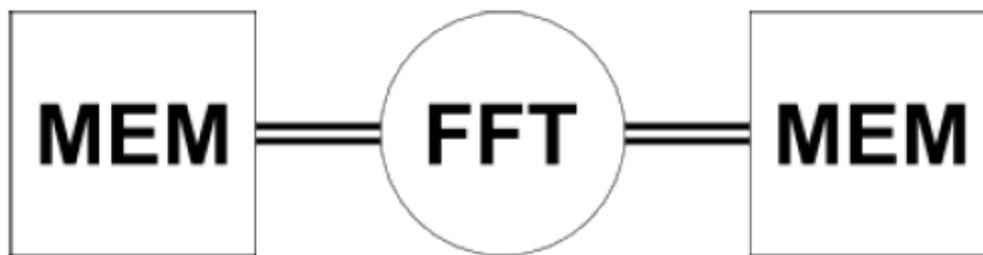


Figure 3.3: Diagramme de l'architecture Dual-Memory

3.3 Architecture pipeline pour le calcul de la FFT

Les architectures pipelines sont les architectures de processeurs FFT les plus populaires, parce qu'elles sont conçues en mettant l'accent sur les performances de vitesse et la régularité des chemins de données. Le meilleur moyen pour obtenir les architectures FFT pipeline consiste à utiliser une projection (et non pas une reproduction comme dans le cas des architectures parallèles) du graphe de flux de signal (SFG).

Prenons un exemple pour expliquer une projection du graphe de flux de signal pour l'algorithme DIF Radix-2 (N=8 points).(fig.3.4)

La structure de chaque étage obtenu à partir de la projection cartographique est appelée un Processeur élémentaire (PE). Un élément de traitement contient une unité de calcul (Butterfly) (BF) pour faire l'addition et la soustraction entre deux données d'entrée de chaque étage, un multiplicateur complexe et un bloc tampon pour stocker et réorganiser les données pour l'unité de calcul de l'étape suivante.

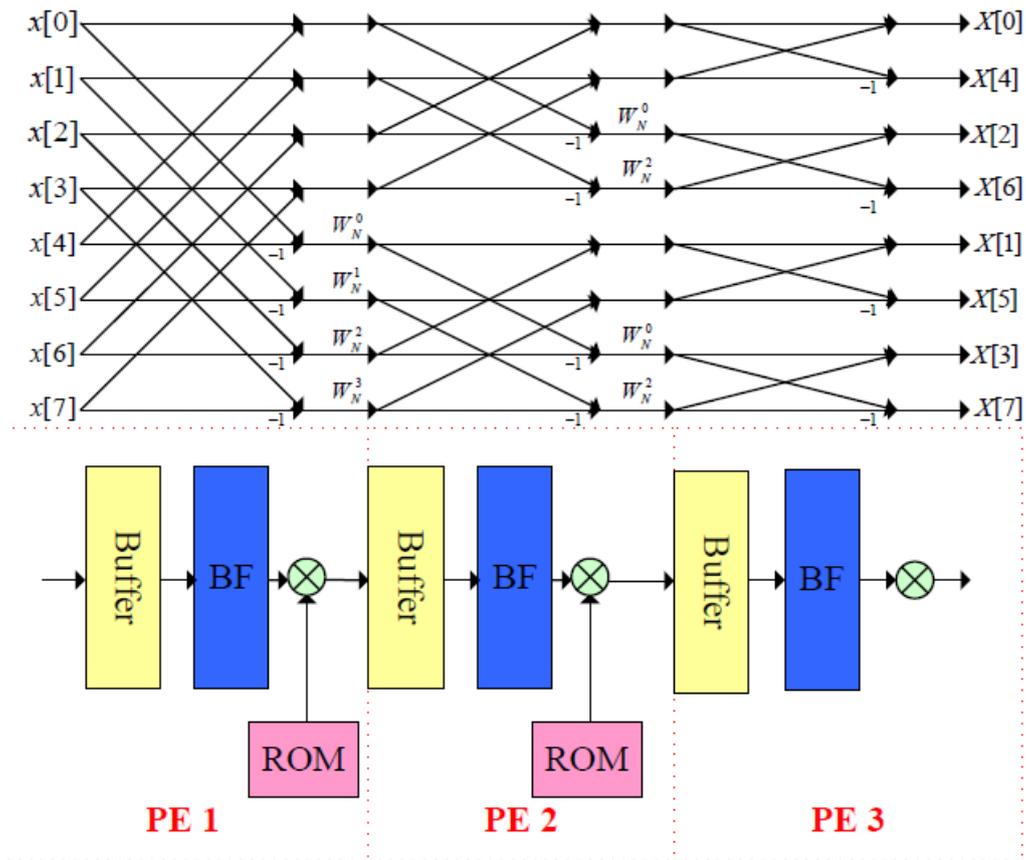


Figure 3.4: projection cartographique de la FFT à base de Butterfly Radix-2 de type DIF

Il existe deux types de structures de tampon de données pour un processeur FFT à base d'architecture pipeline. Le premier est le commutateur de délai (Delay commutator), le second est le délai avec retour (Delay feedback).

Selon la différence de structure, une architecture pipeline pour le calcul de FFT peut être divisée en deux types :

Single-path delay feedback (SDF) architecture,

Multiple-path delay commutator (MDC) architecture.

3.3.1 L'architecture Single-path delay feedback (SDF) architecture

L'architecture SDF possède une seule entrée et sortie et requiert le moins de ressources matérielles; ce qui la rend meilleure approche pour le calcul de la FFT pour un système OFDM à un seul canal et très appropriée pour un système SISO-OFDM (Single Input Single Output Orthogonal Frequency Division Multiplex)

Le schéma fonctionnel du processeur DIF SDF pour le calcul de la FFT (N=8

points) est présenté dans la figure 3.5

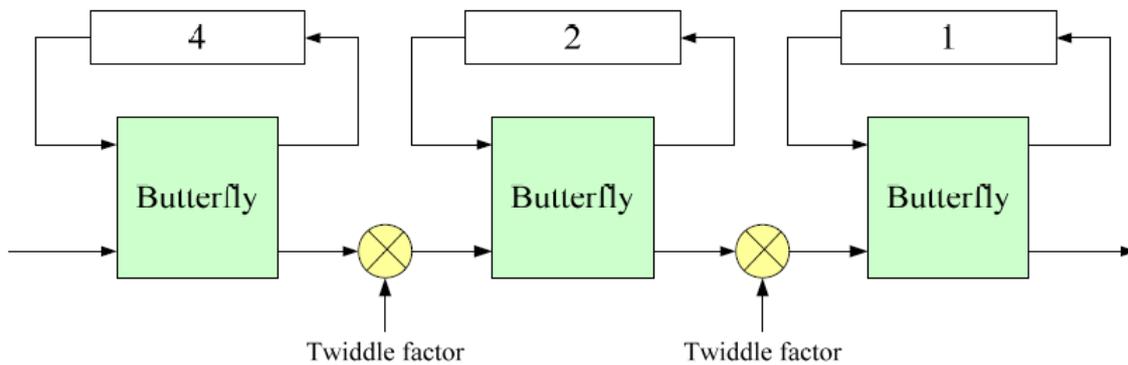


Figure 3.5: Le schéma fonctionnel du processeur DIF SDF à base de Butterfly Radix-2

L'unité de calcul (BF) de la figure 3.3 (a) (b) illustre deux types de modes de fonctionnement :

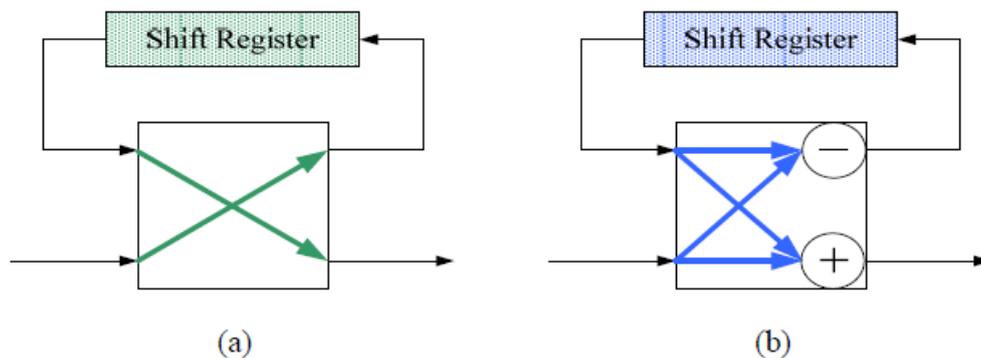


Figure 3.6: (a)mode 1 (b)mode 2

Dans Le premier mode de fonctionnement, les données d'entrée sont insérées dans le dernier emplacement du registre à décalage et les données du premier emplacement du registre sont affichées sur le port de sortie.

Dans le deuxième mode de fonctionnement, les données de sortie de la partie d'addition de l'unité de calcul (BF) sont directement transmises vers l'étage suivant, tandis que les données de sortie provenant de la partie de soustraction de l'unité de calcul sont réécrites dans le registre à décalage

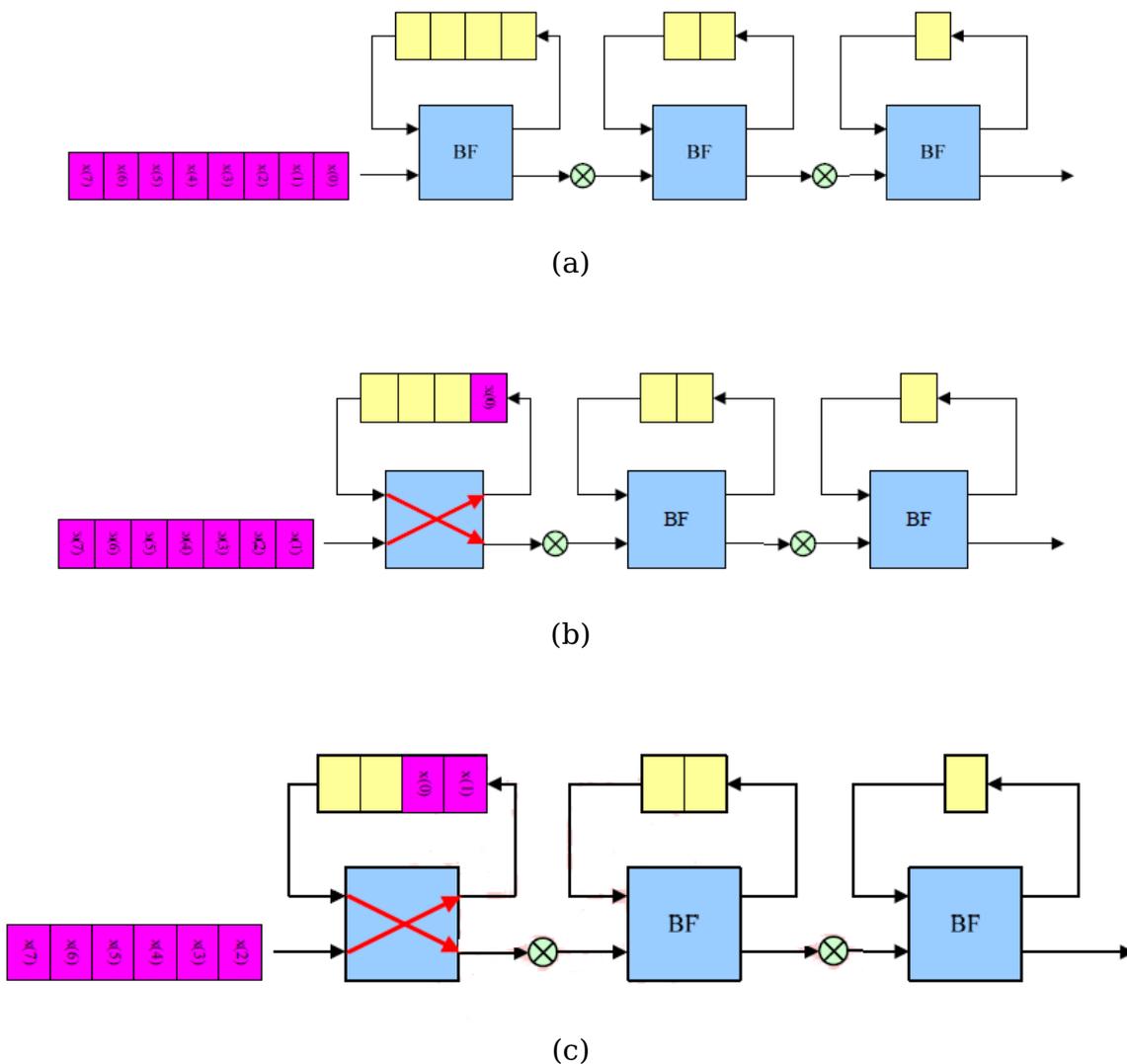
Il est clair que l'architecture SDF utilise les registres de manières plus efficace en stockant les sorties des BF dans les registres à décalage de la chaîne à rétroaction, la séquence de données d'entrée passe par un chemin d'accès unique

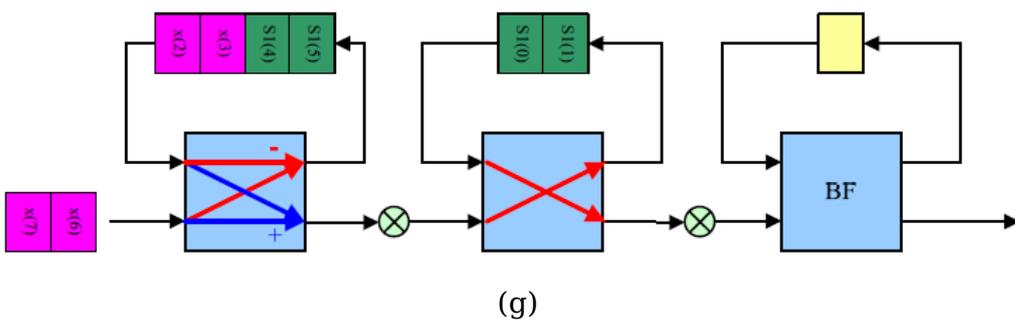
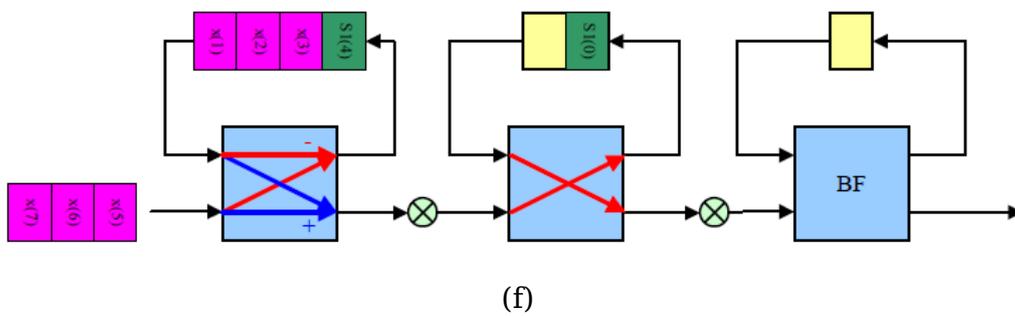
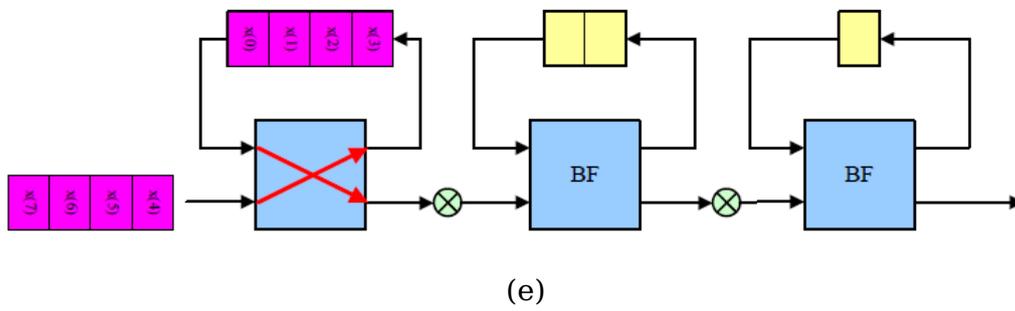
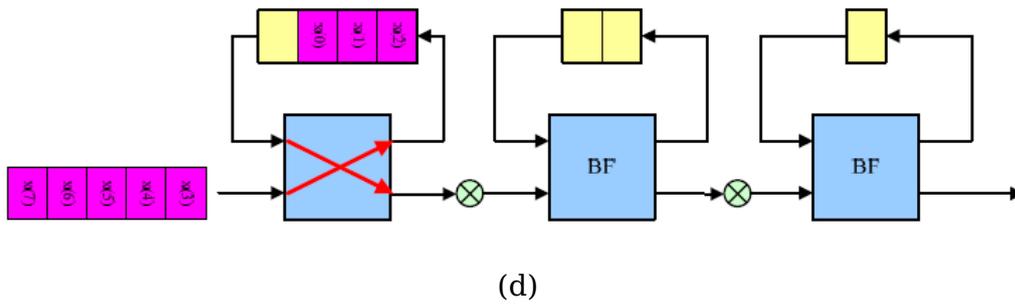
puis, elle est réorganisée par le processeur élémentaire PE. A cause du chemin unique d'accès, un seul multiplieur complexe est utilisé après chaque BF.

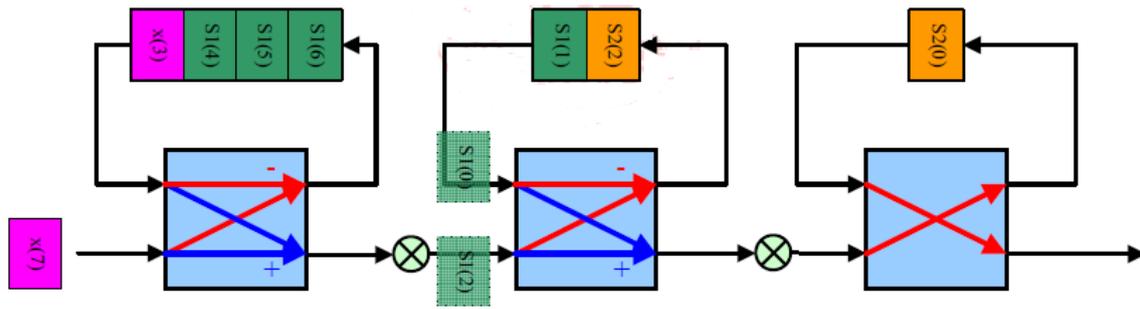
L'avantage principal de cette architecture est que la complexité matérielle est faible. Toutefois, l'architecture fonctionne à une faible vitesse et le contrôle de synchronisation des données demeure complexe, [15].

Puisque l'architecture SDF possède un seul chemin d'accès d'entrée et de sortie et un faible débit binaire, plusieurs coprocesseurs FFT SDF doivent être utilisés pour un système multi canal. Par exemple, pour un système MIMO-OFDM à 4 canaux, quatre architectures SDF doivent être utilisées (une pour chaque canal). Donc on constate que la complexité matérielle augmente avec le nombre de canaux du système.

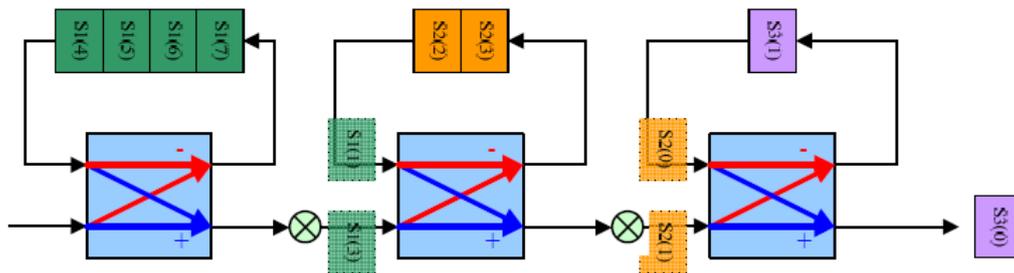
Le déroulement procédural de cette architecture est illustré dans la figure 3.7



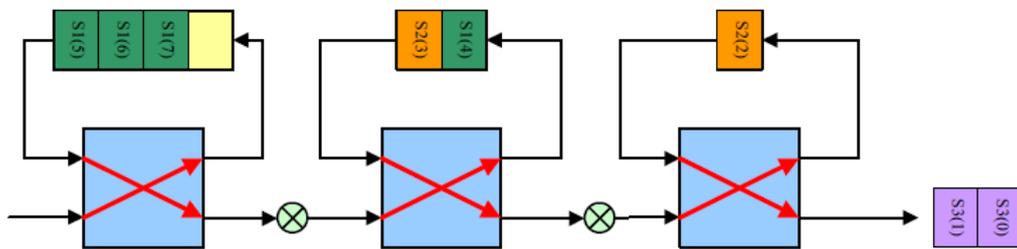




(h)



(i)



(j)

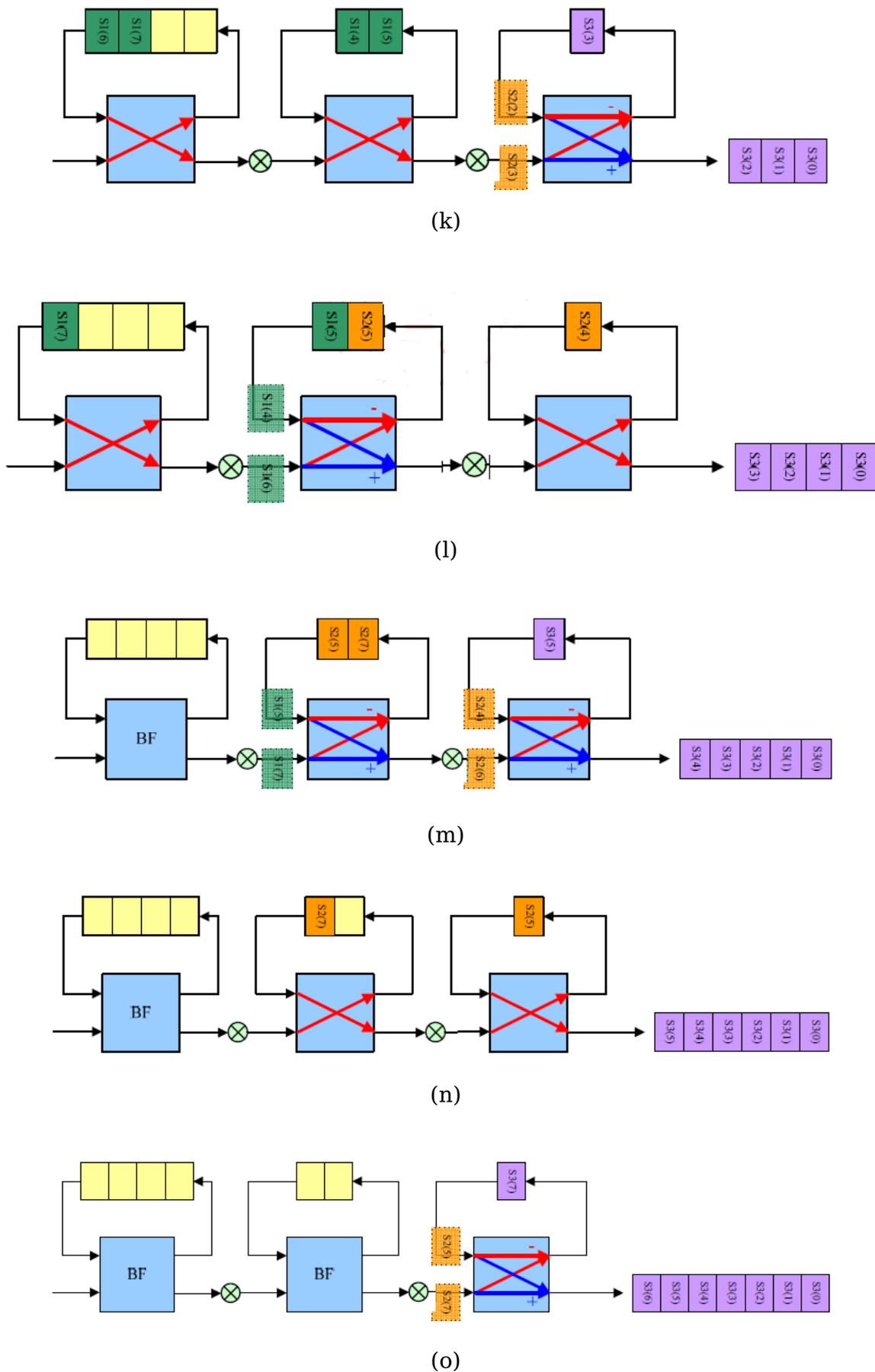


Figure 3.7: Le déroulement procédural de l'architecture SDF à base de Butterfly Radix-2

3.3.2 L'architecture Multi-path Delay Commutator MDC

L'architecture Radix-r MDC (Multi-path Delay Commutator) est considérée comme l'une des conceptions les plus utilisées dans la mise en œuvre des systèmes de communication à haut débit. le commutateur de délai a pour rôle de permuter et synchroniser les données entre les étages de l'architecture.

Le schéma synoptique du processeur FFT pipeline Radix-2 DIF MDC est présenté dans la figure 3.8

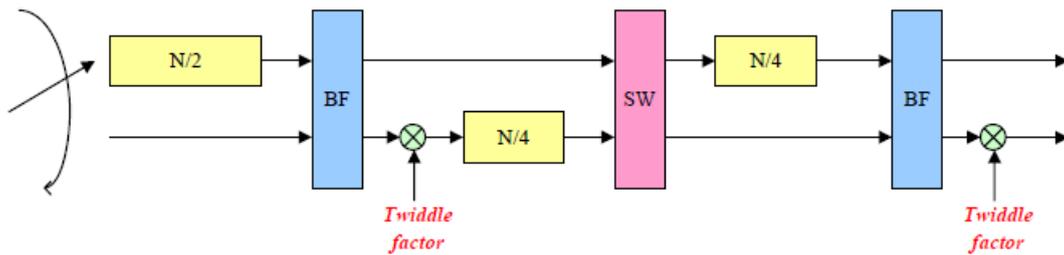
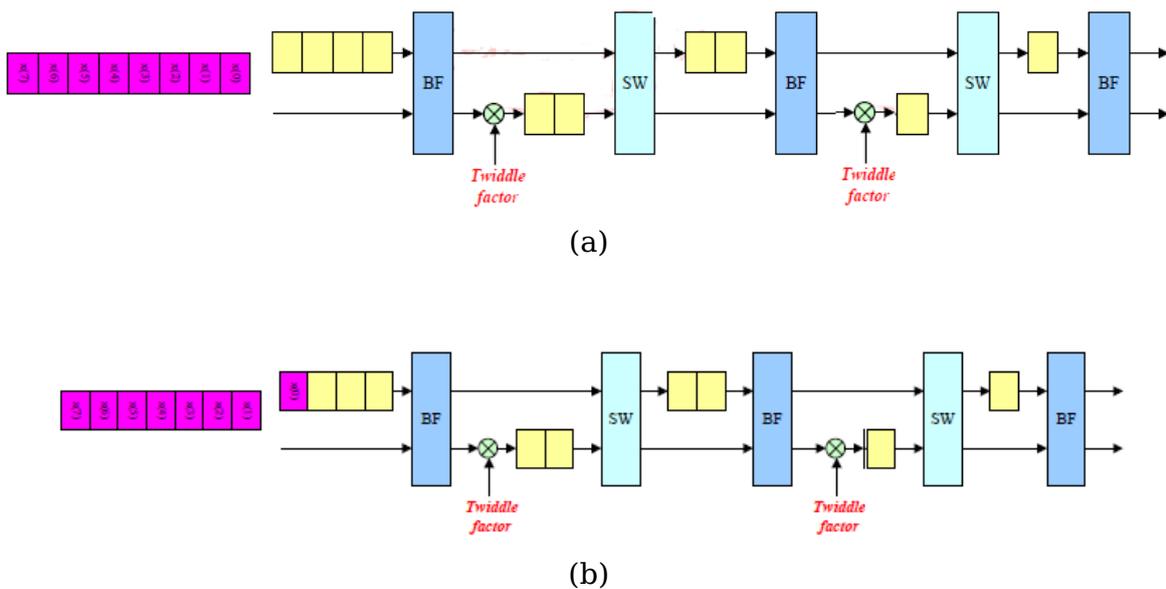
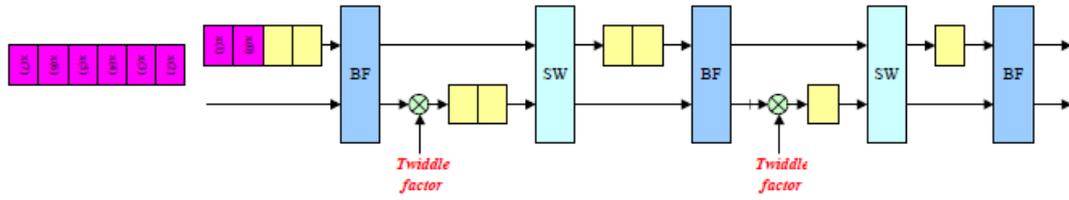


Figure 3.8: Les deux premiers étages de l'architecture MDC à base de Butterfly Radix-2

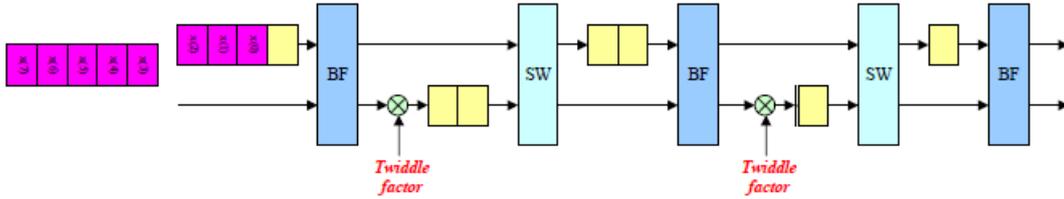
Dans cette figure, les éléments entre les BF sont constitués de registres à décalage et un commutateur de délai. Le rôle de ces éléments est de former un ensemble approprié des données pour le prochain BF

Le déroulement procédural de cette architecture est illustré dans la figure 3.9

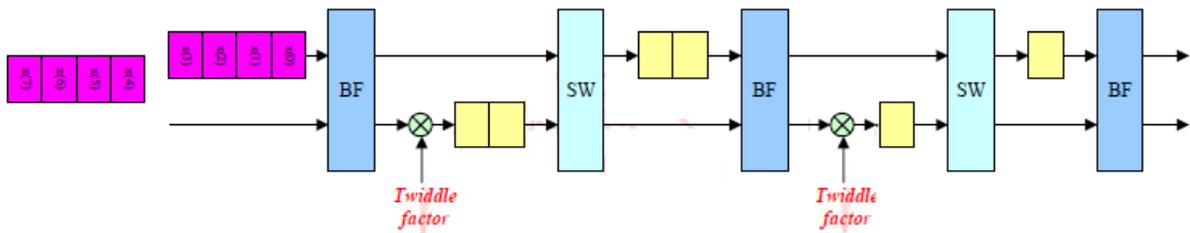




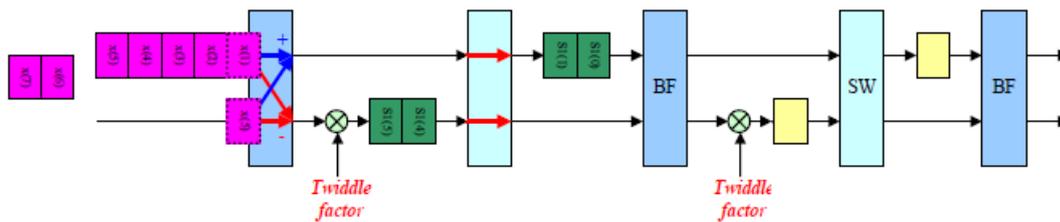
(c)



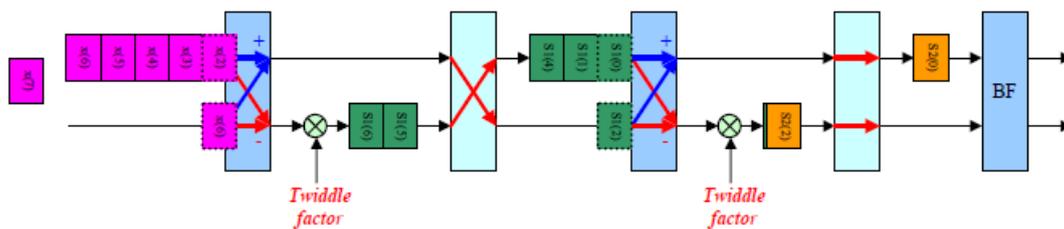
(d)



(e)



(f)



(g)

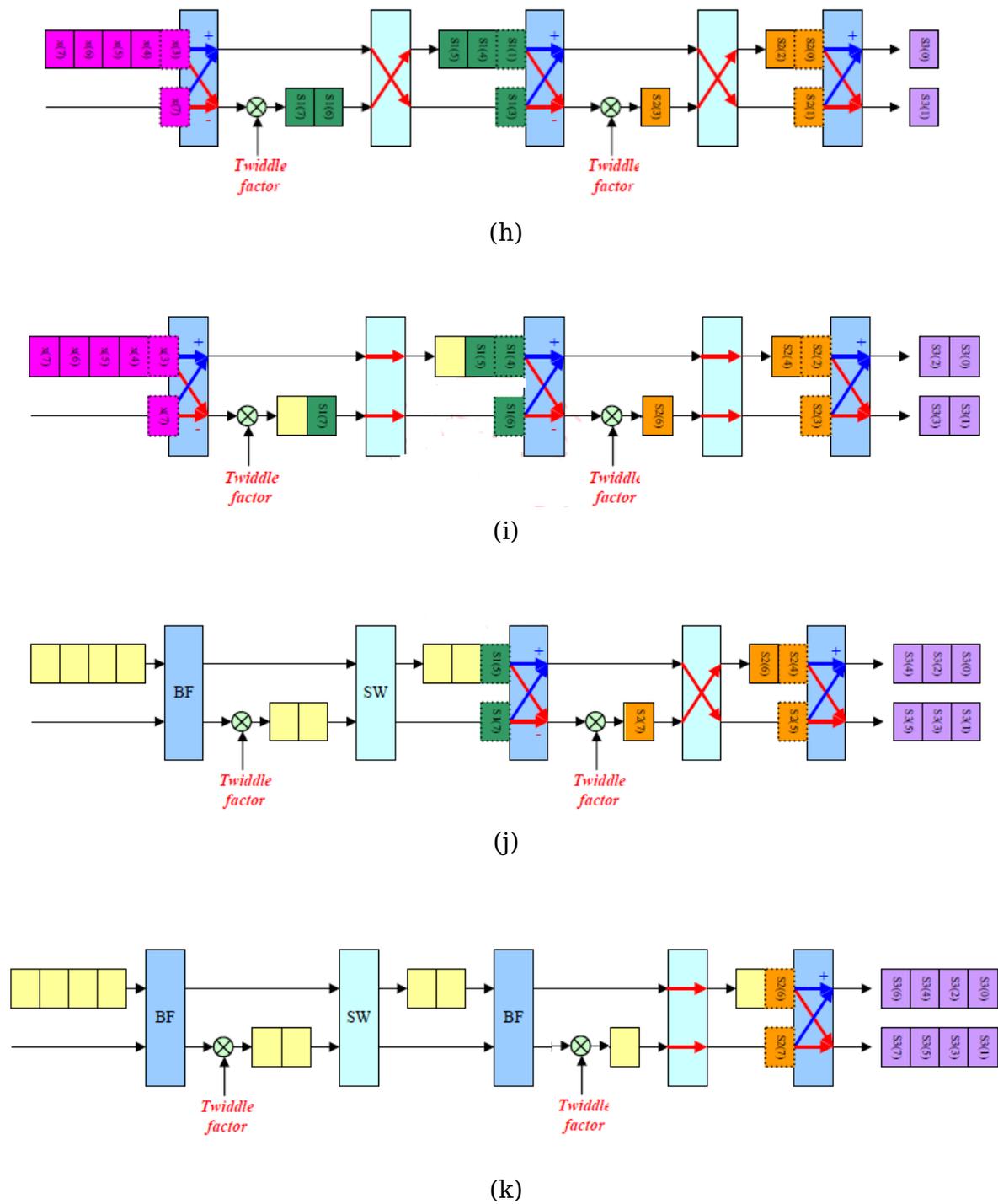


Figure 3.9: Le déroulement procédural de l'architecture MDC à base de butterfly Radix-2

On peut trouver plusieurs variétés de cette architecture, à l'exemple du Radix-4 MDC ainsi que les Radix supérieurs comme le radix-2² et radix-2³.

L'approche MDC est l'architecture la plus adaptée dans les nouvelles applications puisqu'elle possède un chemin d'entrées et de sorties multiple [16]. Cette propriété permet aux modules FFT utilisant cette architecture d'opérer à haute vitesse avec un haut débit. De plus, cette architecture utilise plus de ressources matérielles. Une des méthodes utilisées pour réduire la consommation est d'aller plus haut dans le degré de la FFT implémentée.

3.4 Comparaison

Nous pouvons comparer l'architecture SDF avec l'architecture MDC pour le calcul de la FFT comme indiqué dans la table 3.1

Architectures	Utilisation du mémoire	débit	implémentation	synchronisation
SDF	moyenne	faible	moyenne	complexe
MDC	moyenne	haut débit	moyenne	plus simple

Table 3.1: Comparaison entre l'architecture MDC et SDF

3.5 Conclusion

Les architectures des processeurs FFT ont fait l'objet d'une étude détaillée dans ce chapitre, l'architecture Parallèle et ses dérivées sont développées ainsi que l'architecture SDF et l'architecture MDC, ensuite nous avons fait une comparaison entre ces architectures en termes de configuration matérielle, de vitesse et de performances et d'efficacité d'utilisation.

Chapitre 4

Implémentation

4.1 Introduction

Dans ce chapitre, nous décrivons l'implémentation de l'architecture radix-2³ MDC FFT/IFFT à 512 points ainsi que le codeur OSTBC $M_T=4$ qui constituent les parties les plus importantes dans le système MIMO-OFDM . Nous exposerons en détail les étapes qui nous ont permis de concevoir leurs architectures. Nous testerons le bon fonctionnement de ces dernières à l'aide d'une simulation Isim. La partie d'implémentation (synthèse) viendra confirmer l'efficacité réelle de ces architectures en termes de temps de calcul et des ressources matérielles d'implémentation en technologie FPGA (Field Programmable Gate Array).

Ce chapitre présente aussi les résultats de la simulation et d'implémentation obtenus des différents blocs qui constituent ces architectures.

4.2 Étapes de conception

Dans un premier temps, la programmation de la FFT et du codeur OSTBC à 4 antennes de transmission $M_T=4$ est effectuée sur Matlab®, cette étape permettra de valider le bon fonctionnement des différents blocks de l'architecture proposée.

Le succès de cette validation nous permet de bien définir les opérateurs et les éléments sensibles qui rentrent dans la conception des architectures de chaque étage dans la structure pipeline de la FFT et du codeur.

Le langage de description de circuits électroniques Intégrés utilisé comme support de description, le VHDL, appelé aussi VHSIC (Very High Speed Integrated

Circuit), est un langage utilisé pour décrire le fonctionnement des structures électroniques, concevoir des circuits logiques programmables (synthèse) et les simuler pour valider leur fonctionnement.

Le logiciel utilisé dans le projet pour la simulation est Isim®. L'étape de vérification et validation du bon fonctionnement des différents blocks de l'architecture créée sur Isim® sera faite en utilisant la plateforme Matlab®. Une fois que l'architecture est validée et devient fonctionnelle, on passe à l'étape de synthèse qui est effectuée avec l'outil Xilinx ISE®.

Cette dernière étape nous permettra d'évaluer les performances de cette architecture, en termes de temps de calcul et de ressources matérielles.

Le tableau 4.1 résume les outils utilisés pour les différentes étapes de conception

Étape de conception	Outils
Simulation VHDL	Isim
Synthèse VHDL	Xilinx XST ISE
Vérification	Matlab R2014a

Table 4.1: Outils de conception

4.3 Conception de l'architecture pipeline FFT/ IFFT radix-2³ MDC à 512 points

Dans cette section, on introduira toutes les informations nécessaires sur les étapes de conception de l'architecture FFT/IFFT MDC radix-2³ à 512 points, ainsi que le rôle de chaque bloc, seront discutés individuellement et en détail.

4.3.1 Architecture proposée

Le choix de l'architecture pour implémenter la FFT est un élément très sensible et très important. Dans le chapitre 3, on a présenté les différents avantages pour l'architecture pipeline. C'est grâce à ces avantages que l'architecture pipeline est une des architectures les plus populaires et les plus adaptées pour les applications du traitement de signal où le haut débit de données est une condition dominante.

Dans notre projet, on étudie et utilise particulièrement l'architecture pipeline MDC puisqu'elle propose un faible temps de latence , une forte utilisation et

exploitation des BF et surtout, elle requiert une faible utilisation de mémoire comparée à plusieurs autres architectures pipeline. Pour être conforme à la référence on n'a pas étudié l'introduction du bit reverse dans l'architecture de la FFT programmée, l'ordre de sorties des données est contrôlé d'une façon manuelle.

La figure 4.1 montre la structure de l'architecture pipeline utilisée lors de notre projet.

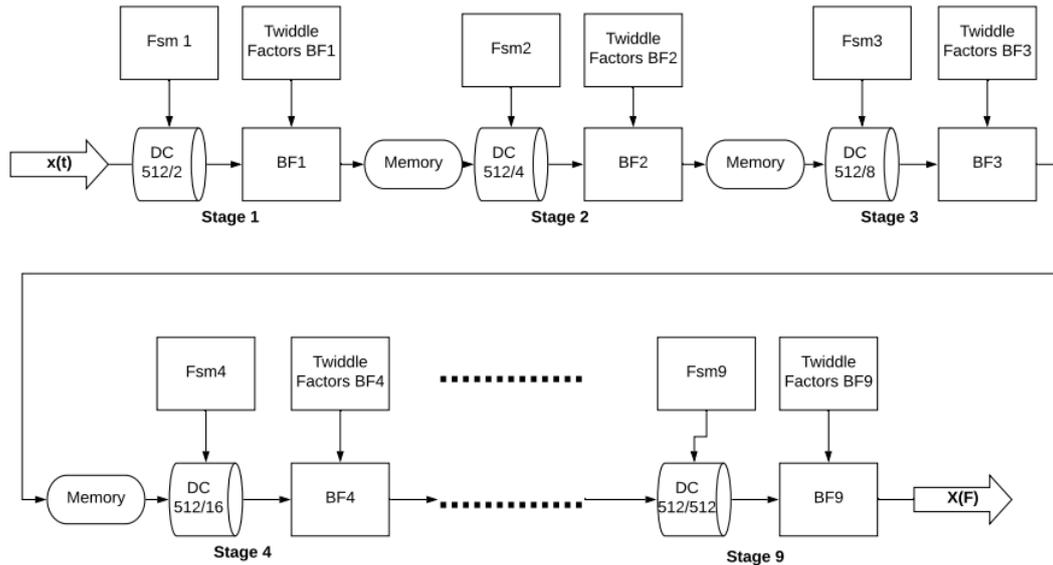


Figure 4.1: Diagramme de l'architecture proposée MDC à base du butterfly 2^3 (N=512 points)

Fonctionnement

Nous pourrions bien remarquer que l'architecture pipeline radix- 2^3 MDC à 512 points se compose de 9 étages, chaque étage inclut des processeurs élémentaires (PE) qui se constituent de « butterfly », un bloc de mémoire de Twiddle factors et un commutateur de délai commandé par une Fsm (machine d'état). Le Commutateur du premier étage décompose les données d'entrées qui arrive en série (512 données complexes) en deux trames de données (chacune est de taille 256) liées à la première unité de calcul (BF1), les sorties de cette dernière sont liées au commutateur du deuxième étage qui a pour rôle de rediriger les données qui viennent du premier étage et les mettre dans le bon ordre, afin de faire les opérations par l'unité de calcul du 2ème étage (BF2). Cette opération se répétera jusqu'au neuvième étage où on trouvera les sorties finales de la FFT pipeline.

Butterfly

En se basant sur le graphe simplifié du butterfly élémentaire du radix 2^3 (voir figure 2.7) : nous proposons l'architecture illustrée dans la figure 4.2
 La figure 4.3 illustre la structure interne du butterfly proposé

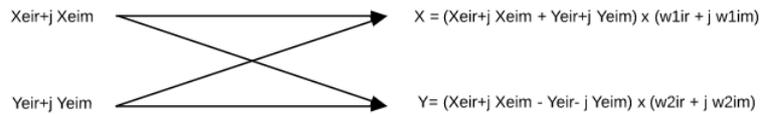


Figure 4.2: Diagramme du butterfly proposé

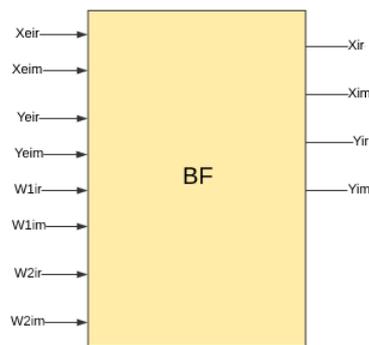


Figure 4.3: Bloc du butterfly

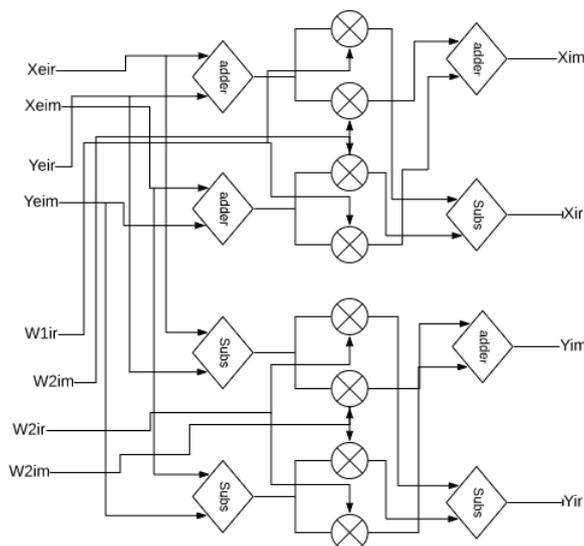


Figure 4.4: Structure interne du butterfly

La structure interne du butterfly se compose de 8 multiplieurs réels , 4 additionneurs et 4 soustracteurs.

étant donnée que la nature des données est complexe, pour chaque entrée du butterfly il y a 2 bus de données : un bus pour les données réels et un autre pour les données imaginaires

Les données d'entrées du butterfly de chaque étage sont :

-Xeir ,Yeir,(parties réels) Xeim, Yeim (parties imaginaires),sont issues des sorties de commutateur de délai

-W1ir,W2ir (parties réels),W1im, W2im (parties imaginaires) sont issus de bloc de twiddle factors de chaque étage.

En contrepartie les sorties du butterfly Xir,Yir (parties réels) , Xim,Yim (parties imaginaires) sont les entrées du commutateur de délai de l'étage suivant .

Commutateur de délai

Le commutateur de délai représente l'élément clé pour une architecture pipeline MDC ; dans notre architecture, nous proposons des commutateurs de délai composés de : Registres, démultiplexeurs, multiplexeurs qui reçoivent des signaux de contrôle par des Blocs de machines d'états.

Les figures (4.5) (4.6) et (4.7) (4.8) illustrent le commutateur de délai du premier étage et le commutateur de délai des autres étages respectivement.

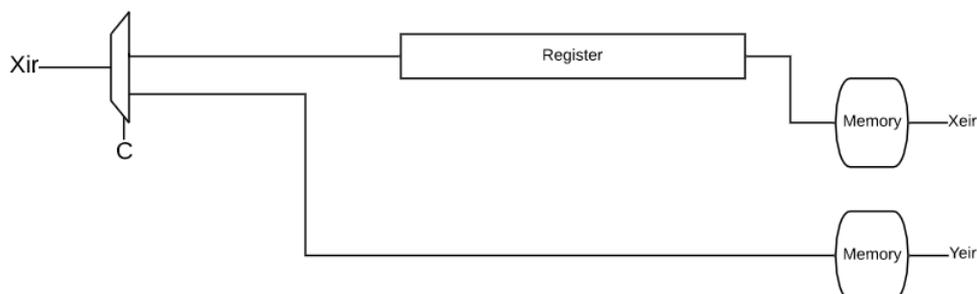


Figure 4.5: Commutateur de délai du premier étage (données réels)

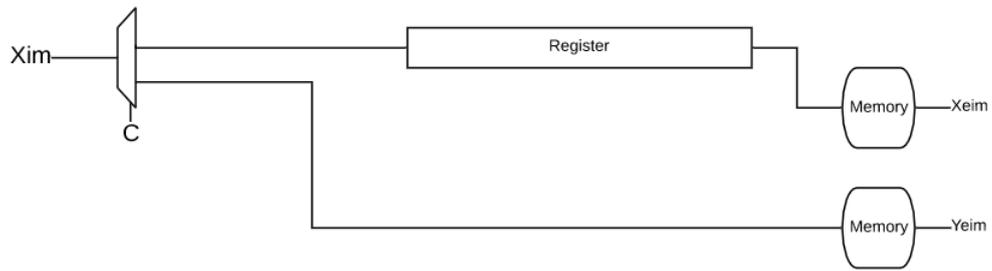


Figure 4.6: Commutateur de délai du premier étage (données imaginaires)

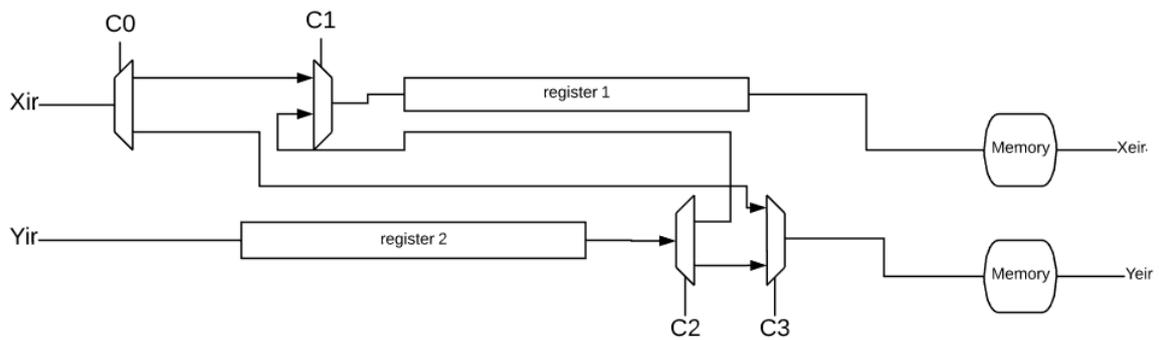


Figure 4.7: Commutateur de délai des autres étages (données réels)

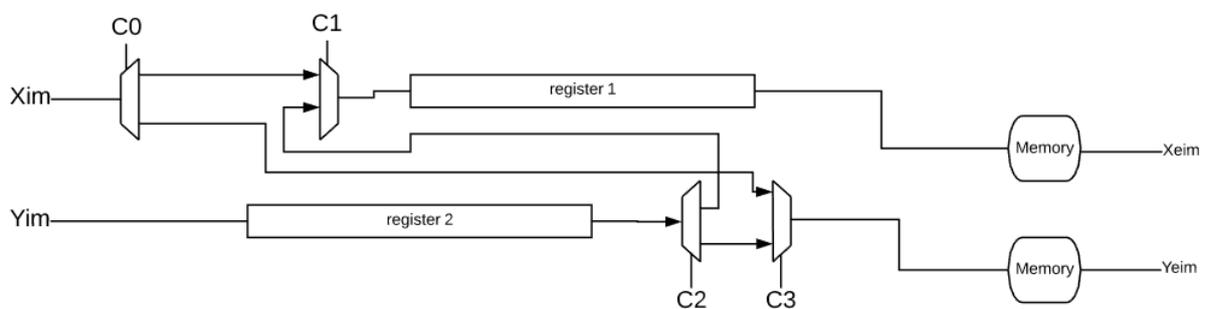


Figure 4.8: Commutateur de délai des autres étages (données imaginaires)

les blocs des machines d'état

Les machines d'états génèrent les signaux de commandes qui gèrent les commutateurs et les blocs de twiddle factors de chaque étage. La machine d'état du premier étage est illustrée dans la figure 4.9

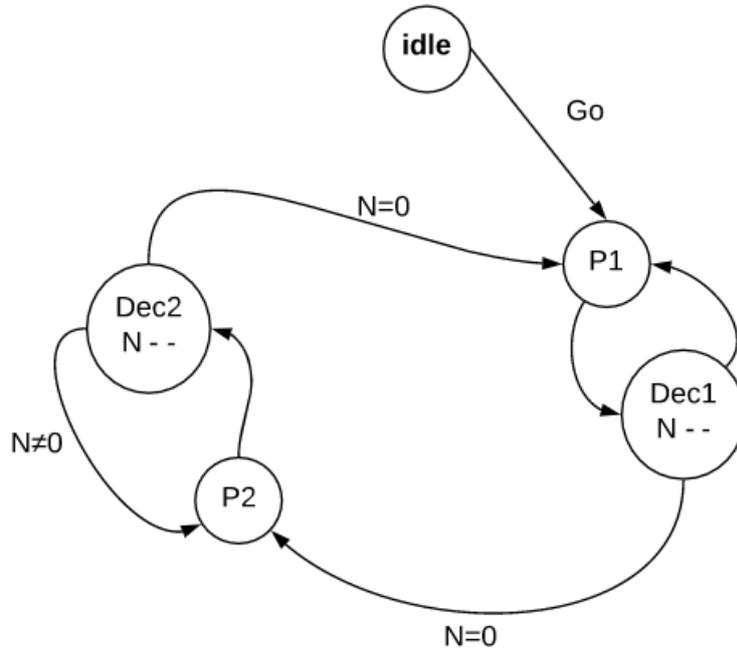


Figure 4.9: diagramme de Machine d'état du premier étage

Quand le signal «go» est reçu, la machine passe à l'état P1 \Leftrightarrow ('C'='0') voir figure (4.10), le décompteur est initialisé à une valeur N=255 qui est égale à la taille des registres, ensuite à chaque front d'horloge le démultiplexeur C relie une donnée qui vient de l'entrée Xir (Xim pour les données imaginaires) avec le registre 1.

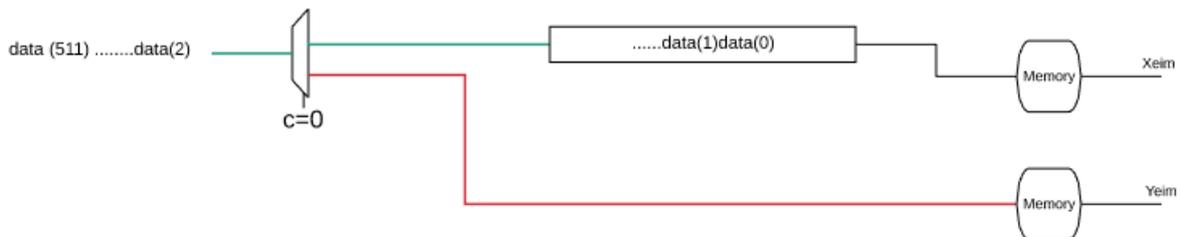


Figure 4.10: illustration du premier état

Lorsque la valeur du décompteur est égale est nulle, la machine passe à l'état suivant $P2 \Leftrightarrow ('C'=1')$ et le décompteur est initialisé de nouveau à $N=255$, ensuite à chaque front d'horloge : voir figure 4.11

-le démultiplexeur C0 laisse passer une donnée qui vient de l'entrée Xir (Xim pour les données imaginaires) vers l'entrée Yeir (Yeim) de l'unité de calcul BF1, en même temps des « Z » sont écrits dans le registre qui est une structure FIFO (dans le langage vhdl "Z" est un std logique que signifie « haute impédance ») pour faire passer les 256 données déjà écrites vers l'entrée Xeir (Xeim) de l'unité de calcul BF1.



Figure 4.11: illustration du 2ème état

Dans ce cas, toutes les 512 données sont passées à l'unité de calcul du premier étage BF1 d'une façon synchrone (fig 4.12)

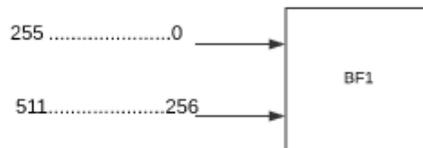


Figure 4.12: ordonnancement des données d'entrées du 1er butterfly

la machine revient à l'état P1 pour recommencer le cycle avec un nouveau paquet de 512 données.

Tous les autres étages sont pilotés par des machines d'états identiques (fig 4.13) sauf que la valeur initiale du décompteur interne qui représente aussi la taille des registres varie d'un étage à un autre. Le tableau suivant résume la valeur initiale du décompteur de chaque étage

Étage	2	3	4	5	6	7	8	9
N	128	64	32	16	8	4	2	1

Table 4.2: Valeur initiale du décompteur de chaque étage(taille de registre)

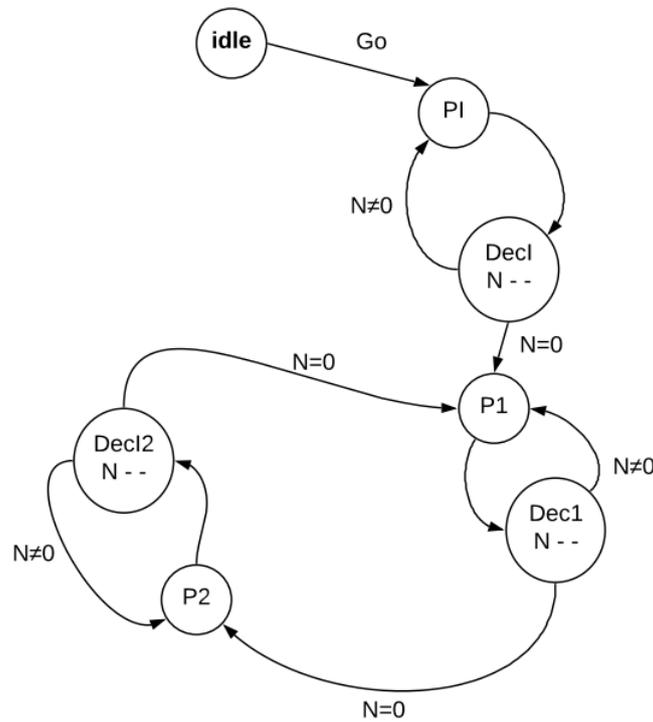


Figure 4.13: Diagramme de machine d'état des autres étages

Dans chaque machine d'état, il y a 3 états selon la valeur du vecteur de sélection des mux/demux 'C0C1C2C3'.

les figures (4.14) (4.15) (4.16) illustrent le fonctionnement du commutateur de délai du deuxième étage à titre d'exemple.

Quand le signal «go » est reçu la machine passe à l'état initial PI <=> ('C0C1C2C3'='00ZZ') et le décompteur est initialisé à une valeur N qui varie selon chaque étage, ensuite à chaque front d'horloge :

- le démultiplexeur C0 et le multiplexeur C1 relient une donnée qui vient de l'entrée Xir (Xim) avec le registre 1.

- les données provenant de l'entrée Yeir (Yeim) sont écrites dans le registre 2 (fig.4.14)

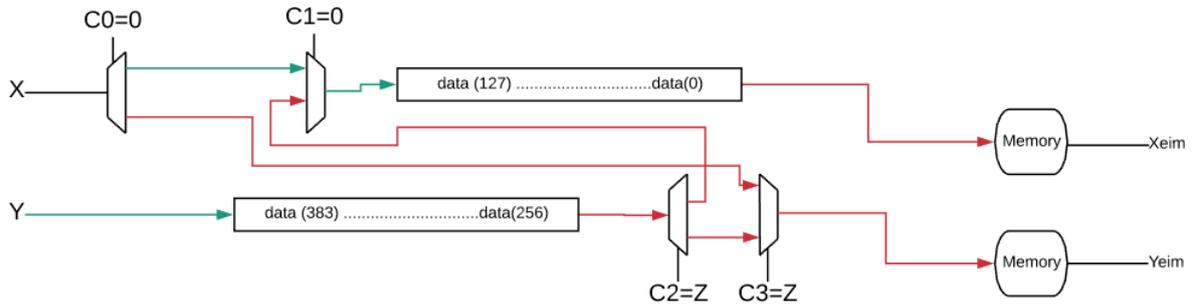


Figure 4.14: illustration de l'état PI

Lorsque la valeur du décompteur est égale à 0 la machine passe à l'état suivant $P1 \Leftarrow ('C0C1C2C3'='1100')$ et on initialise à nouveau le décompteur à N, ensuite à chaque front d'horloge : (fig.4.15)

- le démultiplexeur C0 et le multiplexeur C3 relie une donnée qui vient de l'entrée xir (Xim) vers la sortie yeir (yeim)
- le démultiplexeur C2 et le multiplexeur C1 relie une donnée du registre 2 avec le registre 1 qui représente une structure FIFO (first in first out); ce qui va engendrer la sortie d'une donnée du registre 1 vers la sortie xeir (xeim) (fig 4.15)

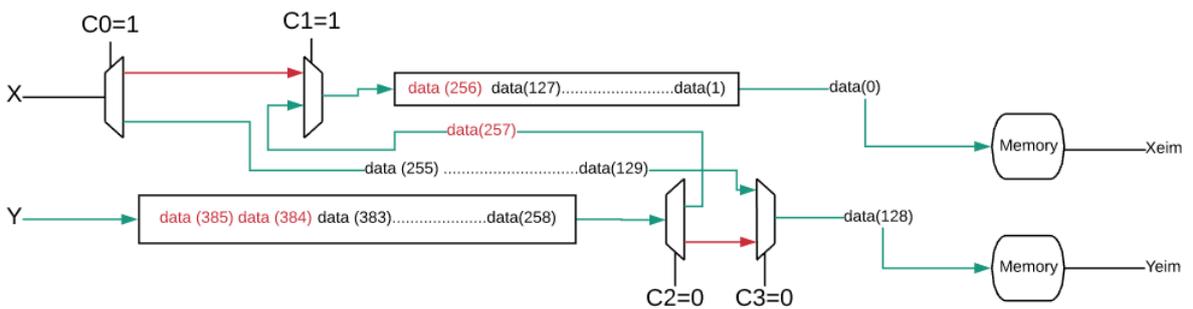


Figure 4.15: illustration de l'état P1

Lorsque la valeur du décompteur est égale à 0 la machine passe à l'état suivant $P2 \Leftarrow ('C0C1C2C3'='0011')$ et on initialise à nouveau le décompteur à N, ensuite à chaque front d'horloge (fig 4.16) :

- le démultiplexeur C0 et le multiplexeur C1 relie une donnée qui vient de l'entrée Xir (Xim) avec le registre 1 ce qui va engendrer la sortie d'une donnée du registre 1 vers la sortie xeir (xeim)

- le démultiplexeur C2 et le multiplexeur C3 relient une donnée de registre 2 avec la sortie yeim (yeim) (fig 4.16)

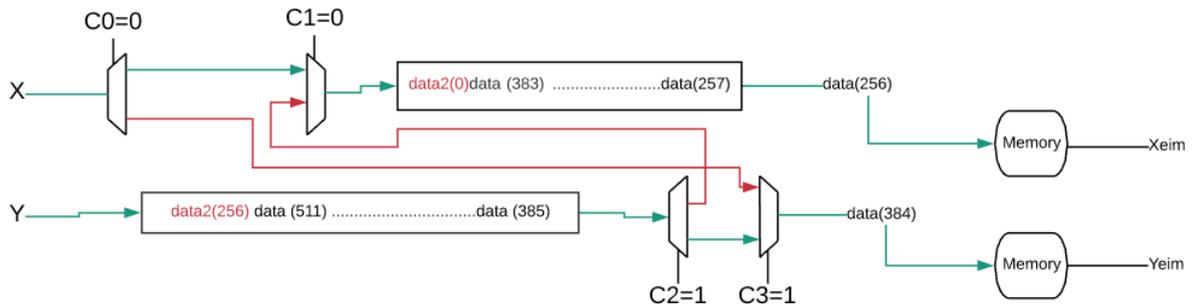


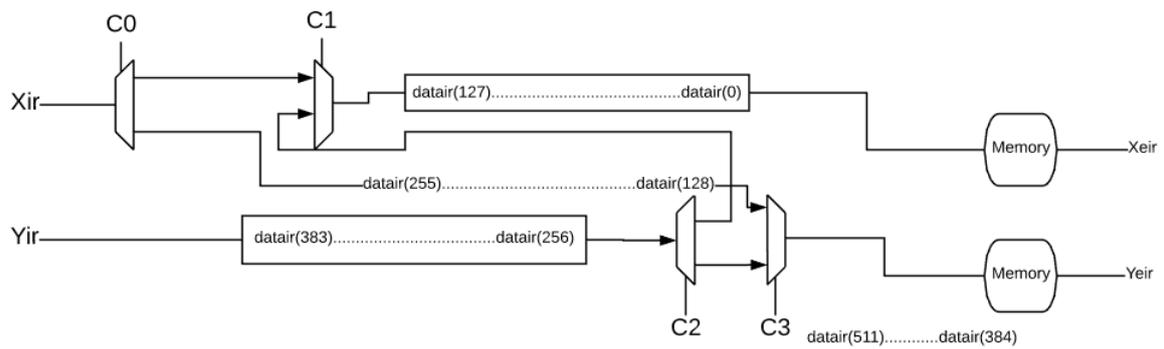
Figure 4.16: illustration de l'état P2

Lorsque la valeur du décompteur est égale à 0 la machine retourne à l'état $P1 \Leftrightarrow ('C0C1C2C3'='1100')$ et on initialise à nouveau le décompteur à N, ainsi le cycle se répète jusqu'à ce que toutes les données de l'étage précédents soient réordonnées pour l'unité de calcul de l'étage suivant.

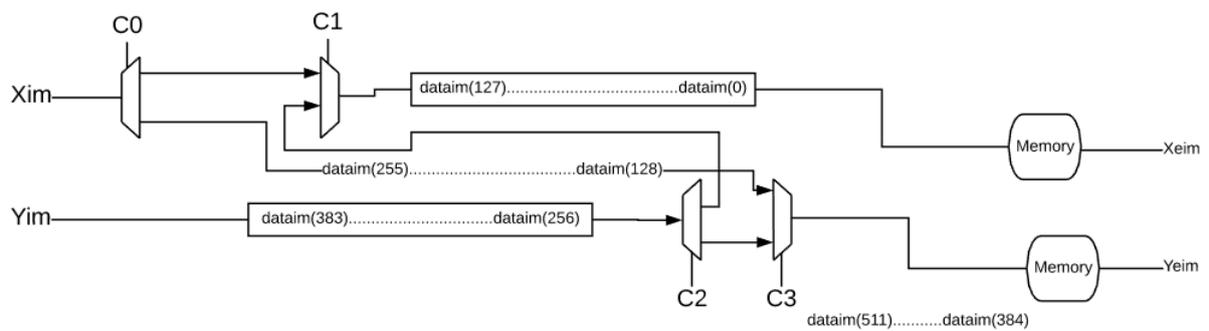
Chaque machine d'état reçoit le signal de déclenchement "go" quand le butterfly de l'étage précédent a effectué sa première opération.

Les figures ci-dessous montrent le mécanisme des commutateurs de délai de chaque étage ainsi que l'ordonnancement des données d'entrées pour les butterfly de chaque étage

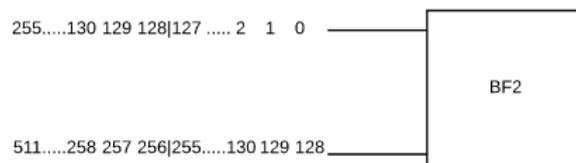
Etage 2 :



(a)



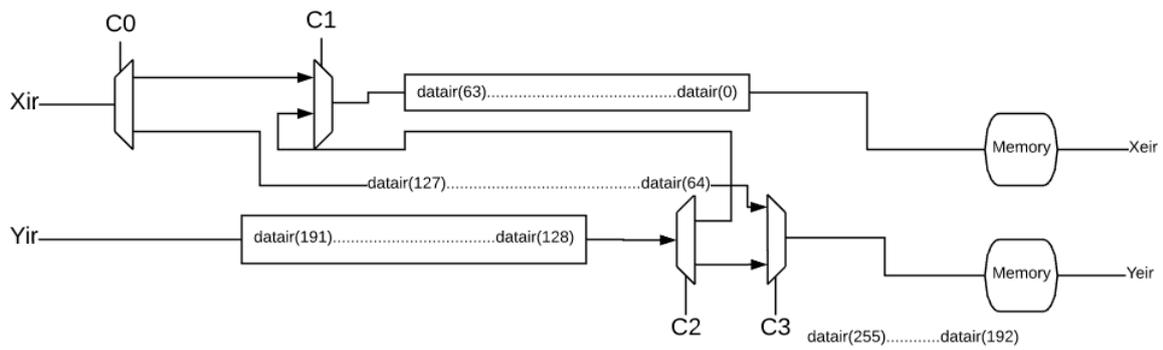
(b)



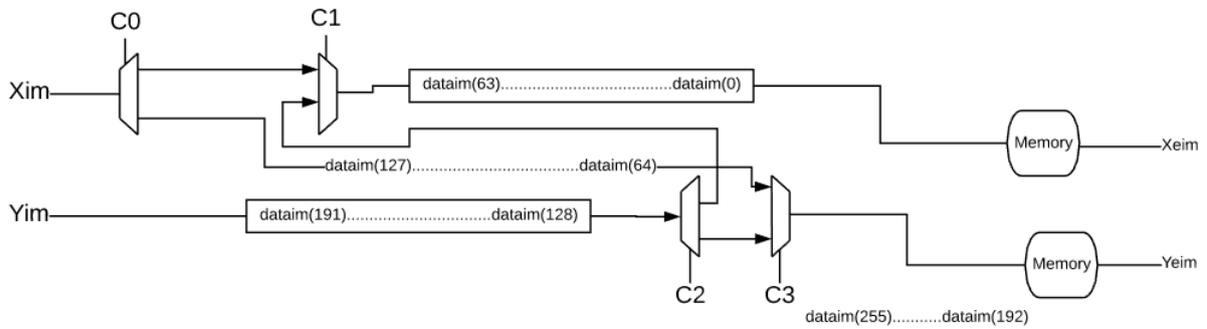
(c)

Figure 4.17: Ordonnancement des données d'entrées pour le butterfly du 2ème étage

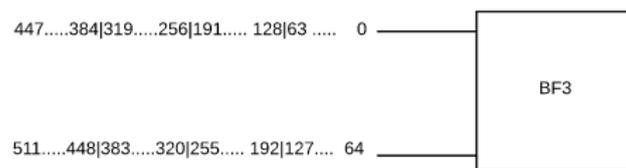
Etage 3



(a)



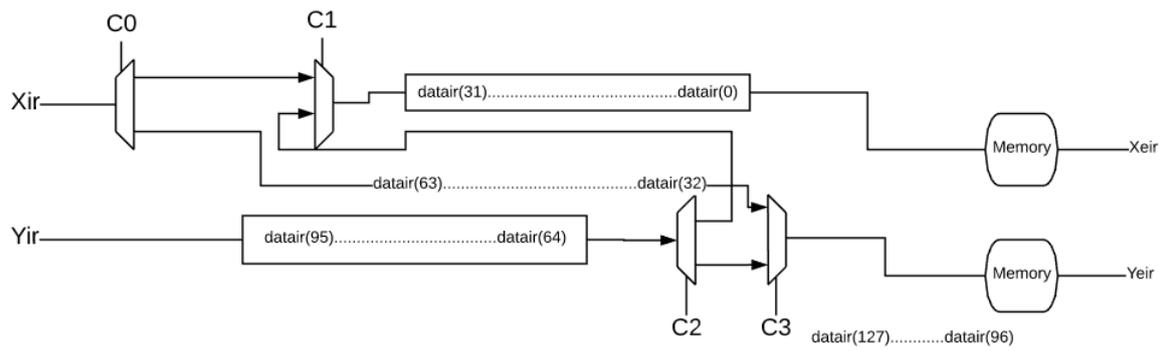
(b)



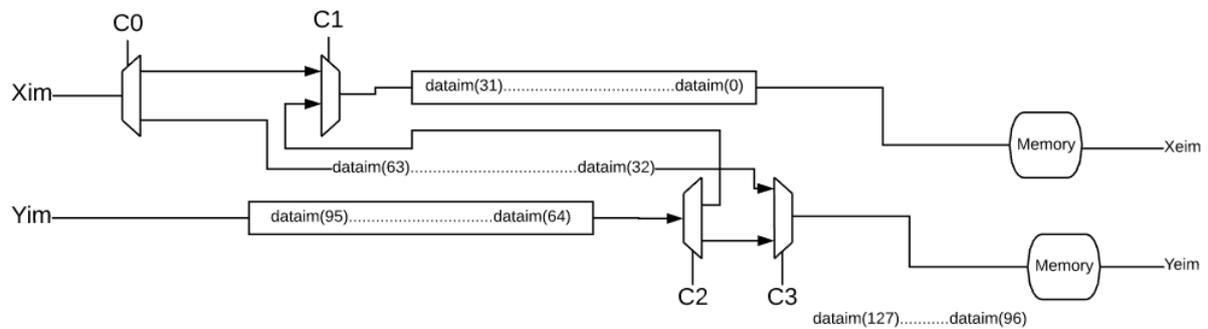
(c)

Figure 4.18: Ordonnancement des données d'entrées pour le butterfly du 3ème étage

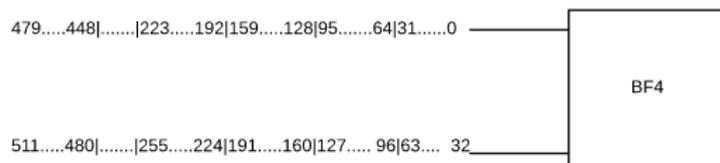
Etage 4 :



(a)



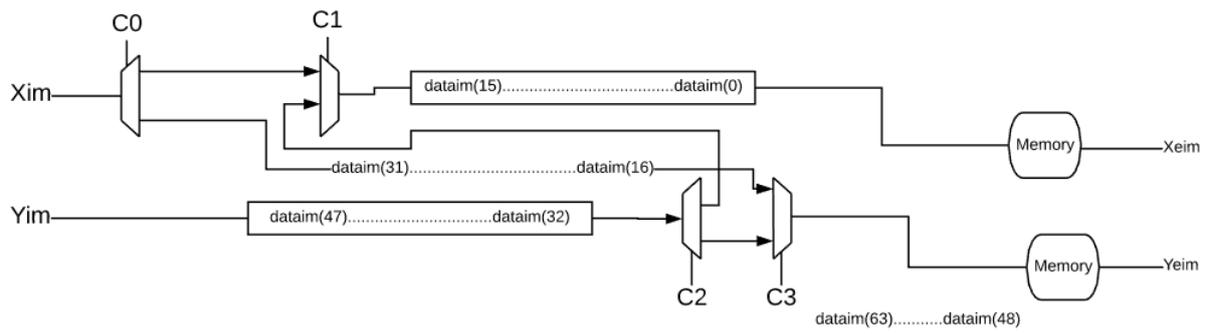
(b)



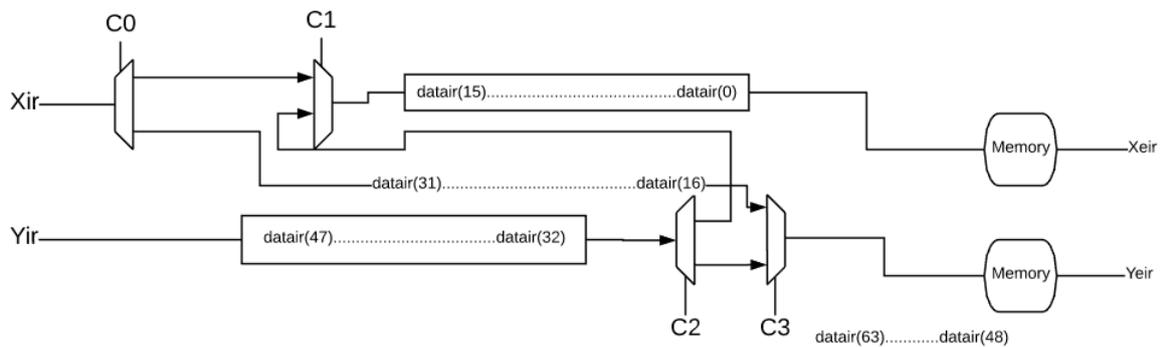
(c)

Figure 4.19: Ordonnancement des données d'entrées pour le butterfly du 4ème étage

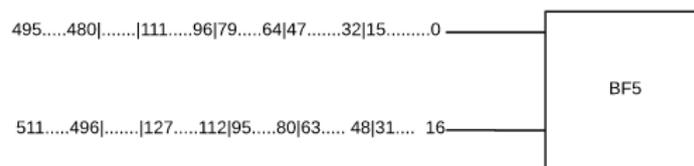
Etage 5



(a)



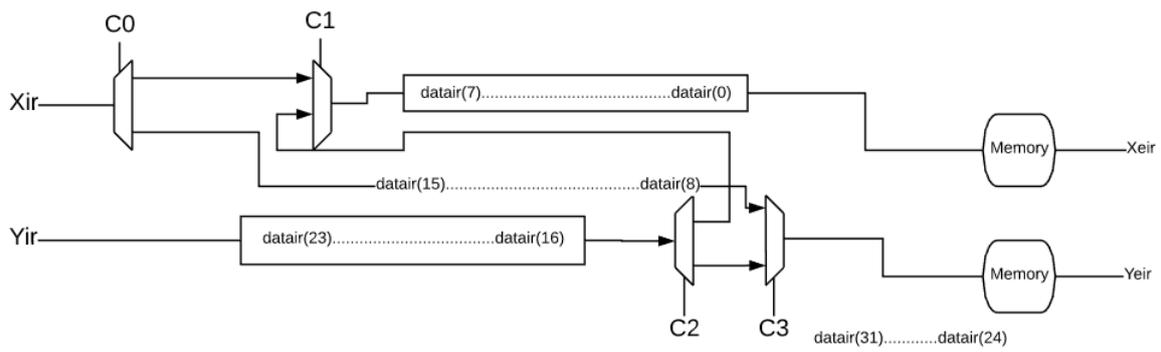
(b)



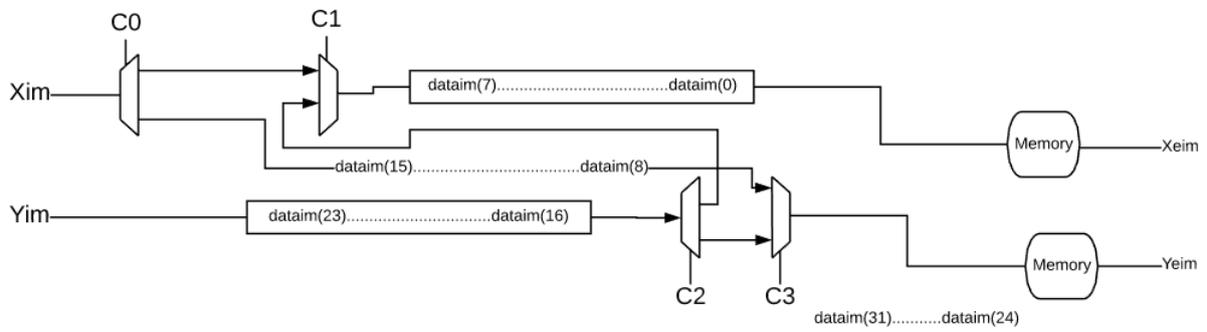
(c)

Figure 4.20: Ordonnancement des données d'entrées pour le butterfly du 5ème étage

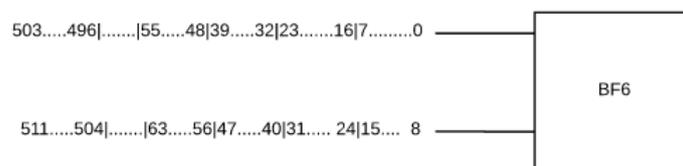
Etage 6



(a)



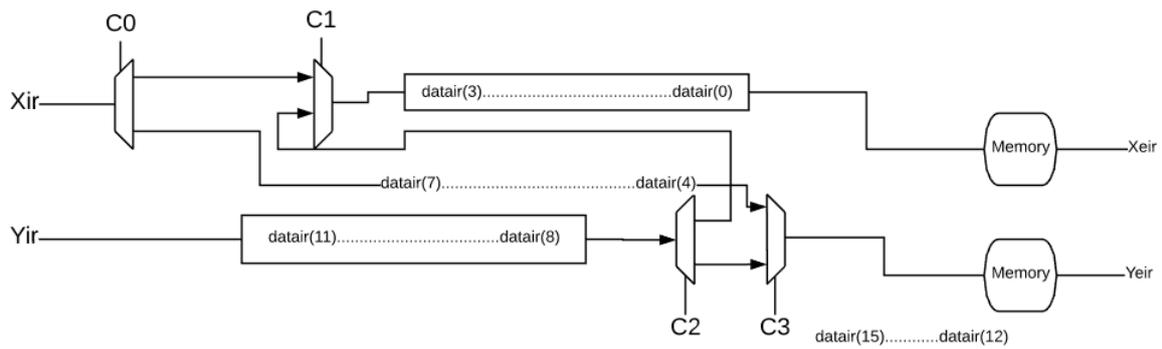
(b)



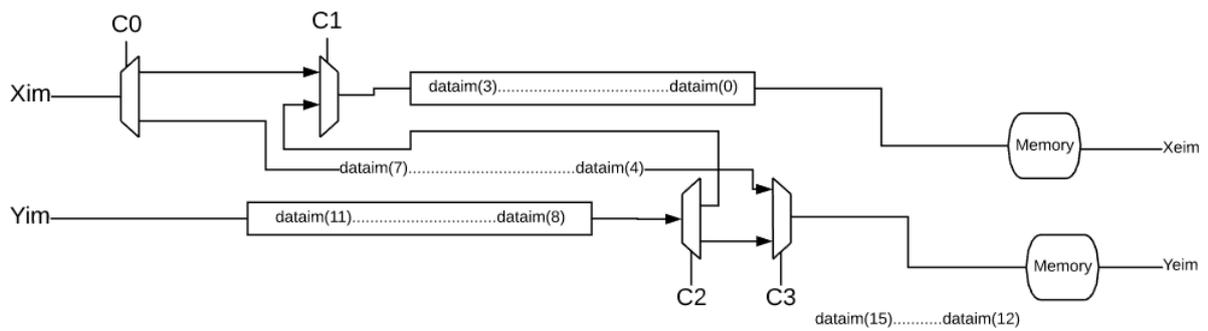
(c)

Figure 4.21: Ordonnancement des données d'entrées pour le butterfly du 6ème étage

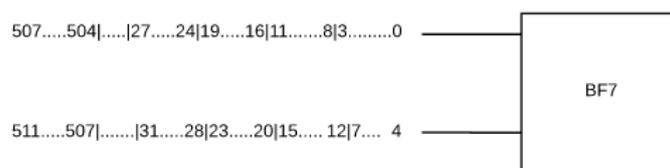
Etage 7



(a)



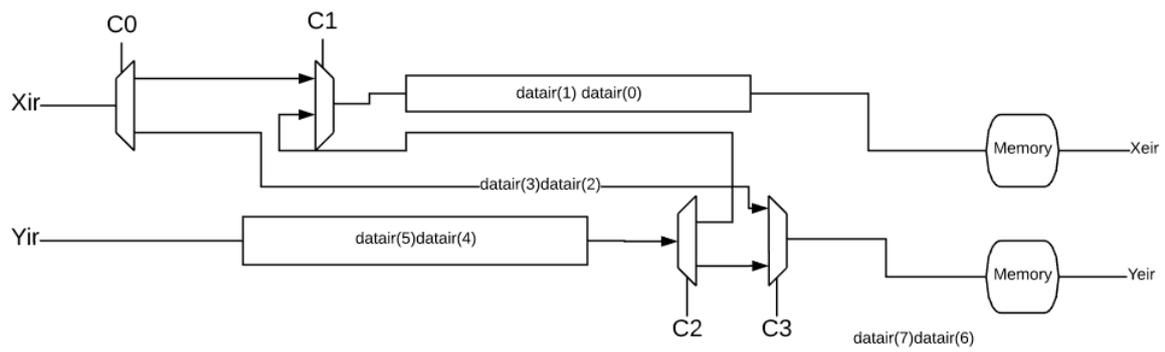
(b)



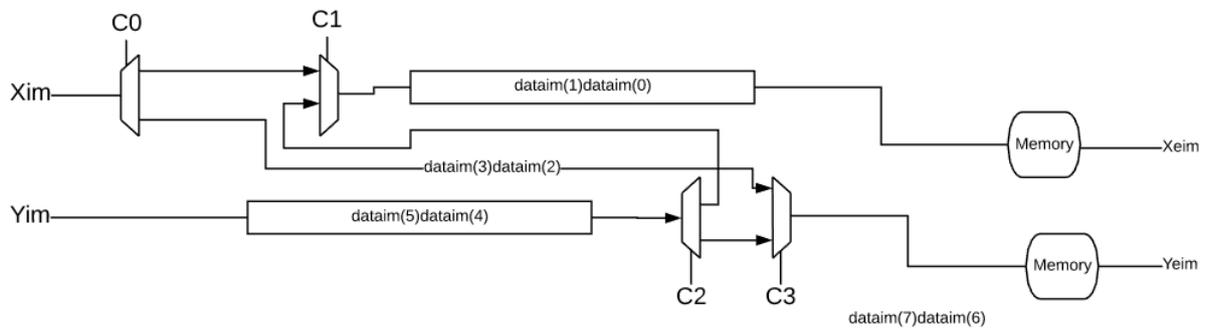
(c)

Figure 4.22: Ordonnancement des données d'entrées pour le butterfly du 7ème étage

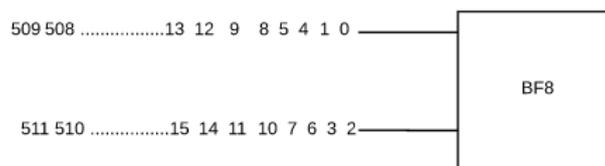
Etage 8 :



(a)



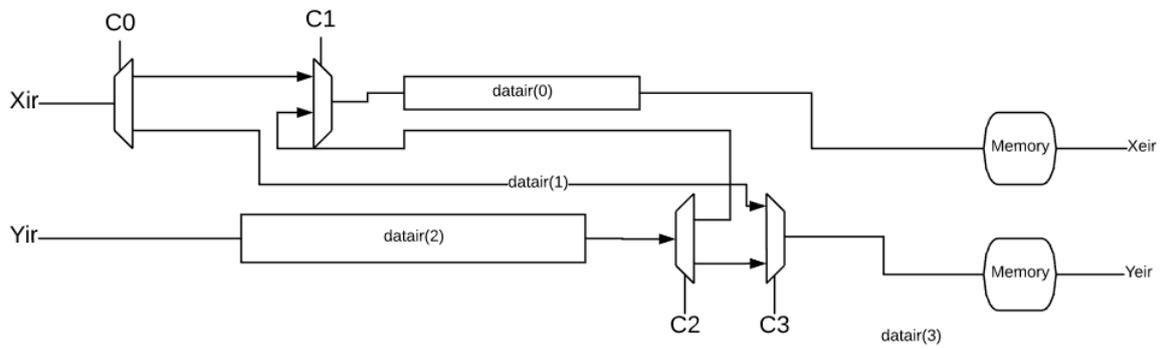
(b)



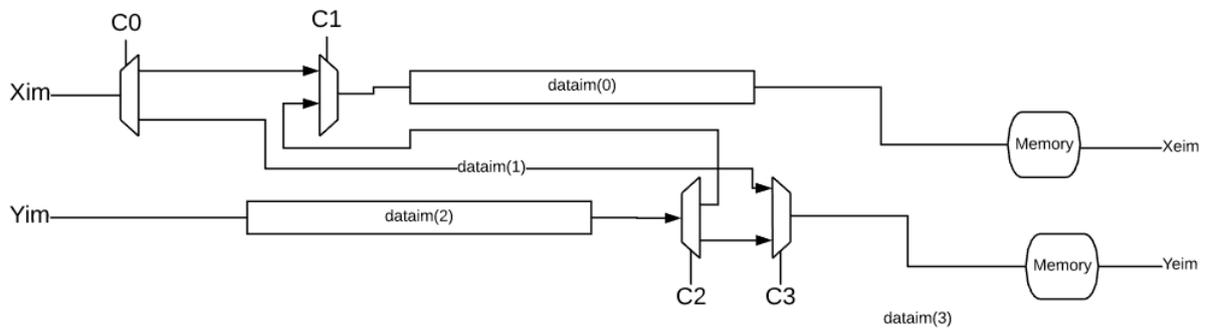
(c)

Figure 4.23: Ordonnancement des données d'entrées pour le butterfly du 8ème étage

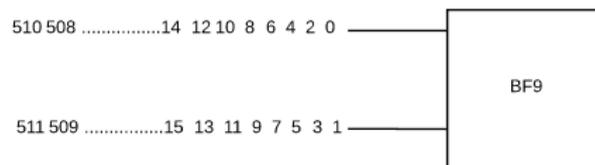
Etage 9



(a)



(b)



(c)

Figure 4.24: Ordonnancement des données d'entrées pour le butterfly du 9ème étage

Bloc des Twiddle factors

Les blocs de twiddle factors ont une grande importance dans n'importe quelle architecture pour le calcul de la FFT. En se basant sur le graphe simplifié du butterfly élémentaire du radix 2^3 on peut en déduire les twiddle factors de chaque étage, ensuite ces valeurs sont calculés à l'aide du logiciel MATLAB, les parties réels et imaginaires sont séparées puis codées au format virgule fixe.

Dans notre architecture :

-chaque étage a 2 blocs de twiddle factor, le premier est pour les données d'indices 0 jusqu'à 255, le 2ème est pour les données d'indices 256 jusqu'à 511.



Figure 4.25: Blocs des twiddle factor

Chaque bloc reçoit des signaux de commande de la part de la machine d'état pour assurer la synchronisation des données entrantes dans l'unité de calcul « butterfly ».

4.3.2 Utilisation pour le calcul de la transformée de fourier inverse (IFFT)

l'équation de la TFD inverse est décrite comme suit

$$x(n) = \sum_{K=0}^{N-1} X(K) \exp^{2j\pi \frac{Kn}{N}} \quad \text{avec} \quad n = 0, \dots, (N - 1)$$

$$x(n) = \sum_{K=0}^{N-1} X(K) W_N^{-nk}, \quad n \in [0, N-1]$$

la différence d'un point de vue architecturale entre le calcul de la FFT et le calcul de la IFFT est le signe des données stockés dans le bloc des twiddle factors de chaque étage. cela veut dire qu'en changeant les données de ce bloc par des données qui correspond au calcul de la IFFT, on peut utiliser la même architecture

dans la partie modulation et démodulation du système MIMO-OFDM

4.4 Conception du codeur (Ostbc) $M_T=4$ à rendement $R = 1/2$

4.4.1 Schéma de l'architecture

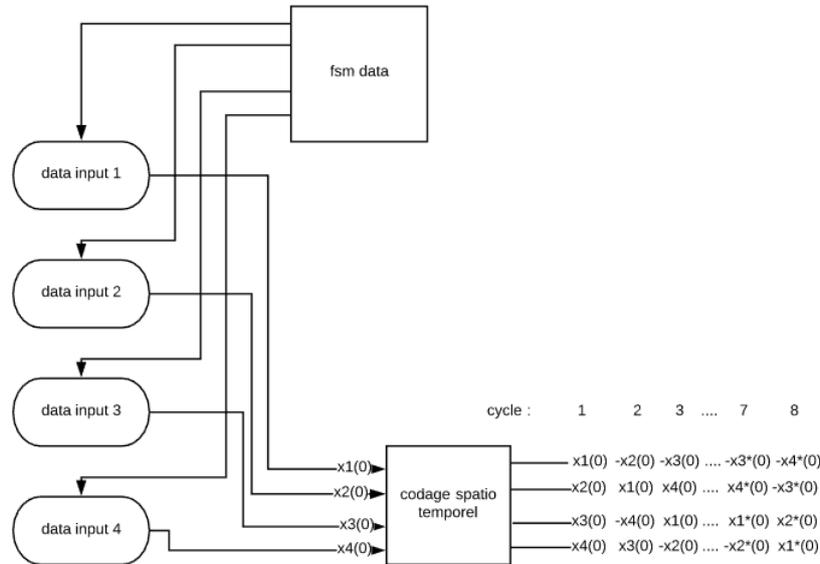


Figure 4.26: architecture du codeur Ostbc à 4 antennes d'émission

4.4.2 Fonctionnement

La machine d'état « fsm data » génère des signaux de commandes pour gérer les données d'entrées du codeur spatio temporel.(fig.4.27) Quand le signal «go » est reçu, la machine passe à l'état initiale P1 \Leftrightarrow ('push'='1') , un bloc de données (x1(0) ,x2(0) ,x3(0) ,x4(0)) est transmis vers le codeur , ensuite la machine passe à l'état P2 ('push'='0') où le décompteur est initialisé à une valeur N=8 . A chaque front d'horloge, le codeur délivre une colonne de matrice du codage (2.17), jusqu'à ce que N soit égale à 0,dans ce cas la machine passe de nouveau à l'état P1 \Leftrightarrow ('push'='1') où un nouveau bloc de donnés est transmis (x1(1) ,x2(1) ,x3(1) ,x4(1)) et ainsi de suite.

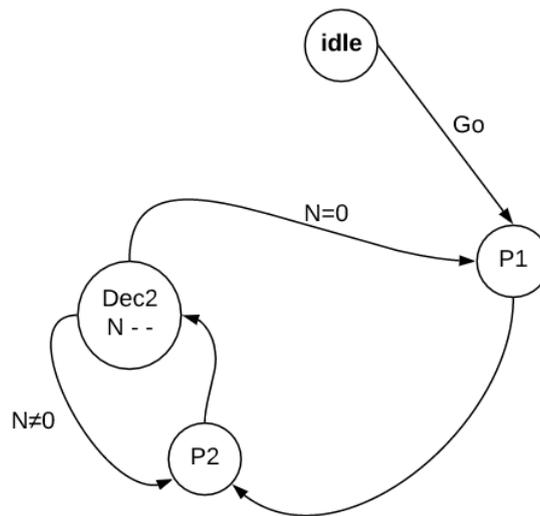


Figure 4.27: diagramme de machine d'état du codeur

4.5 Simulation

4.5.1 Effet de Quantification

Les unités de calcul en virgule flottante sont des unités trop complexes est présente un coût matériel trop important. Pour cette raison, le calcul est réalisé généralement avec des nombres représentés en virgule fixe afin de satisfaire les ressources matérielles pour les implémentations FPGA.

Généralement, l'arithmétique en virgule fixe est préférée pour les applications de DSP grâce à leurs avantages en termes de consommation d'énergie, de surface et de latence.

De plus, toutes ces performances dépendent de la représentation en virgule fixe utilisée, ainsi, un choix judicieux de la largeur binaire dans la conception FPGA peut entraîner des économies substantielles.

dans notre architecture nous avons utilisé la représentation suivante (pour un format de mots binaires de 16 bits)

Bit 15 = signe(0 positif,1 négatif) ,Bit 14 = 2^6 ,Bit 13 = 2^5 ,Bit 12 = 2^4 ,Bit 11 = 2^3 ,Bit 10 = 2^2 ,Bit 9 = 2^1 ,Bit 8 = 2^0 ,Bit 7 = 2^{-1} ,Bit 6 = 2^{-2} ,Bit 5 = 2^{-3} ,Bit 4 = 2^{-4} ,Bit 3 = 2^{-5} ,Bit 2 = 2^{-6} ,Bit 1 = 2^{-7} ,Bit 0 = 2^{-8}

c'est à dire un bit de signe,7 bits pour la partie entière,8 bits pour la partie fractionnaire

exemple :

1001011010110011=-22,69921

0001011010110011= 22,69921

4.5.2 Erreur de quantification

Lorsqu'une FFT est effectuée en arithmétique à virgule fixe, des erreurs de quantification interviennent, liées à la longueur certainement finie des valeurs numériques codées à l'intérieur de la machine sous la forme de mots binaires. Elles impliquent une incertitude sur le résultat qui est ainsi affecté des sources de bruits. Nous pouvons distinguer deux sources d'erreurs de quantification initiales :

- L'erreur de quantification due aux facteurs de Fourier W de la FFT.
- L'erreur de quantification dans les unités de calculs ; après multiplications et/ou les additions.

Ces deux types d'erreurs se propagent de l'entrée vers la sortie au sein du système et modifient la précision des calculs en sortie de l'application

4.5.3 Résultats

la simulation est faite avec le simulateur Isim défini sur Xilinx-ISE pour voir comment il va se comporter quand il est réellement implémenté dans le périphérique FPGA choisi. donc la simulation temporelle a un objectif pour vérifier le comportement du circuit en tenant compte des temps de réponses et les retards des composants et des contraintes de temps. Pour vérifier si le circuit conçu est temporellement correct, on doit imposer une horloge et voir si les composants de l'FPGA ont assez de temps pour faire les opérations et les changements d'états nécessaires. Ce retard est du aux retards de propagation dans l'élément logique et les fils dans le dispositif FPGA.

Architecture FFT/IFFT

nous avons testé notre circuit FFT avec une horloge de 1GHZ ce qui prouve que le circuit est fonctionnel avec des hautes fréquences .

les 512 données d'entrées au circuit FFT sont comprises entre 1 et -1 et sont stockés dans une mémoire et générés d'une façon séquentielle.

les figures 4.28, 4.29 illustrent la simulation du circuit sur Isim et la vérification du résultats avec Matlab respectivement.

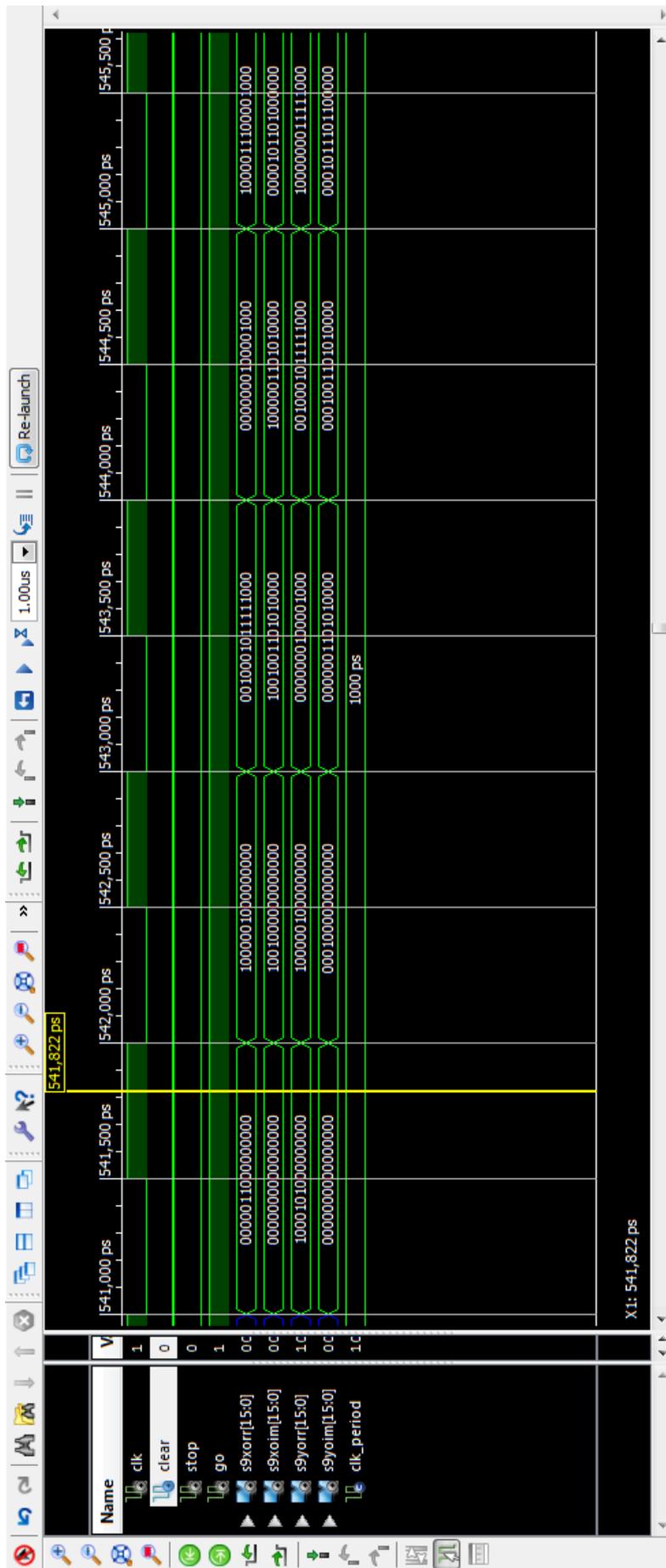


Figure 4.28: Simulation de l'architecture FFT

	1	2	3	4	5	6	7
1	6.0000 + 0.0000i	-2.0000 - 16.0000i	34.9706 - 19.3137i	1.0294 - 3.3137i	-7.0615 + 11.1908i	-11.3910 - 20.0958i	3.391
2	-10.0000 + 0.0000i	-2.0000 + 16.0000i	1.0294 + 3.3137i	34.9706 + 19.3137i	-0.9385 + 23.4366i	3.3910 + 9.4684i	-11.3910
3							
4							
5							
6							
7							
8							
9							
10							
11							

Figure 4.29: Vérification avec Matlab de l'architecture FFT

Codeur ostbc à 4 antennes de transmission

les données d'entrées sont stockés dans des mémoires.

les figures 4.30, 4.31 illustrent la simulation du circuit sur Isim et la vérification du résultats avec Matlab respectivement, pour un bloc de symboles $[x1=-1-j,x2=1-j,x3=1-j,x4=1+j]$

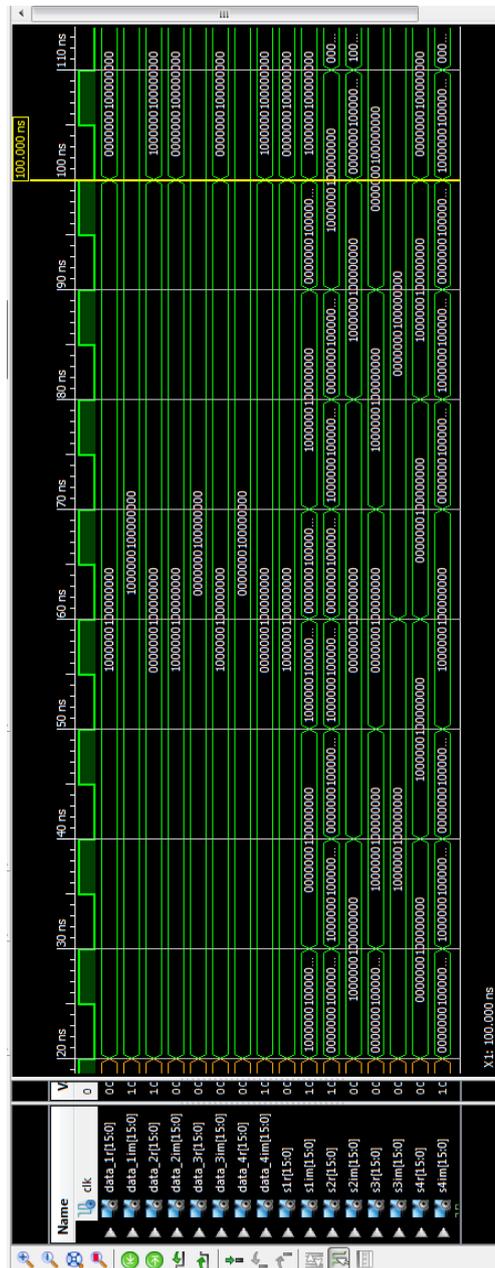


Figure 4.30: simulation du codeur

ans \times
 4x8 complex double

	1	2	3	4	5	6	7	8	9
1	-1.0000 - 1.0000i	-1.0000 + 1.0000i	-1.0000 + 1.0000i	-1.0000 - 1.0000i	-1.0000 + 1.0000i	-1.0000 - 1.0000i	-1.0000 - 1.0000i	-1.0000 + 1.0000i	
2	1.0000 - 1.0000i	-1.0000 - 1.0000i	1.0000 + 1.0000i	-1.0000 + 1.0000i	1.0000 + 1.0000i	-1.0000 + 1.0000i	1.0000 - 1.0000i	-1.0000 - 1.0000i	
3	1.0000 - 1.0000i	-1.0000 - 1.0000i	-1.0000 - 1.0000i	1.0000 - 1.0000i	1.0000 + 1.0000i	-1.0000 + 1.0000i	-1.0000 + 1.0000i	1.0000 + 1.0000i	
4	1.0000 + 1.0000i	1.0000 - 1.0000i	-1.0000 + 1.0000i	-1.0000 - 1.0000i	1.0000 - 1.0000i	1.0000 + 1.0000i	-1.0000 - 1.0000i	-1.0000 + 1.0000i	

Figure 4.31: vérification avec matlab

4.6 Implémentations sur FPGA

4.6.1 Langage VHDL

Le VHDL (VHSIC Hardware Description Language) est un langage de description de matériel, il a été créé pour écrire des systèmes numériques destinés à une implantation dans des circuits logiques programmables (CPLD, FPGA) et circuits ASIC, il remplace la saisie de schéma traditionnelle

4.6.2 Circuits FPGA

Field-Programmable Gate Array (un réseau de portes logiques programmables) est un circuit intégré conçu pour être reconfiguré après production. Sa configuration se fait grâce à un langage de description de matériel (HDL), ou bien un diagramme de circuit, cette dernière méthode est rarement utilisée de nos jours.

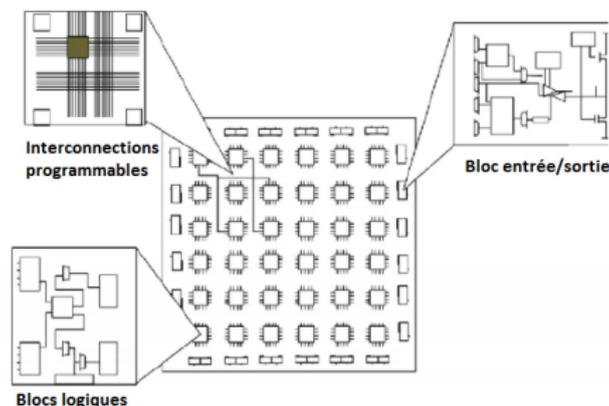


Figure 4.32: schéma du circuit interne du FPGA

4.6.3 Description de la carte FPGA- Nexys 2

les caractéristiques de la carte FPGA, qui va être le support de notre architecture sont :

- FPGA Xilinx Spartan 3E à porte 500K.
- Configuration FPGA basée sur USB2 et transferts de données haute vitesse (à l'aide du logiciel gratuit Adept Suite Software).
- Alimenté par USB (des piles et / ou une prise murale peuvent également être utilisées).

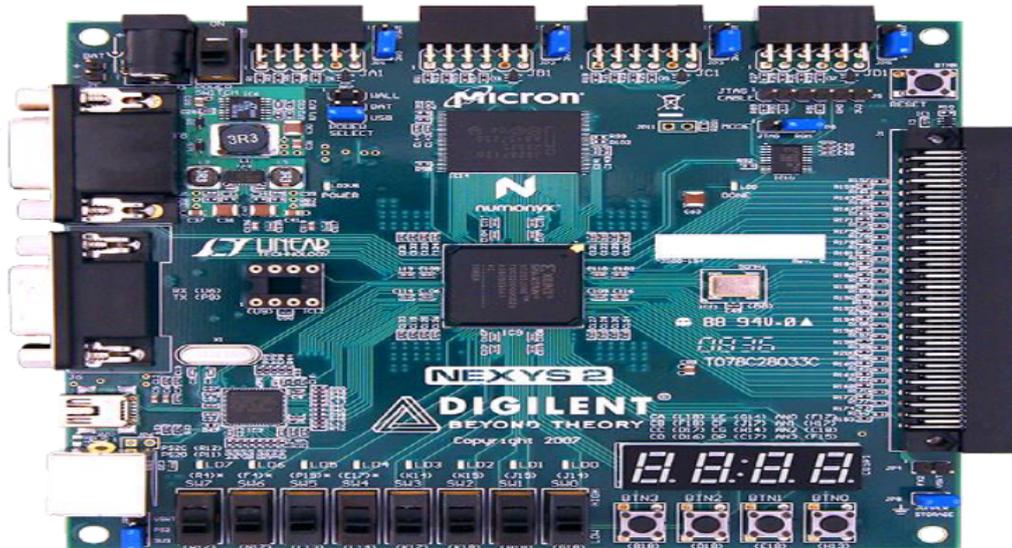


Figure 4.33: Carte FPGA- Nexys 2

- 16 Mo de mémoire PSDRAM Micron et 16 Mo de ROM Intel StrataFlash.
- Xilinx Platform Flash pour les configurations FPGA non volatiles.
- Alimentations à découpage efficaces (convient aux applications alimentées par batterie).
- Oscillateur 50 MHz plus socket pour le deuxième oscillateur.
- 60 entrées / sorties FPGA acheminées vers des connecteurs d'extension (un connecteur Hirose FX2 haute vitesse et quatre entêtes à 6 broches).
- 8 DEL, afficheur à 7 chiffres à 4 chiffres, 4 boutons, 8 commutateurs à glissière.
- Expédié dans une mallette en plastique avec un câble USB.

4.6.4 Outil de développement

L'ISE Design Suite comprend Xilinx Platform Studio (XPS), Kit de développement logiciel (SDK). ISE fournit les outils, les technologies et le flux de conception familier pour obtenir des résultats de conception optimum. Il s'agit notamment de la cadence d'horloge intelligente pour la réduction de puissance dynamique, la préservation du design pour la répétabilité du temps et une option de reconfiguration partielle pour une plus grande flexibilité, taille, puissance et réduction des coûts du système

4.6.5 Les blocs générés dans Xilinx ise

Architecture FFT/IFFT MDC 512 points

la figure 4.34 illustre le schéma RTL du circuit FFT tel qu'il est généré par Xilinx ISE après la synthèse.

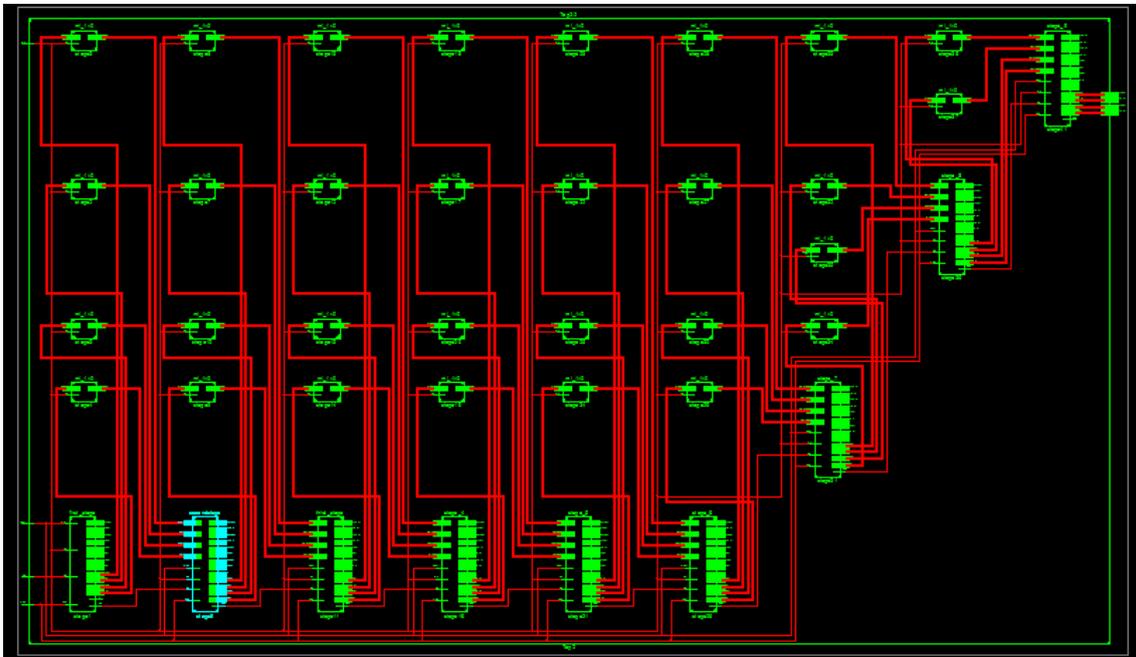


Figure 4.34: schéma RTL du circuit FFT

la figure 4.35 illustre le schéma RTL d'un étage parmi les neuf étages du circuit FFT tel qu'il est généré par Xilinx ISE après la synthèse.

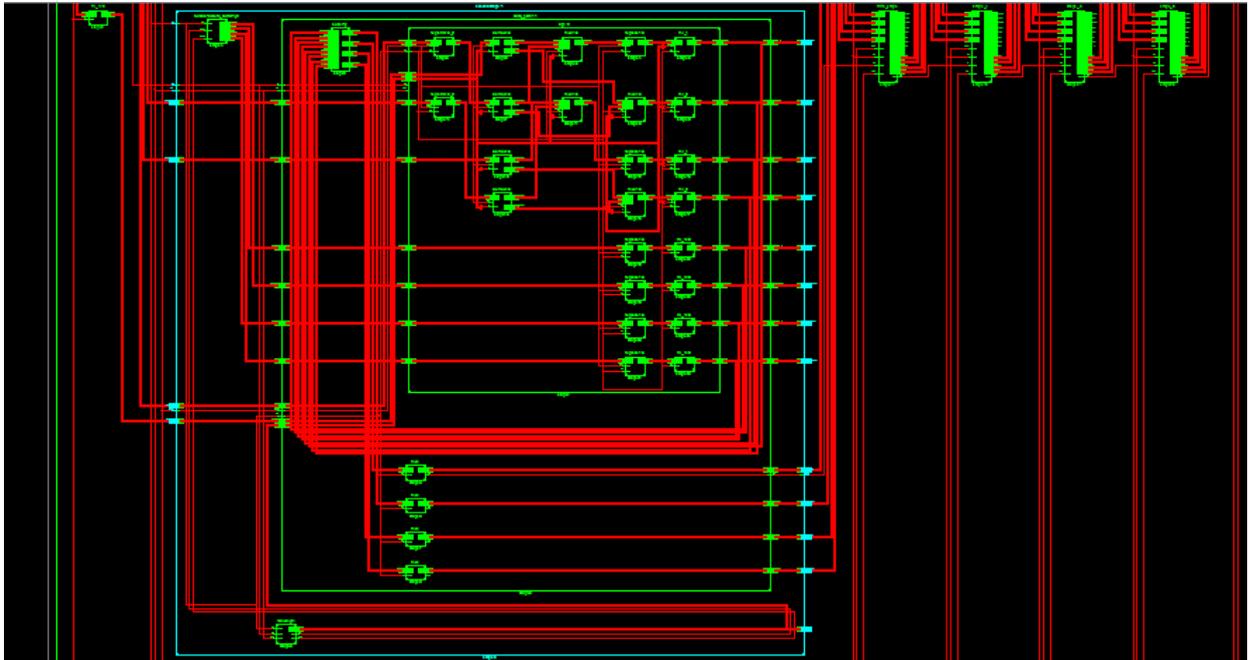


Figure 4.35: schéma RTL du circuit d'un étage du circuit FFT

la figure 4.36 illustre le schéma RTL du butterfly du circuit FFT tel qu'il est généré par Xilinx ISE après la synthèse.

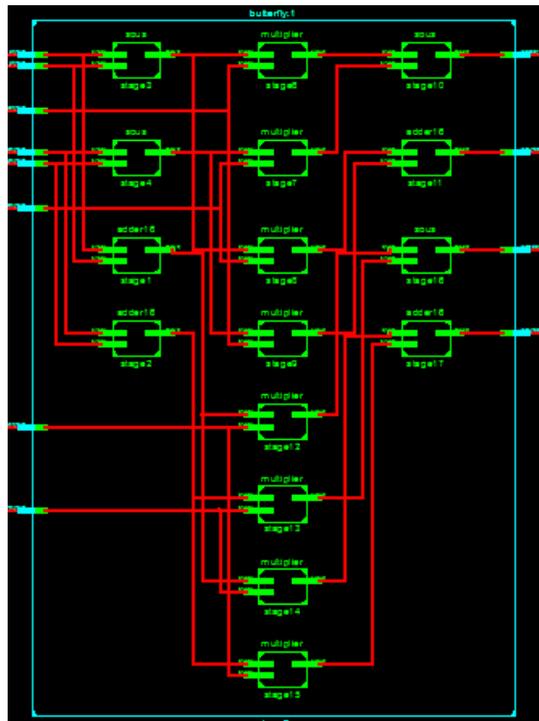


Figure 4.36: schéma RTL du butterfly

Codeur ostbc à 4 antennes de transmission

la figure 4.37 illustre le schéma RTL du circuit codeur ostbc tel qu'il est généré par Xilinx ISE après la synthèse.

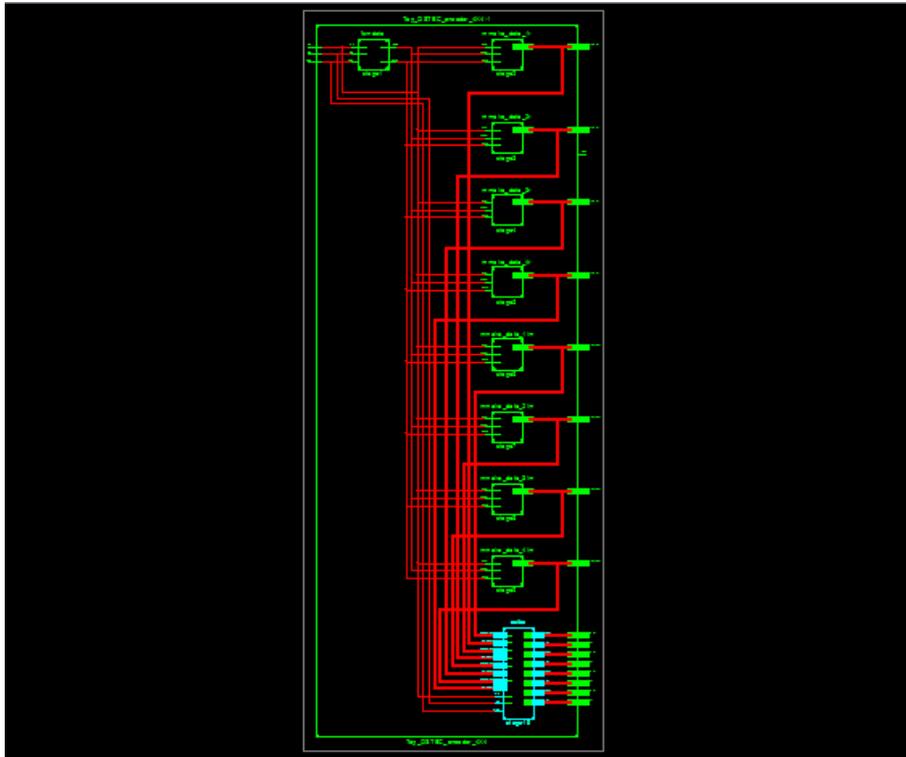


Figure 4.37: schéma RTL du circuit codeur ostbc

4.6.6 Test du codeur sur la carte NEXYS-2

pour tester le bon fonctionnement du codeur on affiche les parties imaginaires des sorties du codeur sur les LED tandis que l'afficheur 7 segments affiche le nombre de bloc des symboles codés par le codeur.

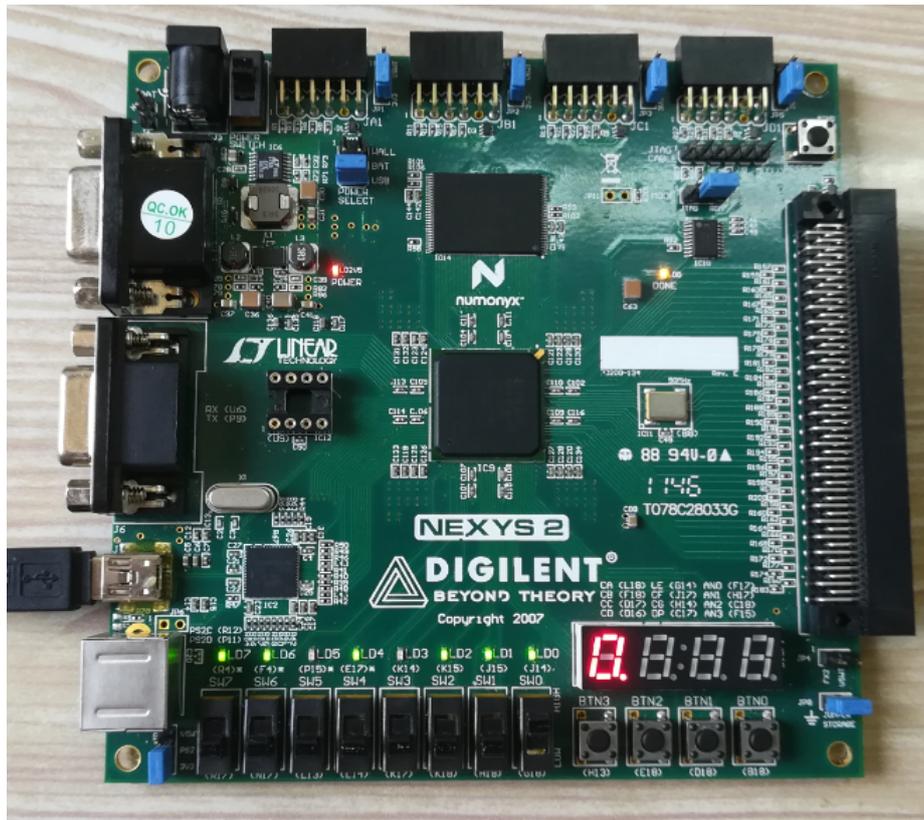


Figure 4.38: Test du codeur su FPGA (a)

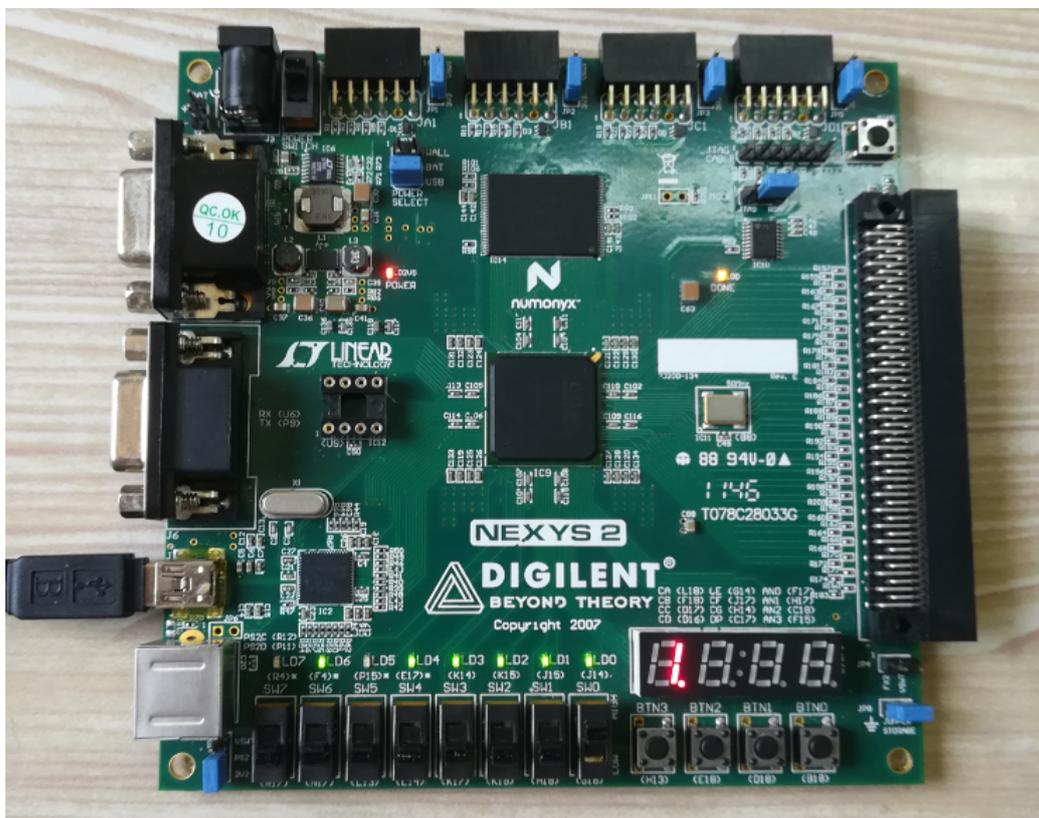


Figure 4.39: Test du codeur su FPGA (b)

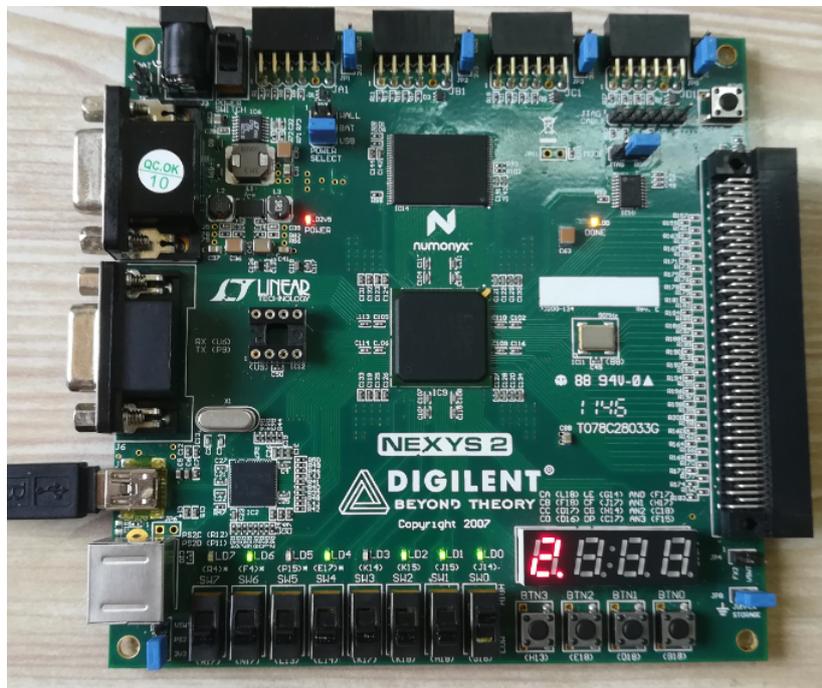


Figure 4.40: Test du codeur su FPGA (c)

Conclusion Générale et perspectives

L'objectif de ce mémoire est l'implémentation sur support reconfigurable de quelques blocs, en l'occurrence le modem FFT, et le codeur spatio-temporel, du système Mimo-Ofdm.

Nous avons exposé les principes de base des systèmes de communication MIMO,-OFDM en mettant en relief l'efficacité de cette approche en termes de robustesse et de débit dans des contextes de transmission difficiles.

Nous avons étudié les algorithmes de calcul de la FFT, qui constitue le cœur du modem Ofdm ainsi que les principales architectures de réalisation de cet important outil.

L'accent a, surtout, été mis sur l'architecture Pipeline de la FFT Radix 2^3 , qui allie comme nous l'avons montré, simplicité de réalisation et rapidité d'exécution. Le codage spatio-temporel, autre important bloc du système Mimo-Ofdm, a également fait l'objet d'une étude algorithmique et architecturale.

Nous avons également développé en Vhdl les codes modélisant les circuits numériques du modem FFT, à base de l'architecture retenue, et du Codeur spatio-temporel à 4 antennes d'émission

L'étude comportementale de notre design à l'aide de Isim a montré l'efficacité et la justesse de l'architecture conçue à cet effet.

Nous avons conclu notre travail par la synthèse et la projection de notre design sur circuit reconfigurable, en l'occurrence laFpga/Nexys , à l'aide de l'outil Ise de Xilinx.

En guise de perspective nous suggérons l'optimisation de l'architecture de la FFT dans le sens de la réduction de la surface occupée par ce bloc à cause de la mémorisation offline des twiddle factors. Deux solutions peuvent être envisagées, à cet effet, la première consiste à éliminer de la mémoire les twiddle factors identiques, ce qui aura pour avantage la libération de 78% de cet espace.

La seconde solution, qui est le calcul online des coefficients, n'a pas besoin de l'espace mémoire pour le stockage des twiddle factors, mais risque de ralentir considérablement l'exécution. Pour éviter ce désagrément, il est indiqué de choisir des opérateurs de calcul accélérés.

Bibliographie

- [1] Akhtman. Y Hanzo. L et Wang. L. *MIMO-OFDM for LTE, WiFi and WiMax: Coherent versus non-coherent and cooperative turbo transceivers*. Jhon Wiley Sons Ltd, IEEE Press, United Kingdom,2011.
- [2] Yang. W.Y Cho.Y.S Kim. J et Kang. C.G. *MIMO-OFDM wireless communications with Matlab*. Wiley IEEE Press, 2010.
- [3] Chiueh. T.D et Tsai. P.Y. *OFDM baseband receiver design wireless communications*. John Wiley Sons (Asia) Pte Ltd, 2007.
- [4] Jankiraman. M. *Space-time codes and MIMO systems*. Wiley IEEE Press, 2010.
- [5] Jerome Pons. *Reseaux cellulaires-evolution du systeme umts vers hcpa*. Techniques de l'ingenieur, Mai 2011.
- [6] Goldsmith Andrea. *Wireless Communications*. stanford university press, stanford 2005.
- [7] Hampton. J.R. *MIMO-OFDM wireless communications with Matlab*. Cambridge University Press, 2014.
- [8] Marzetta. T.L et Hochwald. B.M. "*Capacity of mobile multiple-antenna communication link in Rayleigh flat fading*". IEEE Transactions on Information Theory, vol. 45, no. 1, pp. 139-157, Jan. 1999.
- [9] Rohling. H. *OFDM concepts for future communication systems*. Wiley IEEE Press, 2010.
- [10] Kaiser. S Plass. S Dammann. A et Fazel. K. *Multi-carrier spread spectrum*. 1st edition Springer Netherlands, 2007.
- [11] Yang. H. "*A road to future broadband wireless access: MIMO-OFDM-based air interface*". IEEE communications Magazine, vol. 43, no. 1, pp. 53-60, Jan. 2005.

- [12] J. W. Cooley et J. W. Tukey. *An Algorithm for Machine Computation of Complex Fourier Series*. Math. Computation, april 1965.
- [13] K.R Rao D.N kim JJ Hwang. *Fast Fourier Transform : Algorithms and applications*. springer, 2010.
- [14] Shousheng He et Mats Torkelson. "*Designing Pipeline FFT Processor for OFDM (de) Modulation*". IEEE Signals, Systems, et Electronics, oct 1998.
- [15] et J. Kim Y. Jung H. Yoon. "*New Efficient FFT Aigorithrm and Pipeline Implementation Results for OFDMIDMT Applications*". International Conference on Consumer Electronics, Feb 2003.
- [16] Ampadu.P Fu.B. "*An Area Efficient FFT/IFFT Processor for MIMO-OFDM WLAN 802.11n*". Journal of Signal Processing System, Springer, vol. 56, pp 59-58, september 2009.