

UNIVERSITE D'ALGER

4/76

ECOLE NATIONALE POLYTECHNIQUE

100

Département d'Electricité

PROJET DE FIN D'ETUDES



**INDICATEUR NUMERIQUE D'UN
SYSTEME DE CONTROLE**

Proposé par :
Dr. V. ILIASSOV

Etudié par :
BENRAMDANE N.
RABET A.

المدرسة لوطنية للعلوم الهندسية

— المكتبة —

ECOLE NATIONALE POLYTECHNIQUE
BIBLIOTHÈQUE

UNIVERSITE D'ALGER

ECOLE NATIONALE POLYTECHNIQUE

Département d'Electricité

PROJET DE FIN D'ETUDES

***INDICATEUR NUMERIQUE D'UN
SYSTEME DE CONTROLE***

Proposé par :
Dr. V. ILIASSOV

Etudié par :
BENRAMDANE N.
RABET A.

PROMOTION JUIN 1976

A mes parents

N. BENRAMDANE

A mes parents

A. RABET

=0000000000=

R E M E R C I E M E N T S

Notre gratitude va à tous les Professeurs pour l'enseignement qu'ils nous ont dispensé durant notre formation.

Que Mr Iliassov, Docteur et Professeur à l'E.N.P trouve ici l'expression de notre profonde gratitude. Nous tenons à le remercier pour sa participation active et ses conseils éclairés tout au long de l'étude de ce projet.

Que ceux qui nous ont aidés, trouvent ici l'expression de notre profonde reconnaissance.

A. RABET

N. BENRAMDANE

Introduction

I- SYSTEME DE CONTROLE

- 1-Destination des systemes de contrôle automatique
- 2-Principe de composition d'un système de contrôle
- 3-Schéma bloc d'un système de contrôle
- 4-Indicateur visuel d'une infomation

II- INDICATEUR VISUEL I'UN SYSTEME DE CONTROLE

- 1- Destination et classification
- 2- Choix d'un visualisateur
- 3- Composition du schéma fonctionnel du système d'indication
(variante à circuits intégrés)
 - 3.1 presentation du système
 - 3.2 Structure
 - 3.3 Fonctionnement
- 4- Schéma fonctionnel d'une década d'un indicateur numerique
 - 4.1 Presentation d'une década
 - 4.2 Etude d'une década en code continu cyclique *page 39*
 - 4.2.1 Compteur
 - 4.2.2 Registres
 - 4.2.3 Décodeur
 - 4.2.4 Réalisation en circuits integrés
 - 4.3 Etude de la decade en BCD binaire naturel
 - 4.3.1 compteur
 - 4.3.2 Registres
 - 4.3.3 Decodeur
 - 4.3.4 Réalisation en C.I.
 - 4.4 Comparaison
- 5- Schéma fonctionnel d'une década aux ampoules électriques
 - 5.1 Etude de la década des unités de mesure
 - 5.1.1 Composition du schéma fonctionnel
 - 5.1.2 Etude de la realisation en C.I.
 - 5.2 Etude de la década signalisation
 - 5.2.1 Schéma fonctionnel
 - 5.2.2 Réalisation en C.I
- 6- Calcul des éléments logiques à transistors pour l'indicateur visuel.
 - 6.1 Calcul de l'amplificateur

- 6.2 Etude des portes
 - 6.2.1 Portes "ET"
 - 6.2.2 Portes "OU"
 - 6.2.3 Circuit inverseur
 - 6.2.3 Circuits à diodes et transistors
- 6.3 Etude des bascules
 - Bascule R,S
 - Bascule J,K
 - Bascule T

III- SYNTHÈSE D'UN AUTOMATE À MICROPROGRAMME

- I- Structure d'un automate
 - I.1 formation d'un microprogramme
 - I.2 composition de la structure de l'automate à microprogramme.
- 2- Description et fonctionnement de l'automate à microprogramme
- 3- Etude des blocs logiques de l'automate à microprogramme.
 - 3.1 Déchiffreur (D_1)
 - 3.2 Déchiffreur (D_2)
 - 3.3 Déchiffreur (D_3)
 - 3.4 Déchiffreur (D_4)
 - 3.5 Compteur
 - 3.6 Déchiffreur (D_5)
 - 3.7 Monostable
 - 3.7.1 Choix d'un monostable à C.I
 - 3.7.2 Monostable ou univibrateur
 - 3.7.3 Multivibrateur astable

IV -ALIMENTATION

- I-Transformateur
- 2- Choix du pont
- 3- Circuit de stabilisation
- 4- Filtre

Conclusion

. - Introduction

L'évolution des systèmes énergétiques s'accompagne d'un développement accru de leur installation. Les mécanismes des systèmes actuels s'avèrent de plus en plus compliqués.

La commande de ces installations demande un travail attentif et une haute qualification du personnel. Ces conditions sont importantes pour augmenter la sécurité et la sûreté du fonctionnement. Le nombre important de paramètres à contrôler exige un grand nombre d'appareils de mesure sur les panneaux de l'installation. Cette situation compliquera davantage le ^{système} et rendra difficiles les opérations de commande et de contrôle par l'homme, à cause de ses possibilités physiques réduites, de la faible vitesse de traitement de l'information par le cerveau humain, des possibilités limitées de la mémoire humaine, inattention, fatigue, ...etc.

La complexité de la régulation du processus industriel (bien souvent plusieurs centaines de variables à considérer) jointe au développement rapide de l'autmatisme et des calculateurs numériques électroniques à partir de 1950 a fait penser à les utiliser pour la conduite de processus industriel. Le fonctionnement sûr est alors garanti par ce recours à l'automatisation complexe qui englobe toute l'installation, c'est à dire non seulement l'automatisation des opérations séparées, mais celle aussi de tout le processus.

L'automatisation complexe consiste en un fonctionnement de commande de régulation et de contrôle, sans participation directe de l'homme. Le rôle de ce dernier est de:

- Présenter un programme de fonctionnement
- Observer périodiquement le fonctionnement
- Assurer des observations prophylactiques
- Assurer les réparations éventuelles ou les changements de partie quelconques du système.

L'utilisation d'automatisme complexe pour ces installations s'avère très économique. Les machines calculatrices spéciales, constituants de base du système complexe assurent les différentes opérations nécessaires de commande et de contrôle.

Le degré de perfectionnement de cette partie contrôle varie selon les systèmes et dispositifs utilisés: les systèmes utilisant les panneaux

munis d'appareils de mesures et de signalisation forment des installations sans automatisation, où la participation de l'homme en tant qu'opérateur est absolument nécessaire .

Les systèmes de contrôle utilisant des dispositifs pas à pas sont des systèmes particulièrement automatisés, mais l'utilisation de machines calculatrices basées sur les nouvelles conquêtes dans le domaine de l'automatisme , permet le contrôle entier du système et donne la possibilité de diminuer les gabarits, les panneaux et le personnel opérant tout en augmentant les possibilités de commande .

L'ensemble des capteurs de paramètres à contrôler et de machines calculatrices forment un système de contrôle centralisé.

Le but de notre projet est d'étudier l'un des blocs de ce système de contrôle centralisé, à savoir le bloc qui présente l'information à l'opérateur .

Le premier chapitre de cette étude , nous l'avons consacré à une brève analyse du système de contrôle. Elle s'avère nécessaire pour l'étude de l'indicateur visuel qui fera l'objet du second chapitre. Dans celui-ci nous exposons en détails les différentes méthodes utilisées. La commande de l'indicateur visuel fera l'objet du troisième chapitre.

CHAPITRE I

SYSTEME DE CONTROLE

I - DESTINATION DES SYSTEMES DE CONTROLE AUTOMATIQUE.

L'automatisation de l'installation permet de diminuer le nombre de gabarits, du personnel opérant et d'augmenter l'effectivité de la commande tout en assurant le maximum de sécurité. Ce système basé sur l'utilisation des techniques des calculateurs est destiné à réceptionner l'information sur le fonctionnement de l'installation à contrôler et à la représenter à l'opérateur. Un tel système est appelé système informatique ou encore système de contrôle centralisé. La tâche de celui-ci exclue les opérations de commande et se limite à des opérations de contrôle du processus technologique ou énergétique.

Le système doit répondre aux critères suivants:

- 1° Réception de l'information sur l'état des blocs et des mécanismes composants le système automatisé d'une part, et sur le processus de fonctionnement de l'installation automatisée d'autre part. Il doit pouvoir effectuer les mesures des paramètres et la fixation de leur écarts par rapport aux valeurs admissibles.
- 2° Traitement de cette information dans le but de l'unifier et la normaliser. Il s'agit alors de la conversion de ces paramètres en grandeurs connues par le système informatique.
- 3° Assurer la signaler et donner les recommandations pour la liquidation

des avaries et endommagements, etc...

4^e Prise de décisions après résultat d'analyse en vue de liquidation automatique des déféctuosités (par exemple en branchant un bloc similaire prévu pour un fonctionnement en secours).

5^e Dans tous les cas un système de contrôle est un système compliqué dont la rationalisation dépend **de** la complexité et du degré d'automatisation de l'installation à contrôler, comme elle dépend également des exigences en sécurité de fonctionnement.

Il est à remarquer que le changement de chaque appareil de mesure par un dispositif numérique n'est pas rationnel, car il aurait pour conséquence d'augmenter le coût et la complexité.

Tout système de contrôle doit alors pouvoir vérifier les conditions suivantes :

1^e La réception de l'information est effectuée selon le principe du multiplexage, ce qui est équivalent à utiliser tous les blocs du système.

2^e Faire la distinction entre information régulière et information périodique.

3^e Le système de contrôle doit se présenter comme un système de blocs unifiés.

4^e Chacun de ses blocs doit être composés de schémas sûrs et simples, et réalisé à l'aide d'éléments standards normalisés.

5^e Le bloc d'indication de refus doit utilisés des lois statistiques.

6^e Un operateur sera considéré comme partie complémentaire essentielle de ce système de contrôle, car une conception de celui-ci, sans intervention de l'homme, le complique énormément

2 - PRINCIPE DE COMPOSITION D'UN SYSTEME DE CONTROLE.

Le principe de composition d'un système de contrôle utilise actuellement l'unification des variables entre les différentes liaisons entrées-sorties de tous les dispositifs constituants. Il utilise également la normalisation des valeurs. L'unification consiste à avoir une variable de nature physique bien déterminée (tension par exemple) après conversion d'une quelconque des autres variables de nature différentes (température, pression, etc). Tandis que la normalisation consiste à définir une valeur nominale dans une certaine plage tolérée pour le fonctionnement ; que ce soit pour la variable à contrôler (température, pression) ou pour la variable convertie (tension).

La commodité de ce fondement permet le contrôle et la commande de diverses installations industrielles, dans les différentes subdivisions d'une économie nationale, tout en offrant des qualités certaines, pour assurer un niveau acceptable de sûreté et d'efficacité. De ce fait les équipements d'automatisme permettent la construction des systèmes selon les différentes productivités et offrent des satisfactions à des desirs variés.

Le ~~part~~ ^{apport} de cet automatisme, nécessaire au développement de ces systèmes, se révélant de plus en plus importants, conduit à la modernisation des appareils et installations quelconques, permettant l'amélioration sans le changement de dispositifs et sans le changement de la structure du système lui-même. Quoique les destinations des objets organisés suivant ce principe de composition, sont multiples, leur structure fonctionnelle

commune comprend les dispositifs suivants:

- Dispositif central de commande et de traitement de l'information appelé aussi processeur .
- Dispositif destiné à garder l'infomation ou memoire , comprenant :les memoires interieures et les mémoires exterieures.
- Dispositif de liaison avec l'objet à contrôler(cpteurs).
- Dispositif de liaison avec le personnel opérant(representateurs)
- Dispositif intermediaire entre l'objet à contrôler et le bloc de traitement de l'infomation .
- Dispositif de liaison avec l'exterieur .
- Dispositif de communication entre les differents équipements du système

Ainsi se définissent actuellement la composition des systèmes de controle centralisés qui garantissent le contrôle d'un grand nombre de parametres d'objet industriels et pour lesquels, il est à signaler que la sureté du fonctionnement necessite dans cette organisation des dispositifs de reserves

3 - SCHEMA BLOC D'UN SYSTEME DE CONTROLE CENTRALISE

Les connections entre le processeus, l'ensemble des mémoires, les dispositifs entrées-sorties et les blocs du système. de contrôle s'effectuent à l'aide d'un canal. Cet ensemble de lignes (canal) est aussi utilisé pour la transmission de l'informa- tion entre le système de controle et l'objet et inversement .

L'information ^{globale} véhiculée par le canal comportent 3 composantes essentielles:

- 1-L'information d adresse.
- 2-L'information numerique
- 3-L'information de commande entre blocs.

Notons au passage qu'elles s'expriment toutes dans le même code.

Les informations transmises au système de traitement numérique sont, prélevés généralement en début de chaîne grâce à des capteurs. Les capteurs électriques transforment un phénomène physique ou tout au moins l'un de ces paramètres en un signal électrique suivant la loi $S = f(E)$. Ils peuvent être distingués selon qu'ils délivrent une information analogique ou numérique. L'information traitée ici est numérique. elle proviendra donc soit directement des capteurs numériques ou des capteurs analogiques suivi de convertisseurs (A/N). Les capteurs utilisés dans le fonctionnement des systèmes de contrôle sont divisés en 4 groupes. Cette classification est liée surtout au degré d'influence (importance) qu'on les paramètres sur le fonctionnement du système.

-Le 1^{er} groupe comportent des capteurs de paramètres conditionnant la sûreté et la sécurité de fonctionnement de l'objet à contrôler. De ce fait ils sont contrôlés constamment, leurs valeurs sont enregistrées et leurs écarts par rapport à des valeurs normales de fonctionnement sont signalés.

-Le 2^{ème} groupe est celui des paramètres moins responsables (température, humidité, vapeur d'eau ...etc) leurs observations s'effectuent périodiquement en marche normale et continuellement pendant les changements de régimes (changement de charges). les écarts de ces paramètres ne sont pas signalés mais peuvent être

selon le besoin enregistrés ou appelés sur le tableau par l'opérateur.

-Le 3^e groupe permet le contrôle des paramètres à influence réduite sur la marche du processus. Leur contrôle est effectué après appel par l'opérateur sur le panneau de signalisation.

-Le 4^e est constitué par des capteurs de paramètres qui ne sont utilisés que pendant la période régulation ou après réparation. L'appareillage de contrôle de ces paramètres est placé sur des panneaux de signalisation auxiliaires.

Tous ces capteurs transforment les paramètres mesurés en des signaux unifiés qui leur sont proportionnels.

Le dispositif de commande central connecte les capteurs à travers le "dispositif de liaison avec objet" (D.L.O) au dispositif arithmétique (D.A) soit à tour tour, soit selon un programme fixé à l'avance.

Les opérations effectuées sur l'information par le dispositif arithmétique, consistent :

- 1^e en son stockage dans les mémoires.
- 2^e en sa comparaison avec une valeur étalonée.

Ces opérations sont appelées traitement de l'information.

Le système de commande arithmétique peut prendre la décision de transmettre le résultat de l'information traitée, à l'indicateur numérique. L'opérateur peut donner un programme pour l'enregistrement des informations et des écarts sur imprimante ou autres. Il peut en outre rappeler n'importe quel paramètre sur l'indicateur, en agissant sur le bouton de commande correspondant. De ce fait il court-circuite provisoirement le programme. En dehors de ces initiatives prises par l'opérateur, c'est le dispositif central qui

assure automatiquement le déroulement des séquences en conformité avec le programme donné .

4 - REPRESENTATION VISUELLE D'UNE INFORMATION.

Pour travailler en parallèle avec l'homme, les dispositifs de visualisations du système de contrôle doivent être adaptés à ses organes sensoriels (yeux, oreilles, ...etc).

La représentation ne doit pas être rapide afin de minimiser le risque d'erreurs. Plus de 70% de l'information est représentée à l'opérateur sous forme visuelle, à l'aide de signes ou de formes figuratives quelconques. L'information sous cette première forme est appelée alphanumérique. Elle se constitue de chiffres, de lettre ou de mots. Quant à l'information figurative, elle est représentée par des graphes ou des schémas mnémoniques. Pour sa représentation on utilise la T.V. ou la radiolocalisation . L'indication peut être soit permanente soit variable. La forme permanente est enregistrée sur pellicule ou sur papier . Elle peut être utilisée à tout moment . La forme temporelle ne dure qu'un temps déterminé (quelques minutes) et c'est ce que nous considérons dans notre projet . L'information temporelle peut être représentée à l'aide de graphes. Elle est donc très démonstrative, mais si les figures sont compliquées, ses qualités disparaissent . Pour remédier à cet inconvénient, on devrait utiliser un grand écran. Ceci n'est pas le cas de l'indiction numérique, qui ne demandent justement pas un grand écran. De plus l'indication numérique représente l'information avec une grande précision, à l'aide de dispositif alphanumériques. L'opérateur peut donc, avec une

grande certitude effectuer, les opérations de commande.

Notons que ce mode représentation numérique révient assez cher mais il reste souvent utilisé.

CHAPITRE II.

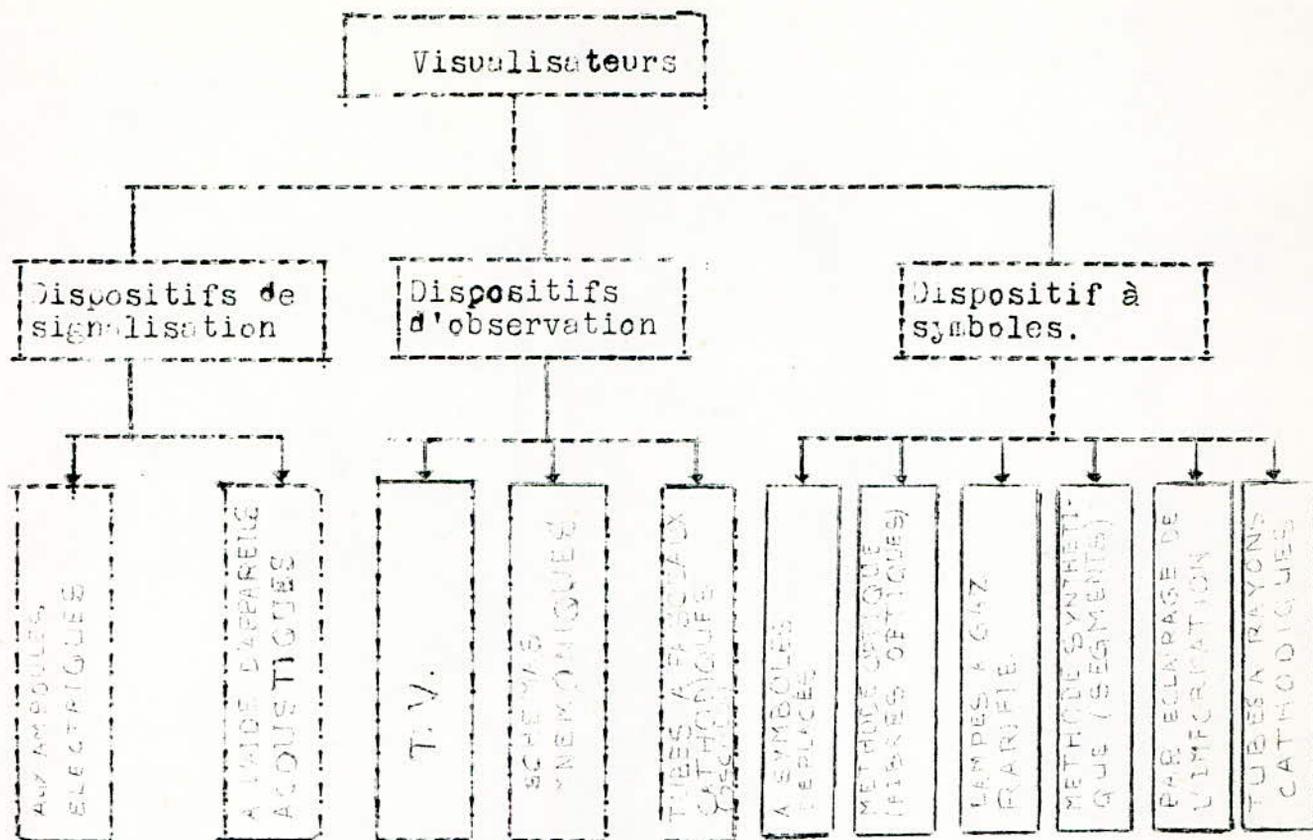
INDICATEUR VISUEL D'UN

SYSTEME DE CONTROLE .

1- DESTINATION ET CLASSIFICATION DES VISUALISATEURS

L'indication des éléments de visualisation donne l'information à l'opérateur . Ces visualisateurs peuvent être soit des tableaux, soit des écrans , soit des panneaux de signalisations .Ainsi l'opérateur peut être informé sur l'état d'un objet à contrôler et sur son ambiance (température ,pression ,humidité...).Pour cette raison les éléments de visualisation représentent une partie importante des systèmes de contrôle automatique ;car une fois cette information obtenue , l'opérateur est en mesure de prendre une décision en vue de maintenir un fonctionnement normal.

Les visualisateurs utilisés peuvent être classifiés en 3 groupes :



1^{er} Groupe

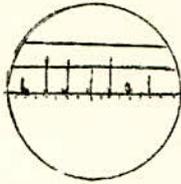
A l'aide des indicateurs de signalisation, on peut représenter l'information du paramètre anormale ou les avarie du système, soit par des ampoules, soit par des., par des appareils sonores.

2^{er} Groupe

les dispositifs d'observation permettent de représenter beaucoup d'informations sur l'objet à contrôler. ces dispositifs peuvent être des écrans de T.V., des schémas mnemoniques, des tubes à rayons cathodiques (T R C) ou leurs variantes.

Par schémas mnémoniques, on entend carte du processus technologique comportant des signes conventionnels, qui permettent de de suivre l'évolution des paramètres. contrôlés (en dessous ou en dessus de la valeur normale). Cette carte est faite de façon à avoir le fonctionnement d'une des parties de l'objet à contrôler

Pour les tubes à rayons cathodiques, l'information est représentée par des lignes (ou des points) perpendiculaires à des lignes horizontales qui représentent des normes de fonctionnement .



3^e Groupe

fig II. 2

Les indicateurs à symboles représentent l'information sur l'état de l'objet à contrôler , à l'aide d'un ensemble de chiffres ou de lettres . Ils sont appelés indicateurs numériques . Parmi ceux ci on distingue :

a) Les dispositifs à affichage par sélection :

Ils comprennent:

-Les dispositifs à écrans déplacés (la figure est un écran mobile).
Le moteur qui actionne l'écran , peut être de nature électrique ou pneumatique ou électromagnétique, .etc.

-Les indicateurs à projection par l'arrière .

Ce dispositif est constitué de (pour X caractères):

-X lampes et systèmes de lentilles

-1 film sur lequel sont imprimés les X caractères
ou texte

-1 écran situé à l'avant.

La sélection d'une lampe parmi X à pour conséquence immédiate, l'affichage du caractère qui lui fait face .

-Les tubes "NIMO" .

c'est un tube à rayons cathodique dans lequel une matrice de 8 lignes et 8 colonnes a été déposée. Un point d'intersection pour lequel la ligne et la colonne correspondante à été portée à un potentiel positif, autorise le passage d'électrons . le faisceau électronique ainsi créé se dirige vers l'écran électroluminescent

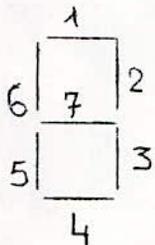
un masque dans lequel on a découpé 64 caractères (symboles divers ou texte). L'un de ces 64 caractères se trouve illuminé par cette sélection. Il y a véritablement projection du caractère (ou texte) qui peut occuper ainsi la totalité de l'écran.

-Les tubes indicateurs... NIXIE.

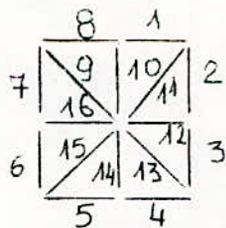
C'est un tube a gaz dans lequel on a rassemblé un certain nombre de cathodes épousant le contour du caractères à visualiser. Le gaz contenu dans le tube est ionisé lorsque une tension (150 à 200V) est appliquée entre l'anode commune et la cathode. Cette ionisation enveloppe la cathode sélectionnée avec émission de lumière, ce qui permet au caractère d'être visualisé.

b) L'affichage par segments

Les modèles comprenant 7 et 16 segments et éventuellement 14 situés dans le même plan, permettent de reconstituer respectivement les chiffres et les lettres et les chiffres.



afficheur à 7 segments



afficheur à 16 segments

Chaque segment participant au dessin du caractère à visualiser doit être allumé (ou visible) et ceux qui ne participent pas doivent être éteint (ou invisible)

Partant de cette définition générale, différents visualisateurs par segment ont été développés. On distingue ;

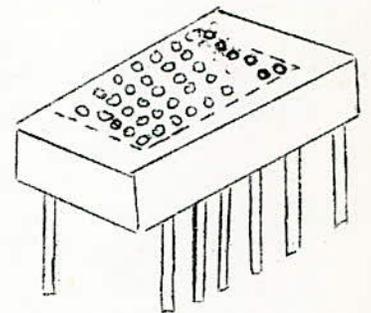
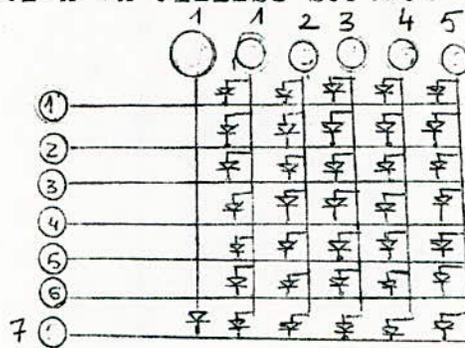
- Les tubes néon à 7 segments (14 ou 16) dans lesquels les cathodes sont des segments, l'anode étant commune.

-L'indicateur à lampes à filament .A chaque lampe est associé un segment semi transparent .

-L'indicateur à diodes semi-conducteur électroluminescentes: 4 à 5 diodes placées côte à côte et fonctionnant simultanément forme un segment .

c) L'affichage par points .

On peut reconstituer un caractère alphanumérique à partir d'une matrice rectangulaire de points (lumineux),généralement 5 X 7 points pour cette reproduction on utilise surtout des diodes électroluminescentes .



De toutes les techniques de visualisation ,nous considérons dans le projet la représentation aux ampoules et la représentation symbolique avec des dispositifs du type synthétiques .

Dans tout les cas ces dispositifs de visualisation doivent avoir un fonctionnement sûr et une longue durée de vie .Ils doivent être insensibles aux agents extérieurs ambiants (température, humidité, pression...etc).Ils doivent avoir une faible consommation,un faible encombrement et une bonne visibilité.Ils doivent en outre avoir un schéma de commande le plus simple possible .leur coût doit être faible.

2- CHOIX D'UN VISUALISATEUR

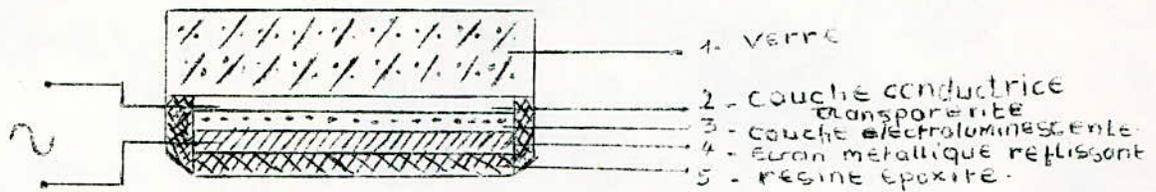
Paramètres	Types d'indicateurs numériques				
	à projection	Type synthétique		Tube à gaz	tube à faisceaux cathodiques
		à segments	à points		
Economis	+	+++	++++	+++	++
Sûreté de fonctionnement	+	+++	++	+++	++
Schéma de commande	+++	+	+	+++	+
Universalité	++	+	+++	+	+++
commodité de lecture	+++	++	+++	++	++
Prix	+++	+++	+++	++	+
Influence ambiante	+++	+++	++	++	++
Construction	++	+++	+++	+++	+

Tableau comparateur des différents types d'indicateurs.

D'après la comparaison donnée par ce tableau, on voit que le meilleur indicateur, c'est celui du type synthétique. Il a une petite consommation de puissance, jusqu'à 100mW. Sa construction en matière plastique lui assure une haute solidité. Il présente un bon éclairage des chiffres et une grande durée de vie. Cependant il présente moins d'avantage quant au schéma de commande difficiles. La nécessité de circuit "ET" à l'entrée et la représentation des chiffres n'est pas toujours commode à l'aide de segments.

Le nombre de segments utilisés peut être 7, 8, 10, 14, et 16.

Cette élément indicateur est du type luminescent. Il présenté sur la figure suivante /



La couche de verre (1) sert pour la protection contre les agents extérieurs (mécaniques atmosphériques...).

Pour la couche (2) on utilise l'oxyde d'étain, ou oxyde de cadmium.

Pour la couche électroluminescente (3) on peut utiliser le phosphore en poudre répartie sur la couche (4) à base de sulfure de zinc (Zn.S) ou sulfure de sélénium (Se.S).

La couche de résine (5) sert comme substance protectrice.

Dans notre projet nous prendrons des éléments à 7 segments, car un nombre plus grand (16 par exemple) demande un schéma de commande plus compliqué.

Les éléments indicateurs se ^{trouvent} dans le commerce dans des dimensions variées entre 10 et 40 mm. Leur durée de fonctionnement normale

10.000 heures. Leur tension d'alimentation $V=200$ à 400 volts
 Leur fréquence $f=400$ à 4000 Hz

Pour fonctionner, ces visualisateurs du type synthétique, doivent être alimentés par des oscillateurs bloqués qui fournissent la tension et la fréquence nécessaire.

Etude d'un oscillateur bloqué

L'oscillateur bloqué qui alimente les visualisateurs du type synthétique à 7 segments considérés dans notre décade, est du type à réaction positive collecteur base. Il permet de délivrer des impulsions brèves et puissantes.

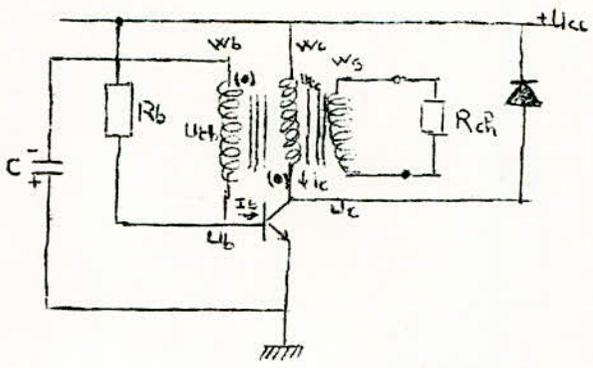


fig II-7

W_b = nombre de spires de l'enroulement de base.

W_c = nombre de spires de l'enroulement collecteur.

W_s = nombre de spires de l'enroulement de sortie.

R_{ch} = Resistance de charge.

U_{tb} = tension de l'enroulement de base.

$n = W_c / W_b$

Schéma d'un oscillateur bloqué avec réaction base-collecteur.

Fonctionnement

Soulignons tout d'abord la nécessité de ramener une réaction positive par l'intermédiaire du transformateur, c'est à dire l'entrée doit être en phase avec la tension ramenée de la sortie. Les enroulements doivent être telle que l'on ait cette réaction.

Les symboles (.) représentés sur le schéma signifient qu'il faut avoir la même polarité sur ces côtés marqués.

Le 3^e enroulement donne la possibilité d'obtenir des impulsions de grande amplitude à la sortie.

Le processus qualitative de fonctionnement se traduit par les graphes suivant :

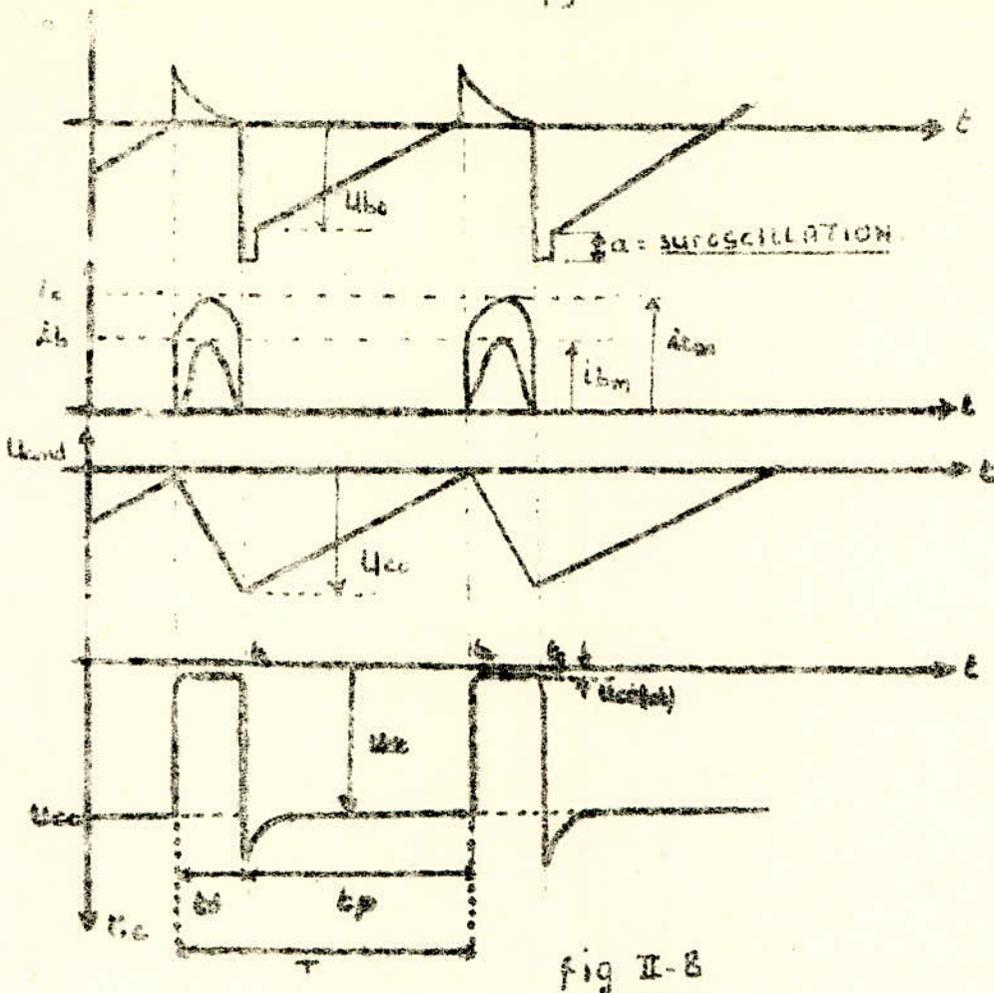


fig II-8

Considérons au départ, à l'instant t_1 que le transistor est bloqué et que le condensateur qui initialement était chargé à $U_{cand} = U_{cc}$ commence à se décharger à travers W_b, R_b et l'alimentation $+U_{cc}$.

Le potentiel négative étant alors appliqué sur la base du transistor ce qui le maintient à l'état bloqué jusqu'à ce que le condensateur soit complètement déchargé. Cette durée de décharge correspond au temps de pause (t_p). Le circuit de décharge peut être représenté par le schéma équivalent suivant:



fig II. 9

On néglige la f.e.m de self induction au cours de la décharge qui est relativement lente .

ce qui donne :

($I_{c0} \neq I_{b0}$)

$$U_{c0n} = U_{cc} + U_{c0} + I_{c0} \cdot R_b e^{-t/\tau} - U_{cc} + I_{c0} \cdot R_b$$

$$t_p = R_b \cdot C \cdot \text{Log} \frac{(U_{cc} + U_{c0n} + I_{c0} \cdot R_b)}{U_{cc} + R_b \cdot I_{c0}} = R_b \cdot C \cdot \text{Log} \left(\frac{1 + \frac{U_{c0n}}{U_{cc}} + \frac{I_{c0} \cdot R_b}{U_{cc}}}{1 + \frac{I_{c0} \cdot R_b}{U_{cc}}} \right)$$

$$\implies t_p \neq R_b \cdot C \cdot \text{Log} \frac{n+1}{n} \quad \text{car } \frac{U_{c0n}}{U_{cc}} = \frac{1}{n} \quad \text{et} \quad \frac{R_b \cdot I_{c0}}{U_{cc}} \ll 1$$

Au temps t_2 le transistor est déblocqué et commence à conduire. C'est le moment de formation du front avant. Le courant de base circule à travers l'espace base-émetteur. L'accroissement du courant collecteur ΔI_c produit l'accroissement de tension U_{ce} qui produit un accroissement du courant au secondaire du transformateur ΔI_b . Le couplage est fait de telle façon que l'accroissement du courant collecteur, entraîne une tension positive sur la base du transistor qui se déblocque davantage et permet encore une augmentation du courant ΔI_c ; et ainsi de suite le phénomène est cumulatif et la saturation est rapidement atteinte.

la condition de déblocage s'exprime de cette façon :

$$\text{D'une part on a } \Delta I_c = \beta \Delta I_b$$

$$\text{d'autre part } \Delta I_c \text{ donne au secondaire } \Delta I_b' \text{ tel que } \Delta I_b' = n \Delta I_c$$

$$\text{il faut avoir } \Delta I_b' \geq \Delta I_b \implies \beta n \Delta I_c \geq \Delta I_c \implies \boxed{\beta n \geq 1}$$

Avec ce montage β et n tous les 2 supérieurs à 1. L'expérience montre que pour $1,5 < n < 4$ la vitesse du processus cumulatif est max et les impulsions de sortie sont rectangulaires.

Au moment de la saturation, le schéma de l'oscillateur bloqué est le suivant :

(pour $I_c = I_{cs}$, $I_c \neq \beta I_b$)

ce qui donne :

($I_{c0} \neq I_{b0}$)

$$U_{c(n)} = U_{cc} + U_{c0} + I_{c0} \cdot R_b e^{-t/\tau} - U_{cc} + I_{c0} \cdot R_b$$

$$t_p = R_b \cdot C \cdot \text{Log} \frac{(U_{cc} + U_{c(n)} + I_{c0} \cdot R_b)}{U_{cc} + R_b \cdot I_{c0}} = R_b \cdot C \cdot \text{Log} \left(\frac{1 + \frac{U_{c(n)} + I_{c0} \cdot R_b}{U_{cc}}}{1 + \frac{I_{c0} \cdot R_b}{U_{cc}}} \right)$$

$$\Rightarrow t_p \neq R_b \cdot C \cdot \text{Log} \frac{n+1}{n} \quad \text{car } \frac{U_{c(n)}}{U_{cc}} = \frac{1}{n} \text{ et } \frac{R_b \cdot I_{c0}}{U_{cc}} \ll 1$$

Au temps t_2 le transistor est débloqué et commence à conduire. C'est le moment de formation du front avant. Le courant de base circule à travers l'espace base-émetteur. L'accroissement du courant collecteur ΔI_c produit l'accroissement de tension U_{ce} qui produit un accroissement du courant au secondaire du transformateur ΔI_b . Le couplage est fait de telle façon que l'accroissement du courant collecteur, entraîne une tension positive sur la base du transistor qui se débloque davantage et permet encore une augmentation du courant ΔI_c ; et ainsi de suite le phénomène est cumulatif et la saturation est rapidement atteinte.

la condition de déblocage s'exprime de cette façon :

$$\text{D'une part on a } \Delta I_c = \beta \Delta I_b$$

$$\text{d'autre part } \Delta I_c \text{ donne au secondaire } \Delta I_b' \text{ tel que } \Delta I_b' = n \Delta I_c$$

$$\text{il faut avoir } \Delta I_b' \gg \Delta I_b \implies \beta n \Delta I_c \gg \Delta I_c \implies \boxed{\beta n \gg 1}$$

Avec ce montage β et n tous les 2 supérieurs à 1. L'expérience montre que pour $1,5 < n < 4$ la vitesse du processus cumulatif est max et les impulsions de sortie sont rectangulaires.

Au moment de la saturation, le schéma de l'oscillateur bloqué est le suivant :

(pour $I_c = I_{cs}$, $I_c \neq \beta I_b$)

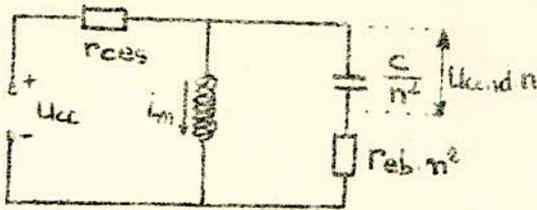


fig II-10

ou r_{ces} = résistance collecteur - en régime de saturation .

r_{bes} = résistance emetteur - base en régime de saturation

I_m = courant de magnetisation

Ces résistances sont égales d'habitude à quelques ohms ou quelques dizaines d'ohms .

Remarque : r_{bes} étant très petite c'est pour cela que le condensateur se charge très vite (τ_c faible)

$$i_c = \frac{i_b}{n} + i_m$$

Dans ce cas I_{cm} est déterminé par le point A sur le réseau de caractéristiques.

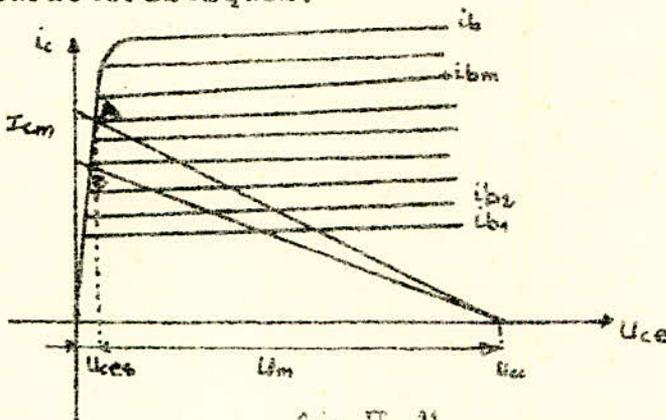


fig II-11

$$I_{bm} = n I_{cm}$$

lors du processus cumulatif

Tandis que le condensateur se charge, le courant de base i_b décroît d'après la relation $i_c = \frac{i_b}{n} + i_m = \frac{I_{bm}}{n} e^{-t/\tau_c} + \frac{U_{cc}}{L_m} \cdot t$.

Dans ce domaine le transistor n'est pas amplificateur. Le courant i_c diminue aussi mais lentement ; ainsi son effet est négligeable. cette diminution se poursuit jusqu'à ce que le transistor atteigne le domaine d'amplification (point B). pour ce point frontière, nous déduisons de l'équation précédente, les équations :

$$\frac{I_{bm}}{n} \cdot e^{-\frac{t_d}{\tau_c}} + \frac{U_{cc}}{L_m} t_d = \beta I_{bm} \cdot e^{-\frac{t_d}{\tau_c}} \quad \text{d'où} \quad \frac{U_{cc}}{L_m} t_d = I_{bm} \left(\beta + \frac{1}{n} \right) e^{-\frac{t_d}{\tau_c}}$$

τ_c = constante de temps de charge du condensateur

A partir de ce point (B), le transistor fonctionne en amplificateur ($\beta_c = \beta^{tb}$), la diminution du courant de base produit une diminution du courant I_c d'après la relation $i_c = \beta i_b$. Cet accroissement négatif entraîne à son tour une f.e.m induite u_{tb} , donc cette fois le potentiel négatif s'applique sur la base du transistor, celui-ci tend à se bloquer de plus en plus et rapidement il atteint le blocage après le processus cumulatif inverse. Le transistor est passé alors du domaine de saturation au domaine de blocage. Durant ce temps écoulé, on a eu le temps de durée de l'impulsion. A l'instant t_4 le condensateur est complètement chargé à U_{cc} et le cycle recommence.

Ayant observé les différentes conditions de fonctionnement d'un oscillateur bloqué, nous passons au calcul pratique

- Calcul :

Transistors utilisés : 2N 2222 NPN au silicium

$$\beta_{min} = 75 \div 100 \quad I_{c\max} = 800 \text{ mA} / 25^\circ\text{C}$$

$$I_{cbo\max} = 10 \mu\text{A} \quad f_t = 300 \text{ MHz}$$

$$\text{Puissance dissipée (Pd)} = 500 \text{ mW}$$

$$V_{cbo} = 60 \text{ V} \quad V_{ce} = 30 \text{ V}$$

Choix de la tension de polarisation:

$$U_{cond} + U_{cc} \leq U_{cb\max} \quad U_{cond} \neq \frac{U_{cc}}{n}$$

$$\Rightarrow U_{cc} + \frac{U_{cc}}{n} = \left(\frac{n+1}{n}\right) U_{cc} \leq 60 \text{ V}$$

$$\text{On choisit } n = 2 \quad \Rightarrow \frac{3}{2} U_{cc} \leq 60 \text{ V} \quad U_{cc} \leq 40 \text{ V}$$

On choisit $U_{cc} = 12V$

Cette condition doit vérifier également

$$U_{cond} + U_{cc} \leq U_{cemax}$$

en effet : $15V \leq 30V$

on choisit la fréquence de sortie égale à 1000 Hz

$$\Rightarrow T = \frac{1}{F} = \frac{1}{1000} = 1000 \mu\text{s}$$

On choisit $t_d = 10 \mu\text{s}$ (durée de l'impulsion)

et on choisit le front de l'impulsion $t_m = 0,5 \mu\text{s}$

Le temps de pause t_p . $t_p \gg t_d$

$$\text{or } T = t_p + t_d \approx t_p$$

$$\Rightarrow t_p \approx 1000 \mu\text{s}$$

Choix du courant de saturation

Au moment de la saturation on peut avoir en certain $i_c = I_{cs}$ (courant de magnétisation = 0). Pour ne pas dépasser la puissance (P_d) dissipée par le transistor, on choisit:

$$I_{cs} = \frac{P_d}{U_{cc}} = \frac{500}{12} = 41,5 \text{ mA}$$

On prend $I_{cs} = 40 \text{ mA}$

$$I_{bs} = \frac{I_{cs}}{\beta}$$

$$\text{Pour } \beta = 100 \Rightarrow I_{bs} = \frac{40}{100} = 0,4 \text{ mA}$$

I_{bs} = courant de base qui sature le transistor.
Détermination de R_b :

Le courant de base qui circule effectivement dans le transistor est un courant de base de sursaturation, soit

$$I_b = N \cdot I_{bs} = 2 \cdot I_{bs} = 2 \cdot 0,4 = 0,8 \text{ mA} \quad (\text{pour } N=2)$$

N: coefficient de sursaturation.

$$R_b = \frac{U_{cc}}{I_b} = \frac{12 \cdot 10^3}{0,8} \Rightarrow \boxed{R_b = 15 \text{ k}\Omega}$$

Détermination de C :

A partir de la formule établie précédemment, on a :

$$T \neq t_p = R_b \cdot C \cdot \text{Log} \frac{n+1}{n} \Rightarrow C \neq \frac{T}{R_b \cdot \text{Log} \frac{n+1}{n}}$$

$$n=2 \Rightarrow C = \frac{10^{-3}}{30 \cdot 10^3 \cdot \text{Log} \frac{3}{2}} = \frac{10^{-6}}{30 \cdot 0,326} = 0,102 \mu\text{F}$$

$$\boxed{C = 100 \text{ nF}}$$

Détermination de la self du collecteur :

D'après la formule donnée précédemment, on a :

$$\frac{U_{cc} \cdot t_d}{L_m} = I_{bm} \left(\beta + \frac{1}{n} \right) e^{-t_d/\tau_c} \Rightarrow L_m = \frac{U_{cc} \cdot t_d e^{t_d/\tau_c}}{I_{bm} \left(\beta + \frac{1}{n} \right)}$$

$$t_d = (2 \div 4) \tau_c \quad \text{on prend } t_d = 2 \tau_c$$

$$\Rightarrow L_m = \frac{12 \cdot 10 \cdot 10^{-6} \cdot e^2}{0,8 \cdot 10^{-3} \left(100 + \frac{1}{2} \right)} = \frac{3}{2} e^2 10^{-5} = 11 \cdot 10^{-3} \text{ Henry}$$

$$\boxed{L_m = 11 \text{ mH}}$$

Calcul du nombre de spires

Pour le bobinage on prend un noyau de fer circulaire dont la perméabilité magnétique $\mu_0 = 2000$
 le nombre de spires W_k pour la self L_m est donné par la formule :

$$W_k = 10^4 \sqrt{\frac{L_m \cdot l}{1,25 \mu_0 S}} \quad \begin{array}{l} \text{où } l \text{ en cm} \\ S \text{ en cm}^2 \\ L_m \text{ en H.} \end{array}$$

sachant que :

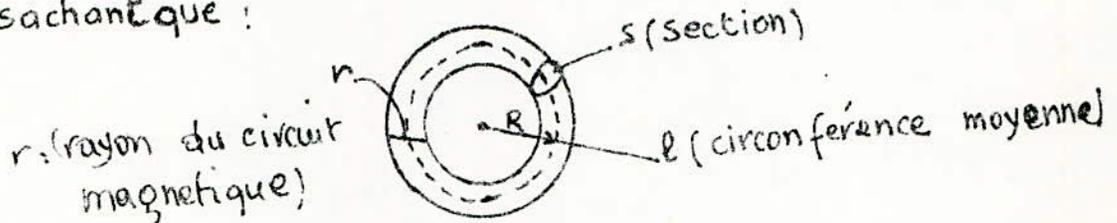


fig II-12

pour notre cas, on prend : $R : 1,5 \text{ cm} \Rightarrow \underline{l = 9,42 \text{ cm}}$

$S = \pi r^2$. pour un choix de $r = 1,77 \text{ mm}$. on a $\underline{S = 9,1 \text{ cm}^2}$

Ce qui donne $W_k = 10^4 \sqrt{\frac{11 \cdot 10^{-3} \cdot 9,42}{1,25 \cdot 2000 \cdot 0,1}} = 202$

$W_k \approx 200 \text{ spires}$

Nous en déduisons immédiatement W_b :

$W_b = \frac{W_k}{n} = \frac{474}{2} = 100 \text{ spires}$

$W_b = 100 \text{ spires}$

Nous voulons avoir une tension de 200 Volts à la sortie ,

donc : $\frac{W_s}{W_k} = \frac{200}{12} \Rightarrow W_s \approx 17 W$

$W_s = 1400 \text{ spires}$

Il faut vérifier que la somme de toutes ces spires peuvent être prise par ce noyau.

On a en tout : $(200 + 100 + 1700)$ spires = 2000 spires

Les spires sont jointives, faites avec du fil de 1/10 mm

Or, la 1^{re} couche de spires prendra 942

On voit aussitôt, que les dimensions de ce noyau sont largement suffisantes pour permettre la place aux spires nécessaires, vu que $R=15$ mm.

Cherchons les valeurs des résistances ohmiques dans le bobinage secondaire W_b .

Longueur : $W_b \cdot 2\pi r = 106 \cdot 2\pi \cdot 1,77 = 1175$ mm

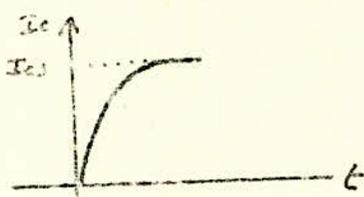
ce qui donne $r_{wb} = \frac{\rho \cdot L}{A} = 5,7 \Omega$, Effet négligeable.

Il faut en plus vérifier que les temps de montée du transistor ne viennent pas masquer le temps de montée attribué à l'impulsion.

On doit avoir : $t_m \leq t_m \text{ donné} = 0,5 \mu\text{s}$

Soit $I_b = N I_{b0}$ $N=(1+\beta)$ = coefficient de saturation.

La réponse du transistor est :



$$I_c = \beta I_b (1 - e^{-t/\tau_{\beta}})$$

$$\text{avec } \tau_{\beta} = \frac{\beta + 1}{2\pi f_c}$$

pour $I_c = I_{cs} \Rightarrow t = t_m$

Pour $I_c = I_{cs} \Rightarrow t = t_m$ soit $I_{cs} = \beta I_b (1 - e^{-t_m/\tau_{\beta}})$

$$\Rightarrow \frac{t_m}{\tau_{\beta}} = \log \frac{\beta I_b}{\beta I_b - I_{cs}} = \log \frac{1}{1 - \frac{I_{cs}}{\beta I_b}}$$

$$t_m = \frac{\beta + 1}{2\pi f_t} \text{Log} \frac{1}{1 - \frac{1}{\beta}}$$

où f_t = fréquence de transition.

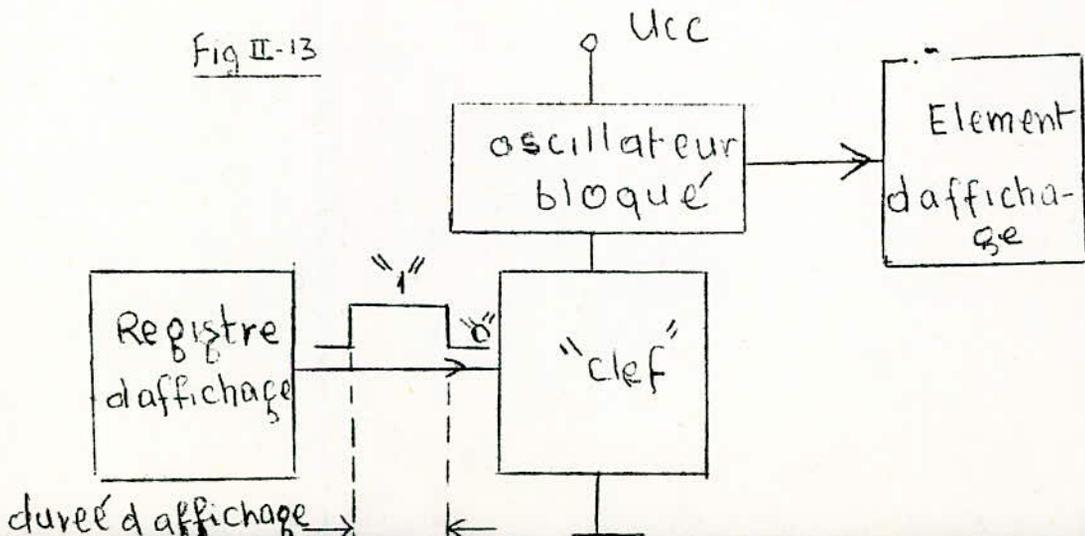
$$N = 2 \Rightarrow t_m = \frac{101}{2\pi \cdot 300 \cdot 10^6} \text{Log} \frac{1}{1 - \frac{1}{2}} = 3,65 \cdot 10^{-8} \text{ s} < 9,5 \mu\text{s}$$

En conséquence la relation $t_m \ll t_m$ donné, est vérifiée.

La diode D couplé en parrallèle avec le primaire du transformateur, sert à protéger le transistor contre les surtensions car le courant de collecteur en diminuant brusquement entraîne une brève tension collecteur-emetteur qui peut faire le percement de la jonction.

Etude du circuit de commande de l'oscillateur bloqué(clef)

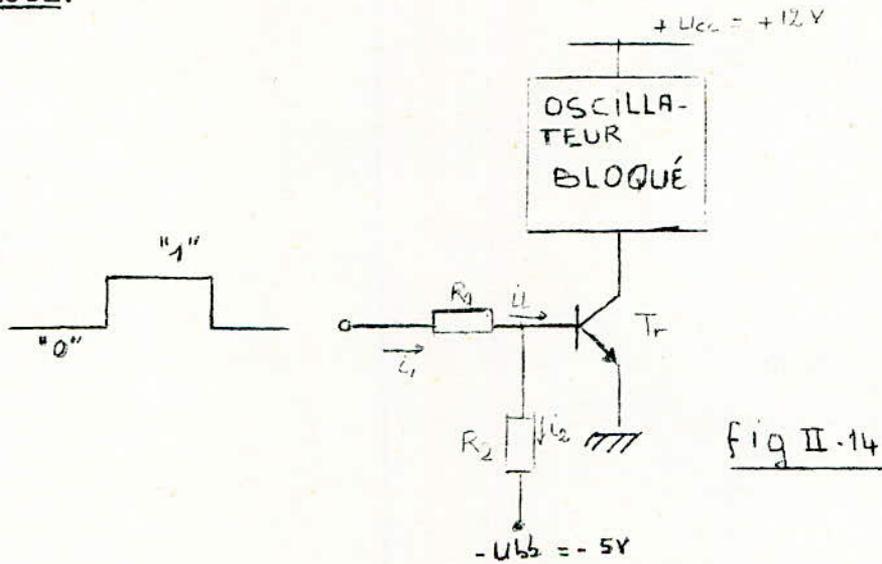
D'après les conditions de fonctionnement de la décade, l'oscillateur bloqué ne doit fonctionner qu'avec le signal logique "1" à la sortie du registre d'affichage. Pour le faire fonctionner il suffit de l'alimenter à U_{cc} et pour l'arreter, il faudra par conséquent couper l'alimentation. pour assurer cette fonction, on utilise un circuit de commande ou "clef", entre le registre d'affichage et l'oscillateur bloqué disposé d'après le schéma synoptique suivant



-Quant le signal U_e est au niveau logique "1" la "cléf" doit fermer le circuit (faire contact) afin d'établir l'alimentation de l'oscillateur bloqué.

-Quant le signal est au niveau logique "0" la "cléf" doit ouvrir le circuit et couper l'alimentation .

CALCUL:



Transistor utilisé : $T_r \Rightarrow 2N2222$ NPN Silicium
 $\beta \# 100$ $I_{c\max} = 500 \text{ mA}$ $U_{ce} = 30 \text{ V}$ $I_{cbo} = 10 \mu\text{A}$

A la saturation

$U_e = "1" = 5 \text{ volts}$ qui , dans le cas le plus défavorable , peut fluctuer pour atteindre 4 volts .

$$I_{cs} = I_{cs} \text{ de l'oscillateur bloqué} = \underline{40 \text{ mA}}$$

$$I_{bs} = \frac{I_{cs}}{\beta} = \frac{40}{100} = \underline{0,4 \text{ mA}}$$

$$I_b = N I_{bs} \text{ avec } N = (2+3) , \text{ on prend dans notre calcul } N = 2 .$$

$$\Rightarrow I_b = 2 \cdot I_{bs} = 2 \cdot 0,4 \text{ mA} \quad \boxed{I_b = 0,8 \text{ mA}}$$

$R_2 \gg R_1$ cette condition doit être imposée pour avoir :

$$U_e = V_{be(sat)} + R_1 I_b \Rightarrow R_1 = \frac{U_e - V_{be(sat)}}{I_b}$$

$$R_1 = \frac{5 - 0,7}{0,8 \cdot 10^{-3}} = 5350 \Omega$$

Nous prendrons $R_1 = 5100 \Omega$ - Valeur normalisée

Avec cette valeur de R_1 on vérifie que dans le cas le plus défavorable, c'est à dire dans le cas où la fluctuation atteint sa valeur max ($U_e = 4 \text{ V}$), on obtient :

$$I_{b5} = \frac{U_e - V_{be(sat)}}{R_1} = \frac{4 - 0,7}{5100} = 0,65 \text{ mA}$$

cette valeur est supérieure à $0,4 \text{ mA}$ (valeur du courant de base de saturation) - le Transistor reste dans ce cas saturé.

Au blocage

On a le blocage pour le niveau logique bas "0" soit 0 volt (jusqu'à $0,4 \text{ V}$ dans le cas le plus défavorable, cas de fluctuation).

Le pont diviseur (R_1, R_2) doit assurer un potentiel de base ≤ 0

$$(U_e + U_{bb}) \frac{R_2}{R_2 + R_1} - U_{bb} \leq 0$$

$$\Rightarrow R_2 \leq \frac{U_{bb}}{U_e} \cdot R_1 = \frac{5}{0,4} \cdot 5100 = 64000 \Omega$$

On prend $R_2 = 62 \text{ K}\Omega$, valeur normalisée.

- La condition $R_2 \cdot I_{cbo} < U_{bb}$ doit être vérifiée
en effet $62 \cdot 10^3 \cdot 10 \cdot 10^{-6} = 0,6 \text{ V} < 5 \text{ V}$

- La condition $R_2 \gg R_1$ est également vérifiée.

3-COMPOSITION DU SCHEMA FONCTIONNEL DU SYSTEME D'INDICATION.

3.1 Présentation du système

Le mecanisme du système de representation de l'information par la methode visuelle est donné par le schéma synoptique de la figure . Les differents blocs qui le composent sont les suivants:

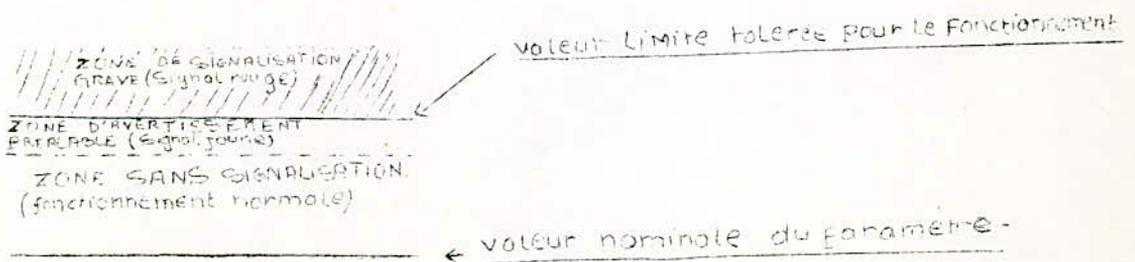
a) Bloc de signalisation (B.S)

Le rôle du bloc de signalisation est essentiellement de signaler les anomalies dans le fonctionnement ou les avaries éventuellement produites . Ainsi le dispositif comporte 2 lampes et un indicateur d'adresses.

La première lampe généralement de couleur jaune , s'allume pour mettre en garde l'operateur dès que la valeur du parametre à contrôler commence à atteindre une limite max tolérée.

La deuxième lampe de couleur rouge s'allume en cas d'avarie ou en cas d'anomalie risquant d'avoir des conséquences graves pour le fonctionnement ou pour le personnel .

En même temps que s'allume l'une de ces 2 lampes , l'afficheur d'adresses doit automatiquement fonctionner pour indiquer le numero du capteur (adresse). Celui-ci est par conséquent localisé , et ainsi le parametre fluctuant est déterminé.



Représentation schématique du fonctionnement du bloc de signalisation .

b) Les blocs d'indications:

Cinq blocs d'indication numérique y sont sur ce schéma . Ils permettent à cinq opérateurs de contrôler successivement les différentes variables affichées automatiquement grâce à la coordination faite par un automate à microprogramme . Chacun de ces blocs permet à l'opérateur correspondant, de contrôler plusieurs variables d'une nature physique bien déterminée. Le 1^{er} bloc permet par exemple le contrôle des paramètres de nature électrique (tension, courant, fréquence ...etc); le 2^{ème} bloc d'indication permet le contrôle des paramètres de nature mécanique (vitesse de rotation de machine , forces , ...etc) et ainsi de suite jusqu'au 5^{ème} bloc .

La manière de fonctionner est bien traduite sur le schéma . chaque console (ou bloc) d'indication numérique affiche en laps de temps déterminé : la valeur absolue du paramètre , son adresse et son unité de mesure dans lequel il est exprimé. Ceci étant pendant que les 4 autres restent dans leur état initial. puis c'est une autre console qui affiche son paramètre , et ainsi de suite à chaque console son tour , déterminé grâce au micro programme de commande automatique d'affichage . Le panneau de signalisation a la possibilité de fonctionner avec l'un quelconque des cinq panneaux d'indication .

La présentation de ces blocs d'indication est tel que l'opérateur doit localiser et déterminer la nature et la quantité du paramètre . De ce fait, les blocs se composent de trois afficheurs: un afficheur d'adresses qui comporte 3 bits (nombre largement suffisant pour une représentation d'adresse) formés d'éléments à 7 segments .
 Un afficheur d'unités de mesure , permet la visualisation par éclairage grâce à une ampoule qui lui est associée .

Chaque console que ce soit de visualisation numérique ou de signalisation est munie d'éléments de mémoire et des blocs de commande nécessaires

c) les registres

Les registres retiennent en mémoire l'information du code pendant la durée de traitement de l'information de chaque paramètre.

d) les déchiffreurs distributeurs

Ils transforment l'information donnée dans un code en une forme plus simple utilisée par l'homme. Ils la distribuent par la suite vers les différents amplificateurs nécessaires des blocs d'indication.

e) L'automate à micro programme

Il coordonne les étapes et synchronise les fonctions (séquences d'indication, écriture mise en marche des blocs écriture, mise en arrêt, ...etc) d'après un micro programme donné.

3.2 Structure

La structure et le principe détaillé du fonctionnement sont donnés par la figure . Le système complet d'indication et de signalisation se compose de 10 blocs notés en chiffres Romains:

- Bloc des dispositifs de mémoire pour adressage et unité de mesure des paramètres (I), qu'on appellera aussi registre d'adresse (registre d'entrée).

- Déchiffreur distributeur de l'indication numérique des adresses .(II)

- Déchiffreur de l'indication des unités de mesure (III)
- Bloc d'indications numériques des adresses(IV).
- Bloc d'indication des unités de mesure(V).
- Dispositif de mémoire des valeurs absolues des paramètres à contrôler (VI),appelés également registre d'information (c'est un registre d'entrée).
- Déchiffreur d'indications numériques des paramètres(VII)
- Bloc d'indication des valeurs absolues des paramètres (VIII)
- Déchiffreur d'information de signalisation (IX).
- Bloc de signalisation (X).

+Le dispositif (I)comporte des triggers (de T₁ à T₁₆) avec des entrées séparées et des circuits "ET".

+ Le bloc des déchiffreurs distributeurs(du décodeurs) des l'informations des adresses .Il est composé par les blocs(17 à 21)

+ Le bloc des indicateurs numériques des adresses comporte des circuits "ET" repérés par les numéros (24 à 32 et 51 à 59), des circuits de mémoires (registre d'affichage) repérés par les numéros (33 à 41 et 60 à 68) suivis selon la necessite d'amplificateur ou de circuits d'alimentation ,et enfin des indicateurs numériques repérés par les numéros(42 à 50 et 69 à 77)

+ Le bloc d'indication des unités de mesure (V) des paramètres contrôler comporte : des circuits "ET"(78 à 97)des mémoires et amplificateurs(98 à117) et des ampoules de visualisation des unités de mesure.(118. à 137)

+ Le bloc de signalisation(X)comporte des circuits "ET" (138 et 139), des circuits de memoires et amplificateur (140 et 141)et des indicateurs lumineux .

Ces dispositifs peuvent fonctionner en des régimes différents. ces régimes sont :

- Régime d'indication numérique.
- Régime de signalisation
- Régime d'indication et de signalisation à la fois .

3.3 Fonctionnement:

3.3.1 Régime d'indication numérique

Dans ce régime tous les blocs fonctionnent sauf le déchiffreur de signalisation (IX). A l'état initial le registre d'adresse (I) et le registre d'information (VI) se trouvent à l'état zéro grâce au signal $B(A_1)$ délivré par l'automate à micro programme . l'information qui représente l'adresse du capteur du paramètre considéré , arrivant sur une ligne multifilée , nommée ligne d'adresses attaque les triggers de T_1 à T_{12} , Tandis que les triggers T_{13} à T_{16} sont attaqués par l'information des d'unité de mesure du paramètre à contrôler . Ces informations sont données en B.C.D à accès parallèle. L'information valeur absolue du paramètre est donnée également en B.C.D sur la ligne correspondante (ligne des valeurs absolues). Elle attaque le registre d'information (VI) en accès parallèle également . Lorsque le signal de commande de l'automate à microprogramme est appliqué à l'entrée des circuits "ET" du bloc (I) et (VI), ces portes "ET" s'ouvrent et l'information d'adresse et d'unité de mesure est inscrite dans le registre d'adresses . l'information de valeur absolue est inscrite dans le registre des valeurs absolues (168).

A ce niveau les évalutions sont faites en code B.C.D. qui à la sortie du registre d'adresses sont transformées par le déchiffreur-distributeur (ou décodeur) (II) en un code commode pour l'affichage. Le code de sortie des unités de mesure est transformé par le déchiffreur distributeur (III) en un signal commode pour l'affichage des unités de mesure. Les informations à la sortie du bloc (II) et (III) sont utilisées respectivement en entrée de visualisation d'adresses (IV) et d'unités de mesure (V). De même le déchiffreur distributeur (VII) fait la transformation du code d'entrée des informations valeurs absolues des paramètres, en un code compatible avec affichage numérique. Les sortie du bloc (VII) représentent l'entrée du bloc (VIII) où l'on affiche les valeurs absolues. Le signal $(A_3)X_1$ de l'automate à microprogramme fait tout d'abord la mise en arrêt (RAZ) de l'indicateur choisi où il faudra écrire l'information du paramètre à contrôler considéré.

A l'aide du signal (A_2) de l'automate, nous préparons l'indicateur choisi où il faudra écrire l'adresse; la valeur absolue et l'unité de mesure (du paramètre à contrôler qui ont été fixées dans les registres (I) et (VI) et déchiffrées dans les décodeurs (II) et (VII). Ce choix du numéro de l'indicateur (de 1 à 5) est fait par l'automate à micro programme en conformité du code d'entrée obtenu sur la ligne des signaux de commande.

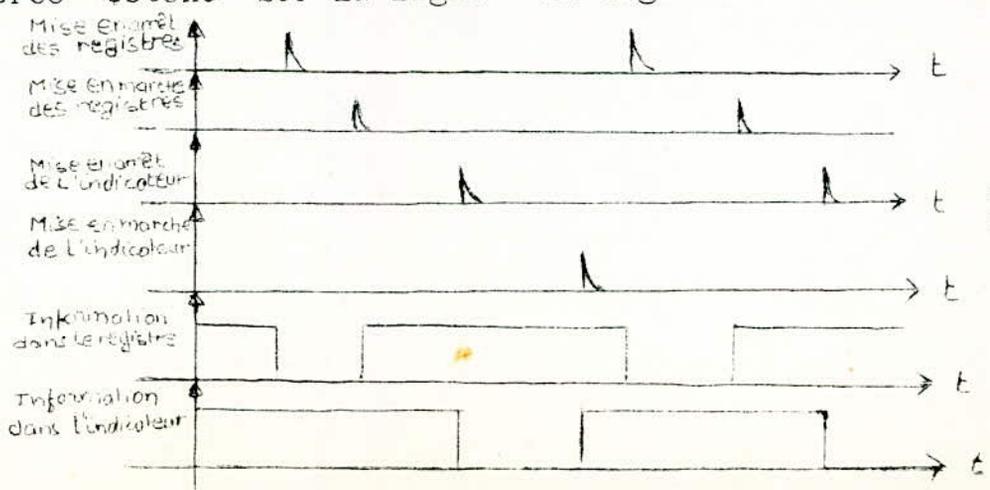


Fig. 16

Les portes "ET" des blocs d'indications s'ouvrent sous la permission de l'automate à microprogramme par le signal $(A_3)X_3$. L'information passe alors dans le registre d'affichage, où elle est maintenue et en même temps visualisée par l'élément indicateur.

Le signal $R.A.Z = B(A_1)$ attaque ensuite les registres d'entrée (d'adresses et d'informations) afin qu'ils soient prêts pour l'écriture du paramètre suivant.

Il est à remarquer que les portes "ET" des registres d'informations et d'adresses ne s'ouvrent pas en même temps que les portes "ET" des blocs d'indications. On étudiera cette coordination plus en détail avec les séquences de l'automate à microprogramme.

3.3.2. Régime de signalisation

Dans ce régime, le paramètre en fonctionnement anormal, doit être signalé par une lampe jaune si l'anomalie dépasse la valeur nominale tolérée, et par une lampe rouge si elle devient dangereuse.

L'adresse de cette anomalie est donnée en même temps que les adresses des paramètres à contrôler dans le régime d'indication numérique.

Cette information d'adresse est écrite dans le registre (I) puis transformée dans le décodeur, elle est transmise à l'entrée des circuits "ET" (51 à 53) du bloc (IV) d'indications des adresses. Après application du signal permission d'écriture (marche) par l'automate à microprogramme, les portes "ET" s'ouvrent. L'information passe alors dans les triggers (60 à 62) préalablement remis à zéro. L'adresse de l'avarie est alors affichée en cet instant par les éléments indicateurs (69 à 71). L'information caractérisant le paramètre à signaler est donnée dans le code B.C.D

à partir de la ligne des valeurs absolues. Ce code est appliqué à l'entrée des triggers T_{11} et T_{12} , puis transformé par le déchiffreur (IX) à 2 sorties : l'une pour l'état d'avarie, l'autre pour risque d'avarie. Ces signaux sont alors transmis à l'entrée des circuits "ET" (I38 et I39) qui s'ouvrent en présence du signal de mise en marche $X_3(A_5)$ pour transmettre l'information au éléments de mémoires (I40 et I41), et par là même l'une de ces ampoules s'allume en conformité du code donné. Le signal $RAZ, B(A_1)$ attaque par la suite les triggers T_{11} et T_{12} qui se remettent à l'état zéro pour être prêt à recevoir l'information suivante.

3.3.3 Régime d'indication et de signalisation

Ce régime où s'associent à la fois les deux régime précédant, indication et signalisation, doit pouvoir se réaliser, afin d'indiquer la valeur numérique d'adresse et de signalisation du paramètre anormal.

o--o--o

4-SCHEMA FONCTIONNEL D'UNE DECADE D'UN INDICATEUR NUMERIQUE

4.1 Présentation d'une décade

Les indications numériques représentées à l'être humain sur les consoles sont visualisées en chiffre décimaux, c'est à dire des chiffres allant de zéro à neuf au niveau de chaque élément d'indication (ou décade); d'autre part le système logique travaillant en numération binaire, nous conduit tout naturellement à utiliser le code : Décimal Codé Binaire (B.C.D).

Chaque décade se compose essentiellement d'un registre mémoire d'information, d'un décodeur (déchiffreur distributeur) B.C.D \rightarrow 7 segments, d'un autre registre dont le rôle est de maintenir l'affichage et enfin des oscillateurs bloqués alimentant l'élément à 7 segments .voir figure n° II. 17

Précisons à titre indicatif : le processus de traitement de l'information précédant les entrées de la décade numérique. Un capteur délivre une série d'impulsions proportionnel à la grandeur phénomène à contrôler . Ces impulsions sont comptées en une seconde ou multiple de secondes par un compteur (synchrone ou asynchrone) dont les différentes décades attaquent respectivement en parallèle les différentes décades de l'indicateur numérique considéré.

La fréquence des impulsions à compter est souvent est souvent assez élevée , si l'on relie le compteur directement au décodeur, on aurait un défilement rapide des chiffres pour lesquels il serait difficile à l'homme de les lire. De cette façon intervient l'importance particulière des registres pour garder l'information en mémoire et permettre une lecture aisée.

Dans notre schéma considéré (figure) , il nous a été alors nécessaire d'interposer les 2 registres tampons déjà cités: Le premier étant un registre de lecture d'information donnée en B.C.D , le second étant celui d'écriture d'information déchiffrée (ou d'affichage) s'adressant directement à l'homme . Les 2 ensembles de portes "ET" aux entrées de ces mémoires ne doivent pas fonctionner en même temps pour éviter un défilement d'affichage durant les opérations de comptage , c'est à dire les opérations d'écriture et de lecture simultanées .

Pour fonctionner, l'indicateur à segments utilisé ici, doit

être alimenté par une tension élevée à une fréquence convenable, Le rôle des oscillateurs bloqués assure cette fonction d'amplification et de génération de fréquence en même temps .

Quant au décodeur (déchiffreur distributeur) son rôle est de transformer l'information donnée en B.C.D à son entrée en chiffres décimaux formés à l'aide de 7 segments .

4.2 Etude d'une décade

Expliquons tout d'abord le choix du code B.C.D justifié précédemment . Il est évident que plusieurs possibilités se présentent pour choisir les combinaisons parmi 16, ce qui mène à avoir plusieurs codes B.C.D .

Ex: B.C.D binaire , B.C.D Gray, B.C.D Gray+3

B.C.D excès 3 , B.C.D continu cyclique , ...etc

On donne ci dessous les tableaux de ces différents codes:

TABLEAU II-18

B.C.D binaire (a)

D	C	B	A
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1

B.C.D Gray (b)

D	C	B	A
0	0	0	0
0	0	0	1
0	0	1	1
0	0	1	0
0	1	1	0
0	1	1	1
0	1	0	1
0	1	0	0
1	1	0	0
1	1	0	1

B.C.D Gray+3 (c)

D	C	B	A
0	0	1	0
0	1	1	0
0	1	1	1
0	1	0	1
0	1	0	0
1	1	0	0
1	1	0	1
1	1	1	1
1	1	1	0
1	0	1	0

D	C	B	A
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0

B.C.D excès 3 (d)

D	C	B	A
0	0	0	0
0	0	0	1
0	0	1	1
0	0	1	0
0	1	1	0
0	1	1	1
0	1	0	1
1	1	0	1
1	1	0	0
0	1	0	0

B.C.D continu cyclique (e)

Parmi ces codes certains présentent moins de risque d'erreurs(changement d'un état à l'autre par une seule variable, 0-->1 ou 1--->0).

Le travail fait avec certains codes B.C.D donne moins d'éléments que d'autres .Parmi ces 5 codes ,le dernier nous a été plus avantageux en présentant moins de risque d'erreurs et un nombre d'éléments minimum. Le 1^{er} code a pour conséquence de présenter plus d'opérateur et plus de risque d'erreurs que le précédant ,mais son avantage c'est son universalité: on trouve (décodeurs , registres , ...etc) déjà réalisés en circuits intégrés.

Nous présentant un travail fait avec ces deux variantes de code(code B.C.D continu cyclique du tableau II.18(e)) et le code usuel B.C.D binaire naturel du tableau II.18(a) et nous précéderons aux éventuelles comparaisons .

4.2.1 -Variante avec code continu cyclique

Ce code étant choisi parmi tant d'autres ,auquel on a imposé les critères suivant :

-2 quelconques de ces nombres doivent être adjacents(un seul bit qui change)

-Il doit être cyclique .On entend par là que le dernier nombre (9) est adjacent au premier (1).

Il se présente alors dans le tableau de Karnaugh de la manière suivante .

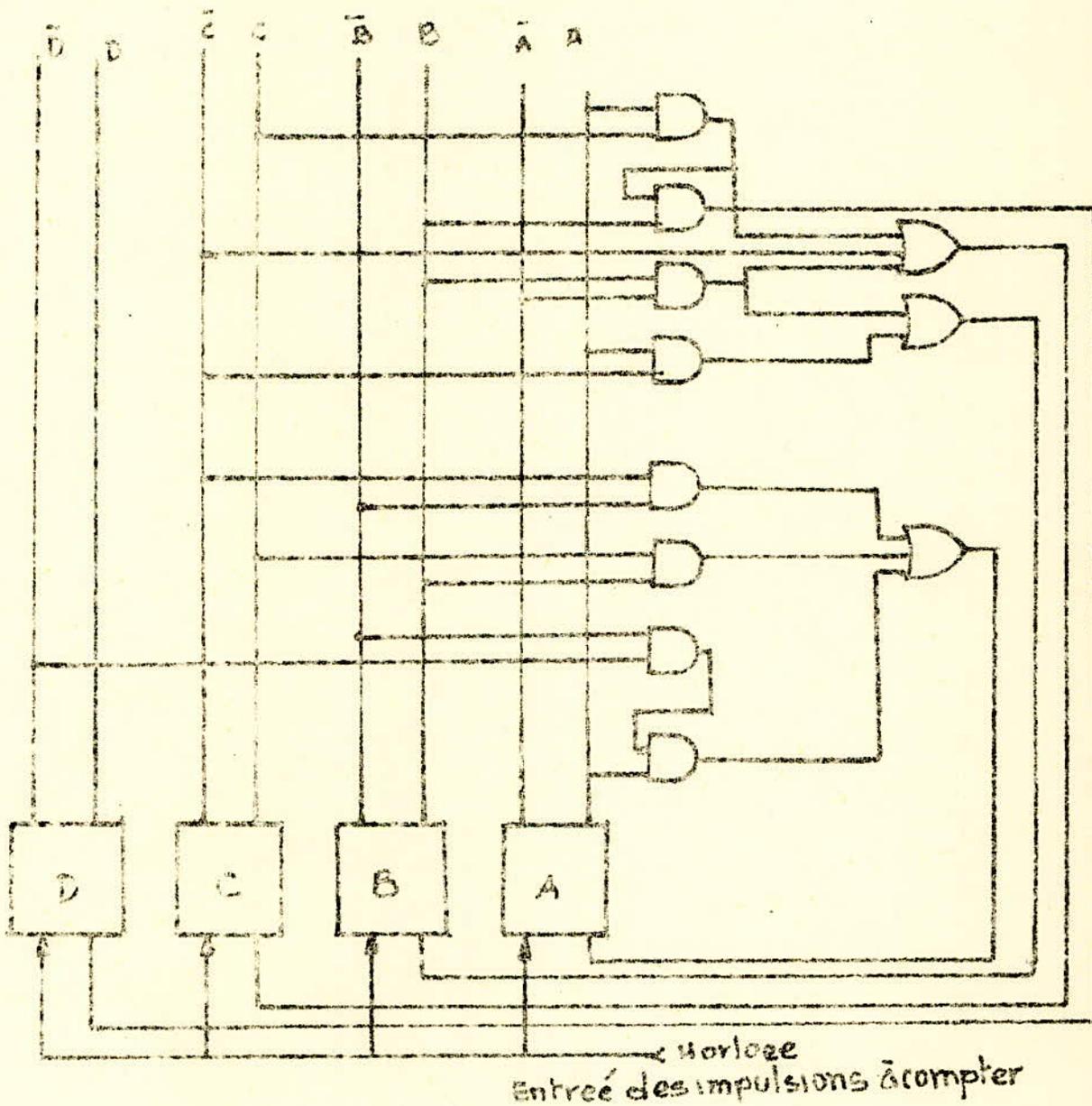
	00	01	11	10
00	0	1	2	3
01	9	6	5	4
11	8	7		
10				

TAB. II.18

4.2.1.1 -Compteur

Ce compteur comptera les impulsions délivrées par un capteur par exemple .

Fig II-21



Schema d'un compteur synchrone à l'aide de bascules "D"

La synthèse du compteur à partir de bascules "D", donnera moins d'éléments .

On aura à compter pour une décade jusqu'à 9, le nombre de bascules est déterminé par $2^n - 1 \geq 9$ ce qui donne $n=4$ bascules. A l'aide des tableaux de vérité des bascules, on détermine quelles sont les valeurs des entrées de chaque bascules qui définissent les états du compteur à chaque impulsion d'avancement

TABLEAU II-20

D	C	B	A	D _D	D _C	D _B	D _A
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	1
0	0	1	1	0	0	1	0
0	0	1	0	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	0	1	0	1
0	1	0	1	1	1	0	1
1	1	0	1	1	1	0	0
1	1	0	0	0	1	0	0
0	1	0	0	0	0	0	0

D.C	B.A			
	00	01	11	10
00	0	0	0	1
01	0	1	1	1
11	1	1	φ	φ
10	φ	φ	φ	φ

D.C	B.A			
	00	01	11	10
00	1	1	0	0
01	0	1	1	1
11	0	0	φ	φ
10	φ	φ	φ	φ

D_A

D.C	B.A			
	00	01	11	10
00	0	1	1	1
01	0	0	0	1
11	0	0	φ	φ
10	φ	φ	φ	φ

D_B

D.C	B.A			
	00	01	11	10
00	0	0	0	0
01	0	1	0	0
11	0	1	φ	φ
10	φ	φ	φ	φ

D_C

on obtient les équations suivantes:

$$D_A = CB + \bar{B}\bar{C} + \bar{B}DA$$

$$D_B = \bar{B}\bar{A} + \bar{A}\bar{C}$$

$$D_C = D + AC + \bar{B}\bar{A}$$

$$D_D = \bar{B}AC$$

Ce qui donne le schéma fonctionnel de la figure

4.2.1.2 -Registre (mémoire temporaire).

Un registre est un ensemble de cellules de mémoires élé-

mentaires , dans lequel un groupe d'informations binaires est conservées provisoirement en attendant son emploi ou son traitement .

Les registres utilisés pour ce cas , se composent de bascules bistables(ou triggers). En plus d'une remise à zero, ils sont précédés de portes "ET" pour la permission de lecture et d'écriture dictées par l'automate à microprogramme . Comme nous allons le montrer, ces portes découlent des équations de transfert:

On se propose de transférer sur commande de l'automate , le contenu d'un dispositif A(Compteur, décodeur ...) dans le registre B(à base de bascules R,S par exemple)le registre B a été préalablement remis à zero par une impulsion sur l'entree R des bascules.

La table de verité de l'operation de transfert est donnée par un tableau à 2 lignes , représentant les 2 combinaisons A_{it} .figure

P	A_{it}	B_{it}	A_{it+1}	R_i	S_i
1	0	0	0	0	1
1	1	0	1	0	1

Tab II-22

P = signal de permission de transfert

i = indice qui représente le i^e bit

t = état initial

t+1 = état après transfert

Résultat/

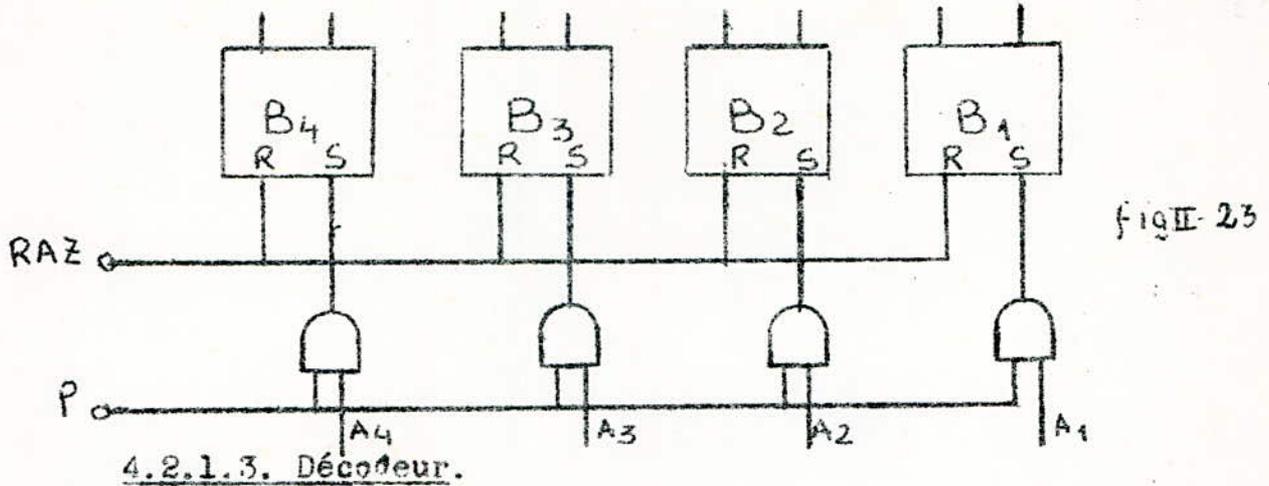
$$R_i = 0$$

$$S_i = A_{it} \cdot \bar{B}_{it} \cdot P$$

Puisque $B_{it} = 0$

$$S_i = A_{it} \cdot P$$

Ce qui donne le schéma suivant :



4.2.1.3. Décodeur.

Le décodeur se présente comme un boîtier utilisant 4 variables à l'entrée et 7 à la sortie, chacune commandant l'éclairage d'un segment de l'élément indicateur. On attribue la valeur "1" au segment allumé ; et la valeur "0" au segment éteint.

Numérotation des segments:

	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	1	1	1	0	1	1	0	1
3	0	0	1	0	1	1	1	1	0	0	1
4	0	1	1	0	0	1	1	0	0	1	1
5	0	1	1	1	1	0	1	1	0	1	1
6	0	1	0	1	0	0	1	1	1	1	1
7	1	1	0	1	1	1	1	0	0	0	0
8	1	1	0	0	1	1	1	1	1	1	1
9	0	1	0	0	1	1	1	0	0	1	1

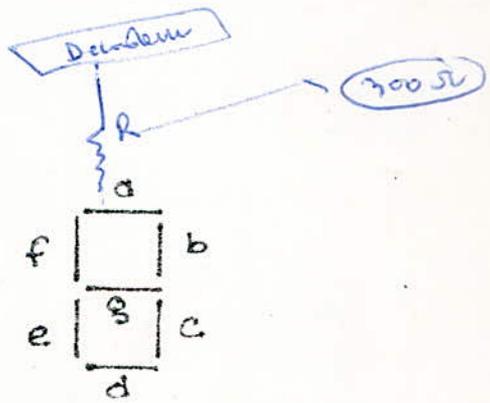


Fig - II - 24

Les autres états ne sont pas réalisés. on a des états indifférents (∅) à la sortie .

Ce qui donne les tableaux suivants:

a		b		c		d	
D	A	D	A	D	A	D	A
00	01 11 10	00	01 11 10	00	01 11 10	00	01 11 10
00	1 0 1 1	00	1 1 1 1	00	1 1 0 1	00	1 0 1 1
01	1 0 1 0	01	1 0 0 1	01	1 1 1 1	01	0 1 0 0
11	1 1 ∅ ∅	11	1 1 ∅ ∅	11	1 1 ∅ ∅	11	1 1 ∅ ∅
10	∅ ∅ ∅ ∅	10	∅ ∅ ∅ ∅	10	∅ ∅ ∅ ∅	10	∅ ∅ ∅ ∅

	B	A	C	
D	00	01	11	10
00	1	0	1	0
01	0	1	0	0
11	1	0	φ	φ
10	φ	φ	φ	φ

	B	A	C	
D	00	01	11	10
00	1	0	0	0
01	1	1	1	1
11	1	0	φ	φ
10	φ	φ	φ	φ

	B	A	C	
D	00	01	11	10
00	0	0	1	1
01	1	1	1	1
11	1	0	φ	φ
10	φ	φ	φ	φ

et finalement on a les équations du decodeur :

$$a = D + \overline{BC} + \overline{A}\overline{B} + AB$$

$$b = \overline{A} + D + \overline{C}$$

$$c = \overline{A} + C + \overline{B}$$

$$d = \overline{BC} + \overline{AC} + \overline{AD} + A\overline{DC}$$

$$e = \overline{ABCD} + \overline{ABC} + ABC\overline{D} + \overline{AD}$$

$$f = \overline{A}\overline{B} + C\overline{D}$$

$$g = B + C\overline{D} + D\overline{A}$$

Le schéma fonctionnel est réalisé à l'aide de circuits "ET" et "OU" à 3 entrées au maximum.

voir fig II-26

4.2.1.4 -Réalisation en circuits intégrés

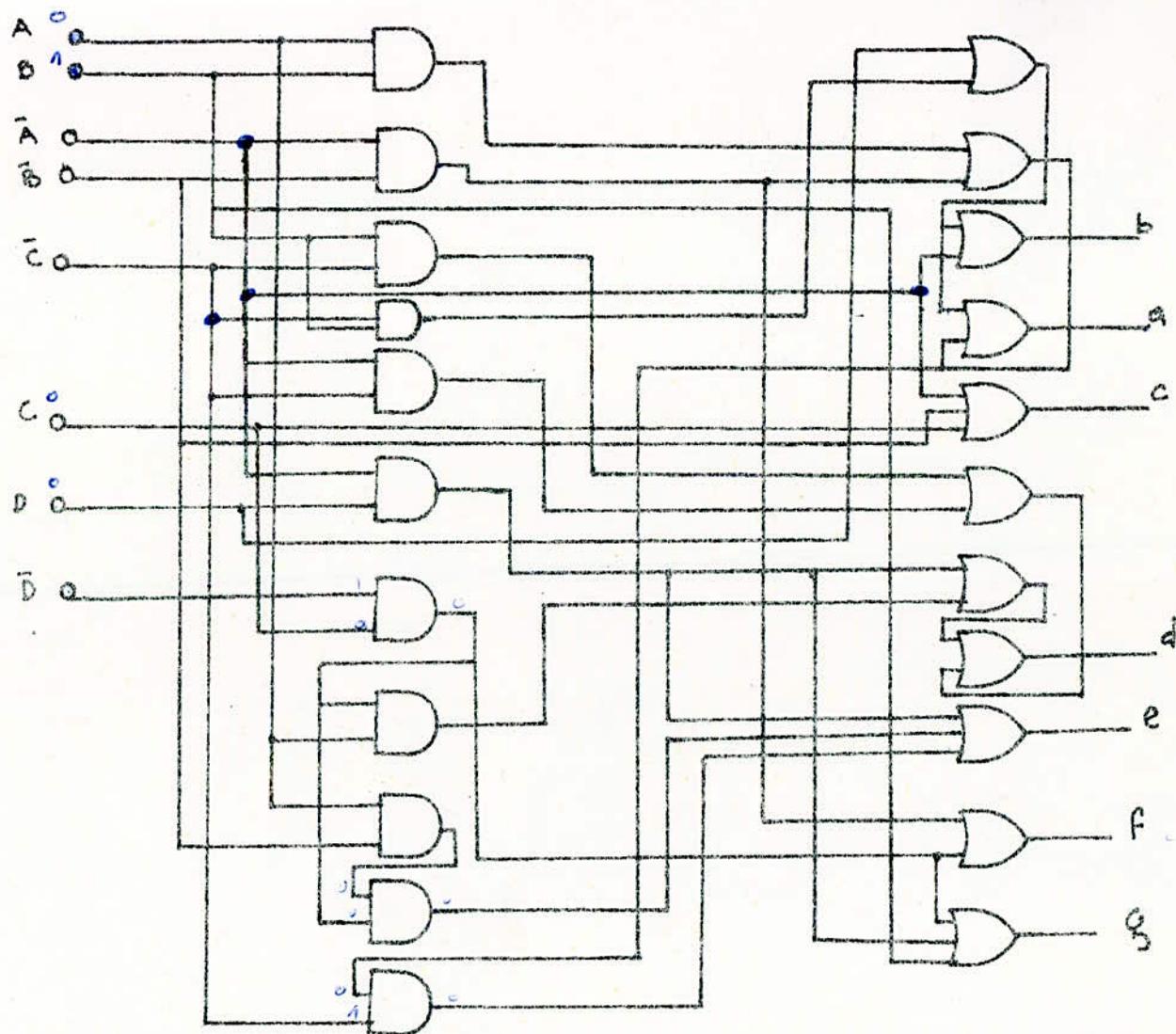
Avant d'aborder l'étude de la réalisation en circuits intégrés pour cette variante de code, on se propose tout d'abord de donner un aperçu général sur les circuits intégrés.

Notions sur les circuits intégrés.

-Classification des circuits logiques

Les circuits logiques se divisent en deux grands groupes:

-Le 1^{er} groupe est celui des fonctions combinatoires réalisant des fonctions statiques. Ces circuits sont composés de portes élémentaires "ET", "OU", "NAND", "NOR", conformément à l'algèbre de Boole.



-45-

SCHEMA FONCTIONNEL DU DECODEUR (FIG. II. 26)
BCD - 7 SEGMENTS

-Le 2^e groupe constitué par des circuits séquentiels, qui ne répondent pas à la définition précédente, c'est à dire qu'ils présentent des fonctions mémoires: les valeurs de sortie dépendent non seulement des entrées mais aussi des états antérieurs pris par le système. l'élément séquentiel de base est la bascule. Par association des bascules on peut avoir des registres, des compteurs, ...etc

-Différentes familles de circuits intégrés

Les 1^{er} circuits intégrés virent le jour en 1959. Ces 1^{er} circuits n'étaient autres que la version intégrée des circuits à composants discrets.

Les modes utilisés à l'époque étaient :

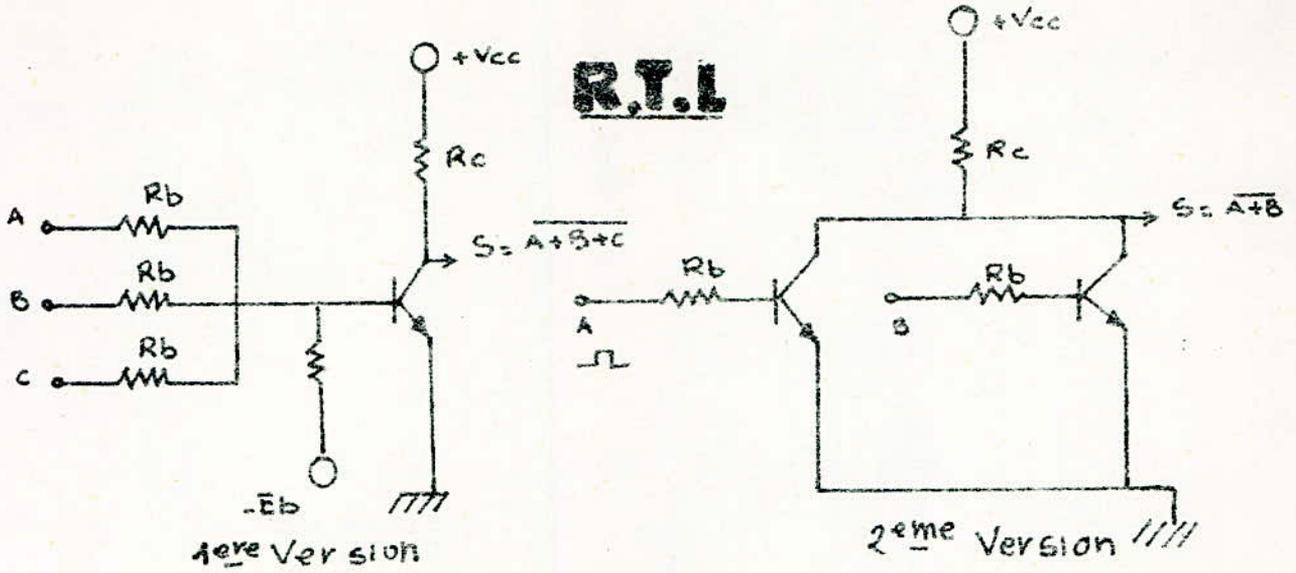
- Le mode RCTL (Resistor Capacitor Transistor Logic)
- Le mode RTL (Résistor transistor logic)
- Le mode DCTL (Direct Coupled Transistor Logic)

Pour les illustrer nous donnons le schéma d'une porte "Nor" en version originale et en version améliorée. voir fig

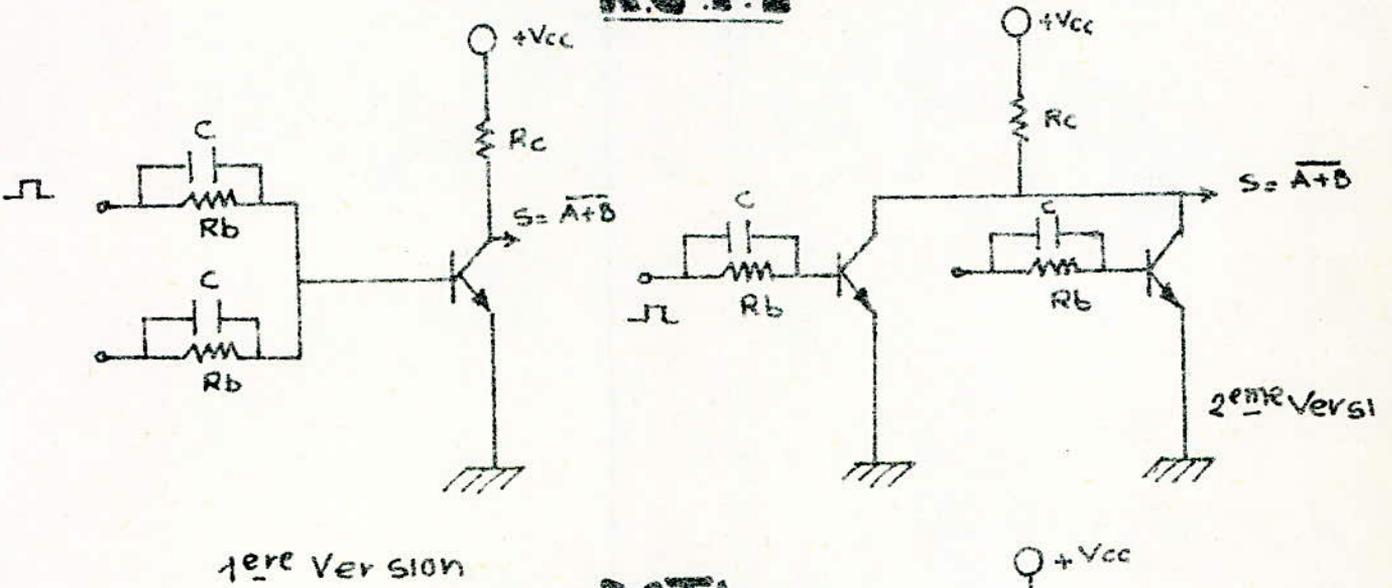
Pour ces circuits on remarque que tous les collecteurs des transistors d'un même montage sont reliés à la sortie, ce qui permet d'utiliser le substrat comme connexion commune de sortie. Dans ces circuits notons que les transistors travaillent en régime saturé. Dans le mode RCTL les résistances de base sont shuntées par un petit condensateur qui favorise l'évacuation des charges, donc favorise la commutation.

L'inconvénient de la 1^{er} version était le degré de saturation du transistor commun. Dans la 2^e version à chaque entrée on utilise un transistor. Dans cette nouvelle version, le courant traversant la charge commune, se divise dans les différents transistors donc la charge accumulée dans la jonction des

R.T.L



R.C.T.L



D.C.T.L

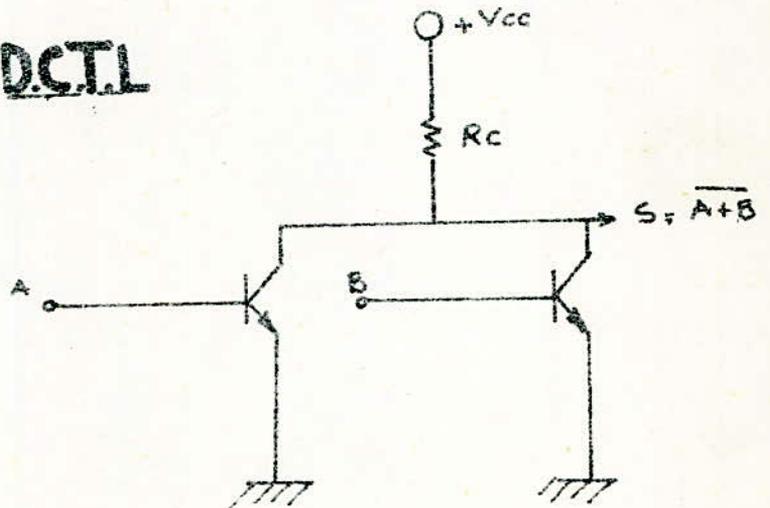


Fig. II-27

transistors est plus petite . Ainsi le temps de commutation est diminué.

Remarque: Ces modes logiques qui furent utilisés pour la fabrication de circuits intégrés, ne sont pratiquement plus fabriqués. Diverses influences ont contribué à orienter la fabrication des circuits intégrés vers des modes logiques qui leur sont propres :

-D'une part les exigences de plus en plus grande des utilisateurs :-vitesse de commutation plus élevée

-consommation réduite

-prix bas

-fiabilité plus grande .

-D'autres part les améliorations technologiques: passage de la technique méso à la technique planar , apparition des techniques d'isolement des composants ,...etc .

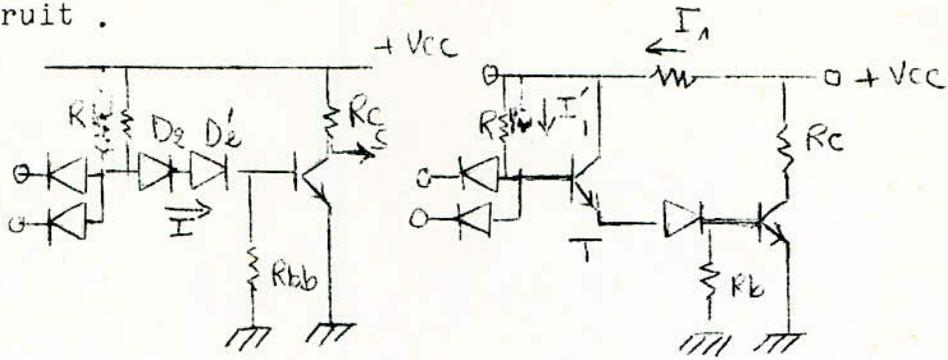
ainsi de proche en proche la fabrication des circuits intégrés s'est-elle acheminée de la copie des circuits à composant discrets vers des modes dérivés DTL, TTL

Mode logique D.T.L.

Ces circuits comportent des diodes et des transistors . La fonction logique est réalisée par les diodes . Le transistor réalise la complémentation .

Le montage DTL de base est obtenue à partir d'une porte inverseuse en circuits à composants discrets, dans laquelle on remplace la résistance R_b Par un ensemble de diodes et le generateur $-U_{bb}$ par une tension nulle. Le rôle des diodes dans ce circuit est d'assurer le blocage du transistor en bloquant le courant I . Ces même diode augmentent l'immunité

au bruit .



variante DTL Commercialisée

FIG - II - 28

Dans cette 2^e variante la diode D_2 a été remplacée par un transistor qui travaille en saturé bloqué. Quand il est saturé, il court circuite la résistance R' . Donc le courant de base augmente. quand il est bloqué le courant de base est diminué, il en résulte une amélioration de la sortance pour une immunité aux bruits équivalente au 1^{er} montage .

Logique TTL.

Cette famille dérive de la précédente. le schéma de base est le suivant:

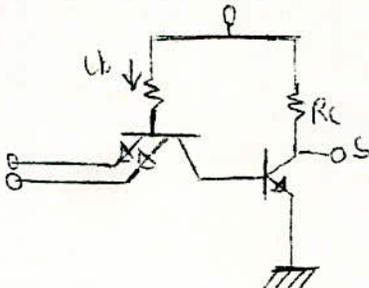


Fig II - 29

La différence fondamentale, reside dans le fait que le montage est à base commune. La logique TTL existante en circuits intégrés, n'est devenu populaire qu'avec

la réalisation des transistors multiémetteurs.

Pour ce montage, quand les entrées sont au niveau la sortie est au niveau bas. Le courant i_b du transistor multiémetteurs permet une commutation rapide. Les circuits commercialisés présentent des circuits d'adaptation.

Exemple de circuit NAND commercialisé.

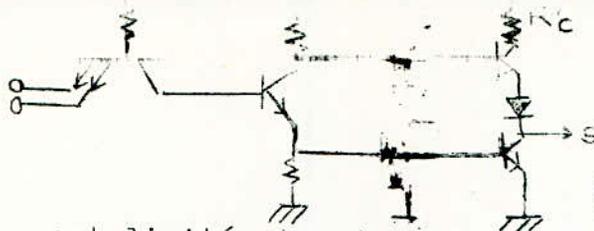


Fig-II-30

R'_{c} est limité et est de l'ordre de 100Ω pour éviter des chutes initiales au niveau haut. Dans certaines portes, il existe des diodes entre la masse et les émetteurs à l'entrée des circuits logiques TTL. Les fronts de montée et de descente des circuits TTL sont extrêmement rapides. La variation du courant $\frac{di}{dt}$ est importante. Avec l'inductance des connections du circuit de liaisons, on risque d'avoir pour $L\frac{di}{dt}$ une surtension élevée. Ce qui risquerait de provoquer la naissance de logiques aléatoires. Le but des diodes est donc d'écrêter les surtensions.

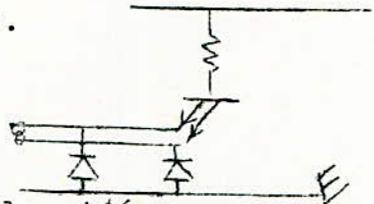


Fig II-31

Pour fixer les idées nous donnons un tableau comparatif entre les différents modes:

famille	Immunité au bruit	Sortance	Durée de propagation	Puissance consommée par élément	Réalisation typique	observations
D.T.L	très bonne	Assez bonne	Assez lente (100ns)	Assez faible	TEXAS SOSI SOSI	meilleure immunité au bruit
T.T.L	Bonne 1V	Bonne 30	Assez rapide	Assez faible	TEXAS SOSI SOSI R.T.C	offre un bon compromis entre ces deux performances

Tableau II-33

Après avoir donné cet aperçu sur les différents modes de circuits intégrés, nous passons maintenant à l'étude de la réalisation propre de la décade en circuits intégrés.

Réalisation à circuits intégrés

Il s'agit de choisir les éléments intégrés convenables pour la réalisation de la décade dans le code continu cyclique.

-/Compteur/

Le compteur nécessite 5 C.I en tout, dont 4 ne contiennent que des opérateurs "ET" et "OU" nécessaire aux interconnexions de ce compteur. Le 5^e C.I contient les 4 bascules "D" désirées. voir figure N° II-40

Choix des circuits intégrés

-PORTES "ET" : Le circuit intégré SFC 409 E contient 4 opérateurs "ET" à 2 entrées par boîtier.

Caracteristiques:

Type de boîtier	TO II6	
Gamme de température ambiante de fonctionnement	0-75°C	
Vcc	Min	4,75 V
	Max	5,25 V
Tension d'entrée max (U _{em})	5,5 V	
Tension de sortie max à l'état bas	0,4 V	
Courant d'alimentation par boîtier à l'état bas	20 mA	
Courant d'alimentation par boîtier à l'état haut	11 mA	
Courant de sortie min à l'état bas	16 mA	

brochage du SFC 409 E

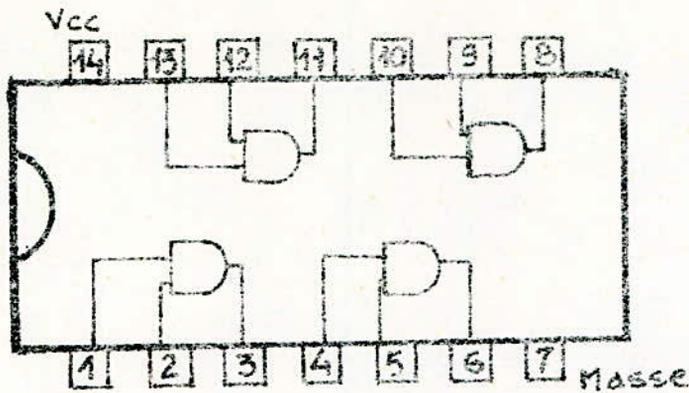


fig. II-34

vue de dessus

Schema électrique - SFC 409 E

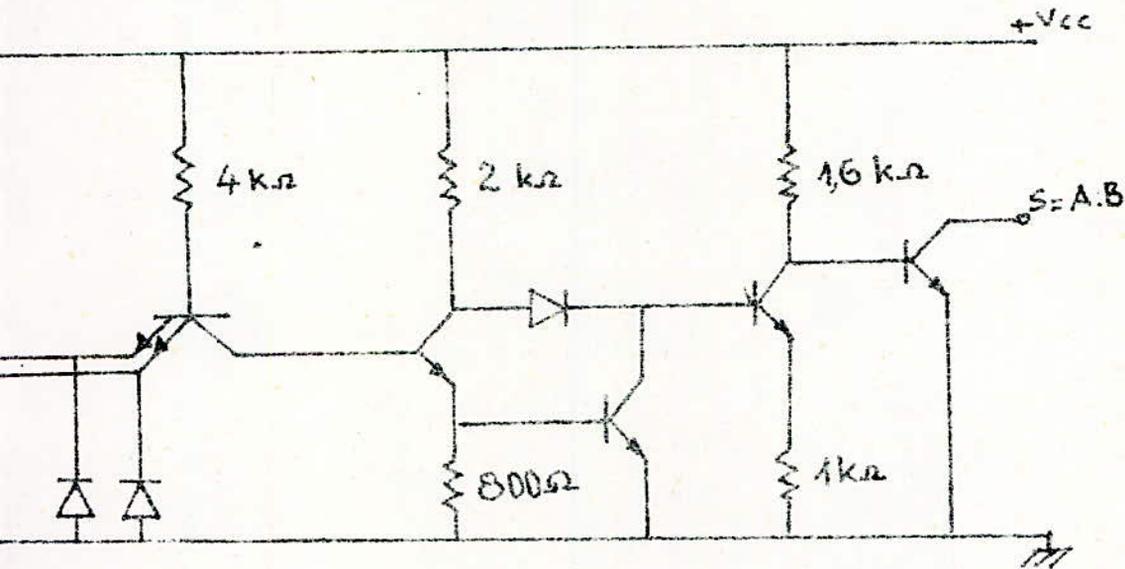


fig II-35

- PORTES "OU"

Le circuit intégré SFC 432 E contient 4 operateurs par boitier ("OU" à 2 entrées) .

caracteristiques:

Type de boîtier	TO II6	
Gamme de température ambiante de fonctionnement	0°C-70°C	
Ucc	Min	4,75 V
	Max	5,25 V
Tension d'entrée max(Uemax)	5,25 V	
Tension de sortie max à l'état bas	0,4 V	
Courant d'alimentation par boîtier à l'état bas	23 mA	
Courant d'alimentation par boîtier à l'état haut	15 mA	
Courant de sortie min à l'état bas	15 mA	

BROCHAGE (VU de dessus):

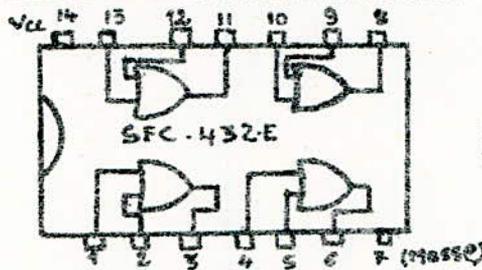


fig II-36

SCHEMA ELECTRIQUE

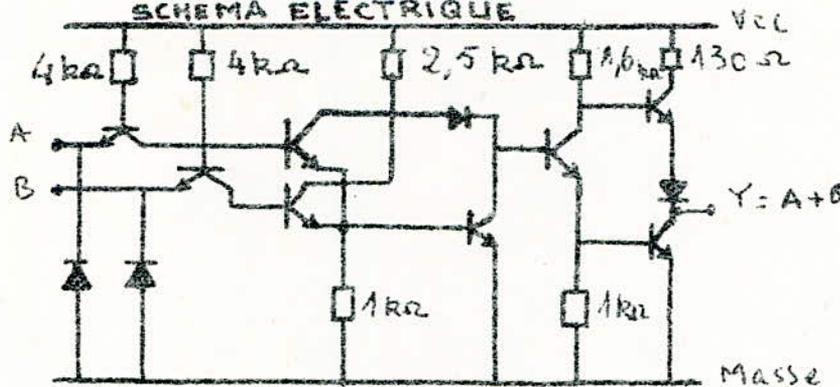


fig II-37

SFC 432E

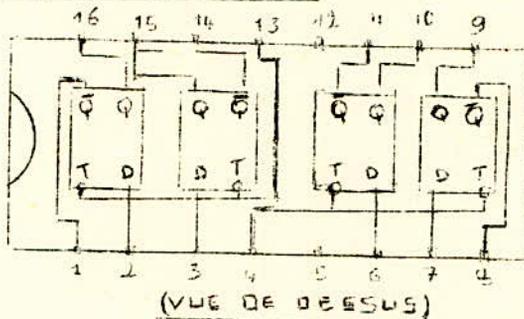
BASCOULES "D"

Le circuit intégré SFC 475 F contient 4 bascules "D" par boîtier .

Caractéristiques:

Type de boîtier	MP II7
Gamme de température ambiante de fonctionnement	0-70°C
Ucc min	4,75 v
Ucc max	5,25 V
Tension d'entrée max	5,5 V
Tension de sortie max	0,4 V
Courant d'alimentation par boîtier	32 mA
Courant min de sortie à l'état bas	16 mA

Brochage du SFC 475 F



D = entrée de la bascule.
T = entrée d'horloge.

fig II-38

Schéma logique d'une bascule "D"

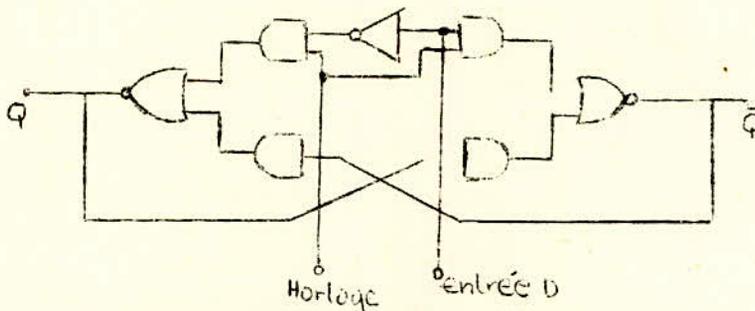


Fig II-39

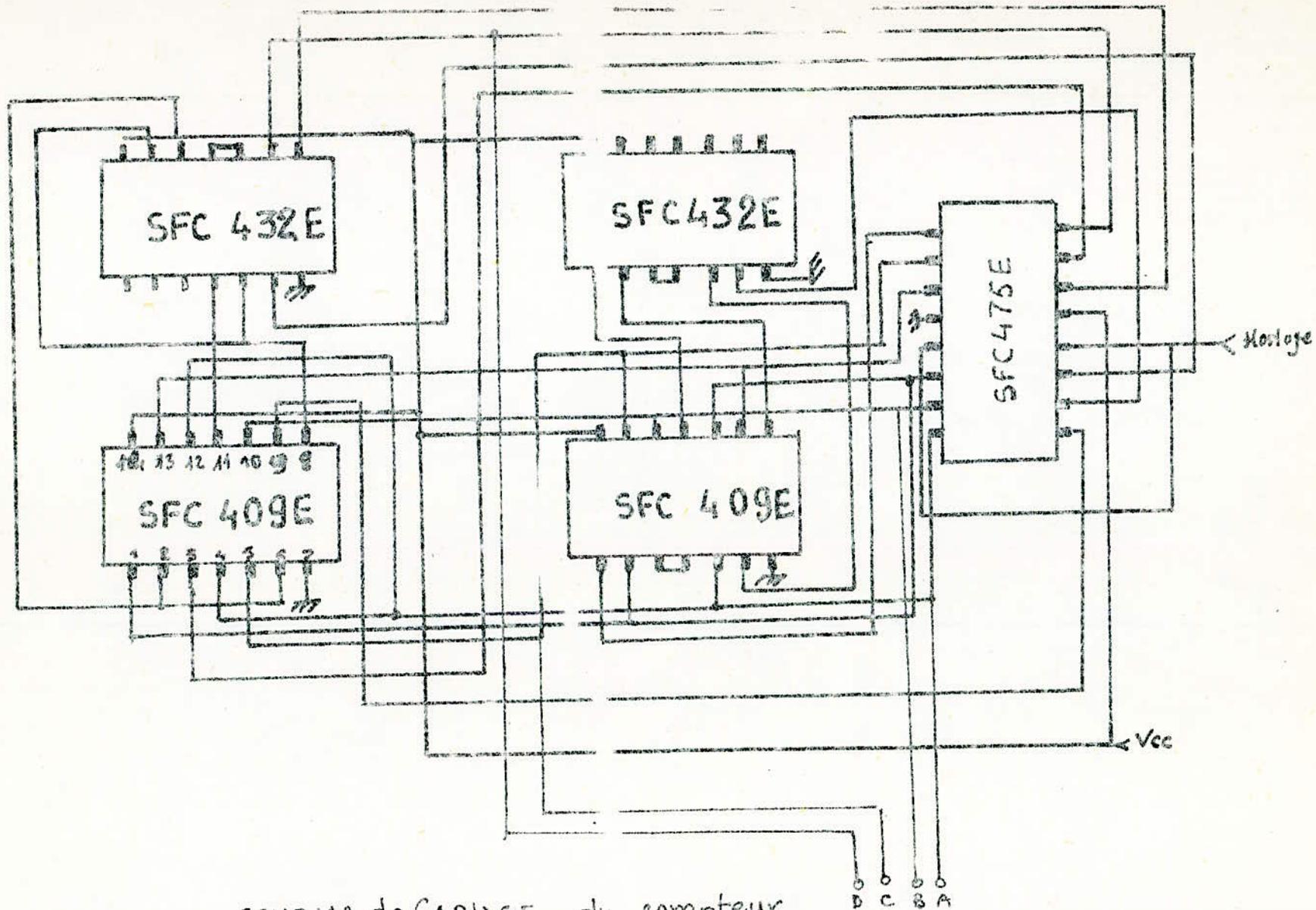
Description générale

La sortie Q suit l'information présente en D, tant que l'horloge est haute. Quand l'horloge passe

t_n	t_{n+1}	
D	Q	\bar{Q}
H	H	L
L	L	H

H = (haut)
L = (bas)

FIGURE II-40



SCHEMA de CÂBLAGE de compteur

au niveau bas, l'information présente au moment de la transition est maintenue jusqu'à ce que l'horloge redevienne haute.

Dans la table de vérité:

t_n = temps antérieur à la transition d'horloge

t_{n+1} = temps postérieur à la transition d'horloge

Le Registre

Le registre peut être réalisé à l'aide de 4 bascules J, K indépendantes. Voyons tout d'abord la table de vérité de cette bascule

J	K	Q_{t+1}
0	0	Q_t
1	0	1
0	1	0
1	1	\bar{Q}_t

Tab. II.41

Le principe de composition d'un tel registre se traduit par le schéma fonctionnel suivant :

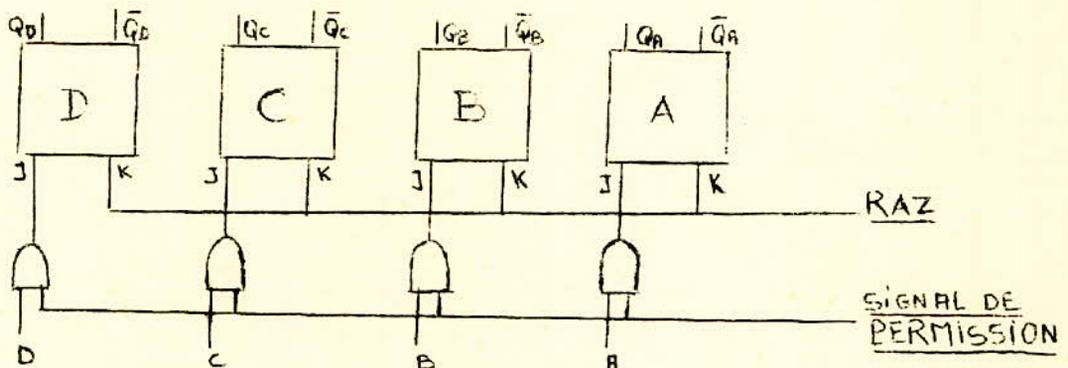


fig II.42.

Les entrées K sont toutes reliées à une même borne de remise à zéro (RAZ) allant vers l'automate à microprogramme, pour une décharge préalable de toute écriture. Le signal d'information traversant les portes "ET" (avec le signal de permission) permet de contrôler ces différentes bascules pour

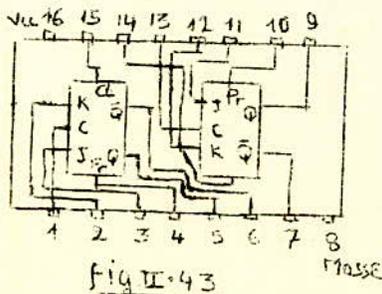
ira sur les entrées J des différentes bascules préalablement remise à zero. L'information passe alors dans le registre compte tenu de la table de verité de ma bascule J,K donnée ci dessus .

Procedant maintenant à la réalisation à l'aide de circuits intégrés. Il existe beaucoup parmi ceux-ci qui comportent 2 bascules J,K par boitier . Il suffit , pour pouvoir réaliser ce registre, d'avoir 3 C.I en tout : soit 2 C.I contenant 2 bascules J,K chacun et 1 autre contenant les 4 portes "ET" à 2 entrées . Pour ce choix , on a pris les mêmes opérateurs que ceux déjà choisis précédemment , à savoir le SFC 409 E dont on a donné les caracteristiques . Quant au choix des bistables J,K , on a pris 2 C.I du type SN 74S 112 de la famille TTL (Texas instrument) contenant 2 éléments J,K par boitier.

Caracteristiques du SN74S 112

Type de boitier	
gamme de temperature ambiante de fonctionnement	0°C à 70°C
Ucc Min	4,75 V
Max	5,25 V
Puissance dissipée moyenne	75 mW

Schéma de brochage :



- J et K = entrées
- Q et \bar{Q} = sorties
- C = entrée d'horloge
- cl = entrée de remise à zero.
- Pr = entrée de remise à un.

fig II-43

SCHEMA LOGIQUE DU SFC4194E

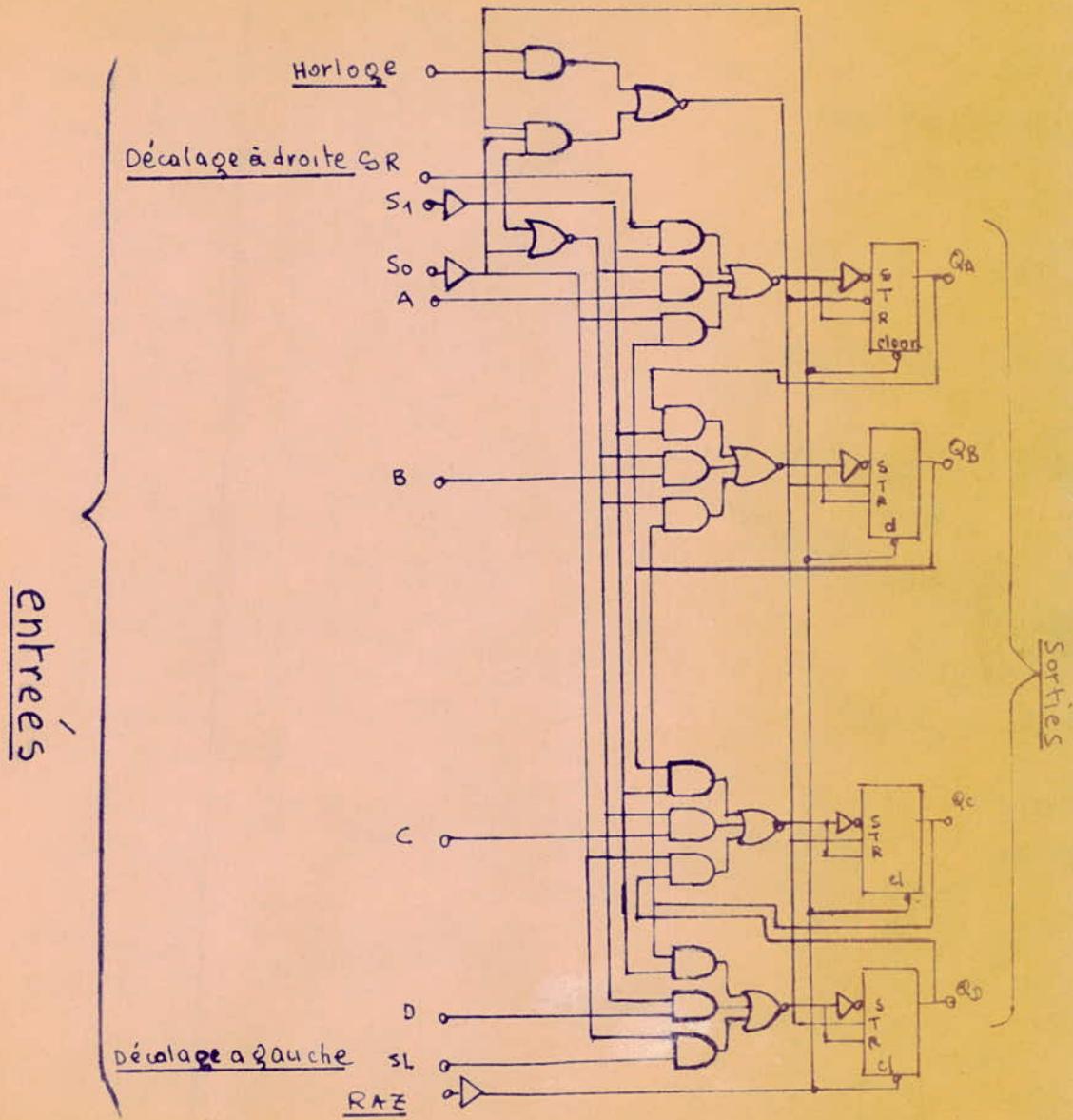


FIGURE II. 47

Pour notre utilisation, les sorties "cl" et "pr" ne sont pas utilisées.

Le schéma logique interne de chaque bascule est donné par la figure suivante:

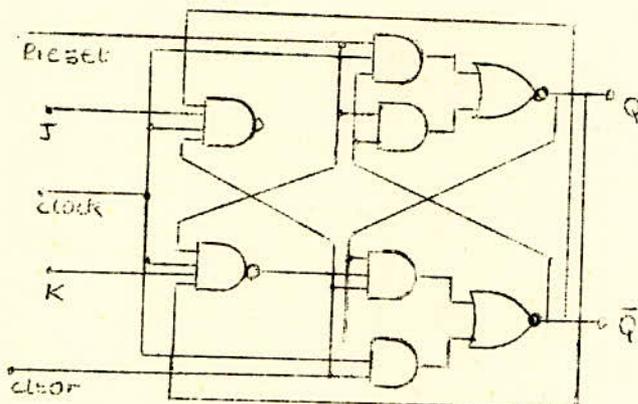


FIG. II-45

- le déclenchement de ces bascules se fait sur le front négatif de l'horloge.
- L'action de "préset" et "clear" est indépendante de l'impulsion d'horloge assurant ainsi un chargement parfaitement asynchrone comme le

montre cette expression : $Q = \bar{Q} \cdot Pr(C + \bar{C} + J + \bar{Q} + \bar{C} \bar{1})$
 $\implies Q = \bar{Q} + Pr$

Autre registre:

Il existe des registres mémoires déjà fait par les constructeurs. Ils se présentent en un seul boîtier.

Choix :

Nous choisissons le registre universel SFC 4194 E qui assure l'opération de mémoire désirée

Caracteristiques :

Type de boîtier	MP 117
Gamme de température ambiante de fonctionnement	0-70°C
Ucc _{min}	4,75 V
Ucc _{max}	5,25 V
Tension de sortie max à l'état bas	0,4 V
Courant d'alimentation	46 mA

-Il present 4 modes de fonctionnement :

+Chargement parrallele.

+Décalage à droite

+Décalage à gauche

+Inhibition

-Il a une remise à zero prioritaire

-Il fonctionne à une frequence d'horloge ≤ 35 MHz

Table de fonctionnement (_controle de mode)

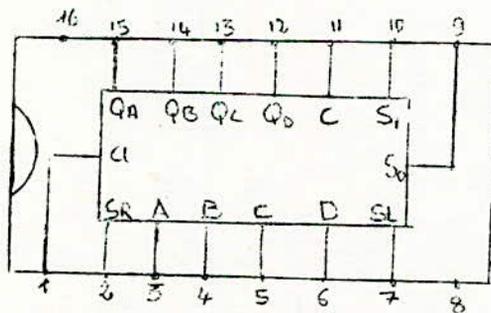
S_0	S_1	Mode
L	L	inhibition de l'horloge.
L	H	décalage à droite
H	L	décalage à gauche
H	H	chargement parrallele.

L = Low (bas)

H = High (haut)

Tab-II-46

Ce tableau de fonctionnement ,montre que pour lechargement parrallele, les entrées S_0 et S_1 doivent être au niveau haut



BROCHAGE DU SFC 4194 E
(vue de dessus)

Cl = Clear (RAZ)

SR = Serial right (Serie droite)

SL = Serial left (Serie gauche)

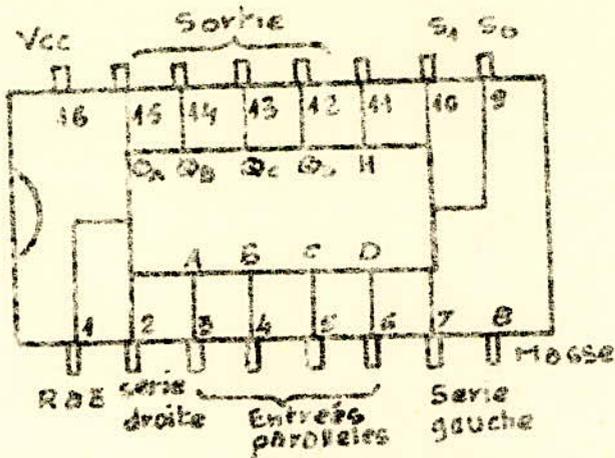
C = clock (horloge)

S_0, S_1 \rightarrow combinaison définissant le mode

Le fonctionnement du registre SFC 4194 E est illustrex

dans le chronogramme de fonctionnement donné par le constructeur.

BOUCHAGE - 62-bis

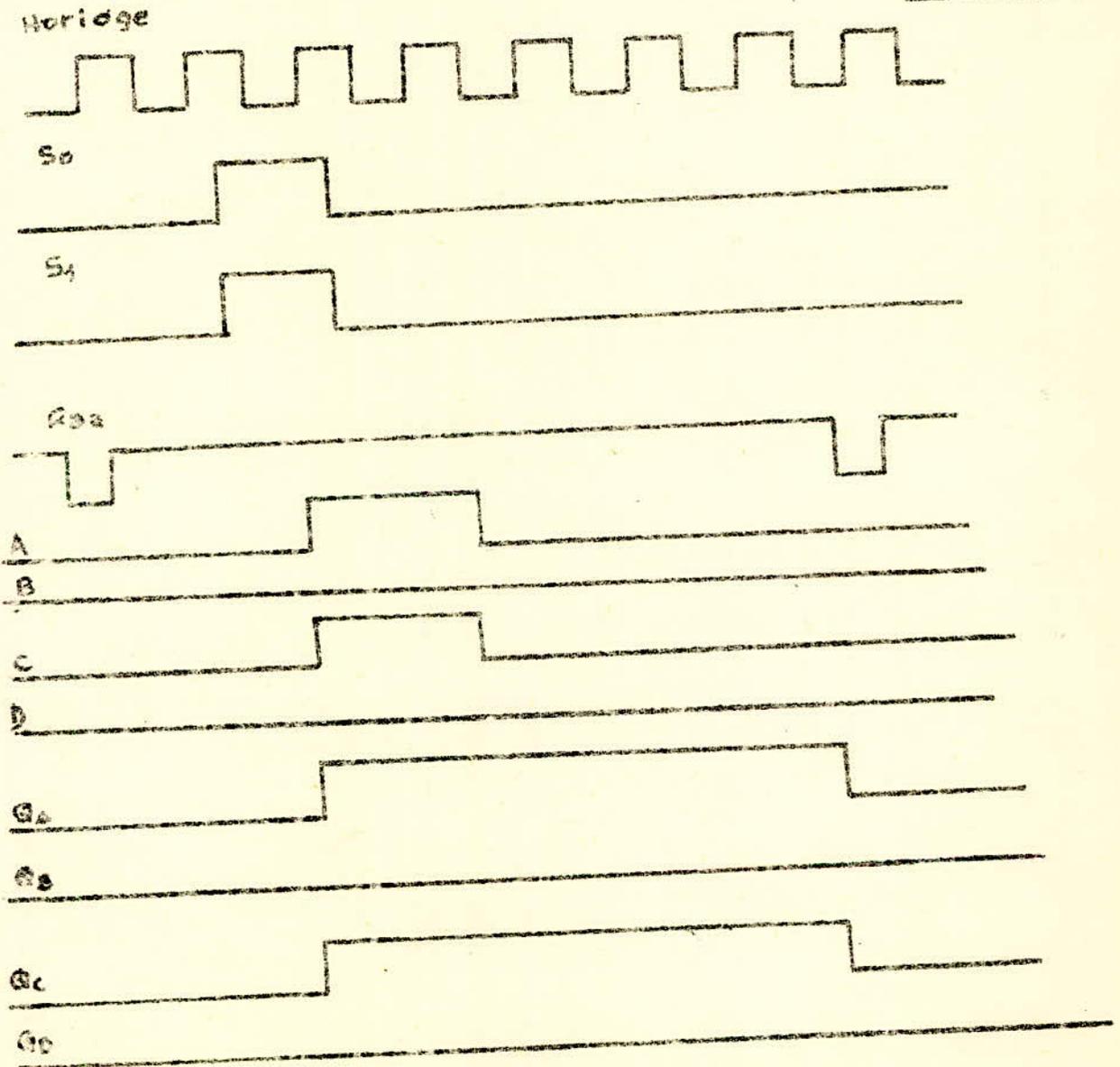


H = Horloge

FIG. II-47 bis

CHRONOGRAMME

FIG. II-46 bis



Schema de Cablage d'un registre à l'aide de circuits integrés

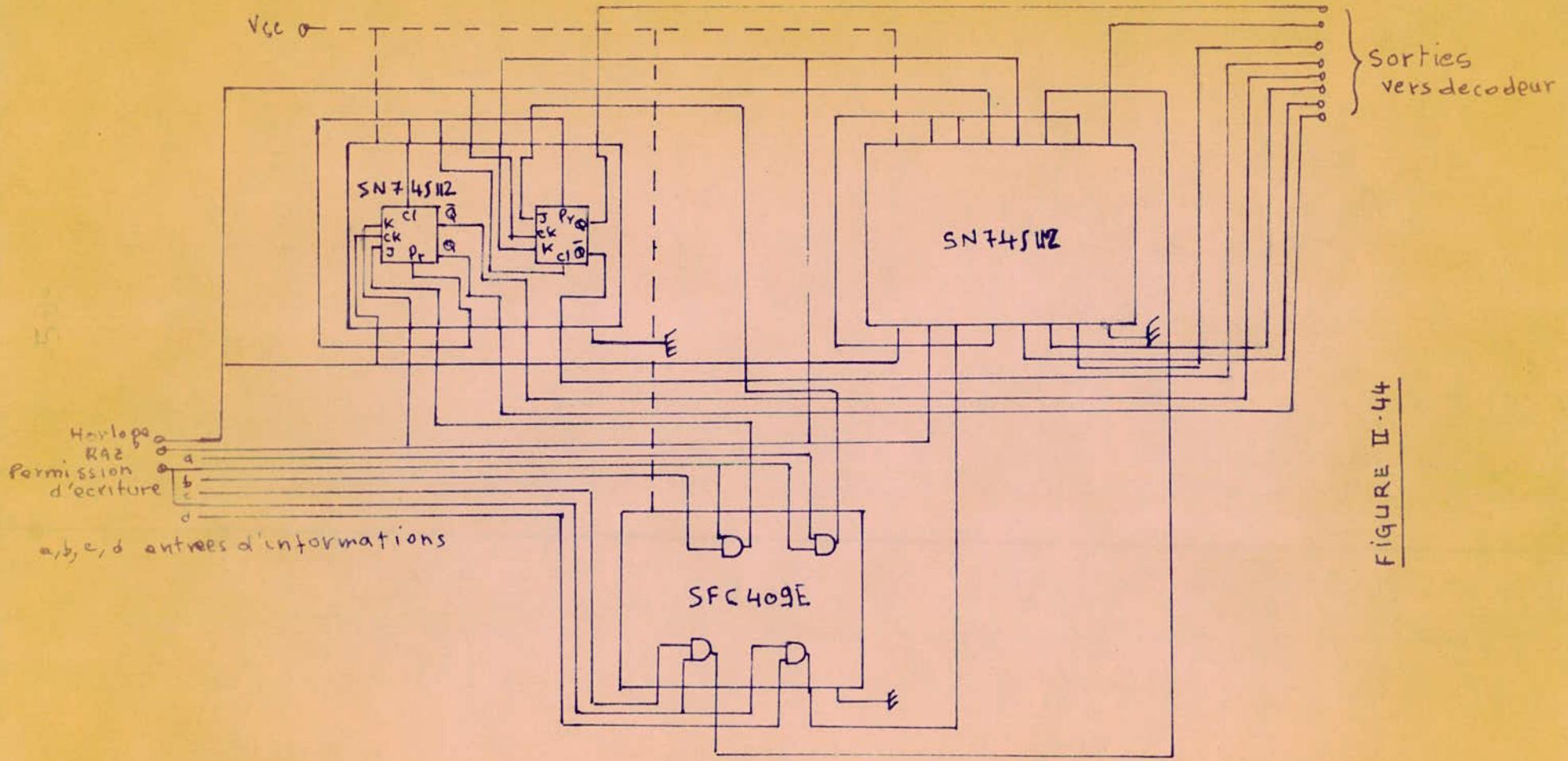


FIGURE II-44

D'après le chronogramme de fonctionnement, l'activité de l'horloge est sans effet (inhibition) quand $S_0 = S_1 = "0"$.

Si $S_0 = S_1 = "1"$, l'information présente à l'entrée du registre (A, B, C, D) est retenue en mémoire et disponible à la sortie (Q_A, Q_B, Q_C, Q_D). Ces 2 seules possibilités intéressent le fonctionnement de notre cas (Chargement parallèle). Ce registre est encore plus avantageux, dans la mesure où il assure les fonctions désirées dans le système d'indication sans intervention des portes "ET" à l'entrée. En effet le signal de mise en marche $X_2(A_3)$ assure l'opération $S_0 = S_1 = "1"$, quand celui-ci revient à zéro. On a le phénomène d'inhibition qui permet de garder l'information en mémoire jusqu'à l'arrivée de RAZ.

Cependant ce registre présente un petit inconvénient: il ne donne pas les valeurs inverses des sorties ($\bar{Q}_A, \bar{Q}_B, \bar{Q}_C, \bar{Q}_D$) qui sont nécessaires pour attaquer l'entrée du bloc suivant (décodeur). Pour générer ces variables inverses, nous prendrons 4 inverseurs.

Choix des inverseurs:

Le circuit intégré SFC 404 E contient 6 inverseurs par boîtier. Nous utilisons 4 de ces opérateurs et les 2 autres serviront d'éléments de réserve en cas de besoin.

Brochage des inverseurs

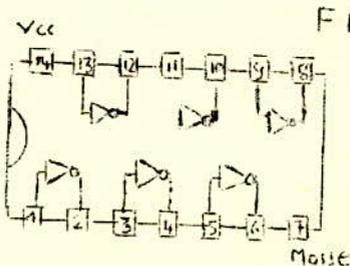
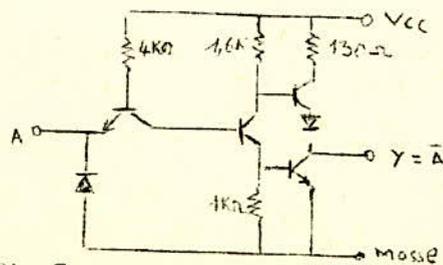


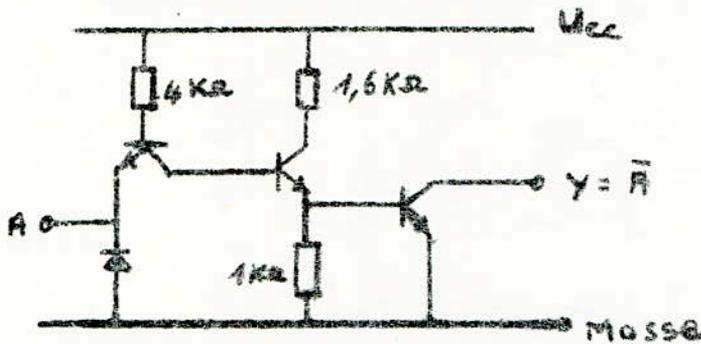
FIG II-48

SCHEMA ELECTRIQUE



SFC 404 E

Schéma électrique



Caracteristiques

Type de boîtier	TO 118
Gamme de température de fonctionnement	0°C-70°C
U_{cc} Min	4,75 V
U_{cc} Max	5,25 V
Tension d'entrée Max	5,5 V
Tension max garantie en sortie à l'état bas	0,4 V
Courant d'alimentation par boîtier, sortie à l'état bas	18 mA
Courant d'alimentation par boîtier, sortie à l'état haut	6 mA
Courant de sortie min à l'état bas	16 mA

Décodeur

La réalisation du décodeur (B.C.D → 7 segments) nécessite 7 circuits intégrés ("OU" et "ET") contenant chacun 4 opérateurs à 2 entrées

Choix des éléments:

Portes "ET" → SFC 409 E

Portes "OU" → SFC 432 E

leurs caractéristiques ont été données précédemment.

4.2.2 Variante avec code BCD binaire

On prend pour ce code les 10 premières combinaisons de 4 variables. Chaque combinaison binaire possède son équivalent décimal (respect des poids des bits).

4.2.2.1 Compteur

Le compteur n'entre pas dans la constitution propre de la décade, mais fait partie du cadre du système de contrôle en général.

Pour la synthèse du compteur nous procédons comme suit : nous voulons compter jusqu'à 9 ; le nombre de bascules n est donné par l'inégalité : $2^n - 1 \geq 9$

Sans entrer dans la constitution propre de la décade, le compteur est le fournisseur de l'information à cette décade, à partir d'où l'on obtient le comptage jusqu'à 9.

Partant du tableau de vérité de la bascule J,K, on détermine quelles sont les valeurs des entrées de chaque bascule définissant les états du compteur à chaque impulsion d'avancement. Voir alors

J	K	L_n	L_{n+1}
0	0	0	0
1	0	0	1
0	0	1	1
0	1	1	0

TABEAU DE VÉRITÉ DE LA BASCULE J, K.

le tableau de la figure II-50 à partir duquel, nous déduisons les équations du câblage de ce compteur.

Câblage du compteur :

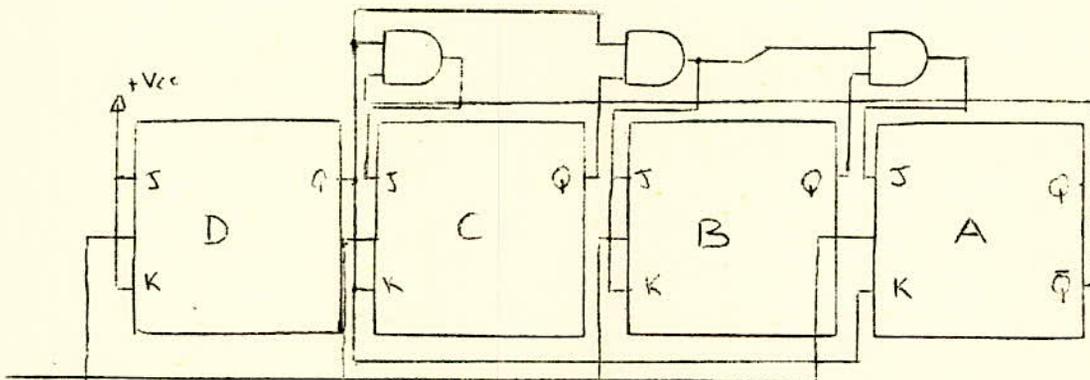


FIG II 49

	D	C	B	A	J_D	K_D	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	0	ϕ	0	ϕ	0	ϕ	1	ϕ
1	0	0	0	1	0	ϕ	0	ϕ	1	ϕ	ϕ	1
2	0	0	1	0	0	ϕ	0	ϕ	ϕ	0	1	ϕ
3	0	0	1	1	0	ϕ	1	ϕ	ϕ	1	ϕ	1
4	0	1	0	0	0	ϕ	ϕ	0	0	ϕ	1	ϕ
5	0	1	0	1	0	ϕ	ϕ	0	1	ϕ	ϕ	1
6	0	1	1	0	0	ϕ	ϕ	0	ϕ	0	1	ϕ
7	0	1	1	1	1	ϕ	ϕ	1	ϕ	1	ϕ	1
8	1	0	0	0	ϕ	0	0	ϕ	0	ϕ	1	ϕ
9	1	0	0	1	ϕ	1	0	ϕ	0	ϕ	ϕ	1

Tab. II 50

Les combinaisons restantes ne sont pas réalisées.

Ce sont des états indifférents (ϕ).

Tableaux de Karnaugh: (Tab. II 51)

$\frac{D}{C}$	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	ϕ	ϕ	ϕ	ϕ
10	ϕ	ϕ	ϕ	ϕ

$J_D = CBA$

$\frac{D}{C}$	00	01	11	10
00	ϕ	ϕ	ϕ	ϕ
01	ϕ	ϕ	ϕ	ϕ
11	ϕ	ϕ	ϕ	ϕ
10	0	1	ϕ	ϕ

$K_D = A$

$\frac{D}{C}$	00	01	11	10
00	0	1	ϕ	ϕ
01	0	1	ϕ	ϕ
11	ϕ	ϕ	ϕ	ϕ
10	0	0	ϕ	ϕ

$J_B = \bar{B}A$

$\frac{D}{C}$	00	01	11	10
00	ϕ	ϕ	1	0
01	ϕ	ϕ	1	0
11	ϕ	ϕ	ϕ	ϕ
10	ϕ	ϕ	ϕ	ϕ

$K_B = A$

$\frac{D}{C}$	00	01	11	10
00	0	0	1	0
01	ϕ	ϕ	ϕ	ϕ
11	ϕ	ϕ	ϕ	ϕ
10	0	0	ϕ	ϕ

$J_C = AB$

$\frac{D}{C}$	00	01	11	10
00	ϕ	ϕ	ϕ	ϕ
01	0	0	1	0
11	ϕ	ϕ	ϕ	ϕ
10	ϕ	ϕ	ϕ	ϕ

$K_C = AB$

$\frac{D}{C}$	00	01	11	10
00	1	ϕ	ϕ	1
01	1	ϕ	ϕ	1
11	ϕ	ϕ	ϕ	ϕ
10	1	ϕ	ϕ	ϕ

$J_A = 1$

$\frac{D}{C}$	00	01	11	10
00	ϕ	1	1	ϕ
01	ϕ	1	1	ϕ
11	ϕ	ϕ	ϕ	ϕ
10	ϕ	1	ϕ	ϕ

$K_A = 1$

4.2.2.2. Registre .

Nous utiliserons le même registre que celui étudié dans la première variante de code .On a également le choix entre:

-Un registre universel dont on utilisera les fonctions élémentaires suivantes:

-Chargement

-Inhibition(ou conservation de données)

-R A Z .

-Un registre fait à base de bascules J,K (ou R,S) et des portes "ET" avec interconnexions extérieures.

Le registre universel est plus intéressant car il diminue le nombre d'éléments.

4.2.2.3 Décodeur.

De la même façon que pour la première variante de code, nous faisons correspondre à chaque entrée B.C.D , son équivalent décimal synthétisé à base de 7 segments.

Table de vérité du décodeur

	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	0	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	0	0	1	1

Tab. II. 52

B \ A	00	01	11	10
00	1	0	1	1
01	0	1	1	0
11	∅	∅	∅	∅
10	1	1	∅	∅

B \ A	00	01	11	10
00	1	1	1	1
01	1	0	1	0
11	∅	∅	∅	∅
10	1	1	∅	∅

B \ A	00	01	11	10
00	1	1	1	0
01	1	1	1	1
11	∅	∅	∅	∅
10	1	1	∅	∅

B \ A	00	01	11	10
00	1	0	1	1
01	0	1	0	1
11	∅	∅	∅	∅
10	1	0	∅	∅

B \ A	00	01	11	10
00	1	0	0	1
01	0	0	0	1
11	∅	∅	∅	∅
10	1	0	∅	∅

B \ A	00	01	11	10
00	1	0	0	0
01	1	1	0	1
11	∅	∅	∅	∅
10	1	1	∅	∅

B \ A	00	01	11	10
00	0	0	1	1
01	1	1	0	1
11	∅	∅	∅	∅
10	1	1	∅	∅

TAB. II-53

EQUATIONS:

$$a = \bar{A}\bar{C} + B\bar{C} + AC + D$$

$$b = \bar{A}\bar{B} + AB + \bar{C}$$

$$c = \bar{B} + A + C$$

$$d = \bar{A}\bar{C} + B\bar{C} + \bar{B}A + A\bar{B}C$$

$$e = \bar{A}B + \bar{A}\bar{E}$$

$$f = D + \bar{A}\bar{B} + C\bar{B} + \bar{A}C$$

$$g = D + \bar{B}C + \bar{A}B + \bar{B}\bar{C} \quad \text{Pour câblage voir figure n°}$$

Remarque:

On a préféré utiliser ici des compteurs synchrones pour plusieurs raisons: parmi lesquelles:

-Vitesse de comptage supérieure pour les compteurs synchrones par rapport aux compteurs asynchrones .

-Les impulsions à compter se présentent simultanément sur les entrées de toutes les bascules . Celles qui doivent basculer le font simultanément . Donc le temps de réponse est le temps propre des bascules, par contre dans le compteur asynchrone , les bascules changent d'états les uns après les autres. Pour avoir le temps de réponse, on ajoute le temps de propagation des bascules.

- Le risque d'erreur, car les compteurs asynchrones passent par des états indésirés, le prélèvement des informations doit se faire après changement d'état de toutes les bascules.

4.2.2.4. Réalisation en circuits intégrés

A partir de l'étude générale des C.I faite précédemment, nous avons constaté que les circuits T.T.L. présentent un meilleur compromis entre les différentes formes. Nous utiliserons les circuits T.T.L. Avec ce code (BCD binaire naturel) on a l'avantage de trouver les blocs déjà réalisés par les constructeurs.

Compteur

Le compteur peut être réalisé à partir de portes "ET" et de bascules J,K prises séparément dans des C.I du type SN 74S112 dont on a donné les caractéristiques.

Le compteur existe aussi en C.I : SFC 490 E (constructeur Sescosem)

Caractéristiques du SFC 490 E

Type de boîtiers	TO 116	
Gamme de température ambiante de fonctionnement	0°C à 70°C	
Vcc	min	4,75 V
	max	5,50 V
Puissance moyenne dissipée	160 mW	
Temps de propagation	max	100 ns
	typique	60 ns

Le constructeur indique que pour utiliser ce compteur en BCD il faut relier A à B_{Di} extérieurement et envoyer les impulsions à compter sur l'entrée Ai.

Pour positionner à zéro le compteur, les entrées Ro(1) et Ro(2) doivent être au niveau haut tandis qu'une des entrées au moins, R₉(1) ou R₉(2), doit être au niveau bas.

Pour notre cas les entrées R₉(1) et R₉(2) seront au niveau bas.

Séquences de fonctionnement : RAZ et comptage

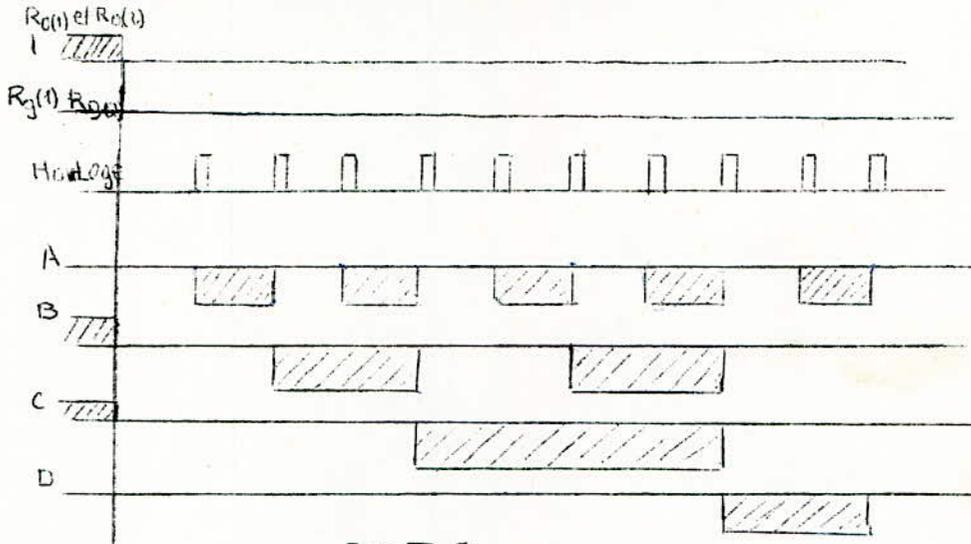


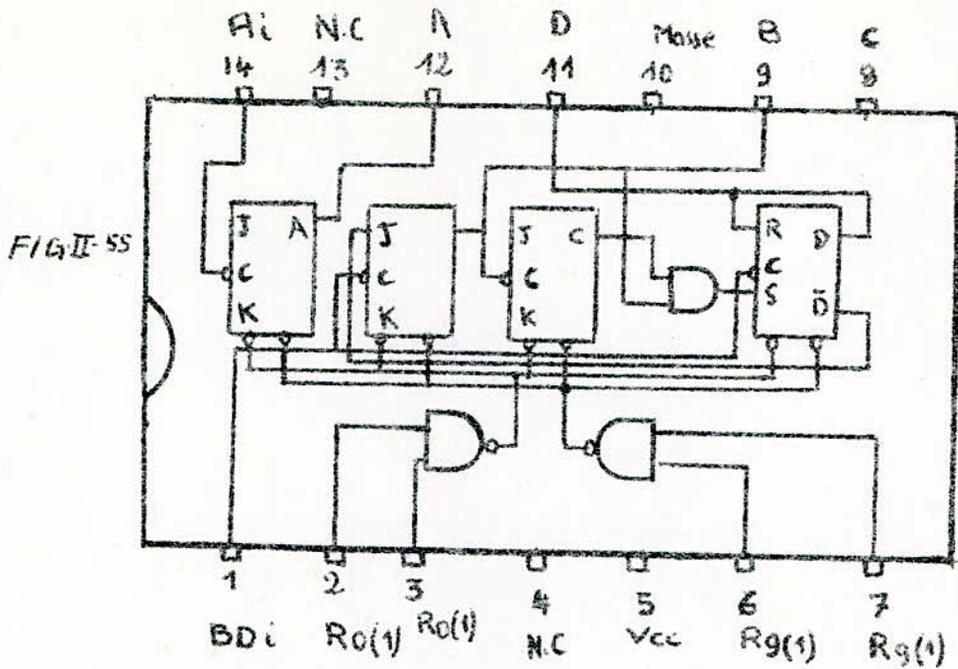
FIG II-54

J, et K

Dans le schéma logique les entrées non reliées sont considérées au niveau haut. Ce qui a donné le chronogramme ci-dessus.

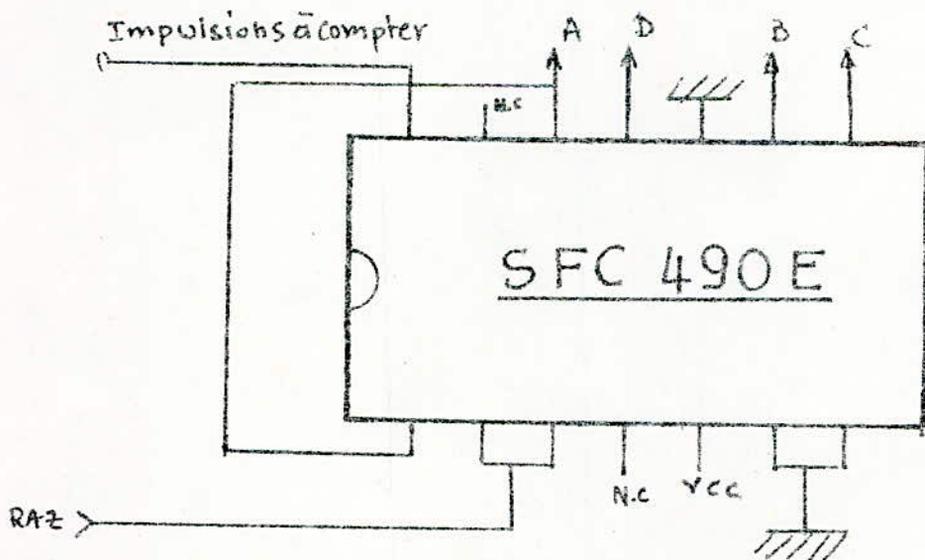
Caractéristiques:

Type de boîtier	TO 116
Gamme de température ambiante de fonctionnement	0°C à 70°C
V _{cc} min	4,75 V
V _{cc} max	5,25 V
Courant d'alimentation par boîtier	32 mA
Tension d'entrée max	5,5 V



A_i et B_{di} = entrées | N.C. : non connectée.
 $A; B; C; D$ = sortie.

Brochage et schéma logique du SFC 490E



Cablage du compteur FIG II 56

Registre

Pour le registre on prendra celui utilisé dans la 1^o variante de code , à savoir le circuit intégré SFC 4194 E (registre universel)

Remarque: Le registre peut également être réalisé à partir d'éléments séparés pris en C.C.I. (bascules J, K et portes "ET") mais il offre moins d'avantage.

Décodeur

Il s'agit à partir de signaux BCD binaires de former des combinaisons à 7 segments donnant les chiffres décimaux.

Signalons qu'à l'aide des dispositifs à 7 segments, les combinaisons susceptibles d'être réalisées ne sont pas uniquement celles donnant les chiffres décimaux. On peut aussi réaliser aussi d'autres symboles qui représentent des combinaisons binaires.

Sur le marché des circuits intégrés , il existe des décodeurs en boîtier qui réalisent cette fonction BCD- 7 segments

Choix: Nous avons choisi le C.I SN 5449 . A partir de combinaisons binaire à l'entrée il fait correspondre des combinaisons de 7 segments aux 10 premiers chiffres décimaux, et d'autres symboles pour le reste conformément au schéma suivant:

0	1	2	3	4	5	6	7	8	9	a	b	c	d	e	f
0000	0001	0010	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111

CHIFFRES UTILISÉS

fig II. 57

Comme nous nous intéressons aux décades et que le code d'entrée ne contient jamais les combinaisons supérieures à 9 (en binaire), nous pouvons donc utiliser ce dispositif.

Caracteristiques:

Type de boîtier		
Gamme de température de fonctionnement	-55°C à 125°C	
Vcc	max	5,5 V
	min	4,5 V
puissance dissipée	165 mW	
tension max d'entrée (niveau bas)	5,5 V	
couant de sortie (niveau bas)	10 mA	

BROCHAGE :

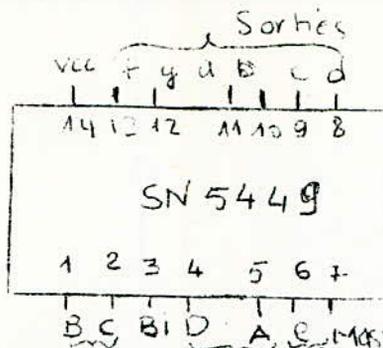


FIG II-58

Le schéma de brochage de ce décodeur est donné par la figure II-58

Quand B_i est au niveau logique "1" (haut) les entrées sont décodées. Quand B_i est au niveau logique "0" les sorties sont à zéro.

Evidemment, les 10 premières combinaisons de la table de vérité de ce décodeur donnée par le constructeur, est identique à notre cas.

Cette façon de choisir un décodeur n'est pas unique. Il peut être synthétisé à partir de portes "ET" et "OU" à 2 entrées par exemple. Il assure la même fonction logique, avec cette manière de réalisation, il nous faudrait 3 C.I du type SFC 409 E contenant les portes "ET" à 2 entrées, et 4 circuits intégrés du type SFC 432 E contenant les portes "OU" à 2 entrées.

4.3 Etude comparative entre les différentes variantes utilisées

Nous procédons à la comparaison des différentes variantes de code présentées pour la décade d'indication (compteur exclu).

a) Code continu cyclique

1° Possibilité

Dans ce code la réalisation de la décade à nécessité en particulier

3 C.I pour le registre d'information

+ 7 C.I pour le décodeur

+ 3 C.I pour le registre d'affichage

soit 13 C.I en tout pour la décade

2° Possibilité

On a indiqué que les registres peuvent être pris chacun dans dans un seul circuit intégré. Le registre d'information est suivi d'un C.I contenant les inverseurs nécessaires.

Ce qui donne : $(1 + 1) + 7 + 1 = 10$ C.I en tout pour la décade.

b) Code BCD binaire naturel.

Pour ce code on avait également 2 possibilités de réalisation .

1° Possibilité.

Elle consiste à prendre chaque bloc logique en un C.I, on obtenait:

2	C.I	pour le registre d'information
1	C.I	pour le décodeur
<u>1</u>	<u>C.I</u>	<u>pour le registre d'affichage</u>
soit	4	C.I en tout pour la décade

2° Possibilité

Elle consiste en une réalisation par des éléments intégrés séparés. Elle donnait:

3	C.I	pour le registre d'information
6	C.I	pour le decodeur
<u>3</u>	<u>C.I</u>	<u>pour le registre d'affichage</u>
soit	12	C.I en tout

De plus si l'on considère à titre prophylactique ,un examen au delà de la decade ,on voit que le compteur est réalisé avec 4 C.I dans le premier code , et 1 seul C.I pour le deuxième code.

A travers tout ceci on voit aussitôt que l'avant dernière réalisation(celle qui comprend 4 C.I) est la plus intéressante, dans la mesure où elle permet :

-de gagner plus de C.I par rapport aux options étudiées, et s'avère par suite très économique.

-de réduire l'encombrement qui dans certains cas ^{qui} peut être très important.

-de réduire les interconnexions extérieures, c'est à dire éviter un câblage fastidieux afin de faciliter une réalisation sur circuit imprimé.

-Une fiabilité toujours conservée, sinon meilleurs qu'avec les montages à éléments séparés.

-une sûreté de fonctionnement maintenue , car au sein des circuits intégrés, les différents basculements nécessaires sont garantie par le constructeur. Néanmoins l'utilisation du code continu aurait été plus préférable car elle minimise les erreurs et augmente le fonctionnement sûr.

Nous adoptons finalement ce code BCD binaire naturel avec lequel on étudiera tout ce qui va suivre , à savoir la décade d'indication des unités de mesure, la décade de signalisation d'avaries du système. Cette même considération de code s'appliquera pour l'étude des décades dans la variante à transistors (et diodes).

5- SCHEMA FONCTIONNEL D'UNE DECADE D'UN INDICATEUR
AU AMPOULES ELECTRIQUES

5.1 Etude de la decade des unités de mesure:

Cette decade sert à visualiser les unités de mesure. Dans cet indicateur, des ampoules électriques sont utilisées dans l'éclairage des unités de mesure nécessaires. Nous utilisons un ensemble de 4 lampes qui éclairent chacune, sur commande de l'automate, un caractère d'unité de mesure choisi.

Le schéma fonctionnel de cette decade est donné sur la figure II-59. Elle se compose d'un registre d'entrée formée par 3 bascules ou une decade avec une bascule non utilisée. Les sorties de cette mémoire forment les entrées du déchiffreur composé par 4 portes "ET" (1 à 4). Les sorties du déchiffreur attaquent des portes "ET" à 3 entrées qui attaquent à leur tour une mémoire d'affichage formée par les triggers (T_4 à T_7) et enfin 4 amplificateurs qui permettent l'éclairage des lampes.

Fonctionnement

L'information donnée par le dispositif central, arrivant sur la ligne d'adresses, se présente à l'entrée des portes "ET" (5, 6, 7) initialement fermées. Sous le signal de permission d'écriture ($A_3 \wedge X_2$), ces portes s'ouvrent et l'information attaque le registre préalablement remis à zéro par le signal $B(A_1)$. Le décodeur transforme l'information qui a été donnée en B.C.D binaire en un code commode pour l'affichage, c'est à dire un

seule sortie au plus doit être au niveau logique "1".
 Ensuite sous le signal de choix de l'indicateur (A_2) et le signal de mise en marche $X_3(A_2)$, l'une des portes "ET" (à 3 entrées) est ouverte et l'information est inscrite dans le registre d'affichage préalablement remis à zéro par le signal $(A_3)X_1$. Il est à remarquer qu'une seule bascule doit fonctionner (sa sortie est au niveau "1"). Le signal de sortie de cette bascule est amplifié à travers l'amplificateur qui allume l'ampoule. Cette dernière fait l'éclairage de l'unité de mesure désirée

Choix du code

On a 4 lampes dans la décade. Pour avoir l'adresse de chaque lampe, on doit donc prendre 3 éléments mémoires pour le registre d'entrée.

Il s'agit de choisir parmi les 8 combinaisons possibles, celles qui serviront d'adresse pour les lampes.

TAB. II.60

C	B	A
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

combinaisons réalisées

combinaisons non réalisées.

Registree:

On prendra un registre à 4 bits dont on n'utilise que 3. Cette possibilité est préférable sur celle qui consiste à synthétiser le registre à partir de 3 bascules indépendantes et des portes "ET".

Décodeur:

Le décodeur travail selon le tableau de vérité suivant:

	C	B	A	L ₁	L ₂	L ₃	L ₄
0	0	0	0	∅	∅	∅	∅
0	0	1	1	1	0	0	0
0	1	0	0	0	1	0	0
0	1	1	1	0	0	1	0
1	0	0	0	0	0	0	1
1	0	1	1	∅	∅	∅	∅
1	1	0	0	∅	∅	∅	∅
1	1	1	1	∅	∅	∅	∅

TAB. II. 61

Tableaux de Karnaugh:

C \ A	00	01	11	10
0	∅	1	0	0
1	0	∅	∅	∅

C \ B	00	01	11	10
0	∅	0	0	1
1	0	∅	∅	∅

C \ A	00	01	11	10
0	∅	0	1	0
1	0	∅	∅	∅

C \ A	00	01	11	10
0	∅	0	0	0
1	1	∅	∅	∅

Equations:

$$L_1 = A\bar{B}$$

$$L_2 = \bar{A}B$$

$$L_3 = AB$$

$$L_4 = C$$

TAB. II. 62

A partir de ces équations nous obtenons le cablage du décodeur (voir figure).

Réalisation en circuits intégrés :

- Les registres (d'entrée et de sortie)

Plusieurs possibilités de choix se présentent ,mais on considère celle qui donne le moins d'éléments possibles

- Pour le registre d'entrée on prend un registre universel à 4 bits du type SFC 4194 E suivi d'un C.I SFC 404 E contenant les inverseurs pour former les variables nécessaires.

- Pour le registre d'affichage(ou d'entrée), on utilise un registre universel qui est suffisant (les inverseurs ne sont pas nécessaires).

Ce qui donne en tout 3 C.I pour les registres.

- Le décodeur:

Pour le décodeur nous prendrons un seul circuit intégré du type SFC 409 E qui comporte 4 operateurs "ET" à 2 entrées .

Remarque : Pour la commande des lampes on a utilisé des amplificateurs à transistors montés en emetteur commun. Quoique ils interviennent dans la constitution de cette decade, on les a traités et classés dans la variante à transistors, (voir P). Disons toutefois qu'il est possible d'utiliser des portes de puissance (Buffers) (nommée encore parfois lampes Drivers) pour commander directement des lampes.

5-2-1 Schéma fonctionnel

Le schéma fonctionnel pour cette décade est donné par la figure n° II-63 elle comporte deux ampoules de signalisation, l'une de couleur jaune s'allumant pour annoncer une approche d'anomalie, l'autre rouge signalant un défaut ou avarie dans le système. Les blocs logiques qui composent cette décade sont du même genre que pour les décades précédentes, à savoir un registre composé par les cellules T_I et T_2 qui reçoit l'information par l'intermédiaire de portes "ET" (1 et 2) ne s'ouvrant qu'en présence du signal information^(a,b) et du signal permission d'écriture donné par l'automate X_3 (A_5). Le registre préalablement remis à zéro par le signal X_I (A_5) délivré par l'automate, garde cette information soit sous forme de OI ou IO qui fait l'alimentation soit de l'une ou de l'autre des 2 lampes par l'intermédiaire de l'amplificateur. Dans ces conditions la lampe reste allumée jusqu'à ce que le signal RAZ délivré par l'automate vient vider le contenu du registre.

Les trois informations possible qui peuvent être fournies au registre signifient :

à b

- O O ----> aucune lampe ne s'allume.
- I O ----> la lampe L_I s'allume (jaune)
- O I ----> la lampe L_2 s'allume (rouge)

Quant à la combinaison II elle est interdite car on ne doit pas avoir les deux lampes s'allumer en même temps.

Le registre utilisé comportera comme précédemment deux bascules JK (représenté sur la figure par T_I et T_2) dans le signal d'horloge n'a pas été figuré. Les amplificateurs servant à fournir la puissance suffisante aux lampes de signalisation, sont constitués chacun par deux transistors de puissance convenable, montés, en émetteur commun et travaillant en régime bloqué-saturé, commandés par le signal de sortie du registre. Ils assurent ainsi l'extinction ou l'allumage des lampes. Ces dernières sont des lampes classiques à incandescences fonctionnant à 6 V-300mA.

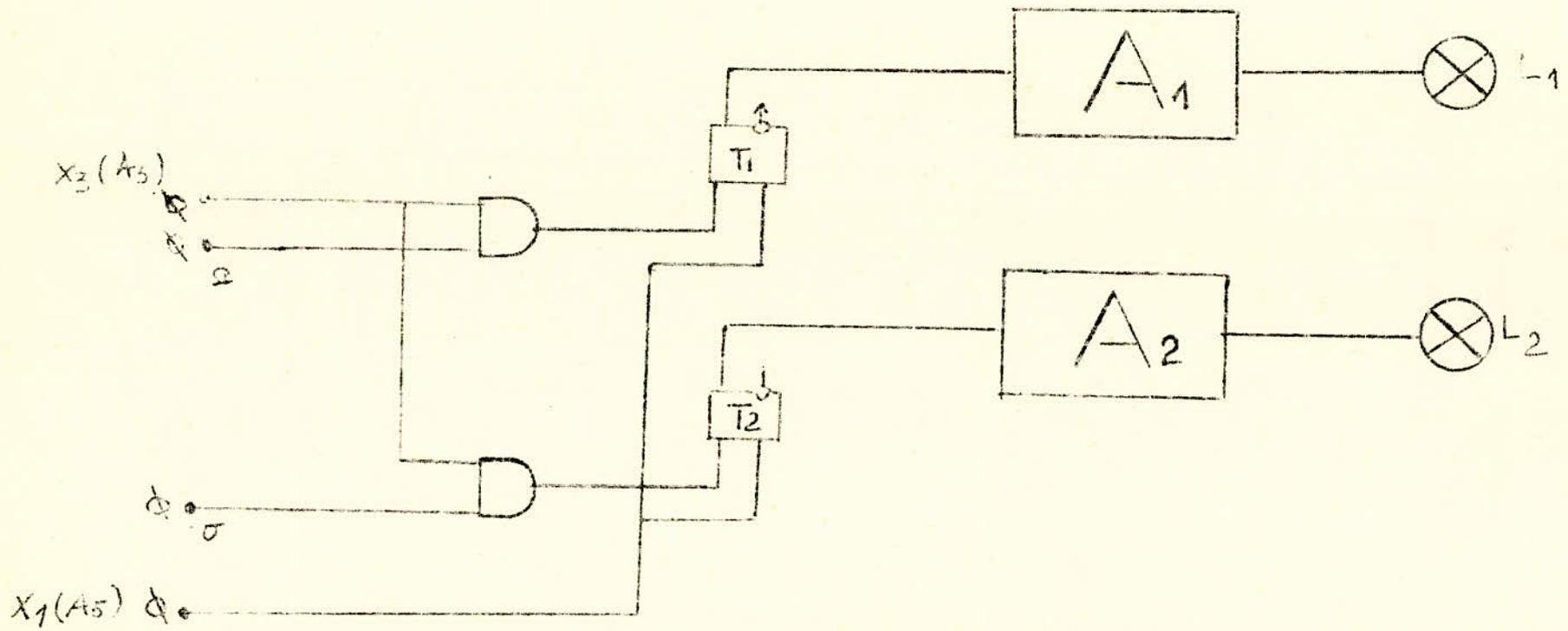


FIG-11-63

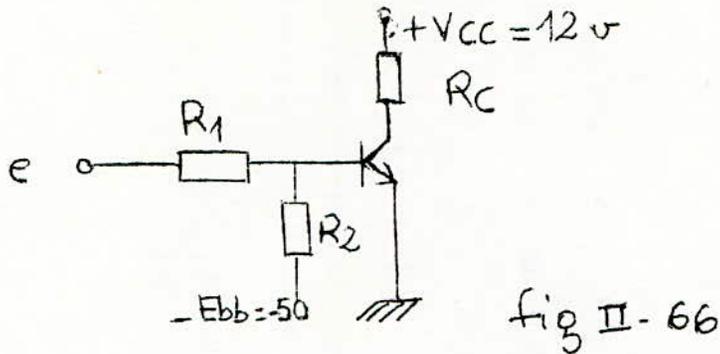
REALISATION A CIRCUITS INTEGRES

Il suffit de choisir un circuit intégré ^{contenant} les deux portes "ET" à 2 entrées. Pour cela on prendra pour des raisons d'uniformité les 2 portes "ET" du SFC 409 E qui contient 4 opérateurs à 2 entrées. Les caractéristiques ont été données précédemment pour l'indicateur numérique (§4-chp II).

- Un circuit intégré ^{les éléments} contenant ~~du~~ registre. Le SN 74 SII2, dont on a donné les caractéristiques (voir §4, Page 58), assure cette fonction car il contient les deux bascules JK désirées.

L'amplificateur est un dispositif destiné à fournir de la puissance. Nous avons préféré pour cette raison ne pas le prendre en circuit intégré, mais de le réaliser à transistor de nature convenable. (Voir chapitre II, § 6)

Schema



A la saturation

$$20 I_{co\ Max} \ll I_{cs} \ll I_{c\ Max}$$

$$200 \mu A < I_{cs} < 500 \text{ mA}$$

La puissance dissipée par $R_C \leq 500 \text{ mW}$

or $P_d(R_C) \ll U_{CC} I_{cs}$

$$I_{cs} = \frac{P_d(R_C)}{U_{CC}} \ll \frac{P_d}{U_{CC}} = \frac{0,500}{12} = 41,7 \text{ mA}$$

on choisit : $\underline{I_{CS} = 20 \text{ mA}}$

$$I_{bs} = \frac{I_{cs}}{\beta} = \frac{20}{100} = \underline{0,2 \text{ mA}}$$

$I_b = N I_{bs}$; $N = (2 \frac{2}{3} \text{ à } 3) = \text{coefficient de saturation.}$

On prend $N = 2 \implies I_b = 2 \cdot 0,2 = \underline{0,4 \text{ mA}}$

R_2 doit être grand devant R_1 afin d'assimiler le courant I_b au courant circulant dans R_1 ; cette condition doit être vérifiée par la suite.

On peut alors écrire

$$U_e = R_1 I_b + U_{be}(\text{sat}) \quad ; \quad U_{be}(\text{sat}) = 0,7 \text{ V pour le silicium}$$

$$\Rightarrow R_1 \Rightarrow \frac{U_e - U_{be}(\text{sat})}{I_b} = \frac{5 - 0,7}{0,4} = 10,7 \text{ k}\Omega \# 11 \text{ k}\Omega$$

on prend $R_1 = 11 \text{ k}\Omega$

Au blocage

Le niveau $U_e = "0"$ peut fluctuer entre 0V et 0,4V

Dans le cas où $U_e = 0V \Rightarrow E_{bb} \gg R_2 I_{cbo}$

$$\Rightarrow R_2 \leq \frac{E_{bb}}{I_{cbo}} = \frac{5 \cdot 10^6}{10} = 500 \text{ K}\Omega$$

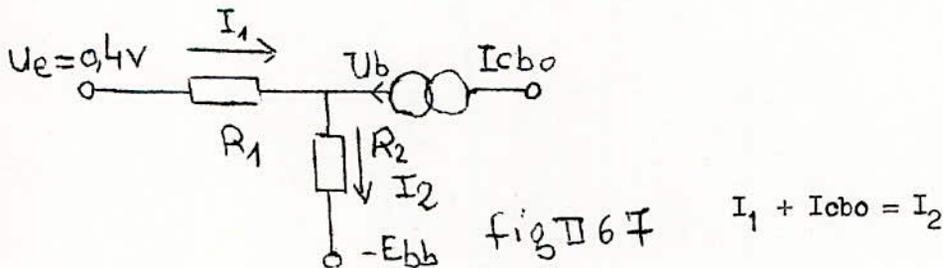
Mais dans le cas limite défavorable "0" $\rightarrow 0,4V$

On doit avoir le pont diviseur formé par R_1 et R_2

qui agit de façon à ce que $U_b \leq 0$

ce qui détermine R_2

En effet / ^{on a} le schéma suivant :



(1) $- U_b + R_2 I_2 - E_{bb} = 0$

(2) $- U_e + R_1 I_1 + R_2 I_2 - E_{bb} = 0$

(1) $\Rightarrow U_b = R_2 I_2 - E_{bb}$

(2) $\Rightarrow - U_e + R_1 (I_2 - I_{cbo}) + R_2 I_2 - E_{bb} = 0$

$$I_2 \approx \frac{U_e + E_{bb} + R_1 I_{cbo}}{R_1 + R_2}$$

$$(1) \implies U_b = \frac{R_2 (U_e + E_{bb} + R_1 I_{cbo})}{R_1 + R_2} - E_{bb}$$

pour avoir le blocage $U_b \leq 0$

$$R_2 (U_e + E_{bb} + R_1 I_{cbo}) \leq (R_1 + R_2) E_{bb}$$

$$R_2 (U_e + R_1 I_{cbo}) \leq R_1 E_{bb}$$

$$R_2 \leq \frac{R_1 E_{bb}}{U_e + R_1 I_{cbo}} = \frac{11.5 \cdot 10^3}{0,4 + 11 \cdot 10^{-2}} = \frac{55 \cdot 10^3}{0,51} = 108 \text{ k}\Omega$$

donc $R_2 \leq 500 \text{ k}\Omega$

et $R_2 \leq 108 \text{ k}\Omega$

$$\implies R_2 \leq 108 \text{ k}\Omega$$

on prend $R_2 = 100 \text{ k}\Omega$

On vérifie l'approximation précédente $R_2 > R_1$

valeur de R_c :

$$R_c \neq \frac{U_{cc}}{I_{cs}} = \frac{12}{20} \cdot 10^3 = 600 \Omega$$

$R_c = 620$

(valeur normalisée)

La sortie de T_1 (U_{s1}) est maintenant soit au niveau "1" même pour $0V \leq U_e \leq 0,4V$ soit au niveau "0" qui est représenté par $U_{ce}(\text{sat}) \neq 0$ (car T_1 est polarisé à $I_{cs} = 20$ devant $I_{cmax} = 500 \text{ mA}$)

Polarisation du transistor T₂

T₂ : BC 365 NPN silicium

I_{cMax} = 2A Pd = 8W ; β = 100 I_{cbo} ≠ 40μA

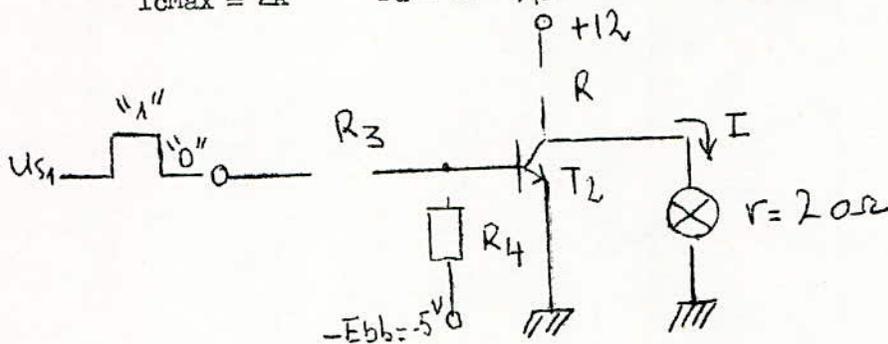


fig II 68

La lampe (L) fonctionne sur 6V, 300mA
sa resistance $r = \frac{6}{0,3} = 20 \Omega$

La puissance dissipée Pd(L) = 6 × 0,3 = 1,8 W

Quand T₂ est bloqué la lampe s'allume à travers R qui limite la tension à 6V aux bornes de L.

$$(R + r) = \frac{U_{cc}}{I} = \frac{12}{0,3} = 40 \Omega \implies R = 20 \Omega$$

A la saturation

L resistance R = 20 Ω impose I_{cs}

$$I_{cs} \neq \frac{U_{cc}}{R} = \frac{12}{20} = 0,6 \text{ A}$$

doit
ceci/verifier 20 I_{cbo} ≪ I_{cs} < I_{cMax}
soit 200 μA ≪ 0,6A < 2A

$$I_{bs} = \frac{I_{cs}}{\beta} = \frac{0,6}{100} = 6 \text{ mA}$$

I_b = NI_{bs} avec N = (2 $\frac{1}{2}$ 3) = coefficient de sursaturation
pour N $\implies I_b = 2 I_{bs} = 12 \text{ mA} = I_b$

La valeur de U_{s1} pour T_2 saturé est :

$$U_{s1} = U_{cc} - R_c I_b (T_2) = 12 - 0,62 \cdot 12 = 12 - 7,44 \neq 4,5 \text{ V}$$

R_4 doit être grande devant $(R_3 + R_c)$

on peut alors écrire $U_{s1} = R_3 I_b + V_{be}(\text{sat})$

$$R_3 = \frac{U_{s1} - V_{be}(\text{sat})}{I_b} = \frac{4,5 - 0,7}{12 \cdot 10^{-3}} = \frac{3,8 \cdot 10^3}{12} = 315 \Omega$$

on prend $R_3 = 300 \Omega$ valeur normalisée

Au blocage

$U_{s1} = 0\text{V}$ on a $R_4 I_{cbo} < E_{bb}$ (condition de blocage)

$$R_4 < \frac{E_{bb}}{I_{cbo}} = \frac{5}{4 \cdot 10^{-5}} = 125 \text{ K}\Omega$$

on prend $R_4 = 30 \text{ K}\Omega$

$$R_4 > (R_c + R_3) \text{ soit } 30 \text{ K}\Omega > (630 + 300) = 920 \Omega$$

b) Ampli dans la variante à transistor

L'ampli qu'on vient de calculer concerne une utilisation dans la décade de signalisation où le signal d'entrée $U_e = 5\text{V}$ pour le niveau logique haut ("1")

Dans la variante à transistor les signaux ^{de sortie} sont soit de 0V soit de 12V ($U_e = 12\text{V}$ pour le niveau "1")

On a tenu compte dans le calcul à ce que le même Ampli fonctionne pour les 2 cas.

En effet quand on a "0" le fonctionnement n'est pas modifié.

Quand on a "1" soit $U_e = 12\text{V}$ le fonctionnement ne doit pas être altéré, pour cela il faut que :

$$I_b \text{ de } T_1(\text{sat}) < I_{b\text{Max}}$$

$$\text{soit } \frac{U_{cc} - U_{be}(\text{sat})}{R_1} < \frac{I_{c\text{Max}}}{\beta}$$

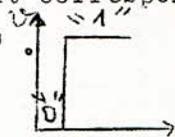
$$\Rightarrow \frac{12 - 0,7}{11 \cdot 10^3} = 1,03 \text{ mA} < \frac{500}{100} = 5 \text{ mA} \quad \text{A part cela le reste n'est pas modifié.}$$

Circuits logiques à transistors

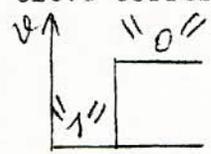
Les systèmes automatiques complexes font appel à des circuits logiques élémentaires qui remplissent des fonctions simples. Ces circuits élémentaires utilisent des dispositifs à semi conducteurs: diodes et transistors .

- Logique utilisée

Logique positive : On dit qu'on utilise une logique positive lorsque au niveau de tension le plus élevé , on fait correspondre le "1" et au niveau bas on fait correspondre le "0"

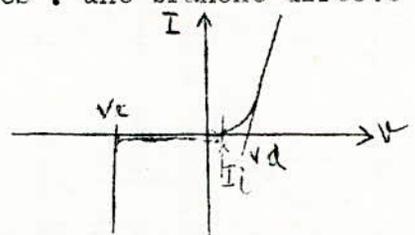


Logique negative: A l'inverse de ce qu'on a défini pour la logique positive, le niveau le plus élevé correspond au "0" et le plus bas qui correspond à "1"



→ Diodes

La diode est un élément non linéaire qui possède une caractéristique à 2 branches : une branche directe et une branche inverse.

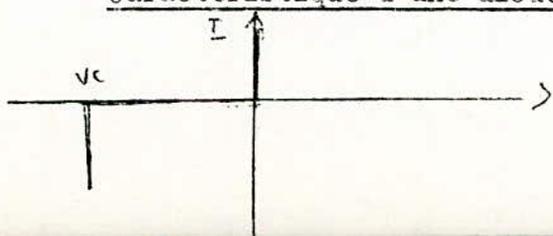


Dans le sens directe la diode possède une résistance faible .Dans le cas idéal cette résistance est nulle et la diode se comporte comme un court circuit .

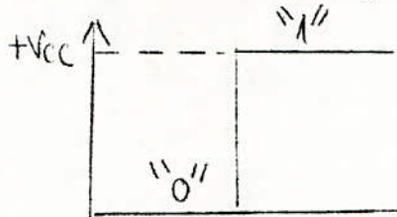
Dans le sens inverse , la diode présente une très grande résistance. Cette résistance est infinie dans le cas idéal et la diode se comporte comme un circuit ouvert .

Le courant maximal qui peut traverser la diode en direct est limité par l'échauffement jusqu'à destruction . Il faut utiliser une résistance de protection en cas de dépassement de la tension de claquage.

Caractéristique d'une diode idéale:

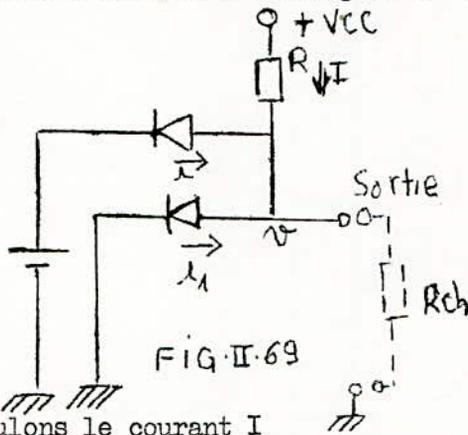


On utilisera une logique positive à deux niveaux c'est à dire à "1" on fera correspondre + Vcc volts et à "0" on fera correspondre 0 volts



6-2-1 porte "ET"

Considérons le circuit précédent à l'entrée d'une diode on a un "0" et à l'autre "1" On aura le circuit de la figure N° II.69



v étant la tension de sortie, rd la résistance de la diode en directe (quelque dizaines d'ohms), R' est la résistance en inverse, le courant de fuite qui traverse la diode en inverse est très faible. R' // quelques centaines de kΩ.

Calculons le courant I

$$I = \frac{(12 - v)}{R} = - \frac{(12 - v)}{R'} + \frac{v}{rd} \quad \text{de cette relation}$$

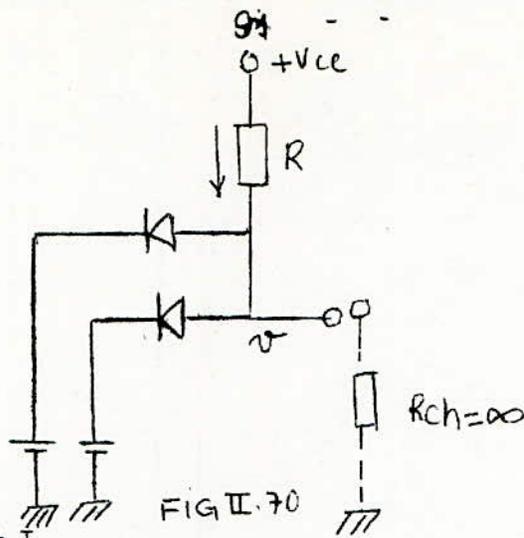
on tire v :

$$v \left(\frac{1}{R} + \frac{1}{R'} + \frac{1}{rd} \right) = 12 \left(\frac{1}{R} + \frac{1}{R'} \right)$$

comme $rd \ll R \ll R'$

$$v = 12 \frac{rd}{R} \approx 0V \longrightarrow \text{"0" à la sortie}$$

Supposons maintenant les 2 entrées à "1" soit à + Vcc = 12 V on aura le schéma de la figure n° FIG II-70



Calculons le courant I

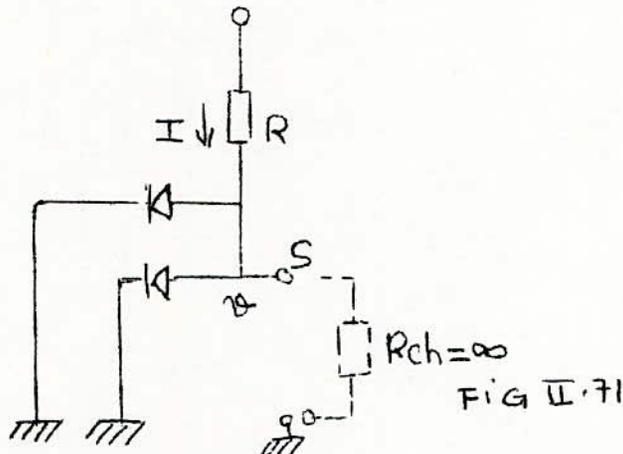
$$I = \frac{(12-v)}{R} = 2 \frac{(v-12)}{R'}$$

$$v \left(\frac{2}{R'} + \frac{1}{R} \right) = 12 \left(\frac{1}{R} + \frac{1}{R'} \right)$$

comme $R \ll R_{ch}$ on aura alors

$$v \neq 12 \frac{R}{R} = 12 \text{ on aura alors } S = "1"$$

mettons les 2 entrées au "0", c'est à dire à 0V on aura le schéma logique suivant :



Calculons I

$$\frac{12-v}{R} = 2 \frac{v}{rd} \implies v \left(\frac{2}{rd} + \frac{1}{R} \right) = \frac{12}{R}$$

comme $R \gg rd$ et $v = \frac{12rd}{2R}$, $v \neq 0$ soit $S = "0"$

Table résumée de fonctionnement

e_1	e_2	S
0	0	0
0	1	0
1	0	0
1	1	1

Tab II.72

En développant à partir des "1" on a $S = e_1 e_2$

nous avons considéré un dispositif à 2 diodes, mais ce dispositif peut comporter en théorie n diodes d'entrées, mais lorsque les $(n-1)$ diodes d'entrées sont bloquées, c'est la diode non bloquée qui reçoit tout le courant et risque de claquer. Si on choisit chaque diode pouvant supporter le courant I_{max} , on pourra mettre m diodes, mais nous devons nous assurer alors que I_{max} est suffisant pour saturer chaque diode. Dans notre cas on se limite à 3 diodes à m l'entrée.

Pour la réalisation des portes on choisit des diodes OA7 avec les caractéristiques suivantes :

$$V_{I_{max}} = \text{tension Inverse max} = 40 \text{ V}$$

$$I_{d_{max}} = \text{courant direct max} = 140 \text{ mA}$$

$$\text{courant direct choisit} = 12 \text{ mA}$$

En direct la diode reçoit 12mA d'où

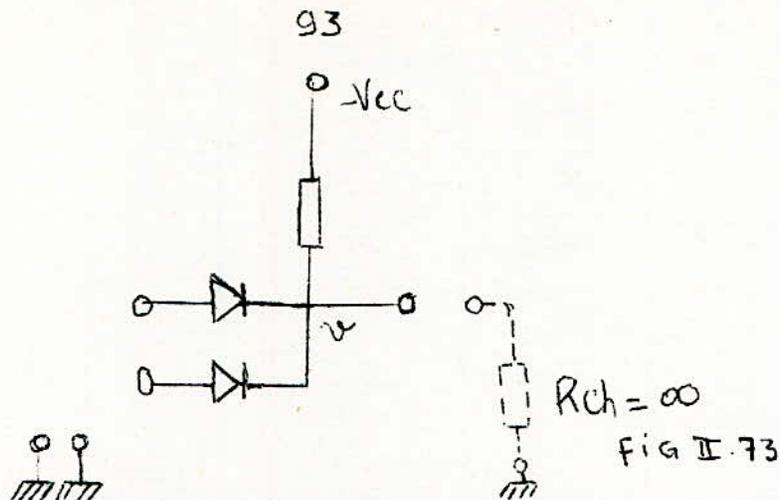
$$R = \frac{V_{cc}}{I_d} = \frac{12 \text{ V}}{12 \times 10^{-3}} = 1 \text{ k}\Omega$$

6.2.2

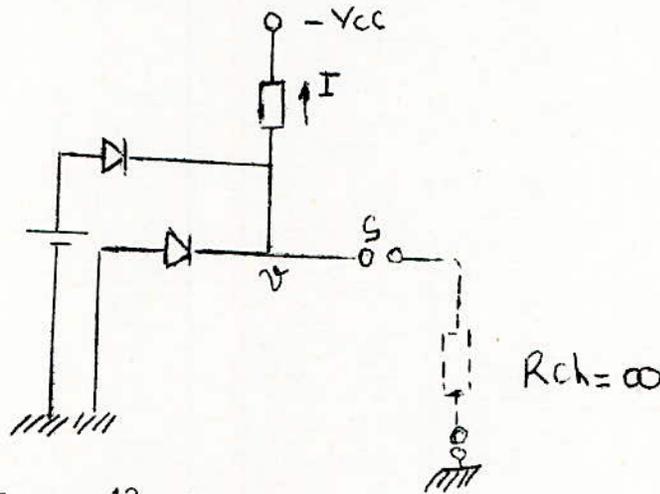
CIRCUIT LOGIQUE "OU"

En gardant au circuit la même configuration générale, en changeant le sens des diodes et le signe de la polarisation. La logique utilisée est la logique > 0

v , R , r_d , R' gardant la même signification qu'avant, on aura le circuit suivant



Supposons que l'une des entrées est au "0" et l'autre à "1" on aura le circuit suivant



Calculons I

$$I = \frac{v + 12}{R} = \frac{-v}{rd} + \frac{12 - v}{rd}$$

FIG II.74.

$$v \left(\frac{1}{rd} + \frac{1}{rd} + \frac{1}{R} \right) = 12 \left(\frac{-1}{R} + \frac{1}{rd} \right)$$

comme $rd \ll R$

$$v \approx 12 \frac{rd}{rd} = 12 \text{ V} \text{ on alors } S = "1"$$

- si les entrées sont au niveau logique "1"
on aura le circuit suivant :

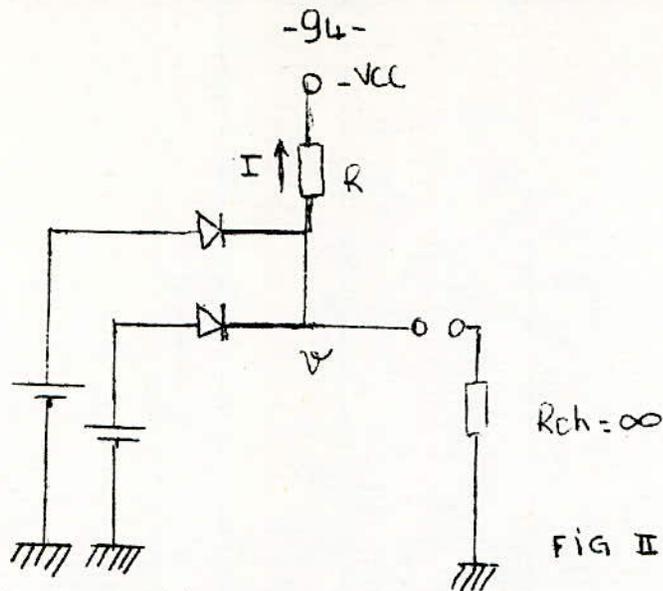


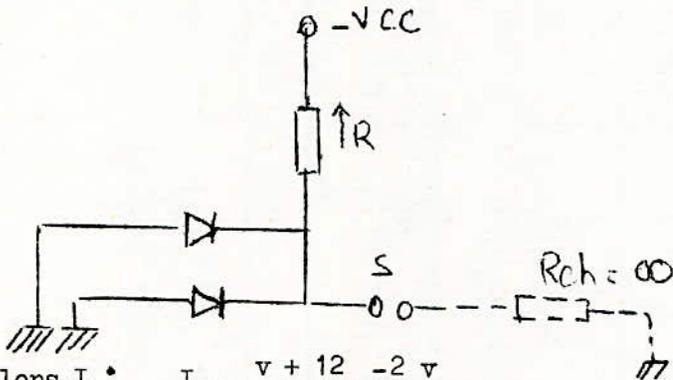
FIG II.75

$$I = \frac{v + 12}{R} = 2 \cdot \frac{12 - v}{rd} \quad \text{on calculera } v$$

$$v \left(\frac{1}{R} + \frac{2}{rd} \right) = 12 \left(\frac{2}{rd} - \frac{1}{R} \right)$$

$$v \neq 12 \cdot \frac{2rd}{2rd} = 12 \text{ V} \implies S = "1"$$

- si les entrées sont au niveau "0"
on aura



Calculons I : $I = \frac{v + 12}{R} = \frac{-2v}{rd}$

FIG II.76

$$v \left(\frac{1}{R} + \frac{2}{rd} \right) = 12 \cdot \frac{-1}{R} \implies v \neq -12 \frac{2rd}{R}$$

comme $Rd \ll R \implies S = "0"$

Table résumée de fonctionnement

e_1	e_2	S
0	0	0
0	1	1
1	0	1
1	1	1

Tab II 77

on tire $S = e_1 + e_2$

Remarque :

On peut remarquer que pour le 1^{er} circuit si on utilise une logique < 0 , ce circuit se comporte comme un circuit logique "OU". Le 2^{eme} quant à lui se comporte comme un circuit logique "ET" avec une logique négative.

6-2-3

Circuit Inverseur

Soit le circuit de la figure n° II-78 Il comporte un transistor NPN dont la base est polarisée à travers R_{bb} et dont l'émetteur est à la masse. Le collecteur du transistor est à $+V_{cc}$ à travers R_c .

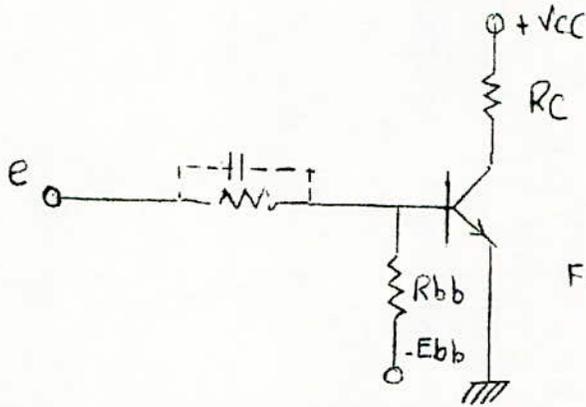


Fig. II.78

Quand le courant i_b est négatif, le point de fonctionnement se situe vers le point A, le courant de collecteur est égale au courant de fuite I_{co} l'équation de la droite de charge s'écrit $U_s = V_{cc} - I_{co}R_c$ on a donc $U_s \approx V_{cc}$. Dans ce cas le transistor est bloqué. Quand le $i_b > 0$ le point A se déplace vers le point B en suivant la droite de charge. voir fig 79

En ce point le courant de collecteur est max ($I_c = I_{cs}$)

l'équation de la droite de charge s'écrit alors

$$U_s = V_{cc} - I_{cs} R_c$$

la tension de collecteur est pratiquement nulle le transistor est donc saturé

- si on alimente à l'entrée par $+V_{cc}$ ("1"), la sortie serait nulle. c'est à dire à "0"

- si par contre l'entrée est nulle ("0") la sortie serait à "1"

Les résistances R_b et R_{bb} sont calculées de telle façon que, lorsque l'entrée est au niveau bas ("0") la tension de base U_b est < 0 et que lorsque l'entrée est niveau haut le courant de base $I_b \geq I_{bs}$

L'intérêt du montage est de redonner au signal l'énergie qu'il a perdu dans les éléments passifs du montage.

L'inconvénient de ce montage est le retard qu'il apporte au signal, comme on le verra, l'emploi du transistor impose une fréquence limite au signal d'entrée. Le temps de réponse du transistor choisi est de l'ordre de $\frac{1}{2} \mu s$. On peut diminuer le temps de réponse du transistor en utilisant une capacité // avec la résistance de Base selon le schéma déjà donné.

Cette méthode est favorable à l'élimination plus rapide des charges injectées dans la base, ce qui diminue le temps de stockage.

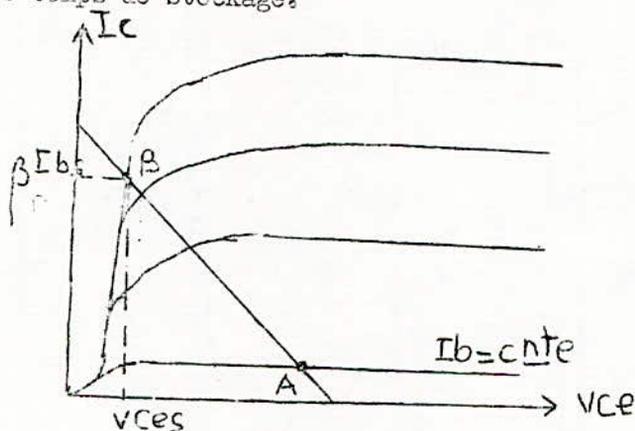


Fig II 79

Calcul d'un circuit Inverseur

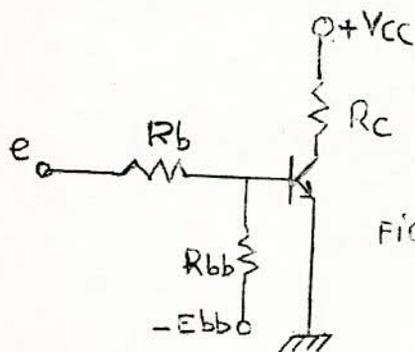


FIG. II.80

$$V_{cc} = 12 \text{ V}$$

$$I_{CS} = 12 \text{ mA}$$

$$\beta = 75$$

$$R_{cb} = 1 \text{ k} = \frac{V_{cc}}{I_{cs}}$$

$$20 I_{comax} \ll I_{cs} \ll I_{Cmax}$$

la mise à l'entrée de + vcc doit réaliser la saturation

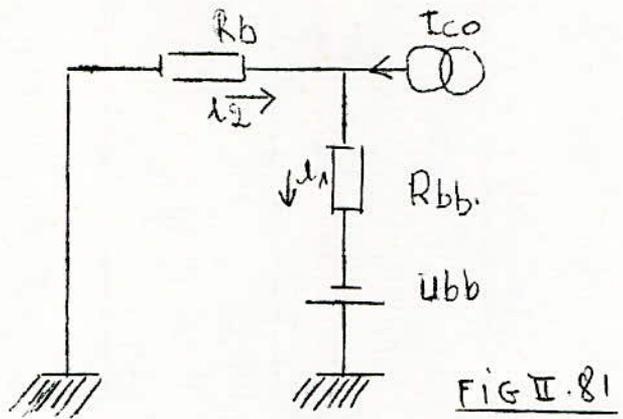
$$I_b = \frac{I_{CS}}{\beta} \times N = \frac{V_{cc}}{R_b} - \frac{V_{cc}}{R_c} \times \frac{N}{\beta}$$

$$R_b = R_c \frac{\beta}{N} = 10^3 \frac{75}{N} = 10^3 \frac{75}{2} = 37,5 \text{ K}\Omega$$

valeur normalisée $R_b = 36 \text{ K}\Omega$

La mise à "0" à l'entrée doit réaliser le blocage : condition de blocage $U_b \leq 0$

Schéma équivalent du circuit



$$I_{co} + i_2 = i_1$$

$$i_2 = i_1 - I_{co}$$

$$U_{bb} - R_{bb}i_1 - R_b(i_1 - I_{co}) = 0$$

$$i_1 = \frac{U_{bb} + R_b I_{co}}{R_{bb} + R_b}$$

$$U_b = -U_{bb} + i_1 R_{bb} < 0$$

$$U_b = -U_{bb} + \left(\frac{U_{bb} + R_b I_{co}}{R_b + R_{bb}} \right) R_{bb}$$

$$U_b = \left(\frac{-U_{bb} R_b + R_{bb} I_{co}}{R_b + R_{bb}} \right) < 0$$

On trouve alors :

$$R_{bb} < \frac{U_{bb}}{I_{co}} = \frac{0,8.5}{10^{-5}} = 4.10^5 = 0,4 \text{ M}\Omega$$

R_{bb} normalisée \implies $R_{bb} = 180 \text{ k}\Omega$

62.4 CIRCUITS A DIODES ET A TRANSISTORS

Les circuits "ET" et "OU" réalisés à base de diodes peuvent être inversés au moyen d'un circuit de complémentation à transistor toutes les combinaisons sont possibles en changeant le type de circuit à diode, le signe de la logique et la catégorie du transistor.

ex: de circuit NAND : ; ?

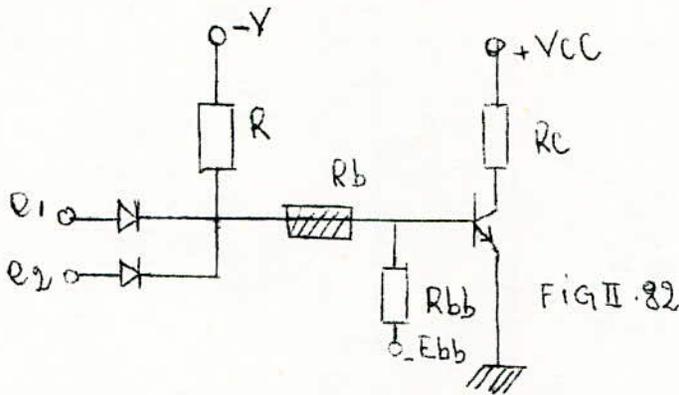


FIG II.82

Ce circuit nous donne un NOR en logique > 0 et NAND en logique négative.

Si l'on travaille en logique > 0 , avec les niveaux 0 et $+V_{cc}$ les entrées e_1 et e_2 sont nulles.

Alors l'attaque du transistor correspond à un signal nul grâce à la présence de $-E_{bb}$ et R_{bb} le potentiel de la base est bien fixé le transistor est bloqué ainsi on peut supprimer le générateur $-V$. Dans notre montage nous avons utilisés des circuits "ET" et "OU". C'est pourquoi les NAND et les NOR doivent être inversés.

Toutes les sorties NAND et NOR seront toujours disponibles.

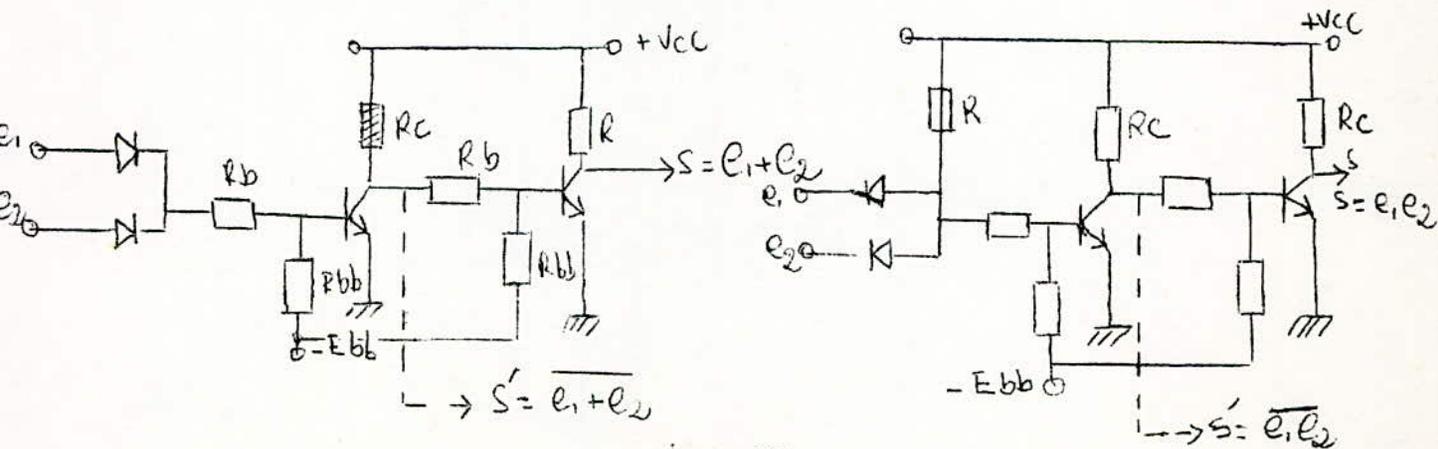


FIG II.83

Temps de commutation des transistors

Réponse d'un transistor à une impulsion carrée :

Lorsque l'impulsion est appliquée à l'entrée, le courant de collecteur ne varie pas immédiatement et demande un certain temps pour s'établir à sa valeur d'équilibre. De même que lorsqu'on supprime la tension appliquée à la base, le courant de collecteur ne tombe pas immédiatement à zéro. Le courant de base s'inverse avant de s'annuler. Ce retard est dû principalement à l'accumulation des porteurs minoritaires dans la base.

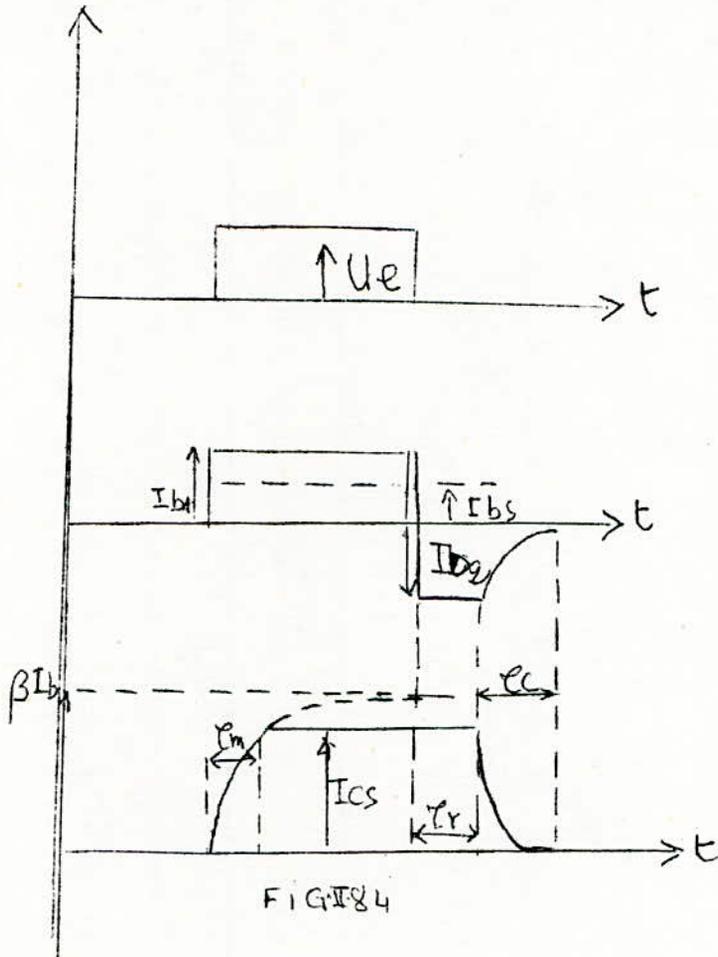


FIG. 84

t_m = temps de montée

t_c = temps de descente

t_r = temps de restitution des porteurs

$$\tau_m = \tau_\beta \ln \frac{1}{1 - \frac{1}{N}} \quad , \quad \tau_\beta = \frac{\beta + 1}{2\pi f_\alpha}$$

f_α = fréquence de coupure du transistor

$$f_\alpha = 0,8 \text{ ft} = 250 \text{ MHz}$$

$$\beta_{\text{max}} = 150$$

$$\tau_\beta = \frac{150 + 1}{2\pi \times 250 \cdot 10^6}$$

Calculons le temps de restitution et de descente pour la sortie des bascules
(ce calcul est toutefois vrai pour les autres montages qui utilisent le même transistor)

$$\tau_c = 2,3 \tau_\beta = 2,3 \times 0,09 = 2,115^{-1} = 0,2 \mu\text{s}$$

$$\tau_{\text{r max}} = \tau_\beta \ln N = 0,09 \ln 2 = 0,062 \mu\text{s}$$

$$N = \text{coefficient de sursaturation} = \frac{I_{b1}}{I_{bs}} = 2$$

ETUDE DES BASCULES

les bascules sont considérées comme des éléments de mémoire et de ce fait jouent un rôle important dans la constitution des systèmes automatiques, la mémoire binaire (mémoire élémentaire) est un circuit séquentiel qui possède deux entrées et une sortie. (S ou X)

les deux entrées sont d et e et la sortie est s ou x

Pour la synthèse de la bascule on peut appliquer les méthodes d'étude des circuits séquentiels

la mémoire élémentaire vérifie les conditions

suivantes

- | | | |
|----------------|--|--|
| 1- $d=0 ; e=1$ | ona $s=1$ | } $d =$ déclenchement
$e =$ enclenchement |
| 2- $d=1 ; e=0$ | " $s=0$ | |
| 3- $d=1 ; e=1$ | indétermination pour la sortie | |
| 4- $d=0 ; e=0$ | la mémoire conserve l'état qu'elle occupait lors de la combinaison précédente. | |

la condition $d=e=1$ amène à définir plusieurs types de bascules :

- 1- Si la combinaison $d=e=1$ est interdite on a une mémoire R.S
- 2- Si la combinaison $d=e=1$ donne $S_{t+1} = \overline{S}_t$ on a alors une mémoire J.K
- 3- Si la combinaison $d=e=1$ correspond à une sortie $s=1$ on a une mémoire à enclenchement prioritaire
- 4- Si la combinaison $d=e=1 \Rightarrow s=0$ on a une mémoire à déclenchement prioritaire

- Application des Methodes sequentielles pour l'etude des bascules
 la combinaison $R=S=1$ est interdite pour cette bascule. Ce qui impose $R \times S = 0$

$R = d$ - Reset (de l'americaain) = mise a zero

$S = e$ - Set = mise a 1

cette bascule est généralement utilisée comme dispositif de mémoire simple, ou comme commutateur à deux directions.

Diagramme des etats:

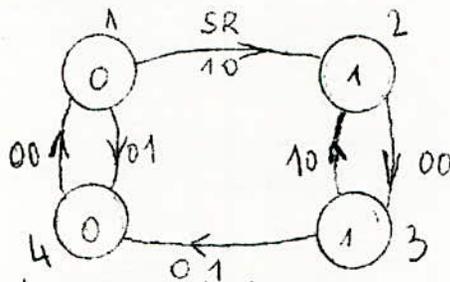


FIG II.85

table des phases primitives:

SR \ m d etat	00	01	11	10	Sortie
1	①	4		2	0
2	3			②	1
3	③	4		②	1
4	1	④			0

Tab II.86

Diagramme de fusionnement:

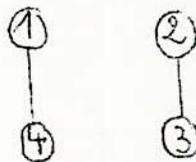


table de phases fusionnées:

SR	00	01	11	10	S
1	④			2	0
③	4			②	1

Matrice d'excitation:

	SR	00	01	11	10
0		0	0	0	1
1		1	0	0	1

Tab. II 87.

$$y = (S+Y)(\bar{R}) = \overline{\overline{(S+Y)(\bar{R})}} = \overline{(S+Y)+\bar{R}} = (S \downarrow Y) \downarrow \bar{R}$$

Matrice de sortie

	SR	00	01	11	10
0		0	0	0	1
1			0	0	1

$$X = \text{Sortie} = (S+Y)(\bar{R}) = (S \downarrow Y) \downarrow \bar{R}$$

FIG. II. 88

On constate que la matrice de sortie est identique à la matrice d'excitation car les sorties sont identiques pour les états dans la table de phases fusionnés et primitives

$$y = \text{Sortie} = x = (S \downarrow Y) \downarrow \bar{R}$$

on obtient le schéma suivant

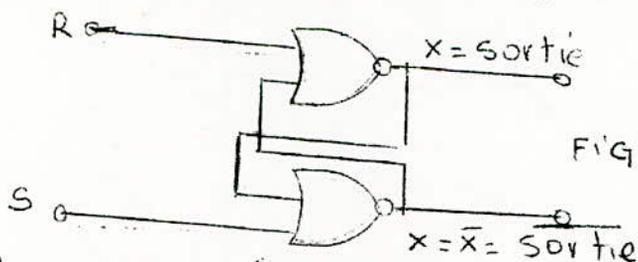


FIG II. 89

Ce schéma est théorique puisqu'il ne fait pas intervenir le temps de commutation des portes NOR. Dans ce schéma on assimile les variables secondaires aux états internes, ce schéma est valable en régime statique.

la réalisation pratique de schéma se fait à l'aide de deux portes NOR, dont la sortie de l'une est relié à l'entrée de l'autre et inversement

schema électrique

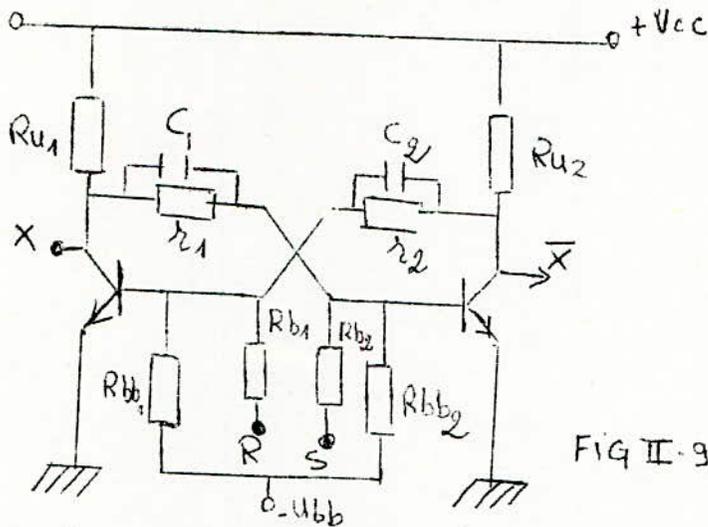


FIG II-90

cette bascule est symétrique si

$$R_{u1} = R_{u2} = R_u$$

$$R_{b1} = R_{b2} = R_b$$

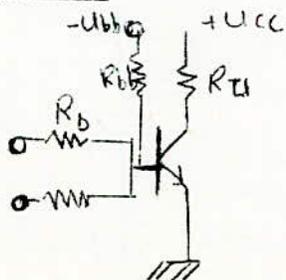
$$z_1 = z_2 = z$$

$$R_{bb1} = R_{bb2} = R_{bb}$$

le transistor choisi est le 2N2222 (NPN au silicium)
caractéristiques :

- Puissance de dissipation	-----	500 mW
- température maximale	-----	175 °C
- V_{cbmax}	-----	60 V
- V_{cemax}	-----	30 V
- V_{bemax}	-----	5 V
- I_{cmax}	-----	500 mA / 25 °C
- I_{cbo}	-----	10 µA
- I_c	-----	12 mA
- β	-----	50 à 300
- f_t	-----	250 MHz

Calcul du circuit NOR



$$U_{cc} = 12V$$

$$-U_{bb} = -5V$$

FIG II-91

$I_{0} I_{comax} \ll I_{cs} \ll I_{cmax} \Rightarrow I_{cs} = 12 \text{ mA}$

Calcul de R_u

$V_{cesat} \approx 0,15 \text{ V} \ll 12 \text{ V}$

$R_u = \frac{V_{cc}}{I_{cs}} = \frac{12}{12} = 1 \text{ k}\Omega$

Pour $I_{cs} = 12 \text{ mA}$ on a: $\beta = 50$ (temp $> 25^\circ\text{C}$)

$\beta = 75$ (à la $t = 25^\circ\text{C}$)

la condition de saturation nous permet de calculer R_b

$R_b = \frac{V_{cc}}{I_b}$; $I_b = N I_{bs} = \frac{N V_{cc}}{\beta R_u}$ d'où

$R_b = \frac{\beta R_u}{N}$; $N = 2$ et $\beta = 75 \Rightarrow R_b = 37,5 \text{ k}\Omega$

choix de R_b normalisé: $R_b = 36 \text{ k}\Omega$

R_{bb} est déterminé par la condition de blocage on respectera les conditions $V_{cc} < V_{ce}$; $(V_{cc} + U_{bb}) < V_{cb}$

$R_b \leq 0,8 \frac{U_{bb}}{I_{comax}} = \frac{0,8 \times 5}{10 \cdot 10^{-6}} = 0,4 \text{ M}\Omega$

on choisit $R_{bb} = 180 \text{ k}\Omega$

Pour calcul détaillé se reporter au calcul de l'inverseur.

BASCULE J.K.

la mémoire J.K est celle pour laquelle la combinaison $e = d = 1$ entraîne $S_{t+1} = S_t$

Diagramme des états

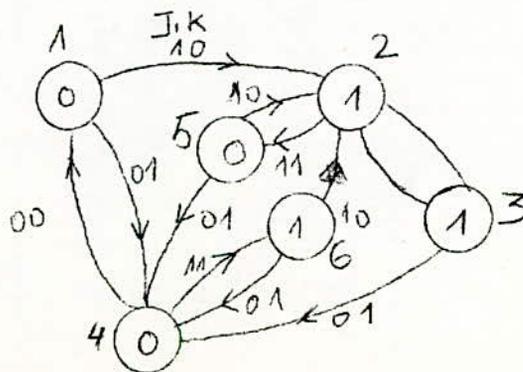


FIG II-92

106

TABLE des phrases primitives

no d'état	00	01	11	10	sortie
①	4	-	2	0	
3	-	6	②	1	
③	4	-	2	1	
1	④	5	-	0	
-	4	⑤	2	1	
-	4	⑥	-	0	

Tab II.93

Diagramme de fusionnement

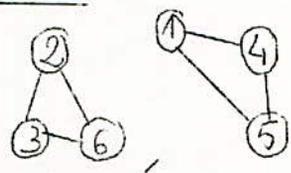


table des phases fusionnées

Fig II.94

JK	00	01	11	10
1	①	④	⑤	2
3	③	4	⑥	②

Matrice d'excitation

Pour les sorties se reporter à la table primitive

Y JK	00	01	11	10
0	0	0	0	1
1	1	0	1	1

Tab II.95

on aura la variable secondaire, en développant à partir des zéros.

$$y = (J+Y)(Y+\bar{K})(J+\bar{K})$$

Matrice de Sortie

la matrice de sortie s'écrira

Y JK	00	01	11	10
0	0	0	1	∅
1	1	0	0	1

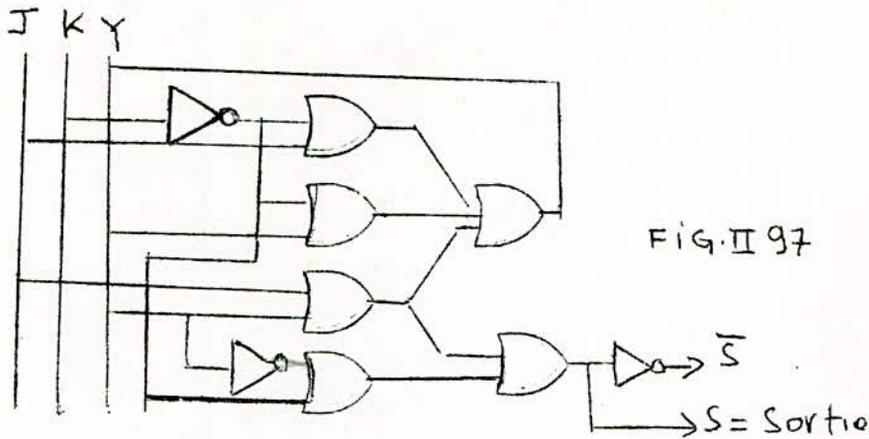
Tab II.96.

-107.
d'ou S , en developant à partir des zéros

$$\text{Sortie} = x = (J+Y)(\bar{Y}+\bar{K})$$

Realisation de J.K à partir des portes NOR

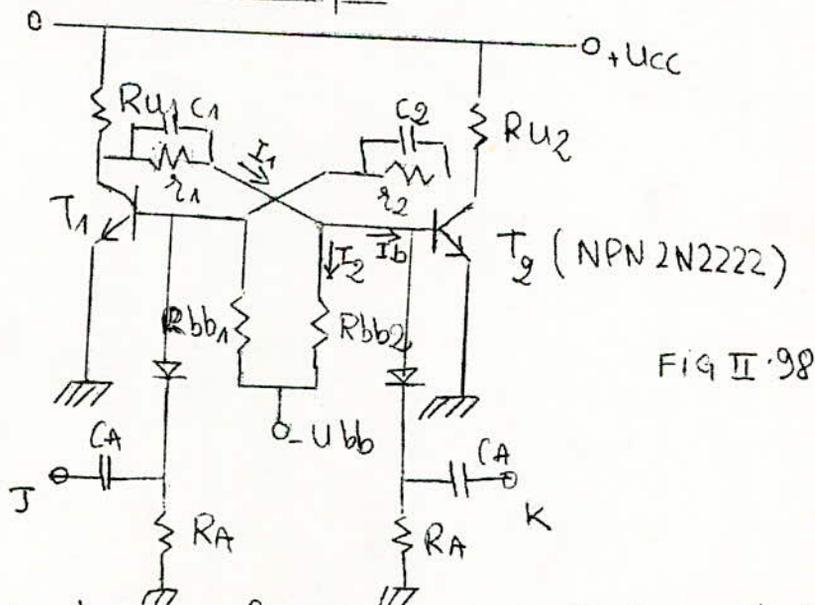
$$y = \overline{(J+\bar{K})(\bar{K}+Y)(J+Y)} = \overline{(\bar{K}+J) + (\bar{K}+Y) + (J+Y)}$$



la réalisation pratique de ce schema pour l'obtention d'une bascule J.K demanderait beaucoup d'operateurs. Dans la pratique on utilise des montages plus simples réalisant la même fonction.

Calcul de la bascule J.K

schema électrique



Si on desire un fonctionnement symétrique la bascule doit être symétrique :

$$\begin{aligned} R_{U1} &= R_{U2} = R_U \\ R_{bb1} &= R_{bb2} = R_{bb} \\ \tau_1 &= \tau_2 = \tau \end{aligned}$$

la bascule fonctionne alternativement dans des états saturés bloqués. On aura les schémas équivalents suivants:

T₁ est saturé, T₂ bloqué ①

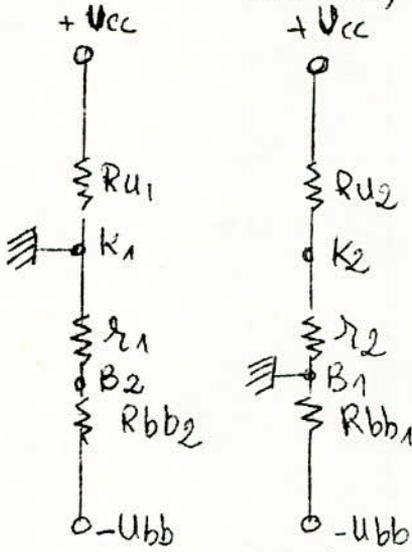


Fig II.93

T₁ est saturé on aura

$$I_{C2} \approx 0$$

$$V_{C2} = \frac{U_{CC} r_2}{R_{U2} + r_2}$$

$$U_{B2} = \frac{r_1 U_{BB}}{r_1 + R_{bb2}}$$

$$V_{B1} \approx 0$$

$$V_{C1} \approx 0$$

$$I_{C1} \approx \frac{V_{CC}}{R_{U1}}$$

Quand la charge n'est pas donnée on a $U_s = a U_{CC}$

$a =$ Coefficient de charge $= (0,75 \div 0,95)$

Si l'on prend $U_s = 10v \Rightarrow a = 0,83$

Determination de I_{CS} :

I_{CS} doit vérifier la relation: $20 I_{Cmax} \ll I_{CS} \ll I_{Cmax}$

on choisit $I_{CS} = 12 mA$

verification de ces conditions:

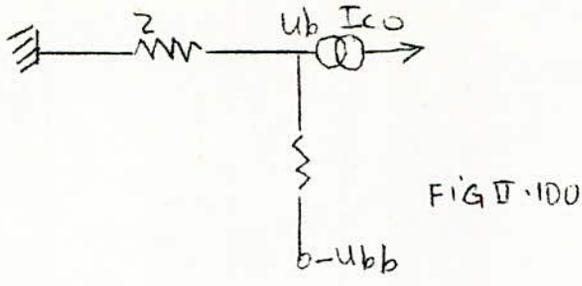
$$20 \cdot 10^5 \ll 12 \cdot 10^{-3} \ll 500 \cdot 10^3$$

Calcul de R_U

$$R_U = \frac{U_{CC}}{I_{CS}} = \frac{12}{12} = 1 k\Omega$$

Calcul de R_{bb}

R_{bb} est déterminé par la condition de blocage $U_B \leq 0$. Dans notre circuit un transistor bloqué peut être représenté par le schéma équivalent suivant:



$$\left(\frac{-U_{bb}r}{z + R_{bb}} + \frac{z \cdot R_{bb} I_{co}}{z + R_{bb}} \right) = U_b \leq 0$$

$\frac{r}{R_{bb}} (-U_{bb} + I_{co} R_{bb}) \leq 0$ on prend généralement

$$R_b \leq 0,8 \frac{U_{bb}}{I_{co}} = 0,4 M\Omega$$

choix de R_{bb} normalisé \Rightarrow

$$R_{bb} = 180 k\Omega$$

Calcul de la résistance z :

la résistance z est déterminée par la condition de saturation: $I_b \gg \frac{I_{cs}}{\beta}$

$$I_1 = I_2 + I_b \Rightarrow I_b = I_1 - I_2$$

d'après le schéma électrique on a $I_2 = \frac{U_{bb} - U_{bes}}{R_{bb}}$

$$I_1 = \frac{U_{cc} - I_{co}R - U_{bes}}{R_u}; I_{cs} = \frac{U_{cc} - U_{ces}}{R_u}$$

Approximations pratiques:

$$U_{cc} \gg I_{co}R \quad U_{bb} \gg U_{bes}$$

$$U_{cc} \gg U_{bes} \quad U_{ces} \ll U_{cc}$$

la condition de saturation s'écrit donc

$$I_b \gg \frac{I_{cs}}{\beta} \Rightarrow \frac{U_{cc} - I_{co}R_u - U_{bes}}{\beta} \gg \frac{U_{bb} - U_{bes}}{\beta R_{bb}} \gg \frac{U_{cc} - U_{bes}}{\beta R_u}$$

$$\frac{U_{cc}}{r + R_u} - \frac{U_{bb}}{R_{bb}} \gg \frac{U_{cc}}{\beta R_u} \text{ si l'on prend } N = 2 = \frac{R_{bb}}{I_b / I_{bs}}$$

$$\frac{U_{cc}}{r + R_u} - \frac{U_{bb}}{R_{bb}} = \frac{U_{cc} N}{\beta R_u}$$

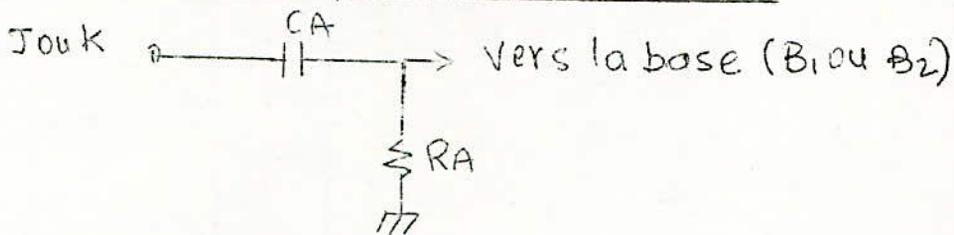
cette expression nous donne si l'on considère que la charge est infinie

$$r = \left(\frac{\beta}{N + \beta \frac{U_{bb} \cdot R_u}{U_{cc} R_{bb}}} - 1 \right) R_u \Rightarrow r \text{ normalisée } \Rightarrow r = 36 k\Omega$$

les capacités en parallèle avec les résistances permettent d'avoir un temps de commutation faible.

$C_{opt} = \frac{0,3}{f_c R_u}$, $f_c =$ fréquence de coupure du transistor. on prend $C = 200pF$

Circuit d'attaque de la bascule J.K



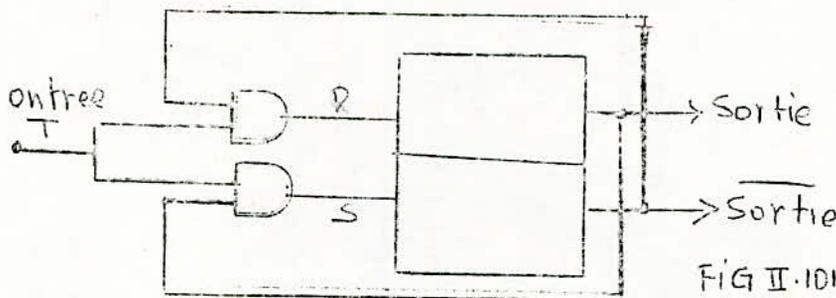
On suppose que $t_d = 25 \mu s$ (t_d à la sortie du distributeur de séquence)

$\tau = R_A C_A = 0,05 t_d = 1,25 \mu s \Rightarrow R_A = 5 k\Omega; C_A = 250pF$

Remarque: Il faudrait en principe calculer les circuits d'attaque en fonction de l'impulsion d'attaque de chaque bascule.

BASCULE "T"

schema fonctionnel:



mode de fonctionnement:

on peut transformer une mémoire à 2 entrées en 1 mémoire à 1 entrée par l'adjonction de deux operateurs Et jouant le rôle d'aiguillage. l'impulsion est ainsi automatiquement envoyée vers le transistor qui permet à la bascule de changer d'état

en prenant la bascule R.S pour laquelle on a imposé la condition $RS = 0$.

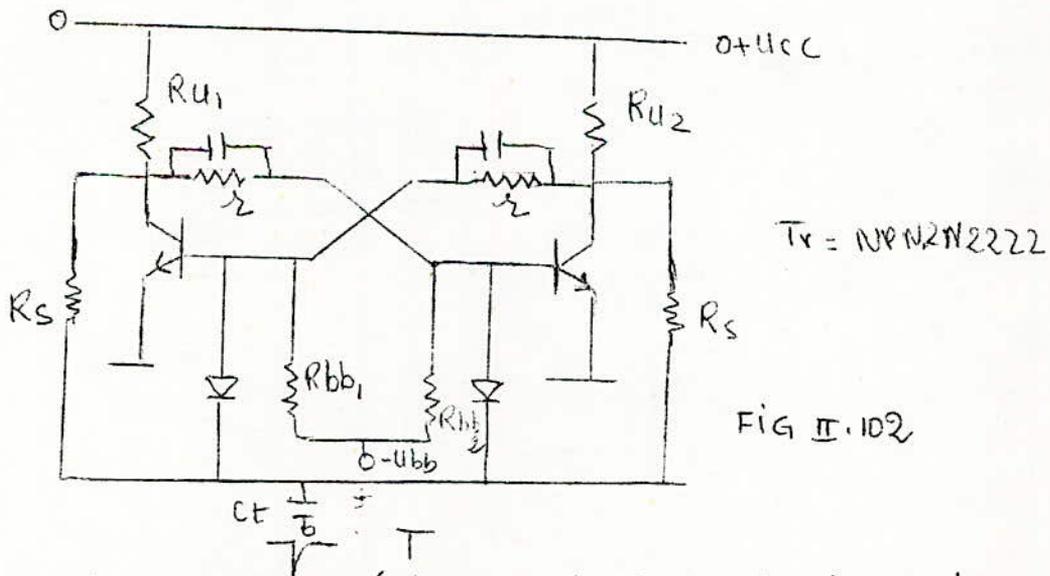
l'équation de sortie est tirée à partir de la matrice de sortie et donne en développant à partir des "1":
 Sortie = $x(t+\tau) = s + \bar{R} Y(t)$

τ étant le délai de réponse du circuit, si l'on pose maintenant les entrées chargées par les operateurs

$s = T \bar{Y}(t)$ et $R = T Y(t) \Rightarrow \bar{R} = T \bar{Y}(t) = \bar{T} + \bar{Y}(t)$
 en remplaçant dans l'équation de sortie on aura

$$Y(t+\tau) = \bar{Y}(t) T + Y(t) \bar{T} \\ = T \oplus Y(t)$$

on constate que d'après cette équation que la bascule change d'état à chaque impulsion d'avancement
schema de la bascule T utilisée



Rq: il est possible de réaliser cette bascule à partir du schéma fonctionnel, mais cela demande plus d'éléments
 R_s est définie par l'inégalité $3R_u < R_s \leq 10R_u$ d'où
 $R_s = 5k\Omega$

$c_t ?$ $c_t = \frac{1}{R_s f_{max}} = \frac{10^{-6}}{5 \times 250/3} = 20pF$, f_{max} = freq max de recurrence de impulsions de commande

III SYNTHÈSE D'UN AUTOMATE MICROPROGRAMME.

(1) Structure d'un automate.

L'automate à microprogramme se présente comme un dispositif séquentiel à l'entrée de l'indicateur visuel, en liaison avec le dispositif central par la ligne des signaux de commande et par la ligne des signaux de réponse (voir figure n°) cette automate de microprogramme est un ensemble de blocs (éléments logiques plus éléments de memoires) destiné à la réalisation de la séquence de micro-commandes et à la synchronisation de tous les dispositifs de l'indicateur visuel.

1-1 Formation d'un microprogramme.

Le microprogramme est représenté par l'algorithme suivant:

1°) Il faut comparer le code d'entrée donné par le dispositif central avec celui de l'automate à microprogramme. Sinon aller à 2°. Si oui aller à 3°.

2°) Le programme est terminé.

3°) Delivrer un signal que le dispositif est prêt pour la reception de l'information, et delivrer en même temps le signal de remise à zéro des registres.

4°) Verrifier ensuite la condition P_2 signifiant que l'information doit être transmise dans le bloc d'indication, ou la condition P'_2 signifiant que l'information doit être transmise au bloc de signalisation.

Ou les deux conditions P_2 et P'_2 à la fois

Si on a P_2 aller à 5°

Si on a P'_2 aller à 8°

5°) Delivrer un signal de choix d'un indicateur numérique parmi les 5 existants et aller à 6°.

6°) Former les signaux de commande de l'indicateur choisi.

7°) Former le signal que la reception de l'information est terminée.

8) Former les signaux de commande du dispositif de signalisation et transmettre vers 7°)

Microopération et conditions logiques nécessaires de la réalisation de cet algorithme.

a) Conditions logiques.

P_1 : Verrification de la coincidence du code de l'automate avec le code qui se trouve dans la ligne des signaux de commande

$$P_1 = \begin{cases} 1 & \text{---- les codes coincident.} \\ 0 & \text{---- les codes ne coincident pas.} \end{cases}$$

P_2 : l'information doit être transmise dans le bloc d'indication

P'_2 : l'information doit être transmise dans le bloc de signalisation

Microopérations

A_1 : délivrer un signal pour annoncer que le dispositif est préparé pour la réception de l'information et remettre à zéro les registres d'entrée de l'indicateur visuel .

A_2 : choix du numéro de l'indicateur qui doit afficher l'information .

A_3 : formation de tout les signaux de commande de l'indicateur

A_4 : remise à l'état initial de l'automate .

A_5 : formation de tout les signaux de commande du dispositif de signalisation .

On utilisant l'algorithme donné par ces conditions logiques et microopérations, on peut représenter le microprogramme par l'organigramme donné par le schéma de la figure n° III.1

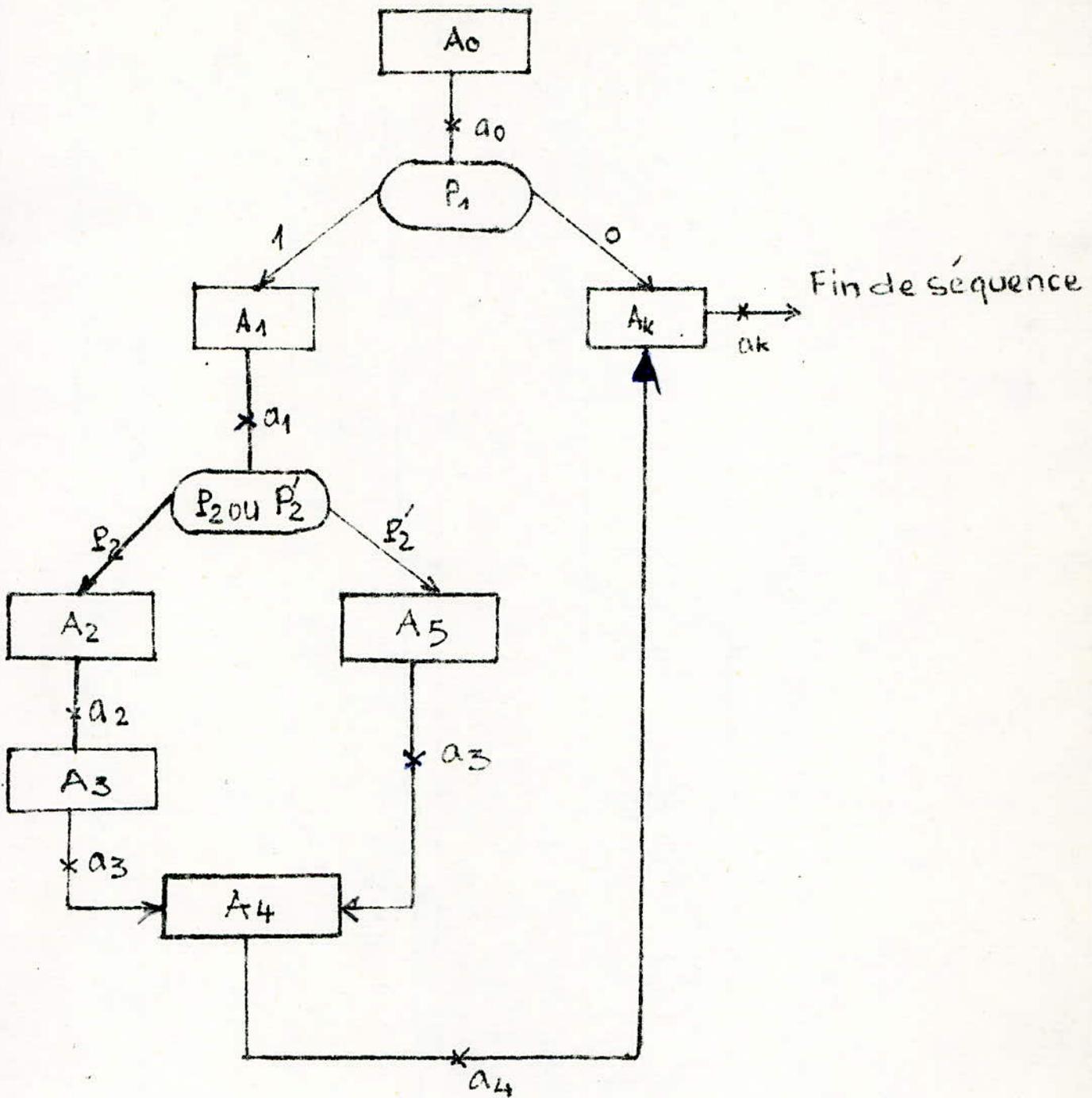
A_0 : microopération initiale .

A_K : microopération de fin de séquence .

1-2 Composition de la structure de l'automate à microprogramme

Pour la détermination de cette structure il faut comparer les signaux d'entrée et de sortie de l'automate réel avec l'automate abstrait . A titre indicatif nous signalons que cette structure abstraite consiste à déterminer à partir des conditions de fonctionnement le nombre d'entrées (X_i) ; le nombre de sortie (Z_j) ; le nombres de états d'entrees et de sorties (ρ_i) et (λ_i) et le nombre des états interne "a" et enfin les sequences entrées-sorties.

cette comparaison est donnée dans le tableau suivant :



Organigramme du µ-programme

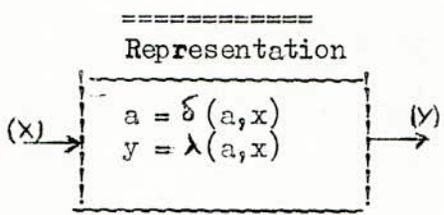
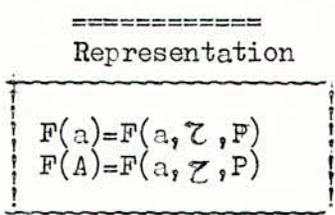
Automate abstrait	Automate réel
<u>1-Multitude de signaux d'entrée</u> $(X) = (X_1, \dots, X_n)$	<u>1-Multitude de signaux d'entrée</u> a) signal d'horloge (Z) b) conditions logiques (P)
<u>2-Multitude des états</u> $(a) = (a_1, \dots, a_m)$	<u>2-Multitude des états</u> $(a) = (a_1, \dots, a_m)$
<u>3-Multitude des signaux de sortie</u> $(Y) = (y_1, \dots, y_k)$	<u>3-Multitude de signaux de sortie</u> $(A) = (A_1, \dots, A_k)$
<u>4-Fonction de transfert</u> $a = \delta(a, x)$	<u>4-Fonction d'adresse (transfert)</u> $F(a) = F(a, Z, P)$
<u>5-fonction de sortie</u> $y = \lambda(a, x)$	<u>5-Fonction de sortie</u> $F(A) = F(a, Z, P)$
===== Representation 	===== Representation 

Tableau III-2

Composition du schéma graphe

A partir de l'organigramme présenté nous établirons un schéma graphe et nous tirons par la suite les fonctions de transfert, $F(a_i)$ et les fonctions de sortie $F(A_i)$ nécessaires à la composition de l'automate.

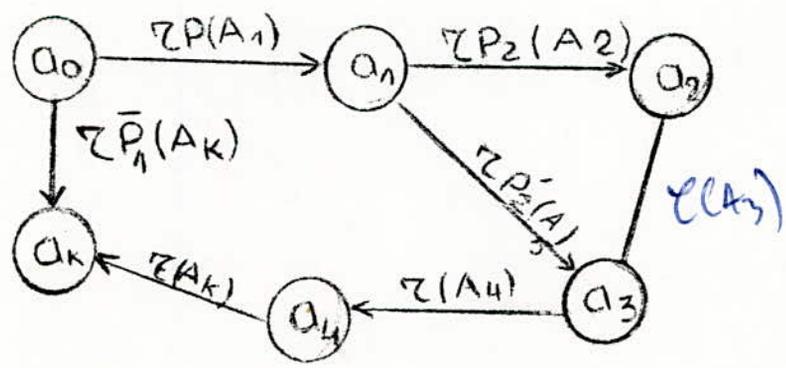
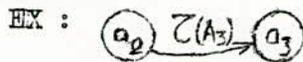


Fig III-3

Un état de l'automate est représenté par un cercle . Les arcs orientés representent le transfert d'un état à l'autre . Chacun de ces arcs à l'entrée d'un état , porte l'indication des signaux d'entrée et les conditions logiques éventuelles de transfert .Le signal de sortie est donné en même temps entre parenthèses, ex: $\Sigma P_i (A_i)$.

Le schéma graphe permet de déterminer le nombre des états internes de l'automate (dans notre cas 6 états). En effet chaque flèche (symbolisée par $\downarrow a_i$) a_i $i=(1, \dots, m)$ -(voir figure III.2) . Ces symboles caracterisent les états de l'automate; on les obtient par un marquage fait conformément aux voies du schéma organigramme .Si une voie quelconque n'a pas de conditions logiques (P_i) alors la flèche correspondante entre a_{j_1} et a_{j_2} est indiquée par un Σ et par le symbole de l'opérateur entre parentheses .



Si au contraire cette condition logique existe elle doit y figurer



Notre automate est un système séquentiel assez complexe, pour la compo- de sa structure , nous utilisons des blocs fonctionnels typiques , tels que compteur registre , chiffreur, blocs logiques, etc...interconctant selon des équations logiques (fonctions de sortie , fonctions de transfert).

Dans cette structure l'effet de la réaction n'est pas directe comme nous l'avons présenté dans l'étude des bascules à transistors, où l'effet de réaction était dû au retard mené par les composants ;dans notre cas les blocs mémoires, ou bascules jouent le rôle d'éléments de réaction.

La structure de l'automate nécessite également un codage quelconque des états . Pour notre automate 6 états se présentent , un codeur à 3 entrées réa- lise l'opération de codage donné par le tableau suivant:

	Q ₁	Q ₂	Q ₃
a ₀	0	0	0
a ₁	0	0	1
a ₂	0	1	0
a ₃	0	1	1
a ₄	1	0	0
a _k	1	0	1

(117)
 Nous déduisons ensuite à partir du schéma graphe les fonctions de sortie et de transfert .

Fonctions de sortie	Fonctions de transfert
$F(A_1) = \sum P_1 a_0$	$F(a_1) = \sum P_1 a_0$
$F(A_2) = \sum P_2 a_1$	$F(a_2) = \sum P_2 a_1$
$F(A_3) = \sum a_2$ (sortie)	$F(a_3) = \sum a_2 + \sum \bar{P}_2 a_1$ (lettre et abstrait)
$F(A_4) = \sum a_3$	$F(a_4) = \sum a_3$
$F(A_5) = \sum P'_2 a_1$	$F(a_k) = \sum a_4 + \sum \bar{P}_1 a_0$
$F(A_k) = \sum a_4 + \sum \bar{P}_1 a_0$	

Ayant les équations, nous construisons le schéma fonctionnel par blocs logiques typiques (voir figure n° III-4)

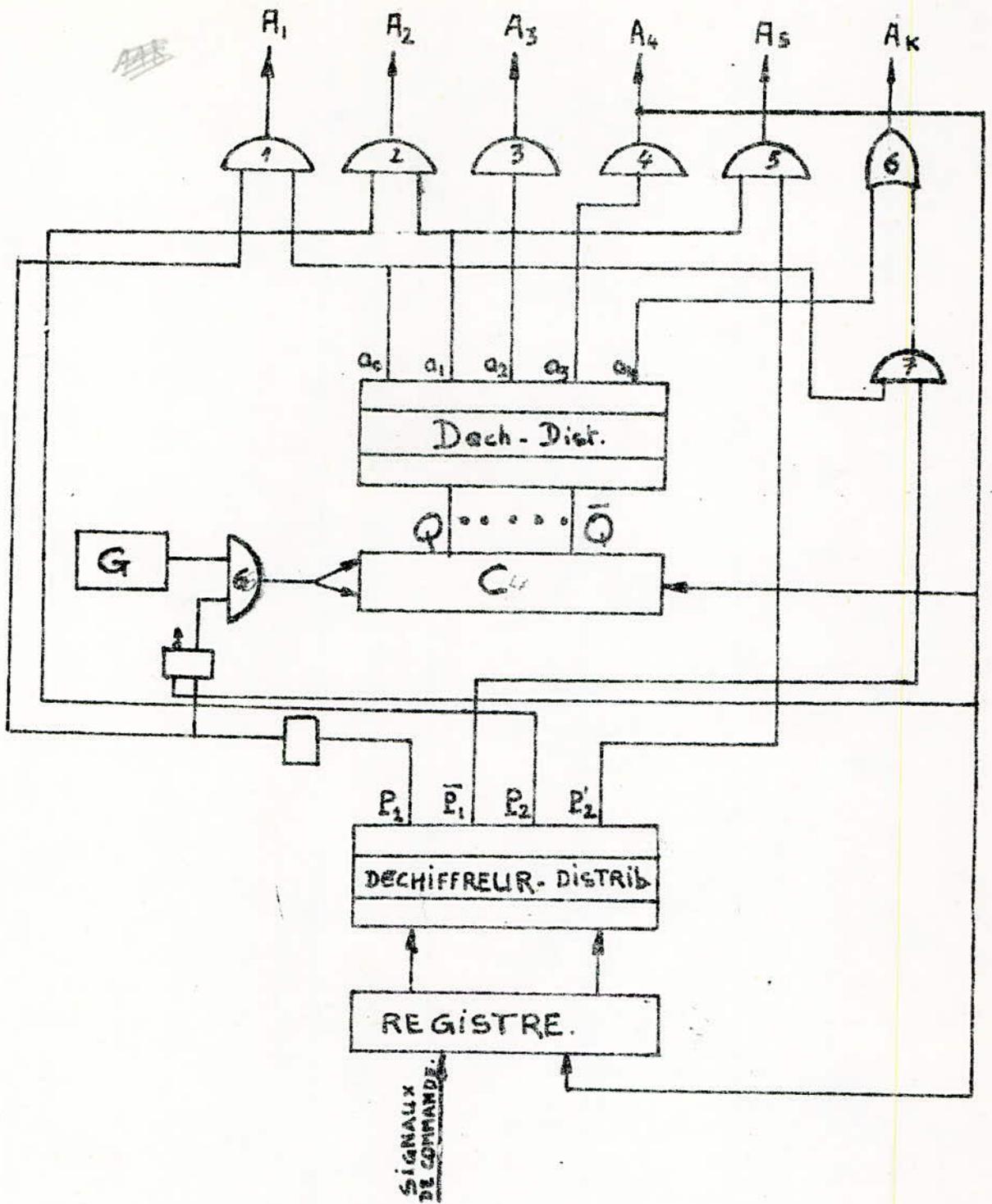
Pour générer les états de l'automate, un générateur d'impulsions (G) délivre les signaux \sum qui sont comptés par le compteur (C) dont les signaux de sortie (Q et \bar{Q} ...) sont délivrés par le déchiffreur (ou décodeur) qui donne les états désirés a₀.....a₄

l'information Pour réaliser les signaux P₁, \bar{P}_1 , p₂, P'₂; un registre (R) recevant fournie par le dispositif central, mémorise celle-ci à l'entrée du bloc déchiffreur qui délivre les conditions logiques demandées.

En conformité des équations logiques précédentes, on réalise, en utilisant les portes "ET" et "OU", les signaux de sortie (A₁.....A_k).

-Si on a la condition logique P₁ et si l'automate se trouve à a₀ alors on a le signal A₁ signifiant que l'indicateur est prêt pour la réception de l'information, (le signal de sortie A₁ = P₁ a₀)

-Si on a la condition logique P₂ et l'état a₁ alors on a le signal



SCHEMA DE STRUCTURE DE
L'AUTOMATE A MICROPROGRAMME.

Figure III-4

118

de sortie A_2 ($A_2 = P_2 a_1$), signal de choix de l'indicateur .

-Si l'automate se trouve à l'état a_2 Sans conditions logiques, on le signal de sortie A_3 ($A_3 = a_2$); c'est le signal de commande de l'indicateur (permission d'écriture).

-Quand on a le l'état a_3 , on a le signal de sortie A_4 ($A_4 = a_3$). C'est le signal apres lequel l'automate revient à l'état initial (compteur à l'état zero, registre à l'état zero) signifiant que la reception de l'information est terminée

- A_5 etant réalisé en présence du signal a_1 , Si la condition logique P_2 existe. A_5 c'est le signal de commande du dispositif de signalisation

- A_k Obtenue à partir de a_4 et de a_{o1} caracterise que le cycle de fonctionnement est terminé, et que le dispositif central ne délivre l'information suivante dans le même indicateur qu'apres la durée d'affichage qui est égale à plusieurs secondes ou même plusieurs minutes (les autres indicateurs peuvent fonctionner)

Ayant examiné ce schéma de structure de l'automate, nous réalisons le schéma fonctionnel en procedant à un détail des blocs .

2 - DESCRIPTION ET FONCTIONNEMENT DE L'AUTOMATE A MICROPROGRAMME.

Le schéma fonctionnel est donné par la figure III.5 . Il comporte des registres formés par des triggers (T_1 à T_{14}), 5 dechiffreurs (D_1 à D_5), un compteur formé à l'aide de trois bascules T_{19}, T_{20}, T_{21} à une entrée (plus une remise à zero), un générateur d'impulsions (G), deux monostables dont la durée instable est 50 μ s pour m_1 et 5 μ s pour m_2 , 2 amplificateurs Φ_1 et Φ_2 avec une petite temporisation et enfin des circuits logiques divers "ET", "OU", ...etc .

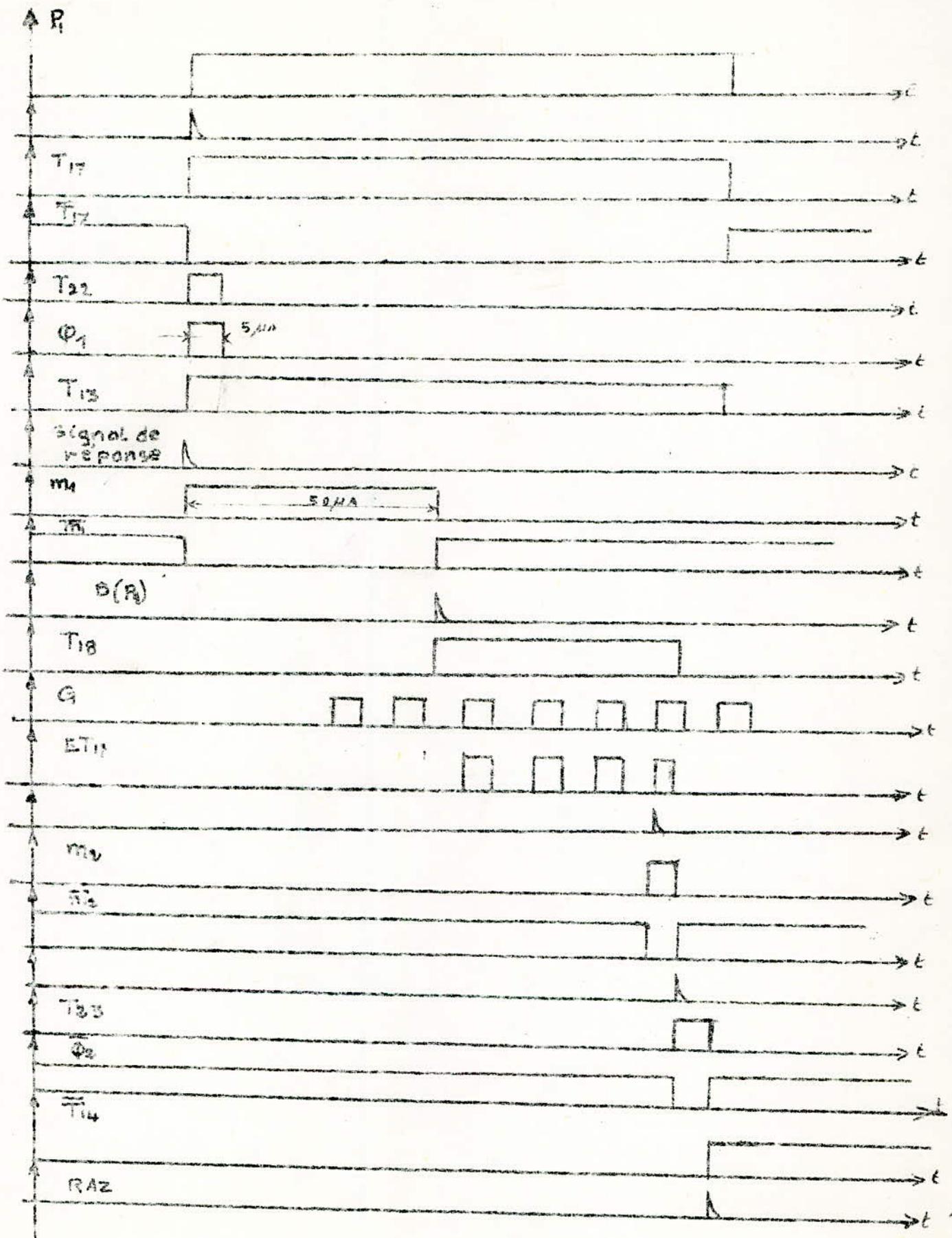
Pour fonctionner l'automate à microprogramme doit recevoir des signaux

des signaux de commande délivrés par le dispositif central. Ces informations codées en BCD attaquent les triggers de T_1 à T_{12} qui préalablement étaient remis à zero .

A l'aide des triggers T_1 à T_4 on compare le code délivré par le dispositif central avec le code propre de l'automate à microprogramme . Si les 2 numéros coïncident au niveau de ces 4 bascules , le déchiffreur D_1 délivre un signal P_1 . Si par contre les deux numéros ne coïncident pas , on a le signal \bar{P}_1 . Il est à remarquer toutefois que lorsque ces triggers sont remis à zero , on n'a ni le signal P_1 , ni le signal \bar{P}_1 .

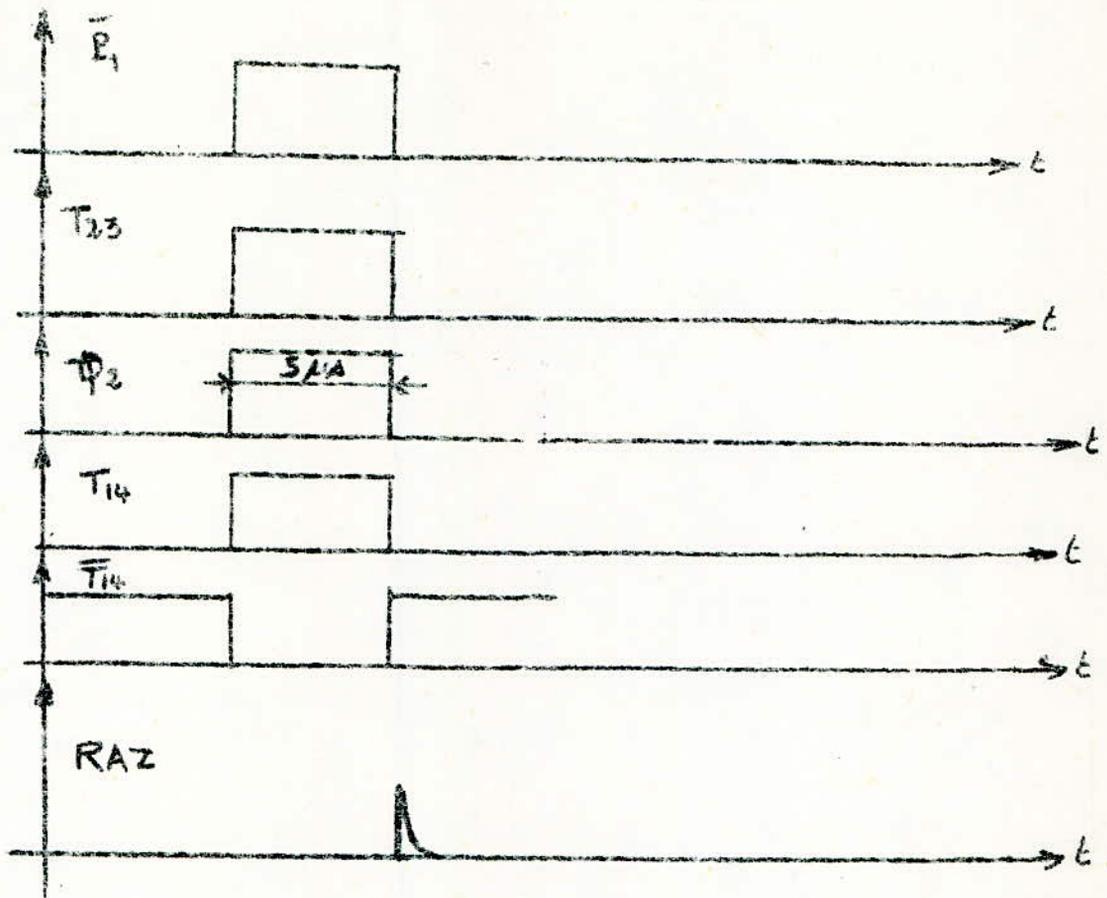
-Supposons que les 2 codes coïncident , le signal P_1 attaque le trigger T_{17} , celui-ci étant mis au niveau logique haut "1" et à travers l'inverseur (16) nous obtenons le niveau logique bas qui ferme toutes les portes "ET" (de 1 à 12) afin qu'aucune autre information ne vienne perturber la précédente . Le signal P_1 attaque aussi le trigger T_{22} , celui-ci est porté à "1" qui à travers ϕ_1 (Amplificateur avec petite temporisation) donne le signal de réponse au dispositif central: que le système d'indication est prêt pour la réception de l'information . La sortie de ϕ_1 et celle de T_{17} s'applique sur l'entrée de "ET" (13) qui met T_{13} à "1" et par suite T_{22} repasse à l'état initial après un petit moment , ceci traduit bien la nécessité de la temporisation, de ϕ_1 . De la même façon T_{14} repasse à "1" à travers la porte "ET" (14) . Le signal P_1 attaque le monostable (m_1) qui après un retard de $50 \mu s$ délivre à travers l'ampli (15) le signal $B(A_1)$ de remise à zero des registre d'entrée. Le signal P_1 attaque en même temps le Trigger (T_{18}) qui ouvre la porte "ET" (17) ; Le générateur (G) délivre à travers cette porte des impulsions qui sont comptées par le compteur (ce dernier est constitué par les triggers T_{19}, T_{20}, T_{21}) puis déchiffrées par le déchiffreur D_2 , fournissant successivement les signaux de séquences ($X_1 \dots X_4$) . L'apparition du signal X_4 amplifié à travers l'amplificateur (31), attaque le monostable m_2 qui après un retard de $5 \mu s$ remet les triggers ($T_{18}, T_{19}, T_{20}, T_{21}$) à zero ; et à travers l'opérateur "OU" (33) met T_{23} à "1" . le signal de sortie de T_{23} subit un léger retard dans ϕ_2 . Il sert de réponse au dispositif central avisant que la réception de l'information est terminée . Ce signal à travers l'amplificateur (32) en même temps les triggers ($T_1 + T_4$) à zero. par suite la sortie de l'inverseur (16) se trouve à l'état "1" , permet la la préparation des portes "ET" (1 + 12) à la réception de l'information prochaine . voir fig III-6

-Supposons maintenant que les deux codes ne coïncident pas (0000 n'est pas à considérer), le déchiffreur D_1 délivre le signal \bar{P}_1 qui à travers



CHRONOGRAMME DE FONCTIONNEMENT POUR P1

Figure III 6



CHRONOGRAMME DE
FONCTIONNEMENT POUR \bar{P}_1

Figure III.6 bis

"OU" (34) met T_{14} à "1" ($Q = 1, \bar{Q} = 0$) et à travers "OU" (33) met T_{23} à "1". LE signal de sortie de T_{23} subit une petite temporisation Grâce à Q_2 , puis s'amplifie dans l'amplificateur (32), attaque les triggers ($T_1 + T_{14}$) et T_{17} qui sont remis à zero ; \bar{Q} de T_{14} passe au niveau logique haut, sert à remettre T_{23} à zero. les portes "ET" (de 1 à 12) étant alors ouvertes car la sortie de l'inverseur (I6) se trouve à l'état "1" et ainsi l'automate se retrouve à l'état initial, prêt à la compraison de l'information suivante.

Tout ceci forme les micro operations A_1 et A_4 .

Ce fonctionnement se résume dans le chronogramme de la figure III.6 et III.6 bis.

-Avant le blocage des portes "ET" d'entrée, le registre ($T_5 + T_8$) retient en mémoire l'information de choix de l'indicateur donnée par le dispositif central dans le code BCD. Cette information est ensuite déchiffrée par (D_2) et donne le signal de l'indicateur choisi.

C'est la micro operation A_2 .

-Le rôle du déchiffreur (D_3) est de transformer le code donné par le dispositif central qui est mémorisé dans les bascules (T_9, T_{10}) en des signaux P_2 ou P'_2 ; P_2 et P'_2 à la fois, respectivement signaux de choix du bloc d'indication ou du bloc de signalisation ou des 2 à la fois.

C'est les microoperations A_3 (pour indication) et A_5 (pour signalisation).

-L'information d'avarie du fonctionnement, mémorisé dans les triggers T_{11} et T_{12} est déchiffrée par D_4 (qui n'est autre que le déchiffreur IX dans la figure n°) en des signaux a et b (a = signal de commande de la lampe jaune ; b = signal de commande de la lampe rouge) représentant l'information d'entrée de la décade de signalisation étudiée (voir fig)

LES SEQUENCES

La 1^o délivrée par le générateur (G) attaque le triggers T_{19} qui prend l'état "1". A la sortie du déchiffreur on obtient le signal X_1 qui à

travers les portes "ET" (18 à 22) donne le signal de remise à zero des registres d'affichage ($(A_3)X_1$) et à travers l'opérateur "ET" (23), donne le signal RAZ du système de signalisation ($(A_5)X_1$).

-La 2° impulsion remet T_{19} à zero et T_{20} à "1" ce qui donne le signal X_2 . A travers l'amplificateur (24) on a le signal de permission d'écriture des registres d'entrée ($X_2(A_3)$).

-La 3° impulsion du générateur met T_{19} et T_{20} à "1" donnant la sortie du déchiffreur . le signal X_3 qui à travers les portes "ET" (25) et "ET" (26 à 30) délivre le signal de permission d'écriture respectivement pour les blocs de signalisation ($X_3(A_5)$) et pour le bloc d'indication ($(A_3)X_3$) à savoir les registres d'affichage des adresses , des unités de mesure et des indicateurs numériques des valeurs absolues .

-La 4° impulsion entraine l'apparition du signal X_4 qui après une temporisation de $5\mu s$ faite par le monostable n° 2, remet à zero le compteur et le trigger T_{18} . A travers la porte "OU" (33) , T_{23} passe à l'état "1", ce qui donne d'une part le signal de réponse au dispositif central annonçant que la réception est terminée ; et d'autre part la remise à l'état initial de l'automate .

3--ETUDE DES BLOCS LOGIQUE DE L'AUTOMATE A MICROPROGRAMME

3.1 DECHIFFREUR (D_I)
=====I=

Le dechiffreur (D_I) est un comparateur . Il s'agit d'attribuer un numero propre à l'automate à microprogramme , de le comparer avec le numero envoyé par le dispositif central et de délivrer un signal de réponse pour trduire si les deux numeros coïncident ou non .

Supposans que le numero de l'automate est IOOI (9), on fera alors la comparâson entre ce numero 9 et celui donné par l'automate central. La sortie du dechiffreur vaut "1" ($P_1 = 1$, $\bar{P}_1 = 0$) si on a coïncidence, et "0" ($P_1 = 0$, $\bar{P}_1 = 1$) sinon .

Si on désigne par A, B, C, D les variables d'entrée du comparateur, il suffit, pour avoir un "1" à la sortie, de prendre une porte "ET" à 4 entrées A, \bar{B} , \bar{C} , D. Si les registres ont leur entrées 1001; cela donne un "1" à la sortie du "ET", signifiant que les codes coïncident. Toute autre combinaison différente de celle là délivre un "0" à la sortie du "ET". Soit donc le signal \bar{P}_1 qui dira que les codes ne coïncident pas et que la reception est terminée. Toutefois la combinaison 0000 n'est pas à comparer, elle ne doit donner ni P_1 ni \bar{P}_1 , car si cela était ainsi cette condition serait automatiquement vérifiée après remise à zéro. Comme elle agit encore pour la remise à zéro on aurait une instabilité, en conséquence cette condition ne doit pas déclencher \bar{P}_1 .

Schéma fonctionnel de D_1 établi selon les conditions précédentes

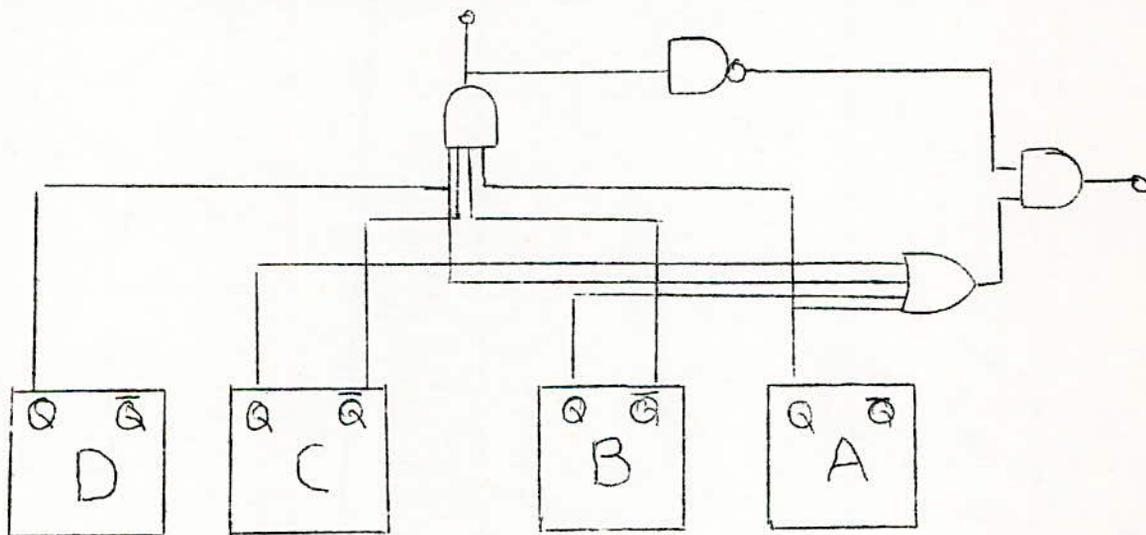


FIGURE - III - 7

123

Autre type de schéma fonctionnel:

Le déchiffreur (D_1) peut être établi selon la table de vérité suivante:

D	C	B	A	P_1	\bar{P}_1
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	0	1
0	1	0	1	0	1
0	1	1	0	0	1
0	1	1	1	0	1
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	0	1
1	0	1	1	0	1
1	1	0	0	0	1
1	1	0	1	0	1
1	1	1	0	0	1
1	1	1	1	0	1

ce qui donne:

$$P_1 = AB\bar{C}D.$$

CD \ AB	00	01	11	10
00	0	1	1	1
01	1	1	1	1
11	1	1	1	1
10	1	0	1	1

$$\bar{P}_1 = A\bar{D} + \bar{A}D + B + C$$

TAB. III-8

CABLAGE

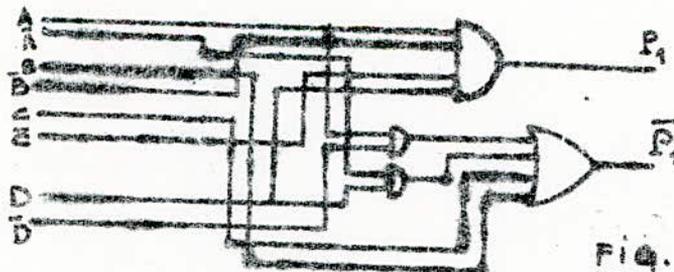
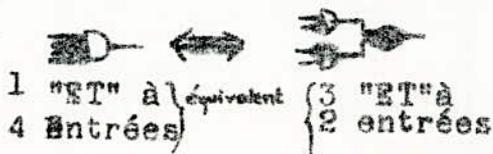


FIG. III-9.

Les 2 montages contiennent sensiblement un nombre équivalents d'éléments. On adoptera le 1^{er} montage.

Montage en circuits intégrés:

Nous prendrons des portes "ET" et "OU" à 2 entrées.



Il faudrait alors avoir 4 "ET" à 2 entrées: soit 1 C.I.=SFC409E, 3 "OU" à 2 entrées soit un C.I SFC 432E et un inverseur pris dans le SFC405E.

024

3 - 2 Déchiffreur (D₂)

Ce dispositif possède 4 entrées et 5 sorties, nous choisissons son fonctionnement selon la table de vérité suivante.

Q ₅	Q ₆	Q ₇	Q ₈	A _{2α}	A _{2β}	A _{2γ}	A _{2δ}	A _{2ε}
0	0	0	0	0	0	0	0	0
0	0	0	I	I	0	0	0	0
0	0	I	0	0	I	0	0	0
0	0	I	I	0	0	I	0	0
0	I	0	0	0	0	0	I	0
0	I	0	I	0	0	0	0	I
0	I	I	0	∅	∅	∅	∅	∅
0	I	I	I	∅	∅	∅	∅	∅
I	0	0	0	∅	∅	∅	∅	∅
I	0	0	I	∅	∅	∅	∅	∅
I	0	I	0	∅	∅	∅	∅	∅
I	0	I	I	∅	∅	∅	∅	∅
I	I	0	0	∅	∅	∅	∅	∅
I	I	0	I	∅	∅	∅	∅	∅
I	I	I	0	∅	∅	∅	∅	∅
I	I	I	I	∅	∅	∅	∅	∅

Tableau III. 10

Les ∅ représentent des combinaisons indifférentes, elles ne doivent pas être réalisées par l'automate central.

Remarque:

Nous avons attribué un indice à A₂ pour faire la distinction entre les différents signaux.

125

Q ₅ Q ₆	00	01	11	10
Q ₇ Q ₈	00	01	11	10
00	0	1	0	0
01	0	0	φ	φ
11	φ	φ	φ	φ
10	φ	φ	φ	φ

Q ₅ Q ₆	00	01	11	10
Q ₇ Q ₈	00	01	11	10
00	0	0	0	1
01	0	0	φ	φ
11	φ	φ	φ	φ
10	φ	φ	φ	φ

Q ₅ Q ₆	00	01	11	10
Q ₇ Q ₈	00	01	11	10
00	0	0	1	0
01	0	0	φ	φ
11	φ	φ	φ	φ
10	φ	φ	φ	φ

Q ₅ Q ₆	00	01	11	10
Q ₇ Q ₈	00	01	11	10
00	0	0	0	0
01	1	0	φ	φ
11	φ	φ	φ	φ
10	φ	φ	φ	φ

$A_{2S} = Q_6 \bar{Q}_8$

$A_{2\alpha} = \bar{Q}_7 \bar{Q}_6 Q_8$

$A_{2\beta} = Q_7 \bar{Q}_8$

$A_{2\gamma} = Q_7 Q_8$

$A_{2E} = Q_8 Q_6$

Schéma Fonctionnel.

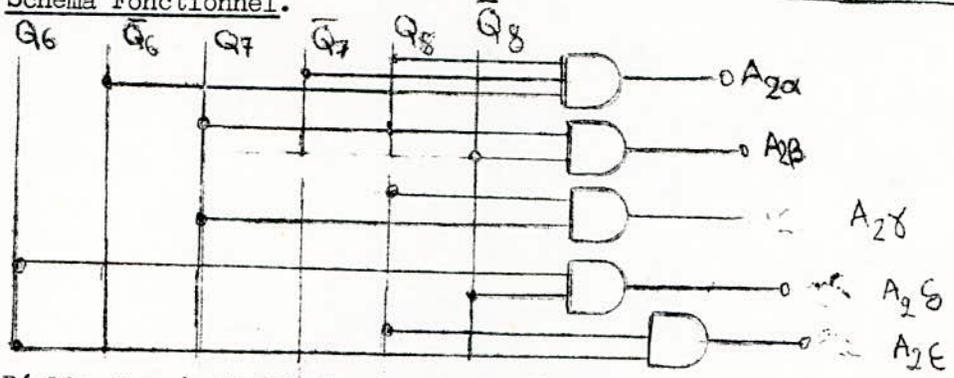


FIG. III.11

Réalisation à l'aide de circuits intégrés.

Pour des raisons d'uniformité nous choisissons les circuits intégrés déjà utilisés à savoir le SFC 409 E contenant 4 Opérateurs "ET" (à 2 entrées) par boîtier.



Il faut donc 6 portes "ET" soit 2 C.I.

Les portes "ET" restantes serviront d'éléments de réserve.

3 - 3 Déchiffreur (D₃)

Il s'agit pour vérifier la condition P_2 ou P_2' ou P_2 et P_2' , sachant que la combinaison 00 ne correspond ni à P_2 ni à P_2' ; c'est une combinaison de RAZ. Parmi les 3 combinaisons restantes nous choisissons le fonctionnement selon la table de vérité suivante:

128

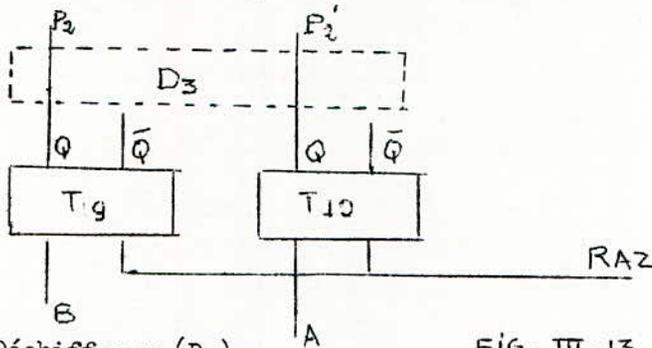
A	B	P ₂ '	P ₂
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

Les combinaisons:
 01 donne le signal P₂
 10 donne le signal P₂'
 11 donne le signal P₂' et P₂.

TAB. III-12

P₂ = B P₂' = A

En fait les entrées sont identiques aux sorties, le câblage ne demande pas de porte. Le Déchiffreur (D₃) est une formalité sur la figure car on a la configuration:



3 - 4 Déchiffreur (D₄)

FIG. III-13

Le Déchiffreur D₄ figure sur le schéma III.5 d'une manière analogue à (D₃)

Il ne contient aucun opérateur.

Table de vérité

A	B	a	b
0	0	0	0
0	1	0	1
1	0	1	0
1	1	∅	∅

Les ∅ représentent les combinaisons interdites.

Elles ne sont pas réalisées par dispositif central.

Table: III. 14

La sortie est identique à l'entrée $\implies a = A$ et $b = B$

a = signal de commande de la lampe jaune

b = signal de commande de la lampe rouge

3 - 5 Compteur.

Ce compteur comporte 3 bits à une entrée. Il doit pouvoir être remis à zéro. Il est asynchrone car il doit compter les impulsions d'horloge.

Réalisation à circuits intégrés.

On peut prendre les circuits intégrés SN 74 S112 utilisés précédemment, contenant 2 bascules J, K par boîtier (

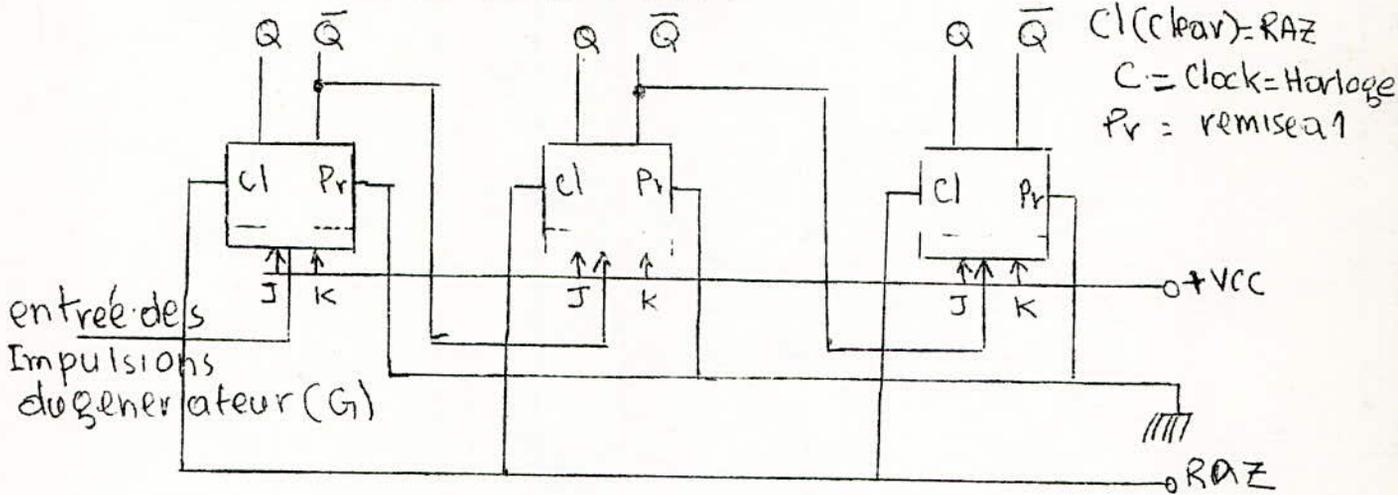


FIG III-15

Les entrée J et K sont constamment au niveau "1", les impulsions du générateur venant pour faire le basculement, sont comptées.

Les entrées P_r (remise à 1) ne sont pas utilisées, elles sont mises à la masse.

Il faut donc 2 C.I. SN 74 S 112 avec une bascule non utilisé qui servira d'élément de reserve.

Réalisation à transistors.

A partir des bascules J, K à transistors NPN calculés précédemment (voir page) ne comportant pas d'entrée d'horloge (asynchrone), nous adoptons le schéma suivant:

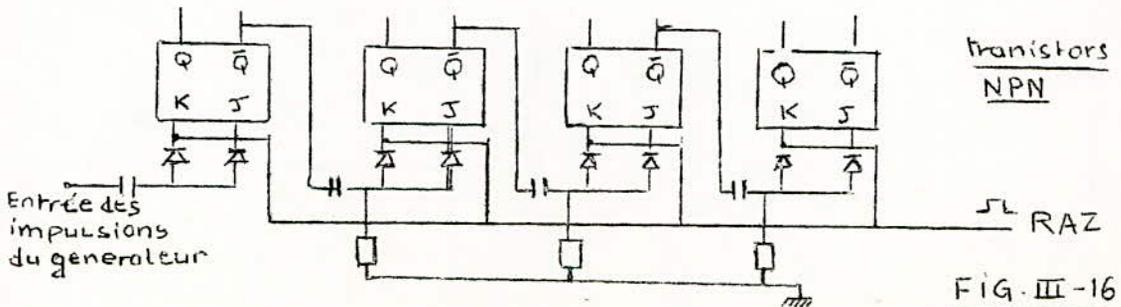


FIG. III-16

3.6 Déchiffreur (D₅)

Il se présente comme un boîtier avec 3 variables à l'entrée et 4 variables à la sortie, fonctionnant selon la table de vérité suivante:

N° Imp.	Q ₁	Q ₂	Q ₃	X ₁	X ₂	X ₃	X ₄
RAZ	0	0	0	0	0	0	0
1		0	0	I	0	0	0
2	0	1	0	0	I	0	0
3	1	1	0	0	0	1	0
4	0	0	I	0	0	0	1
	1	0	1	∅	∅	∅	∅
	0	1	1	∅	∅	∅	∅
	1	1	1	∅	∅	∅	∅

Q₁ = sortie de T₁₉
 Q₂ = sortie de T₂₀
 Q₃ = sortie de T₂₁

Non réalisées

Tableau : III. 17

Ce qui donne.

00	01	11	10
0	I	0	0
0	∅	∅	∅

00	01	11	10
0	0	0	I
0	∅	∅	∅

00	01	11	10
0	0	I	0
0	∅	∅	∅

00	01	11	10
0	0	0	0
I	∅	∅	∅

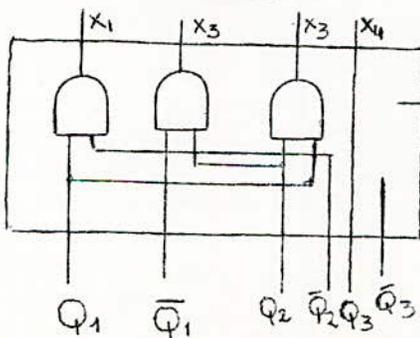
$$X_1 = Q_1 \bar{Q}_2$$

$$X_2 = \bar{Q}_1 Q_2$$

$$X_3 = Q_1 Q_2$$

$$X_4 = Q_3$$

Schema Fonctionnel:

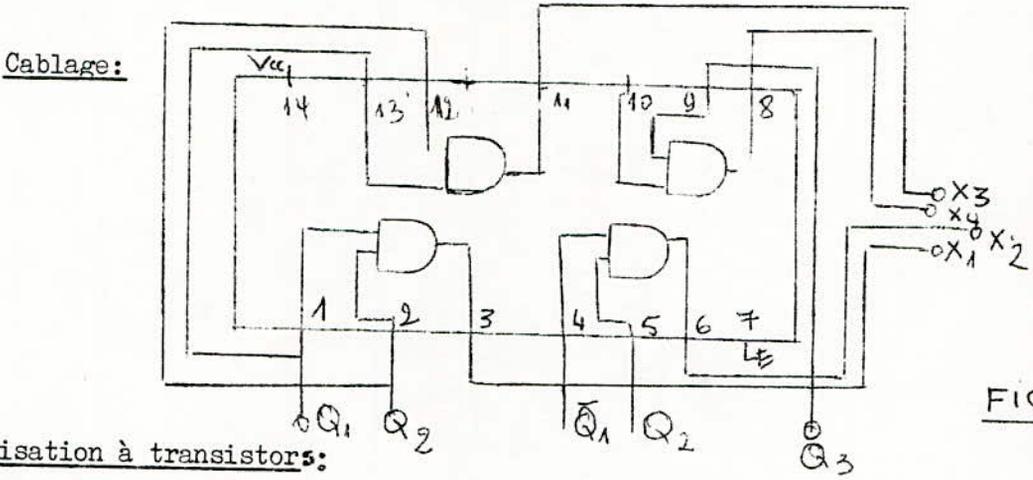


DECHIFFREUR (D₅)

FIG. III - 18

Réalisation à l'aide du circuits Intégrés

Nous avons 3 portes "ET" à 2 entrées nous prenons un circuit Intégré déjà utilisé: le SFC 409 E, contenant 4 portes "ET"



Réalisation à transistors:

Il suffit de calculer les portes "ET", ce qui est déjà fait.

3.7 Etude d'un monostable:

3.7.1 Choix d'un monostable en circuit intégré.

Un monostable est un circuit qui n'a qu'un seul état stable. Le monostable que nous avons choisi est un SN 74 122 N, c'est un circuit qui délivre une impulsion positive ou négative dont la durée est définie par un circuit R.C extérieur après avoir été déclenché par front positif ou négatif en conformité du tableau ci-dessous:

$A_1 + A_2$	$B_1 \cdot B_2$	RAZ	Q	\bar{Q}
1	X	X	0	1
X	0	X	0	1
X	0	0	0	1
X	0		0	1
0	1			
0		1		
	1	1		

TAB. III.20

On remarque que déclenchement à lieu pour un front négatif appliqué à l'une des entrées A, où un front positif appliqué aux entrées B.

La durée de l'impulsion est définie par :

$$t_d = 0,32 R \cdot C \left(1 + \frac{0,7}{R} \right)$$

avec $R \leq 50 \text{ K}\Omega$

C : non limitée.

Nous n'utilisons pas la RAZ

Calcul des éléments pour la durée de l'état instable.

a) $t_d = 50 \mu\text{s}$ " pour le monostable m_1 "

$$t_d = 0,32 R \cdot C \left(1 + \frac{0,7}{R} \right) \implies C = \frac{t_d}{0,32 (R+0,7)}$$

$R < 50 \text{ k}\Omega$ on choisit $R = 20 \text{ K}\Omega$

$$C \neq \frac{50 \cdot 10^{-6}}{0,32(20) \cdot 10^3} = 7800 \text{ pF}$$

b) $t_d = 5 \mu\text{s}$ pour monostable m_2 et pour les amplis à temporisation

ϕ_1 et ϕ_2

On prendra $R = 10 \text{ K}\Omega$

$$C = \frac{t_d}{0,32(R+0,7)} \neq \frac{t_d}{0,32 R} = \frac{5 \cdot 10^{-6}}{0,32 \cdot 10^4} = 15,6 \cdot 10^{-10} \text{ F}$$

On prend $C = 1600 \text{ pF}$

Schéma synoptique du SN 74 122 N

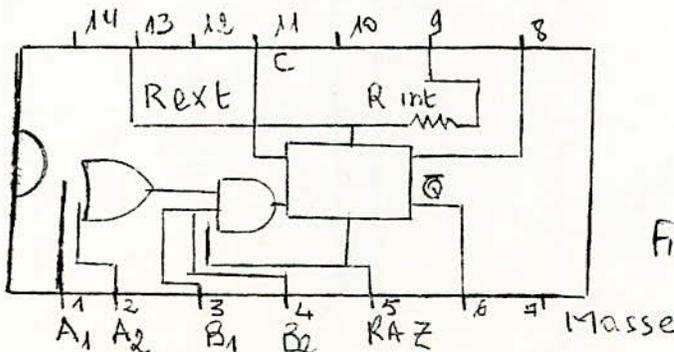


Fig III, 21

3.7.2 Monostable ou Univibrateur

Un monostable est un circuit binaire qui n'a qu'un seul état stable. Une impulsion de commande lui fait changer d'état, mais il reviendra toujours spontanément à son seul état initial stable. Ce circuit peut avoir diverses applications, en particulier il peut servir pour décaler des signaux ou les positionner dans le temps.

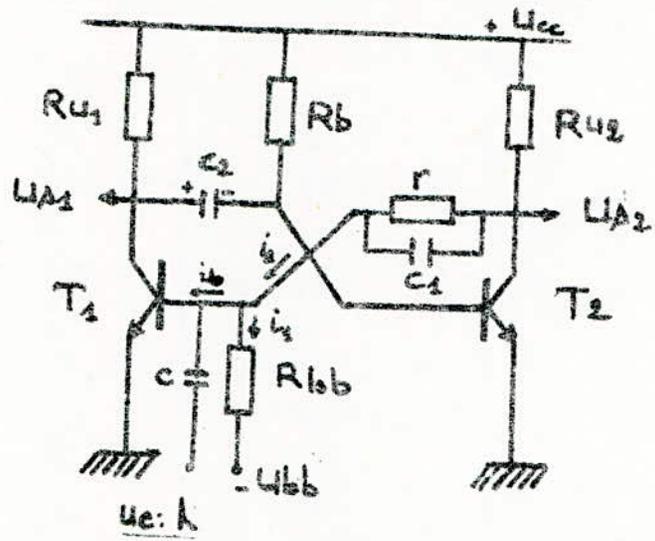


Schéma d'un monostable fig n° III. 25

l'attaque peut se faire soit par les collecteurs K_1 ou K_2 soit par les bases B_1 ou B_2 . Nous choisissons l'attaque par la base B_1 , par une impulsion positive.

Chronogramme de fonctionnement

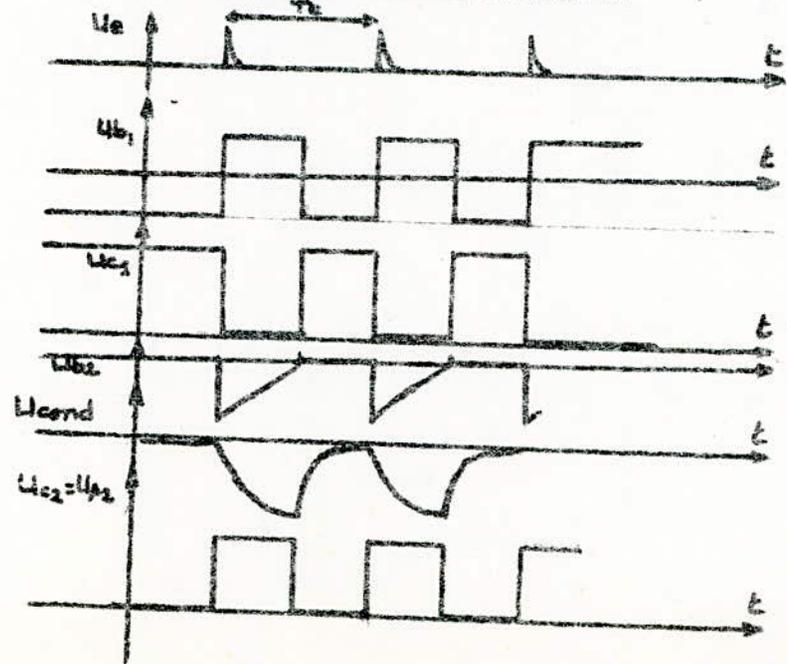


fig. III-26

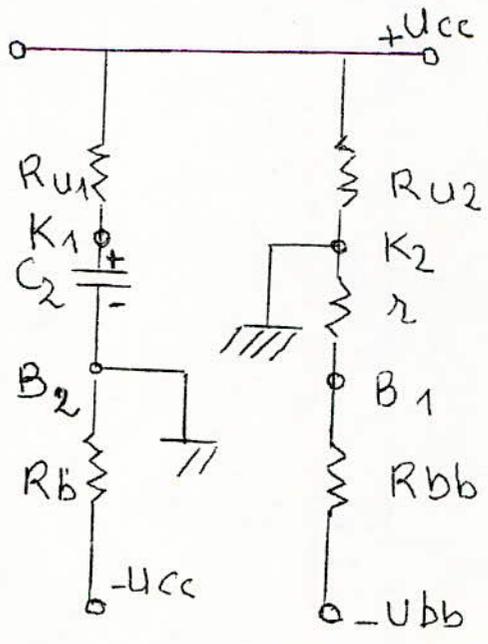
Fonctionnement

On suppose qu'à l'état stable T_1 est bloqué ; T_2 saturé..
 T_1 est bloqué par la présence de $-U_{bb}$ appliquée à travers R_{bb} .
 Ils s'ensuit que le collecteur du transistor T_1 est porté au potentiel U_{cc} . Le transistor T_2 est saturé par la présence du courant de saturation Base emetteur à travers R_b . le condensateur C_2 chargé à travers R_{u1} avec la constante de temps $C_2 R_{u1}$ ($R_u < R_b$). si l'on applique une impulsion suffisante et positive, à travers C_1 , Le transistor T_1 commence à conduire la tension de collecteur de T_1 est à la masse. Le condensateur C_2 chargé à $-U_{cc}$ se déchargé à travers R_b avec la constante de temps $R_b C_2$ ($R_b C_2 < T_e$).

Lorsque $U_{b2} \neq 0$, le transistor T_2 commence à conduire, T_1 est alors bloqué et l'univibrateur revient à son état stable.

Circuits équivalents du monostable.

avant basculement



apres basculement

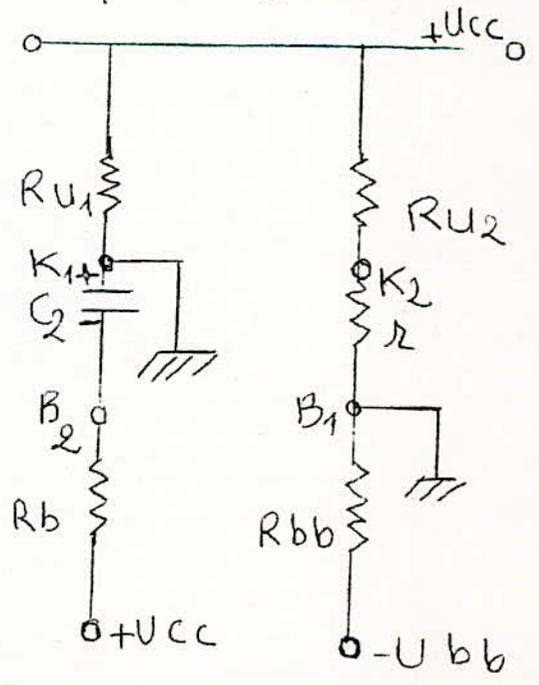


fig 27

Calcul des éléments du circuits monostable. (variante à transistor)
Transistors choisis 2N2222

$U_{cc} = 12 \text{ V}$

$I_{cs} = 12 \text{ mA}$

$U_{bb} = -5 \text{ V}$

Choix du courant de saturation

$20 I_{comax} \ll I_{cs} < I_{cmax}$

$R_{u1} = R_{u2} = \frac{U_{cc}}{I_{cs}} = \frac{12}{12} = 1 \text{ k}\Omega$

Calcul de Rb

La condition de saturation donne

$R_b = \frac{U_{cc}}{I_b} ; I_b = \frac{I_{cs} \cdot N}{\beta} \Rightarrow R_b = \frac{U_{cc} \cdot \beta}{N I_{cs}} = \frac{\beta \cdot R_u}{N}$

à 12 mA, $\beta = 75$, N = coefficient de saturation, on le choisit égal à 2
(N=2)

$R_b = \frac{\beta \cdot R_u}{N} = \frac{75 \cdot 10^3}{2} = 37,5 \text{ k}\Omega$ on choisit

R_b normalisée = 36 k Ω

Calcul de Rbb

La condition de blocage donne

$R_{bb} \leq \frac{0,8 U_{bb}}{I_{comax}} = \frac{0,8 \cdot 5}{10^{-5}} = 0,4 \text{ M}\Omega$

on prend:

$R_{bb} = 180 \text{ K}\Omega$

La durée td est déterminée par la décharge de C₂ à travers Rb. Equation

de décharge $U_{cond} = 2U_{cc} (1 - e^{-t/\tau}) - U_{cc}$, pour

$U_{cond} = 0 \Rightarrow t = t_d = 0,69 \tau = 0,69 R_b C_2$

$C_2 = \frac{t_d}{0,69 R_b}$. ici $t_d = 50 \mu s$

439

$$\text{d'où } C_2 = \frac{50 \cdot 10^{-6}}{0,63 \cdot 36 \cdot 10^{-3}}$$

$$C_2 = 2 \text{ nF}$$

la condition de saturation nous donne r

$$i_2 = i_1 + i_b$$

$$i_b = i_2 - i_1$$

$$i_b = \beta i_{bs} \equiv \frac{\beta (U_{cc} - U_{be}(\text{sat}))}{\beta R_u}$$

$$i_1 = \frac{U_{bb} - U_{be}(\text{sat})}{R_{bb}}$$

$$i_2 = \frac{U_{cc} - U_{be}(\text{sat}) - I_{co} \cdot R_u}{R + R_u}$$

$$\Rightarrow \frac{\beta \cdot U_{cc} - U_{be}(\text{sat})}{\beta \cdot R_u} = \frac{U_{cc} - U_{be}(\text{sat}) - I_{co} R_u}{R + R_u} - \frac{U_{bb} - U_{be}(\text{sat})}{R_{bb}}$$

$U_{be}(\text{sat}) \ll U_{cc}$; $U_{be}(\text{sat}) \ll U_{cc}$ et $I_{co} \cdot R_u \ll U_{cc}$

$$\frac{\beta \cdot U_{cc}}{\beta R_u} = \frac{U_{cc}}{r + R_u} - \frac{U_{bb}}{R_{bb}}$$

$$\frac{\beta \cdot U_{cc}}{\beta \cdot R_u} = \frac{1}{r + R_u} - \frac{U_{bb}}{R_{bb} \cdot U_{cc}}$$

$$\text{Soit } r = \frac{1}{\frac{\beta \cdot U_{cc}}{R_u} + \frac{U_{bb}}{U_{cc} \cdot R_{bb}}} - R_u$$

$$\text{d'où } r = R_u \left(\frac{1}{\frac{\beta}{U_{cc}} + \frac{U_{bb} \cdot R_u}{U_{cc} \cdot R_{bb}}} - 1 \right)$$

$$r \approx R_u \left(\frac{\beta}{U_{cc}} - 1 \right)$$

$$\text{ce qui donne: } r = 10^3 \left(\frac{75}{2} - 1 \right) = 36,5 \text{ K}\Omega$$

Valeur normalisée

$$r = 36 \text{ K}\Omega$$

$$C_1 \text{ opt} = (100 - 600 \text{ pF})$$

\Rightarrow on prend

$$C_1 \text{ opt} = 150 \text{ pF}$$

Verification de la valeur de sortie

$$U_{A2} = 0 U_{cc} \leq \frac{U_{cc} \cdot r}{r + R_u} = \frac{12 \cdot 36}{36 + 1} = 11,7 \text{ V}$$

Calcul de la fréquence max d'attaque

$$t_{ch} = (3 \div 5) R_u C_2 = 8 \mu\text{s}$$

$t_{ch} = (\text{temps de charge de } C_2)$

135

$$t_{dech} = 50 \mu s$$

On doit avoir $T_e > (t_d + t_{ch}) = 58 \mu s$

$$\Rightarrow f_{max} = 17,3 \text{ Khz}$$

$$f_e \leq f_{max}$$

Circuit d'attaque du monostable:

L'attaque se fait par circuit dérivateur donnant l'impulsion positive

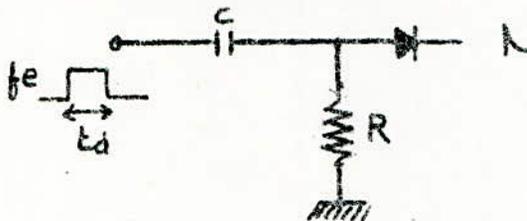


Figure III.28

$\tau = RC =$ constante de temps du circuit dérivateur que l'on déterminera en partant du signal d'attaque .

Condition de dérivation $RC = \tau \ll t_d$

On prend $\tau = 0,05 t_d = 0,05 \cdot 50 = 2,5 \mu s$

on prend $R = 1 \text{ Ka} \Rightarrow C = \frac{2,5 \cdot 10^{-6}}{10^3} = 2,5 \text{ nF}$

$$C = 2,4 \text{ nF}$$

3.7.3 Multivibrateur astable

On utilise un multivibrateur qui joue le rôle du générateur (G)

Schéma.

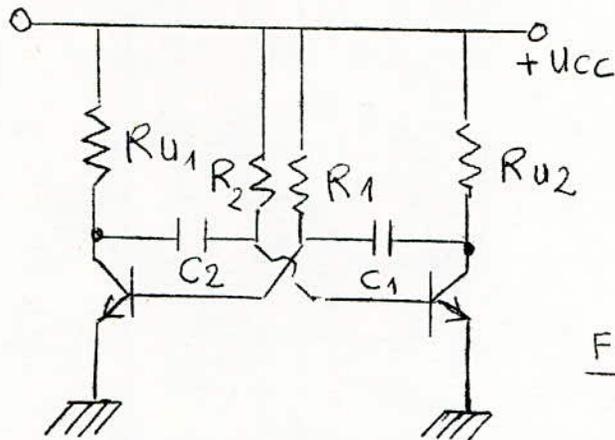


Fig III-29

Le Multivibrateur est représenté par un simple amplificateur à couplage R.C en montage émetteur commun. La sortie de chaque transistor est relié à l'autre, et inversement. Dans ce circuit on a toujours un transistor saturé, l'autre bloqué.

Le démarrage de ce circuit est dû au déséquilibre qui existe entre les courants de collecteur des 2 transistors.

Si à $t = 0$ T_1 conduit plus que T_2 dans ce cas la tension aux bornes de R_{u1} s'accroît avec une diminution correspondante de la tension collecteur de T_1 . Cette variation négative de tension se trouve appliquée à la base de T_2 grâce au réseau $R_2 C_2$, car C_2 ne peut voir sa tension varier instantanément. Une tendance à une tension négative appliquée à la base de T_2 a pour effet une diminution du courant de collecteur et une augmentation du potentiel au collecteur de T_2 . Cet accroissement est à son tour appliqué par le réseau $R_1 C_1$ sur la base de T_1 . Le processus est cumulatif jusqu'à ce que l'on obtienne T_1 saturé et T_2 bloqué. Cette commutation se produit spontanément.

A ce moment le condensateur C_1 se charge à, travers $U_{cc} \longrightarrow R_{u2} \longrightarrow$
 \longrightarrow Cbe de T_1 (Sat) \longrightarrow Masse, tandis que C_2 se décharge à travers
 $R_2 \longrightarrow +U_{bb} \longrightarrow$ Masse \longrightarrow rce de T_1 (Sat) jusqu'à ce que la tension
de base de T_2 s'annule ; de ce fait T_2 commence à conduire , la tension
collecteur de T_2 diminue, tendant à connecter C_1 à la masse, la variation
négative du potentiel de C_1 se trouve appliqué à la base de T_1 , Le phénomène
est cumulatif (analogue au précédent) jusqu'à ce que l'on obtienne T_1
bloqué et T_2 saturé ... et ainsi de suite (voir chronogramme)

Calcul des éléments d'un astable (à auto-polarisation)

On considère un astable symétrique.

$$R_{u1} = R_{u2} = R_u$$

$$R_1 = R_2 = R$$

$$C_1 = C_2 = C$$

Il servira comme générateur d'impulsions(G) dont le signal de sortie
à pour période $T = 50 \mu s$

$$T_d = T_p = \frac{T}{2} = 25 \mu s$$

transistor choisi : 2 N 2222

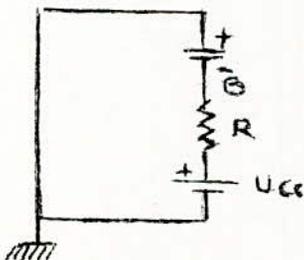
I_{cs} est tel que $20 I_{co} \ll I_{cs} < I_{cmax}$.

On prend $I_{cs} = 12 \text{ mA}$

$$R \neq U_{cc}/I_{cs} = 12/12 \cdot 10^{-3} = 1 \text{ k}\Omega$$

$$U_b = 2 U_{cc} (1 - e^{-t/\tau_{déch}}) - U_{cc} \quad / \quad \boxed{R = 1 \text{ k}\Omega}$$

Cette relation est établie à partir du schéma suivant :



Pour $U_b = 0$ on a $t = t_d$

$$0 = 2 U_{cc} (1 - e^{-t/\tau_{déch}}) - U_{cc}$$

$$\tau_{déch} = RC$$

$$e^{-t_d/\tau_{déch}} = U_{bb}/(U_{cc} + U_{cc}) = 1/2$$

137

$$t_d = R.C \ln \frac{U_{cc} + U_{cc}}{U_{cc}} = RC \cdot \ln 2$$

$$R.C = \frac{25 \cdot 10^{-6}}{\ln 2} = 30,6 \cdot 10^{-6} \quad (1)$$

$$\text{d'autre part } I_b = N \cdot I_{bs} = 2 I_{bs} \quad (N=2)$$

$$I_b = \frac{2 I_{cs}}{\beta} = \frac{2 \cdot 12}{75} = 0,32 \text{ mA}$$

$$R = \frac{U_{cc}}{I_b} = \frac{12 \cdot 10^3}{0,32} = 37,4 \cdot 10^3 \Omega$$

On prend $R = 36 \text{ K}\Omega$

à partir de l'équation (1) on a :

$$C = \frac{30,6 \cdot 10^{-6}}{R} = \frac{30,6 \cdot 10^{-6}}{36 \cdot 10^3} = 0,85 \cdot 10^{-9} \text{ F}$$

On prend $C = 820 \text{ pF}$

Multivibrateur astable à circuits intégrés.

A l'aide de 2 circuits intégrés Monostables SN 74.122 N déjà choisi on peut réaliser un Multivibrateur astable en les câblant selon le schéma suivant:

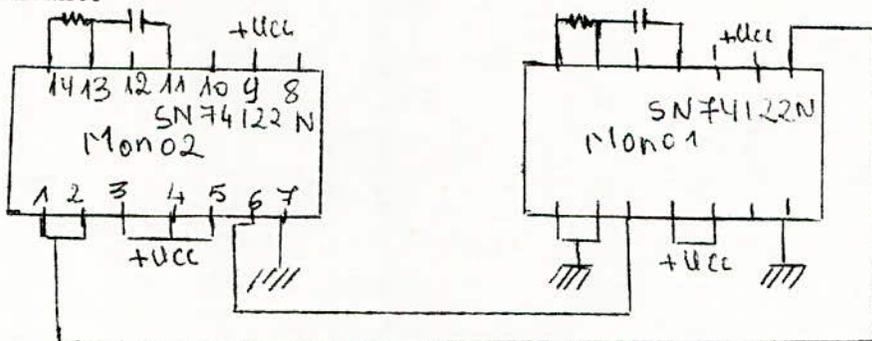


fig III.31

chronogramme de fonctionnement

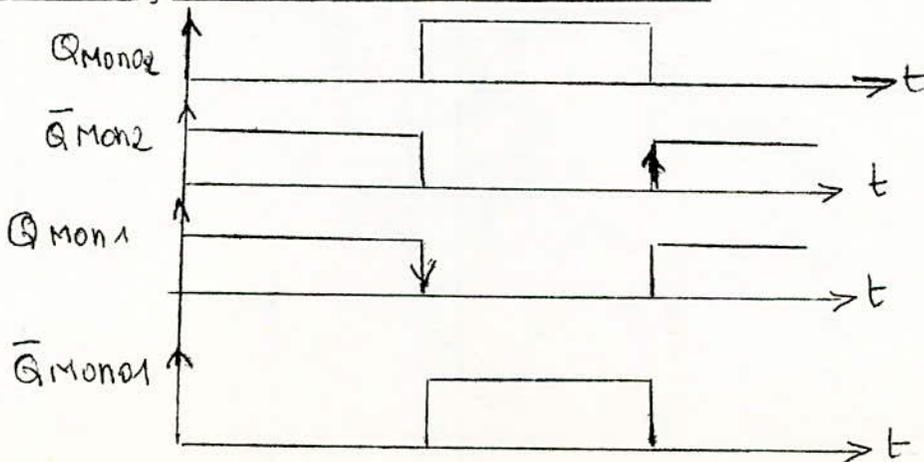


fig III.32

On a branché le monostable 1 de telle façon qu'il soit commandé par front positif (montant) et le monostable 2 de telle façon qu'il soit commandé par front négatif (descendant). En mettant sous tension les 2 monostables, ils ont tendance à prendre leur état d'équilibre c'est à dire $Q = 0$ et $\bar{Q} = 1$, mais comme le monostable 1 est attaqué justement par $\bar{Q} = 1$, le front montant amène ce monostable à prendre l'état instable $Q = 1$ et $\bar{Q} = 0$. Cet état dure $25 \mu s$ puis il reprend son état stable, Q passera de 1 à 0 (front descendant) ainsi il fera basculer le monostable 2 qui restera dans l'état instable ($Q = 1$ et $\bar{Q} = 0$) durée $25 \mu s$, A la $25^o \mu s$ Q passe de 1 à 0 donc \bar{Q} passe 0 à 1 (front montant), or \bar{Q} attaque le Monostable 1, Le basculement à lieu et le cycle recommence, ainsi le montage restera à basculer tant qu'il est alimenté.

Calcul

On choisi $T = 50 \mu s$

$$T = t_d + t_p = 2 t_d = 50 \text{ s} \implies t_d = 25 \mu s$$

on prend $R_{ext} = 20 \text{ K}$

$$\implies \frac{t_d}{0,32(R+0,7)} \approx \frac{t_d}{0,32 R} = \frac{25 \cdot 10^{-6}}{0,32 \cdot 20 \cdot 10^3} \implies 3900 \text{ pF}$$

Horloge

Certains des registres et Bascules en C.I. utilisés dans le système d'indication possède une entrée d'horloge (Synchrone).

A partir justement du même montage " Multivibrateur astable à circuits intégrés". Nous donnons les éléments de l'horloge pour une fréquence $f_h = 1 \text{ MHz}$

$$R = 20 \text{ k}\Omega$$

$$C = 120 \text{ pF}$$

Valeurs relevées à partir caractéristiques données par le constructeur

$$t = f(C) \text{ pour } R = \text{constante}$$

\uparrow \uparrow \uparrow
 ns pF k Ω

REMARQUE

Si les conditions de fonctionnement exigent une stabilité en fréquence. On a alors recours à un générateur à Quartz.

1. ETUDE SOMMAIRE DE OSCILLATEUR A QUARTZ

Un cristal piézoélectrique est un quadripole électro-mécanique (fig III-33.a) s'il fonctionne à "vide" côté mécanique. C'est à dire à effort nul. Son impédance électrique est parfaitement déterminée par le modèle de la figure (b)

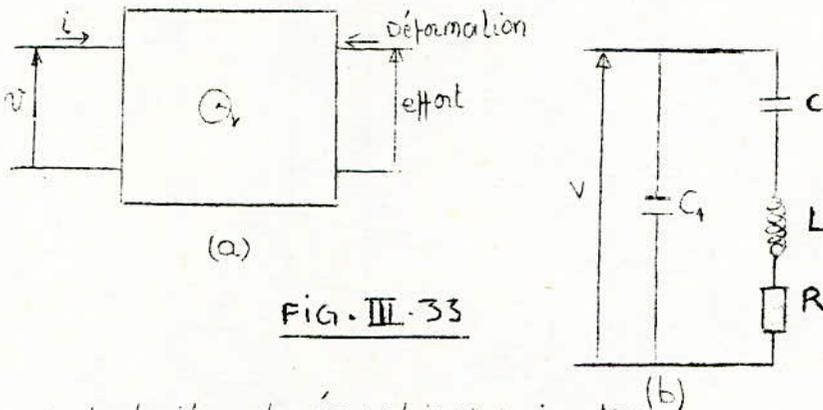


FIG. III-33

Elle est déduite des équations suivantes:

$$F = m \frac{d^2x}{dt^2} + f \frac{dx}{dt} + kx + Ag$$

$$v = \frac{Q}{\epsilon_0} + Ax$$

- avec:
- m = coefficient d'inertie
 - f = coefficient de frottement interne de la matière
 - k = coefficient d'élasticité
 - A = terme de couplage piézoélectrique.

Pour $F_{extérieure} = 0$, en appliquant une tension $v_{extérieure}$, on aura $Z_{équivalent} = \frac{Z_1 \cdot Z_2}{Z_1 + Z_2}$.

avec $Z_1 = \frac{1}{j\omega C_1}$ C_1 = capacité entre les armatures.

$Z_2 = R + j(L\omega - \frac{1}{C\omega})$. Si l'on néglige R on obtient $Z = jX_1$.

Pour $X_1 = 0$ on obtient 2 fréquences de résonance:

$\omega_s = \frac{1}{\sqrt{LC}}$ = Résonance série, et $\omega_p = \frac{1}{\sqrt{LC}} \cdot \sqrt{1 + \frac{C}{C_1}}$ Résonance parallèle.

Tracé de X_q en fonction de la fréquence.

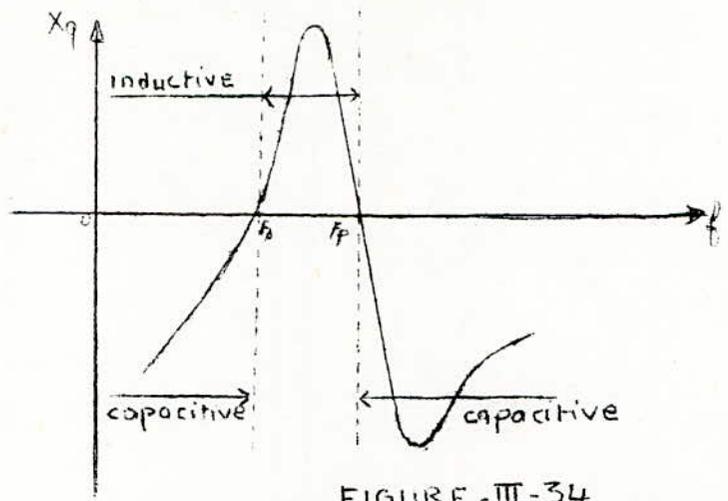


FIGURE - III - 34

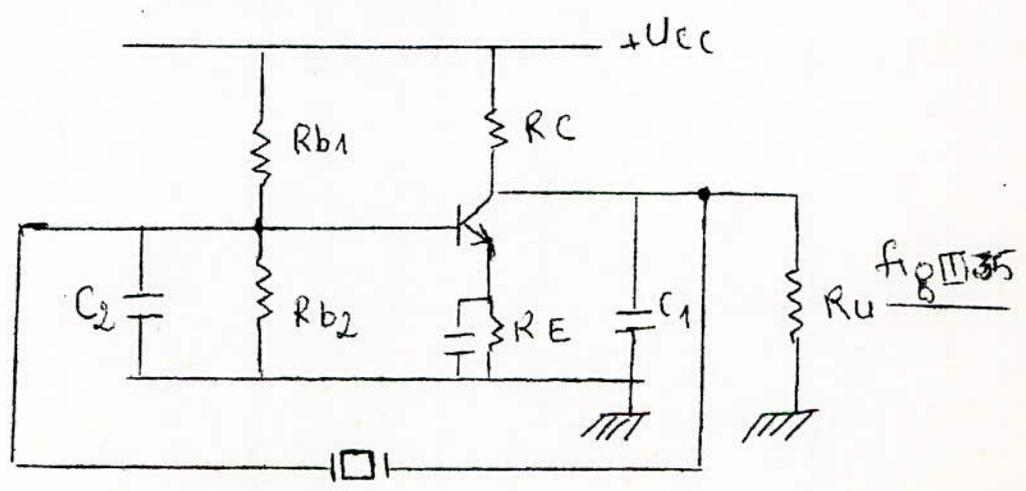
Dans le tracé de cette courbe voisinage de f_p on a tenu compte de R.

On voit que le quartz se comporte comme impédance dont la réactance varie rapidement quand f varie entre f_s et f_p .

Dans cet intervalle cette réactance est inductive cette propriété est mise à profit dans l'oscillateur Collpittes dans lequel on a remplacé l'inductance par la réactance du Quartz.

L'oscillation s'établit à une fréquence telle que la réactance du Quartz soit égale à la réactance de la self remplacée.

SCHEMA DE L'OSCILLATEUR UTILISE



Dans notre cas pour obtenir des signaux carrés on peut le charger un circuit de mise en forme (écreteur à diode, Trigger de Schmett...).

IV. Etude d'une alimentation stabilisée

Il s'agit de calculer le ou les blocs d'alimentation capable de fournir la puissance nécessaire au fonctionnement des circuits.

On s'intéresse à un bloc pouvant fournir une puissance de 50 V.A.

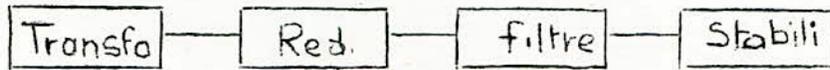
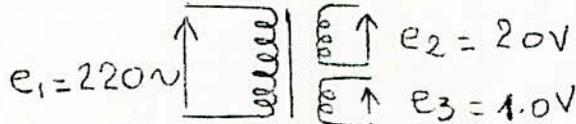


Fig. IV - 1

1- Calcul du transformateur



Circuit magnétique

FIG IV.2

La surface du noyau magnétique est donnée par la formule :

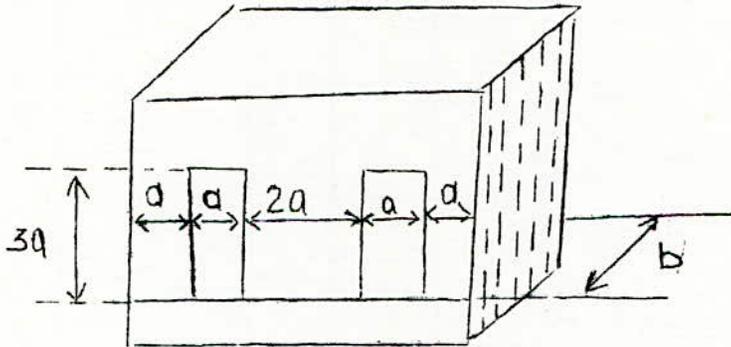


Fig IV.3

Nous prenons des toles standards dont les dimensions sont données par la figure ci dessus .

$$S = a \cdot 2a, \text{ on prend } a = 14 \text{ mm}, \text{ on aura l'épaisseur } b = \frac{S}{2a}$$

$$= \frac{7 \cdot 10^2}{28} = \boxed{25 \text{ mm}} .$$

Les toles utilisés possèdent une épaisseur $e = 0,5 \text{ mm}$, d'où l'on déduit le nombre des toles n .

$$n = \frac{b}{e} = \frac{25}{0,5} = 50 \text{ toles}$$

La formule de Boucherot nous permet de calculer le nombre de spires au primaire :

$$N_1 = \frac{U_1}{4,44 f \cdot B \cdot S}$$

$$S = 7 \text{ Cm}^2$$

$$B = 1 \text{ Tesla}$$

$$f = 50 \text{ Hz}$$

$$N_1 = \frac{220}{10^{-4} \cdot 7 \cdot 50 \cdot 4,44} = \boxed{1420 \text{ spires}}$$

Calcul du nombre de spires au secondaire

$$n_1 = \frac{N_2}{N_1} = \frac{e_2}{e_1} = \frac{20}{220} \Rightarrow N_2 = \frac{e_2}{e_1} N_1 = \frac{20}{220} \cdot 1420 = \boxed{129 \text{ spires}}$$

$$n_2 = \frac{N_3}{N_1} = \frac{e_3}{e_1} = \frac{10}{220} \quad N_3 = e_3 \frac{N_1}{e_1} = 10 \cdot \frac{1420}{220}$$

$$\boxed{N_3 = 64 \text{ spires}}$$

ce qui donne en tout $129 + 64 + 1420 = 1613 \text{ spires}$

Calcul de la section et de la longueur du fil

A partir de la puissance de sortie au secondaire (P_2) et du rendement η , on peut déterminer la puissance d'entrée (P_1) grâce à la relation : $\eta = \frac{P_2}{P_1}$. On suppose que le rendement η est = 0,8

ce qui donne $P_1 = \frac{50}{0,8} = 62,5 \text{ W.A}$, on détermine ainsi le courant à l'entrée $I = \frac{P_1}{U_1} = \frac{62,5}{220} = 0,28 \text{ A}$

Soit la puissance de sortie $P_2 = P_{22} + P_{23}$ Obtenue d'après le schéma suivant :

P_{22} = puissance de sortie au secondaire dans le bobinage 2 ($P_{22} = 30 \text{ V.A}$)

P_{23} = puissance de sortie au secondaire dans le bobinage 3 ($P_{23} = 20 \text{ V.A}$)

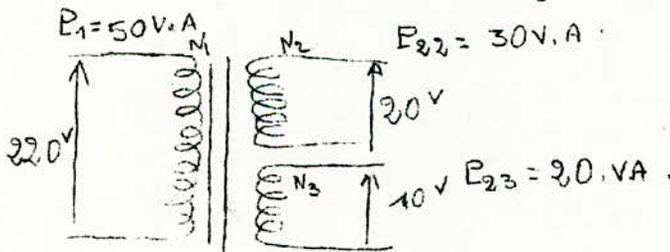


FIG IV.4

Cherchons les courants (I_{N2}) et (I_{N3}) dans les bobinages N_2 et N_3

$$I_{N2} = \frac{30}{20} = 1,5 \text{ A} \quad I_{N3} = \frac{20}{10} = 2 \text{ A}$$

Ces courants ainsi déterminés représentent les courants max que peut fournir le transformateur, correspondant à la puissance disponible du transformateur. Il faut alors que les fils des enroulements puissent supporter de tels courants sans aucun risque.

A partir de cela nous déterminons la valeur de la section nécessaire, si l'on désire une densité de courant $J = 3,5 \text{ A/mm}^2$

Soit s_1 la section du fil utilisé dans le primaire et s_2 la section du fil utilisé dans le secondaire .

$$s = \frac{I}{J} = \dots \quad s_2 = \frac{2}{3,5} = \boxed{0,57 \text{ mm}^2} \quad s_2 = \frac{0,28}{3,5} = \boxed{0,08 \text{ mm}^2}$$

Pour calculer la longueur du fil nécessaire , nous désignons par l la longueur moyenne d'une spire . Nous prendrons pour l le périmètre du noyau magnétique augmenté de 10% .

$$l = 2(2a \cdot b) = 10,6 \text{ Cm} + 10\% = \boxed{11,7 \text{ Cm}}$$

Or on a 1613 spires , soit la longueur totale $L = 1613 \times 11,7 = 189 \text{ m}$

Cherchons maintenant le nombre de spires a loger dans 1 Cm Pour le bobinage primaire (m_1) et pour le secondaire (m_2)

$$m_1 \leq \frac{100}{0,57} = 175 \text{ spires/Cm}^2, \text{ car on a tenu compte de l'espace}$$

de l'isolement entre les spires . On prend $m_1 = 120 \text{ spires/Cm}^2$.

$$\text{De meme on fait pour } m_2, m_2 \leq \frac{100}{0,08} = \boxed{1250 \text{ spires/Cm}^2}$$

$$\text{On prend } \boxed{m_2 = 800 \text{ spires / Cm}^2}.$$

Voyons si ce nombre de spires peut etre contenu dans l'espace offert par la fenêtre . Soit cette espace S_f .

$$S_f = a \times 3a = 3a^2 = 3 \cdot 1,4^2 = 5,87 \text{ Cm}^2$$

Emplacement:

cet emplacement ce traduit par la relation suivante :

$$[N_1 A_1 + (N_2 + N_3) A_2] K \leq S_f$$

$K =$ coefficient de remplissage = $(2+3)$ on prend 2.

$$\Rightarrow [1420 \times 0,08 + 193 \times 0,57] 2 = [1,14 + 1,1]$$

$$= 2,24 \cdot 2 = \underline{4,5 \text{ cm}^2} < S_f$$

cette relation est vérifiée -

2 - Pont redresseur

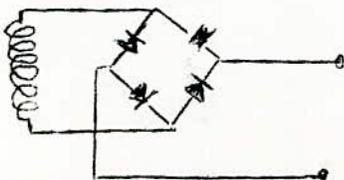


FIG IV.5

Schéma d'un pont redresseur double alternance .

Le pont à diodes doit être choisi de telle façon que les diodes supportent à la fois la tension et le courant. La tension de 20 V est appliquée à la fois aux deux diodes. Le courant max qui les traverse est de 2 A. On choisira les à ce que chacune peut être traversée par deux ampères et peut supporter 20 V. Les diodes choisies sont du type AY 104.

- Courant maximal admissible = 5 A
- Tension maximale de crête = 50 v

3- Circuit de stabilisation:

On utilise un montage collecteur commun sur le schéma de la figure ci dessous. Le pont de base contient une diode régulatrice.

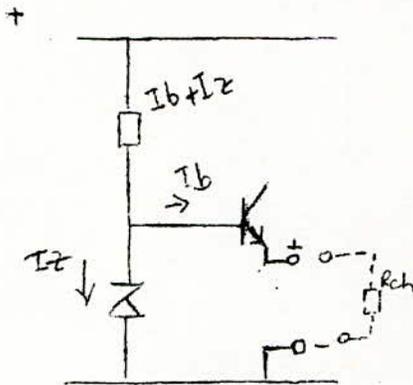


FIG. IV.5

La tension de sortie reproduit la tension de Zener à la tension V_{be} près. $V_s = V_z - V_{be}$.

Le transistor choisi est le 2N 3055 qui peut dissiper 115 W. Le transistor au silicium ($V_{be} \neq 0,6 V$) fournira la tension nécessaire à la charge.

Dans ce montage c'est la diode Zener qui permet la stabilisation de la tension. On désire avoir une tension de 5V à la sortie, on choisit alors une diode Zener possédant un $V_z = 5,6 V$. On polarise la diode Zener à 7,5 mA - 5,6 V. Pour avoir 20 V.A à la sortie, le courant doit être :

$$I = \frac{P_{23}}{E_3} = \frac{20}{5} = 4 A \quad \text{ceci nous fixe la charge minimale}$$

$$R_{ch} \cdot I_b = \frac{I_c}{\beta} = \frac{4}{50} = 80 \text{ mA} \quad (\beta = 50)$$

Calcul de la résistance de BALLAST:

$$R = \frac{E_3 \sqrt{2} - V_z}{I_z + I_b} = \frac{10\sqrt{2} - 5,6}{(7,5 + 80)10^{-3}} = 975 \text{ Ohms}$$

On prend $R=1 \text{ k}\Omega$.

Filtre

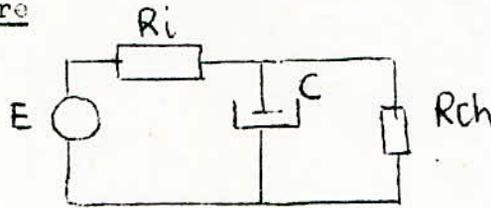


FIG IV-5

Dans ce schéma :

- la tension E est la tension recueillie au secondaire
- R_{ch} est la resistance de charge
- $R_i \equiv R_r + R_s$

où R_r = resistance ramené du primaire = $1,07\Omega$ (negligeable)
 R_s = resistance du secondaire (faible)

Le processus de filtrage se fait selon le schéma suivant:

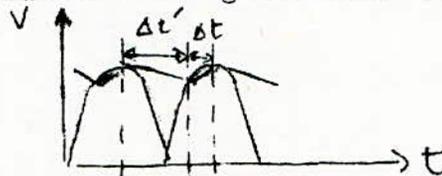


FIG IV-7

- Δt = temps de charge avec la constante de temps $R_i.C$
- $\Delta t'$ = temps de decharge du condensateur , avec la constante de temps $R_{ch}.C$

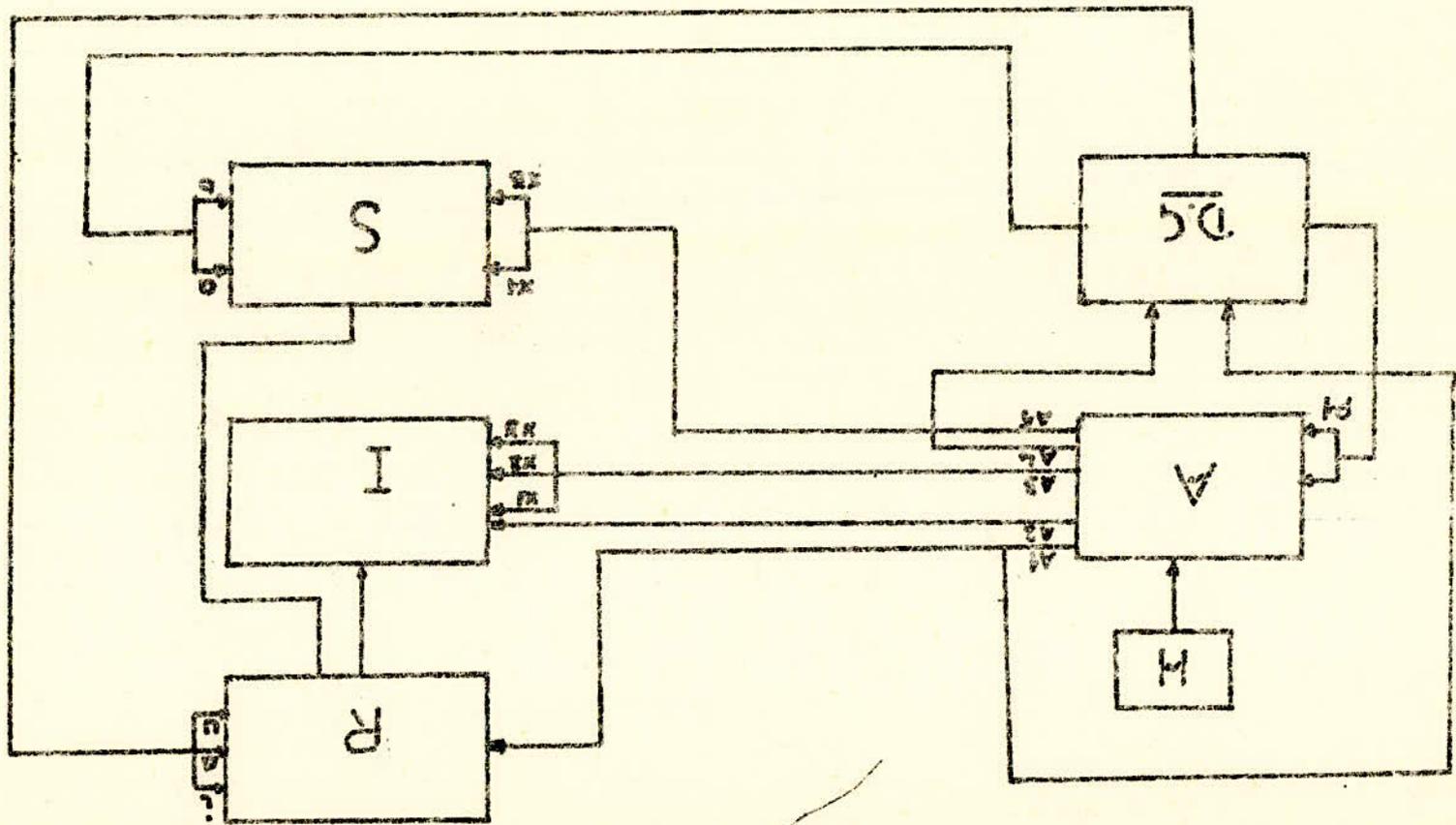
On doit avoir les conditions $R_{ch} \gg T$.
 $R_{ch} \neq R$ ballast en circuit ouvert .

La relation qui donne la capacité de filtrage en fonction du taux d'ondulation est (pour le redressement double alternance):

$$\delta = \frac{\Delta U}{U} \leq \frac{1}{4 R_{d1} \cdot C \cdot f} \quad (\delta = \text{taux d'ondulation})$$

Si on se fixe $\delta = 1\%$, on obtient :

$$C \leq \frac{1}{4 \cdot 10^3 \cdot 10^2 \cdot 50} = \boxed{500 \mu F}$$



CONCLUSION

Le principal but de cette étude a été non seulement la synthèse des blocs logiques séparés, mais la synthèse globale, la coordination, et les interactions entre les différents blocs.

Cette étude nous a montré que l'indicateur numérique, très faible partie du système de contrôle, se révèle déjà sous un aspect assez complexe. Il doit exclusivement être construit à base de circuits intégrés, lui assurant d'une part une fiabilité et une sécurité de fonctionnement, d'autre part un faible encombrement et un aspect plus économique.

L'indicateur numérique est un système d'acquisition et de transformation de données. Il doit travailler assez vite afin de ne pas amener de retard ~~insupportable~~ acceptable par l'opérateur humain. Ces considérations temporelles ^{nous ont amené} à choisir des circuits intégrés modernes dont les temps de réponse se chiffrent de l'ordre de la nanoseconde.

L'indicateur numérique doit être adapté aussi parfaitement que possible aux sensations humaines. Le système de commande de visualisation doit en particulier, permettre un temps d'affichage suffisamment requis par l'opérateur humain.

Nous pouvons enfin conclure que l'indicateur est un système qui peut être utilisé pour diverses installations industrielles.

-BIBLIOGRAPHIE -

OUVRAGES GENERAUX:

- Cours polycopié de MV. Iliassov

- Circuits intégrés et techniques
numeriques R. Delsol

- Logique électronique et circuits
intégrés numeriques R. Damaye

- Machines de traitement de
l'information P. Debraine
(Tome I)

- Logique binaire et ordinateur M. Aumiaux

OUVRAGES SPECIALISES:

- Circuits intégrés -Logique TTL (1975).....SESCOCEM

- The TTL FATA BookTexas instruments.