

19/80
19/80
2ed

المدرسة الوطنية للعلوم الهندسية
المكتبة
.....
ÉCOLE NATIONALE POLYTECHNIQUE
BIBLIOTHÈQUE

UNIVERSITE DES SCIENCES ET DE LA
TECHNOLOGIE D'ALGER
ÉCOLE NATIONALE POLYTECHNIQUE
DÉPARTEMENT D'ÉLECTRICITE

PROJET DE FIN D'ÉTUDES
(INGÉNIORAT EN ÉLECTRONIQUE)

ÉTUDE DU SYSTÈME TÉLÉMESURE
TÉLÉSIGNALISATION
7KR1035
INTRODUCTION DE LA LOGIQUE TTL

Sujet proposé par:
Mr BAGHLI Med
Ingénieur d'état
chargé de cours
associé

Etudié par MM :
DJAMAH B.
OUSLIMANI A.



Promotion Juin 1980

UNIVERSITÉ DES SCIENCES ET
DE LA TECHNOLOGIE D'ALGER

ÉCOLE NATIONALE
POLYTECHNIQUE

Département d'électricité

THÈSE DE FIN D'ÉTUDES
INGÉNIORAT EN ÉLECTRONIQUE

**TÉLÉ SIGNALISATIONS
TÉLÉMESURES.**

ÉTUDE DU SYSTÈME 7KR1035
INTRODUCTION DE LA T.T.L

Sujet proposé par :

Mr BAGHLI Mohamed

Étudié par MM :

DJAMAH Baouz
OUSLIMANI Achour

Promotion 1979 - 1980

Nous formulons l'expression de notre profonde reconnaissance à notre promoteur Mr. BAGHLI Med chargé de cours à l'école nationale polytechnique d'alger qui nous a proposé ce sujet de fin d'études et qui ne cesse de responsabiliser l'élève ingénieur en le mettant face à la réalité industrielle du pays.

Que toute l'équipe de la SONELGAZ:

Mr. BOUAFIA

Mr. BENGHANEM

Mr. HADDAD

Mr. BAGHLI Amine

Mr. HADJI

Mr. BENZAID

trouve ici nos remerciements les plus sincères.

Nous ne manquerons pas d'exprimer toute notre gratitude à tout le personnel du centre nodal de la RTA (Bouzareah) qui a bien voulu nous prendre en charge et nous réserver un accueil chaleureux au sein de son organisme:

Mr. KADDOUR BENKADA

Mr. BOUNAB Arezki

Melle LAGHOUATI

Mr. DRARENI Med

Mr BENSILAMA

Mr. NAZEF Belaid

Mr REZZAGUI

Mr. NAIT-DJOUDI Bachir .

En particulier, à Mrs:

TALIGANTE Salah

BOUCHEMLA Cherif

pour leur attachement remarquable à notre travail.

Nos remerciements vont également aux personnes qui nous ont aidé à la frappe du texte et au tirage des schémas:

Mr BOUTELDJA

Mr. OUMELLAL Med

Melle DJABALI

Melle ZEMMACHE Mina

QUE TOUS CEUX QUI ONT CONTRIBUE POSITIVEMENT A
L'ELABORATION DE CE TRAVAIL TROUVENT ICI L'EXPRESSION
DE NOS REMERCIEMENTS LES PLUS DISTINGUES.

.../...

Il importe que le langage de la technologie ne soit pas l'apanage de cercles limités que la force des choses finit par transformer en milieux fermés vivant en marge du contexte social du pays.

Par ailleurs le moment est venu pour le pays de promouvoir le progrès technologique à partir de ses propres ressources humaines et du potentiel qu'il a déjà accumulé dans le domaine de la technologie.

CHARTRE NATIONALE

A la mémoire de mon père.

A ma mère.

A mon frère qui a toujours joué son rôle de père.

A tous mes amis.

Ahour.

A mes parents qui ont tant attendu ce jour.

A tous mes frères et soeurs.

A mes amis.

Bacuz.

A tous ceux qui se sont donnés pour une algérie libre et
démocratique.

INTRODUCTION

Le centre faisceaux hertziens de la Bouzareah est un centre nodal qui doit recevoir et distribuer tous les programmes Radio et Télévision d'Algérie, tant en production nationale qu'en transit international.

Cette station comporte cinq grandes directions qui sont:

- L'est algérien et la Tunisie.
- L'ouest algérien et le Maroc.
- Le centre de production (Bd des martyrs).
- La station d'émission d'Alger (Cap-Matifou).
- L'Europe.

Pour ce faire une multitude de stations asservies sont disséminées à travers le territoire national permettant ainsi l'acheminement des programmes à la destination voulue.

De plus, pour assurer cette fonction dans de bonnes conditions, le centre nodal de Bouzareah joue le rôle de poste de commande, à partir duquel on surveille l'état de fonctionnement de chacune des stations asservies, et la qualité de la transmission des programmes. De ce fait, tout un système de télésurveillance, faisant l'objet de notre étude, et de télécommande est prévu dans ce centre.

SOMMAIRE

- Généralités -

Page

I- Introduction	
I-1- Notions sur les faisceaux hertziens	1
I-2- Transmission simultanée de plusieurs faisceaux hertziens	4
II- Faisceau auxiliaire	
II-1- Informations de service	4
II-2- Transmission des informations de service	5
III- Plan de fréquences utilisé par le centre nodal de BOUZAREAH	5
IV- Notions d'information et de codage	7

- Emetteur télémètres - téléseñalizations -
(7KR1035)

I- Introduction	
II- Cycle de transmission	12
III- Système d'emission télémètres-téléseñalizations . . .	16
III-1- Circuits communs d'emission	16
III-2- Entrées mesures	23
III-3- Entrées señalizations	40

- Récepteur télémètres-téléseñalizations -
(7KR1035)

I - Récepteur télégraphique	41
II- Circuits communs	41
III- Circuits de sortie	71
III-1- Sorties señalizations	71
III-2- Sorties mesures	73

A - GENERALITES

A - GENERALITES

1.1 - NOTIONS SUR LES FAISCEAUX HERTZIENS

1.1. Définition

Un faisceau Hertzien est un support de transmission utilisant les ondes radioélectriques de fréquences élevées supérieures à 1,7GHz, qui permet une liaison point à point entre un poste d'émission et un poste de réception.

1.2. Classification des faisceaux Hertiens

Si on considère les caractéristiques des faisceaux hertiens, on peut classer ces derniers en 2 catégories :

- les faisceaux hertiens fonctionnant en visibilité directe
- les faisceaux hertiens transhorizon.

Du point de vue modulation, les faisceaux hertiens peuvent être séparés en 2 autres catégories :

- les faisceaux hertiens analogiques
- les faisceaux hertiens numériques.

1.2.1. Faisceaux hertiens en visibilité directe (fig.1)

La structure des liaisons hertiennes est conditionnée par l'emploi des fréquences élevées. En effet, la diffraction des ondes centimétriques au delà de l'horizon s'accompagne d'un affaiblissement considérable. Par conséquent, si l'on désire établir une liaison en n'émettant que de faibles puissances, il est nécessaire qu'il n'y ait aucun obstacle entre les antennes, de plus ces antennes ne doivent pas être très éloignées l'une de l'autre pour respecter le bilan de puissance. Pour ce faire, un ou plusieurs bands sont nécessaires.

1.2.2. Faisceaux hertiens transhorizon

C'est une liaison indirecte qui utilise la diffusion et la refraction des ondes électromagnétiques dans la troposphère. Ce type de liaisons met en jeu des puissances considérables (Fig.2).

1.2.3. Faisceaux hertziens analogiques

Son utilisés pour :

- la transmission des images T.V. et les voies de son qui leurs sont associées
- des multiplex analogiques de téléphonie.

1.2.4. Faisceaux hertziens numériques

Sont réservés pour l'acheminement

- des données à grande vitesse
- des multiplex numériques de téléphonie
- du visiophone de la TV codée.

1.3. Types de liaisons (fig.7)

Suivant les besoins du trafic, les voies hertziennes établies peuvent être :

- unilatérales
- réversibles
- bilatérales

1.3.1. Liaisons unilatérales et liaisons réversibles (fig.84)

Dans ce type de liaisons, la transmission se fait dans un seul sens.

Si on utilise la même fréquence à l'émission et à la réception au niveau de la même station, un couplage entre les antennes d'émission et de réception apparait. Pour parer à cet effet deux variantes sont possibles :

$$\begin{aligned} & \text{fréquence émission} > \text{fréquence réception} \\ & \text{fréquence émission} < \text{fréquence réception} \end{aligned}$$

Dans le cas de plusieurs bords successifs, on adopte alternativement l'une ou l'autre des variantes pour éviter tout risque d'interférence.

1.3.2. Liaisons bilatérales (fig.5)

Dans ce cas, la transmission se fait dans les 2 sens. Deux fréquences au moins, sont nécessaires pour transmettre bilatéralement un signal sur un trajet donné.

En effet, dans une station relais, la puissance du signal reçu est très faible et celle du signal remis est relativement élevée. Ce qui conduit comme on l'a vu dans le cas

Des liaisons unilatérales à un couplage possible entre antenne de même support. Pour remédier à cela, on utilisera la même fréquence à l'émission dans les 2 sens l'autre fréquence servant à la réception.

1-4.- Brouillages possibles dans le cas d'une voie bilatérale (Fig.5)

B.1 : Couplage entre l'antenne d'émission 1 et l'antenne de réception 4. Ce type de brouillage s'évite facilement étant donné la distance séparant les stations et l'absence de propagation notable au delà de l'Horizon. Il suffit que les antennes correspondantes ne soient pas en visibilité directe, ce qui conduit à ce que les bords ne soient pas alignés.

B.2 : Phénomène qui a toujours lieu au sein d'une antenne transmettant des voies bilatérales. Une partie de l'énergie émise est captée par la même antenne. Un écart convenable entre les fréquences d'émission et de réception ainsi qu'un bon filtrage des signaux reçus permet d'éviter ce brouillage.

B.3:- L'antenne 2 orientée vers 3, capte une certaine énergie par son lobe arrière. Ce phénomène est dû au manque de directivité des antennes. Pour y remédier il convient d'utiliser des antennes très directives.

B.4: - L'antenne 2 orientée vers 3 rayonne, par son lobe arrière une partie de son énergie émise vers l'antenne 1. Ce phénomène est aussi dû au fait que la directivité des antennes est imparfaite. Pour éviter ce brouillage, il convient aussi d'utiliser des antennes très directives.

CONCLUSION.

Des antennes de bonne directivité permettant l'utilisation de 2 fréquences porteuses pour la transmission bilatérale d'un signal. Dans chaque station on fait un croisement de fréquence entre les 2 sens de transmission. Cette solution est bonne sur le plan de l'encombrement spectral mais onéreuse puisque utilisant des antennes très directives. Si l'on dispose d'un réseau peu dense, on peut utiliser un plan à 4 fréquences (Fig. 6).

../...

1.2. TRANSMISSION SIMULTANEE DE PLUSIEURS SIGNAUX

Pour augmenter la capacité des systèmes hertziens on regroupe sur un même trajet la transmission de plusieurs signaux du même type, à des fréquences voisines.

On peut obtenir d'excellents résultats en alternant les polarisations des ondes émises : sur un bond donné et dans un sens donné si le canal n°1 est émis en polarisation horizontales, le N°2 est émis en polarisation verticale.

Pour celà, on emploie une antenne à double accès qui émet une partie des signaux sur une polarisation, et l'autre partie sur une polarisation.(fig.8)

Pour éviter tout danger de brouillage d'émission sur réception par couplage dans une même station, on regroupe toutes les fréquences servant à l'émission dans une station et toutes celles servant à la réception, et à éloigner ces 2 groupes de telle façon qu'ils peuvent être séparés par filtrage(fig.9). Ainsi chaque station émet^{ds} une demi-bande et reçoit dans l'autre demi-bande. A la station suivante, la situation est inversée (fig.10).

Les fréquences F_n (émission) et F_n' (réception) ont les mêmes polarisations. L'émission et la réception ont lieu sur le même accès pour un canal donné. Il y a donc un accès de l'antenne destiné aux canaux de rang pair et un autre à ceux de rang impair.

Pour celà, une seule antenne à double accès et deux lignes en hyperfréquences reliant l'antenne et les équipements radio suffisent (fig.11).

II - FAISCEAU AUXILIAIRE

Les faisceaux hertziens auxiliaires sont utilisés pour l'acheminement des informations de service entre les stations et éventuellement des commutations de canaux.

II.1. INFORMATIONS DE SERVICE

Il y a trois catégories d'informations de service

1.1. Voies de services

assurent les liaisons téléphoniques à l'usage du personnel d'exploitation.

1.2. Télésignalisation et télémesures

* Télésignalisation : Ce sont des informations d'état

Ex : Fonctionnement ou non fonctionnement d'une station surveillée.

* Télémesure : Informe le poste surveillant sur les paramètres essentiels des équipements.

1.3. Télécommande

- Consiste en l'émission d'ordres à partir du poste de commande vers le poste surveillé. Cet ordre peut être une mise en marche ou arrêt ou une demande de mesure d'un paramètre surveillé.
- On peut envoyer une télécommande et recevoir une télémesure ou une télésignalisation.
- Les télécommandes peuvent être déclenchées manuellement ou automatiquement dans le cas d'une commutation de canaux.

II.2. TRANSMISSION DES INFORMATIONS DE SERVICE

Il y a deux types de faisceaux auxiliaires. Ils peuvent :

- être totalement indépendants du faisceau hertzien principal fonctionnant dans une bande de fréquence à part.

- Utiliser les mêmes aériens et les mêmes lignes de transmission que la liaison principale.

La liaison entre les émetteurs-récepteurs du faisceau auxiliaire et les lignes en hyperfréquence du faisceau principal est assurée par des aiguillages.

Dans ce cas, le faisceau auxiliaire utilise la même bande de fréquences que le faisceau principal. Les fréquences qu'il emploie sont situées aux extrémités des demi-bandes de la liaison principale (fig.9).

III - PLAN DE FREQUENCES UTILISE PAR LA R.T.A. BOUZAREAN

- Bande exploitée : 3,8 - 4,2 G Hz.
- L'écart entre les fréquences porteuses est de 29 MHz.
- L'écart entre la porteuse la plus élevée de la demi-bande basse et la porteuse la plus basse de la demi-bande haute est de 68 MHz (fig.9).

- utilisent 8 canaux dont 2 sont réservés au F.H.A. à l'émission et de même pour la réception.
- Puissances émises : dépendent des distances :
500mW ; 2W ; 7W ; 10W pour la visibilité directe
280W pour les liaisons transhorizon.
- Puissances reçues : très faibles, de l'ordre de $10^{-6}W$ en général.
- Capacité d'information : La capacité max. de chaque canal est de 300 à 1800 voies téléphoniques.

F.H.A	Bande de fréquence	Nombre de canaux	Capacité/Canal	Modulation	Multiplexage
Informations de service	Aller 6MHz Retour 4MHz	4 dont 2 non utilisés	600 à 1800 voies téléphoniques	Phase	Par répartition de fréquence

Remarque :

- La même voie de service est utilisée pour toutes les stations (pourvues de personnel ou non).
- Cette voie n'est pas sélective.
- On n'utilise pas de commutation pour les F.H.A. (mais il existe un contrôle par C.A.G. qui est inversement proportionnelle au champ.
- Entre le Bd des Martyrs et Bouzareah sont utilisées 4B+1A.
- Valeur de champ :
 Champ nominal : -30 db
 Seuil : -80 db
 Champ de travail : -40 db

IV - NOTIONS D'INFORMATION ET DE CODAGE

IV .1. QUANTIFICATION

Un signal dont l'amplitude varie continuellement dans une gamme déterminée peut être reconstitué à la réception compte tenu d'un certain degré de distorsion même s'il a été converti en un signal en escalier. Plus le signal en escalier se rapproche du signal original moins la distorsion est forte.

La différence entre deux niveaux consécutifs est appelé "quantum" et le procédé par lequel on transforme le signal original en un signal en escalier est appelé "Quantification" (fig.14).

IV.2. ECHANTILLONAGE (fig.13)

- Consiste à prélever des échantillons de tension à fréquence fixe pour un signal donné.

- La fréquence d'échantillonnage f_e est donnée par le théorème de Shanon suivant :

Pour restituer un signal, la fréquence d'échantillonnage f_e , doit être supérieure ou égale au double de la fréquence maximum f_m du signal à transmettre, soit :

$$f_e \geq 2f_{\max.}$$

Remarques :

1 - En pratique, la fréquence d'échantillonnage f_e est toujours prise légèrement supérieure à $2f_{\max.}$

(où f_{\max} = fréquence max. du signal à transmettre).

Ex : Cas de la Téléphonie :

- bande occupée : 300 - 3400 Hz

- fréquence d'échantillonnage $f_e = 8000$ Hz

$$\text{d'où } T_e = \frac{1}{f_e} = 125 \mu s.$$

2 - L'échantillonnage n'introduit aucune perte d'informations dans le signal et permet le multiplexage temporel. Il est réalisé à des intervalles réguliers appelés intervalles d'échantillonnage et permet la mesure des variations rapides de signaux.

3 - Chacune des valeurs des amplitudes est dite "ECHANTILLON".

IV.3. MULTIPLEXAGE TEMPOREL

IV.3.1. Le multiplexage est utilisé dans des buts de transmission simultanée, sur une même voie, de plusieurs informations.

- Le multiplexage temporel consiste, à partir de plusieurs signaux élémentaires $s_i(t)$, à former un signal $S(t)$ dit "Signal Multiplex" en prélevant des échantillons successifs de chacun des signaux élémentaires à des intervalles de temps fixes. On émet ainsi successivement une salve d'échantillons dans l'ordre des signaux élémentaires $s_i(t)$ espacés de :

$$\tau \leq \frac{1}{2n f_{\max}} \quad \text{ou} \quad \tau \equiv \frac{1}{n f_e}$$

où n = nombre de signaux élémentaires $s_i(t)$

f_{\max} = fréquence max à transmettre

$f_e \gg \frac{1}{2f_{\max}}$ = fréquence d'échantillonnage (fig.15)

- Le multiplexage temporel doit donc comporter une synchronisation entre l'émission et la réception.

IV.4. CODAGE

Après échantillonnage et quantification le signal est converti en un train d'impulsions dont les amplitudes ne peuvent prendre qu'un nombre N limité de niveaux prédéterminés.

Si l'on attribue à chacun de ces niveaux un terme d'une série numérique, il est possible de convertir chacun des N nombres en l'une des N combinaisons. Autrement dit, au lieu de transmettre une impulsion dont l'amplitude est voisine du niveau du signal à un instant donné, on transmet un groupe d'impulsions dont la combinaison des états (présence ou absence) représente le nombre attribué à ce niveau.

On a donc :

Pour N niveaux possibles \longrightarrow N combinaisons

Soit b = nbre d'états possibles de l'impulsion
 n = nbre de moments

Alors $N = b^n$

En général, on utilise le code binaire : $b = 2$

$\Rightarrow N = 2^n$ combinaisons

IV.5. CAPACITE DE L'INFORMATION

- Soit N = nbre de niveaux possibles des impulsions (symboles)
on appelle mesure de l'information, la quantité

$$Q = \log_2 N \text{ (code binaire)}$$

- Si la communication comporte seulement M symboles parmi
les N disponibles alors on aura :

$$Q = \log_2 N^M = M \log_2 N$$

- la densité d'information est définie comme suit :

$$d := Q/M = \log_2 N \quad \text{bits/symbole}$$

IV.6. VITESSE D'INFORMATION

- C'est la quantité d'information transmise en une unité
de temps soit :

$$R = Q/t = \frac{M}{t} \log_2 N \quad \text{bits/sec.}$$

- Si les M symboles choisis sont émis à raison de n /sec
alors $M = nt$ d'où : $R = n \log_2 N$ bits/sec

- la vitesse d'information est une grandeur caractéristique
de la transmissibilité d'un message.

IV.7. CAPACITE D'UNE VOIE DE TRANSMISSION

- Pour déterminer le nombre N de niveaux possibles il faut
Compte tenir du seuil imposé par le bruit.

Il s'agit donc tout d'abord de calculer le nombre de niveaux
différents que le récepteur peut distinguer sans erreur :

- soit $s(t)$ le signal à transmettre. En l'absence de bruit
 $s(t)$ passe entre 2 niveaux d'amplitude "+V" et "-V".

Soit l'amplitude max de fluctuation du bruit qui se superpose au signal $s(t)$: $\Delta V = 2V_B$.

A chaque instant la mesure du signal utile $s(t)$ est déterminée à $\pm V_B$ près.

Par conséquent, pour que deux mesures instantanées, du signal $s(t)$, soient discernables, il faut que leur écart soit au moins égal à $2V_B$.

- Le nombre de niveaux parfaitement distincts entre les amplitudes $+V_s$ et $-V_s$ est donc

$$N = \frac{2V}{2V_B} = \frac{V}{V_B} = \sqrt{\frac{P}{P_B}}$$

où P_s = Puissance du signal $s(t)$

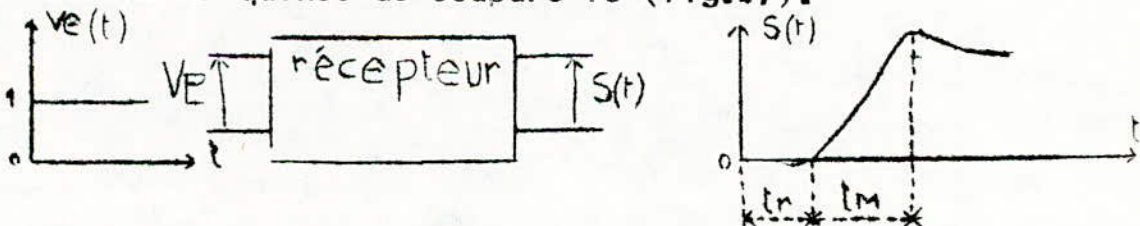
P_B = Puissance du bruit

On a donc : $Q = \frac{1}{2} M \log_2 \frac{P_s}{P_B}$ (fig.16).

On a donc opéré une quantification du signal.

- Pour définir complètement la possibilité de transmission du système il faut tenir compte de la rapidité de réponse du récepteur :

On peut toujours assimiler un récepteur, à un filtre passe bande ou si on transpose les fréquences, à un filtre passe bas de fréquence de coupure f_c (fig.17).



Si on applique à l'entrée du filtre passe bas un échelon unité, le signal de sortie S est en retard d'un temps t_r par rapport à V_E et n'atteint sa valeur définitive qu'après un temps de montée t_m qui est lié à la fréquence de coupure f_c : $(t_m \approx \frac{1}{2f_c})$.

CONCLUSION

Pour que le récepteur puisse distinguer une suite de niveaux successifs analogues à une suite d'échelons, il faut que

l'intervalle de temps entre un passage d'un niveau à l'autre soit supérieur au temps de montée t_M .

En 1 seconde, il est donc possible de distinguer au plus $n = 2f$ signaux différents espacés régulièrement de $1/2f$ seconde.

On a donc la vitesse d'information max. :

$$R_{\max} = n \log_2 M = 2f \log \sqrt{\frac{P_s}{P_B}} = f \log \frac{P_s}{P_B} \text{ bits/s}$$

or la puissance $P = P_s + P_B \Rightarrow$

$$R_{\max} = f \log_2 \left(1 + \frac{P_s}{P_B} \right) \text{ bits/sec}$$

Ces résultats s'énoncent sous la forme du théorème de Shannon :

"La vitesse d'information R d'un signal continu de puissance moyenne P_s , dont le spectre occupe une largeur de bande B et qui est soumis à l'influence d'un bruit de puissance moyenne P_B est $\leq R_{\max}$. avec

$$R_{\max} = B \log_2 \left(1 + \frac{P_s}{P_B} \right) \text{ bits/sec.}$$

La capacité C d'une voie de transmission s'identifie à la vitesse d'information maximum qu'il est possible de transmettre dans cette voie

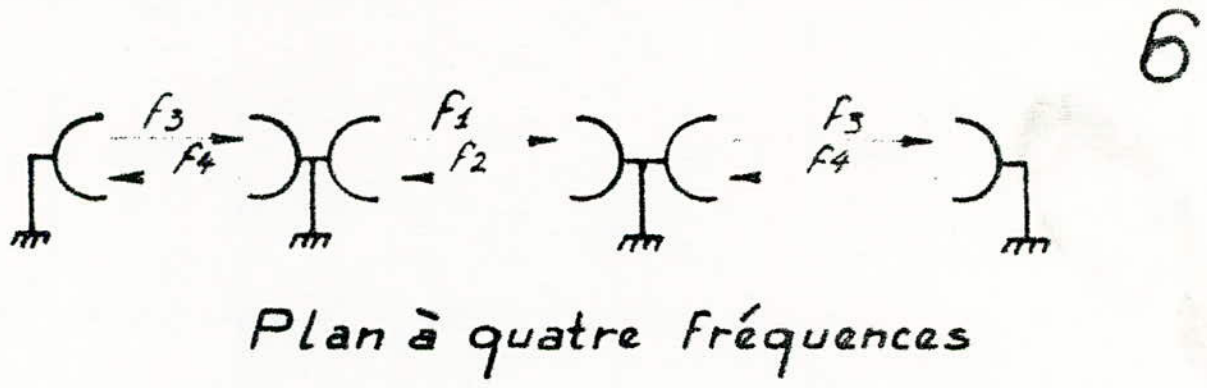
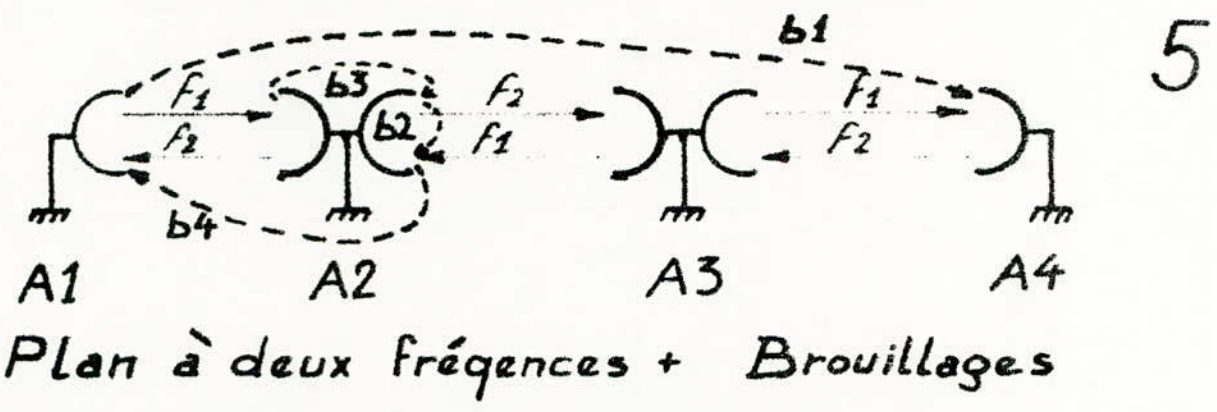
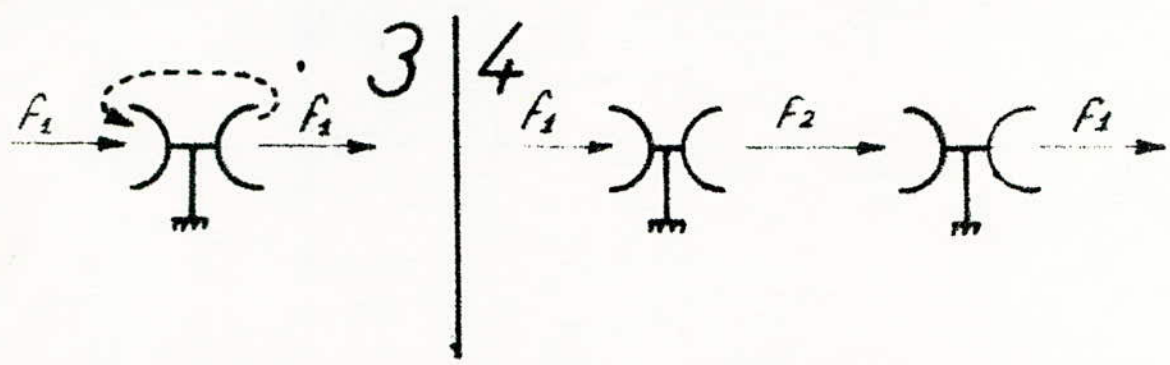
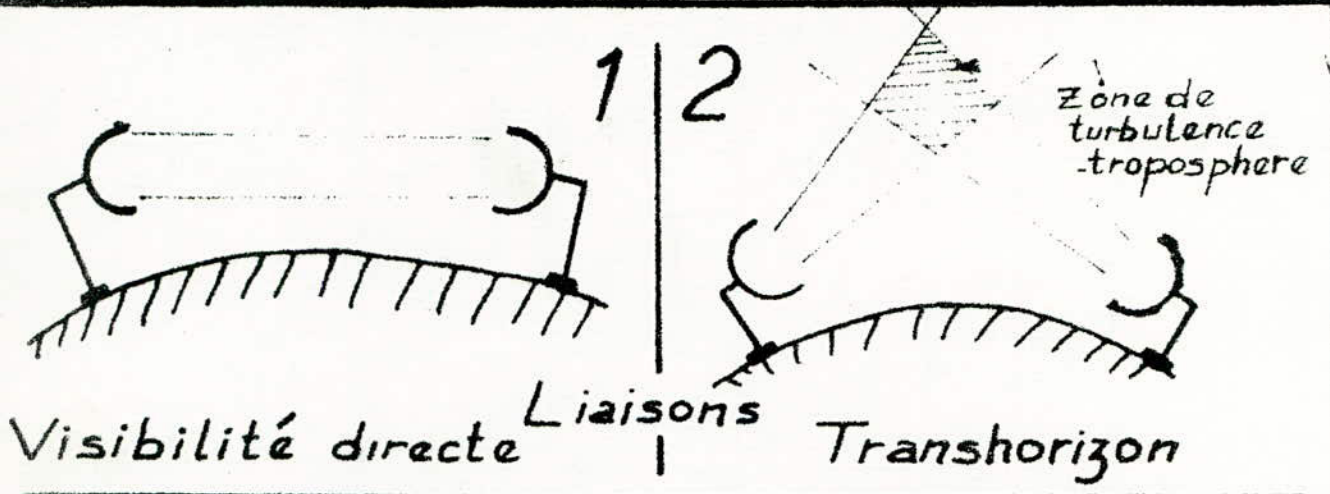
$$C = R_{\max}.$$

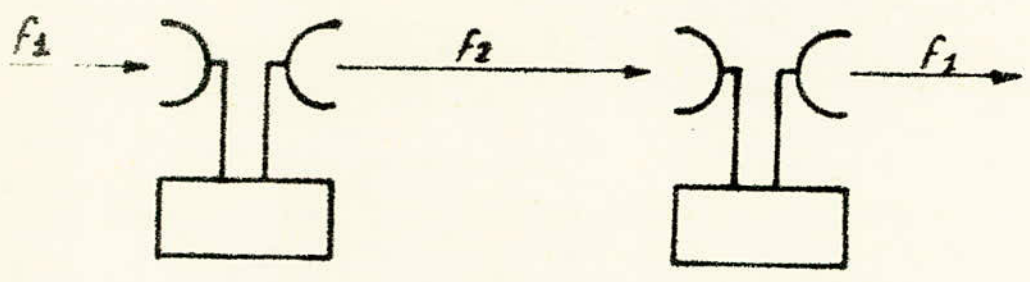
- Dans l'attente des transmissions, le problème le plus important consiste en l'adaptation des caractéristiques du message, à savoir sa vitesse " R_{message} ", à celles de la voie de communication, sachant qu'une voie est caractérisée par sa capacité C .

- Le théorème de TULLER-SHANNAN exprime la relation fondamentale liant ces deux caractéristiques :

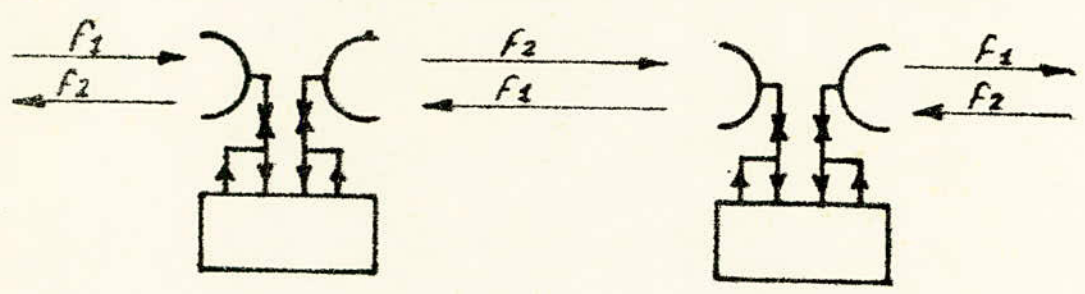
"Une voie de capacité C peut théoriquement transmettre un message ayant une vitesse d'information $R \leq C$, abstraction faite de la nature du message et de la voie".

$$R_{\text{mess}} \leq C$$

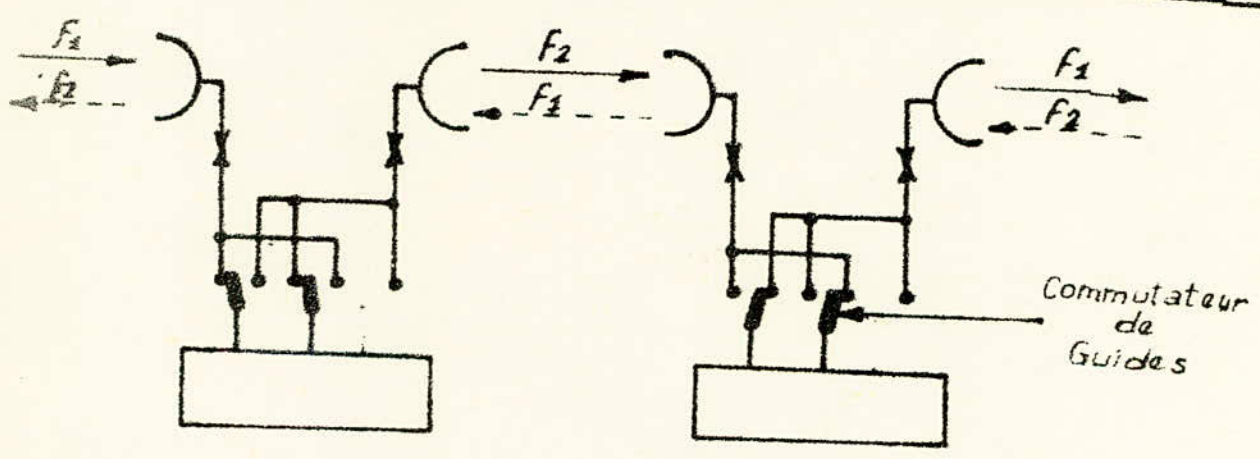




Voie Unilatérale

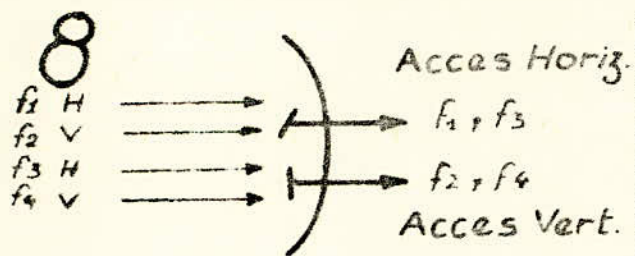


Voie Bilatérale

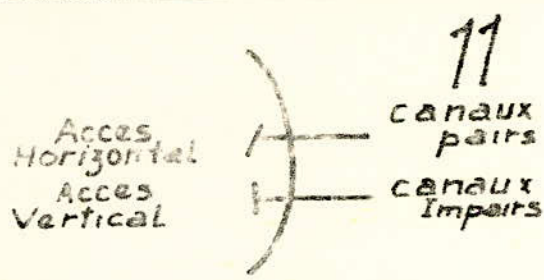


Voie Réversible

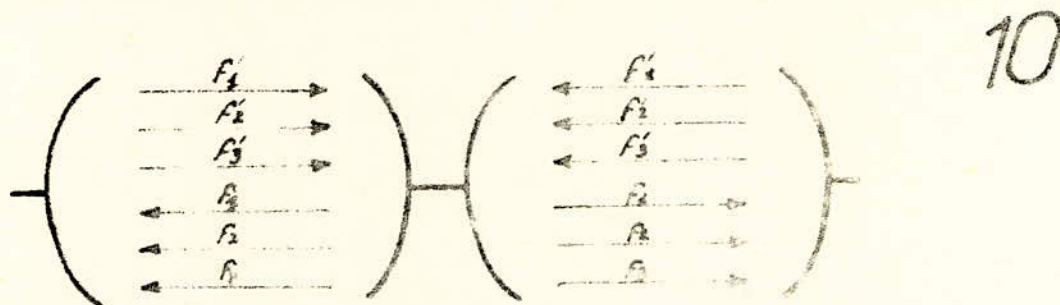
TYPES DE LIAISONS PAR VOIES HERTZIENNES



Antenna à double accès

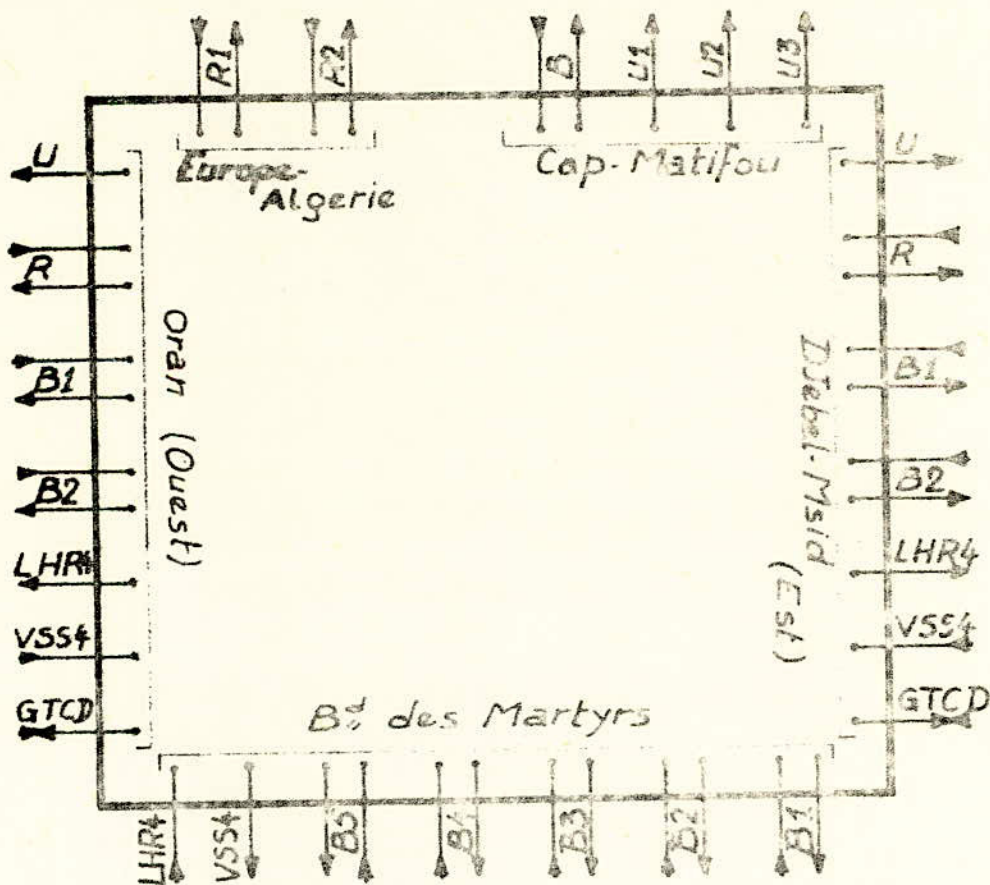


Emission-Reception sur un même accès



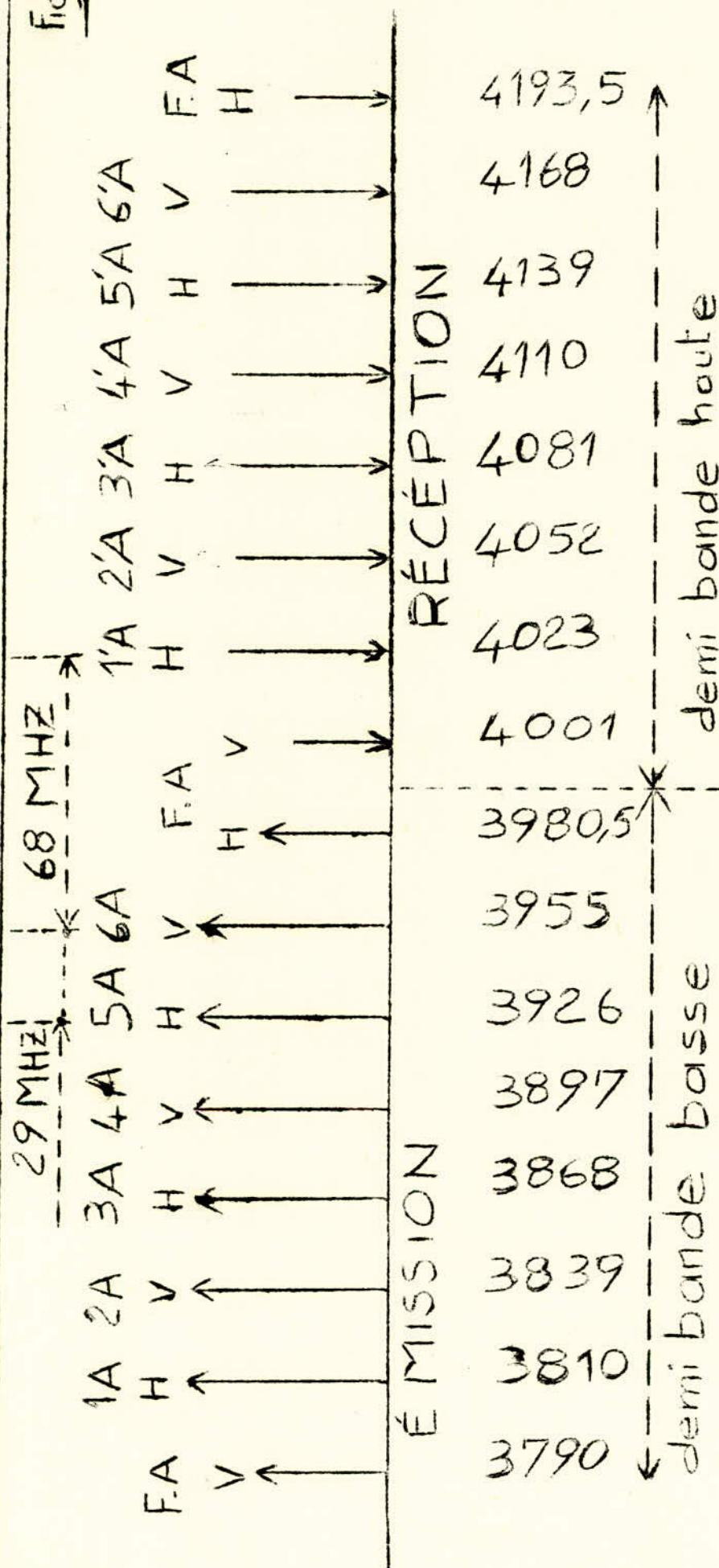
Emission-Reception sur demi-bandes
 f_i e demi-bande basse
 f_i e demi-bande haute

12



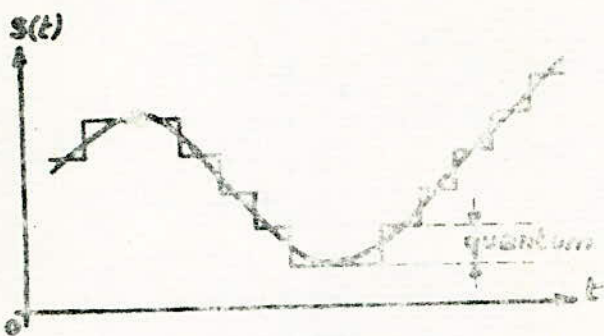
BOUZAREAH-Centre Nodal
 Diagramme General

Fig 9



F.A : faisceau auxiliaire
 H : Polarisation Horizontale
 V : " Verticale
 A : Faisceau analogique

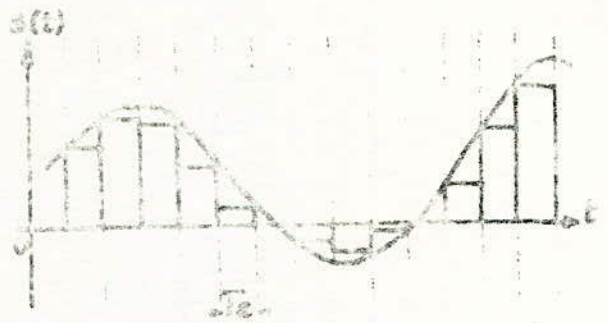
PLAN DE FRÉQUENCES



Signal en escalier se rapprochant du signal original

Quantification

14



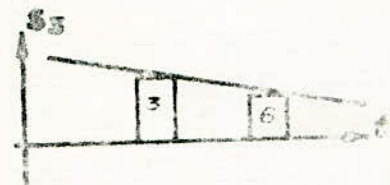
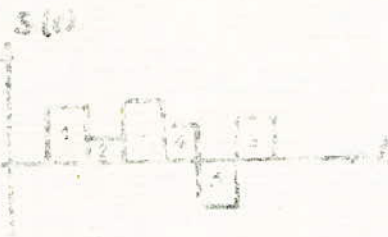
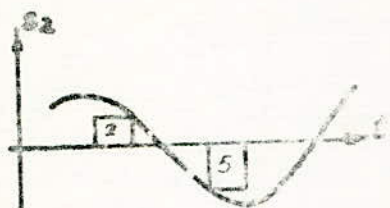
Echantillonnage

$$T_e = 1/F_s = 1/2F_{max}$$

13



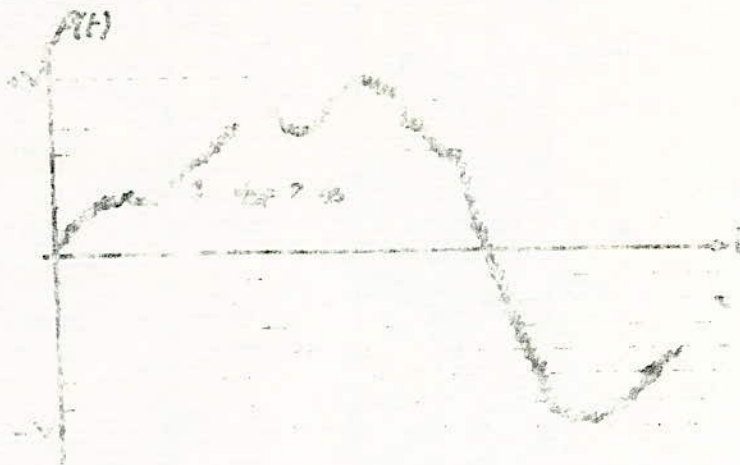
15



MULTIPLI EXAGE

Original

Reconstitution



16

Signal bruité se superpose à un bruit

I)- INTRODUCTION:

Le 7 KR 1035 utilise le principe de transmission cyclique des informations. Chaque grandeur surveillée est échantillonnée et transmise à intervalles réguliers.

La durée qui sépare deux échantillons successifs correspond à la durée du cycle.

II)- CYCLE DE TRANSMISSION:

II-1- FONCTIONNEMENT: fig 21

-Au départ, un circuit d'entrée délivrant 9 informations véhiculées sur 9 Fils en parallèle servant de support d'information est sélectionné parmi d'autres.

Ces informations sont ensuite codées suivant un code détecteur d'erreur par contrôle d'imparité puis adressées avant d'être restituées décalées dans le temps (en série) à l'émetteur télégraphique qui va se charger de les transmettre en code trivalent par déplacement de fréquence. On envoie ainsi une suite de mots complets formant le cycle.

-Les codages et adressage sont réalisés afin de protéger les informations lors de la transmission en ligne, de permettre la détermination exacte de la position du mot dans le cycle et la détection d'erreurs éventuelles à la réception.

II-2- SYSTEME D'ADRESSAGE ADOPTE.

A l'émission, chaque mot est muni d'une adresse partielle. Ainsi pour déterminer complètement la position du mot dans le cycle il est nécessaire de considérer 2 adresses successives.

Dans le cas d'un cycle à 16 mots, la constitution des adresses se fait comme suit:

* S'il s'agit d'un mot de rang pair, l'adresse sera fournie par les états des 2 bascules de plus fort poids (poids, 8 et poids 4) du compteur de mot.

* S'il s'agit d'un mot de rang, impair, l'adresse sera fournie par l'état de la bascule de poids 2 du compteur de mot.

Le rang du mot sera donné par la bascule de plus faible poids du compteur de mot. En effet si le mot est de rang pair cette bascule est toujours à 0, si le mot est de rang impair elle est toujours à 1.

Tous ces résultats se resument dans le tableau suivant:

Rang du mot dans le cycle			
Décimal	Adresse	Bit rang	Adresse
0	0 0 0	0	0 0
1	0 0 0	1	0
2	0 0 1	0	0 0
3	0 0 1	1	1
4	0 1 0	0	0 1
5	0 1 0	1	0
6	0 1 1	0	0 1
7	0 1 1	1	1
8	1 0 0	0	1 0
9	1 0 0	1	0
10	1 0 1	0	1 0
11	1 0 1	1	1
12	1 1 0	0	1 1
13	1 1 0	1	0
14	1 1 1	0	1 1
15	1 1 1	1	1

- On remarque une caractéristique de ce système d'adressage inégal suivant le rang du mot qui est en elle même une information du rang du mot ce qui rend inutile la transmission du bit de plus faible poids du compteur de mot.

-La combinaison constituée par les adresses de 2 mots consécutifs ne se retrouve jamais 2 fois dans le cycle.

II-3/ : CODE DETECTEUR D'ERREUR.

* La transmission d'informations peut se faire avec une ou plusieurs erreurs(changement d'un 0 en 1 ou d'un 1 en 0).

C'est pour cela qu'on utilise des codes permettant leur détection.

-Dans le cas considéré, le code utilisé est celui détectant une erreur.

C'est le contrôle d'imparité: dans les codes à M bits on ajoute un $(M+1)^{ème}$ bit appelé "bit de parité".

On donne alors à ce bit la valeur 0 ou 1 de façon à ce que le nombre de 1 parmi les $(M+1)$ variables soit toujours impair.

REMARQUE:

On a choisi un code détecteur d'une seule erreur vu que la probabilité d'avoir plusieurs erreurs en même temps est suffisamment faible, réalisant ainsi une économie en matériel.

Exemple: Code à 4 bits:

- Soit à transmettre les nombres binaires:

1 1 0 1	0
1 1 1 1	1

Nbre Binaire | Bit d'imparité

A la réception, la détection d'un nombre pair de 1 décelera une erreur.

II-4 - CONSTITUTION DU MOT:

Chaque mot du cycle est constitué:

- * D'1 bit signal début de mot qui est toujours à l'état 0 .
- * De 9 bits comportant l'information à transmettre .
- * D'1 bit de contrôle d'imparité.
- * D'1 ou d'2 bits d'adresse suivant que le mot est de rang impair ou pair.

La longueur du mot varie donc suivant son rang:

- * 13 bits si le mot est de rang pair
- * 12 bits si le mot est de rang impair.

II-5 - CARACTERISTIQUE DE TRANSMISSION.

- La transmission télégraphiques s'effectue par déplacement de fréquence.
- Le code exploité est (un code) trivalent utilisant 3 fréquences pour la transmission de 3 états (S,P,N).

Etat Positif PFréquence F - Af

Etat Nul S Fréquence F

Etat Négative N.....Fréquence F + Af

- La vitesse de transmission utilisée étant de 50 bauds. Les canaux de transmission sont de 120 Hertz conformément aux recommandations du C.C.I.T.T . L'excursion de fréquence ΔF est dans ce cas de 30 Hz.

Dans une voie télégraphique on peut superposer jusqu'à 24 canaux de 120 Hz.

- La durée du cycle dans la vitesse de modulation 50 bauds. est donnée par le tableau suivant:

Longueur du Cycle	Durée en sec.
2 mots	1
4 mots	2
6 mots	3
8 mots	4
10 mots	5
12 mots	6
14 mots	7
16 mots	8

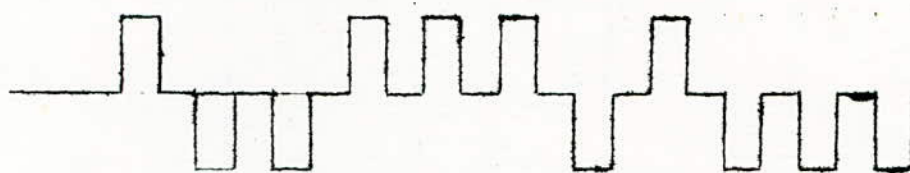
- Chaque intervalle de transmission correspondant à l'émission d'1 bit (40 ms) est divisé en 2 sous phases de longueur 20 ms. Pendant la 1ère sous phase seule fréquence centrale F_0 est émise, pendant la 2ème sous phase l'information proprement dite est transmise sous forme d'un déplacement de fréquences ($Df = 30$ Hz) positif ou négatif.

Le signal "début de mot" est caractérisé par l'émission de la fréquence centrale pendant les 2 sous phases.

Soit à transmettre le mot suivant:



Mot de rang Impair.-



Code Trivalent ;

La probabilité d'inversion d'un bit (1 remplacé par 0 ou inversement) au niveau du récepteur en présence de bruit aléatoire sur la ligne, est très faible devant la probabilité de disparition d'1 bit c'est à dire le remplacement d'un bit d'information par un signal de synchronisation "début de mot". Le code trivalent permet en plus une synchronisation simple et sûre au niveau du bit et du mot. Ceci contribue à la protection des informations transmises.

CONCLUSION:

La durée de transmission d'1 mot peut être divisé en plusieurs phases:

- * 1 phase T_0 d'introduction du groupe de 9 informations sélectionné.
- * 9 phases T_1 à T_9 d'envoi successif des 9 informations vers l'émetteur télégraphique.

* 1 phase T 10 d'envoi du bit de contrôle d'imparité.

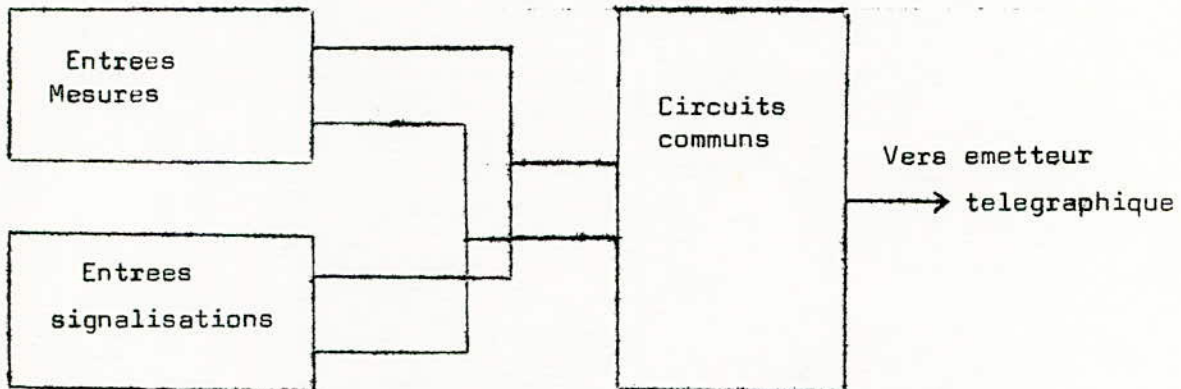
* 1 phase T 11 ou 2 phases T 11 et T 12 d'envoi de l'adresse vers l'émetteur suivant que le mot est respectivement impair ou pair.

On a ainsi 13 ou 12 phases par mot suivant qu'il est pair ou impair.

III - SYSTEME D'EMISSION TELESIGNALISATION - TELEMESURES. (fig.21)

Il comporte:

- Les circuits d'entrée signalisation
- Les circuits d'entrée mesures
- Les circuits communs d'émission.



III-1 - CIRCUITS COMMUNS EMISSION//

Ils ont pour rôle :

- * d'élaborer tous les rythmes nécessaires au fonctionnement des différents circuits.
- * De conserver l'information pendant tout le temps nécessaire à sa transmission en ligne.
- * D'élaborer le bit de parité (code détecteur d'erreur) et l'adresse de transmission.
- * De coder l'information en trivalent.

III-1-1 GENERATION DES SEQUENCES (BASE DE TEMPS)

L'élaboration des rythmes nécessaires au fonctionnement des différents circuits et en particulier des circuits de sélection des entrées est assurée par un générateur de séquences composé de deux compteurs assynchrones .

Le premier commandé par une horloge délivrant un signal carré de rapport de forme unitaire dont la période correspond à la durée d'émission d'un bit (40 ns) servira à mesurer le mot (comptage des différentes phases de chaque mot) dont la longueur varie en fonction du rang. (voir adressage) c'est le compteur d'impulsions (C.I.).

Le deuxième, commandé par la bascule de plus fort poids du compteur d'impulsions servira à mesurer le cycle dont la longueur (Nbre de ~~bits~~ est choisie par l'utilisateur en fonction du nombre d'informations à transmettre (les longueurs de cycles possibles sont 2,4 14,16 mots). C'est le compteur de mots.

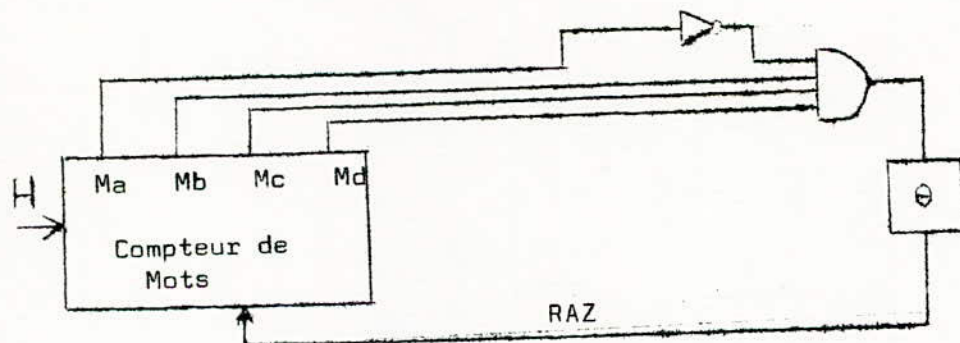
III-1-1-1/ LE COMPTEUR DE MOTS (Fig. 17 et 19)

En vertu de ce qui a été dit auparavant, le nombre de positions possibles du C.M sera fonction de la longueur du cycle choisi.

Vu que le système étudié permet l'utilisation de cycles dont la longueur peut atteindre 16 mots, autrement dit il permet l'utilisation de 16 circuits d'entrée puisque chacun d'eux correspond à un mot, le compteur de mot sera constitué de 4 bascules en cascade.

La remise à Zéro du compteur de mot, dépendra donc de la longueur du cycle choisi. Elle se fera par un signal correspondant à la dernière position du compteur.

Exemple: Dans le cas d'un cycle à 8 mots, la remise à Zéro du compteur de mot se fera à la fin de l'état 7 (0111) conformément au schéma suivant:



L'application d'un

L'adjonction d'un retardateur \ominus permet la remise à 0 du C.M à la fin de l'état 7. (voir annexe).

III - 1.1.2 LE COMPTEUR D'IMPULSIONS (Fig 17 et 19)

- D'après le système d'adressage adopté (voir adressage)
la longueur du mot varie, suivant qu'il est de rang pair ou de rang impair
Le compteur d'impulsions chargé de mesurer la longueur du mot verra donc
son nombre de positions possibles varier :

* Si le mot considéré est le rang pair ; 13 positions

* Si le mot considéré est de rang impair : 12 positions

Le compteur d'impulsions sera donc constitué de 4 bascules
dont la remise à zero sera fonction du rang du mot considéré et de la der-
nière position possible.

Ce rang est donné par la bascule de plus faible poids du comp-
teur de mot comme vu auparavant.

Le ratardateur ici à le même rôle que le retardateur dans le cas de la remise
à zero du compteur de mots. En effet :

Rang pair \Rightarrow Mas 1 = 0 \rightarrow Mas 2 = 1
 \Rightarrow e 2 = M a 52. I 12 = 1 à I 12

Rang imp \Rightarrow M a 51 = 1 \Rightarrow e = Mas 51. I 11 = 1 à I 11

- A chaque fois que le C.I est remis à zero, le C.M avance d' 1 cran.
 - Ou élaboré ainsi avec le compteur d'impulsions 12 ou 13 phases I_i (suivant
le rang du mot) qui ne sont rien d'autre que les T_i définies auparavant.
- Soit :

I₀ = Phase d'introduction des informations dans les circuits
d'émission qui va correspondre aussi à la phase de remise
à zero des compteurs, qui sera prise comme phase de debut de
mot.

I₁ à I₉ = Phase d'émission de l'information (signalisations ou
mesures)

I₁₀ = Phase d'émission du bit de contrôle de parité.

I11 = Phase d'émission du bit d'adresse

I12 = Phase d'émission du 2ème bit d'adresse dans le cas d'un mot de rang pair.

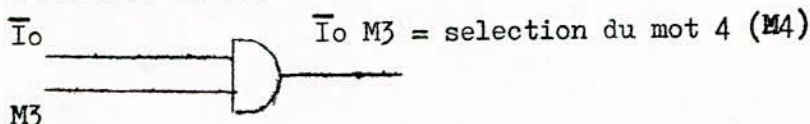
III - 1.2 CIRCUIT DE SELECTION DES ENTREES (Fig 17 et 20)

La selection des circuits d'entrée correspondant chacun à un mot du cycle se fait d'une façon sequentielle. Elle est réalisée en décodant les positions succesives occupées par le compteur de mots.

Cette selection doit durer pendant tout le temps necessaire à l'émission du mot en cours sauf pendant la phase debut de mot I_0 .

- Une telle fonction sera réalisée à l'aide d'une porte AND.

Exple Selection du mot 4



- Dans le cas d'utilisation d'un cycle à 16 mots, on aura 16 portes identiques chacune affectée à un mot (entrée) du cycle.

REMARQUE :

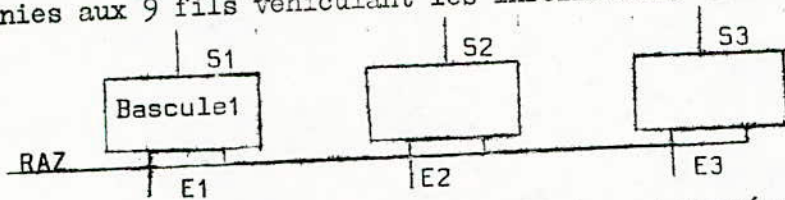
On a vu que le nombre de positions possibles du compteur de mot dépendait de la longueur du cycle choisi, la commande de remise à zero de ce dernier sera assuré par la sortie de selection du circuit d'entrée correspondant à la dernière position choisie (dernier mot du cycle), à travers un retardateur dans le rôle est d'assurer la remise à zero à la fin du signal selection d'entrée, c'est à dire à la phase (I_0) suivante.

III₁₋₃ : INTRODUCTION DES INFORMATIONS (PHASE I_0) (Fig 17)

L'introduction des informations, correspondant au mot MX, dans les circuits d'émission se fait durant la phase I_0 grace à un signal delivré par un retardateur commandé par le signal selection de mot $\bar{I}_0 M (X-1)$. (voir circuit d'entrée).

Ces informations apparaissent au même et unique temps, correspondant à l'apparition du bit d'introduction des informations, sur 9 fils parallèles servant de support d'information. Il est donc nécessaire de les mettre en mémoire avant de les restituer décalées dans le temps vers l'émetteur.

Pour ce faire, on utilisera 9 bascules dont les entrées sont réunies aux 9 fils véhiculant les informations conformément au Schema suivant :



(Le type de bascules utilisés est donné en annexe)

La remise à zero de ces bascules est assurée par le signal $\overline{I11}$ c'est à dire après l'envoi sur l'émetteur des 9 bits informations et du bit contrôle d'imparité, et en même temps que la remise à zero de la bascule délivrant ce dernier.

A la fin de la phase I₀ les 9 informations seront transférées dans les 9 bascules qui vont constituer ainsi une mémoire de codage.

III 1-4 CODAGE DE L'INFORMATION (PHASES I1 à I9) (Fig 17)

Pour retrouver ces 9 informations (bit) décalées dans le temps, il suffit d'effectuer les produits respectifs des contenus des bistables avec les phases (Impulsions) I1 à I9.



On élabore ainsi un circuit qui va permettre l'exploration séquentielle des 9 étages bistables de la mémoire de codage.

III 1-5 ELABORATION DU BIT DE PARITE (PHASE I10) (Fig 21)

* Le code utilisé étant un code détecteur d'erreur par contrôle d'imparité, c'est à dire que le nombre de bit 1 contenus dans les 10 premiers bits doit toujours être impair .

On doit donc élaborer un circuit qui comptera le nombre de bits 1 émis pendant les phases I1 à I9 et qui suivant que ce nombre est pair ou impair fournir respectivement un bit 1 ou un bit 0 qu'on émet à la phase I10 à la suite des 9 bits informations.

On doit donc élaborer un circuit qui comptera le nombre de bits 1 émis pendant les phases I1 à I9 et qui suivant que ce nombre est pair ou impair fournira respectivement un bit 1 ou un bit 0 qu'on émet à la phase I10 à la suite des 9 bits information.

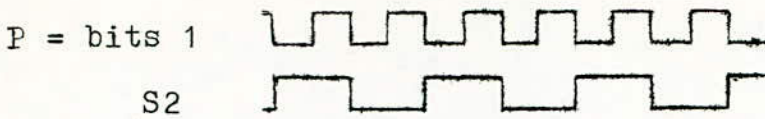
- L'émission de ce bit de contrôle de parité sera, comme pour les 9 bits d'information, assurée par une porte "AND" sous condition de l'impulsion I10 et d'une bascule P délivrant le bit contrôle de parité.
- Tous les bits 1 sauf ceux correspondants à l'adresse (phases I11 et I12) sont présentés à l'entrée de la bascule qui devra donc se mettre à 1 si leur nombre est pair et à 0 si leur nombre est impair.
- * D'après le principe même des bascules, cette dernière réagit lorsque se présente à son entrée un front négatif. Et chaque bit 1 possède un seul front négatif

Si on fait la synthèse des états successifs que prend la bascule au fur et à mesure que des bits 1 se présentent à son entrée on aura :

- Au départ la bascule est à 0.
- Au front descendant du 1er bit 1 qui se présente, elle se met à 1 i.e $S1 = 1$
 $S2 = \overline{S1} = 0$
- Au front descendant du 2ème bit 1 qui se présente à son entrée elle se remet à 0 i.e $S1 = 0$
 $S2 = 1$
- Au front descendant du 3ème bit qui se présente on aura
 $S1 = 1$
 $S2 = 0$ etc...
- On remarque qu'on doit plutôt utiliser la sortie S2 de la bascule.

REMARQUE :

Le changement d'état de la bascule s'effectue dans la fin de chaque bit 1 conformément au diagramme suivant .



Dans le cas où le 9ème bit d'information est un 1 . le changement d'état de la bascule s'effectuera à la fin de ce bit qui correspond à la fin de la phase I9 c'est à dire au debut de la phase I 10 qui est celle d'emission sur ligne du bit de contrôle de parité. On a donc intérêt à inverser le signal d'attaque P de la bascule de façon à provoquer son changement d'état à chaque debut de bit 1 qui se présente.

De plus pour se limiter aux 9 bits d'information on utilisera une porte "AND" qui sera sous condition du signal P et d'un signal qui durera juste le temps d'émission des 9 bits d'information. Ce signal sera en fait constitué de 3 signaux distincts dont la somme des durées est celle voulue. Ce sont les signaux d'états :

- * La bascule de plus fort poids du compteur d'impulsion - donné par sa partie complémentaire I dS2 qui est à un du debut de la phase I 0 à fin de la phase I 7.
- * Des phases I 8 et I 9.

On aura ainsi, le circuit d'élaboration du bit de contrôle de parité . Conformément au Schema de la fig 17

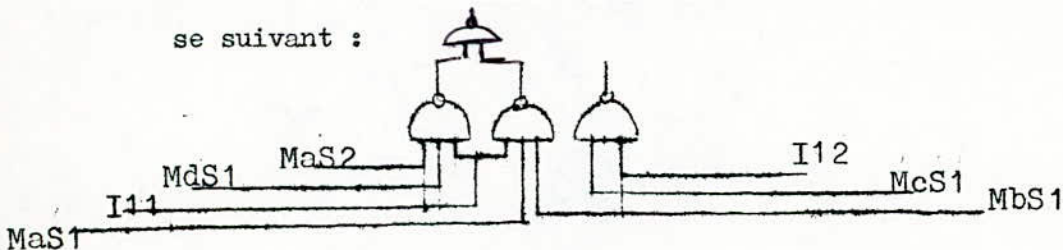
III1-6 ELABORATION DE L'ADRESSE (PHASES I11 ET I12) (Fig 17)

On a vu que suivant le rang du mot, le contenu de l'adresse varie :

- * 1 bit pour les mots de rang impair
- * 2 bits pour les mots de rang pair

Conformément au système d'adressage adopté (voir adresse) le compteur de mots va delivrer l'adresse du mot qui sera transmise sur la ligne aux phases I 11 et I 12 grâce à des portes "AND" comme pour les informations précédentes.

On a le circuit d'élaboration et de transmission en ligne de l'adresse suivant :



CONCLUSION

- On a ainsi constitué une matrice de codage recevant des informations à son entrée sur des fils en parallèle et les restituant, sur 1 seul fil en sortie .

- A la sortie de cette matrice on a 1 mot complet.

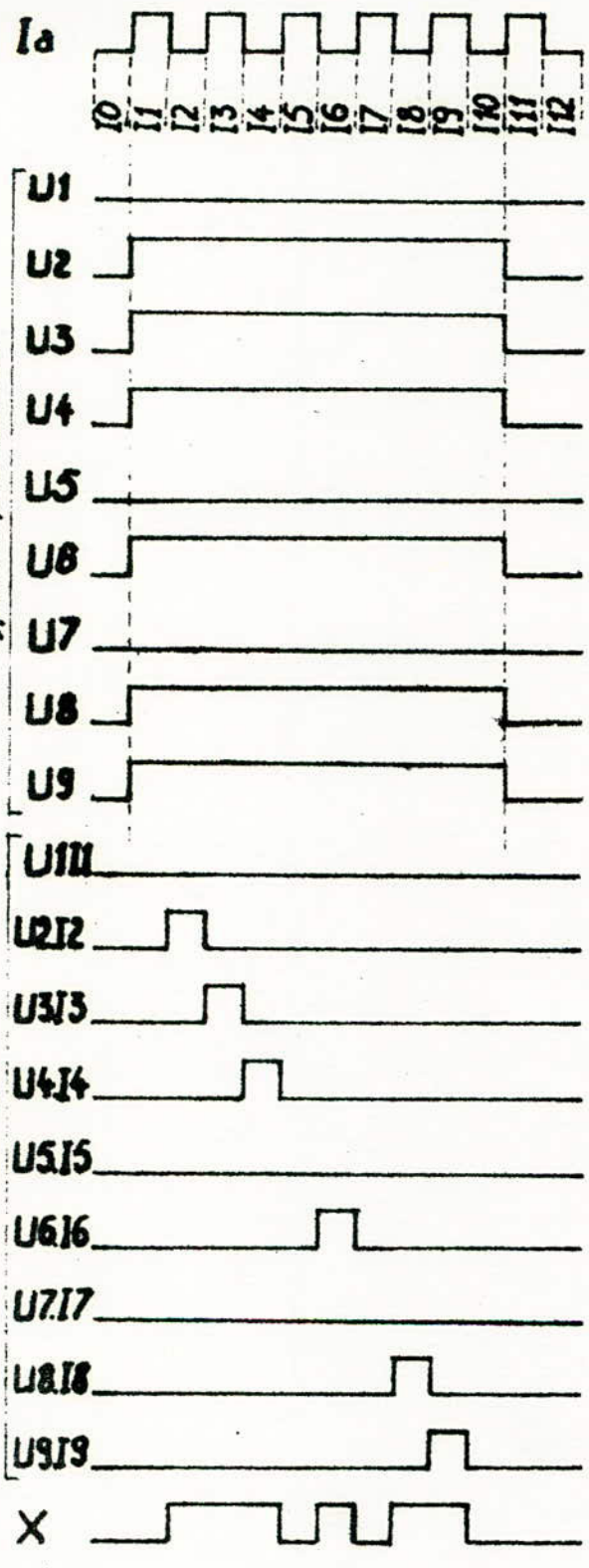
1111-7 ELABORATION DU CODE TRIVALENT (Fig 18)

- Le code de transmission utilisé est trivalent (voir caractéristique de transmission).

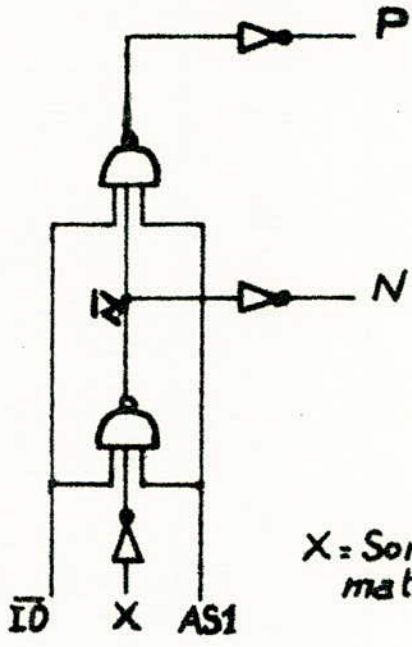
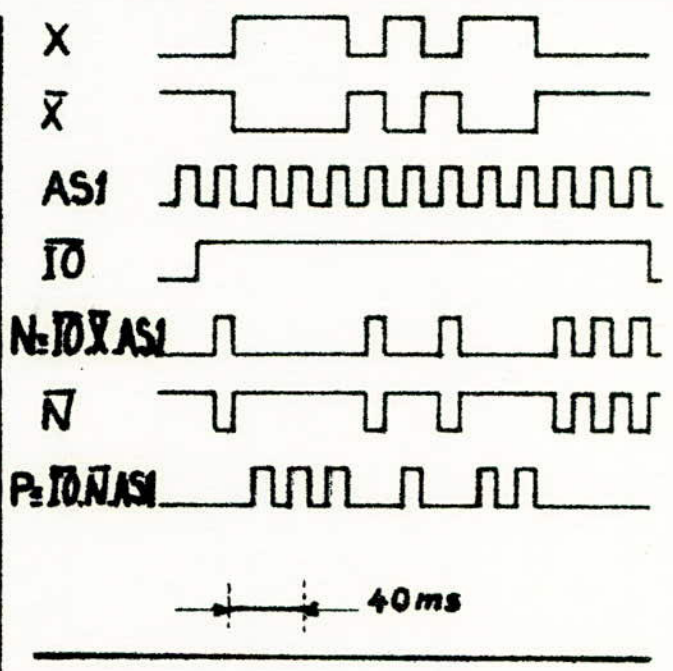
- Le code obtenu en sortie de matrice de codage est appliqué sur 2 fils P et N à l'entrée de l'émetteur télégraphique. Le marquage du fil P provoque l'émission en ligne d'1 bit P, de même pour le fil N. L'absence simultanée d'excitation des 2 fils se traduit par l'émission en ligne de l'état S.

* on a vu de plus que la phase d'émission d'1 bit d'information se fait en deux (2) sous phases égales. La première correspondant à l'émission de la fréquence centrale, l'autre à l'information proprement dite. Pour ce faire on utilisera des portes "AND" sous condition d'une bascule A délivrant un signal de période égale à la durée d'1 bit . La commande $\overline{I_0}$ permet la transmission de la fréquence centrale lors du bit debut de mot.
L'élaboration du contrôle trivalent est assurée par le circuit donné à la fig 18

Séquence mémoire de codage type d'informations



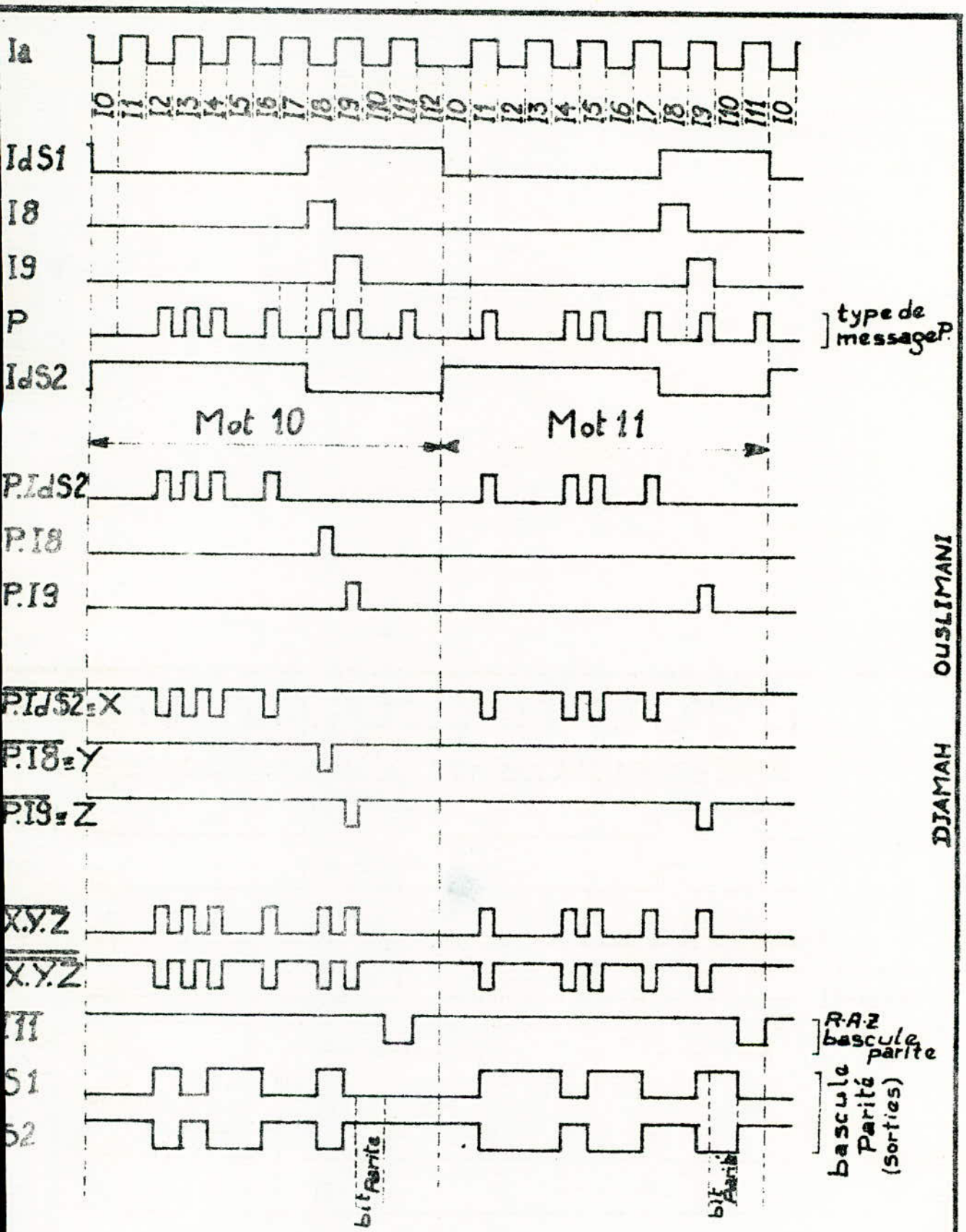
matrice de codage



X = Sortie matrice Codage

OUSLIMANI
DJAMAH

EXPLE D'ELABORATION DU CODE TRIVALENT 18



DJAMAH OUSLIMANI

ELABORATION DU BIT
 CONTROLÉ D'IMPARITÉ

1 - INTRODUCTION

-Effectuer une mesure revient à prendre la valeur maximale du signal considéré. Si de plus on veut la transmettre à distance, on doit la convertir en un signal exploitable.

2 - FONCTIONNEMENT

-Tout comme pour les signalisations, le choix de l'entrée mesure se fait par le biais du signal \overline{IOMX} , qui détermine le rang du mot affecté au codage de la mesure dans le cycle de transmission, issu des circuits de sélection d'entrées.

Pour effectuer une mesure, on procède en deux étapes:

- * 1 étape de prélèvement de la valeur de la mesure qui se fera durant le signal \overline{IOMX} .
- * 1 étape de conversion de la valeur ainsi prélevée en un signal numérique, qui de ce fait ne débute qu'à partir du mot M (X+1) suivant.

REMARQUE.

- La phase de conversion est variable suivant la valeur de la grandeur à mesurer, elle est cependant toujours inférieur à 8 mS.

3 - CIRCUIT DE PRELEVEMENT DE LA GRANDEUR.

-Le prélèvement de la valeur maximale de la mesure est effectué par charge d'une "capacité réservoir".

Le problème est de ne charger cette capacité qu'au moment voulu et de la mesure choisie.

On a vu que le choix de la mesure est réalisé par le signal \overline{IOMX} .

CŒNCLUSION:

-On doit donc avoir un circuit qui ne doit travailler qu'à \overline{IOMX} et de plus doit réaliser la liaison des bornes de l'entrée choisie parmi d'autres avec les bornes de la capacité réservoir.

Un tel circuit sera chopper électronique équivalent deux relais électromagnétiques, commandé par le signal \overline{IOMX} conformément au Schéma. *fig 17.*

.../...

4 - DECHARGE DES CAPACITES PARASITES. (fig.22)

- Une fois la valeur de la grandeur prélevée, on entame la phase de conversion.

Durant cette phase, on génère un courant I_X proportionnel à la tension aux bornes de la capacité réservoir, en appliquant cette dernière aux bornes d'un amplificateur de mesure.

Le courant I_X est ensuite comparé à un courant de référence variable I_R délivré par des circuits qu'on verra plus loin.

- Un problème apparait:

En effet, en appliquant la capacité réservoir aux bornes de l'amplificateur de mesure, l'une des extrémités de cette dernière sera à la masse d'où risque de décharge des capacités parasites disposées symétriques par rapport au condensateur réservoir à travers de dernier. Ce qui aura pour effet de modifier la tension existant à ses bornes.

On a donc intérêt à décharger ces capacités parasites avant d'entamer la conversion.

Pour décharger une capacité il suffit d'appliquer l'une de ses bornes à la masse, or en faisant cela on décharge aussi la capacité réservoir.

- Pour surmonter ce problème, on va jouer sur les temps de décharge des différents condensateurs. En effet, la capacité réservoir est choisie telle que son temps de décharge soit très élevé devant celui des capacités parasites de façon à ce qu'elle n'ait pas le temps de se décharger sensiblement.

CONCLUSION:

- On doit réaliser un circuit qui va mettre les capacités parasites à la masse juste à la fin du signal $\overline{I_{OMX}}$ et ce pendant un temps très court (1,5mS). Or ces condensateurs parasites sont disposés symétriquement par rapport à la capacité réservoir.

Notre circuit va donc mettre alternativement à la masse l'une ou l'autre des bornes de la capacité réservoir de manière à permettre la décharge des capacités parasites.

Ce circuit sera un chopper électronique (voir annexe) commandé par une impulsion de durée 1,5mS et ayant lieu à la fin du signal $\overline{I_{OMX}}$.

Une telle impulsion est obtenue grâce à un retardateur (voir annexe) sous commande de \overline{IOMX} .

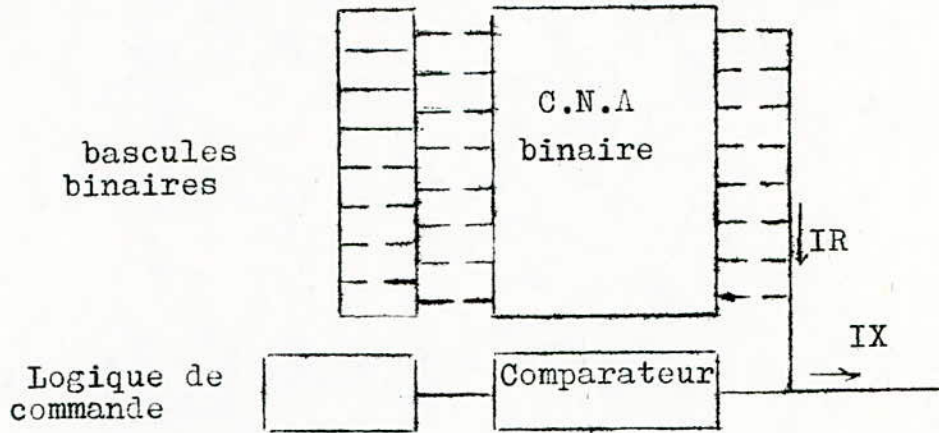
On aura ainsi le schéma de figure. 22

5. - CONVERSION ANALOGIQUE - NUMERIQUE.

5-1- PRINCIPE:

-La conversion consiste en la transformation du signal analogique correspondant à la grandeur prélevée en un signal numérique.

-Les circuits assurant cette transformation sont les convertisseurs Analogiques Numériques ou C.N.A dont le schéma de principe est donné en figure.



Un courant IX proportionnel à la tension aux bornes de la capacité réservoir est comparé à un courant de référence IR proportionnel à une valeur numérique contenue dans un registre binaire.

On fait varier le courant IR jusqu'à équilibrer le courant IX au niveau du comparateur. A cet instant, la valeur numérique de IX est contenue dans le registre.

Ce type de conversion est dit à " Approximations Successives" .

5-1-1 - GENERATION DU COURANT DE REFERENCE VARIABLE I.R . (fig.17)

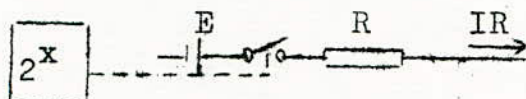
- La production du courant de référence variable IR est assurée par un convertisseur Numérique - Analogique ou C.N.A .

..../....

5-1-2 - PRINCIPE DU C.N.A.

- L'information numérique d'entrée est inscrite dans un registre binaire composé de 8 bascules.

Chacune de ces bascules va déterminer l'état ouvert ou fermé d'un commutateur selon que le nombre binaire dans la bascule vaut 0 ou 1 conformément à la figure.



Les valeurs relatives des résistances correspondant aux puissances successives de 2. La fermeture d'un contact provoque l'injection d'un courant inversement proportionnel à la valeur de la résistance associée, ces courants ont donc des valeurs qui correspondent aux poids binaires 128, 64, 32, 16, 8, 4, 2, 1.

Au point commun des résistances du réseau, les courants des différentes branches sont additionnés, leur somme constitue le courant de référence IR.

- Les 8 bascules sont séparées en deux groupes de quatre, chaque groupe est câblé en compteur binaire à 16 positions:

* Le compteur d'Unités . C

* Le compteur de Seizaines. B

5-1-3 - VALEUR DE LA RESISTANCE R .

La valeur de la résistance R dépend de la valeur pleine échelle " I " utilisée.

"I" va correspondre à $n = 2^8 = 256$ pour convertisseur à 8 bits .

La valeur du quantum sera $q = \frac{I}{256}$.

Or le quantum correspond à la commutation du seul poids 2^0 , d'où:

$$\frac{E}{128R} = \frac{I}{256} \quad \text{---)} \quad R = \frac{256}{128} \cdot \frac{E}{I}$$

.../....

- Les commutateurs sont constitués de transistors fonctionnant en "offset" (voir Annexe) .

5-1-4' - COMPARATEUR.

- C'est un amplificateur différentiel constitué de deux transistors appariés.

L'équilibre est obtenu lorsque les deux bases sont au même potentiel (0 V), c'est à dire lorsque les courants IR et IX sont égaux. (voir Annexe).

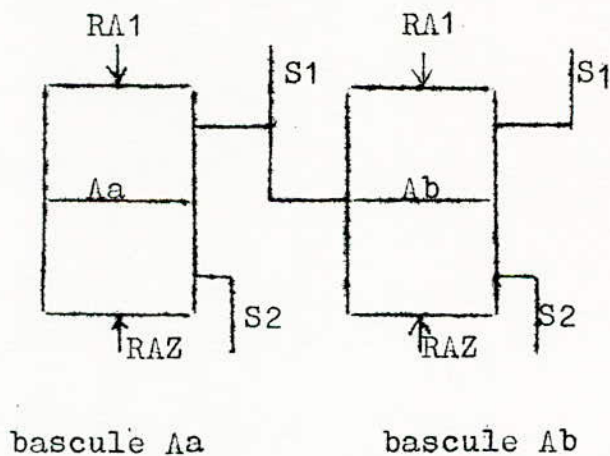
5-2 - PROCESSUS DE CONVERSION ANALOGIQUE - NUMÉRIQUE. (fig.22)

- Le processus de conversion analogique- numérique peut se résumer suivant l'organigramme de la Fig .23.

- Comme note sur l'organigramme, la conversion Analogique- Numérique se fait en 3 (trois) phases successives:

- Ø1= phase de recherche du signe
- Ø2= phase de degrossissage
- Ø3= phase d'équilibrage

Le déroulement de ces opérations sera donc réglé par un compteur(A) à quatre positions possibles, donc constitué de deux bascules repérées par : 'Aa'et'Ab'



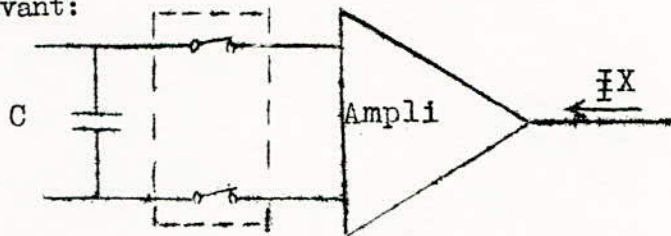
.../.../

5-2-1/ - PHASE DE RECHERCHE DU SIGNE (Ø 1)

- Cette phase va correspondre à la position de repos du compteur A.

- On attaque le processus de conversion, en appliquant la tension aux bornes de la capacité réservoir à l'entrée d'un amplificateur de mesure délivrant un courant I_X proportionnel à cette dernière.

Pour ce faire, on procède de la même manière que précédemment en utilisant un chopper électronique (voir Annexe) conformément au schéma suivant :



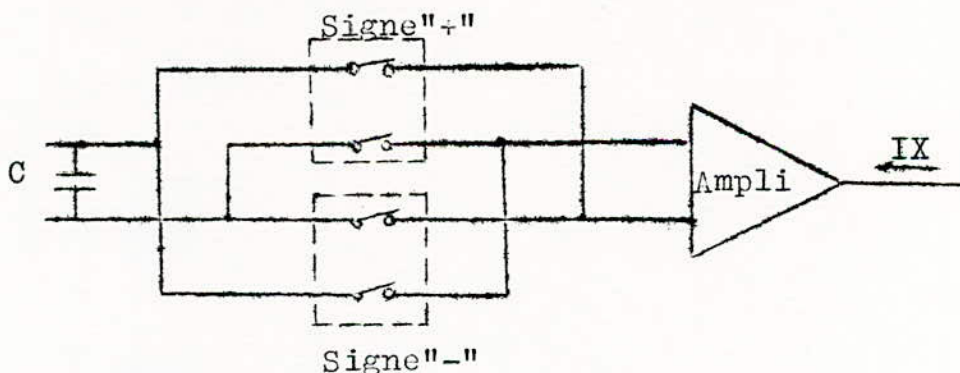
Un problème surgit :

- Dans le cas où la tension aux bornes de la capacité réservoir est négative, le courant I_X à la sortie de l'amplificateur de mesure aura son sens inversé de façon à ce qu' au niveau du comparateur il s'ajoute au courant de référence I_R . Le comparateur ne pourra plus détecter l'équilibre.

Pour y remédier on change le sens du courant I_X en inversant les branchements des bornes du condensateur réservoir à l'ampli de mesure.

Cette nouvelle liaison est assurée par un autre chopper électronique qui doit se déclencher dès que le comparateur détecte une tension négative aux bornes de la capacité réservoir. En même temps, le chopper précédent est mis hors service.

Le schéma de principe sera le suivant :



.../...

REMARQUE/:

- On peut considérer ces opérations comme celles définissant le signe de la mesure. En effet, il suffit d'avoir à ce moment $IR = 0$. Si la grandeur est positive, le comparateur indiquera $IX > IR$ donc $IX > 0$, dans le cas contraire il indiquera $IX < IR$ donc $IX < 0$, et l'inversion des branchements de la capacité réservoir est réalisée.

- Circuits de Commande du Signe (Fig.24..)

En vertu de ce qui a été dit, on doit élaborer un circuit qui:

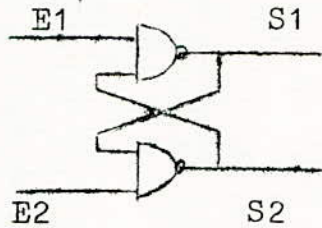
- * Au départ on met hors service les deux choppers signe.
- * A la fin de la décharge des capacités parasites met en service le chopper signe " - " .
- * Si le comparateur détecte une mesure négative, il y a proposition du signe " - " , c'est à dire qu'on tient prêt le chopper signe " - " sans pour autant le mettre au travail, tout en inhibant le chopper signe " + " .
- * Met au travail (si nécessaire) le chopper signe " - " à la fin de la phase $\emptyset 1$.

On voit que dans le cas d'une mesure négative, on doit réaliser un basculement entre les états des deux choppers signe. Ce basculement sera assuré par une bascule R-S formée de 2 portes " Nand" (voir Annexe) dont les sorties seront utilisées comme commandes des choppers signe.

Rappel:

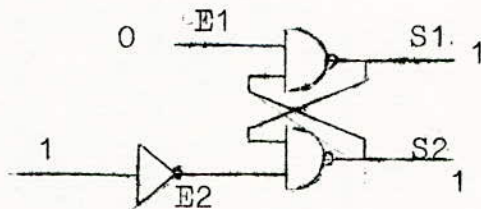
- Les choppers sont mis à l'état travail dès qu'un niveau bas(état 0) est appliqué à leurs commandes.
- Avant le choix de l'entrée mesure, les choppers - signes sont hors service: leurs commandes respectives sont au niveau haut (état 1). Pour cela on doit avoir les sorties de la bascule à 1 toutes les deux ce qui est le cas si on applique l'état 0 aux entrées de cette dernière

.../...



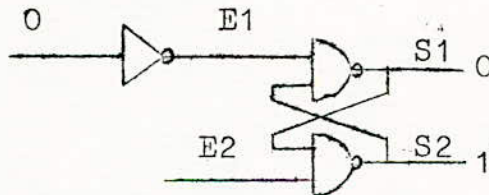
Pendant la phase décharge des capacités parasites les choppers doivent rester bloqués, jusqu'à sa fin (1,5ms). A ce moment il ya mise en service du chopper correspondant au signe " + " tout en gardant le chopper signe " - " bloqué.

On se voit donc dans l'obligation d'inverser l'attaque de la bascule .

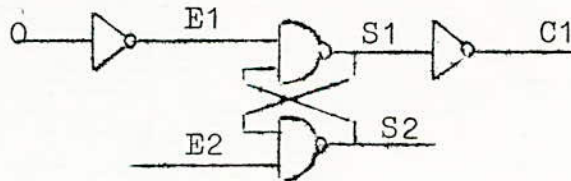


Or en faisant ceci, la sortie S2 n'est à 1 que durant la phase décharge des capacités parasites. C'est à dire que l'un des choppers signe commandé par S2 est à l'état travail avant et durant la phase sélection des entrées. Ce qui n'est pas autorisé.

Pour remédier à ce problème, on applique l'état 1 à l'entrée E1 en insérant un inverseur. Ainsi aura-t-on: $E1 = 1 \Rightarrow S1 = 0$ et $S2 = 1$ et ceci quelque soit l'entrée E2 .



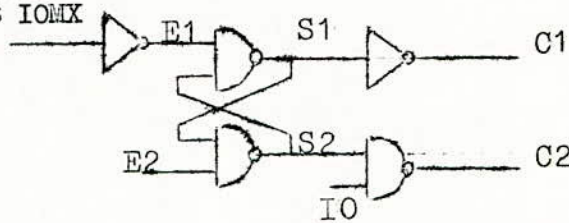
Or, comme on l'a vu, les deux choppers doivent être bloqués avant la fin du signal décharge des capacités parasites: on introduit un inverseur au niveau de la sortie S1 conformément au schéma suivant:



.../...

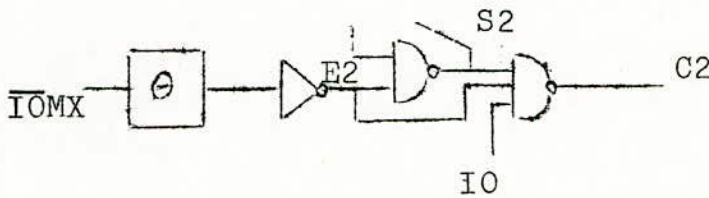
Si on laisse le circuit tel quel, on remarque que quelque soit l'entrée E2 on a toujours S2 = 1. Et ceci même après la phase décharge des capacités parasites.

Pour surmonter ce problème, on va introduire une porte " NAND" qui sera sous condition de la sortie S2 et de l'impulsion IO qui n'est à l'état 1 qu'après le signal sélection de mot \overline{IOMX}



On a ainsi les commandes des 2 choppers au niveau haut (état 1) durant la phase sélection de l'entrée. Mais le chopper commandé par la sortie S2 de la bascule se met au travail dès le début de la phase IO ; c'est à dire pendant la phase décharge des capacités parasites. Ce qu'il ne faut pas .

Pour éviter ce cas, on inverse le signal à l'entrée E2 et on met la porte de commande du chopper C2 sous condition de cette dernière conformément au schéma suivant:



A la fin du signal décharge des capacités parasites, le chopper signe " + " doit se mettre à l'état travail. Sa commande est alors au niveau bas; ce qui est le cas pour la sortie C2 qui va ainsi constituer la commande du dit chopper.

La sortie C1 restant toujours à 1 assurera la commande du chopper signe "-".

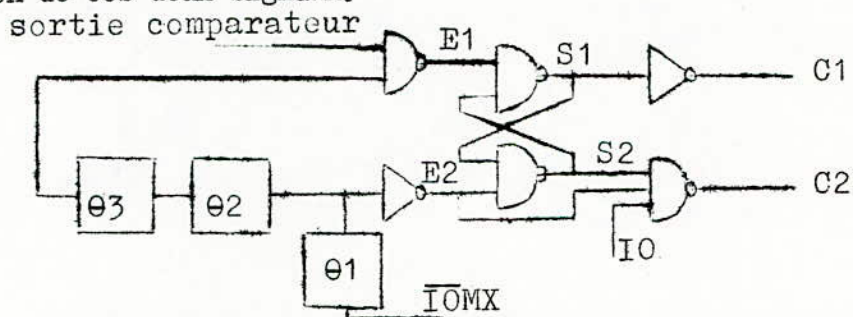
A partir de cet instant, la capacité réservoir est branchée aux bornes de l'amplificateur de mesure. Le comparateur se met en service.

Dans le cas où le signe de la tension détectée est négatif, ce dernier va délivrer un signal de validation qui doit permettre le blocage du chopper signe " + " et la mise en service du chopper signe " - " .

..../...

On donne un laps de temps (1 mS) pour la recherche du signe. C'est à dire que le basculement (si nécessaire) n'a lieu qu'après ce temps.

On doit donc élaborer un signal qui sera en fonction d'une impulsion ayant lieu 1 mS après l'impulsion décharge des capacités parasites, et du signal validation délivré par le comparateur. Ce signal comme dit auparavant, doit faire basculer les états des choppers: Il sera appliqué en E1 qui était à l'état 1 et donc passera à l'état 0. Pour ce faire, il suffit de mettre la porte de sortie E1 sous condition de ces deux signaux.

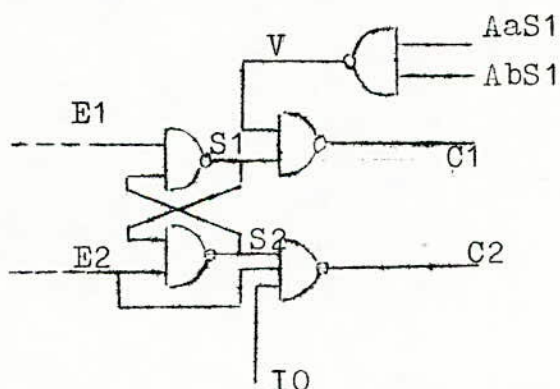


On a vu que le branchement du chopper signe " - " n'a lieu qu'à la fin de la phase recherche du signe, donc au début de la phase dégrossissage. Pour concretiser cela il suffit de mettre la porte de commande du chopper signe " - " (de sortie C1) sous condition du signal délimitant la phase recherche du signe.

Ce signal est donc celui correspondant à l'état repos du compteur A .

Un tel signal est obtenu à la sortie d'une porte " NAND " sous conditions des sorties Aa S1 et Ab S2 .

Ce qui nous mène à prendre l'état 11 comme état de repos du compteur A.



.../...

A la fin de la phase recherche du signe, on doit avoir $C1 = 0$ - donc $V = 1$.
 Ce qui nous mène à n'utiliser que les états 01 et 10 du compteur A pour la phase conversion.

REMARQUE:

Une fois le chopper signe " - " branché, quelque soit l'état du comparateur, $C1$ est toujours à l'état 0. En effet c'est $S2 = 0$ qui détermine l'état de $C1$.

5-2-2/- PHASE DE CONVERSION ($\emptyset 2$ et $\emptyset 3$) (fig.25)

- Elle s'effectue en deux sous phases successives:

*Sous phase $\emptyset 2$ de degrossissage qui consiste en la détermination de l'ordre de grandeur de la mesure c'est à dire: mesure inférieure ou supérieure à une valeur référentielle.

Cette sous phase va correspondre à l'état 01 du compteur A.

*Sous phase $\emptyset 3$ d'équilibrage qui consiste à déterminer la valeur exacte de la mesure. Cette sous phase correspondra à l'état 10 du compteur A.

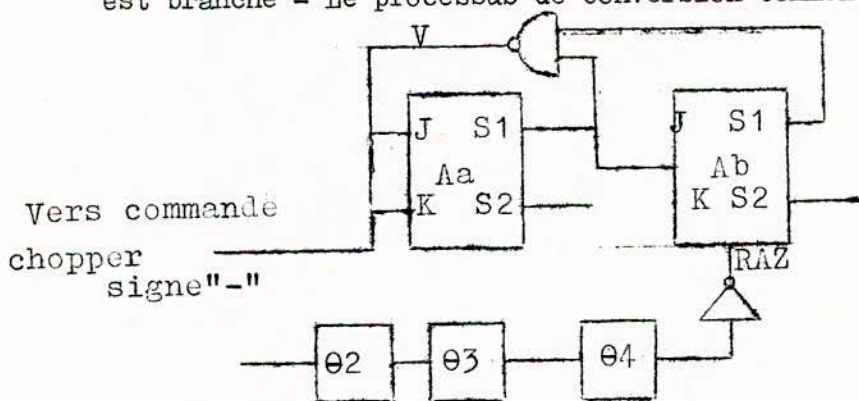
5-2-2-1/- SOUS PHASE DE DEGROSSISSAGE ($\emptyset 2$)

- L'opération de dégrossissage est effectuée par comparaison de la mesure I_X prélevée, à un courant référentiel I_R correspondant au poids 15.

- Cette sous phase va correspondre à l'état 01 de " A " .

- On se voit donc dans l'obligation de mettre d'abord le compteur A à l'état requis (01) et ceci par remise à Zéro forcée de la bascule Ab juste à la fin de la phase recherche du signe.

A ce moment on aura $V = 1$ → le chopper signe " - " (si nécessaire) est branché - Le processus de conversion commence.



.../....

On a vu que la conversion commence par comparaison de la mesure à un courant de poids 15.

On doit donc élaborer un circuit supplémentaire qui dès que le compteur A est à l'état 01, va produire un courant IR de poids 15: Ce sera un transistor fonctionnant en " Offset" (voir Annexe). Commandé par la sortie S2 de la bascule Ab ^{qui} alors est à 1 .

Deux cas peuvent se présenter au niveau du comparateur:

* $IX \gg IR$

* $IX < IR$

Avec IR de poids 15.

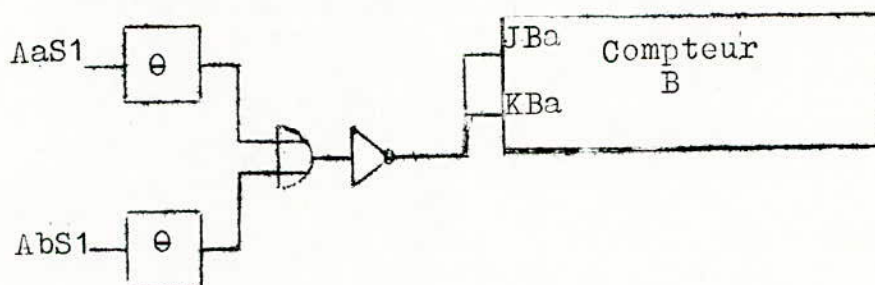
Cas $IX \gg IR$.

-Le poids de IX est supérieur ou égal à 15.

-Dans ce cas, on met en service le compteur de seizeaines B qui va nous délivrer un courant IR qui va augmenter par palier 15, 32, 64,.....

On doit donc élaborer un circuit qui va débloquent le compteur B de seizeaines juste après que la première comparaison est effectuée.

Pour ce faire, on va élaborer un signal qui agira 1 mS après que l'étage de poids 15 est mis en service, conformément au schéma suivant:



Une fois débloquent, le compteur B va progresser au rythme d'une horloge locale (10 Khz). Et ceci jusqu'à avoir le cas suivant:

.../...

IX < IR.

Dans ce cas le comparateur va délivrer une validation qui doit:

- * Mettre hors service l'étage supplémentaire de poids 15.
- * Bloquer le compteur B à sa dernière position.
- * Mettre en service le compteur C d'unités.

5-2-2-2/- SOUS PHASE D'EQUILIBRAGE (Ø 3)

- Cette sous phase consiste à équilibrer d'une manière plus précise les courants IX et IR .

-- Mise hors service de l'étage de poids 15: Elle est réalisée par mise à l'état 0 de la sortie S2 de la bascule Ab.

Pour ce faire il suffit de faire avancer le compteur à sa position suivante (état 10), par l'intermédiaire du signal validation du comparateur, qui va ainsi jouer le rôle d'horloge pour le compteur A.

- Le blocage d'un compteur à sa dernière position est réalisé par mise à Zéro (0) des deux entrées de sa 1ère bascule. Cette mise à Zéro sera assurée par la sortie S2 de la bascule Ab.

- La mise en service du compteur C d'UNITÉS sera assurée par la sortie S2 qui alors doit être à 1.

Cette sortie sera appliquée aux 2 entrées de C qui alors va compter au rythme de l'horloge locale (10 Khz).

5-2-3 / - CIRCUITS DE CONVERSION.

5-2-3-1/- RECAPITULATION - COMMANDES DES COMPTEURS B et C (Fig.26.).

- On vient de voir qu'à l'état de repos (11) du compteur A, les compteurs B et C sont à Zéro et bloqués. Blocage assuré par les sorties S2 des bascules Ab et Aa .

.../...

- Le déblocage de B se fait à l'état 10 de A par le biais de la sortie S2 de Ab - De plus ce déblocage se fait 1 mS après la mise à l'état 01 du compteur A.
- Le déblocage de C est réalisé par le biais de la sortie S2 de Aa à l'état 01 du compteur A, et ceci 1 mS après la mise à son nouvel état de A.

REMARQUE:

Un autre cas, dans la conversion de la mesure est à considérer: cas où IX est supérieur à la capacité maximum que peuvent afficher les compteurs B et C. Il faudrait alors afficher l'état 1 sur toutes les bascules de B et C (soit la valeur 255). Car dans ce cas, le comparateur ne donne plus de signaux de validations.

5-2-3-2/- COMMANDE DU COMPTEUR A. (fig.17)

- Le compteur A doit avancer d'un cran, à partir de l'état 01, dès qu'un signal validation est délivré par le comparateur.

Ce signal va donc constituer l'horloge de A.

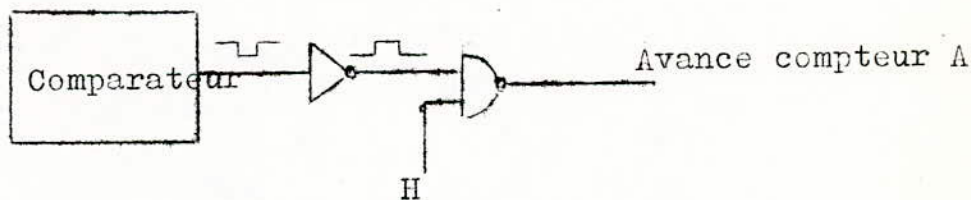
Pour que le compteur réagisse au début du signal horloge il importe d'avoir un signal validation correspondant à l'état 0. C'est à dire:

- * Tant que $IX \geq IR$ (absence de validation) la sortie du comparateur est au niveau haut.
- * Dès que $IR > IX$ (validation); la sortie du comparateur se met au niveau bas.

- Il faut, de plus, synchroniser les compteurs A;B et C.

Ces deux derniers étant attaqués par une horloge locale $H= 10 \text{ Khz}$, on se voit dans l'obligation d'utiliser pour A une horloge de même fréquence.

Une première approche du circuit de commande du compteur A est donnée par la figure suivante.



.../...

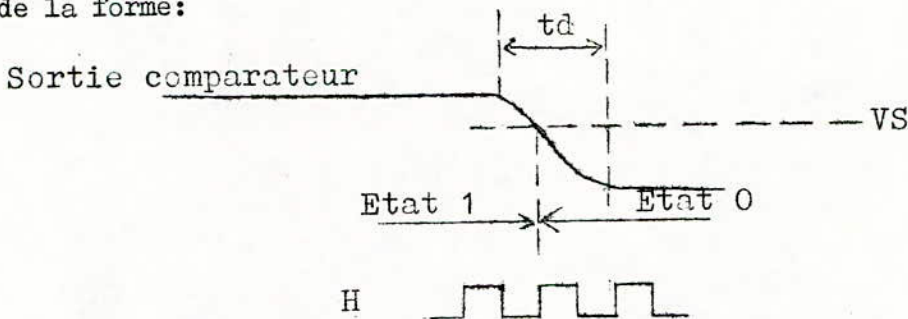
.../...

Ainsi le signal validation ($IR > IX$), n'est pris en compte que lors d'une impulsion d'horloge locale, à partir de son front montant. En même temps, le compteur A bascule de l'état 01 à l'état 10, ce qui a pour effet la mise hors service de l'étage délivrant le courant correspondant au poids 15 et le blocage du compteur de seize à sa dernière position. A ce moment $IR = IR - I_{15}$ et on aura $IX > IR$ (voir organigramme figure 23).

La sortie du comparateur se remet à 1 entraînant l'annulation de la validation.

— La forme du signal validation est étroitement liée au type d'éléments utilisés et essentiellement au comparateur qui est un organe analogique (amplificateur différentiel à transistors appariés. Voir (Annexe) qui peut être source d'erreurs (temps de réponse, de montée, de descente) causant une modification du signal " Horloge " de A.

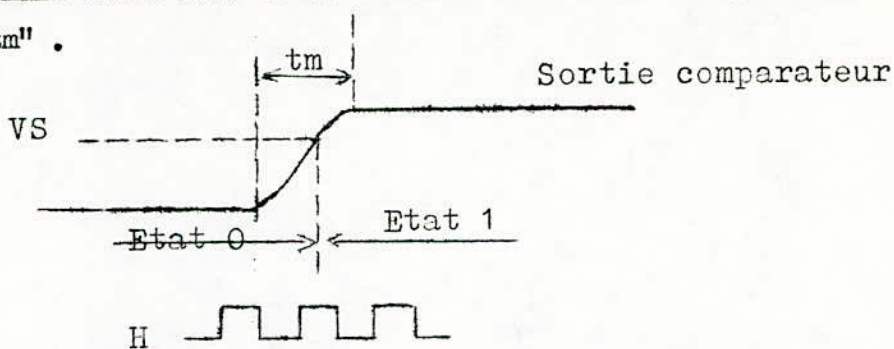
En effet, le comparateur ne pouvant être parfait, le signal validation est de la forme:



— A cause du temps de descente et de la tension seuil de basculement des portes logiques, on risque d'augmenter le courant IR d'un palier après le signal validation, ceci parcequ'une deuxième impulsion horloge locale (10KHz) peut intervenir avant que le signal validation ne soit pris en compte.

.../...

— Une fois, la validation prise en compte, la ^{La} sortie du comparateur se remet à l'état 1, mais cette fois-ci avec un autre retard correspondant au temps de montée " t_m " .



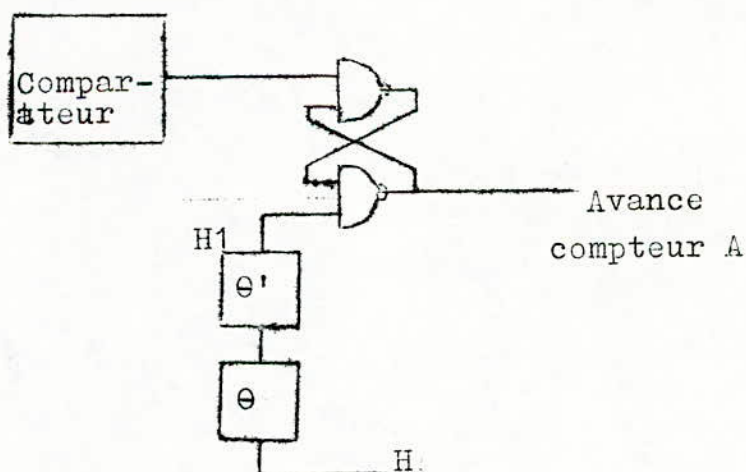
— A cause de ce temps de montée t_m de la tension seuil de basculement des portes logiques, on risque d'avoir deux signaux de basculement du compteur A pour une seule validation .

— Pour parer à ces effets on modifie le circuit comme suit:

* On retarde le signal délivré par l'horloge locale avant de l'appliquer à la porte de commande du compteur A de façon ^{que} le front montant de l'impulsion correspondant à la dernière position du compteur B ait lieu au delà de VS -(tension seuil de basculement des portes logiques) (30 μ S).

* La sortie du comparateur sera reliée à l'entrée d'une bascule formée de 2 portes "NAND" servant à confirmer l'état de la sortie du comparateur.

* Le signal validation sera de courte durée (10 μ S) . On aura ainsi le circuit suivant:



.../...

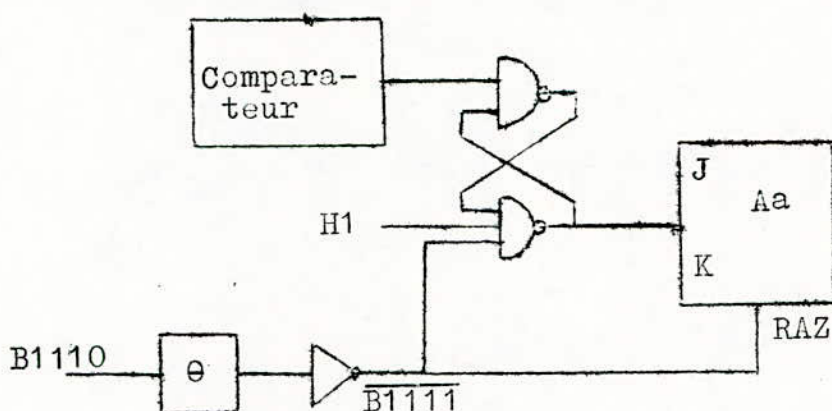
De cette façon, on donne au comparateur, le temps d'effectuer la comparaison d'une façon exacte avant d'effectuer le blocage des compteurs, ce dernier n'ayant lieu qu'à peu près au milieu du dernier état du compteur en cours de fonctionnement.

REMARQUE:

On a vu qu'un cas de dépassement de capacité peut se présenter (IX > poids 255). Il faut alors bloquer le compteur B a sa position extrême (état 1111) et mettre hors service l'étage délivrant un courant de poids 15.

Pour réaliser ces deux opérations, il suffit de faire basculer le compteur A à la fin du signal B 1110.

Pour ce faire, on utilisera le circuit suivant:



- Le câblage sortie inverseur-entrée porte commande horloge A, est réalisé afin d'interdire toute validation durant 200 μ S du signal B 1111.
- Le dépassement de capacité du compteur d'Unités est contrôlé par le signal C 1111.

P . S :

Dans le cas du dépassement de capacité du compteur B, on n'utilise pas le signal B 1111 pour la remise à Zéro de la bascule Aa, car on risque d'avoir des perturbations lors de la remise à 1 de cette dernière (état de repos de A .)

.../...

Le circuit final de commande du compteur A est donné à la figure 17.

5 - 3/ CODAGE DU RESULTAT/:

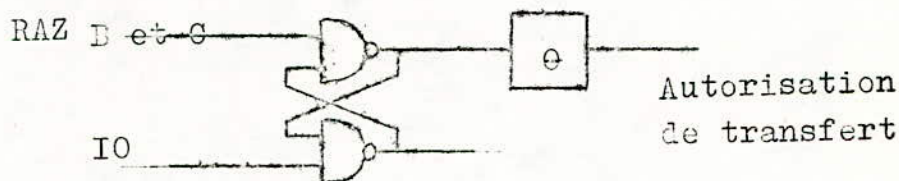
-A la fin de la phase d'équilibrage, le nombre binaire qui représente la valeur de la mesure est disponible dans les compteurs B et C et le signe est contenu dans la bascule du circuit de commande des choppers signe.

Ces informations doivent être introduites dans la mémoire de codage avant de les transmettre (voir circuits communs émission).

La mise en mémoire de ces informations va s'effectuer à la fin du signal IO (début de mot) et ce pendant 1 mS.

On doit donc élaborer une impulsion qui n'aura lieu qu'à la fin du signal IO et de durée 1 mS. Ce sera le signal autorisation de transfert.

Pour ce faire, on utilisera le circuit suivant:

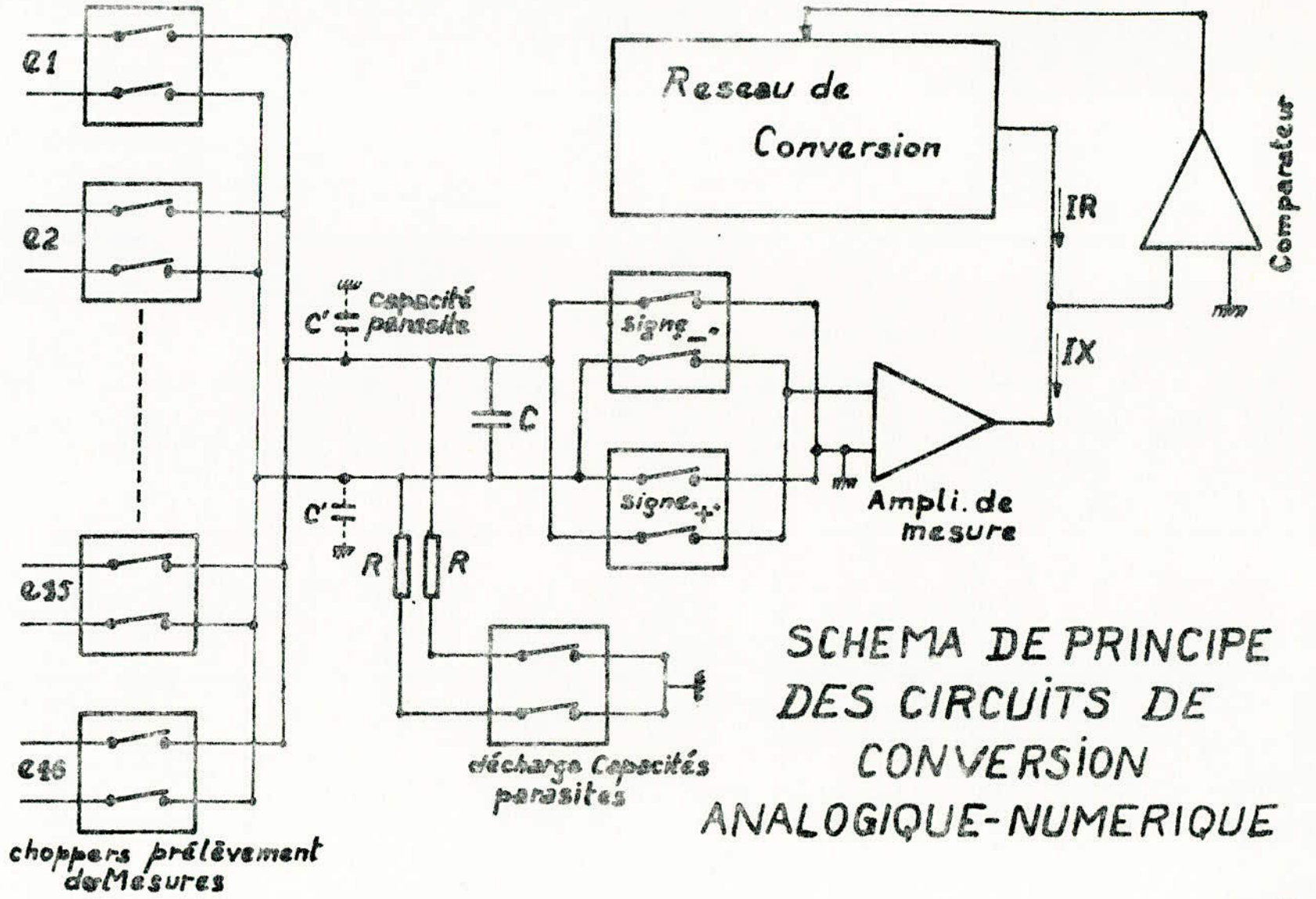


REMARQUE:

Les compteurs B et C, ne sont remis à Zéro qu'après le signal \overline{IOMX} correspondant à l'introduction de la mesure à effectuer. Tant que ce signal ne se présente pas (c'est à dire durant qu'on s'occupe des autres mesures) les compteurs gardent leurs informations, alors que le signal IO est présent au début de chaque mot. Ce qui nous mène à utiliser une bascule R-S dont l'une des entrées est sous condition de IO, l'autre sous condition de la R.A.Z des compteurs. Ainsi le signal autorisation de transfert, des informations contenues dans les compteurs et de signe, vers la mémoire de codage n'est présent qu'à la fin de IO correspondant à la phase de conversion de la mesure en cours et elle seule, et ceci par remise à Zéro du bistable (ce bistable est systématiquement mis dans l'état 1 au début de IO par la R.A.Z de B et C).

Le transfert des informations se fera par le biais de 9 portes "NAND" respectivement sous condition des différents états des bascules formant les compteurs B et C et de la bascule du circuit de commande des choppers signe, et du signal autorisation de transfert précédemment élaboré.

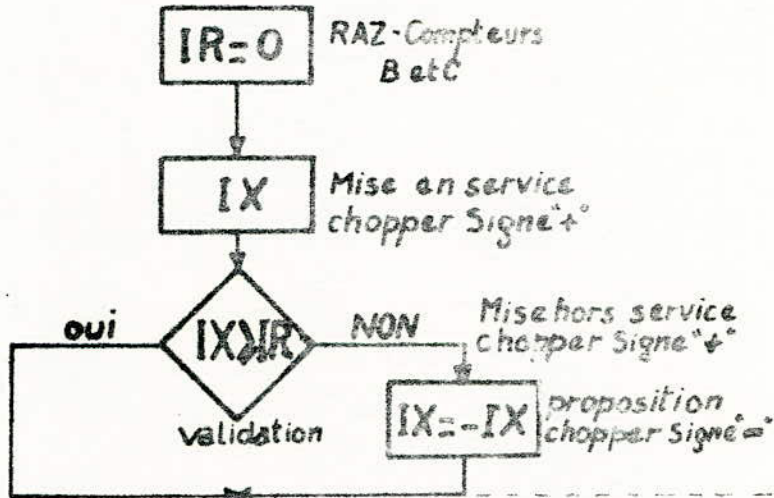
Le diagramme des temps du convertisseurs est donné en figure numéro 27.



SCHEMA DE PRINCIPE
DES CIRCUITS DE
CONVERSION
ANALOGIQUE-NUMERIQUE

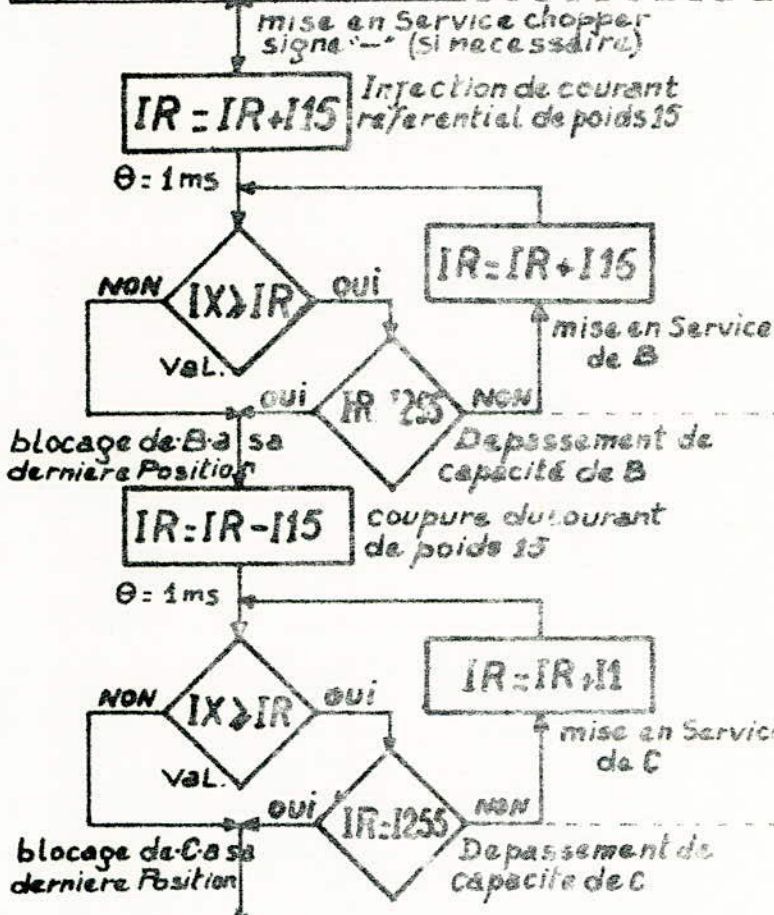
- ENTREE MESURES -

Recherche du Signe



Ø1

Conversion Analogique-Numerique



Ø2

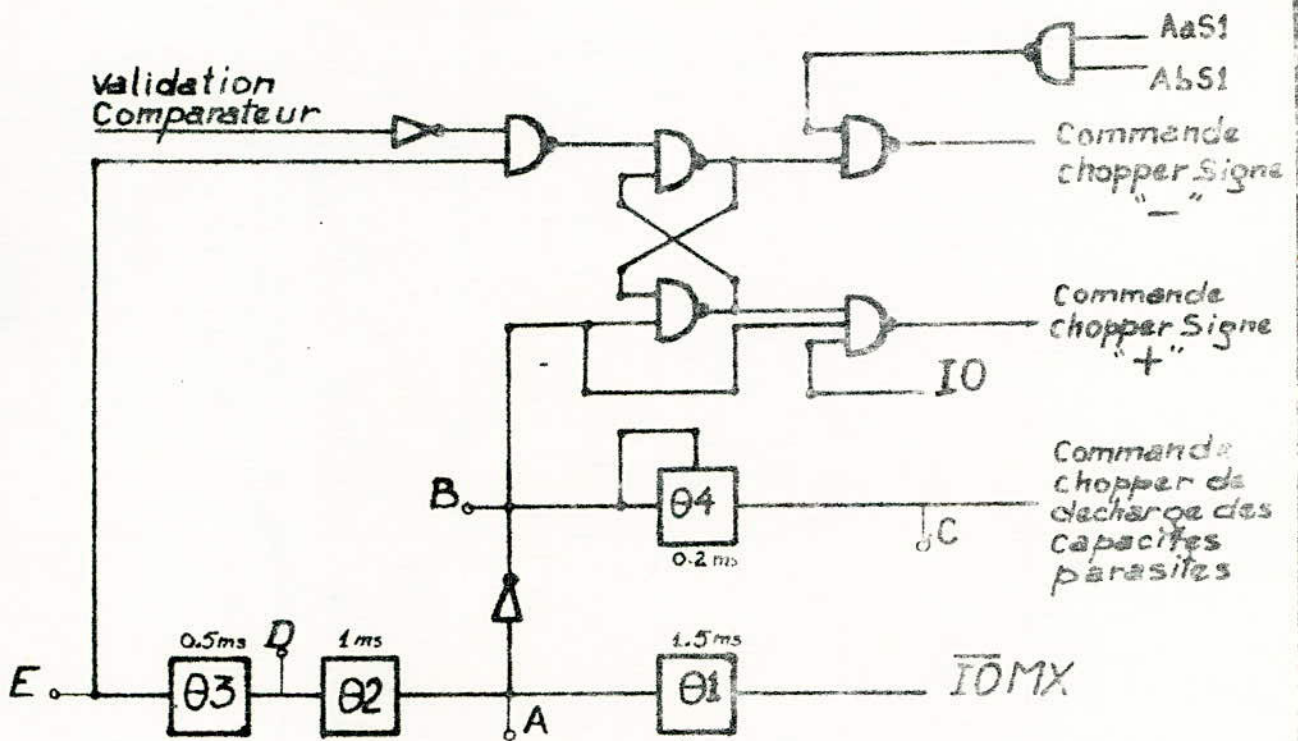
Ø3

degrossissage

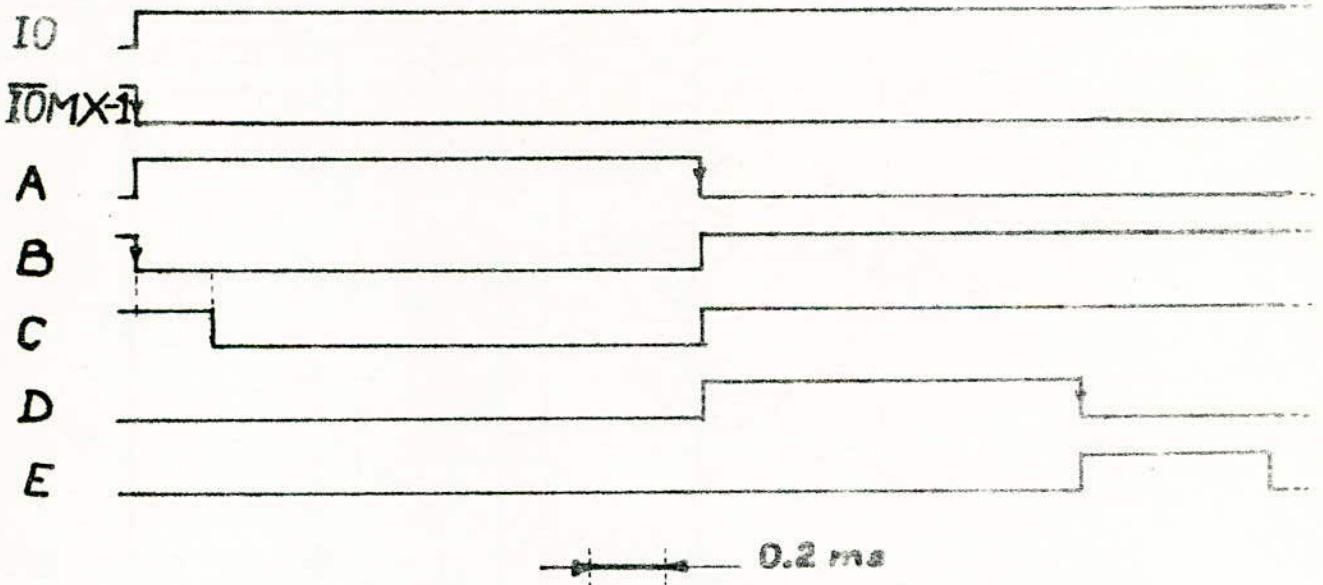
équilibrage

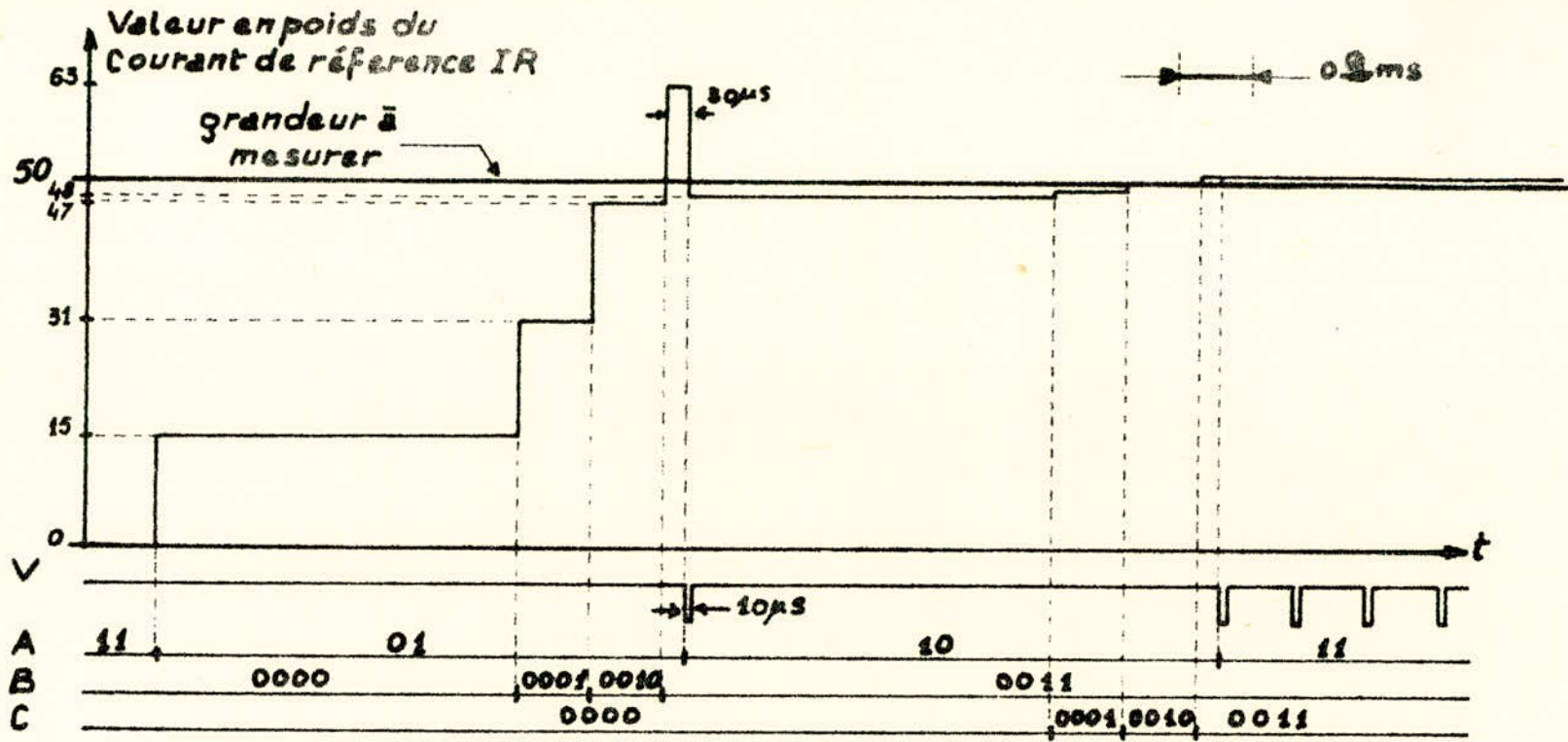
ORGANIGRAMME
PROCESSUS DE
CONVERSION

- ENTREE MESURES -



COMMANDES CHOPPERS SIGNE ET DECHARGE DES CAPACITES PARASITES





V = Signaux de validation
 A = Position du Compteur A
 B = Position du Compteur B
 C = Position du Compteur C

Résultat BC = 00110011 = 51

EXEMPLE DE DETERMINATION
 DE LA VALEUR ABSOLUE
 D'UNE MESURE

III- 3/- ENTREES SIGNALISATIONS.

I /- INTRODUCTION.

- Une signalisation est une information d'état d'un équipement donné, d'une station donnée.

Le signal signalisation sera donc à deux niveaux:

- * Niveau haut pour le cas où le signal délivré par le bloc surveillé est supérieur ou égal au niveau requis.
 - * Niveau bas pour le cas où ce signal est inférieur au niveau requis.
- Les signalisations sont émises par groupes de neuf(9), constituant les 9 bits informations d'un mot sur un fil.

II/- CHOIX DU GROUPE DE SIGNALISATIONS.

- Le signal \overline{IOMX} issu des circuits de sélection d'entrées, vus ultérieurement (voir circuits communs émission), va permettre le choix d'un mot du cycle affecté à un groupe de 9 signalisations..
- Le signal \overline{IOMX} est appliqué à l'entrée d'un retardateur qui va décaler le signal sélection d'un mot entier. C'est à dire que le retardateur n'est déclenché qu'à la fin du signal \overline{IOMX} ; au début du mot suivant $MX+1$.

Ceci a pour effet de décaler d'un rang le numéro du mot en cours duquel l'information sélectionnée sera transmise.

Exemple:

- Pour transmettre un groupe de signalisations dans le mot 14, il faudra relier l'entrée du retardateur de sélection au fil \overline{IOM} 13 sur lequel apparaît le décodage du mot 13.

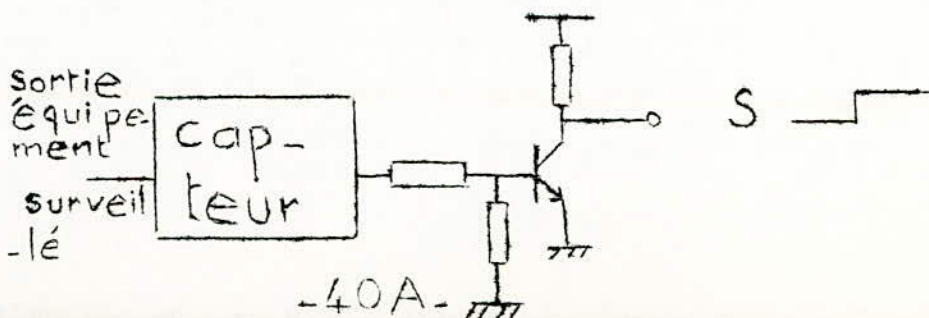
Remarque:

- Cette particularité est due au principe de fonctionnement des circuits d'entrées des mesures (voir entrées mesures).

III/- PRELEVEMENT DE L'ETAT DES EQUIPEMENTS SURVEILLES.

- Le prélèvement de l'état de l'équipement surveillé se fait à l'aide de capteurs délivrant en sortie un signal électrique continu proportionnel au signal à leur entrée.

Le niveau continu ainsi obtenu est appliqué à la base d'un amplificateur délivrant des créneaux S de niveau adéquat. Ces créneaux S vont constituer les bits d'information.

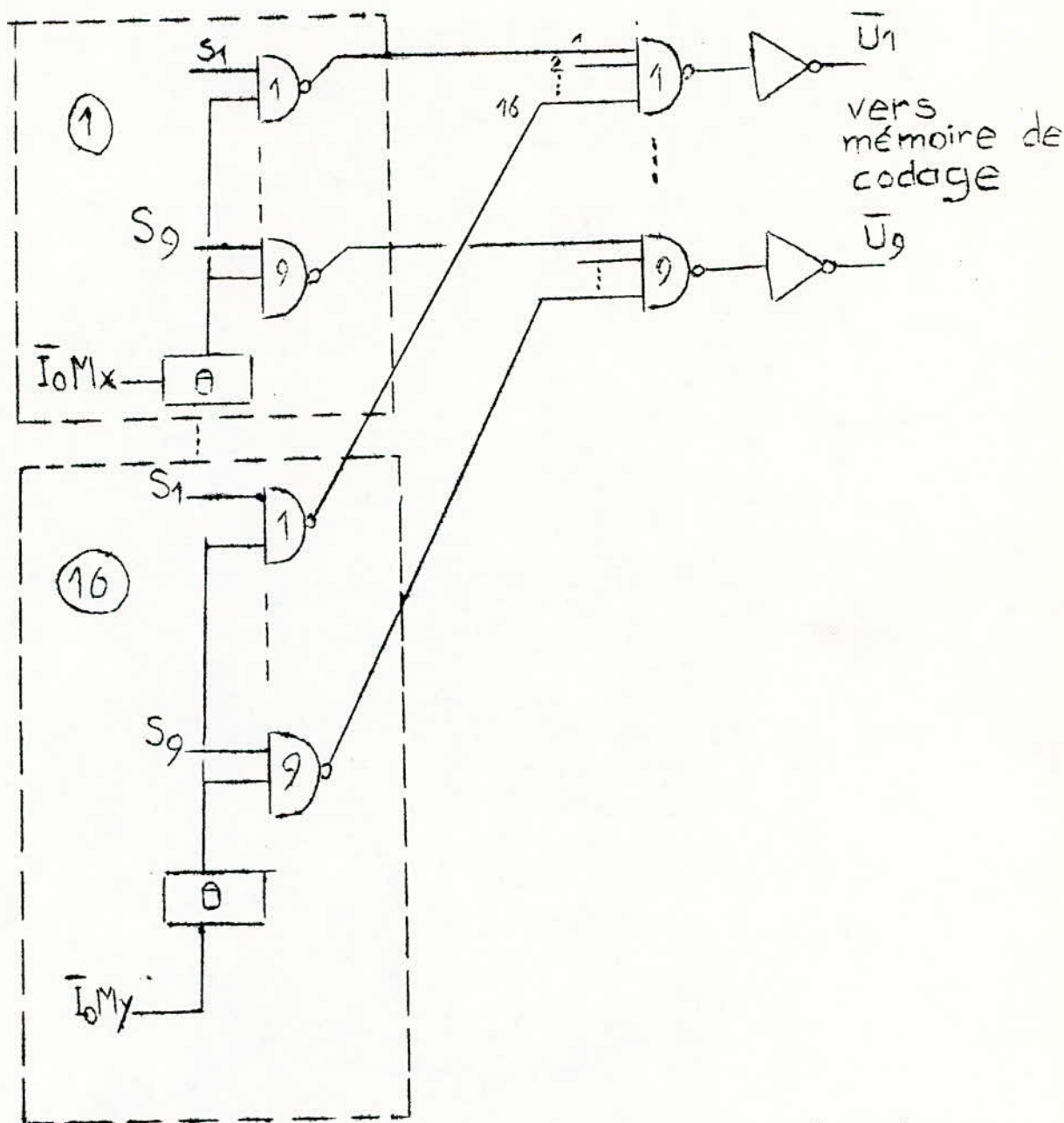


Les crénaux S élaborés sont alors appliqués aux circuits d'entrées signalisation.

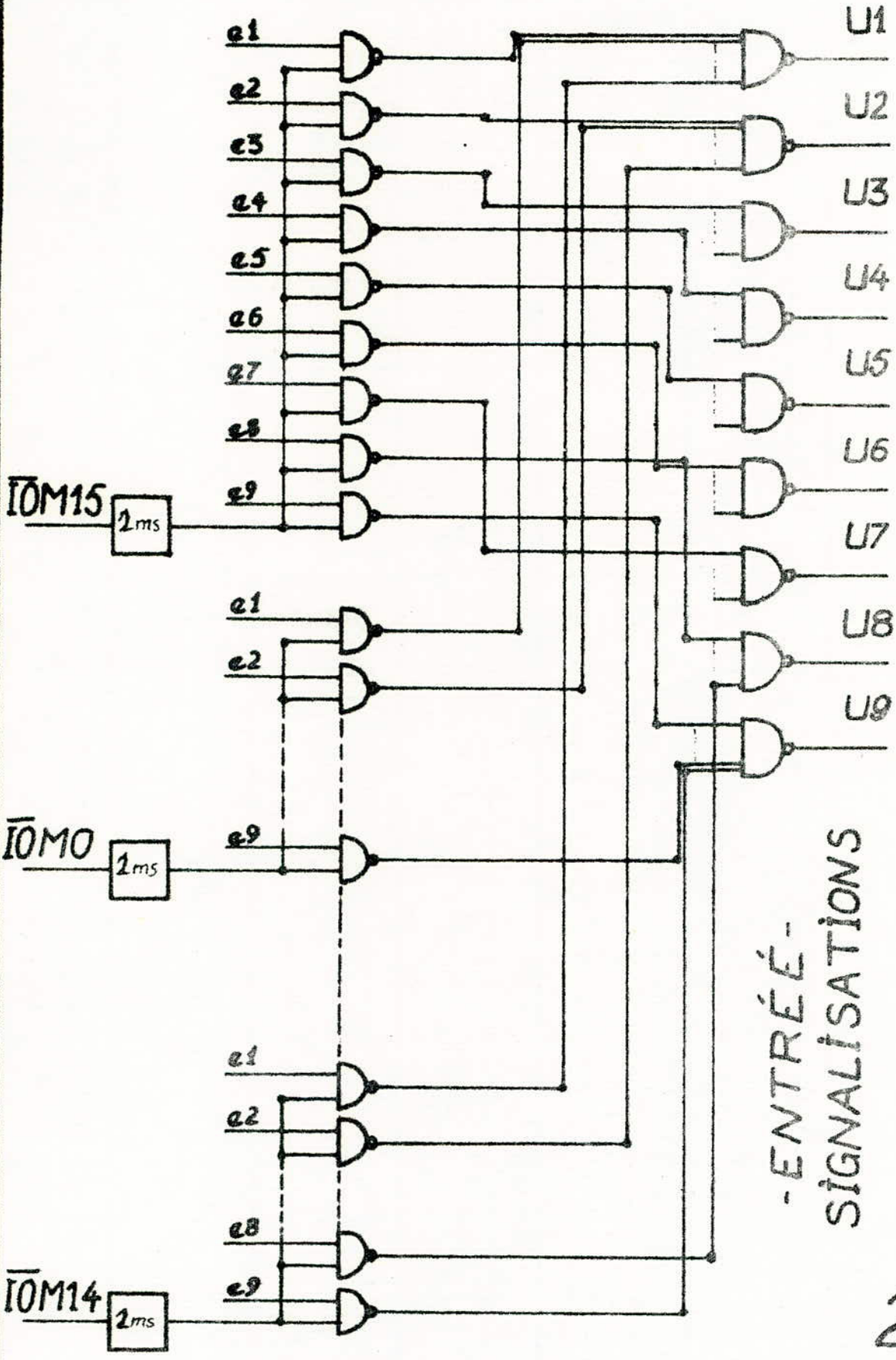
IV/- CIRCUITS D'ENTREES SIGNALISATIONS.

En vertu de ce qui a été dit ultérieurement, les circuits d'entrées signalisations sont sous condition des états des équipements considérés et du signal sélection \overline{IOMX} correspondant.

Ces circuits seront principalement constitués de portes logiques "NAND" conformément au schéma de la Fig:



Cas de 16 groupes de 9 signalisations



PARTIE 2 : RECEPTEUR SYNOPTIQUE GENERAL :

Les messages sont reçus par le récepteur télégraphique. Celui-ci exécute, le filtrage, la correction, l'amplification, la détection et la synchronisation des bits.

Les signaux délivrés par le récepteur télégraphique (circuit d'entrée) attaque le décodeur (base de temps locale, registre message, contrôle d'adresse et resynchronisation, contrôle d'imparité).

Le décodeur délivre le message contrôlé à la mémoire intermédiaire qui sous l'ordre de transfert et de sélection le passe au circuit de sortie correspondant (sorties signalisations, sorties mesures).

I - RECEPTEUR TELEGRAPHIQUE :

I - 1 - SYNOPTIQUE :

Le récepteur télégraphique comprend les éléments suivants :

- 1 - Transformateur d'isolement.
- 2 - Amplificateur coupleur.
- 3 - Filtre passe-bande.
- 4 - Amplificateur écrêteur.
- 5 - Ligne d'affaiblissement.
- 6 - Circuit de contrôle de niveaux.
- 7 - Discriminateur.
- 8 - Synchronisateur de bits.

Les éléments 1, 2, 3, 4, constituent le circuit d'entrée du récepteur télégraphique. Les éléments 1, 2 assurent l'adaptation d'impédance, celle-ci doit rester constante dans toute la bande (300 HZ - 3.400 HZ). Les signaux filtrés attaquent l'entrée d'un amplificateur écrêteur. Ce dernier comme son nom l'indique permet d'écrêter les niveaux élevés du signal reçu. Au niveau des circuits de contrôle, si les niveaux des signaux reçus sont faibles en valeur absolue, c'est à dire inférieurs à un certain seuil de référence, un circuit de commutation permet à la fois de déclencher l'alarme et d'interdire le passage des impulsions au circuit suivant.

Dans le cas contraire, cas où le niveau du signal est jugé bon, les signaux reçus attaquent l'entrée du discriminateur.

.../...

.../...

Celui-ci se compose de deux circuits résonnants du type série dont l'un est accordé sur la fréquence $f_0 + \Delta f$ et l'autre sur la fréquence $f_0 - \Delta f$, f_0 étant la fréquence centrale émise correspondant à l'état $N = 0$; $P = 0$, c'est à dire l'état S qui est le signal début de mot.

Δf plage de variation de fréquence. $\Delta f = 30$ H Z dans le cas d'une transmission à 50 bauds.

$f_0 + \Delta f$ correspond à l'état $N = 1$ et $P = 0$.

$f_0 - \Delta f$ " " " $N = 0$ et $P = 1$.

- Un redresseur à double alternance.
- Un filtre passe-bas du type RC, qui suit chaque redresseur. Ce filtre élimine les résidus des porteuses présents après détection et améliore la discrimination.

Les deux tensions redressées V_p et V_n attaquent deux circuits de commutation qui créent alors les impulsions P, N, et S.

Nota :

Des circuits de correction permettent de tenir la fréquence f_0 proche de la valeur théorique.

Les impulsions délivrées par le discriminateur sont recueillies par le circuit de synchronisation. Celui-ci permet de fabriquer des impulsions fines. Il contient un multivibrateur synchronisé par les impulsions du code reçu. Ce multivibrateur délivre le signal d'horloge H_2 qui commande la base de temps des circuits communs.

Le circuit de synchronisation permet aussi la remise en forme des signaux reçus.

.../...

.../...

CONCLUSION :

Le récepteur télégraphique délivre trois signaux P, N, S formant le cycle transmis, plus un signal H_2 servant d'horloge pour tout le système.

_____ 0 _____

II - CIRCUITS COMMUNS : (Voir schéma général) Fig 34

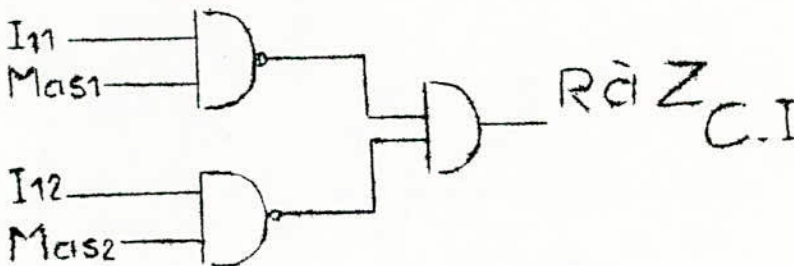
II - 1 - BASE DE TEMPS LOCALE :

II - 1 - 1 - COMPTEUR D'IMPULSIONS :

Chaque mot transmis par l'émetteur, contient selon qu'il est pair ou impair, 12 ou 11 bits, plus un bit de début de mot. Le compteur d'impulsions doit donc fournir 13 impulsions de I_0 à I_{12} dans le cas d'un mot pair, et 12 impulsions de I_0 à I_{11} dans le cas d'un mot impair. Ceci nécessite au minimum 4 bascules. La commande d'avance du compteur d'impulsions est effectuée par les signaux d'horloge H_2 ; délivrés par le multivibrateur du récepteur télégraphique.

- CIRCUIT DE REMISE A ZERO DU COMPTEUR D'IMPULSIONS :

En absence de la resynchronisation, c'est à dire quand le message ne comporte pas une adresse fausse, dûe à une suppression ou une inversion d'un bit, la remise à zéro est donnée par le schéma logique suivant :



$$RAZ_{C.I} = \overline{I_{11} \cdot M_{a151} \cdot I_{12} \cdot M_{a152}}$$

.../...

Où $Ma S_1$ = sortie 1 de la bascule du plus faible poids du
compteur de mot.

$Ma S_2 = \overline{Ma S_1}$ = sortie S_2 de la bascule de poids 2^0
du compteur de mots.

I_{11} délivré quand le compteur d'impulsion arrive au nombre
binaire 1011.

$I_{12} = I_{11} + 1.$

Ce compteur est de type asynchrone, chaque état de la
bascule d'un étage joue le rôle d'une horloge pour la bascule
suivante.

- ROLE DU COMPTEUR D'IMPULSIONS :

Ce compteur délivre des impulsions I_0 à I_{12} (mot pair)
 I_0 à I_{11} (mot impair). Chaque impulsion a, comme à l'émission, une
durée de 40 ms soit 2 fois la durée de l'impulsion d'horloge H_2 . Ces
impulsions permettent la vérification du synchronisme. En effet,
l'impulsion I_0 est présente quand le signal début de mot S transmis
par l'émetteur est lui aussi présent.

Ce compteur d'impulsions commande l'avance du compteur
de mots.

II - 1 - 2 - COMPTEUR DE MOTS :

Les informations transmises étant du type cyclique
chaque cycle contient au moins deux mots. Comme l'émetteur possède
une capacité de 16 mesures ou de 144 signalisations, le nombre de
mots maximum est donc 16. Ce compteur doit donc avoir 4 bascules, ce
qui permet de compter de M_0 à M_{15} .

Comme la longueur du cycle est variable suivant l'utili-
sation, un strapp est prévu pour fixer le nombre de mots utilisés
(ce nombre est ≤ 16).

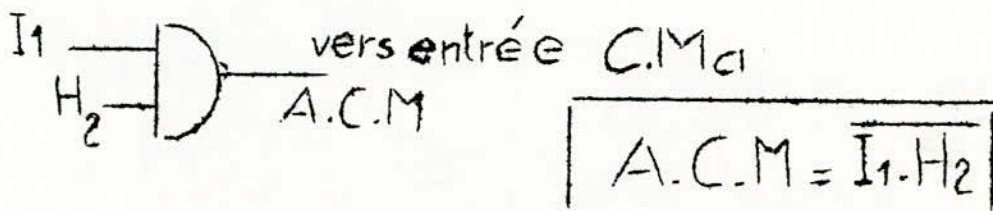
.../...

.../...

- CIRCUIT DE COMMANDE D'AVANCE DU COMPTEUR DE MOTS : (Voir fig.34 porte No-23)

La partie supérieure de l'impulsion I_1 délivrée par le compteur d'impulsion ($I_1 H_2$) joue le rôle d'horloge pour le compteur de mots. Ce compteur est de type asynchrone.

En absence de la resynchronisation le circuit de commande d'avance est :



- MISE A ZERO DU COMPTEUR DE MOTS :

À la fin de la longueur du cycle choisi le compteur de mots doit reprendre son état initial.

Si M_x est le dernier mot du cycle, le circuit de R à Z est :



En absence de la resynchronisation $R = 0 \Rightarrow \bar{R} = 1$

$$\bar{R} M_x = M_x$$

$R \text{ à } Z = \bar{R} M_x$
C. mots

.../...

.../...

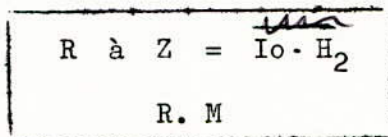
REMARQUE :

Il y a un décalage de temps entre la R à Z du compteur d'impulsions et la commande d'avance du compteur de mots ce décalage correspond à 60 ms ($I_0 + I_{\frac{1}{2}}$)

II - 1 - 3 - REGISTRE MESSAGE : *fig 34*

En absence de toute détection d'erreur, l'impulsion début de mot S est reçu en I_0 du compteur d'impulsions, la 1^{ière} impulsion d'information en I_1 , la 2^{ème} en I_2 , , la 9^{ième} en I_9 . En I_{10} on doit recevoir le bit contrôle d'imparité, en I_{10} ou I_{11} et I_{12} les bits d'adresse.

Les 9 impulsions d'information sont stockées dans le registre message au fur et à mesure de leur arrivée. Ce registre message doit avoir 9 bascules, pour garder les informations jusqu'à ce que les contrôles d'adresse, et de format du code aient permis leur transfert. Cette durée est de 140 ms, pour un mot long et 100 ms pour un mot court. Soient 3 impulsions et demi pour un mot long et 2 impulsions et demie pour un mot court. Ce registre message doit être mis à zéro avant l'arrivée des impulsions d'information. Cette remise à zéro est donc effectuée à l'impulsion I_0 soit exactement à $I_0 H_2$.



*voir logigramme
fig 32*

Ce registre qui en effet, constitue un registre à décalage possède en plus de 9 bascules d'information ; une 10^{ième} bascule. Celle-ci servira de contrôle d'absence d'impulsion.

.../...

.../...

A l'impulsion I_0 H_2 , mise à part la 1^{ère} bascule du registre message qui est mise à 1 toutes les autres y compris la 10^{ème} sont mises à zéro. Au fur et à mesure de l'arrivée des informations, l'état 1 de la 1^{ère} bascule se décale. Au bout de 9 impulsions d'avance du registre message l'état 1 qui était dans la 1^{ère} bascule doit normalement se retrouver dans la 10^{ième} bascule. Dans le cas contraire, l'une des impulsions est absente ou alors une défaillance quelconque a atteint la circuiterie. En effet si au bout de 9 impulsions l'état 1 n'a pas atteint la bascule 10 une impulsion aura manqué à la commande d'avance du registre et le décalage des informations ne sera pas effectué d'une façon normale.

Ceci constitue une vérification qui conditionne l'acceptation d'un mot.

- CIRCUIT DE COMMANDE D'AVANCE DU REGISTRE MESSAGE : (Voir fig. 34 porte 18)

Le but recherché est de stocker dans le registre message uniquement les 9 bits d'information et que ce stockage commence de l'impulsion I_1 à l'impulsion I_9 c'est à dire l'introduction de la 1^{ère} impulsion d'information se fait à l'impulsion I_1 et la 9^{ième} à I_9 .

Donc on doit éviter d'introduire les bits arrivant aux impulsions I_0 , I_{10} , I_{11} dans le cas du mot impair et I_0 , I_{10} , I_{11} , I_{12} dans le cas du mot pair. La R à Z du registre message se fait à la moitié supérieure de l'impulsion I_0 ce qui évite au signal début de mot de s'introduire dans le registre message. Le signal capable d'éliminer les bits I_{10} , I_{11} , I_{12} est celui recueilli à la sortie S_2 de la bascule de poids 2^3 du compteur d'impulsions. Ce signal est noté $I d S_2$.

$$I d S_2 = \overline{I d S_1} ; \quad I d S_2 = 1 \text{ de } I_0 \text{ à } I_7 \\ I d S_2 = 0 \text{ de } I_8 \text{ à } I_{11} \quad (I_{12})$$

.../...

.../...

L'inconvénient est que I à S_2 nous élimine 2 bits d'information, ce qui nous oblige d'utiliser les signaux I_8 et I_9

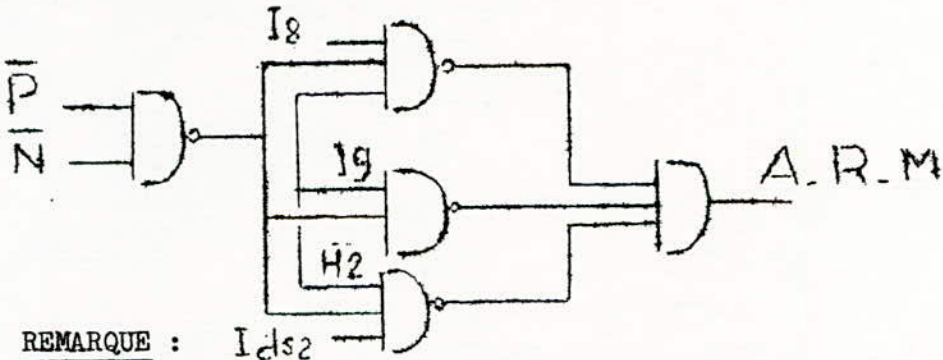
($I_8 = 0$ de I_0 à I_7 ; $I_8 = 1$ à I_8 , $I_9 = 0$ de I_0 à I_8 ; $I_9 = 1$ à I_9) pour les récupérer.

D'autre part les signaux transmis (P et N) ont une durée de 20 ms et sont tels que, quand $P = 1 \Rightarrow N = 0$ et vice-versa. Le signal (P + N) a exactement le même aspect que le signal d'horloge H_2 , on pourra donc l'utiliser pour la commande d'avance du registre message pour assurer une bonne synchronisation.

EN RESUME :

- Obtenir 9 impulsions de commande de registre message. Ces impulsions doivent s'effectuer au même moment que les 9 impulsions du compteur d'impulsions I_1 à I_9 .
- Assurer une meilleure synchronisation.
- Réduire la durée d'impulsion de commande.

LOGIGRAMME DE CIRCUIT DE COMMANDE :



REMARQUE : I_{ds2}

Dès que l'ordre de transfert est établi, les informations sont délivrées par le registre message, sous forme complémentaire, c'est-à-dire au lieu de transmettre les 9 bits d'information, on transmet en parallèle leur complément, soit au total 18 bits.

Ces informations peuvent être transférées

.../...

.../...

II - 1 - 4 - CIRCUITS DE CONTROLE :

- CONTROLE D'IMPARITE :

Rappelons que le bit d'imparité arrive à la 10 ième impulsion du compteur d'impulsions c'est-à-dire à la I_{10} .

Le message transmis est fait de telle sorte que le nombre de bits comportant l'état 1 soit impair et ceci durant les impulsions I_1 à I_{10} (voir émission).

Le problème consiste à :

- avoir une bascule de comptage. Une seule suffit car, réagissant au front de descente, elle doit se mettre à l'état 1 après un nombre impair d'impulsions.
- aiguiller uniquement les impulsions I_1 à I_{10} vers l'entrée de cette bascule.
- cette bascule commençant son comptage à I_1 doit être mise à zéro au même temps que le registre message c'est-à-dire à la moitié supérieure de l'impulsion I_0 soit :

$R \text{ à } Z = \overset{I_{10}}{I_0} \cdot H_2$
--

- faire de telle sorte qu'à la I_{10} , si cette bascule ne se retrouve pas à l'état 1, l'ordre de transfert ne doit pas s'établir et le message est refusé. Cette bascule, ainsi que le registre message, recevant l'impulsion R à Z venant par la suite, à ($I_0 H_2$), sont remis à zéro et sont prêts à recevoir le message suivant, et le même processus se poursuit.

.../...

COMMANDE D'AVANCE DU COMPTEUR D'IMPARITE : (fig.34 porte 24)

Rappelons que les impulsions du type P définissent les états 1 des messages transmis par l'émetteur. Pour vérifier le nombre de 1, ces impulsions doivent donc se présenter à l'entrée de la bascule d'imparité.

L'impulsion I_{11} , est présente à la 11 ième impulsion son complément $\overline{I_{11}}$ est absent à la 11 ième impulsion c'est-à-dire :

$$I_{11} = 1 \text{ à } I_{11} ; \overline{I_{11}} = 1 \text{ de } I_0 \text{ à } I_{10} \text{ et à } I_{12}$$

$$I_{11} = 0 \text{ ailleurs ; } \overline{I_{11}} = 0 \text{ à } I_{11}$$

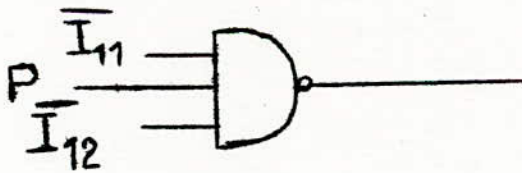
de même :

$$\overline{I_{12}} = 0 \text{ à } I_{12}$$

$$\overline{I_{12}} = 1 \text{ de } I_0 \text{ à } I_{11}$$

Le signal $(\overline{I_{11}} \cdot P)$, permet d'éliminer l'impulsion P, présente à l'impulsion : I_{11} .

Le signal $(\overline{I_{12}} \cdot P)$, permet de supprimer l'impulsion P, présente à l'impulsion : I_{12} . Ceci conduit au circuit logique suivant :



vers entrée bascule
d'imparité (B.I)

CONTROLE D'ADRESSE : (fig.34)

Une adresse fautive entraîne un message faux. Donc avant d'élaborer le signal de transfert des informations contenues dans le registre message vers les mémoires intermédiaires, une autre vérification s'avère plus rassurante : c'est le contrôle d'adresse.

.../...

Faire ce contrôle c'est vérifier le 12 ième bit du message dans le cas d'un mot impair et le 12ième et 13ième bit dans le cas d'un mot pair, ceci doit donc se passer durant les impulsions I_{11} , et, I_{11} et I_{12} . Pour se faire 8 portes "E T" sont prévues pour surveiller à chaque message les bits cités. Dans le régime normal (adresse bonne), ces portes sont normalement fermées, leurs sorties sont donc à l'état logique zéro.

En présence d'une erreur, une ou plusieurs portes s'ouvrent suivant qu'il s'agit d'un mot pair ou impair. A la détection d'erreur, une ou plusieurs portes sont à l'état 1. Ce qu'on peut résumer par l'équation logique suivante :

Si P_i ($i = 1$ à 8) sont les sorties respectives des 8 portes " E T " on aura :

$$P_1 + P_2 + \dots + P_8 = 0 \quad \text{pas d'erreur.}$$

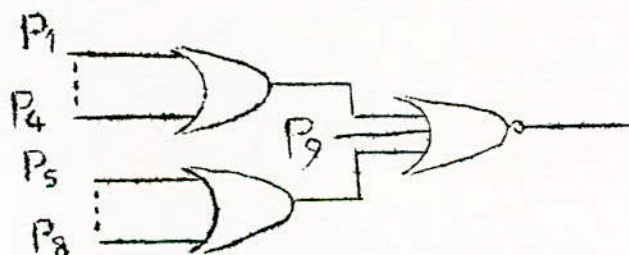
$$P_1 + P_2 + \dots + P_8 = 1 \quad \text{il y a erreur}$$

ou bien encore :

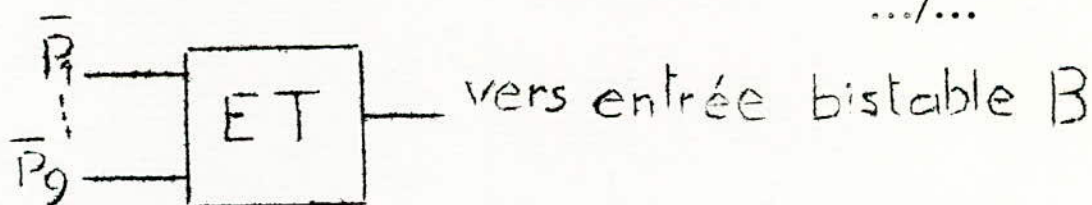
$$\overline{P_1 + P_2 + \dots + P_8} = \overline{P_1} \cdot \overline{P_2} \dots \overline{P_8} = 1 \quad \text{pas d'erreur}$$

$$P_1 + P_2 + \dots + P_8 = 0 \quad \text{erreur}$$

Ce qui revient à une porte " N O R "



ou bien



.../...

Le changement d'état de la sortie de ce circuit logique doit permettre ou non l'établissement de l'ordre de transfert suivant l'absence ou la présence d'erreur.

Le problème peut se résumer comme suit :

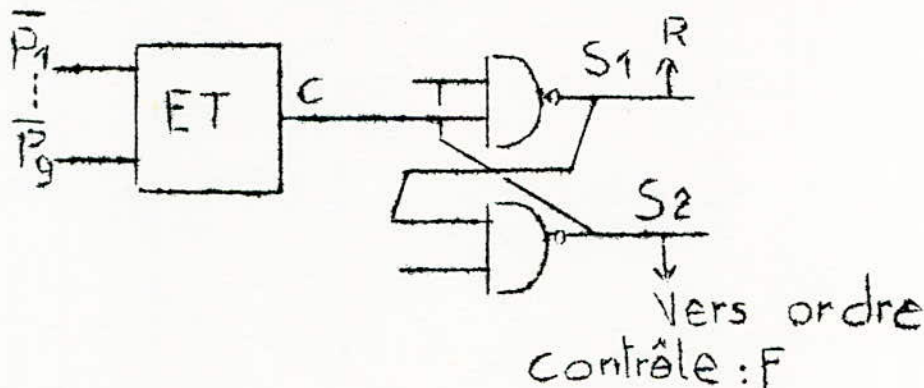
- S'il y a présence d'erreur, l'ordre de transfert ne doit pas s'établir, à cet effet un ordre de correction de la désynchronisation doit se faire. Cet ordre est dit résynchronisation (R).

En présence d'erreur $R = 1$; et l'ordre de transfert est annulé.

- S'il y a absence d'erreur l'ordre de transfert doit se faire. On a donc $R = 0$ et l'ordre de transfert se fait.

Pour cela un bistable nous permet d'avoir 2 états quand l'un est présent l'autre est évidemment absent. Ces 2 états de ce bistable seront donc commandés par la sortie du circuit logique " N o n " ou " précédemment cité.

Le schéma de principe est le suivant :



EXEMPLE :

Toutes les portes sont fermées \Rightarrow

$$C = 1 \text{ et } S_1 = 0 \quad \underline{\underline{R = 0 \quad F = 1}}$$

.../...

.../...

S'il y a une ou plusieurs portes qui s'ouvrent :

$$\begin{array}{l} P_1 = 1 = P_2 \Rightarrow \\ C = 0 \rightarrow S_1 = 1 \\ S_2 = 0 \end{array} \Rightarrow \begin{array}{|c|} \hline R = 1 \\ \hline F = 0 \\ \hline \end{array}$$

CONTROLE DE LA POSITION DE DEBUT DE MOT " S " :

Le début de mot " S " ($N = 0$ et $P = 0$) transmis par l'émetteur doit être reçu pendant l'impulsion I_0 délivré par le compteur d'impulsions " S " doit donc être présent quand $P + N$ est absent.

$I_0 = 1$ et $P + N = 0$ autorisation de transfert
 $I_0 = 1$ et $P + N = 1$ interdiction de transfert

Ce qui se traduit par une 9ième porte " E T ". La sortie de cette porte doit aussi s'appliquer à l'entrée du bistable B.



REMARQUE :

Si une seule vérification est absente le transfert ne se fait pas.

II - 1 - 5 - PROCEDE DE RESYNCHRONISATION : (Voir fig.29 et "34)

Deux problèmes se posent à ce niveau :

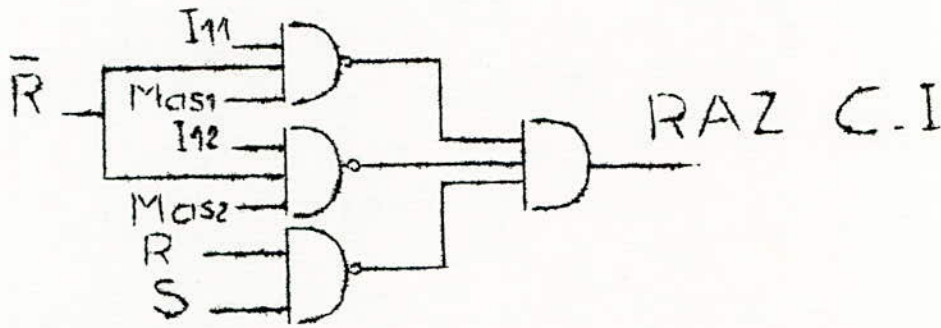
- La mise en phase du compteur d'impulsions.
- La mise en phase du compteur de mots.

.../...

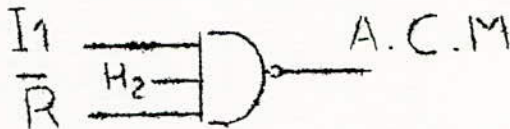
.../...

Pour solutionner le 1er on utilise le signal début de mot " S ". A chaque fois que " S " est présent le compteur d'impulsions est remis à zéro. Dans ce cas son circuit de R à Z utilisé pendant le fonctionnement normal est inhibé.

Le circuit de R à Z du compteur à impulsions devient:



Notons que le circuit de commande d'avance du compteur de mots est aussi bloqué pendant la résynchronisation.



La mise en phase du compteur de mots, nécessite la connaissance de deux adresses successives. Rappelons que deux adresses successives, définissent sans ambiguïté, la position du mot (voir adressage partie émission).

Mots	M ₀	M ₁	M ₂	M ₃	M ₄	M ₅	M ₆	M ₇	M ₈	M ₉	M ₁₀	M ₁₁	M ₁₂	M ₁₃	M ₁₄	M ₁₅
Adresses	00	0	00	1	01	0	01	1	10	0	10	1	11	0	11	1

.../...

Le but est de contrôler tous les bits se présentant à l'impulsion I_{11} pour les mots impairs et tous les bits présents aux impulsions I_{11} et I_{12} pour les mots pairs. Pour se faire, un certain nombre de signaux sont combinés de façon que l'état de leur produit dépendra uniquement de l'impulsion P ou N. Les tableaux suivants résument le procédé.

Tableau n° 1

MOTS SIGNAUX	M_0	M_1	M_2	M_3	M_4	M_5	M_6	M_7	M_8	M_9	M_{10}	M_{11}	M_{12}	M_{13}	M_{14}	M_{15}
M A S 1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
M A S 2	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
M b S 1	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
M b S 2	1	1	0	0	1	1		0	1	1	0	0	1	1	0	0
M C S 1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
M C S 2	1	1	1	1	0	0	0	0	1	1	1	1	0	0	0	0
M d S 1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
M d S 2	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0	0

.../...

.../...

Tableau n° 2

Sorties des portes (E T)	MOTS CONTROLES PAR LES SIGNAUX CORRESPONDANTS							
$P_2 = M C S_2 \cdot M A S_2 \cdot I_{12} \cdot P$	M_0		M_2		M_8		M_{10}	
	I_{11}	I_{12}	I_{11}	I_{12}	I_{11}	I_{12}	I_{11}	I_{12}
Adresses des mots	0	0	0	0	1	0	1	0
$P_3 = M C S_1 \cdot M A S_2 \cdot I_{12} \cdot N$	M_4		M_6		M_{12}		M_{14}	
	I_{11}	I_{12}	I_{11}	I_{12}	I_{11}	I_{12}	I_{11}	I_{12}
Adresses des mots	0	1	0	1	1	1	1	1
$P_4 = M D S_2 \cdot M A S_2 \cdot I_{11} \cdot P$	M_0		M_2		M_4		M_6	
	I_{11}	I_{12}	I_{11}	I_{12}	I_{11}	I_{12}	I_{11}	I_{12}
Adresses des mots	0	0	0	0	0	1	0	1
$P_5 = M D S_1 \cdot M A S_2 \cdot I_{11} \cdot N$	M_8		M_{10}		M_{12}		M_{14}	
	I_{11}	I_{12}	I_{11}	I_{12}	I_{11}	I_{12}	I_{11}	I_{12}
Adresses des mots	1	0	1	0	1	1	1	1
$P_6 = M B S_2 \cdot M A S_1 \cdot I_{11} \cdot P$	M_1		M_5		M_9		M_{13}	
	I_{11}		I_{11}		I_{11}		I_{11}	
Adresses des mots	0		0		0		0	
$P_7 = M B S_1 \cdot M A S_1 \cdot I_{11} \cdot N$	M_3		M_7		M_{11}		M_{15}	
	I_{11}		I_{11}		I_{11}		I_{11}	
Adresses des mots	1		1		1		1	

.../...

Notons que :

$$I_{11} = 1 \text{ à l'impulsion } I_{11}$$

$$I_{11} = 0 \text{ ailleurs}$$

$$I_{12} = 1 \text{ à l'impulsion } I_{12}$$

$$I_{12} = 0 \text{ ailleurs.}$$

Le tableau 1, donne l'état de chaque signal à chaque mot. Le tableau 2, résume les mots contrôlés par chaque sortie des portes E T (voir circuits détecteurs d'erreurs, schéma général du décodeur).

EXEMPLE 1 :

$P_2 = M C S_2 \cdot M A S_2 \cdot I_{12} \cdot P$. D'après le tableau 1, le produit $M C S_2 \cdot M A S_2 = 1$ uniquement pour les mots M_0, M_2, M_8, M_{10} . Le signal I_{12} veut dire qu'on contrôle seulement le 2ième bit d'adresse, c'est-à-dire le bit d'adresse reçu à l'impulsion I_{12} . A cette impulsion le produit $M C S_2 \cdot M A S_2 \cdot I_{12}$ est à l'état 1, ce qui montre que la sortie P_2 dépend uniquement de l'état que prend P à l'impulsion I_{12} . Les adresses des mots M_0, M_2, M_8 , et M_{10} à l'impulsion I_{12} sont toutes à l'état zéro ($P = 0$). Si l'adresse présente à I_{12} , n'est pas fausse, la sortie P_2 doit être à l'état zéro, donc fermée.

S'il y a inversion de l'impulsion P arrivant à l'impulsion I_{12} , la sortie P_2 sera à l'état 1, donc ouverte.

EXEMPLE 2 :

$$\text{Prenons la porte } P_5 = M d S_1 \cdot M A S_2 \cdot I_{11} \cdot N$$

Le tableau 1 donne $M d S_1 \cdot M A S_2 = 1$ pour les mots $M_8, M_{10}, M_{12}, M_{14}$, l'impulsion I_{11} , veut dire qu'on contrôle le 1ier bit d'adresse.

.../...

.../...

$M d S_1 . M A S_2 . I_{11}$ est à l'état 1 à l'impulsion I_{11} ,
donc l'état de la sortie P_5 dépend uniquement de l'état N. Pour les
mots $M_8 , M_{10} , M_{12} , M_{14}$, le 1ier bit d'adresse est $P = 1$
 $N = 0 \longrightarrow M d S_1 . M A S_2 . I_{11}$. N est à l'état zéro en
absence d'erreur, à I_{11} . D'où P_5 est fermée.

REMARQUES :

- Les portes P_2 et P_3 contrôlent le 2ième bit d'adresse,
présent à I_{12} , des mots pairs.
- Les portes P_4 et P_5 contrôlent le 1ier bit d'adresse, pré-
sent à I_{11} , des mots pairs.
- Les portes P_6 et P_7 contrôlent le bit d'adresse des mots
impairs.

Pour établir la résynchronisation la connaissance de deux
adresses successives est obligatoire. Ceci demande deux phases.

- La mémorisation de la 1ière adresse constitue une phase.
- " " " " 2ième " en constitue une
autre.

Ces deux phases permettent grâce au code d'adresse utilisé
la résynchronisation du compteur de mots.

PROCEDE UTILISE :

Deux cas peuvent intervenir :

- Le mot erroné est de rang impair.
- " " " " " " pair.

Supposons que le mot erroné est de rang impair, on doit donc
prendre les adresses des mots pair et impair venant juste après le
mot erroné.

.../...

.../...

Pour illustrer ce procédé prenons un exemple.

Soit le mot M_5 erroné, les mots M_6 et M_7 ont pour adresses : pour M_6 (0 1) ; pour M_7 (1), voir adressage (émission).

Si l'on arrive à mémoriser pendant la 1^{ère} phase l'adresse (01) dans M_d et M_c et pendant la 2^{ème} phase celle du M_7 (1) dans M_b on aurait le nombre binaire suivant: 0 11 - .
 M_a pourra alors prendre les états logiques " 0 ou 1 ".

M_d	M_c	M_b	M_a
0	1	1	1

Pour garder la même circuiterie pour les deux cas cités précédemment, on pourra terminer la résynchronisation par le mot de rang impair et de ce fait garder la bascule " M_a " à l'état logique 1, pendant la résynchronisation. Ce qui donne le nombre binaire 0111, correspondant au nombre décimal sept (7).

En effet, le mot erroné étant M_5 , à ce moment le compteur de mots affiche 0101. Pendant la résynchronisation le transfert n'est pas autorisé.

Les messages reçus sont annulés par la remise à zéro du compteur d'impulsions (dans ce cas la R à Z se fait par le signal début de mot " S ").

Notons aussi que le compteur de mots est bloqué pendant cette période.

.../...

.../...

Notre but est de mettre ce compteur à " 1000 " à l'arrivée de M_8 .

La résynchronisation demande une durée de deux mots, donc $M_5 + 2$ ce qui fait M_7 , pour arriver à M_8 il suffit de finir cette opération à l'impulsion I_0 venant juste après le mot M_7 , ce qui permettra à la commande d'avance du compteur de mot d'avoir lieu à $I_1 H_2$, c'est-à-dire au 1ier bit d'information du mot 8 et la résynchronisation est établie.

Dans le cas où le mot erroné est de rang pair, on peut garder toujours ce procédé en laissant l'adresse du mot impair venant après et en prenant les adresses des mots pairs et impairs qui le suivent.

EXEMPLE :

Soit M_0 , le mot erroné, on laisse l'adresse du mot M_1 et on prendra uniquement celle de M_2 et M_3 . De ce fait, on revient au raisonnement précédent. La résynchronisation s'achève toujours par le mot impair.

REMARQUES :

Pour prendre le mot venant juste après la fin de la résynchronisation (M_8) ou le sauter et prendre le mot suivant (M_9) on ajoute une bascule " b " qui formera un registre à décalage en s'ajoutant au bistable " B ". Le fait d'appliquer le signal de fin de résynchronisation sur l'une ou l'autre des bascules (B ou b) fixera ce choix. Pour se faire deux strapps (S_1 et S_2) sont prévus.

Si l'on veut que le 2ième mot (M_7), fixant la fin de la résynchronisation soit validé, il suffit de mettre à la fois les strapps S_1 et S_2 . Cette méthode est déconseillée car ce mot validé peut avoir son adresse erronée et on prend le risque de transmettre un faux message.

.../...

.../...

EN RESUME :

- Prendre ou non, le mot venant après la résynchronisation, impose un bistable " B " et une bascule " b ", formant un registre à décalage commandé par l'avance du compteur de mots.
- Pour créer l'ordre " résynchronisation " (R) le bistable B et la bascule b doivent être tous les deux à l'état logique 1. Cet ordre doit :
- Mettre fin à la commande d'avance normale du compteur d'impulsion et lui permettre d'avancer à chaque fois que le début de mot se présente.
- Bloquer la commande d'avance du compteur de mots.
- Mettre la bascule " M a " à l'état logique 1.

Si le mot erroné est de rang impair, aux impulsions I_{11} , et I_{12} , l'adresse du mot pair qui suit, doit être mémorisée dans les bascules M d et M c du compteur de mots. A l'impulsion I_{11} , l'adresse du mot impair qui succède le mot pair doit être aussi mémorisée dans la bascule M b du même compteur.

Si le mot erroné est de rang pair le mot impair qui suit doit être sauté pour aboutir au cas précédent.

- La porte détectant l'erreur se ferme dès que l'impulsion correspondant à l'erreur n'est pas présente. La durée de la mise à l'état 1 de la sortie de la porte est de l'ordre de 20 ms, soit exactement la durée de l'impulsion " P ".

.../...

.../...

Ce changement d'état de la sortie de cette dernière peut éliminer l'ordre " R ", alors que la résynchronisation n'est pas encore établie. Pour cela, on utilise le blocage du compteur de mot pour maintenir cet ordre (R) jusqu'à la fin de l'opération.

- La fin de l'ordre (R) doit remettre à zéro le bistable (B), ou la bascule (b), suivant le choix considéré (strapps S_1 , strapps S_2) ou tous les deux à la fois (strapps S_1 et S_2).
- Pendant la résynchronisation, l'ordre de transfert doit être absent.

EXEMPLE DE RESYNCHRONISATION (Voir fig. 29 et 33)

Supposons que l'adresse du mot 3, (M_3), est fausse. C'est à-dire, au lieu de recevoir l'impulsion : $P = 1$ à I_{11} , on reçoit $P = 0$ à la même impulsion. Dans ce cas le produit : $(M b S_1) . (M a S_1) . (I_{11}) . (N) = P_5 = 0$, car $N = 1$ et la sortie $P_5 = 1$. Cette porte (P_5) s'ouvre, une tension nulle (état logique zéro) s'applique à l'entrée du bistable (B) et le bloque. De même au même instant, la bascule (b) forcée par une impulsion négative (mise à l'état 1), se met à l'état logique 1. Donc : $B s_1 = 1$ et $b s_1 = 1$ ($B s_1$ et $b s_1$ étant les sorties respectives du bistable B et de la bascule b).

Ces deux sorties étant à l'état 1, l'ordre " Résynchronisation " $\overline{R} = (B s_1) . (b s_1)$ se crée, voir porte 14, fig 34 schéma général.

Notons que $R = 1$ pendant la résynchronisation et $R = 0$ ailleurs.

.../...

.../...

Cet ordre permet la mise à l'état 1 de la bascule M_a , (bascule de plus faible poids du compteur de mots), et commande la remise à zéro du compteur d'impulsions (porte 4 fig.29) Pendant la résynchronisation ce compteur est remis à zéro à chaque fois que le signal début de mot (S) est présent.

$$\begin{array}{l} \text{R A Z} = \overline{\text{R}} \cdot \text{S} \\ \text{C. I} \end{array}$$

Ce signal (S) correspondra à l'impulsion I_{12} dans le cas du mot impair, et à I_{13} dans le cas du mot pair. Le compteur de mots, lui est bloqué quand l'ordre (R) est égal à l'état logique 1, (porte 6 fig.29)

$$\text{Commande d'avance C. M} = \overline{\text{R}} \cdot \text{I}_1 \cdot \text{H}_2$$

La sortie (P_5) étant à l'état 1 à l'impulsion I_{11} est remise à zéro à I_{12} puisque à ce moment I_{11} est absente. Ce changement d'état appliqué à l'entrée du bistable (B) reste sans effet, car la sortie ($B s_2$) est maintenue à l'état zéro par la commande d'avance du compteur de mots, c'est-à-dire, la sortie de la porte 6 (fig. 29)

.../...

.../...

La sortie (B s₂) s'appliquant à l'entrée du bistable (B) maintiendra (B s₁) à l'état 1 pour toute la durée de la résynchronisation. A l'impulsion (I₁₂ . S . H₂), la sortie de la porte 8 (fig 29) est à l'état zéro. Donc la sortie (D s₁) est à 1, d'où la préparation de la première phase de la résynchronisation du compteur de mots. L'exécution de cette première phase est faite à I₁₁ et I₁₂ du mot suivant (mot pair) d'où mémorisation de l'adresse du mot 4 dans les bascules M d et M c du compteur de mots. (porte 1;2 fig. 29). A l'impulsion I₁₃ . La sortie de la porte 7 est à l'état zéro d'où D S₂ = 1 et D S₁ = 0, l'état 1 de D S₂ entraîne la préparation de la 2ième phase de la résynchronisation et par suite la mémorisation de l'adresse du mot 5 dans M b.

A cette impulsion (I₁₁), le compteur de mots affiche le nombre binaire :

M d	M c	M b	M a	correspondant au mot 5
"	"	"	"	
0	1	0	1	

du registre message. A l'impulsion I₀, (I₁₂), ce dernier est remis à zéro. A cette même impulsion la porte 8 (fig 29), de nouveau remise à zéro, fait basculer le bistable (D), (D S₁ = 1 et D S₂ = 0) Ce changement d'état met fin à l'ordre " résynchronisation " par l'intermédiaire des strapps : S₁ ou S₂ ou S₁ et S₂ à la fois selon le choix.

STRAPP S₁ :

A l'impulsion (I₁₂), la sortie (D s₂) est remise à zéro. Ce changement d'état constitue la R A Z du bistable (B), c'est-à-dire, B S₂ = 1 et B S₁ = 0, b s₁ étant toujours à l'état logique 1.

.../...

.../...

$R = (B S_1) \cdot (b s_1) = 0$ et $\bar{R} = 1$ donc la commande d'avance du compteur de mots est libérée, et, à $(I_1 \cdot H_2)$, ce compteur affiche le nombre binaire 0110 (six).

A ce moment le décalage se fait et la bascule (b) est mise à l'état zéro. La sortie $b s_2$ est alors à l'état 1 et l'ordre " F " (voir fig. 29) est créé. Donc le mot 6 est validé.

STRAPP S₂ :

La fin de la résynchronisation constitue la R à Z de la bascule (b). A l'impulsion (I_{12}) , cette bascule est remise à l'état logique zéro. Ce qui donne : $R = 0$ et $\bar{R} = 1$, la commande d'avance du compteur de mots est libérée.

A l'impulsion (I_1) , la première information du mot 6 est reçue par le registre message. A l'impulsion $(I_1 \cdot H_2)$, le compteur de mot affiche le nombre binaire 0110 (six). Ce signal $(I_1 \cdot H_2)$ commande l'avance du registre à décalage formé par le bistable (B) et la bascule (b). La sortie $(b s_1)$ est donc de nouveau remise à l'état logique 1, la résynchronisation se rétablit. Les sorties $(B S_2$ et $b s_1)$ sont donc à l'état zéro et l'ordre de transfert est éliminé. Le mot 6 n'est donc pas validé. Le transfert se fera à partir du mot 7.

STRAPPS S₁ ET S₂ A LA FOIS :

Dans le cas où l'on demande une résynchronisation rapide, on peut utiliser à la fois les deux strapps : S₁ et S₂ .

.../...

.../...

Ces strapps permettent d'annuler à la fois le bistable (B) et la bascule (b). Les sorties : (B S₁ et b s₁) sont donc à l'état zéro.

" L'ordre R " = 0 et $\bar{R} = 1$, ce qui permet d'établir l'ordre de transfert, à l'impulsion I₁₂ du dernier mot de la ré-synchronisation. C'est-à-dire avant que la commande du compteur de mots s'établisse (avant I₁ . H₂). Le mot 5 contenu déjà dans le registre message est donc validé.

NOTA :

Cette méthode, bien que rapide, peut valider un faux message car le mot 5 qui termine la ré-synchronisation peut avoir son adresse erronée.

CAS OU LE MOT ERRONE EST PAIR :

Supposons que l'adresse du mot M₂ est fautive par exemple au lieu de recevoir l'adresse (00), on reçoit (01), c'est-à-dire, au lieu que l'impulsion^P soit égale à zéro à (I₁₂), elle est égale à 1. Ceci met la sortie de la porte P₂ à l'état 1. Les sorties (D S₁ et b s₁) sont alors à l'état 1, et "l'ordre R" = 1.

A l'impulsion (I₁₃), la sortie de la porte 7 (fig. 29) est remise à zéro donc (D S₂) = 1. Ceci permettra de mémoriser l'adresse du mot suivant : (M₃ = mot impair) à l'impulsion I₁₁. A l'impulsion (I₁₂) de ce même mot (M₃), la sortie de la porte 8 est remise à l'état zéro et la sortie (D S₁) = 1.

.../...

.../...

La porte 5 permettra donc la R à Z du compteur de mot, et, le processus continuera comme précédemment. C'est-à-dire, comme si on avait le mot (M_3) erroné. Dans ce cas on a sauté le mot 2 (M_2) pour revenir au cas précédent et donc utiliser les mêmes circuits logiques.

ETABLISSEMENT DE L'ORDRE DE TRANSFERT (T.M.I) (Voir fig 30:et 32)

A la fin de la résynchronisation (s'il y a lieu), les sorties (B S2 et b s2) sont à l'état 1. L'ordre " contrôle adresse " (F) est créé. Ce signal (F) s'applique à l'entrée de la bascule d'imparité (B.I) (voir fig.). Cette dernière étant à l'état 1 est remise à zéro. Ce changement d'état appliqué à la bascule (b_{10}) du registre message, (b_{10} devait se trouver à l'état 1, si le décalage des informations est fait normalement et dans de bonnes conditions), la remet à zéro. Le changement d'état de la bascule (b_{10}) crée l'ordre de transfert vers les mémoires intermédiaires.

II - 2 - CIRCUIT DE SELECTION (Voir fig. 34) :

Comme à l'émission, l'aiguillage de chaque message vers le circuit de sortie correspondant, est assuré par le signal de sélection. Celui-ci est établi à partir de la base de temps, plus exactement à partir du compteur de mots. Ces signaux sont les mots eux mêmes, c'est-à-dire $M_0, M_1, \dots, M_X, \dots, M_{15}$. Chaque signal désignera un circuit de sortie. On peut donc avoir au maximum 16 circuits de sortie.

.../...

.../...

II - 3 - MEMOIRES INTERMEDIAIRES (voir fig. 36) :

II - 3 - 1 - BUT :

Le registre message, R.M doit être libéré avant l'arrivée de l'impulsion I_1 , c'est-à-dire avant l'arrivée du 1ier bit de l'information. De plus, il n'est pas possible de transmettre directement le message aux circuits de sortie. En effet, ces derniers devront avoir un temps suffisant pour exécuter l'ordre qui leur sera transmis.

Le registre R.M, est remis à zéro à la fin de l'impulsion I_0 , l'ordre de transfert doit être présent à la fin de chaque mot et avant le mot suivant, donc aussi à l'impulsion I_0 . On voit que si l'on transmet directement les informations contenues dans R.M aux circuits de sortie, (La remise à zéro de R.M se faisant juste après l'ordre de transfert), ces derniers verront leurs entrées modifiées par suite de la remise à zéro de R.M. Donc on risque de transmettre un faux message.

Pour parer à cet inconvénient, on doit stocker les informations libérées par R.M dans d'autres mémoires avant de les envoyer aux circuits de sortie.

Ces mémoires sont dites : mémoires intermédiaires.

II - 3 - 2 - CIRCUIT : (voir fig. 34) :

Cette mémoire intermédiaire, M.I doit recevoir 9 bits d'information. Pour se faire 9 bascules suffisent. Le transfert des informations de R.M à M.I se fait chaque fois que l'ordre T.M.I (transfert vers mémoire intermédiaire) est présent. Cet ordre est délivré par le décodeur. (Voir schéma, fig 34, général du décodeur).

.../...

.../...

La mémoire intermédiaire doit garder son état initial, si l'ordre de transfert T.M.I n'est pas présent. Elle ne changera d'état, que si cet ordre est présent.

Ceci se résume par :

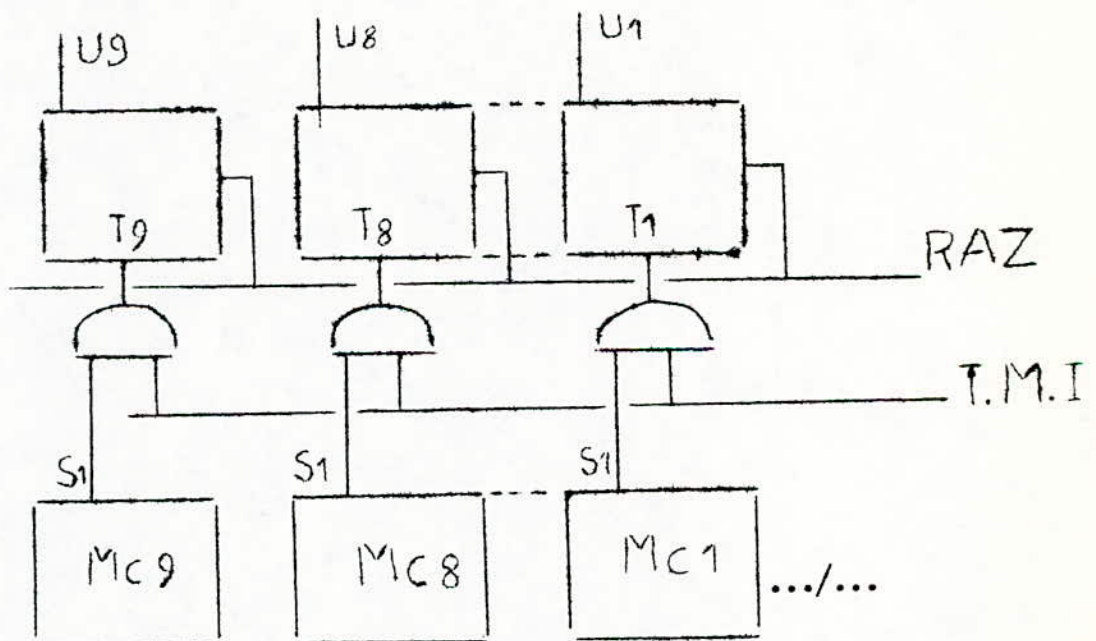
$Q_n + 1 = Q_n$	Si T.M.I = 0
$Q_n + 1 = \overline{Q_n}$	Si T.M.I = 1

Où Q_n est l'état initial et Q_{n+1} = l'état final.

On utilisera donc les bascules de type T.

Puisque l'état final dépend de l'état initial, une remise à zéro des mémoires intermédiaires est obligatoire. Cette R A Z doit précéder l'ordre T.M.I. Elle se fera au début de l'impulsion I_0 .

Toutes ces considérations conduisent au schéma suivant :



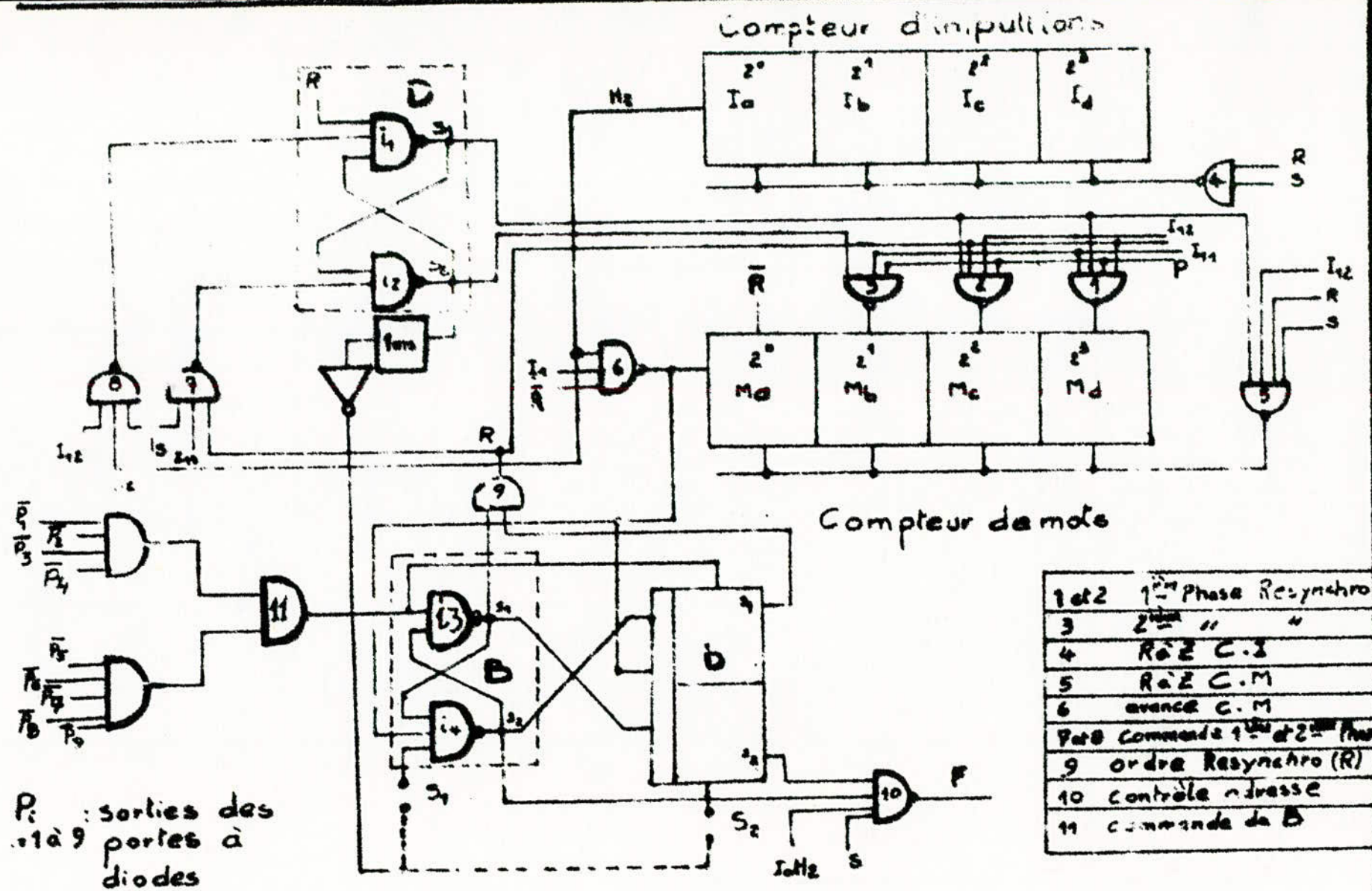


Fig 29

Resynchronisation. Schéma de principe

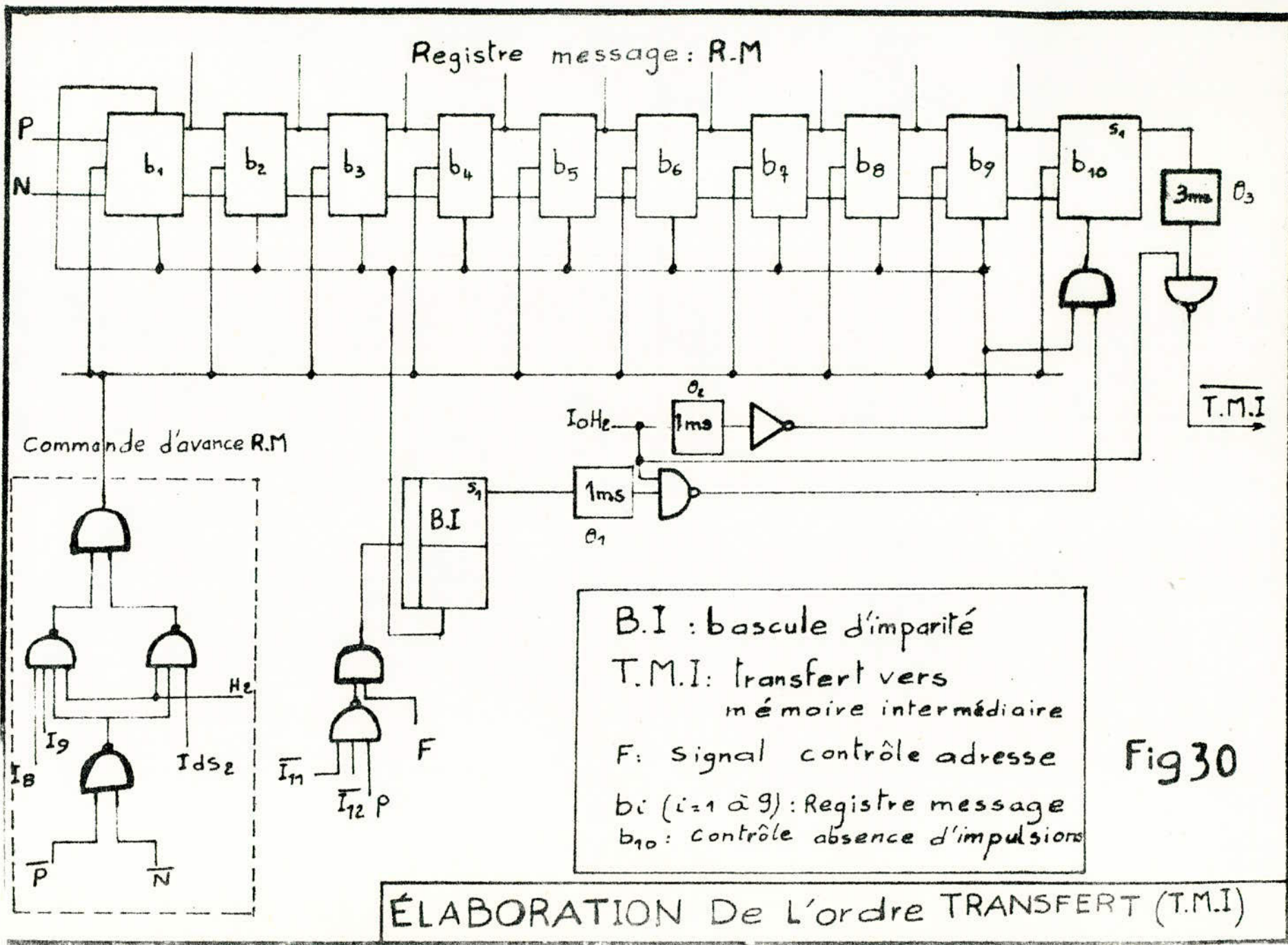


Fig 30

.../...

Les sorties, U_1 , U_2 , ..., U_9 , de ces mémoires intermédiaires, attaquent les entrées des circuits de sortie.

Ces sorties U_i sont données par :

$$T_i^{M.I} = (T.M.I) . (M C i)$$

Où T.M.I est l'ordre de transfert vers M.I, M C i = sortie du registre message.

$i = 1, 2, \dots, 9$, indique la bascule correspondante à chaque entrée T_i .

III - CIRCUITS DE SORTIE : (Voir fig. 36)

On en distingue deux sortes :

- Circuits à sorties numériques dits sorties signalisations.
- Circuits à sorties analogiques dits sorties mesures.

Les seconds se déduisent des premiers en ajoutant un convertisseur numérique - analogique.

III - 1 - SORTIES SIGNALISATIONS :

Chacun de ces circuits fournit 9 signalisations, donc doit comporter 9 bascules.

Ces dernières seront du type T pour la même raison que pour les M.I. Le nombre de ces circuits dépend du nombre de signalisations demandées.

.../...

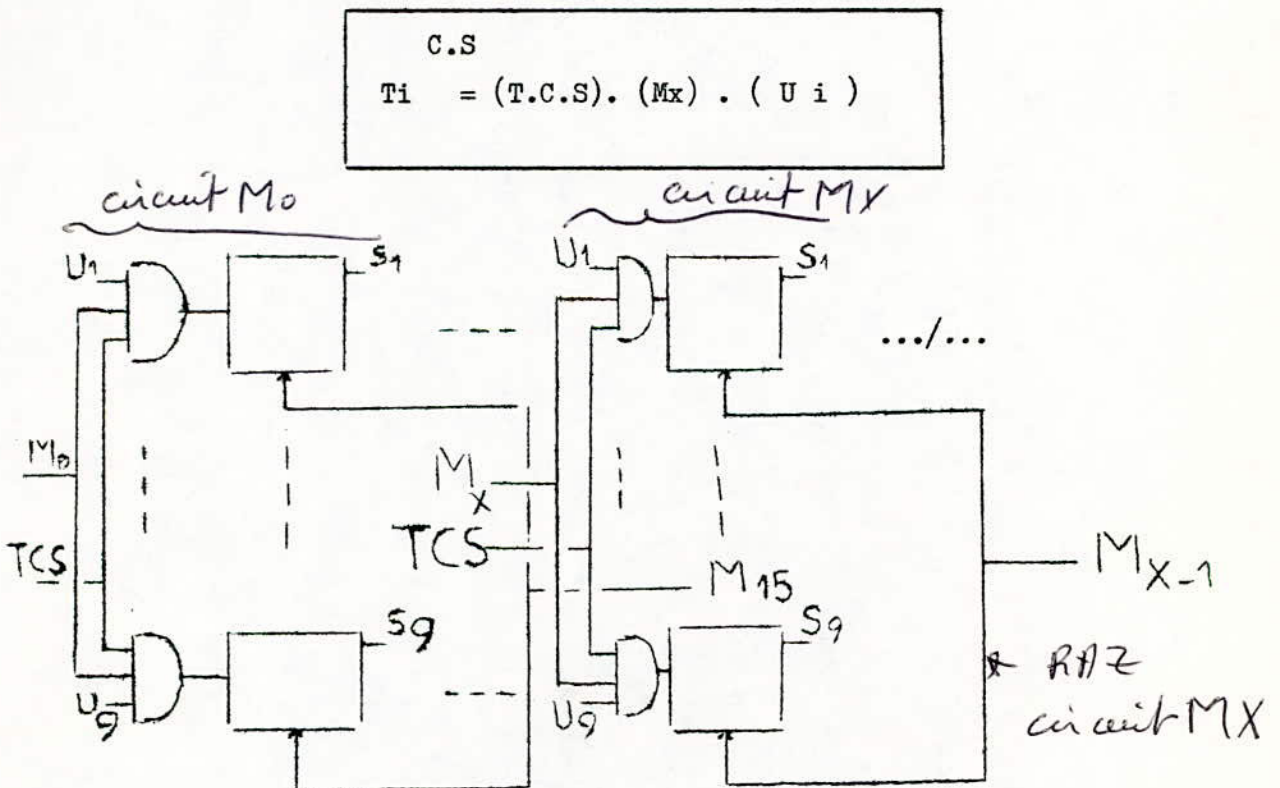
.../...

A chaque mot correspond un circuit de sortie. On peut donc avoir 144 signalisations (9 x 16) dans le cas où on n'utilise pas de sorties mesures. Les informations (signalisations) sont aiguillées vers les circuits correspondants dès que l'ordre de sélection M_x apparaît. Le signal de sélection est fourni par le circuit de sélection. Le transfert des informations des M.I aux circuits signalisations se fait quand l'ordre de transfert vers les circuits de sortie : T.C.S., est présent. Cet ordre est délivré par le décodeur, juste après l'ordre T.M.I.

Pour créer l'ordre T.C.S., il suffit d'envoyer l'ordre T.M.I à l'entrée d'un retardateur. Ce dernier est 1/2 astable dont le temps de blocage fixera le retard désiré. Comme pour les mémoires intermédiaires, les circuits de sorties signalisations conservent l'état initial tant que l'ordre T.C.S n'est pas présent, ils changeront d'état dès que cet ordre réapparaît.

L'état final de ces bascules dépend de l'état initial, nécessité de prévoir une R A Z avant chaque arrivée de l'ordre T.C.S. *et à la fin du cycle pour chaque circuit de sortie pour chaque bascule.*

Les entrées des bascules de sorties sont données par :



.../...

Où T.C.S est l'ordre transfert vers circuits de sortie.

Mx : ordre de sélection.

Ui : sorties des mémoires intermédiaires.

III - 2 - SORTIES MESURES :

C'est une sortie signalisation dont laquelle le 1ier bit désigne le signe de la mesure et les 8 autres fixent sa valeur absolue.

Les 8 bits formant cette mesure attaquent l'entrée d'un circuit de conversion d'un convertisseur numérique - analogique.

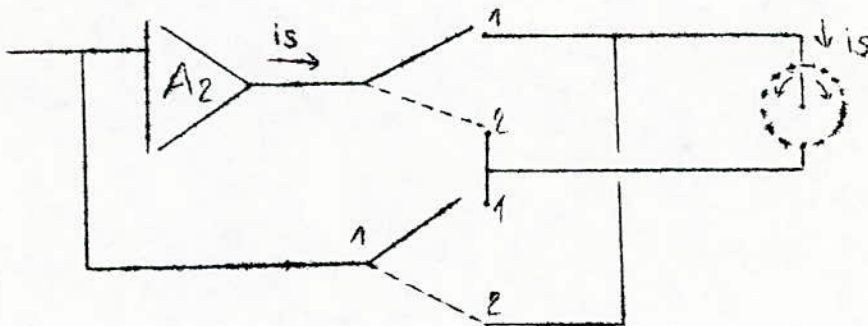
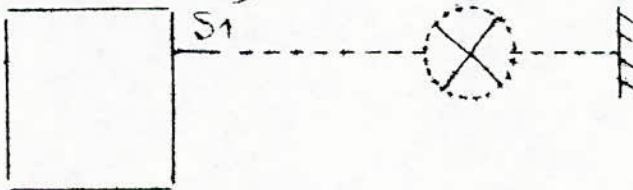
Le bit signe commande deux commutateurs doubles (2 relais à 2 bobines de commande) et assure, par leur intermédiaire, l'inversion du sens du courant traversant l'appareil de mesure.

L'aiguille de cet appareil en changeant de sens indique le signe de la mesure.

NOTA :

La bascule signe peut aussi commander un voyant lumineux, qui selon qu'il est allumé ou éteint indiquera le signe, négatif ou positif de la mesure.

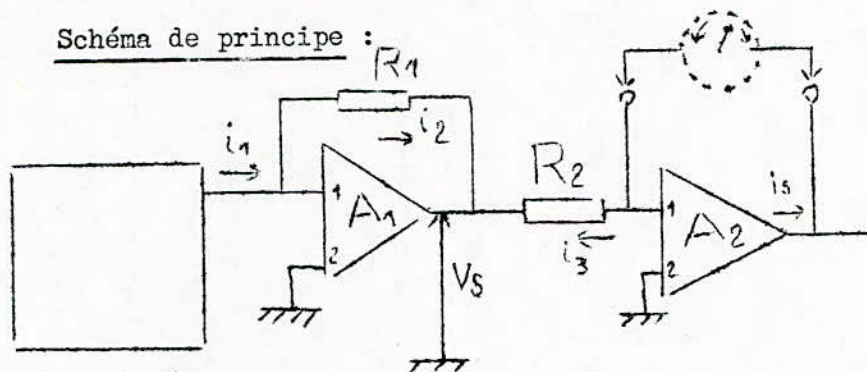
bascule signe



.../...

CONVERTISSEUR NUMERIQUE ANALOGIQUE : (██████████)

Schéma de principe :



circuit de
conversion

Le réseau de conversion délivre un courant i_1 proportionnel aux bits affichés. Ce courant attaque l'entrée de l'ampli A1. A l'équilibre l'entrée e1 de A1 est mise à la masse, le courant i_2 égale i_1 et on obtient une tension V_s proportionnelle à i_1 cette tension est traduite en courant par la résistance R2. A l'équilibre le courant i_s égal i_3 . Un appareil de mesure placé en série à la place de la contre réaction de A2 permet de lire la valeur du courant i_s .

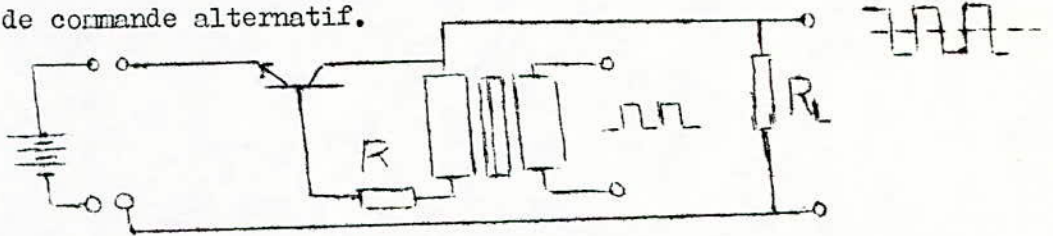
Ce courant, traversant l'appareil de mesure dans un sens ou dans l'autre fait dévier l'aiguille dans un sens ou dans l'autre, indiquant ainsi le signe de la mesure.

I / - CHOPPER ELECTROMAGNETIQUE.

I-1 - FONCTIONNEMENT.

- Un chopper ou découpeur est un commutateur qui transfère intégralement et fidèlement le signal d'entrée sur la charge. Dans son principe n'est un relais ou vibreur.
- C'est un transistor utilisé pour découper un signal continu provenant d'un capteur et le transformer en signal alternatif.

En tant que commutateur idéal, le chopper est alternativement bloqué ou conducteur. Dans l'état bloqué, son courant de fuite doit être aussi faible que possible, et dans l'état conducteur, sa résistance directe doit être aussi petite que possible. On peut dire que le chopper doit être un isolateur parfait quand il est bloqué, et un conducteur parfait quand il conduit. En outre, il ne doit injecter dans le circuit ni courant ni tension. Il est rendu alternativement bloqué et conducteur à l'aide d'un signal de commande alternatif.



Le transistor est branché en connexions inversées, ce qui améliore le fonctionnement en réduisant les courants de fuite et le niveau du bruit.

Le signal continu d'entrée provenant du capteur est représenté par la batterie V, il est appliqué entre l'émetteur et le collecteur ou, si l'on veut, aux bornes de la charge R L lorsque le transistor est conducteur.

Le signal de commande, sinusoïdal ou carré est appliqué entre le collecteur et la base du chopper le rendant alternativement conducteur et bloqué.

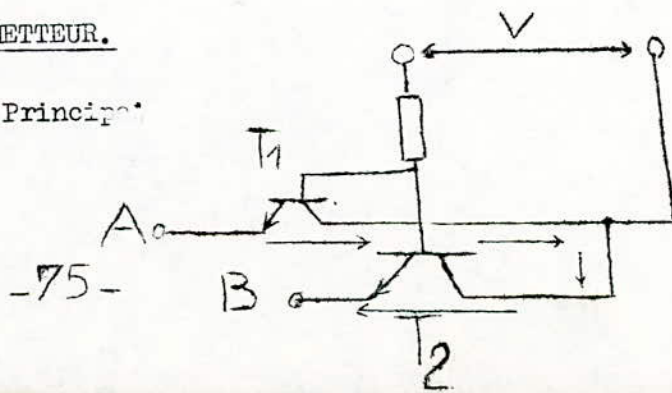
On recueille aux bornes de la charge un signal qui a la fréquence et la forme du signal de contrôle et le niveau du signal d'entrée.

Si un signal + V est appliqué à l'entrée et si la base du transistor n-p-n est positive, par rapport au collecteur, le transistor conduit et la résistance R_L est traversée par un courant qui produit une chute de tension égale à + V .

Lorsque la base devient négative, par rapport au collecteur, le transistor se bloque et aucun courant ne circule dans R_L et la tension aux bornes de R_L tombe à Zéro.

I-2 /- TRANSISTOR DOUBLE EMETTEUR.

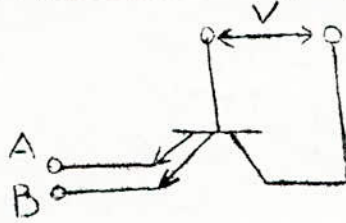
- Schéma de Principe



Si une tension + E est appliquée de façon à avoir la base commune des deux transistors n-p-n positive, par rapport au collecteur commun des deux transistors.

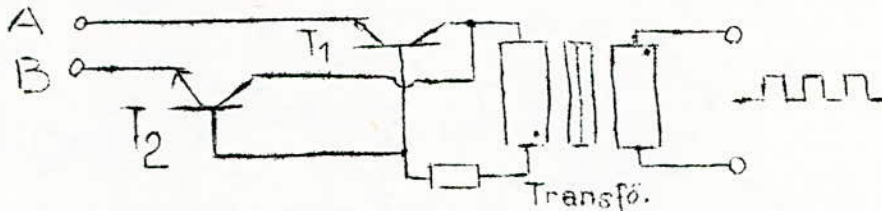
Ces derniers sont à l'état saturé. Si on applique une tension V à l'entrée A (ou B), le courant aura le sens indiqué sur la figure, la tension V est recueillie au niveau du point B (ou A).

Un tel circuit est généralement regroupé en un seul transistor à double émetteur.



I - 3 /- CHOPPER UTILISE COMME RELAIS.

Pour avoir un relais électronique, il suffit d'utiliser un chopper dans lequel le transistor est à double émetteur. Conformément au schéma suivant:

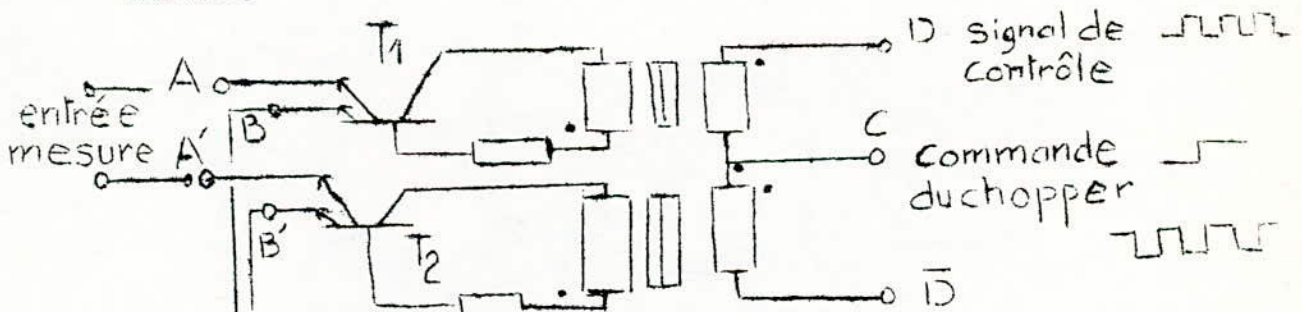


Si un signal + V est appliqué à l'entrée A et si la base commune de T1 et T2 est positive par rapport à leur collecteur commun. Ils conduisent:

Le signal appliqué en A est recueilli en B à la fréquence du signal de contrôle appliqué entre base commune et collecteur commun.

I - 4 /- CIRCUIT DE PRELEVEMENT DES MESURES.

Pour prélever les mesures à effectuer, on utilise un double chopper fonctionnant en double relais. L'un des émetteurs de chacune des choppers sera relié à l'une des bornes de sortie de la mesure. Conformément au Schéma suivant:



On remarque le point C correspondant à la commande du chopper ainsi élaboré. En effet, quand C = 1 et si:

D=0 --- le collecteur de T1 est positif par rapport à sa base. Il est bloqué.

D=1 ---- La d-d-p aux bornes du primaire du transformateur est nulle - T1 n'est pas polarisé.

-Quand $C=0$ et si :

* $D=0$ --- on a le même cas que précédemment: T1 n'est pas polarisé.

* $D=1$ --- La base de T1 est alors positive par rapport à son collecteur. Il conduit. Le signal appliqué en A est reçu en B .

Le même raisonnement est valable pour T2, mais avec comme signal de contrôle le signal \bar{D} , complémentaire à D .

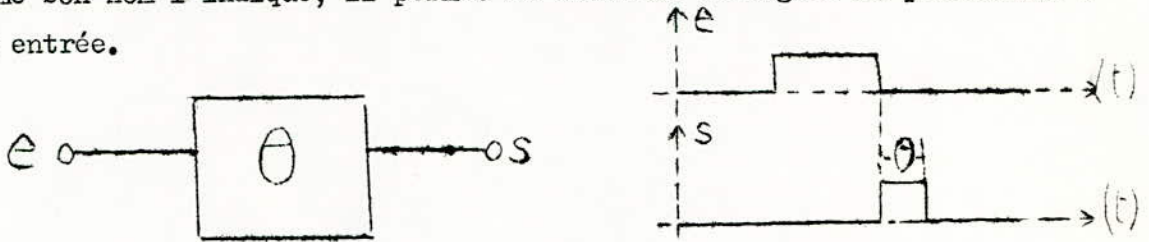
Remarque:

Au cours de la phase de fermeture d'un chopper, celui ci n'est en réalité fermé que pendant 50% du temps.

II . RETARDATEUR.

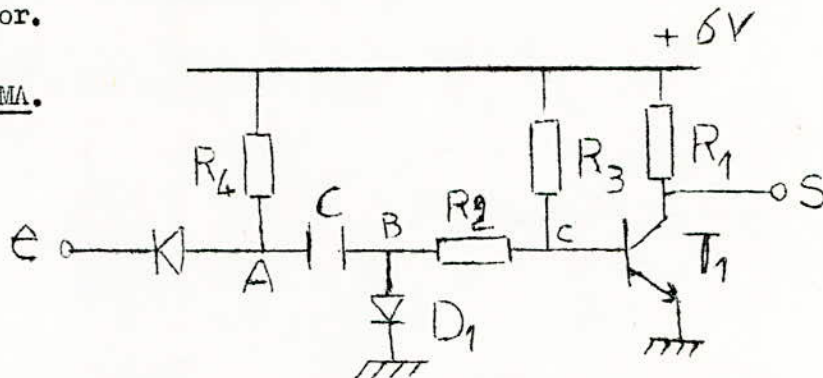
II-1 - BUT/.

Comme son nom l'indique, il permet de retarder un signal se présentant à son entrée.



Ce circuit réagit au front descendant. Le retard θ est le temps de blocage du transistor.

II-2 - SCHEMA.



Au repos T1 est saturé, la capacité se charge à + 6V à travers R4. Le pt B est à 0V et le pt A est à + 6V.

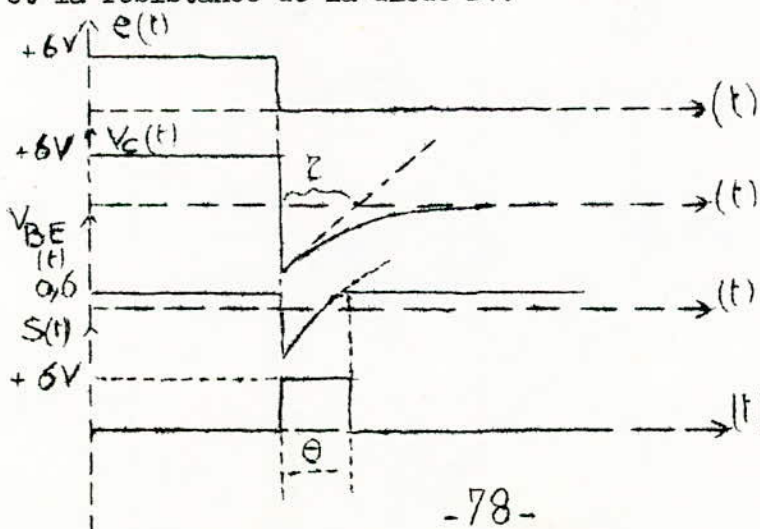
En présence d'un signal 0V, la capacité C passe brusquement à - 6V (pt A est à 0V et le pt B à - 6V).

Rappelons que la tension aux bornes d'un condensateur ne peut jamais subir de saut. Le condensateur s'oppose aux variations de tensions.

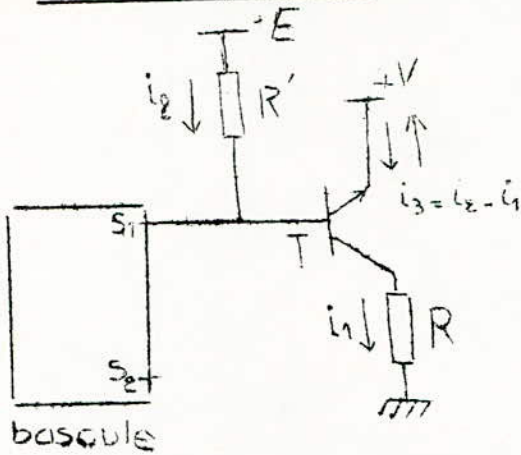
Le transistor T1 se trouve alors bloqué. La capacité C se décharge à travers R2 et R3. Quand V_{BE} atteint 0,6 Volts, T1 se sature de nouveau. Le temps de blocage est donné par:

$$\theta = (R_2 + R_3) C \cdot 0,7$$

Quand le signal 0 Volts disparaît, la capacité se recharge à travers R4 et la résistance de la diode D1.



III- / - TRANSISTOR EN OFFSET.



On sait que lorsque le courant d'émetteur d'un transistor est voisin de Zéro, la tension mesurée entre l'émetteur et le collecteur (VCE) est très faible, et ceci quelque soit le sens de circulation du courant d'émetteur. (caractéristique $i_e = f(VCE)$).

Le transistor peut alors être comparé à un contact métallique fermé. lorsque la bascule de commande est à l'état 1 (son transistor de sortie est bloqué), un courant I_2 circule à travers R' et un courant calibré I_1 à travers R . La résistance R' est choisie de telle sorte que I_2 soit peu différent de I_1 , dans ces conditions, seul, un courant faible $I_2 - I_1$ circule dans la jonction d'émetteur du transistor T et ce dernier se trouve ainsi dans les conditions du régime d'offset.

Lorsque le transistor de sortie de la bascule est saturé (bascule à l'état Zéro) le courant I_2 est dérivé à la masse et le transistor T est bloqué.

IV / - DISTABLES.

IV - 1 Distable set . Reset (R,S)

IV - 2 Table de vérité.

Q	S	R	Q+
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	φ
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	φ

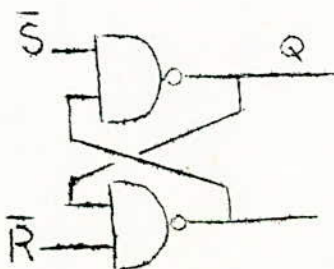
Q \ SR	00	01	11	10
0	0	0	φ	1
1	1	0	φ	1

$$Q^+ = S + \bar{R}Q$$

$$\bar{Q}^+ = \bar{S} + RQ = \bar{S} \cdot \bar{R}Q$$

$$Q^+ = \bar{S} + \bar{R}Q$$

IV - 1.3 - LOGIGRAMME.



Q = état initial

Q+ = état final

φ = indétermination

IV -1.4 PRINCIPE DE FONCTIONNEMENT

Les impulsions de commandé sont appliquées séparément et alternativement aux entrées S et R . Au cas où 2 impulsions se présentent simultanément sur les deux entrées, le bistable peut basculer ou ne pas le faire: il y a indétermination.

IV-1.5 - UTILISATION.

C'est un bistable mémoire.

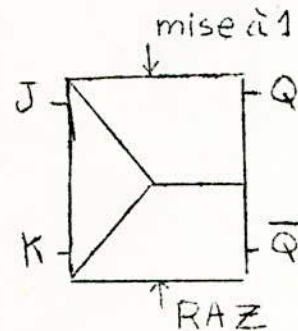
IV-2 BISTABLE J.K

IV-2.1- TABLE DE VERITE.

Q	J	K	Q+
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Q \ J K	00	01	11	10
0	0	0	1	1
1	1	0	0	1

$$Q_+ = \bar{Q}J + Q\bar{K}$$



IV- 2.2 - PRINCIPE DE FONCTIONNEMENT.

Ce type de bistable peut de même que le précédent être commandé alternativement par les deux entrées. Mais il y a basculement à coup sûr, si deux impulsions se présentent simultanément en J et K.

IV - 2.3. - UTILISATION

C'est un bistable de comptage.

IV - 3 - BASCULE T.

C'est une bascule J.K dans laquelle J = K .

IV - 3.1 - TABLE DE VERITE.

Q	T	Q+
0	0	0
0	1	1
1	0	1
1	1	0

T	0	1
0	0	1
1	1	0

$$Q_+ = \bar{Q}T + T\bar{Q}$$

$$Q_+ = Q \oplus T$$

IV - 3.2 - PRINCIPE DE FONCTIONNEMENT/.

Les propriétés du montage J.K sont mises à profit pour réunir en une seule les deux entrées.

V - RELAIS.

V.1 - Relai à lamelles

V.1.1 - Constitution.

C'est un composant électromagnétique. Il est composé d'une ampoule de verre dans laquelle se trouve deux lames métalliques ne se touchant pas. Une bobine électromagnétique entoure l'ampoule (Fig: 38).

V - 1.2 - FONCTIONNEMENT.

Le passage d'un courant continu dans la bobine, crée un champ magnétique qui en exerçant une force d'attraction sur les lames établit le contact (les deux lames se touchent).

V- 1.3 - INCONVENIENT.

- Un rebondissement se crée juste au moment du contact ce qui donne naissance à une succession de contacts et à de ruptures de contacts jusqu'à stabilité totale.

Le temps de rebondissement est de 1 nS à plusieurs nS.

- Pendant ce temps un bruit important se superpose au signal à commuter .

- Le passage du courant dans la bobine entraîne une élévation de température Ceci donne naissance a une force électromotrice thermique (principe du thermocouple). Cette F.e.m peut atteindre 100 microvolts.

V-1.4 - DIFFERENTS RELAIS UTILISES.

On en distingue:

- Relai 1T ou (S.P.S.T) - un seul contact travail.
- Relai 1 RT ou (D.P.D.T) un contact travail et un contact repos.
- Relai 2 RT: 2 contacts travail et 2 contacts repos.

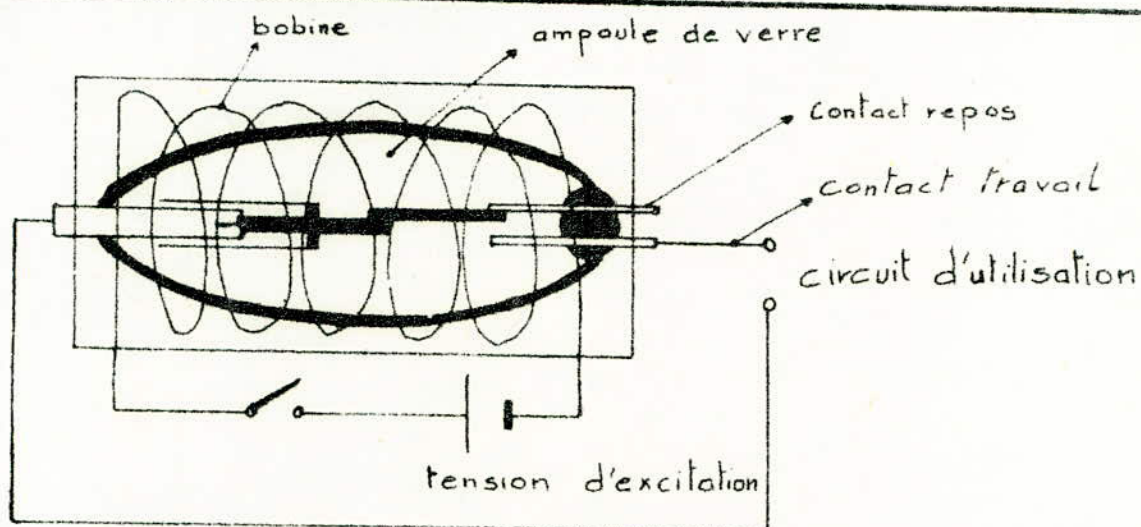
Il existe aussi: les Relais 2T, 3T, 4T, 3 RT, 4 RT.

V- 1.5 - DUREE DE VIE D'UN RELAI.

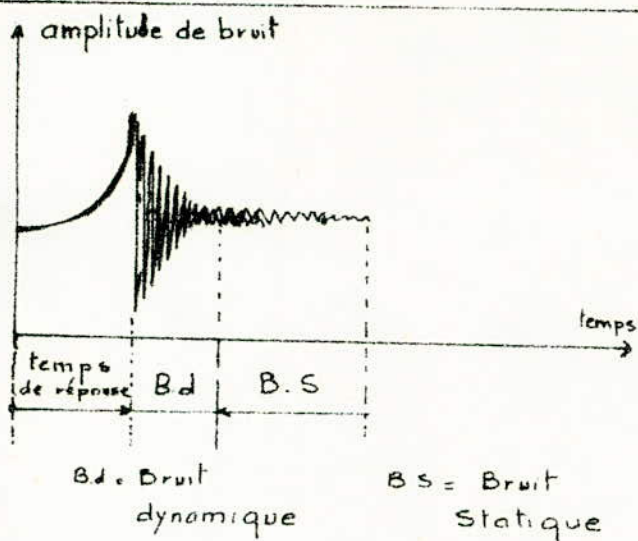
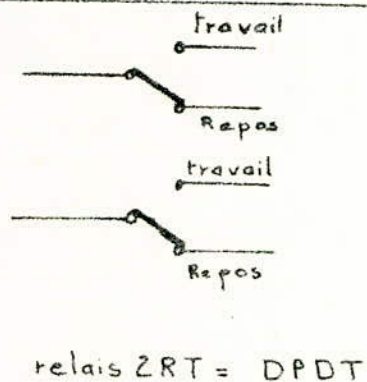
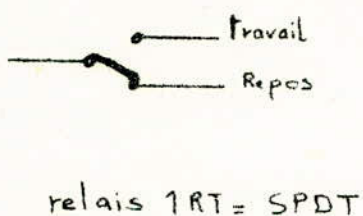
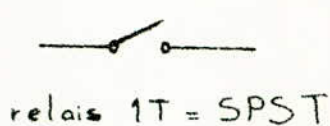
Elle est exprimée en nombre de commutations à un courant commuté donné, par exemple 1 billion de contacts à 1 mA sous 10 Volts .

V.2 - RELAI A CONTACT MOUILLES AU MERCURE.

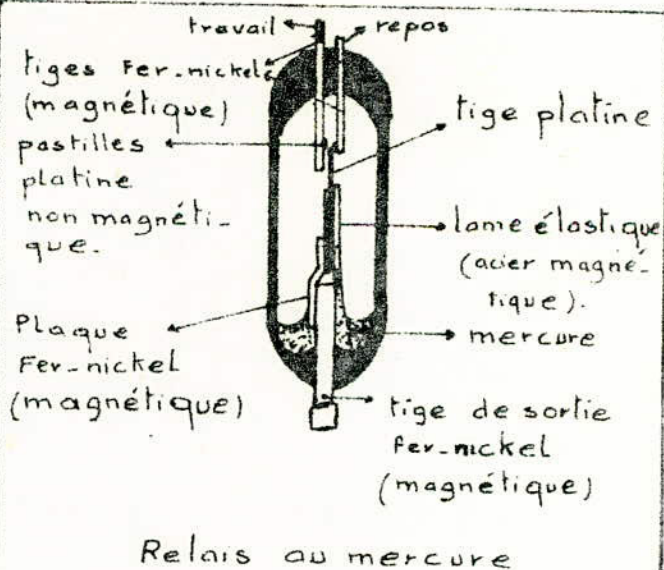
Pour parer aux inconvénients précédents on fait couvrir les contacts repos Travail d'une pellicule de mercure. La viscosité de ce dernier absorbe intégralement les rebondissements maintenant ainsi le contact électrique (le mercure est conducteur) et de cette manière élimine le bruit qui en résulte.



Structure d'un relais à lamelles



Bruit de commutation d'un relais



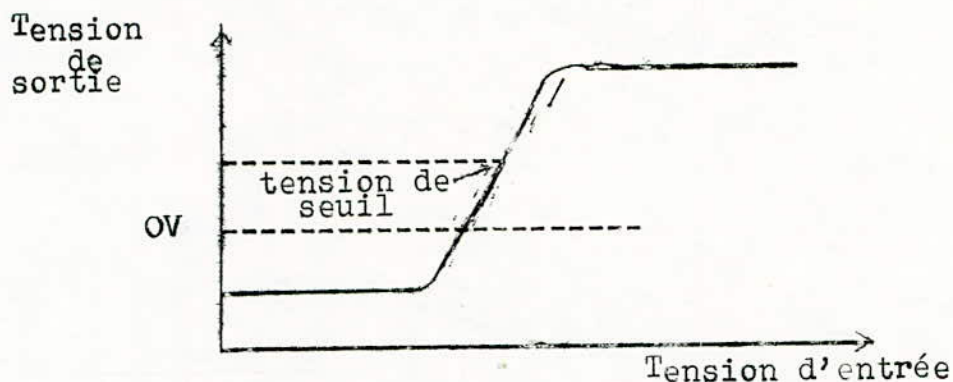
(Fig 38)

-LES COMPARETEURS:

Le comparateur a pour tâche de comparer deux signaux et d'indiquer si l'un est plus grand ou plus petit que l'autre, pris comme référence. De ce fait, l'information fournie en sortie ne doit occuper que 2 niveaux: haut ou bas (états 0 ou 1).

Tension de sortie:

Pour que le comparateur puisse attaquer des circuits de logique, son niveau bas de sortie doit se situer autour de 0V, et son niveau haut doit être positif. Donc, sa tension de sortie n'est pas nulle pour une tension différentielle nulle. Cette tension est, plus précisément, située à mi-course sur sa courbe de transfert, et prend le nom de niveau logique de seuil.



Resolution:

La sortie du comparateur se trouvant au niveau logique de seuil, on définit la résolution comme étant la tension différentielle d'entrée nécessaire pour provoquer une décision logique à la sortie.

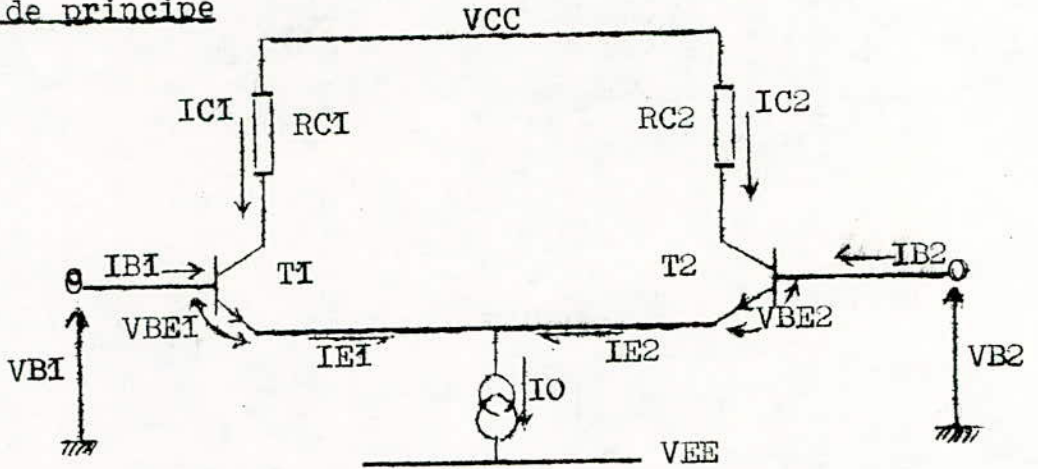
Cette définition tient compte du fait que le comparateur est suivi par un circuit logique, lequel peut être appelé à basculer bien avant que la pleine tension de sortie du comparateur ne soit atteinte.

Les décalages à l'entrée détériorent la résolution; il convient donc de prendre en considération l'existence de résistances de source non nulles pour chiffrer ces décalages, en tension et en courant, que ces résistances soient d'égale valeur ou non.

Temps de réponse:

C'est le temps écoulé entre le moment où une tension en marche d'escalier est appliquée à l'entrée, à partir d'un état saturé et le moment où la tension de sortie a atteint le niveau logique de seuil.

Schema de principe



Caracteristiques fondamentales:

-Tension d'entrée différentielle:

L'équation qui définit la tension d'entrée différentielle de l'amplificateur est donnée par la relation suivante:

$$V_{B1} - V_{B2} = V_{BE1} - V_{BE2}$$

-Caractéristique de transfert:

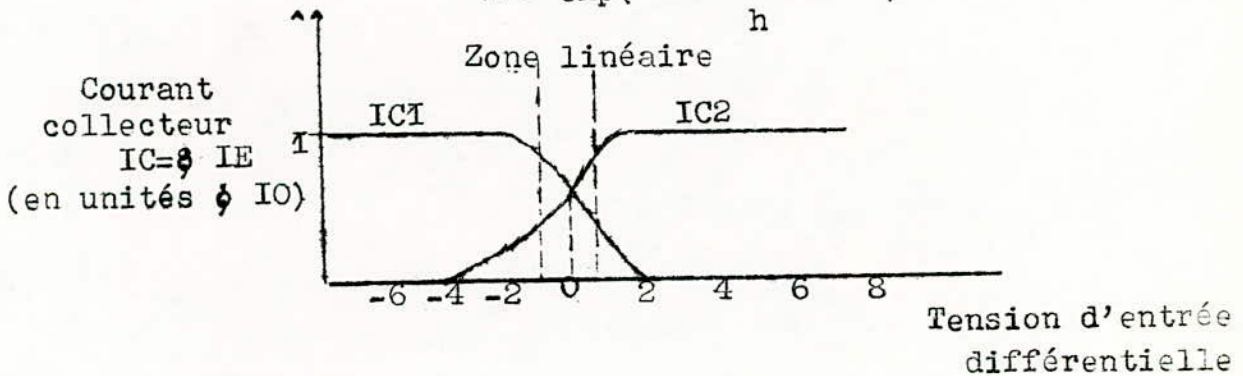
Les courbes de transfert sont définies par les formules suivantes:

$$I_{E1} = \frac{I_O}{1 + \exp\left(\frac{V_{B2} - V_{B1}}{h}\right)}$$

Avec: à 25°C

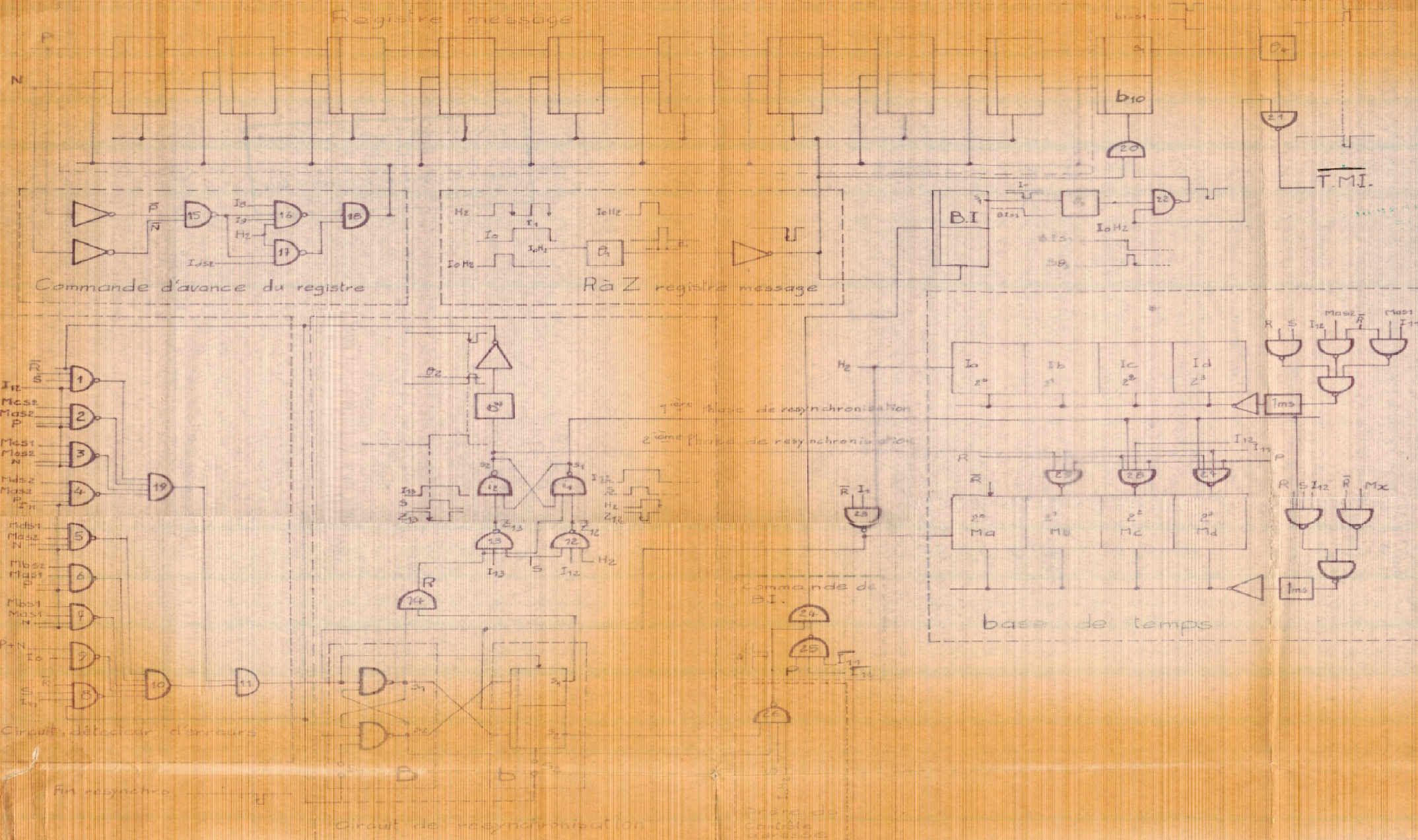
$$h = \frac{q}{KT} = \frac{1}{26\text{mv}}$$

$$I_{E2} = \frac{I_O}{1 + \exp\left(\frac{V_{B1} - V_{B2}}{h}\right)}$$



C O N C L U S I O N

- Le système 7 KR 1035 étudié date des années soixantes et est doté d'une technologie ~~actuellement~~ dépassée (logique D.T.L, relais à lamelles....).
- Notre travail a consisté, à la demande de la R.T.A, en l'amélioration dudit système par introduction de la logique T.T.L, de ce fait ses caractéristiques sont meilleures.
- On aurait souhaité une **réalisation** pratique du système pour appuyer notre étude bien qu'étant menée sur la base d'un système existant au niveau du centre et sur lequel ont été effectuées plusieurs vérifications, ce qui n'a pas été fait faute de matériel adéquat au niveau de la R.T.A .
- Cependant ce travail peut constituer un point de départ pour des études sur les systèmes de télésurveillance en général(réalisation pratique, introduction du microprocesseur.....).



DÉCODEUR SCHÉMA GÉNÉRAL

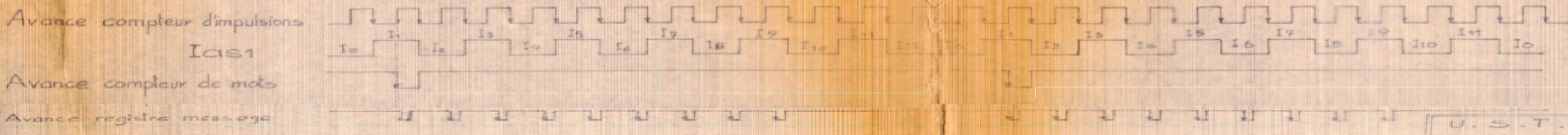
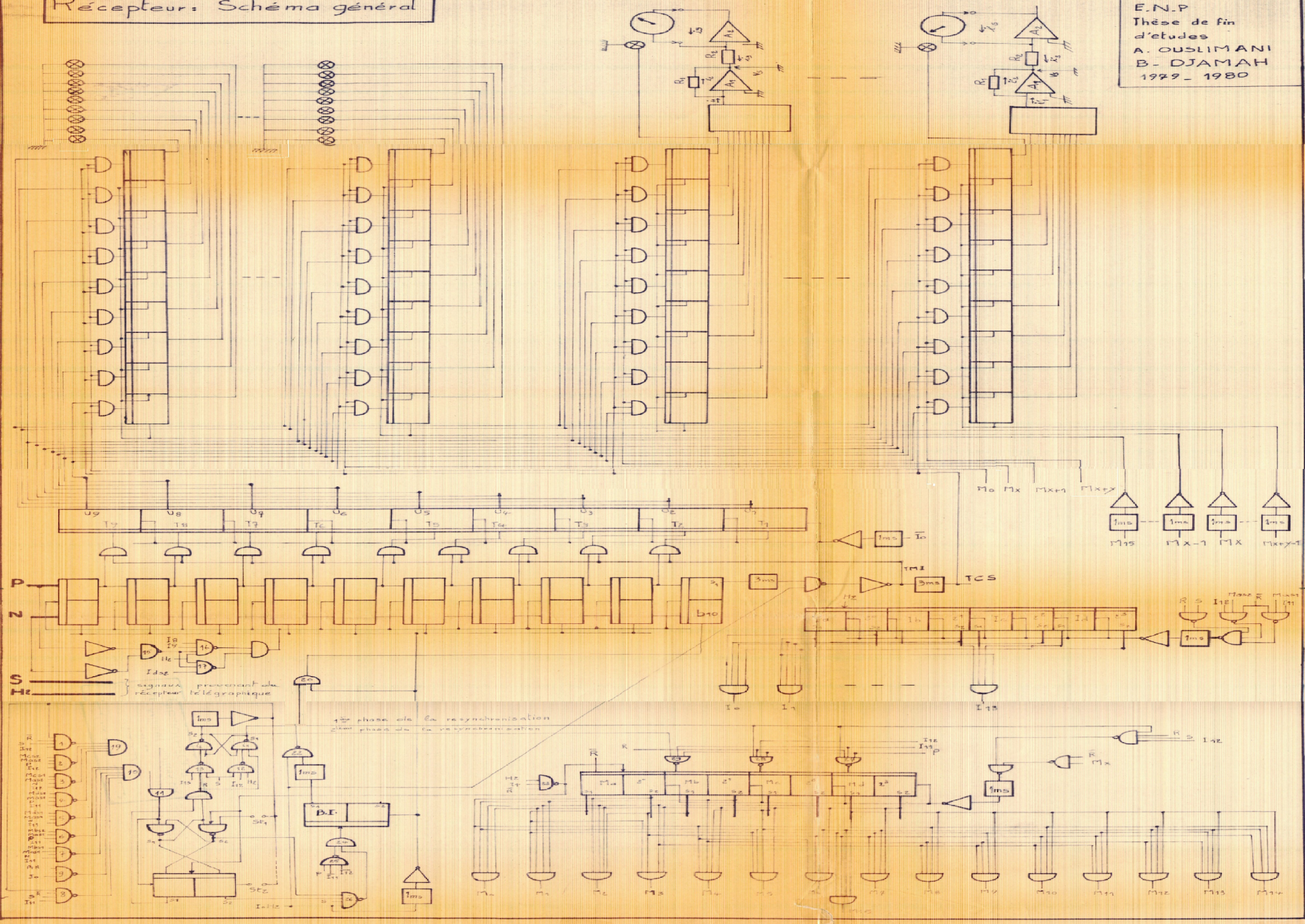


Fig 34

U.S.T.H.B.
 Ecole Nationale Polytechnique
 Projet de fin d'études
 A. OUSLIMANI
 B. DJAMAH

Récepteur: Schéma général

E.N.P
Thèse de fin
d'études
A. OUSLIMANI
B. DJAMAH
1979 - 1980



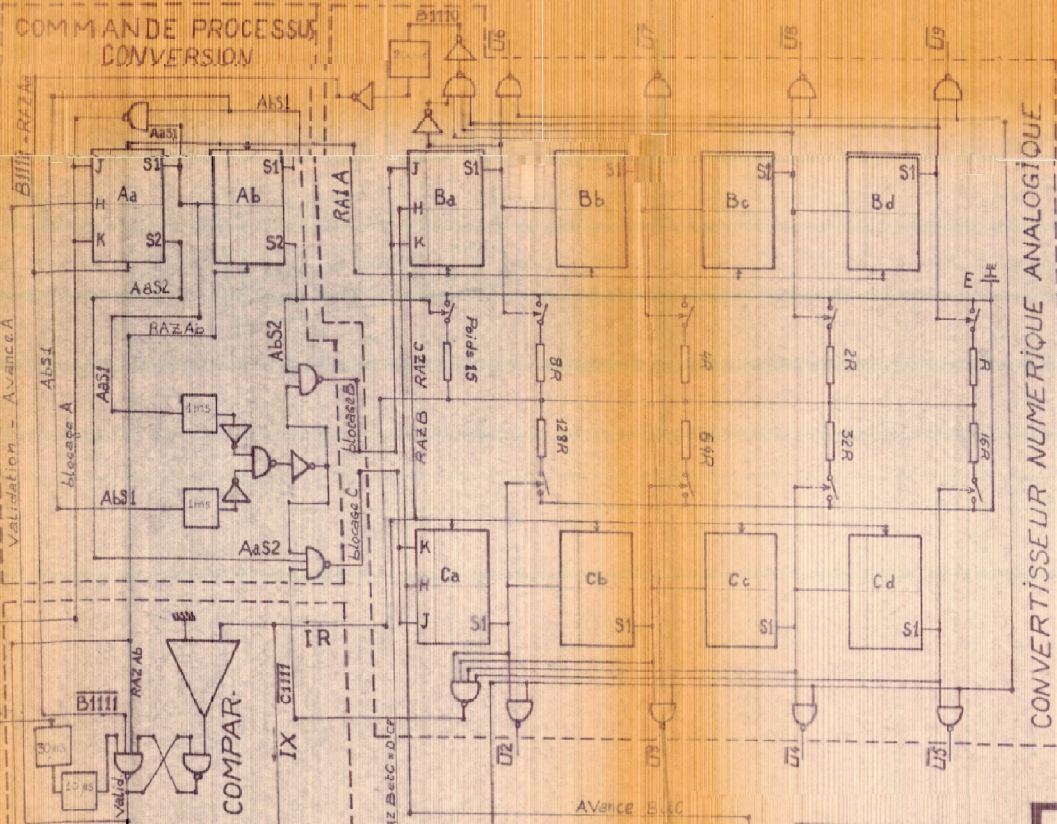
P
Z
S
He

signaux provenant du récepteur télégraphique

4e phase de la resynchronisation
2e phase de la resynchronisation

10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42
43
44
45
46
47
48
49
50
51
52
53
54
55
56
57
58
59
60
61
62
63
64
65
66
67
68
69
70
71
72
73
74
75
76
77
78
79
80
81
82
83
84
85
86
87
88
89
90
91
92
93
94
95
96
97
98
99
100

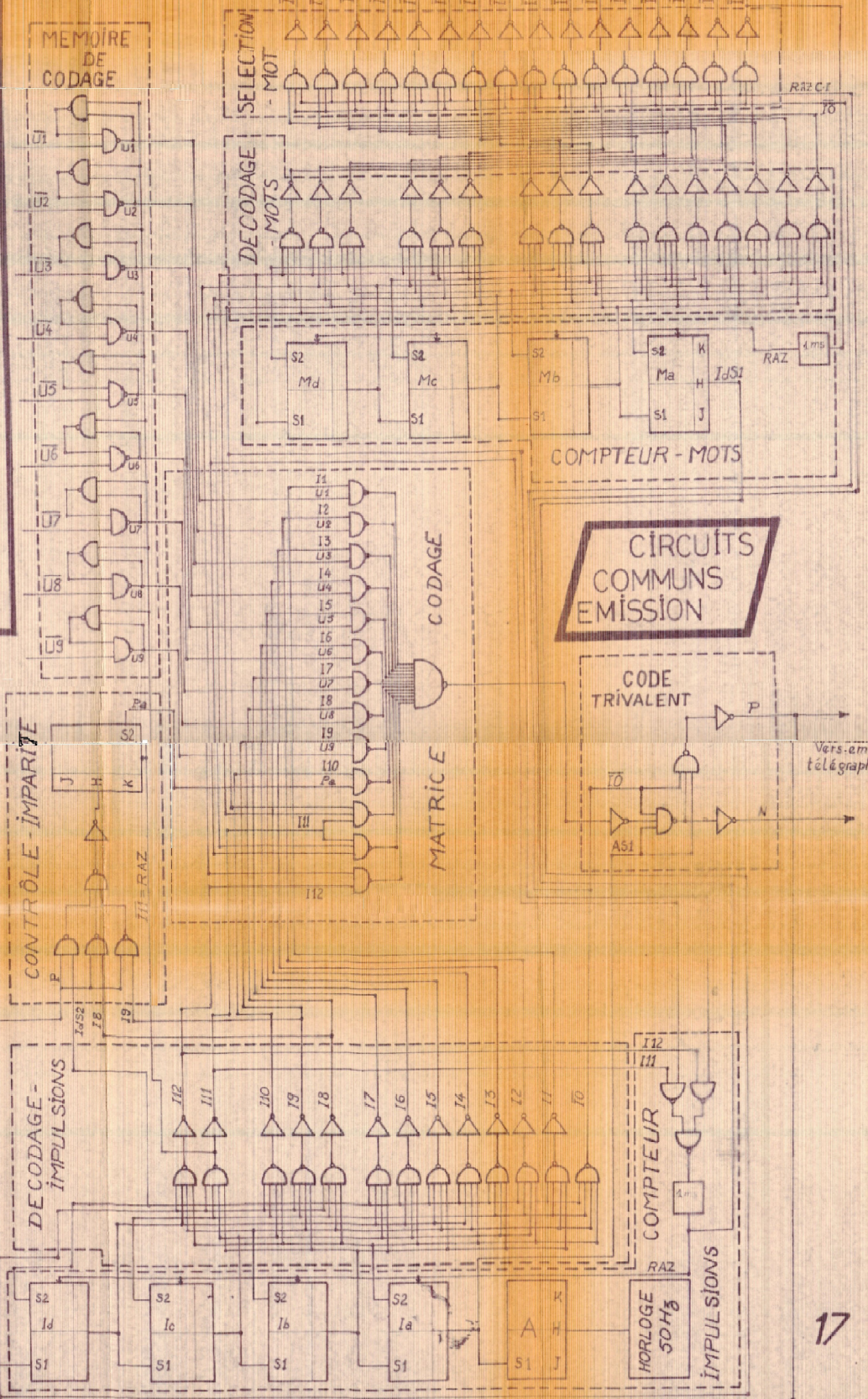
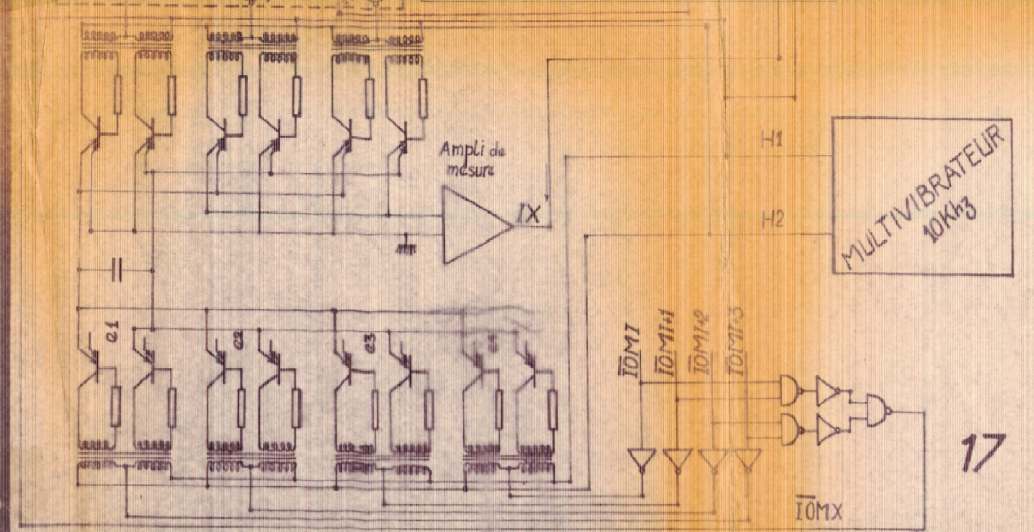
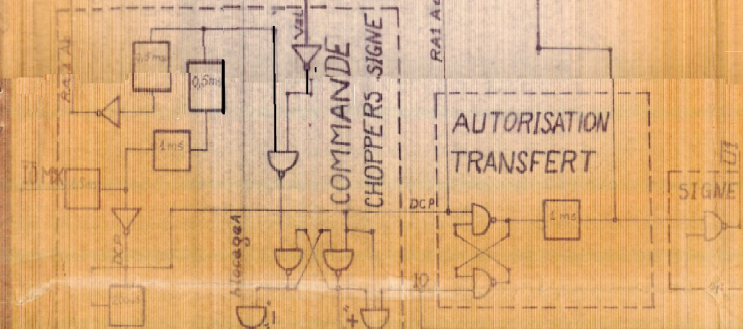
DJANTAH
GUSLIMANI

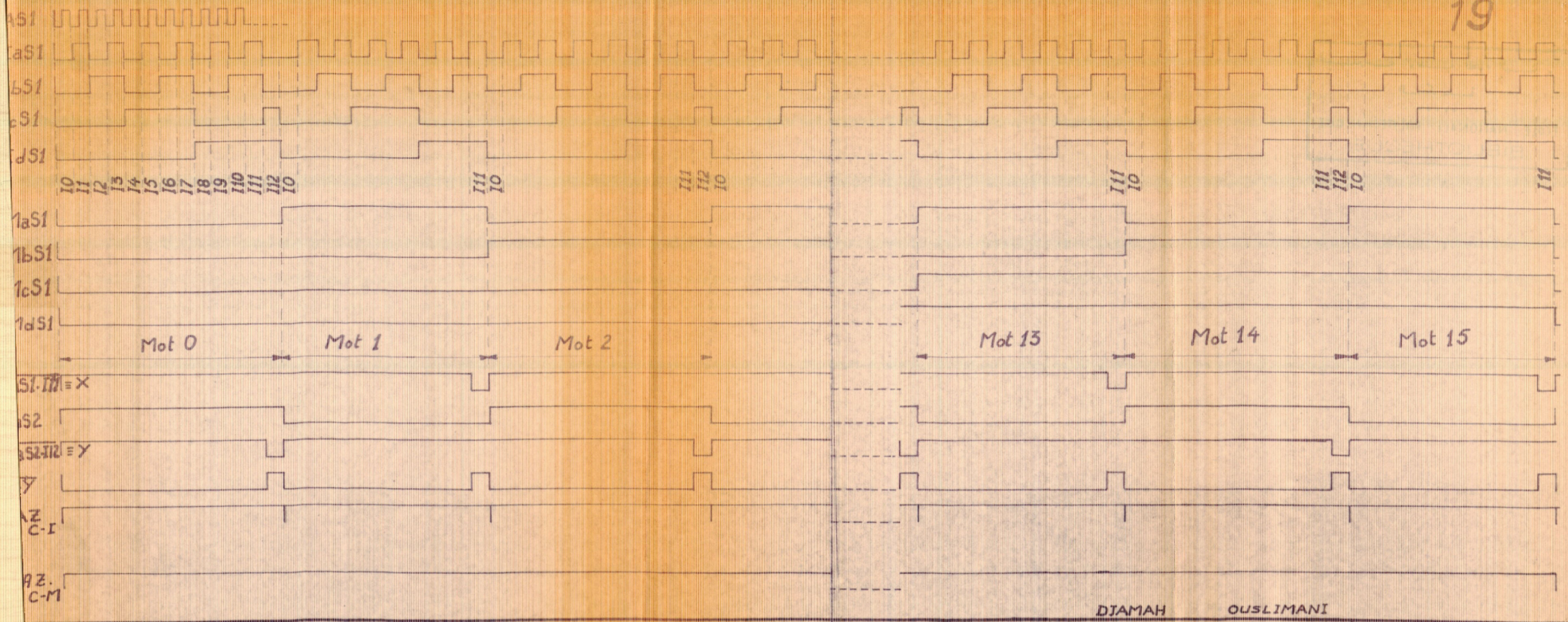


CONVERTISSEUR NUMERIQUE ANALOGIQUE

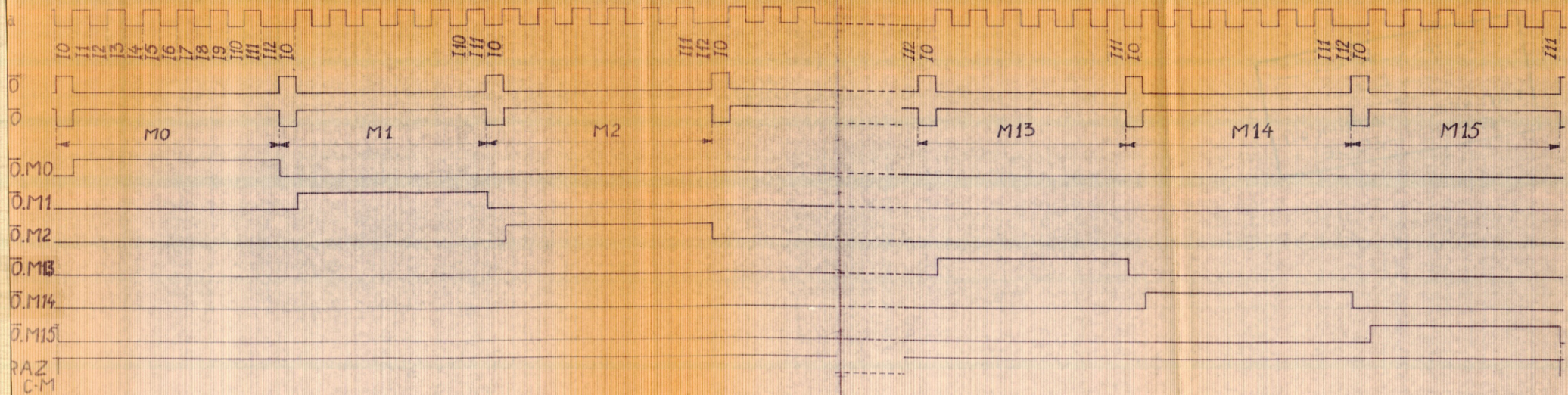
CIRCUITS
ENTRÉE
MESURES

cas de
quatre
mesures



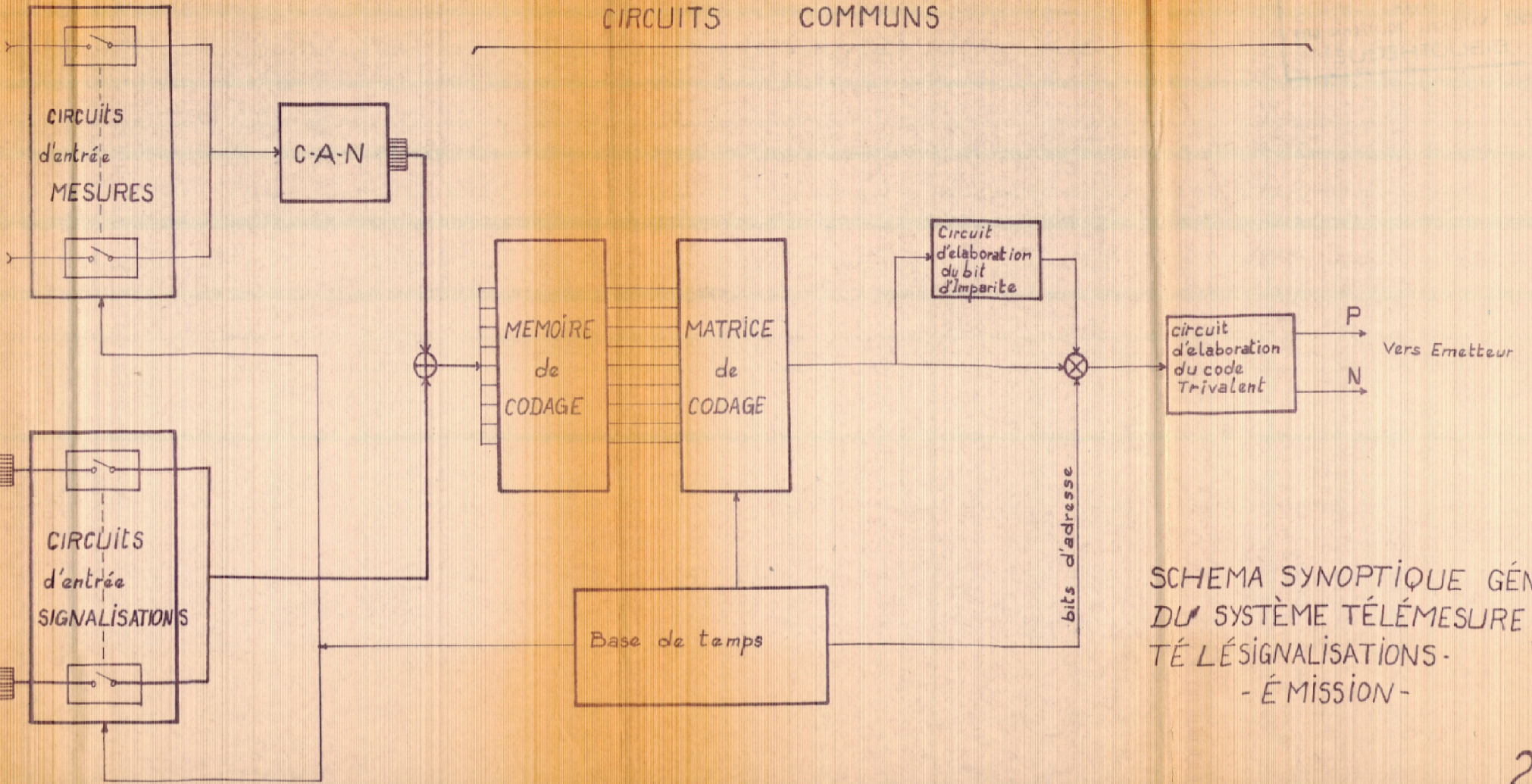


- COMPTEURS -

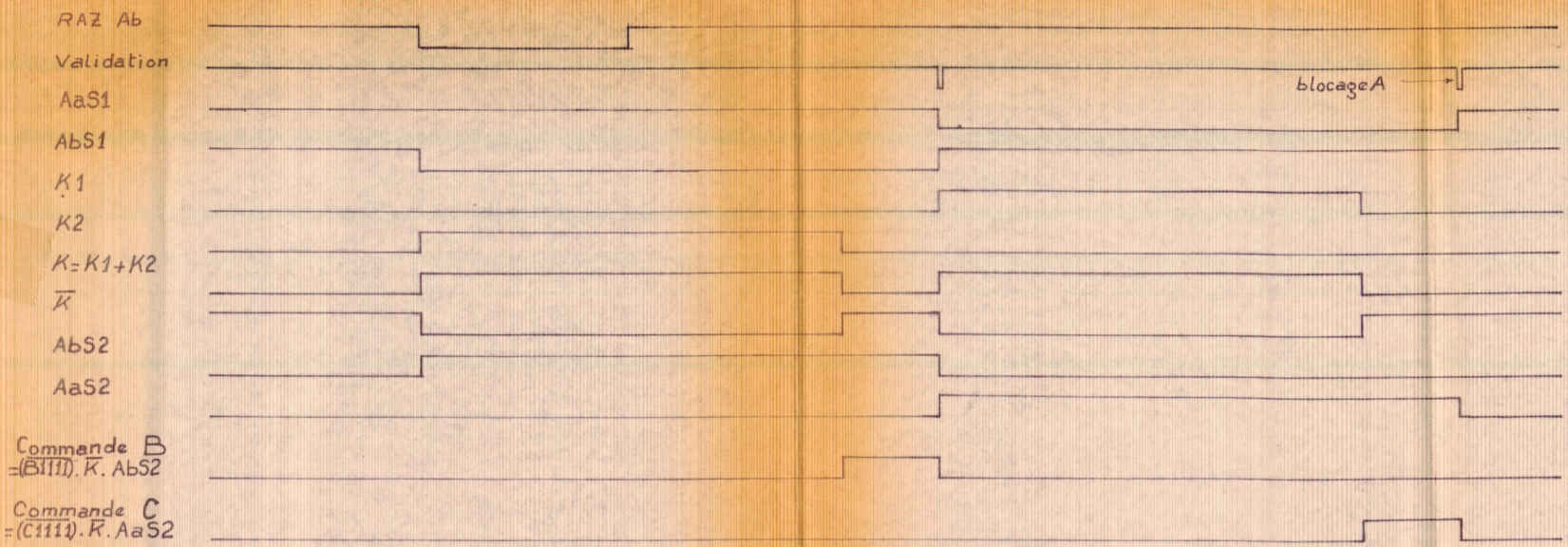


$\overline{O}.M_X \rightarrow$ Selection du mot $M(X+1)$

SELECTION D'ENTRÉES
et RAZ C-M



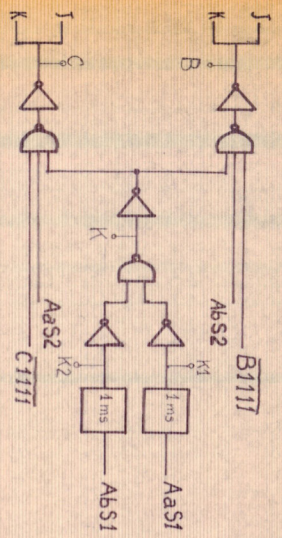
SCHEMA SYNOPTIQUE GÉNÉRAL
 DU SYSTÈME TÉLÉMESURE -
 TÉLÉ SIGNALISATIONS -
 - ÉMISSION -



Commande B
 $= (\bar{B}1111) \cdot \bar{K} \cdot AbS2$

Commande C
 $= (C1111) \cdot \bar{K} \cdot AaS2$

COMMANDES COMPTEURS: B (SEIZAINES); C (UNITÉS)



OUMIUSNO HWAVJQ

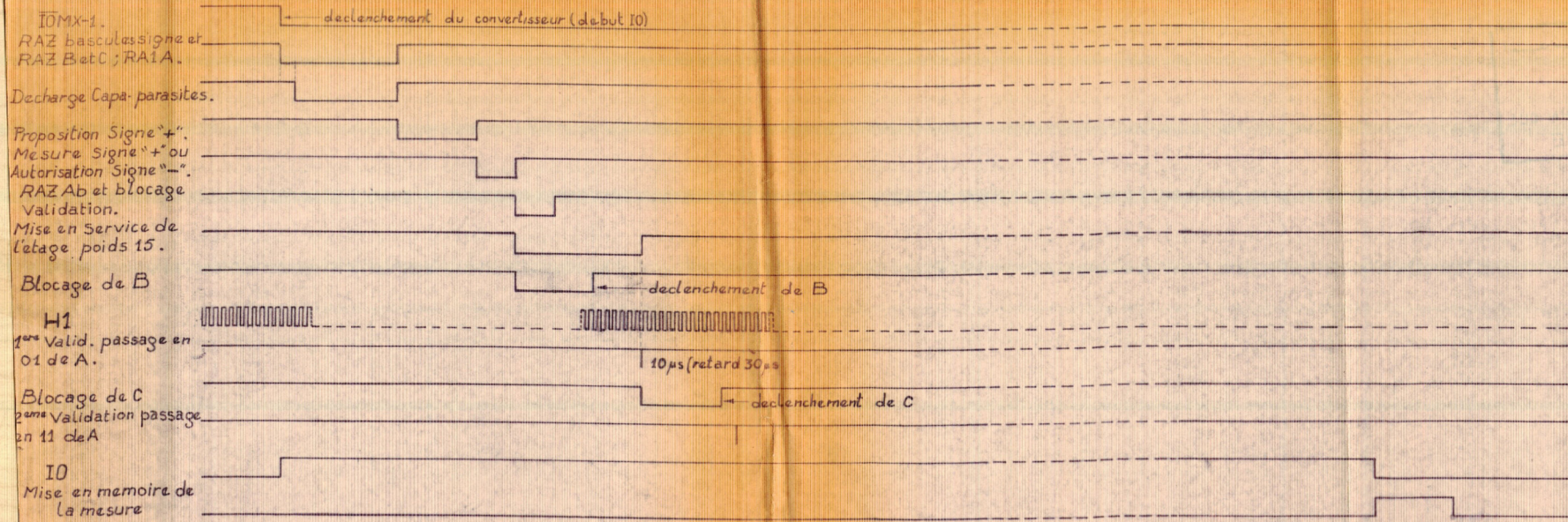


DIAGRAMME DES TEMPS DU CONVERTISSEUR

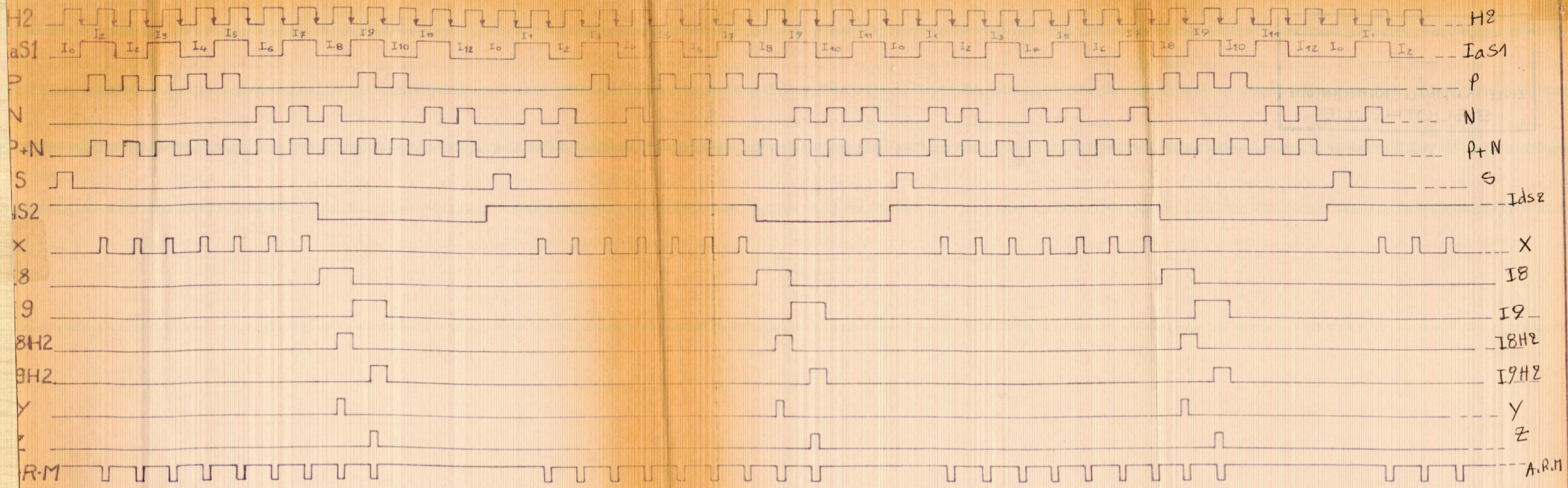


Fig 30

ARM: AVANCE REGISTRE MESSAGE

$$\begin{aligned}
 X &= (P+N) \cdot Ids2 \cdot H2 & Z &= (P+N) \cdot 19 \cdot H2 \\
 Y &= (P+N) \cdot 18 \cdot H2 & A.R.M &= \overline{X+Y+Z}
 \end{aligned}$$

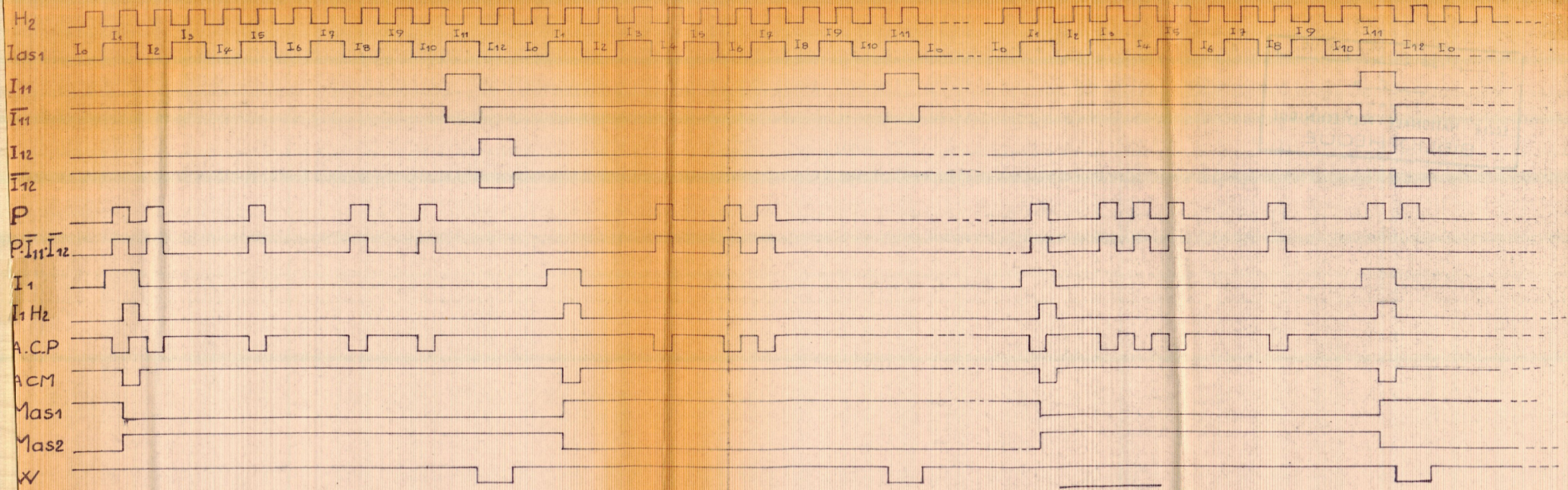


Fig 31

Avance Compteur de parité : $A.C.P = \overline{P \cdot \overline{I_{11}} \cdot \overline{I_{12}}}$
 Avance Compteur de mots : $A.C.M = \overline{I_1} \cdot H_2$ (en absence de la resynchronisation)
 Remise à zéro du compteur d'impulsions : $W = \overline{I_{11}} \cdot Mas_1 + \overline{I_{12}} \cdot Mas_2$ (en absence de Resynchro)
 Avance du compteur d'impulsions : H_2

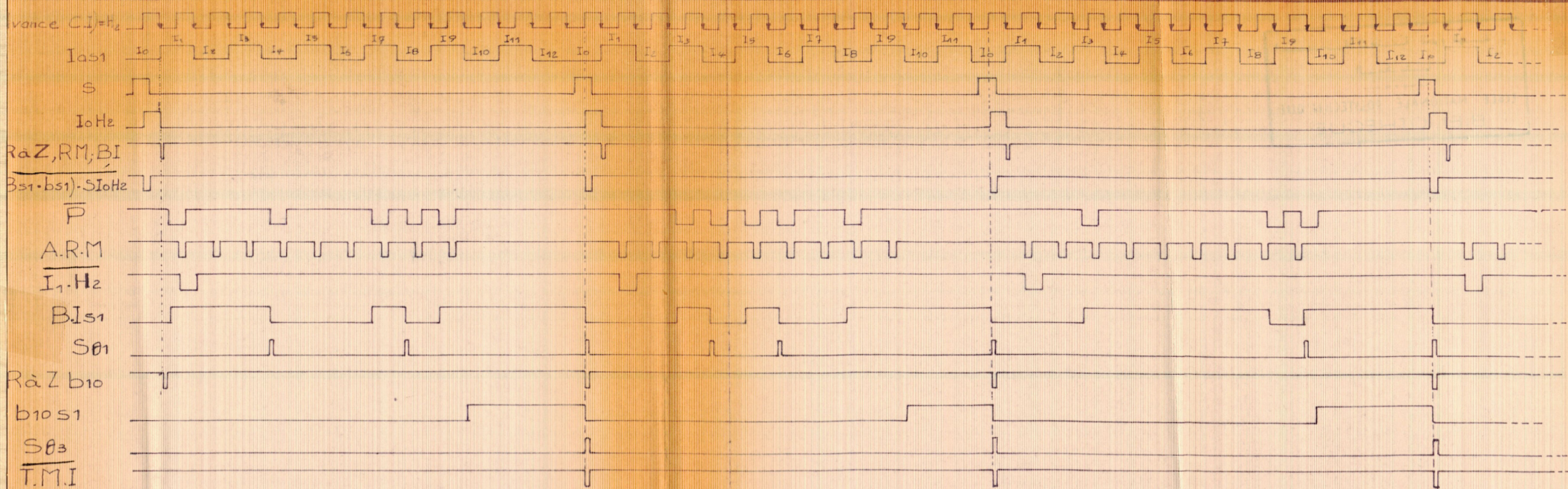
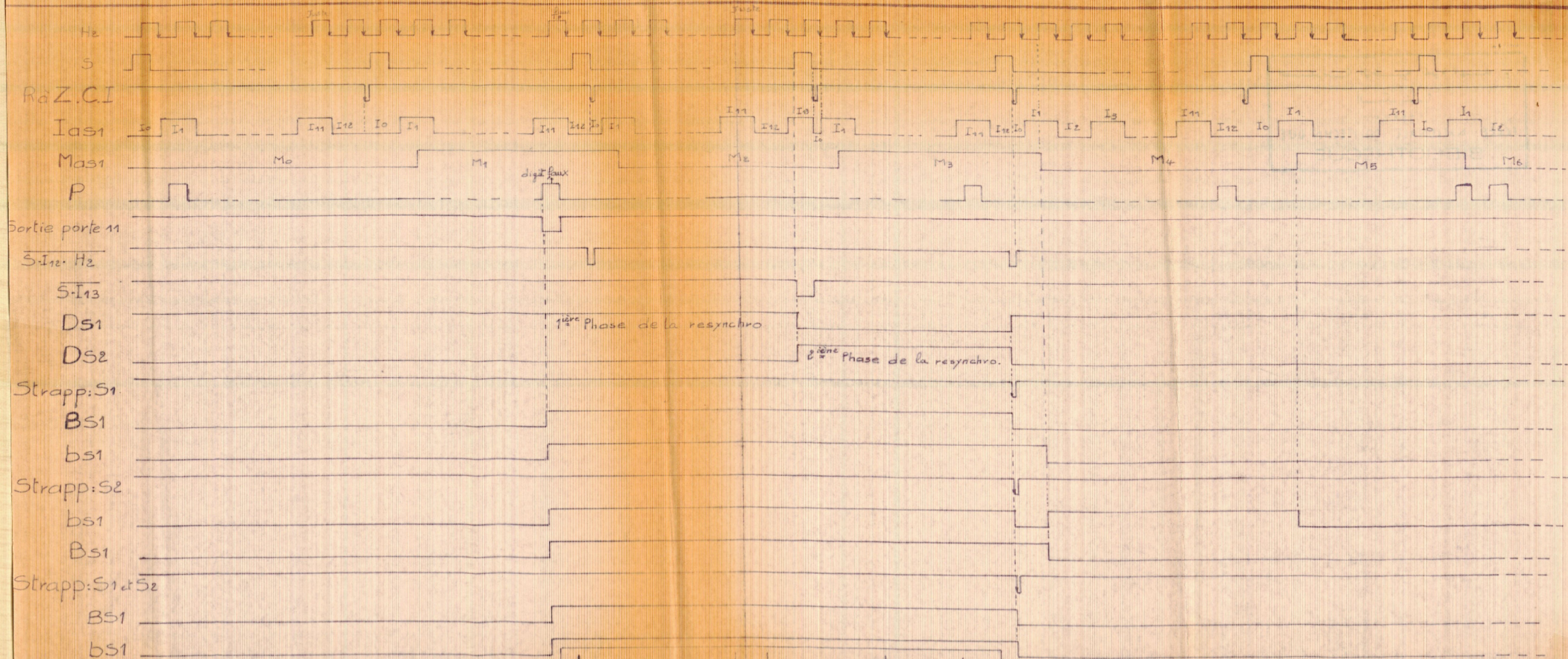


Fig 32

Elaboration de l'ordre de Transfert vers mémoires intermédiaires

S: signal début de mot
 RaZ, RM, BI: remise à zéro registre message compteur d'imparité.
 Bs1-bs1·SI0Hz: contrôle adresse (F)

Sr1: sortie du retardateur. r1. (après B.I)
 Sr3: " " r3. (" b10)
 I1·Hz: avance compteur de mots.
 T.M.I: ordre transfert vers mémoires intermédiaires



Logigramme de la resynchronisation

$R = BS1 \cdot bs1$

Fig 33

RÉCEPTION
SYNOPTIQUE
GÉNÉRAL

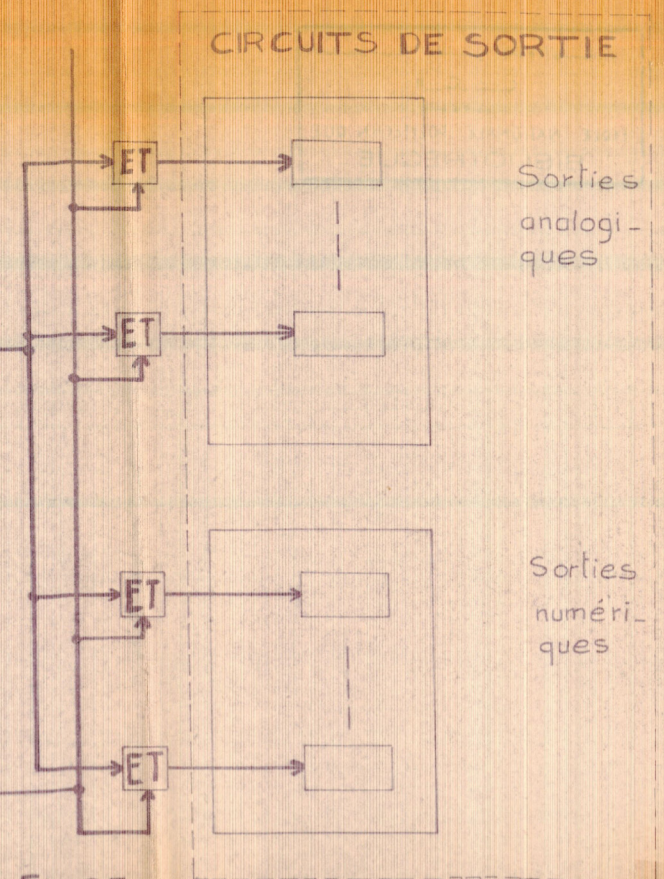
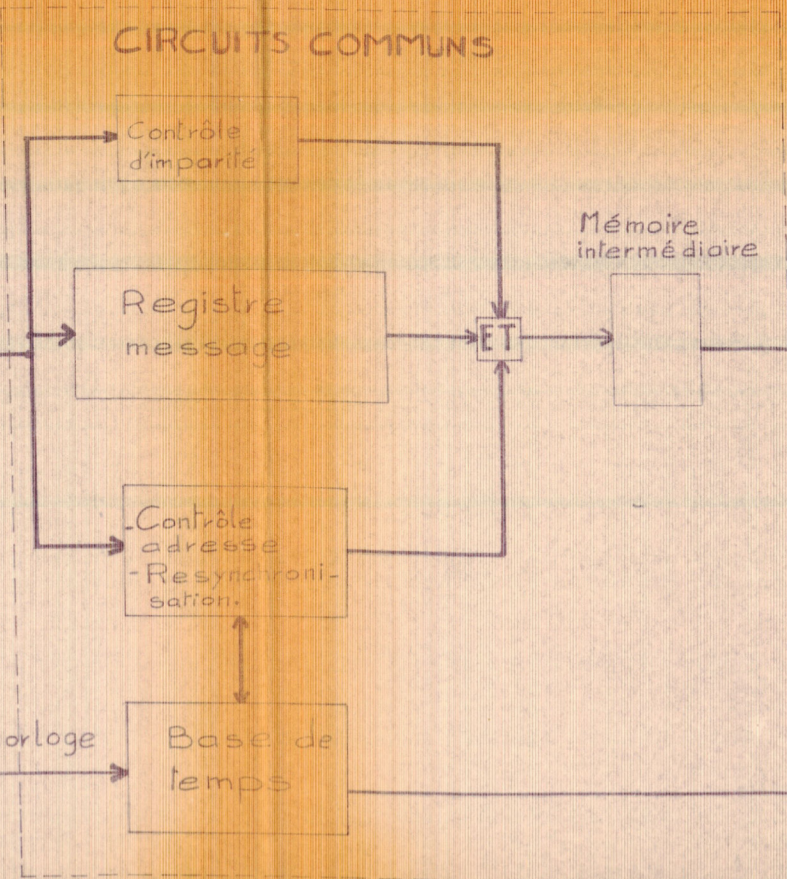
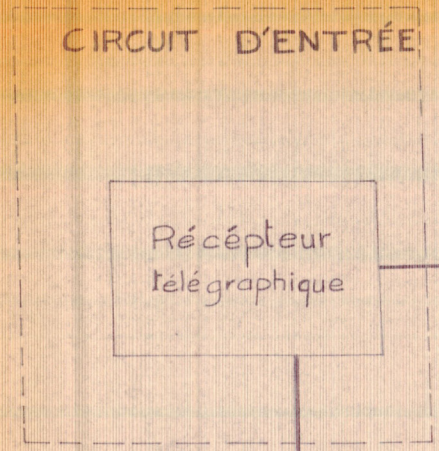


Fig 35

BIBLIOTHÈQUE
CENTRE DE RECHERCHES
ÉLECTROTECHNIQUE

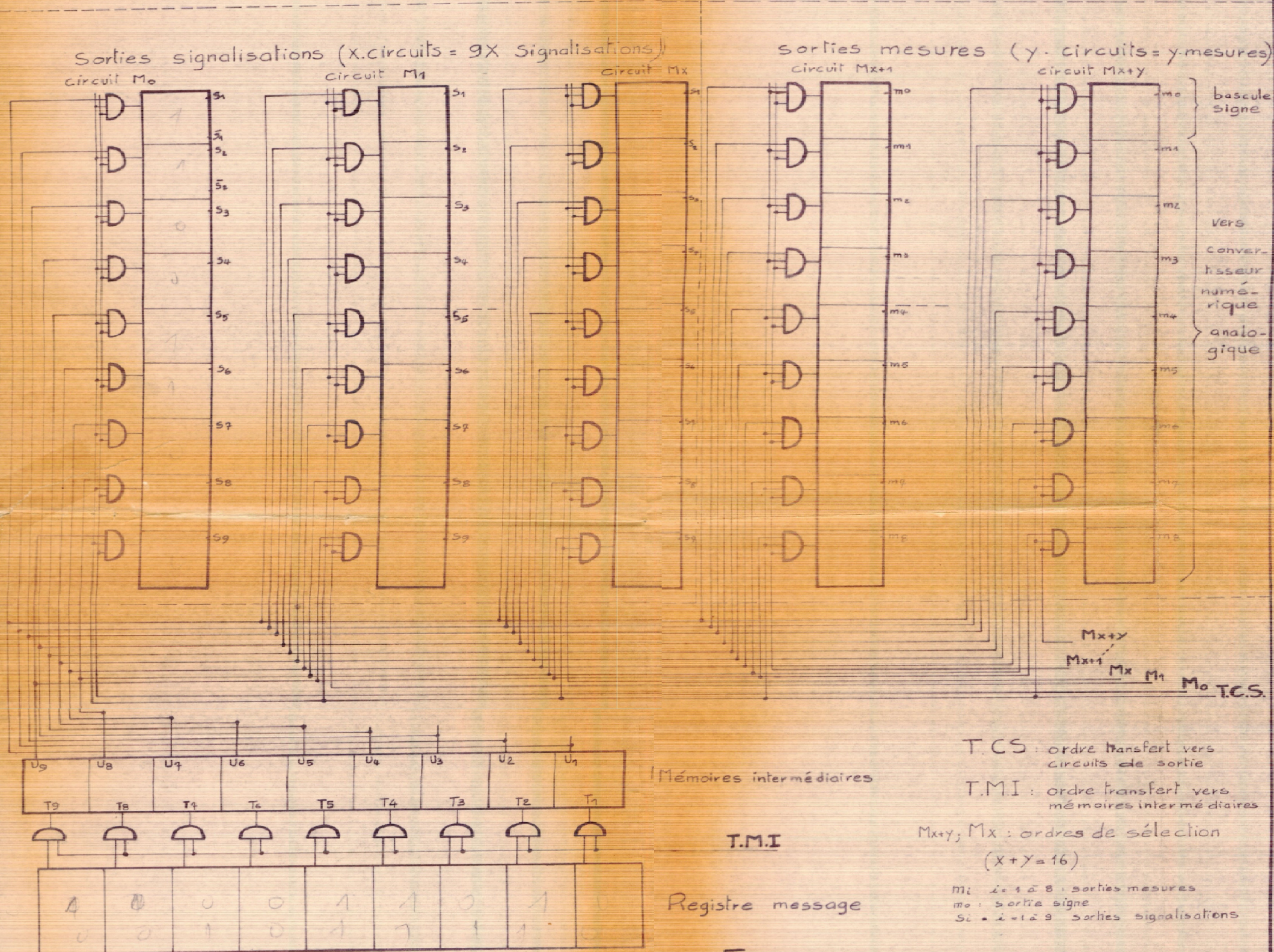


Fig 36

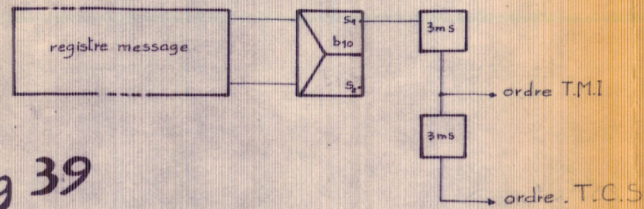
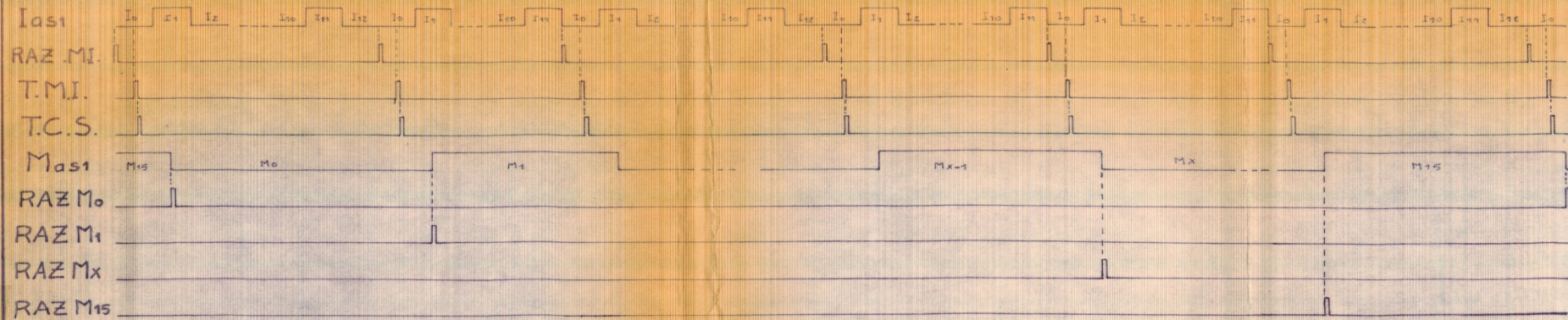


Fig 39

B. DJAMAH
A. OUSLIMANI

- Élaboration de l'ordre T.C.S
- RAZ: M.I et RAZ Circuits de sortie

