



Département d'Electronique
Laboratoire Signal & Communications

Thèse de Doctorat

Présentée par :

Mr ZOGHBI Abderrezzaq

Master/Ingénieur d'Etat en Électronique, ENP Alger

Pour l'obtention du titre de
Docteur Troisième Cycle (D/LMD) en Électronique

Thème

**Développement et implémentation d'un
algorithme adaptatif : Application au
filtrage actif de puissance**

Soutenue publiquement le 22/01/2022 devant le jury composé de :

Président :	M. Chérif LARBES	Professeur	ENP
Directeur de thèse :	M. Daoud BERKANI	Professeur	ENP
Examineurs :	Mme. Latifa HAMAMI	Professeur	ENP
	M. Salim CHITROUB	Professeur	USTHB
	M. Mohamed DJENDI	Professeur	Université de Blida

ENP 2022



Département d'Electronique
Laboratoire Signal & Communications

Thèse de Doctorat

Présentée par :

Mr ZOGHBI Abderrezzaq

Master/Ingénieur d'Etat en Électronique, ENP Alger

Pour l'obtention du titre de
Docteur Troisième Cycle (D/LMD) en Électronique

Thème

**Développement et implémentation d'un
algorithme adaptatif : Application au
filtrage actif de puissance**

Soutenue publiquement le 22/01/2022 devant le jury composé de :

Président :	M. Chérif LARBES	Professeur	ENP
Directeur de thèse :	M. Daoud BERKANI	Professeur	ENP
Examineurs :	Mme. Latifa HAMAMI	Professeur	ENP
	M. Salim CHITROUB	Professeur	USTHB
	M. Mohamed DJENDI	Professeur	Université de Blida

ENP 2022

يُعدُّ التَّشَوُّهُ التَّوَاظُفِيُّ فِي أَنْظَمَةِ الطَّاقَةِ مُشْكِلَةً حَرِجَةً تَمَّتْ دِرَاسَتُهَا عَلَى نِطَاقٍ وَاسِعٍ بِسَبَبِ تَأْثِيرِهَا الضَّارِّ عَلَى المَعْدَّاتِ والشَّبَكَاتِ الكَهْرِبَائِيَّةِ. أَحَدُ الحُلُولِ الأَكْثَرِ اسْتِخْدَامًا لِهَذِهِ المَشْكَلةِ هُوَ المُرْشِجُ النَشْطُ المَتَوَازِي FAP. تَتَعَلَّقُ فَعَالِيَّةُ هَذَا الأَخِيرِ أَسَاسًا بِالطَّرِيقَةِ المُسْتَعْمَلَةِ لِتَقْدِيرِ التَّوَاظُفِيَّاتِ. فِي هَذَا السِّبَاقِ، يُقَدِّمُ هَذَا العَمَلُ طَرِيقَةً تَحْكُمُ فَعَالَةً تَهْدَفُ إِلَى تَحْسِينِ عَمَلِيَّةِ تَقْدِيرِ وإِزَالَةِ التَّوَاظُفِيَّاتِ بِوَاسِطَةِ المُرْشِجِ FAP. تَعْتَمِدُ الطَّرِيقَةُ المُقْتَرَحَةُ عَلَى اسْتِعْمَالِ المُرْشِحَاتِ التَّكْيُفِيَّةِ الَّتِي تَمْتَنُّ بِقُدْرَتِهَا عَلَى تَكْيُفِيفِ حَصَائِصِهَا تَلْقَائِيًّا. يَتِمُّ تَطْبِيقُ المُرْشِجِ المُقْتَرَحِ، الِذِي يَعْتمِدُ عَلَى حَوَازِرِ مِيَّةِ التَّكْيُفِيفِ VLLMS، مَعَ نَسْخَةِ مُعَدَّلَةٍ مِنْ نَظَرِيَّةِ القُدْرَةِ اللَّخْطِيَّةِ PQ. هَذَا مَا يَسْمَحُ بِتَحْسِينِ أَدَائِهَا الدِّيْنَامِيكِيِّ مُقَارَنَةً بِاسْتِخْدَامِ المُرْشِحَاتِ التَّقْلِيدِيَّةِ الَّتِي لَا تَتَغَيَّرُ بِمُرُورِ الوَقْتِ، وَبِتَدَارُكِ سَلْبِيَّاتِهَا فِي حَالَةِ الجُهْدِ غَيْرِ الجَيِّبِيِّ. تَمَّتْ مُحَاكَاةُ نُمُودِجِ FAP المَدْرُوسِ فِي بَرْمَجِيَّةِ SIMULINK بِاسْتِخْدَامِ ظُرُوفِ مُخْتَلِفَةٍ لِمُصَدِّرِ التِّيَّارِ، وَحَالَاتٍ مُتَعَدِّدَةٍ مِنَ الأَحْمَالِ غَيْرِ الخَطِيَّةِ وَغَيْرِ المَتَوَازِيَّةِ. قُمْنَا أَيْضًا بِمُقَارَنَةِ سُلُوكِ هَذَا النَّمُودِجِ بِالطَّرِيقِ المُقْتَرَحَةِ سَابِقًا. تُشِيرُ نَتَائِجُ المُحَاكَاةِ إِلَى تَحْسِينِ كَبِيرٍ فِي الاسْتِجَابَةِ الدِّيْنَامِيكِيَّةِ لِأَقْلٍ مِنْ رُبْعِ دَوْرٍ فِي أسْوَاءِ الحَالَاتِ، عِلَاوَةً عَلَى تَحْسِينِ إضَافِيٍّ فِي قِيَمَةِ THD فِي الحَالَةِ المُسْتَقْبَرَةِ.

مِنْ أَجْلِ التَّحَقُّقِ مِنْ دَقَّةِ هَذِهِ النَتَائِجِ، قُمْنَا بِبَرْمَجَةِ نِظَامِ التَّحْكُمِ بِاسْتِخْدَامِ نُمُودِجِ البَرْمَجَةِ LOOP-THE-IN-FPGA. تُشِيرُ النَتَائِجُ الَّتِي تَمَّ التَّحَصُّلُ عَلَيْهَا إِلَى تَطَابُقٍ كَامِلٍ مَعَ نَتَائِجِ المُحَاكَاةِ، مَعَ تَسْجِيلِ انخِصَافٍ مُلْحُوظٍ فِي مِقْدَارِ اسْتِخْدَامِ مَوَارِدِ بَطَّاقَةِ FPGA مُقَارَنَةً بِالطَّرِيقِ السَّابِقَةِ. بِالإِضَافَةِ إِلَى ذَلِكَ، تَمَّتْ بَرْمَجَةُ المُرْشِجِ المُقْتَرَحِ كَجُزءٍ مِنْ نِظَامِ مُبَرْمَجِ SOPC. وَهَذَا مَا أَكَّدَ تَفُوقَ الطَّرِيقَةِ المُقْتَرَحَةِ مِنْ حَيْثُ الكِفَاةَةُ الحِسَابِيَّةُ وَوَقْتُ التَّنْفِيزِ. **الكلمات الدالة:** المُرْشِجُ النَشْطُ المَتَوَازِي، نَظَرِيَّةُ القُدْرَةِ اللَّخْطِيَّةِ، التَّوَاظُفِيَّاتِ، المُرْشِحَاتُ التَّكْيُفِيَّةِ، SOPC.

Abstract

Harmonic distortion in power systems is a critical issue that has been investigated extensively due to its harmful effect on equipment and electrical networks. One of the most used solutions to this problem is the shunt active power filter (SAPF). The operation of this last is mostly related to the harmonic estimation approach employed in it. In this context, this work introduces an efficient control approach to enhance the performance of harmonics identification and mitigation using the SAPF. This approach is based on adaptive filters favored by their built-in automatic parameters adaptation capability. The proposed filter, which uses a VLLMS adaptation, is applied with a modified instantaneous power PQ theory. This enhances its dynamic performance over the use of conventional time-invariant filters and overcomes its limitations in the presence of non-sinusoidal voltage conditions.

The studied SAPF model is simulated in SIMULINK using different conditions of source voltage and various combinations of non-linear and unbalanced loads. We have also compared the behavior of the system to the previously proposed methods. Simulation results indicate a significant improvement in the transient response to less than a quarter of a cycle in its worst case, on top of additional improvements in the steady-state THD value.

In order to validate these results, we have implemented the control system using "FPGA in the loop" prototyping approach. The obtained results indicate a total match with simulation results in addition to a significant reduction of hardware resources use compared to previous methods. Moreover, the proposed filter was implemented as a part of a programmable system SOPC, which allows to confirm the superiority of the algorithm in terms of computation efficiency and execution time.

Key words: Shunt active power filter, instantaneous power theory, harmonics, adaptive filters, SOPC.

Résumé

La distorsion harmonique dans les systèmes de puissance est un problème critique qui a été étudié de manière approfondie en raison de son effet nocif sur les équipements et les réseaux électriques. L'une des solutions les plus utilisées pour ce problème est le filtre actif parallèle (FAP). Le fonctionnement de ce dernier est principalement lié à l'approche d'estimation d'harmoniques qui y est utilisée. Dans ce contexte, ce travail introduit une approche de contrôle efficace pour améliorer les performances d'identification et d'atténuation des harmoniques en utilisant le FAP. Cette approche est basée sur les filtres adaptatifs favorisés par leur capacité d'adaptation automatique des paramètres. Le filtre proposé, qui utilise une adaptation VLLMS, est appliqué avec une version modifiée de la méthode de puissances instantanées PQ. Cela permet d'améliorer ses performances dynamiques par rapport à l'utilisation de filtres conventionnels invariants dans le temps, et d'éviter ses problèmes dans le cas des tensions non sinusoïdales.

Le modèle du FAP étudié est simulé dans SIMULINK en utilisant des différentes conditions de la tension d'alimentation et des diverses combinaisons de charges non linéaires et déséquilibrées. Nous avons également comparé le comportement du système aux méthodes proposées précédemment. Les résultats de simulation indiquent une amélioration significative de la réponse transitoire à moins d'un quart de cycle dans les pires des cas, en plus d'une amélioration supplémentaire de la valeur THD en régime permanent.

Afin de valider ces résultats, nous avons implémenté le système de contrôle en utilisant le prototypage «FPGA in the loop». Les résultats obtenus indiquent une correspondance totale avec les résultats de la simulation en plus d'une réduction de la quantité d'utilisation des ressources matérielles par rapport aux méthodes précédentes. De plus, le filtre proposé a été implémenté comme une partie d'un système programmable SOPC. Ceci a permis de confirmer sa supériorité en termes d'efficacité de calcul et du temps d'exécution.

Mots clés : Filtre actif parallèle, théorie des puissances instantanées, harmoniques, filtres adaptatifs, SOPC.

Remerciements

Je remercie tout d'abord **ALLAH** de m'avoir prêté santé et volonté pour mener à terme cette thèse du doctorat.

Je profite cette occasion pour exprimer ma sincère gratitude à mes directeurs de thèse : Professeur **BERKAN Daoud**, et Professeur **SADOUN Rabah** pour leurs précieux conseils, leurs encouragements, leurs discussions techniques novatrices et pour me fournir toutes les facilités nécessaires tout au long de ce travail.

Je tiens à exprimer ma profonde gratitude et mes remerciements les plus vifs à Monsieur **LARBES Chérif**, Professeur au Département d'Electronique, Ecole Nationale Polytechnique d'Alger, pour avoir fait l'honneur d'accepter de présider le jury de cette soutenance.

Je tiens également à remercier vivement les membres de jury : Madame **HAMAMI Latifa**, professeur à l'école nationale polytechnique, Monsieur **CHITROUB Salim**, Professeur à l'USTHB et Monsieur **DJENDI Mohamed**, Professeur à l'Université de Blida pour m'avoir fait l'honneur d'accepter d'examiner et d'évaluer ce travail.

J'exprime ma plus grande admiration envers **ma famille** pour les bénédictions, les sacrifices, les encouragements et le soutien moral qu'ils m'ont apporté tout au long de ma carrière.

Du fond du cœur, je remercie **toutes** les personnes m'ayant aidé de près ou de loin à mener ce travail.

Dédicaces

Je dédie ce modeste travail,

A mes très chers parents, pour leur soutien et la patience dont ils ont fait preuve durant toutes les années de ma formation ;

A ma grande famille ;

A mes enseignants ;

A mes amis et collègues ;

A tous ceux qui m'aiment et qui me souhaitent le bonheur ;

Table des matières

Liste des figures

Liste des tableaux

Liste des symboles

Liste des abréviations

Introduction générale	15
1 Problèmes des harmoniques et solutions	17
Introduction	18
1.1 Problématique des harmoniques	18
1.1.1 Description des harmoniques	18
1.1.2 Origine des harmoniques	19
1.1.3 Effets des harmoniques	21
1.1.3.1 Conséquences générales des harmoniques	21
1.1.3.2 Effets des harmoniques sur les équipements	21
1.1.4 Mesure et caractérisation des harmoniques	23
1.1.4.1 Taux de distorsion harmonique (THD)	23
1.1.4.2 Facteur de puissance	23
1.1.5 Normes en vigueur	24
1.2 Solutions de dépollution du réseau électrique	25
1.2.1 Connexion des transformateurs	25
1.2.2 Utilisation des banques de condensateurs	25
1.2.3 Filtrage passif	26
1.2.4 Filtrage actif	26
1.2.4.1 Description générale	27
1.2.4.2 Comparatif des topologies	29
1.3 Filtre actif parallèle (FAP)	30
1.3.1 Structure générale du FAP	30
1.3.2 Contrôle du FAP	31
1.3.3 Identification des courants de référence	31
1.3.3.1 Etat de l'art sur les méthodes d'identification	32
1.3.3.2 Principaux méthodes d'identification	32
1.3.3.3 Discussion sur les méthodes étudiées	35
1.3.4 Boucle interne de contrôle du courant	36
1.3.4.1 Commande par modulation MLI	36
1.3.4.2 Commande à hystérésis	37
1.3.5 Boucle de régulation de la tension continue	39
1.4 Positionnement de notre étude	40
1.4.1 Limites des méthodes d'identification	41

1.4.2	Motivations et intérêt des filtres adaptatifs	41
1.4.3	Vérification et validation des résultats	42
1.4.4	Implémentation matérielle de l'algorithme proposé	42
1.4.5	Les contributions de la thèse	43
1.5	Conclusion	44
2	La méthode proposée pour l'identification des courants de référence	45
	Introduction	46
2.1	La méthode des puissances instantanées	46
2.1.1	Théorie des puissances instantanées : application sur un réseau équilibré à 3 fils	46
2.1.2	Discussion sur la méthode PQ originale	51
2.2	Présentation de la méthode d'identification appliquée	53
2.2.1	Méthode PQ modifiée	53
2.2.2	Régulation de la tension continue en cas de source non-sinusoidale	54
2.2.3	Boucle interne de contrôle du courant	56
2.2.4	L'algorithme d'extraction de la composante DC de la puissance	56
2.3	L'algorithme de filtrage proposé	58
2.3.1	Etat de l'art sur les algorithmes d'extraction de la composante DC	58
2.3.1.1	Les méthodes classiques de filtrage	59
2.3.1.2	Le filtre en réseau de neurones	61
2.3.1.3	Le filtre passe-bas en ondelette	62
2.3.1.4	Le filtre numérique VFFRLS	64
2.3.2	Principe du filtrage adaptatif	65
2.3.2.1	Principe de l'annulation adaptative du bruit	66
2.3.2.2	Algorithme d'adaptation LMS	67
2.3.3	Application pour l'extraction de la composante DC	68
2.3.3.1	Principe de l'adaptation VLLMS	70
2.3.3.2	L'algorithme VLLMS	70
2.4	Conclusion	74
3	Simulation & comparaison des performances	75
3.1	Présentation du modèle de simulation	76
3.2	Résultats de simulation	80
3.2.1	Analyse du système avant la mise en service du FAP	80
3.2.2	Simulation en régime permanent	82
3.2.3	Simulation en régime dynamique	88
3.3	Comparaison avec les méthodes précédentes	93
3.3.1	Le filtre passe-bas en ondelette	93
3.3.2	Le filtre numérique VFFRLS	96
3.4	Conclusion	97
4	Prototypage «FPGA in the loop» & implémentation matérielle	98
	Introduction	99
4.1	Introduction sur les FPGAs	99
4.1.1	Présentation	99
4.1.2	Architecture interne d'un FPGA	100
4.1.3	Apports des FPGAs pour la commande des systèmes de puissance	100
4.1.4	Présentation de la cible utilisée	101
4.1.4.1	Système sur puce (SoC)	101
4.1.4.2	Carte de développement DE1SOC	102

4.2	Approche N°1 : Prototypage «FPGA IN THE LOOP»	102
4.2.1	Principe	102
4.2.2	Intérêt de l'approche FIL	103
4.2.3	Flot de conception	103
4.2.3.1	Première étape : Simulation fonctionnelle	104
4.2.3.2	Deuxième étape : Génération du code HDL	104
4.2.3.3	Troisième étape : Implémentation FIL	105
4.2.4	Application pour l'algorithme de contrôle	106
4.2.4.1	Simulation fonctionnelle (en mode discret)	106
4.2.4.2	Génération du code HDL	107
4.2.4.3	Implémentation sur cible FPGA	108
4.2.5	Résultats obtenus par le prototypage FIL	109
4.3	Approche N°2 : implémentation matérielle en temps réel	112
4.3.1	Spécifications générales du prototype :	112
4.3.1.1	Principe	112
4.3.1.2	Choix d'une solution technologique	112
4.3.2	L'approche de conception	113
4.3.2.1	Les systèmes SOPC	113
4.3.2.2	Architecture des SOPC	113
4.3.2.3	Méthodologie de conception	115
4.3.3	Réalisation du prototype proposé	118
4.3.3.1	Description du prototype	118
4.3.3.2	Conception du prototype avec le «Platform designer»	120
4.3.3.3	Développement logiciel	125
4.3.4	Résultats d'implémentation	126
4.3.5	Comparaison des performances de calcul	127
4.4	Conclusion	128
	Conclusion générale	130
	Bibliographie	133

Table des figures

1.1	Exemple d'un courant déformé par les harmoniques.	19
1.2	Forme d'ondes de tension et de courant pour une charge linéaire ou non-linéaire.	20
1.3	Schéma bloc monophasé de plusieurs filtres passifs connectés en parallèle sur un réseau pollué.	26
1.4	Schéma bloc d'un filtre actif.	27
1.5	Schéma bloc d'un filtre actif série.	28
1.6	Schéma bloc d'un filtre actif parallèle.	28
1.7	Schéma bloc du filtre parallèle-série.	29
1.8	Structure et composants d'un FAP à structure tension.	31
1.9	Principe de la méthode des puissances instantanées.	33
1.10	Principe de la méthode SRF.	34
1.11	Principe de base de la boucle de contrôle du courant.	36
1.12	Principe de la modulation MLI.	36
1.13	Principe de la commande à hystérésis.	37
1.14	Bande d'hystérésis et signal de commande d'un interrupteur de puissance.	38
1.15	Exemple de régulation de la tension continue avec la méthode PQ.	39
1.16	Boucle de régulation de la tension continue.	40
2.1	Présentation de l'échange énergétique dans le repère $\alpha\beta$ pour un réseau à 3 fils	47
2.2	Séparation des parties continues et alternatives d'un signal	47
2.3	Flux d'énergies pour la compensation de la puissance réactive instantanée (sans tenir compte des pertes dans le filtre)	48
2.4	Diagramme d'extraction des courants de référence pour la méthode PQ dans le cas de la compensation de la puissance réactive instantanée.	49
2.5	Flux d'énergie pour la compensation de la puissance réactive et les harmoniques (sans tenir compte des pertes dans le filtre).	50
2.6	Diagramme d'extraction des courants de référence pour la méthode PQ dans le cas de la compensation de la puissance réactive et des harmoniques.	50
2.7	Principe de calcul des courants de référence par la méthode PQ modifiée	54
2.8	Principe de la régulation de la tension continue avec la méthode PQ modifiée	55
2.9	Modèle de la PLL appliquée.	55
2.10	Schéma de la technique de commande à hystérésis adoptée	56
2.11	Schéma globale de la méthode d'identification appliquée	57
2.12	Schéma bloc du filtre à réponse impulsionnelle finie FIR	59
2.13	Schéma bloc du filtre à réponse impulsionnelle infinie IIR	60
2.14	Exemple de réalisation d'un filtre d'ordre 4 en deux sections de biquad	61
2.15	Schéma de principe du filtre à réseau de neurones	62
2.16	Schéma de principe du filtre basé sur la transformée en ondelette	63
2.17	Schéma de principe d'un filtre en ondelette appliqué pour l'extraction de la composante DC	63
2.18	Structure d'un niveau du filtre en ondelette en utilisant la fonction mère de Haar	64

2.19	Schéma de principe d'un annulateur adaptatif de bruit [85]	66
2.20	Structure typique d'un filtre adaptatif	67
2.21	Application de l'annulateur de bruit pour l'extraction de la composante DC .	69
2.22	Principe de l'adaptation VLLMS	71
2.23	Organigramme de l'algorithme d'extraction de la composante DC avec VLLMS	73
3.1	Modélisation du réseau électrique connecté à une charge polluante.	77
3.2	Le modèle Simulink du système étudié.	77
3.3	Le bloc d'identification des courants de référence.	78
3.4	Modèle Simulink de l'algorithme VLLMS proposé.	78
3.5	Modèle simplifié d'un contrôleur à hystérésis [99].	79
3.6	Schéma du modèle appliqué pour la régulation de la tension continue.	80
3.7	Formes d'onde du courant du réseau et son spectre (a), et de la tension du réseau et son spectre (b) dans le cas d'une alimentation sinusoïdale	81
3.8	Formes d'onde du courant du réseau et son spectre (a), et de la tension du réseau et son spectre (b) dans le cas d'une alimentation non-sinusoïdale	81
3.9	Résultats de simulation en régime permanent dans le cas N°1.	82
3.10	Courbe de régulation de la tension du bus continue V_{dc} dans le cas N°1.	83
3.11	Formes d'onde de la puissance active P et réactive Q dans le cas N°1.	83
3.12	Résultats de simulation en régime permanent dans le cas N°4.	84
3.13	Courbe de la régulation de la tension continue dans le cas N°4.	84
3.14	Formes d'onde de la puissance active P et réactive Q dans le cas N°4.	85
3.15	Résultats de simulation en régime permanent dans le cas N°2.	86
3.16	Résultats de simulation en régime permanent dans le cas N°3.	86
3.17	Résultats de simulation en régime permanent dans le cas N°5.	87
3.18	Résultats de simulation en régime permanent dans le cas N°6.	87
3.19	Résultats de simulation en régime transitoire dans le cas N°1.	88
3.20	Courbe de régulation de V_{dc} en régime transitoire dans le cas N°1.	89
3.21	La variation du pas μ_n en correspondance avec les variations de la composante DC de la puissance active.	89
3.22	Formes d'onde de la puissance active P et réactive Q dans les conditions du cas N°1 en utilisant VLLMS.	90
3.23	Formes d'onde de la puissance active P et réactive Q dans les conditions du cas N°1 en utilisant CLPF.	90
3.24	Résultats de simulation en régime transitoire dans cas N°2.	91
3.25	Résultats de simulation en régime transitoire dans le cas N°3.	91
3.26	Résultats de simulation en régime transitoire dans le cas N°4.	92
3.27	Résultats de simulation en régime transitoire dans le cas N°5.	92
3.28	Résultats de simulation en régime transitoire dans le cas N°6.	93
3.29	Forme d'un niveau du filtre passe-bas en ondelette WLPF.	94
3.30	Comparaison de la composante DC estimée par VLLMS et WLPF dans les conditions du cas N°1.	94
3.31	Formes d'onde des courants de source obtenues avec VLLMS et WLPF dans les conditions du cas N°1	94
3.32	Comparaison de la composante DC estimée avec VLLMS et WLPF dans les conditions du cas N°4	95
3.33	Formes d'onde des courants de source obtenues en correspondance avec les variations de la composante DC (cas N°4)	95
3.34	Modèle de l'algorithme VFFRLS étudié	96

3.35	Comparaison de la composante DC estimée par VLLMS et VFFRLS dans les conditions du cas N°1 (a) et du cas N°4 (b)	96
4.1	Architecture interne d'un FPGA [102].	100
4.2	Principe du prototypage FIL [108].	103
4.3	Principe de la simulation fonctionnelle.	104
4.4	Principe de la génération du code HDL.	105
4.5	Prototypage FIL.	106
4.6	Modèle discret du régulateur de la tension continue.	107
4.7	Composants et ports d'entrée/sortie du système de contrôle.	107
4.8	Vue globale du modèle de Co-simulation FIL.	108
4.9	Environnement de Co-simulation en utilisant le prototypage FIL.	108
4.10	Résultats de la comparaison d'un signal de commande obtenue par les deux modèle (logiciel, matériel).	109
4.11	Forme d'ondes des courants en régime permanent.	110
4.12	Forme d'ondes des courants en régime transitoire.	110
4.13	Fenêtre d'estimation par entité des ressources en utilisant le logiciel Quartus dans le cas du filtre VFFRLS.	111
4.14	Architecture d'un système SOPC typique [106].	114
4.15	Modèles de communication dans un SOPC.	115
4.16	Interface utilisateur de l'outil «platform designer».	116
4.17	Les étapes d'implémentation matérielle selon Altera.	117
4.18	Interface utilisateur de l'outil Nios II EDS pour eclipse.	118
4.19	Schéma de principe du prototype proposé.	119
4.20	Plan d'intégration des composants du system dans l'outil «Platform designer».	120
4.21	Schéma bloc du processeur NIOS [117].	121
4.22	Exemple de connexion du processeur NIOS avec le HPS [121].	123
4.23	Fenêtre de l'outil NIOSII EDS après l'exécution de l'algorithme VLLMS.	125
4.24	Environnement expérimentale.	126
4.25	Résultats d'implémentation de l'algorithme VLLMS.	126
4.26	Résultats d'implémentation des algorithmes précédents.	127
4.27	Résultats du profilage en utilisant le module «performance counter».	128

Liste des tableaux

1.1	Limites des harmoniques de courant selon la norme IEEE519 [1]	24
1.2	Limites des harmoniques de tension selon la norme IEEE519 [1]	25
1.3	Comparaison des topologies des filtres actifs	29
3.1	Les différents cas de simulation étudiés	76
3.2	Les paramètres du modèle de simulation adopté	77
3.3	Valeurs de conception de l'algorithme VLLMS proposé	78
3.4	Les résultats de mesure des valeurs du THD dans les différents cas de simulation	85
4.1	La complexité de calcul des algorithmes.	111
4.2	Estimation des ressources matérielles utilisées par les algorithmes de filtrage.	111
4.3	Estimation du temps d'exécution des algorithmes.	127

Liste des symboles

FP	Facteur de puissance
h	Rang de l'harmonique
i_s	Courant de source
i_c	Courant de la charge
i_f	Courant du filtre
i_{ref}	Courant de référence
i_d	Composante directe du courant
i_q	Composante en quadrature du courant
V_s	Tension de source
p	Puissance instantanée active
\bar{p}	Partie continue de la puissance active
\tilde{p}	Ondulations de la puissance active
p_{dc}	Puissance nécessaire à la régulation de la tension continue
q	Puissance instantanée réactive
\bar{q}	Partie continue de la puissance réactive
\tilde{q}	Ondulations de la puissance réactive
S	Puissance apparente
THD_i	Taux de distorsion harmonique de courant
THD_v	Taux de distorsion harmonique de voltage
TDD	taux de distorsion de la demande totale
V_{dc}	Tension continue de l'onduleur
L_f	Inductance du filtre de sortie
R_f	Résistance du filtre de sortie
μ_n	Pas d'adaptation variable
γ_n	Facteur de fuite variable
d_n	Entrée primaire du filtre adaptatif
w_n	Les poids du filtre adaptatif
x_n	L'entrée de référence du filtre
y_n	La sortie du filtre
e_n	L'erreur de sortie du filtre
P_n	L'autocorrélation de l'erreur
J_n	La fonction de coût

Liste des abréviations

ANC	Adaptive Noise Cancelling
ASIC	Application Specific Integrated Circuit
BSP	Board Support Package
CLB	Configurable Logic Bloc
CLPF	Classic Low Pass Filter
CPU	Central Processing Unit
CSI	Current Source Inverter
DAC	Digital to Analog Converter
DC	Direct Current
DDS	Direct Digital Synthesizer
DPC	Direct Power Control
DSP	Digital Signal Processing or Processor
FAP	Filtre Actif Parallèle
FEM	Force Electro-Motrice
FFT	Fast Fourier Transform
FIL	FPGA In The Loop
FIR	Finite Impulse Response
FPGA	Field Programmable Gate Array
FPH2	Floating Point Hardware version 2
GPP	General Purpose Processor
HAL	Hardware Abstraction Layer
HB	Hysteresis Band
HDL	Hardware Description Language
HLS	High Level Synthesis
HPS	Hardware Processing System
IEC	International Electrotechnical Commission
IEEE	Institute of Electrical and Electronics Engineers
IGBT	Insulated Gate Bipolar Transistor
IIR	Infinite Impulse Response
IOB	Input Output Bloc
IP	Intellectual Property
KF	Kalman Filter
LMS	Least Mean Square
LPF	Low Pass Filter
LUT	Look Up Table
LWT	Lifting Wavelet Transform
MAF	Moving Average Filter
MLI	Modulation de Largeur d'Impulsion
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
MRA	Multi Resolution Analysis

PCC	Point of Common Coupling
PI	Proportional Integral
PLD	Programmable logic Device
PLL	Phase Locked Loop
RISC	Reduced Instruction Set Computing
RLS	Recursive Least Squares
RMS	Root Mean Square
RTL	Register Transfer Level
SOC	System On Chip
SOF	Sram Object File
SOPC	System On Programmable Chip
SRAM	Static Random Access Memory
SRF	Synchronous Reference Frame
TDD	Total Demand Distorsion
THD	Total Harmonic Distorsion
VFFRLS	Variable Forgetting Factor Recursive Least Square
VLLMS	Variable Leaky Least Mean Square
VSI	Voltage Source Inverter
WLPF	Wavelet Low Pass Filter
WT	Wavelet Transform
WWT	Windowed Wavelet Transform

Introduction générale

Ces dernières années, l'utilisation intensive des dispositifs de l'électronique de puissance dans les systèmes électriques a conduit à une pollution harmonique élevée dans les réseaux électriques. Ces dispositifs, malgré leurs effets indésirables, sont indispensables pour le bon fonctionnement des systèmes de conversion d'énergie et des sources d'énergies renouvelables (éoliennes, panneaux photovoltaïques ... etc). Cette importance technique et économique s'est traduite par une croissance considérable de l'utilisation de ces dispositifs. En conséquence, la problématique des harmoniques est devenue très répandue et a entraîné une dégradation significative de la qualité de l'énergie.

Afin de pallier aux problèmes de la pollution harmonique, plusieurs solutions ont été proposées pour annuler ou minimiser les harmoniques générées dans le réseau électrique. La solution classique est l'utilisation des filtres passifs. Ces filtres, malgré leur simplicité et leur faible coût, posent de nombreux problèmes tels que : la possibilité de résonance avec les éléments du réseau et le manque d'adaptabilité aux variations du réseau et de la charge. Dans le but de surmonter les limites des filtres passifs, une solution relativement moderne basée sur la technologie des dispositifs à semi-conducteurs a été largement utilisée. Il s'agit des filtres actifs proposés en différentes topologies (série, parallèle et série-parallèle). Le principe de fonctionnement du filtre actif parallèle, qui est la topologie la plus couramment utilisée, est de détecter les composantes harmoniques du courant de la charge polluante et d'injecter des courants de compensation de même amplitude et de phase opposée en se basant sur un algorithme de contrôle. Les performances d'élimination des harmoniques par filtrage actif parallèle sont reliées principalement à la méthode d'estimation des harmoniques (ou identification des courants de référence), ainsi que la stratégie de contrôle appliquée.

La méthode d'identification des courants de référence est une partie cruciale dans l'opération des filtres actifs parallèles. De ce fait, cette partie de la stratégie de contrôle a suscité l'intérêt des chercheurs afin de répondre aux exigences imposées par les normes de la qualité de l'énergie électrique, notamment en présence des contraintes telles que la perturbation du réseau d'alimentation et les variations des charges polluantes. Dans ce contexte, l'objectif de cette thèse est de contribuer à l'amélioration des performances d'identification des harmoniques en introduisant une nouvelle approche de contrôle basée sur les filtres adaptatifs.

L'objectif est ainsi de développer un algorithme de filtrage qui sera appliqué pour identifier efficacement les harmoniques en présence d'une tension d'alimentation perturbée et avec des différentes situations de variation des charges polluantes. L'algorithme développé est ensuite comparé aux autres algorithmes proposés dans la littérature.

De façon à atteindre ces objectifs de recherche, ce mémoire est divisé en quatre chapitres :

Le premier chapitre est consacré à la description de la problématique des harmoniques et les solutions de dépollution. En premier temps, nous présenterons les caractéristiques, les origines, les conséquences et les normes inhérentes aux perturbations harmoniques. Ensuite,

nous décrirons les solutions classiques et modernes de dépollution avant de choisir le filtre actif parallèle (FAP) comme solution. Nous illustrons par la suite les composants du FAP et son système de contrôle avec une revue sur les méthodes d'identification des courants de référence existantes dans la littérature. Ceci nous permet en fin de ce chapitre de bien positionner notre étude en soulignant les motivations et les contributions apportées par les travaux de thèse réalisés.

Dans le second chapitre, l'approche d'identification des courants de référence adoptée dans notre travail sera présentée en détail. Cette approche est basée sur l'utilisation de la méthode bien connue des puissances instantanées PQ. Dans ce chapitre, la forme originale de la méthode PQ est d'abord illustrée en soulignant ses inconvénients. Par la suite, les modifications apportées sur cette méthode sont introduites. Dans ce contexte, nous exposons un état de l'art détaillé sur les méthodes d'extraction de la composante continue de la puissance active, avant que notre approche basée sur le filtrage adaptatif sera introduite et discutée en fin de ce chapitre.

Le troisième chapitre porte sur la modélisation et la simulation fonctionnelle du FAP. Dans ce chapitre, tous les composants du système étudié (réseau, charge polluante et filtre actif) sont simulés en MATLAB/SIMULINK. Le comportement du FAP est étudié en appliquant l'approche de contrôle proposée dans des différentes conditions de tension d'alimentation et avec plusieurs scénarios de charges polluantes. Les résultats de simulation sont ainsi illustrés et analysés. Par la suite, une étude comparative est effectuée avec les principales méthodes proposées précédemment.

Le dernier chapitre est consacré à la validation expérimentale de l'algorithme proposé. Pour cela, deux approches de validation seront entamées. La première consiste à une approche de Co-simulation «FPGA in the loop», dans laquelle la partie contrôle est implémentée dans une cible FPGA, le comportement du système est étudié et les résultats obtenus sont ainsi illustrés et comparés avec ceux obtenus par la simulation fonctionnelle. D'une autre part, les ressources matérielles utilisées par l'algorithme proposé sont analysées et comparées. La deuxième approche consiste à l'implémentation matérielle de la partie concernée de l'algorithme de contrôle comme une partie d'un système programmable sur puce (SOPC). Dans ce cas, l'algorithme proposé est testé en temps réel en analysant ses performances en termes de complexité de calcul et de temps d'exécution. Les résultats obtenus sont présentés et discutés.

Une conclusion générale de ce travail ainsi que des perspectives clôturent le document.

Chapitre

1

Problèmes des harmoniques et solutions

Introduction

La problématique des harmoniques ou appelé «pollution harmonique» a dernièrement attiré l'attention des chercheurs et des professionnels en raison de son grave impact sur la qualité de l'énergie et le fonctionnement des équipements industriels. Ce problème est devenu très courant en raison de l'utilisation croissante des charges non linéaires connectées au réseau. Ces charges ont donné lieu à des distorsions de tension et de courant dans le reste du circuit, ce qui provoque des défauts de fonctionnement dans les équipements. Pour cela, l'élimination de ces harmoniques demeure indispensable. Différentes techniques ont été mises en œuvre pour réduire ces harmoniques et afin de limiter leur impact sur la qualité de l'énergie. Les filtres passifs ont été utilisés plus tôt et ils ont été remplacés par les filtres actifs en raison de leur fiabilité et de leur bonne réponse dynamique. Dans ce premier chapitre, la description des harmoniques, leur origine, leurs effets et les normes en vigueur seront présentées avant d'étudier les solutions de dépollution existantes. Par la suite, le filtre actif parallèle, adopté dans cette thèse, est alors présenté en détail. Finalement, le positionnement de notre étude est discuté en soulignant les motivations et les contributions des travaux de thèses réalisés.

1.1 Problématique des harmoniques

La problématique des harmoniques n'est pas un phénomène nouveau. Cependant, à cause de l'utilisation croissante des charges non-linéaires connectées au réseau, cette problématique est devenue très répandue. Dans la suite de cette section, les notions élémentaires sur les harmoniques seront exposées.

1.1.1 Description des harmoniques

Les harmoniques sont des composantes sinusoïdales de tension ou de courant dont les fréquences sont des multiples entiers de la fréquence de base (fondamentale) du réseau électrique [1]. Pour mieux comprendre la notion des harmoniques, nous invoquons le principe de l'analyse en série de Fourier qui stipule que toute forme d'onde périodique peut être représentée mathématiquement comme une somme d'éléments sinusoïdaux sous forme d'une série de Fourier, qui est donnée par [2] :

$$x(t) = a_0 + \sum_{n=1}^{\infty} [a_n \cos(n\omega t) + b_n \sin(n\omega t)] \quad (1.1)$$

Où a_0 est la composante continue, a_n et b_n sont les coefficients de la série de Fourier, n est l'ordre d'harmonique et $\omega = 2\pi f$, où f est la fréquence fondamentale.

a_0 , a_n et b_n sont calculés comme suit :

$$a_0 = \frac{1}{2\pi} \int_{-\pi}^{\pi} f(\omega t) d\omega t \quad (1.2)$$

$$a_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(\omega t) \cos(n\omega t) d\omega t \quad (1.3)$$

$$b_n = \frac{1}{\pi} \int_{-\pi}^{\pi} f(\omega t) \sin(n\omega t) d\omega t \quad (1.4)$$

On considère le courant $I(t)$ déformé par des harmoniques (figure 1.1). Le courant $I(t)$ peut être décomposé en série de Fourier (équation 1.1), et il peut être écrit autrement sous la forme suivante :

$$I(t) = I_0 + \sum_{n=1}^{\infty} I_n \sin(n\omega t + \phi_n) \quad (1.5)$$

Où :

n est un nombre entier qui définit l'ordre d'harmonique.

I_0 représente la composante $0Hz$ (composante continue).

I_n est définie par : $I_n = \sqrt{a_n^2 + b_n^2}$.

ϕ_n est le déphasage de la composante harmonique n à l'instant initial ($t = 0$), il est définie par : $\phi_n = \text{Arctan}(b_n/a_n)$.

En supposant un signal sans composante continue, nous pouvons écrire :

$$I(t) = I_1(t) + \sum_{n=2}^N I_n(t) \quad (1.6)$$

Avec $I_1(t)$ c'est l'onde fondamentale de fréquence f_1 qui correspond à ($n = 1$), et $I_n(t)$ représente les différents harmoniques d'ordre n , pour n allant de 2 jusqu'à N (peut être ∞).

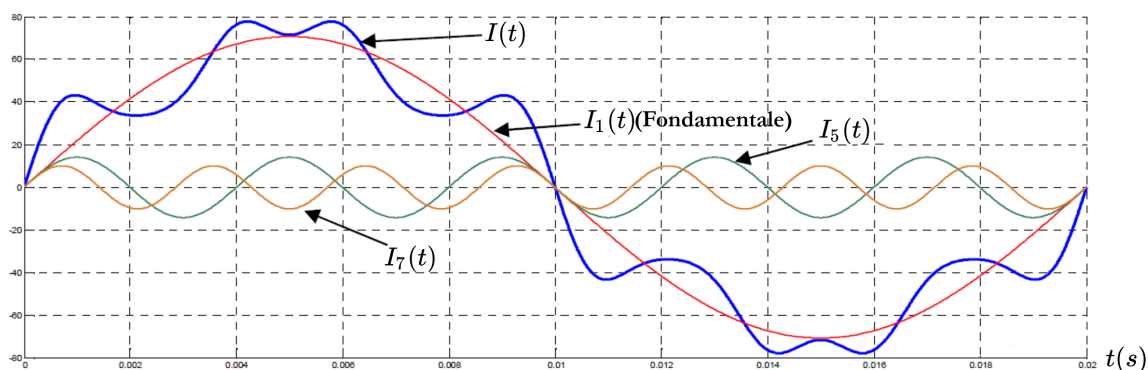


Figure 1.1: Exemple d'un courant déformé par les harmoniques.

Les harmoniques se distinguent par leur rang de type pair ou impair. Les harmoniques de rang pair (2, 4, 6, 8...), très souvent négligeables en milieu industriel, s'annulent en raison de la symétrie du signal. Ils n'existent qu'en présence d'une composante continue. Par contre, les harmoniques de rang impair (3, 5, 7, 9...) sont fréquemment rencontrés sur le réseau électrique. On note qu'il est possible d'avoir parfois d'autres perturbations avec des ordres qui ne sont pas des multiples entiers du fondamentale. Dans ce contexte, on trouve les composantes appelées inter ou infra harmoniques. Les inter-harmoniques sont des composantes sinusoïdales qui ne sont pas à des fréquences multiples de celle du fondamental (Tel que : 130 Hz, 170 Hz, 220 Hz). Les infra-harmoniques sont des composantes qui sont à des fréquences inférieures à celle du fondamental (Tel que : 10 Hz, 20 Hz). Ces deux catégories de perturbations sont dues à des variations périodiques et aléatoires de la puissance absorbée par certains appareils (fours à arc, cyclo-convertisseurs et les variateurs de vitesse...) [2].

1.1.2 Origine des harmoniques

Les équipements de l'électronique de puissance connus par «les charges non linéaires» sont principalement à l'origine des distorsions harmoniques dans les réseaux électriques. Les harmoniques sont générées quand les dispositifs non linéaires injectent des impulsions récurrentes de courant qui se propagent à travers le réseau. À cause de ces harmoniques de courant, des chutes de tension non linéaires se sont produites au point de couplage commun (PCC) dans le système de puissance [3].

Une charge est dite linéaire si la forme d'onde du courant dans le circuit a la même forme que la tension appliquée sur cette charge (figure 1.2.a). D'autre part, la forme d'onde du courant dans le cas où la charge utilisée est non-linéaire sera déformée (figure 1.2.b) [4].

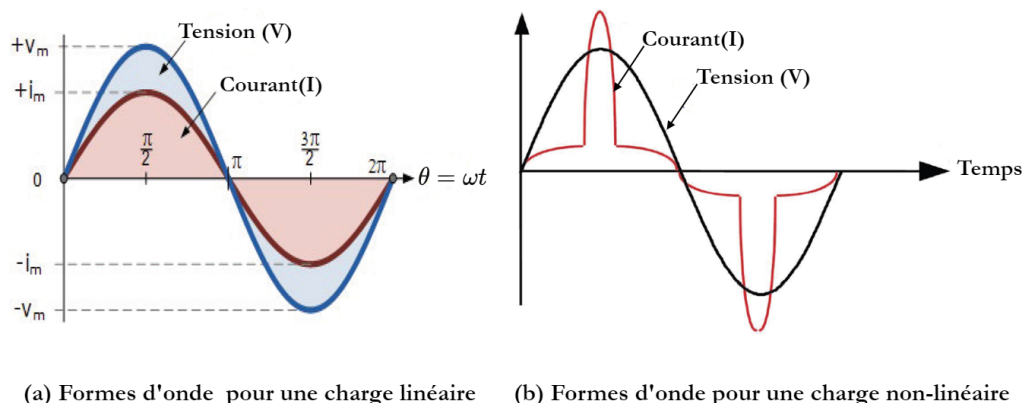


Figure 1.2: Forme d'ondes de tension et de courant pour une charge linéaire ou non-linéaire.

Une brève revue des charges produisant des harmoniques est présentée ci-dessous [5] :

- **Convertisseurs statiques de puissance :** Les convertisseurs statiques représentent la grande famille des charges non linéaires. Ces convertisseurs sont largement utilisés dans l'industrie pour convertir les tensions de l'alternative vers le continu, du continu en alternatif, de continu en continu et de l'alternatif en alternatif. La génération des harmoniques par ces dispositifs est due au phénomène de commutation du courant ce qui entraîne des entailles de tension.
- **Les Alimentations à découpage (SMPS) :** La plupart des équipements électroniques utilise une alimentation à découpage pour fournir de la tension stabilisée à l'équipement. Cette alimentation se fait à travers un condensateur qui fournit la tension à l'équipement. Par conséquent, le courant circulant vers l'alimentation est discontinu, ce qui génère des harmoniques.
- **Les fours à arc :** Les harmoniques produites par ce type de charge sont imprévisibles en raison des variations cycliques du couple mécanique. Ces variations produisent un courant de ligne non-périodique et les harmoniques générées peuvent avoir des ordres entiers comme elles peuvent également avoir des ordres non-entiers.
- **Les interfaces utilitaires avec les sources d'énergie distribuées**
Dernièrement, les sources d'énergie distribuées sont de plus en plus utilisées dans les réseaux intelligents. Par exemple : les piles à combustible, les éoliennes, les micro-turbines et les cellules solaires. Ces sources sont connectées au réseau électrique avec des différentes topologies à travers des convertisseurs de puissance d'interfaçage. En fonction de la topologie utilisée, les sorties de ces convertisseurs peuvent contenir des harmoniques de divers ordres et facteurs de puissance ce qui peut dégrader la qualité de l'énergie du réseau électrique.
- **Les charges électrodomestiques :** Dans cette catégorie, on peut citer : les téléviseurs et les éléments périphériques, les micro-ordinateurs, les fours à micro-ondes, les aspirateurs et les robots ménagers.

Comme il a été mentionné précédemment, les charges non-linéaires sont les principales causes des harmoniques. Cependant, les gains économiques liés à l'utilisation de ces dispositifs sont bien plus importants que les pertes causées par les harmoniques générées. Par conséquent, le taux de génération d'harmoniques a considérablement augmenté [6].

1.1.3 Effets des harmoniques

Dans la présente section, les effets des harmoniques sont étudiés. En premier temps, les conséquences générales des harmoniques sont citées. Par la suite, leurs effets sur les différents équipements industriels sont exposés séparément.

1.1.3.1 Conséquences générales des harmoniques

Les harmoniques générées par les charges non linéaires se propagent à travers le réseau électrique. En plus de l'augmentation des pertes de puissance, cette propagation affecte également le fonctionnement normal des équipements industriels et des appareils connectés au réseau, avec les conséquences négatives typiques résumées ci-dessous [4][7] :

1. Pertes excessives, échauffement, et oscillations dans les machines tournantes et les machines synchrones, ce qui peut donner lieu à des contraintes de torsion.
2. Surtensions et courants excessifs dans les systèmes de puissance à cause de la résonance.
3. Génération des flux harmoniques et augmentation de la densité du flux dans les transformateurs ce qui entraîne des échauffements par courants de Foucault.
4. Dégradation des câbles en raison de l'échauffement supplémentaire engendré par les courants de Foucault.
5. Interférence inductive avec les circuits de télécommunication.
6. Interférence et perturbation du signal dans les systèmes à semi-conducteurs et les systèmes contrôlés par microprocesseur.
7. Dysfonctionnement des relais.
8. Interférence des harmoniques avec les systèmes de commande par commutation, provoquant un mauvais fonctionnement des systèmes de contrôle de charge et de mesure.
9. Interférence avec les grands contrôleurs de moteurs et les systèmes d'excitation des centrales électriques.
10. Fonctionnement instable des circuits de déclenchement basé sur la détection du passage par zéro de tension.

1.1.3.2 Effets des harmoniques sur les équipements

La pollution harmonique a des effets nuisibles sur le fonctionnement, la rentabilité et la durée de vie des équipements électriques. Dans le texte qui suit, nous citons brièvement les effets des harmoniques sur les équipements utilisées souvent dans les réseaux électriques :

- **Condensateurs**

Les condensateurs sont très affectés par les courants harmoniques. La superposition de ces courants avec la composante fondamentale engendre des pertes supplémentaires qui peuvent excéder la capacité thermique des condensateurs et réduire considérablement leur durée de vie [8]. Les harmoniques provoquent également le dysfonctionnement des banques de condensateurs en raison de la puissance réactive augmenté [7]. De plus, si un condensateur au sein du système est près d'une fréquence harmonique, un courant ou une tension élevée à la fréquence de résonance serait produite [9].

- **Disjoncteurs et fusibles**

Selon les études effectuées en [10] et [11], les harmoniques du courant peuvent affecter le pouvoir de coupure des disjoncteurs magnéto-thermiques.

- **Equipements électroniques**

Nous citons ici plusieurs scénarios présentant les influences graves des harmoniques sur les équipements industriels. Le premier exemple concerne le problème de la détection multiple du passage par zéro de tension, qui est généralement utilisé à des fins de synchronisation [9]. En fait, le fonctionnement de certains commutateurs de l'électronique de puissance est basé sur la détection du point de passage de tension par zéro afin de diminuer les interférences électromagnétiques. Cependant, la distorsion harmonique provoque des multiples passages par zéro qui peuvent perturber le fonctionnement de l'équipement électronique (par exemple l'horloge) [9]. D'une autre part, certaines alimentations électroniques utilisent la tension de crête de la forme d'onde pour maintenir les condensateurs du filtre à pleine charge. Cependant, la distorsion de la tension peut augmenter ou atténuer le pic de la forme d'onde et avec une distorsion sévère, le fonctionnement de l'équipement peut être perturbé [9]. Un autre problème concerne les écrans vidéo, où les harmoniques fractionnaires et les sous-harmoniques peuvent affecter l'image du tube cathodique [12].

- **Lampe d'éclairage**

Les lampes à incandescence sont sensibles à la variation des niveaux de tension d'alimentation. Par conséquent, la possibilité de perdre ces lampes augmentera considérablement lorsqu'ils sont utilisés avec des tensions déformées [4].

- **Appareils de mesure**

Les voltmètres et les ampèremètres à réponse RMS modernes sont relativement insensibles aux influences des distorsions de la forme d'onde, car il utilise des multiplieurs électroniques. Cependant, les compteurs à réponse moyenne et les compteurs à réponse de pointe ne conviennent pas en présence des distorsions harmoniques, car ils étaient calibrés en valeur RMS [9].

- **Relais de protection**

La distorsion de la forme d'onde peut réduire les performances des relais de protection en cas de présence des défauts de faible magnitude. La distorsion peut empêcher le déclenchement du relais dans des conditions de défaut, ou elle peut causer des déclenchements en l'absence de défaut [13].

- **Machines tournantes**

Les variateurs de vitesse sont alimentés par des onduleurs qui sont généralement une source de tension déformée par les harmoniques. Ces tensions non-sinusoïdales appliquées aux machines et moteurs électriques peuvent provoquer une surchauffe, des couples pulsés, ou du bruit [9]. L'augmentation de la température de fonctionnement du moteur entraînera une réduction de la durée de vie du moteur [14].

- **Interférence téléphonique**

Le rapprochement entre les fils téléphoniques et les lignes électriques sur les poteaux électriques crée des possibilités d'interférence des fréquences de communication téléphonique. Les fréquences harmoniques du système de puissance peuvent engendrer plus de problèmes que la fréquence fondamentale, car le pic de la réponse téléphonique est proche de 1 kHz [9].

- **Transformateurs**

Les harmoniques produisent des pertes supplémentaires dans les enroulements des transformateurs ce qui conduit à un échauffement supplémentaire. Les pertes produites ne sont pas seulement dues à l'effet Joule pelliculaire, mais aussi à des courants induits dans les bobinages, le noyau et les pièces métalliques [15]. D'une autre part, la probabilité de résonance entre l'inductance du transformateur et les composants du système peut causer un autre problème [1].

1.1.4 Mesure et caractérisation des harmoniques

La mesure ou la quantification des distorsions harmoniques est très intéressante lors de la conception et l'étude des systèmes de l'électronique de puissance. Cela permet de bien caractériser les installations et de garantir une bonne qualité d'énergie. À cette fin, différents indices ont été définis. Nous citons dans ce qui suit, ceux qui sont plus utilisés :

1.1.4.1 Taux de distorsion harmonique (THD)

Le Taux de distorsion harmonique (THD pour total harmonic distortion) est l'indice le plus couramment utilisé pour mesurer la qualité de l'énergie électrique

a16. Le THD est défini pour les formes d'ondes de tension et de courant et il permet de caractériser la déformation apportée par les harmoniques par rapport à une onde sinusoïdale. Le THD d'une forme d'onde de tension peut être exprimée comme suit :

$$THD_v = \frac{\sqrt{\sum_{h=2}^{\infty} V_h^2}}{V_1} \quad (1.7)$$

Où h est l'ordre d'harmonique ($h = 1$ pour le fondamental), V_h est la tension harmonique d'ordre h en valeur efficace et V_1 est la valeur efficace du fondamental de la tension.

De même, le taux de distorsion du courant peut être exprimé par la formule suivante :

$$THD_i = \frac{\sqrt{\sum_{h=2}^{\infty} I_h^2}}{I_1} \quad (1.8)$$

Où I_h est le courant harmonique en valeur efficace à l'ordre d'harmonique N° h , et I_1 représente la valeur efficace du courant à la fréquence fondamentale.

1.1.4.2 Facteur de puissance

Le facteur de puissance est un indicateur efficace pour estimer la quantité de la puissance réactive dans le système de puissance. Le facteur de puissance (PF) est défini comme le rapport de la puissance active moyenne sur la puissance apparente de la source [15] :

$$PF = \frac{P}{S} \quad (1.9)$$

La puissance active moyenne est calculée comme suit :

$$P = \frac{1}{T} \int_0^T v_s(t) i_s(t) dt \quad (1.10)$$

$$P = \frac{1}{T_1} \int_0^{T_1} \sqrt{2} V_{s1} \sin(\omega_1 t) \sqrt{2} I_{s1} \sin(\omega_1 t - \phi_{s1}) dt \quad (1.11)$$

Donc :

$$P = V_{s1} I_{s1} \cos \phi_{s1} \quad (1.12)$$

La puissance apparente est exprimée par la relation suivante :

$$S = V_s I_s \quad (1.13)$$

En remplaçant dans 1.9, le facteur de puissance s'écrit :

$$FP = \frac{I_{s1}}{I_s} \cos \phi_{s1} \quad (1.14)$$

Avec $\cos\phi_{s1}$ qui est le facteur de déplacement du courant de source qui est égal au facteur de puissance dans le cas d'un circuit linéaire avec des courants et des tensions sinusoïdaux. Le facteur de puissance peut être écrit sous une autre forme comme suit [2] :

$$FP = \frac{\cos\phi_{s1}}{\sqrt{THD_i^2 + 1}} \quad (1.15)$$

Le facteur de puissance varie de zéro à un. Il est nul lorsque toutes les alimentations sont réactives et qu'aucun travail réel n'est effectué. Une valeur unitaire du facteur de puissance indique que toute l'alimentation électrique est consommée par les charges. Le facteur de puissance peut être utilisé pour évaluer l'efficacité énergétique d'un appareil [3].

1.1.5 Normes en vigueur

Les problèmes engendrés par les distorsions harmoniques ont conduit les organismes, tels que l'IEEE (Institute of Electrical and Electronics Engineers) et l'IEC (International Electrotechnical Commission), à élaborer des normes et des réglementations pour imposer les limites recommandées des harmoniques qui peuvent être injectés dans les réseaux de distribution. Dans cette section, les normes essentielles liées aux harmoniques sont exposées brièvement.

La norme d'harmoniques la plus couramment utilisée dans la communauté des chercheurs dans le domaine de la qualité d'énergie est la norme harmonique IEEE 519 [17]. Cette norme correspond aux pratiques et exigences recommandées par l'IEEE pour le contrôle des harmoniques dans les systèmes d'alimentation électrique [1]. Pour les clients finaux, les limites des harmoniques de courant sont définies en fonction de la capacité de court-circuit du réseau de distribution (rapport I_{sc}/I_{charge}) qui est en fait une mesure indirecte de l'impédance de distribution au PCC. Les limites sont données pour les harmoniques individuelles et pour le taux de distorsion de la demande totale (TDD). Le TDD est un taux similaire au THD_i , mais au lieu de diviser sur la valeur actuelle du fondamental I_1 , la relation est établie avec la valeur fondamentale à pleine charge. Ainsi, le TDD ne sera égal à THD_i qu'à pleine charge. Dans les autres cas, le TDD sera toujours d'une valeur inférieure à THD_i .

Les limites de TDD pour les réseaux de distribution inférieur à 69 kV sont présentés dans le tableau 1.1 (la version révisée du 2014) [1]. Par ailleurs, les limites des harmoniques de tension sont illustrées dans le tableau 1.2 en fonction des harmoniques individuels et le THD_v .

I_{Lsc}/i_{charge}	Limites des harmoniques individuelles					TDD(%)
	$h < 11$	$11 < h < 17$	$17 < h < 23$	$23 < h < 35$	$35 < h$	
< 20	4.0	2.0	1.5	0.6	0.3	5.0
$20 < 50$	7.0	3.5	2.5	1.0	0.5	8.0
$50 < 100$	10.0	4.5	4.0	1.5	0.7	12.0
$100 < 1000$	12.0	5.5	5.0	2.0	1.0	15.0
> 1000	15.0	7.0	6.0	2.5	1.4	20.0

Tableau 1.1: Limites des harmoniques de courant selon la norme IEEE519 [1]

Tension de bus V en PCC	Harmoniques individuelles	THD(%)
$V \leq 1.0kV$	5.0	8.0
$1kV < V \leq 69kV$	3.0	5.0
$69kV < V \leq 161kV$	1.5	2.5
$161kV < V$	1.0	1.5

Tableau 1.2: Limites des harmoniques de tension selon la norme IEEE519 [1]

D'autres normes sont résumées ci-dessous [18] :

- **CEI 61000-3-2 :**
Spécifie les limites d'émission du courant harmonique. Elle est applicable aux équipements électriques et électroniques ayant un courant d'entrée jusqu'à 16 A par phase et destinés à être connectés à des réseaux publics de distribution basse tension.
- **CEI 61000-3-4 :**
Elle est applicable aux équipements électriques et électroniques ayant un courant d'entrée supérieur à 16 A par phase et destinés à être connectés à des réseaux publics de distribution basse tension.
- **CEI 61000-3-12 :**
Les recommandations de cette norme sont applicables aux équipements électriques et électroniques avec un courant d'entrée nominal supérieur à 16 A, jusqu'à 75 A par phase et destinés à raccordement aux réseaux publics de distribution AC basse tension.
- **La CEI 61000-3-6 :**
Etablit les niveaux de planification pour les réseaux MT et HT ainsi que les conditions de connexion des charges perturbatrices produisant des harmoniques.

1.2 Solutions de dépollution du réseau électrique

Plusieurs techniques de réduction d'harmoniques ont été développées afin de répondre aux exigences imposées par les normes de la qualité d'énergie. Le but de ces techniques est d'avoir une forme d'onde sinusoïdale pure de manière à réduire le THD. Dans ce qui suit, nous présentons d'abord quelques solutions classiques des problèmes liés aux harmoniques, par la suite la solution moderne est exposée.

1.2.1 Connexion des transformateurs

La connexion des transformateurs est une solution classique qui a été utilisée pour réduire les harmoniques dans les systèmes triphasés. Selon le type du couplage utilisé, les transformateurs permettent la suppression de certains rangs d'harmoniques. Cependant, cela provoque l'augmentation de l'impédance de ligne, augmentant ainsi la distorsion de la tension [19].

1.2.2 Utilisation des banques de condensateurs

Dans les systèmes à moyenne et à basse tension où la distorsion harmonique est excessive, les banques de condensateurs peuvent être appliquées pour réduire la distorsion harmonique. Le facteur de puissance doit être pris en considération lors du dimensionnement du filtre optimale. L'inconvénient de cette méthode est que la puissance réactive fournie par les condensateurs est constante et elle ne s'adapte pas à l'évolution du besoin [15].

1.2.3 Filtrage passif

Les filtres passifs sont utilisés comme un circuit à faible impédance par rapport aux courants harmoniques [20]. Un filtre passif est composé par des éléments passifs comme des inductances, des condensateurs et des résistances et ils sont en générale connectés en parallèle avec les charges génératrices d'harmoniques comme le présente la figure 1.3. Le filtre peut être conçu pour un seul harmonique ou pour une bande d'harmoniques. Dans ce dernier cas, la conception sera plus complexe [3].

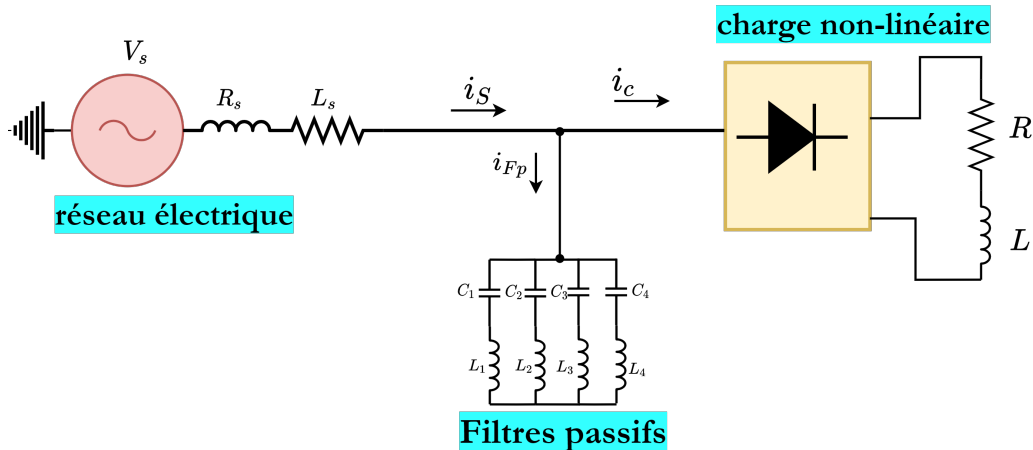


Figure 1.3: Schéma bloc monophasé de plusieurs filtres passifs connectés en parallèle sur un réseau pollué.

L'avantage des filtres passifs est qu'ils peuvent corriger le facteur de puissance à condition du dimensionnement correcte des condensateurs afin d'échanger une quantité déterminée de puissance réactive avec le réseau. De plus, ils sont relativement moins coûteux par rapport aux autres types de filtre d'harmonique, Cependant, ils présentent plusieurs inconvénients [3] :

- La conception de ses composantes L et C est difficile et peut avoir une taille volumineuse.
- La connaissance approfondie des spécifications du réseau est nécessaire pour un dimensionnement correct.
- L'impédance de la source, qui n'est pas connue précisément, influe fortement sur les caractéristiques du filtre.
- Il génère un bruit élevé.
- Dans certains cas, la résonance peut se produire entre le filtre et les composants du réseau et ainsi les fréquences proches de la fréquence de résonance risquent d'être amplifiées.
- Le filtrage passif souffre du problème d'inflexibilité. En effet, si le réseau change, il peut être difficile de s'adapter aux nouvelles exigences de filtrage.
- Le filtre passif peut absorber les courants harmoniques d'autres charges non linéaires et dans ce cas, le filtre passif peut être surchargé.

1.2.4 Filtrage actif

Bien que le progrès dans la technologie des dispositifs à semi-conducteurs ait conduit à une augmentation des distorsions harmoniques dans les réseaux de distribution, il a également apporté des solutions potentielles au problème. La méthode de filtrage actif est relativement une nouvelle technique d'élimination des harmoniques du courant de la ligne.

Le premier filtre actif a été conçu dans les années 70 grâce au développement des composants de l'électronique de puissance comme les thyristors et les transistors (IGBT). Le principe du filtrage actif sera exposé dans la prochaine section.

1.2.4.1 Description générale

Les filtres actifs de puissance sont composés d'un onduleur connecté au réseau et un système de contrôle et de commande. Le principe du filtre actif est d'injecter des courants/tensions de même amplitude que les harmoniques générées par la charge non linéaire avec un déphasage de 180 degrés afin d'annuler les harmoniques générées. La figure 1.4 présente le schéma bloc du filtre actif.

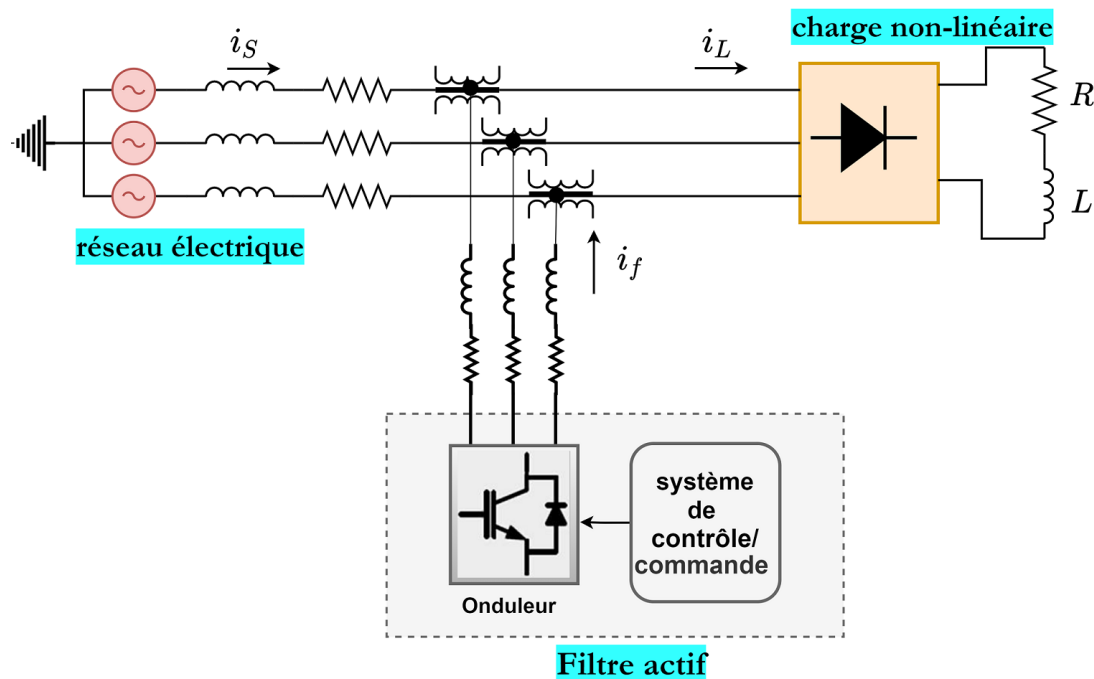


Figure 1.4: Schéma bloc d'un filtre actif.

Le filtrage actif offre plusieurs avantages par rapport aux filtres passifs présentés précédemment. Ces avantages peuvent être résumés comme suit :

- Le volume physique du filtre est réduit.
- La capacité de filtrage est supérieure.
- Le filtre actif peut ajuster dynamiquement l'impédance qu'il présente au système ce qui offre une amélioration significative en termes de flexibilité et d'adaptabilité.

Cependant, le filtrage actif présente quelques inconvénients par rapport au filtrage passif, principalement le coût élevé de son implantation.

Les filtres actifs peuvent être classés en fonction du type du convertisseur, de la topologie et du nombre de phases. Le type du convertisseur peut être un onduleur de courant (CSI) ou un onduleur de tension (VSI). L'utilisation du VSI est généralement favorisée grâce à sa haute efficacité et son coût initial réduit.

La topologie peut être parallèle (shunt), série ou une combinaison des deux (compensateur parallèle-série) [21].

a. Le filtre actif série

Ce filtre est utilisé pour compenser les distorsions de tension dans le réseau électrique. Il se comporte comme une source de tension qui s'oppose aux perturbations de la tension (harmoniques, déséquilibres, creux), ce qui permet de protéger la charge des imperfections de la tension du réseau (voir figure 1.5).

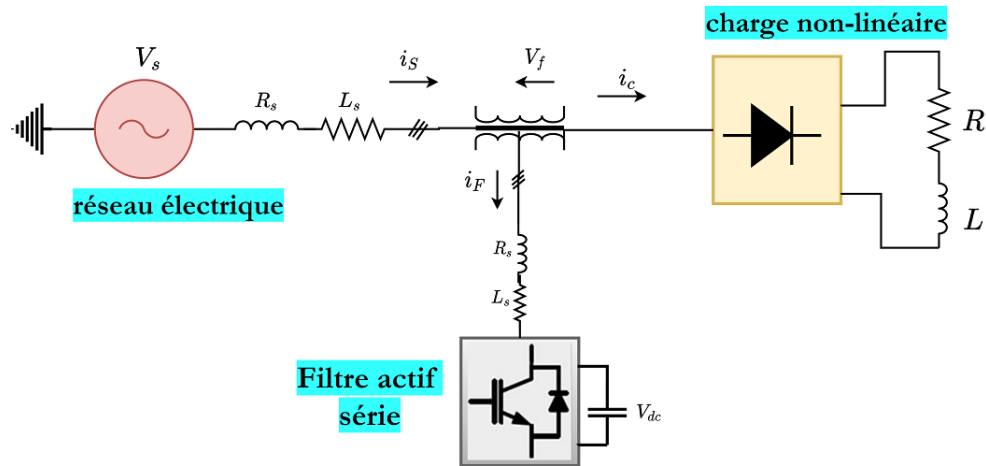


Figure 1.5: Schéma bloc d'un filtre actif série.

b. Le filtre actif parallèle

Le filtre actif parallèle (FAP), tel que présenté sur la figure 1.6, se connecte en parallèle avec le réseau de distribution. Il injecte en temps réel des composantes de courants opposées aux composantes harmoniques. Il se comporte donc comme une source de courant qui sert à compenser les courants harmoniques générées par les charges non linéaires connectées au réseau.

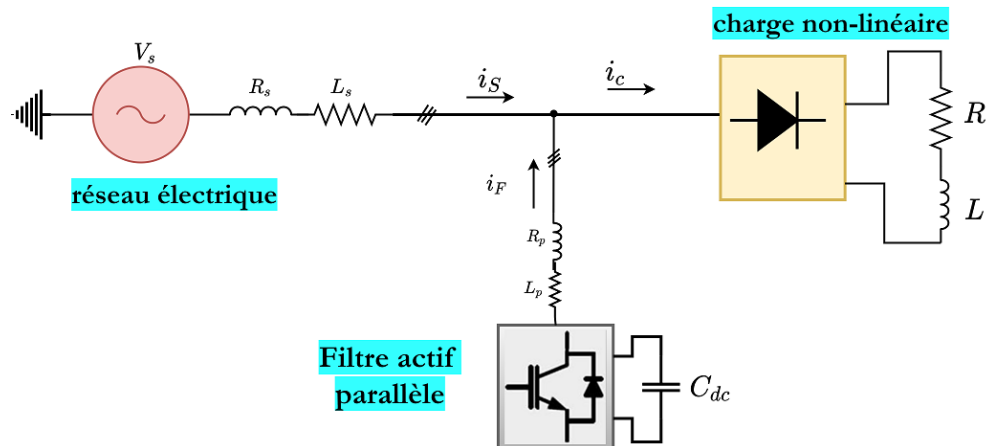


Figure 1.6: Schéma bloc d'un filtre actif parallèle.

c. Le compensateur actif parallèle-série

Cette topologie consiste à l'association des filtres actifs parallèle et série (figure 1.7), ce qui permet de bénéficier des avantages des deux types de filtres. Il s'agit donc d'une solution universelle permettant la compensation des perturbations du courant et de la tension.

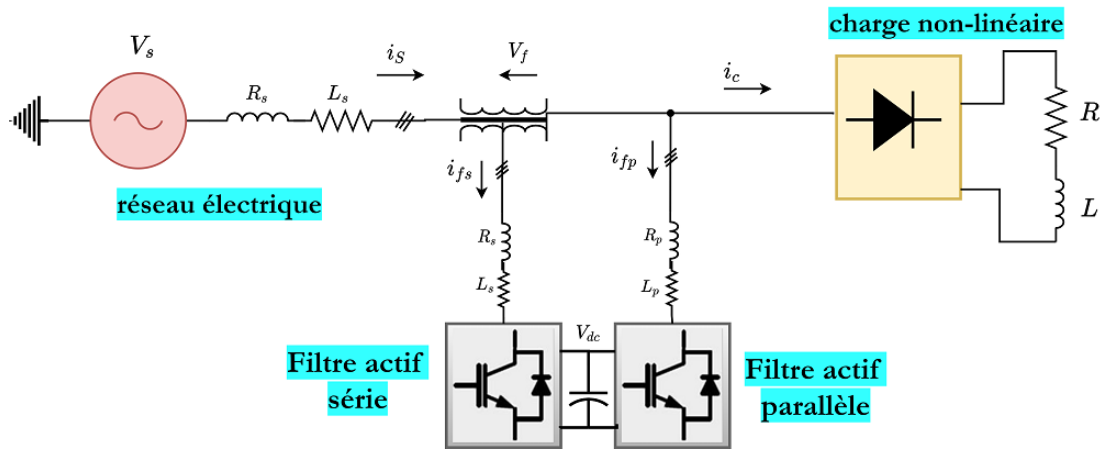


Figure 1.7: Schéma bloc du filtre parallèle-série.

La troisième classification des filtres actifs est basée sur le nombre de phases, on trouve les filtres à deux fils (monophasé) [22] et triphasé trois fils ou triphasé à quatre fils [23]. Cependant, les filtres actifs monophasés sont généralement limités aux applications de faible puissance [22]. Tandis que, les filtres actifs triphasés sont utilisés pour les charges non linéaires à haute puissance telles que les variateurs de vitesse et les convertisseurs AC/DC.

1.2.4.2 Comparatif des topologies

Le Tableau 1.3 ci-dessous résume les avantages et les inconvénients des trois topologies des filtres actifs : le filtre actif série, le filtre actif parallèle et le filtre parallèle-série. Comme le montre le tableau, le compensateur actif parallèle-série élimine toutes les distorsions que ce soit de tension ou de courant. Cependant, cette solution dite universelle est encore difficile à réaliser dans la pratique. Le FAP produira des composantes harmoniques à la même fréquence et en opposition de phase aux distorsions mesurées. Il peut compenser les courants harmoniques générées par la charge non linéaire, tout en s'adaptant aux variations des harmoniques. Cependant, la compensation des harmoniques de tension avec cette méthode n'est pas toujours évidente [19].

Topologie	Avantages	Inconvénients
Filtre actif série	<ul style="list-style-type: none"> Amélioration de la forme de la tension Adaptabilité aux variations de la charge et du réseau 	Pas d'amélioration de la forme du courant
Filtre actif parallèle	<ul style="list-style-type: none"> Amélioration de la forme du courant Adaptabilité aux variations de la charge et du réseau 	Amélioration de la forme de la tension n'est pas toujours évidente.
Filtre actif parallèle-série	<ul style="list-style-type: none"> Amélioration de la forme du courant. Amélioration de la forme de la tension. Adaptabilité aux variations de la charge et du réseau. 	Réalisation difficile.

Tableau 1.3: Comparaison des topologies des filtres actifs

Vu que les normes de la qualité d'énergie présentées précédemment sont plutôt portées sur la compensation des harmoniques de courant, et grâce aux bonnes performances obtenues par le FAP [19], nous avons choisi cette topologie pour notre étude de compensation des harmoniques. Le filtrage actif parallèle, malgré quelques contraintes de coût, reste l'une des méthodes les plus étudiées et les plus développées pour la compensation des distorsions dans les réseaux électriques basse tension [24]. Dans la prochaine section, le filtre actif parallèle (FAP) sera étudié en détail.

1.3 Filtre actif parallèle (FAP)

Le FAP est la forme la plus utilisée des filtres actifs pour l'élimination des harmoniques dans les installations électriques grâce à ces bonnes performances [24]. Dans la présente section, nous présentons la structure générale et le principe de fonctionnement d'un FAP appliquée à un réseau électrique triphasé à trois fils. Tout d'abord, nous présenterons les trois blocs principaux de la partie puissance, à savoir l'onduleur triphasé à structure tension, l'élément de stockage d'énergie et le filtre de sortie. Par la suite, la partie contrôle du modèle sera étudiée en détail.

1.3.1 Structure générale du FAP

Le FAP, appelé aussi compensateur shunt, est connecté en parallèle sur le réseau électrique. Le FAP est constitué d'un convertisseur statique à base de semi-conducteurs de puissance (structure de type onduleur), associé à un dispositif de contrôle et de commande adapté. Il peut être assimilé à une source de courant qui sert à compenser en temps réel les courants harmoniques en injectant au niveau du réseau des courants en opposition de phase avec les perturbations harmoniques identifiées.

Le FAP peut être à structure courant ou à structure tension selon le type de stockage de l'énergie, qui peut être réalisé soit par une inductance (structure courant), soit par un condensateur (structure tension). Cependant, les FAPs à structure tension sont plus fréquemment utilisés dans les applications industrielles grâce à la simplicité de leurs commandes, leur coût limité et leur taille physique réduite [25][26]. Pour ces raisons, nous avons choisi cette structure pour notre travail dans la suite de cette thèse.

La partie puissance d'un FAP à structure tension, comme on peut le voir sur la figure 1.8, est constituée par :

- **Un onduleur de tension :**

C'est un convertisseur de puissance qui utilise des interrupteurs bidirectionnels à semi-conducteur commandés à la fermeture et à l'ouverture (IGBT, MOSFET, ...) et comportant chacun une diode en antiparallèle.

- **L'élément de stockage d'énergie :**

Le FAP étudié est à structure tension dans laquelle le stockage de l'énergie est réalisé au côté continu à l'aide d'un système de stockage capacitif. L'élément de stockage est un condensateur C_{dc} jouant le rôle d'une source de tension continue.

- **Filtre de sortie :**

Le filtre de sortie est un filtre passif utilisé pour connecter l'onduleur de tension au réseau électrique. Il a pour but d'empêcher la propagation des harmoniques générées par le découpage et les commutations des interrupteurs [25][27]. Généralement, un filtre de premier ordre composé d'une inductance L_f avec sa résistance interne R_f est souvent utilisé [27].

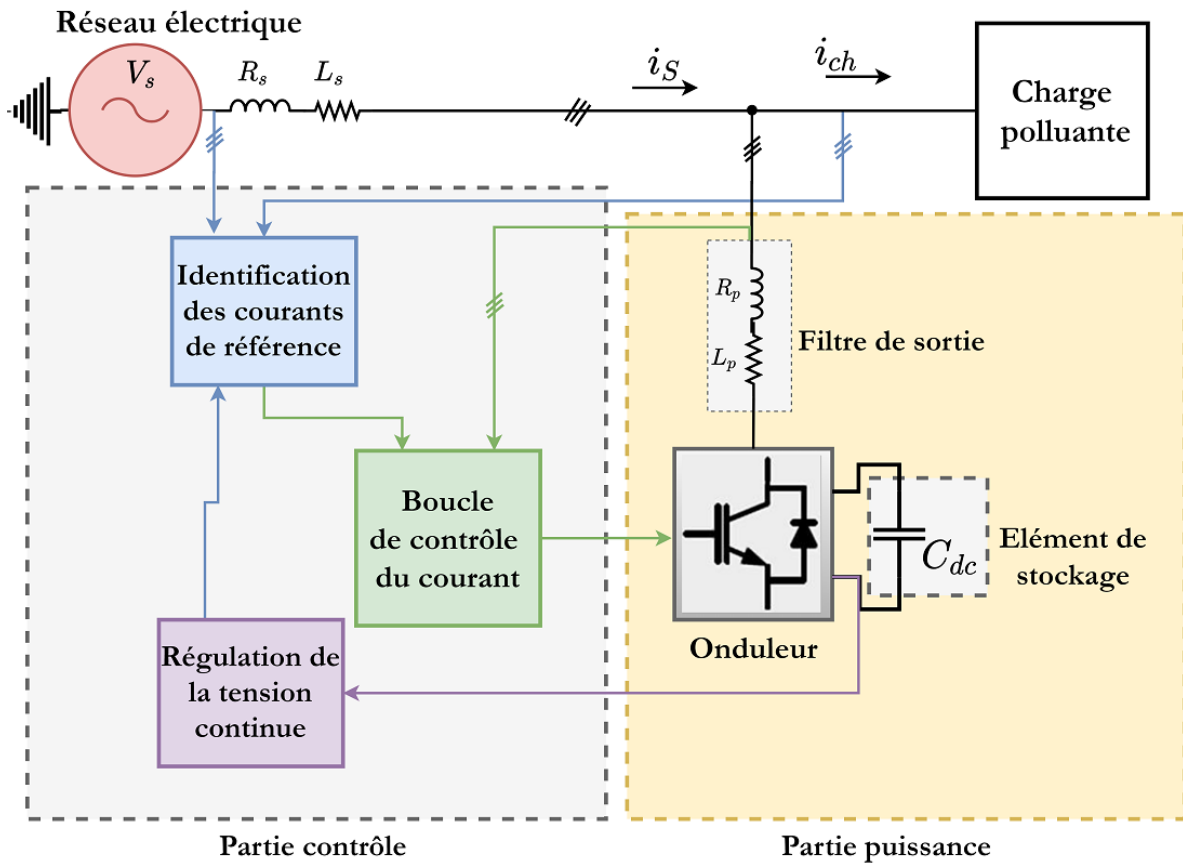


Figure 1.8: Structure et composants d'un FAP à structure tension.

1.3.2 Contrôle du FAP

La partie de contrôle du FAP est composée de trois blocs fonctionnels (figure 1.8) :

- Le bloc d'identification des courants de référence.
- La boucle de contrôle du courant.
- Le bloc de régulation de la tension continue.

Dans ce qui suit, les trois parties seront présentées en détail.

1.3.3 Identification des courants de référence

Le bloc d'identification des courants de référence consiste à identifier les perturbations qui agissent sur le courant, ce qui permet de déterminer les courants de référence que l'onduleur devra générer afin de réaliser l'opération de filtrage actif. La sortie de ce bloc d'identification représente l'entrée de la boucle interne de contrôle du courant.

L'approche d'identification choisie représente un facteur crucial qui influe fortement sur la qualité et l'efficacité de la compensation des harmoniques [28]. En fait, si les distorsions harmoniques sont mal identifiées, même si le système de commande est très efficace, il ne peut pas effectuer un filtrage satisfaisant [29]. Pour cela, plusieurs approches d'identification ont été développées et étudiées dans la littérature. Ces approches peuvent être généralement classées en deux grands groupes : les approches d'identification dans le domaine fréquentiel, et les approches d'identification dans le domaine temporel [27][28]. La prochaine section présente un état de l'art sur les méthodes d'identification.

1.3.3.1 Etat de l'art sur les méthodes d'identification

Comme nous avons mentionné, l'identification des courants de référence peut se faire dans le domaine fréquentiel ou dans le domaine temporel. Plusieurs méthodes du domaine fréquentiel ont été appliquées pour estimer les harmoniques du courant. Parmi les méthodes les plus utilisées, on trouve la transformée de Fourier discrète, la transformée rapide et la transformée discrète récursive [30]. Ces méthodes offrent la possibilité de l'identification individuelle des harmoniques afin de réaliser une compensation sélective. Néanmoins, elles présentent une mauvaise résolution en temps et en fréquence en raison de l'utilisation d'une fenêtre constante pour toutes les fréquences [31]. De plus, elles se comportent mal en régime transitoire et nécessitent des ressources importantes de calcul [19]. En [32], la séquence positive des harmoniques a été extraite au moyen d'une transformée de Fourier discrète glissante afin de générer les courants de référence et d'éviter les problèmes de la fenêtre fixe. Cependant, cette approche souffre de problèmes de convergence [33].

Dans le domaine temporel, de nombreuses méthodes ont été appliquées pour identifier des courants de référence. Parmi les méthodes les plus utilisées, on cite : la méthode des puissances instantanées (PQ), et la méthode de la référentiel synchrone (SRF). La méthode PQ, introduite d'abord par Akagi [34], est largement utilisée dans les applications de la qualité de l'énergie et les systèmes connectés au réseau grâce à sa facilité de mise en œuvre [30]. De plus, la composante fondamentale dans ce cas devient une composante continue (DC), ce qui évite les erreurs de déphasage lors de l'estimation des courants harmoniques et de la puissance réactive [30]. De même, la méthode SRF a reçu également d'attention des chercheurs grâce à sa simplicité et sa grande efficacité [33]. Dans cette méthode, les composantes triphasés du courant de la charge sont transformées en référentiel synchrone d-q. Dans ces coordonnées, la partie fondamentale des courants devient une composante continue (DC). L'extraction de cette composante permet d'estimer et de compenser les distorsions. Ces deux méthodes seront présentées en détail dans la section prochaine.

D'autres méthodes temporelles ont été présentées dans la littérature. Une commande basée sur la régulation de la tension du bus continue (DC) a été utilisée en [35], non seulement pour la compensation des pertes, mais aussi pour améliorer les performances en régime permanent du FAP. De même, une optimisation multi-objective a été proposée en [36] pour améliorer ce type de contrôle en ajustant au mieux les paramètres du système (condensateur DC, les boucles de régulation). Ces méthodes offrent une réduction des ondulations haute-fréquences du courant. Néanmoins, ils présentent des performances non satisfaisantes lors des variations de la charge [33]. Dans [37], un algorithme de contrôle direct de puissance (DPC Direct Power Control) a été appliqué comme alternative au contrôle orienté de la tension du bus DC utilisé en [35]. Ce modèle est attirant grâce à sa facilité de mise en œuvre du fait qu'il utilise directement les puissances actives et réactives comme référence, sans nécessité d'une boucle de contrôle de courant. Cependant, la comparaison effectuée en [38] montre que le système basé sur le contrôle du courant est plus stable et a une réponse plus rapide.

1.3.3.2 Principaux méthodes d'identification

a. Méthode des Puissances Instantanées :

La méthode des puissances instantanées (couramment notée méthode PQ) a été initialement développée par Akagi [34]. Elle est basée sur une transformation algébrique (transformation de Concordia) des tensions et des courants triphasés dans les coordonnées a-b-c

en coordonnées $\alpha\beta 0$, suivi par le calcul des puissances active et réactive instantanées. Suite à cette conversion, la composante fondamentale correspond à la partie continue de la puissance active, et les composantes harmoniques correspondent aux composantes alternatives de la puissance. L'élimination de la partie continue permet d'identifier les composantes harmoniques. Ceci peut se faire à l'aide d'un filtre passe-bas comme le présente la figure 1.9. Dans la suite de cette section, les équations de cette méthode sont présentées.

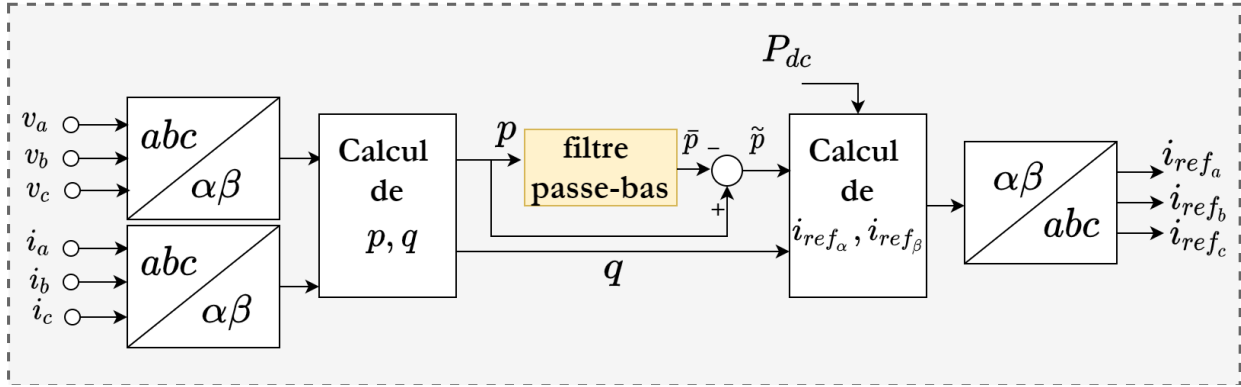


Figure 1.9: Principe de la méthode des puissances instantanées.

Soit (v_a, v_b, v_c) et (i_a, i_b, i_c) respectivement les tensions simples d'un réseau triphasé (connecté à une charge non-linéaire) et les trois courants de la charge. La transformation de Concordia permet de transformer ce système triphasé équilibré à un système diphasé dont les axes sont en quadrature :

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{2/3} \times \begin{pmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{pmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (1.16)$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{2/3} \times \begin{pmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{pmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (1.17)$$

La puissance active instantanée p et la puissance réactive instantanée q sont définies par :

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_\alpha & v_\beta \\ -v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (1.18)$$

La puissance active instantanée peut être décomposée en une partie continue et une partie alternative de la façon suivante :

$$p(t) = \bar{p} + \tilde{p} \quad (1.19)$$

\bar{p} est la composante continue de p , et \tilde{p} est la composante alternative de p . la séparation des deux composante DC et AC est faite généralement par un simple filtre passe-bas.

Maintenant, selon l'objectif de compensation, les courants de référence seront calculés. Si on souhaite compenser que les courants harmoniques du système, la partie alternative \tilde{p} sera utilisée pour calculer les courants à injecter. Si on souhaite également éliminer la puissance réactive, qui est généralement le cas, les expressions des composantes du courant à injecter par rapport au repère $\alpha\beta 0$ peuvent s'écrire comme suit :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \times \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} \tilde{p} \\ q \end{bmatrix} \quad (1.20)$$

Il est à noter que la puissance p_{dc} nécessaire à la régulation de la tension continue v_{dc} (sera discutée prochainement) doit être ajoutée à la puissance \tilde{p} afin de compenser les pertes de la partie DC. Dans ce cas, les courants de référence, notés $i_{ref\alpha}$ et $i_{ref\beta}$, s'expriment selon les axes $\alpha\beta$ par :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \times \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} \tilde{p} + p_{dc} \\ q \end{bmatrix} \quad (1.21)$$

Enfin, on peut déduire les courants de référence dans le repère abc par la transformation inverse de Concordia :

$$\begin{bmatrix} i_{refa} \\ i_{refb} \\ i_{refc} \end{bmatrix} = \sqrt{2/3} \times \begin{pmatrix} 1 & 0 \\ -1/2 & \sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{pmatrix} \begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} \quad (1.22)$$

b. Méthode de la référentiel synchrone

La méthode SRF, initialement introduite par Bhattacharya [39], est basée sur l'utilisation de la transformation de Park dans laquelle les courants de la charge selon le repère triphasé abc sont transformés vers le repère diphasé correspondant. Cette transformation vise à isoler les composantes harmoniques de sa composante fondamentale. Le processus de transformation est présenté dans la figure 1.10. Les équations sont présentées ci-dessous :

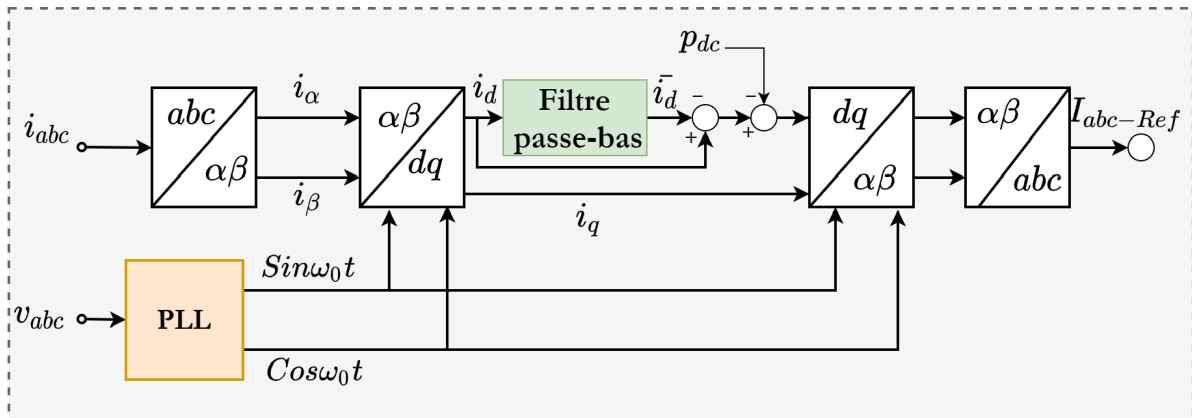


Figure 1.10: Principe de la méthode SRF.

La transformation appliquée dans cette méthode utilise les courants de la charge notés i_a , i_b , i_c . La transformation de Concordia est d'abord appliquée, par la suite les courants i_d et i_q seront calculées :

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{2/3} \times \begin{pmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{pmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (1.23)$$

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{pmatrix} \cos(\omega_0 t) & -\sin(\omega_0 t) \\ -\sin(\omega_0 t) & \cos(\omega_0 t) \end{pmatrix} \begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} \quad (1.24)$$

$\cos(\omega_0 t)$, $\sin(\omega_0 t)$ sont les signaux de référence synchronisés dont les valeurs sont extraites à l'aide d'une boucle à verrouillage de phase (Phase Locked Loop PLL). Le repère d-q tourne avec la vitesse angulaire ω_0 de la fréquence fondamentale. Par conséquent, les composantes fondamentales des courants i_d et i_q devient des composantes continues et ainsi, la détection des harmoniques se fait avec un filtre passe-bas comme le présente la figure 1.10.

Les courants obtenus peuvent alors être décomposés à la somme d'une composante continue et d'une composante alternative :

$$\begin{bmatrix} i_d \\ i_q \end{bmatrix} = \begin{bmatrix} \bar{i}_d + \tilde{i}_d \\ \bar{i}_q + \tilde{i}_q \end{bmatrix} \quad (1.25)$$

Où \bar{i}_d et \bar{i}_q sont les composantes continues de i_d et i_q , et \tilde{i}_d et \tilde{i}_q sont les composantes alternatives de i_d et i_q respectivement.

Comme on a discuté précédemment pour la méthode PQ, cette méthode est utilisée pour la compensation des harmoniques du courant et également pour la compensation de la puissance réactive. Pour cela les composantes du courant de référence dans le repère $\alpha\beta 0$ peuvent s'écrire comme suit :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \begin{pmatrix} \sin(\omega_0 t) & \cos(\omega_0 t) \\ -\cos(\omega_0 t) & \sin(\omega_0 t) \end{pmatrix} \begin{bmatrix} \tilde{i}_d \\ \tilde{i}_q \end{bmatrix} \quad (1.26)$$

Il est de même à noter que le courant i_{dc} nécessaire à la régulation de la tension continue v_{dc} doit être ajouté à la composante alternative du courant i_d afin de compenser les pertes du coté DC du filtre. L'équation 1.26 devient :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \begin{pmatrix} \sin(\omega_0 t) & \cos(\omega_0 t) \\ -\cos(\omega_0 t) & \sin(\omega_0 t) \end{pmatrix} \begin{bmatrix} \tilde{i}_d + i_{dc} \\ \tilde{i}_q \end{bmatrix} \quad (1.27)$$

Finalement, la transformation inverse de Concordia (1.22) permet d'obtenir les courants de référence, selon les axes abc.

1.3.3.3 Discussion sur les méthodes étudiées

Les deux méthodes présentées dans la section précédente sont largement utilisées dans le domaine de la qualité d'énergie. Ils sont favorisés par leur simple réalisation et implémentation matérielle et vue la nature continue (DC) de la composante fondamentale (de la puissance ou du courant, selon la méthode). Par conséquent, l'erreur de déphasage du filtre passe-bas (LPF) n'affecte pas la sortie [30].

Malheureusement, les formes originales des deux méthodes, telles qu'elles ont été présentées dans la section précédente, n'offrent de bonnes performances en régime permanent qu'avec une tension d'alimentation idéale. Si les tensions d'alimentation ne sont pas sinusoïdales pures, les performances de compensation peuvent être dégradées [29]. Une autre limite majeure de ces méthodes consiste en leur réponse dynamique lente. En fait, la réponse dynamique dans les deux cas repose fortement sur la vitesse d'extraction de la composante DC [40]. La solution classique pour ce faire est l'utilisation d'un filtre conventionnelle à réponse impulsionnelle infinie (IIR). Cependant, les performances dynamiques de ces filtres classiques sont limitées à cause du délai inévitable introduit par le filtre qui est dû à ses paramètres invariants (ordre et fréquence de coupure) [41]. D'une autre part, Les performances de la méthode SRF dépendent fortement des performances de la PLL mise en œuvre. Celle-ci est nécessaire pour générer des signaux sinus et cosinus synchrones avec le réseau. Pour cela une attention sera prise lors de la conception de cette partie [42].

Les limites susmentionnées ont été suivies en rapportant des versions améliorées des approches présentées par plusieurs auteurs [42][43][44][45], ce qui a permis de fournir une base de recherche pour améliorer ces approches. Dans notre travail, nous concentrons sur la méthode PQ. Les deux limites majeures de cette méthode (PQ) seront étudiées, à savoir, le problème de la réponse dynamique lente et l'inefficacité de compensation en cas des tensions non-idéale.

1.3.4 Boucle interne de contrôle du courant

Après avoir identifié les courants de référence, ces courants sont utilisés comme entrée à une boucle de contrôle afin de générer en sortie les courants à injecter dans le PCC. La boucle utilisée vise à contrôler les courants de sortie du FAP afin qu'ils suivent au plus près leurs références, ce qui permet de réaliser la compensation d'harmoniques. La figure 1.11 présente le principe de la boucle de contrôle, où on trouve le block de commande, appelé généralement la technique de commutation, qui génère les signaux d'impulsion carrée et on trouve l'onduleur qui génère les formes d'ondes des courants de compensation. Plusieurs techniques de contrôle du courant ont été appliquées avec les FAP. Les techniques les plus couramment utilisées sont la modulation de la largeur d'impulsion (MLI) et la commande à hystérésis [19].

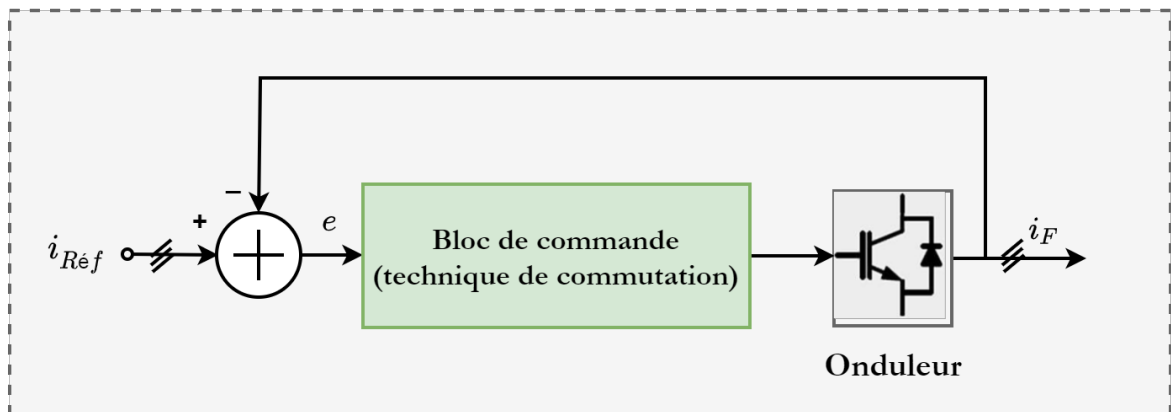


Figure 1.11: Principe de base de la boucle de contrôle du courant.

1.3.4.1 Commande par modulation MLI

Le principe de la commande MLI, tel que présenté en figure 1.12, est de comparer une onde de modulation (porteuse), qui est en général un signal triangulaire de fréquence élevée (f_m), avec une onde modulatrice de référence, qui représente la tension de sortie souhaitée (elle peut être sinusoïdale ou non, selon l'application) [15]. L'intersection de ces deux signaux permet de déterminer les ordres de commutation des interrupteurs. La fréquence de la porteuse triangulaire fixe donc la fréquence de découpage des interrupteurs de puissance.

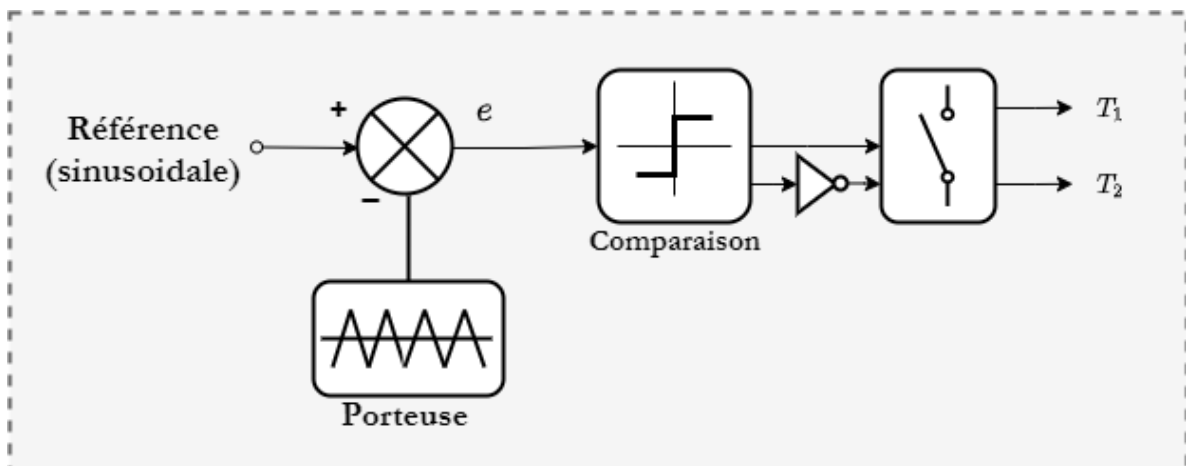


Figure 1.12: Principe de la modulation MLI.

Cette fréquence doit être suffisamment élevée par rapport à la fréquence maximale du signal de sortie souhaité afin d'avoir un bon suivi de la référence. Si la référence est sinusoïdale, ce rapport doit être un entier pour que la porteuse soit synchrone avec la référence. De plus, cet entier doit être de préférence impair pour garder la symétrie de la référence.

Cette technique de commande présente l'avantage de sa complexité réduite, et son fonctionnement à fréquence fixe. Cependant, elle a des propriétés dynamiques limitées en cas d'un changement brutal des courants de référence [46], en plus de l'augmentation des pertes par commutation dues à sa haute fréquence de commutation.

1.3.4.2 Commande à hystérésis

La technique de commande à hystérésis est une technique non-linéaire de génération des impulsions de commutation des interrupteurs de puissance. Elle consiste à comparer le signal d'erreur à un gabarit appelé bande d'hystérésis (HB) pour le but de maintenir le courant dans une bande bien définie autour de la référence. Comme on peut le voir en figure 1.13, l'erreur entre le courant de référence i_{ref} et le courant produit par l'onduleur est d'abord calculée. Cette erreur est par la suite comparée avec la bande HB. À chaque fois que l'erreur atteint la bande de fréquence inférieure ou supérieure, une nouvelle commande est envoyée au semi-conducteur de façon que le courant réel soit maintenu dans cette bande de fréquence. Le processus de contrôle n'est dépendant qu'à un seul paramètre qui est la largeur de la bande d'hystérésis. Sa valeur détermine à la fois la fréquence de commutation moyenne et l'erreur du courant généré.

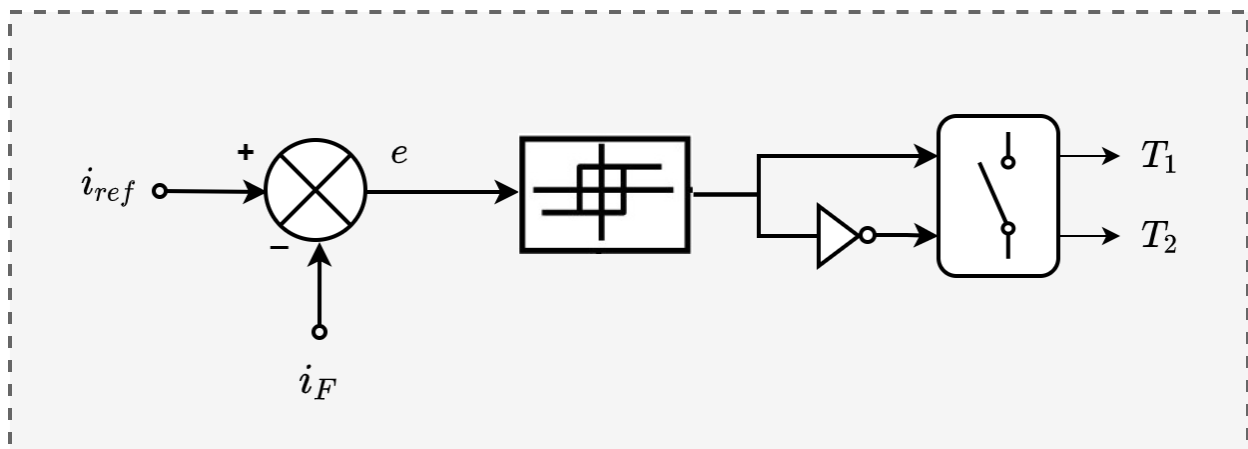


Figure 1.13: Principe de la commande à hystérésis.

Il existe différents types de contrôleurs de courant à hystérésis tels que le contrôleur à hystérésis à deux niveaux et le contrôleur à hystérésis à trois niveaux. D'une autre part, la bande d'hystérésis employée peut être fixe ou variable [47]. La figure 1.14 montre les deux niveaux du contrôleur à hystérésis à bande fixe, où on peut voir la bande d'hystérésis supérieure, la bande d'hystérésis inférieure, le courant réel et le courant de référence.

À partir de la figure 1.14 on peut déduire la fréquence maximale de commutation. Pour ce faire, le taux de changement du courant de phase peut être écrit à tout moment t comme suit :

$$\frac{dI}{dt} = \frac{\Delta I}{\Delta t} = \pm \frac{2V_{dc}}{L} \Rightarrow \Delta t = \frac{\Delta I L}{\pm 2V_{dc}} \quad (1.28)$$

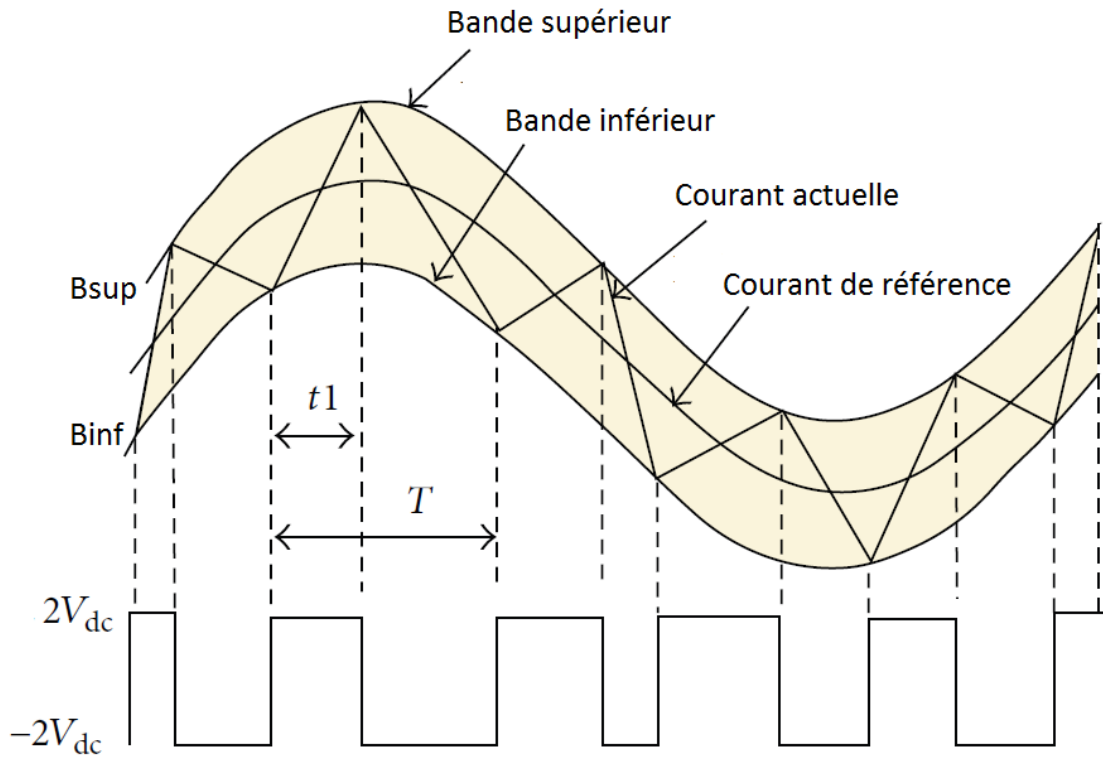


Figure 1.14: Bande d'hystérésis et signal de commande d'un interrupteur de puissance.

Dans 1.28, le terme $\pm 2V_{dc}$ dépend de l'état de commutation de l'onduleur, le taux de variation du courant de l'onduleur est représenté par ΔI , le taux de variation du courant dans la période de temps est $\Delta I/\Delta t$.

Dans la bande d'hystérésis, le cycle de commutation complet est de $(0 \rightarrow t_1 \rightarrow T)$, donc l'équation peut être écrite pour $(t = 0 \rightarrow t_1)$ (c'est-à-dire $\Delta t = t$) comme suit :

$$t_1 = \frac{+\Delta IL}{2V_{dc}} \quad (1.29)$$

De même pour la période $(t - 1 \rightarrow T)$ (c'est-à-dire $\Delta t = T - t_1$)

$$T - t_1 = \frac{-\Delta IL}{-2V_{dc}} \quad (1.30)$$

En combinant les équations des deux périodes, le temps de commutation total peut être déterminé, il est donné comme suit :

$$f_s = \frac{1}{T} = \frac{V_{dc}^2}{\Delta IL V_{dc}} \Rightarrow f_{max} = \frac{V_{dc}}{\Delta IL} \quad (1.31)$$

Où f_{max} est la fréquence de commutation maximale de l'onduleur.

Cette technique de contrôle offre l'avantage de sa simple mise en œuvre, sa bonne réponse dynamique aux variations des paramètres et ses meilleurs résultats de régulation. Cependant, la fréquence de commutation n'est pas maîtrisée (aléatoire) [48].

1.3.5 Boucle de régulation de la tension continue

La boucle de régulation de la tension continue est une partie intéressante dans le processus de contrôle du FAP. L'objectif de cette boucle est de réduire les variations et l'instabilité de la tension du bus continu afin de compenser les pertes de puissance. En effet, les pertes par commutation des semi-conducteurs de l'onduleur et au niveau du filtre de sortie sont les principales causes de variation de la tension du bus continu V_{dc} [19]. Plusieurs méthodes de contrôle de la tension continue ont été utilisées telles que le contrôleur PI et le contrôleur à mode glissant. Un exemple de contrôle de la tension du bus continu appliqué avec la méthode PQ est illustré à la Figure 1.15. Dans cet exemple, la sortie P_{dc} de la boucle de régulation s'ajoute, à un signe pris, à la puissance active perturbatrice et donne lieu à un courant fondamental actif corrigeant la tension du bus V_{dc} .

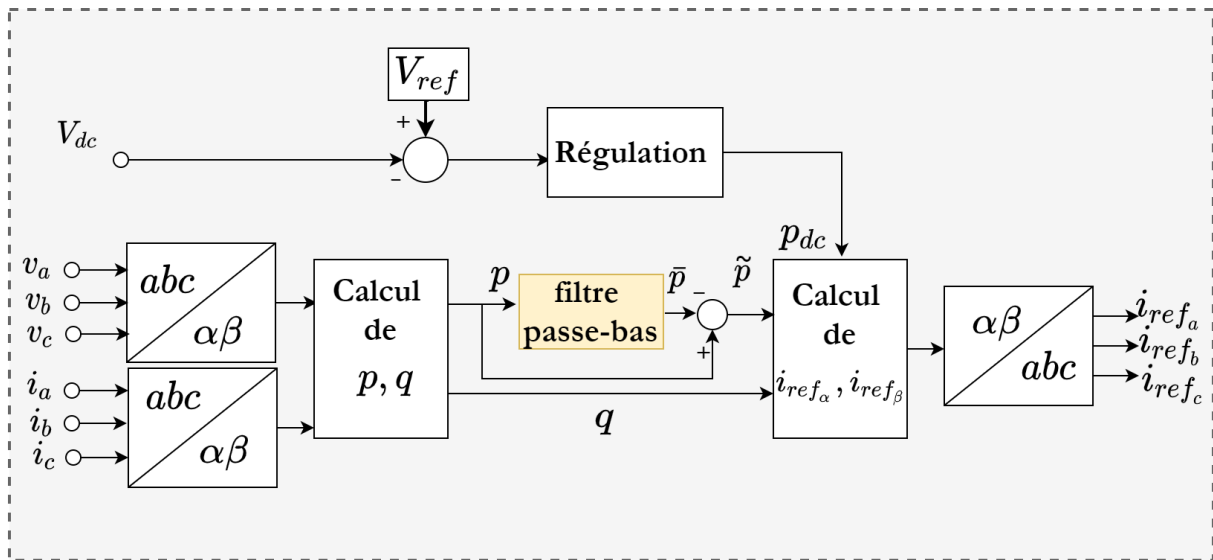


Figure 1.15: Exemple de régulation de la tension continue avec la méthode PQ.

La régulation de la tension continue peut se faire directement en utilisant V_{dc} , mais pour des raisons de linéarité, il est souvent préféré de contrôler le carré de la tension [29]. Par ailleurs, la puissance nécessaire pour compenser les pertes est généralement faible. Pour cela, on utilise un simple régulateur P avec un filtre passe-bas du premier ordre, qui est ajouté en sortie du régulateur afin de filtrer les fluctuations de V_{dc} . La fonction de transfert du régulateur est alors la suivante [29] :

$$R(s) = \frac{k_c}{1 + \tau_c s} \quad (1.32)$$

Où k_c et τ_c , représentent respectivement le gain statique du régulateur et la constante de temps du filtre du premier ordre.

Si on néglige les pertes au niveau de l'onduleur et dans le filtre de sortie. La relation entre la puissance active absorbée par le condensateur C_{dc} et la tension à ses bornes peut s'écrire sous la forme suivante :

$$P_{dc} = \frac{d}{dt} \left(\frac{1}{2} C_{dc} v_{dc}^2 \right) \quad (1.33)$$

En appliquant la transformation de Laplace sur cette relation, nous obtenons :

$$P_{dc} = \frac{1}{2} s C_{dc} V_{dc}^2(s) \quad (1.34)$$

La tension aux bornes du condensateur peut être écrite :

$$V_{dc}^2(s) = \frac{2P_{dc}(s)}{C_{dc}s} \quad (1.35)$$

A partir de la relation, la boucle de régulation de la tension continue peut être représentée par le schéma de la figure 1.16.

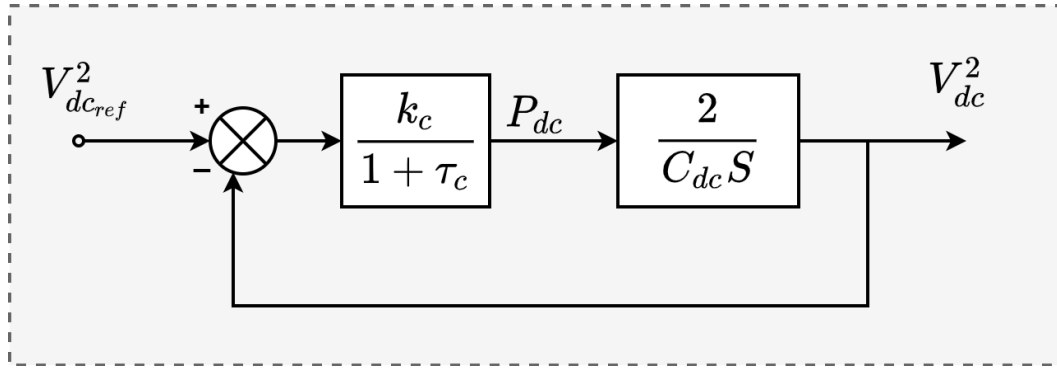


Figure 1.16: Boucle de régulation de la tension continue.

La fonction de transfert en boucle fermée est du second ordre et peut s'écrire sous la forme :

$$H(s) = \frac{\omega_c^2}{s^2 + 2\xi\omega_c s + \omega_c^2} \quad (1.36)$$

Par identification, les paramètres caractéristiques :

$$\omega_c = \sqrt{\frac{2k_c}{C_{dc}T_c}} \text{ et } \xi = \frac{1}{2\sqrt{2}} \sqrt{\frac{C_{dc}}{k_c T_c}}$$

Le paramètre ξ doit être compris entre 0,5 et 0,707 afin de réaliser un bon compromis entre les performances dynamique et statique. D'une autre part K_c est choisi de façon à avoir un temps de réponse minimale afin de ne pas affecter la dynamique du FAP [19].

Par ailleurs, le choix de l'élément de stockage (condensateur C_{dc}) affecte directement la qualité de compensation des distorsions. Une tension élevée V_{dc} , (valeur élevée de C_{dc}) améliore la réponse dynamique du filtre et minimise l'ondulation de tension dans le condensateur. La relation suivante peut être utilisée pour obtenir la valeur minimale du C_{dc} [49].

$$C_{dc} = \frac{P_h}{\omega V_{dc} \Delta V_{dc}} \quad (1.37)$$

Où P_h est la puissance maximale des harmoniques dans chaque demi-période, et ΔV_{dc} représente les fluctuations de la tension (crête à crête).

1.4 Positionnement de notre étude

Après cette revue, nous pouvons maintenant positionner notre travail de recherche qui concerne spécifiquement le bloc d'identification des courants de référence. Dans la suite de cette section, nous présenterons brièvement le but des travaux de thèse réalisés, les motivations et les contributions apportées par ces travaux.

1.4.1 Limites des méthodes d'identification

À partir de la revue présentée dans les sections précédentes, nous constatons que la plupart des méthodes d'identification des courants de référence précitées souffrent de leur mauvaise performance dynamique, notamment en présence des variations des charges polluantes. Notre travail de thèse est concentré sur la méthode des puissances instantanées PQ, largement utilisée dans la littérature grâce à la simplicité de sa mise en œuvre. Comme nous avons mentionné, la version originale de la méthode PQ présente deux problèmes : sa mauvaise performance dynamique, ainsi que son incapacité de compenser les perturbations dans le cas d'une tension d'alimentation non-sinusoidale. Dans ce contexte, notre travail vise à améliorer les performances d'estimation des harmoniques par la méthode PQ quelque soit les conditions de la tension d'alimentation, aussi bien à l'état dynamique (régime transitoire) qu'à l'état statique (régime permanent).

Dans le présent travail, une méthode PQ modifiée est appliquée afin de permettre à cette technique de générer correctement les courants de référence nécessaires pour compenser les distorsions même en présence des tensions d'alimentation perturbées. D'une autre part et afin d'améliorer les performances dynamiques de la méthode d'identification adoptée, nous avons proposé l'utilisation d'un nouveau filtre adaptatif qui sert à extraire la composante continue de la puissance active du système. Ce nouveau filtre remplace la méthode classique utilisée pour ce but, qui est le filtre Passe-bas IIR. Cette tâche d'estimation de la composante continue c'est la partie cruciale pour l'identification des courants de référence. En effet, plusieurs recherches ont ciblé l'amélioration de la méthode d'identification PQ en concentrant sur l'amélioration de ce filtre. Dans le prochain chapitre, le filtre adaptatif proposé sera présenté en détail. En outre, les algorithmes proposés précédemment par d'autres auteurs ont été étudiés et comparés avec notre algorithme en appliquant des différentes configurations du système.

1.4.2 Motivations et intérêt des filtres adaptatifs

L'extraction des informations contenues dans un signal bruité constitue un problème majeur en traitement du signal. Généralement, le bruit traité ou le signal d'interférence est fusionné avec le signal souhaité. L'élimination de ce bruit avec les filtres numériques ordinaires invariants dans le temps tels que le FIR et le IIR nécessitent que le bruit traité soit stationnaire. C'est-à-dire qu'il doit avoir les mêmes caractéristiques dans le temps. De plus, le signal de bruit interférant ne doit pas avoir des chevauchements dans le domaine fréquentiel avec le signal souhaité [50]. Néanmoins, dans la plupart des cas, ces signaux ne restent pas stationnaires, qui est le cas pour les distorsions harmoniques générées par les charges non linéaires. Il est donc nécessaire de considérer des filtres numériques variables dans le temps [51].

Les premières recherches dans ce sens ont été menées d'abord par Wiener [52], elles ont été suivies et élargies notamment par Kalman, Bucy et Kailath [53] [54]. D'une manière générale, la tâche d'élimination du bruit se fait par filtrage adaptatif. En fait, les filtres adaptatifs offrent l'avantage de leur capacité d'ajustement automatique de leurs propres paramètres en fonction des variations et des caractéristiques du signal d'entrée en se basant sur un algorithme d'adaptation. L'élimination du bruit est basée sur l'utilisation d'un ou plusieurs signaux de référence représentatifs du bruit à traiter [50]. Ces caractéristiques avantageuses des filtres adaptatifs ont leur permet d'être applicables dans divers domaines tels que la suppression du bruit, l'identification des systèmes et la prédiction des signaux. Dans le domaine de la qualité de l'énergie, divers algorithmes adaptatifs ont été appliqués pour l'estimation et

la compensation des distorsions harmoniques. Parmi ces algorithmes, on trouve la méthode des moindres carrés (LMS)[55], des moindres carrés Récurrents(RLS)[56][57] et des filtres de KALMAN (KF)[58]. Dans le cas des filtres RLS et KF, le choix initial de la matrice de covariance est difficile pour avoir une convergence plus rapide et une stabilité de l'algorithme. De plus, ces algorithmes nécessitent plus de temps d'exécution et de ressources de calcul. D'une autre part, la méthode LMS a une structure simple avec moins de complexité de calcul. Cependant, sa version originale présente des performances dynamiques médiocres. Afin d'améliorer sa vitesse d'adaptation, différentes versions du LMS ont été proposées dans la littérature tels que la méthode LMS normalisée, l'algorithme LMS de corrélation (correlation LMS)[59], l'algorithme LMS de fuite (leaky LMS) [60] et la méthode LMS à pas variable [61]. À partir de ce principe, nous avons eu l'idée d'appliquer le principe du filtrage adaptatif basé sur une version améliorée du LMS, et ce, afin d'améliorer les performances dynamique de la méthode des puissances instantanées.

Dans notre travail, nous proposons l'utilisation d'une nouvelle approche basée sur le principe de l'annulation adaptative du bruit. L'approche proposée utilise une adaptation VLLMS (Variable Leaky Least Mean Square) afin d'améliorer les performances dynamiques de la méthode des puissances instantanées PQ utilisée pour le contrôle du FAP.

1.4.3 Vérification et validation des résultats

Afin de tester et de valider les performances de l'approche de contrôle proposée dans cette thèse, plusieurs étapes de validation ont été abordées. La première étape pour la vérification et la validation est la simulation logicielle. Pour cela, un modèle de simulation basé sur MATLAB/SIMULINK a été développé. Ce modèle contient tous les composants du système étudié à savoir : le modèle du réseau électrique, le modèle du filtre actif parallèle avec sa partie de contrôle, et des différents modèles de charges polluantes contenant plusieurs combinaisons de charges non-linéaires en utilisant des charges R et RL équilibrées ou déséquilibrées. De plus, les autres techniques de filtrage proposées précédemment dans la littérature ont été reproduites et comparées en simulation avec l'approche proposée.

En seconde étape, une approche de Co-simulation «FPGA IN THE LOOP» a été abordée en utilisant une cible FPGA. En effet, l'approche (FIL) est une combinaison de plates-formes logicielles et matérielles qui offre une bonne plateforme pour la vérification des systèmes de contrôle sans aucun risque de détruire ou d'endommager le système. Les spécifications et les résultats de ces étapes de validation seront présentés en détail dans le chapitre 4 de ce mémoire.

1.4.4 Implémentation matérielle de l'algorithme proposé

L'un des objectifs principales de l'algorithme développé est d'améliorer les performances dynamiques de compensation des harmoniques. Outre l'efficacité dynamique de l'algorithme, le temps d'exécution et les performances de calcul représentent un facteur très influant dans ce type d'application exécutée en temps réel. Pour cela, il est nécessaire de bien étudier les performances matérielles de l'algorithme et de comparer son apport fonctionnel par rapport à sa charge de calcul.

Dans ce contexte, nous proposons dans ce travail une solution innovante de moindre coût basée sur un prototypage rapide sur cible qui permet de tester et de comparer plus rapidement et plus précisément les performances des nouveaux algorithmes. Le prototype utilisé exploite le principe des SOPC (system on programmable chip) qui utilise sur une même

puce un processeur de haute vitesse et une plateforme FPGA avec toutes les périphériques nécessaires pour une large gamme d'application. Cette solution est très recommandée pour les applications en temps réel, elle présente les avantages suivants [62] :

1. Une grande souplesse de programmation permettant à cette plateforme d'être utilisée à nouveau à tout moment pour implanter les fonctionnalités voulues en un temps très court, et à l'aide d'une même plateforme de développement. Cette flexibilité permet au contrôleur de s'adapter à l'évolution du système à commander grâce à la reconfiguration.
2. Elle permet à cette configuration numérique d'être plus proche des circuits analogiques, et ce en augmentant fortement la fréquence d'échantillonnage et par conséquent le temps d'exécution de l'algorithme. Ceci va permettre au contrôleur appliqué d'atteindre le niveau de performance des contrôleurs analogiques, sans présenter les inconvénients de ces derniers (dérive, manque de souplesse, problème de compatibilité électromagnétique, etc.)
3. L'architecture flexible des SOPC permet de partitionner les algorithmes en temps réel entre diverses solutions matérielles et logicielles qui correspondent mieux aux exigences de l'application en question en termes de performances, de puissance, et de coût.
4. Une augmentation croissante du niveau de performance en temps réel. On peut, en effet, maîtriser le temps d'exécution des algorithmes implémentés en évaluant la latence de chaque bloc sur le chemin de données.
5. Le processeur logiciel NIOSII hautement polyvalent peut être dédié aux fonctions critiques puisque il fournit une réponse d'interruption déterministe avec une gigue minimale.
6. Rapport coût/performances intéressant.

En se basant sur ces avantages, nous proposons dans cette thèse un prototype pour l'implémentation de l'algorithme proposé comme une partie d'un SOPC en utilisant la carte de développement DE1SOC d'Altera. Le prototype proposé permet d'estimer la vitesse d'extraction de la composante continue de la puissance active. Les performances dynamiques de l'algorithme sont ainsi comparées avec les méthodes précédentes. De plus, une étude comparative détaillée des performances de calcul et d'utilisation des ressources matérielles sera présentée.

1.4.5 Les contributions de la thèse

En résumé, nous présentons ci-dessous les contributions principales de la thèse :

- Un nouvel algorithme basé sur le principe du filtrage adaptatif est appliqué pour améliorer la performance dynamique d'extraction de la composante continue. Une comparaison est effectuée avec les algorithmes proposés précédemment.
- L'algorithme proposé est appliqué avec un modèle PQ modifié pour atténuer efficacement les distorsions en présence des tensions d'alimentation non sinusoïdales. Ce qui n'a pas été étudié dans les travaux connexes précédents.
- L'implémentation de l'algorithme proposée a été réalisée comme une partie d'un système sur puce programmable (SOPC) tout en analysant sa performance de calcul. Ceci a donné de bonnes améliorations, et a permis d'avoir un temps d'exécution de $1,4\mu s$.

1.5 Conclusion

Dans ce chapitre, nous avons exposé la problématique des harmoniques et les solutions de dépollution du réseau électrique. Nous avons montré que la pollution harmonique est due principalement à l'utilisation des charges non-linéaires dans les installations électriques. En effet, les gains économiques liés à l'utilisation de ces dispositifs ont conduit à l'augmentation significative de ces perturbations harmoniques. Ensuite, nous avons exposé plusieurs solutions classiques, notamment les filtres passifs, ainsi que leurs inconvénients. Les filtres actifs ont été introduits par la suite en mettant en évidence ces apports et avantages par rapport aux méthodes classiques de filtrage.

Après cela, le filtre actif parallèle, adopté dans cette thèse, a été étudié. Les composants de la partie puissance et de la partie contrôle du FAP ont été exposés en détails. Nous avons montré que les performances du filtrage actif sont fortement liées à la méthode d'identification des harmoniques ce qui fait le cœur de notre thèse. Finalement, les motivations et les contributions apportées par les travaux de thèses ont été présentées. Dans le chapitre prochain, la méthode d'identification des courants de référence basée sur notre approche proposée sera exposée en détail.

Chapitre

2

**La méthode
proposée pour
l'identification
des courants de
référence**

Introduction

Dans le processus du contrôle du FAP, la phase d'identification des courants de référence représente une partie cruciale qui influe directement sur l'efficacité de l'approche de contrôle adoptée [28]. Elle permet de déterminer les spécifications des distorsions harmoniques qu'on désire les compenser. L'importance élevée de cette partie de contrôle a suscité l'intérêt et les contributions des chercheurs afin d'améliorer les performances d'estimation des distorsions et par conséquent les performances du FAP.

Dans notre travail, la méthode bien-connue basée sur les puissances instantanées PQ a été étudiée en soulignant ces avantages et ces limites. Une version modifiée de la méthode a été ainsi introduite pour permettre son application dans le cas des signaux d'alimentation perturbés. En outre, une nouvelle approche de filtrage adaptatif a été proposée afin d'améliorer les performances dynamiques de cette méthode PQ. Dans la suite de ce chapitre, le principe de la méthode PQ est tout d'abord étudié. Par la suite, la méthode d'identification proposée est exposée en détail.

2.1 La méthode des puissances instantanées

La théorie des puissances instantanées, introduite par Akagi en 1984 [34], est basée sur le calcul des valeurs instantanées des puissances dans le domaine temporel. Cette théorie a été d'abord proposée pour les systèmes triphasés à trois fils et elle a été ensuite étendue aux systèmes triphasés à quatre fils. Les tensions et les courants du système triphasé sont exprimés sous forme de vecteurs dépendants du temps en utilisant la transformation $\alpha\beta$ (transformation de Concordia) afin de calculer les puissances réelles et imaginaires instantanées. Puisque la théorie PQ est basée sur le domaine temporel, elle est valable à la fois pour le fonctionnement en régime permanent et transitoire permettant le contrôle en temps réel des filtres actifs [63]. Un autre avantage de cette théorie est la simplicité de ses calculs, puisque seules des opérations algébriques sont nécessaires [30]. Dans la suite de cette section, le principe et l'application de la méthode PQ seront présentés.

2.1.1 Théorie des puissances instantanées : application sur un réseau équilibré à 3 fils

Un système triphasé équilibré de tensions, $v_a(t), v_b(t), v_c(t)$ et de courants $i_a(t), i_b(t), i_c(t)$ est caractérisé par les équations suivantes :

$$\begin{cases} v_a(t) + v_b(t) + v_c(t) = 0 \\ i_a(t) + i_b(t) + i_c(t) = 0 \end{cases} \quad (2.1)$$

Les courants et les tensions du système triphasé équilibré (abc) sont d'abord transformés dans le repère stationnaire $\alpha\beta 0$, ce qui donne :

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{2/3} \times \begin{pmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{pmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.2)$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{2/3} \times \begin{pmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{pmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (2.3)$$

Les puissances instantanées active et réactive par rapport aux coordonnées α et β sont définies par $p_{\alpha\beta}$ et $q_{\alpha\beta}$ respectivement. Ces valeurs sont calculées à partir des tensions et des courants instantanés selon les axes $\alpha\beta$ comme suit :

$$p(t) = p_{\alpha\beta} = v_{\alpha} \cdot i_{\alpha} + v_{\beta} \cdot i_{\beta} = v_a \cdot i_a + v_b \cdot i_b + v_c \cdot i_c \quad (2.4)$$

$$q(t) = q_{\alpha\beta} = v_{\alpha} \cdot i_{\beta} - v_{\beta} \cdot i_{\alpha} \quad (2.5)$$

Ces relations peuvent être présentées sous forme matricielle par :

$$\begin{bmatrix} p \\ q \end{bmatrix} = \begin{bmatrix} v_{\alpha} & v_{\beta} \\ -v_{\beta} & v_{\alpha} \end{bmatrix} \begin{bmatrix} i_{\alpha} \\ i_{\beta} \end{bmatrix} \quad (2.6)$$

Chaque une des puissances est composée d'une partie continue qui correspond à la puissance du fondamental et une partie alternative correspondant à la puissance liée aux ondulations :

$$\begin{cases} p(t) = \bar{p} + \tilde{p} \\ q(t) = \bar{q} + \tilde{q} \end{cases} \quad (2.7)$$

\bar{p} est la puissance active moyenne qui correspond à l'énergie transférée de la source vers la charge comme le présente la figure 2.1. Les ondulations de la puissance active \tilde{p} s'échangent entre la source et la charge. D'une autre part, $q(t)$ est la puissance réactive qui circule entre les phases du système [64].

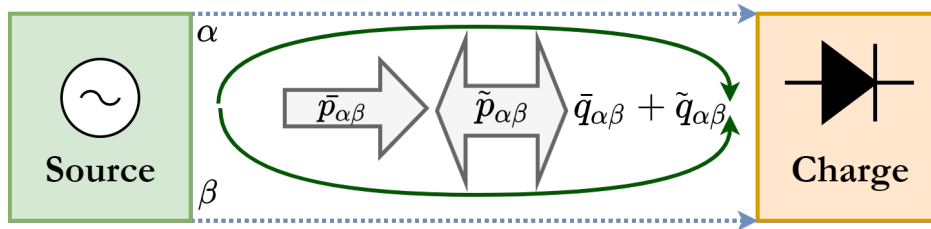


Figure 2.1: Présentation de l'échange énergétique dans le repère $\alpha\beta$ pour un réseau à 3 fils

La séparation des parties continues et alternatives des puissances se fait généralement par un filtre passe-bas (LPF). La figure 2.2 montre le bloc d'extraction de la composante continue et alternative pour une grandeur $x(t)$ qui peut être la puissance active $p(t)$ ou réactive $q(t)$.

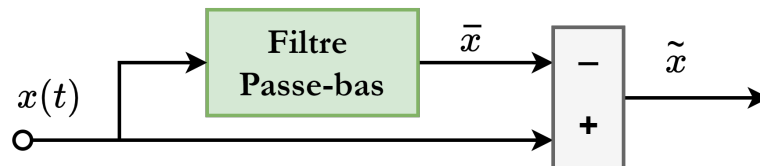


Figure 2.2: Séparation des parties continues et alternatives d'un signal

Après cela, les courants de référence, selon les axes $\alpha\beta$, sont exprimés en fonction des puissances à compenser p_c et q_c . Cela se fait en appliquant la transformation inverse de l'équation matricielle 2.6, ce qui donne :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \times \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} p_c \\ q_c \end{bmatrix} \quad (2.8)$$

Selon l'objectif de compensation, on distingue deux cas pour le choix des puissances p_c et q_c .

a. Compensation de la puissance réactive seulement

Dans ce cas-là, l'objectif est de compenser toute la puissance réactive sans éliminer les ondulations de la puissance active. Cela est équivalent à :

$$\begin{cases} p_c = 0 \\ q_c = q_{\alpha\beta} = \bar{q} + \tilde{q} \end{cases} \quad (2.9)$$

Dans ce cas, les ondulations de la puissance active \tilde{p} persistent dans les courants de ligne qui seront donc déséquilibrés vu que le filtre ne fournit aucune composante active pour la compensation [64]. L'échange d'énergie lors de la compensation est présenté dans le schéma de la figure 2.3, où le filtre ne fournit que la puissance réactive instantanée, et les ondulations \tilde{p} ne sont pas compensées.

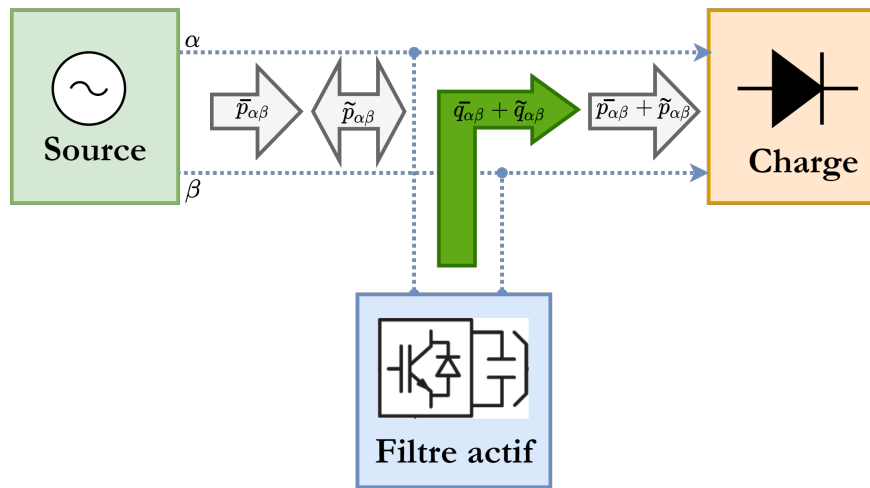


Figure 2.3: Flux d'énergies pour la compensation de la puissance réactive instantanée (sans tenir compte des pertes dans le filtre)

Dans ces conditions, les courants de référence dans le repère $\alpha\beta$ peuvent être écrits comme suit :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \times \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} 0 \\ \bar{q} + \tilde{q} \end{bmatrix} \quad (2.10)$$

Maintenant, afin d'avoir les composantes des courants de référence dans le repère abc, la transformation inverse de Concordia est appliquée, ce qui donne :

$$\begin{bmatrix} i_{refa} \\ i_{refb} \\ i_{refc} \end{bmatrix} = \sqrt{2/3} \times \begin{pmatrix} 1 & 0 \\ -1/2 & \sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{pmatrix} \begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} \quad (2.11)$$

Un autre point qu'il faut prendre en considération concerne les pertes produites lors du fonctionnement des interrupteurs de puissance. Afin de compenser ces pertes, la régulation de la tension du condensateur du bus DC est réalisée, ce qui permet de fournir une puissance active p_{dc} relative aux pertes du convertisseur. Dans ces conditions, Les courants de référence deviennent :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \times \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} -p_{dc} \\ \bar{q} + \tilde{q} \end{bmatrix} \quad (2.12)$$

Le signe moins (-) indique que la puissance est absorbée au moment où le filtre injecte la puissance réactive. La figure 2.4 présente le diagramme d'extraction des courants de référence pour la compensation de la puissance réactive instantanée.

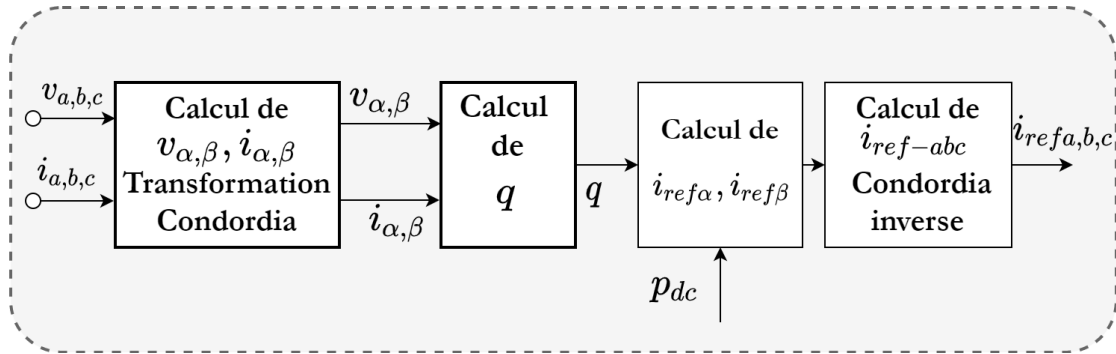


Figure 2.4: Diagramme d'extraction des courants de référence pour la méthode PQ dans le cas de la compensation de la puissance réactive instantanée.

b. Compensation des harmoniques et de la puissance réactive

Dans ce cas, en plus de compenser la puissance réactive, les ondulations \tilde{p} de la puissance active sont également compensées. Cela se traduit par :

$$\begin{cases} p_c = \tilde{p} \\ q_c = q_{\alpha\beta} = \bar{q} + \tilde{q} \end{cases} \quad (2.13)$$

Donc, la puissance fournie par la source dans ce cas est la valeur moyenne \bar{p} de la puissance active. Tandis que, les ondulations \tilde{p} de la puissance active et la totalité de la puissance réactive sont compensées par le filtre. La compensation dans ce cas nécessite un élément de stockage d'énergie vue que la compensation des ondulations \tilde{p} impose au condensateur de fournir cette partie active des ondulations [20][64]. La figure 2.5 ci-dessous présente la schématisation de l'échange d'énergie effectué lors de la compensation.

Les courants de référence sont calculés selon 2.8 :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \times \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} \bar{p} \\ \bar{q} + \tilde{q} \end{bmatrix} \quad (2.14)$$

Les composantes du courant actif circulant entre la source et la charge peuvent être exprimées de la façon suivante :

$$\begin{cases} i_{\alpha p} = \frac{\bar{p}}{v_\alpha^2 + v_\beta^2} v_\alpha(t) \\ i_{\beta p} = \frac{\bar{p}}{v_\alpha^2 + v_\beta^2} v_\beta(t) \end{cases} \quad (2.15)$$

Cette expression 2.15 est intéressante pour la discussion en fin de cette section.

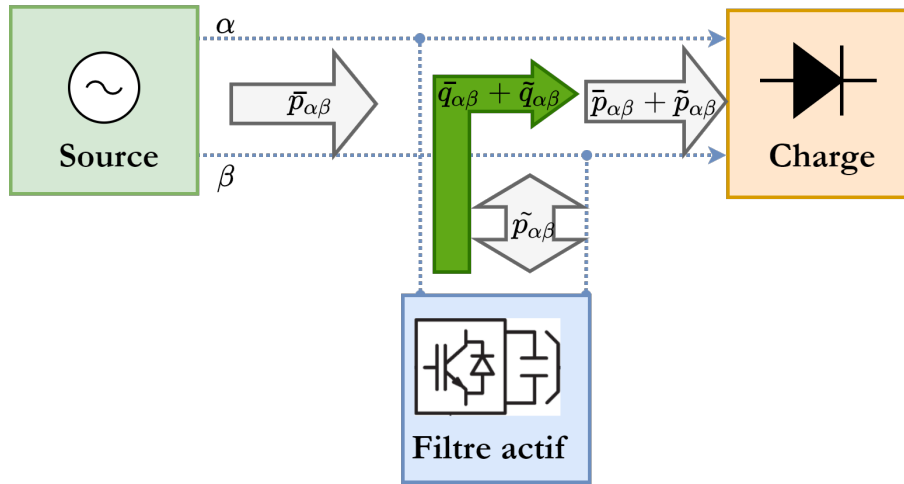


Figure 2.5: Flux d'énergie pour la compensation de la puissance réactive et les harmoniques (sans tenir compte des pertes dans le filtre).

La formule présentée en 2.14 est établie en négligeant les pertes dans les interrupteurs de puissance. Si on tient compte de ces pertes comme nous avons expliqué dans le premier cas, les courants de référence peuvent être écrits comme suit :

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \frac{1}{v_\alpha^2 + v_\beta^2} \times \begin{bmatrix} v_\alpha & -v_\beta \\ v_\beta & v_\alpha \end{bmatrix} \begin{bmatrix} \bar{p} - p_{dc} \\ \bar{q} + \tilde{q} \end{bmatrix} \quad (2.16)$$

Par la suite, l'équation 2.11 est utilisée pour obtenir les courants de référence dans le repère abc. La figure 2.6 illustre le diagramme d'extraction des courants de référence pour la compensation des ondulations \tilde{p} et de la puissance réactive $q(t)$.

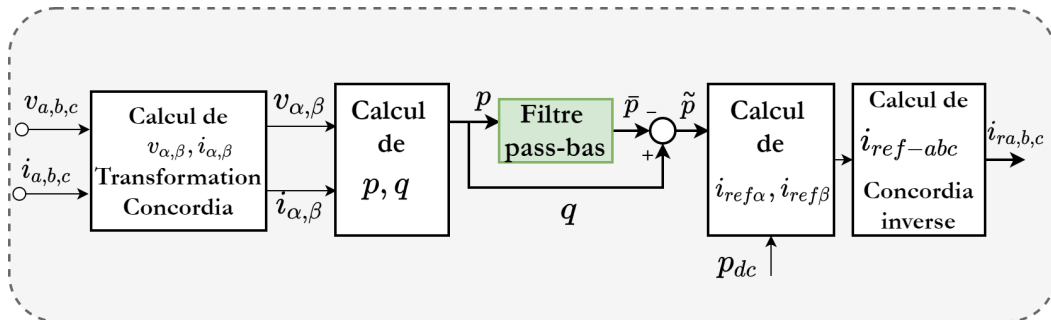


Figure 2.6: Diagramme d'extraction des courants de référence pour la méthode PQ dans le cas de la compensation de la puissance réactive et des harmoniques.

Généralement, dans les applications du filtrage actif parallèle avec la méthode des puissances instantanées, c'est le deuxième concept qui est plutôt utilisé. De plus, l'utilisation du système de stockage à base du condensateur du bus DC est nécessaire, et son dimensionnement se fait par rapport aux ondulations qu'on veut compenser comme on a déjà mentionné en section 1.3.5.

La forme originale de la méthode de compensation telle qu'elle est présentée dans cette section est incapable de compenser les distorsions si les tensions de source ne sont pas purement sinusoïdales. En fait, lorsque les tensions de la source sont distordues, les tensions v_α et v_β ne sont pas des sinusoïdes pures ce qui affecte la constance de la somme $v_\alpha^2 + v_\beta^2$.

L'apparition des ondulations dans la somme $v_\alpha^2 + v_\beta^2$ influe directement sur le courant actif circulant entre la source et la charge (équation 2.15). Et par la suite, les fréquences liées aux ondulations de la somme $v_\alpha^2 + v_\beta^2$ apparaissent dans les courants de lignes rajoutées à celles produites par \tilde{p} [64]. Ce problème sera discuté en détail dans la section prochaine.

2.1.2 Discussion sur la méthode PQ originale

Comme il a été mentionné précédemment, la méthode PQ originale ne peut pas être appliquée avec des tensions d'alimentations non-sinusoidales. En effet, le courant actif obtenu dans ces conditions sera déformé par rapport à la forme de la tension. Ce qui veut dire que ni la compensation des ondulations \tilde{p} , ni la compensation de la puissance réactive ne seront réalisées [64].

Afin d'avoir une interprétation correcte des composantes du courant, on applique une décomposition du vecteur spatial du courant [65]. Tout d'abord, la puissance apparente complexe est notée \underline{S} et elle est définie comme suit :

$$\underline{S} = 3/2 \times \underline{u} \cdot \underline{i}^* = p + jq \quad (2.17)$$

Où \underline{u} est le vecteur de la tension, et \underline{i}^* est le conjugué du vecteur du courant.

Pour des besoins de compensation, les composantes actives et réactives sont décomposées en partie continue DC et alternative AC. C'est-à-dire :

$$\underline{S} = \bar{p} + \tilde{p} + j(\bar{q} + \tilde{q}) \quad (2.18)$$

L'expression du vecteur de courant peut être déduite, ce qui donne :

$$\underline{i} = 2/3 \times \frac{1}{|\underline{u}|^2} \cdot \underline{u} \cdot [(\bar{p} + \tilde{p}) - j(\bar{q} + \tilde{q})] \quad (2.19)$$

À partir de cette expression, le vecteur du courant actif \underline{i}_a , le vecteur du courant réactif \underline{i}_r et le vecteur du courant inutile supplémentaire \underline{i}_{sup} peuvent être définis comme suit :

$$\underline{i}_a = 2/3 \times \frac{\bar{p}}{|\underline{u}|^2} (u_d + ju_q) \quad (2.20)$$

$$\underline{i}_r = 2/3 \times \frac{\bar{q}}{|\underline{u}|^2} (u_q - ju_d) \quad (2.21)$$

$$\underline{i}_{sup} = 2/3 \times \frac{1}{|\underline{u}|^2} [(u_d \tilde{p} + ju_q \tilde{q}) + j(u_q \tilde{p} - u_d \tilde{q})] \quad (2.22)$$

Le calcul de la somme des modules des vecteurs de courant \underline{i}_a , \underline{i}_r et \underline{i}_s donne :

$$\begin{aligned} |\underline{I}_a|^2 + |\underline{I}_r|^2 + |\underline{I}_{sup}|^2 &= \frac{4}{9} \cdot \frac{1}{|\underline{u}|^2} (\bar{p}^2 + \bar{q}^2 + \tilde{p}^2 + \tilde{q}^2) \\ &= |\underline{i}|^2 - \frac{8}{9} \cdot \frac{\bar{p} \cdot \tilde{p} + \bar{q} \cdot \tilde{q}}{|\underline{u}|^2} \end{aligned} \quad (2.23)$$

En intégrant 2.23, on obtient :

$$I_a^2 + I_r^2 + I_{sup}^2 = I^2 - \frac{8}{9} \cdot \frac{1}{2\pi} \int_0^{2\pi} \frac{\bar{p} \cdot \tilde{p} + \bar{q} \cdot \tilde{q}}{|\underline{u}|^2} d(\omega t) \quad (2.24)$$

Où I_a, I_r, I_{sup} et I sont les valeurs moyennes quadratiques (Root Mean Square RMS) de $|\underline{I}_a|, |\underline{I}_r|$ et $|\underline{I}_{sup}|$.

On peut voir que le deuxième terme à droite de 2.24 ne sera nul que si $|\underline{u}|^2$ est constant, c'est-à-dire :

$$\left\{ \int_0^{2\pi} \frac{\bar{p} \cdot \tilde{p} + \bar{q} \cdot \tilde{q}}{|\underline{u}|^2} d(\omega t) = 0 \quad \text{si } |\underline{u}| \text{ est constant} \right. \quad (2.25)$$

Cela signifie que les valeurs RMS des modules des composantes du courant sont orthogonales entre eux uniquement sous une tension sinusoïdale, dans ce cas :

$$I_a^2 + I_r^2 + I_{sup}^2 = I^2 \quad (2.26)$$

Si la forme d'onde de la tension n'est pas sinusoïdale, alors $|\underline{u}|$ n'est pas constant et, par conséquent :

$$\frac{1}{2\pi} \int_0^{2\pi} \frac{\bar{p} \cdot \tilde{p} + \bar{q} \cdot \tilde{q}}{|\underline{u}|^2} d(\omega t) \neq 0 \quad (2.27)$$

En effet, selon l'approche basée sur la théorie PQ originale, le filtre actif parallèle doit compenser la puissance réactive instantanée q et la composante alternative \tilde{p} de la puissance active instantanée p . Ainsi, le vecteur complexe du courant du filtre actif est donné par :

$$\underline{i}_F = i_{Fd} + j i_{Fq} = \frac{2}{3} \cdot \frac{1}{u_d^2 + u_q^2} \cdot |\underline{u}| (\tilde{p} - j q) \quad (2.28)$$

Et le courant absorbé par le réseau sera :

$$\underline{i}_L - \underline{i}_F = \frac{2}{3} \cdot \frac{|\underline{u}|}{u_d^2 + u_q^2} \tilde{p} \quad (2.29)$$

Cette expression du courant actif obtenu est seulement applicable conformément à la théorie d'Akagi (PQ originale) dans le cas d'une tension idéale. Mais, selon la définition de Fryze et d'autres auteurs [65][66], le courant actif doit avoir la même forme que la tension. Cela signifie que le carré du module du vecteur de la tension ($u_d^2 + u_q^2$) doit être constant [65]. Afin d'obtenir un courant actif dont la forme d'onde a la même forme que la tension d'alimentation, selon la définition de Fryze, le dénominateur en 2.29 doit être constant, c'est-à-dire :

$$\underline{i}_a = 2/3 \times \frac{\tilde{p}}{K^2} (u_d + j u_q) \quad (2.30)$$

Où K est une constante.

Dans [65], il a été démontré avec des études de cas que la constante K peut s'écrire :

$$K = U = \sqrt{\frac{1}{T} \int_{t-T}^t |\underline{u}|^2 dt} \quad (2.31)$$

Par conséquent, la définition correcte de \underline{i}_a dans le cas d'une tension d'alimentation non sinusoïdale est :

$$\underline{i}_a = 2/3 \times \frac{\tilde{p}}{U^2} \underline{u} \quad (2.32)$$

Où :

$$U^2 = \frac{1}{T} \int_{t-T}^t |\underline{u}|^2 dt \quad (2.33)$$

Cette expression peut être la définition générale du vecteur du courant actif dans la théorie PQ quel que soit la tension d'alimentation. En fait, si la tension est sinusoïdale, le module du vecteur d'espace tension est constant et, par conséquent :

$$U^2 = \frac{1}{T} \int_{t-T}^t |\underline{u}|^2 dt = |\underline{u}|^2 \quad (2.34)$$

2.2 Présentation de la méthode d'identification appliquée

2.2.1 Méthode PQ modifiée

Dans la présente section la méthode PQ modifiée sera présentée en détail en utilisant les représentations complexe des puissances et des courants. Pour cela, la décomposition des puissances est adoptée dans les coordonnées $\alpha\beta$.

Tout d'abord, les composantes triphasés de la tension et du courant sont transformés selon la transformation de Concordia :

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \sqrt{2/3} \times \begin{pmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{pmatrix} \begin{bmatrix} v_a \\ v_b \\ v_c \end{bmatrix} \quad (2.35)$$

$$\begin{bmatrix} i_\alpha \\ i_\beta \end{bmatrix} = \sqrt{2/3} \times \begin{pmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{pmatrix} \begin{bmatrix} i_a \\ i_b \\ i_c \end{bmatrix} \quad (2.36)$$

Les vecteurs de tension et de courant dans les coordonnées $\alpha\beta$ sont notés respectivement \underline{u} et \underline{i} et s'écrivent :

$$\underline{u} = v_\alpha + jv_\beta \quad (2.37)$$

$$\underline{i} = i_\alpha + ji_\beta \quad (2.38)$$

Ensuite, la puissance apparente \underline{S} est définie comme suit :

$$\underline{S} = 3/2 \times \underline{u} \cdot \underline{i}^* = p + jq = \bar{p} + \tilde{p} + j(\bar{q} + \tilde{q}) \quad (2.39)$$

Où \underline{i}^* est le conjugué du vecteur du courant.

L'objectif de la méthode appliquée est de compenser toute les puissances sauf la puissance active \bar{p} délivrée à la charge, qui correspond à la partie continue de la puissance active. Soit \underline{S}_c la quantité de puissance à compenser, elle est donnée par :

$$\underline{S}_c = -\tilde{p} - j(q) \quad (2.40)$$

Il reste de déduire le courant actif de compensation (ou référence) noté \underline{i}_{ref} à partir de la puissance \underline{S}_c . Selon 2.39, on peut écrire :

$$\underline{i}_{ref} = \frac{2}{3} \cdot \frac{|\underline{u}|}{|\underline{u}|^2} \underline{S}_c^* \quad (2.41)$$

Où : \underline{S}_c^* est le conjugué de \underline{S}_c .

Comme il a été présenté dans la section précédente, la relation générale 2.33 est appliquée dans ce cas, ce qui donne :

$$\begin{cases} \underline{i}_{ref} = \frac{2}{3} \cdot \frac{|\underline{u}|}{U^2} \underline{S}_c^* \\ U^2 = \frac{1}{T} \int_{t-T}^t |\underline{u}|^2 dt \end{cases} \quad (2.42)$$

Dans [44], U^2 a été estimé au moyen d'un filtre passe-bas IIR de 2^{eme} ordre, ce qui a conduit à des calculs inutiles. Dans notre travail, cette valeur est estimée à l'aide d'un intégrateur simple. Cela évite d'éventuelles divergences du filtre [43], et offre l'avantage de faibles calculs avec de bonnes performances.

Après cela, les composantes du courant de référence \underline{i}_{ref} dans la repère $\alpha\beta$ peuvent être déduites à partir de 2.40 et 2.42

$$\begin{bmatrix} i_{ref\alpha} \\ i_{ref\beta} \end{bmatrix} = \begin{bmatrix} \frac{-2}{(3U^2)} \times (v_\alpha \tilde{p} + v_\beta q) \\ \frac{2}{(3U^2)} \times (v_\alpha q - v_\beta \tilde{p}) \end{bmatrix} \quad (2.43)$$

La transformation de Concordia inverse (2.11) est ensuite appliquée pour obtenir la composante triphasée du courant de référence. Le schéma de principe pour le calcul des références dans le cas des tensions d'alimentation non-sinusoidales est illustré sur la figure 2.7.

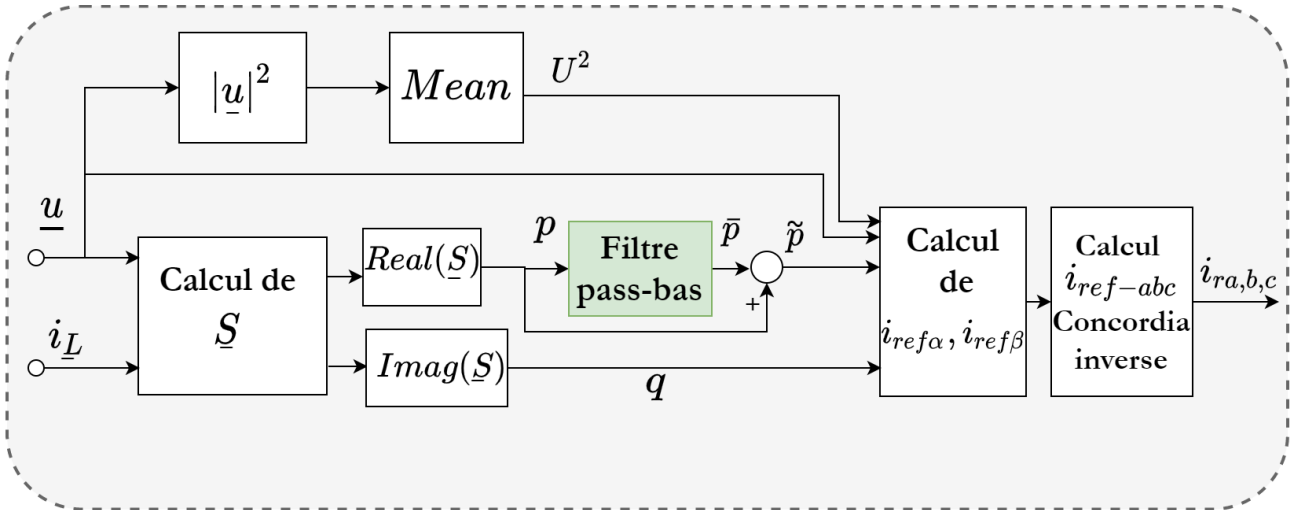


Figure 2.7: Principe de calcul des courants de référence par la méthode PQ modifiée

2.2.2 Régulation de la tension continue en cas de source non-sinusoidale

Comme nous l'avons discuté dans la section 2.1.1, les pertes liées aux commutations des interrupteurs de puissance doivent être compensés en utilisant une boucle de régulation de la tension du condensateur du bus DC.

Pour cela, la boucle de régulation de la tension continue présentée dans la section 1.3.5 est utilisée pour générer l'amplitude du courant de référence supplémentaire liée aux pertes à compenser. De plus, un circuit spécifique est ajouté dans ces conditions non-sinusoidales afin de fournir la forme de ce courant en fonction de la tension d'alimentation. La figure 2.8 présente le principe général de la régulation.

Le circuit spécifique a comme but de générer un signal d'amplitude unitaire en phase avec la tension d'alimentation pour indiquer la forme du courant actif qui est nécessaire pour couvrir les pertes du système d'alimentation.

Il existe plusieurs manières pour obtenir ce signal. La méthode la plus simple pourrait être d'utiliser le signal de tension mesuré divisé par son amplitude. Cependant, lorsque la tension d'alimentation est déformée, le rapport du dénominateur n'est pas clairement défini et il peut devenir une source d'erreurs. La solution appropriée est d'utiliser un bloc de synchronisation qui utilise une boucle à verrouillage de phase (PLL) [67].

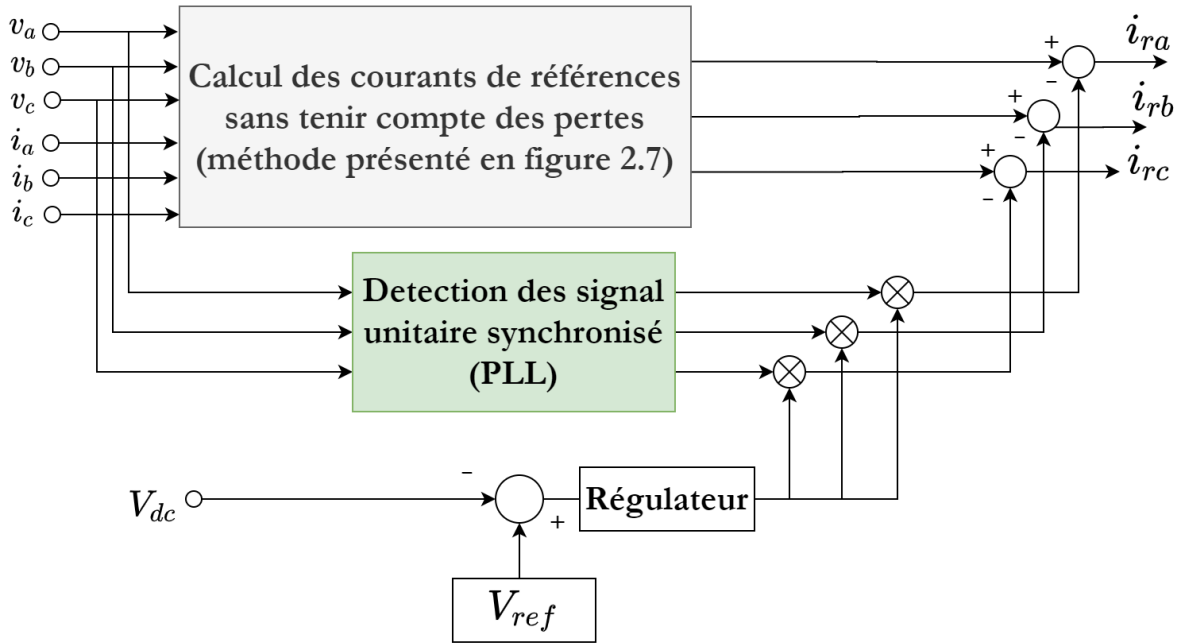


Figure 2.8: Principe de la régulation de la tension continue avec la méthode PQ modifiée

Dans notre travail, le principe de la PLL utilisée est basé sur l'emploi d'un simple régulateur PI après la transformation des tensions dans le repère d-q. Le principe du modèle appliqué est affiché sur la figure 2.9. À partir de la figure, les tensions $V_{sabc}(\phi)$, mesurées au point de raccordement du FAP, subissent dans un premier temps la transformation de Concordia ($\alpha - \beta$). Les tensions ainsi obtenues sont exprimées dans le repère de Park par une rotation $P(-\hat{\phi}_d)$. L'angle de rotation $\hat{\phi}_d$ est calculé en intégrant l'estimation $\hat{\omega}_d$ de la pulsation qui est déterminé par le régulateur PI appliqué. La PLL sera verrouillée lorsque l'angle estimé $\hat{\phi}_d$ sera égal à ϕ . Une fois l'angle $\hat{\phi}_d$ est estimé, les tensions unitaires de synchronisation sont ainsi obtenues et fournies pour la régulation de la tension continue.

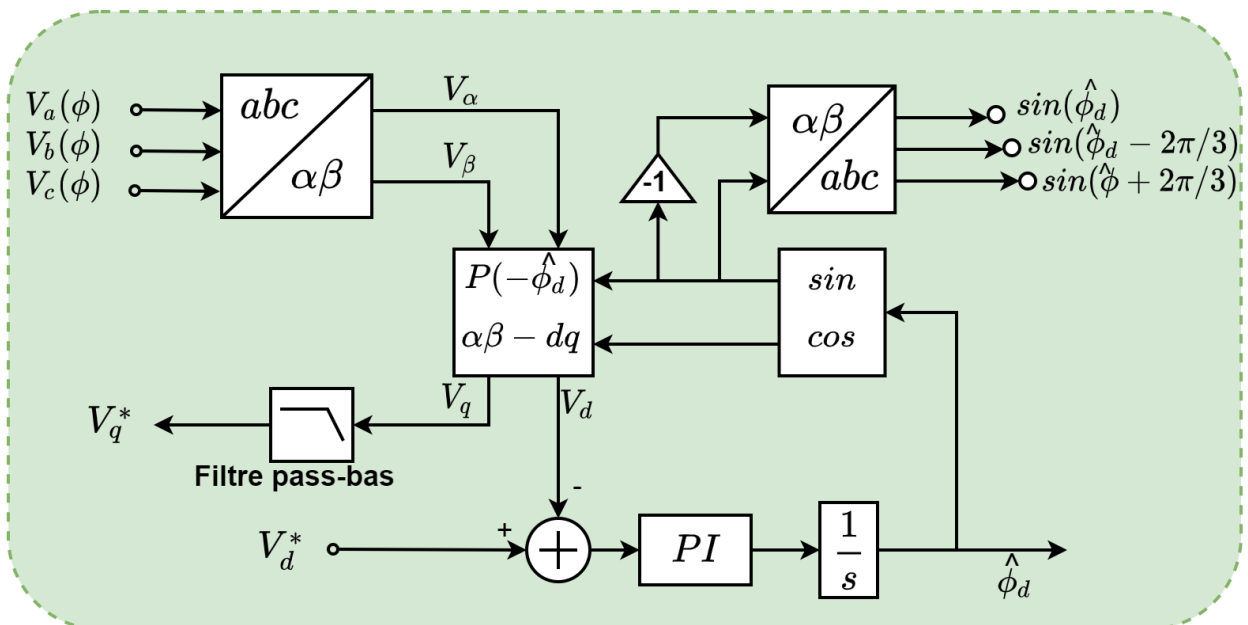


Figure 2.9: Modèle de la PLL appliquée.

2.2.3 Boucle interne de contrôle du courant

Après avoir identifié les courants de référence calculés à l'aide de la méthode PQ modifiée présentée précédemment et en ajoutant le courant supplémentaire liée à la régulation de la tension V_{dc} , l'algorithme de commande utilise ces références pour générer les signaux de commande des interrupteurs de puissance.

Dans notre travail, une commande à hystérésis a été utilisée pour générer les ordres de commandes des interrupteurs de puissance. Ce type de commande est caractérisé par sa simple implémentation et de ces bons performances [44]. Le principe de cette commande a été présenté dans la section 1.3.4.2. La figure 2.10 montre le schéma synoptique de la technique de commande à hystérésis adoptée

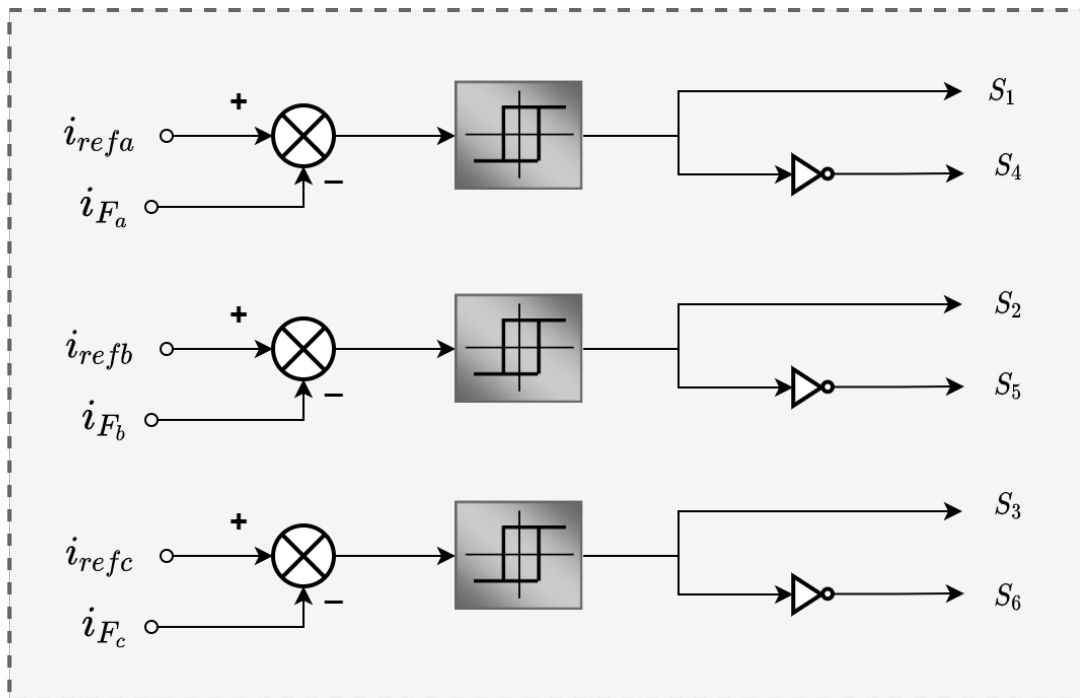


Figure 2.10: Schéma de la technique de commande à hystérésis adoptée

2.2.4 L'algorithme d'extraction de la composante DC de la puissance

À partir des équations présentées dans les sections précédentes, on voit bien que le principe de la méthode des puissances instantanées PQ repose principalement sur la décomposition des puissances en partie DC et AC. Cette décomposition concerne à la fois la forme originale de la méthode PQ et l'approche modifiée présentée dans ce chapitre. L'algorithme d'estimation de la composante DC de la puissance active p est une partie cruciale qui influence directement sur la performance de la méthode [40]. En effet, la précision et la vitesse d'identification des courants de référence sont reliées directement à la rapidité et la précision d'algorithme utilisé pour la séparation de la partie DC de la puissance. Pour cela, le choix de l'algorithme dédié à cette tâche doit se faire convenablement. Généralement, un filtre passe-bas classique de type IIR est utilisée, mais ce filtre présente plusieurs problèmes surtout dynamiques. Dans notre travail, un algorithme d'estimation basé le principe de filtrage adaptatif est utilisé. Le principe est les équations définissant le comportement de ce filtre seront présentées en détail dans les sections prochaines.

En résumé la figure 2.11 présente un schéma de l'approche de contrôle du FAP appliquée dans notre travail.

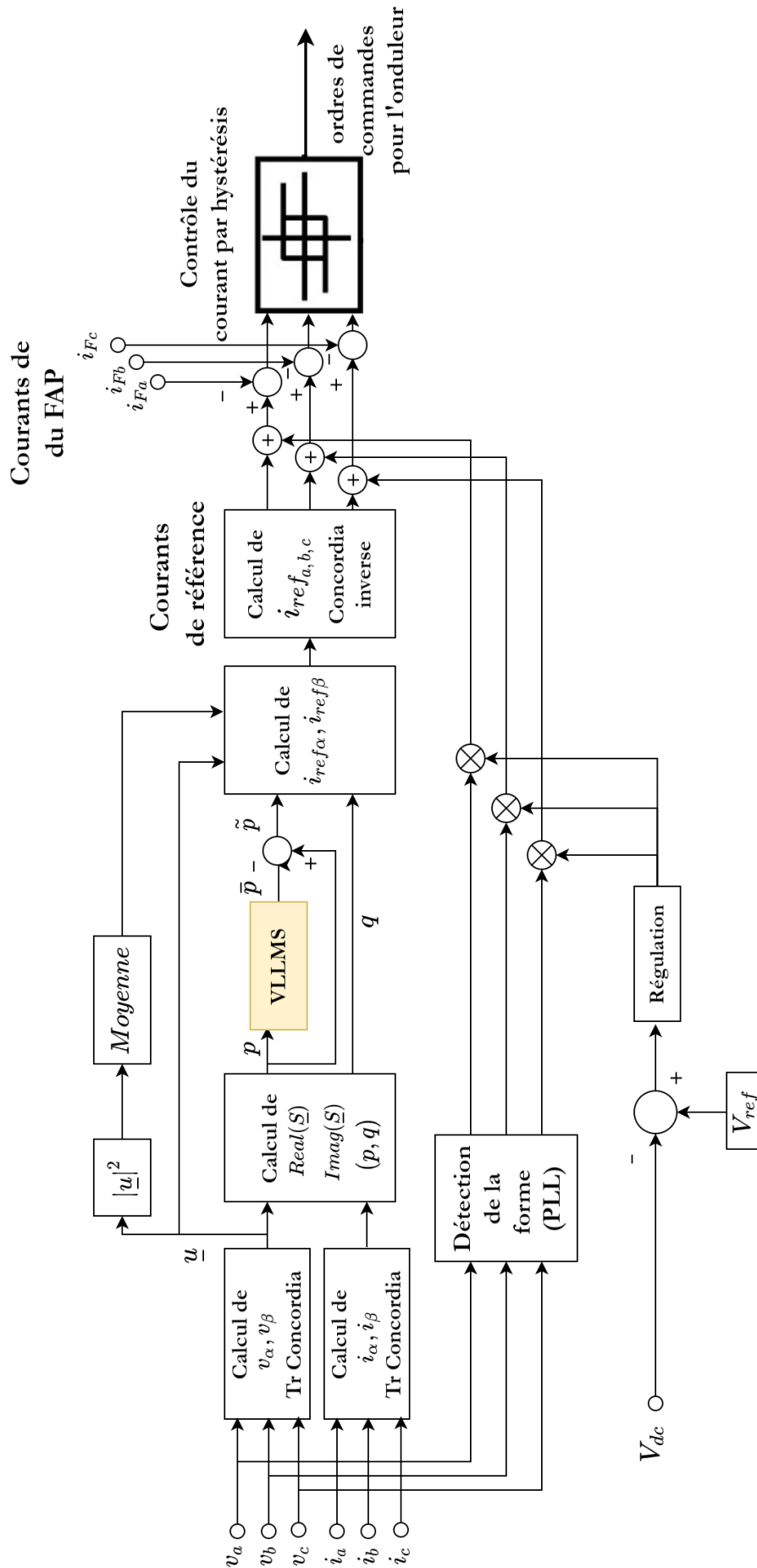


Figure 2.11: Schéma globale de la méthode d'identification appliquée

2.3 L'algorithme de filtrage proposé

La contribution principale de la thèse est l'application d'une nouvelle approche basée sur le filtrage adaptatif pour améliorer les performances d'identification des harmoniques en utilisant la théorie des puissances instantanées. Comme on a bien présenté, l'algorithme d'extraction de la composante DC de la puissance active est un élément clé dans l'opération de la méthode PQ. Dans la présente section, un état de l'art sur les algorithmes d'estimation de la composante DC et d'abord présenté. Par la suite, la méthode proposée est introduite en présentant le principe du filtre adaptatif appliqué.

2.3.1 Etat de l'art sur les algorithmes d'extraction de la composante DC

Dans le contexte de la méthode des puissances instantanées, la réponse dynamique du modèle repose fortement sur la vitesse d'extraction de la composante DC de la puissance active [40]. La solution classique pour l'extraire est l'utilisation d'un filtre à réponse impulsionnelle infinie (IIR), dont la vitesse et la précision sont liées à son ordre et à sa fréquence de coupure. Un filtre de 6^{ème} ordre avec une fréquence de coupure entre 20 Hz-100 Hz est couramment appliqué, mais le retard inévitable introduit par ce filtre peut dégrader les performances du système [41]. Diverses méthodes de filtrage classiques ont été proposées comme alternatives. Les auteurs de [68] ont proposé l'utilisation d'un filtre MAF (Moving Average Filter). Dans [69], un filtre passe-bas amélioré est implémenté en combinant en cascade un filtre Butterworth et un filtre MAF. Cependant, l'utilisation d'un filtre à réponse impulsionnelle finie (FIR Finite Impulse Response) nécessite un ordre élevé pour obtenir les mêmes performances que les filtres IIR, ce qui se traduit par un temps de calcul plus long et une grande quantité de ressources [70]. En outre, la limite majeure de toutes ces méthodes classiques est l'utilisation des filtres invariants dans le temps. Ces filtres présentent des performances dynamiques médiocres surtout en présence des distorsions harmoniques variables dans le temps. En effet, la comparaison des filtres stationnaires traditionnels avec les filtres paramétriques pour l'estimation de la composante continue indique une efficacité beaucoup plus élevée des filtres variables dans le temps [51].

En [71], les performances dynamiques de la technique PQ ont été améliorées grâce à l'utilisation d'un filtre passe-bas basé sur la transformée en ondelette discrète (WLPF). En [45], le même filtre WLPF a été utilisé avec la méthode SRF afin d'améliorer sa performance dynamique. Les auteurs ont démontré la supériorité de l'utilisation du WLPF par rapport aux filtres classiques invariants dans le temps en offrant la capacité de localisation simultanée dans le domaine temporel et fréquentiel. Ces auteurs ont utilisé différents filtres à base d'ondelettes tels que HAAR, SYMLET, Daubechies et Biorthogonal, et ils ont conclu que le filtre en ondelette à base de HAAR est le mieux adapté pour cela. Cependant, cette technique peut conduire à une estimation incorrecte des paramètres dans le cas des signaux présentant des perturbations [72]. Ainsi, il ne doit être utilisé que dans les systèmes avec des variations de puissance limités [70]. De plus, cette technique peut conduire à plus de calcul dans le cas des fréquences d'échantillonnage élevées [73] [74].

Par ailleurs, les auteurs de [43] ont visé à réduire la complexité de l'algorithme et à éviter toute possibilité de divergence du filtre, ils ont donc proposé l'utilisation un simple calculateur de moyenne à base d'intégrateur, mais cette méthode bien qu'elle soit stable, elle présente des performances médiocre en régime transitoire et même en régime permanent. Une autre solution est décrite dans [70] en appliquant plusieurs filtres basés sur des réseaux de neurones, ces filtres ont apporté de bonnes améliorations, mais selon les auteurs, les limites des variations de la charge doivent être connues lors du processus d'apprentis-

sage, ce qui peut être un problème dans certaines applications. En [40], le filtre passe-bas conventionnel a été remplacé par un filtre VFFRLS (Variable forgetting factor recursive least square) dans une approche de contrôle basée sur la méthode SRF. Ce filtre a permis d'avoir de bonnes améliorations, mais le temps de calcul et les ressources utilisées par l'algorithme n'ont pas été étudiés.

La revue présentée dans cette section représente un état de l'art global sur les algorithmes qui ont été appliqués précédemment pour l'extraction de la composante continue. Ces méthodes ont été utilisées soit avec la méthode des puissances instantanées, soit avec la méthode SRF. Dans la suite de cette section, les principales méthodes parmi celles citées dans l'état de l'art seront discutées en détail avant d'exposer le principe de la technique proposée dans notre travail. L'étude et la discussion de ces méthodes a pour but de nous permettre de reproduire ces algorithmes et de les comparer avec notre méthode proposée.

2.3.1.1 Les méthodes classiques de filtrage

a. Filtrage FIR

Le filtre à réponse impulsionnelle finie (FIR) est un filtre non-récurif dont la sortie du filtre est calculée en fonction des entrées actuelles et précédentes. Les filtres FIR sont conçus pour avoir une réponse de phase linéaire. L'équation 2.44 et l'équation 2.45 définissent respectivement l'équation aux différences et la fonction de transfert discrète pour le filtre FIR [75].

$$y(n) = \sum_{k=0}^{N-1} b_k \cdot x[n - k] \quad (2.44)$$

$$H(z) = \sum_{k=0}^{N-1} b_k \cdot z^{-k} \quad (2.45)$$

Un filtre non-récurif est toujours stable et les caractéristiques d'amplitude et de phase peuvent être spécifiées arbitrairement. Cependant, un filtre non-récurif nécessite généralement plus de mémoire et d'opérations arithmétiques que son filtre récurif équivalent. La figure 2.12 montre l'architecture d'un filtre FIR typique [76].

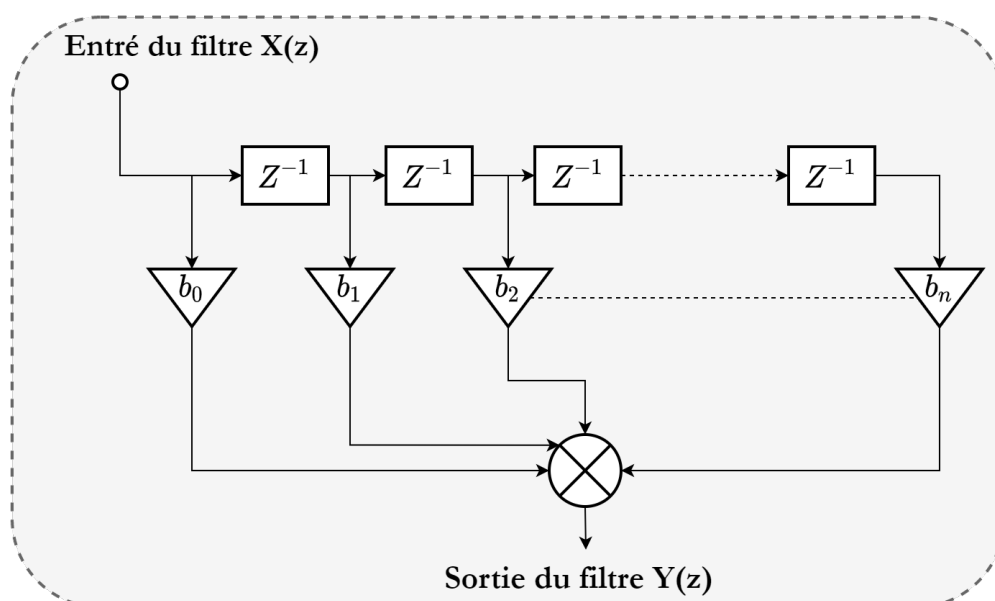


Figure 2.12: Schéma bloc du filtre à réponse impulsionnelle finie FIR

b. Filtrage IIR

Le filtre à réponse impulsionnelle infinie (IIR) est un filtre récursif dont la sortie est calculée en fonction des entrées actuelles et précédentes et les sorties précédentes. Il est nommé ainsi parce que dans la majorité des cas, la réponse impulsionnelle de ce type de filtre est de durée théoriquement infinie. L'équation 2.46 et l'équation 2.47 définissent respectivement l'équation aux différences et la fonction de transfert discrète pour le filtre IIR récursif.

$$y(n) = \sum_{k=0}^N b_k \cdot x[n - k] - \sum_{k=1}^M a_k \cdot y[n - k] \quad (2.46)$$

$$H(z) = \frac{\sum_{k=0}^N b_k \cdot z^{-k}}{1 + \sum_{k=1}^M a_k \cdot z^{-k}} \quad (2.47)$$

Où :

$x[n]$: Les valeurs successives du signal d'entrée.

a_k, b_k : Les coefficients de la fonction de transfert du filtre.

$y[n]$: Les valeurs successives du signal de sortie

N, M : ordres du numérateur et du dénominateur de $H(Z)$ (M est souvent appelé l'ordre du filtre).

La présence des pôles dans $H(z)$ réduit considérablement le nombre de coefficients par rapport à un filtre FIR équivalent. d'une autre part, la réponse de phase d'un filtre IIR est généralement non-linéaire et sa stabilité doit être vérifiée lors de la conception [76].

La conception du filtre IIR est basée sur l'identification des coefficients de la fonction de transfert $H(z)$ qui satisfait aux exigences en termes de spécifications du filtre. Cela peut être fait soit en développant un prototype analogique (filtre de Butterworth, filtre de Chebyshev, filtre de Caueur ou elliptique, filtres de Bessel.. etc.) puis en le transformant en une fonction de transfert, soit en le concevant directement en numérique [75].

La réalisation du filtre se fait à l'aide de trois éléments ou opérations de base, à savoir : l'élément gain, l'élément de sommation et le retard unitaire. La réalisation peut être sous la forme directe I ou la forme direct II (canonique) qui utilise moins d'éléments de retard. La figure 2.13 illustre ces deux types de réalisation les plus connues [77].

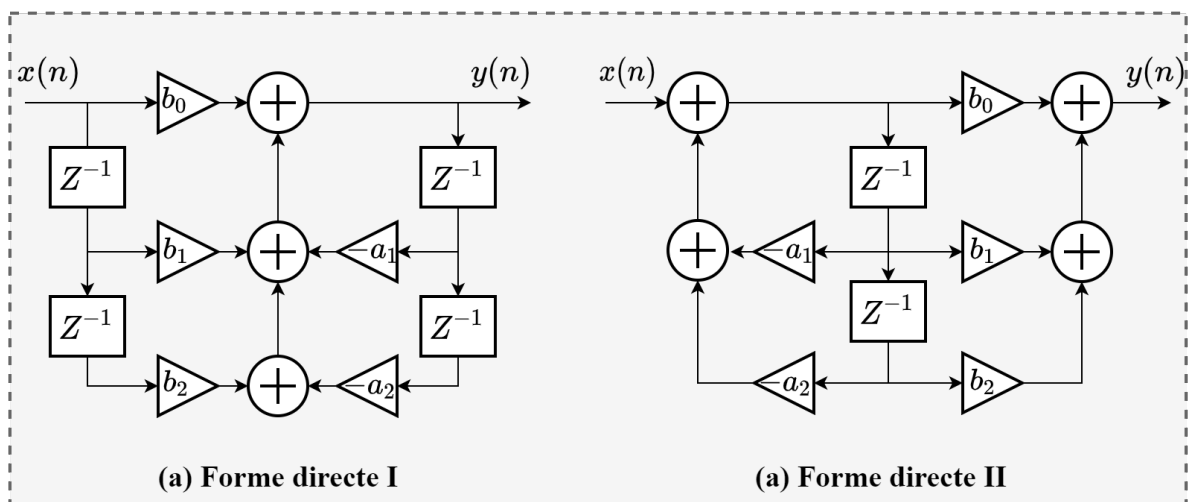


Figure 2.13: Schéma bloc du filtre à réponse impulsionnelle infinie IIR

En outre, une stratégie courante pour la réalisation des filtres d'ordre supérieur à 2 consiste à assembler en cascade plusieurs sections «biquadratiques» ou «biquad» du second ordre. L'avantage de cette stratégie est que la plage des coefficients est limitée, ce qui offre plus de stabilité [77]. La figure 2.14 montre un exemple de réalisation d'un filtre d'ordre 4 à base de biquad. En fait, pour réaliser ce filtre, il suffit de cascader deux sections de biquad.

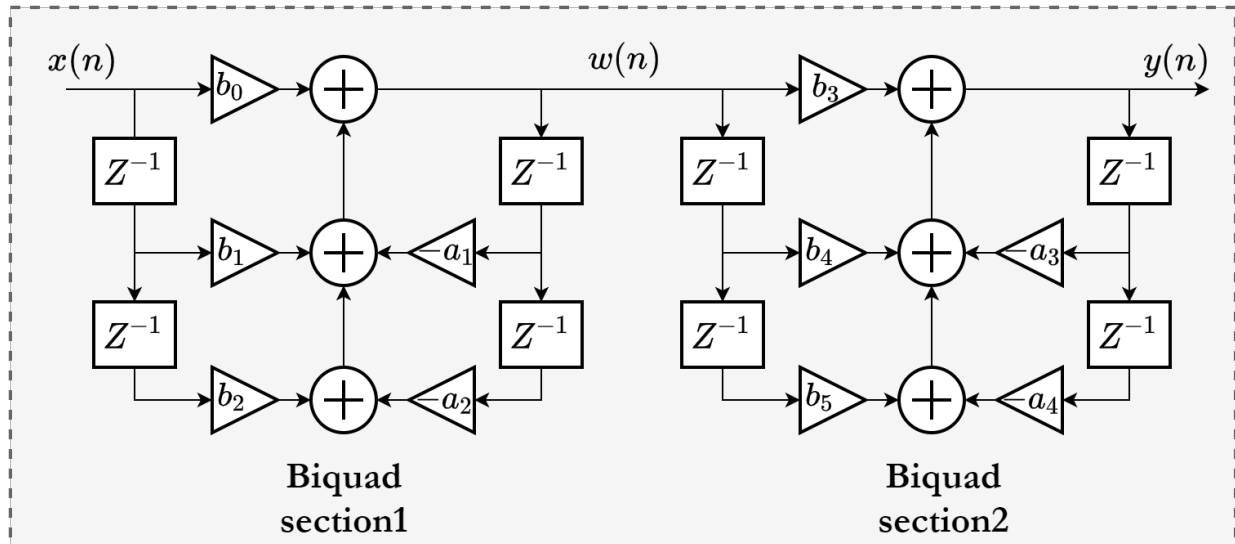


Figure 2.14: Exemple de réalisation d'un filtre d'ordre 4 en deux sections de biquad

c. Remarques sur les filtres classiques invariants dans le temps

Les caractéristiques en régime transitoire et en régime permanent des filtres classiques FIR et IIR sont fonction de l'ordre du filtre et de sa fréquence de coupure. En effet, si on augmente la fréquence de coupure, on aura une réponse rapide avec moins de précision et si on diminue la fréquence de coupure, on aura une bonne précision avec une réponse lente. De même pour le choix de l'ordre du filtre, un ordre élevé permet d'améliorer l'atténuation des harmoniques en régime permanent, mais au prix d'une réponse lente en cas de changement de charge [78]. Pour cela, le choix de ces paramètres doit être un compromis entre la rapidité de la réponse et la précision en régime permanent. En résumé, il n'est pas possible d'améliorer les performances du filtre en termes de précision et de vitesse de réponse au-dessus d'une certaine limite tant que les paramètres du filtre sont invariants [51].

Généralement dans ce type d'application, le filtre appliqué est le filtre Butterworth [79] en raison de son gain plat à sa fréquence DC [78]. La mise en œuvre de ce filtre numérique IIR ce fait après son conversion en domaine temporel discret en utilisant une transformation bilinéaire. La fréquence de coupure du filtre est généralement choisit entre 20HZ-100HZ avec un ordre de 5 ou 6. Les filtres d'ordre supérieur ne conviennent pas en raison de leur réponse dynamique lente et leur difficulté de mise en œuvre lorsque les pôles se rapprochent de l'axe imaginaire [78].

2.3.1.2 Le filtre en réseau de neurones

Selon l'étude présentée en [70], l'extraction de la composante DC peut être effectuée au moyen des réseaux de neurones linéaires les plus simples. Dans cette étude, une approche neuronale a été appliquée pour extraire la composante continue de la puissance active.

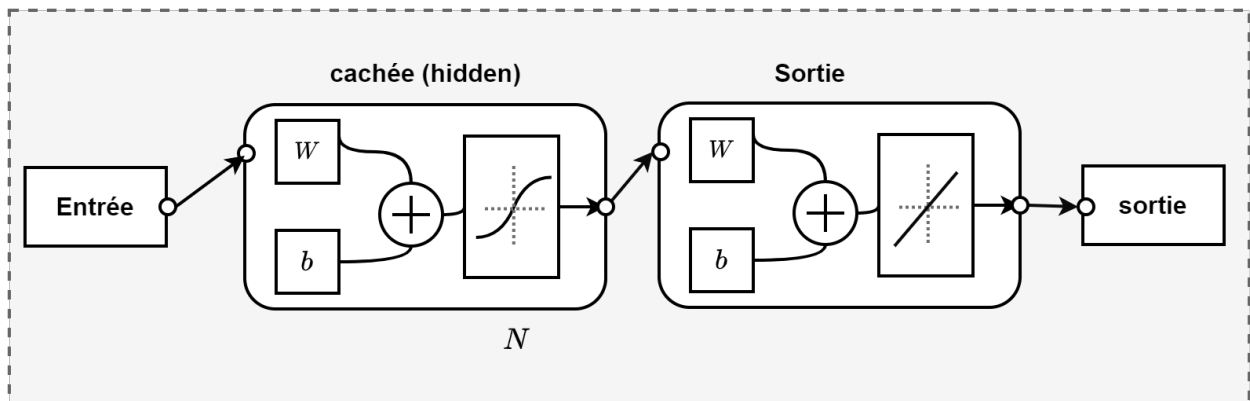


Figure 2.15: Schéma de principe du filtre à réseau de neurones

L'approche proposée applique un réseau de neurones à propagation avant à deux couches avec des neurones cachés sigmoïdes et un neurone de sortie linéaire comme le présente la figure 2.15. Le problème étudié a été traité comme un problème d'adaptation de fonction, mais uniquement pour un ensemble donné de niveaux de la charge polluante. Dans un tel cas, en fonction du nombre de niveaux de la charge, le nombre de neurones de la couche cachée N doit être ajusté, par exemple : dans le cas de trois niveaux de la charge, quatre neurones suffisent et pour 10 niveaux de la charge, le nombre de neurones N doit être augmenté à 35 pour obtenir des résultats satisfaisants. Ce filtre a donné de bons résultats dynamiques. Cependant, ces bons résultats sont conditionnés par la connaissance préalable des niveaux de variations de la charge [70].

2.3.1.3 Le filtre passe-bas en ondelette

La transformée en ondelette (wavelet transform WT) est un outil mathématique largement utilisé en traitement du signal. Contrairement à la transformée de Fourier, la WT permet à un signal du domaine temporel d'être décomposé dans le domaine temps-fréquence. Dans ce domaine, les événements du signal sont localisés à la fois en temps et en fréquence [80], ce qui offre à cette outil la possibilité d'analyser les signaux non-stationnaires, ce qui n'est pas possible avec la transformée de Fourier [81].

En traitement du signal numérique, la forme continue du WT ne peut pas être appliquée. Pour cela, la forme discrète a été proposée. La réalisation de cette forme discrète peut se faire en trois méthodes : l'analyse multi-résolutions (MRA), la transformation en ondelettes en "lifting" (lifting wavelet transform LWT) et la transformation en ondelettes fenêtrée (windowed wavelet transform WWT) [45]. En MRA, pour obtenir une meilleure résolution en fréquence, une ou plusieurs séries de filtre passe-bas $h(z)$ et/ou filtre passe-haut $g(z)$ ainsi que des éléments de sous-échantillonnage, comme celui de la figure 2.16.a, peuvent être utilisés. Le détail et l'approximation contiennent respectivement des composantes basses et haute fréquence. La WWT est la même que la MRA, mais dans ce cas, un signal d'entrée doit être fenêtré comme un multiple de 2^N , où N est le nombre de niveaux d'ondelettes. Dans la LWT, le signal d'entrée est initialement sous-échantillonné par deux, puis il est analysé par des prévisions et des mises à jour afin de diminuer le coût de calcul. La structure de la LWT à un niveau est illustrée à la figure 2.16.b. Sur cette figure, $t_1(z)$ à $t_m(z)$ et $s_1(z)$ à $s_m(z)$ sont des polynômes de Laurent.

La transformée en ondelette discrète peut être utilisée dans les applications de filtrage passe-bas. Dans ce contexte, les travaux [45] [71] [82] [83] ont proposé l'utilisation d'un filtre passe-bas basé sur la WT discrète pour extraire la partie DC des signaux perturbés par les harmoniques. En fait, le signal d'entrée (puissance active p) est décomposé en différentes bandes de fréquences, et la plage la plus basse qui contient uniquement la composante DC est choisie. Après cela, cette valeur est soustraite du signal d'origine pour produire la composante alternative AC. Dans ces travaux, la méthode de réalisation du filtre appliqué est la transformation en ondelettes LWT, grâce à sa faible complexité par rapport aux autres méthodes. La figure 2.17 ci-dessous présente la forme du filtre appliqué.

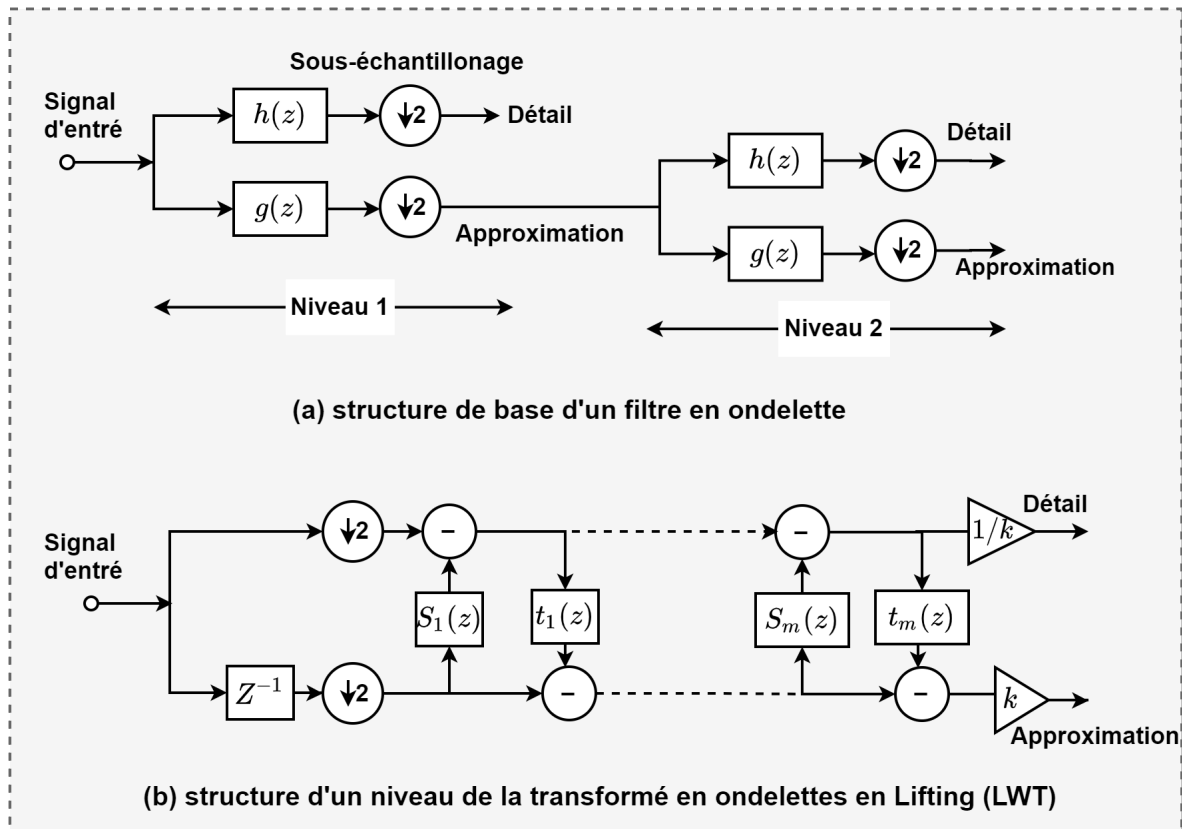


Figure 2.16: Schéma de principe du filtre basé sur la transformée en ondelette

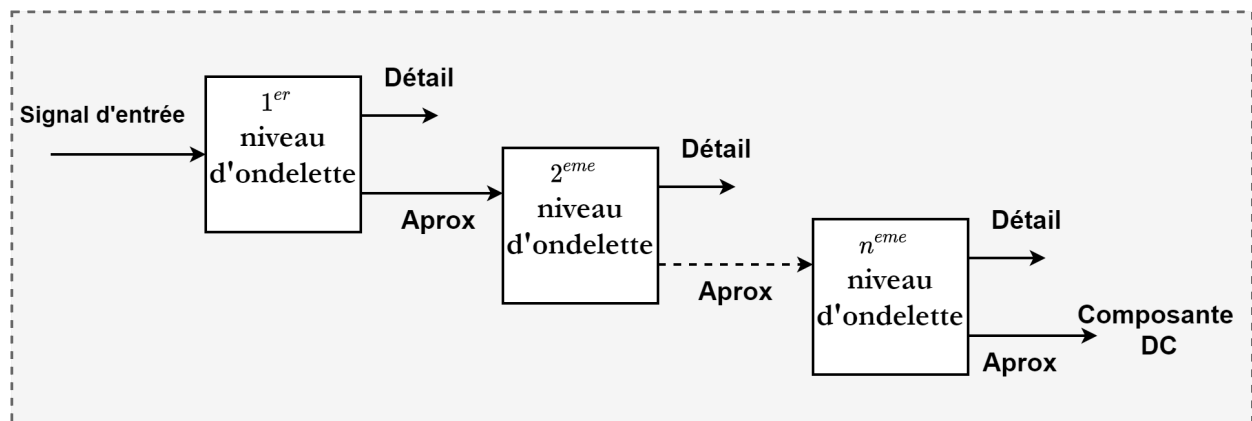


Figure 2.17: Schéma de principe d'un filtre en ondelette appliqué pour l'extraction de la composante DC

L'extraction des bandes de fréquences d'un signal à l'aide de la transformée en ondelette dépend principalement de la fonction mère de l'ondelette et de la fréquence d'échantillonnage. Ces deux facteurs importants peuvent conduire à un temps de réponse plus long du WT ou à une précision réduite de ces bandes extraites.

Dans les travaux précités, plusieurs types de mères d'ondelette ont été étudiés. Les auteurs de ces travaux ont déduit que le meilleur choix est l'ondelette de Haar vue qu'il est le type le plus simple et qui donne de bonnes performances. La figure 2.18 présente le niveau N°1 du filtre appliqué dans les travaux précités où la méthode LWT est utilisée pour estimer les coefficients de la fonction mère de Haar (les coefficients du filtre passe-bas et du filtre passe-haut).

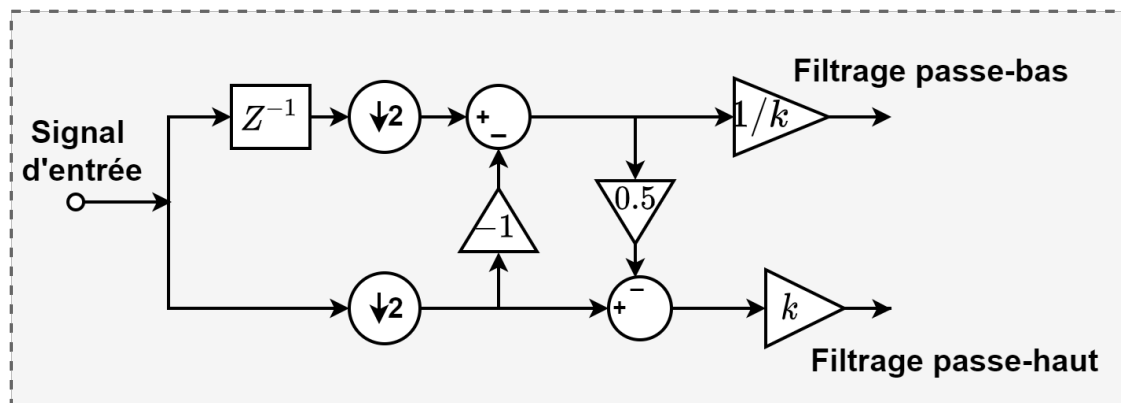


Figure 2.18: Structure d'un niveau du filtre en ondelette en utilisant la fonction mère de Haar

Cette méthode a permis d'avoir des résultats améliorés par rapport à l'utilisation des filtres classiques invariants dans le temps. Cependant, selon [72], cette technique peut conduire à une estimation incorrecte des paramètres dans le cas de signaux présentant des perturbations. Par conséquent, il ne doit être utilisé que dans les systèmes avec des variations de puissance limités [70]. De plus, si la fréquence d'échantillonnage est élevée, le nombre de niveaux d'ondelette nécessaire doit être suffisamment élevé et par conséquent, l'implémentation nécessite plus de ressources de calcul [73] [74]. En outre, la méthode présentée dans cette section sera reproduite et comparée avec l'algorithme proposé dans cette thèse, les résultats de comparaison seront présentés dans le chapitre prochain.

2.3.1.4 Le filtre numérique VFFRLS

Le filtre VFFRLS (variable forgetting factor recursive mean square) a été proposé par les travaux en [40][84]. Selon les auteurs, ce filtre passe-bas est un outil mathématique puissant pour l'estimation en temps réel des paramètres du signal. Dans cette méthode de filtrage, l'estimation des paramètres du signal se fait jusqu'au n^{eme} instant échantillonné en exploitant les données mesurées du signal au $(n + 1)^{eme}$ instant échantillonné. L'estimation précédente est mise à jour sur la base des nouvelles données. En d'autres termes, il existe une corrélation entre le signal mesuré et le signal estimé et à chaque nouvel échantillon du signal mesuré, les paramètres estimés sont mis à jour.

L'équation 2.48 représente le signal mesuré, son estimation est présentée en 2.49, tandis que, l'équation 2.50 représente l'équation de mise à jour qui finalise le processus d'estimation.

$$y(n) = \Phi^T \theta(n) \quad (2.48)$$

$$\hat{\theta}(n+1) = \hat{\theta}(n) + P(n+1)\Phi(n+1)[y(n+1) - \Phi^T(n+1)\hat{\theta}(n)] \quad (2.49)$$

$$P(n+1) = \frac{1}{\lambda} \left[p(n) - \frac{p(n)\Phi(n+1)\Phi^T(n+1)P(n)}{1 + \Phi^T(n+1)P(n)\Phi(n+1)} \right] \quad (2.50)$$

Où $\hat{\theta}$ est le vecteur des paramètres estimés (θ est un vecteur de paramètres réels), Φ^T est le vecteur de connexion ou vecteur «régresseur», P est la matrice de covariance et λ est le facteur d'oubli.

Le paramètre λ permet d'augmenter la vitesse de convergence de la méthode VFFRLS en régime transitoire, sa valeur varie entre 0 et 1 selon la relation 2.51 ci-dessous en fonction des variations des paramètres du signal. En fait, lorsque les paramètres du signal sont invariants, la valeur de λ est égale à 1 ce qui offre une estimation en grande précision. Mais lorsque le signal subit des variations (régime transitoire), λ diminue et la matrice de covariance est réinitialisée. La réinitialisation de la matrice de covariance donne plus d'influence des données échantillonnées en $(n+1)$ sur la procédure d'estimation et par conséquent, la vitesse de convergence augmente. D'autre part, la diminution de λ entraîne la diminution de la précision d'estimation lors de cette partie transitoire. Pour cela le temps de diminution de λ doit être réduit au maximum pour ne pas affecter la précision d'estimation [40][84].

$$\lambda(t) = \lambda_{min} + (1 - \lambda_{min})2^{-[\rho\alpha^2(t)]} \quad (2.51)$$

λ_{min} est la valeur minimale du facteur d'oubli, ρ est le contrôleur de largeur de la zone d'unité et $\alpha(t)$ est l'erreur d'estimation, exprimée par :

$$\alpha(t) = y(t+1) - \Phi^T(t+1)\hat{\theta} \quad (2.52)$$

Sur la base des explications mentionnées ci-dessus, en considérant les ondulations \tilde{p} de la puissance active comme paramètre d'estimation $\hat{\theta}$, l'extraction de la composante continue \bar{p} peut être alors effectuée en utilisant les équations présentées.

L'application de cette méthode a permis d'avoir de bonnes performances en régime transitoire et même en régime permanent. Cependant, la complexité de calcul et les ressources matérielles utilisées par cette méthode n'ont pas été étudiées, d'autant plus qu'elle utilise des opérations de division et une opération exponentielle. Dans ce contexte, nous avons reproduit cette méthode et nous l'avons comparé en simulation avec la méthode que nous avons proposée dans des différentes situations, les résultats obtenus seront présentés dans le chapitre 3 de ce mémoire. D'une autre part, nous avons également étudié la complexité de calcul et les ressources utilisées par la méthode VFFRLS et nous l'avons comparée avec la méthode proposée, les résultats seront présentés dans le chapitre 4.

2.3.2 Principe du filtrage adaptatif

L'approche de filtrage proposée dans notre travail est basée sur le principe de l'annulation adaptative du bruit qui est une technique bien-connue en traitement de signal. Dans la suite de cette section, le principe cette technique est d'abord présenté, par la suite, notre approche de filtrage est introduite.

2.3.2.1 Principe de l'annulation adaptative du bruit

La technique d'annulation adaptative du bruit (ANC) a été développée en 1975 [85]. Elle est basée sur le filtrage optimal de Wiener qui peut être appliqué lorsqu'un signal de référence approprié est disponible. Cette technique est une méthode de débruitage largement utilisée dans différentes applications du traitement du signal, tels que : le débruitage de la parole, la suppression des interférences électriques dans les signaux de communication, et la suppression des interférences périodiques en électrocardiographie [86][87].

La figure 2.19 montre le schéma de principe d'un système d'annulation adaptative de bruit. Celui-ci est constitué de deux entrées, une entrée primaire permettant de recevoir le signal contaminé par le bruit et une entrée secondaire, considérée comme référence, permet de recevoir le bruit qui est supposé décorrélé avec le signal utile et corrélé dans un certain sens inconnu avec le bruit dans l'entrée primaire [88].

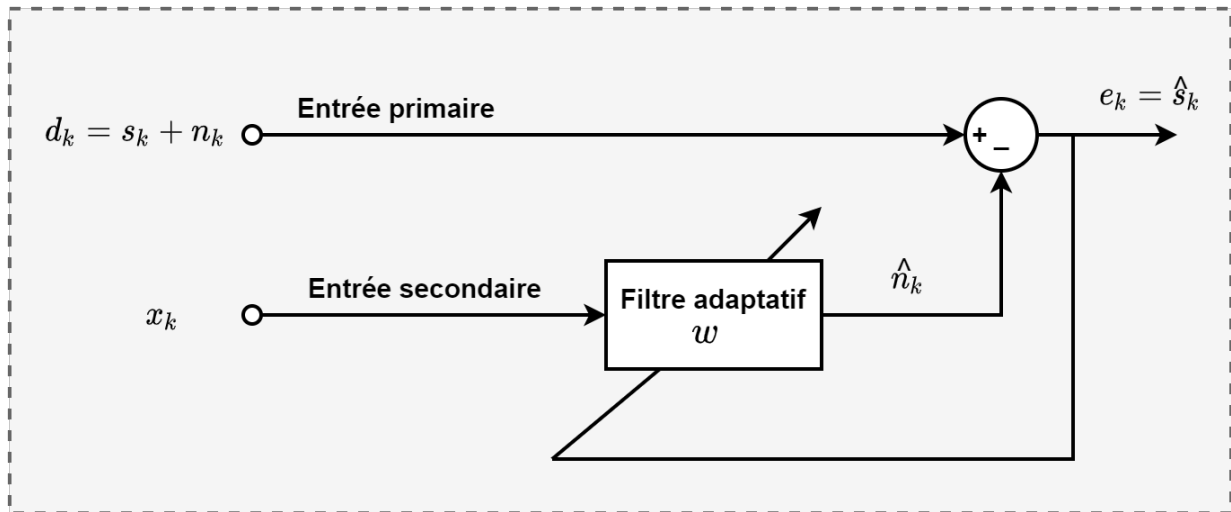


Figure 2.19: Schéma de principe d'un annulateur adaptatif de bruit [85]

Le bruit dans l'entrée secondaire x_k est filtré par le biais d'un filtre adaptatif afin de générer une estimation \hat{n}_k du bruit additif n_k dans le signal bruité d_k . Le filtre adaptatif utilisé est un filtre FIR basé sur un algorithme d'adaptation tel que l'algorithme du gradient stochastique LMS. Le bruit estimé \hat{n}_k est donné par :

$$\hat{n}_k = \sum_{i=0}^{N-1} w(i)x_{k-i} \quad (2.53)$$

Cette estimation est par la suite supprimée du signal bruité, ce qui donne à la sortie de ce système d'annulation adaptative de bruit une estimation \hat{s}_k du signal propre s_k . Cette estimation est souvent notée e_k qui est l'erreur entre le signal d'entrée primaire et l'estimation du bruit \hat{n}_k comme l'indique l'équation 2.54.

$$\hat{s}_k = e_k = d_k - \hat{n}_k \quad (2.54)$$

Le filtre adaptatif est contrôlé par le signal de sortie \hat{s}_k (ou l'erreur e_k) et l'ajustement du filtre est fait de façon à ce que l'énergie de \hat{s}_k sera la plus faible possible et par conséquent, \hat{s}_k sera la meilleur estimation du signal propre s_k . Cela est démontré dans [89] en calculant l'énergie de \hat{s}_k de la façon suivante :

$$\hat{s}_k = d_k - \hat{n}_k = s_k + n_k - \hat{n}_k = s_k + (n_k - \hat{n}_k) \quad (2.55)$$

$$E(\hat{s}_k^2) = E[s_k^2 + (n_k - \hat{n}_k)^2 + 2s_k(n_k - \hat{n}_k)] \quad (2.56)$$

Les échantillons du bruit et les échantillons du signal propre sont supposés décorréllés, d'où :

$$E[2s_k(n_k - \hat{n}_k)] = 0 \quad (2.57)$$

Et par conséquent, l'équation 2.56 devient

$$E(\hat{s}_k^2) = E[s_k^2 + (n_k - \hat{n}_k)^2] \quad (2.58)$$

Vue que l'énergie du signal propre $E(s_k^2)$ est de quantité fixe pour une observation donnée, la minimisation de l'énergie de sortie revient à la relation suivante :

$$\text{Min}[E(\hat{s}_k^2)] = E(s_k^2) + \text{Min}(E[(n_k - \hat{n}_k)^2]) \quad (2.59)$$

Cela signifie que lorsque le filtre adaptatif est ajusté de façon à ce que $E(\hat{s}_k^2)$ soit minimisé, $E((n_k - \hat{n}_k)^2)$ est par conséquent minimisé et dans ce cas, la sortie du filtre \hat{n}_k sera la meilleure estimation du bruit primaire n_k au sens des moindres carrés.

Cependant, lorsque $E((n_k - \hat{n}_k)^2)$ est minimisé $E((s_k - \hat{s}_k)^2)$ est toujours minimisé puisque :

$$s_k - \hat{s}_k = n_k - \hat{n}_k \quad (2.60)$$

Aussi, \hat{s}_k est la meilleur estimation de s_k au sens des moindres carrés.

Comme le présente la figure 2.20, l'adaptation des coefficients w_k du filtre se fait par un algorithme adaptatif qui est conçu pour minimiser une fonction de coût établie. L'un des algorithmes les plus utilisées est l'algorithme du gradient stochastique LMS qui est considéré comme un algorithme simple robuste et numériquement efficace [88].

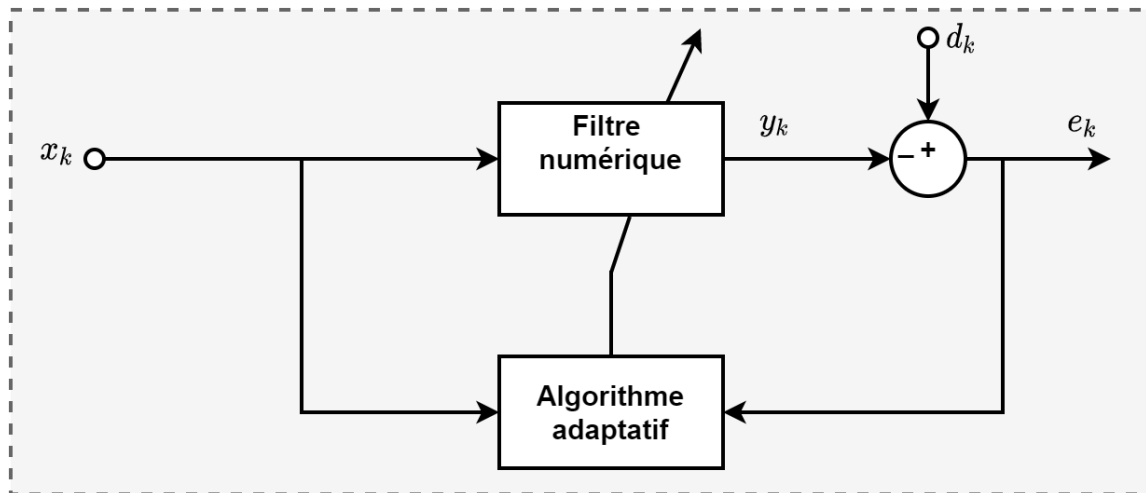


Figure 2.20: Structure typique d'un filtre adaptatif

2.3.2.2 Algorithme d'adaptation LMS

L'algorithme LMS a été développé par Widrow et al [90] pour étudier la machine de reconnaissance des formes. C'est l'algorithme de filtrage adaptatif le plus utilisé grâce à sa simplicité et sa robustesse [88]. Il est basé sur l'utilisation de la méthode du gradient

optimale (steepest descent) qui permet d'ajuster les coefficients du filtre afin de minimiser la fonction du coût qui est dans cette méthode l'erreur quadratique définie par :

$$J_k = E(|e_k|^2) \quad (2.61)$$

Où e_k est l'erreur de l'échantillon actuel définit par :

$$e_k = d_k - y_k \quad (2.62)$$

$$y_k = w_k^T x_k \quad (2.63)$$

d_k est le signal désiré, y_k est le signal à la sortie du filtre, w_k est le vecteur des coefficients du filtre et x_k est le signal d'entrée de référence.

En appliquant la méthode du gradient optimale, l'équation d'adaptation des coefficients w_k du filtre peut s'écrire :

$$w_{k+1} = w_k - \frac{\mu}{2} \nabla J_k \quad (2.64)$$

$$\nabla J_k = -2e_k x_k^T \quad (2.65)$$

En remplaçant 2.65 dans 2.64 :

$$w_{k+1} = w_k + \mu e_k x_k \quad (2.66)$$

Où μ est un paramètre constant appelé pas d'adaptation, qui détermine la stabilité et la convergence de l'algorithme.

La stabilité de l'algorithme est assurée par le choix du paramètre μ dans l'intervalle :

$$0 < \mu < \frac{2}{\lambda_{max}} \quad (2.67)$$

Où λ_{max} est la plus grande valeur propre de la matrice de l'autocorrélation R du signal d'entrée x_k .

$$\lambda_{max} = trace(R) \quad (2.68)$$

$$trace(R) = NP_x \quad (2.69)$$

Avec R est la matrice de l'autocorrélation du signal d'entrée, la fonction «trace» est la trace d'une matrice, N est la longueur du filtre et P_x est la puissance moyenne du signal d'entrée. Le pas d'adaptation μ dépend de l'énergie du signal d'entrée, il est inversement proportionnel à cette dernière. Pour assurer la stabilité de l'algorithme LMS, il faut faire un choix minutieux de la limite maximale du pas d'adaptation μ . Si μ est choisie pour être très faible, alors l'algorithme converge très lentement. Tandis que, une grande valeur de μ peut entraîner des oscillations avec une grande variance autour des valeurs optimales des coefficients.

2.3.3 Application pour l'extraction de la composante DC

Le but de l'approche proposée est d'extraire la composante continue de la puissance active p afin d'avoir en sortie la composante alternative nécessaire à l'identification des courants de référence. Le filtre appliqué est basé sur le principe de l'annulation adaptative de bruit présenté précédemment. Le schéma de principe de l'annulateur adaptatif de bruit est présenté sur la figure 2.21.a, où l'algorithme adaptatif appliqué met à jour les poids du filtre w_n afin de produire l'estimation $y(n)$ qui est corrélée avec l'entrée de référence $x(n)$ d'une manière qui minimise l'erreur $e(n)$ [85].

Pour la présente application, et afin d'obtenir la composante DC de la puissance en sortie du filtre adaptatif $y(n)$, l'entrée de référence doit être une valeur constante ($x(n) = 1$).

Dans ce cas, l'entrée primaire p et l'entrée de référence $x(n)$ sont décorréées sauf pour la composante continue \bar{p} . Par conséquent, le minimum de la fonction d'erreur est atteint lorsque la composante continue de l'entrée primaire est égale à la sortie de la filtre $y(n)$ [91], comme il est présenté dans la figure 2.21.b.

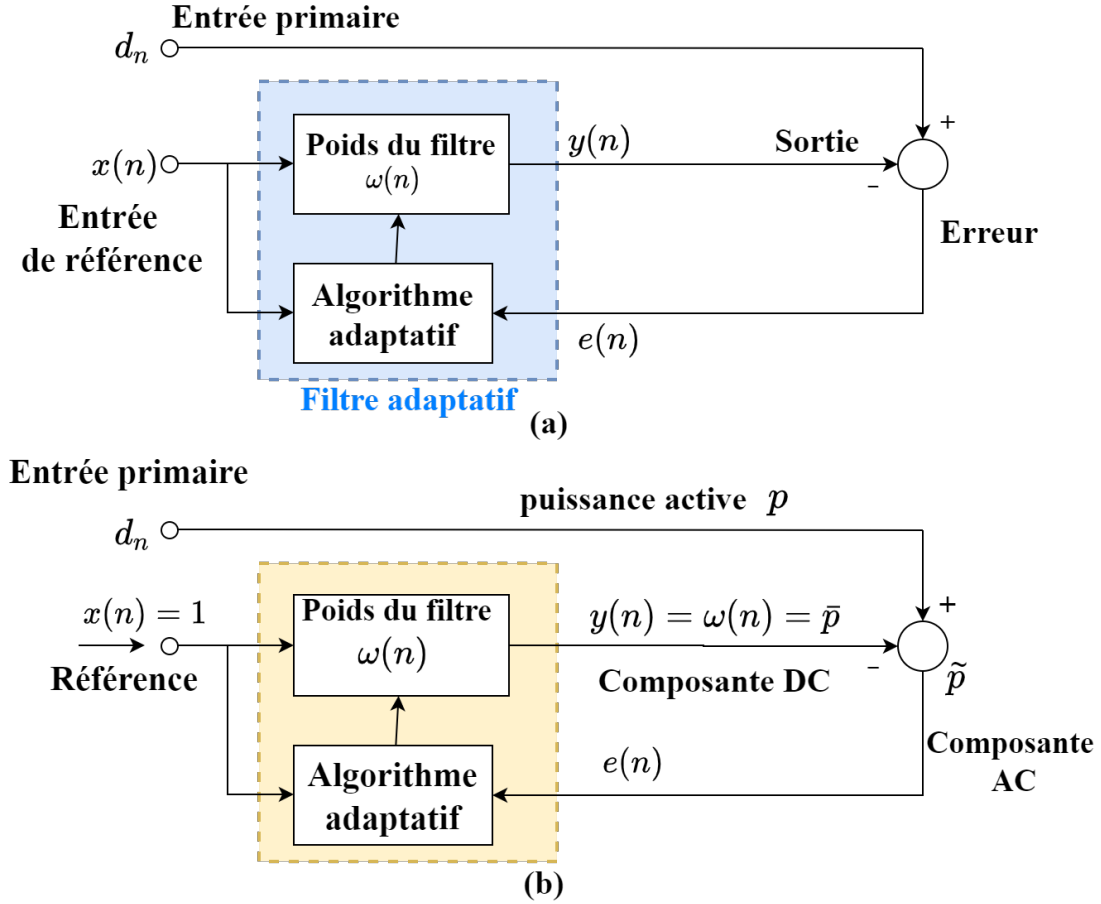


Figure 2.21: Application de l'annulateur de bruit pour l'extraction de la composante DC

D'une autre façon, si on fait une correspondance avec l'algorithme d'annulation adaptative du bruit présenté dans la section 2.3.2.1, l'entrée primaire représente la somme du signal propre et du signal de bruit qu'on souhaite supprimer et elle peut être écrite comme suit :

$$d_n = p(t) = \tilde{p} + \bar{p} \quad (2.70)$$

Le signal qu'on veut l'annuler est la composante \bar{p} . Afin de réaliser l'annulation, l'entrée de référence doit être corrélée avec cette composante DC, ce qui conduit au choix d'une référence $x(n)$ constant (1 pour simplicité). On note ainsi que le filtre dans ce cas n'a qu'un seul coefficient comme on peut le voir sur la figure 2.21.b.

En revenant sur le principe d'annulateur adaptatif du bruit, Le filtre adaptatif est contrôlé par le signal de sortie de l'annulateur qui est l'erreur e_n . L'ajustement du filtre est fait de façon à ce que la fonction du coût sera la plus faible possible. Par conséquent, la sortie e_n sera la meilleure estimation du signal propre qui est dans ce cas la puissance \tilde{p} . Ce résultat a été bien démontré dans la section 2.3.2.1.

Le choix de l'algorithme adaptatif qui met à jour les coefficients du filtre peut conduire à des différents types de filtres adaptatifs. Dans la section prochaine, nous présenterons l'algorithme VLLMS proposé qui est dérivé à partir de la technique bien-connue des moindres carrés (LMS).

2.3.3.1 Principe de l'adaptation VLLMS

L'algorithme des moindres carrés moyens LMS présenté dans la section 2.3.2.2 est adopté là où la structure étudiée semble très simple et ne nécessitant pas une haute réponse dynamique. La méthode LMS, telle que présentée, offre les avantages de la simplicité de sa structure, son efficacité de calcul et sa robustesse. Cependant, un tel algorithme souffre du problème de son faible taux de convergence à cause de l'utilisation d'un pas d'adaptation fixe [93]. Puisque la taille du pas dépend inversement de la puissance d'entrée, une petite valeur du pas nécessite un temps plus long pour estimer le signal désiré avec une erreur quadratique minimale et vice-versa. Il souffre donc du problème du faible taux de convergence, car la taille du pas d'adaptation est fixe et l'erreur d'estimation est plus importante. Pour éviter ce problème, un pas variable dans le temps est généralement employé [92].

D'une autre part, la fonction de coût utilisée dans la méthode LMS conventionnel est définie par l'erreur quadratique e_n^2 (équation 2.61). Cependant, l'utilisation d'une telle fonction de coût ne prend pas en compte la dérive (drifting) des poids du filtre w_n en présence des perturbations externes, ce qui se traduit par des gains importants dans le filtre [93]. Ce problème peut être surmonté en considérant l'algorithme LMS à fuite dans lequel la fonction de coût est définie par [93][94] :

$$J_n = e_n^2 + \gamma w_n^T w_n \quad (2.71)$$

Où $0 < \gamma < 1$ est le facteur de fuite qui contrôle l'adaptation de w_n afin d'éviter la dérive des paramètres. Par ailleurs, la sélection d'une valeur de γ constante peut conduire à un sur/sous paramétrage de cette composante de régularisation. Une façon d'éviter cela consiste à utiliser une valeur variable de γ , dont l'ajustement peut être régi par une fonction de coût appropriée [93]. Dans l'approche d'adaptation appliquée, le facteur de fuite et la taille du pas d'adaptation sont automatiquement ajustées afin d'avoir plus de précision d'estimation avec un taux de convergence plus élevé. L'algorithme est ainsi appelé : LMS à fuite et à pas d'adaptation variables (VLLMS) ou Variable Leaky Least Mean Square.

Dans la section prochaine, l'application de l'approche d'adaptation VLLMS pour l'extraction de la composante continue sera présentée.

2.3.3.2 L'algorithme VLLMS

Afin d'introduire l'algorithme VLLMS proposé, on considère la représentation schématique de base d'un filtre linéaire adaptatif qui est illustrée à la figure 2.22. Le filtre linéaire est donné par :

$$y_n = w_n^T x_n \quad (2.72)$$

Où l'indice n représente l'instant du temps discret, x_n est l'entrée du filtre et w_n est le gain du filtre reliant l'entrée à la sortie y_n . Cette sortie doit être mise en correspondance avec une valeur souhaitée d_n . L'objectif est d'ajuster w_n de manière à ce que l'erreur e_n ou une fonction de coût dépendant de celle-ci converge vers une certaine valeur optimale. L'erreur e_n s'écrit :

$$e_n = d_n - y_n \quad (2.73)$$

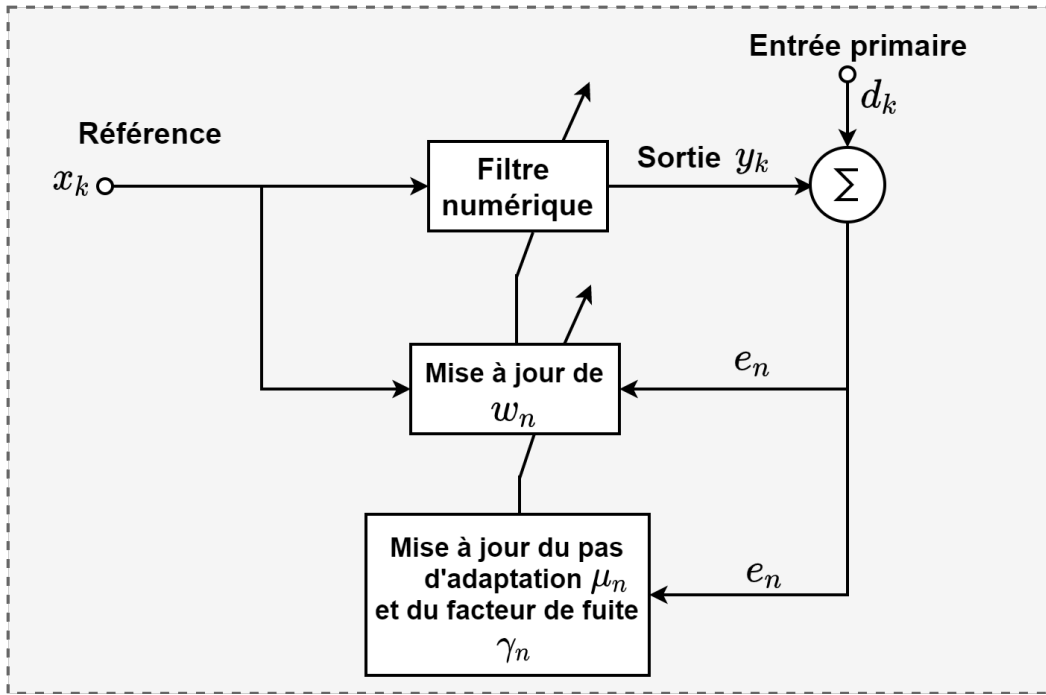


Figure 2.22: Principe de l'adaptation VLLMS

Comme nous avons mentionné, la fonction de coût utilisée dans l'adaptation VLLMS est caractérisée par un terme supplémentaire qui contrôle la dérive des poids du filtre w_n . Cette fonction de coût peut s'écrire comme suit :

$$J_n = e_n^2 + \gamma_n w_n^T w_n \quad (2.74)$$

Où $0 < \gamma_n < 1$ est le facteur de fuite qui contrôle l'adaptation de w_n afin d'éviter la dérive des paramètres. Le facteur de fuite γ_n est choisi d'être variable afin d'éviter le sous/sur-paramétrage, dont la mise à jour peut être effectuée selon une fonction de coût appropriée. Le nom du facteur de fuite vient du fait que lorsque l'entrée du filtre est désactivée, le vecteur des coefficients w_n dans le cas du filtre LMS standard se bloque. Par contre, en ce moment le vecteur des coefficients dans le cas du VLLMS se fuite (s'étale) [95].

Le terme supplémentaire dans 2.74. $w_n^T w_n$, est connu comme le composant de régularisation des coefficients [93]. La fonction de coût ci-dessus est utilisée pour mettre à jour les coefficients w_n dans l'algorithme VLLMS.

Maintenant, on peut essayer de définir les lois adaptatives de mise à jour de w_n et γ_n . Tout d'abord, pour mettre à jour w_n , on applique la méthode classique du gradient optimale, on peut écrire :

$$w_{n+1} = w_n - \mu \frac{\partial J_n}{\partial w_n} \quad (2.75)$$

Où μ est un paramètre définissant le pas d'adaptation. Comme on a déjà apprécié, le choix d'une valeur constante μ limite la convergence de l'algorithme d'estimation. Pour obtenir une convergence plus rapide, on peut utiliser initialement une valeur plus grande de μ lorsque l'erreur est grande et une valeur plus petite lorsque l'estimateur est proche de sa valeur optimale. Cette fonctionnalité peut être réalisée en utilisant une équation de mise à jour de la valeur du pas variable noté μ_n , ce qui offre une convergence plus rapide [91]. Dans ce cas, l'équation 2.75 peut être modifiée comme suit :

$$w_{n+1} = w_n - \mu_n \frac{\partial J_n}{\partial w_n} \quad (2.76)$$

Et l'équation de mise à jour du pas variable μ_n peut s'écrire selon [95][92] comme suit :

$$\mu_{n+1} = \lambda\mu_n + \gamma_n e_n^2 \quad (2.77)$$

Pour obtenir l'équation d'adaptation finale des coefficients, on procède au calcul et à la simplification de la dérivée de la fonction du coût J_n . À partir de 2.73, on peut écrire :

$$e_n^2 = d_n^2 + (w_n^T x_n)^2 - 2d_n w_n^T x_n \quad (2.78)$$

Et ainsi :

$$\frac{\partial e_n^2}{\partial w_n} = 2(w_n^T x_n - d_n)x_n = -2e_n x_n \quad (2.79)$$

La dérivée de J_n peut être écrite ainsi :

$$\frac{\partial J_n}{\partial w_n} = -2e_n x_n + 2\gamma_n w_n \quad (2.80)$$

Finalement, l'équation d'adaptation de w_n s'écrit :

$$w_{n+1} = (1 - 2\mu_n \gamma_n)w_n + 2\mu_n e_n x_n \quad (2.81)$$

Ensuite, pour mettre à jour γ_n , on peut utiliser la même règle du gradient optimale mais avec la fonction de coût du LMS standard (2.61), puisque la dérive du paramètre w_n n'a plus besoin d'être contrôlée. Par conséquent, on peut utiliser la loi de mise à jour suivante :

$$\gamma_{n+1} = \gamma_n - \frac{\rho}{2} \frac{\partial e_n^2}{\partial \gamma_{n-1}} \quad (2.82)$$

Où ρ est un paramètre qui doit également être choisi par le concepteur. Le terme de dérivé dans 2.82 peut être réécrit de la façon suivante :

$$\frac{\partial e_n^2}{\partial \gamma_{n-1}} = \left[\frac{\partial e_n^2}{\partial w_n} \right] \frac{\partial w_n}{\partial \gamma_{n-1}} \quad (2.83)$$

À partir de 2.81 on peut écrire :

$$\frac{\partial w_n}{\partial \gamma_{n-1}} = -2\mu_n w_{n-1} \quad (2.84)$$

En remplaçant dans 2.82 on obtient la loi d'adaptation du facteur de fuite de l'algorithme VLLMS :

$$\gamma_{n+1} = \gamma_n - 2\rho\mu_n e_n w_{n-1} \quad (2.85)$$

Dans le cas de notre application d'extraction de la composante continue, l'entrée de référence a été choisie d'être une valeur constante ($x_n = 1$), et le vecteur des coefficients est un vecteur à un seul élément. En se basant sur ceci, les lois d'adaptation du w_n et γ_n peuvent être écrites comme suit :

$$\begin{cases} w_{n+1} = (1 - 2\mu_n \gamma_n)w_n + 2\mu_n e_n \\ \gamma_{n+1} = \gamma_n - 2\rho\mu_n e_n w_{n-1} \end{cases} \quad (2.86)$$

De plus, afin améliorer la précision d'estimation, le carré de l'erreur dans l'équation de mise à jour de μ_n est remplacé par l'autocorrélation de l'erreur. Et ainsi, l'équation d'adaptation 2.77 devient :

$$\mu_{n+1} = \lambda\mu_n + \gamma_n P_n^2 \quad (2.87)$$

P_n représente l'autocorrélation de l'erreur e_n . Selon [93], il peut être calculé en utilisant une moyenne temporelle de l'erreur. Il est alors défini par :

$$P_n = \beta P_{n-1} + (1 - \beta)e_n e_{n-1} \quad (2.88)$$

Où $0 < \beta < 1$ est choisi par le concepteur.

Par ailleurs, afin d'éviter toute divergence possible de l'algorithme en cas de forte variation de la composante DC, il est préférable de limiter le pas μ_n entre deux valeurs μ_{min} et μ_{max} choisies également par le concepteur :

$$\mu_{min} < \mu_n < \mu_{max} \quad (2.89)$$

Ceci termine l'algorithme VLLMS proposé. La figure 2.23 ci-dessous présente un diagramme qui résume les étapes de l'algorithme VLLMS appliqué pour l'extraction de la composante DC de la puissance active.

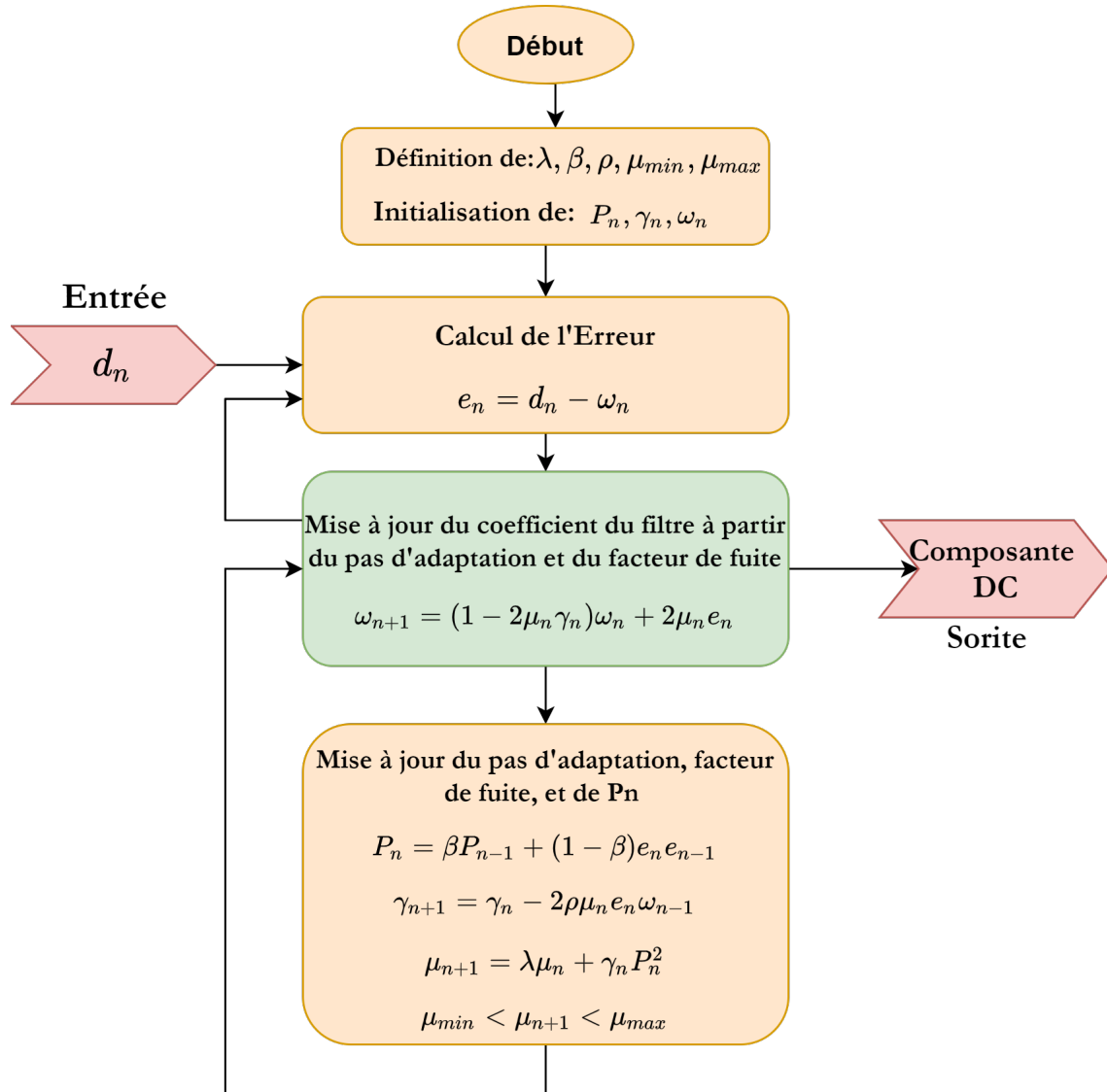


Figure 2.23: Organigramme de l'algorithme d'extraction de la composante DC avec VLLMS

2.4 Conclusion

Dans ce chapitre, une nouvelle approche d'identification des courants de référence été introduite. Tout d'abord, la méthode basée sur les puissances instantanées PQ a été étudiée dans sa forme originale en soulignant ses limites, à savoir son incapacité de compenser les distorsions en cas des tensions d'alimentation non-sinusoïdales et sa mauvaise performance dynamique. La première limite de la méthode PQ a été d'abord étudiée. Dans ce contexte, nous avons montré l'interprétation correcte du courant actif nécessaire pour la compensation des distorsions. Par la suite, nous avons exposé le principe de la technique modifiée avec une description détaillé des différents composants du système de contrôle nécessaire pour la compensation.

En deuxième partie, nous avons examiné la cause de la mauvaise réponse dynamique de la méthode en cas de variation des harmoniques. Ceci est principalement dû à l'utilisation du filtre passe-bas classique pour l'extraction de la composante DC de la puissance active. Dans ce contexte, nous avons exposé un état de l'art détaillé sur les algorithmes appliqués précédemment pour ce but, et nous avons conclu par la présentation de l'algorithme VLLMS proposé qui est basé sur le principe d'annulation adaptative du bruit. Dans le prochain chapitre, La simulation de l'algorithme proposé est réalisée avec un modèle du FAP en MATLAB/SIMULINK afin de valider les résultats et comparer les performances avec les méthodes précédentes.

Chapitre

3

**Simulation &
comparaison des
performances**

Introduction

La modélisation et la simulation d'un système physique représentent une étape essentielle qui précède toute implémentation matérielle. Le logiciel MATLAB/SIMULINK, développé par MATHWORKS offre une bonne plateforme pour la modélisation et la simulation des systèmes qu'ils soient continus, discrets ou mixtes (continus et discrets). Cette plateforme logicielle présente l'avantage de la simplicité d'implantation des modèles (linéaires et non linéaires) grâce à son interface graphique, ainsi que la possibilité de l'échange de données entre Simulink et l'espace de travail MATLAB, où le système modélisé sous Simulink peut recevoir des données de l'espace de travail ou y envoyer des données de sortie. Les études en simulation présentées dans ce travail ont été menées par SIMULINK qui possède une bibliothèque de modèles prédéfinis. Ces modèles peuvent être facilement modifiés et introduits dans de nouveaux modèles à analyser. Ainsi, la simulation du système global (source, charge polluante, FAP) a été effectuée en SIMULINK en exploitant la bibliothèque **SimPowerSystems**. L'objectif de la simulation est d'évaluer et de comparer les performances de l'approche proposée pour l'identification des courants de référence. Les spécifications détaillées du modèle de simulation appliqué et l'approche d'évaluation seront présentés dans la section prochaine.

3.1 Présentation du modèle de simulation

Le système de puissance étudié est composé du réseau électrique d'alimentation, la charge polluante et le filtre FAP appliqué. Afin de tester les performances de l'algorithme proposé, le FAP étudié est évalué en appliquant six(06) cas de test avec des combinaisons de différents types de charges polluantes qui sont alimentés soit avec des tensions d'alimentation sinusoïdales pures soit par des tensions perturbées comme il est détaillé dans le tableau 3.1. Le réseau électrique est modélisé par phase par une F.E.M sinusoïdale ou perturbé (selon le cas) en série avec une inductance L_s et une résistance R_s caractérisant l'impédance de court-circuit du réseau. La figure 3.1 ci-dessous présente un schéma du modèle du réseau électrique et de la charge employée. La charge polluante est constituée d'un pont redresseur triphasé à diodes alimentant une charge RL. Ce composant non-linéaire peut être appliqué seul ou combiné avec des charges R ou RL qui sont soit équilibré soit déséquilibré, selon le cas comme on peut le voir dans le tableau 3.1.

Cas de simulation	Cas 1	Cas 2	Cas 3	Cas 4	Cas 5	Cas6
Source de tension sinusoïdale	✓	✓	✓			
Source de tension non-sinusoïdale				✓	✓	✓
Pont redresseur à diode	✓	✓	✓	✓	✓	✓
Charge R déséquilibré		✓			✓	
Charge RL déséquilibré			✓			✓

Tableau 3.1: Les différents cas de simulation étudiés

Le filtre actif utilisé est un filtre actif parallèle FAP triphasé à trois fils et à structure tension et la commande de l'onduleur de tension est faite par un contrôleur à hystérésis. Le modèle de simulation appliqué permet de décrire le comportement du FAP contrôlé avec l'approche proposée aussi bien à l'état dynamique (régime transitoire) qu'à l'état statique (régime permanent). Le comportement du modèle dans les cas étudiés est alors comparé avec l'algorithme de contrôle qui utilise le filtre passe-bas classique CLPF et les autres méthodes proposées précédemment. Les paramètres de simulation sont rassemblés dans le tableau 3.2.

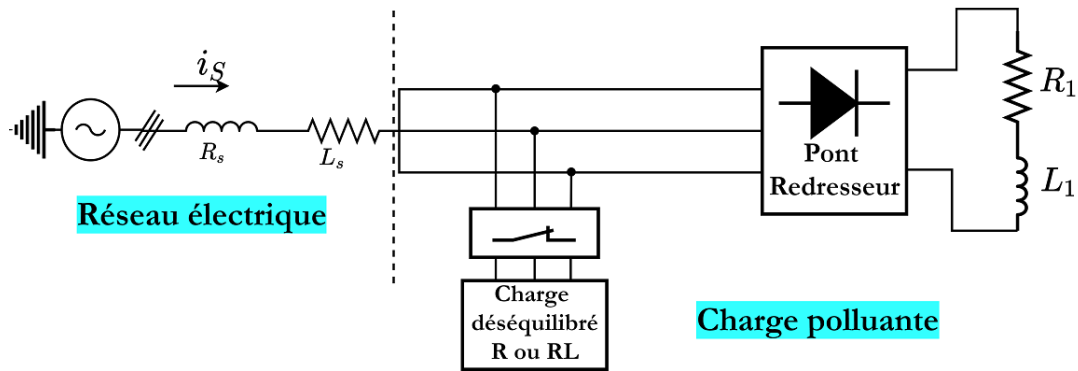


Figure 3.1: Modélisation du réseau électrique connecté à une charge polluante.

Système	Désignation	valeurs
Source d'alimentation	La tension efficace	$V_s = 100V$
	La fréquence	$f_s = 50Hz$
	La résistance interne	$R_s = 0.1\Omega$
	L'inductance interne	$L_s = 0.1mH$
Le filtre actif parallèle	Capacité de stockage	$C_{dc} = 1100\mu F$
	Inductance de couplage	$L_s = 0.1mH$
	Tension de référence	$V_{dc_{ref}} = 320V - 460V$
Charge non linéaire	Pont redresseur+charge RL	$R_1 = 30\Omega, L_1 = 1mH$
	Charge déséquilibré	$R_{ph1} = 5\Omega, R_{ph2} = 10\Omega, R_{ph3} = 15\Omega$
Conditions de simulation	Temps d'échantillonnage	$T_e = 5\mu s$
	Type de pas	Pas fixe
	Méthode de résolution	Euler(ODE1)
	Bande d'hystérésis	$HB = 0.2A$

Tableau 3.2: Les paramètres du modèle de simulation adopté

Le modèle détaillé du système est illustré dans la figure 3.2, à partir de la figure les composants du bloc de contrôle sont détaillés comme suit :

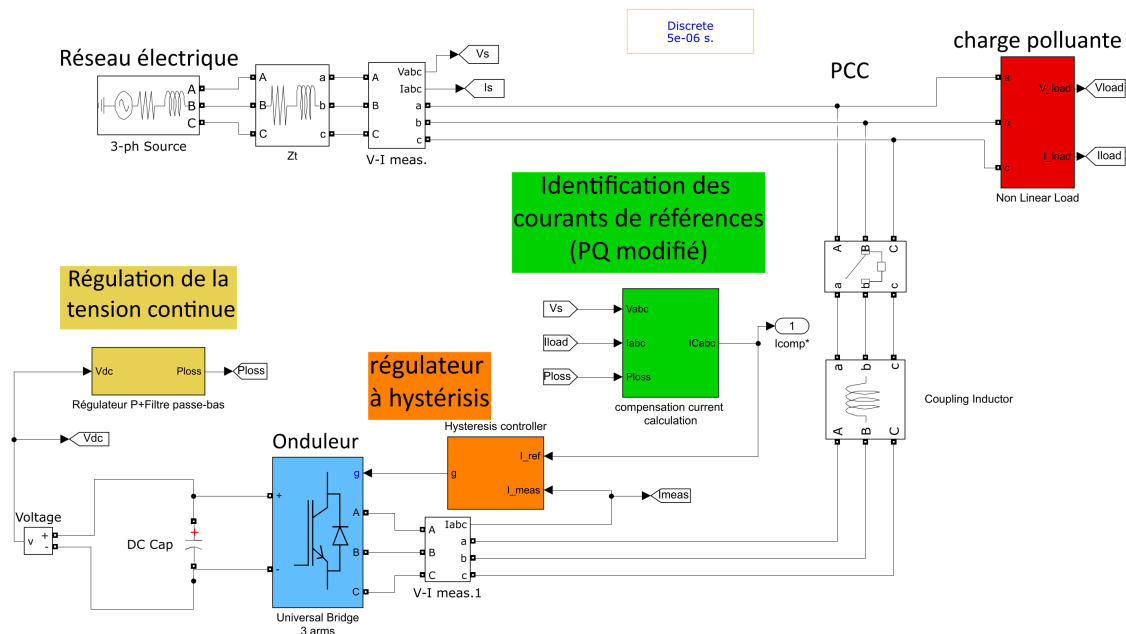


Figure 3.2: Le modèle Simulink du système étudié.

Le bloc d'identification des courants de référence

Le bloc d'identification des courants de référence employé dans la simulation est basé sur la méthode PQ modifiée présentée en détail dans le chapitre 2 précédent. Le modèle générale appliqué est celle présenté dans la figure 3.3. Cette modèle utilise l'algorithme VLLMS pour l'extraction de la composante DC de la puissance active. Les équations décrivant le principe de la méthode VLLMS ont été bien détaillées dans le chapitre 2. Ces équations sont utilisées pour établir le modèle Simulink du filtre qui est présentée dans la figure 3.4.

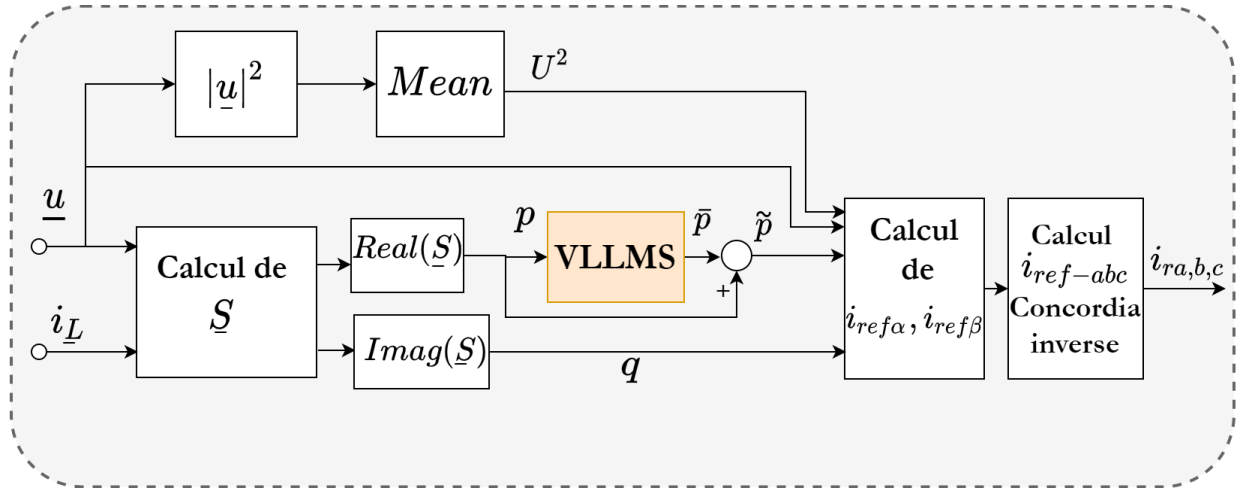


Figure 3.3: Le bloc d'identification des courants de référence.

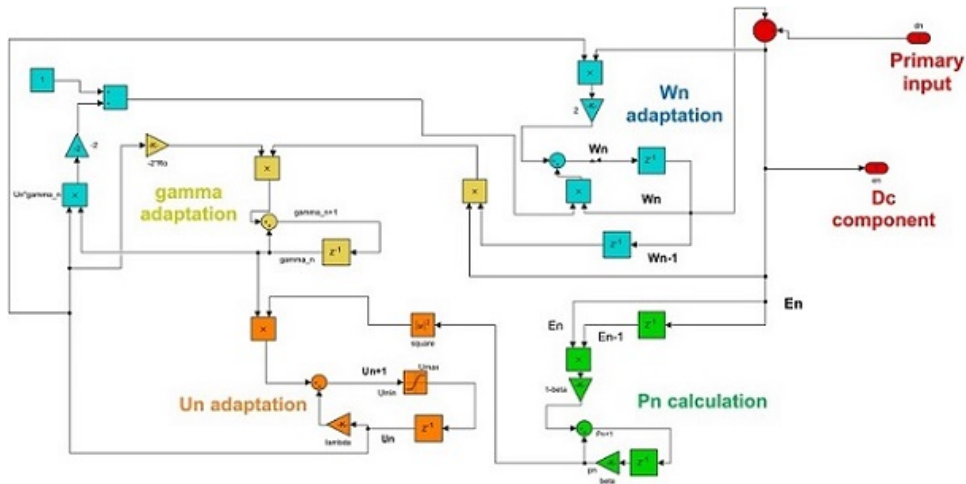


Figure 3.4: Modèle Simulink de l'algorithme VLLMS proposé.

Le choix des paramètres de conception se fait après la fixation de la fréquence d'échantillonnage, dans notre travail, les paramètres utilisés sont montrés dans le tableau 3.3

Initialisation des variables	$\gamma_0 = 0.003, w_0 = 0.1, P_{n0} = 0, \rho = 3.10^{-10}$
Définitions des paramètres	$\lambda = 0.97, \beta = 0.99, \mu_{min} = 0.0002, \mu_{max} = 0.4$

Tableau 3.3: Valeurs de conception de l'algorithme VLLMS proposé

Boucle de contrôle du courant

Dans notre travail, la boucle de contrôle du courant utilise une technique de commande à hystérésis. Comme nous avons mentionné en section 1.3.4.2, cette technique utilise l'erreur existant entre le signal de référence et la mesure du signal de sortie. L'erreur est comparée avec la bande d'hystérésis et selon le résultat de la comparaison, la configuration des interrupteurs de puissance se détermine.

Le choix de la bande d'hystérésis se fait sur la base de plusieurs conditions liées au fonctionnement de l'onduleur tel que la fréquence de commutation admissible des composants semi-conducteurs [96]. Une règle pratique consiste à la prendre à 5% du courant nominal [97]. La commande à hystérésis est caractérisée par ces bonnes performances en dynamique et en statique [98], et par sa simple mise en œuvre [99].

La figure 3.5 illustre un modèle simplifié de la commande à hystérésis en utilisant les bascules RS. Les sorties des comparateurs sont connectées au bascule RS de façon que le résultat de comparaison avec la bande supérieur est relié à l'entrée de réglage (S) tandis que, le résultat de comparaison avec la bande inférieur est relié à l'entrée de réinitialisation (R) du bascule. Les sorties de la bascule RS commandent les interrupteurs de puissance de l'onduleur (Q pour l'interrupteur supérieur et \bar{Q} pour l'interrupteur inférieur) [99].

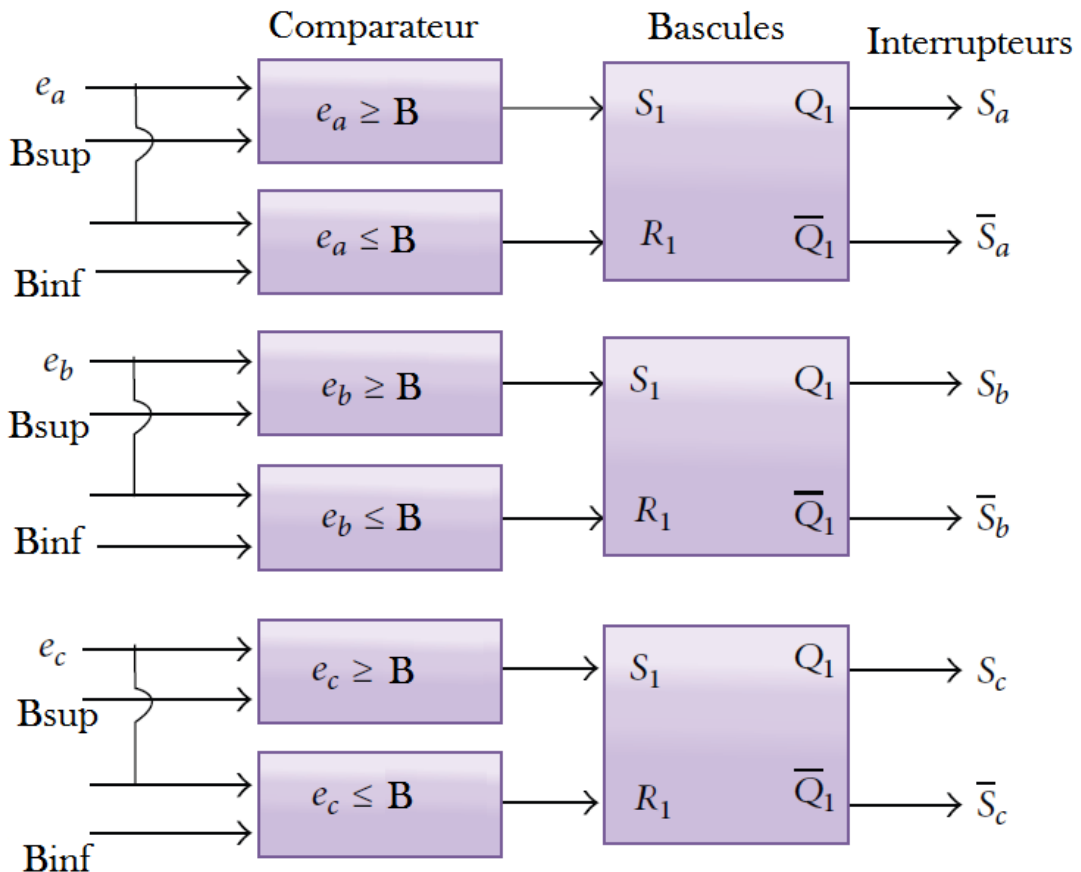


Figure 3.5: Modèle simplifié d'un contrôleur à hystérésis [99].

Bloc de régulation de la tension DC

Dans notre travail, la régulation de la tension continue a été effectuée à l'aide d'un régulateur proportionnel suivi par un filtre passe-bas du premier ordre comme nous l'avons présenté en section 1.3.5. La réalisation de ce régulateur en Simulink se fait simplement à l'aide des blocs disponibles dans la bibliothèque interne de Simulink en se basant sur le modèle de la figure 3.6. La régulation se fait avec le carré de la tension V_{dc} pour des raisons de linéarité [29]. Par ailleurs, la boucle à verrouillage de phase PLL exposée précédemment en figure 2.9 est réalisée en Simulink à l'aide des blocs de la bibliothèque interne.

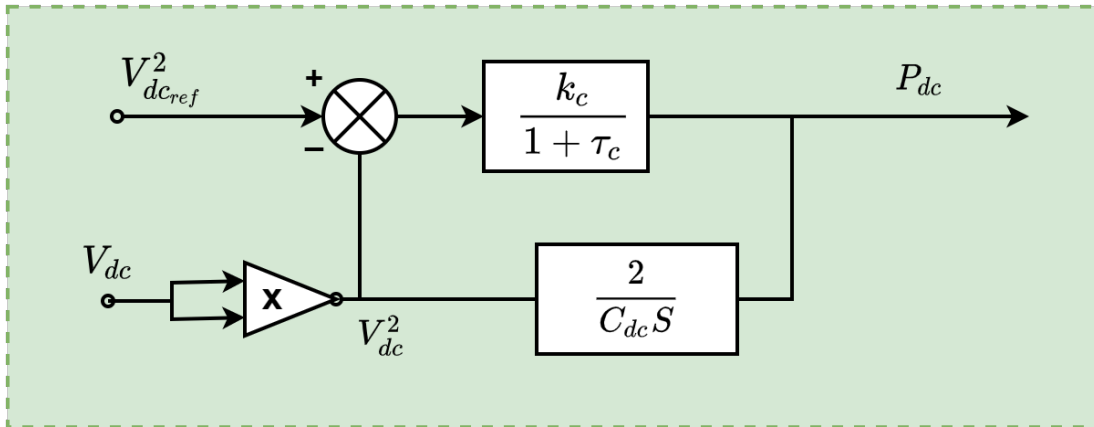


Figure 3.6: Schéma du modèle appliqué pour la régulation de la tension continue.

3.2 Résultats de simulation

3.2.1 Analyse du système avant la mise en service du FAP

Tout d'abord, dans le but de confirmer les effets dus à la connexion d'une charge non linéaire à un réseau électrique, le réseau électrique et la charge non linéaire ont été simulés avant la mise en connexion du FAP. Les simulations ont été faites dans le cas d'une tension d'alimentation sinusoïdale et dans le cas où la tension est initialement perturbée.

Les figures 3.7 et 3.8 illustrent les résultats obtenus dans le cas des tensions d'alimentation sinusoïdales et perturbées respectivement, où (a) représente la forme d'onde du courant de la source avec son spectre fréquentiel et (b) illustre la forme d'onde de la tension du réseau.

D'après les résultats de la figure 3.7 (source sinusoïdale), nous constatons que le courant de source i_s est loin d'être sinusoïdal du fait qu'il est riche en harmoniques d'ordre impair et non multiples de trois avec un taux de distorsion de 28.18%. Il en est identique au courant de la charge (puisque le filtre active n'est pas encore connecté), bien que la tension V_s dans ce cas soit sinusoïdale. Par conséquent, la puissance réactive consommée par cette charge non linéaire est importante et le facteur de puissance est inférieur à 1.

En figure 3.8 (source non-sinusoïdale), la tension d'alimentation est initialement perturbée, ce qui fait que le courant de source i_s contient les harmoniques existantes dans le réseau et les harmoniques générées par la charge non-linéaire. De ce fait, le THD dans ce cas est considérablement élevé (43.28%).

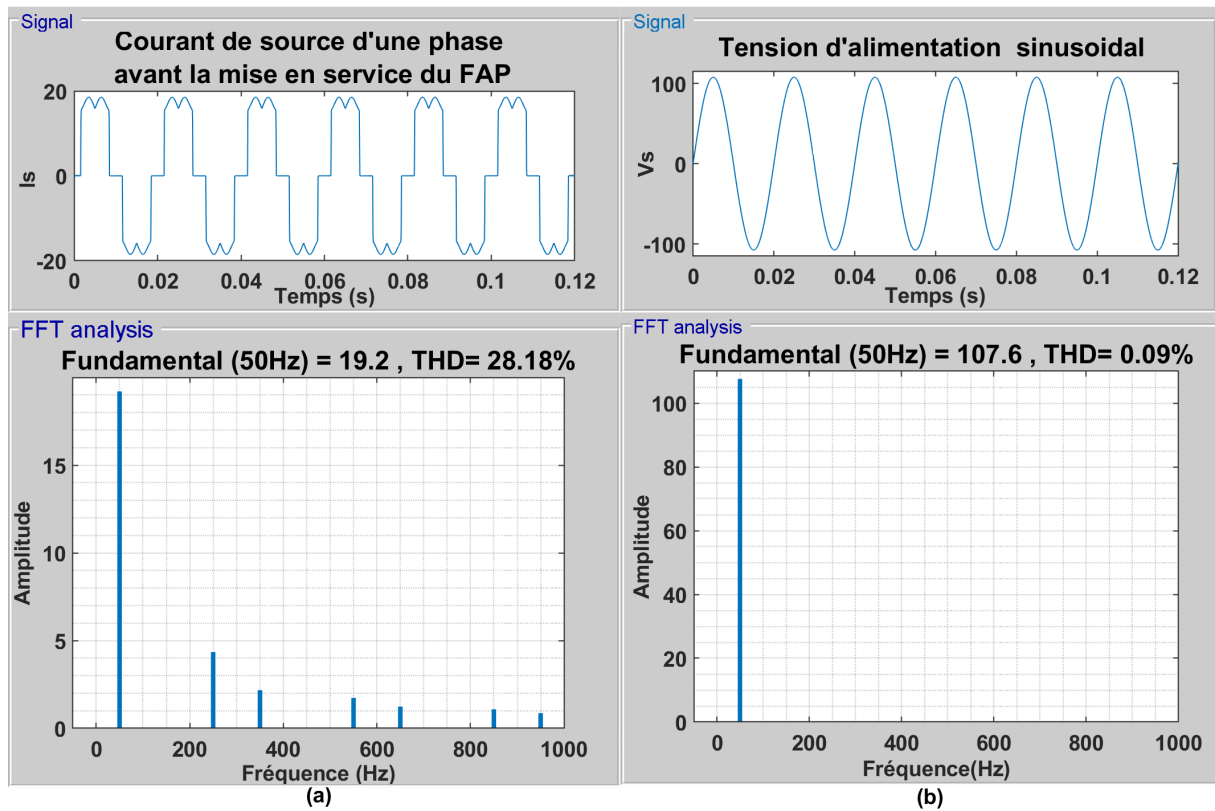


Figure 3.7: Formes d'onde du courant du réseau et son spectre (a), et de la tension du réseau et son spectre (b) dans le cas d'une alimentation sinusoïdale

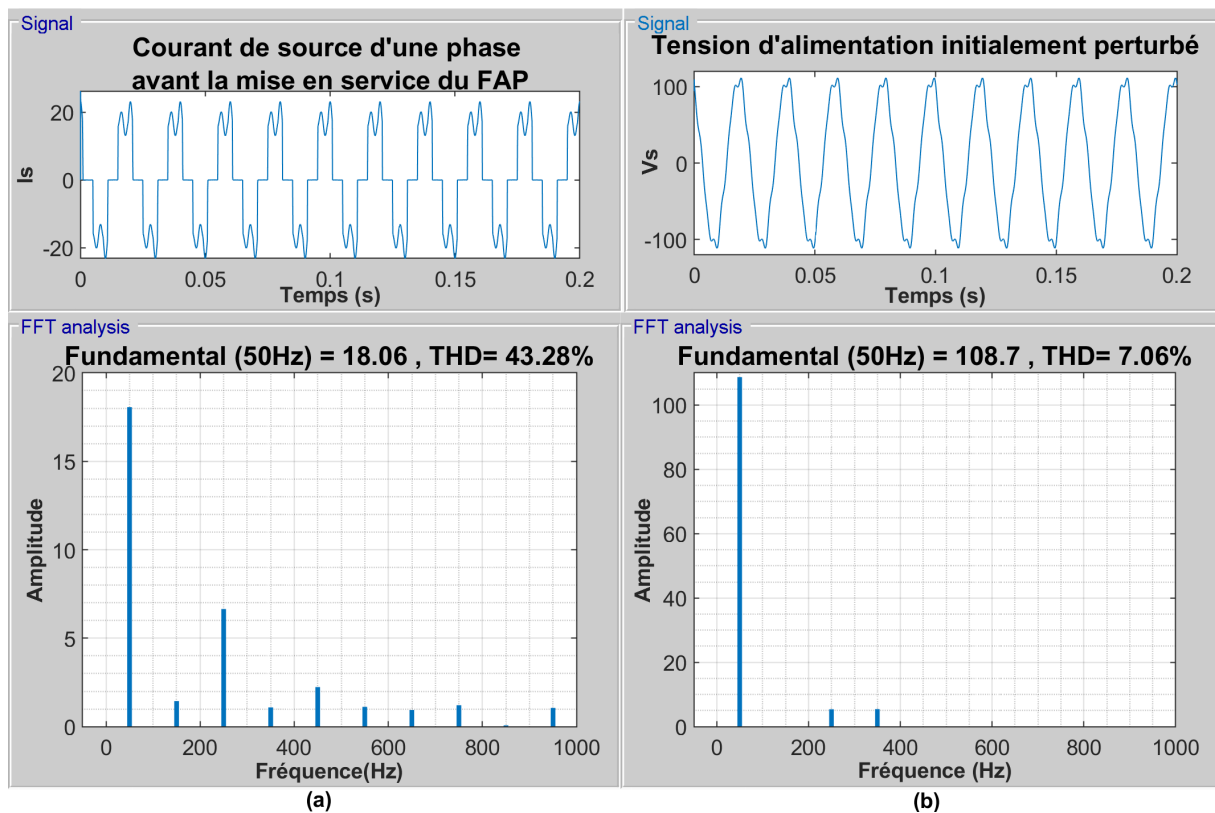


Figure 3.8: Formes d'onde du courant du réseau et son spectre (a), et de la tension du réseau et son spectre (b) dans le cas d'une alimentation non-sinusoïdale

3.2.2 Simulation en régime permanent

La réponse en régime permanent du FAP est étudiée lors de l'application du filtre passe-bas classique IIR (CLPF) et de l'algorithme VLLMS proposé. Le CLPF utilisé est un filtre IIR de Butterworth de 6^{ème} ordre avec une fréquence de coupure de 60 Hz. Le comportement du système est étudié tout d'abord en détail pour les conditions du cas N°1 et du cas N°4 (voir tableau 3.1) avec des conditions d'alimentation différentes.

Les résultats lors de l'utilisation des conditions du cas N°1 sont illustrés sur la figure 3.9, OÙ (a) représente la tension de la source triphasée, (b) représente la phase A du courant de la charge, (c) et (d) illustrent la phase A du courant de source I_s après compensation en utilisant l'algorithme VLLMS proposé (bleu) et en utilisant l'algorithme CLPF (rouge), les graphes (e) et (f) présentent la phase A du courant de compensation I_F généré par le FAP dans les deux cas, et finalement la partie (g) affiche la comparaison des résultats d'extraction de la composante DC de la puissance active. À partir de la figure, on constate que le courant I_s obtenu est purement sinusoïdal. Le calcul du THD dans ce cas donne une valeur de 1.5% en utilisant le filtre CLPF ou VLLMS.

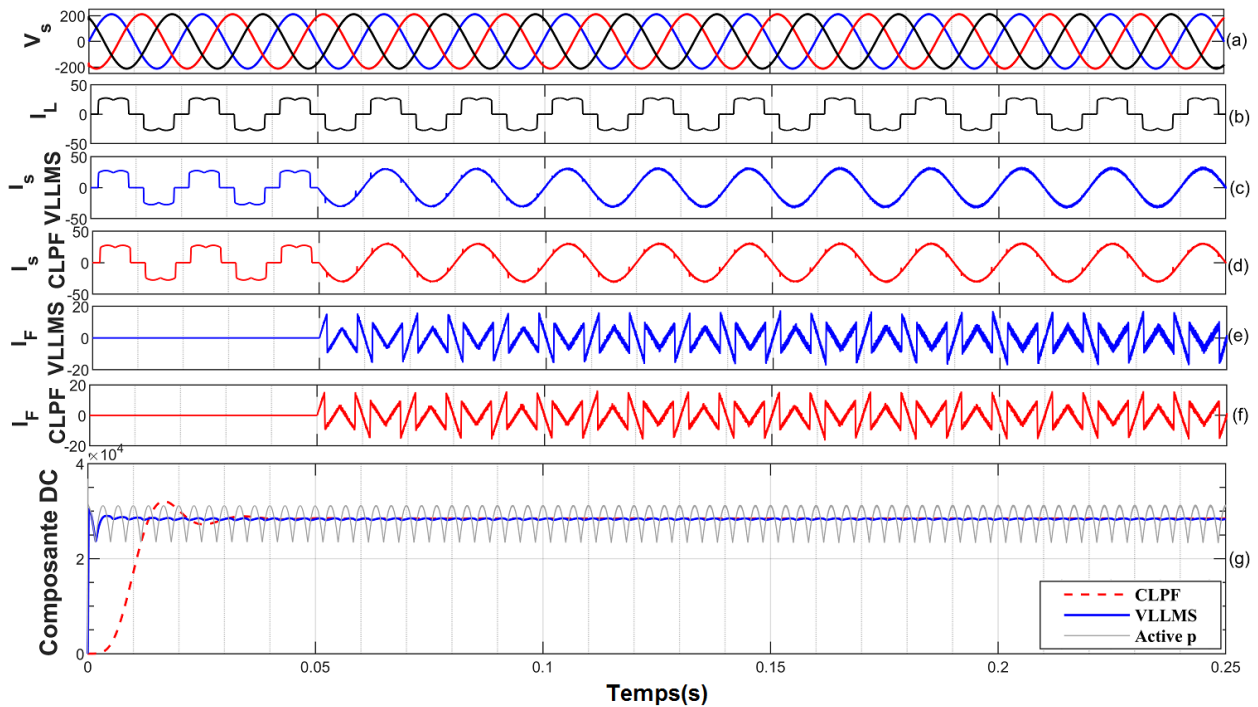


Figure 3.9: Résultats de simulation en régime permanent dans le cas N°1.

Par ailleurs, la tension du bus continu V_{dc} (prise aux bornes du condensateur de stockage C_{dc}) arrive à atteindre sa valeur de référence $V_{dc_{ref}}$ fixée à 460 V dans notre cas et ce, après une période transitoire de l'ordre de 50 ms à partir du moment de mise en service du FAP à $t=0.05$ s comme on peut le voir en figure 3.10.

D'une autre part, la figure 3.11 illustre les résultats de simulation illustrant les variations de la puissance instantanée active $P(W)$ et réactive $Q(Var)$. À partir de la figure, nous constatons qu'à l'instant $t = 0.05s$ correspondant à la mise en service du FAP, ce dernier arrive à compenser l'énergie réactive qui a été consommé par la charge non linéaire, représentée dans ce cas par un pont redresseur débitant sur une charge RL, ce qui n'est pas le cas avant la connexion du FAP au réseau électrique ($0 < t < 0.05s$).

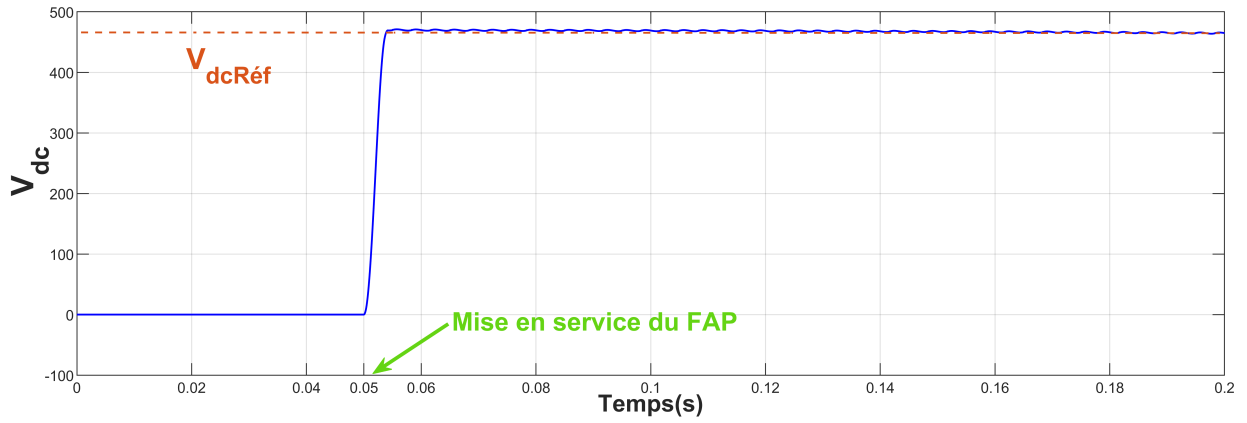


Figure 3.10: Courbe de régulation de la tension du bus continue V_{dc} dans le cas N°1.

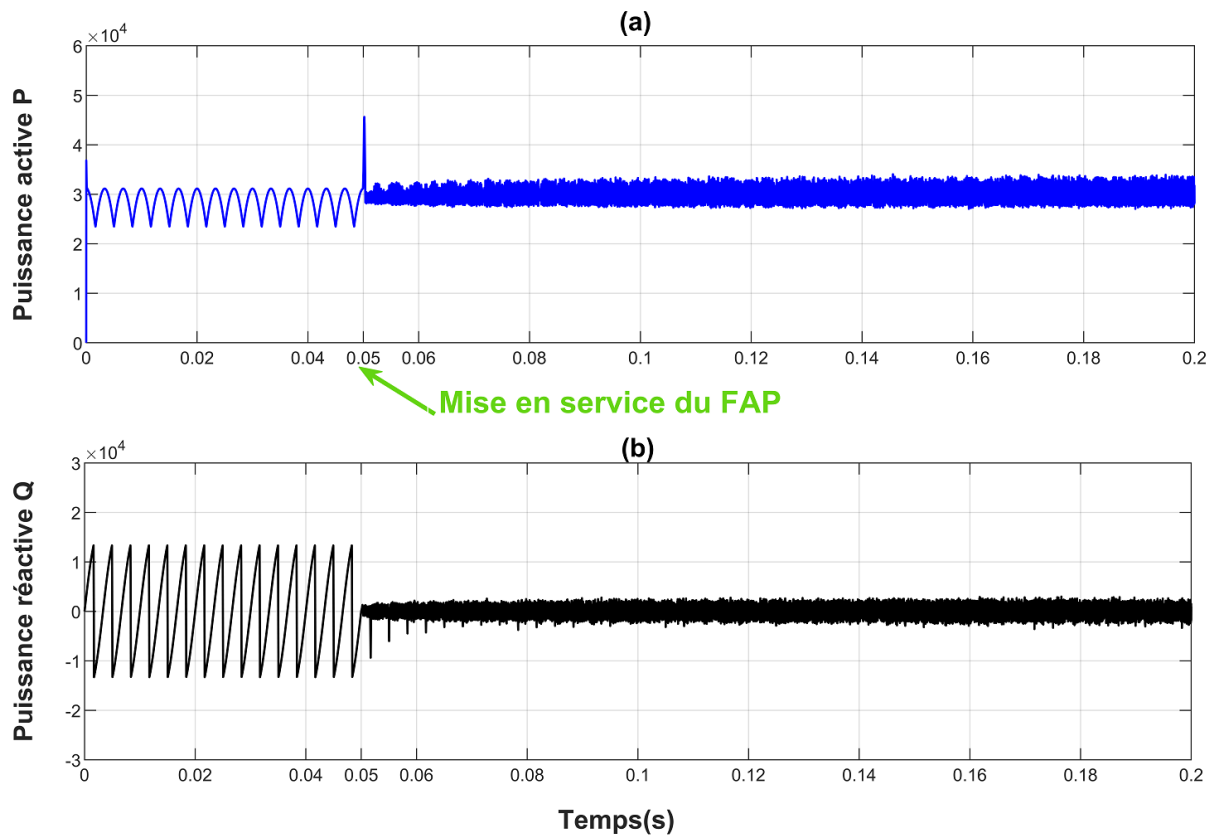


Figure 3.11: Formes d'onde de la puissance active P et réactive Q dans le cas N°1.

Dans les conditions du cas N°4 où la tension d'alimentation été initialement perturbé, les résultats de simulation obtenus en régime permanent sont affichés sur la figure 3.12, OÙ (a) représente la tension de source des trois phases, (b) représente la phase A du courant de la charge, (c) et (d) illustrent la phase A du courant de source I_s lors de l'utilisation de l'algorithme VLLMS proposé (bleu) et du CLPF (rouge). (e) et (f) représentent la phase A du courant de compensation I_F généré par le FAP dans les deux cas respectivement. Le graphe (g) affiche la comparaison des résultats d'estimation de la composante DC de la puissance par les deux méthodes.

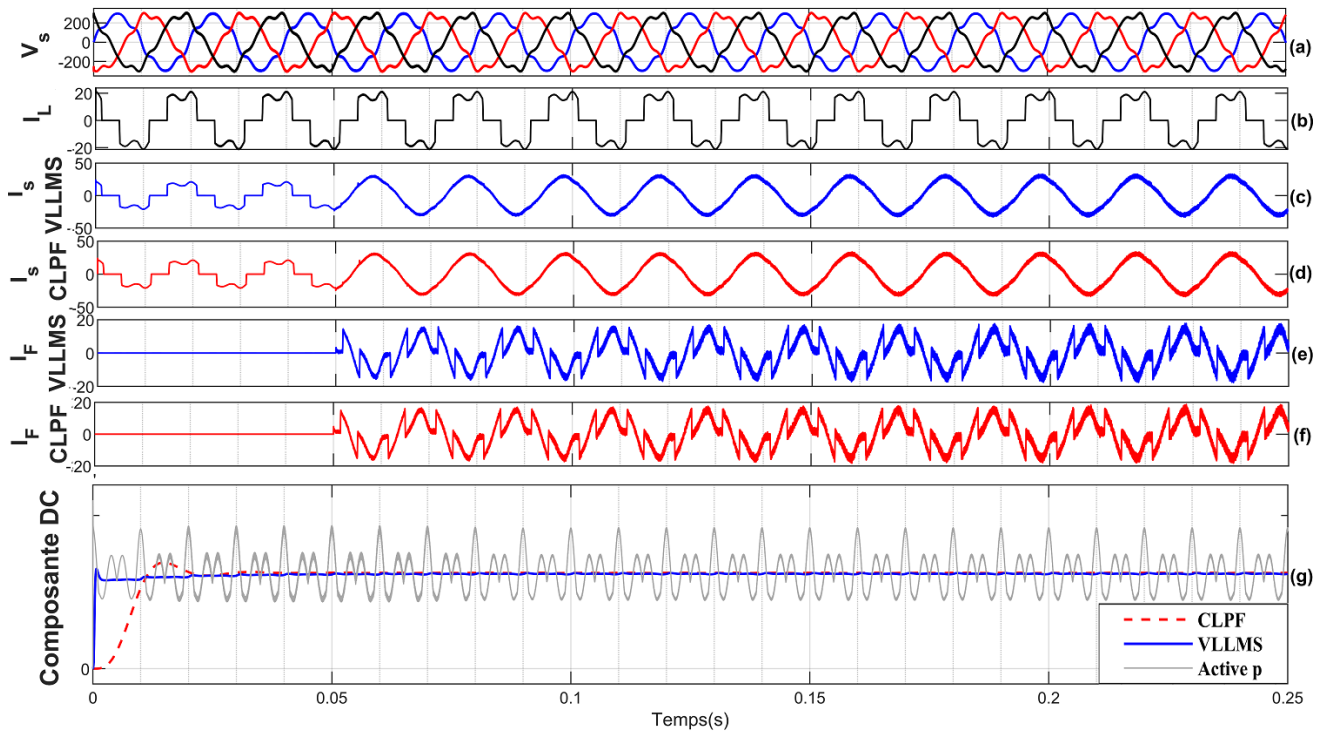


Figure 3.12: Résultats de simulation en régime permanent dans le cas N°4.

À partir de la figure nous constatons que la forme d'onde du courant I_s obtenue avec l'algorithme VLLMS ou le filtre CLPF est proche de la forme sinusoïdale pure. Le THD a été réduit de 43% à 4.5% dans les deux cas, ce qui est bien inférieur à la limite imposée par la norme IEEE 519 [1].

Par ailleurs, la tension du bus continu V_{dc} arrive à atteindre sa valeur de référence $V_{dc_{ref}}$ fixée à 320 V comme le présente la figure 3.13, et ce, après une période transitoire de l'ordre de 70 ms. Dans ce cas, la plage de variation de la tension DC est légèrement élevée à cause des perturbations dans la tension d'alimentation.

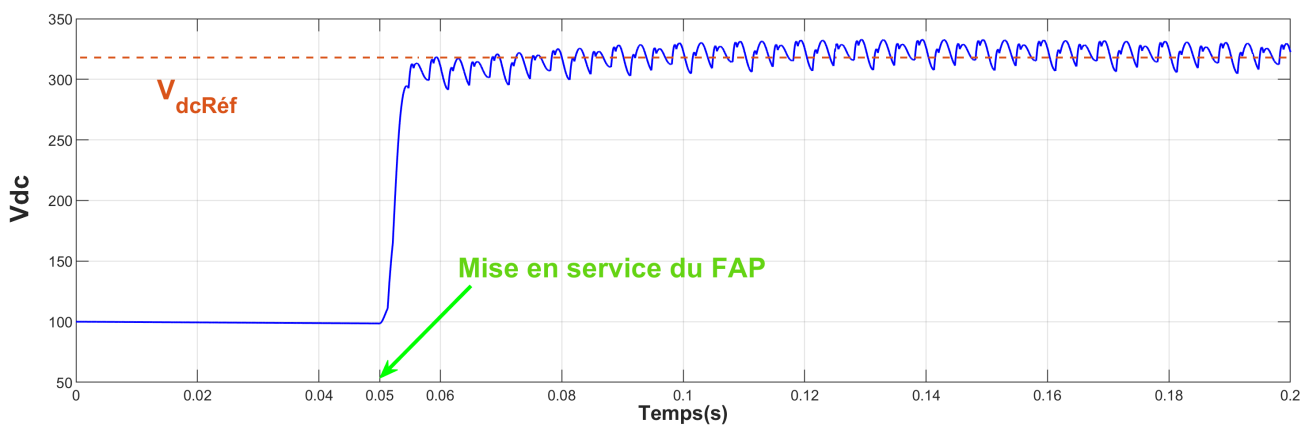


Figure 3.13: Courbe de la régulation de la tension continue dans le cas N°4.

En outre, la compensation de la puissance réactive dans ce cas est bien réalisée, comme il est indiqué dans la figure 3.14.

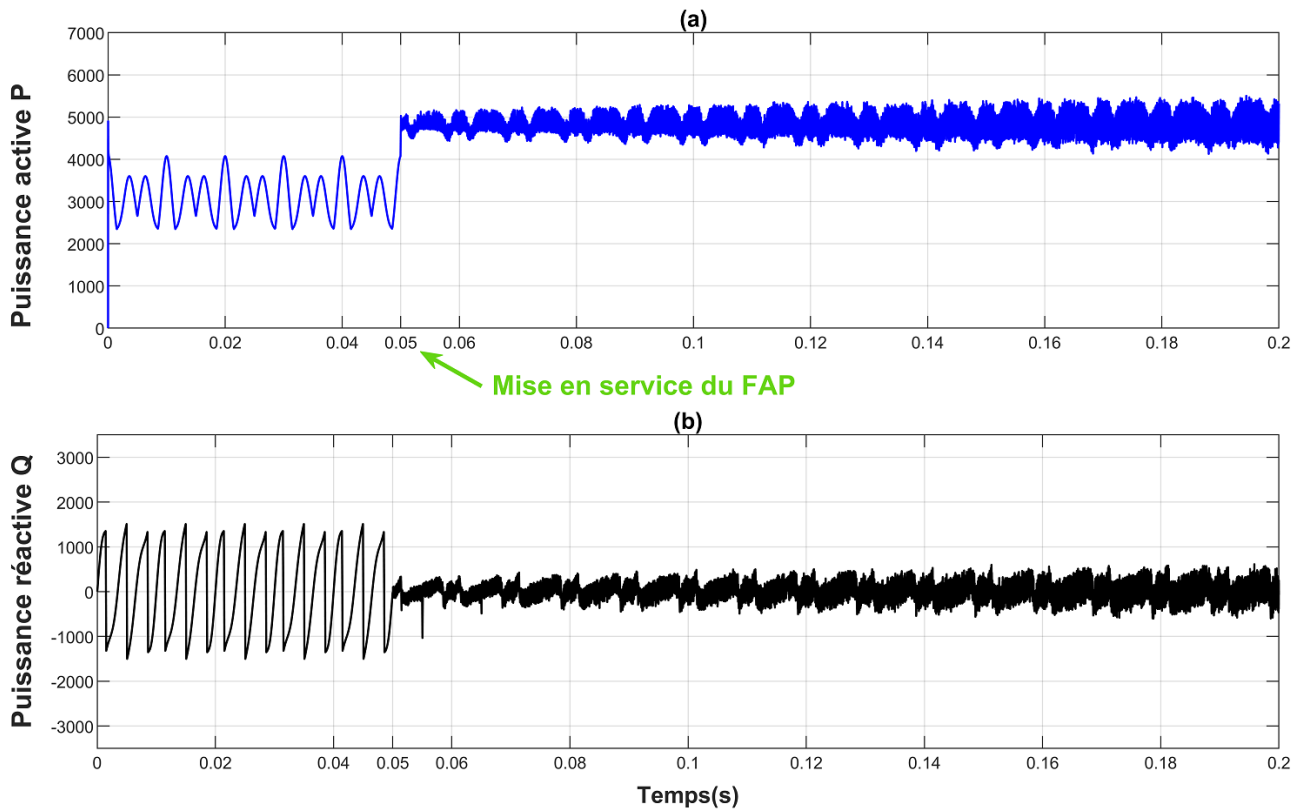


Figure 3.14: Formes d'onde de la puissance active P et réactive Q dans le cas N°4.

Les performances en régime permanent sont analysées dans les quatre autres cas en mesurant les valeurs THD correspondantes, les résultats obtenus sont illustrés dans le tableau 3.4.

Valeurs de THD	Cas 1	Cas2	Cas3	Cas4	Cas5	Cas6
I_{ch} (sans compensation)	28%	22%	25%	43%	37%	39%
I_s compensé avec CLPF	1.5%	1%	1.2%	4.5%	4.37%	4.48%
I_s compensé avec VLLMS	1.5%	0.9%	1.15%	4.5%	4.1%	4.26%

Tableau 3.4: Les résultats de mesure des valeurs du THD dans les différents cas de simulation

Les résultats de la mesure du THD affichés indiquent une amélioration supplémentaire des valeurs de THD lors de l'utilisation du VLLMS par rapport au CLPF, en particulier dans les cas où des charges déséquilibrées sont utilisées. Dans ce cas, le CLPF présente de faibles performances d'estimation en régime permanent.

Dans le cas des tensions de source non sinusoïdales, le modèle de contrôle adopté permet de réduire le THD à 4,5% dans le pire des cas. La valeur de THD obtenue est inférieure à 5%, la limite imposée par la norme IEEE 519 [1].

Les figures 3.15, 3.16, 3.17 et 3.18 représentent les résultats de simulation en régime permanent dans les quatre autres cas de test.

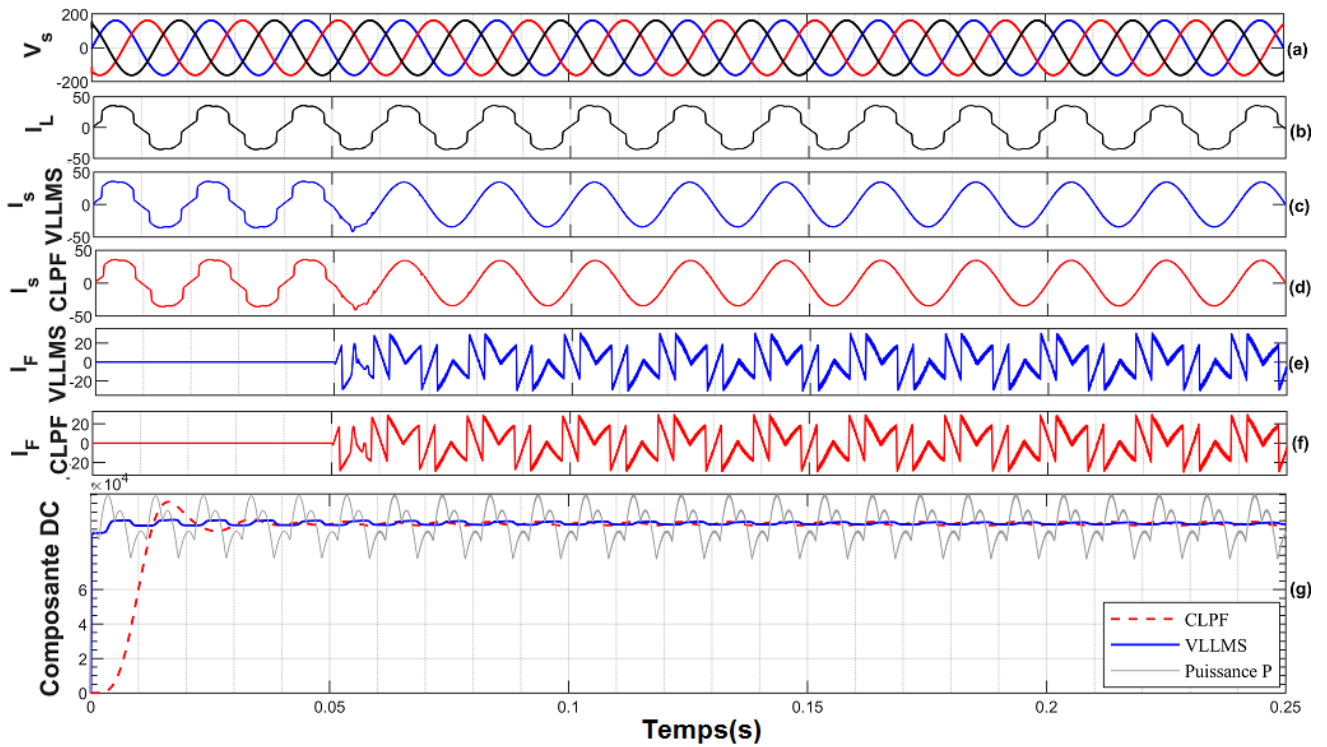


Figure 3.15: Résultats de simulation en régime permanent dans le cas N°2.

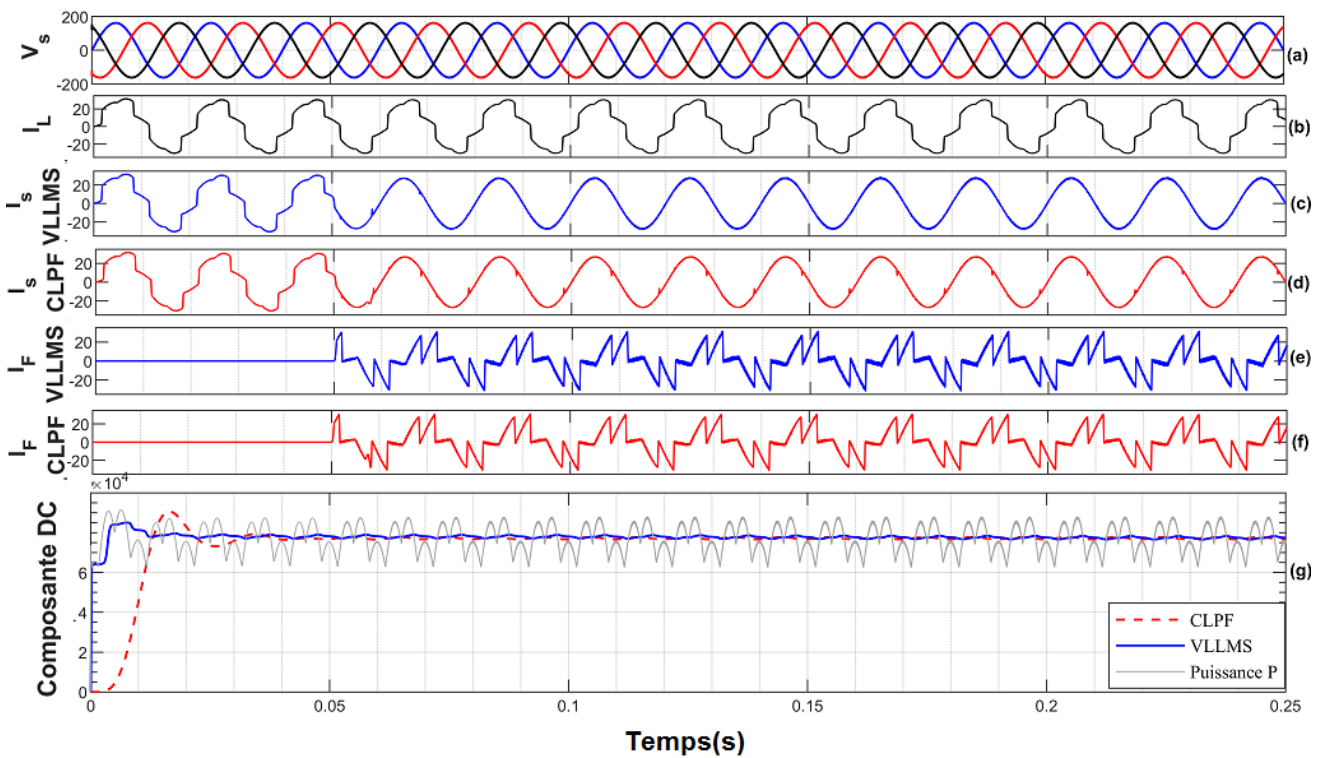


Figure 3.16: Résultats de simulation en régime permanent dans le cas N°3.

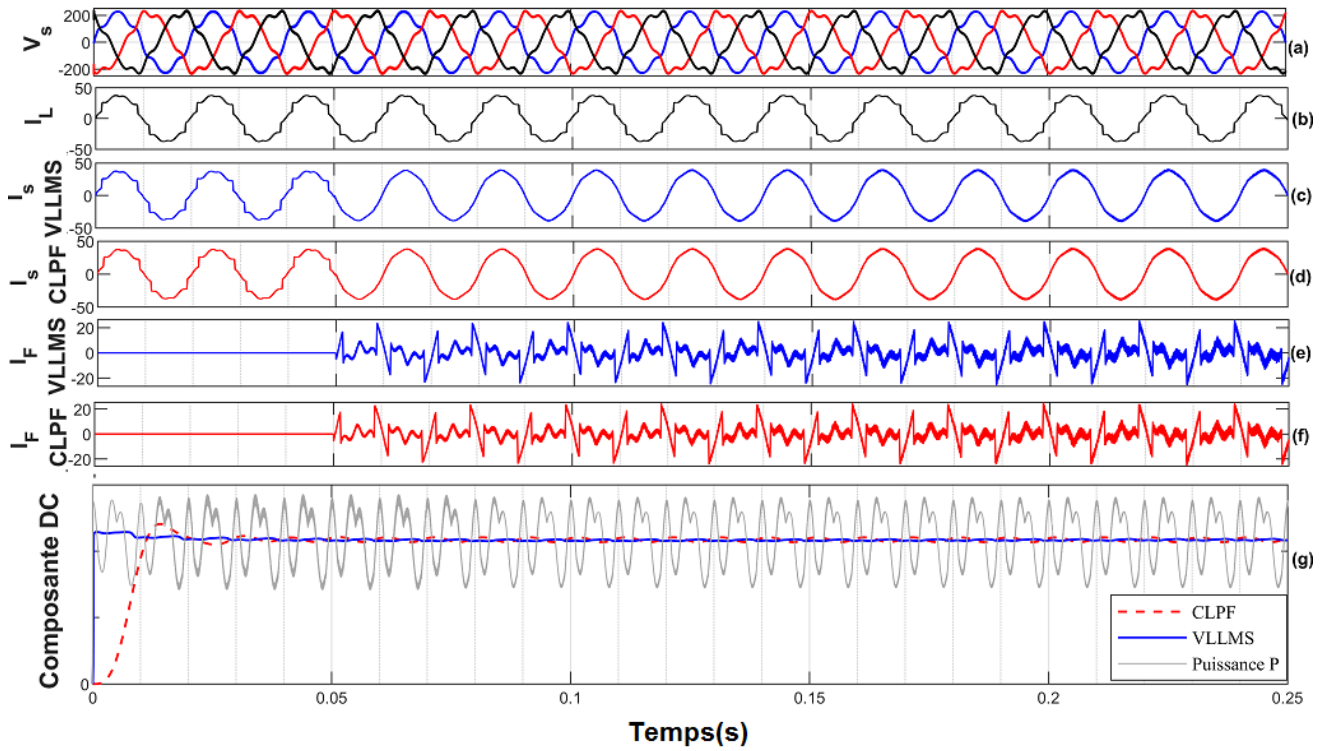


Figure 3.17: Résultats de simulation en régime permanent dans le cas N°5.

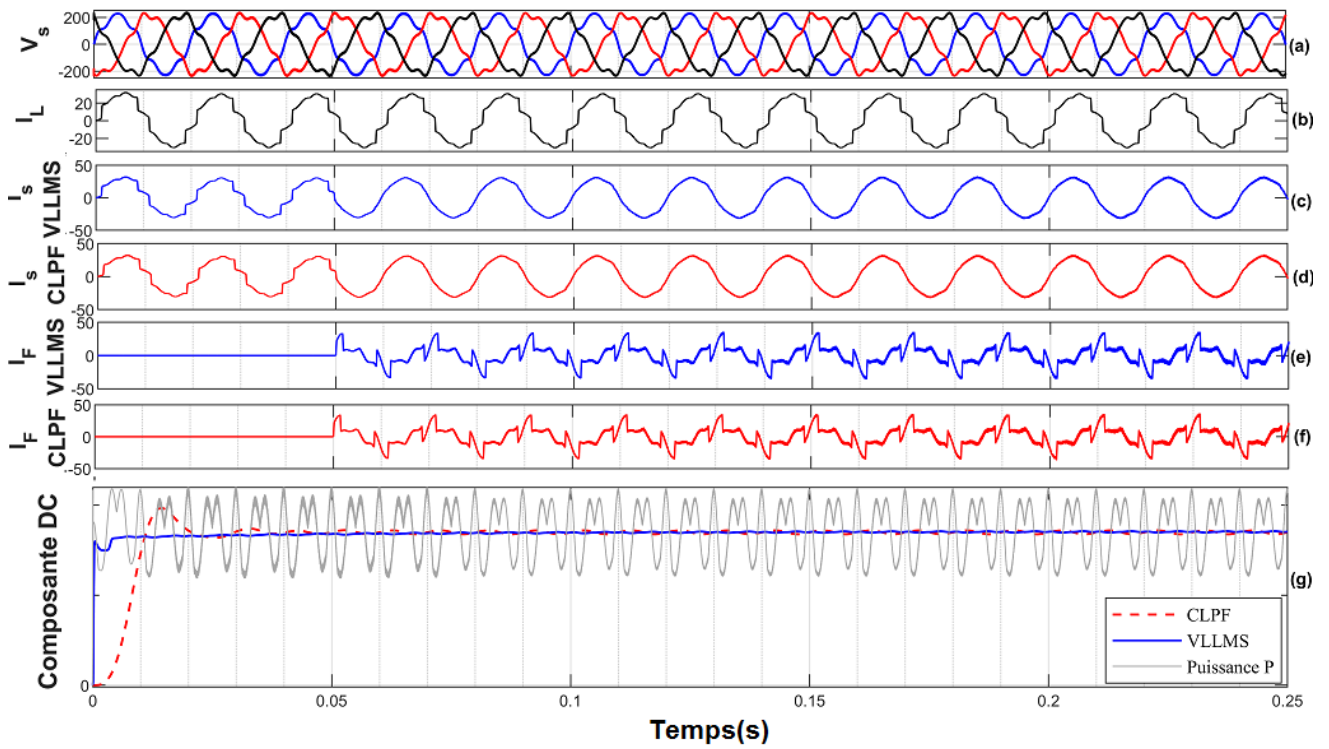


Figure 3.18: Résultats de simulation en régime permanent dans le cas N°6.

3.2.3 Simulation en régime dynamique

Afin de tester la réponse dynamique du FAP lors de l'utilisation du CLPF et du VLLMS, des variations soudaines de la charge polluante sont appliqués. La résistance de la charge varie plusieurs fois en alternance entre 5Ω , 15Ω et 30Ω . Les graphes résultants dans les conditions du cas N°1 peuvent être vus sur la figure 3.19.

À partir des tracés présentés sur la figure, nous pouvons voir que le retard introduit par le filtre CLPF lors de l'estimation de la composante DC de la puissance (figure 3.19.g) a conduit à plusieurs distorsions dans le courant de compensation $I_{F_{CLPF}}$ (figure 3.19.f), et par conséquent, ceci se traduit par l'apparition des parties déformées (flèches vertes) dans le courant de source $I_{s_{CLPF}}$ (figure 3.19.d).

D'une autre part, la composante DC de puissance extraite avec VLLMS présente une réponse dynamique élevée aux changements de la charge, avec un temps de transition presque nul. Ce qui se traduit par de très faibles distorsions dans le courant $I_{s_{VLLMS}}$ (figure 3.19.c). La robustesse de la méthode VLLMS proposée est prouvée par le fait que le courant de source I_s reste quasi-sinusoidal et in affecté par les changements brusques de la charge non linéaire aux instants indiqués sur la figure.

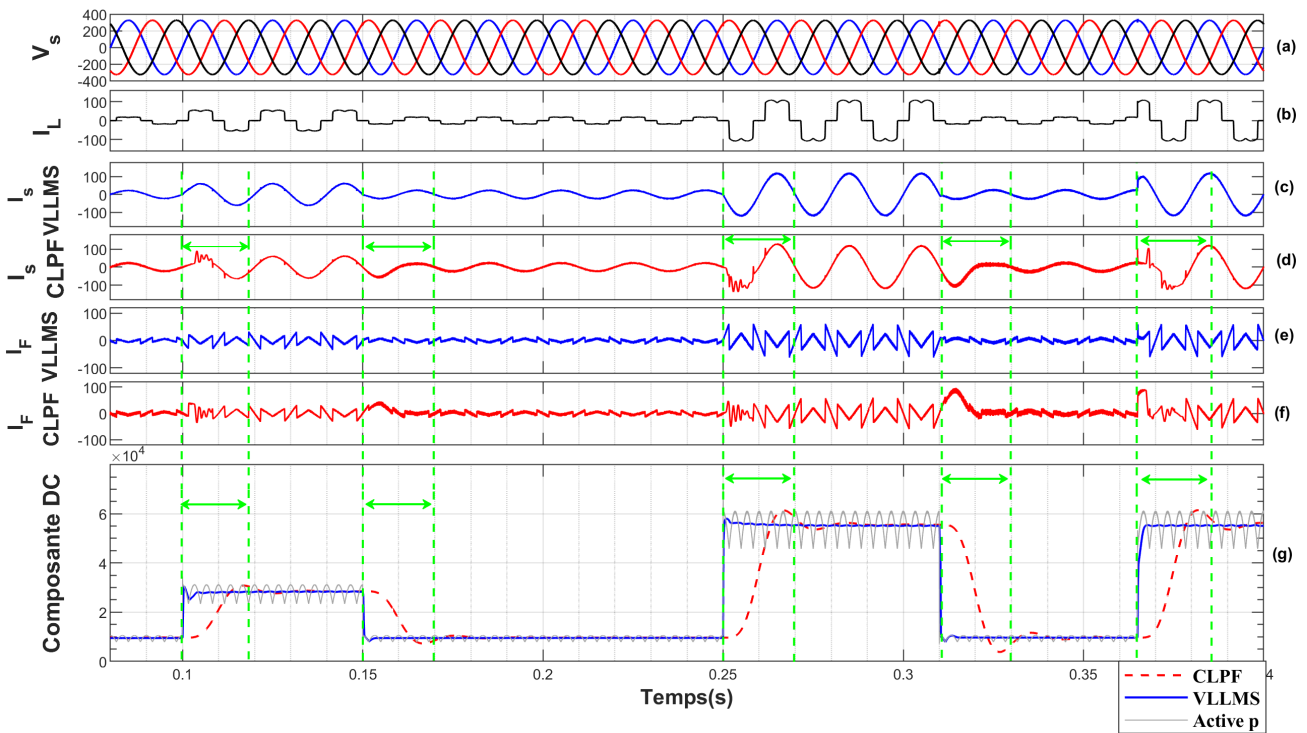


Figure 3.19: Résultats de simulation en régime transitoire dans le cas N°1.

Par ailleurs, nous constatons également que la tension V_{dc} du bus continue demeure régulée à sa valeur de consigne $V_{dc_{ref}}$ avec des petites déviations au moment des changements brusques de la charge polluante comme c'est illustré en figure 3.20.

L'algorithme VLLMS offre une vitesse de convergence élevée en état de transition, ce qui correspond à un pic du pas d'adaptation μ_n . Sa valeur est diminuée par la suite permettant ainsi une grande précision d'estimation. La figure 3.21.a illustre les variations de la taille du pas μ_n , alors que la variation correspondante de la composante DC extraite est illustrée sur la figure 3.21.b.

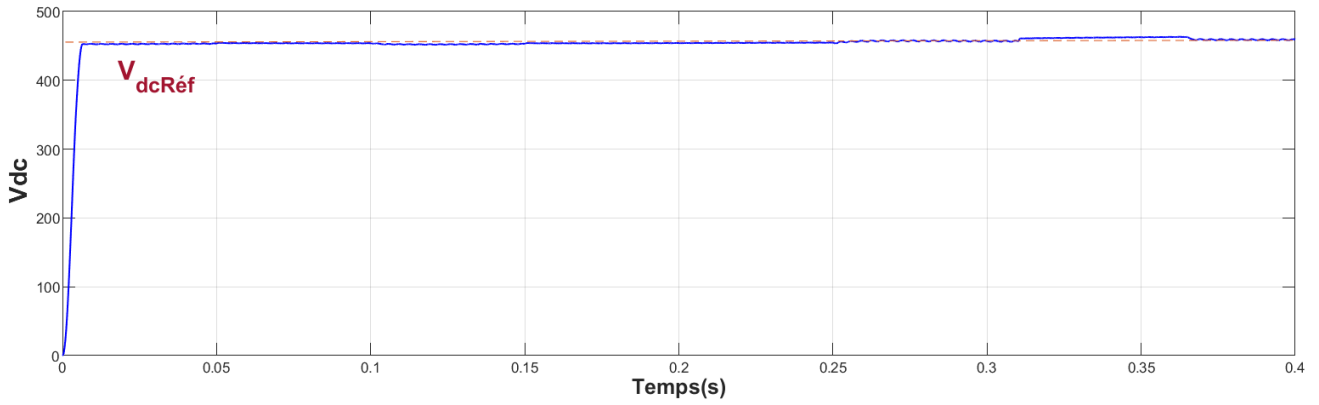


Figure 3.20: Courbe de régulation de V_{dc} en régime transitoire dans le cas N°1.

Ces performances dynamiques enregistrées démontrent l'importance offerte par l'utilisation des filtres variables dans le temps par rapport aux filtres classiques invariants dans le temps, et démontrent également l'intérêt des paramètres variables du filtre adaptatif et particulièrement le pas d'adaptation μ_n .

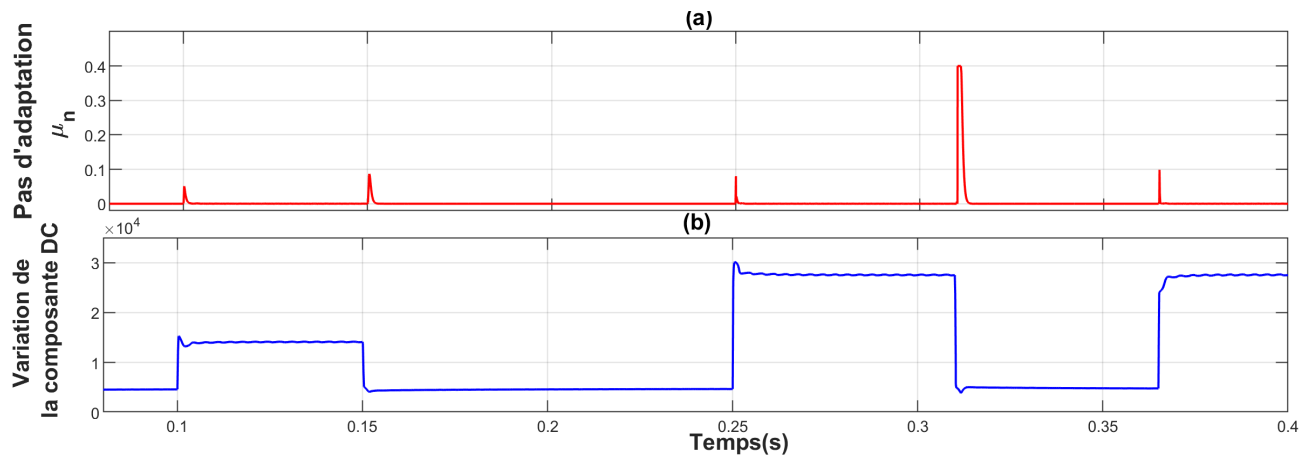


Figure 3.21: La variation du pas μ_n en correspondance avec les variations de la composante DC de la puissance active.

D'une autre part, les variations des puissances instantanées active $P(W)$ et réactive $Q(Var)$ sont étudiées et comparées lors de l'utilisation de l'algorithme VLLMS (figure 3.22) et le CLPF (figure 3.23).

À partir des résultats illustrés, nous pouvons voir qu'en utilisant l'algorithme VLLMS, la compensation de la puissance réactive est réalisée avec haute efficacité juste après la mise en service du FAP. Nous constatons également la robustesse de la compensation lors des variations brusques de la charge non linéaire. Par ailleurs, lors de l'utilisation du CLPF, la compensation de la puissance réactive est moins performante à cause du délai d'estimation introduit par ce filtre, ce qui est bien clair dans le graphe illustrant les variations de la puissance active.

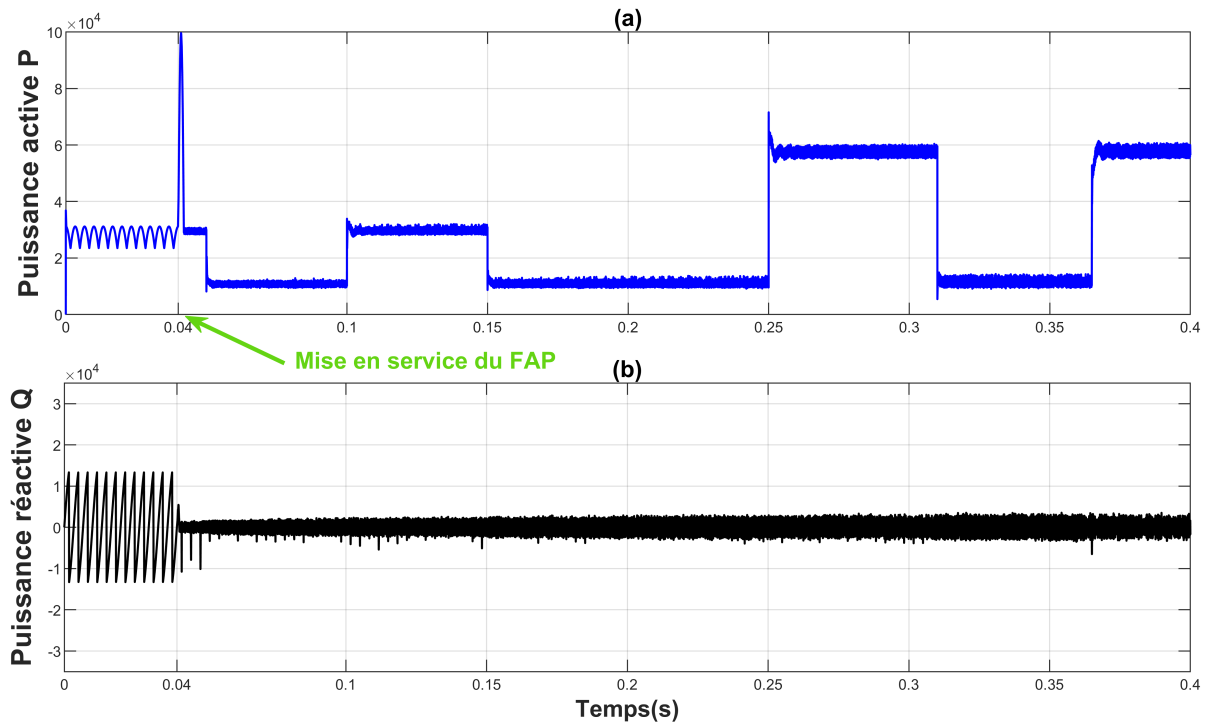


Figure 3.22: Formes d'onde de la puissance active P et réactive Q dans les conditions du cas N°1 en utilisant VLLMS.

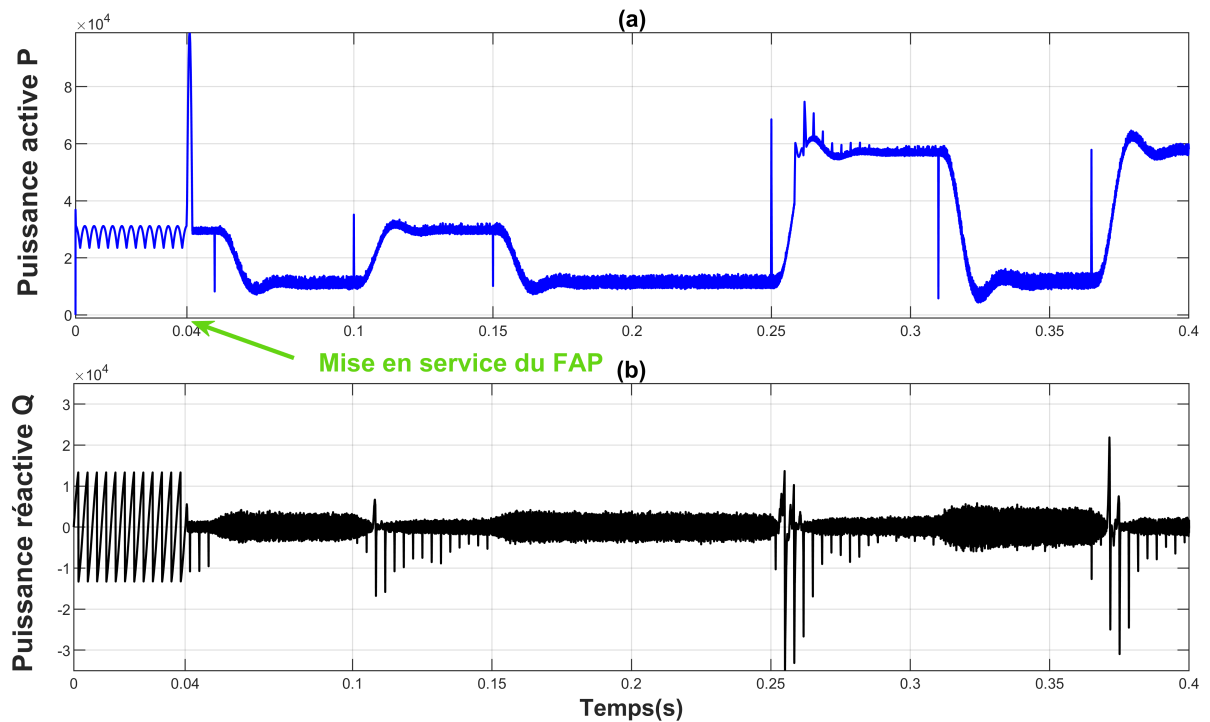


Figure 3.23: Formes d'onde de la puissance active P et réactive Q dans les conditions du cas N°1 en utilisant CLPF.

De même, les résultats de simulation lors de l'application des autres cas de test sont affichés sur les figures 3.24 à 3.28. Où (a) illustre la tension de source, (b) représente le courant de la charge, (c) et (d) illustrent le courant de source obtenu après compensation en utilisant respectivement l'algorithme VLLMS et CLPF, tandis que le graphe (e) représente la comparaison des performances d'estimation de la composante DC de la puissance active.

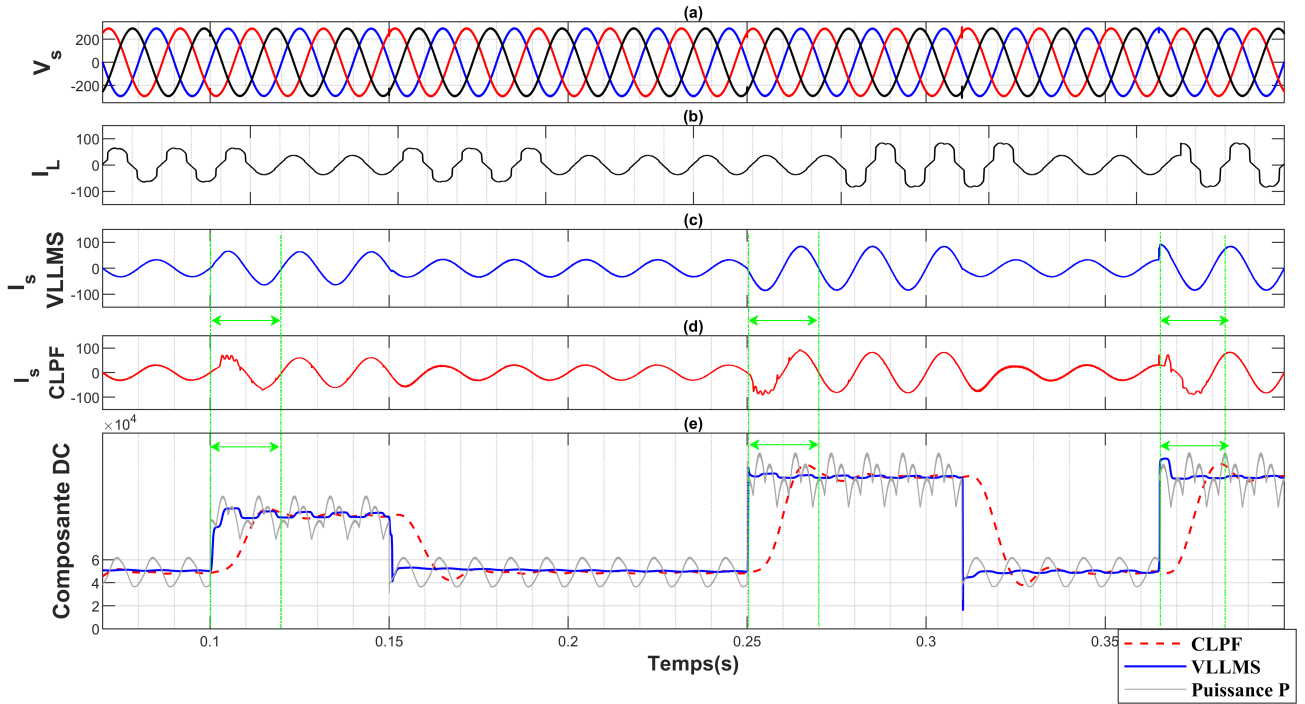


Figure 3.24: Résultats de simulation en régime transitoire dans cas N°2.

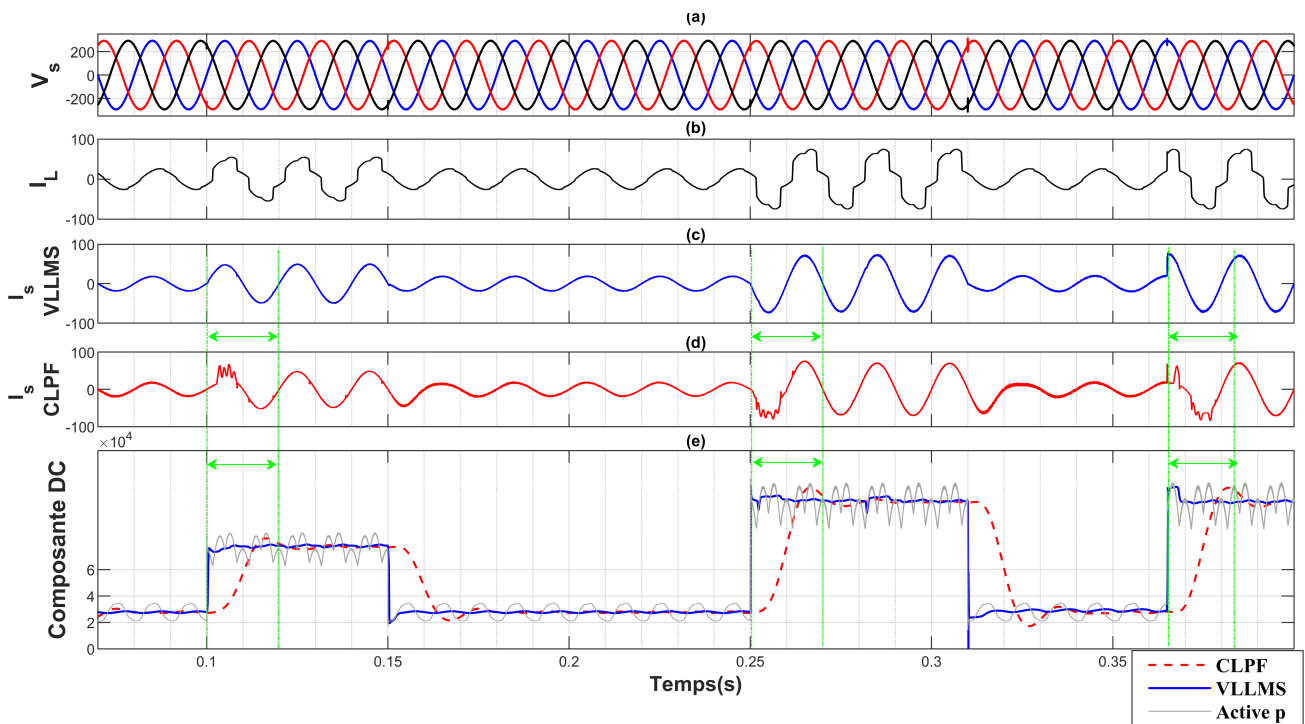


Figure 3.25: Résultats de simulation en régime transitoire dans le cas N°3.

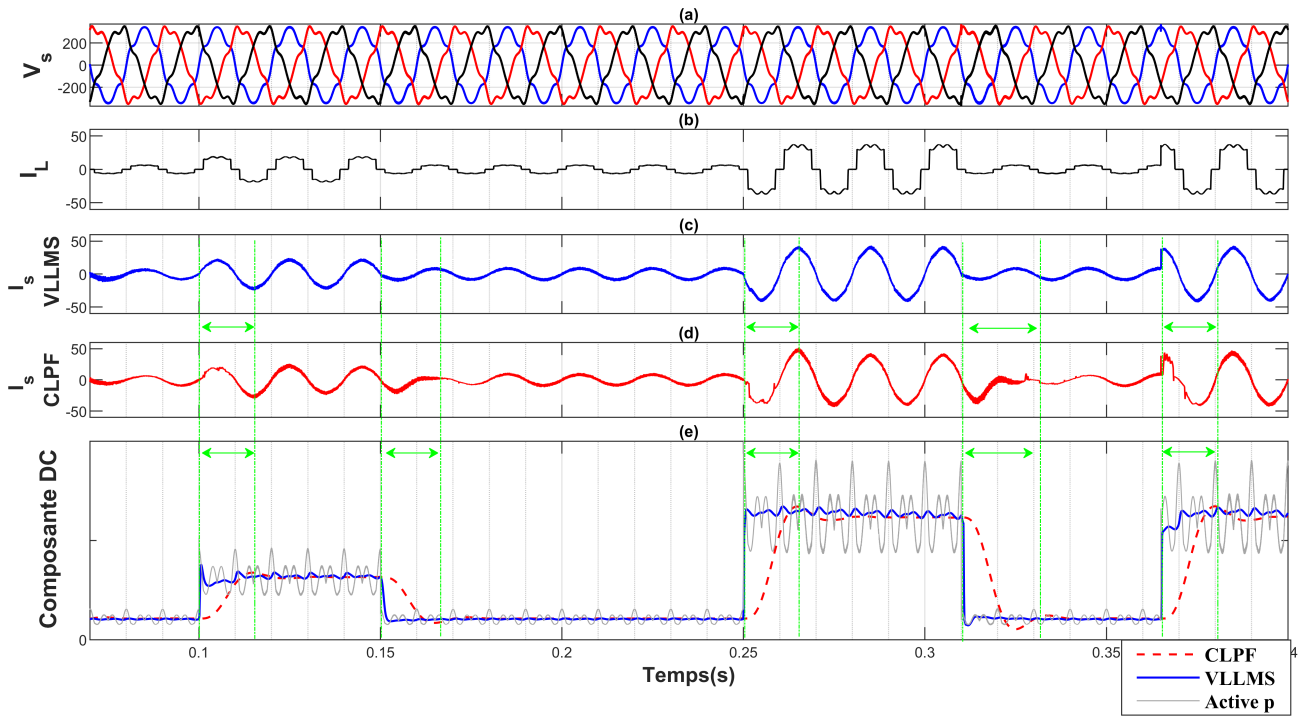


Figure 3.26: Résultats de simulation en régime transitoire dans le cas N°4.

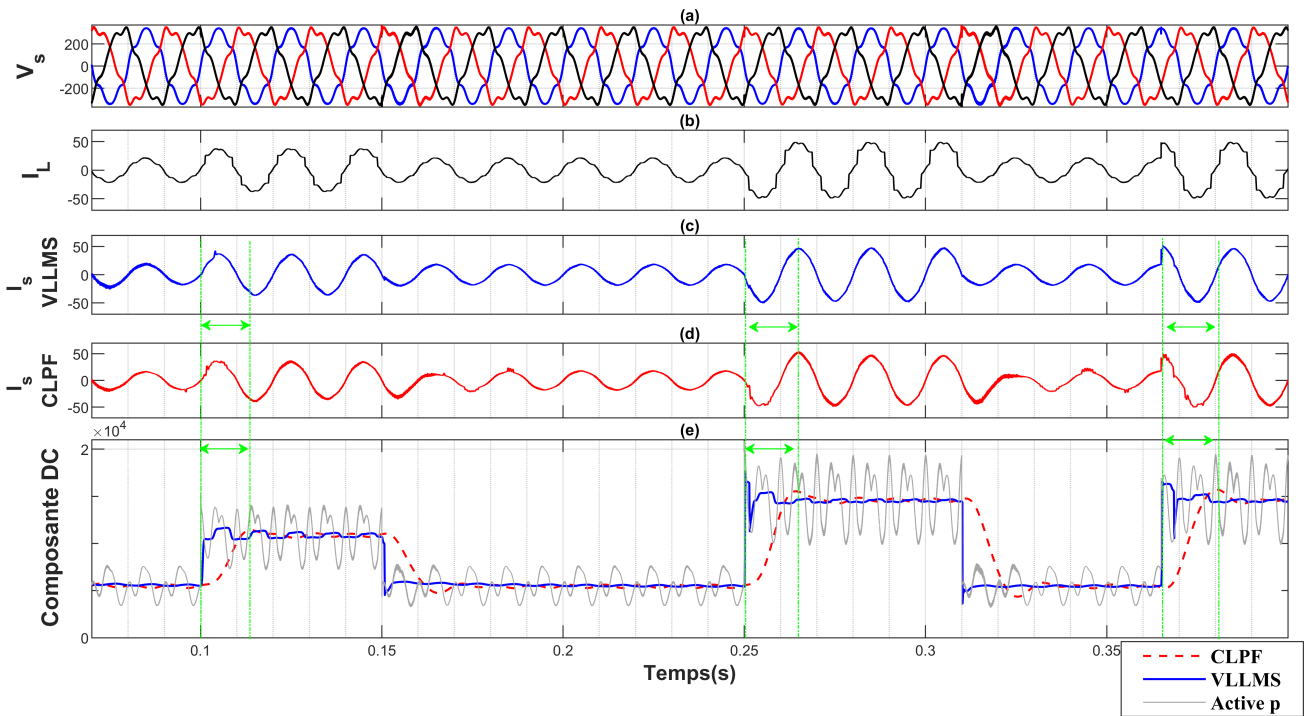


Figure 3.27: Résultats de simulation en régime transitoire dans le cas N°5.

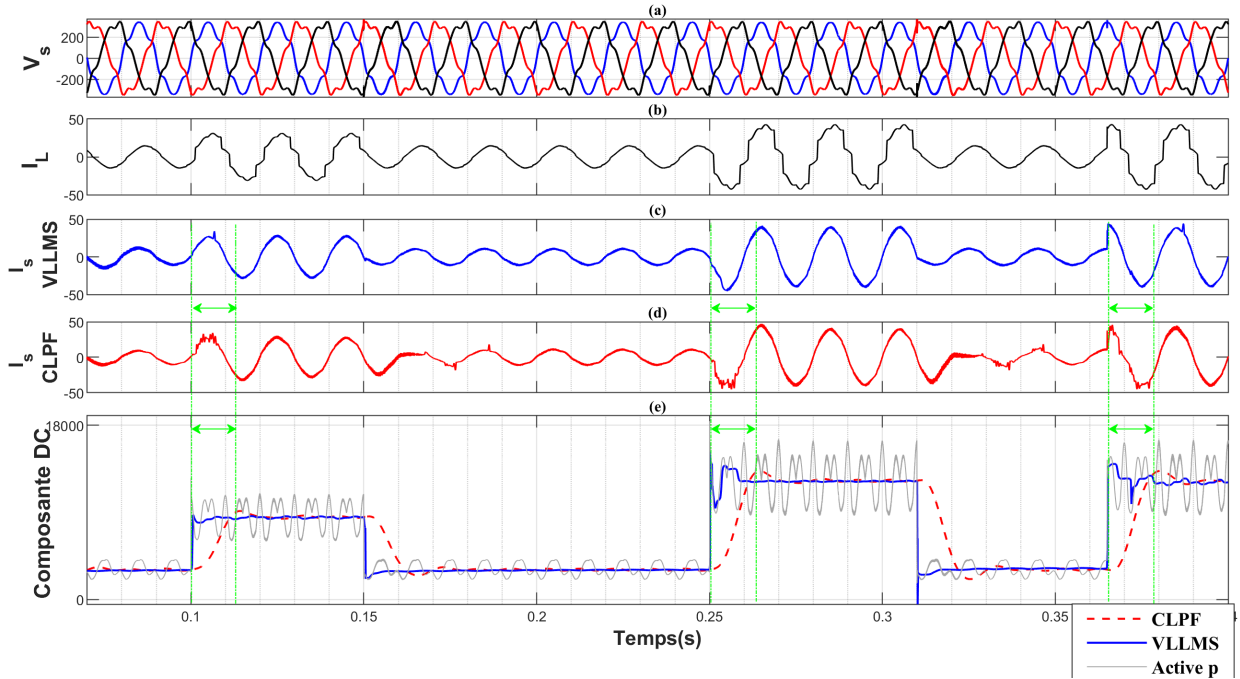


Figure 3.28: Résultats de simulation en régime transitoire dans le cas N°6.

D'après les figures, nous pouvons voir que le courant de source I_s dans le cas du filtre VLLMS reste purement sinusoïdal, il n'est pas affecté par les changements brusques de la charge. On peut également voir le temps de retard introduit par le CLPF (flèche verte en (e)) et son influence sur la qualité du courant de source $I_{s_{CLPF}}$.

3.3 Comparaison avec les méthodes précédentes

Comme nous avons mentionné, plusieurs méthodes ont été proposées dans la littérature pour remplacer le filtre classique CLPF. Afin de comparer les performances de la méthode VLLMS proposée avec les autres alternatives, nous avons reproduit les principales approches de filtrage appliquée précédemment pour l'extraction de la composante DC à savoir : le filtre passe-bas basé sur les ondelettes (WLPF), proposée en [45][71][82] [83], et l'algorithme VFFRLS, proposé en [40][84]. Les résultats sont ensuite comparés avec ceux obtenus avec notre algorithme dans des conditions d'alimentation sinusoïdales et non sinusoïdales.

3.3.1 Le filtre passe-bas en ondelette

Le principe du filtre WLPF a été présenté dans la section 2.3.1.3. Dans ce travail de simulation, le filtre WLPF étudié utilise la transformée en ondelettes LWT avec six niveau d'ondelettes (selon le travail de [83]) et la fonction mère d'ondelette appliquée est le HAAR. La figure 3.29 ci-dessous présente la forme d'un niveau du filtre appliqué.

La comparaison des performances de l'algorithme VLLMS proposé avec le filtre WLPF a été faite en appliquant les conditions des cas N°1 et N°4, c'est-à-dire avec une tension d'alimentation sinusoïdale et perturbée. Tout d'abord, la comparaison des résultats de l'estimation de la composante DC de la puissance dans le cas N°1 est illustré dans la figure 3.30, où (a) représente la forme de la puissance active dans ce cas-là, et (b) représente l'estimation de sa composante DC par VLLMS (vert) et par WLPF (rouge). La figure 3.31 illustre ainsi les formes des courants de source obtenues en correspondance avec les graphes d'estimation de la composante continue.

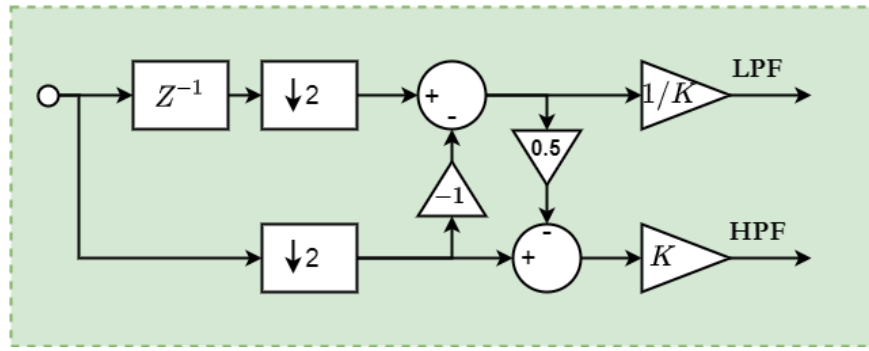


Figure 3.29: Forme d'un niveau du filtre passe-bas en ondelette WLPF.

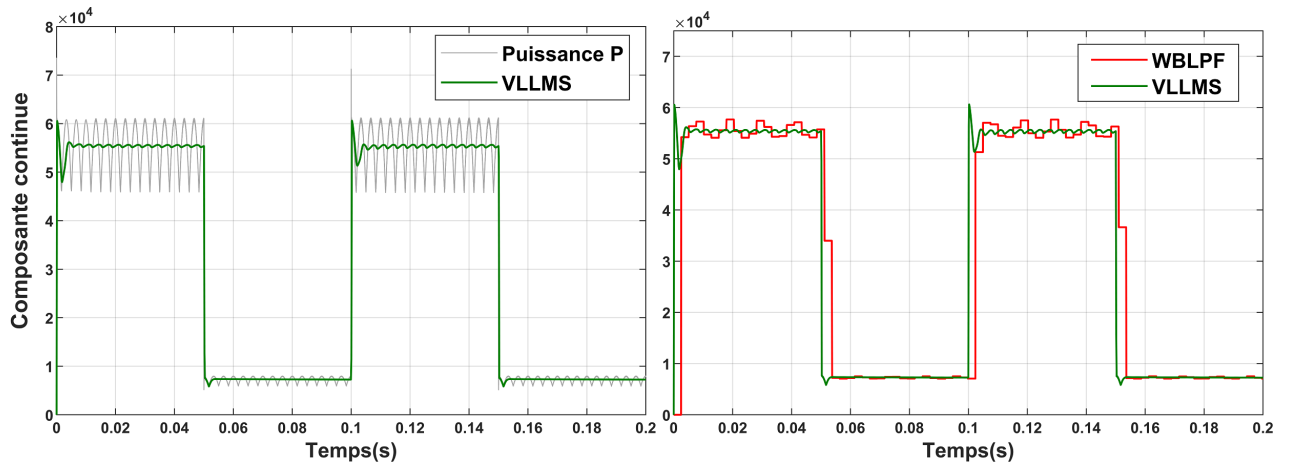


Figure 3.30: Comparaison de la composante DC estimée par VLLMS et WLPF dans les conditions du cas N°1.

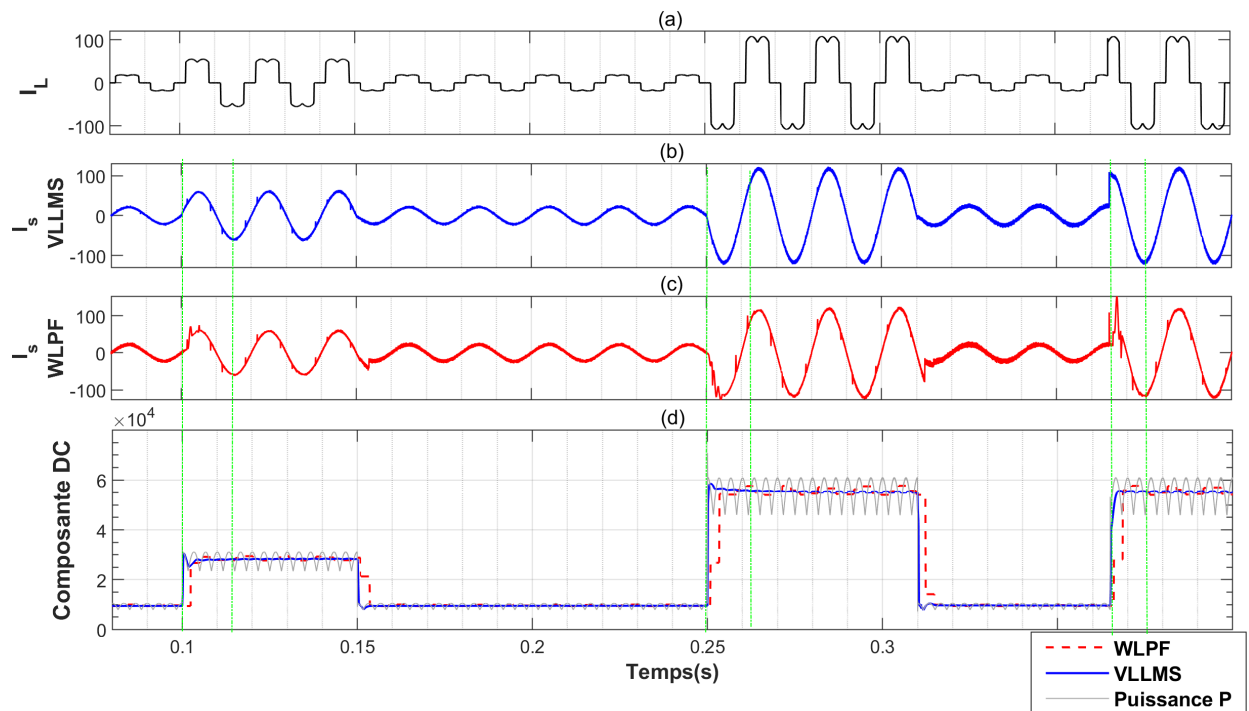


Figure 3.31: Formes d'onde des courants de source obtenues avec VLLMS et WLPF dans les conditions du cas N°1

D'après les figures, on peut constater l'influence de la mauvaise estimation de la composante DC par la méthode WLPF non seulement en termes de performance dynamique, mais aussi en régime permanent ce qui est dû à la marge élevée de l'erreur d'estimation.

De même, la comparaison a été faite dans le cas d'une tension d'alimentation perturbée (cas N°4). Les résultats sont présentés dans figure 3.32, et les formes d'ondes des courants de source obtenues avec les deux filtres sont présentés dans la figure 3.33.

Les résultats affichés indiquent la supériorité de la méthode proposée en termes de réponse dynamique par rapport au filtre WLPF surtout dans le cas des signaux perturbés, où l'estimation effectué par WLPF est donnée avec une erreur relativement élevée.

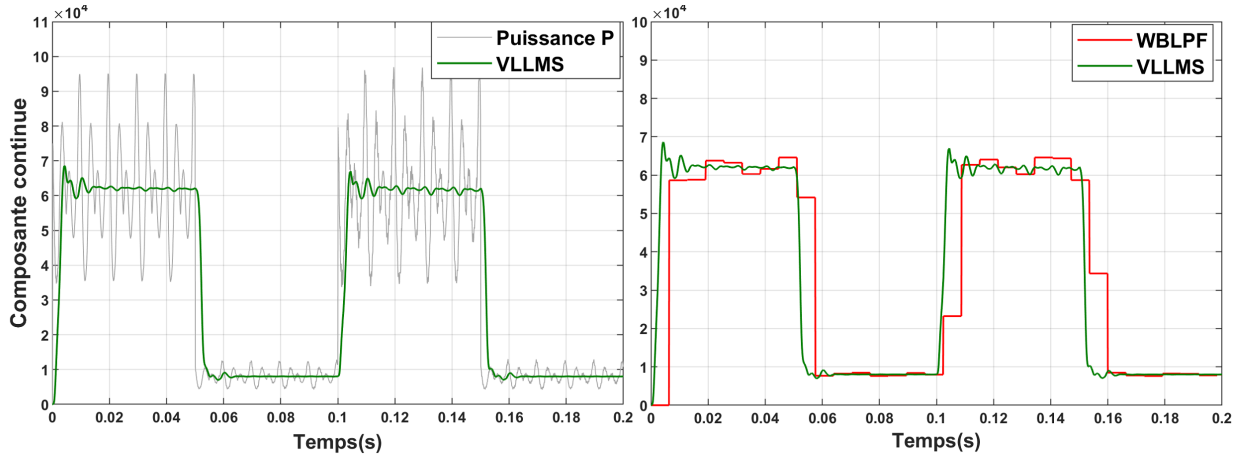


Figure 3.32: Comparaison de la composante DC estimée avec VLLMS et WLPF dans les conditions du cas N°4

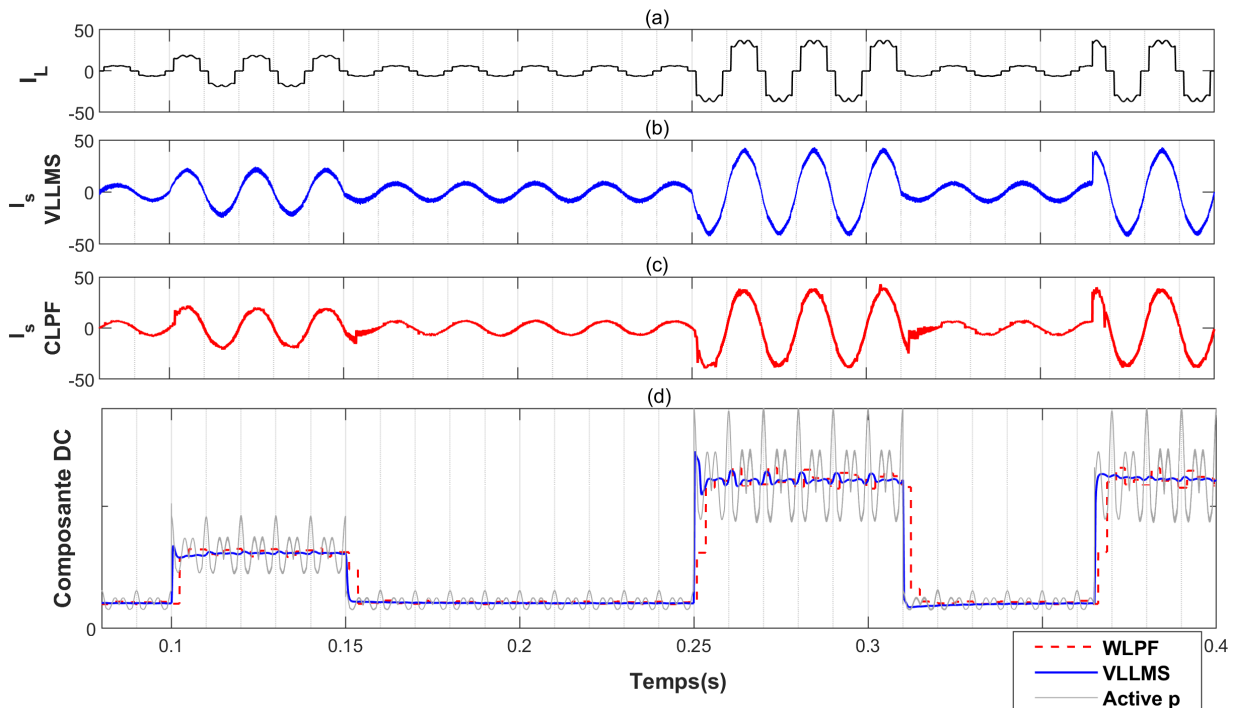


Figure 3.33: Formes d'onde des courants de source obtenues en correspondance avec les variations de la composante DC (cas N°4)

3.3.2 Le filtre numérique VFFRLS

Le principe du filtrage VFFRLS a été présenté dans la section 2.3.1.4. Dans ce travail de simulation, le modèle du VFFRLS est établi à partir des équations présentées dans la section 2.3.1.4. Le modèle de simulation du filtre VFFRLS en Simulink est illustré dans la figure 3.34.

Les performances d'estimation de la composante continue ont été comparées dans les conditions des cas N°1 et N°4 et les résultats de simulation sont illustrés dans la figure 3.35.

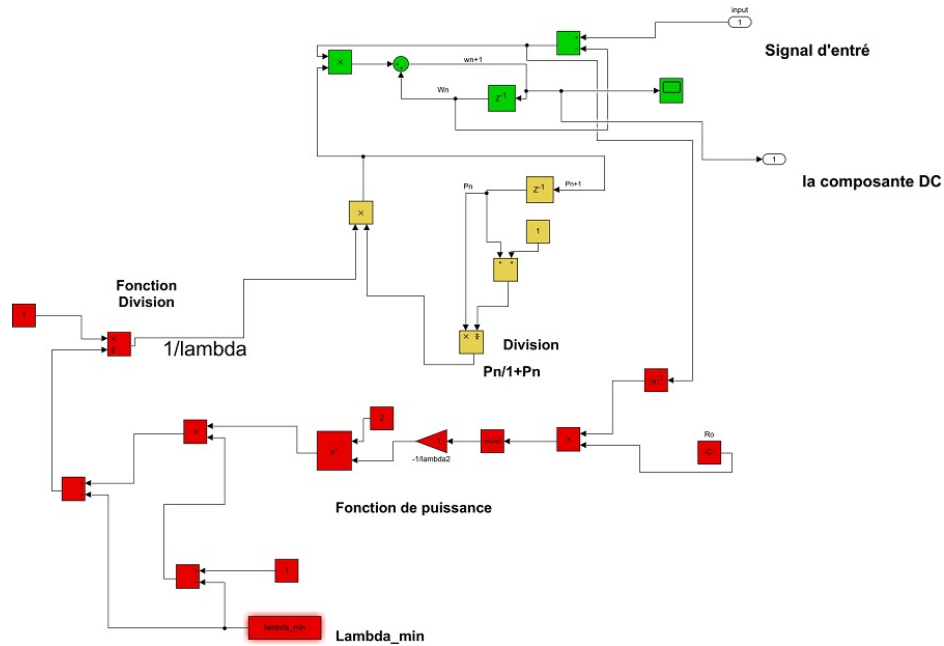


Figure 3.34: Modèle de l'algorithme VFFRLS étudié

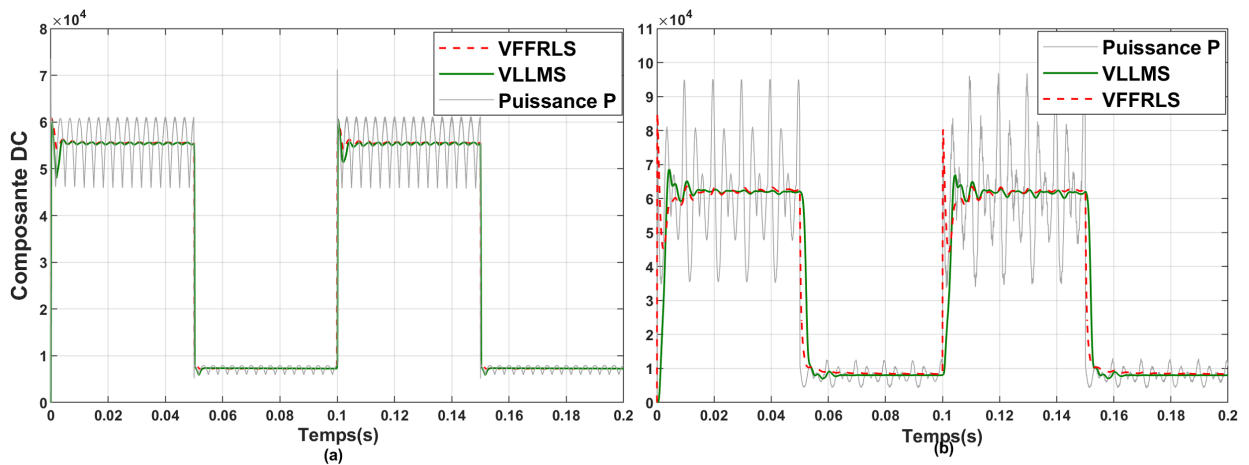


Figure 3.35: Comparaison de la composante DC estimée par VLLMS et VFFRLS dans les conditions du cas N°1 (a) et du cas N°4 (b)

On constate que les résultats obtenus par les deux méthodes VLLMS et VFFRLS sont presque les mêmes que ce soit avec des tensions d'alimentation sinusoïdales ou perturbées. Afin de mieux comparer notre algorithme avec l'algorithme VFFRLS, la complexité de calcul et le temps d'exécution doivent être pris en considération. A cet effet, le chapitre prochain proposera des approches pour la comparaison des performances de calcul de ces algorithmes.

3.4 Conclusion

Les résultats de simulation présentés dans ce chapitre montrent l'efficacité de l'approche adoptée pour l'identification et la compensation des harmoniques et de la puissance réactive. Le modèle proposé de la méthode PQ modifiée a permis d'avoir de bons résultats avec des tensions d'alimentation perturbées. En effet, la valeur du THD mesurée est bien inférieure à la limite imposée par la norme des harmonique IEEE519 [1].

D'une autre part, les performances dynamiques de la méthode ont été améliorées par le biais de l'algorithme VLLMS proposé. Cet algorithme a permis d'avoir une période transitoire de moins d'un quart de cycle dans les pires des cas. De plus, la comparaison de cette méthode avec les méthodes précédentes indique une amélioration significative par rapport à la méthode de filtrage classique CLPF et la méthode de filtrage par ondelette (WLPF) non seulement en régime transitoire, mais aussi en régime permanent, surtout en cas d'une tension d'alimentation perturbée. Par ailleurs, la comparaison avec la méthode VFFRLS donne des résultats proches, d'où l'importance de la comparaison en termes de complexité de calcul et d'utilisation de ressources. Celles-ci seront étudiées en détail dans le chapitre 4.

Chapitre

4

**Prototypage
«FPGA in the
loop» &
implémentation
matérielle**

Introduction

Après avoir effectué la vérification fonctionnelle de l'approche proposée par le biais de la modélisation et la simulation en MATLAB/SIMULINK, on passe maintenant à l'implémentation de la technique proposé et à l'étude de sa complexité de calcul. Pour cela, deux approches de validation sont entamées dans ce chapitre, la première est basée sur le prototypage «FPGA IN THE LOOP», et la deuxième consiste à une implémentation matérielle de la partie concernée du système de contrôle.

La cible d'implémentation est basée sur un composant numérique à logique câblée de type FPGA (Field Programmable Gate Array). Ce choix est justifié par le fait que les FPGAs apportent de nombreuses avantages supplémentaires tels que : la reprogrammation rapide, la possibilité de réduire fortement la période d'échantillonnage, la sensibilité réduite aux perturbations et la possibilité d'intégration complète du système de contrôle dans une puce unique.

Dans la suite de ce chapitre, les spécifications des circuits FPGA et des systèmes sur puce seront tout d'abord présentés. Par la suite, les deux approches de validation seront exposées en détail et les résultats obtenus seront ainsi présentés et discutés.

4.1 Introduction sur les FPGAs

4.1.1 Présentation

Un FPGA (Field Programmable Gate Array) est un dispositif logique programmable (PLD Programmable Logic Device) inventé par Xilinx en 1985 [100]. Depuis son invention, le FPGA est devenu l'un des PLD les plus utilisés et a considérablement réduit le marché des circuits intégrés à application spécifique (ASIC) et des processeurs à usage général (GPP). Comme les ASIC, les FPGAs peuvent implémenter des circuits numériques spécifiques pour répondre aux exigences de synchronisation des applications à très large bande passante que les processeurs typiques ne peuvent pas les gérer. D'une autre part, un FPGA peut être reprogrammé ou reconfiguré pour mettre à jour la fonctionnalité souhaitée, ce qui n'est pas possible avec un ASIC.

Bien que les FPGA étaient auparavant moins susceptibles d'être utilisés dans l'industrie, dernièrement, les capacités des FPGAs ont permis d'offrir aux concepteurs une solution supplémentaire de réalisation pour une majorité d'applications. En termes de consommation d'énergie, les performances par watt d'un FPGA sont meilleures que celles d'un CPU [101]. De plus, les outils de mise en œuvre des FPGAs ont considérablement évolué permettant une réalisation rapide des applications complexes. En revanche, le facteur principal déterminant la popularité des circuits FPGA est leur flexibilité et leur capacité de changer sa description matérielle en fonction de l'application. En outre, les FPGAs peuvent être couplés avec un processeur à usage général, ainsi la section la plus exigeante du logiciel peut être réalisée sur la partie matérielle qui permet d'accélérer l'exécution du programme, ce qui offre des accélérations considérables dans l'exécution. Par conséquent, les FPGAs permettent d'obtenir des performances de calcul importantes. De plus, le nombre des portes logiques sur les circuits FPGA les plus récentes permet l'intégration complète de tout le système sur une puce (SoC - System On Chip)[102].

4.1.2 Architecture interne d'un FPGA

Les circuits FPGA utilisent deux types de cellules de base, les cellules logiques configurables appelées CLB (configurable logic bloc) et les cellules d'entrées/sorties appelées IOB (I/O blocs). Les CLB sont organisés sous forme d'une matrice entourée par les IOB, l'ensemble des cellules est relié par un réseau d'interconnexions reconfigurables (figure 4.1). Un circuit FPGA peut être programmé par l'intermédiaire des cellules mémoires de type SRAM (Static Random Access Memory). La technologie SRAM permet de reconfigurer le FPGA autant de fois que nécessaire afin d'implanter les fonctionnalités désirées contrairement aux FPGAs qui utilisent la technologie anti-fusible. L'importance de cette souplesse de programmation intervient dans le cas de diagnostic d'une erreur de conception. Dans ce cas, il suffit de reprogrammer le circuit FPGA avec une version corrigée du contrôleur [102].

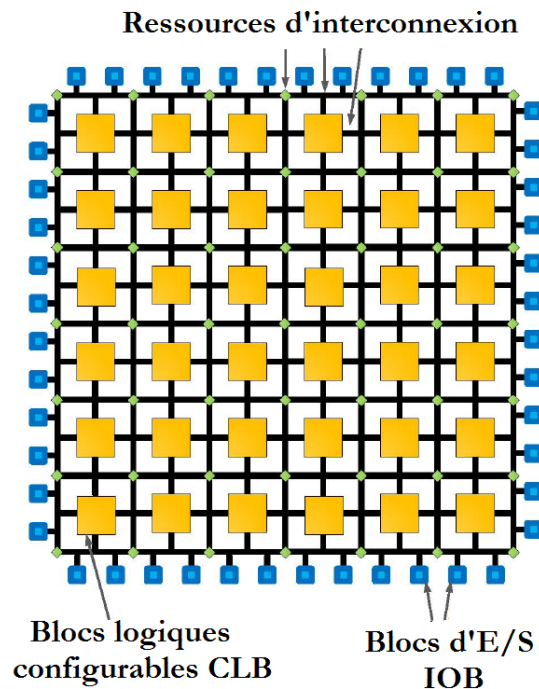


Figure 4.1: Architecture interne d'un FPGA [102].

4.1.3 Apports des FPGAs pour la commande des systèmes de puissance

Les applications de l'énergie électrique et de l'électronique de puissance sont aujourd'hui très sophistiquées. Dans ce contexte, les systèmes de contrôle numérique présentent un grand intérêt puisqu'ils permettent de mettre en œuvre assez facilement des stratégies de contrôle complexes. D'une autre part, les contrôleurs analogiques malgré leurs inconvénients tels que la dérive des paramètres (parameters drifting) ou le manque d'intégration, restent toujours la référence en termes de rapidité d'exécution et de bande passante [103]. Pour cette raison, les temps d'exécution des contrôleurs numériques doivent être réduits tout en conservant le caractère de flexibilité de la solution numérique choisie. En outre, les exigences récentes en électronique de puissance telles que l'intégration, la segmentation de la puissance et la fiabilité ont un impact direct sur le choix des contrôleurs numériques. Pour répondre à ces spécifications, les plates-formes de contrôle numérique basées sur FPGA présentent une solution intéressante pour la mise en œuvre des systèmes de contrôle numérique dédiés aux convertisseurs de puissance [104].

Les plateformes numériques basées sur FPGA ont connu continuellement un progrès technologique considérable. Ceci se traduit par des excellentes performances en termes de flexibilité, rapidité d'exécution, temps de conception, et un bon compromis coût-performance. De plus, les FPGAs modernes bénéficient d'un taux d'intégration élevé permettant d'intégrer la totalité du système de contrôle dans une seule plateforme [105]. Ces avantages et autres, présentent un ajout intéressant pour les systèmes de contrôle de l'électronique de puissance. Dans le texte qui suit, on résume les principaux apports des FPGAs pour la commande des systèmes de l'électronique de puissance :

1. L'augmentation croissante du niveau de performance en temps réel tout en réduisant le coût et l'encombrement.
2. La grande souplesse de programmation ce qui permet de réutiliser la même plateforme pour cibler des différents algorithmes.
3. La rapidité et la facilité de reconfiguration d'un FPGA autant de fois que nécessaire pour implémenter les fonctionnalités désirées.
4. La possibilité d'exploiter le parallélisme ou le pipeline lors de la conception de nombreux systèmes et algorithmes. Dans ce cas, plusieurs séquences avec des temps de cycle indépendants peuvent être traitées simultanément.
5. Les systèmes de contrôle basés sur FPGA représentent une solution efficace pour les applications très exigeantes et les applications nécessitant une fréquence de commutation élevée.
6. Les FPGAs modernes possèdent une large bibliothèque des ressources intégrées et offrent la possibilité d'implémentation de plusieurs cœurs de propriété intellectuelle (IP) en parallèle, ce qui permet de partager les tâches du système et de réduire ainsi le temps de cycle et de réponse et d'offrir une faible gigue lors de calculs extrêmement complexes [105].
7. En utilisant un contrôleur basé sur FPGA, le concepteur est en mesure de construire un système numérique entièrement dédié et parfaitement adapté à l'algorithme à mettre en œuvre.

4.1.4 Présentation de la cible utilisée

Dans les deux approches de validation appliquées dans ce travail de thèse, la plateforme cible de développement qui sera utilisé est la carte DE1SOC d'Altera. Ce kit de développement représente une bonne plateforme pour l'implémentation des systèmes numérique FPGA, il permet également la réalisation des systèmes embarqués sur puce (system on chip). Dans le reste de cette section, une présentation des systèmes sur puce est d'abord introduite, par la suite les spécifications de la cible utilisée sont présentées.

4.1.4.1 Système sur puce (SoC)

Un système sur puce ou SOC (System On Chip) désigne l'intégration d'un ou plusieurs cœurs de processeur avec de nombreux composants nécessaires pour mettre en œuvre un système électronique complet sur une puce unique [106]. Les principaux avantages de l'utilisation d'un SoC sont : la réduction des coûts, l'économie d'énergie et le gain de l'espace silicium. Les FPGAs ont été utilisés comme des SoC depuis de nombreuses années, Cependant, les baisses récentes des coûts et l'utilisation croissante des FPGAs dans les systèmes embarqués ont créé les conditions appropriées pour que les SoC soient plus largement utilisés[100].

Un SoC typique contient un ou plusieurs systèmes de traitement, une logique programmable, des mémoires embarqués, des périphériques et quelques interfaces de communication tels que : UART, I2C, SPI, USB, Gigabit Ethernet. La totalité des composants est connectée à travers des bus d'interface internes ou un réseau d'interconnexion. On cite ci-dessous quelques exemples des SoCs disponible dans le marché :

- **Famille Xilinx Zynq-7000** : Dans cette famille il y a 6 produits contenant chacun deux processeurs ARM Cortex-A9 MPCore avec des fréquences d'horloge allant jusqu'à 1 GHz, 3 produits Kintex-7 et 3 produits Artix-7.
- **Famille Altera Cyclone V SoC** : Elle contient des SoC de basse gamme avec une fréquence de 700 MHz ou 925 MHz, processeurs ARM Cortex-A9 MPCore simples ou doubles et 10 configurations en 3 variantes (SE, SX, ST).
- **Famille Altera Arria V SoC** : Elle contient des SoC de moyenne gamme avec processeur ARM Cortex-A9 MPCore bi-cœur à 1,05 GHz et 4 configurations en 2 variantes (ST, SX).
- **Famille de SoC Altera Arria 10** : Contient des SoC de moyenne gamme avec processeur ARM Cortex-A9 MPCore bi-cœur de 1,5 GHz et 7 configurations.
- **Famille SoC Altera Stratix 10** : Ce sont des SoC de haute gamme avec processeur ARM Cortex-A53 quadri-cœur 64 bits.

4.1.4.2 Carte de développement DE1SOC

Dans notre travail, la cible utilisée est la carte de développement «Terasic DE1-SoC Development Kit» qui appartient à la famille «Altera Cyclone V SoC». Il s'agit d'une carte d'entrée de gamme largement utilisée à des fins éducatives. Il comprend le SoC Altera Cyclone V qui contient un processeur ARM Cortex-A9 double cœur (Hard Processor System (HPS)) avec un FPGA reconfigurable qui possède environ 85K éléments logiques, 4450 Kbits de Mémoire à puce (on chip memory), 1 Go de mémoire vive dynamique synchrone (SDRAM) et des ponts de communication qui relient les deux côtés (FPGA et HPS) [107].

4.2 Approche N°1 : Prototypage «FPGA IN THE LOOP»

Dans cette section, la première approche de validation adoptée dans cette thèse est exposée. Il s'agit d'une approche de prototypage «FPGA in the loop» (FIL). Dans la suite de cette section, nous présenterons le principe, le flot de conception, les étapes de réalisation et la discussion des résultats obtenus par cette approche de validation.

4.2.1 Principe

L'approche de prototypage FIL est une combinaison de plates-formes logicielles et matérielles qui donne un bon prototype pour la vérification des systèmes de contrôle sans aucun risque de détruire ou d'endommager le système [108]. Dans l'approche FIL, les algorithmes de contrôle sont implémentés dans une plateforme FPGA permettant un contrôle en temps réel, alors que les composants du système tels que : les générateurs, les dispositifs d'alimentation, les capteurs et les actionneurs mécaniques sont simulés dans un environnement logiciel tel que MATLAB/ SIMULINK. L'approche FIL combine la flexibilité logicielle avec la précision en temps réel et la vitesse d'exécution matérielle, de sorte que le réglage et la validation du système peuvent être effectués facilement et en toute sécurité [109].

La co-simulation FIL se compose de deux parties, la première est l'hôte, où sont simulés et analysés les composants du système à l'aide d'un outil d'analyse (MATLAB/SIMULINK). La seconde partie c'est la cible FPGA sur laquelle est implémenté l'algorithme de contrôle.

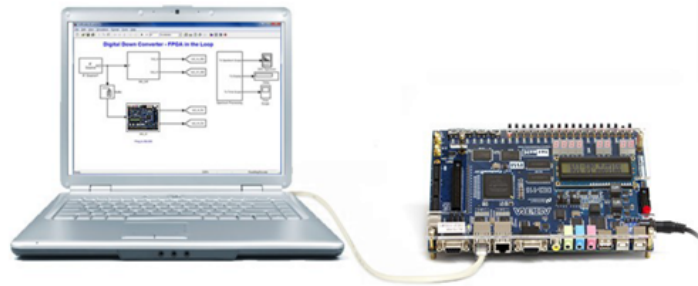


Figure 4.2: Principe du prototypage FIL [108].

La liaison entre les deux parties est établie à l'aide d'un câble USB-JTAG comme le présente la figure 4.2. La mise en œuvre de la méthode FIL a quasiment les mêmes capacités que la simulation mais avec une exécution en temps réel de l'algorithme de contrôle sur la cible FPGA dans différents scénarios sans risque de détruire ou d'endommager le système [108].

4.2.2 Intérêt de l'approche FIL

En générale, l'avantage principal de cette approche est qu'elle permet de valider l'implémentation numérique de l'algorithme de contrôle sur la cible FPGA tout en émulant par ordinateur la partie puissance du système. Par conséquent, la partie commande peut être évaluée dans un environnement virtuel où les modifications des algorithmes de commande sont aisément réalisables par reprogrammation du FPGA, sans itération matérielle coûteuse. Cela entraînera forcément une réduction du temps de développement ainsi que la réduction du coût global d'un projet [29].

Ainsi, ce prototypage FIL permet d'évaluer expérimentalement les performances des algorithmes de commande en détectant leurs points faibles dans cet environnement virtuel tout en éliminant le risque d'endommager tout ou une partie du système de puissance. Il permet également d'étudier la complexité de calcul et la quantité des ressources matérielles nécessaires à l'implémentation de l'algorithme de contrôle. D'une autre part, parmi les raisons qui nous ont motivés à recourir au prototypage FIL est la non-disponibilité de tous les composants de la partie puissance nécessaires pour la présente étude et du fait que les coûts engendrés par la construction de la partie puissance sont élevés.

Dans notre travail, tous les composants du système de contrôle du FAP sont implémentés dans la cible FPGA, à savoir, la méthode d'identification des courants de référence (PQ) y compris la méthode de filtrage VLLMS et ces alternatives précédentes, la boucle de contrôle du courant et la boucle de régulation de la tension du bus continue.

4.2.3 Flot de conception

L'approche FIL adoptée dans notre travail utilise d'une part la plateforme logicielle MATLAB/SIMULINK en exploitant la bibliothèque SimPowerSystems et l'outil «HDL coder» qui permet de générer le code en langage de description matérielle (VHDL) compatible au modèle appliqué. D'une autre part et afin de manipuler la cible FPGA, elle utilise les logiciels fournis par la société ALTERA notamment le logiciel QUARTUS prime et ses outils intégré.

Le flot de conception de l'approche FIL se compose de trois étapes principales : la simulation fonctionnelle, la génération du code HDL et l'implémentation FIL. Ces étapes sont développées dans le texte qui suit.

4.2.3.1 Première étape : Simulation fonctionnelle

Cette étape est basée sur la simulation logicielle classique similaire au modèle présenté dans le chapitre 3 en utilisant le logiciel MATLAB/SIMULINK de Mathworks. Elle permet de valider la fonctionnalité globale du système étudié. Dans notre application, Le système de puissance et les capteurs sont modélisés à l'aide de la bibliothèque SimPowerSystems alors que les interfaces, les convertisseurs analogiques-numériques (CANs) et les composants du système de contrôle sont modélisés à l'aide de la bibliothèque SIMULINK, comme il est illustré dans la figure 4.3. Dans un premier temps, ces simulations sont réalisées sur la base d'une modélisation continue du système. Ensuite, une fois les résultats en mode continu sont validés, les simulations sont réalisées en mode discret. Dans ce cas, le pas de simulation est fixe, il doit donc être choisi suffisamment petit afin de garantir une précision acceptable. La validation des résultats de simulation en mode discret conclut cette première étape.

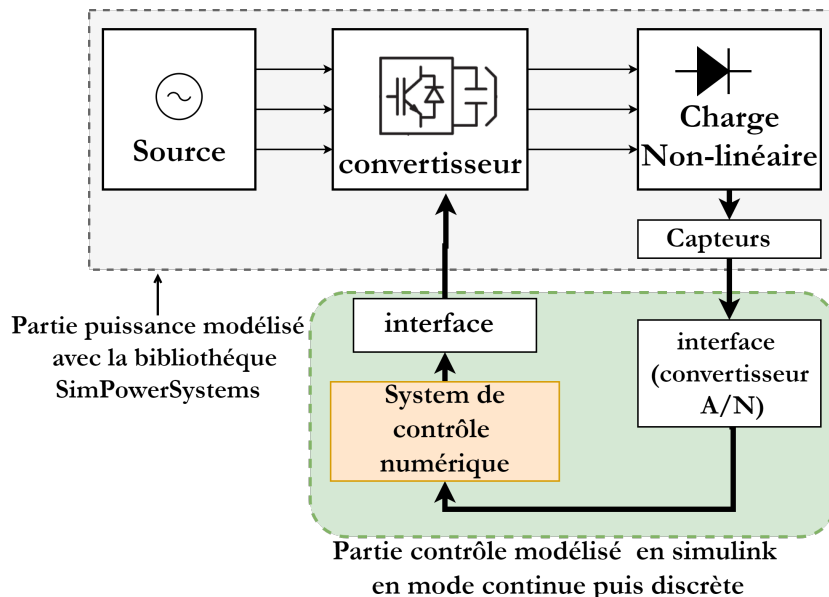


Figure 4.3: Principe de la simulation fonctionnelle.

4.2.3.2 Deuxième étape : Génération du code HDL

Cette étape est effectuée en utilisant l'outil «HDL coder» fournit par MathWorks. Ce codeur HDL est un outil de synthèse à haut niveau HLS (high level synthesis) qui permet de synthétiser un modèle d'algorithme MATLAB ou SIMULINK en code VHDL ou VERILOG. Le codeur HDL utilise comme entrée le modèle conçu avec les paramètres définis par l'utilisateur et les spécifications de la cible, et ce, afin de générer le code HDL pour FPGA et ASIC. Cet outil possède un convertisseur intégré de virgule flottante en virgule fixe afin que les algorithmes en virgule flottante et en virgule fixe soient pris en charge, ce qui le rend plus flexible. Dans le cas d'un modèle Simulink, une fois l'algorithme concerné est achevé et son comportement est vérifié, le modèle peut être synthétisé en RTL (Register Transfer Level). Tous les blocs du modèle sont synthétisés dans des fichiers VHDL séparés et sont importés en tant que composants dans le fichier VHDL du niveau supérieur «Top level design file» tel que présenté en figure 4.4.

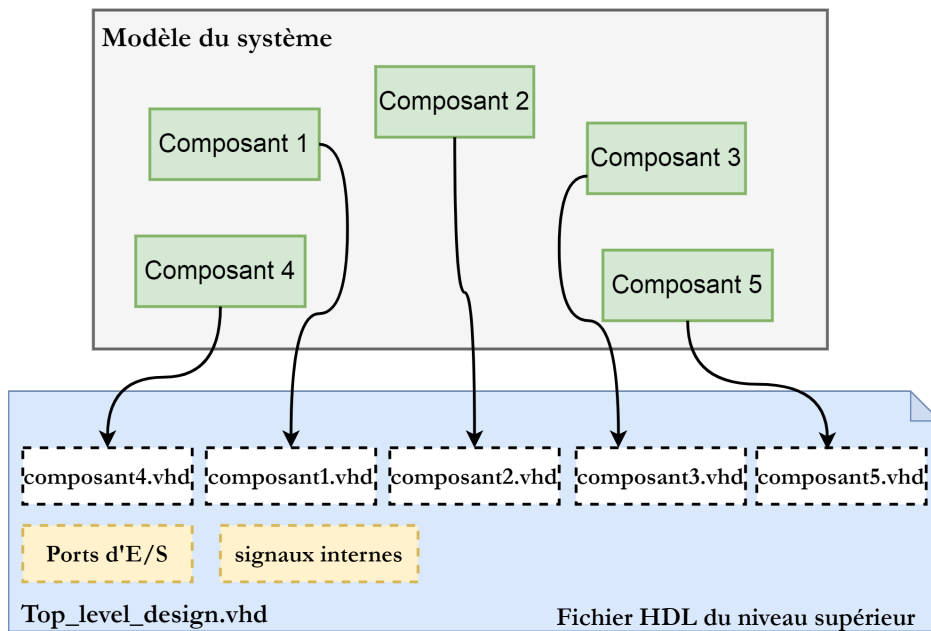


Figure 4.4: Principe de la génération du code HDL.

Ce fichier de niveau supérieur comprend également les ports d'entrée/sortie, la déclaration des signaux internes, le mappage des ports et l'affectation des signaux internes aux ports d'E/S. Les paramètres spécifiques à la carte cible peuvent être configurés par l'utilisateur dans le codeur HDL. Après avoir défini les paramètres, le codeur HDL vérifie les paramètres globaux, les boucles algébriques, la compatibilité et le temps d'échantillonnage afin de vérifier que la conception est synthétisable. Selon la taille de la conception, la synthèse RTL prend de quelques secondes à quelques minutes. La sortie est un code HDL lisible par l'homme. Le codeur HDL génère automatiquement des rapports de traçabilité, d'utilisation des ressources, de chemin critique et d'optimisation pour le modèle RTL.

4.2.3.3 Troisième étape : Implémentation FIL

Après avoir généré le code VHDL, ce dernier doit être synthétisé par un outil de synthèse logique. Dans le cas de notre travail, la cible est une carte Altera. Pour cela, on utilise l'outil Quartus qui est nécessaire pour les opérations de placement-routage et pour la génération du fichier de configuration du FPGA ciblé. Dans le processus de la synthèse logique, la description RTL sera convertie en une description d'éléments logiques. Cette synthèse s'accompagne d'une série d'optimisations basée sur l'exploitation d'une bibliothèque technologique comprenant des portes logiques et des modèles de bascule. L'outil de synthèse logique sert à optimiser le schéma des portes équivalentes dans le but de minimiser l'un des critères majeurs de la conception à savoir l'espace utilisé dans la carte FPGA ou le temps de propagation entre l'entrée et la sortie.

Une fois cette étape est réalisée, le logiciel «Quartus» passe automatiquement à l'étape d'ajustement ou «Fitting». Dans cette étape, les portes logiques et les registres produits par l'étape précédente de synthèse logique sont placés en fonction des ressources matérielles de la cible FPGA. Les fichiers permettant la programmation du circuit, dans notre cas appelés fichiers «SRAM Object File» (extension .sof), sont générés lors de cette phase de compilation. Finalement, la cible FPGA est programmée par le biais du fichier SOF obtenu, et ainsi l'opération de Co-simulation FIL peut être entamée où la cible FPGA assure l'exécution de l'algorithme de contrôle tel que présenté dans la figure 4.5

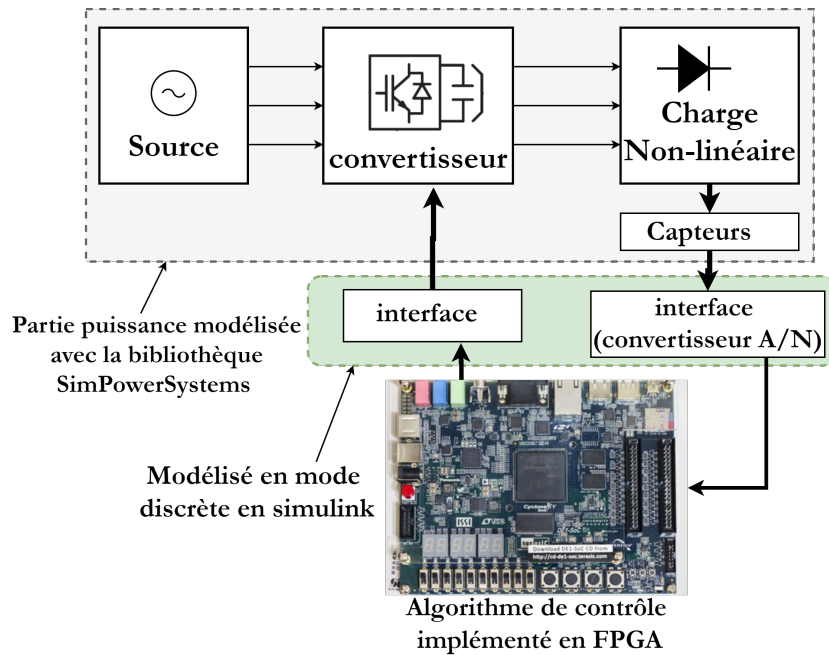


Figure 4.5: Prototypage FIL.

4.2.4 Application pour l'algorithme de contrôle

Nous présentons dans cette section l'application de l'approche FIL pour l'implémentation numérique de la méthode proposée pour le contrôle du FAP. L'objectif principal de cette application est de comparer la complexité de calcul et la quantité de ressources matérielles utilisées par la méthode VLLMS proposée par rapport aux méthodes appliquées précédemment pour l'extraction de la composante DC de la puissance. Pour ce but, Le flot de conception FIL présenté dans les sections précédentes est appliqué.

4.2.4.1 Simulation fonctionnelle (en mode discret)

Le modèle de simulation présenté précédemment dans la figure 3.2 du chapitre 3 est un modèle mixte (discret et continu). Dans cette étape du flot de conception FIL, toutes les parties de l'algorithme de contrôle doivent être en mode discret. La méthode d'identification des courants de référence, qui utilise l'algorithme VLLMS ou les autres algorithmes précédents, est déjà en mode discret. De même, la conception du régulateur de courant à hystérésis a été faite en mode discret comme il est montré dans la figure 3.5 du chapitre 3. Il ne reste maintenant qu'à discrétiser le bloc de régulation de la tension continue. L'approche de discrétisation est présentée dans le texte qui suit [29] :

Comme nous l'avons mentionné dans la section 1.3.5, la fonction de transfert du régulateur de la tension continue est la suivante :

$$K(s) = \frac{k_c}{1 + \tau_c s} \quad (4.1)$$

En appliquant la transformation ZOH, le modèle discret du régulateur devient :

$$K(s) = \frac{aZ^{-1}}{1 + bZ^{-1}} \quad (4.2)$$

Avec : $a = \frac{k_c T_s}{\tau_c}$ et $b = \frac{T_s - \tau_c}{\tau_c}$

La figure 4.6 présente le modèle discret du régulateur de la tension continue.

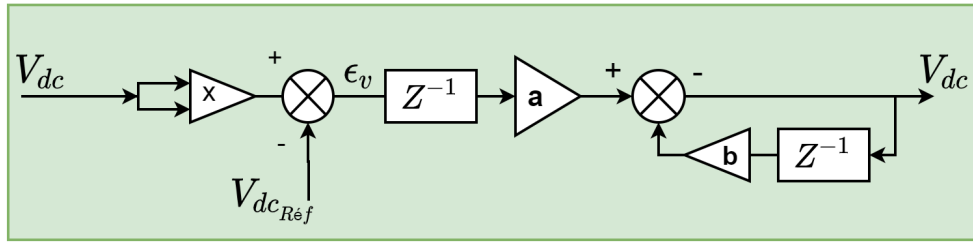
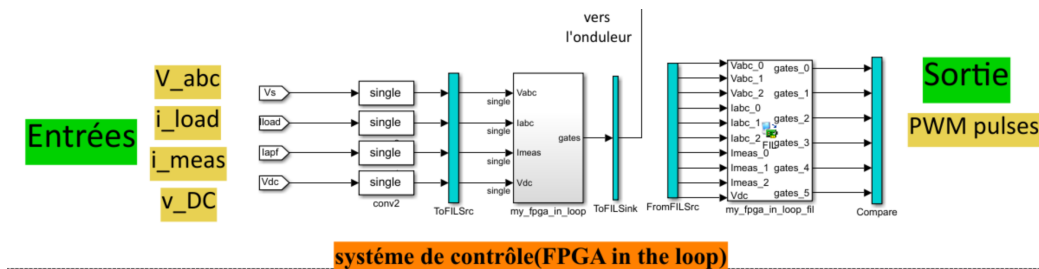


Figure 4.6: Modèle discret du régulateur de la tension continue.

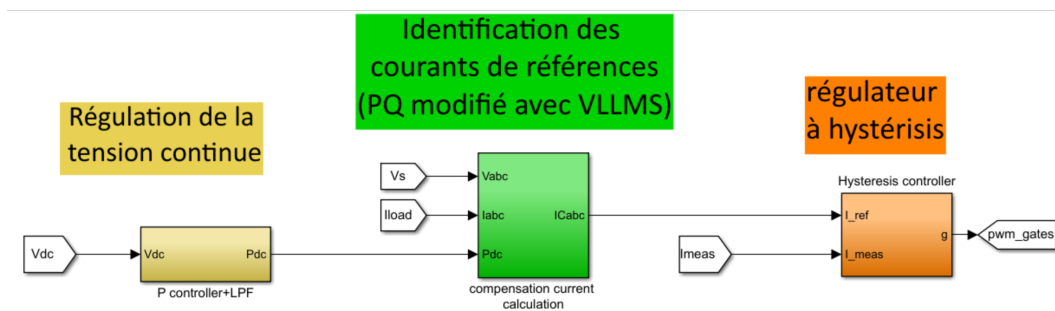
Par ailleurs, la boucle de verrouillage de phase utilisée avec le régulateur de la tension continue dans le cas des tensions d'alimentation perturbées (figure 2.9) doit être également discrétisée. La discrétisation de cette composante consiste principalement à l'utilisation d'un régulateur PI discret à la place du régulateur continu (la discrétisation se fait par l'une des méthodes connues tel que : zoh ou transformation bilinéaire), et l'utilisation d'un filtre passe-bas numérique.

4.2.4.2 Génération du code HDL

Dans cette étape, le codeur HDL de MATLAB est utilisé pour générer le code VHDL du système de contrôle à partir du modèle Simulink discret résultant de la première étape. Les entrées/sorties du système sont définies. Ensuite, tous les blocs du modèle sont synthétisés dans des fichiers VHDL séparés et sont importés en tant que composants dans le fichier VHDL du niveau supérieur. La figure 4.7 montre d'une part, les E/S du système (4.7.a) et d'autre part, les principaux composants du système de contrôle (4.7.b).



(a) Entrées/sorties du système de contrôle implémenté en FIL



(b) Composants du système de contrôle implémenté en FIL

Figure 4.7: Composants et ports d'entrée/sortie du système de contrôle.

L'entrée du système de contrôle implémenté contient les tensions V_{abc} mesurées dans le point de couplage, les courants de la charge polluante $I_{c_{abc}}$, les courants de compensation mesurés à la sortie du FAP ($i_{f_{abc}}$), et la tension continue V_{dc} aux bornes du condensateur du bus continu. D'une autre part, la sortie du système représente les signaux de commutation qui servent à la commande de l'onduleur de tension.

4.2.4.3 Implémentation sur cible FPGA

Après avoir généré les codes VHDL de l'algorithme de contrôle, on utilise le logiciel «Quarus Prime», dédié spécifiquement aux FPGAs de la famille ALTERA, pour réaliser successivement les étapes de synthèse logique et d'ajustement (Fitting). La réalisation de ces deux étapes permet de générer le bitstream permettant la programmation du FPGA. Une fois le fichier de programmation du FPGA (.sof) est généré, tous les blocs de l'algorithme de contrôle sont remplacés dans l'environnement MATLAB/SIMULINK par un bloc unique FIL correspondant à l'algorithme implémenté sur FPGA comme on peut le voir sur la figure 4.8. La connexion entre la carte cible et l'ordinateur est réalisée à l'aide d'un câble JTAG-USB, également utilisé lors de la programmation du FPGA. La figure 4.8 présente le schéma globale du modèle de co-simulation SIMULINK, tandis que la figure 4.9 illustre l'environnement de co-simulation qui indique la connexion entre l'hôte et la cible FPGA.

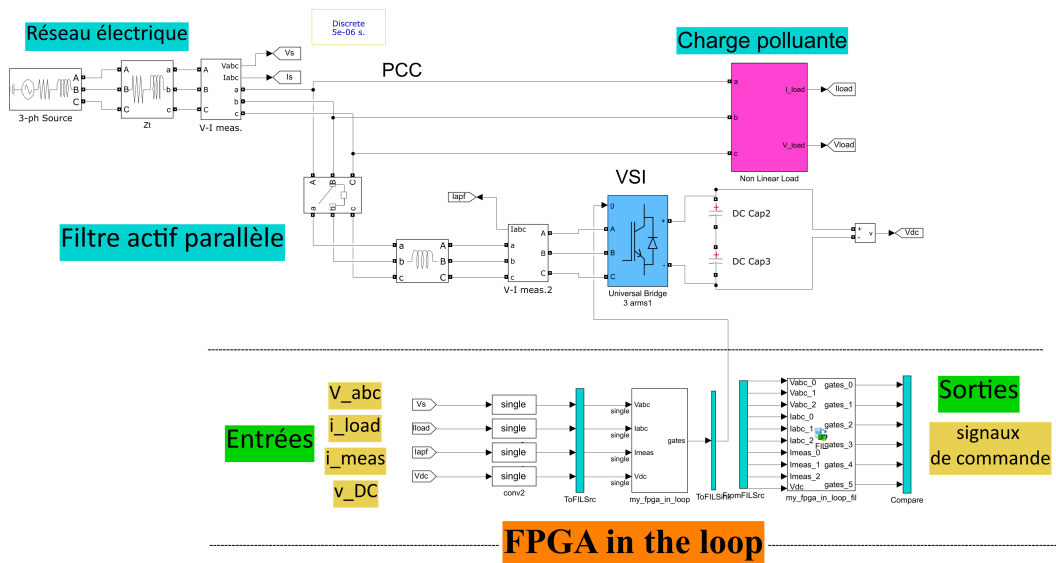


Figure 4.8: Vue globale du modèle de Co-simulation FIL.

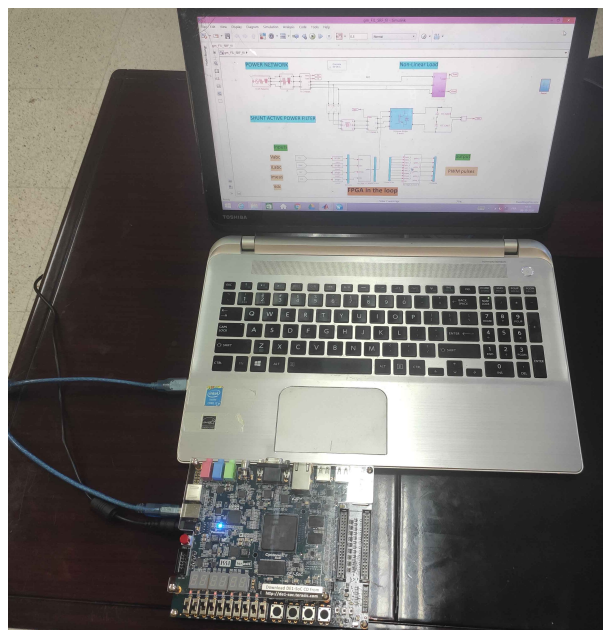


Figure 4.9: Environnement de Co-simulation en utilisant le prototype FIL.

4.2.5 Résultats obtenus par le prototypage FIL

Le modèle de Co-simulation FIL présenté dans la figure 4.8 est utilisé pour vérifier le comportement du système de contrôle adopté. La Co-simulation FIL offre la possibilité de comparer la sortie du modèle SIMULINK, utilisé pour la génération du code HDL, avec la sortie du modèle HDL implémenté dans la cible FPGA. Cette comparaison permet de calculer l'erreur entre la sortie des deux parties (logicielle et matérielle).

Dans notre modèle, la sortie du système représente les impulsions de commande des interrupteurs de puissance de l'onduleur. La figure 4.10 ci-dessous présente les résultats de comparaison relatif au signal de commande d'un interrupteur, les résultats des autres signaux sont similaires à celui-ci. À partir de la figure, on peut voir que la sortie des deux modèles est similaire et par conséquent l'erreur est nulle. Ce résultat montre l'efficacité de l'approche d'implémentation appliquée.

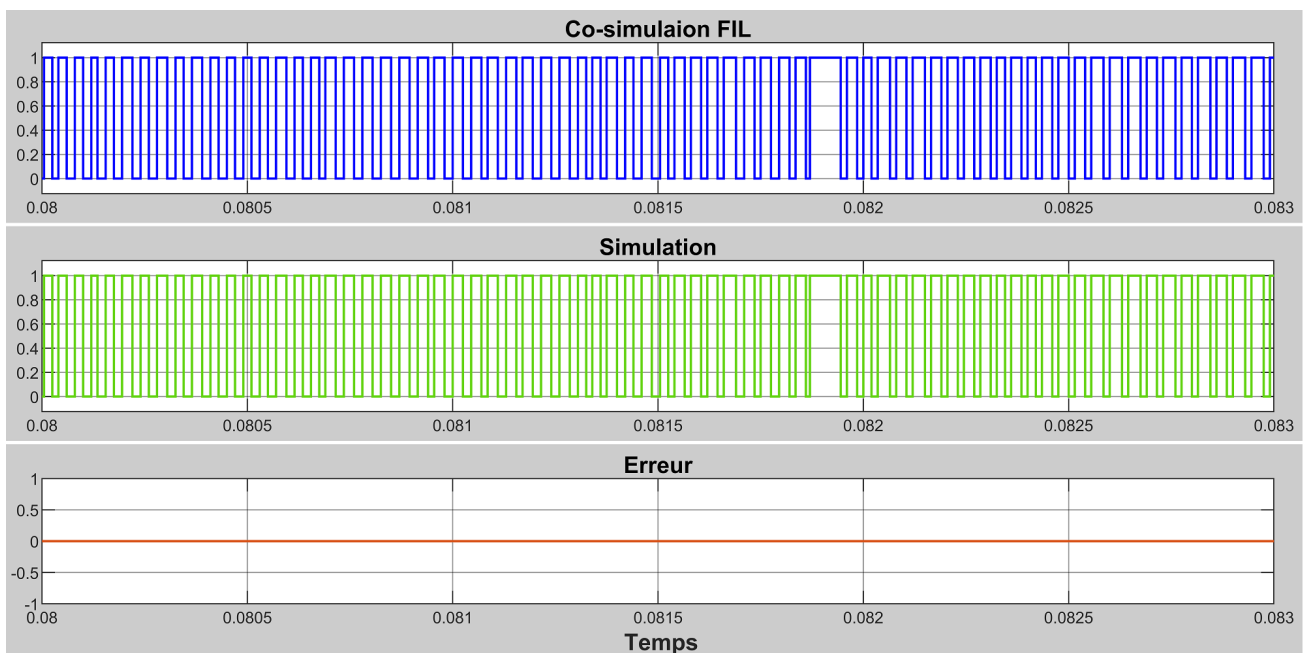


Figure 4.10: Résultats de la comparaison d'un signal de commande obtenue par les deux modèle (logiciel, matériel).

D'autre part, les formes d'ondes des courants de source I_s , de la charge I_c et du filtre I_f obtenues à partir des capteurs modélisés en SIMULINK ont été étudiées en régime permanent et en régime dynamique. Les mêmes conditions de simulation présentées en chapitre 3 ont été appliquées en Co-simulation avec l'utilisation des deux algorithmes VLLMS et CLPF. La figure 4.11 illustre les résultats obtenus en régime permanent, où (a) représente le courant de la charge, (b) affiche le courant de compensation de l'onduleur, (c) et (d) illustrent le courant de source obtenu avec VLLMS et CLPF respectivement. Les résultats obtenus sont similaires à ceux obtenus avec le modèle de simulation classique présenté dans chapitre 3.

En régime transitoire, Les variations de la charge présentées dans le chapitre 3 sont également appliquées avec le prototype FIL. Les résultats sont illustrés sur la figure 4.12, où (a) représente le courant de la charge, (c) et (d) représentent respectivement le courant de source obtenu lors de l'utilisation du VLLMS et CLPF. À partir de la figure, les résultats obtenus sont similaires à ceux obtenus par la simulation fonctionnelle.

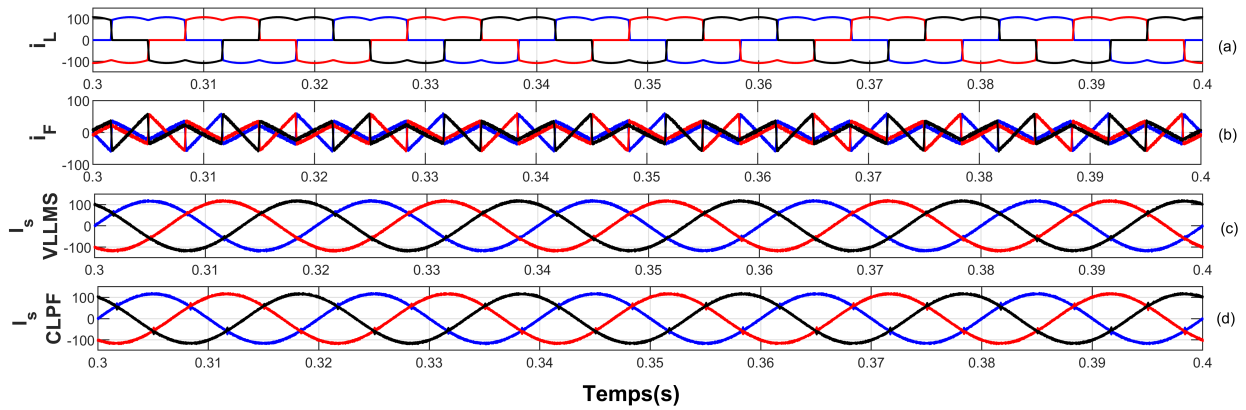


Figure 4.11: Forme d'ondes des courants en régime permanent.

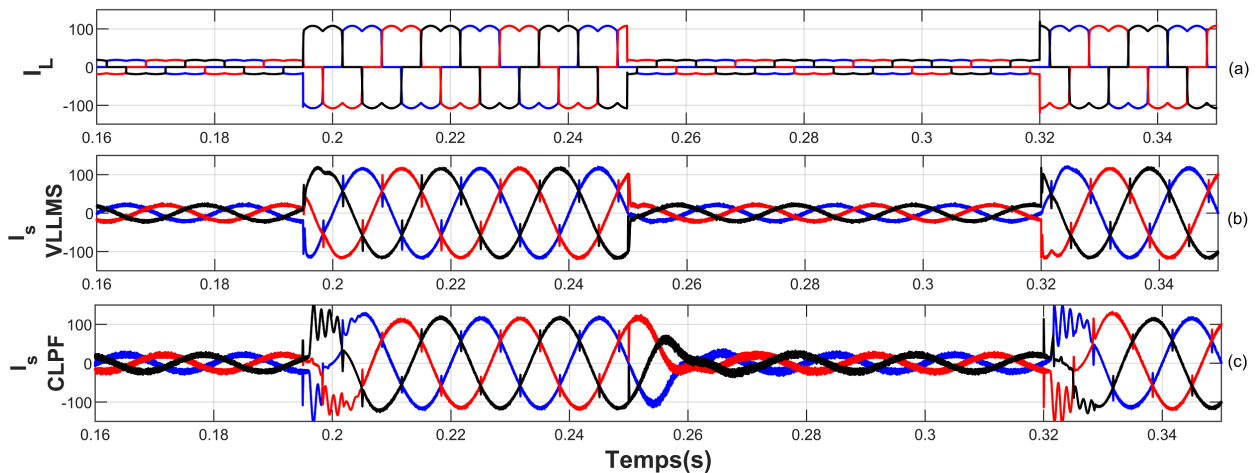


Figure 4.12: Forme d'ondes des courants en régime transitoire.

Complexité de calcul et utilisation des ressources

Le logiciel «QUARTUS Prime» utilisé pour l'implémentation du système de contrôle offre la possibilité de l'estimation des ressources matérielles exploitées par chaque partie de l'algorithme de contrôle. Dans ce contexte, nous avons utilisé cet outil pour comparer la quantité des ressources matérielles utilisées par les algorithmes de filtrage étudiés à savoir les algorithmes VLLMS, CLPF, et VFFRLS. La figure 4.13 présente un exemple de la fenêtre d'estimation par entité des ressources matérielles dans le cas de l'algorithme VFFRLS.

Afin de comparer les algorithmes étudiés, on commence d'abord par l'estimation de la complexité de calcul des algorithmes. La complexité de chaque algorithme est estimée à partir de ses équations. La complexité du filtre VFFRLS est estimée à partir des équations présentées dans la section 2.3.1.4. En ce qui concerne le filtre IIR, la topologie étudiée est une combinaison de trois biquads en cascade, ce qui forme un filtre du 6^{eme} ordre. Le tableau 4.1 présente l'étude de la complexité de calcul de chaque algorithme.

Les ressources FPGA utilisées par chaque méthode ont été estimées à l'aide de l'outil QUARTUS Prime, les valeurs obtenues sont illustrées dans le tableau 4.2. Nous notons que les calculs ont été effectués à l'aide de la bibliothèque «virgule flottante native» ou «native floating point».

Analysis & Synthesis Resource Utilization by Entity				
Compilation Hierarchy Node	Combinational ALUTs	Dedicated Logic Registers	Block Memory Bits	DSP Blocks
└─ [VFFRLS:u_VFFRLS]	9693 (57)	32 (32)	0	10
nfp_add_single:u_nfp_add_comp_1	539 (539)	0 (0)	0	0
nfp_add_single:u_nfp_add_comp_2	642 (642)	0 (0)	0	0
nfp_add_single:u_nfp_add_comp	443 (443)	0 (0)	0	0
nfp_div_single:u_nfp_div_comp_1	1404 (1404)	0 (0)	0	0
nfp_div_single:u_nfp_div_comp	1413 (1413)	0 (0)	0	0
nfp_mul_single:u_nfp_mul_comp_1	312 (312)	0 (0)	0	1
nfp_mul_single:u_nfp_mul_comp_2	270 (270)	0 (0)	0	1
nfp_mul_single:u_nfp_mul_comp_3	470 (470)	0 (0)	0	1
nfp_mul_single:u_nfp_mul_comp_4	449 (449)	0 (0)	0	1
nfp_mul_single:u_nfp_mul_comp	420 (420)	0 (0)	0	1
nfp_pow_single:u_nfp_pow_comp	2454 (2454)	0 (0)	0	5
nfp_round_single:u_nfp_round_comp	228 (228)	0 (0)	0	0
nfp_sub_single:u_nfp_sub_comp	592 (592)	0 (0)	0	0

Figure 4.13: Fenêtre d'estimation par entité des ressources en utilisant le logiciel Quartus dans le cas du filtre VFFRLS.

Type d'opération	VLLMS	CLPF	VFFRLS
Multiplication	9	12	5
Addition	12	15	6
Division	0	0	2
exponentielle	0	0	1

Tableau 4.1: La complexité de calcul des algorithmes.

Ressources matérielles	VLLMS	CLPF	VFFRLS
Nombre de LUTs	7422	8520	9693
Nombre de registres	159	289	32
Nombre de blocs DSP	09	12	10

Tableau 4.2: Estimation des ressources matérielles utilisées par les algorithmes de filtrage.

À partir des résultats présentés, nous pouvons voir que l'algorithme VLLMS proposé offre la plus faible utilisation des ressources car il est basé sur les opérations de base (addition, multiplication) contrairement à l'algorithme VFFRLS qui utilise plusieurs opérations de division et une opération exponentielle, ce qui nécessitent un nombre élevées de blocs logiques et de bloc DSP. En effet, la figure 4.13, illustrée précédemment, montre qu'une seule opération «power» nécessite cinq (05) blocs DSP, et 2454 LUT.

Concernant les algorithmes VLLMS et CLPF, on constate que le nombre des blocs DSP employés est égal au nombre d'opérations de multiplication comme on peut le voir sur le tableau 4.1. D'une autre part, Le nombre de registres utilisés par CLPF est le plus élevé en raison du nombre élevé d'additionneurs et de délais (éléments de retard) nécessaires au fonctionnement d'un filtre récursif.

4.3 Approche N°2 : implémentation matérielle en temps réel

Afin de confirmer les résultats obtenus par la simulation fonctionnelle en chapitre 3 et par l'approche FIL dans la section 4.2 de ce chapitre, nous proposons dans cette section un prototype matériel pour l'évaluation en temps réel de la méthode proposée. Le prototype appliqué permet d'étudier les performances de l'algorithme VLLMS dans une application en temps réel, et de comparer cet algorithme avec les algorithmes précédents en termes de complexité de calcul et temps d'exécution. Le prototype utilisé sera expliqué en détail dans les sections prochaines.

4.3.1 Spécifications générales du prototype :

4.3.1.1 Principe

Le but du prototype matériel proposé est de tester et de comparer les performances de plusieurs types d'algorithmes de filtrage numérique appliqués pour l'extraction de la composante DC du signal de puissance active en temps réel. Le principe du prototype consiste à synthétiser un signal hypothétique qui va être considéré comme la forme d'onde de la puissance active qu'on veut filtrer. Par la suite, les algorithmes de filtrage étudiés (VLLMS et les algorithmes précédents) sont appliqués à ce signal synthétisé tout en analysant la complexité de calcul et le temps d'exécution de ces algorithmes. Enfin, les échantillons filtrés sont transmis via un convertisseur numérique-analogique pour l'affichage.

Le signal à synthétiser doit contenir une partie DC variable dans le temps qui représente les niveaux de variation de la charge non linéaire connectée au réseau électrique, et une partie AC assimilable à un signal périodique (composantes harmoniques sinusoïdales) variables également en fréquence et en amplitude.

Sur la base de cette hypothèse, nous proposons d'implémenter un synthétiseur numérique (DDS Direct Digital Synthesizer) en FPGA pour générer la partie AC du signal d'entrée avec des fréquences et des amplitudes qui peuvent être modifiées à tout moment au moyen des commutateurs situés sur la carte de développement. En même temps, la partie DC est ajoutée comme un offset et ses variations sont également commandées par d'autres commutateurs de la carte de développement. Une fois ce signal est généré, l'opération de filtrage se fait en temps réel avec un composant de calcul (à choisir prochainement). Enfin, les échantillons filtrés sont transmis au convertisseur DAC pour être affichés en oscilloscope.

4.3.1.2 Choix d'une solution technologique

Les applications en temps réel imposent des exigences sérieuses en termes de taille matérielle, de délais, de dissipation de puissance et de coût de la solution [110]. Un système typique peut également nécessiter une modification des paramètres pendant le fonctionnement. Les processeurs de signaux numériques (DSP) représentent une classe spéciale des microprocesseurs conçus pour résoudre les problèmes de traitement de signal en temps réel. À mesure que la complexité des systèmes en temps réel augmente, le besoin d'introduire des plates-formes matérielles plus efficaces augmente. Ces dernières années, les circuits FPGA sont devenus les plus utilisés dans les applications en temps réels grâce à leur reconfigurabilité, et vue l'avancement technologique réalisé dernièrement qui a donné la possibilité d'intégration de plusieurs types de composants IP et d'accélérateur matérielle dans une plateforme mixte [110]. Dans ce contexte, les SOPC (system on programmable chip) basés sur FPGA représentent une bonne plateforme pour une réalisation performante des applications en temps réel. Ils peuvent contenir un ou plusieurs processeurs, des DSP, des accélérateurs

matériels ... etc, dont le but est de partager les tâches sur plusieurs composants IP avec une configuration mixte logicielle-matérielle.

Dans notre travail, la réalisation du prototype proposé se fait en appliquant l'approche de conception des SOPC. La cible utilisée est la carte de développement DE1SOC d'Altera présentée dans la section 4.1.4.2 du présent chapitre.

4.3.2 L'approche de conception

Dans cette section, une description des SOPC et leur architecture est d'abord présentée. Par la suite, la méthodologie de conception de ces systèmes est étudiée.

4.3.2.1 Les systèmes SOPC

Un système sur puce, autrement appelé système monopuce ou SoC (pour system on chip), désigne un système complet embarqué intégrant plusieurs composants complexes et hétérogènes sur un seul circuit ou puce de silicium [106]. Le terme (SOC) est généralement attribué dans le cas où les fonctionnalités du système embarqué sont implantés dans des composants spécifiques de type ASIC. En revanche, si ces mêmes fonctionnalités sont implantées dans des composants logiques programmables de type FPGA, on parle alors des systèmes SoPC (pour system on programmable chip) [111].

Dans le cas des SOPC, le système embarqué possède une architecture dont les ressources (calcul, interconnexions, etc.) peuvent être modifiées par programmation pour s'adapter à l'application envisagée. Ces systèmes sont dédiés spécialement pour résoudre les problèmes de développement et les prototypages rapides [111]. Le système SOPC doit contenir au minimum une unité de traitement (ou CPU) qui peut être un processeur logiciel embarqué tel que le NIOS, ou un processeur matériel tel que le processeur ARM, comme il peut avoir une combinaison des deux ou plus. Par conséquent, la configuration doit avoir à la fois une partie matérielle (hardware) et une partie logicielle (software) [112].

4.3.2.2 Architecture des SOPC

L'architecture d'un système SOPC typique se compose généralement d'un ou plusieurs cœurs de processeur, de plusieurs sortes de périphériques, des mémoires embarquées, le tout est relié par un réseau de communication comme on peut le voir sur la figure 4.14. Dans la suite de cette section, les composants d'un système SOPC typique sont présentés.

a. Composant de calcul (processeur)

Les composants de calculs ou processeurs sont des composants matériels qui permettent une implémentation plus ou moins flexible des algorithmes de contrôle et/ou de traitement de données. Un système SOPC doit contenir au moins un composant de calcul voir plus, selon la complexité de la tâche à exécuter. On trouve généralement deux familles des processeurs : les processeurs matériels (hard-core) et les processeurs logiciels (soft-core). Le choix d'un type de composant de calcul se fait en fonction des critères de vitesse de traitement, du coût et de la consommation d'énergie et selon les exigences de la tâche à accomplir. Le processeur logiciel est appelé ainsi (soft-core) car il est entièrement implémenté par le biais d'une synthèse logique sur un FPGA, contrairement aux processeurs matériels (hard-core) qui sont composés d'unités logiques dédiées (logique câblée). Les deux implémentations présentent des avantages et des inconvénients [112].

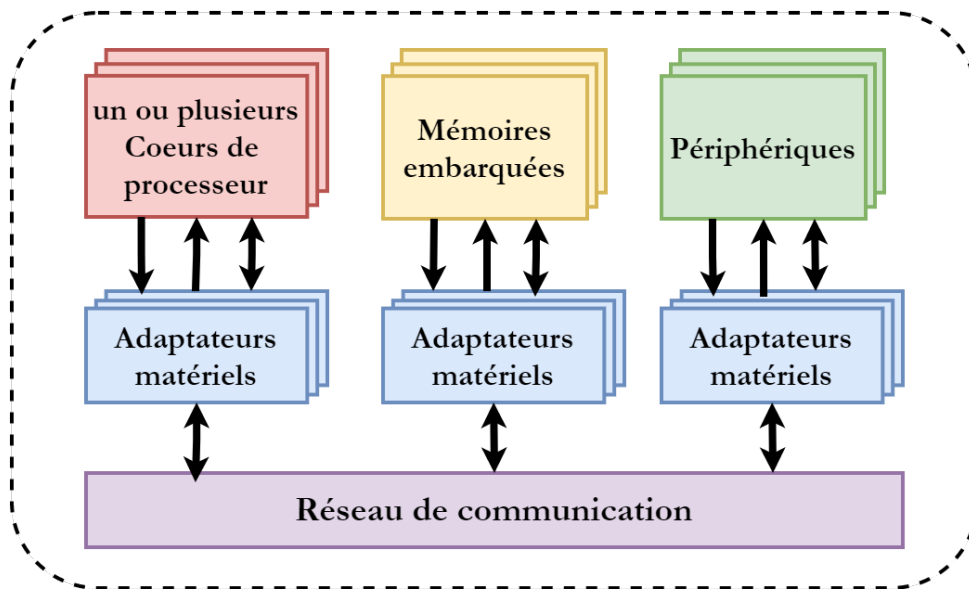


Figure 4.14: Architecture d'un système SOPC typique [106].

Le processeur matériel est composé par des éléments matériels dédiés qui sont conçus spécifiquement pour ce processeur, ce qui lui permet d'être plus rapide et hautement optimisé. Ce niveau d'optimisation a permis à ce processeur de prendre en charge des fréquences d'horloge plus élevées et par conséquent d'atteindre une vitesse plus élevée. Cependant, les composants de ce processeur sont très peu flexibles, ils ne peuvent pas être modifiés pour répondre aux besoins d'une application spécifique.

D'une autre part, un composant de traitement logiciel est entièrement implémenté en utilisant la synthèse logique sur un FPGA. Par conséquent, ce processeur offre une grande flexibilité lui permettant d'être reconfiguré facilement, avec la possibilité d'ajouter ou de supprimer des périphériques vers et depuis le système en fonction de l'application. Il en résulte un système de traitement hautement optimisé pour l'application envisagée, malgré sa vitesse relativement réduite par rapport au processeur matériel. Ce processeur embarqué peut combiner la flexibilité du logiciel avec la rapidité d'exécution matérielle. En fait, une fonctionnalité particulière peut être composée d'une partie logicielle couplée à une fonctionnalité matérielle, ce qui peut être réalisé par une conception conjointe matérielle/logicielle ou «Co-design» [106] [112].

b. Les composants de mémorisation

Les SOPC doivent avoir des blocs de mémoire à semi-conducteurs afin de stocker les données à traiter, les résultats temporaires, ainsi que des informations de configuration telles que les programmes destinées aux processeurs. Différents types de mémoire peuvent être exploités dans les SOPC, on trouve les mémoires «vives» ou «random access memory» pour les informations variables, les mémoires «mortes» ou «read only memory» (ROM) pour les informations inchangées, les mémoires programmable et effaçable électriquement (EEPROM), comme on peut trouver parfois des mémoires flash.

Ces composants mémoires peuvent être placés au sein du circuit FPGA ou situés physiquement dans des circuits mémoires externes au FPGA. Le choix d'une telle configuration revient au concepteur et se fait en fonction des exigences de l'application et les tailles des mémoires existants à l'intérieur du circuit FPGA [106].

c. Les interfaces périphériques

Les SOPC peuvent contenir des interfaces externes généralement pour les protocoles de communication. Celles-ci sont souvent basées sur des normes industrielles telles que : SPI, HDMI, I2C, USB, Ethernet, UART, etc. Ces interfaces sont adaptées selon l'application envisagée. En cas de besoin, les SOPC peuvent inclure des interfaces analogiques, notamment des convertisseurs analogique-numérique et numérique-analogique pour les besoins de traitement de signal.

d. Les composants de communication

Les composants des SOPC présentés précédemment doivent souvent envoyer ou recevoir des données et des instructions entre eux. Pour cela, les SOPC nécessitent des liens reliant les composants de calculs avec les interfaces et les blocs de mémorisation. Il existe de nombreux composants de communication. Nous citons alors que les modes qui sont les plus utilisés. Le mode basique de communication est la connexion point à point (de largeur variable). Ensuite, on trouve la connexion en bus partagé (extension de la connexion point à point) et enfin les réseaux de communication. Le choix d'un mode de communication se fait par le concepteur en fonction de la complexité et les besoin de l'application [106]. La figure 4.15 illustre les schémas de ces trois modes de communication.

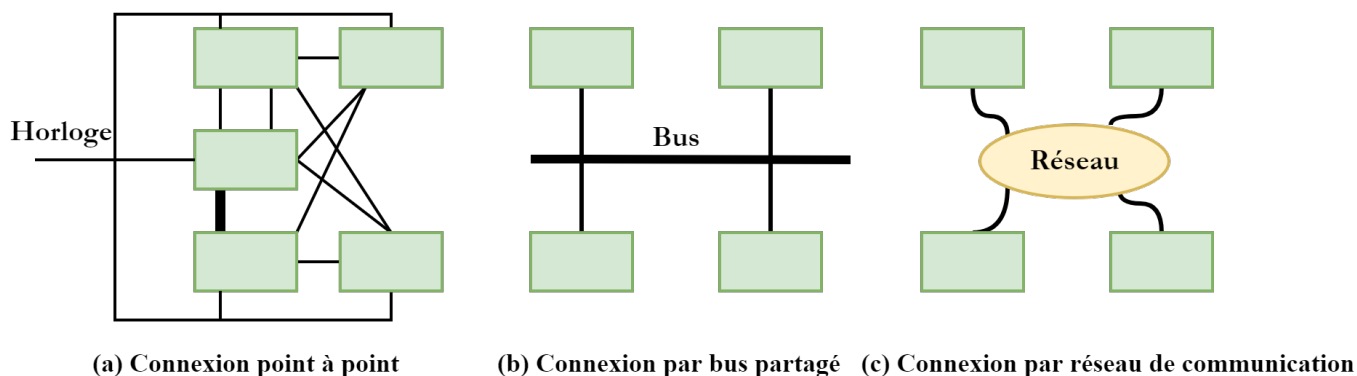


Figure 4.15: Modèles de communication dans un SOPC.

4.3.2.3 Méthodologie de conception

L'architecture des SOPC est caractérisée par l'intégration d'un ou plusieurs cœurs de processeurs et de ses périphériques sur une même puce programmable. Pour cela, la conception d'un tel système est réalisée par une approche de conception conjointe matérielle/logicielle appelée «co-design», dans laquelle les réalisations matérielles sont dédiées aux fonctionnalités nécessitant des circuits spécialisés ou des performances élevées et les réalisations logicielles sont favorisées par leur flexibilité et leur coût réduit [111].

a. Partie matérielle

Il existe plusieurs outils innovants pour la conception matérielle des systèmes SOPC. Parmi eux, il y a un outil qui s'appelle «SoPC Builder» ou sa version améliorée appelé «platform designer» dédié à la conception sur les cibles de la société Altera. Le «Platform designer» est un outil puissant pour la création et la conception des systèmes numériques. Il offre aux utilisateurs la possibilité de générer un SoPC complet en un temps considérablement réduit par rapport aux méthodes traditionnelles d'intégration manuelle.

Le «Platform designer» est un outil inclus dans le cadre du logiciel QUARTUS Prime. Il se présente sous la forme d'une interface graphique (figure 4.16) qui permet à l'utilisateur de définir les différents éléments qui composent le système que l'on souhaite réaliser. Il permet de choisir parmi une large bibliothèque de cœurs IP (fournis par Altera ou ajoutés par l'utilisateur), pour adapter le système aux besoins de l'application spécifique envisagée [113] [114].

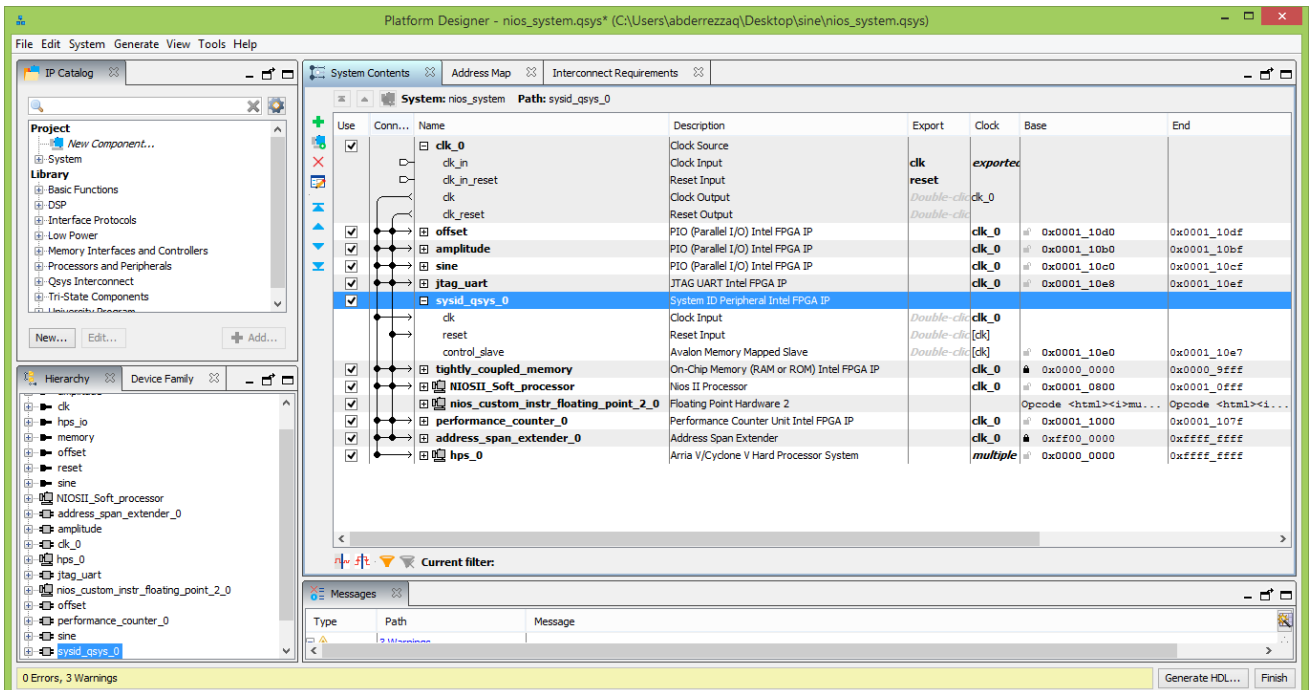


Figure 4.16: Interface utilisateur de l'outil «platform designer».

En effet, l'utilisation des méthodes de conception traditionnelles nécessite d'écrire manuellement les modules HDL afin de rassembler et de connecter les composants du système. Par contre, avec cet outil, l'intégration des composants matériels est totalement automatisée. La communication entre plusieurs composants est gérée par le bus Avalon qui est une architecture maître/esclave permettant une communication simultanée entre différents ensembles de maîtres et d'esclaves [115]. Lorsque la définition du système est finie, le «platform designer» génère les éléments nécessaires au développement de la partie logicielle et matérielle.

Une fois le code HDL est généré, les composants du système doivent être instanciés dans le fichier du niveau supérieur (top-level design file) en définissant les entrées/sorties du système. Par la suite, les autres étapes de synthèse logique, placement et routage, affectation des broches sont réalisées par le biais du logiciel QUARTUS prime selon le diagramme présenté dans la figure 4.17.

Après la synthèse, on a un kit de développement logiciel qui comprend tous les fichiers en langage C (.h et .c) nécessaires pour piloter les périphériques d'E/S d'Altera. C'est de sorte d'une passerelle entre le matériel et le logiciel embarqué. Le principe du «Co-design» apparaît ici avec la possibilité de développer une partie de l'application par le matériel ou de le faire en logiciel en utilisant le langage C embarqué.

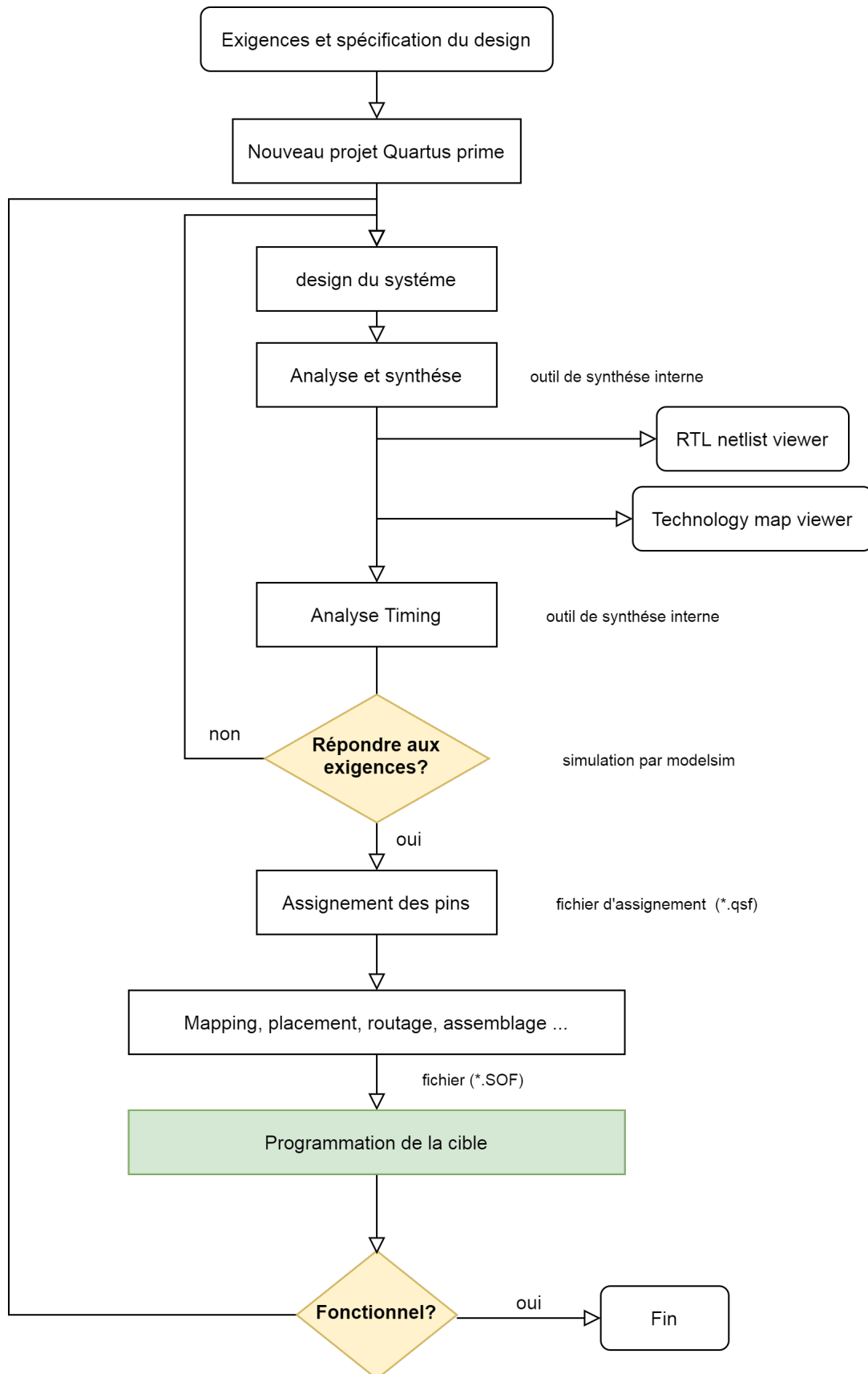


Figure 4.17: Les étapes d'implémentation matérielle selon Altera.

b. Partie logicielle

Pour développer la partie logicielle du SOPC, la société Altera fournit un package de développement complet pour la conception des logiciels à exécuter sur le processeur NIOSII qui s'appelle «Nios II Embedded Design Suite (EDS)» dont son interface graphique est illustrée dans la figure 4.18. Cet outil contient non seulement des outils de développement, mais également des logiciels, des pilotes de périphérique, et une bibliothèque HAL (Hardware Abstraction Layer) qui a été générée automatiquement par l'outil d'intégration matérielle «Platform designer». En effet, les pilotes du matériel implanté sur le FPGA sont générés automatiquement par l'interaction entre l'outil d'intégration «Platform designer» et le logiciel Nios-EDS. D'une autre part, l'outil Nios-EDS génère les pilotes BSP (Board Support Package) qui sont adaptés à l'architecture matérielle du SOPC en question [116].

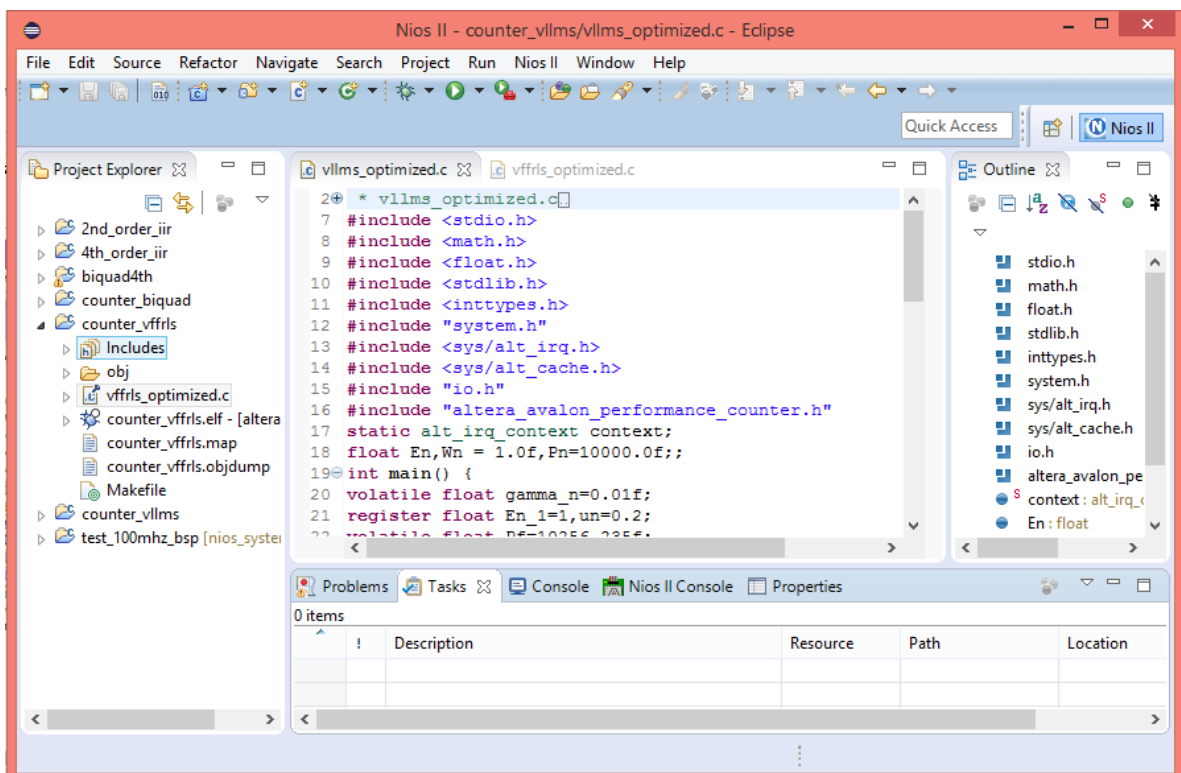


Figure 4.18: Interface utilisateur de l'outil Nios II EDS pour eclipse.

4.3.3 Réalisation du prototype proposé

Dans cette section, la conception du prototype proposé est réalisée en appliquant la méthodologie de conception des SOPC. Dans la suite de cette section, nous présentons d'abord la description du prototype proposé, par la suite la méthodologie de conception des SOPC est appliquée afin de réaliser l'application envisagée.

4.3.3.1 Description du prototype

Afin de réaliser le prototype proposé, dont le principe a été présenté dans la section 4.3.1.1, on commence d'abord par la génération du signal hypothétique. Celui-ci est synthétisé à l'aide d'un synthétiseur numérique DDS implémenté en langage VERILOG dans le circuit FPGA, le signal résultant est une sinusoïde à fréquence variable commandée par cinq (05) commutateurs de la carte développement, ce qui permet de varier la fréquence de 50 Hz à 1000 HZ. Deux autres commutateurs commandent également l'amplitude du signal. D'une

autre part, un offset est ajouté à ce signal définissant la partie DC. Cet offset est commandé par (03) autres commutateurs de la carte de développement. La fréquence d'échantillonnage du signal est définie dans le code VERILOG. Dans notre cas, nous sommes limités par la basse fréquence de l'interface I2C qui assure la communication avec le convertisseur numérique-analogique. La fréquence maximale que nous pouvons utiliser est de 13 KHZ, ce qui équivaut à un échantillon tous les 75 μs .

Une fois que le signal d'entrée souhaité est prêt, un processeur logiciel embarqué de type «NIOsII» lit des échantillons à travers une interface parallèle avec le module qui génère le signal (en FPGA). Le choix d'un tel processeur logiciel est fait grâce à sa flexibilité est ses avantages pour la présente application, ceux-ci seront citées en détail dans la section prochaine. Les algorithmes de filtrages étudiés sont développés en formes logicielles en utilisant le langage C embarqué, tandis que les opérations de calcul sont réalisées en virgule flottante en utilisant un module matériel d'Altera appelé «floating point hardware II» ce qui offre au système une vitesse d'exécution similaire à celle des éléments matériels. D'autre part, un module de profilage appelé «performance counter » est employé afin d'estimer précisément le temps d'exécution des différents algorithmes.

Après avoir exécuté l'opération de filtrage, les échantillons filtrés seront transmis à travers le convertisseur numérique-analogique DAC. Pour ce faire, le kit de développement DE1SOC utilisé dans l'implémentation contient une carte de conversion (LTC2607) avec deux convertisseurs DAC. Cette carte peut être connectée à la carte de développement par le biais du connecteur LTC de la carte. Dans l'architecture de la carte DE1SOC, ce périphérique est mappé avec la partie HPS de la carte, et sa communication avec elle se fait par le protocole I2C. Cette communication est gérée par le composant « I2C controller » du HPS. D'une autre part, la communication entre la partie FPGA et la partie HPS est assurée par un bus AXI comme on peut le voir dans la figure 4.19 illustrant une vue générale du prototype appliqué. Dans la section prochaine, la conception de ce prototype est entamée avec une présentation détaillée des composants utilisés.

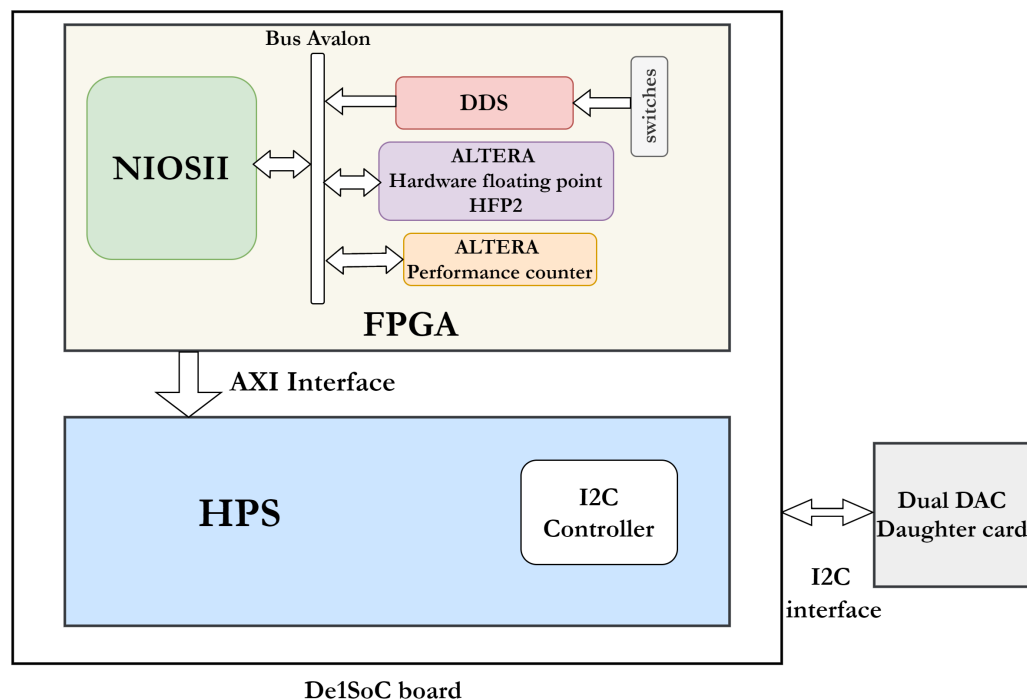


Figure 4.19: Schéma de principe du prototype proposé.

4.3.3.2 Conception du prototype avec le «Platform designer»

La méthodologie de conception des systèmes SOPC telle que présentée dans la section 4.3.2.3 est basée sur l'utilisation de l'outil d'intégration d'Altera «Platform designer». Pour réaliser la conception du prototype proposé, on commence d'abord par la définition des composants nécessaires pour la présente application. Les modules ajoutés dans l'outil d'intégration sont illustrés dans la figure 4.20 et ils sont détaillés comme suit :

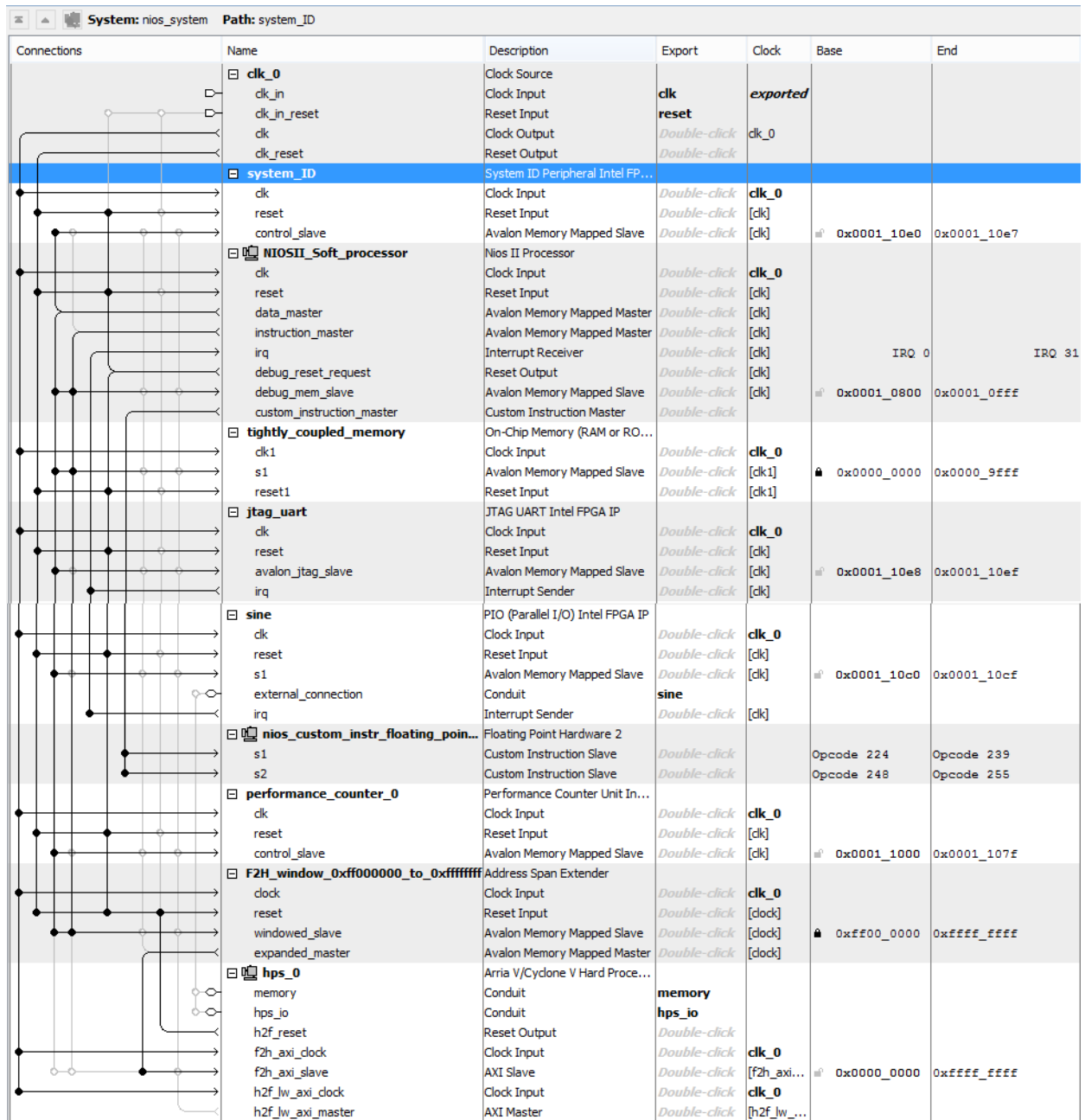


Figure 4.20: Plan d'intégration des composants du system dans l'outil «Platform designer».

Horloge d'entrée

Une horloge d'entrée est utilisée pour fournir une fréquence d'horloge unique à l'ensemble du système. La fréquence d'horloge d'entrée peut être modifiée au moment de la génération du système.

Module système ID

Ce module est nécessaire pour identifier correctement un périphérique système et pour vérifier si le programme exécutable a été ciblé pour l'image matérielle actuelle sur le FPGA. En cas de non-concordance, le périphérique FPGA doit être reconfiguré afin d'exécuter le programme.

Processeur NIOS

Le processeur NIOSII est un processeur soft-core proposé par Altera. La figure 4.21 ci-dessous présente l'architecture interne du NIOSII qui est un processeur RISC (reduced instruction set computing) basé sur l'architecture Harvard, c'est-à-dire qu'il possède un bus d'instruction et un bus de donnée séparés. Il possède au maximum six(06) niveaux de pipeline cadencés à 50 MHz avec un bus de 32 bits. Les performances de ce processeur sont de 30 à 80 MIPS (million instruction per second). Ce processeur existe en trois versions : rapide «NIOSII/f» (fast), économique «NIOSII/e» et standard «NIOSII/s» [117].

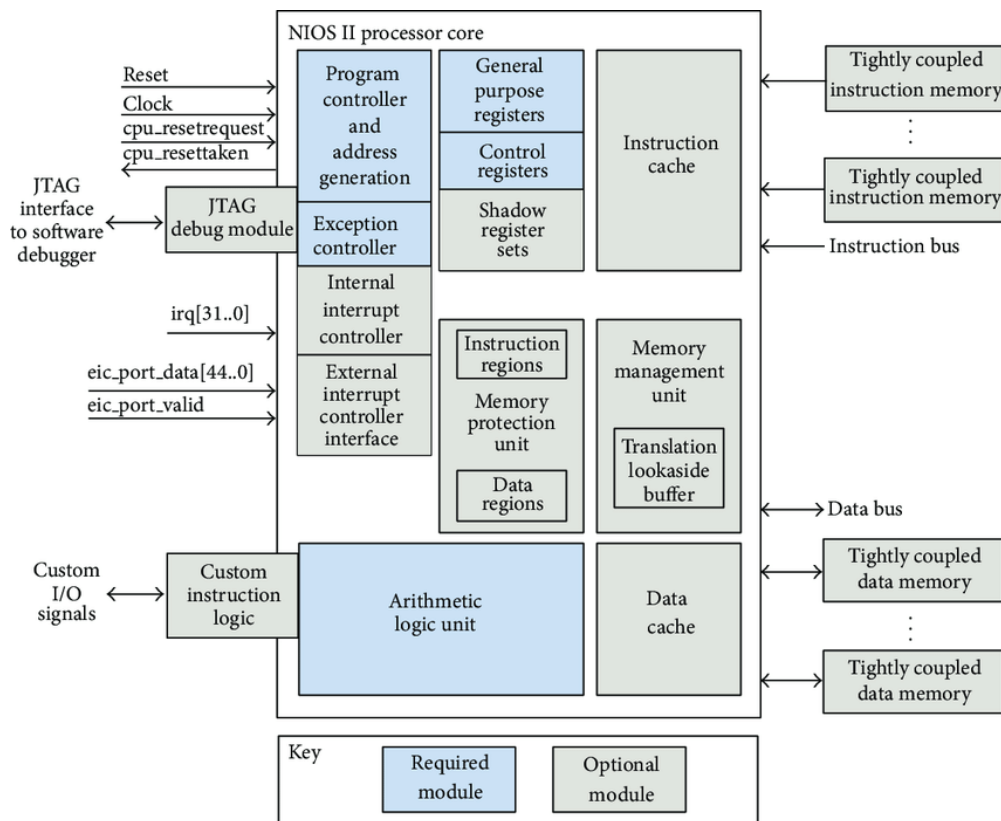


Figure 4.21: Schéma bloc du processeur NIOS [117].

Le choix du processeur NIOSII est justifié par les avantages qu'il offre généralement et les avantages liés à la présente application. Dans ce contexte, on peut citer :

1. Son implémentation efficace dans les composants FPGA d'Altera ce qui est caractérisé par un nombre minimal d'éléments logiques, l'utilisation du minimum de mémoire et une fréquence d'horloge maximale.
2. L'intégration du système sans effort grâce à l'outil «Platform designer» qui crée la logique d'interface du bus Avalon entre l'unité centrale de traitement, les périphériques et la mémoire.

3. Il peut facilement être interfacé avec les périphériques de la carte de développement ce qui permet une lecture plus facile du signal hypothétique généré.
4. La possibilité d'être facilement reconfiguré pour prendre en charge une grande variété de périphériques, que ce soit sur la puce (on-chip) ou externe.
5. Une faible latence mémoire grâce à la mémoire étroitement couplée (tightly coupled memory) qu'il possède [62].
6. Les calculs peuvent être exécutés avec un module matériel fourni par Altera et qui réalise les opérations en virgule flottante. Ce module appelé (floating point hardware HFP2) est implémenté en FPGA et il offre une vitesse d'exécution élevée assimilée à celle des blocs DSP du FPGA.
7. Il permet d'avoir une estimation précise des ressources utilisées et du temps d'exécution précis de chaque partie des algorithmes étudiés en utilisant le module «performance counter» d'Altera

Le processeur NIOSII peut communiquer avec les composants qui l'entourent à travers un bus Avalon. Le bus Avalon est une architecture maître/esclave qui permet à plusieurs paires maître/esclave de se communiquer simultanément sur le bus. Les fonctions d'arbitrage de bus et la correspondance de la largeur sont gérés par l'outil «Platform designer» [115].

Module mémoire

Le module mémoire utilisé est une mémoire vive (RAM) sur puce (on-chip memory) qui est choisi d'être «tightly coupled memory» vu que l'application envisagé n'est pas de large taille. En utilisant ce type de mémoire, le processeur NIOSII obtient un accès garanti et à faible latence à la mémoire sur puce [62] [118].

Module JTAG UART

Un module JTAG UART est utile pour le débogage du programme exécutable et l'interfaçage avec le processeur. L'outil IDE d'Eclipse qui sera utilisé pour le développement des logiciels NIOSII dispose d'une connexion JTAG à la console IDE pour récupérer les résultats du programme sur la console système.

Contrôleur d'entrée-sortie parallèle(PIO)

Ce contrôleur gère jusqu'à 32 ports d'entrée/sortie programmables. Chaque port d'E/S est associé à un numéro de bit dans le registre de l'interface utilisateur. Chaque port d'E/S peut être configuré comme une E/S à usage général ou affecté à une fonction d'un périphérique intégré tels que : les commutateurs qui sont considérés comme entrée, et les LED qui sont considérées comme sortie. Dans notre travail, on utilise un contrôleur PIO pour la lecture du signal d'entrée. Comme on a déjà mentionné, le signal d'entrée est synthétisé en FPGA par le biais d'un synthétiseur numérique (DDS) qui permet d'avoir un signal de forme sinusoïdale. Le signal obtenu peut être varié en amplitude, en fréquence et en offset (composante DC) à l'aide des commutateurs (switch) de la carte de développement.

Module de calcul en virgule flottante

Ce module est appelé «Floating-point custom instructions hardware» est un module dédié aux opérations de calcul en virgule flottante. Ce module est utilisé pour accélérer les opérations en virgule flottante dans le programme d'application NiosII C/C++ [119].

Nous avons choisi d'effectuer les opérations en virgule flottante grâce à sa simplicité de codage, et du fait que le but du prototype est de comparer la vitesse d'exécution des algorithmes entre eux. L'utilisation de ce module FPH2 permet d'avoir une vitesse de calcul assimilé à celle des blocs DSP du circuit FPGA. Cette vitesse d'exécution est considérablement meilleure que celle obtenue par le calcul logiciel en virgule flottante en utilisant le processeur NIOS. Ce module de calcul est relié directement au processeur NIOS par le bus Avalon.

Module de Profilage

Ce module appelé «performance counter» est connecté comme un esclave avec le processeur NIOSII à travers le bus avalon. Ce module est un bloc de compteurs matériels qui mesure le temps d'exécution de plusieurs sections du code choisis par l'utilisateur. Un seul module «performance counter» peut suivre jusqu'à sept sections du code à la fois [120].

Convertisseur numérique-analogique(DAC)

Afin de pouvoir illustrer les résultats de filtrage en oscilloscope, un module de conversion DAC doit être ajouté au système. Comme nous l'avons déjà mentionné, la carte de conversion LTC2607 est connectée à la carte de développement DE1SOC, cependant, l'intégration de ce module dans la conception nécessite quelques configurations qui seront présentées dans le texte qui suit. La carte de conversion DAC est connectée à la carte de développement via le connecteur LTC, qui est mappé en tant que périphérique HPS. La carte utilisée possède deux convertisseurs DAC de 16 bits chacune et qui utilisent le protocole de communication I2C. La communication avec ces convertisseurs est assurée par le contrôleur I2C intégré dans le système HPS. Afin de transmettre des données vers le DAC, un dispositif maître dans le FPGA (NIOS dans ce cas) doit écrire dans les registres internes du contrôleur I2C du HPS en ciblant leurs adresses [121].

Le dispositif maître en FPGA peut être connecté à l'interconnexion HPS via le pont FPGA-HPS. Cette connexion est établie dans l'outil d'intégration «Platform designer» en connectant le port maître de donnée «data master» de ce dispositif au port «AXI-Slave» du composant «Hard Processor System» nommé «f2h_axi_slave». Un exemple de cette connexion entre un processeur NIOS et le composant HPS est présenté dans la figure 4.22.

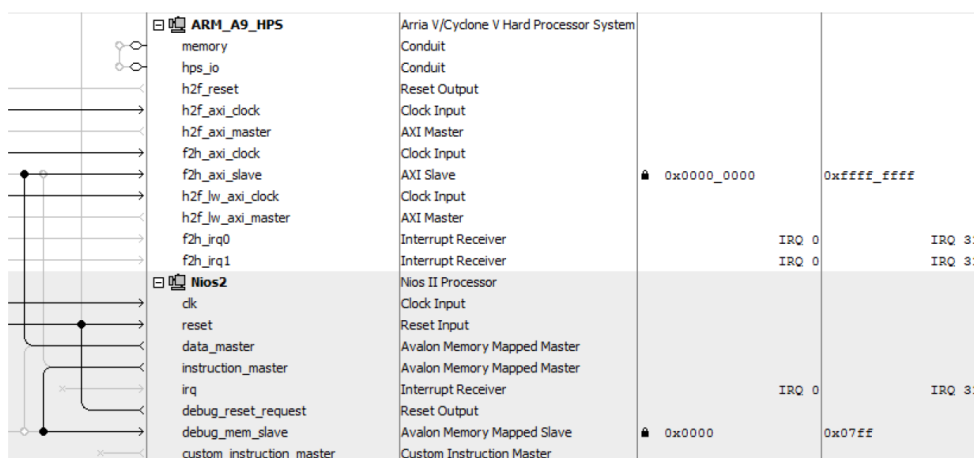


Figure 4.22: Exemple de connexion du processeur NIOS avec le HPS [121].

L'interconnexion HPS possède un espace d'adressage de 4 Go, qui occupe la totalité de la plage d'adresses de 32 bits du processeur NIOS II, ce qui l'empêcherait d'adresser tout autre composant connecté avec-il. Pour éviter ce problème, on utilise un module appelé «Address Span Extender» qui permet de fournir une fenêtre dans la partie supérieure de la plage de mémoire de l'interconnexion HPS. Cette fenêtre permet au processeur NiosII d'accéder à tous les périphériques intégrés du HPS, et laisse le reste de la plage d'adresses libre pour adresser d'autres périphériques internes ou externes comme on peut le voir sur la figure 4.20. La taille de la fenêtre ainsi que le décalage de la fenêtre par rapport à l'adresse de base peuvent être configurés lors de l'instanciation de ce module.

D'autre part, avant qu'un maître du côté FPGA puisse accéder à l'interconnexion interne du HPS, le pont FPGA-HPS doit être activé d'abord. L'activation de ce pont se fait en désactivant son bit de réinitialisation dans un registre nommé 'brgmodrst' situé à l'adresse 0xFFD0501C dans l'interconnexion du HPS. Cette tâche doit être réalisée par un maître interne du HPS vue que le pont n'est pas encore activé.

Un autre point qui doit être pris en considération, c'est que l'interconnexion du HPS contient une fonction de sécurité qui limite l'accès à ces périphériques de façon que seuls les maîtres «sécurisés» internes, tels que le processeur ARM CortexA9, puissent y accéder. Les maîtres du côté FPGA sont considérés non sécurisés, pour cela, un maître sécurisé doit d'abord configurer l'interconnexion pour autoriser l'accès non sécurisé. Cela se fait en écrivant un «1» dans le bit de sécurité correspondant au périphérique qu'on doit l'utiliser qui est dans notre cas le contrôleur I2C connecté au convertisseur DAC.

Afin d'effectuer les deux tâches qui concerne l'activation du pont HPS-FPGA et l'autorisation des accès non-sécurisées, nous avons développé une simple application en «Métal nu» ou «Bare metal» qui s'exécute dans le processeur ARM cortex A9 de la carte de développement et qui permet d'écrire dans le registre de sécurité du HPS et dans celle de l'activation du pont HPS-FPGA. L'application développée est écrite par la suite dans une carte SD combinée avec un autre programme appelée «pré-chargeur» ou «Preloader» pour lui permettre de se booter dans le démarrage du processeur.

Ceci termine la configuration nécessaire pour qu'un maître sur FPGA puisse accéder aux périphériques du HPS.

En résumé, les deux composants qui sont ajoutés dans l'outil d'intégration pour assurer la fonction de conversion numérique-analogique sont les suivants :

- Adress span extender
- HPS

Une fois les composants du système sont tous définis et la connexion entre eux est établie tel que présenté dans la figure 4.20, on procède à la génération du code HDL du système qui peut se faire en VHDL ou Verilog. Par la suite, les autres étapes de compilation présentées dans la méthodologie de conception sont réalisées à l'aide du logiciel Quartus Prime ce qui permet d'avoir en résultat le fichier de programmation (.SOF). Le fichier généré est utilisé pour programmer la partie FPGA de la carte. La carte SD préparée est injectée dans le lecteur SD-card de la carte de développement ce qui permet de démarrer le processeur ARM afin d'autoriser les accès non-sécurisés et d'activer le pont HPS-FPGA. Ceci termine la configuration matérielle du prototype.

4.3.3.3 Développement logiciel

Après avoir créé la description matérielle du système, on utilise l'outil Nios-EDS pour programmer le processeur NIOSII contenu dans notre système. On commence d'abord par la génération des pilotes BSP qui sont adaptées à l'architecture matérielle utilisé. Par la suite, on passe au développement des algorithmes de filtrages étudiés.

Nous avons développé les codes des trois algorithmes de filtrage étudiés à savoir l'algorithme VLLMS, VFFRLS et l'algorithme de filtrage IIR. Le filtre IIR utilisé est d'ordre 6 et il est développé avec la forme de biquads cascades. Les codes des algorithmes développés ont été compilés avec une optimisation `-O2` et l'étude de profilage a été concentré sur ces algorithmes. La figure 4.23 illustre une capture de l'environnement NIOS-EDS après l'exécution de l'algorithme de filtrage VFFRLS. À partir de la figure, on peut voir la fenêtre de la console NIOSII sur laquelle sont affichés les résultats de profilage. Les résultats détaillés des algorithmes étudiés seront présentés dans la section prochaine.

The screenshot shows the Eclipse IDE interface for Nios II. The main editor displays the source code for `vllms_optimized.c`. The code includes standard C headers and Nios II system headers, and defines a `main` function that runs a loop. The Nios II Console window at the bottom shows the output of the program, which is a performance counter report for the VLLMS algorithm.

```

24 * vllms_optimized.c
7 #include <stdio.h>
8 #include <math.h>
9 #include <float.h>
10 #include <stdlib.h>
11 #include <inttypes.h>
12 #include "system.h"
13 #include <sys/alt_irq.h>
14 #include <sys/alt_cache.h>
15 #include "io.h"
16 #include "altera_avalon_performance_counter.h"
17 static alt_irq_context context;
18 float En,Wn = 1.0f,Pn=10000.0f;;
19 int main() {
20 volatile float gamma_n=0.01f;
21 register float En_1=1,un=0.2;
22 volatile float Pn=10256.235f;
23 while(1)
24 {

```

The console output shows the following performance counter report:

```

****profiling of vllms filtering algorithm****\
--Performance Counter Report--
Total Time : 1 usec (151 clock-cycles)
+-----+-----+-----+-----+
| Section | % | Time (usec)| Time (clocks)|Occurrences |
+-----+-----+-----+-----+
| vllms | 92 | 1 | 139 | 1 |
+-----+-----+-----+-----+

```

Figure 4.23: Fenêtre de l'outil NIOSII EDS après l'exécution de l'algorithme VLLMS.

Ceci termine la réalisation du prototype de test y compris les deux parties matérielle et logicielle. La figure 4.24 illustre l'environnement expérimental utilisé pour la validation des résultats.

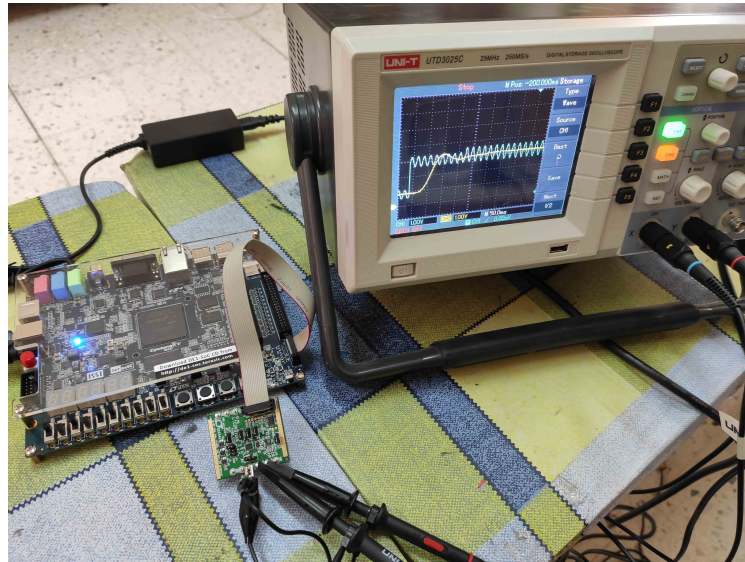
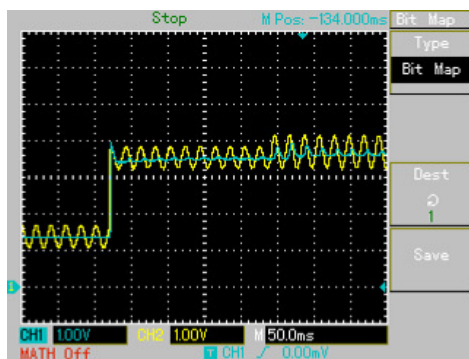


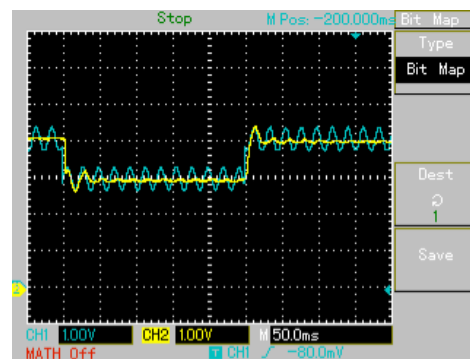
Figure 4.24: Environnement expérimental.

4.3.4 Résultats d'implémentation

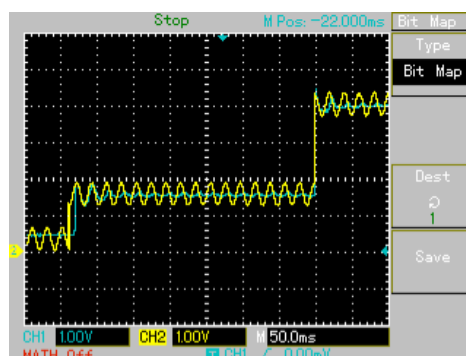
Le prototype exposé précédemment est utilisé pour tester et comparer les différents algorithmes de filtrage, les résultats sont illustrés sur les figures 4.25 et 4.26. Dans les plots de la figure 4.25 (a,b,c), l'algorithme VLLMS proposé est appliqué dans plusieurs scénarios de variation des parties DC et AC du signal de puissance hypothétique. À partir des plots on constate que l'algorithme VLLMS a permis d'estimer la composante continue du signal d'entrée avec de bonnes performances dynamiques.



(a) Test de l'algorithme VLLMS



(b) VLLMS avec variation de la charge.



(c) VLLMS avec deux niveaux de variation.

Figure 4.25: Résultats d'implémentation de l'algorithme VLLMS.

Sur la figure 4.26.a, on utilise un filtre IIR biquad de 6^{ème} ordre avec une fréquence de coupure de 60 Hz, ce filtre est alors comparé au filtre VLLMS en présence des variations de la composante DC. Le résultat illustré sur la figure 4.26.b indique la quantité du temps de retard introduit par le filtre IIR par rapport à notre algorithme. Enfin, l'algorithme VFFRLS est testé, le signal résultant est affiché sur la figure 4.26.c.

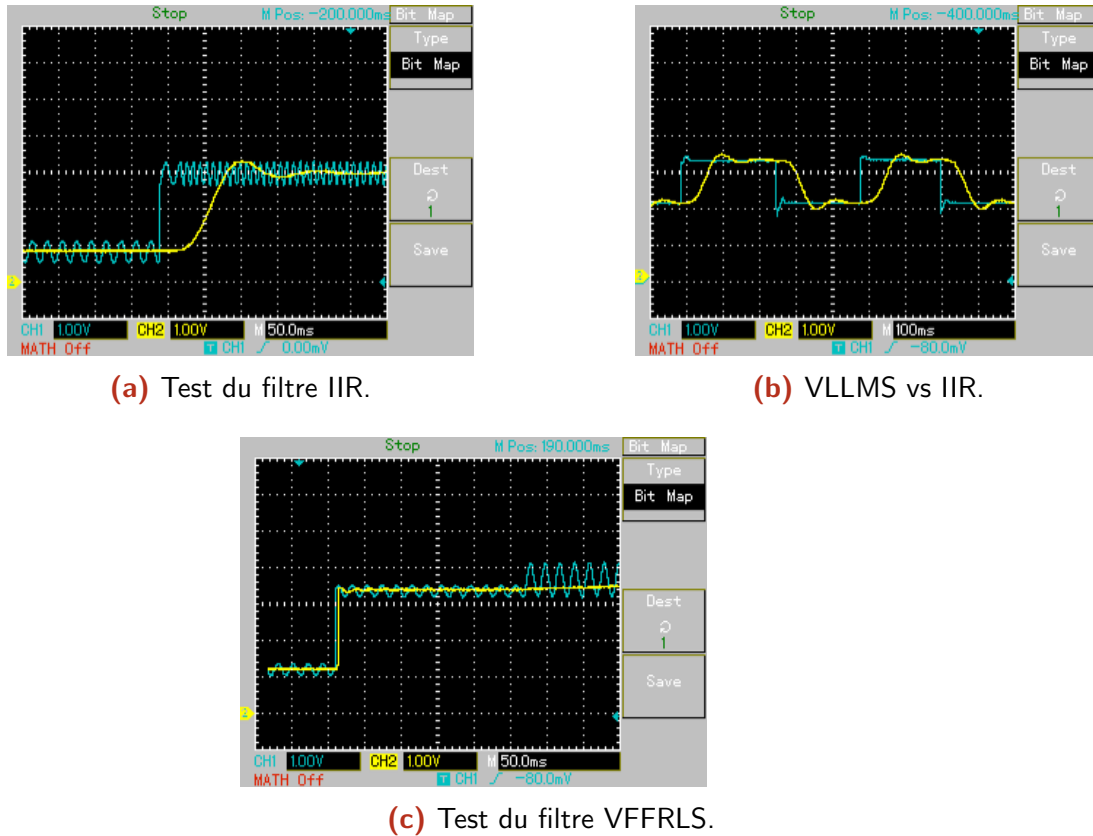


Figure 4.26: Résultats d'implémentation des algorithmes précédents.

4.3.5 Comparaison des performances de calcul

Dans cette section, les performances de calculs des méthodes étudiées sont comparées en termes de complexité de calcul et du temps d'exécution. La complexité de calculs des différents algorithmes a été présentée dans le tableau 4.1 de la section 4.2.5.

D'autre part l'estimation du temps d'exécution des algorithmes étudiés a été réalisée avec grande précision par biais du module «performance counter» implémenté dans l'outil «Platform designer». La figure 4.27 illustre les captures des résultats de profilage affichés dans la console de l'outil «NIOS EDS». Ces résultats sont assemblés dans le tableau 4.3. Nous notons que l'horloge utilisé a une fréquence de 100 MHz.

Algorithm	VLLMS	CLPF	VFFRLS
Nombres de front CLK	139	162	426
Temps (μs)	1.39	1.62	4.26

Tableau 4.3: Estimation du temps d'exécution des algorithmes.

```

/****profiling of IIR 6th order Biquad****\
--Performance Counter Report--
Total Time : 1 usec (174 clock-cycles)
+-----+-----+-----+-----+-----+
| Section      | %   | Time (usec)| Time (clocks)|Occurrences |
+-----+-----+-----+-----+-----+
| 6th order IIR| 93  |      1    |      162    |      1    |
+-----+-----+-----+-----+-----+
/****profiling of IIR 6th order Biquad****\

```

(a) Profilage du filtre IIR de 6^{eme} ordre.

```
counter_vllms Nios II Hardware configuration - cable: DE-SoC on localhost [USB-1] device ID: 2i
```

```

/****profiling of vllms filtering algorithm****\
--Performance Counter Report--
Total Time : 1 usec (151 clock-cycles)
+-----+-----+-----+-----+-----+
| Section      | %   | Time (usec)| Time (clocks)|Occurrences |
+-----+-----+-----+-----+-----+
|          vllms| 92  |      1    |      139    |      1    |
+-----+-----+-----+-----+-----+
/****profiling of vllms filtering algorithm****\

```

(b) Profilage du filtre VLLMS.

```
counter_vffrls Nios II Hardware configuration - cable: DE-SoC on localhost [USB-1] device ID: 2i
```

```

/****profiling of vffrls filtering algorithm****\
--Performance Counter Report--
Total Time : 4 usec (438 clock-cycles)
+-----+-----+-----+-----+-----+
| Section      | %   | Time (usec)| Time (clocks)|Occurrences |
+-----+-----+-----+-----+-----+
|          vffrls| 97  |      4    |      426    |      1    |
+-----+-----+-----+-----+-----+
/****profiling of vffrls filtering algorithm****\

```

(c) Profilage du filtre VFFRLS.

Figure 4.27: Résultats du profilage en utilisant le module «performance counter».

À partir des résultats affichés, on peut voir que le temps d'exécution de l'algorithme VLLMS proposé est bien meilleur que celui de l'algorithme VFFRLS, et ce grâce à sa simplicité, puisqu'il n'utilise que les opérations arithmétiques simples (multiplication et addition), contrairement à l'algorithme VFFRLS qui utilise deux opérations de division. De plus, il utilise une fonction «exponentielle» qui utilise plus de ressources et nécessite un temps d'exécution plus long. D'une autre part, l'algorithme VLLMS a une faible complexité de calcul par rapport au filtre IIR de 6^{eme} ordre, ce qui se traduit par un temps d'exécution plus court.

4.4 Conclusion

Dans ce chapitre, deux approches de validation expérimentale ont été exposées dans le but de valider les résultats obtenus par simulation, et afin de comparer les performances de calcul de l'algorithme proposé.

Dans un premier temps, une approche de Co-simulation (logicielle-matérielle) appelée FPGA in the loop a été appliquée. Dans laquelle, le système de contrôle a été implémenté dans une cible FPGA, les résultats obtenus montre que le comportement du système est identique à celle de la simulation fonctionnelle en MATLAB/SIMULINK. D'une autre part, la quantité des ressources matérielles utilisées par l'algorithme de filtrage VLLMS proposé a été estimée et comparée avec les algorithmes précédents. Les résultats obtenus indiquent la supériorité de la méthode proposée [122].

La deuxième approche exposée dans ce chapitre concerne l'implémentation de l'algorithme de filtrage comme une partie d'un système sur une puce programmable SOPC. L'intérêt d'un tel système consiste en sa grande flexibilité, économie du coût de conception et de l'énergie consommé, et la possibilité de l'extension pour un système de contrôle complet. Dans notre travail présenté, la méthodologie de conception des SOPC a été appliquée afin de réaliser le prototype proposé. Ce prototype a permis de tester et de comparer l'algorithme de filtrage VLLMS avec les algorithmes précédents dans des conditions d'exécution en temps réel. Les résultats obtenus ont montré que l'algorithme VLLMS est bien meilleur en termes de temps d'exécution par rapport aux algorithmes précédents [123].

Conclusion générale

Ce travail de recherche traite la problématique des harmoniques dans les réseaux de distribution électriques. L'objectif de la thèse été de contribuer à l'amélioration des performances d'élimination des harmoniques dans le cadre du filtrage actif de puissance. Pour ce but, nous avons d'abord présenté une introduction sur les harmoniques, leur origine et leurs effets sur les équipements industriels. Ces effets nuisibles, dus principalement à l'utilisation croissante des charges non-linéaires, ont donné lieu à des exigences réglementaires chaque fois plus sévère dans le domaine de la qualité de l'énergie. Afin de répondre à ces exigences, le filtre actif parallèle représente une excellente solution favorisée par son efficacité élevée et sa complexité relativement réduite. En revanche, l'efficacité de compensation des harmoniques par le FAP est principalement liée à la façon dont les distorsions harmoniques sont identifiées. Dans ce contexte, notre travail s'est porté principalement sur le développement d'une approche basée sur le filtrage adaptatif afin d'améliorer la précision et la vitesse d'estimation des harmoniques.

Dans le travail exposé dans ce mémoire, l'identification des harmoniques a été réalisée en appliquant une version modifiée de la méthode des puissances instantanées PQ. Nous avons d'abord montré que la version originale de cette méthode est seulement applicable dans le cas où les tensions d'alimentation sont purement sinusoïdales. Ensuite, le principe de la méthode PQ modifiée a été introduit en chapitre 2 en soulignant les modifications apportées. Nous avons également exposé les autres composants du système de contrôle à savoir : la boucle interne de contrôle du courant et le régulateur de la tension du bus continue. Le contrôle du courant a été fait en utilisant la technique de commande à hystérésis, et la régulation de la tension continue a été réalisée à l'aide d'un correcteur proportionnel combiné avec un filtre passe-bas avec l'utilisation d'une boucle de verrouillage de phase pour la synchronisation. Les résultats de simulation illustrés dans le chapitre 3 indiquent l'efficacité de l'approche adoptée pour la compensation des harmoniques que ce soit avec une tension sinusoïdale ou perturbé. La mesure des valeurs de THD indique une valeur de 4.5% dans les pires des cas, ce qui est bien inférieur à la limite imposée par la norme IEEE 519.

La contribution principale de cette thèse est le remplacement du filtre passe-bas classique utilisé pour extraire la partie DC de la puissance active afin d'isoler les composantes harmoniques qu'on veut les compenser. Dans ce contexte, nous avons montré que la précision et la vitesse d'estimation des harmoniques par la méthode PQ (originale ou modifiée) dépendent principalement de la technique utilisée pour extraire la partie DC de la puissance. Nous avons également exposé les limites des méthodes de filtrage classiques telles que les filtres FIR et IIR. En effet, les paramètres de conception de ces filtres sont invariants dans le temps, ce qui se traduit par de mauvaises performances dynamiques spécialement dans le cas de variation de la charge. Ensuite, nous avons exposé un état de l'art sur les algorithmes d'extraction de la composante DC existants dans la littérature en indiquant ses inconvénients, avant de présenter le filtre VLLMS proposé.

L'algorithme VLLMS exploite le principe d'annulation adaptative du bruit avec l'utilisation d'un pas d'adaptation et un facteur de fuite variables pour permettre à ce filtre de s'adapter aux variations du signal d'entrée. L'approche de filtrage VLLMS proposée a été comparée par simulation avec l'algorithme de filtrage classique CLPF en régime permanent et transitoire et en appliquant différents scénarios des charges polluantes (équilibrés et non-équilibrés). Les résultats de la simulation effectuée en de MATLAB/SIMULINK indiquent une amélioration importante de la réponse dynamique du FAP en utilisant l'algorithme VLLMS par rapport au filtre CLPF. En fait, les formes d'ondes illustrées en chapitre 3 montrent que l'algorithme VLLMS a permis d'avoir une réponse transitoire de moins d'un quart de cycle dans les pires des cas, quelles que soient les conditions de la tension d'alimentation (sinusoïdale ou perturbée) ou les conditions de la charge (équilibré ou déséquilibré). De plus, on a constaté une amélioration des performances en régime permanent en utilisant le filtre VLLMS, ce qui se traduit par une légère réduction du THD surtout dans le cas où des charges déséquilibrées sont utilisées.

D'autre part, une comparaison a été faite avec les principales méthodes d'extraction de la composante DC proposées précédemment à savoir : le filtre passe-bas en ondelette et le filtre VFFRLS. Outre des limites du filtre à base d'ondelette mentionnées dans l'état de l'art, les résultats de comparaison illustrés en chapitre 3 indiquent bien la supériorité de notre algorithme surtout dans le cas où la tension d'alimentation est perturbée. Par ailleurs, les résultats obtenus en utilisant le filtre VFFRLS sont très proches de celles obtenues avec l'algorithme VLLMS proposé. Cependant, la complexité de calcul et les ressources matérielles utilisées par le filtre VFFRLS n'ont pas été étudiées dans les travaux dans lesquels a été proposé.

Dans ce sens et afin de valider les résultats obtenus par simulation, nous avons exposé en chapitre 4 deux approches de validation. Dans la première approche, nous avons réalisé une Co-simulation « FPGA in the loop » où le système de contrôle du FAP a été implémenté dans une cible FPGA en appliquant le flot de conception présenté dans la première partie du chapitre 4. D'une autre part, les composants de puissance (réseau, onduleur, charge) ont été émulés en SIMULINK. Les résultats obtenus par cette approche sont similaires à ceux obtenus par simulation fonctionnelle en chapitre 3. Par ailleurs, une analyse des ressources matérielles utilisées par chaque algorithme a été effectuée à l'aide du logiciel Quartus. L'estimation des ressources indique que l'algorithme VLLMS utilise la plus faible quantité de ressources matérielles par rapport au CLPF et VFFRLS du fait qu'il n'utilise que les opérations simples (multiplication, addition). Contrairement à l'algorithme VFFRLS qui utilise des opérations exponentielles et de division.

La deuxième approche de validation adoptée dans cette thèse concerne une implémentation en temps réel des algorithmes étudiés. Dans cette approche, la partie concernée du système de contrôle a été implémentée comme une partie d'un système programmable sur puce (SOPC). Dans ce contexte, nous avons exposé l'intérêt et les apports de ce type de systèmes programmables pour le contrôle des équipements de l'électronique de puissance. La méthodologie de conception de ces systèmes a été alors exposée avant d'être appliquée pour le système étudié. L'application de cette approche a permis d'analyser avec précision les performances matérielles et le temps d'exécution des différents algorithmes. Les résultats obtenus indiquent que l'algorithme proposé offre la meilleure performance de calcul avec un temps d'exécution de $1.4\mu s$.

Pour résumer, l'approche de filtrage proposée a permis d'améliorer les performances du FAP en régime permanent et en régime transitoire avec moins de ressources de calcul.

À l'issue de ce travail de thèse, plusieurs perspectives se dégagent. Tout d'abord, il est nécessaire de poursuivre les tests expérimentaux. Dans ce sens, la totalité du système de contrôle peut être implémentée en tant qu'un système embarqué sur puce, ce qui permet au modèle d'être testé expérimentalement avec les paramètres de conception optimaux du FAP. Par ailleurs, l'approche de contrôle proposée dans cette thèse peut être étendue à la conception du filtre hybride (actif et passif).

Bibliographie

- [1] IEEE Standard Committee. IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems. IEEE Standard 519-2014 (Revision of IEEE Std 519-1992), pp.1-29, 2014.
- [2] CHAOUI, Abdelmadjid. Filtrage Actif Triphasé pour charges non linéaires [en ligne]. Thèse de doctorat en cotutelle : Université Ferhat Abbas (UFAS), Sétif, Algérie et Université de Poitiers, France, 2010.
- [3] BERMEO, Amaia Lopez. Commandes avancées des systèmes dédiées à l'amélioration de la qualité de l'énergie : de la basse tension à la montée en tension [en ligne]. Thèse de doctorat. Grenoble : Institut National Polytechnique de Grenoble - INPG, 2007.
- [4] Al-BAYATY, Hussein Kamal Anwer. Novel Methods of Utilization, Elimination, and Description of The Distortion Power in Electrical Circuits [en ligne]. Thèse de doctorat. Royaume-Uni : Université de Plymouth, 2019.
- [5] SUBJAK, Joseph S. et MCQUILKIN, John S. Harmonics : Causes, Effects, Measurements, and Analysis : An Update. IEEE Transactions on Industry Applications [en ligne]. 1990, Vol. 26, n° 6, pp. 1034-1042.
- [6] CZARNECKI, Leszek S. An overview of methods of harmonic suppression in distribution systems. Proceedings of the IEEE Power Engineering Society Transmission and Distribution Conference [en ligne]. 2000, Vol. 2, n° c, pp. 800-805. ISBN 0780364201.
- [7] ORTMEYER, Thomas H., CHAKRAVARTHI, K. R. et MAHMOUD, Aly A. The effects of power system harmonics on power system equipment and loads. IEEE Transactions on Power Apparatus and Systems [en ligne]. 1985, Vol. PAS-104, n° 9, pp. 2555-2563.
- [8] SHAFIEE KHOOR, Mohsen Shafiee. Amélioration de la qualité de l'énergie à l'aide de compensateurs actifs : série, parallèle ou conditionneurs unifiés de réseaux électriques [en ligne]. Thèse de doctorat. Nantes : Ecole Polytechnique de l'université de Nantes, 2006.
- [9] WAGNER, V. E. et al. Effects of Harmonics on Equipment. IEEE Transactions on Power Delivery [en ligne]. 1993, Vol. 8, n° 2, pp. 672-680.
- [10] LEMBO, F et DONOFRIO, V H. Distribution Harmonics Cause Breaker Problems. Electrical World [en ligne]. Septembre 1981. pp. 121-122.
- [11] BROZEK, James P. The effects of harmonics on overcurrent protection devices. IEEE Industry Applications Society [en ligne]. 1990, Vol 2, pp. 1965-1967. ISBN 0879425539.
- [12] FUCHS, E. F., ROESLER, D. J. et KOVACS, K. P. Sensitivity of electrical appliances to harmonics and fractional harmonics of the power system's voltage. Part II : Television sets, induction watt-hour meters and universal machines. IEEE Transactions on Power Delivery [en ligne]. 1987, Vol. 2, n° 2, pp. 445-453.
- [13] Power System Relaying Committee. The Impact of Sine-Wave Distortions on Protective Relays. IEEE Transactions on Industry Applications [en ligne]. 1984, vol. IA-20, no. 2, pp. 335-343.
- [14] ERICKSON, C. J. Motor design features for adjustable-frequency drives. IEEE Transactions on Industry Applications [en ligne]. 1988, vol. 24, no. 2, pp. 192-198.
- [15] SARRA, Mustapha. Contribution à l'étude des filtres actifs hybrides [en ligne]. Thèse de doctorat. Sétif : Université de Sétif, 2012.

- [16] WANG, Yuge. Harmonic analysis in power distribution networks [en ligne]. Thèse de doctorat. Manchester : Université de Manchester, 2020.
- [17] MILTON, Ivry Preye. Predicting stochastic harmonics of multiple converters in a power system (microgrid) [en ligne]. Thèse de doctorat. Nottingham : Université de Nottingham, 2016.
- [18] DAS, J. C. Harmonic Distortion Limits According to Standards. Power System Harmonics and Passive Filter Designs [en ligne]. 2015, pp. 427-451.
- [19] NAOUSSI, Serge Raoul. Implantation des réseaux neuromimétiques sur cible FPGA- Application à l'intégration d'un système de filtrage actif [en ligne]. Thèse de doctorat en cotutelle université de Douala, Cameroun et Université de Strasbourg, France, 2011.
- [20] NGUYEN, Ngac-Ky. Approches neuromimétiques pour l'identification et la commande des systèmes électriques : application au filtrage actif et aux actionneurs synchrones [en ligne]. Thèse de doctorat. Mulhouse : Université de Haute Alsace, 2010.
- [21] AKAGI, Hirofumi. Active harmonic filters. Proceedings of the IEEE [en ligne]. 2005, Vol. 93, n° 12, pp. 2128-2141.
- [22] COSTA-CASTELLO, Ramon et al. High-performance control of a single-phase shunt active filter. IEEE Transactions on Control Systems Technology [en ligne]. 2009, Vol. 17, n° 6, pp. 1318-1329.
- [23] CHEN, Cheng Che et HSU, Yuan Yih. A novel approach to the design of a shunt active filter for an unbalanced three-phase four-wire system under nonsinusoidal conditions. IEEE Transactions on Power Delivery [en ligne]. 2000, Vol. 15, n° 4, pp. 1258-1264.
- [24] SUNDARAM, Elango et VENUGOPAL, Manikandan. On design and implementation of three phase three level shunt active power filter for harmonic reduction using synchronous reference frame theory. International Journal of Electrical Power and Energy Systems [en ligne]. Elsevier Ltd, 2016, Vol. 81, pp. 40-47.
- [25] AKAGI, H. Modern active filters and traditional passive filters. Bulletin of the Polish Academy of Sciences : Technical Sciences [en ligne]. 2006, Vol. 54, n° 3, pp. 255-269.
- [26] ROUTIMO, Mikko, SALO, Mika et TUUSA, Heikki. Comparison of voltage-source and current-source shunt active power filters. IEEE Transactions on Power Electronics [en ligne]. 2007, Vol. 22, n° 2, p. 636 643.
- [27] SINGH, Bhim, AL-HADDAD, Kamal et CHANDRA, Ambrish. Power Quality Improvement. IEEE Transactions On Industrial Electronics [en ligne]. October 1999, Vol. 46, n° 5, pp. 960-971.
- [28] ASIMINOAEL, Lucian, BLAABJERG, Frede et HANSEN, Steffan. Detection is key : Harmonic detection methods for active power filter applications. IEEE Industry Applications Magazine [en ligne]. 2007, vol. 13, no.4, pp. 22-33.
- [29] KARIMI, Shahram. Continuité de service des convertisseurs triphasés de puissance et prototypage FPGA-in-the-loop : application au filtre actif parallèle [en ligne]. Thèse de doctorat. Nancy : Université Henri Poincaré, 2009.
- [30] BHATTACHARYA, Avik, CHAKRABORTY, Chandan et BHATTACHARYA, Subhashish. Shunt compensation : Reviewing traditional methods of reference current generation. IEEE Industrial Electronics Magazine [en ligne]. 2009, Vol. 3, n° 3, pp. 38 49.
- [31] CARVALHO, T. C.O. et al. Review of signal processing techniques for time-varying harmonic decomposition. IEEE Power and Energy Society General Meeting [en ligne]. 2012, n° 1, pp. 1-6.
- [32] MAZA-ORTEGA, José María et al. Reference current computation for active power filters by running DFT techniques. IEEE Transactions on Power Delivery. 2010, Vol. 25, n° 3, pp. 1986-1995.
- [33] KUMAR, Ravinder et BANSAL, Hari Om. Shunt active power filter : Current status of control techniques and its integration to renewable energy sources. Sustainable Cities and Society [en ligne]. Elsevier, 2018, Vol. 42, n° July, pp. 574-592.

- [34] AKAGI, Hirofumi, KANAZAWA, Yoshihira et NABAE, Akira. Instantaneous Reactive Power Compensators Comprising Switching Devices without Energy Storage Components. IEEE Transactions on Industry Applications [en ligne]. 1984, Vol. IA-20, n° 3, pp. 625-630.
- [35] WANG, Yu, XIE, Yun Xiang et LIU, Xiang. Analysis and design of DC-link voltage controller in shunt active power filter. Journal of Power Electronics [en ligne]. 2015, Vol. 15, n° 3, pp. 763-774.
- [36] MAHABOOB, Sahithullah, AJITHAN, Senthil Kumar et JAYARAMAN, Sasikala. Optimal design of shunt active power filter for power quality enhancement using predator-prey based firefly optimization. Swarm and Evolutionary Computation [en ligne]. Elsevier Ltd, 2019, Vol. 44, n° October 2017, pp. 522-533.
- [37] OUCHEN, Sabir et al. Robust DPC-SVM control strategy for shunt active power filter based on H_∞ regulators. International Journal of Electrical Power and Energy Systems [en ligne]. Elsevier, 2020, Vol. 117, n° November 2019, pp. 105-119.
- [38] ZHANG, Yangjie et al. Comparison of direct current control and direct power control using SVPMW modulation. 2014 Fourth International Conference on Instrumentation and Measurement, Computer, Communication and Control, pp. 936-940.
- [39] BHATTACHARYA, S. et DIVAN, D. Synchronous frame based controller implementation for a hybrid series active filter system. 1995 IEEE Industry Applications Conference Thirtieth IAS Annual Meeting [en ligne]. 1995, vol.3, pp. 2531-2540.
- [40] FALLAH, Mehdi et al. Load compensation based on frame considering low-order dominant harmonics and distorted power system. Control Engineering Practice [en ligne]. Elsevier, 2016, Vol. 51, pp. 1-12.
- [41] DINH, Nguyen Duy et al. Adaptive notch filter solution under unbalanced and/or distorted point of common coupling voltage for three-phase four-wire shunt active power filter with sinusoidal utility current strategy. IET Generation, Transmission and Distribution [en ligne]. 2015, Vol. 9, n° 13, pp. 1580-1596.
- [42] KARIMI, Shahram, POURE, Phillipe et SAADATE, Shahrokh. Reference current generation without PLL for shunt active filter under distorted and unbalanced conditions. IEEE International Symposium on Industrial Electronics [en ligne]. 2008, n° 1, pp. 363-368.
- [43] HOON, Yap et al. A Dual-Function Instantaneous Power Theory for Operation of Three-Level Neutral-Point-Clamped Inverter-Based Shunt Active Power Filter. Energies [en ligne]. 2018, Vol. 11, n° 6, pp. 1-17.
- [44] POPESCU, Mihaela, BITOLEANU, Alexandru et SURU, Vlad. A DSP-based Implementation of the p-q theory in active power filtering under nonideal voltage conditions. IEEE Transactions on Industrial Informatics [en ligne]. 2013, Vol. 9, n° 2, pp. 880-889.
- [45] KUMAR, Ravinder et BANSAL, Hari Om. Hardware in the loop implementation of wavelet based strategy in shunt active power filter to mitigate power quality issues. Electric Power Systems Research [en ligne]. Elsevier, 2019, Vol. 169, n° November 2018, pp. 92-104.
- [46] M ABDUSALAM, Mohamed Muftah. Structures et stratégies de commande des filtres actifs parallèle et hybride avec validations expérimentales [en ligne]. Thèse de doctorat, Thèse de doctorat. Nancy : Université Henri Poincaré, 2008.
- [47] CHELLI, Z. et al. Hysteresis control for shunt active power filter under unbalanced three-phase load conditions. Journal of Electrical and Computer Engineering [en ligne]. 2015, Vol. 2015.
- [48] PANDA, Gayadhar et al. Performance improvement of hysteresis current controller based three-phase shunt active power filter for harmonics elimination in a distribution system. Communications in Computer and Information Science [en ligne]. 2013, Vol. 361 CCIS, pp. 682-692.
- [49] ZOUIDI, Abdelaziz, FNAIECH, Farhat et AL-HADDAD, Kamal. Voltage source inverter based three-phase shunt active power filter : Topology, modeling and control strategies. IEEE International Symposium on Industrial Electronics [en ligne]. 2006, Vol. 2, pp. 785-790.

- [50] VERRIEST, Eric. Conception et mise en œuvre en temps réel d'un système de soustraction de bruit adaptatif pour antenne sonar [en ligne]. Thèse de doctorat. Lille : Université des sciences et technologies de Lille, 1998.
- [51] KASZYNSKI, Roman et PISKOROWSKI, Jacek. Selected structures of filters with time-varying parameters. *IEEE Transactions on Instrumentation and Measurement* [en ligne]. 2007, Vol. 56, n° 6, pp. 2338-2345.
- [52] WIENER, Norbert. *Extrapolation, Interpolation and Smoothing of Stationary Time Series, with Engineering applications*. USA : MIT Press, 1964.
- [53] KALMAN, R.E. On the general theory of control systems. *IFAC Proceedings Volumes* [en ligne]. Elsevier, 1960, Vol. 1, n° 1, p. 491-502.
- [54] KAILATH, Thomas. A view of three decades of linear filtering theory. *IEEE Transactions on Information Theory* [en ligne]. March 1974, vol. 20, no. 2, pp. 146-181.
- [55] PRADHAN, A. K., ROUTRAY, A. et BASAK, Abir. Power system frequency estimation using least mean square technique. *IEEE Transactions on Power Delivery* [en ligne]. 2005, Vol. 20, n° 3, pp. 1812-1816.
- [56] JOORABIAN, M, MORTAZAVI, S S et KHAYYAMI, A A. Harmonic estimation in a power system using a novel hybrid Least Squares-Adaline algorithm. *Electric Power Systems Research Journal* [en ligne]. 2009, Vol. 79, pp. 107-116.
- [57] CHUDAMANI, R., VASUDEVAN, K. et RAMALINGAM, C. S. Non-linear least-squares-based harmonic estimation algorithm for a shunt active power filter. *IET Power Electronics* [en ligne]. 2009, Vol. 2, n° 2, pp. 134-146.
- [58] KENNEDY, Karen, LIGHTBODY, Gordon et YACAMINI, Robert. Power System Harmonic Analysis using the Kalman Filter. 2003 IEEE Power Engineering Society General Meeting, Conference Proceedings [en ligne]. 2003, Vol. 2, pp. 752-757. ISBN 0780379896.
- [59] SHAN, T. J. et KAILATH, T. Adaptive algorithms with an automatic gain control feature. *IEEE Transactions on Circuits and Systems* [en ligne]. Janvier 1988, vol. 35, no. 1, pp. 122-127.
- [60] GITLIN, R D, MEADORS, H C et WEINSTEIN, S B. The Tap-Leakage Algorithm : An Algorithm for the Stable Operation of a Digitally Implemented Fractional Adaptive Space Equalizer. *Bell System Technical Journal* [en ligne]. October 1982. Vol. 61, pp 1817-1839.
- [61] HARRIS, Richare, CHABRIES, Douglas M. et AVERY BISHOP, F. A variable step (VS) adaptive filter algorithm. *IEEE Transactions on Acoustics, Speech, and Signal Processing* [en ligne]. 1986, Vol. 34, n° 2, pp. 309-316.
- [62] ALTERA Corporation. Real-Time Challenges and Opportunities in SoCs Challenge : Doing Ever More in Less Time. March 2013, pp. 1-22. Disponible sur : <https://www.newelectronics.co.uk/article-images/48715/Altera.pdf>
- [63] AFONSO, J. L., FREITAS, M. J.S. et MARTINS, J. S. P-q Theory power components calculations. *IEEE International Symposium on Industrial Electronics* [en ligne]. 2003, Vol. I, pp. 385-390.
- [64] HANNA NOHRA, Antoine. *Commande de Filtres Actifs Parallèles sur un Réseau Fortement Perturbé* [en ligne]. Thèse de doctorat. Toulouse : Université de Toulouse, 2017.
- [65] BITOLEANU, Alexandru et POPESCU, Mihaela. How can the IRP p-q theory be applied for active filtering under nonsinusoidal voltage operation ?. *Przeglad Elektrotechniczny* [en ligne]. 2011, Vol. 87, n° 1, pp. 67-71.
- [66] CZARNECKI, L S. On some misinterpretations of the instantaneous reactive power p-q theory. *IEEE Transactions on Power Electronics* [en ligne]. May 2004, vol. 19, no. 3, pp. 828-836.
- [67] GUO, Xiaoqiang, WU, Weiyang et CHEN, Zhe. Multiple-complex coefficient-filter-based phase-locked loop and synchronization technique for three-phase grid-interfaced converters in distributed utility networks. *IEEE Transactions on Industrial Electronics* [en ligne]. 2011, Vol. 58, n° 4, pp. 1194-1204.

- [68] WANG, Yue et al. A harmonic elimination approach based on moving average filter for cascaded DSTATCOM. IECON Proceedings (Industrial Electronics Conference) [en ligne]. 2014, pp. 4508-4513.
- [69] SHEN, Silun et al. UPQC Harmonic Detection Algorithm Based on Improved p-q Theory and Design of Low-Pass Filter. 2018 IEEE Chinese Control And Decision Conference (CCDC) [en ligne]. 2018, pp. 5156-5160.
- [70] GRABOWSKI, Dariusz et al. Time-invariant and time-varying filters versus neural approach applied to DC component estimation in control algorithms of active power filters. Applied Mathematics and Computation [en ligne]. 2018, Vol. 319, p. 203-217.
- [71] MODARRESI, Javad et al. Performance improvement of shunt active power filter by a new wavelet-based low-pass filter : Theory and implementation. Transactions of the Institute of Measurement and Control [en ligne]. 2018, Vol. 40, n° 1, p. 111-121.
- [72] THIRUMALA, Karthik et al. Visualizing time-varying power quality indices using generalized empirical wavelet transform. Electric Power Systems Research [en ligne]. Elsevier B.V., 2017, Vol. 143, p. 99-109.
- [73] SØRENSEN, J. S. et al. A comparison of IIR and wavelet filtering for noise reduction of the ECG. Computing in Cardiology [en ligne]. 2010, Vol. 37, n° 2010, p. 489-492.
- [74] NANDA, Sarita, CHAKRAVORTY, Tatiana et DASH, P. K. A new Taylor-LMS adaptive filter for parameter estimation of power signals including distributed generation systems. Australian Journal of Electrical and Electronics Engineering [en ligne]. Taylor & Francis, 2016, Vol. 13, n° 3, pp. 174-194.
- [75] GROUT, Ian. Introduction to Digital Signal Processing. in : Digital Systems Design with FPGAs and CPLDs [en ligne]. USA : Springer, 2008, pp 475-536.
- [76] CHAPARRO, Luis F. Introduction to the Design of Discrete Filters [en ligne]. USA : Academic Press, 2011, pp 639-707.
- [77] MEYER-BAESE, Uwe. Digital Signal Processing with Field Programmable Gate Arrays : Signals and Communication Technology [en ligne]. New York : Springer, 2014.
- [78] GAUTAM, Samir et al. Evaluation of fundamental d-q synchronous reference frame harmonic detection method for single phase shunt active power filter. International Journal of Power Electronics and Drive Systems [en ligne]. 2014, Vol. 4, n° 1, p. 112-126.
- [79] RECHKA, Sanae et al. A comparative study of harmonic detection algorithms for active filters and hybrid active filters. Power Electronics Specialists Conference [en ligne]. 2002, Vol 1 no. 3, pp. 357-363.
- [80] SIFUZZAMAN, M, ISLAM, M. R. et ALI, M. Z. Application of Wavelet Transform and its Advantages Compared to Fourier Transform. Journal of Physical Sciences [en ligne]. 2009, Vol. 13, pp. 121-134.
- [81] JAIN, Sachin K. et SINGH, S. N. Fast harmonic estimation of stationary and time-varying signals using EA-AWNN. IEEE Transactions on Instrumentation and Measurement [en ligne]. 2013, Vol. 62, n° 2, pp. 335-343.
- [82] MODARRESI, Javad et al. Improving the SRF method to compensate low-order harmonics under nonsinusoidal network voltages. Turkish Journal of Electrical Engineering and Computer Sciences [en ligne]. 2016, Vol. 24, n° 2, p. 412-426.
- [83] RAHMANI, Bijan et LI, Weixing. Proposing wavelet-based low-pass filter and input filter to improve transient response of grid-connected photovoltaic systems. Energies [en ligne]. 2016, Vol. 9, n° 8, pp. 1-15.
- [84] FALLAH, Mehdi et al. Novel structure for unbalance, reactive power and harmonic compensation based on VFF-RLS and SOGI-FLL in three phase four wire power system. 2015 IEEE Energy Conversion Congress and Exposition, ECCE 2015 [en ligne]. 2015, pp. 6254-6260.
- [85] WIDROW, Bernard et al. Adaptive Noise Cancelling : Principles and Applications. Proceedings of the IEEE [en ligne]. 1975, Vol. 63, n° 12, p. 1692-1716.

- [86] HAYKIN, Simon. Adaptive filter theory. 2nd edition, Englewood Cliffs : Prentice Hall, 1986.
- [87] PROAKIS, John G, RADER, Charles, LING, Fuyun et al. Advanced topics in signal processing. New York : Macmillan, 1992.
- [88] CHERGUI, Laid. Débruitage de la parole par des méthodes basées sur les transformées discrètes [en ligne]. Thèse de doctorat. Sétif : Université de Sétif, 2017.
- [89] SAMBUR, Marvin R. Adaptive Noise Canceling for Speech Signals. IEEE Transactions on Acoustics, Speech, and Signal Processing [en ligne]. 1978, Vol. 26, n° 5, pp. 419-423.
- [90] WINDROW, Bernard et STEARNS, Peter N. Adaptive signal processing. New Jersey : Prentice Hall, 1985.
- [91] SORIA, Emilio et al. A Novel Approach to Introducing Adaptive Filters Based on the LMS Algorithm and Its Variants. IEEE Transactions on Education [en ligne]. 2004, Vol. 47, n° 1, pp. 127-133.
- [92] KWONG, Raymond H. et JOHNSTON, Edward W. A Variable Step Size LMS Algorithm. IEEE Transactions on Signal Processing [en ligne]. 1992, Vol. 40, n° 7, pp. 1633-1642.
- [93] SUBUDHI, B., RAY, P. K. et GHOSH, S. Variable leaky least mean-square algorithm-based power system frequency estimation. IET Science, Measurement and Technology [en ligne]. 2012, Vol. 6, n° 4, pp. 288-297.
- [94] MAYYAS, K. Leaky LMS algorithm : MSB analysis for gaussian data. IEEE Transactions on Signal Processing [en ligne]. 1997, Vol. 45, n° 4, p. 927-934.
- [95] RAY, Pravat Kumar. Signal Processing and Soft Computing Approaches to Power Signal Frequency and Harmonics Estimation [en ligne]. Thèse de doctorat. Inde : Institut nationale de technologie de Rourkela, 2011.
- [96] KWON, Bong Hwan, KIM, Tae Woo et YOUM, Jang Hyoun. A novel SVM-based hysteresis current controller. IEEE Transactions on Power Electronics [en ligne]. 1998, Vol. 13, n° 2, pp. 297-307.
- [97] KARUPPANAN, P., RAM, Saswat Kumar et MAHAPATRA, Kamalakanta. Three level hysteresis current controller based active power filter for harmonic compensation. 2011 International Conference on Emerging Trends in Electrical and Computer Technology, ICETECT 2011 [en ligne]. 2011, pp. 407-412.
- [98] JOSEPH, D, KALAIARASI, N, RAJAN, K. A Novel Reference Current Generation Algorithm for Three Phase Shunt Active Power Filter. In : Power Electronics and Renewable Energy Systems, Lecture Notes in Electrical Engineering [en ligne], 2015, vol 326, pp. 1467-1475.
- [99] CHELLI, Z. et al. Hysteresis control for shunt active power filter under unbalanced three-phase load conditions. Journal of Electrical and Computer Engineering [en ligne]. 2015, Vol., pp 1-9.
- [100] ALLEN, Matthew. Performance Assessment of Model-Driven FPGA- Based Software-Defined Radio Development [en ligne]. Thèse de Master. USA : WORCESTER Polytechnic institute, Aout 2014.
- [101] BACON, David F, RABBAH, Rodric et SHUKLA, Sunil. FPGA programming for the masses. ACM publication [en ligne]. Avril 2013. vol. 11, no. 2, pp. 40-52
- [102] MARQUES, Nicolas. Méthodologie et architecture adaptative pour le placement efficace de tâches matérielles de tailles variables sur des partitions reconfigurables [en ligne]. Thèse de doctorat. Lorraine : Université de Lorraine, 2012.
- [103] MONMASSON, E. et al. Design methodology and FPGA-based controllers for power electronics and drive applications. Proceedings of the 2010 5th IEEE Conference on Industrial Electronics and Applications, ICIEA 2010 [en ligne]. 2010, pp. 2328-2338.
- [104] RODRIGUEZ-ANDINA, Juan J., MOURE, Maria J. et VALDES, Maria D. Features, design tools, and application domains of FPGAs. IEEE Transactions on Industrial Electronics [en ligne]. 2007, Vol. 54, n° 4, pp. 1810-1823.

- [105] RODRIGUEZ-ANDINA, Juan J., VALDES-PENA, Maria D. et MOURE, Maria J. Advanced Features and Industrial Applications of FPGAS : A Review. IEEE Transactions on Industrial Informatics [en ligne]. 2015, Vol. 11, n° 4, pp. 853-864.
- [106] LELONG, Lionel. Architecture SoC-FPGA pour la mesure temps réel par traitement d'image : Conception d'un système embarqué : imageur CMOS et Circuit Logique Programmable [en ligne]. Thèse de doctorat. Saint-Etienne : Université Jean Monnet, 2004.
- [107] ALTERA Corporation. DE1-SoC Getting Started Guide. 2014, pp. 1–29.
Disponible sur : <https://www.intel.com/content/dam/altera-www/global/en-US/portal/dsn/42/doc-us-dsnbk-42-1004282204-de1-soc-user-manual.pdf>
- [108] BENYAMINA, Abderrahmen et MOULAHOU, Samir. FPGA in The Loop Based Single Phase Power Factor Correction. 2019 Progress in Applied Electrical Engineering, PAEE 2019 [en ligne]. 2019, pp. 1-6.
- [109] JAISWAL, Supriya et BALLAL, Makarand S. FDST-based PQ event detection and energy metering implementation on FPGA-in-the-loop and NI-LabVIEW. IET Science, Measurement and Technology [en ligne]. 2017, Vol. 11, n° 4, p. 453 463.
- [110] SHIRVAIKAR, Mukul et BUSHNAQ, Tariq. A comparison between DSP and FPGA platforms for real-time imaging applications. Real-Time Image and Video Processing 2009 [en ligne]. 2009, Vol. 7244, p. 724406.
- [111] MESSAOUDI, Kamel. Traitement des Signaux et Images en Temps Réel : Implantation de H.264 sur MPSoC [en ligne]. Thèse de doctorat. Annaba : Université de Annaba, 2012.
- [112] LYSECKY, Roman et VAHID, Frank. A study of the speedups and competitiveness of FPGA soft processor cores using dynamic hardware/software partitioning. Design, Automation and Test in Europe [en ligne]. 2005, Vol. I, pp. 18-23.
- [113] ALTERA Corporation. SOPC Builder User Guide. December 2010. Disponible sur : www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/qts/qts_qii54003.pdf
- [114] ALTERA Corporation (intel). Platform Designer User Guide, 2018. Disponible sur : <https://faculty-web.msoe.edu/johnsontimoj/Common/FILES/ug-qpp-platform-designer.pdf>
- [115] ALTERA Corporation. Avalon Interface Specifications. May 2011.
Disponible sur : https://schaumont.dyn.wpi.edu/ece4530f19/pdf/mnl_avalon_spec.pdf
- [116] ALTERA Corporation. Overview of Nios II Embedded Development Suite, 2014. Disponible sur : www.intel.com/content/dam/www/programmable/us/en/pdfs/literature/hb/nios2/n2sw_nii52001.pdf
- [117] ALTERA Corporation. NIOS II Processor Reference Handbook, May 2011.
Disponible sur : www-ug.eecg.toronto.edu/msl/manuals/n2cpu_nii5v1.pdf
- [118] ALTERA Corporation. NIOS II Cache and Tightly-Coupled Memory, 2011. Disponible sur : www.intel.co.jp/content/dam/altera-www/global/ja-JP/pdfs/literature/hb/nios2/n2sw-nii52007.pdf
- [119] ALTERA Corporation (intel).Nios II Custom Instruction User Guide, 2017.
Disponible sur : https://www.lri.fr/de/ug_nios2_custom_instruction.pdf
- [120] ALTERA Corporation (intel). Profiling Nios II Systems, July 2011.
Disponible sur : <http://notes-application.abcelectronique.com/038/38-21084.pdf>
- [121] ALTERA Corporation (intel). Accessing HPS Devices from the FPGA , 2017. Disponible sur : https://ftp.intel.com/Public/Pub/fpgaup/pub/Teaching_Materials/current/Tutorials/Accessing_HPS_Devices_from_FPGA.pdf
- [122] ZOGHBI, Abderrezzaq et BERKANI, Daoud. Performance improvement of the shunt active power filter using a novel adaptive filtering approach. Turkish Journal of Electrical Engineering & Computer Sciences. 2021, Vol. 29, n° 1, p. 203-222.
- [123] ZOGHBI, Abderrezzaq et BERKANI, Daoud. FPGA in the loop implementation of an adaptive-filtering based control of shunt active power filter. 7th IEEE International Conference on Engineering Technologies and Applied Sciences, ICETAS 2020. IEEE, 2020, pp. 7-11.