

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE

MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA RECHERCHE



Ecole Nationale Polytechnique

Département D'Automatique



THÈSE

Pour l'obtention du

**DIPLÔME D'INGÉNIEUR EN
AUTOMATIQUE**

*Etude et Commande d'un
Convertisseur Z-Source*

Proposée par: Pr.Em.Berkouk

Etudiée par:

BOUSHABA Abdelouahab

et

SANET Arezki

Promotion Juin 2014

ملخص

الهدف من هذا المشروع هو دراسة شبكة Z-source, التحكم في الفولطية الرابطة بين الجزء المستمر من الدارة و الجزء المتناوب و كذلك إنشاء محول مستمر-مستمر ذو Z-source. في البداية تم باشتقاق نموذج الاهتزازات الصغيرة عن طريق تقنية معدل الفضاء الحالي, و الذي تم استعماله في المحاكاة و مقارنة النتائج مع النموذج الحقيقي الذي أنشئ باستعمال SimPower. قمنا بإتباع طريقة التحكم في الفولطية لإنشاء المتحكم PID و كذلك التحكم عن طريق المنطق الغامض. تم كذلك دراسة طرق رفع الفولطية المبتكرة المستعملة في محولات مستمر-متناوب ذات شبكة Z-source, و استعمال المتحكم PID لضبط فولطية الربط بين جزئي الدارة المستمر و المتناوب. قمنا كذلك بإنشاء محول مستمر-مستمر ذو شبكة Z-source و تجربته عن طريق لوحة HUMUSOFT MF624.

كلمات مفتاحية

شبكة Z-source, معدل فضاء الحالة, نموذج الاهتزازات الصغيرة, فولطية الربط, المنطق الغامض, طرق رفع الفولطية المبتكرة.

Abstract

Z-Source Converter is novel power converter topology based on relating the switching circuit to the power source using an impedance network that makes the use of “Shoot-Through” state possible which results in a high boosting performance and eliminate the risk of damaging the switches. The aim of this project is to study the Z-source network, control the dc-link voltage and produce a DC-DC Z-Source converter. The small signal model was derived using state space averaging technique, this model was simulated and the results were compared with the switching circuit created with SimPower/ MATLAB tool. A Voltage Mode control of the dc-link voltage was conceived using a PID controller; also a fuzzy logic controller was created and improved for the same purpose. The two controllers were compared based on performance and robustness. The modified PWM were discussed and the boosting techniques were discussed. The PID controller was used along with a Simple Boost controlled Z-Source Inverter. Finally, a Z-Source DC-DC converter was produced and tested using the acquisition card HUMUSOFT MF624.

Key words : Z-Source, Shoot-Through, state space averaging, small signal model, dc-link voltage, PID, fuzzy logic, modified PWM, boosting methods, acquisition card, voltage mode control.

Résumé

Le but principal de ce projet est d'étudier le circuit Z-Source, commander la tension de sortie et réaliser un hacheur à Z-Source. On a élaboré un modèle d'état moyen puis le modèle à petits signaux du ZSC, ce modèle a été simulé moyennant un programme MATLAB, et les résultats ont été comparés avec un circuit construit avec l'outil SimPower de MATLAB. Une commande en tension par PID de la tension de sortie a été construite en se basant sur l'estimation de cette dernière par mesure de la tension du condensateur et la tension d'entrée. Et pour le même but, une commande non linéaire par logique floue a été conçue. Les simulations ont permis de valider les commandes et les comparer en termes de performance et robustesse. Ensuite, un onduleur à Z-Source a été étudié en exposant la théorie des méthodes de survoltage et l'insertion de l'état « Shoot Through » à la MLI conventionnelle. Par la suite, le régulateur PID a été utilisé pour réguler la tension du bus continu virtuelle pour assurer la qualité des tensions de sortie de l'onduleur commandé par la méthode Simple Boost. Finalement, un hacheur à Z-Source a été réalisé et testé moyennant la carte d'acquisition HUMUSOFT MF624 et les résultats ont été comparés avec la simulation.

Mots Clés : Z-Source, Shoot-Through, modèle moyen, modèle à petits signaux, bus continu virtuelle, régulation, PID, régulateur flou TSK, méthode de survoltage, MLI modifiée, carte d'acquisition.

Remerciements

Louange à ALLAH, Seigneur de l'univers, le tout miséricordieux, le très miséricordieux, pour nous avoir accordé le savoir, le courage, la patience, la volonté et la force nécessaire pour affronter toutes les difficultés et les obstacles, durant toutes nos années d'études.

Nous profitons à remercier du cœur nos professeurs qui nous ont transmis le tison de la connaissance.

*Nous tenons à exprimer aussi nos vives gratitudee à notre promoteur **Pr EM. BERKOUK** pour avoir proposé ce sujet, ses précieux conseils et son aide tout au long de notre travail.*

Nous remercions très chaleureusement les membres du jury pour l'honneur qu'ils nous ont fait en acceptant d'examiner notre travail.

Enfin, tous nos remerciements à toutes les personnes qui ont contribué de près ou de loin pour l'accomplissement de ce travail.

*To my dear parents, brothers and all the BOUSHABA-BOUZENADA
family,*

Abdelouahab

Je dédie ce travail :

A

Mon Grand-père 'vava Ahmed', que dieu apaise son âme Allah erahmou

Ma chère Grand-Mère 'yemma yamina'

Mes précieux parents: qu'Allah les protègent, qui ont toujours cru en moi et qui m'ont accompagné moralement tout au long de mes études

mes frères : Lyes, Lounes, Hakim et Kousseila

Mes sœurs : Fatma et Farida ainsi son mari Kamel et leur petite poussine

MALAK

Mon cousin Medjbour Rafik

Mon ami Boushaba Abdelouahab et sa famille

tout mes oncles, tantes, cousins et cousines:

surtout Khali hamid et ammi remdhan

toutes Les familles: Sanet, Sana, Samah, Medjbour, Sellah, Kermadi, Djoudi, Adel, Khettar, Hasni, Hammoudi, Smaoui, Zamenzer, Chahet, Belloul, Dekiche, Kadem.

A Tout mes amis dès l'enfance : du primaire (Ighil el vir), moyen (Ait Yahia Moussa), secondaire (Draa el mizan), ENPEI-rouiba , ENITA et ENP d'Alger.

Et à tous ceux qui m'aiment et j'aime

Arezki

Table des matières

1	Etat de l'art	5
2	Modélisation du Convertisseur Z-Source	10
2.1	Introduction	10
2.2	Principe de fonctionnement	11
2.2.1	Etat 1 : Shoot-through	11
2.2.2	Etat 2 :Etat Actif	12
2.2.3	Etat 3 : Zero State	13
2.2.4	Etat 4	13
2.2.5	Facteur de survoltage B	13
2.3	Modèle à petits signaux du ZSC	15
2.3.1	Le modèle moyen	15
2.3.2	Modèle à petits signaux	18
2.4	Vérification du Modèle	20
3	Commande d'un Convertisseur Z-Source	23
3.1	Introduction	23
3.2	Commande en Tension (Voltage Mode Control)	23
3.2.1	Commande linéaire	24
3.2.2	Commande non linéaire	33
3.2.3	Comparaison $PID - TSK$	41
4	Étude et commande d'un onduleur Z source	42
4.1	Introduction	42
4.2	Convertisseur DC-AC (Onduleur) conventionnel	42
4.2.1	Modélisation du filtre LC à la sortie du ZSI	44
4.3	L'état Shoot-Through	45
4.4	Commande MLI classique et MLI modifiée	46
4.4.1	MLI classique	46
4.4.2	MLI modifiée	47
4.5	Méthodes de survoltage (boosting methods)	48
4.5.1	Simple boost	48

4.5.2	Maximum boost	49
4.5.3	Constant maximum boost	50
4.6	Résultats de simulations des différentes méthodes	53
4.6.1	simulations de la commande simple boost	53
4.6.2	Simulations de la commande maximum boost	56
4.6.3	Simulations de la commande constant maximum boost	59
4.6.4	Conclusion des simulations	62
4.7	Résultats de simulation en boucle fermée	62
4.7.1	Conclusion de la simulation	65
4.8	Caractérisation de la tension fournie par l'onduleur	65
4.8.1	Qualité du signal de sortie	65
4.8.2	Analyse spectrale	66
4.9	Comparaison de voltage stress	69
4.10	Conclusion	70
5	Étude expérimentale	71
5.1	Introduction	71
5.2	Généralités sur la carte Humusoft MF624	71
5.2.1	Applications typiques	71
5.2.2	Commande en temps réel	72
5.2.3	La boite à outils de temps réel d'HUMUSOFT	72
5.2.4	Bibliothèques pour MATLAB	72
5.2.5	La carte	72
5.2.6	Plaque à bornes TB620 Universelle	73
5.3	Exemple d'application (Hacheur Buck)	74
5.4	Dimensionnement de réseau d'impédance Z source	74
5.4.1	préambule	74
5.4.2	Caractéristique du circuit de puissance	75
5.4.3	Dimensionnement de l'inductance L	75
5.4.4	Dimensionnement de la capacité	76
5.4.5	Choix des interrupteurs	76
5.5	Résultats	76
5.6	Conclusion	79

Table des figures

1.1	Méthode de commande Indirecte	6
1.2	Méthode de commande Directe	7
1.3	Nouvelle Méthode de Commande	7
1.4	Z-Source [18]	8
1.5	Quasi Z-Source [18]	8
1.6	Switched Inductance ZS [19]	8
1.7	ZS intégré au variateur de vitesse [3]	9
1.8	Onduleur à ZS	9
1.9	Hacheur à ZS	9
2.1	Schéma simplifié d'un onduleur ZSC	11
2.2	Etat Shoot-Through	12
2.3	Etat Actif	12
2.4	$B = f(D)$	14
2.5	Circuits équivalents (Modèle à petits signaux)[15]	19
2.6	Tension du bus continu (Espace d'état)	21
2.7	Tension du bus continu (Modèle Réel)	21
2.8	Variables d'état (Espace d'état)	21
2.9	Variable d'états(Modèle Réel)	21
2.10	Tension du bus continu	22
2.11	Tension des deux Condensateurs	22
3.1	Onduleur Conventionnel	24
3.2	Boucle de Réglage	26
3.3	Réponse Indicielle BO	27
3.4	Réponse Indicielle BF	28
3.5	Diagramme de Bode, lieu des racines	28
3.6	Tension V_{dcn}	29
3.7	Tension du bus continu	29
3.8	Tension v_C du condensateur	29
3.9	Courant passant par l'inductance (I_L)	29
3.10	Ecart de réglage	29

3.11	Signal de commande(D)	29
3.12	Tension V_{dcn} (Commande limitée)	30
3.13	Tension V_{dcn} (Commande non limitée)	30
3.14	Commande limitée	30
3.15	Commande non limitée	30
3.16	Dynamique du systeme sans limitation	31
3.17	Dynamique du système avec limitation	31
3.20	Tension v_{dcn} et V_g	32
3.18	Ecart de réglage	32
3.19	Signal de commande (D)	32
3.21	l'écart de réglage	33
3.22	Commande et Perturbation	33
3.23	Principe de la Commande floue	34
3.24	Fonctions d'appartenance de la variable e	35
3.25	Fonctions d'appartenance de la variable δe	36
3.26	Surface flou ($D = 0.25$)	37
3.27	Tension du bus continu	38
3.28	Tension v_{dcn}	38
3.29	Tension du Condensateur	38
3.30	Ecart de réglage	38
3.31	Courant passant par l'inductance	38
3.32	Signal de commande (D)	38
3.33	Tensions v_{dcn} et v_g	39
3.34	Ecart de réglage	39
3.35	Tension V_{dcn}	39
3.36	Ecart de réglage	40
3.37	Commande	40
3.38	Ecart de réglage	41
3.39	Signal de commande	41
4.1	transformation continue/alternative	42
4.2	onduleur à deux niveaux (IGBT)	43
4.3	Schéma monophasé équivalent du filtre LC	45
4.4	Structure générale d'un ZSI	46
4.5	commande MLI conventionnelle	46
4.6	MLI conventionnelle	48
4.7	MLI modifiée	48
4.8	La commande simple boost [13]	49

4.9	La commande maximum boost	50
4.10	Maximum constant boost avec injection la troisième harmonique[24]	51
4.11	La commande constant boost	51
4.12	Maximum constant boost avec injection la troisième harmonique	52
4.13	G(M) pour les différentes méthodes de survoltage	53
4.14	Signaux de commande (SB)	54
4.15	Les signaux de commande (interrupteurs inférieures)	54
4.16	La tension V_{dc} de bus continu virtuel	54
4.17	La tension V_{dc} de bus continu virtuel ► zoom	54
4.18	Les tensions simples non filtrées	55
4.19	Les tensions simples filtrées	55
4.20	Les courants non filtrés	55
4.21	Les courants filtrés	55
4.22	Les signaux de commande (MB)	56
4.23	Les signaux de commande des interrupteurs inférieures	56
4.24	Rapport entre G_{mb} et G_{sb}	57
4.25	La tension V_{dc} de bus continu virtuel	57
4.26	La tension V_{dc} de bus continu virtuel ► zoom	57
4.27	Les tensions simples non filtrées	58
4.28	Les tensions simples filtrées	58
4.29	Les courants non filtrés	58
4.30	Les courants filtrés	58
4.31	Le courant I_L au niveau de l'inductance L	59
4.32	Le courant I_L au niveau de l'inductance L ► zoom	59
4.33	Les signaux de commande (CB)	59
4.34	Les signaux de commande des interrupteurs inférieures	59
4.35	Rapport entre G_{cb} et G_{sb}	60
4.36	La tension V_{dc} de bus continu virtuel	60
4.37	La tension V_{dc} de bus continu virtuel ► zoom	60
4.38	Les tensions non filtrées	61
4.39	Les tensions simples filtrées	61
4.40	Les courants non filtrés	61
4.41	Les courants filtrés	61
4.42	Le courant I_L au niveau de l'inductance L	62
4.43	Le courant I_L au niveau de l'inductance L ► zoom	62
4.44	Les signaux de commande (SB)	63
4.45	les signaux de commandes des interrupteurs inférieures	63
4.46	La tension V_{dc} et V_{dcn} de bus continu virtuel	63

4.47	La tension aux niveau du condensateur	63
4.48	Les tensions simples non filtrées	64
4.49	Les tensions simples filtrées	64
4.50	Les courants non filtrés	64
4.51	Les courants filtrés	64
4.52	Le courant I_L et $I_{L-filtre}$ au niveau de l'inductance L	65
4.53	Le courant I_L et $I_{L-filtre}$ au niveau de l'inductance L ► zoom	65
4.54	Spectre de la tension simple avant filtarge	66
4.55	Spectre de la tension simple après filtarge	67
4.56	Spectre du courant avant filtarge	68
4.57	Spectre du courant après filtarge	68
4.58	$k_{stress}(G)$ pour les différentes méthodes de survoltage	69
5.1	La carte MF624 Humusoft [39]	73
5.2	La plaque à borne TB620	73
5.3	modèle sous Simulink	74
5.4	La tension de sortie d'un hacheur Buck	74
5.5	Schéma simplifié d'un onduleur ZSC	77
5.6	le signal de commande (sortie de la carte) <i>MF624</i> (0.1ms/Div)(1V/Div)	77
5.7	Signal de commande (sortie du HCPL-3120)(0.1ms/Div)(5V/Div)	77
5.8	la tension V_{dc} (Simulation)	78
5.9	la tension V_{dc} (circuit réel (0.1ms/Div)(5V/Div)	78
5.10	Ondulations de la tension V_{c1} (simulation)	78
5.11	Ondulation de la tension V_{c1} (circuit réel)(0.2ms/Div)(0.1V/Div)	78
5.12	Ondulations de la tension V_{c2} (simulation)	79
5.13	Ondulation de la tension V_{c1} (circuit réel)(0.2ms/Div)(0.1V/Div)	79

Liste des tableaux

2.1	Parametres de simulation	20
2.2	Valeurs d'équilibre	22
3.1	Table des Paramètres	26
3.2	Fonctions de Transfert	26
3.3	Valeurs d'équilibre	26
3.4	Règles d'inférence	36
4.1	données de simulation des méthodes de survoltage en boucle ouverte	53
4.2	caractéristiques du filtre	53
4.3	La variation du THD en fonction de D	56
4.4	Paramètres de simulation en boucle fermée	63
5.1	paramètres de système choisis	76

Abréviations et symboles

<i>PV</i>	Photovoltaïque	
<i>SCP</i>	Système de conditionnement de puissance	
<i>ZS</i>	Z-source	
<i>ZSC</i>	Hacheur à Z-source	
<i>ZSI</i>	Onduleur à Z-source	
<i>PID</i>	Régulateur Proportionnel, Intégral et Dérivé	
<i>TSK</i>	Takagi-Segeno-Kuang	
<i>MLI</i>	Modulation de Largeur d'Impulsion	
<i>ESR</i>	Résistance Equivalente en Série	
<i>D</i>	Rapport cyclique de Shoot-Through	
<i>PI</i>	Régulateur Proportionnel Intégral	
<i>PD</i>	Régulateur Proportionnel Dérivé	
v_{dc}	Tension de bus continu	<i>V</i>
<i>ESL</i>	Inductance Equivalente en Série	
L_1	Inductance du réseau ZS	<i>H</i>
i_{L1}	Courant de l'Inductance L_1	<i>H</i>
I_{L1}	Courant moyen de l'Inductance L_1	<i>A</i>
L_2	Inductance du réseau ZS	<i>H</i>
i_{L2}	Courant de l'Inductance L_2	<i>A</i>
I_{L2}	Courant moyen de l'Inductance L_2	<i>A</i>
C_1	Capacité du premier condensateur du ZS	<i>F</i>
v_{C1}	Tension du premier condensateur du réseau ZS	<i>V</i>
V_{C1}	Tension moyenne du premier condensateur de ZS	<i>V</i>

C_2	Capacité du deuxième condensateur du ZS	F
v_{C2}	Tension du premier condensateur du réseau ZS	V
V_{C2}	Tension moyenne du premier condensateur de ZS	V
V_g	Tension d'entrée	V
i_g	Courant d'entrée	A
i_l	Courant de charge	A
L_l	Inductance de la charge	H
R_l	Résistance de la charge	Ω
V_{dcn}	Tension maximale du bus continu	V
S_1	Interrupteur S_1	
S_2	Interrupteur S_2	
T_0	Durée de Shoot-Through	s
T	Période de Commutation	s
B	Facteur de survoltage	
MCC	Mode de conduction continu	
\hat{i}_{L1}	Perturbation du courant de l'Inductance L_1	A
\hat{i}_{L2}	Perturbation du courant de l'Inductance L_2	A
\hat{v}_{C1}	Perturbation de la tension du premier condensateur	V
\hat{v}_{C2}	Perturbation de la tension du deuxième condensateur	V
\hat{d}	Perturbation du rapport cyclique de Shoot-Through	
\hat{i}_l	Perturbation du courant de charge	A
\hat{v}_g	Perturbation du tension d'entrée	V
G_{vg}	Fonction de transfert entre \hat{v}_g et \hat{v}_c	
G_{vd}	Fonction de transfert entre \hat{d} et \hat{v}_c	
G_{ig}	Fonction de transfert entre \hat{v}_g et \hat{i}_L	
G_{id}	Fonction de transfert entre \hat{d} et \hat{i}_L	
V_{ac}	Amplitude de la tension simple alternative	V
M	Taux de modulation	
G_{vnd}	Fonction de transfert entre \hat{d} et \hat{v}_{dcn}	
G_{vng}	Fonction de transfert entre \hat{v}_g et \hat{v}_{dcn}	
PM	Marge de phase	degré
GM	Marge de Gain	dB

G_r	Fonction de transfert du régulateur	
e	Ecart de réglage	
δe	Dérivée de l'écart de réglage	
v_{ref}	Tension de référence	V
β	degré d'activation du règle flou	
D_{reg}	Commande à la sortie de régulateur	
S_i	l'interrupteur i ème d'un onduleur triphasé à deux niveaux	
U_{ab}, U_{bc}, U_{ca}	Tensions composées de sortie de l'onduleur	V
V_{an}, V_{bn}, V_{cn}	Tensions simples à la sortie de l'onduleur	V
i_a, i_b, i_c	Courants fondamentaux à la sortie de l'onduleur	A
I_m	Amplitude de courant	A
ω	Fréquence angulaire	rad/s
ϕ	Déphasage entre le courant et la tension de phase	$degré$
H_s	Fonction de Transfert du filtre	
L_f	Inductance du filtre	H
r_f	Résistance de fuite de l'inductance L_f	Ω
C_f	Capacité du filtre	C
ξ	Coefficient d'amortissement du filtre	
ω_n	Pulsation propre du filtre	rad/s
m	Indice de modulation	
f_p	Fréquence de la porteuse	Hz
f	Fréquence de la tension de référence	Hz
V_{ref}	Amplitude de la tension de référence	V
V_p	Amplitude de la porteuse	V
n	Nombre de Niveaux	
VSI	Onduleur à source de tension	
CSI	Onduleur à source de courant	
G	Gain de survoltage	
SB	Simple Boost	
MB	Maximum Boost	
CB	Constant Boost	

T_0	Durée du Shoot-Through	s
$f_{coupure}$	Fréquence de Coupure	Hz
THD	Taux de Distorsion d'Harmonique	
G_{sb}	Gain de la méthode SB	
G_{mb}	Gain de la méthode MB	
G_{cb}	Gain de la méthode CB	
R_1	Rapport entre G_{mb} et G_{sb}	
R_2	Rapport entre G_{cb} et G_{mb}	
V_s	Tension de Stress (Voltage stress)	V
K_{stress}	Rapport de la Tension Stress	
E/S	Entrée/sortie	
HIL	Hardware in the Loop	
RTT	Real Time Target	
A/N	Analogique/Numérique	
N/A	Numérique/Analogique	
PCI	Parallel	
P	Puissance de la source	
\hat{V}_{dc}	Tension moyenne de bus continu	V
f_c	fréquence de commutation	Hz

Introduction

A nos jours, la demande d'énergie est en augmentation accentuée et continue. Les ressources traditionnelles (Les énergies fossiles et le nucléaire) sont limitées et la pollution causée par leur usage a créé une grande polémique et ouvert un débat global sur les meilleures voies du développement durable et l'avenir des générations futures.

Les regards sont tournés aujourd'hui vers des sources alternatives d'énergie, comme le soleil, le vent, la biomasse, et la mer...etc. Après une grande hésitation dans les décennies précédentes, ces énergies propres se sont imposées comme porteuses d'une promesse d'un développement plus responsable de l'environnement.

Prenons l'exemple de l'énergie solaire dont les systèmes *PV* connectés au réseau sont en croissance de 25% par an [1], cette énergie venant du soleil est gratuite, le coût de son exploitation est principalement composé des coûts des panneaux photovoltaïques et l'étape de conversion précédant la distribution appelée autrement le système de conditionnement de puissance (*SCP*). Avec le développement des technologies des cellules photovoltaïques, le prix des panneaux solaires a connu une chute dramatique. Des statistiques mondiales ont montrées que dans les trois dernières années, le prix unitaire des panneaux solaires a chuté de 16.95% [1]. Hors que, les prix des *SCP* sont restés presque constants.

Les énergies renouvelables sont des sources inépuisables, cependant elles ne sont pas bien adaptées pour les applications mobiles (*Véhicules hybrides*), c'est pour cela que les piles à combustible se présentent comme une meilleure source d'énergie portable.

La nature variable de l'énergie électrique issue de ces sources, nécessite des étages d'adaptation qui permettent une utilisation optimale adaptée aux différentes applications et assurent un transfert de qualité de l'énergie produite.

Ainsi, les convertisseurs statiques associés à leurs commandes sont devenus incontournables dans les dispositifs actuels de conversion d'énergie électrique. Cet état de fait a très tôt poussé les concepteurs de commandes à contrôler finement les variables électriques en sortie des convertisseurs statiques (*tensions et courants*), car de ces dernières découlent directement la qualité des commandes ultérieures telles que le couple et la vitesse dans le cas du

pilotage d'un actionneur ou encore des flux de puissances active et réactive dans le cas du contrôle d'un générateur raccordé au réseau.[2]

Des recherches ont été élaborés pour améliorer les convertisseurs de puissance en terme d'efficacité, coût et volume. Avec le développement d'une électronique de puissance spécifique dédiée aux applications d'énergies renouvelables, beaucoup de systèmes de conversion innovants ont été conçus, notamment des onduleurs ayant un étage d'adaptation en entrée. Cet étage d'adaptation est généralement un convertisseur *DC-DC*, et malgré que cette structure est amplement utilisée, elle n'est pas dépourvue d'inconvénients :

- Encombrement du *SCP*.
- Réduction d'efficacité.
- Et augmentation du coût de construction du *SCP*.

Une autre structure plus récente qui permet de surmonter les problèmes mentionnés a été proposée en 2002, c'est le Convertisseur *Z-source*.

Dans ce mémoire, nous présenterons dans un premier temps un état d'art sur les convertisseurs à *Z-source*, en se basant sur les derniers travaux de recherche.

Dans le second chapitre, le principe de fonctionnement du hacheur *Z-source* sera détaillé et poursuivi de sa modélisation.

Dans le Troisième chapitre, la commande du hacheur *Z-source* sera abordée. Un régulateur *PID* et un contrôleur flou de type *TSK* seront conçus.

Le quatrième chapitre, quant à lui, sera consacré à l'étude et la commande de l'onduleur *Z-source* à deux niveaux, les MLI modifiées seront décortiquées.

Les résultats de simulations seront exposés à la fin de chaque chapitre pour valider la théorie développée.

Finalement, dans le cinquième chapitre, nous présentons les étapes de réalisation d'un hacheur *Z-source*, et sa mise en marche moyennant une carte d'acquisition E/S *MF624* de la firme *HUMUSOFT*.

Nous terminerons ce présent travail par une conclusion générale et quelques perspectives de recherche envisagées.

Chapitre 1

Etat de l'art

Le *ZSC* a été proposé pour la première fois en 2002 en [3], une étude montrant le principe de fonctionnement d'un onduleur couplé avec la source à travers le réseau d'impédances *ZS* afin d'éviter l'utilisation d'un étage d'adaptation de la tension (Hacheur).

Depuis l'apparition de cette nouvelle topologie de convertisseurs de puissance qui s'est montrée prometteuse d'un meilleur rendement, un coût diminué et un volume réduit ; des modélisations plus ou moins complexes ont été élaborées.

Un modèle à petits signaux a été déduit en [4] afin de trouver la fonction de transfert entre la tension de la source continue et la tension du condensateur. Cette étude a été basée sur la technique d'espace d'état moyen.

Un compromis doit être fait entre complexité et précision du modèle construit, l'utilisation de ce modèle et les ressources de simulation constituent le facteur principal du choix entre un modèle complexe et précis, et un modèle moins complexe mais moins précis.

Une modélisation prenant compte des imperfections des composants passifs a été discutée en [5], les résistances série équivalentes (*ESR*) des condensateurs et inductances ont été incluses dans le modèle. Le but était de déduire des fonctions de transfert plus précises, qui décrivent le comportement dynamique de la tension du condensateur et le courant passant par l'inductance, cette dynamique constitue la réponse à une commande *D* (*rapport cyclique*) et une tension d'entrée (*Source*).

Les imperfections des interrupteurs ont été aussi prises en considération dans le développement du modèle en [6].

Lors de la conception de la commande, on considère généralement que le convertisseur fonctionne en mode de conduction continu, et pour cela une étude a été faite en [7] pour trouver les limites entre le mode de conduction continu et le mode discontinu. Aussi, les relations régissant les pertes de puissance dans les différents composants du *ZSC* ont été déduites.

Deux principaux mode de commande ont été décortiqué dans la littérature, ce sont le mode de commande en tension et le mode de commande en courant, une étude comparative entre ces deux modes a été effectuée en [8], montrant la différence d'efficacité et de complexité des régulateurs conçus pour l'application de chacun des modes.

Différents types de régulateurs ont été conçus pour commander la tension de sortie du réseau

d'impédances, la méthode du *Loop Shaping* a été utilisée en [9] afin de construire la boucle interne de la commande en courant, un régulateur *PI* a été choisi pour la boucle extérieure. La commande en tension a été faite par un régulateur *PID*. Un régulateur *PD* avec Auto-Ajustement Flou des paramètres a été proposé en [10] afin de commander la tension de sortie d'un onduleur *ZS* moyennant la commande *Simple Boost*. La commande par mode glissant a été exploitée en [11] pour réguler la tension du bus continu d'un onduleur *ZS*.

La commande de la tension du bus continu du convertisseur *ZS* se fait en suivant deux principales stratégies de commande : la méthode directe et la méthode indirecte. Ces deux méthodes de commande présentent une bonne réponse transitoire en terme de suivi de référence et de rejet de perturbation, hors qu'il existe des limitations qui peuvent être résumé comme suit :

1. méthode Indirecte

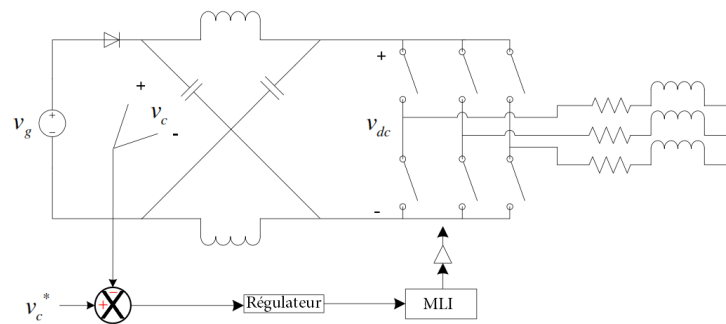


Figure 1.1: Méthode de commande Indirecte

La méthode indirecte proposée en [12][13] consiste à commander la tension du bus continu v_{dc} moyennant la tension de la capacité du réseau d'impédances *ZS* (Figure 1.1). La tension moyenne du condensateur est gardée constante en utilisant une compensation.

Mais, il a été montré qu'il n'est pas possible de garder la tension v_{dc} constante en agissant seulement sur la tension du condensateur. Par exemple, dans le cas d'une perturbation de la tension d'entrée, la tension du condensateur va être constante, mais on aura un changement dans la valeur de la tension v_{dc} . Ce changement est indésirable car il affecte la tension alternative à la sortie de l'onduleur, ce qui peut nous forcer à changer le taux de modulation. Cela peut causer plus de stress sur les interrupteurs et une distorsion dans la tension de sortie.

2. Méthode Directe

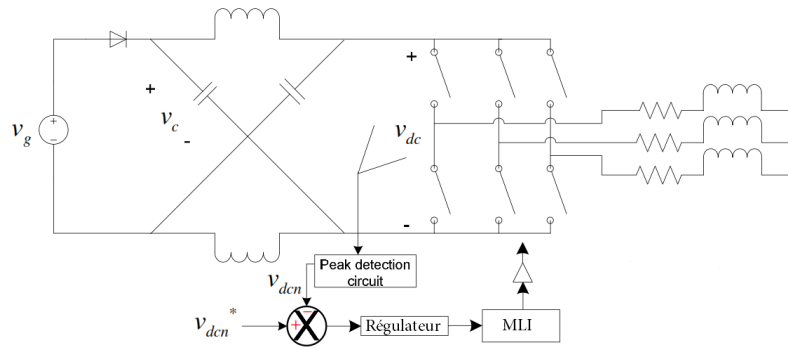


Figure 1.2: Méthode de commande Directe

Afin de garder constante la tension v_{dc} , une méthode basant sur la mesure directe de cette dernière a été introduite dans [14], la figure (1.2) montre le principe de cette méthode de commande. A cause de la nature pulsative de la tension v_{dc} , la mesure directe nécessite l'ajout d'un circuit de détection de pic (Peak Detection Circuit) ce qui encombre le circuit de commande. La méthode est discutée en détail dans [14].

Une nouvelle méthode de commande de la tension v_{dc} sans mesure directe et en évitant les inconvénients de la mesure indirecte a été proposée dans [15]. Cette méthode est basée sur la mesure de la tension d'entrée et du condensateur afin d'estimer la valeur pic de la tension v_{dc} . (Figure 1.3)

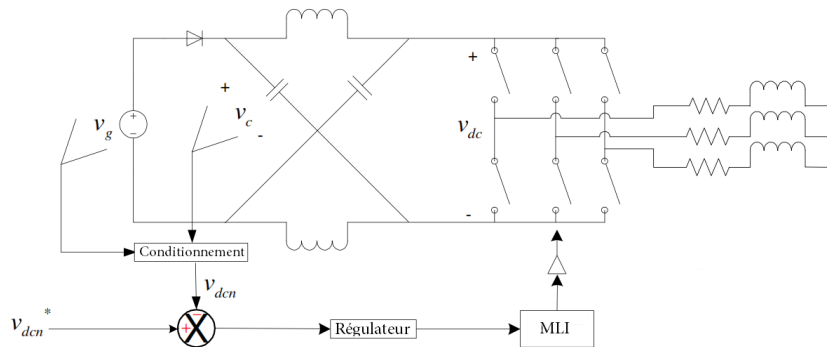


Figure 1.3: Nouvelle Méthode de Commande

Dans le cas de l'onduleur à *Z-source* (*ZSI*), l'utilisation des *MLI* traditionnelles ne permet pas de bénéficier de l'état *Shoot-Through*, pour cela, des *MLI* modifiées ont été proposées en [16] ou on insère l'état *Shoot-Through* sans influencer les états de transfert d'énergie, c'est-à-dire sans modifier le taux de modulation. Une nouvelle *MLI* vectorielle

permettant d'assurer le bon fonctionnement de l'onduleur ZS a été discutée dans [17].

Pendant que la modélisation et les commandes mentionnées précédemment sont conçues en se basant sur la structure originale du ZS , d'autres travaux se penchent sur l'amélioration de la structure même du réseau d'impédances. Ainsi, de nouvelles topologies ont été proposées, notamment le *Quasi-ZS* avec ces variantes discutées en [18] et le *SL-ZS* (*Switched Inductance ZS*) décortiqué en [19].

(Figures 1.4, 1.5, 1.7)

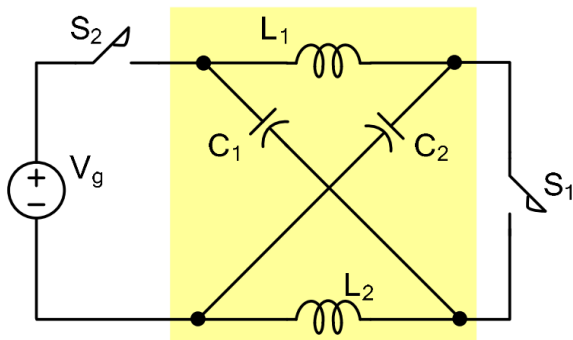


Figure 1.4: Z-Source [18]

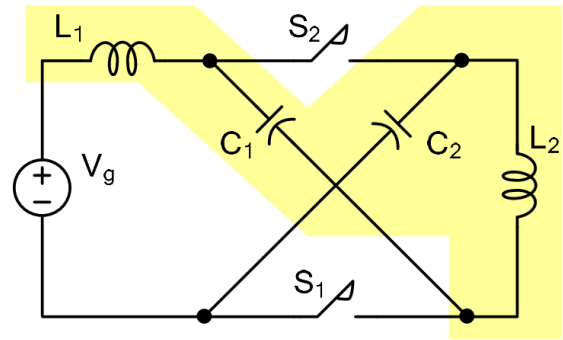


Figure 1.5: Quasi Z-Source [18]

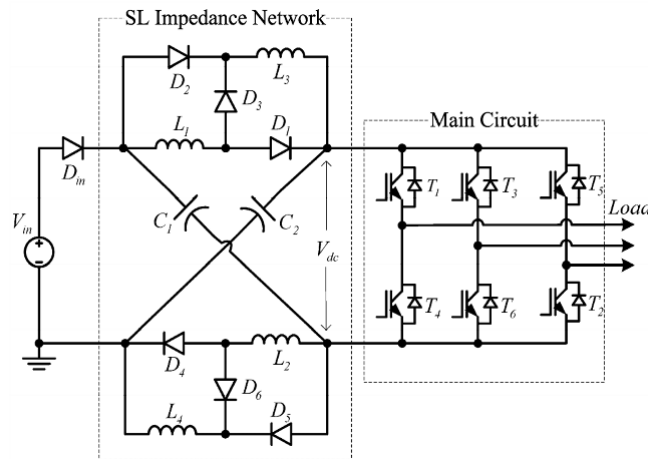


Figure 1.6: Switched Inductance ZS [19]

La possibilité d'adapter le réseau ZS à tous les convertisseurs de puissance, permet de l'utiliser dans une large série d'applications, notamment les énergies renouvelables [20] ou bien les applications mobiles comme les véhicules hybrides [21].

Une autre utilisation du ZS est dans les variateur de vitesse, en intégrant le réseau d'impédances entre le redresseur et l'onduleur, on peut avoir une tension de sortie supérieure à la tension

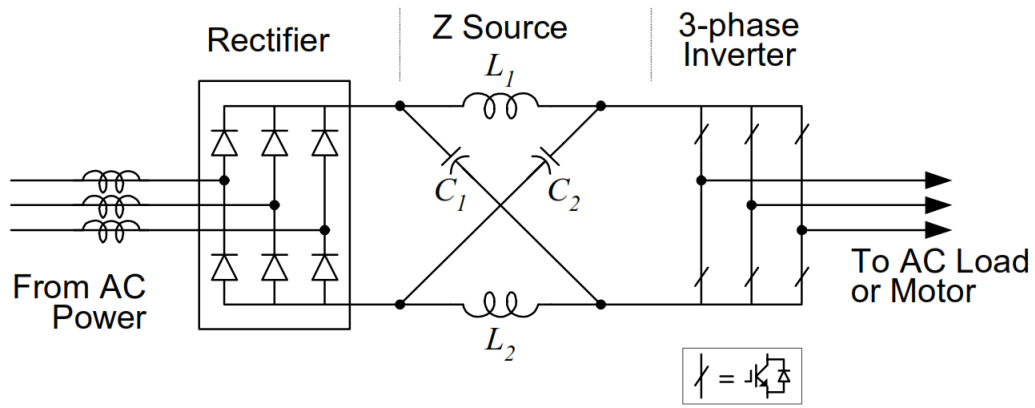


Figure 1.7: ZS intégré au variateur de vitesse [3]

AC d'entrée.[3]

Généralement lorsqu'on parle d'un convertisseur à Z-source, on veut dire un onduleur à ZS, parce que la première utilisation avait pour but de booster la tension d'entrée d'un onduleur tout en éliminant l'étage du convertisseur DC-DC (Figure 1.8).

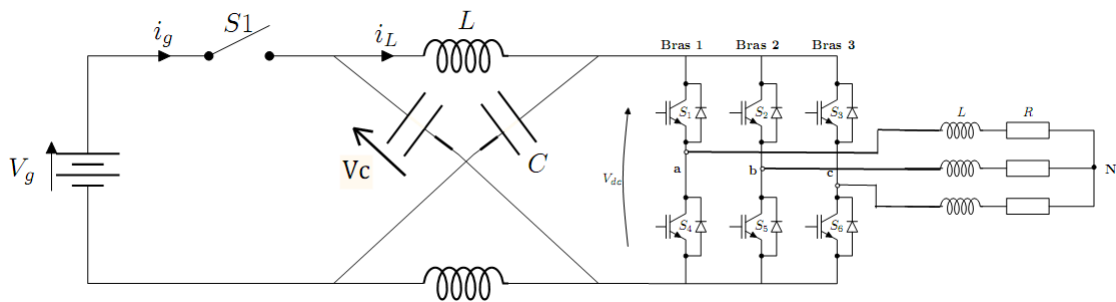


Figure 1.8: Onduleur à ZS

Cependant, il suffit de remplacer les bras de l'onduleur par un seul interrupteur parallèle pour avoir une structure d'un hacheur *boost* *te buck* en même temps : C'est le Hacheur à *Z-source*.(Figure 1.9)

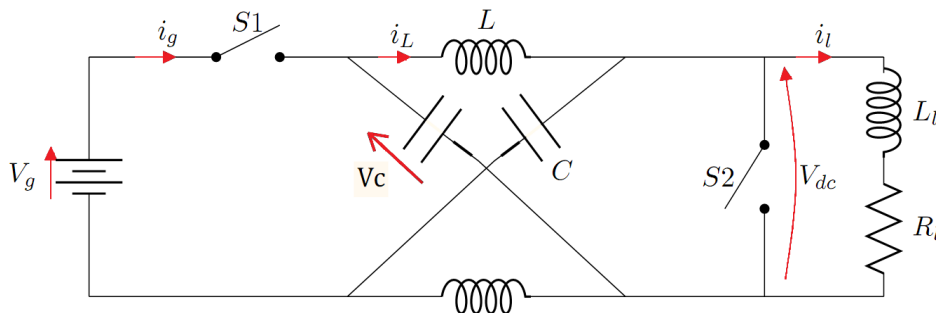


Figure 1.9: Hacheur à ZS

Modélisation du Convertisseur Z-Source

2.1 Introduction

La modélisation est une étape indispensable qui doit précéder toute phase de dimensionnement, de simulation ou d'optimisation. Ce chapitre discute principalement la modélisation du *ZSC*, cette dernière est développée pour un objectif, d'être appliquée dans plusieurs architectures de convertisseurs de puissance. Dans ce chapitre, nous allons premièrement extraire les équations régissant le système et développer le modèle moyen du *ZSC*, ensuite, le modèle à petits signaux qui sera utilisé dans le chapitre 3 afin de concevoir les systèmes de commande.

La conception d'un tel circuit de commande exige un modèle dynamique précis du convertisseur, ce modèle devrait donner une idée comment la tension de sortie du convertisseur est affectée par les changements de la tension d'entrée, du courant de charge, ou du rapport cyclique [22]

La modélisation est la représentation d'un système physique tout en utilisant les outils mathématiques. Généralement des modèles engineering incluent les comportements de système significatifs lorsqu'on néglige les effets du second degré. Ce modèle de système simplifié donne une perspicacité physique envers la dynamique de système et aide en concevant un régulateur approprié. L'exactitude et la complexité du modèle sont inversement reliées.

Jusqu'ici, des techniques de modélisation différentes aussi bien que de divers modèles avec différents niveaux d'exactitude et de complexité sont employées pour les convertisseurs de puissance [22] - [23], [24] - [25]. L'utilisation d'un modèle dépend de l'étape de conception de système. Par exemple, un modèle pour lequel la simulation sur ordinateur du convertisseur donne de bons résultats, peut ne pas être un bon choix pour la conception de régulateur en boucle fermée [24].

Pour les convertisseurs de puissance, l'obtention des modèles simplifiés exige de faire des prétentions et approximations. Par exemple, un condensateur montre des comportements résistifs et inductifs parasites ainsi que son comportement capacitif particulièrement aux fréquences. Ces effets parasites peuvent être rapprochés par une résistance de série

équivalente (ESR) et une inductance équivalente de série (ESL). Cependant, quelques modèles de convertisseur n'emploient ni une ESR ni une ESL , mais modélisent juste le condensateur en tant qu'idéal. Un tel modèle aidera dans les calculs, mais ne pourra pas deviner n'importe quelle dynamique provoquée par l' ESR ou l' ESL .

2.2 Principe de fonctionnement

Le fonctionnement général d'un convertisseur ZS peut être illustré en considérant la partie AC du circuit comme une charge DC équivalente (ou source) [26]

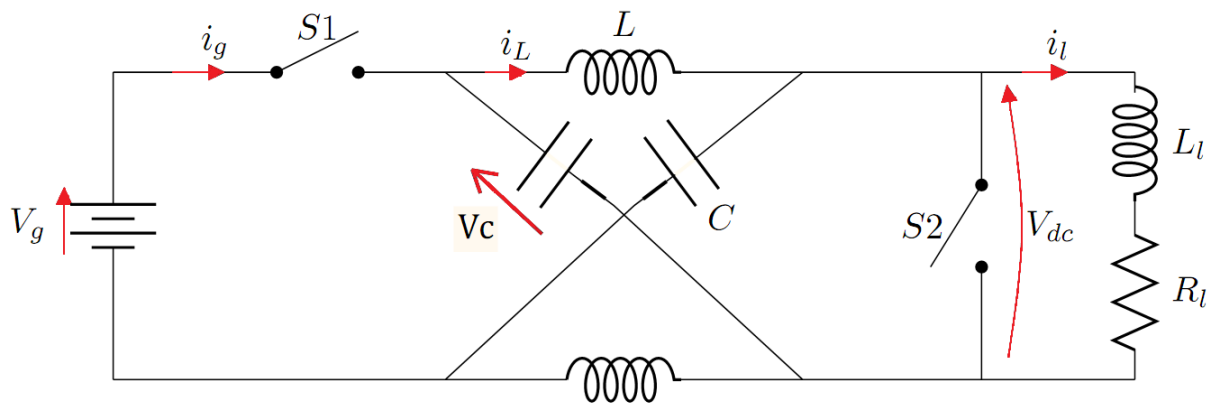


Figure 2.1: Schéma simplifié d'un onduleur ZSC

Pour simplifier l'étude on se contente à un schéma équivalent (Figure 2.1), on a deux états principaux (shoot-through, état actif), dans l'état shoot-through le circuit ZS est en court-circuit, dans l'état actif, le réseau d'impédances ZS voit la charge à travers l'onduleur. On fait les suppositions suivantes : $L_1 = L_2 = L$ et $C_1 = C_2 = C$, on aura donc un circuit symétrique d'où :

$$v_{C1} = v_{C2} = v_C \text{ et } i_{L1} = i_{L2} = i_L.$$

Avec :

V_g , v_C , v_L et v_{dc} : représentent respectivement les tensions de la source continue, du condensateur, de l'inductance et de la sortie du ZSC .

i_l , i_g , i_L , i_C : sont respectivement les courants de charge et de la source et les courants passant par l'inductance et le condensateur

Il y'a quatre états à présenter, elles dépendent des configurations des interrupteurs S_1 et S_2 .

2.2.1 Etat 1 : Shoot-through

Lorsque l'interrupteur S_1 est ouvert et S_2 est fermé, le réseau d'impédances ZS est en court-circuit, donc la tension de la charge est nulle : il n'y a pas de transfert d'énergie. La

durée de l'état shoot-through est égale à T_0 , et la période de commutation est égale à T .

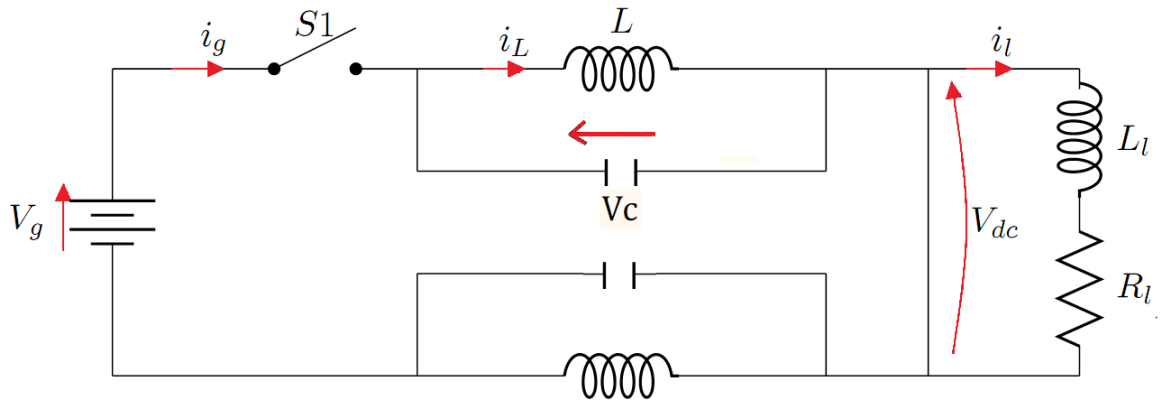


Figure 2.2: Etat Shoot-Through

On constate que $v_c = v_L$, il en découle :

$$\begin{cases} \frac{dv_c}{dt} = -\frac{i_L}{C} \\ \frac{di_L}{dt} = -\frac{v_c}{L} \\ v_{dc} = 0 \\ i_g = 0 \end{cases}$$

2.2.2 Etat 2 :Etat Actif

Si le convertisseur est à l'état actif l'interrupteur S_2 est ouvert et S_1 est fermé, la durée de cet état est $(T - T_0)$: il y'a un transfert d'énergie.(Figure 2.3)

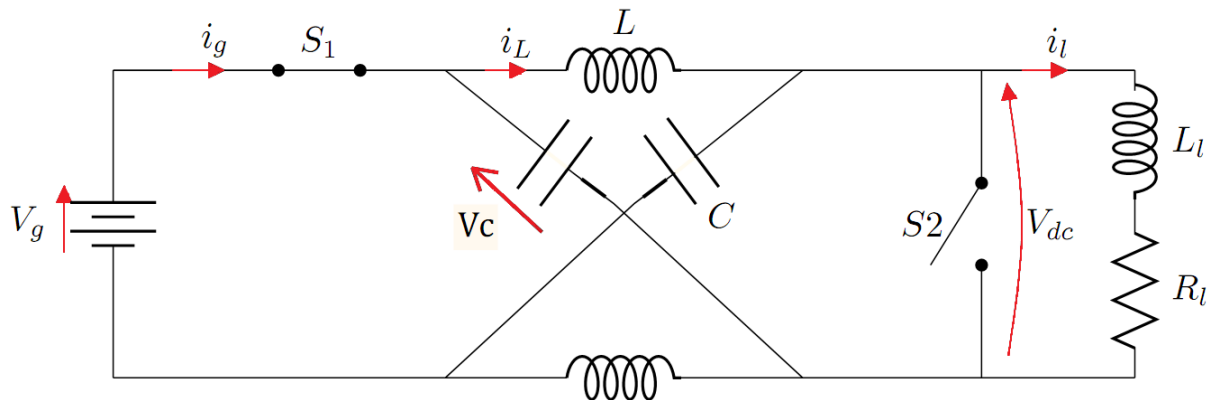


Figure 2.3: Etat Actif

$v_L = v_g - v_C$ et $i_g = i_L + i_C = i_L + C\frac{dv_C}{dt}$, il en découle :

$$\begin{cases} \frac{dv_c}{dt} = -\frac{i_g - i_L}{C} \\ \frac{di_L}{dt} = -\frac{v_g - v_c}{L} \\ v_{dc} = v_c - v_L = 2v_c - v_g \\ i_g = i_L + i_C \end{cases}$$

2.2.3 Etat 3 : Zero State

lorsque $S_1 = 0$ et $S_2 = 0$, on a : $i_L = -i_C = i_l$

$$\begin{cases} \frac{dv_c}{dt} = -\frac{i_L}{C} \\ \frac{di_L}{dt} = -\frac{v_c - v_{dc}}{L} \\ v_{dc} = v_c - v_L \\ i_g = 0 \end{cases}$$

2.2.4 Etat 4

lorsque $S_1 = 1$ et $S_2 = 1$, on a :

$v_L = v_g - v_C$ et $i_g = i_L + i_C = i_L + C \frac{dv_C}{dt}$, d'où :

$$\begin{cases} \frac{dv_c}{dt} = -\frac{i_g - i_L}{C} \\ \frac{di_L}{dt} = -\frac{v_g - v_c}{L} \\ v_{dc} = 0 \\ i_g = i_L + i_C \end{cases}$$

Pour résumer tout les états on aura les équations suivantes :

$$\begin{cases} \frac{dv_c}{dt} = -\frac{S_1 i_g - i_L}{C} \\ \frac{di_L}{dt} = -S_1 \frac{v_g - v_c}{L} + \bar{S}_1 \left[S_2 \frac{v_c}{L} + \bar{S}_2 \frac{v_c - v_{dc}}{L} \right] \\ v_{dc} = \bar{S}_2 (v_c - v_L) \\ i_g = S_1 (i_L + i_C) \end{cases} \quad (2.1)$$

Tel que $\bar{S}_1 = 1 - S_1$ et $\bar{S}_2 = 1 - S_2$

2.2.5 Facteur de survoltage B

A l'état d'équilibre , on sait que la valeur moyenne de la tension au cours d'une periode de commutation au niveau de l'inductance est nulle , donc :

$$V_L = \frac{1}{T} \left[\int_0^{T_0} v_c dt + \int_{T_0}^T (v_g - v_c) dt \right] = 0$$

$$V_C = \frac{1 - \frac{T_0}{T}}{1 - 2\frac{T_0}{T}} V_g$$

on pose $D = \frac{T_0}{T}$, D est le rapport cyclique, on obtient :

$$V_C = \frac{1 - D}{1 - 2D} V_g$$

D'un autre coté, la tension maximale du bus continu en état d'équilibre s'ecrit :

$$V_{dcn} = 2V_c - V_g \quad (2.2)$$

On obtient donc la relation entre la tension d'entrée et la tension maximale du bus continu :

$$V_{dcn} = \frac{1}{1-2D} V_g = B V_g \quad (2.3)$$

Où $B = \frac{1}{1-2D}$ est le facteur de survolage.

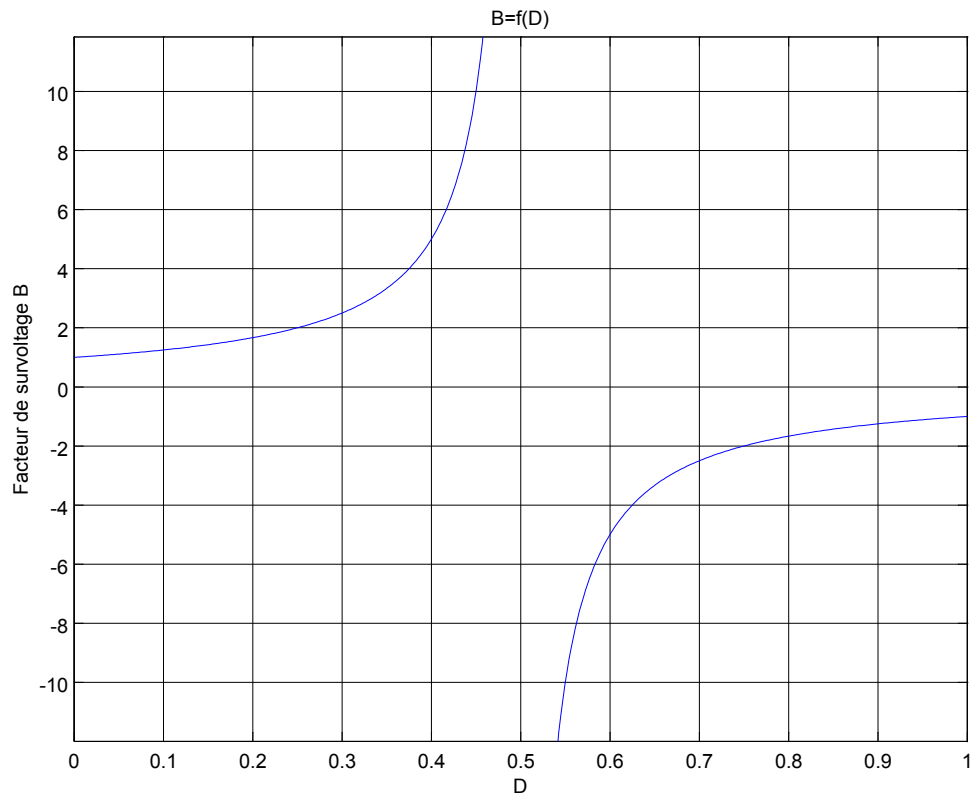


Figure 2.4: $B = f(D)$

La figure (2.4) représente la variation du gain B en fonction du rapport cyclique du Shoot-Through D . Si le rapport cyclique D est compris entre 0 et 0.5, la tension de sortie peut avoir des valeurs entre 0 et l'infini, donc ZS a boosté la tension d'entrée, si on ajoute le réseau d'impédances ZS à un onduleur conventionnel on peut booster la tension continue d'entrée sans utiliser un hacheur boost d'où l'avantage du ZS , cela permet de réduire le nombre d'interrupteurs et la complexité du circuit de commande.

2.3 Modèle à petits signaux du ZSC

Pour construire des régulateurs pour le *ZSC*, nous avons besoin d'une modélisation et analyse appropriée de la dynamique du système. Il est évident qu'un modèle précis à petit signaux est très utile, car il ne donne pas seulement une vue globale mais aussi détaillée des dynamiques du système, ce qui nous permet de mieux dimensionner les composants passifs et comprendre les limites du système [6].

Il existe plusieurs techniques de modélisation pour les convertisseurs électriques, malgré que la forme du résultat est différente pour chacune de ces méthodes, elles donnent le même modèle si on considère les éléments comme idéaux.

Dans notre travail on va utiliser la technique d'espace d'état moyen et la linéarisation des variables d'état autour de leurs valeurs d'équilibre.

Avant de procéder, on considère les hypothèses suivantes :

- *ZSC* fonctionne en mode de conduction continu (MCC)
- Les composants passifs (Condensateurs et Inductances) du réseau *ZS*, la diode S_1 et l'IGBT S_2 sont considérés idéaux.
- La tension d'entrée est considéré indépendante.

2.3.1 Le modèle moyen

La description d'un système en espace d'état est une forme canonique d'écriture des équations différentielles qui régissent le système. Pour un système linéaire, les dérivées des variables d'états sont écrites sous forme de combinaisons linéaires des entrées du système et des variables d'états.

En général, on considère le stockage d'énergie pour le choix des variables d'état, en d'autres termes, on choisit les tensions des condensateurs et les courants des inductances. A chaque instant, les variables d'états dépendent de l'état précédent du système, si on connaît l'état du système (valeurs initiales) à un moment t_0 , et si on connaît les entrées du système pour $t > t_0$, alors on peut résoudre les équations du système et trouver son état pour tout instant futur [15].

Les équations d'état du système peuvent être écrites sous la forme compacte suivante :

$$\begin{aligned} K \frac{dx(t)}{dt} &= Ax(t) + Bu(t) \\ y(t) &= Cx(t) + Eu(t) \end{aligned} \quad (2.4)$$

$x(t)$: vecteur contenant les variables d'états

$u(t)$: vecteur des entrées indépendantes du système

K : matrices contenant les valeurs des capacités et inductances.

A et B : matrices contenant des constantes de proportionnalité.

Si on veut calculer d'autres combinaisons linéaires des variables d'états qui ne coïncident pas avec les variables d'états ou les entrées du système, on les combine dans un vecteur $y(t)$ appelé : vecteur de sortie. Avec C et E des matrices de proportionnalité.

Considérons les variables suivantes comme variables d'états :

$$x(t) = \begin{bmatrix} i_{L1}(t) & i_{L2}(t) & v_{c1}(t) & v_{c2}(t) & i_l(t) \end{bmatrix}$$

Les équations (2.1) nous permettent d'écrire le modèle d'état du système sous la forme :

Pour $t \in [0, DT]$

$$\begin{pmatrix} L_1 & 0 & 0 & 0 & 0 \\ 0 & L_2 & 0 & 0 & 0 \\ 0 & 0 & C_1 & 0 & 0 \\ 0 & 0 & 0 & C_2 & 0 \\ 0 & 0 & 0 & 0 & Ll \end{pmatrix} \frac{d}{dt} \begin{pmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_{c1}(t) \\ v_{c2}(t) \\ i_l(t) \end{pmatrix} = \begin{pmatrix} 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ -1 & 0 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -R_l \end{pmatrix} \begin{pmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_{c1}(t) \\ v_{c2}(t) \\ i_l(t) \end{pmatrix}$$

Tel que :

$$A_1 = \begin{pmatrix} 0 & 0 & 1 & 0 & 0 \\ 0 & 0 & 0 & 1 & 0 \\ -1 & 0 & 0 & 0 & 0 \\ 0 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & -R_l \end{pmatrix}; B_1 = \begin{pmatrix} 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{pmatrix}; K = \begin{pmatrix} L_1 & 0 & 0 & 0 & 0 \\ 0 & L_2 & 0 & 0 & 0 \\ 0 & 0 & C_1 & 0 & 0 \\ 0 & 0 & 0 & C_2 & 0 \\ 0 & 0 & 0 & 0 & Ll \end{pmatrix}$$

Pour $t \in [DT, T]$:

$$\begin{pmatrix} L_1 & 0 & 0 & 0 & 0 \\ 0 & L_2 & 0 & 0 & 0 \\ 0 & 0 & C_1 & 0 & 0 \\ 0 & 0 & 0 & C_2 & 0 \\ 0 & 0 & 0 & 0 & Ll \end{pmatrix} \frac{d}{dt} \begin{pmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_{c1}(t) \\ v_{c2}(t) \\ i_l(t) \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & -1 & 0 \\ 0 & 0 & -1 & 0 & 0 \\ 0 & 1 & 0 & 0 & -1 \\ 1 & 0 & 0 & 0 & -1 \\ 0 & 0 & 1 & 1 & -R_l \end{pmatrix} \begin{pmatrix} i_{L1}(t) \\ i_{L2}(t) \\ v_{c1}(t) \\ v_{c2}(t) \\ i_l(t) \end{pmatrix} + \begin{pmatrix} 1 \\ 1 \\ 0 \\ 0 \\ -1 \end{pmatrix} V_g(t)$$

Tel que :

$$A_2 = \begin{pmatrix} 0 & 0 & 0 & -1 & 0 \\ 0 & 0 & -1 & 0 & 0 \\ 0 & 1 & 0 & 0 & -1 \\ 1 & 0 & 0 & 0 & -1 \\ 0 & 0 & 1 & 1 & -R_l \end{pmatrix}; B_2 = \begin{pmatrix} 1 \\ 1 \\ 0 \\ 0 \\ -1 \end{pmatrix}$$

En utilisant la représentation d'état, le modèle du convertisseur peut être moyenné le long de la période de commutation si la fréquence naturel du système est plus petite que la fréquence de commutation. Ceci est appelé l'espace d'état moyen et ce qui en résulte sont les équations d'équilibres avec lesquelles on peut déduire le modèle à petits signaux (Small Signal Model).[22]

Le modèle d'état moyen qui décrit le convertisseur au point d'équilibre s'écrit sous la forme :

$$0 = AX + BU \quad (2.5)$$

$$Y = CX + EU$$

Les matrices d'équilibres s'écrivent :

$$A = DA_1 - \bar{D}A_2$$

$$B = DB_1 - \bar{D}B_2$$

$$C = DC_1 - \bar{D}C_2$$

$$E = DE_1 - \bar{D}E_2$$

Tel que :

X = Vecteur d'état d'équilibre

U = Vecteur d'entrée d'équilibre

Y = Vecteur de sortie d'équilibre

D = Rapport cyclique d'équilibre

$$D = 1 - \bar{D}$$

Les équations d'état du modèle à petits signaux s'écrivent :

$$K \frac{d\hat{x}(t)}{dt} = A\hat{x}(t) + B\hat{u}(t) + \{(A_1 - A_2)X + (B_1 - B_2)U\}\hat{d}(t) \quad (2.6)$$

Après transformation de Laplace, on trouve :

$$sL_1\hat{i}_{L1}(s) = D\hat{v}_{c1}(s) - \bar{D}\hat{v}_{c2}(s) + \bar{D}\hat{v}_g(s) + (V_{C1} + V_{C2} - V_g)\hat{d}(s) \quad (2.7)$$

$$sL_2\hat{i}_{L2}(s) = \bar{D}\hat{v}_{c1}(s) + D\hat{v}_{c2}(s) + \bar{D}\hat{v}_g(s) + (V_{C1} + V_{C2} - V_g)\hat{d}(s) \quad (2.8)$$

$$sC_1\hat{v}_{C1}(s) = -D\hat{i}_{L1}(s) + \bar{D}\hat{i}_{L2}(s) - \bar{D}\hat{i}_l(s) + (-I_{L1} - I_{L2} + I_l)\hat{d}(s) \quad (2.9)$$

$$sC_2\hat{v}_{C2}(s) = -\bar{D}\hat{i}_{L2}(s) + D\hat{i}_{L1}(s) - \bar{D}\hat{i}_l(s) + (-I_{L1} - I_{L2} + I_l)\hat{d}(s) \quad (2.10)$$

$$sL_l\hat{i}_l(s) = \bar{D}\hat{v}_{c1}(s) + D\hat{v}_{c2}(s) - \bar{D}\hat{v}_g(s) + (-V_{C1} - V_{C2} + V_g)\hat{d}(s) - R_l\hat{i}_l(s) \quad (2.11)$$

D'après la supposition précédente ($L1 = L2 = L$ et $C1 = C2 = C$), on a un réseau d'impédances symétrique, et en combinant (2.7) et (2.8) on obtient :

$$\hat{i}_{L1}(t) - \hat{i}_{L2}(t) = \frac{1}{sL} [\hat{v}_{C1}(t) - \hat{v}_{C2}(t)]$$

De même pour (2.9) et (2.10) :

$$sC [\hat{v}_{C1}(t) - v_{C2}(t)] = -\frac{1}{sL} [\hat{v}_{C1}(t) - \hat{v}_{C2}(t)]$$

D'où

$$(1 + s^2 LC) [\hat{v}_{C1}(t) - \hat{v}_{C2}(t)] = 0$$

Cette équation nous permet de conclure qu'à chaque fréquence différente de la fréquence de résonance, c'est-à-dire $\omega \neq \sqrt{\frac{1}{LC}}$ on a :

$$\hat{v}_{C1}(t) = \hat{v}_{C2}(t) = \hat{v}_C(t) \quad \text{et} \quad \hat{i}_{L1} = \hat{i}_{L2} = \hat{i}_L \quad (2.12)$$

Donc les équations et les matrices précédentes peuvent être simplifiées.

En revenant à (2.5) on peut tirer les équations d'équilibre du convertisseur :

$$\begin{pmatrix} 0 \\ 0 \\ 0 \end{pmatrix} = \begin{pmatrix} 0 & D - \bar{D} & 0 \\ D - \bar{D} & 0 & -\bar{D} \\ 0 & \bar{D} & -R_l \end{pmatrix} \begin{pmatrix} I_L \\ V_C \\ I_l \end{pmatrix} + \begin{pmatrix} \bar{D} \\ 0 \\ -\bar{D} \end{pmatrix} V_g \quad (2.13)$$

La résolution de ces équations algébriques donne les valeurs des variables d'état d'équilibre :

$$\begin{aligned} V_C &= \frac{\bar{D}}{D - \bar{D}} V_g \\ I_L &= \frac{\bar{D}}{D - \bar{D}} I_l \\ I_l &= \frac{V_c}{R_l} \end{aligned} \quad (2.14)$$

2.3.2 Modèle à petits signaux

Afin de déterminer le comportement dynamique des variables d'état, la tension d'entrée et le rapport cyclique du Shoot-Through seront perturbés autour de leurs valeurs d'équilibre, on peut les écrire sous la forme $v_g(t) = V_g + \hat{v}_g(t)$ et $d(t) = D + \hat{d}(t)$, tel que :

V_g et D : valeurs d'équilibre.

\hat{v}_g et $\hat{d}(t)$: valeurs des perturbations.

Les perturbations résultantes des variables d'états s'écrivent sous la forme

$x(t) = X + \hat{x}(t)$, où :

$x(t)$ représente le vecteur des variables d'états réduit d'après (2.12) à $x(t) = [i_L(t) \quad v_c(t) \quad i_l(t)]$.

X représente le vecteur d'équilibre des variables d'états (2.14).

Les équations d'états du modèle à petits signaux, ont été trouvées en utilisant l'équation (2.6) après l'application de la transformation de Laplace, ces fonctions de transferts peuvent être réduites aussi à :

$$\begin{aligned} sL\hat{i}_L(s) &= (D - \bar{D})\hat{v}_C(s) + \bar{D}\hat{v}_g(s) + (2V_c - V_g)\hat{d}(s) \\ sC\hat{v}_C(s) &= (\bar{D} - D)\hat{i}_L(s) - \bar{D}\hat{i}_l(s) + (-2I_L - I_l)\hat{d}(s) \\ sL_l\hat{i}_l(s) &= 2\bar{D}\hat{v}_c(s) - \bar{D}\hat{v}_g(s) + (-2V_c + V_g)\hat{d}(s) - R_l\hat{i}_l(s) \end{aligned} \quad (2.15)$$

Trois circuits équivalents sont donnés en figure (2.5) (Small signal circuits) en se basant sur les trois équations (4.15). Chaque circuit a des sources indépendantes et des sources dépendantes d'autres tensions et courants du ZSC.

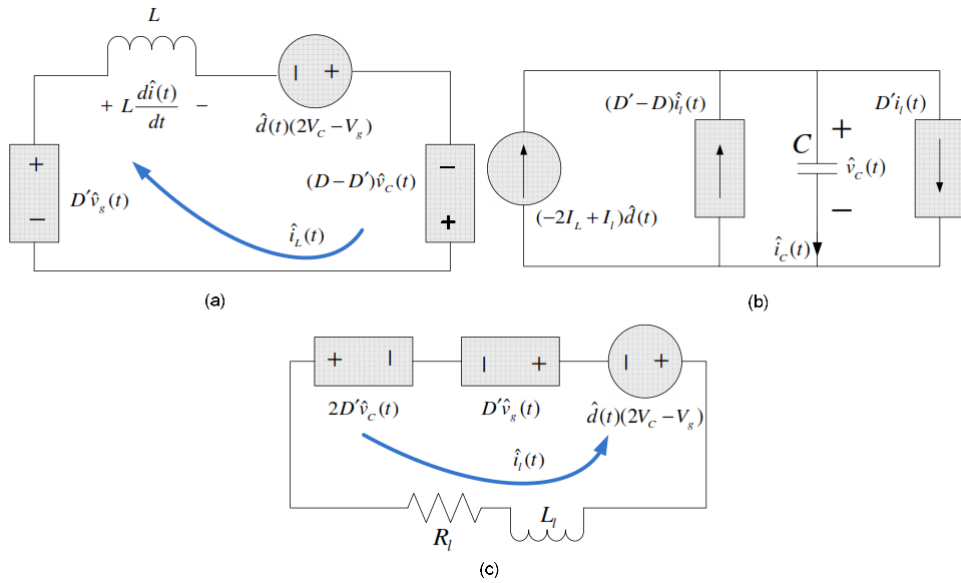


Figure 2.5: Circuits équivalents (Modèle à petits signaux)[15]

Au début de l'analyse, deux sources de perturbations ont été considérées, la tension $\hat{v}_g(t)$ et le rapport cyclique de Shoot-Through $\hat{d}(t)$. On sait que la perturbation d'une variable d'état peut être exprimée comme une combinaison linéaire de tous les sources de perturbations [22], d'où l'expression de la tension aux bornes du condensateur :

$$\hat{v}_C(s) = G_{vg}(s)\hat{v}_g(s) + G_{vd}(s)\hat{d}(s) \quad (2.16)$$

Et l'expression du courant de l'inductance sera :

$$\hat{i}_L(s) = G_{ig}(s)\hat{v}_g(s) + G_{id}(s)\hat{d}(s) \quad (2.17)$$

Où :

$G_{vg}(s)$ est la fonction de transfert reliant la tension d'entrée à la tension aux bornes du condensateur.

G_{vd} est la fonction de transfert entre \hat{v}_C et le rapport cyclique \hat{d} .

$G_{ig}(s)$ et $G_{id}(s)$ sont les fonctions de transfert entre le courant de l'inductance et, respectivement, la tension d'entrée et le rapport cyclique.

Ces équations représentent le comportement dynamique du *ZSC* en cas d'un petit changement de la commande ou l'entrée du système.[15]

$$\begin{aligned}
G_{vg}(s) &= \left. \frac{\hat{v}_c(s)}{\hat{v}_g(s)} \right|_{\hat{d}(s)=0} \\
&= \frac{[\bar{D}(\bar{D}-D)L_l + \bar{D}^2 L]s + \bar{D}(\bar{D}-D)R_l}{L_l LCs^3 + R_l LCs^2 + [2\bar{D}^2 L + L_l(D-\bar{D})^2]s + R_l(D-\bar{D})^2} \\
G_{vd}(s) &= \left. \frac{\hat{v}_c(s)}{\hat{d}(s)} \right|_{\hat{v}_g(s)=0} \\
&= \frac{(-2I_L + I_l)L_l Ls^2 + [(-2I_L + I_l)R_l L + (\bar{D}-D)(2V_c - V_g)L_l + L\bar{D}(2V_c - V_g)]s + (\bar{D}-D)(2V_c - V_g)R_l}{L_l LCs^3 + R_l LCs^2 + [2\bar{D}^2 L + L_l(D-\bar{D})^2]s + R_l(D-\bar{D})^2} \\
G_{ig}(s) &= \left. \frac{\hat{i}_L(s)}{\hat{v}_g(s)} \right|_{\hat{d}(s)=0} \\
&= \frac{\bar{D}L_l LCs^2 + \bar{D}R_l LCs + \bar{D}^2 L}{L_l LCs^3 + R_l LCs^2 + [2\bar{D}^2 L + L_l(D-\bar{D})^2]s + R_l(D-\bar{D})^2} \\
G_{id}(s) &= \left. \frac{\hat{i}_L(s)}{\hat{d}(s)} \right|_{\hat{v}_g(s)=0} \\
&= \frac{(2V_c - V_g)L_l C s^2 + [(-2V_c - V_g)R_l C + (D-\bar{D})(-2I_L - I_l)L_l]s + \bar{D}(2V_c - V_g) + (-2I_L + I_l)R_l(D-\bar{D})}{L_l LCs^3 + R_l LCs^2 + [2\bar{D}^2 L + L_l(D-\bar{D})^2]s + R_l(D-\bar{D})^2}
\end{aligned} \tag{2.18}$$

2.4 Vérification du Modèle

Cette simulation a pour but de valider le modèle du *ZSC*, un programme *MATLAB* permet de vérifier le modèle d'état en comparant les résultats donnés avec ceux du circuit conçu et simulé avec l'outil *SIMPOWER* de *MATLAB*. Les paramètres de système choisis pour la simulation sont résumés dans le tableau (2.1).

V_g	L_l	R_l	L	C	D	Fréquence
20V	$680\mu H$	10Ω	$680\mu H$	$470\mu F$	0.2	20kHz

Table 2.1: Parametres de simulation

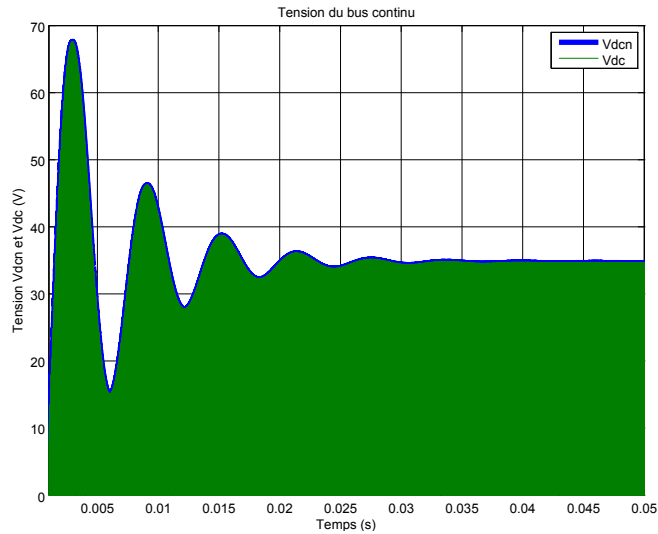


Figure 2.6: Tension du bus continu (Espace d'état)

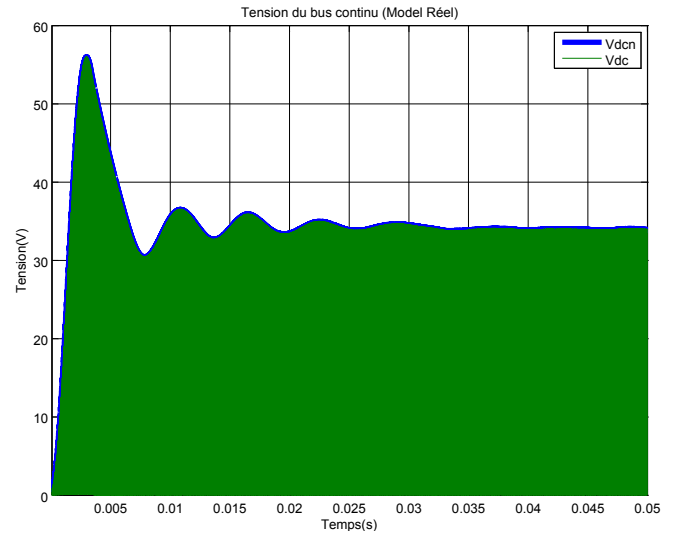


Figure 2.7: Tension du bus continu (Modèle Réel)

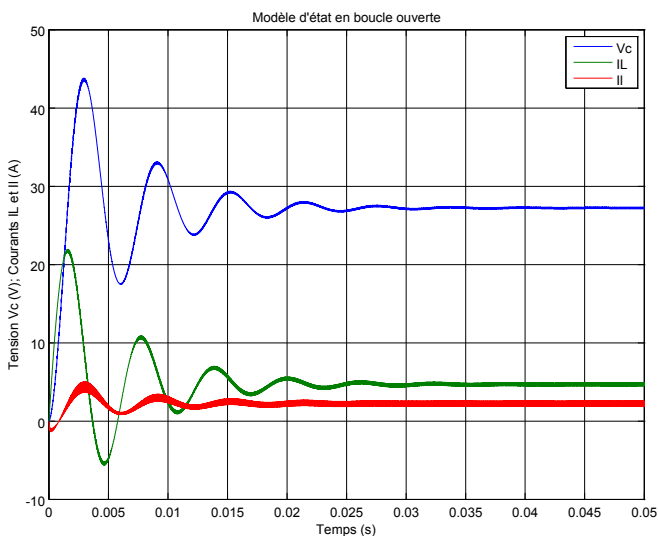


Figure 2.8: Variables d'état (Espace d'état)

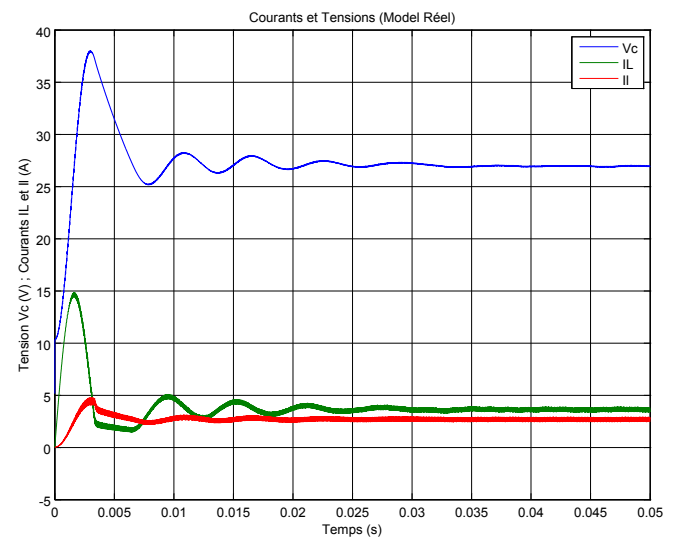


Figure 2.9: Variable d'états (Modèle Réel)

Les figures précédentes permettent de vérifier que les résultats donnés par le modèle d'état à l'état d'équilibre sont similaires à ceux du modèle réel (Tableau 2.2). le modèle est moins précis dans la phase transitoire ou on remarque une légère différence avec les résultats du circuit conçu avec SIMPOWER (dite réel), cette différence est dû au fait que le modèle est moyenné autour du point d'équilibre mais aussi à cause des paramètres des interrupteurs considérés parfait lors de la modélisation, hors que, le mode de simulation discrète de l'outil SIMPOWER ne permet pas de considérer la diode et l'IGBT comme des éléments parfaits.

	$V_c(V)$	$I_L(A)$	I_l
Modèle d'état (2.14)	26.7	3.6	2.7
Model réel (SIMPOWER)	27	4	2.7

Table 2.2: Valeurs d'équilibre

La figure(2.10) permet de bien voir que la tension du bus continu est de nature pulsative,

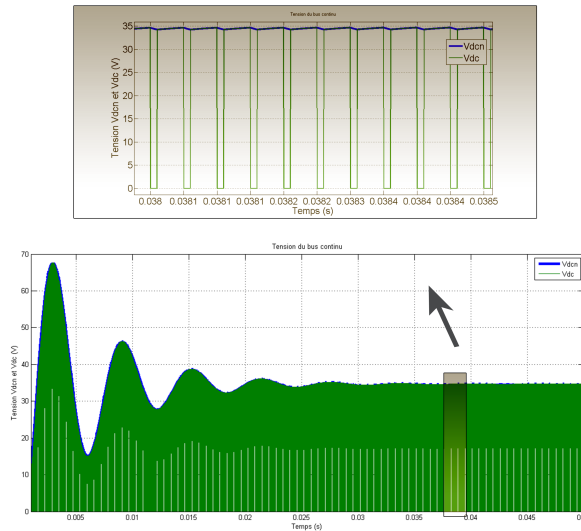


Figure 2.10: Tension du bus continu

elle commute entre 0 et la tension maximale v_{dcn} donnée par l'équation (2.2).

La simulation du circuit réel permet de confirmer l'hypothèse de symétrie du réseau d'impédances, on voit clairement que les deux tensions v_{c1} et v_{c2} sont égales. (Figure 2.11).

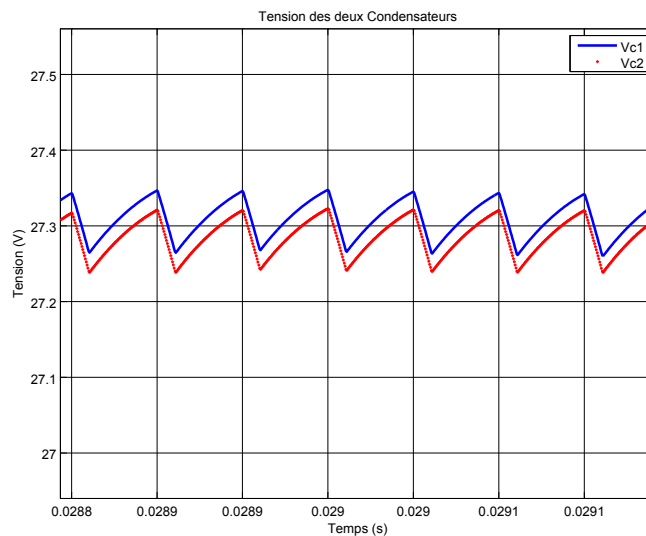


Figure 2.11: Tension des deux Condensateurs

3.1 Introduction

Un convertisseur est dit en mode commandable si les transitions entre ces différentes configurations dépendent uniquement de la commande externe (Semi-Conducteurs) par suite une conduction continue de ce convertisseur. [27]

Dans notre cas *ZSC*, cette condition de commandabilité implique que les transitions entre les configurations ne dépendent plus de commandes internes (Grandeurs électriques), mais uniquement des commandes des transistors (Commandes Externes).

Les convertisseurs de puissance exigent une rétroaction (Feedback) afin de garder les valeurs de tension (Courant) désirées. Ceci peut être réalisé par un circuit de commande qui peut varier l'entrée de commande de convertisseur telle que la tension (Courant) est réglée autour d'une valeur de référence. Le système de commande par rétroaction composé de convertisseur de puissance et le circuit de commande devrait être stable et les paramètres de passage de convertisseur tels que le pourcentage de l'overshoot, le temps de stabilisation et l'erreur à l'état d'équilibre devraient répondre à des caractéristiques bien spécifiées.

3.2 Commande en Tension (Voltage Mode Control)

Dans le cas d'un onduleur conventionnel, l'amplitude de la tension *AC* de sortie dépend du taux de modulation *M* et l'amplitude de la tension continue de liaison V_{dc} selon l'équation :

$$V_{ac} = M \frac{V_{dc}}{2} = M \frac{V_g}{2} \quad (3.1)$$

Pour cet onduleur, le condensateur assure que si la tension d'entrée est constante alors la tension de liaison V_{dc} est constante et continue.(Figure3.1)

Hors que, pour l'onduleur *ZSI*, le réseau d'impédances entre la tension d'entrée et les bras de l'onduleur impose une nature pulsative à la tension V_{dc} au lieu d'une nature continu. L'amplitude de la tension alternative de sortie dépend d'un autre facteur *B* :

$$V_{ac} = M \frac{V_{dc}}{2} = MB \frac{V_g}{2} \quad (3.2)$$

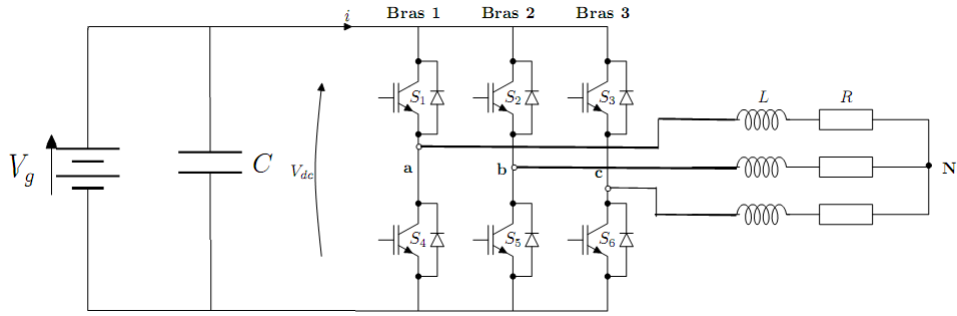


Figure 3.1: Onduleur Conventionnel

Dans la plupart des convertisseurs de puissance, on veut obtenir une tension de sortie régulée malgré les changements de la tension d'entrée et le courant de la charge mais aussi les paramètres du circuit.[22]

Le feedback est nécessaire pour la régulation des variables de sortie. Dans la commande par tension, le but est d'obtenir une tension de sortie v_{dc} égale à la tension de référence v_{ref} malgré les perturbations (V_g et i_l).

La nature pulsative de la tension à réguler v_{dc} nécessite l'ajout d'un circuit de détection des pics (Peak Detection Circuit), et pour éviter cette complication, la méthode indirecte qui consiste à contrôler la tension du condensateur au lieu de v_{dc} a été proposée.

La méthode indirecte laisse la tension v_{dc} vulnérable aux perturbations venant de la tension d'entrée V_g . Cet effet peut être transféré au côté AC du convertisseur et causer une distorsion des tensions de sortie, et pour remédier à ce problème, une autre méthode a été proposée en [15] qui est basée sur la méthode indirecte, mais on ajoute une mesure de la tension d'entrée V_g afin d'estimer la tension v_{dcn} par la relation :

$$v_{dcn} = 2v_c - v_g$$

La figure (1.3) montre le principe de commande de v_{dcn} sans mesure directe de cette dernière.

3.2.1 Commande linéaire

1. Calcul des Fonctions de Transfert

La variable de sortie de l'onduleur *Z-source* est la tension AC à la sortie des bras. Pour un taux de modulation constant M , l'amplitude de la tension AC de sortie est directement reliée à la valeur de la tension v_{dcn} , pour cela, cette tension peut être choisie comme la variable à réguler par la boucle de commande du ZSC.

Pour concevoir le régulateur, la fonction de transfert entre v_{dcn} et la commande D doit être calculée.

La tension v_{dcn} est une combinaison linéaire d'une variable d'état et une entrée, donc on peut exprimer la perturbation de cette tension comme étant une combinaison linéaire des perturbations de ces deux variables :

$$\hat{v}_{dcn} = 2\hat{v}_c - \hat{v}_g \quad (3.3)$$

En combinant (2.16) dans (3.3) on trouve :

$$\hat{v}_{dcn}(s) = G_{vnd}(s)\hat{d}(s) + G_{vng}(s)\hat{v}_g(s) \quad (3.4)$$

Tel que :

$$\begin{cases} G_{vnd}(s) = 2G_{vd}(s) \\ G_{vng}(s) = 2G_{vg}(s) - 1 \end{cases} \quad (3.5)$$

Ces relations donnent les fonctions de transfert entre la tension v_{dcn} et la commande D et la tension d'entrée V_g .

2. Conception du régulateur PID

Les régulateurs classiques sont caractérisés par une entrée unique : l'écart de réglage. Ils sont formés d'une combinaison de trois modules :

- Le module P (proportionnel) assure la fonction de réglage de base.
- Le module I (intégrateur) annule l'écart statique, assure la précision.
- Le module D (dérivateur) améliore la stabilité et accélère le réglage.

Le cas échéant, une cellule filtre du premier ordre entre encore dans la construction du régulateur. Le dimensionnement de ces régulateurs sera toujours un compromis entre rapidité, stabilité et précision. [28]

La stabilité est un problème important pour la commande des convertisseurs de puissance, l'ajout d'un feedback peut engendrer des oscillations et dépassement qui dépendent de la compensation et les paramètres du convertisseur.

Généralement la méthode de la marge de phase suffit pour la mesure de stabilité du convertisseur. [29]

Les valeurs choisies pour la conception du régulateur sont résumées dans le tableau (3.1).

Les fonctions de transferts sont calculées à l'aide des équations (3.2 et 3.5). Les valeurs d'équilibres de la tension du condensateur v_c et les courants de l'inductance i_L et de la charge i_l sont calculés en appliquant les équations (2.14).

V_g	L_l	R_l	L	C	D	Fréquence de commutation
30V	680 μ H	20 Ω	680 μ H	470 μ F	0.2	20kHz

Table 3.1: Table des Paramètres

G_{vg}	$\frac{3504381(s+12610)}{(s+29280)(s+136.6s+1132000)}$
G_{vd}	$\frac{-7092(s-20480)(s+19010)}{(s+29280)(s+136.6s+1132000)}$
G_{vng}	$\frac{-(s+29410)(s+1370)(s-1370)}{(s+29280)(s+136.6s+1132000)}$
G_{vnd}	$\frac{-14184(s-20480)(s+19010)}{(s+29280)(s+136.6s+1132000)}$

Table 3.2: Fonctions de Transfert

V_C	I_L	I_l
40V	2.68A	2A

Table 3.3: Valeurs d'équilibre

La figure (3.2) illustre la boucle de commande du système, le régulateur compense l'erreur de réglage à son entrée qui est la différence entre la tension du bus continu virtuel et la valeur désirée. La commande issue du compensateur est le rapport cyclique du Shoot-Through D qui doit être appliqué au système moyennant une modulation de largeur d'impulsion. Le système répond ensuite selon la commande appliquée et la valeur de la tension d'entrée V_g .

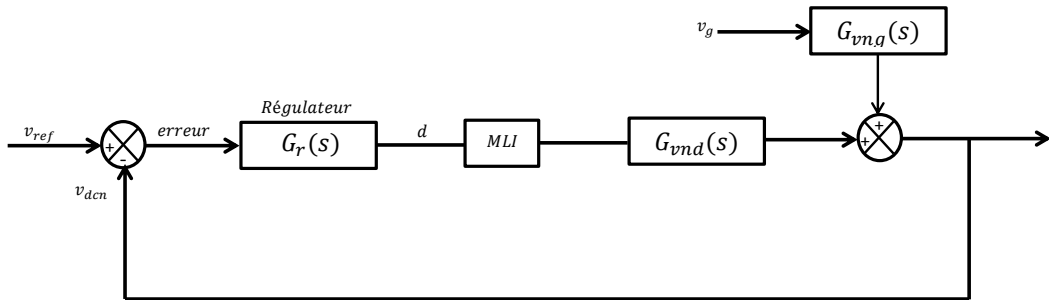


Figure 3.2: Boucle de Réglage

L'utilisation de l'outil *SISOTOOL* de *MATLAB* (Annexe 1) facilite l'étude et l'analyse du système et la conception d'un régulateur selon des performances désirées et des contraintes imposées. La recherche des paramètres du régulateur peut être manuelle en se basant sur les réponses du système en boucle ouverte et en boucle fermée, et les tracés de *Bode*, *Nyquist* ou le *lieu des racines*.

L'outil propose aussi une conception automatique qui cherche les paramètres du régulateur répondants aux exigences imposées par l'utilisateur.

La figure (3.3) représente la réponse indicielle de la fonction de transfert G_{vnd} qui relie la tension du bus continue à la commande, cette courbe montre que le système est stable mais représente un très grand écart statique, le dépassement est aussi très grand (62%) avec un temps de réponse égal à 80ms.

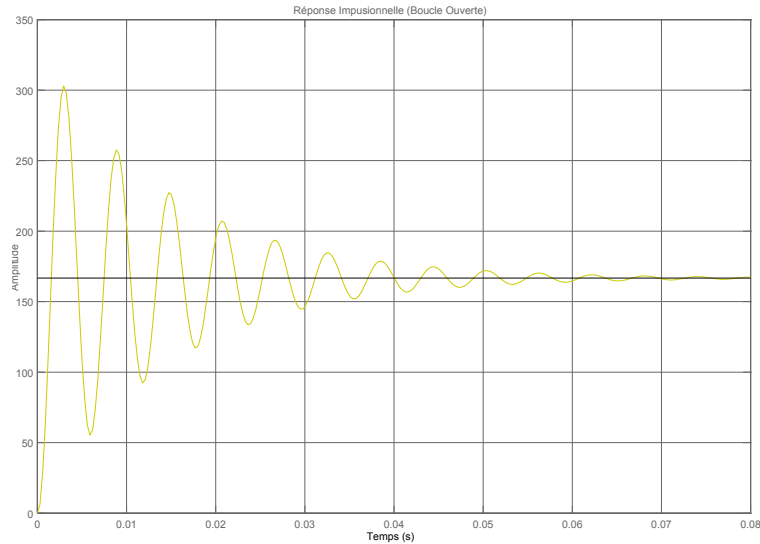


Figure 3.3: Réponse Indicielle BO

Afin d'obtenir une réponse en boucle fermée stable, plus rapide et avec un overshoot réduit et une erreur statique nulle, nous avons choisi un régulateur PID filtré qui assure une marge de phase de $PM = 60 \text{ deg}$, une marge de gain $GM = 17dB$ à une fréquence de coupure de $4.8kHz$.

La fonction de transfert obtenue du régulateur est la suivante :

$$G_r = \frac{0.42(s + 634)(s + 550)}{s(s + 31470)} \quad (3.6)$$

La figure (3.4) représente la réponse indicielle en boucle fermée du système régulé, le temps de réponse du système est limité à 20ms et le dépassement est réduit à 6%.

On remarque aussi un undershoot dû au zéro dans le plan droite de la fonction de transfert G_{vnd} entre la sortie v_{dcn} et la commande D .

La figure (3.5) représente le lieu des racines du système régulé, on peut voir que les pôles du système en boucle ouverte sont tous dans le plan gauche, cela signifie que le système est stable en boucle ouverte. Le gain du régulateur assurant la limite de stabilité est $K = 3$, au-delà de cette valeur, les pôles passeront au plan droit et le système devient instable.

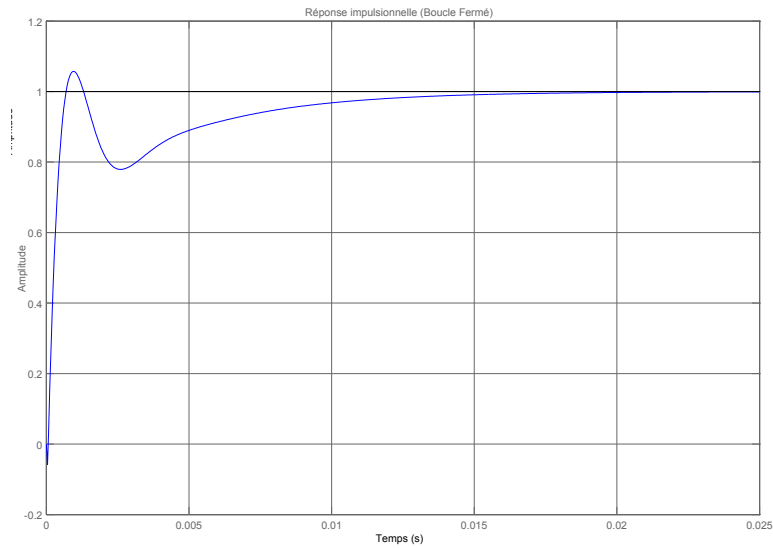


Figure 3.4: Réponse Indicielle BF

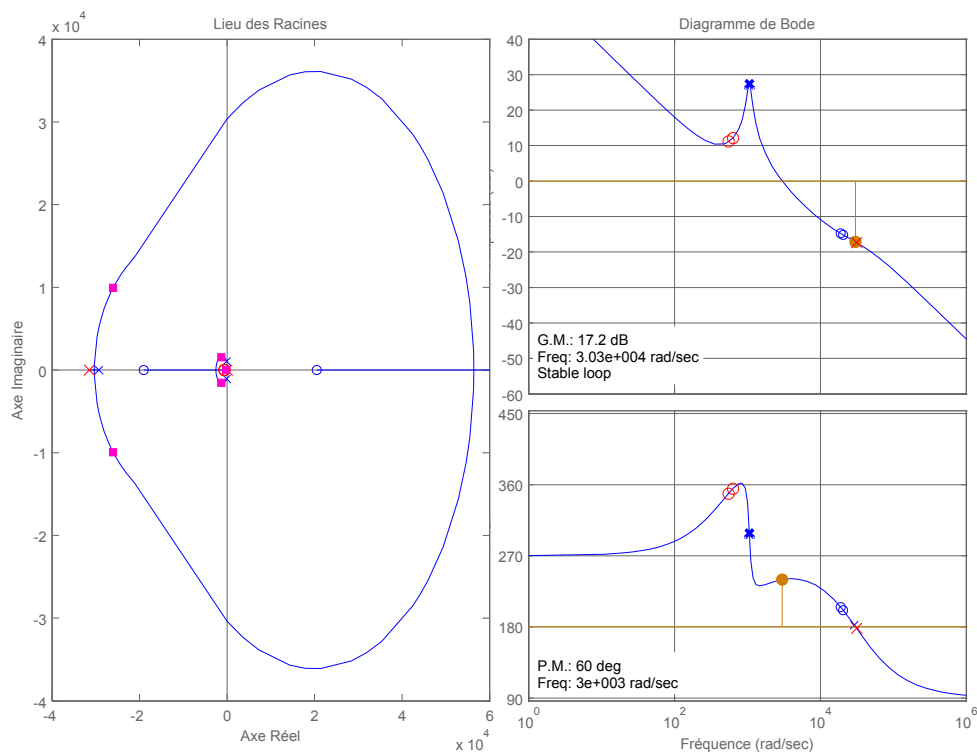


Figure 3.5: Diagramme de Bode, lieu des racines

3. Résultats de la simulation

Afin de valider l'efficacité du régulateur, le circuit du convertisseur a été construit à l'aide de l'outil *SimPower* de *MATLAB*, les résultats de simulation sont représentés dans les figures (3.6 à 3.11).

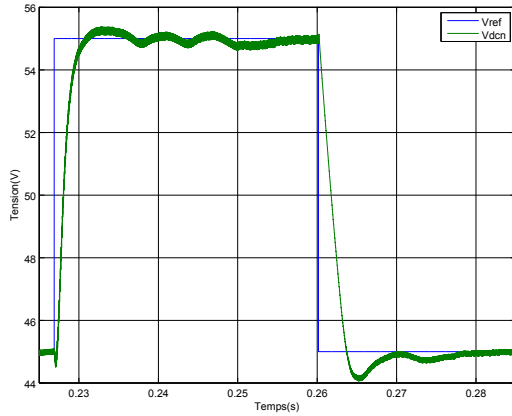


Figure 3.6: Tension V_{dcn}

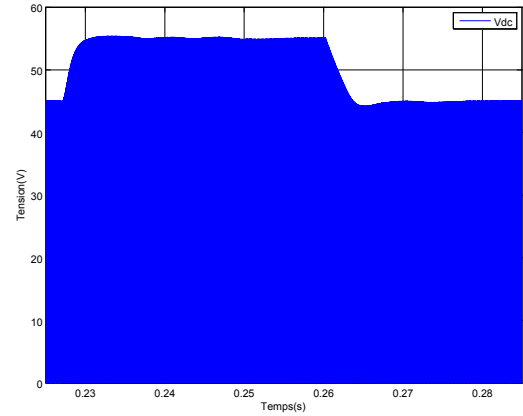


Figure 3.7: Tension du bus continu

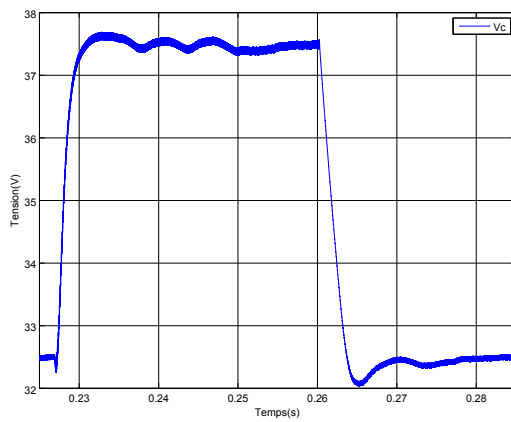


Figure 3.8: Tension v_C du condensateur

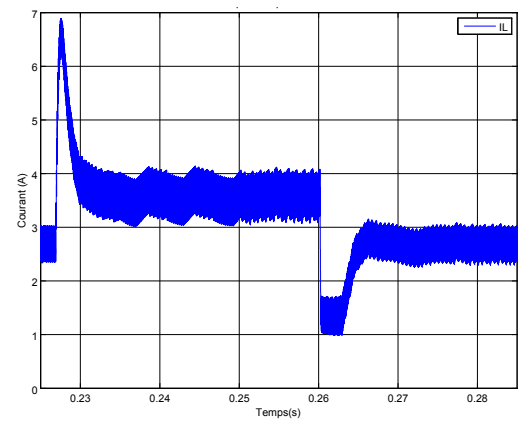


Figure 3.9: Courant passant par l'inductance (I_L)

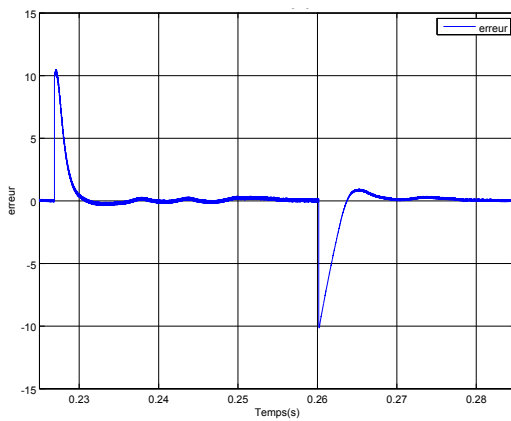


Figure 3.10: Ecart de réglage

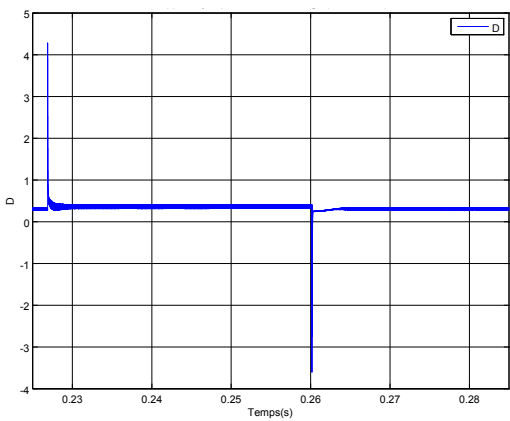


Figure 3.11: Signal de commande(D)

D'après les figures, on peut bien voir que la tension v_{dcn} est l'image de v_c , les deux signaux ont la même dynamique mais avec des amplitudes différentes, cela est vu dans la relation (2.2) .

Le *PID* a assuré une bonne poursuite de référence avec un temps de réponse inférieur

à $20ms$, le dépassement a été éliminé en utilisant une limitation de la commande. Les ondulations du courant i_L peuvent être réduites en choisissant une inductance plus grande que celle choisie pour ce modèle.

4. Limitation de la commande

L'un des problèmes pratiques de l'utilisation des régulateurs PID est la saturation des actionneurs. Quand un actionneur arrive à sa limite physique, l'augmentation de l'amplitude du signal de commande n'a aucun effet sur ce dernier. Hors que, si l'écart entre la valeur désirée et la valeur mesurée persiste encore, l'erreur produite causera une augmentation continue du signal de commande dû au terme intégral, ce phénomène est appelé : *Integral Wind-up*. Quand l'erreur change de signe, le signal de commande commence à diminuer mais avec un retard considérable ce qui peut conduire à l'instabilité. La solution est de limiter le signal de commande.[30]

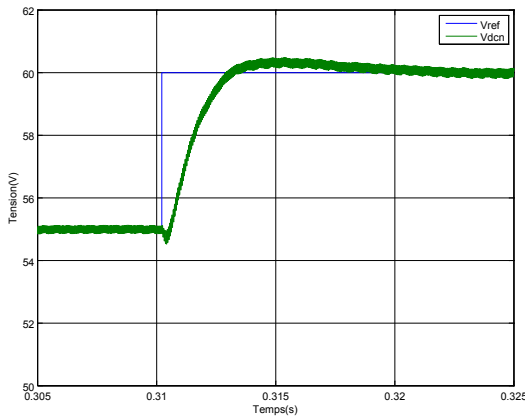


Figure 3.12: Tension V_{dcn} (Commande limitée)

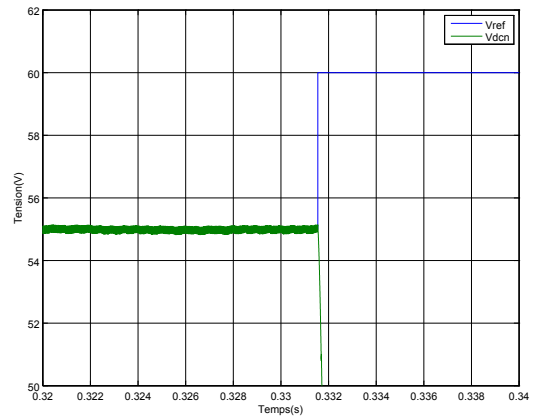


Figure 3.13: Tension V_{dcn} (Commande non limitée)

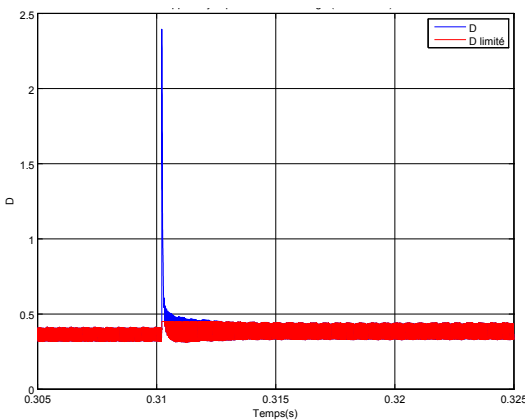


Figure 3.14: Commande limitée

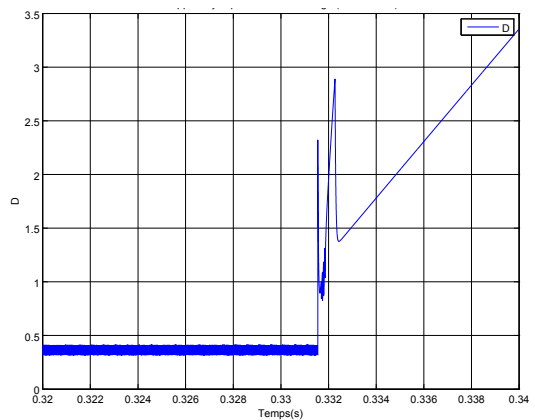


Figure 3.15: Commande non limitée

Les figures (3.12 à 3.15), montrent les signaux dans le cas de *Integral wind-up*. À cause

de ce phénomène, un retard considérable s'ajoute au temps de la diminution de la commande ce qui emmène le système à la divergence.

L'ajout de la limitation résout ce problème, mais vu qu'elle "étouffe" la commande, la dynamique de la réponse est changée, les figures (3.16 et 3.17) illustrent le changement de la dynamique de la réponse dans le cas où la commande est limitée et le cas non limitée quand le *Integral wind-up* est absent. Le limiteur de la commande doit être utilisé avec précaution !

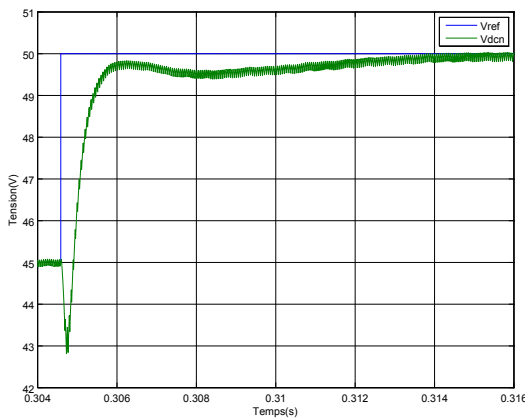


Figure 3.16: Dynamique du système sans limitation

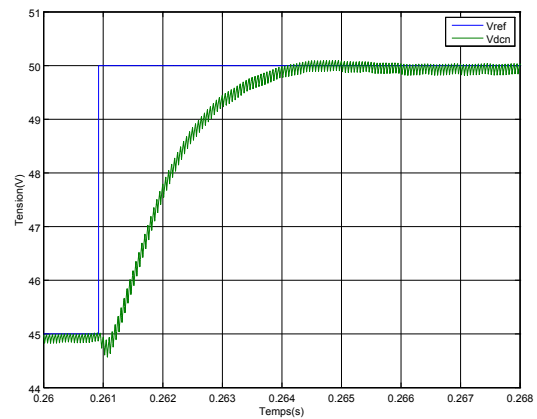


Figure 3.17: Dynamique du système avec limitation

5. Tests de performances et de robustesse

L'objectif de la commande est d'obtenir des systèmes asservis stables, qui répondent rapidement aux entrées appliquées et qui résistent aux perturbations externes ou aux variations potentiels du modèle [2].

Afin de vérifier la robustesse du régulateur, nous avons varié la tension d'entrée V_g de 20% de sa valeur, et appliquer une perturbation de 50% à la commande D et on a observé la réaction du régulateur à ces perturbations.

Variation de la tension d'entrée

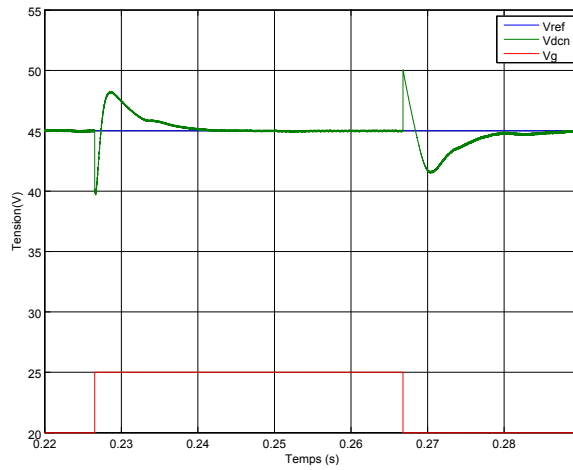


Figure 3.20: Tension v_{dcn} et Vg

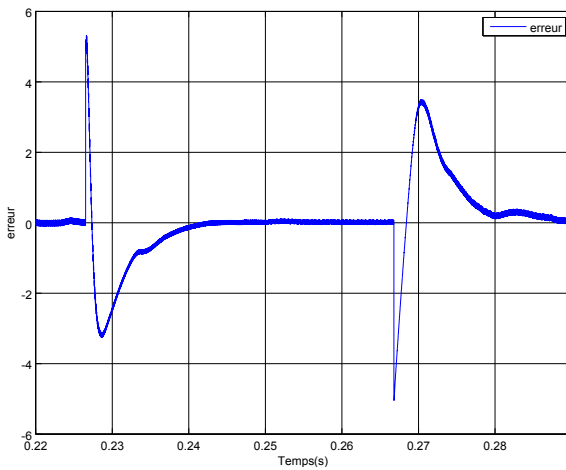


Figure 3.18: Ecart de réglage

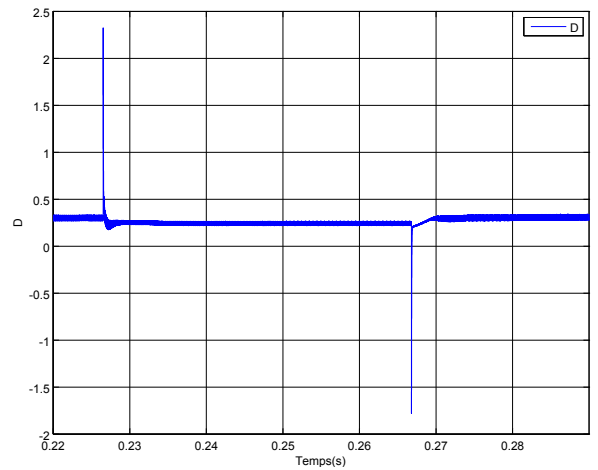


Figure 3.19: Signal de commande (D)

La figure (3.20) montre l'influence de la variation de la tension d'entrée sur la tension v_{dcn} . Au moment du changement, la tension v_{dcn} subit un changement brutale vu la relation directe avec la tension Vg (Equation 2.2) mais elle revient à la référence dans une durée de $25ms$ et un dépassement de 7% . La commande se voit dépasser la valeur 0.5 à l'instant du changement d'où la nécessité d'un limiteur pour éviter le phénomène du *Integral Wind-up* déjà mentionné.

Perturbation de la commande

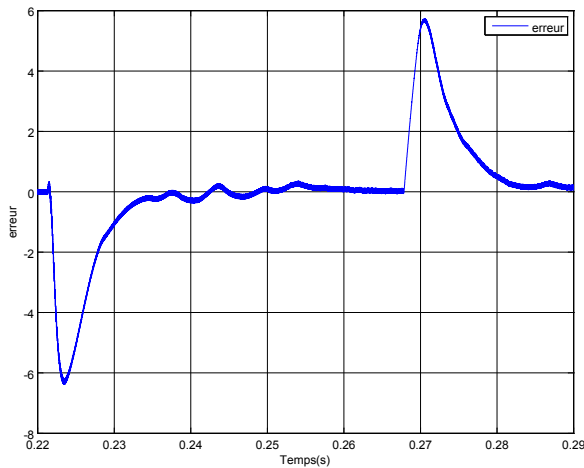


Figure 3.21: l'écart de réglage

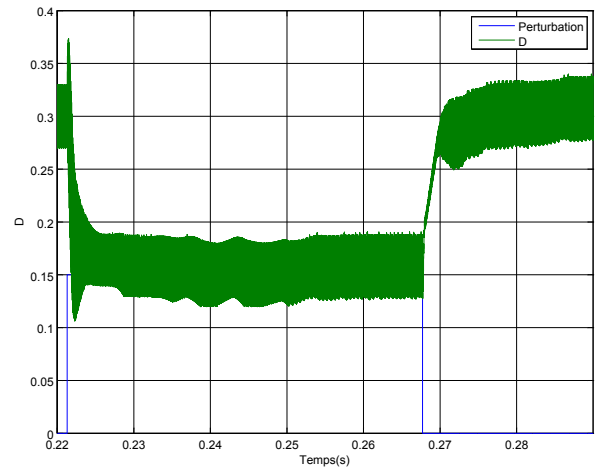


Figure 3.22: Commande et Perturbation

Les figures (3.21, 3.22) montrent la réaction du régulateur à une perturbation $d = 0.15$ de la commande. Cette perturbation devrait emmener la tension v_{dcn} à une valeur $v_{dcn} = 74V$ selon l'équation (2.3), Or qu'elle n'a atteint que la valeur $51.5V$ vu que la réponse du régulateur est plus rapide que la dynamique du système.

Conclusion L'étude faite a montré que le régulateur conçu est performant et efficace pour le rejet des perturbations de la tension d'entrée et de la commande.

3.2.2 Commande non linéaire

Dans plusieurs cas, le modèle mathématique du système est inconnu, complexe ou bien mal défini. Le régulateur sera donc difficile à concevoir et à implémenter. Il a été démontré que les systèmes de commande intelligents donnent de meilleures performances pour la régulation de ce type de systèmes.

Différemment aux techniques de commande conventionnelles, les contrôleurs intelligents sont basés sur l'intelligence artificielle au lieu d'un modèle mathématique. Ils imitent le processus de prise de décision humain, et peuvent être implémentés dans des systèmes complexes en donnant de meilleurs résultats que les méthodes conventionnelles.

L'intelligence artificielle peut être : la logique floue, les réseaux de neurones artificiels ou les algorithmes génétiques. Ces techniques se basent sur le Soft-Computing, c'est-à-dire un software de calcul. Ils sont capables à considérer des approximations et des choix intelligents afin de donner des résultats suffisamment bons répondants à un certain nombre de contraintes. Une ou plusieurs techniques d'intelligence artificielle peuvent être utilisées dans la conception des systèmes de commande intelligents. [31]

1. Régulateur TSK

Un régulateur flou peut être présenté de différentes façons, mais en général la présentation adoptée se scinde en trois parties qui sont la fuzzification qui permet de passer de variables réelles à des variables floues, le cœur du régulateur représenté par les règles reliant les entrées et sorties, et enfin l'inférence et la défuzzification qui permettent à partir des ensembles flous d'entrée de déterminer la valeur réelle de sortie.[32]

L'étape de defuzzification nécessite un très grand nombre de calculs à effectuer par le calculateur, cela retarde la réponse du régulateur et influence la commande. Afin de diminuer le nombre de calculs, l'étape de defuzzification a été éliminée dans les régulateurs proposés par *Takagi – Segeno – Kuang*. Les conclusions des règles d'inférence qui présentent la commande fuzzifiée sont remplacées par des conclusions numériques avec des degrés d'activation pour chaque règle.

Les fonctions d'appartenances des variables et les règles d'inférences constituent le cœur du régulateur flou mais elles sont mises en place intuitivement car il n'existe pas des règles systématiques pour le faire, donc elles doivent être posées par des experts du système à régler, et avec des connaissances acquises *itérativement* par la simulation mais aussi les essais pratiques.

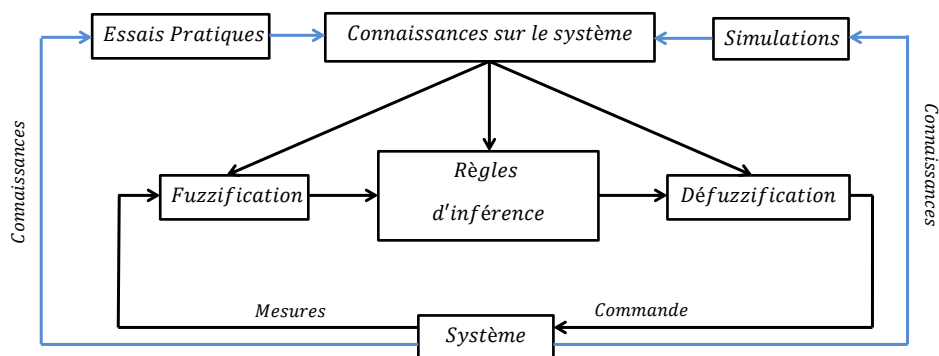


Figure 3.23: Principe de la Commande floue

Les régulateurs par logique floue construisent le signal de commande par combinaison non linéaire d'un choix limité de grandeurs physiques mesurées sur le système à régler et de la grandeur de consigne [28]

Nous prenons l'erreur de réglage de la tension v_{dcn} , e et la variation de cette erreur δe comme variables d'entrée du régulateur flou. Tel que :

$$\begin{aligned} e &= v_{ref} - v_{dcn} \\ \delta e &= \frac{d}{dt}e \end{aligned}$$

2. fuzzification

Les fonctions d'appartenances permettent la projection des valeurs des variables d'entrées dans l'intervalle $[0,1]$, les valeurs obtenues présentent les degrés d'appartenances de ces variables d'entrées à chaque variable floue. Les entrées peuvent appartenir à une ou plusieurs variables floues avec des degrés différents.

Les variables floues que nous avons adoptés sont :

Pour la variable e :

- **Z** : Nul
- **PS** : Positif petit
- **PB** : Positif grand
- **NS** : Négatif petit
- **NB** : Négatif grand

Pour la variable δe :

- **Z** : nul
- **N** : Négatif
- **P** : Positif

Après les simulations et les améliorations itératives des fonctions d'appartenances on a abouti aux résultats suivants :

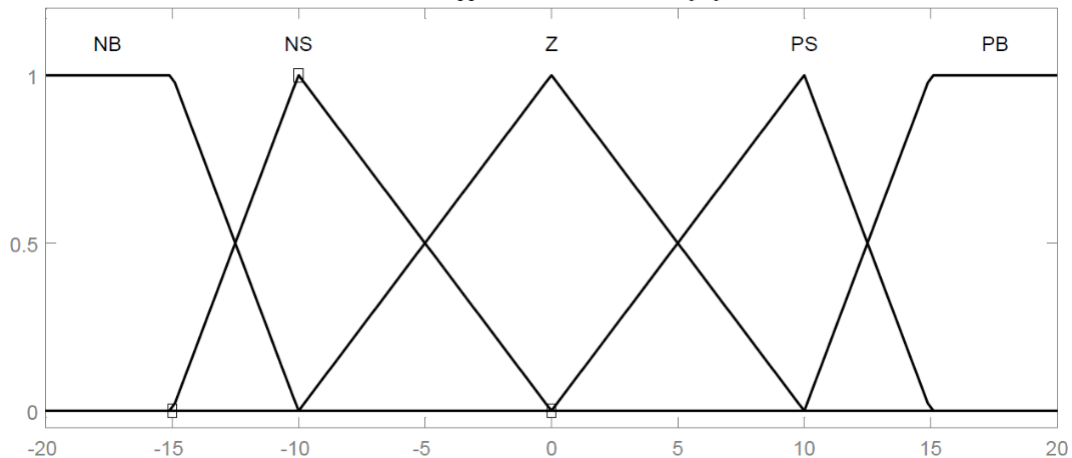


Figure 3.24: Fonctions d'appartenance de la variable e

La figure (3.24) montre les fonctions d'appartenance de la variable e , pour une valeur $e > 15V$ ou $e < -15V$, la variable est considérée grande (NB ou PB), une fonction trapézoïdale est utilisée dans ce sens. La fonction d'appartenance Z a une base large $[-10,10]$ afin que l'influence des ondulations de la tension sur la commande soit minimisée. On peut voir aussi qu'une forme triangulaire pour Z est utilisée, elle est indispensable pour éviter les erreurs statiques.

Les fonctions N et P de la variable δe montrées dans la figure (3.25) sont éloignées du zéro

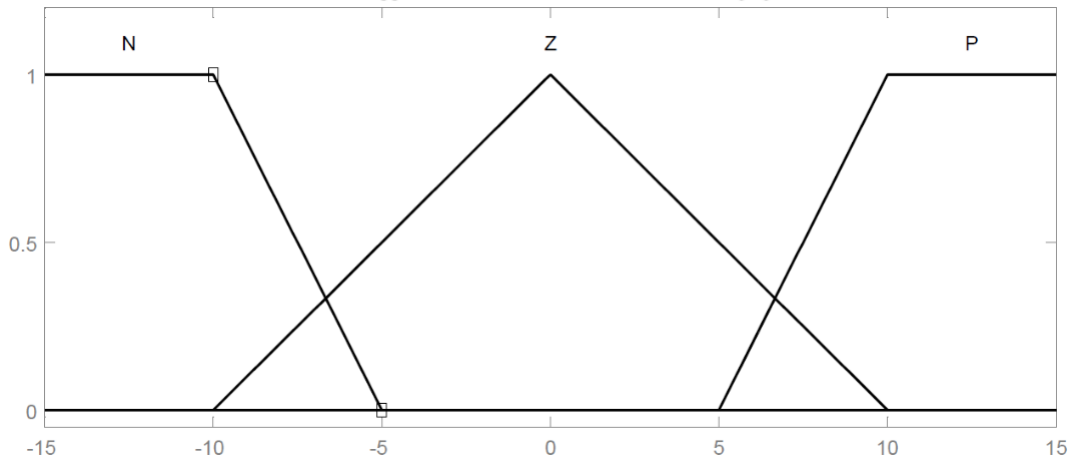


Figure 3.25: Fonctions d'appartenance de la variable δe

afin que l'influence de cette variable sera minime devant celle du e quand la tension v_{dcn} sera proche de la référence.

3. Règles d'inférence

Les règles sont conçues de telle sorte que l'écart e est ramené rapidement aux alentours de zéro en appliquant une commande D_{max} ou D_{min} , quand l'écart entre la zone $[-15, 15]$ la commande est réduite à D_1 ou D_2 afin que le dépassement soit réduit, quand l'erreur est annulée on lui applique une commande D permettant de garder la tension v_{dcn} égale à la référence.

Le tableau (3.4) récapitule l'ensemble des lois d'inférences, ou les valeurs de la commande sont calculées ainsi :

$$\left\{ \begin{array}{l} D = \frac{V_{ref} - V_g}{2V_{ref}} \\ D_{max,min} = D \pm \alpha_{max} \\ D_{1,2} = D \pm \alpha_{min} \end{array} \right.$$

Où α_{max} et α_{min} sont des coefficients répondants aux contraintes suivantes :

$$\alpha_{max} < \alpha_{min} \text{ et } \alpha_{max} < 0.5 - D$$

$\delta e e$	NB	NS	Z	PS	PB
N	D_{min}	D_1	D_1	D_2	D_{max}
Z	D_{min}	D_1	D	D_2	D_{max}
P	D_{min}	D_1	D_2	D_2	D_{max}

Table 3.4: Règles d'inférence

Dans les inférences on utilise les opérateurs ET et OU , l'opérateur ET est utilisé pour les variables à l'intérieur d'une règle, alors que l'opérateur OU lie les différentes règles, il existe plusieurs méthodes pour réaliser ces opérateurs.[32]

La méthode d'inférence utilisée dans ce travail est la méthode $min - max$ où le minimum des degrés d'appartenance représente l'opérateur ET et le maximum représente l'opérateur OU qui lie les différentes règles. La figure (3.26) représente la surface floue pour $D = 0.25$ qui permet de mieux illustrer les règles floues.

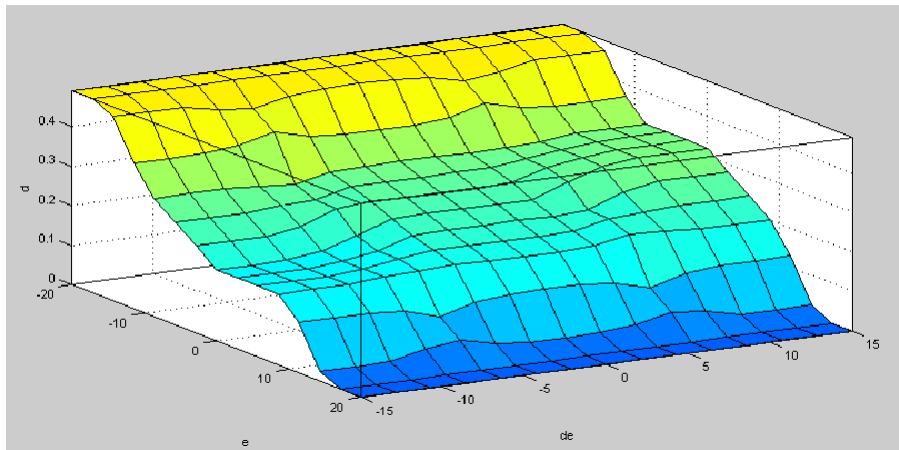


Figure 3.26: Surface floue ($D = 0.25$)

4. Defuzzification

Le régulateur conçu est un régulateur de type TSK , d'où les conclusions des règles sont des valeurs numériques avec des degrés d'activation β_i , la sortie du régulateur est calculée en utilisant la formule suivante :

$$U = \frac{\sum \beta_i x_i}{\sum \beta_i}$$

Avec :

U : La Commande (Rapport cyclique de Shoot-Through)

$x = [D_{min}, D_1, D, D_2, D_{max}]$

β_i : Degrés d'activations

5. Simulation

Les paramètres du tableau (3.1) sont utilisés pour simuler le système régulé par le contrôleur flou, les figures (3.27 à 3.32) présentent la réponse du système à une variation de la référence.

Le dépassement de la réponse du système est évalué à 15% avec un temps de réponse de

40ms. On constate des ondulations au niveau de la tension v_{dcn} qu'on peut les mieux voir dans la figure (3.30) montrant l'erreur variant entre $\pm 0.5V$.

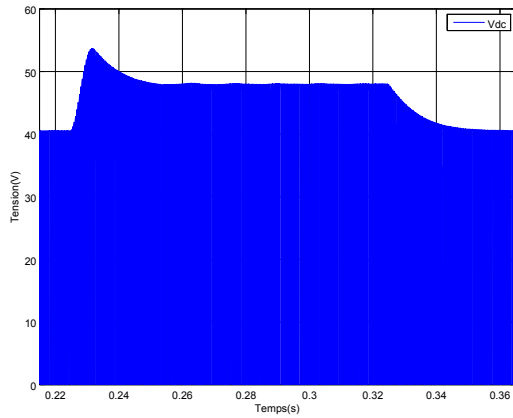


Figure 3.27: Tension du bus continu

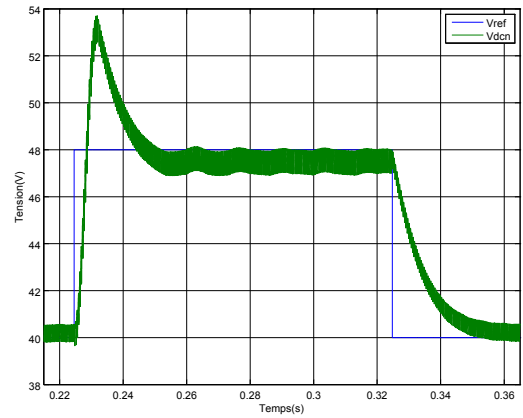


Figure 3.28: Tension v_{dcn}

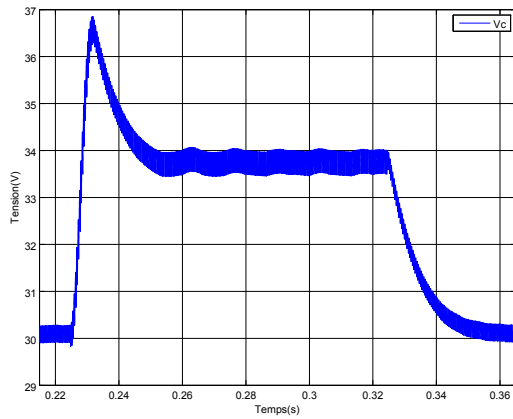


Figure 3.29: Tension du Condensateur

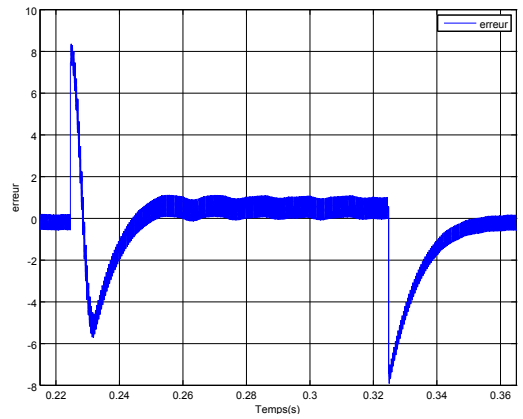


Figure 3.30: Ecart de réglage

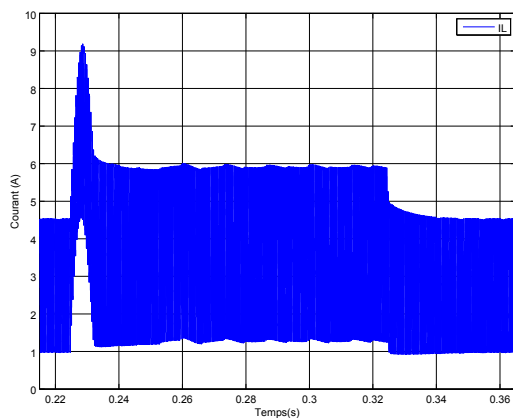


Figure 3.31: Courant passant par l'inductance

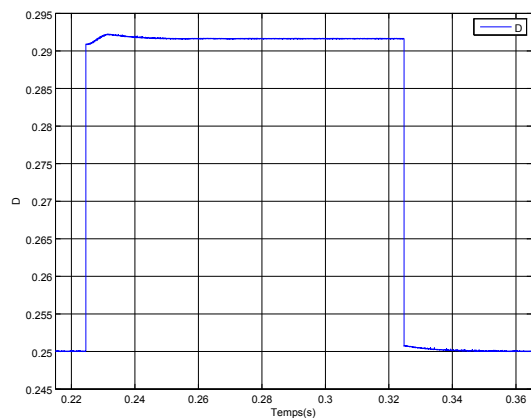


Figure 3.32: Signal de commande (D)

6. Test de Perturbation et de robustesse

perturbation au niveau de la tension V_g : La figure (3.33) montre bien la réaction du régulateur face à une perturbation de 25% de la tension d'entrée V_g . La tension v_{dcn} rejoint la référence après une durée de 20ms et un dépassement de 10%.

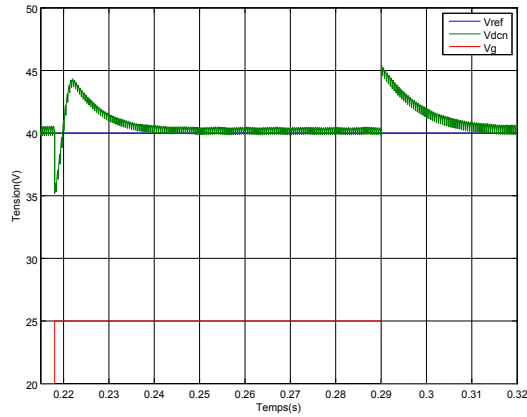


Figure 3.33: Tensions v_{dcn} et v_g

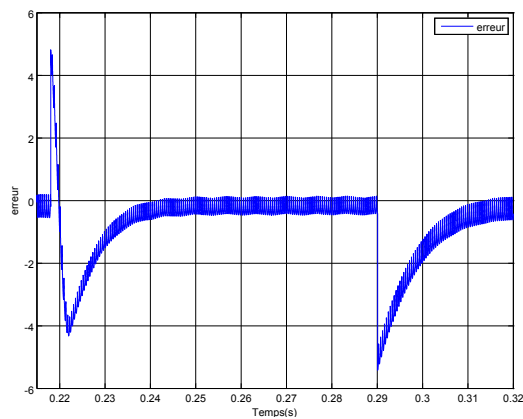


Figure 3.34: Ecart de réglage

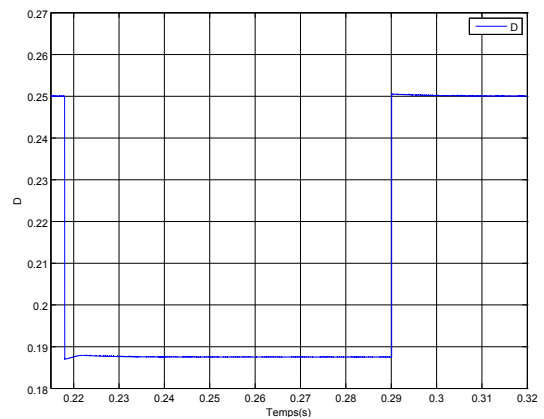


Figure 3.35: Tension V_{dcn}

perturbation au niveau de la Commande D : La perturbation de la commande engendre une erreur statique de l'ordre de 20% (Figures 3.36, 3.37). Le régulateur est vulnérable aux perturbations de la commande.

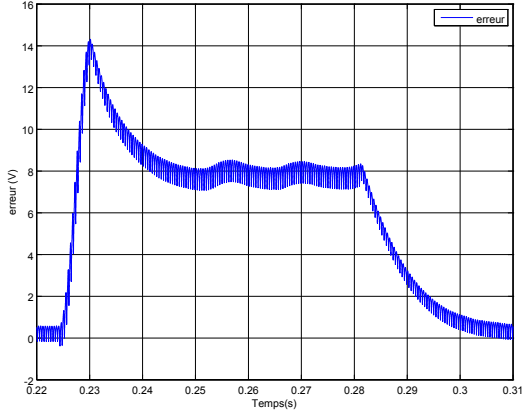


Figure 3.36: Ecart de réglage

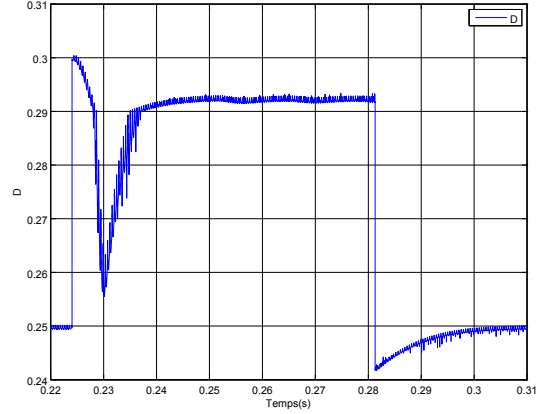


Figure 3.37: Commande

7. Amélioration du rejet de perturbation

Afin d'améliorer le rejet de la perturbation de la commande, on doit prendre en considération cette dernière dans la programmation du régulateur, pour cela, on suppose une perturbation δd ajoutée à la commande ,et dans le cas où la sortie rejoint la référence, la commande appliquée au système sera :

$$D = D_{rég} + \delta d$$

Tel que :

D : Commande appliquée.

$D_{rég}$: Commande à la sortie du régulateur.

La perturbation δd peut être calculée en appliquant l'équation (2.3) :

$$\delta d = \frac{v_{dcn} - v_g}{2v_{dcn}} - \frac{v_{ref} - v_g}{2v_{ref}} = \frac{2V_g(v_{dcn} - v_{ref})}{2v_{dcn}v_{ref}}$$

d'où :

$$\delta d = \frac{V_g \cdot e}{2v_{ref}(e + v_{ref})}$$

La nouvelle commande devient :

$$D_{amélioré} = D_{rég} - \delta d = \frac{v_{ref} - V_g}{2v_{ref}} - \frac{V_g e}{2v_{ref}(e + v_{ref})}$$

Dans le cas du régulateur amélioré, la perturbation est rejetée en utilisant une commande dynamique au lieu d'une commande fixe pour une valeur donnée de la référence v_{ref} , c'est à dire que la sortie du régulateur ne varie pas seulement en fonctions des degrés d'activation β_i mais aussi avec la variation du vecteur $x = [D_{min}, D_1, D, D_2, D_{max}]$.

L'erreur statique a été diminuée de 20% à 3.8% .(Figures 3.38)

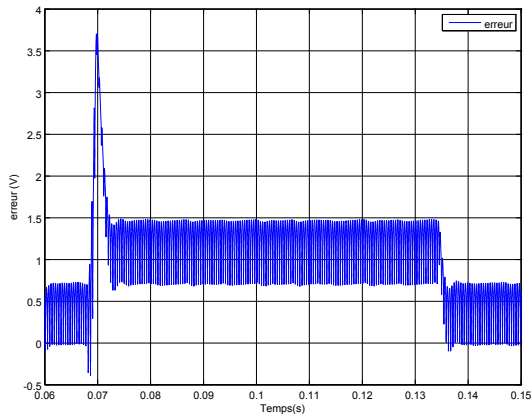


Figure 3.38: Ecart de réglage

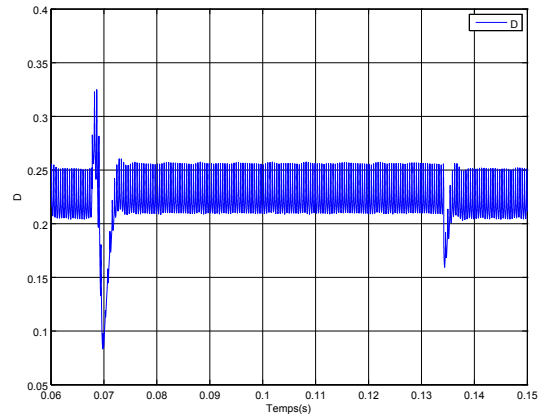


Figure 3.39: Signal de commande

3.2.3 Comparaison *PID* – *TSK*

Le régulateur PID a montré une meilleure performance par rapport au régulateur TSK, on a observé un temps de réponse et un dépassement plus petits que pour le contrôleur flou, mais aussi des ondulations à l'état d'équilibre sont observées pour ce dernier. Le rejet de perturbations de la tension de sortie est total pour les deux régulateurs avec un temps de réponse minime.

Le régulateur PID s'est montré robuste face aux perturbations de la commande, mais le régulateur TSK est vulnérable à ce genre de perturbations, un grand écart statique est remarqué, cette erreur a été diminuée en reformulant les conclusions des règles d'inférence de sorte que la perturbation de la commande est incluse dans le calcul.

Grâce aux logiciels proposés par plusieurs fournisseurs, la conception d'un régulateur par logique floue est assez aisée, de même que son implantation sur un ordinateur pour le réglage en temps réel, on obtient rapidement un résultat assez bon. La difficulté est de passer d'un réglage assez bon à un réglage très bon. En effet on ne dispose que peu d'indications sur la marche à suivre pour modifier les règles, la fuzzification ou les méthodes d'inférence afin d'améliorer un résultat connu.[28]

Étude et commande d'un onduleur Z source

4.1 Introduction

Les convertisseurs statiques permettent grâce à une commande appropriée de transférer de l'énergie d'une source vers un récepteur. Ils nécessitent l'utilisation d'interrupteurs à semi-conducteurs, commandés ou non, comme les transistors, les thyristors, les diodes... [33]. La conversion continue alternative a pour rôle la transformation d'un signal de tension (ou de courant) continu en un signal de tension (ou de courant) alternatif d'amplitude, de fréquence et de phase désirées. Cette transformation s'opère dans un convertisseur appelé onduleur (Figure 4.1), aussi on distingue deux grands groupes : les onduleurs de tension et les onduleurs de courant.

On élabore un modèle du fonctionnement des onduleurs à Z-source sans a priori sur la com-

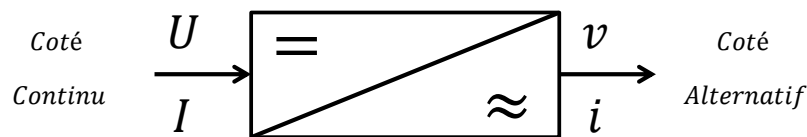


Figure 4.1: transformation continue/alternative

mande et par la suite avec les commandes étudiées en chapitre 3 précédent, et pour simplifier le schéma, on représente chaque paire IGBT-Diode par un seul interrupteur bidirectionnel K et on procède par bras (grâce à la symétrie de ZSI). Les composants évoqués dans ce mémoire seront considérés comme parfaits : donc aucune perte de puissance ne leur sera imputable.

Dans ce chapitre, nous aborderons en premier lieu le fonctionnement des onduleurs conventionnels, puis le ZSI en passant par l'état Shoot-Through. Nous décrirons par la suite les différentes méthodes de survoltage à savoir : simple boost, maximum boost et constant boost.

4.2 Convertisseur DC-AC (Onduleur) conventionnel

Actuellement l'utilisation des onduleurs, qui prennent de plus en plus du terrain dans les domaines d'applications les plus variés, devient incontournable. Le développement des

semi-conducteurs entièrement commandable, rapides, et robustes d'une part, et le perfectionnement des techniques de commande d'autre part ont eu un énorme rôle dans l'évolution de ces convertisseurs. Ces progrès ont permis d'intégrer les onduleurs dans des applications particulièrement intéressantes [34]. On distingue deux principaux types d'onduleurs selon la nature de la source d'alimentation [27] :

- Les onduleurs de courant : Alimentés par une source de courant, sont peu affectés par les variations de tension.
- Les onduleurs de tension : Alimentés par une source de tension continue, sont peu affectés par les variations de courant. Composés de bras à interrupteurs réversibles en courant, commandés à la fermeture et à l'ouverture.

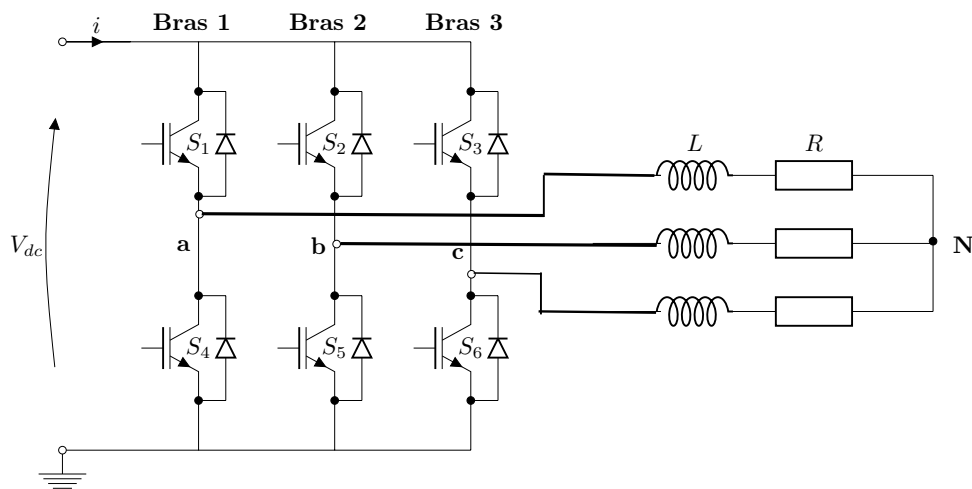


Figure 4.2: onduleur à deux niveaux (IGBT)

- Branche 1 : $S_a = 0$ Si S_1 est ouvert et S_4 est fermé $S_a = 1$ Si S_1 est fermé et S_4 est ouvert
- Branche 2 : $S_b = 0$ Si S_2 est ouvert et S_5 est fermé $S_b = 1$ Si S_2 est fermé et S_5 est ouvert
- Branche 3 : $S_c = 0$ Si S_3 est ouvert et S_6 est fermé $S_c = 1$ Si S_3 est fermé et S_6 est ouvert

À la sortie du convertisseur, nous avons les tensions composées qui sont exprimées en fonction des états des interrupteurs et de la tension continue, elles sont données par :

$$\begin{cases} U_{ab} = V_{dc}(S_a - S_b) \\ U_{bc} = V_{dc}(S_b - S_c) \\ U_{ca} = V_{dc}(S_c - S_a) \end{cases} \quad (4.1)$$

Si on considère que les tensions sont équilibrées, alors nous pouvons écrire :

$$\begin{cases} V_{an} = \frac{1}{3}(U_{ab} - U_{ca}) \\ V_{bn} = \frac{1}{3}(U_{bc} - U_{ab}) \\ V_{cn} = \frac{1}{3}(U_{ca} - U_{bc}) \end{cases} \quad (4.2)$$

En remplaçant (4.1) dans l'expression (4.2) nous obtenons sous la forme matricielle le système suivant :

$$\begin{bmatrix} V_{an} \\ V_{bn} \\ V_{cn} \end{bmatrix} = \frac{V_{dc}}{3} \begin{bmatrix} 2 & -1 & -1 \\ -1 & 2 & -1 \\ -1 & -1 & 2 \end{bmatrix} \begin{bmatrix} S_a \\ S_b \\ S_c \end{bmatrix} \quad (4.3)$$

A l'équilibre, avec des impédances de phases identiques, les courants fondamentaux sont exprimés comme suit :

$$\begin{cases} i_a = I_m \sin(\omega t + \phi) \\ i_b = I_m \sin(\omega t - \frac{2\pi}{3} + \phi) \\ i_c = I_m \sin(\omega t + \frac{2\pi}{3} + \phi) \end{cases} \quad (4.4)$$

Tel que :

- I_m : L'amplitude du courant
- ω : La fréquence angulaire
- ϕ : Déphasage entre le courant et la tension de phase

4.2.1 Modélisation du filtre LC à la sortie du ZSI

Pour diminuer les harmoniques de la tension de sortie de l'onduleur, un filtre doit être bien modélisé. Afin de déterminer plus facilement la transmittance du filtre, on utilise le schéma monophasé. (Figure 4.3)

Où r_f est la résistance de fuite de l'inductance L_f .

La fonction de transfert du filtre est donnée par l'expression suivante [34] :

$$H_s = \frac{V_C}{V_A} = \frac{1}{1 + C_f r_f \cdot s + L_f C_f \cdot s^2} \quad (4.5)$$

Elle est de la forme :

$$H_s = \frac{1}{1 + \frac{1}{2\xi\omega_n} \cdot s + \frac{1}{\omega_n^2} \cdot s^2} \quad (4.6)$$

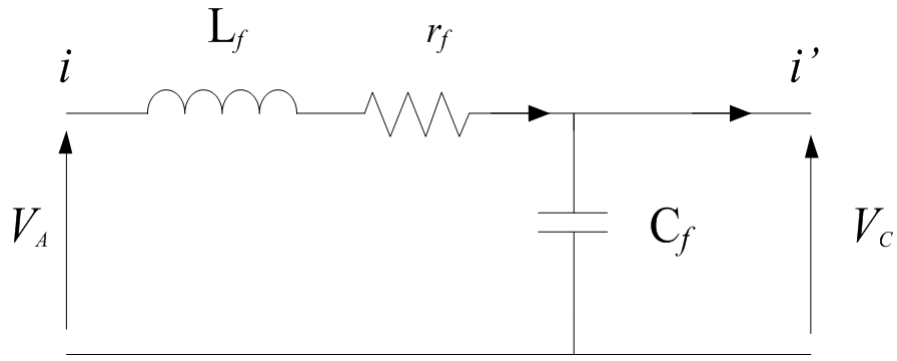


Figure 4.3: Schéma monophasé équivalent du filtre LC

Par identification on trouve :

$$\begin{aligned}\omega_n &= \frac{1}{\sqrt{L_f C_f}} \\ \xi &= \frac{1}{2} \cdot r_f \cdot \sqrt{\frac{C_f}{L_f}}\end{aligned}\tag{4.7}$$

En choisissant une bonne fréquence de coupure qui va nous permettre d'éliminer les fréquences non désirées et en considérant le coefficient d'amortissement ξ adéquat, on attribue un dimensionnement correct à l'inductance et à la capacité du filtre utilisé.

4.3 L'état Shoot-Through

Le couplage de la source continue et l'onduleur est fait à travers le réseau d'impédance Z-source. Le ZSI accepte un état de commutation non permis dans l'onduleur de tension conventionnel, cet état aura lieu lorsque tous les interrupteurs d'un bras sont fermés, c'est l'état *Shoot-Through*.

Dans un onduleur conventionnel les états possibles de commutation sont huit (8) : six (6) états actifs où la charge voit la source de tension et les deux (2) autres états sont appelés les états zéro où tous les interrupteurs en haut ou en bas de tous les bras d'un onduleur sont fermés ou ouverts, donc la charge ne voit pas la source de tension continue, sa tension est nulle. En conséquence ZSI contient neuf état de commutation : huit conventionnels et l'état *Shoot-Through*).

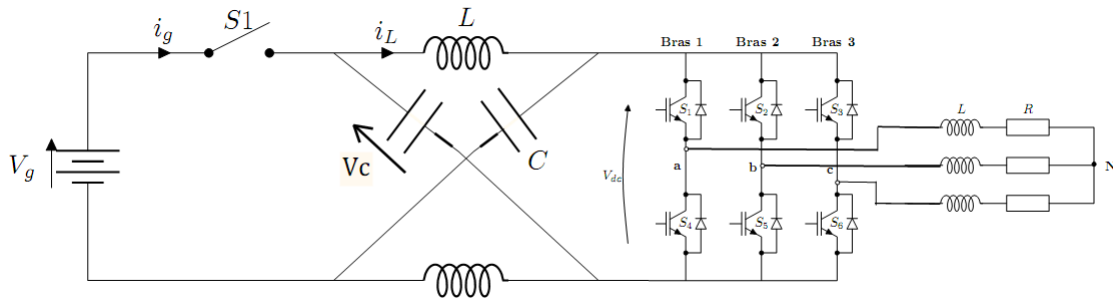


Figure 4.4: Structure générale d'un ZSI

Ce dernier peut être produit par sept manières différentes : par un seul bras, par combinaison de deux bras ou par tous les trois bras. Des différentes méthodes de survoltage seront traitées dans ce chapitre qui permettent d'insérer l'état Shoot-Through sans modifier le fonctionnement des MLI, afin de ne pas altérer la tension de sortie de ZSI.

4.4 Commande MLI classique et MLI modifiée

4.4.1 MLI classique

Cette technique de commande utilise les intersections d'une onde de référence ou modulante avec une porteuse triangulaire bipolaire. L'ouverture et la fermeture des interrupteurs de l'onduleur sont commandées par le signal résultant de la comparaison de ces deux signaux. Deux paramètres caractérisent cette technique :

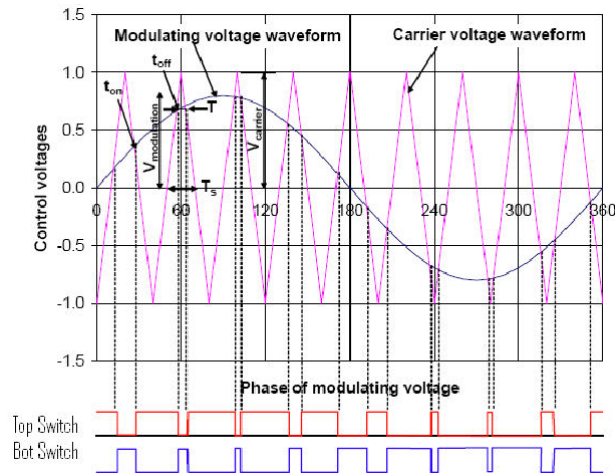


Figure 4.5: commande MLI conventionnelle

- L'indice de modulation : $m = \frac{f_p}{f}$ Avec :
 - f_p : La fréquence de la porteuse ;
 - f : La fréquence de la tension de référence.

- Le taux de modulation M :

$$M = \frac{V_{ref}}{(n-1)V_p} \quad (4.8)$$

- $n=2$: nombre de niveaux
- V_{ref} : L'amplitude de la tension de référence.
- V_p : L'amplitude de la porteuse.

Nous pouvons résumer la stratégie de commande triangulo-sinusoidale pour un onduleur à deux niveaux en 2 cas, pour le bras 1,2 ou 3 :

$k = a, b, c$

$$V_{ref} \succeq V_p \implies S_k = 1$$

$$V_{ref} \prec V_p \implies S_k = 0$$

4.4.2 MLI modifiée

La figure (4.6) suivante montre la porteuse triangulaire d'une MLI pour VSI, les références sont comparées à la porteuse triangulaire, si une référence est supérieure à la porteuse l'interrupteur en haut dans le bras correspondant à la référence devient fermé et celui en bas dans le même bras devient ouvert et vice versa. Le premier état zéro a lieu lorsque la porteuse est supérieure à toutes les références, i.e. tous les interrupteurs en haut dans tous les bras sont fermés et ceux en bas sont ouverts. Le second état zéro a lieu lorsque la porteuse est inférieure à toutes les références, i.e. tous les interrupteurs en bas dans tous les bras sont fermés et ceux en haut sont ouverts.

Tous les huit (8) états possibles d'un VSI peuvent se distinguer dans la figure (4.6). L'état Shoot-Through peut être inséré dans la MLI classique pour un onduleur de tension sans modifier cette dernière. On distribue les états shoot-through avec des durées égales dans les états zéro. On constate d'après la figure (4.7) que les états actifs sont les mêmes avant et après l'introduction de shoot-through, ils restent intactes dans un onduleur ZS.

Un autre avantage de ZSI par rapport à l'onduleur de tension conventionnel apparaît dans la pratique : dans l'onduleur de tension conventionnel il est nécessaire lors de la transition d'un état de commutation à un autre d'introduire la butée d'onduleur (Dead time) pour protéger l'onduleur en évitant le court-circuit, ce qui cause la distorsion de la tension de sortie de l'onduleur, mais en ZSI l'utilisation de la butée d'onduleur (Dead time) n'est plus indispensable.

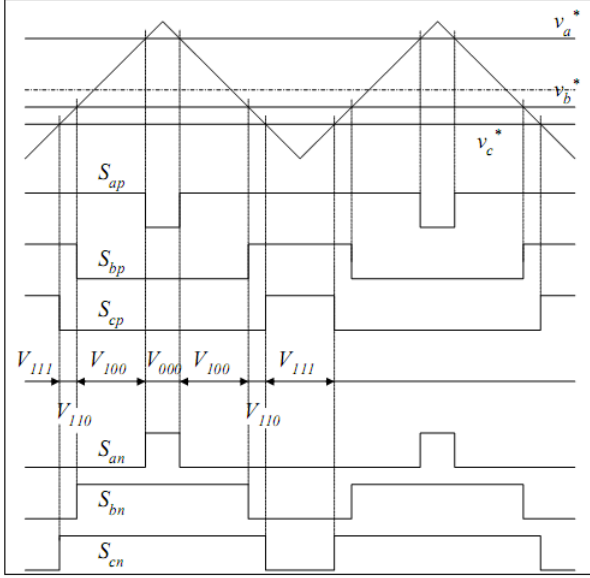


Figure 4.6: MLI conventionnelle

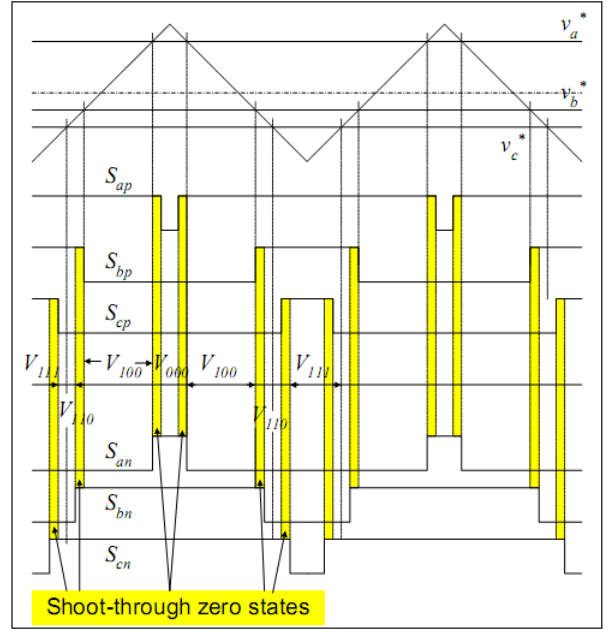


Figure 4.7: MLI modifiée

4.5 Méthodes de survoltage (boosting methods)

On a expliqué comment introduire les états shoot-through dans une MLI, on va citer maintenant les différentes méthodes principales de survoltage : Simple boost, maximum boost, constant maximum boost.

4.5.1 Simple boost

La méthode simple boost est utilisée pour commander le rapport cyclique de Shoot-Through, la figure (4.8) illustre cette méthode, où on utilise deux droites horizontales (V_P et V_N), V_P est égale ou supérieure à V_{ref} , et V_N est inférieure ou égale $-V_{ref}$. Si la porteuse triangulaire est supérieure à V_P ou inférieure à V_N , ZSI est à l'état shoot-through, ZSI maintient les états actifs d'un onduleur conventionnel.

Dans cette méthode la valeur maximale du rapport cyclique de Shoot-Through D_{max} diminue si le taux de modulation M augmente, la valeur maximale de D est donnée par :

$$D_{max} = 1 - M \quad (4.9)$$

Les formules reliant le taux de modulation M et le facteur de survoltage B discutées en [35] sont :

$$B_{max} = \frac{1}{1 - 2D_{max}} = \frac{1}{1 - 2(1 - M)}$$

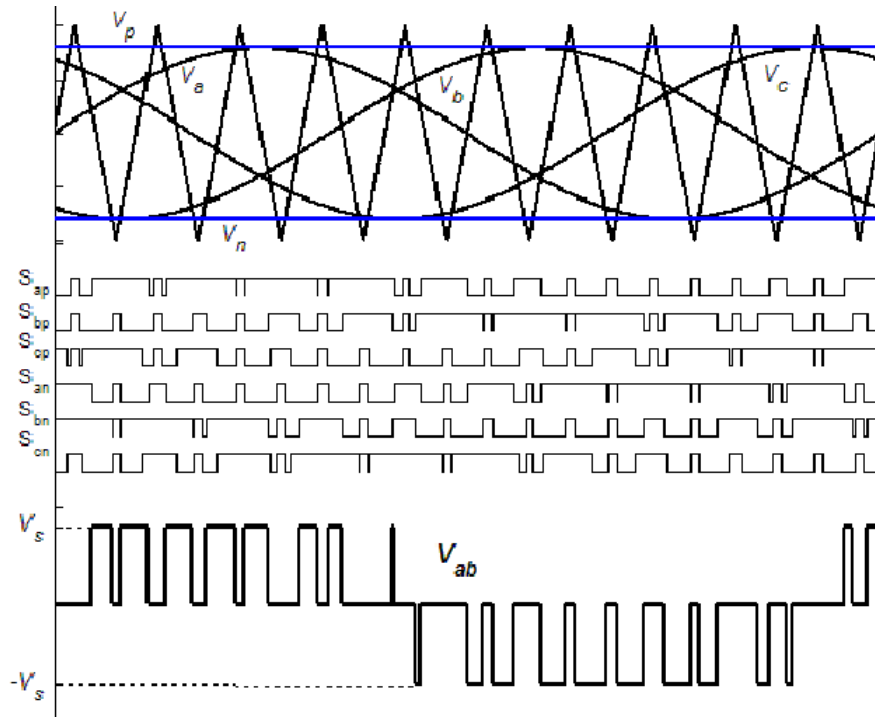


Figure 4.8: La commande simple boost [13]

$$\Rightarrow M = \frac{B + 1}{2B} \quad (4.10)$$

On aura finalement le gain :

$$G = M \times B = \frac{\hat{V}_{ac}}{V_g/2} = \frac{B + 1}{2} \quad (4.11)$$

On obtient le gain max en fonction de M :

$$G_{max} = \frac{M}{2M - 1} \quad (4.12)$$

4.5.2 Maximum boost

Cette méthode convertit tous les états zéro d'un onduleur conventionnel en états Shoot-Through (presque semblable à MLI conventionnelle) avec le maintien des états actifs, dans cette méthode on compare entre le maximum et le minimum des références avec la porteuse triangulaire, si le maximum est inférieur à la porteuse ou le minimum est supérieur à la porteuse donc ZSI est à l'état Shoot-Through, dans cette méthode le rapport cyclique de Shoot-Through D se répète à chaque $\frac{3}{\pi}$.

Supposant que la fréquence de commutation est beaucoup plus grande que la fréquence de modulation, le rapport Shoot-Through en un cycle de commutation dans l'intervalle $[\frac{\pi}{6}, \frac{\pi}{2}]$

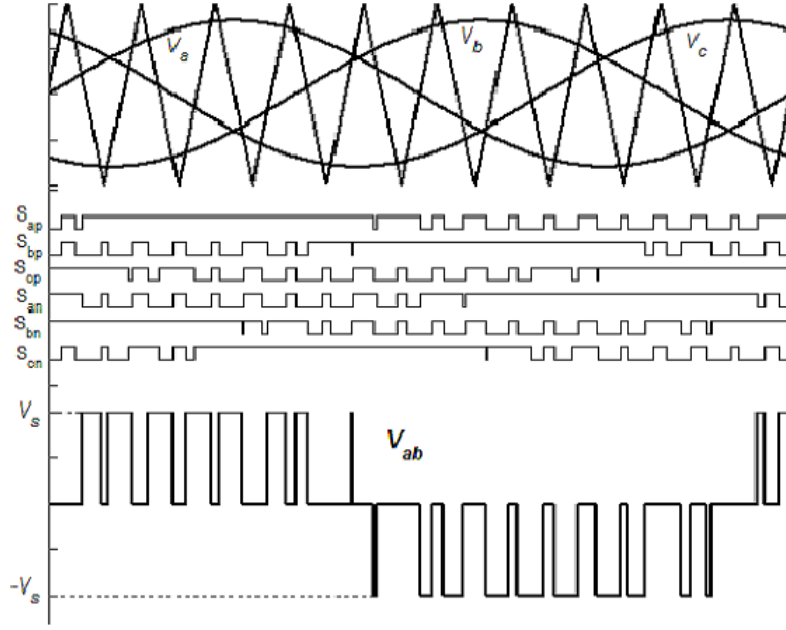


Figure 4.9: La commande maximum boost

et le taux de modulation M et le facteur de survoltage B peuvent être exprimés comme suit : [35]

$$\frac{\hat{T}_0}{T} = \int_{\frac{\pi}{6}}^{\frac{\pi}{2}} \frac{2 - (M \sin \theta - M \sin(\theta - \frac{2\pi}{3}))}{2} = \frac{2\pi - 3\sqrt{3}M}{2\pi} \quad (4.13)$$

impliquerait :

$$M = \frac{\pi(B + 1)}{3\sqrt{3}B} \quad (4.14)$$

par conséquent :

$$G = M.B = \frac{\hat{V}_{ac}}{V_g/2} = \frac{\pi(B + 1)}{3\sqrt{3}} \quad (4.15)$$

Et D aura la valeur minimale à $\omega t = \frac{\pi}{3}$ et la valeur maximum à $\omega t = \frac{\pi}{2}$ ou $\omega t = \frac{\pi}{6}$ [36].

Cette méthode peut être mise en application alternativement en injectant la troisième harmonique, ce qui donne les mêmes résultats avec la méthode proposée en figure (4.10).

4.5.3 Constant maximum boost

Dans cette méthode on a deux courbes V_P et V_N qui enveloppent les signaux de références, et on a aussi la porteuse triangulaire, si la porteuse est supérieur à V_P ou inférieure à V_N le ZSI est à l'état Shoot-Through, le rapport cyclique de Shoot-Through D est constant d'où vient le nom de cette méthode. V_P et V_N sont périodiques de période qui est trois fois plus grande que celle de commutation.

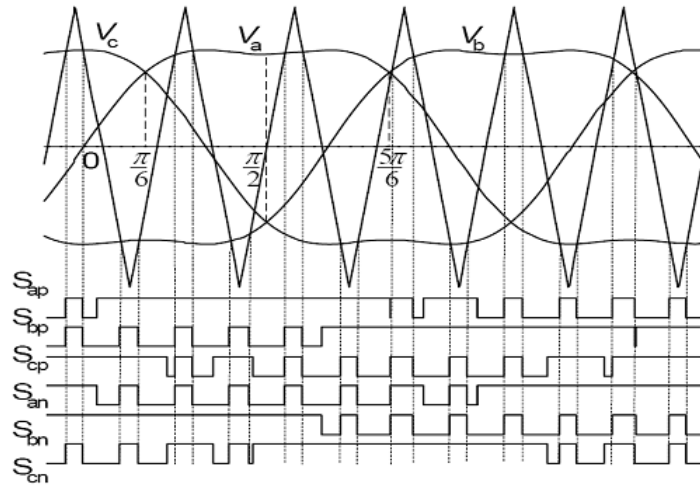


Figure 4.10: Maximum constant boost avec injection la troisième harmonique[24]

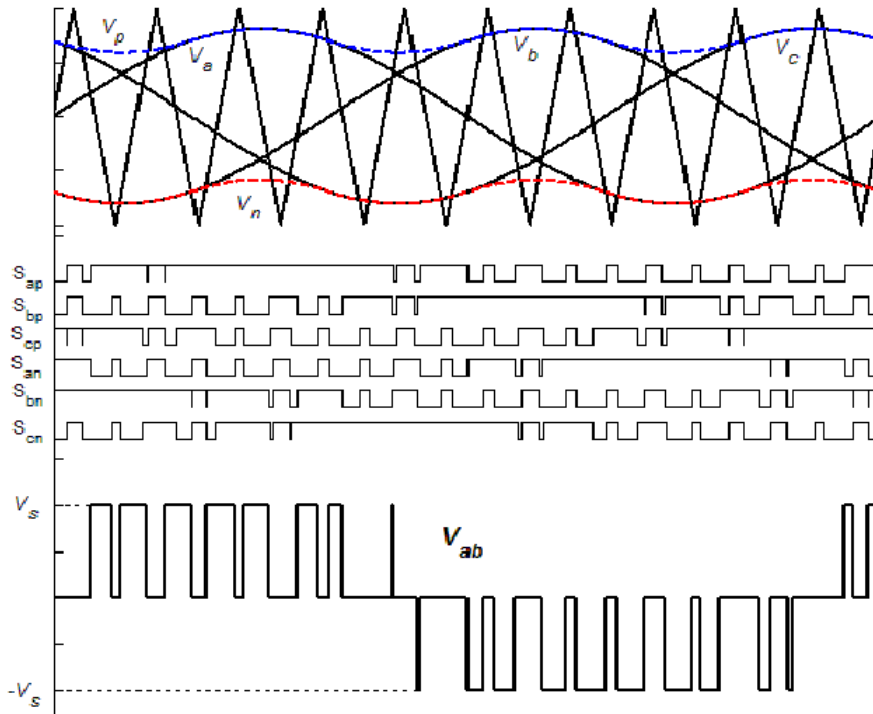


Figure 4.11: La commande constant boost

Pour la première demie période $[0, \frac{\pi}{3}]$: les courbes d'enveloppe sont exprimées respectivement :

$$\begin{cases} V_{p1} = \sqrt{3}M \sin(\theta - \frac{2\pi}{3})M \\ V_{n1} = \sin(\theta - \frac{2\pi}{3})M \end{cases} \quad (4.16)$$

Pour la deuxième demi période $[\frac{\pi}{3}, \frac{2\pi}{3}]$, V_P et V_n sont exprimées respectivement :

$$\begin{cases} V_{p2} = \sin(\theta)M \\ V_{n2} = \sin(\theta)M - \sqrt{3}M \end{cases} \quad (4.17)$$

Évidemment, la distance entre ces deux courbes détermine le rapport Shoot-Through, elle est toujours constante pour un taux de modulation donné, c.-à-d. : $\sqrt{3}M$.

Par conséquent, le rapport Shoot-Through peut être exprimé comme [36] :

$$\frac{T_0}{T} = \frac{2 - \sqrt{3}M}{2} = 1 - \frac{\sqrt{3}M}{2} \quad (4.18)$$

Et le facteur de survoltage sera :

$$B = \frac{1}{1 - 2\frac{T_0}{T}} = \frac{1}{\sqrt{3}M - 1} \quad (4.19)$$

Par conséquent le gain s'écrit :

$$G = MB = \frac{M}{\sqrt{3}M - 1} \quad (4.20)$$

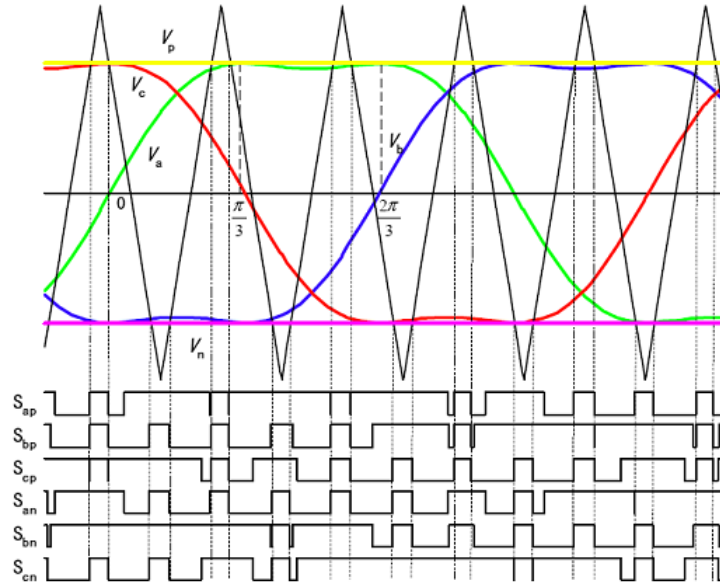


Figure 4.12: Maximum constant boost avec injection la troisième harmonique

Cette méthode peut être mise en application alternativement en injectant la troisième harmonique. Ce qui donne même résultats avec la méthode proposée en figure (4.10).

La figure (4.12) montre la variation du gain G en fonction de taux de modulation de différentes méthodes de survoltage. Il est clair d'après la figure que maximum boost étant la méthode de contrôle qui donne un gain le plus élevé de tension pour le même taux de modulation, puis le constant maximum boost puis la méthode de simple boost.

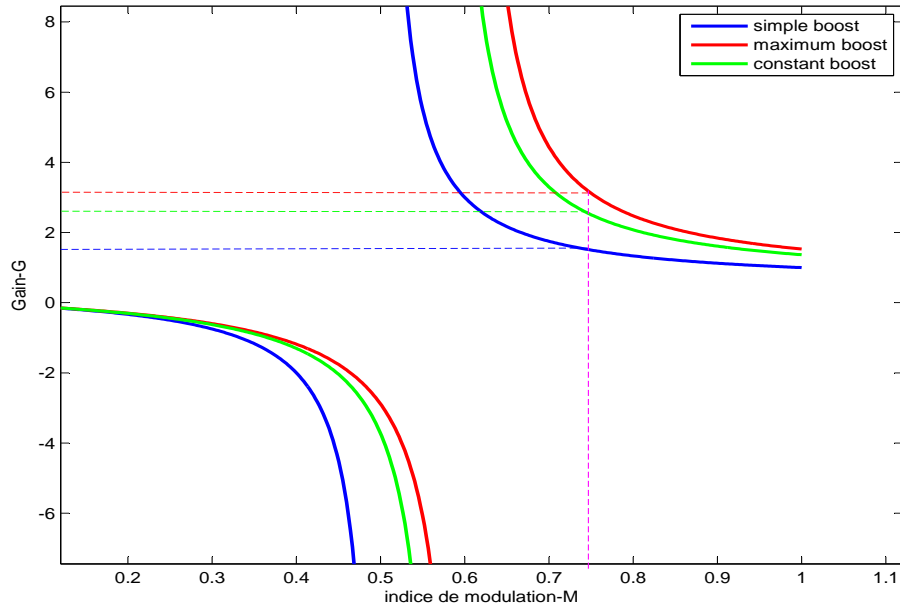


Figure 4.13: $G(M)$ pour les différentes méthodes de survoltage

4.6 Résultats de simulations des différentes méthodes

Le but des simulations en boucle ouverte est de valider les méthodes de survoltage. On impose un taux de modulation M , puis on observe la tension de bus continu virtuel et les tensions à la sortie de l'onduleur. Le tableau (4.1) résume les paramètres du système choisis pour la simulation.

$L(\mu H)$	$C(\mu F)$	$f_{ref}(Hz)$	$f_p(Hz)$	$R_l(\Omega)$	$L_l(mH)$	$V_g(V)$	V_p	V_{ref}	M	B
470	452	50	7500	10	5^{-3}	44	0.8	1	0.8	2.6

Table 4.1: données de simulation des méthodes de survoltage en boucle ouverte

$L(mH)$	$Q_c(kVAR)$	$f_{coupure}(Hz)$	ξ
2	3	200	0.707

Table 4.2: caractéristiques du filtre

4.6.1 simulations de la commande simple boost

Afin de pouvoir comparer cette méthode avec les deux autres où le rapport cyclique de Shoot-Through est maximal, on impose dans cette simulation la valeur max $D=0.2$ qui donne une tension simple à la sortie de l'onduleur de valeur maximale calculée comme suit :

$$V_{an} = MB \frac{V_g}{2} = 0.8 \times 1.67 \times 44/2 = 29.4V \quad (4.21)$$

La figure (4.21) montre les signaux de commande des interrupteurs, la ligne verte (bleu) représente la droite horizontale V_p (V_n). Quand la porteuse triangulaire est supérieure (inférieure) à la droite V_p (V_n) on voit bien que tous les signaux de commande S_i sont mis à l'état 1 : c'est l'état Shoot-Through.

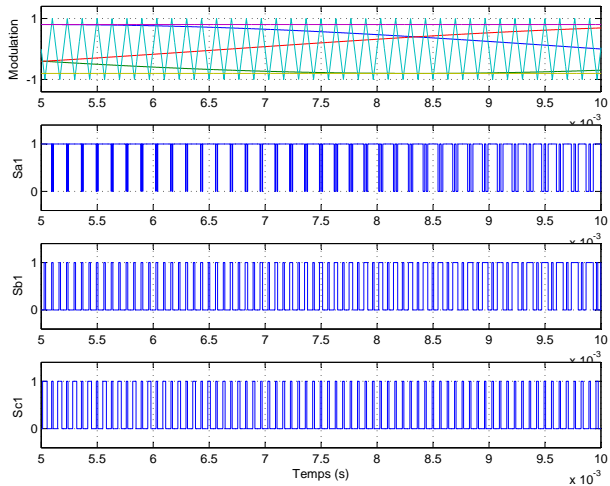


Figure 4.14: Signaux de commande (SB)

La figure (4.16) montre la tension du bus continu qui se stabilise après une durée de 60 ms avec des ondulations de l'ordre de 0.3V (0.4%).

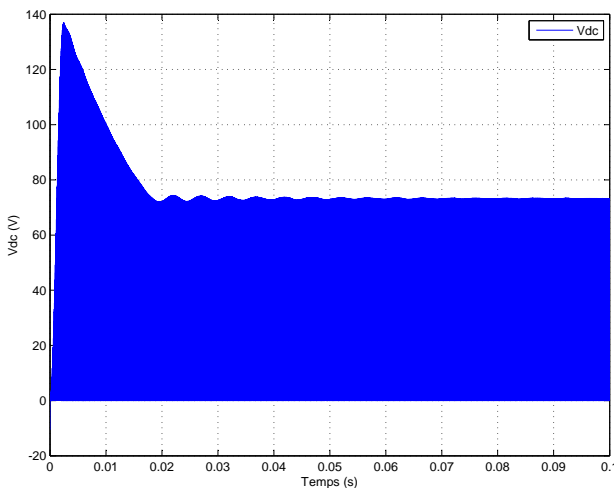


Figure 4.16: La tension V_{dc} de bus continu virtuel

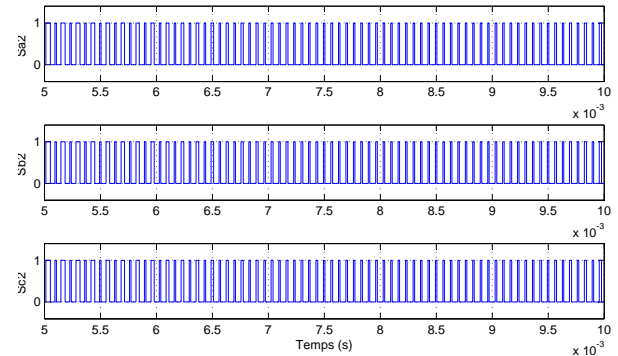


Figure 4.15: Les signaux de commande (interrupteurs inférieures)

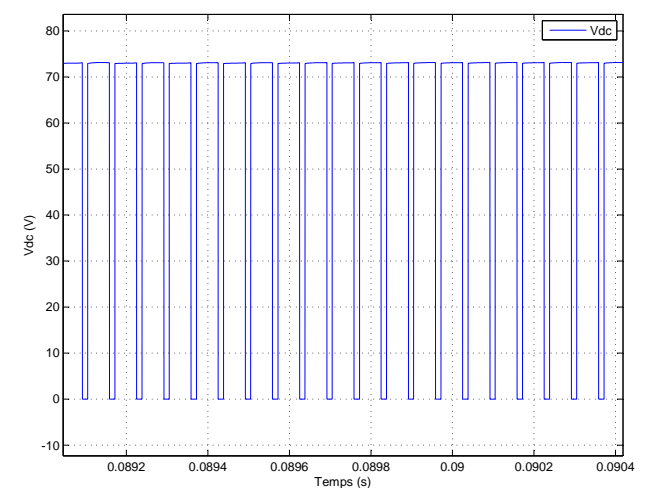


Figure 4.17: La tension V_{dc} de bus continu virtuel ►zoom

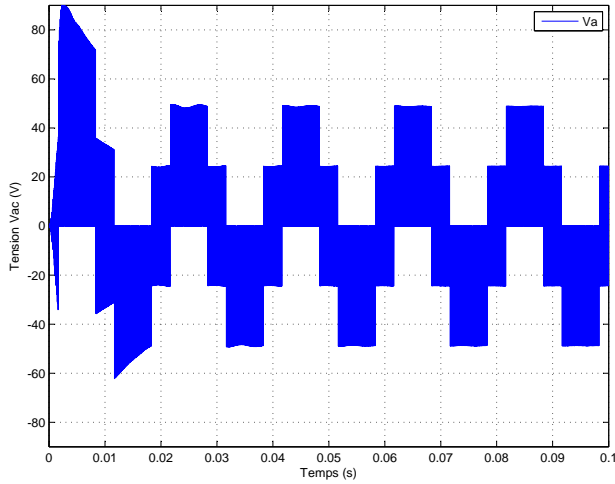


Figure 4.18: Les tensions simples non filtrées

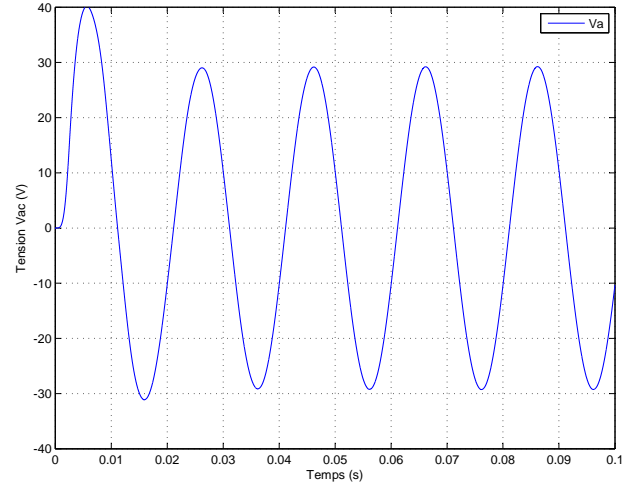


Figure 4.19: Les tensions simples filtrées

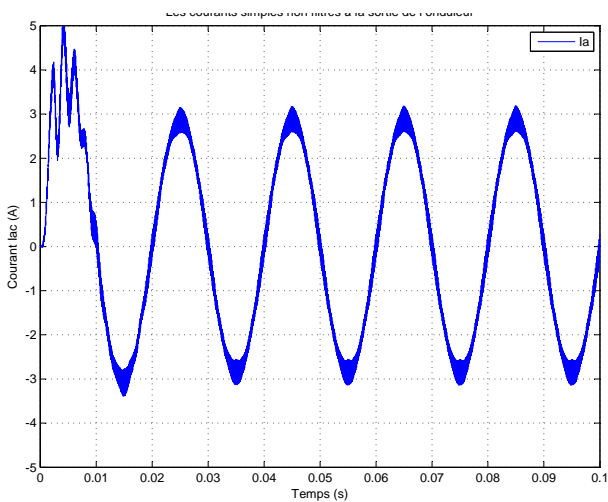


Figure 4.20: Les courants non filtrés

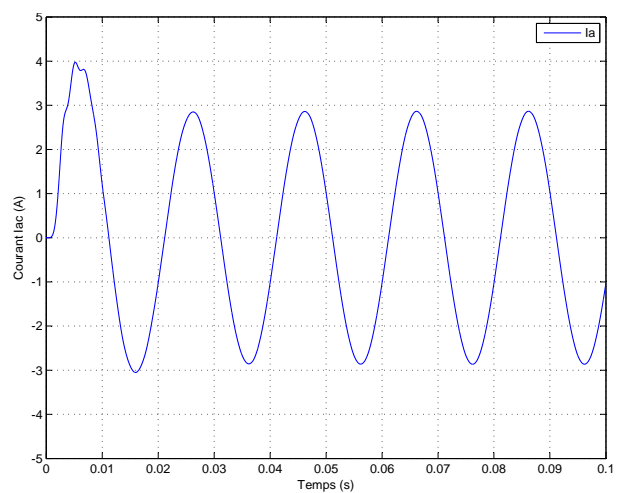


Figure 4.21: Les courants filtrés

Les tensions de sortie de l'onduleur montrées dans la figure (4.19) sont compatibles avec les valeurs calculées. Dans la figure (4.21), les courants de ligne ont une valeur maximale de 2.94 A, ce qui peut être calculé comme suit : $I = V/Z = 29.4/10 = 2.94A$.

Influence du rapport cyclique sur le THD :

On fait varier le rapport cyclique de Shoot-Through D d'une valeur nulle jusqu'à la valeur maximale. Le tableau 4.3 montre les valeurs de THD pour chaque valeur du D , par conséquent le changement du rapport cyclique Shoot-Through a une influence négligeable sur le THD à l'égard du facteur de survolage.

Shoot-Through D	Tension simple de fondamentale(V)	THD
0.00	17.58	91.39
0.05	19.54	91.40
0.10	21.98	91.37
0.15	25.12	91.38
0.20	29.30	91.37

Table 4.3: La variation du THD en fonction de D

4.6.2 Simulations de la commande maximum boost

Le rapport cyclique de Shoot-Through dans cette méthode étant en valeur maximale et variable, la tension simple à la sortie de l'onduleur sera donnée comme suit :

$$V_{an} = M \times B \frac{V_g}{2} = 0.8 \times 3.094 \times \frac{44}{2} = 54.45V \quad (4.22)$$

La figure (4.22) montre les signaux de commande, et l'état Shoot-Through est activé lorsque la porteuse est supérieure au maximum des trois références.

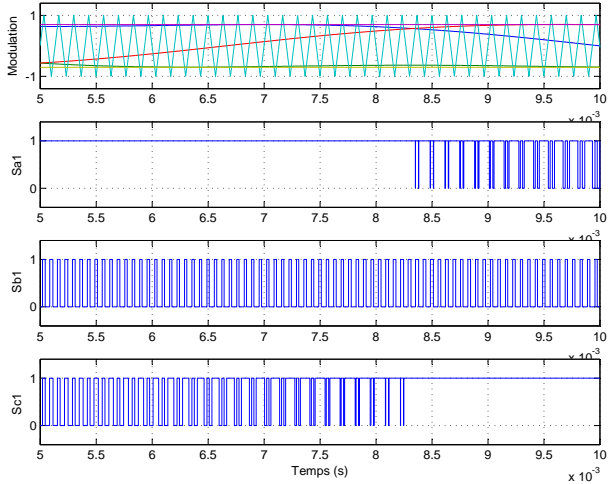


Figure 4.22: Les signaux de commande (MB)

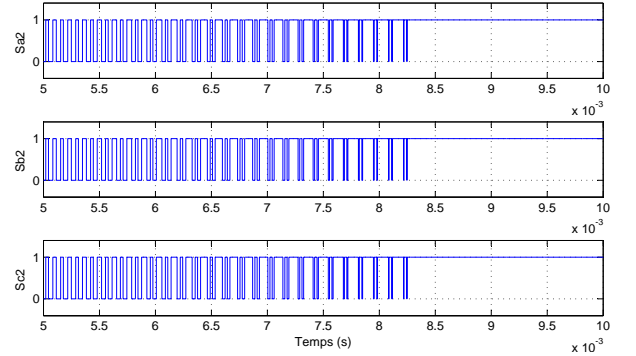


Figure 4.23: Les signaux de commande des interrupteurs inférieures

La tension de bus continu V_{dc} atteint une valeur de 135V, avec des ondulations de l'ordre de 10V (7.5%). Le rapport entre le gain de la méthode simple boost G_{sb} et celui de la méthode maximum boost G_{mb} est exprimé comme suit :

$$R_1 = \frac{G_{mb}}{G_{sb}} = \frac{(2\pi M - \pi)}{3\sqrt{3}M - \pi} \quad (4.23)$$

Pour la valeur M prise pour la simulation, le rapport des gains $R_1=1.85$ (Figure 4.24). D'après les calculs $V_{dc}(mb) = R \times V_{dc}(sb)=1.85 \times 73=135V$.

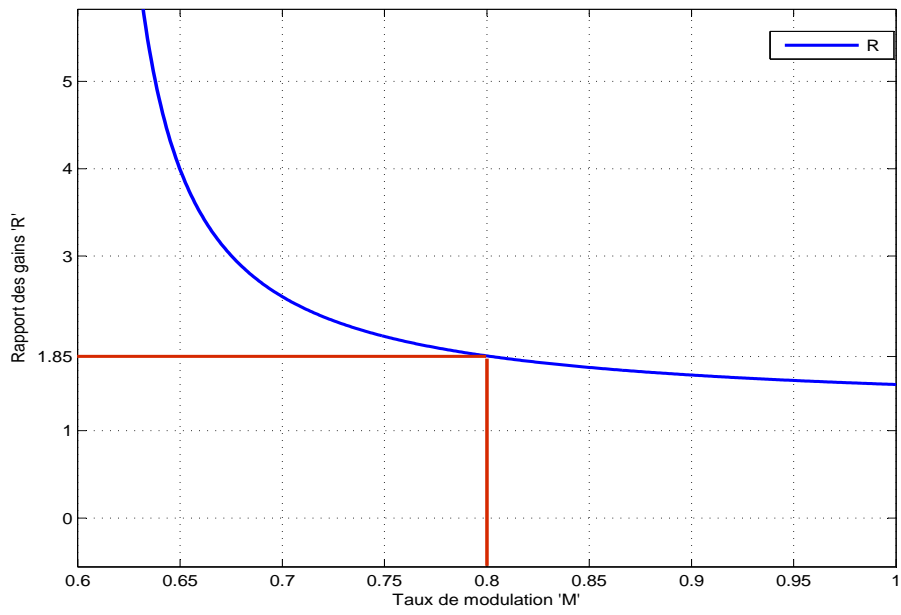


Figure 4.24: Rapport entre G_{mb} et G_{sb}

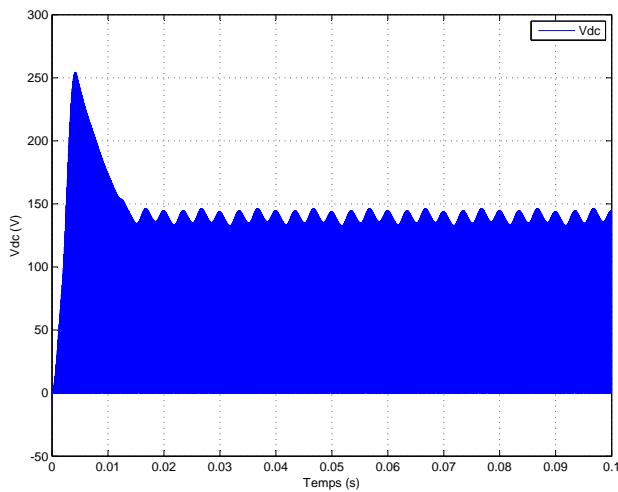


Figure 4.25: La tension V_{dc} de bus continu virtuel

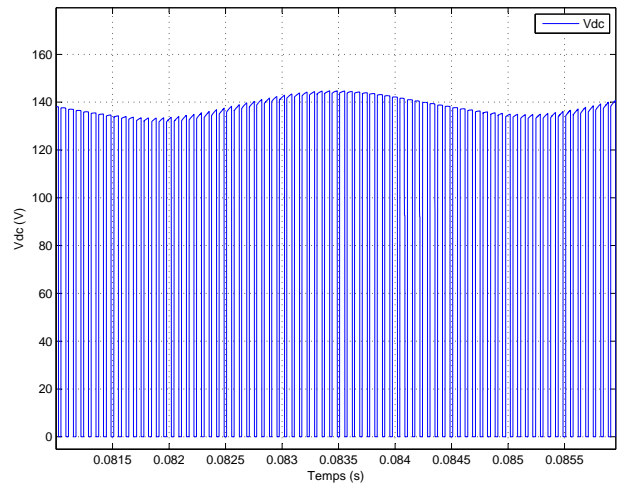


Figure 4.26: La tension V_{dc} de bus continu virtuel ► zoom

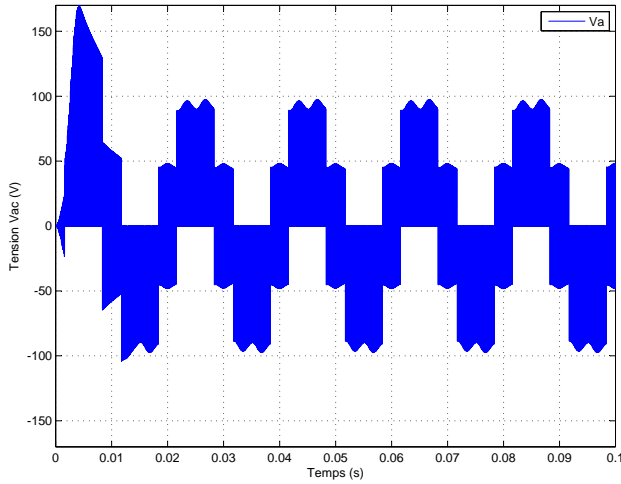


Figure 4.27: Les tensions simples non filtrées

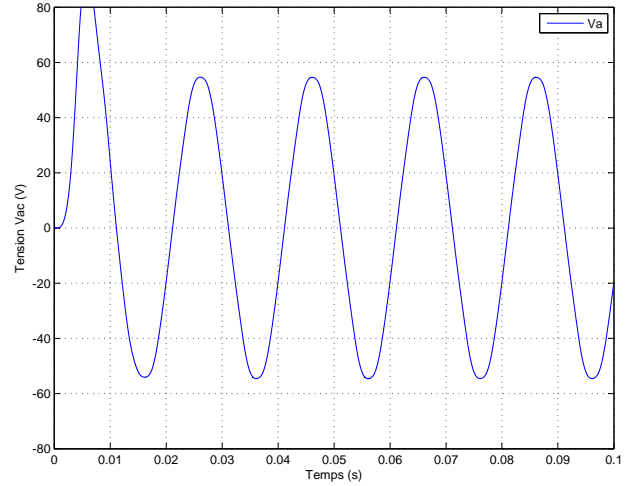


Figure 4.28: Les tensions simples filtrées

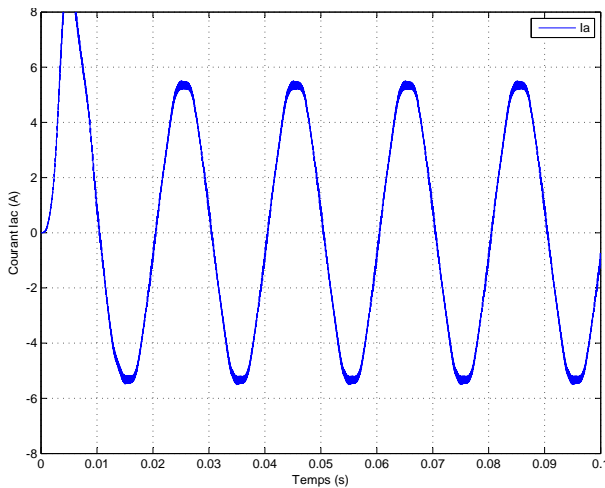


Figure 4.29: Les courants non filtrés

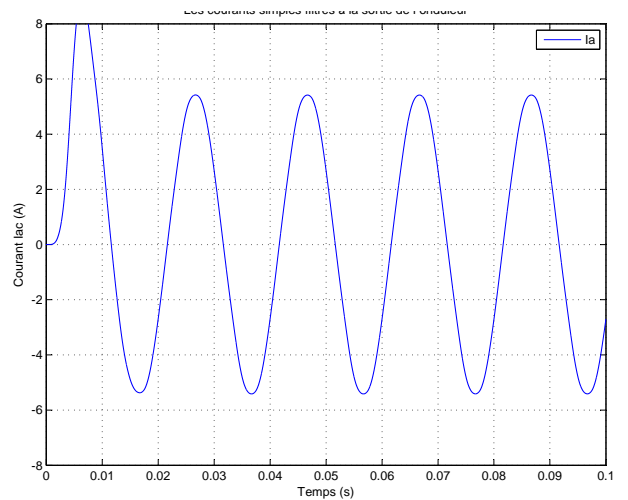


Figure 4.30: Les courants filtrés

Le rapport cyclique de Shoot-Through est variable dans cette méthode, ce qui cause des fluctuations de courant d'inductances. Ceci exige des valeurs des inductances élevées pour des applications de basse fréquence ou de variable-fréquence [16].

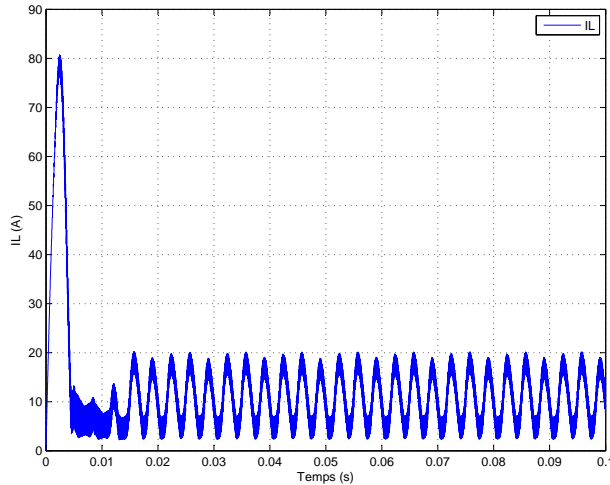


Figure 4.31: Le courant I_L au niveau de l'inductance L

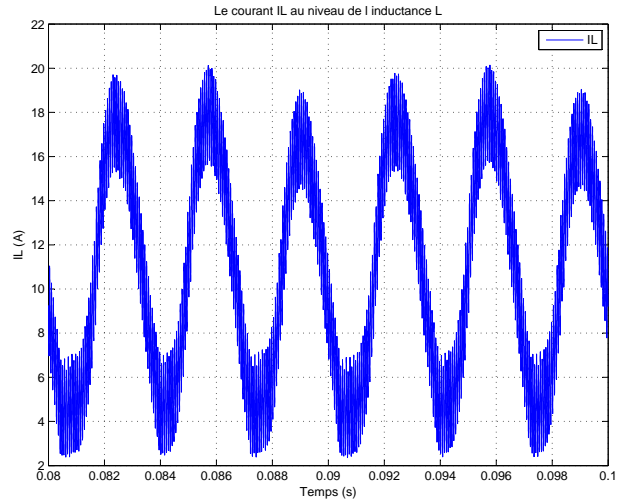


Figure 4.32: Le courant I_L au niveau de l'inductance L ► zoom

4.6.3 Simulations de la commande constant maximum boost

Dans cette méthode le rapport cyclique de Shoot-Through est constant. La tension simple à la sortie de l'onduleur sera donnée comme suit :

$$V_{an} = MB \frac{V_g}{2} = 0.8 \times 2.6 \times \frac{44}{2} = 45.63V \quad (4.24)$$

Les signaux de commande des interrupteurs sont mis à l'état 1, lorsque la porteuse est supérieure aux enveloppes V_p et V_n . (Figure 4.33)

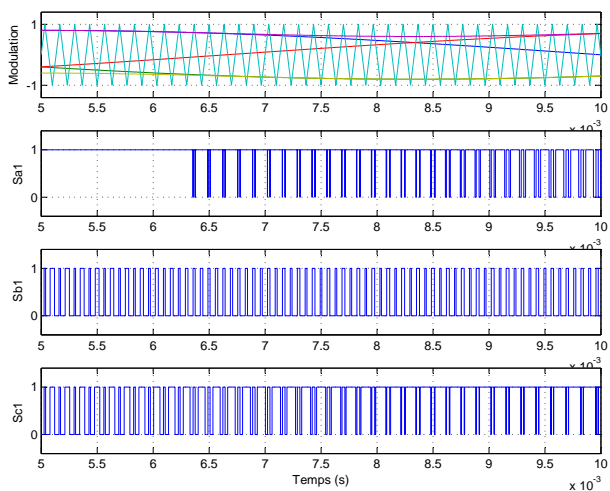


Figure 4.33: Les signaux de commande (CB)

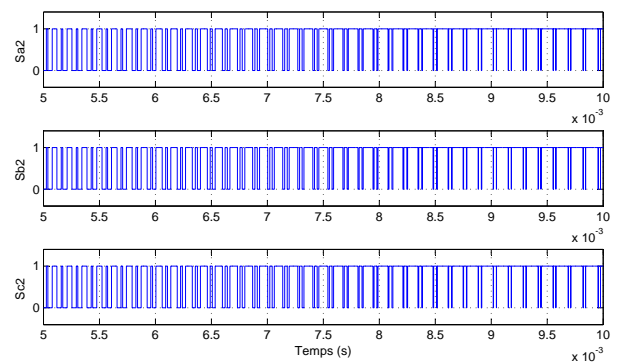


Figure 4.34: Les signaux de commande des interrupteurs inférieures

Les ondulations de la tension du bus continu sont réduites à 0.8V(0.7%). Le rapport des gains des deux méthodes simple et constant boost est donné par :

$$R_2 = \frac{G_{cb}}{G_{sb}} = \frac{(2M - 1)}{\sqrt{3}M - 1} \quad (4.25)$$

Pour la valeur M prise pour la simulation, le rapport des gains $R=1.85$.(Figure 4.35).

$$V_{dc}(cb) = R_2 \times V_{dc}(sb) = 1.55 \times 73 = 113.15V$$

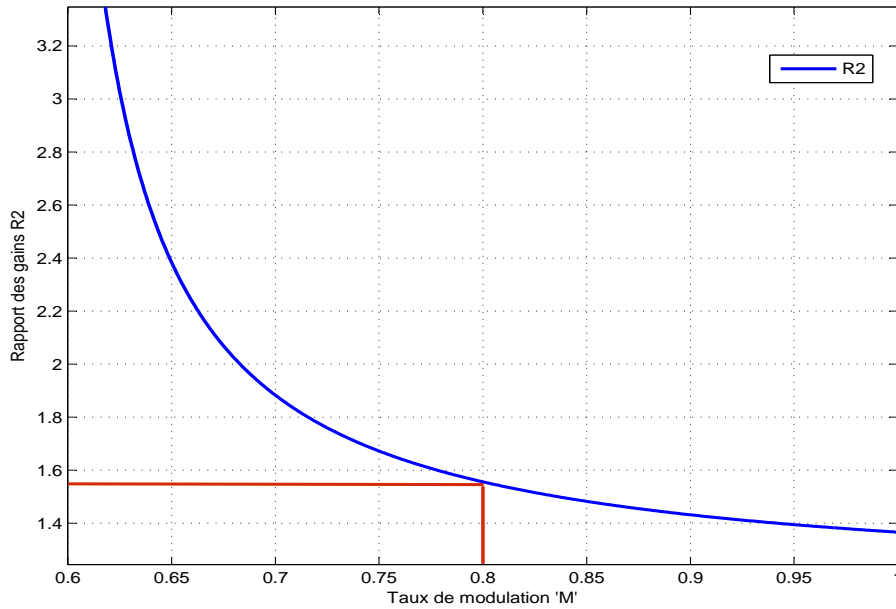


Figure 4.35: Rapport entre G_{cb} et G_{sb}

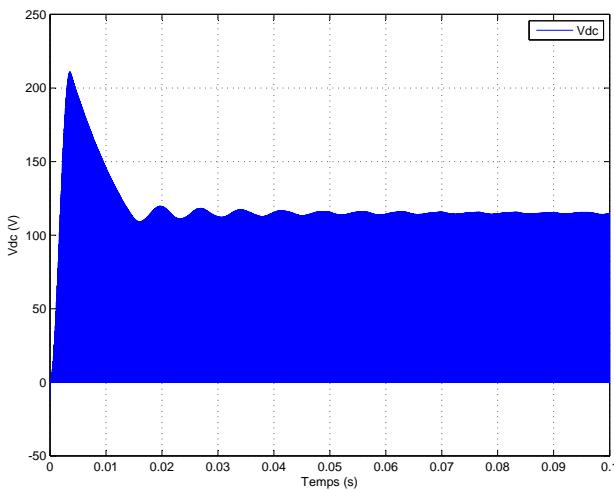


Figure 4.36: La tension V_{dc} de bus continu virtuel

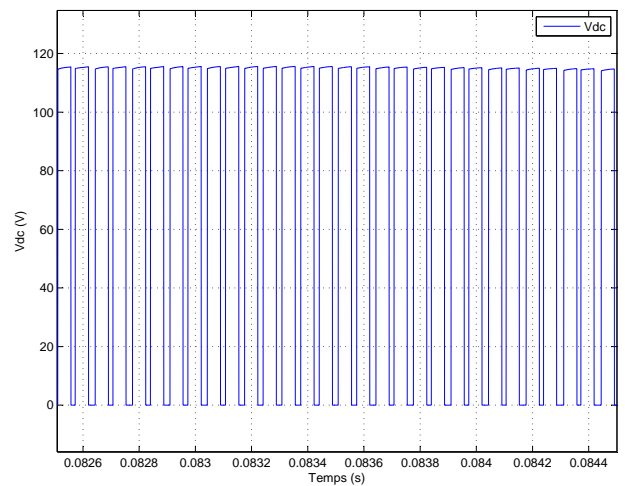


Figure 4.37: La tension V_{dc} de bus continu virtuel ► zoom

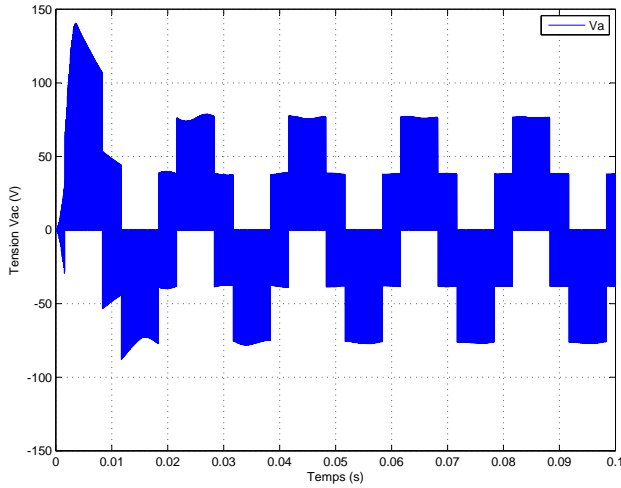


Figure 4.38: Les tensions non filtrées

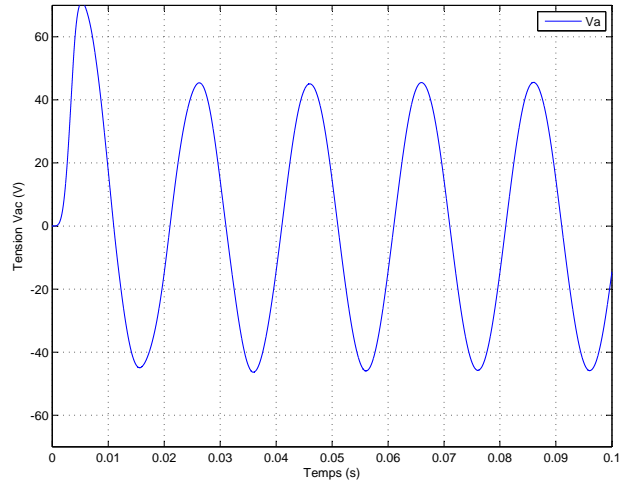


Figure 4.39: Les tensions simples filtrées

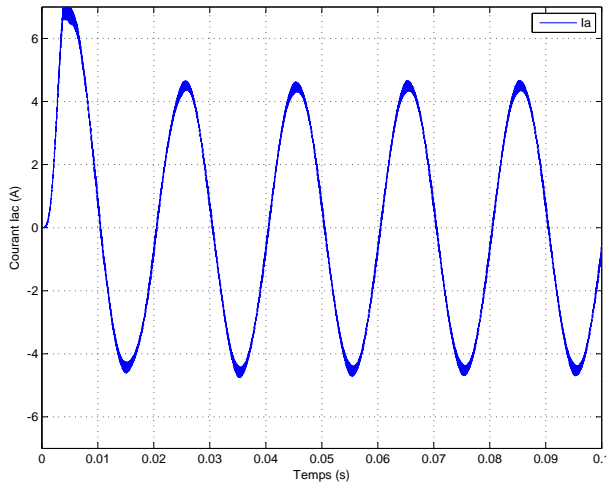


Figure 4.40: Les courants non filtrés

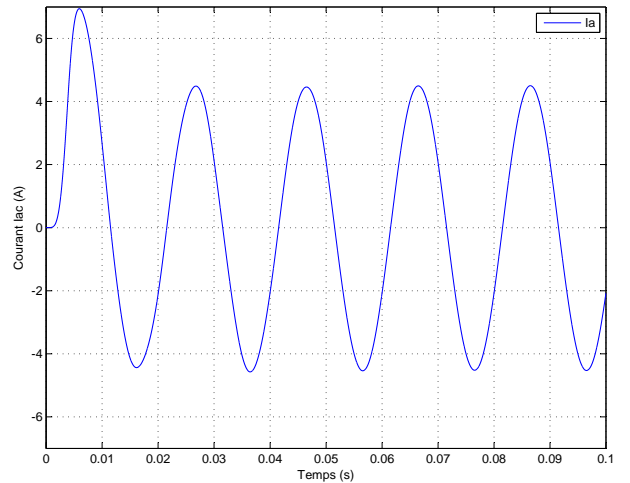


Figure 4.41: Les courants filtrés

Il en découle de cette méthode que les fluctuations des courants de l'inductance sont minimales, en conséquent cette dernière méthode étant la méthode de commande la plus appropriée pour réduire au minimum les fluctuations du courant [36]. (Figure 4.42).

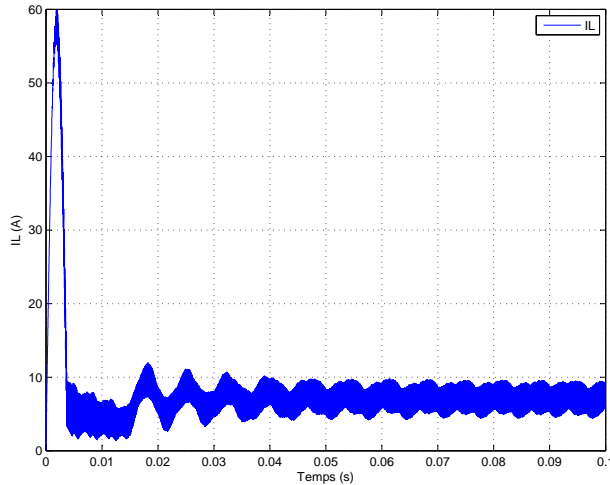


Figure 4.42: Le courant I_L au niveau de l'inductance L

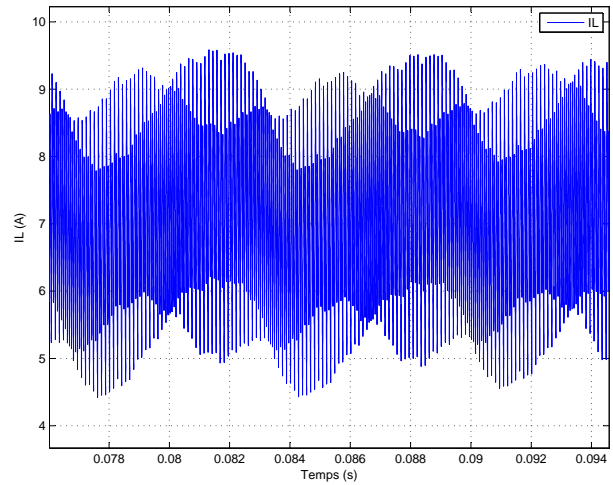


Figure 4.43: Le courant I_L au niveau de l'inductance L ► zoom

4.6.4 Conclusion des simulations

Le rapport de survoltage de la méthode SB est le plus petit, les ondulations sont négligeables. La méthode MB assure un rapport de survoltage maximum mais la variation du rapport cyclique de Shoot-Through engendre des ondulations assez importantes. Pour but de réduire le volume et le coût de ZS, on doit éliminer les fluctuations de courant en basse fréquence tout en utilisant un rapport Shoot-Through le plus grand possible et le garder constant, par conséquent la méthode CB est un bon compromis entre la maximisation du gain G et la minimisation des ondulations.

4.7 Résultats de simulation en boucle fermée

- la méthode utilisée pour la simulation est la méthode simple boost.

La tension simple désirée à la sortie de l'onduleur est d'une valeur max de $220V$, on choisit $V_{dc} = 700V$ on aura donc : $M = \frac{220}{\frac{700}{2}} = 0.6284$.

Ce qui limite le rapport cyclique de Shoot-Through et ne dépasse pas la valeur maximale $D_{max} = 1 - M = 0.3716$.

D'après ces données et l'équation (4.11) il en découle que V_g doit être supérieure à $180V$. Le régulateur PID conçu dans le Chapitre 3 sera utilisé pour réguler la tension de bus continu.

La commande issue du régulateur qui représente le rapport de Shoot-Through est appliqué au système en moyennant la MLI modifiée, on doit assurer que les droites V_p et V_n et les références sinusoïdales ne se chevauchent pas pour ne pas influencer les états actifs. (Figure 4.44).

$L(\mu H)$	$C(\mu F)$	$f_{ref}(Hz)$	$f_p(Hz)$	$P(KW)$	$V_g(V)$	V_p	V_{ref}	M	B
470	275	50	10000	5	185	0.6286	1	0.6286	3.84

Table 4.4: Paramètres de simulation en boucle fermée

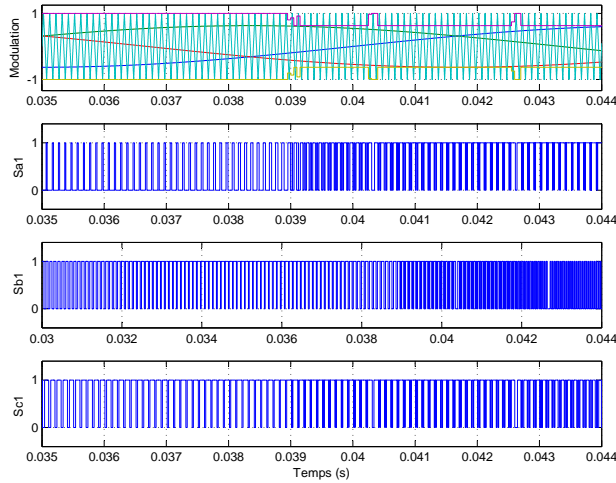


Figure 4.44: Les signaux de commande (SB)

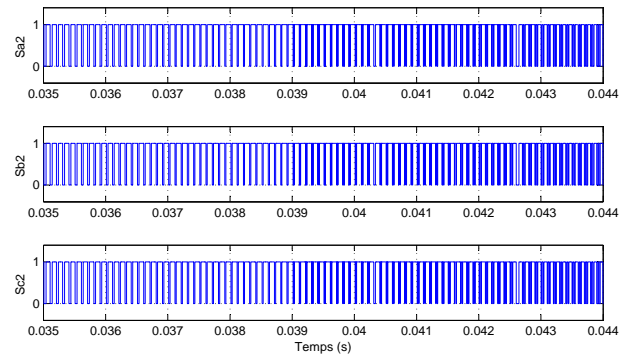


Figure 4.45: les signaux de commandes des interrupteurs inférieures

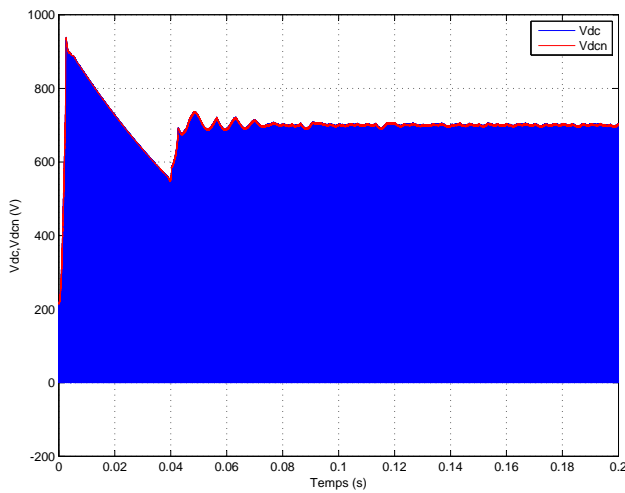


Figure 4.46: La tension V_{dc} et V_{dcn} de bus continu virtuel

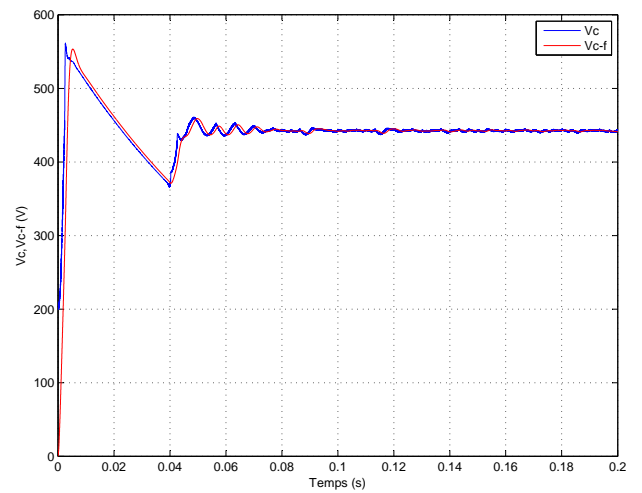


Figure 4.47: La tension aux niveau du condensateur

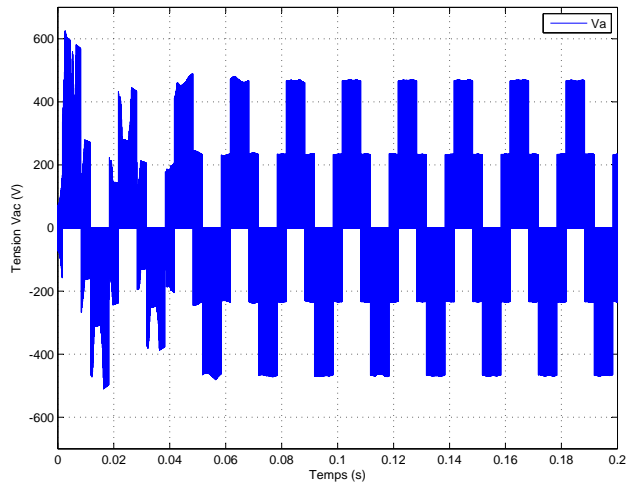


Figure 4.48: Les tensions simples non filtrées

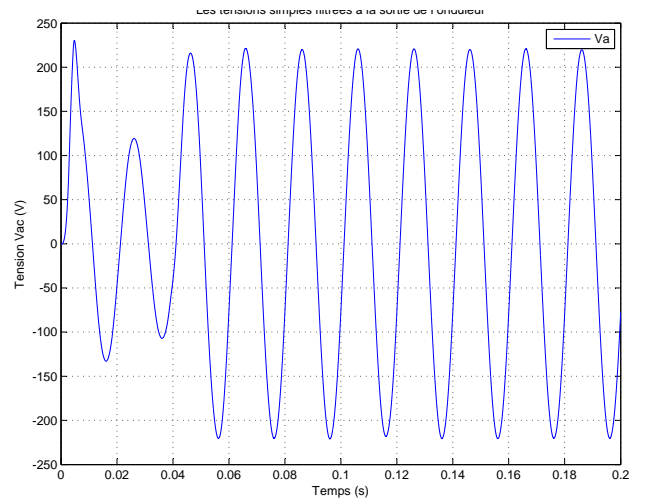


Figure 4.49: Les tensions simples filtrées

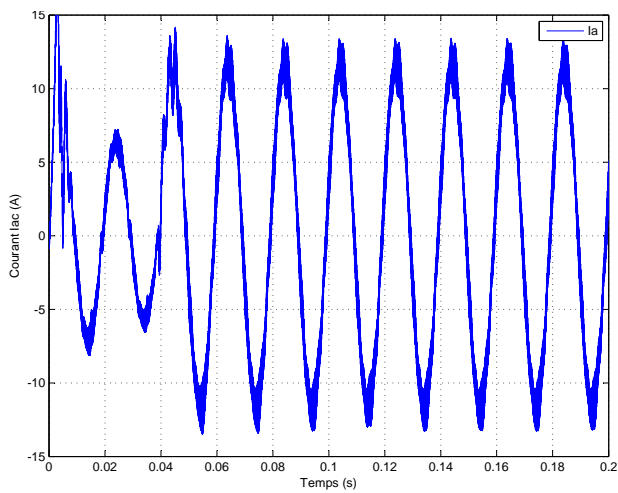


Figure 4.50: Les courants non filtrés

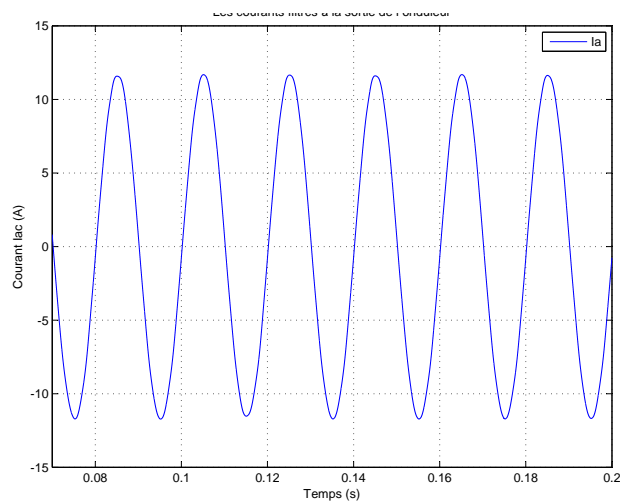


Figure 4.51: Les courants filtrés

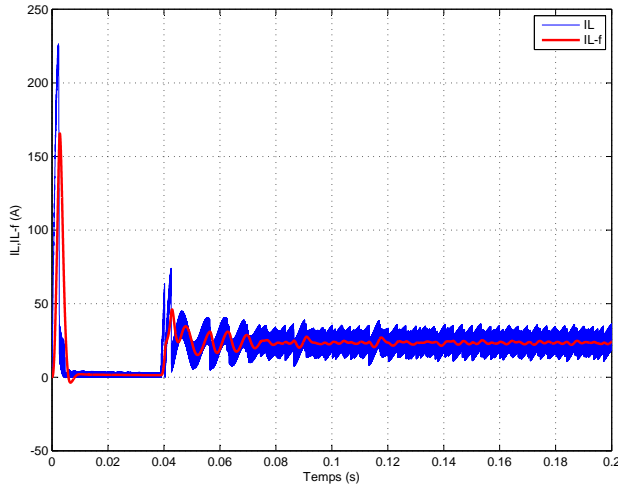


Figure 4.52: Le courant I_L et $I_{L-filtre}$ au niveau de l'inductance L

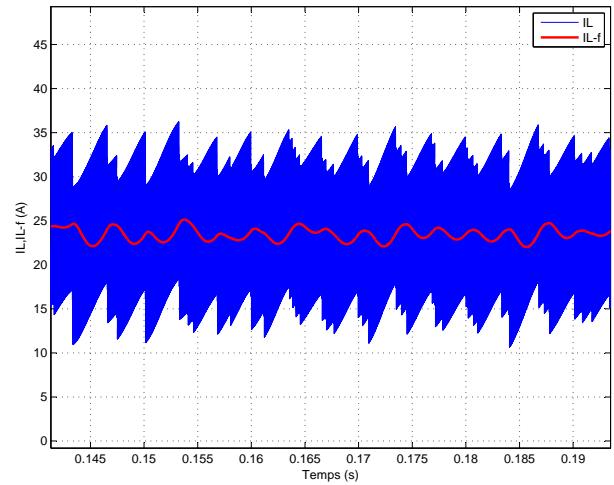


Figure 4.53: Le courant I_L et $I_{L-filtre}$ au niveau de l'inductance L ► zoom

4.7.1 Conclusion de la simulation

Le régulateur PID conçu au chapitre 3 a montré son efficacité d'assurer une très bonne poursuite lorsqu'il est utilisé pour commander la tension du bus continu d'un ZSI. L'overshoot est diminué, en comparant avec la simulation en boucle ouverte, et aussi le temps de réponse et les ondulations.

4.8 Caractérisation de la tension fournie par l'onduleur

Les onduleurs sont caractérisés par la qualité de la tension alternative qu'ils fournissent à leurs sorties. Celle-ci est évaluée par trois paramètres : le facteur d'harmonique, la distorsion totale d'harmonique et l'harmonique de plus bas ordre. Dans notre étude on se base sur le THD : il représente la mesure du *rapprochement dans la forme* entre l'onde de tension et son fondamentale :

$$THD = \frac{\sqrt{\sum_{n=2}^{\infty} V_n^2}}{V} = \frac{\sqrt{V^2 - (V_1)^2}}{V} \quad (4.26)$$

Dans le cas idéal où l'onde de tension est une sinusoïde pure, on a $THD = 0$, donc plus le THD se rapproche de zéro plus l'onde est proche de la sinusoïde.

4.8.1 Qualité du signal de sortie

Le spectre d'un signal rectangulaire inclut une onde fondamentale (rang $n = 1$, pulsation ω_1) et des ondes harmoniques (rang $n_i > 1$, pulsation $\omega_n = n\omega_1$) d'amplitude plus ou moins

importante. Dans ce qui suit, on compare les performances de chaque signal à la sortie de l'onduleur avant et après le filtrage au cas idéal (onde sinusoïdale pure de pulsation ω_1) en calculant le spectre du signal généré. On cherche à diminuer le plus possible l'amplitude des harmoniques de rang faible car :

- les harmoniques de rang élevé sont faciles à filtrer : un onduleur est toujours suivi d'un filtre passe-bas.
- sur charge inductive, ce sont les harmoniques de rang faible qui génèrent les courants les plus importants [37].

$$I_n = \frac{V_n}{\sqrt{R^2 + L^2\omega_1^2 n^2}} \quad (4.27)$$

4.8.2 Analyse spectrale

Un onduleur idéal devrait fournir une tension alternative sinusoïdale. Cependant, les onduleurs réels produisent une onde de tension non-sinusoïdale et contient donc un certain nombre d'harmoniques. Pour les applications à faible et à moyenne puissance, une tension alternative à onde carrée ou à onde quasi-carrée est acceptable, cependant pour les puissances élevées est requise une onde de tension sinusoïdale de faible distorsion. Grâce à la disponibilité de nouveaux composants à semi-conducteurs rapides et de forte puissance, il est possible de minimiser ou de réduire les harmoniques que contient l'onde de tension [38].

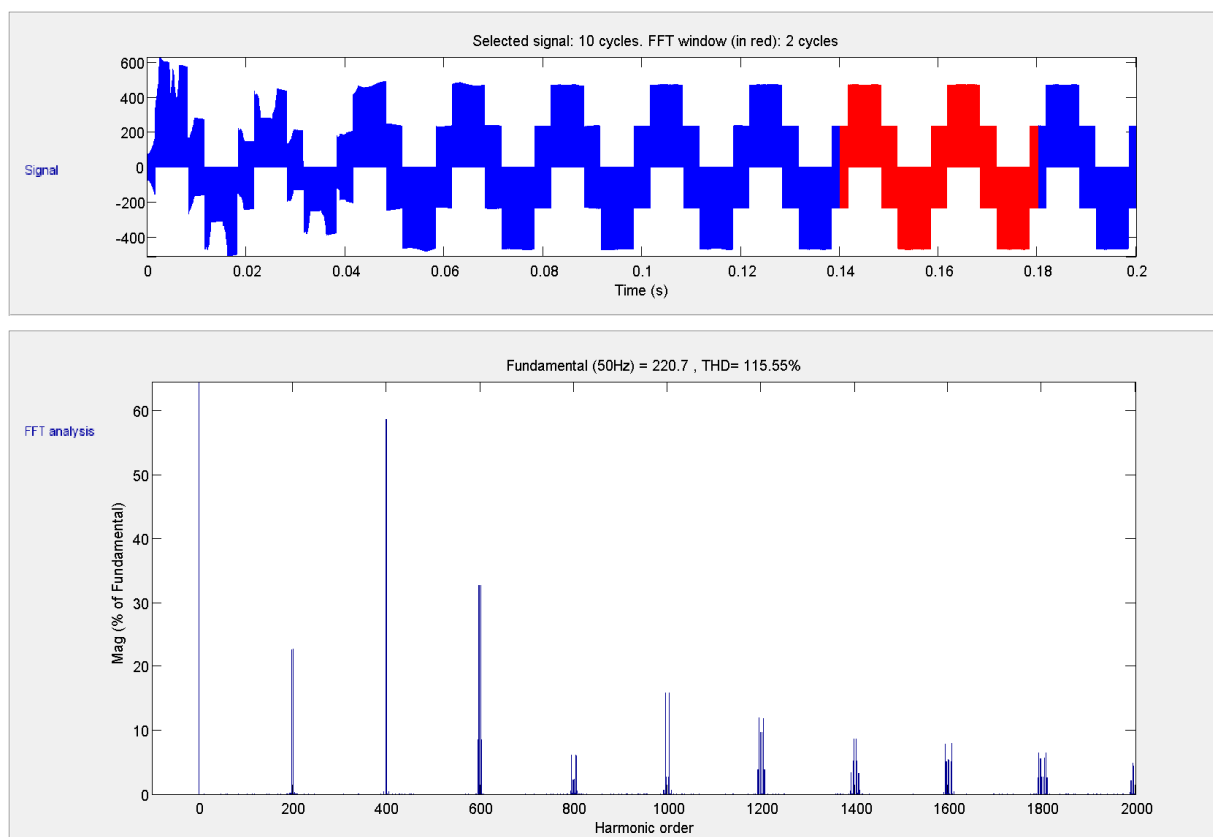


Figure 4.54: Spectre de la tension simple avant filtrage

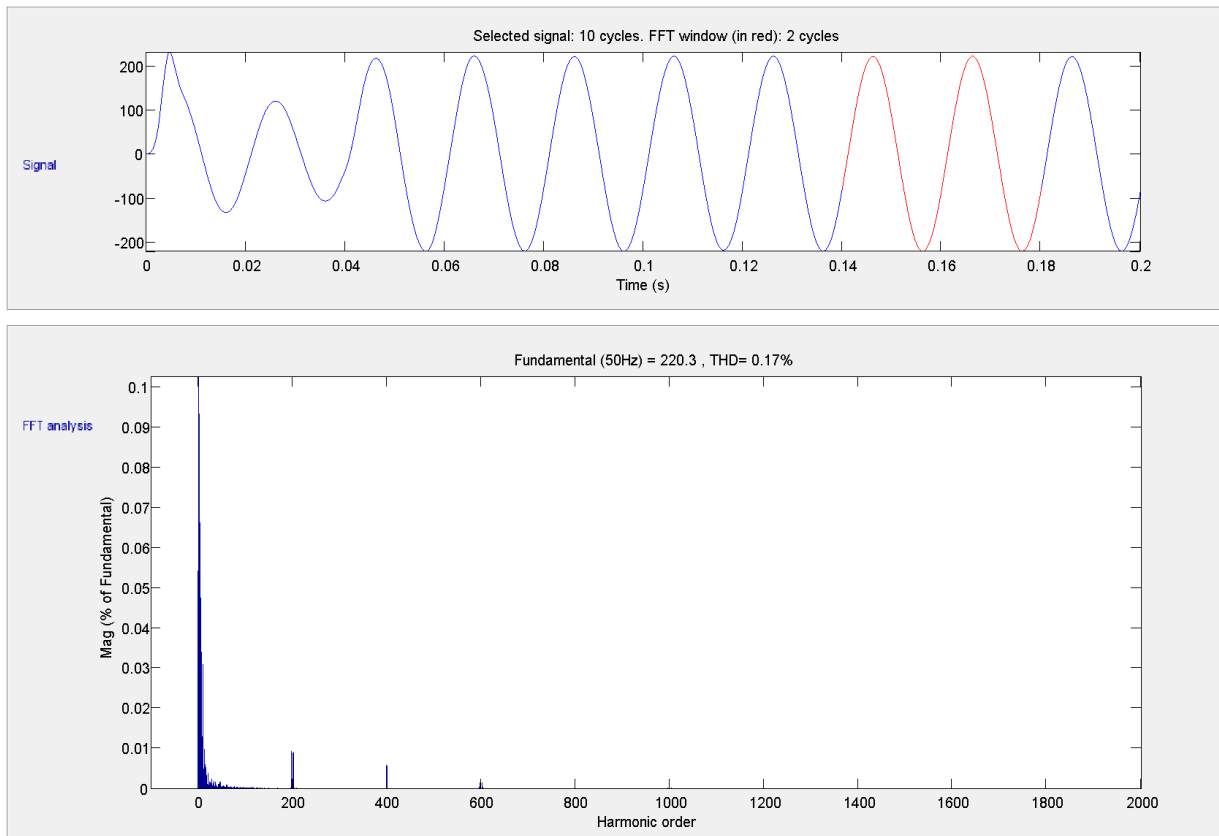


Figure 4.55: Spectre de la tension simple après filtrage

La figure(4.54) présente le spectre de la tension obtenue à la sortie de l'onduleur (avant qu'elle soit filtrée) . On remarque que les harmoniques d'amplitude considérables ont des fréquences multiples de la fréquence de commutation, ce sont les paquets regroupés aux fréquences multiples de 10kHz, et aussi l'harmonique de fréquence la plus grande (60% de l'amplitude de la fondamentale) à la fréquence 20kHz qui est un multiple de l'indice de modulation $m = 200$. Le taux de distorsion en tension est très important, il est de l'ordre de 115.55%, ce qui explique l'importante diminution d'amplitude de la tension après filtrage. L'analyse spectrale faite après filtrage présente une nette amélioration par rapport à l'élimination des harmoniques de tension, confirmée par un THD de 0.17 %.

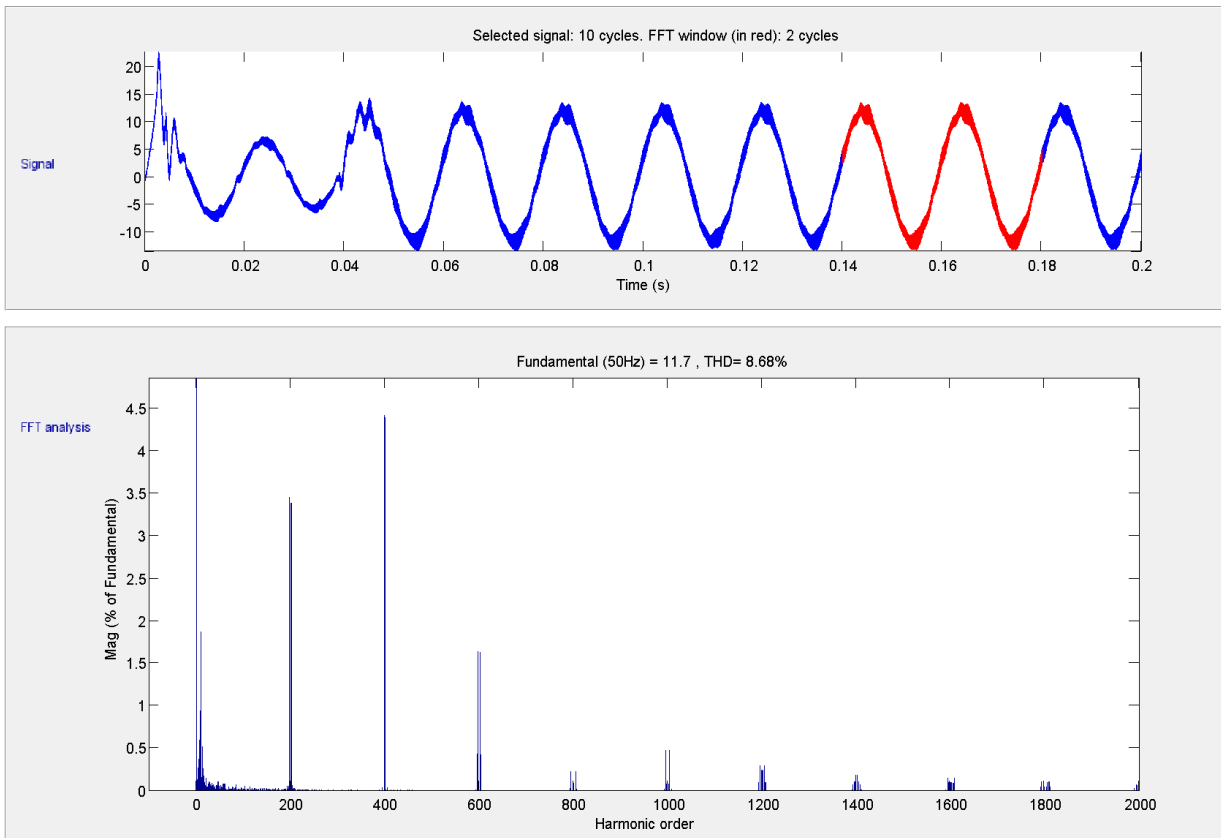


Figure 4.56: Spectre du courant avant filtrage

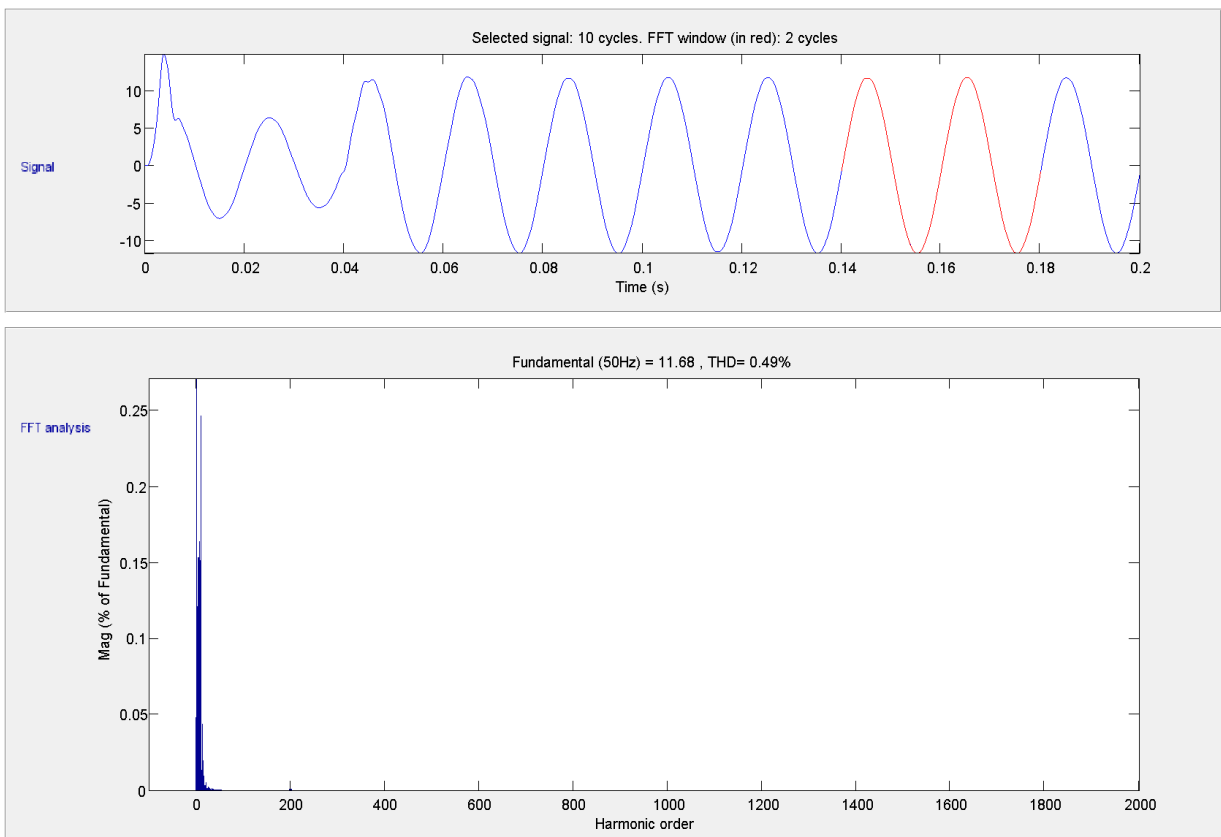


Figure 4.57: Spectre du courant après filtrage

On représente l'allure des courants et des tensions à la sortie de l'onduleur avant, et après filtrage. On aperçoit tout d'abord des courants pas très déformés, ceci est dû à la charge inductive qui joue le rôle de filtre pour le courant. Après utilisation du filtre LC l'allure de ces courants est moins déformée et on retrouve des courbes proches d'une sinusoïde parfaite. L'analyse spectrale avant et après filtrage des courants démontre l'intérêt de l'utilisation du filtre. La figure (4.56) présente l'analyse spectrale faite avant filtrage, où on voit bien un taux d'harmoniques de courants de l'ordre de 8.68%. Puis après filtrage figure (4.57), ce taux est diminué à 0.49%.

4.9 Comparaison de voltage stress

Pour examiner le voltage stress à travers les dispositifs de commutation une tension continue équivalente est présentée, elle est définie comme la tension minimum requise pour que l'onduleur traditionnel de tension produit la même tension de sortie. Le rapport de la tension de stress ($V_s = BV_{dc}$) sur la tension continue équivalente k_{stress} représente le coût que ZSI doit payer pour réaliser le survoltage.[36]

Pour les trois méthodes de survoltage, Il est présenté comme suit :

$$\left\{ \begin{array}{l} k_{stress} = \frac{V_s}{GV_{dc}} = \frac{BV_{dc}}{GV_{dc}} = 2 - 1/G, \text{ pour simple boost} \\ k_{stress} = \frac{V_s}{GV_{dc}} = \frac{BV_{dc}}{GV_{dc}} = \frac{3\sqrt{3}}{\pi} - \frac{1}{G}, \text{ pour maximum boost} \\ k_{stress} = \frac{V_s}{GV_{dc}} = \frac{BV_{dc}}{GV_{dc}} = \sqrt{3} - \frac{1}{G}, \text{ pour constant boost} \end{array} \right. \quad (4.28)$$

En rappelant que $G = \frac{V_{ac}}{V_{dc}/2}$ où V_{ac} est la tension de phase maximale et le V_{dc} est la tension d'entrée à ZSI.

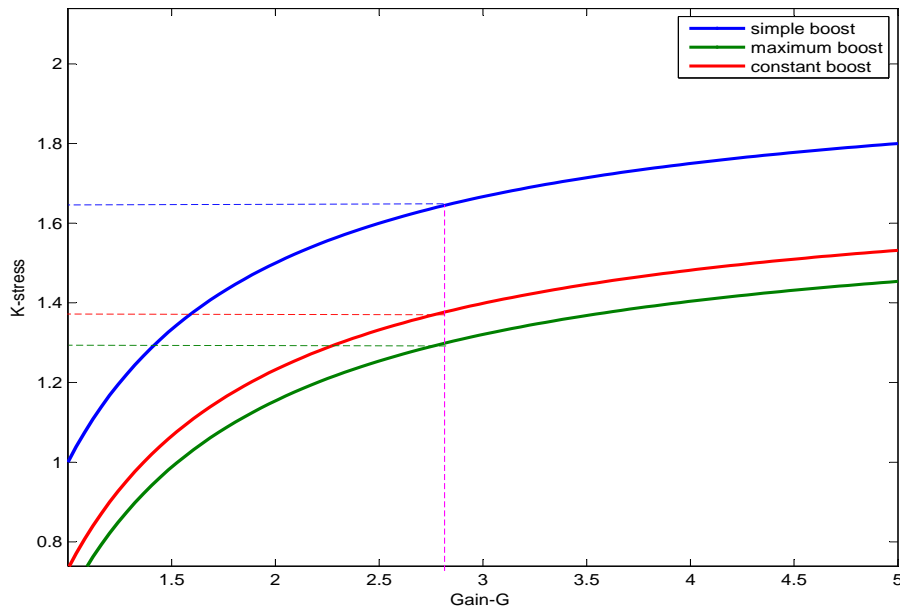


Figure 4.58: $k_{stress}(G)$ pour les différentes méthodes de survoltage

La tension stress de la commande simple boost est la plus haute parmi les trois, et le maximum boost atteint la tension stress minimale.

Dans la méthode simple boost on n'a pas utilisé tous les états zéro le long de la période de commutation, par conséquent le stress voltage est relativement grand [16]. Cependant, maximum boost engendre d'importantes fluctuations de courant des inductances.(Figure 4.58)

La commande constant maximum boost applique une tension stress sur les interrupteurs de valeur inférieure à celle du simple boost, et en même temps elle engendre moins de fluctuations de courant comparée à la méthode maximum boost. Donc, c'est la méthode qui présente un bon compromis entre fluctuations et voltage stress.

4.10 Conclusion

Dans ce chapitre, nous avons présenté l'onduleur à Z-source avec son état Shoot-Through qui n'est pas permis dans les onduleurs conventionnels.

Les modèles des différentes méthodes de survoltage ont été décortiqués en boucle ouverte en comparant leur gains en fonction de taux de modulation, puis en boucle fermée on a choisi la méthode simple boost pour valider la commande conçues dans le chapitre 3.

Les résultats de simulations obtenus par SimPowerSystems/MATLAB, nous ont permis d'approcher au mieux le fonctionnement réel de notre système. Ainsi, on a pu étudier l'influence de la variation du rapport Shoot-Through sur le THD. On peut résumer les résultats comme suit :

L'utilisation de la topologie Z-source permet de booster la tension continue d'entrée de l'onduleur sans utiliser un hacheur boost, ce qui réduit le nombre d'interrupteurs et la complexité du SCP.

Un autre avantage de l'utilisation de cette topologie c'est l'absence de la butée d'onduleur existée dans les onduleurs conventionnels, donc on évite la distorsion de tension causée par cette dernière.

En utilisant la méthode de survoltage SB, on peut commander la tension de sortie de l'onduleur en agissant séparément sur le facteur de survoltage B et le taux de modulation M, d'où la grandes flexibilité offerte par le ZSI en terme de survoltage et de qualité de la tension de sortie.

La nature ondulatoire de la tension du bus continu crée des distorsions de la tension à la sortie de l'onduleur qu'on peut remarquer par le THD très élevé. L'ajout d'un filtre passe bas s'est avéré une solution efficace à ce problème.

Chapitre 5

Étude expérimentale

5.1 Introduction

Les chapitres précédents ont portés sur l'étude et la commande des convertisseurs Z-source (ZSC et ZSI). La simulation est un outil puissant de vérification des modèles mathématiques et des commandes, mais elle peut être différente de la réalité à cause des approximations et des hypothèses de simplification. Pour cela, une réalisation d'un circuit réel permet de mieux voir le comportement réel du système et sa réponse à la commande implémentée.

Ce chapitre montre la réalisation d'un hacheur Z source, en commençant par la présentation de la carte d'E/S *HUMUSOFT MF624* (Annexe 2) utilisée, poursuivie par le dimensionnement des composants passifs du réseau d'impédances et des interrupteurs. On conclut par montrer les résultats de simulation et les comparer avec les résultats des essais pratiques.

5.2 Généralités sur la carte Humusoft MF624

La simulation a plusieurs objectifs : améliorer les technologies, évaluer les performances d'une installation et comparer les différentes solutions et hypothèses. Après chaque simulation dans le domaine électrique, les commandes conçues doivent être implémentées en temps réel sur le circuit matériel tout en utilisant plusieurs cartes d'entrées/sorties : D-space, Arduino...et MF624 de Humusoft. Ces cartes d'acquisition de données sont conçues particulièrement pour la commande en temps réel HIL (Hardware In the Loop). Les cartes d'entrée-sortie de Humusoft sont particulièrement appropriées pour l'usage avec la boîte à outils du temps réel RTT (Real Time Target) sous Windows du MathWorks/SIMULINK.

5.2.1 Applications typiques

Les cartes Humusoft sont très utilisées dans l'industrie, la recherche et les environnements éducatifs, notamment pour :

- La mesure de tension DC.
- Interface de capteur.
- processus de surveillance et de commande.
- Acquisition et analyse les forme des signaux.

- Acquisition de données multicanal.
- Simulation en temps réel.
- Programmation d'une tension en sortie.
- Applications en temps réel sur xPC-Target, Simulink Windows.

5.2.2 Commande en temps réel

La commande en temps réel demande généralement des conditions bien spécifiques sur la nature entrée-sortie, différentes aux usages universel : peu d'entrées d'A/N, plus de sorties de N/A et entrée-sortie non standard, comme pour des encodeurs ou MLI. Ces types d'entrée/sortie sont intégrés à la carte *HUMUSOFT MF624* ce qui facilite la simulation en temps réel, sans faire appel à d'autres circuit complémentaires.

5.2.3 La boîte à outils de temps réel d'HUMUSOFT

Avec les cartes d'entrée-sortie de Humusoft et la boîte à outils RTT de Simulink, les utilisateurs peuvent manipuler différentes configurations de commande à temps réel directement sur le circuit matériel (HIL), sans nécessité de recompiler le programme où lier une cible en plus. Comme l'exemple de notre application, où on peut changer la fréquence de commutation et le rapport du Shoot-Through D sans arrêter le programme et le recompiler. La dualité, Humusoft RTT et la carte E/S , permet la manipulation des signaux A/N internes et externes et des commandes sans besoin de relier un outils de simulation en temps réel (Réal Time Target) ou des connaissances préliminaires sur la carte.

On peut manipuler les signaux aisément tout en utilisant les blocs RTT Simulink convenable, et les configurer sur le bon canal E/S.

5.2.4 Bibliothèques pour MATLAB

Le *Hudaqlib* pour MATLAB est une interface de programmation gratuite permettant l'accès directe à la carte par MATLAB. Elle contient des fonctions (programmes) qui permettent d'exécuter les tâches de base comme la conversion A/N, conversion N/A, acquisition des données numériques, envoie de sortie numériques, entrée d'encodeur, temporisateurs, compteurs, MLI...etc.

5.2.5 La carte

La carte contient est connectée à l'ordinateur à travers un port *PCI* de type D à 37 pins, un deuxième port *PCI* est nécessaire pour exploiter la totalité des fonctions.

Elles contient :

- 8 entrées analogiques avec convertisseur de 14-bit

- 8 sortie analogique de 14-bits
- 8 entrées numériques
- 8 sorties numériques
- 4 entrées d'encodeur 32 bits
- 4 compteurs/temporisateurs.

Les entrées et sorties analogiques de la carte travaillent sur un intervalle de tension variant entre $\pm 10V$. La carte est conçue non seulement pour but d'acquisition de données standard



Figure 5.1: La carte MF624 Humusoft [39]

et des applications de commande mais elle offre aussi la rare fonctionnalité pour commander directement des moteurs par MLI, et pour mesurer la position par des encodeurs.

5.2.6 Plaque à bornes TB620 Universelle

TB620 c'est l'intermédiaire entre la carte MF624 et le circuit à commander, il fournit des blocs montés de vis à borne et un raccordement de ruban-câble de 1.2m à un connecteur *PCI DB-37*. Cette plaque est convenable à la carte *MF624* où tout autre carte utilisant un port de type *DB-37*.

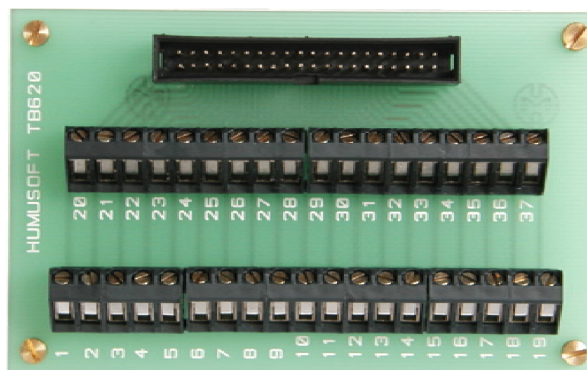


Figure 5.2: La plaque à borne TB620

5.3 Exemple d'application (Hacheur Buck)

Pour but de familiariser avec la carte d'E/S, On a exploité un Hacheur Buck fonctionnel. Un signal de commande a été généré à l'aide de Simulink (Figure(5.4) et envoyé à travers la carte à l'entrée de l'opto-coupleur. La tension de sortie du hacheur est visualisée à l'aide d'un oscilloscope.(Figure5.4)

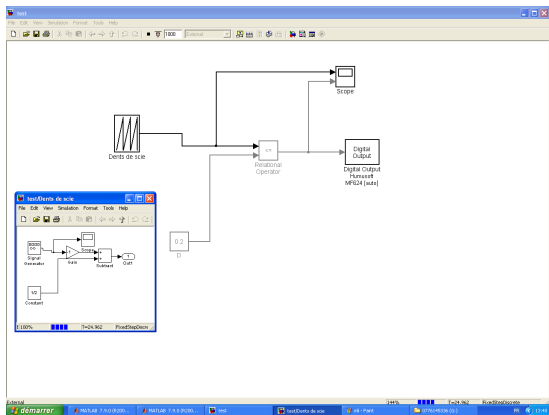


Figure 5.3: modèle sous Simulink

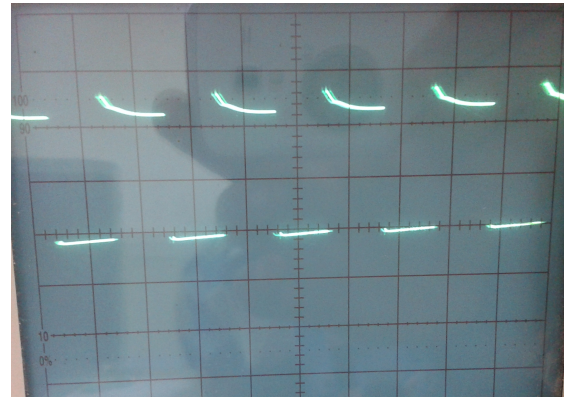


Figure 5.4: La tension de sortie d'un hacheur Buck

La figure montre l'allure de la tension de sortie du hacheur qui répond convenablement au signal MLI envoyé par la carte.(Figure5.4)

5.4 Dimensionnement de réseau d'impédance Z source

5.4.1 préambule

Le choix des composants impose un compromis entre la tension, le courant et la fréquence de commutation, et fait intervenir plusieurs éléments de comparaison. [20] La complexité de commande des composants est un aspect déterminant dans le choix des interrupteurs, On reconnaît la facilité d'emploi généralement, au transistor MOS et à l'IGBT. Contrairement au transistor bipolaire et le GTO qui sont connus pour leur difficulté d'usage et très délicate manipulation. On effectue également le choix en fonction du domaine de puissances, on utilise de préférence :

- Le transistor à effet de champ ou l'IGBT pour les faibles puissances.
- Le transistor bipolaire ou l'IGBT pour les courants moyens.
- Le thyristor GTO pour les forts courants.

Nos essais pratiques sont faits à faibles puissances, donc on a choisi un IGBT comme interrupteur. Dans ce chapitre nous allons aborder en détails le dimensionnement des inductances,

condensateurs, l'IGBT et la diode.

5.4.2 Caractéristique du circuit de puissance

Source de tension stabilisée : $P = 100W$, $20V$ continu, $5A$.

Charge : $R = 20\Omega$, $L_l = 0.12mH$.

Cahier de charges : $V_g : 8V$, $\hat{V}_{dc} = 11V$, $V_{dcn} = 14V$.

5.4.3 Dimensionnement de l'inductance L

L'inductance est utilisée pour extraire l'énergie à partir de la source de tension quand l'interrupteur S_1 activé, et transférer cette énergie au condensateur quand l'interrupteur est éteint, servant de ce fait un système de stockage de l'énergie dans l'état Shoot-Through.[40]

Pendant l'état Shoot-Through, le courant passant par l'inductance augmente linéairement et la tension aux bornes de l'inductance est égale à la tension aux bornes du condensateur. Pendant l'état actif, le courant de l'inductance diminue linéairement et la tension $v_L = v_g - v_c$. Le courant moyen à travers l'inductance est donné par :[16]

$$I_L = \frac{P}{V_g} = \frac{8}{8} = 1A \quad (5.1)$$

- P :puissance fournie par la source.
- V_g :tension d'entrée.

Dans notre conception, on permet une ondulation de courant de 25% (50% de crête à crête), par conséquent, le courant permis d'ondulation était ($1 \times 0.5 = 0.5A$), et le courant maximum de l'inductance étant $1.25A$. le circuit a été conçu pour fonctionner à la tension maximum à travers les interrupteurs. en basant sur l'expression (2.3) on peut calculer le rapport cyclique de Shoot-Through D :

$$\frac{1}{1 - 2D} = \frac{14}{8} \implies D = 0.21 \quad (5.2)$$

Pour une fréquence de commutation $f_c = 5kHz$, le temps de shoot through par cycle étant $T_0 = \frac{D}{f_c} = 42\mu S$. Et la tension à travers la capacité étant :
 $V_C = \frac{(8+14)}{2} = 11V$.

Pendant l'état shoot through : $V_C = V_L$, pour garder l'ondulation de courant plus moins $0.5A$, la valeur de l'inductance sera :

$$L > \frac{V_L \times \Delta T_0}{\Delta I_L} > \frac{11 \times 42}{0.5} > 462\mu H \quad (5.3)$$

Pour mesure de précaution on ajoute un coefficient de sécurité on prend une valeur de $0.5mH$.

5.4.4 Dimensionnement de la capacité

Il sert d'élément de stockage de l'énergie pour fournir la différence de puissance entre la puissance disponible de source et la puissance injectée. Les tensions moyennes à travers les condensateurs maintenues constantes.

Le but du condensateur est de maintenir une tension assez constante.

L'ondulation de tension à travers le condensateur peut être calculée comme suit [16] :

$$\Delta V_c = \frac{I_L T_0}{C} \quad (5.4)$$

- I_L est le courant moyen au niveau de l'inductance
- T_0 est la période de shoot through
- C est la capacité du condensateur

Pour limiter l'ondulation de tension de condensateur à 3% à la puissance de crête, la capacité serait de valeur $C > \frac{(1 \times 42)}{8 \times 3\%} > 130 \mu F$, pour mesure de sécurité on prend une valeur de $220 mF$.

5.4.5 Choix des interrupteurs

On a opter pour l'IGBT *IRG4PH50UD* (Annexe 3) de la firme *International Rectifier*, cet interrupteurs, peut aller jusqu'à une fréquence de commutation de $40 kHz$, et peut supporter un courant de $24A$, Le même type d'IGBT est utilisé comme diode, la tension inverse supportée est de $V_{ce} = 2.74V$. La commande envoyée par la carte est de l'ordre de $5V$, elle ne suffit pas pour activer l'IGBT, l'opto-coupleur *HCPL-3120* (Annexe 4) est utilisé pour exciter l'IGBT, mais aussi pour isoler le circuit de commande au circuit de puissance.

5.5 Résultats

Le circuit réalisé est montré dans la figure (5.5), et le tableau (5.1) résume les paramètres du système choisi, :

$L(\mu H)$	$C(\mu F)$	$f(Hz)$	$f_c(Hz)$	$R_t(\Omega)$	$L_l(mH)$	$V_g(V)$
500	220	50	5000	20	0.12	8

Table 5.1: paramètres de système choisis

La figure(5.6) montre le signal de la commande construit par une MLI, cette operation se fait à l'aide d'un programme Simulink, puis le signal est envoyer à la sortie numérique à travers un block RTT/Simulink. On peut bien voir que l'état logique de la commande est égale à 1 pour une durée de 20% de la période de commutation, c'est à dire un rapport cyclique de Shoot-Through égale à 0.2.

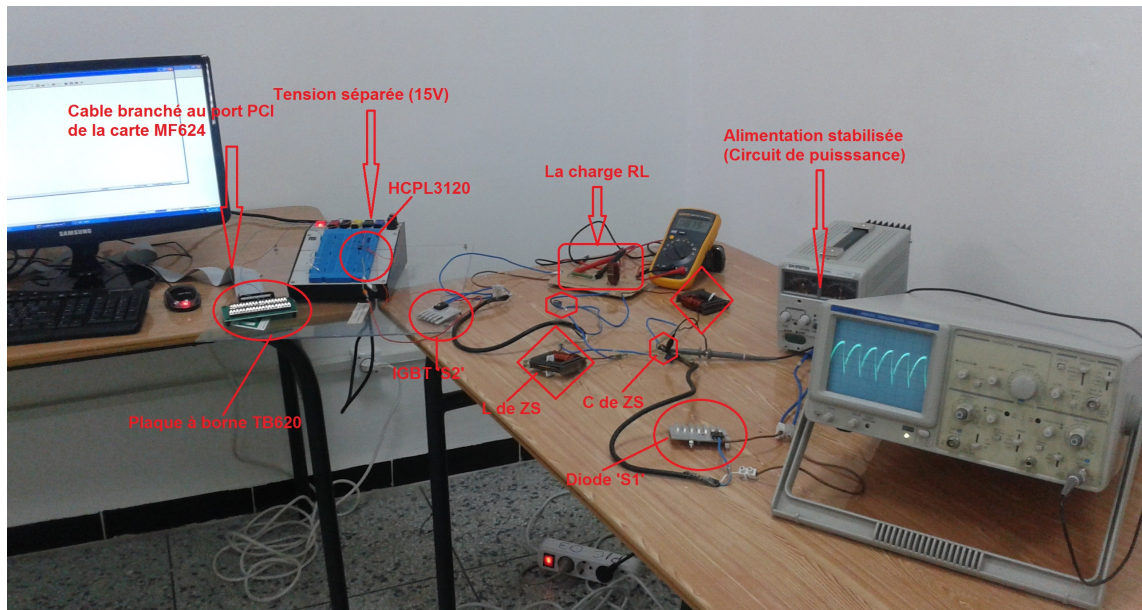


Figure 5.5: Schéma simplifié d'un onduleur ZSC

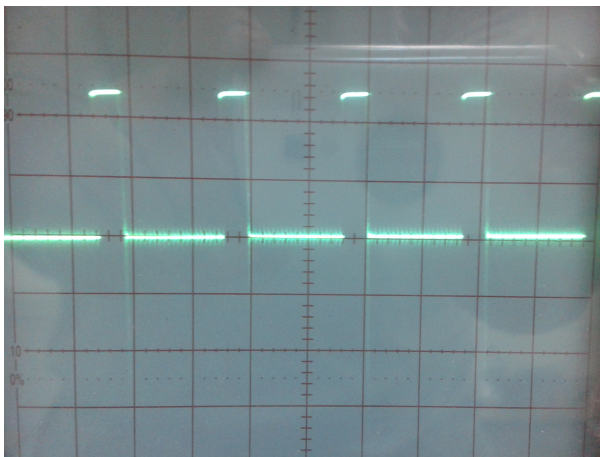


Figure 5.6: le signal de commande (sortie de la carte) *MF624* (0.1ms/Div)(1V/Div)

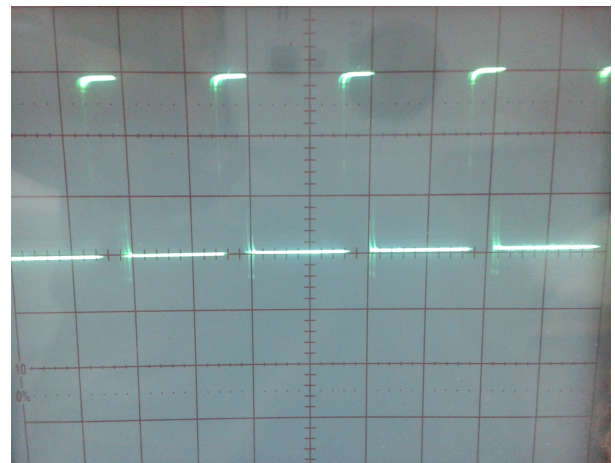


Figure 5.7: Signal de commande (sortie du HCPL-3120)(0.1ms/Div)(5V/Div)

la figure(5.7) montre le signal appliqué à la gâchette de l'IGBT, il est de même rapport cyclique mais amplifié pour atteindre la valeur 15V nécessaire à l'activation de l'IGBT. La tension appliquée à l'IGBT est séparée du circuit de puissance, où l'émetteur de l'IGBT est relié à la masse de cette dernière.

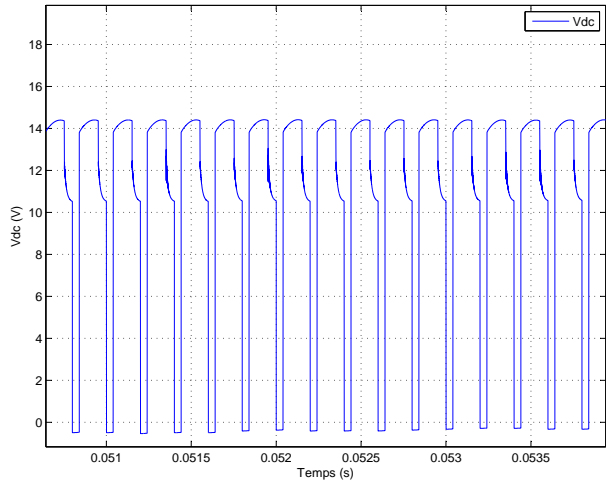


Figure 5.8: la tension V_{dc} (Simulation)

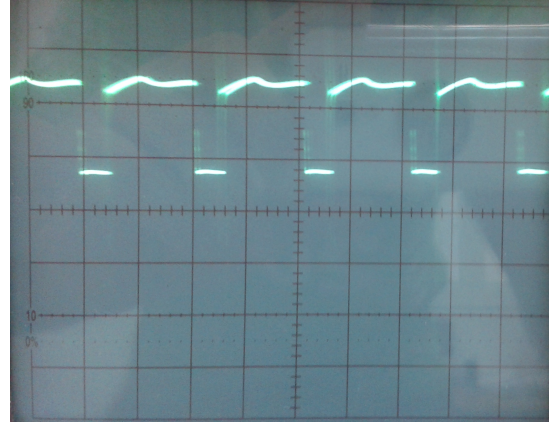


Figure 5.9: la tension V_{dc} (circuit réel) (0.1ms/Div)(5V/Div)

Les figures (5.8, 5.9) montrent la tension du bus continu V_{dc} du circuit réel et du circuit simulé, on voit clairement que la tension du circuit réel atteint la valeur maximale de $V_{dcn} = 13V$, cette valeur est très proche de la valeur simulée, la tension inverse de la diode est de 1V, ce qui influence les résultats obtenus.

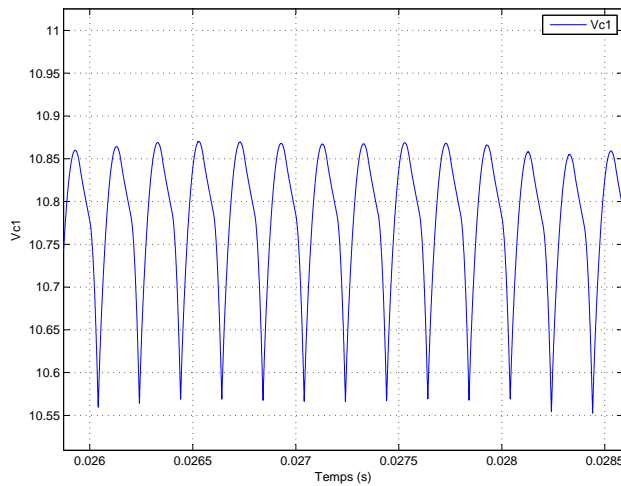


Figure 5.10: Ondulations de la tension V_{c1} (simulation)

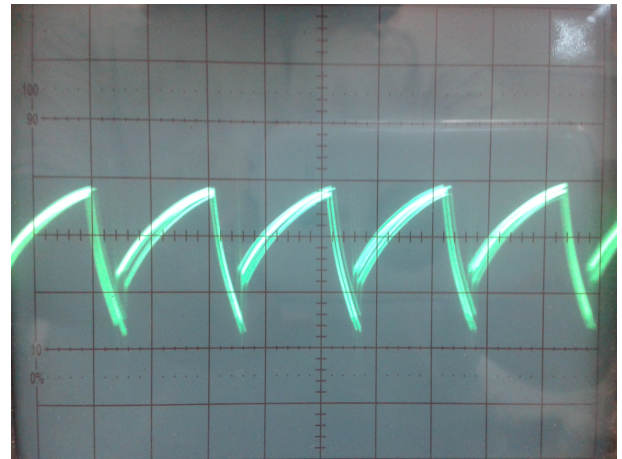


Figure 5.11: Ondulation de la tension V_{c1} (circuit réel)(0.2ms/Div)(0.1V/Div)

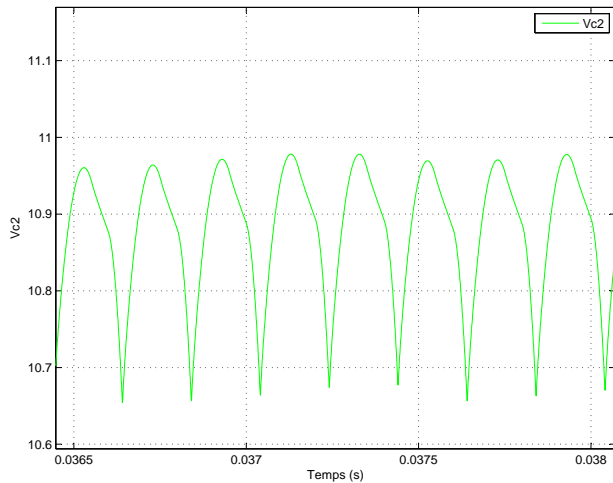


Figure 5.12: Ondulations de la tension V_{c2} (simulation)

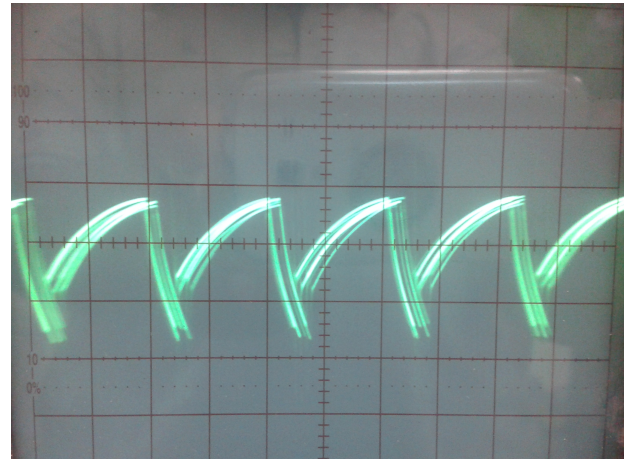


Figure 5.13: Ondulation de la tension V_{c1} (circuit réel)(0.2ms/Div)(0.1V/Div)

Les figures(5.11)et (5.13) montrent les ondulations de la tension aux bornes des deux condensateurs après élimination de la composante continue. Ces figures sont très proches de la simulation.(Figures 5.10, 5.12)

Ces résultats permettent de vérifier l'hypothèse de symétrie du réseau ZS.

5.6 Conclusion

Les cartes d'acquisition sont un outils puissant qui permet d'intégrer un circuit électrique réel dans la boucle de simulation (HIL). Cette intégration facilite la vérification des commande en l'appliquant en temps réel sur le circuit électrique.

Les résultats de l'essai pratique confirme la caractéristique de survoltage du ZSC, où la légère différence avec la simulation est dû aux hypothèses de simplification prises lors de la modélisations.

Conclusion

Z-source est un réseau d'impédance couplant la source d'énergie avec tout type de convertisseur de puissance. Ce réseau d'impédances possède des caractéristiques qui le distinguent des convertisseurs conventionnels et lui permettant de surmonter les limitations de ces derniers.

L'exploitation de l'état *Shoot-Through* interdit dans les convertisseurs conventionnels assure un boosting "*théoriquement infini*" (Sous contrainte des technologies des composants utilisés), ce qui donne plus de flexibilité dans le dimensionnement de l'étage de commutation. Le rapport cyclique de l'état *Shoot-Through* est inséré dans les états *zero* des MLI classiques, ce qui permet de bénéficier d'un survoltage sans affecter le fonctionnement de l'onduleur, d'où une nouvelle notion de MLI est introduite.

L'utilisation du réseau *Z-Source* permet de remplacer le convertisseur *DC-DC*, ce qui diminue le nombre d'étages de commutation, ainsi le nombre des interrupteurs du *SCP*. Cela signifie une meilleure efficacité, un volume optimisé et un cout de construction réduit.

Le travail effectué dans le cadre de ce projet de fin d'études nous a permis d'étudier et de simuler le fonctionnement d'un hacheur et onduleur *Z-source*.

Pour le faire, nous avons élaboré un modèle du *ZSC* qui nous a permis de vérifier la théorie et concevoir une commande en tension par un régulateur *PID* qui a montré de très bonnes performances et robustesse. Une autre régulation, en utilisant la logique floue a été établie. Cette dernière a montré une vulnérabilité à la perturbation de la commande, ce qui nous a emmenés à l'améliorer pour avoir un meilleur rejet de perturbations.

Le réseau *Z-Source* a été relié à un onduleur à deux niveaux, une simulation du système avec les différentes méthodes de survoltage (*SB*, *MB* et *CB*). Ensuite le régulateur *PID* conçu au troisième chapitre a été utilisé pour réguler la tension du bus continu virtuel. Une comparaison entre les différentes méthodes de survoltage a été effectuée, en termes de boosting et de voltage stress. L'étude de l'onduleur a été finalisée par une analyse spectrale montrant la qualité des signaux de sortie et l'efficacité du filtre choisi.

Un convertisseur *Z-Source* a été dimensionné et réalisé afin de comparer les résultats des essais pratiques avec les simulations.

A la lumière de l'étude effectuée, nous présentons les perspectives suivantes :

- Synthétiser une boucle de réglage reliant le facteur de survoltage B et le taux de modulation M .
- Chercher une relation permettant d'injecter le rapport cyclique (D) venant du régulateur (Commande) à la MLI CB.
- Etude comparative des topologies de ZSI et $QZSI$
- Implémentation des autres commandes non linéaires (Mode Glissant, Lyapunov... etc)
- Réalisation d'un onduleur Z -source.

Bibliographie

- [1] Yi Huang, Miaosen Shen, Fang Z. Peng, and Jin Wang, *Z-Source Inverter for Residential Photovoltaic Systems*, IEEE Transaction on power electronics, VOL. 21, NO. 6, NOVEMBRE 2006
- [2] Eric Mon-masson, *Commande rapprochée de convertisseur statique, Volume 2*, Lavoisier 2009.
- [3] Fang Z. Peng, *Z-Source Inverter*, Industry Applications Conference, 2002. 37th IAS Annual Meeting. Conference Record of the , vol.2, no., pp.775,781 vol.2, 13-18 Oct. 2002
- [4] Veda Prakash Galigekere and Marian K. Kazimierczuk, *Small-Signal Modeling of PWM Z-Source Converter by Circuit-Averaging Technique*, Circuits and Systems (ISCAS), 2011 IEEE International Symposium on , vol., no., pp.1600,1603, 15-18 May 2011
- [5] Veda Prakash Galigekere and Marian K. Kazimierczuk, *Small-Signal Modeling of Open-Loop PWM Z-Source Converter by Circuit-Averaging Technique*, IEEE Transactions on power electronics, VOL. 28, NO. 3, pp.1286,1296, MARCH 2013.
- [6] Jingbo Liu, Jiangang Hu, and Longya Xu, *Dynamic Modeling and Analysis of Z Source Converter—Derivation of AC Small Signal Model and Design-Oriented Analysis*, IEEE IEEE Transactions on power electronics, VOL. 22, NO. 5, pp.1786,1796, SEPTEMBER 2007.
- [7] Veda Prakash Galigekere and Marian K. Kazimierczuk, *Analysis of PWM Z-Source DC-DC Converter in CCM for Steady State*, IEEE Transactions on circuits and systems : Regular Papers, VOL. 59, NO. 4, pp.854,863, APRIL 2012.
- [8] Gokhan Sen and Malik Elbuluk, *Voltage and Current Programmed Modes in Control of the Z-Source Converter*, Industry Applications, IEEE Transactions on , vol.46, no.2,

pp.680,686, March-april 2010.

- [9] Joanne Kitson, David Drury, Phil H. Mellor, *Series Z-Source Converter Modeling and Controller Design Method*, Energy Conversion Congress and Exposition (ECCE), 2013 IEEE, vol., no., pp.4141,4148, 15-19 Sept. 2013.
- [10] Yan-Jun Wu, Young-Gook Jung and Young-Cheol Lim, *Auto-Tuning Fuzzy PD Control Scheme for Output Voltage Control of Three-phase Z-source Inverter*, Industrial Electronics (ISIE), 2012 IEEE International Symposium on, vol., no., pp.222,227, 28-31 May 2012.
- [11] Amir Hossein Rajaei, Shahriyar Kaboli, Ali Emadi, *Sliding-Mode Control of Z-Source Inverter*, Industrial Electronics, 2008. IECON 2008. 34th Annual Conference of IEEE, vol., no., pp.947,952, 10-13 Nov. 2008
- [12] Quang-Vinh Tran, Tae-Won Chun, Ahn Jung-Ryol, Hong-Hee Lee, *Algorithms for Controlling Both the DC Boost and AC Output Voltage of Z-Source Inverter*, Industrial Electronics, IEEE Transactions on, vol.54, no.5, pp.2745,2750, Oct. 2007
- [13] Xinping Ding, Zhaoming Qian, Shuitao Yang, Bin Cui, Fangzheng Peng, *A PID Control Strategy for DC-link Boost Voltage in Z-source Inverter*, Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE, vol., no., pp.1145,1148, Feb. 25 2007-March 1 2007.
- [14] Xinping Ding, Zhaoming Qian, Shuitao Yang, Cui Bin, Fang zheng Peng, *A Direct Peak DC-link Boost Voltage Control Strategy in Z-Source Inverter* Applied Power Electronics Conference, APEC 2007 - Twenty Second Annual IEEE, vol., no., pp.648,653, Feb. 25 2007-March 1 2007.
- [15] Gokhan Sen, *Voltage and current programmed modes in control of the Z-source converter*, Master of Science Thesis, The Graduate Faculty of The University of Akron, December 2008.
- [16] Mitch Olszewski, *Z-Source Inverter for Fuel Cell Vehicles*, Oak Ridge National Laboratory, 2005

- [17] Jiudong Ding Yu Tang and Shaojun Xie, *Optimal Design of the Inductor in Z-source Inverter with Single Phase Shoot-Through SVPWM Strategy*, Energy Conversion Congress and Exposition (ECCE), 2010 IEEE , vol., no., pp.2878,2882, 12-16 Sept. 2010
- [18] Dong Cao and Fang Z. Peng, *A Family of Z-source and Quasi-Z-source DC-DC Converters*, Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE , vol., no., pp.1097,1101, 15-19 Feb. 2009.
- [19] Miao ZHU, Kun YU, Fang Lin LUO, *Topology Analysis of a Switched-Inductor Z-Source Inverter* ,Industrial Electronics and Applications (ICIEA), 2010 the 5th IEEE Conference on , vol., no., pp.364,369, 15-17 June 2010 .
- [20] Amin Mahmoud, *Efficiency and Power Density Improvement of Grid-Connected Hybrid Renewable Energy Systems utilizing High Frequency-Based Power Converters*, FIU Electronic Theses and Dissertations. Paper 600, 2012.
- [21] Miaosen Shen and Fang Z. Peng , *Control of the Z-Source Inverter for Fuel Cell- Battery Hybrid Vehicles to Eliminate Undesirable Operation Modes*, Industry Applications Conference, 2006. 41st IAS Annual Meeting. Conference Record of the 2006 IEEE , vol.4, no., pp.1667,1673, 8-12 Oct. 2006.
- [22] Robert W. Erickson and Dragan Maksimovic, *Fundamentals of Power Electronics*, Kluwer Academic Publishers, Norwell MA, 2001.
- [23] John G. Kassakian, Martin F. Schlecht and George C. Verghese, *Principles of Power Electronics*, Addison-Wesley, Cambridge MA, 1991
- [24] V. Vorperian, *Simplified Analysis of PWM Converters Using the Model of the PWM Switch : Parts I and II*, IEEE Transactions on Aerospace and Electronic Systems, vol. 26, May 1990, pp. 490-505
- [25] R. D. Middlebrook and Slobodan Cuk, *Modeling and Analysis Methods for Dcto-Dc Switching Converters*, Proceedings of the IEEE International Semiconductor Power Converter Conference, Irvine, 1977, pp. 90-111.

- [26] D. M. Divan, *The resonant DC link converter-a new concept in static power conversion*, IEEE Trans. Ind. Appl., vol. IA-25, no. 2, pp.317–325, Mar./Apr. 1989.
- [27] Em. Berkouk, *Contribution à la commande des machines monophasés et triphasés*, Doctorat, ENS Cashan 1995.
- [28] J.-M. Allenbach, *Systèmes asservis, Volume 1 et 5*, Ecole d'Ingénieurs de Genève Laboratoire d'Automatique 2001
- [29] B. Kuo, *Automatic Control Systems*, Prentice Hall, IL, 1994
- [30] Roland S.Burns, *Advanced Control Engineering*, University of Plymouth, UK, Butterworth Heinemann 2001
- [31] M.N. Cirstea, A. Dinu, J.G. Khor, M. McCormick, *Neural and Fuzzy Logic Control of Drives and Power Systems*, Newnes 2002
- [32] S. TAZI, *Diagnostic des pannes par logique floue : Application au pendule inversé*, PFE, Ecole Nationale Polytechnique d'Alger 2003
- [33] Dominique Bareille, *Electrotechnique sciences appliquées en 28 fiches*, Dunod 2011 p.10
- [34] A. Bisker, *Commande d'un Système Photovoltaïque en Mode Isolé et en Mode Connecté au Réseau*, Master, Ecole Nationale Polytechnique d'Alger 2012
- [35] H. Rostami, D. A. Khaburi, *Voltage Gain Comparison of Different Control Methods of the Z-Source Inverter*, Iran University of Science and Technology, Tehran, Iran
- [36] Miaosen Shen, Jin Wang, Alan Joseph, Fang Zheng Peng, Leon M. Tolbert, and Donald J. Adams, *Constant Boost Control of the Z-Source Inverter to Minimize Current Ripple and Voltage Stress*, IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS, VOL. 42, NO. 3, pp.770,778, MAY/JUNE 2006
- [37] G. Pinson, *Physique Appliquée*, PINSON, G. Physique Appliquée. CEM-A15/1 à 12, ISBN 2-9520781-0-6, <http://www.syscope.net/elec>, 2004.

[38] E. Chekireb, *La Conversion Continu-Alternatif*, Cours d'électronique de puissance, ENP 2012

[39] www.humusoft.cz,

[40] Moin Hanif, *Investigation to Improve the Control and Operation of a Three-phase Photovoltaic Grid-tie Inverter*, Doctorat, Dublin Institute of Technology 2011

Annexe 1 : SisoTool

Guidelines for MATLAB's SISO Design Tool GUI

The **SISO Design Tool** is a graphical user interface (GUI) that facilitates the design of compensators for single-input, single-output feedback loops. The SISO Design Tool allows you to iterate rapidly on your designs and perform the following tasks:

- Manipulate closed-loop dynamics using root locus techniques.
- Shape open-loop Bode responses.
- Add compensator poles and zeros.
- Add and tune lead/lag networks and notch filters.
- Inspect closed-loop responses (using the LTI Viewer).
- Adjust phase and gain margins.
- Convert models between discrete and continuous time.

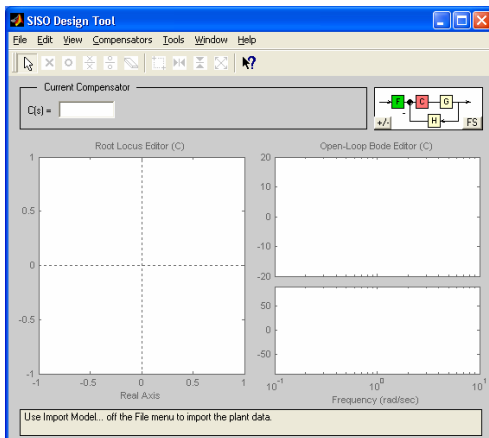
The **sisotool** command opens the SISO Design Tool and sets it up for controller design.

Here are the steps for launching the SISO Design Tool:

1. Enter the **plant model** (transfer function, etc.) into MATLAB workspace

Ex: $G(s) = \frac{10}{s(s+2)}$

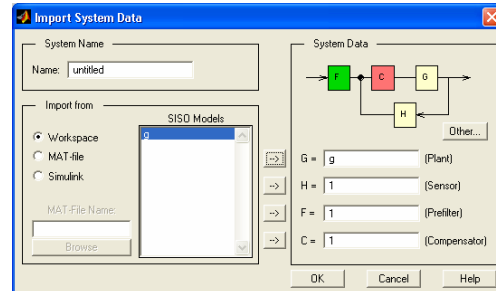
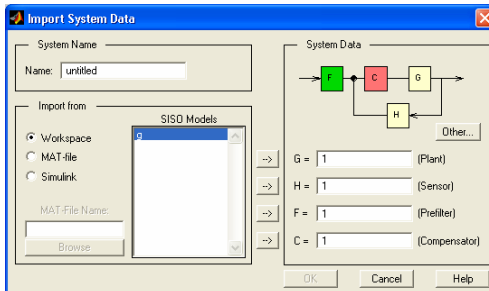
2. Type **sisotool** and press return
The SISO Design Tool window opens as shown.



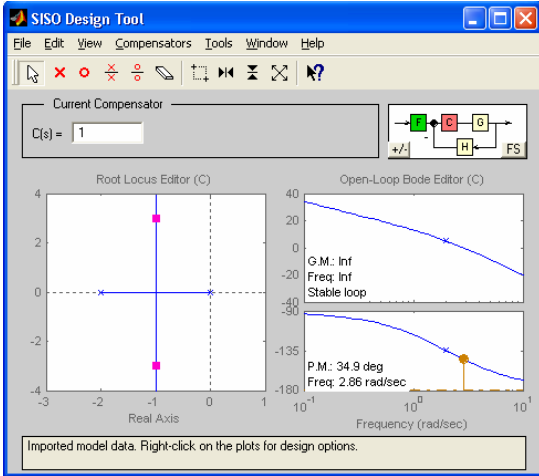
NOTE:

- To change the Control System toolbox preferences, choose **Toolbox Preferences...** from **File** menu and make necessary modification in **Units**, **Style**, **Characteristics** and **SISO Tool** options.

3. Select **Import ...** from File menu and import the plant model **G(s)** into sisotool GUI.



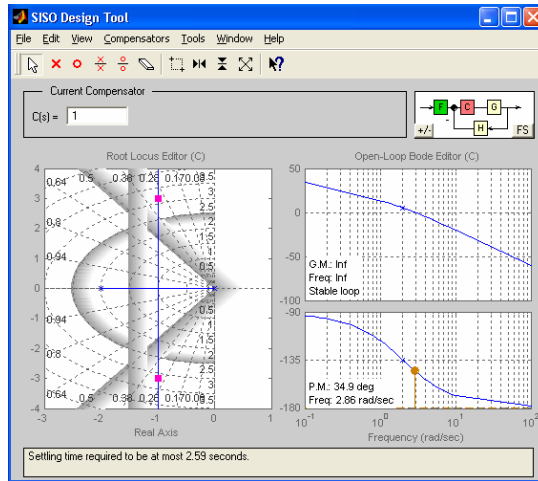
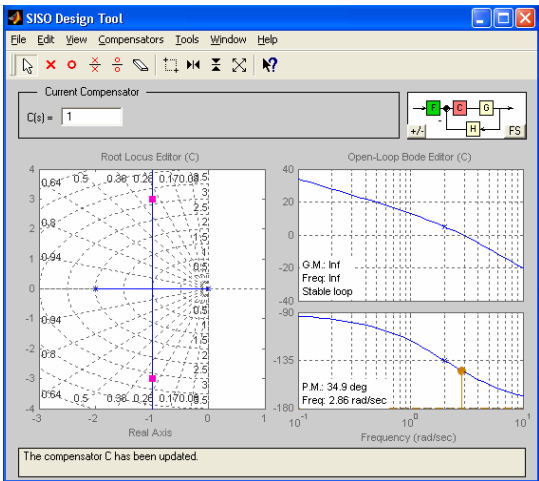
The **root locus** and **Bode plot** of the plant $G(s)$ with the default control $C(s)=1$ will then be shown in the SISO Design Tool window.



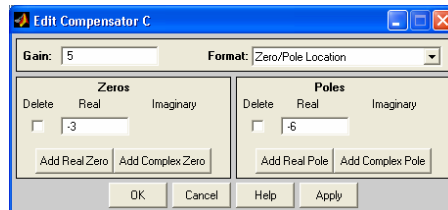
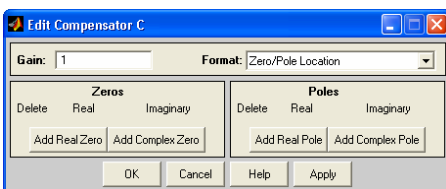
NOTE:

- To change the units of the Bode magnitude plot from dB to absolute value, choose **magnitude in “absolute” – “log scale”** from **Edit / SISO Tool Preferences / Units** menu.
- To change the compensator format from default to $C(s) = K \frac{s+1}{s+p}$, choose **Natural frequency** from **Edit / SISO Tool Preferences / Options** menu.

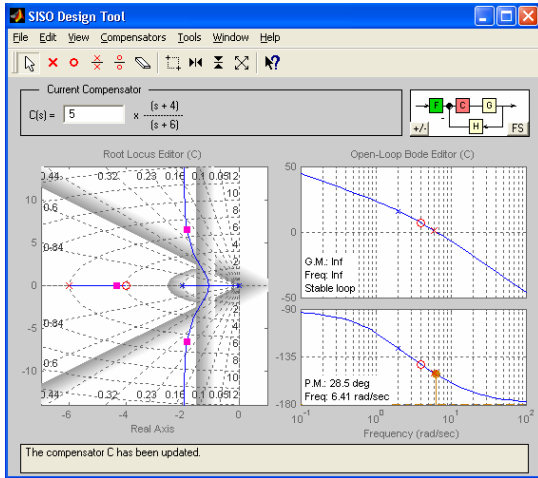
4. To add/remove **grids** you **right click** on the corresponding **plot windows** (root-locus, Bode, or both) and select the grid option. To show the **design constraint boundaries**, you **right click** on the appropriate **plot window** and choose design constraint option and specify your **new constraint**. To modify these constraints, **click and drag** the appropriate constraint boundary to a new location.



5. To design or modify the control, **right-click** on the Current Compensator box. The compensator window opens where you can add/delete zeros and poles and change the control gain.

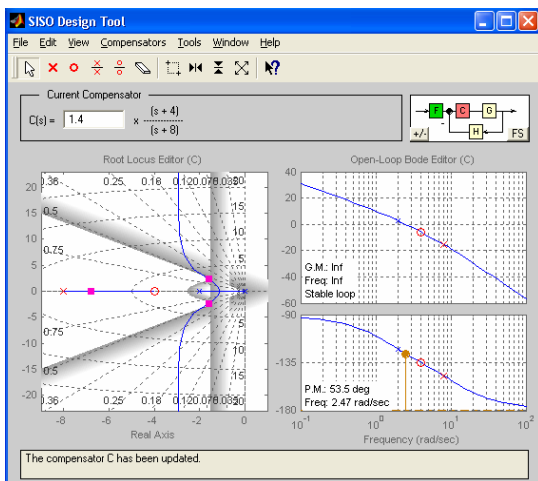


The **root locus** and **Bode plot** of the open-loop system $C(s)G(s)$, with the new control $C(s)$, will be shown in the SISO Design Tool window.



You can now interactively **modify** the current **compensator** until the design constraints are satisfied.

- To change the compensator's pole and zero, **click and drag** them to new locations. Instantly, you will see the systems **root-locus** and **Bode plot** will also change.



NOTE:

- To save the results and plots at different stages of your design, choose **Save Session** from **File** menu. It saves everything.
- To retrieve the results and plots that were saved at different stages of design, choose **Retrieve Session** from **File** menu.

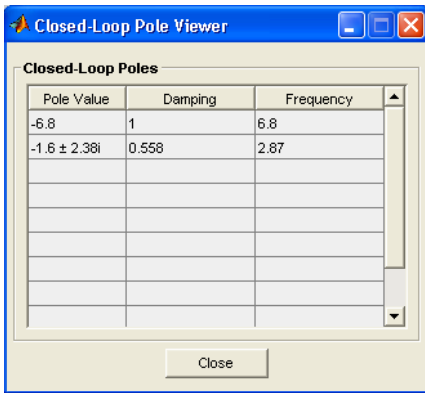
You can also **click and drag** the **closed-loop poles** (the **red squares** on the root-locus) to new locations. This, instantly changes the corresponding control gain.

To change the control gain, you may also **click and drag** the **Bode plot magnitude** up or down. The cross-over frequency, phase-margin and gain-margin, shown in the Bode plot, will then change instantly.

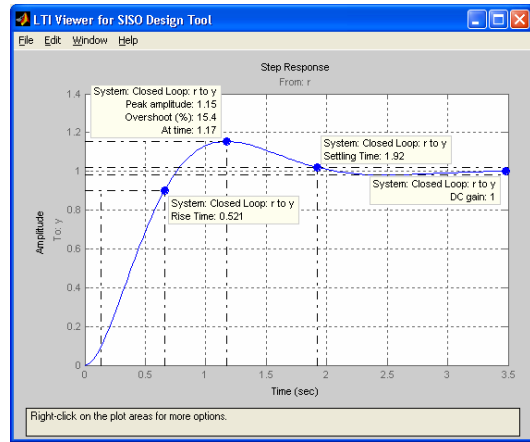
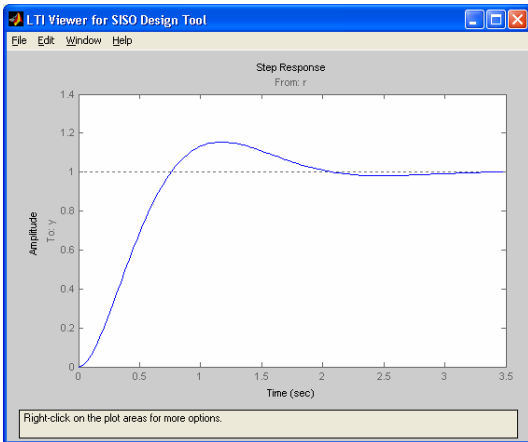
Now, the current controller is: $C(s) = 1.4 \frac{s+4}{s+8}$

7. You can now check the characteristics of the closed-loop system.

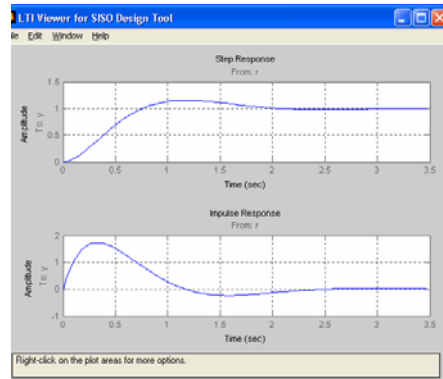
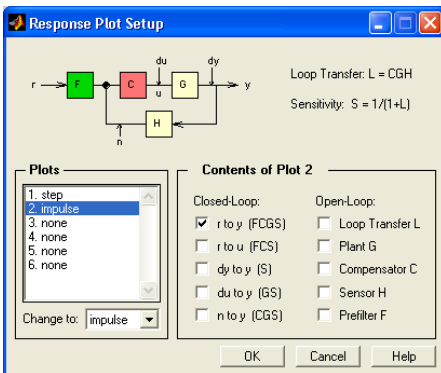
To see **closed-loop poles**, choose closed-loop poles from **View** menu.



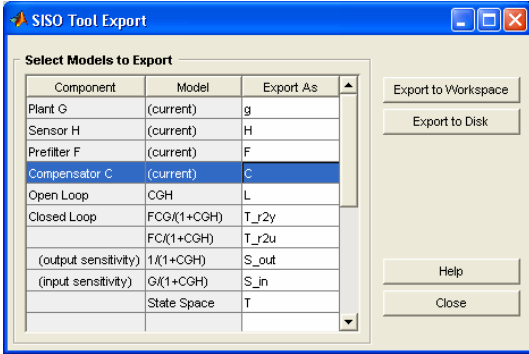
To see **closed-loop step-response**, choose **Loop Responses** → **Closed-Loop Step** from **Tools** menu. You can **right click** on the plot in the **LTI Viewer** window to add/remove grid, as well as add/remove closed-loop characteristics (Peak Response, Settling Time, Rise Time, Steady State).



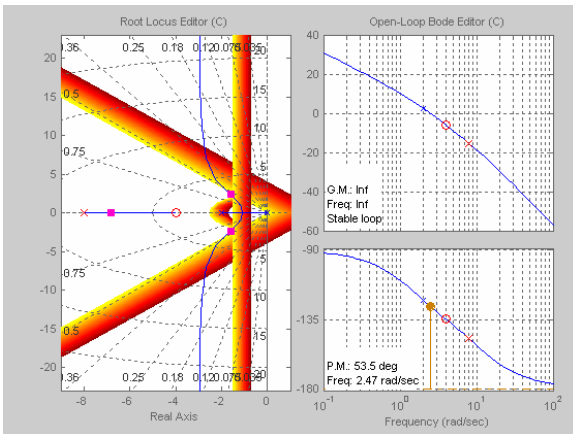
For **other system responses**, select **Loop Responses** → **Other ...** from **Tools** menu.



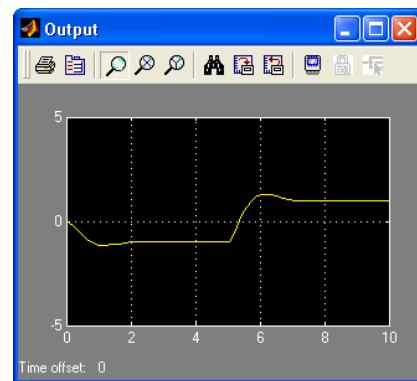
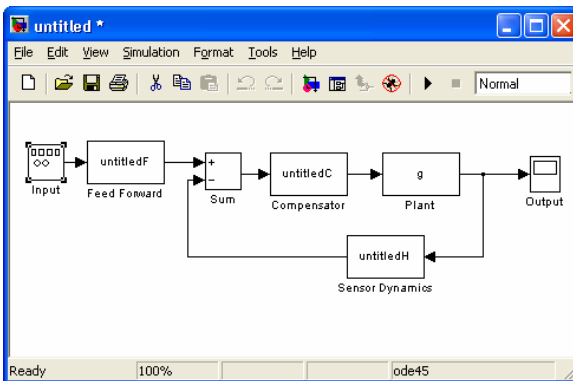
8. To export the designed controller to MATLAB workspace, choose **Export ...** from the **File** menu. The exported data will overwrite the existing data in the workspace.



9. To transfer the plots to another application such as **WORD**, choose **Print to Figure** from **File** menu. This, transfers the selected figure to a **MATLAB Figure** window. Now, in this Figure window, choose **Copy Figure** from the **Edit** menu and then **Paste** it into your **WORD** file.



10. To transfer the data to SIMULINK, choose **Draw Simulink Diagram** from the **Tools** menu. This can be done only after the plant and compensator data have already been exported to MATLAB workspace.



Annexe 2 : HUMUSOFT MF624

MF 624
MULTIFUNCTION I/O CARD

USER'S MANUAL

© COPYRIGHT 2006 by HUMUSOFT s.r.o.. All rights reserved.

No part of this publication may be reproduced or distributed in any form or by any means, or stored in a database or retrieval system, without the prior written consent of HUMUSOFT s.r.o.

Limited Warranty: HUMUSOFT s.r.o. disclaims all liability for any direct or indirect damages caused by use or misuse of the MF 624 device or this documentation.

HUMUSOFT is a registered trademark of HUMUSOFT s.r.o.

Other brand and product names are trademarks or registered trademarks of their respective holders.

Printed in Czech Republic

Table of Contents

1. Introduction	4
1.1. General Description	4
1.2. Features List	4
1.3. Specifications	5
1.3.1. A/D Converter	5
1.3.2. D/A Converter	6
1.3.3. Digital Inputs	6
1.3.4. Digital Outputs	6
1.3.5. Quadrature Encoder Inputs	6
1.3.6. Counters/Timers	7
2. Installation	8
2.1. Board Installation	8
2.2. Driver Installation	9
3. Programming Guide	11
3.1. Register Map	11
3.2. Register Description	14
3.3. A/D Converter	25
3.4. D/A Converters	26
3.5. Digital I/O	27
3.6. Quadrature Encoder Inputs	27
3.7. Timer/Counter	28
4. I/O Signals	29
4.1. Output Connector Signal Description	29

1. Introduction

1.1. General Description

The MF 624 multifunction I/O card is designed for the need of connecting PC compatible computers to real world signals. The MF 624 contains 8 channel fast 14 bit A/D converter with simultaneous sample/hold circuit, 8 independent 14 bit D/A converters, 8 bit digital input port and 8 bit digital output port, 4 quadrature encoder inputs with single-ended or differential interface and 5 timers/counters. The card is designed for standard data acquisition and control applications and optimized for use with Real Time Toolbox for Simulink®. MF 624 features fully 32 bit architecture for fast throughput.

1.2. Features List

The MF 624 offers following features:

- 32-bit architecture
- 14 bit A/D converter with simultaneous sample & hold circuit
- Conversion time 1.6 μ s for single channel or 3.7 μ s for 8 channels
- 8 channel single ended fault protected input multiplexer
- Input range ± 10 V
- Internal clock & voltage reference
- 8 D/A converters with 14 bit resolution and ± 10 V output range
- 4 quadrature encoder inputs with single-ended or differential interface
- Software selectable digital input noise filter (0.3 μ s)

- Quadrature input frequency up to 2.5 MHz
- Software selectable index pulse operation
- 4 channel 32-bit timer/counter with 20 ns resolution
- 8 bit TTL compatible digital input port
- 8 bit TTL compatible digital output port
- Interrupt
- Requires one PCI 2.3 slot and optional second slot for second connector
- Can be used in 5V or 3.3V slot
- Power consumption 500 mA@+5V, 150 mA@+12V, 150 mA@-12V
- Operating temperature 0°C to +70°C

1.3. Specifications

1.3.1. A/D Converter

Resolution:	14 bits
Number of channels:	8 single ended
Sample/hold circuit:	simultaneous sampling of all channels
Conversion time:	1.6 μ s single channel 1.9 μ s 2 channels 2.5 μ s 4 channels 3.7 μ s 8 channels
FIFO:	8 entries/one conversion cycle
Input ranges:	± 10 V
Input protection:	± 18 V
Input impedance:	$> 10^{10}$ Ohm

1.3.2. D/A Converter

Resolution:	14 bit
Number of channels:	8
Settling time:	max. 31 μ s (full scale swing, 1/2 LSB)
Slew Rate:	10 V/ μ s
Output current:	min. \pm 10 mA
Short circuit current:	\pm 15 mA
DC output impedance:	max. 0.5 Ohm
Load capacitance:	max. 50 pF
Differential nonlinearity:	\pm 1 LSB

1.3.3. Digital Inputs

Number of bits:	8
Input signal levels:	TTL
Logic 0:	0.8 V max.
Logic 1:	2.0 V min.

1.3.4. Digital Outputs

Number of bits:	8
Output signal levels:	TTL
Logic 0:	0.5 V max. @ 24 mA (sink)
Logic 1:	2.0 V min. @ 15 mA (source)

1.3.5. Quadrature Encoder Inputs

Number of axes:	4 independent
Resolution:	32 bits

Counter modes:	quadrature X4 or up/down counter
Index input:	programmable
Inputs:	differential with Schmitt triggers
Input noise filter:	digital, programmable (0.3 μ s)
Input frequency:	max. 2.5 MHz

1.3.6. Counters/Timers

Counter chip:	custom
Number of channels:	5, 4 of them available on I/O connector, one used for A/D triggering and interrupt
Resolution:	32 bits
Clock frequency:	50 MHz
Counter modes:	up, down, binary
Triggering:	software, external
Clock source:	internal, prescalers, external
Inputs:	TTL, Schmitt triggers
Outputs:	TTL

2. Installation

2.1. Board Installation

MF 624 has no switches or jumpers and you can install it in any free PCI expansion slot of your computer. Follow the steps outlined below:

- Turn off the power of the computer system and unplug the power cord.
- Disconnect all cables connected to the computer system.
- Using a screwdriver, remove the cover-mounting screws. These screws are at the rear side of the PC.
- Remove the computer system's cover.
- Find an empty expansion slot in your computer for MF 624 card. If the slot still has the metal expansion-slot cover attached, remove the cover with a screwdriver. Save the screw to install the MF 624.
- Hold the MF 624 firmly at the top of the board, and press the gold edge connector into an empty PCI expansion slot.
- Using a screwdriver, screw the retaining bracket tightly against the rear plate of the computer system.
- In case of using also quadrature encoder inputs or timer/counters install also the additional connector with metal slot cover to the neighbouring slot. Otherwise you can disconnect the additional connector from the board and save it for future use.
- Replace the cover of the computer, and plug in the power cord.
- Reconnect all cables that were previously attached to the rear of the computer.

2.2. Driver Installation

Once you have installed MF 624 to PCI slot you can install Windows driver. Follow the steps outlined below:

Turn on the computer, boot Microsoft Windows. MF 624 is detected by system automatically. In Add Hardware Wizzard window click Next.

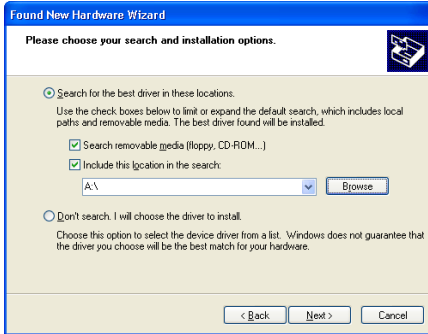


Insert installation floppy into drive a. In Found New Hardware Wizzard select Install the software automatically and click Next.



Hardware Installation

When prompted for driver location type a:\ and click Next. Click Finish to complete installation.



3. Programming Guide

3.1. Register Map

MF 624 uses PCI Vendor ID 0x186C and Device ID 0x0624. Registers of MF 624 card are located in 3 memory mapped regions:

Region	Function	Size (bytes)	Width (bits)
BADR0 (memory mapped)	PCI chipset, interrupts, status bits, special functions	32	32
BADR1 (memory mapped)	A/D, D/A, digital I/O	128	16/32
BADR2 (memory mapped)	Counter/timer chip	128	32

Table 1. Base Address Regions

PCI chipset (PCI 9030) and counter/timer chip are located in 32-bit regions and should be accessed by 32-bit instructions. BADR1 containing analog I/O has 16-bit architecture and registers are naturally 16-bit wide, but 32-bit access to this area is allowed as well under certain conditions. 32-bit access is broken by PCI chipset into two 16-bit cycles on the MF 624 internal bus. This allows increasing throughput by accessing two consecutive internal 16-bit registers by single PCI cycle. Therefore two D/A channels can be written or two A/D channels can be read at once which increases speed of data transfers almost twice. Do not use 32-bit access to other registers than ADDATA and DA0 - DA7.

Programming Guide

Address	Read	Write
BADR0+0x4C	INTCSR	INTCSR
BADR0+0x54	GPIOC	GPIOC

Table 2. BADR0 Memory Map

Address	Read	Write
BADR1+0x00	ADDATA - A/D data	ADCTRL - A/D control
BADR1+0x02	ADDATA - A/D data mirror	
BADR1+0x04	ADDATA - A/D data mirror	
BADR1+0x06	ADDATA - A/D data mirror	
BADR1+0x08	ADDATA - A/D data mirror	
BADR1+0x0A	ADDATA - A/D data mirror	
BADR1+0x0C	ADDATA - A/D data mirror	
BADR1+0x0E	ADDATA - A/D data mirror	
BADR1+0x10	DIN - Digital input	DOUT - Digital output
BADR1+0x20	ADSTART - A/D SW trigger	DA0 - D/A 0 data
BADR1+0x22		DA1 - D/A 1 data
BADR1+0x24		DA2 - D/A 2 data
BADR1+0x26		DA3 - D/A 3 data
BADR1+0x28		DA4 - D/A 4 data
BADR1+0x2A		DA5 - D/A 5 data
BADR1+0x2C		DA6 - D/A 6 data
BADR1+0x2E		DA7 - D/A 7 data

Table 3. BADR1 Memory Map

Address	Read	Write
BADR2+0x00	CTR0STATUS	CTR0MODE
BADR2+0x04	CTR0	CTR0A
BADR2+0x08		CTR0B
BADR2+0x10	CTR1STATUS	CTR1MODE
BADR2+0x14	CTR1	CTR1A
BADR2+0x18		CTR1B
BADR2+0x20	CTR2STATUS	CTR2MODE
BADR2+0x24	CTR2	CTR2A
BADR2+0x28		CTR2B
BADR2+0x30	CTR3STATUS	CTR3MODE
BADR2+0x34	CTR3	CTR3A
BADR2+0x38		CTR3B
BADR2+0x40	CTR4STATUS	CTR4MODE
BADR2+0x44	CTR4	CTR4A
BADR2+0x48		
BADR2+0x60		CTRXCTRL
BADR2+0x6C	IRCSTATUS	IRCCTRL
BADR2+0x70	IRC0	
BADR2+0x74	IRC1	
BADR2+0x78	IRC2	
BADR2+0x7C	IRC3	

Table 4. BADR2 Memory Map

3.2. Register Description

INTCSR	BADR0+0x4C	Interrupt Control/Status	R/W
Bit	Description		Default
0	ADINT Enable. 1 enables A/D interrupt, 0 disables A/D interrupt.		0
1	ADINT Polarity. 1 active high, 0 active low. Connected to EOLC of A/D converter, should be set to active low for normal operation.		0
2	ADINT Status. 1 indicates interrupt active, 0 indicates interrupt not active.		0
3	CTR4INT Enable. 1 enables counter 4 (or external trigger) interrupt, 0 disables counter 4 interrupt.		0
4	CTR4INT Polarity. 1 active high, 0 active low. Connected to counter 4 output (or external trigger input).		0
5	CTR4INT Status. 1 indicates interrupt active, 0 indicates interrupt not active.		0
6	PCI Interrupt Enable. 1 enables PCI interrupt.		0
7	Software Interrupt. 1 generates PCI interrupt (INTA#) if PCI Interrupt Enable bit is set (bit [6]=1).		0
8	ADINT Select Enable. 1 indicates edge triggered, 0 indicates level triggered interrupt. <i>Note: Operates only in High-Polarity mode (bit [1]=1)</i>		0
9	CTR4INT Select Enable. 1 indicates edge triggered, 0 indicates level triggered interrupt. Note: Operates only in High-Polarity mode (bit [4]=1)		0
10	ADINT Clear. Writing 1 to this bit clears ADINT in edge mode.		0
11	CTR4INT Clear. Writing 1 to this bit clears CTR4INT in edge mode.		0
31:12	Reserved		0x000300

Table 5. INTCSR - Interrupt Control/Status Register Format

GPIOC **BADR0+0x54** **General Purpose I/O Control** **R/W**

Bit	Description	Default
16:0	Reserved.	0x006C0
17	EOLC. Reads EOLC (end of last conversion) bit of A/D converter. Active low, 0 when all channels converted, 1 during A/D conversion.	0
21:18	Reserved.	0x10
23	LDAC. Load D/A converters, active low. Writing 0 makes A/D latches transparent, 1 holds D/A outputs. Can be used for simultaneous update of analog outputs.	0
25:24	Reserved.	10
26	DACEN. 1 enables D/A outputs. 0 forces 0V to all D/A outputs.	0
31:27	Reserved.	0

Table 6. GPIOC - General Purpose I/O Control Register Format

ADCTRL **BADR1+0x00** **A/D Control** **W**

Bit	Description	Default
0	CH0 select. 1 enables chanel 0 in channel scan list.	0
1	CH1 select. 1 enables chanel 1 in channel scan list.	0
2	CH2 select. 1 enables chanel 2 in channel scan list.	0
3	CH3 select. 1 enables chanel 3 in channel scan list.	0
4	CH4 select. 1 enables chanel 4 in channel scan list.	0
5	CH5 select. 1 enables chanel 5 in channel scan list.	0
6	CH6 select. 1 enables chanel 6 in channel scan list.	0
7	CH7 select. 1 enables chanel 7 in channel scan list.	0
15:8	Reserved.	0x00

Table 7. ADCTRL - A/D Control Register Format

ADDATA BADR1+0x00 A/D Data		R
Bit	Description	Default
13:0	A/D Data. Reads data from A/D. Data is valid after EOLC bit in GPIOC goes low. Data from channels selected in ADCTRL register are available in FIFO, lower number channels first.	N/A
15:14	Reserved	N/A

Table 8. ADDATA - A/D DATA Register Format

Note: ADDATA register has 7 mirror registers located from BADR1+0x02 to BADR1+0x0E. This arrangement remaps FIFO to linear address space and allows reading consecutive values from A/D FIFO by 32-bit instructions.

DIN BADR1+0x10 Digital Input		R
Bit	Description	Default
7:0	Digital input 7:0. Reads digital input port.	1
15:8	Reserved	N/A

Table 9. DIN - Digital Input Register Format

DOUT BADR1+0x10 Digital Output		W
Bit	Description	Default
7:0	Digital output 7:0. Writes to digital output port.	0
15:8	Reserved	N/A

Table 10. DOUT - Digital Output Register Format

ADSTART BADR1+0x20 A/D Conversion Start		R
Bit	Description	Default
15:0	A/D Conversion Start. Reading this register triggers A/D conversion for all channels selected in ADCTRL.	N/A

Table 11. ADSTART - A/D Conversion Start Register Format

DA0	BADR1+0x20	D/A Converter 0	W
DA1	BADR1+0x22	D/A Converter 1	W
DA2	BADR1+0x24	D/A Converter 2	W
DA3	BADR1+0x26	D/A Converter 3	W
DA4	BADR1+0x28	D/A Converter 4	W
DA5	BADR1+0x2A	D/A Converter 5	W
DA6	BADR1+0x2C	D/A Converter 6	W
DA7	BADR1+0x2E	D/A Converter 7	W

Bit	Description	Default
13:0	DAx . D/A converter channel n data.	0x3FFF
15:14	Reserved.	N/A

Table 12. DAx - D/A Converter Data Register Format

***Note:** D/A converter outputs are updated only if LDAC bit in GPIOC register is set low (bit [23] at BADR0+0x54 =0). Otherwise D/A outputs are keeping old values and data written to DAn registers are kept until LDAC goes low. LDAC bit can be used for simultaneous update of D/A outputs.*

CTR0STATUS	BADR2+0x00	Counter 0 Status	R
CTR1STATUS	BADR2+0x10	Counter 1 Status	R
CTR2STATUS	BADR2+0x20	Counter 2 Status	R
CTR3STATUS	BADR2+0x30	Counter 3 Status	R
CTR4STATUS	BADR2+0x40	Counter 4 Status	R

Bit	Description	Default
0	Counter Running . 1 if counter is running, 0 if stopped.	0
1	Counter Output . Reads counter toggle output.	0
31:2	Reserved.	N/A

Table 13. CTRxSTATUS - Counter Status Register Format

CTR0MODE	BADR2+0x00	Counter 0 Mode	W
CTR1MODE	BADR2+0x10	Counter 1 Mode	W
CTR2MODE	BADR2+0x20	Counter 2 Mode	W
CTR3MODE	BADR2+0x30	Counter 3 Mode	W
CTR4MODE	BADR2+0x40	Counter 4 Mode	W

Bit	Description	Default
0	Count Direction. 1 counts up, 0 counts down.	0
1	Repetition. If 0, counter stops after terminal count. If 1, counter reloads after terminal count and starts new cycle.	0
2	Load Toggle. If 0, counter always reloads from register A on terminal count. If 1, counter reloads alternately from A register or from B register depending on output toggle status.	0
3	Output Toggle. If 0, counter output pin is connected to terminal count. If 1 counter output is connected to output toggle which is inverted on every terminal count.	0
5:4	Output Control. Controls output value and polarity. 00: direct output 01: inverted output 10: force output low 11: force output high	10
7:6	Trigger source. Controls counter hardware trigger source. 00: trigger disabled 01: trigger by counter input (TxIN) 10: trigger by counter n-1 output 11: trigger by counter n+1 output	0
9:8	Trigger type. Controls counter hardware trigger edge. 00: trigger disabled 01: trigger by rising edge of trigger signal 10: trigger by falling edge of trigger signal 11: trigger by either edge of trigger signal	0
10	Retrigger. If 0, retrigger is disabled and counter can be triggered only when stopped. If 1, counter can be retriggered when running.	0

12:11	<p>Gate source. Controls counter hardware gate source.</p> <p>00: gate set high</p> <p>01: counter gated by counter input (TxIN)</p> <p>10: counter gated by counter n-1 output</p> <p>11: counter gated by counter n+1 output</p>	0
13	<p>Gate polarity. Selects value of gate input which disables counting. If set to 0, low level of gate signal disables counting. If set to 1, high level of gate signal disables counting.</p>	0
17:14	<p>Clock source. Selects counter clock source.</p> <p>0000: 50 MHz internal clock</p> <p>0001: 10 MHz internal clock</p> <p>0010: 1 MHz internal clock</p> <p>0011: 100 kHz internal clock</p> <p>0100: reserved</p> <p>0101: counter input (TxIN) rising edge</p> <p>0110: counter input (TxIN) falling edge</p> <p>0111: counter input (TxIN) either edge</p> <p>1000: reserved</p> <p>1001: counter n-1 output rising edge</p> <p>1010: counter n-1 output falling edge</p> <p>1011: counter n-1 output either edge</p> <p>1100: reserved</p> <p>1101: counter n+1 output rising edge</p> <p>1110: counter n+1 output falling edge</p> <p>1111: counter n+1 output either edge</p>	0
29:18	Reserved	0
30	<p>ADTRIGSRC. A/D trigger source. 0 triggers by falling edge of counter 4 output. 1 triggers by falling edge of external trigger input. Implemented in CTR4MODE register only.</p>	0
31	<p>CTR4INTSRC. Interrupt signal source. 0 interrupts by falling edge of counter 4 output. 1 interrupts by falling edge of external trigger input. Implemented in CTR4MODE register only.</p>	0

Table 14. CTRxMODE - Counter Mode Register Format

CTR0	BADR2+0x04	Counter 0 Data	R
CTR1	BADR2+0x14	Counter 1 Data	R
CTR2	BADR2+0x24	Counter 2 Data	R
CTR3	BADR2+0x34	Counter 3 Data	R
CTR4	BADR2+0x44	Counter 4 Data	R

Bit	Description	Default
31:0	Counter Data. Reads current contents of counter.	0

Table 15. CTRx - Counter Data Register Format

CTR0A	BADR2+0x04	Counter 0 Load A	W
CTR1A	BADR2+0x14	Counter 1 Load A	W
CTR2A	BADR2+0x24	Counter 2 Load A	W
CTR3A	BADR2+0x34	Counter 3 Load A	W
CTR4A	BADR2+0x44	Counter 4 Load A	W

Bit	Description	Default
31:0	Counter Load A. Counter load register A	0

Table 16. CTRxA - Counter Load A Register Format

CTR0B	BADR2+0x08	Counter 0 Load B	W
CTR1B	BADR2+0x18	Counter 1 Load B	W
CTR2B	BADR2+0x28	Counter 2 Load B	W
CTR3B	BADR2+0x38	Counter 3 Load B	W

Bit	Description	Default
31:0	Counter Load B. Counter load register B	0

Table 17. CTRxB - Counter Load B Register Format

Note: Counter 4 does not have Load B register and is always being loaded from Load A register.

CTRCTRL BADR2+0x60 Counter Control Register W

Bit	Description	Default
0	CTR0START. Writing 1 starts counter 0.	0
1	CTR0STOP. Writing 1 stops counter 0.	0
2	CTR0LOAD. Writing 1 loads counter 0 from Load A or Load B register.	0
3	CTR0RESET. Writing 1 resets counter 0.	0
4	CTR0TSET. Writing 1 sets counter 0 output toggle register.	0
5	CTR0TRESET. Writing 1 resets counter 0 output toggle register.	0
6	CTR1START. Writing 1 starts counter 1.	0
7	CTR1STOP. Writing 1 stops counter 1.	0
8	CTR1LOAD. Writing 1 loads counter 1 from Load A or Load B register.	0
9	CTR1RESET. Writing 1 resets counter 1.	0
10	CTR1TSET. Writing 1 sets counter 1 output toggle register.	0
11	CTR1TRESET. Writing 1 resets counter 1 output toggle register.	0
12	CTR2START. Writing 1 starts counter 2.	0
13	CTR2STOP. Writing 1 stops counter 2.	0
14	CTR2LOAD. Writing 1 loads counter 2 from Load A or Load B register.	0
15	CTR2RESET. Writing 1 resets counter 2.	0
16	CTR2TSET. Writing 1 sets counter 2 output toggle register.	0
17	CTR2TRESET. Writing 1 resets counter 2 output toggle register.	0
18	CTR3START. Writing 1 starts counter 3.	0
19	CTR3STOP. Writing 1 stops counter 3.	0
20	CTR3LOAD. Writing 1 loads counter 3 from Load A or Load B register.	0
21	CTR3RESET. Writing 1 resets counter 3.	0

22	CTR3TSET. Writing 1 sets counter 3 output toggle register.	0
23	CTR3TRESET. Writing 1 resets counter 3 output toggle register.	0
24	CTR4START. Writing 1 starts counter 4.	0
25	CTR4STOP. Writing 1 stops counter 4.	0
26	CTR4LOAD. Writing 1 loads counter 4 from Load A or Load B register.	0
27	CTR4RESET. Writing 1 resets counter 4.	0
28	CTR4TSET. Writing 1 sets counter 4 output toggle register.	0
29	CTR4TRESET. Writing 1 resets counter 4 output toggle register.	0
31:30	Reserved.	0

Table 18. CTRXCTRL - Common Counter Control Register Format

Note: Bits 29:0 are active by writing 1. Writing 0 to these bits is not necessary and has no action assigned.

IRCCTRL	BADR2+0x6C	IRC Control Register	W
Bit	Description	Default	
1:0	IRC0MODE. Selects IRC0 counter operation. 00: IRC, 4 edge detection 01: bidirectional counter, rising edge 10: bidirectional counter, falling edge 11: bidirectional counter, either edge	0	
3:2	IRC0COUNT. IRC0 count control. 00: IRC0 count enabled 01: IRC0 count disabled 10: IRC0 count enabled if I0 input is 0 11: IRC0 count enabled if I0 input is 1	0	
6:4	IRC0RESET. IRC0 reset control. 000: IRC0 reset disabled 001: IRC0 reset 010: IRC0 reset if I0 is 0 011: IRC0 reset if I0 is 1 100: IRC0 reset by rising edge of I0 101: IRC0 reset by falling edge of I0 110: IRC0 reset by either edge of I0 111: Reserved	0	
7	IRC0FILTER. IRC0 digital filter control. 1 enables digital filter on IRC0 inputs. 0 disables filtering.	0	
9:8	IRC1MODE. Selects IRC1 counter operation. See IRC0MODE	0	
11:10	IRC1COUNT. IRC1 count control. See IRC0COUNT	0	
14:12	IRC1RESET. IRC1 reset control. See IRC0RESET	0	
15	IRC1FILTER. IRC1 digital filter control. 1 enables digital filter on IRC1 inputs. 0 disables filtering.	0	
17:16	IRC2MODE. Selects IRC2 counter operation. See IRC0MODE	0	
19:18	IRC2COUNT. IRC2 count control. See IRC0COUNT	0	
22:20	IRC2RESET. IRC2 reset control. See IRC0RESET	0	

23	IRC2FILTER. IRC2 digital filter control. 1 enables digital filter on IRC2 inputs. 0 disables filtering.	0
25:24	IRC3MODE. Selects IRC3 counter operation. See IRC0MODE	0
27:26	IRC3COUNT. IRC3 count control. See IRC0COUNT	0
30:28	IRC3RESET. IRC3 reset control. See IRC0RESET	0
31	IRC3FILTER. IRC3 digital filter control. 1 enables digital filter on IRC3 inputs. 0 disables filtering.	0

Table 19. IRCCTRL - IRC Control Register Format

Note: Digital filter on IRC inputs is a low-pass filter improving noise immunity. The filter also decreases maximum input frequency and signal changes shorter than 320 ns are ignored.

IRCSTATUS BADR2+0x6C IRC Status Register R

Bit	Description	Default
0	IRC0INDEX. Reads I0 input.	1
7:1	Reserved.	N/A
8	IRC1INDEX. Reads I1 input.	1
15:9	Reserved.	N/A
16	IRC2INDEX. Reads I3 input.	1
23:17	Reserved.	N/A
24	IRC3INDEX. Reads I3 input.	1
31:25	Reserved.	N/A

Table 20. IRCSTATUS - IRC Status Register Format

IRC0	BADR2+0x70	IRC0 Data Register	
IRC1	BADR2+0x74	IRC1 Data Register	
IRC2	BADR2+0x78	IRC2 Data Register	
IRC3	BADR2+0x7C	IRC3 Data Register	R

Bit	Description	Default
31:0	IRCx . Reads data from IRC counter.	0

Table 21. IRCx - IRCx Data Register Format

3.3. A/D Converter

A/D converter is controlled through ADDATA, ADCTRL, ADSTART and GPIOC registers.

Before starting a conversion it is necessary to configure channels which will be converted by ADCTRL register. Each A/D channel has one bit in ADCTRL. Setting this bit includes the channel in conversion scan list. Conversion can be initiated by a read operation from ADSTART register, by timer/counter T4 or by external trigger. Once the conversion is started, selected channels are simultaneously sampled and converted. When the conversion of all selected channels is complete, EOLC (bit 17 in GPIOC register) is set low which means that converted data is available in output FIFO and can be read from ADDATA register. EOLC remains low until next conversion is started. Starting new conversion resets FIFO.

A/D conversion can be triggered also by timer 4 output or by external trigger input according to setting of ADTRIGSRC (bit 30 in CTRXCTRL register). These signals can also generate interrupt according to setting of INT2SRC (bit 31 in CTRXCTRL register).

A/D converter has fixed input range $\pm 10V$ and uses two's complement binary coding. A/D converter zero offset can be adjusted by R23. A/D gain can be adjusted by R25.

Digital Value	Analog Voltage
0x3FFF	-0.0012 V
0x2000	-10.0000 V
0x1FFF	9.9988 V
0x0000	0.0000 V

Table 22. A/D Inputs Coding

3.4. D/A Converters

D/A converters are accessed through eight data input latch registers DA0 - DA7. D/A converter outputs are initially connected to ground until DACEN (bit 26 in GPIOC register) is set to 1. This bit can be used to disconnecting all analog outputs from D/A converters. Data from D/A input latch registers are passed to D/A converters only if LDAC (bit 23 in GPIOC register) is 0. If this bit is set to 1, data remains just in input latches without being written to D/A converters. Then if LDAC is set to 0, all D/A outputs are updated simultaneously from input latch registers.

Output voltage ranges of D/A converters are $\pm 10V$ and straight binary coding is used. After power-on or hardware reset the output voltage is set to 0V. D/A converter positive range can be adjusted by R5 while negative range can be adjusted by R8.

Digital Value	Analog Voltage
0x3FFF	9.9988 V
0x2000	0.0000 V
0x1FFF	-0.0012 V
0x0000	-10.0000 V

Table 23. D/A Outputs Coding

3.5. Digital I/O

MF 624 contains one 8-bit digital input port and one 8-bit digital output port. Digital input port can be accessed directly by read from DIN register. Inputs are TTL compatible. Digital output port can be accessed by byte or word write to DOUT register. Outputs are TTL compatible. After power-on or hardware reset digital outputs are set to 0.

3.6. Quadrature Encoder Inputs

MF 624 contains four quadrature encoder inputs with single-ended or differential interface and index inputs. Inputs are differential TTL compatible with Schmitt triggers.

MF 624 can be used either with single-ended or differential encoder outputs. In case of single-ended encoder outputs use + signal inputs and leave - inputs disconnected. If differential encoder outputs are used connect both + and - inputs of MF 624 to encoder outputs. In both cases connect encoder signal ground to GND on X2 connector of MF 624.

Each IRC channel has one 32 bit data register IRC0 - IRC3. Control and status

registers IRCCTRL and IRCSTATUS are common for all IRC channels. Each IRC counter can be switched to bidirectional counter mode. In such case A is clock input and B controls direction (1 up, 0 down). In IRC and counter modes counter reset can be controlled by I input.

3.7. Timer/Counter

MF 624 contains 5 timers/counters with 50 MHz clock. The first four timers are accessible through external connector X2 while the fifth timer can generate system interrupt or trigger A/D conversion, or can be used as a clock source for other timers or for similar internal functions. TxIN pin on I/O connector can serve either as clock, gate or trigger input depending on configuration. Inputs and outputs are TTL compatible, Schmitt triggers are at all inputs to improve noise immunity.

Counters are implemented in programmable gate array chip offering wide range of operation modes allowing:

- up/down, binary counting
- internal or external clock and gate sources
- prescaling
- one shot/continuous outputs
- software/external triggering
- programmable gate and output polarities
- pulse counting
- frequency measurement
- pulse generation including PWM
- programmable clock source

4. I/O Signals

4.1. Output Connector Signal Description

The MF 624 multifunction I/O card is equipped with an on-board 37 pin D-type female connector X1 and with an additional 37 pin D-type female connector X2 on cable extender. For pin assignment refer to Tables 24 and 25. TB 620 Terminal Board can be connected to both connectors.

AD0-AD7	Analog inputs
DA0-DA7	Analog outputs
DIN0-DIN7	TTL compatible digital inputs
DOUT0-DOUT7	TTL compatible digital outputs
IRC0-IRC3	Quadrature encoder A, B and Index inputs
T0IN-T3IN	Timer/counter gate and clock inputs
T0OUT-T3OUT	Timer/counter outputs
TRIG	A/D converter external trigger input
+12V	+12V power supply
-12V	-12V power supply
+5V	+5V power supply
AGND	Analog ground
GND	Digital ground

AD0	1	20	DA0
AD1	2		
AD2	3	21	DA1
AD3	4	22	DA2
AD4	5	23	DA3
AD5	6	24	DA4
AD6	7	25	DA5
AD7	8	26	-12V
AGND	9	27	+12V
DA6	10	28	+5V
DA7	11	29	GND
DIN0	12	30	DOUT0
DIN1	13	31	DOUT1
DIN2	14	32	DOUT2
DIN3	15	33	DOUT3
DIN4	16	34	DOUT4
DIN5	17	35	DOUT5
DIN6	18	36	DOUT6
DIN7	19	37	DOUT7

Table 24. X1 Connector Pin Assignment

IRC0A+	1	20	IRC3A+
IRC0A-	2		
IRC0B+	3	21	IRC3A-
IRC0B-	4	22	IRC3B+
IRC0I+	5	23	IRC3B-
IRC0I-	6	24	IRC3I+
IRC1A+	7	25	IRC3I-
IRC1A-	8	26	TRIG
IRC1B+	9	27	
IRC1B-	10	28	+5V
IRC1I+	11	29	GND
IRC1I-	12	30	T0IN
IRC2A+	13	31	T0OUT
IRC2A-	14	32	T1IN
IRC2B+	15	33	T1OUT
IRC2B-	16	34	T2IN
IRC2I+	17	35	T2OUT
IRC2I-	18	36	T3IN
GND	19	37	T3OUT

Table 25. X2 Connector Pin Assignment

Contact Address

Contact address:

HUMUSOFT s.r.o.

Pobřežní 20

186 00 Praha 8

Czech Republic

tel.: + 420 2 84011730

tel./fax: + 420 2 84011740

E-mail: info@humusoft.com

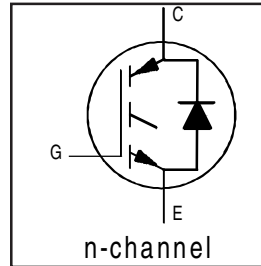
Homepage: <http://www.humusoft.com>

IRG4PH50UD

INSULATED GATE BIPOLAR TRANSISTOR WITH ULTRAFAST SOFT RECOVERY DIODE UltraFast CoPack IGBT

Features

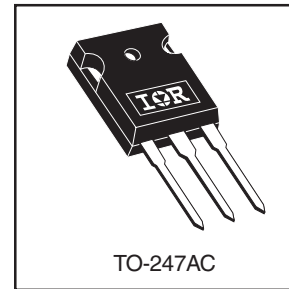
- UltraFast: Optimized for high operating frequencies up to 40 kHz in hard switching, >200 kHz in resonant mode
- New IGBT design provides tighter parameter distribution and higher efficiency than previous generations
- IGBT co-packaged with HEXFRED™ ultrafast, ultra-soft-recovery anti-parallel diodes for use in bridge configurations
- Industry standard TO-247AC package



$V_{CES} = 1200V$
$V_{CE(on)} \text{ typ.} = 2.78V$
@ $V_{GE} = 15V, I_C = 24A$

Benefits

- Higher switching frequency capability than competitive IGBTs
- Highest efficiency available
- HEXFRED diodes optimized for performance with IGBT's. Minimized recovery characteristics require less/no snubbing



Absolute Maximum Ratings

	Parameter	Max.	Units
V_{CES}	Collector-to-Emitter Breakdown Voltage	1200	V
$I_C @ T_C = 25^\circ C$	Continuous Collector Current	45	A
$I_C @ T_C = 100^\circ C$	Continuous Collector Current	24	
I_{CM}	Pulsed Collector Current ①	180	
I_{LM}	Clamped Inductive Load Current ②	180	
$I_F @ T_C = 100^\circ C$	Diode Continuous Forward Current	16	
I_{FM}	Diode Maximum Forward Current	180	
V_{GE}	Gate-to-Emitter Voltage	± 20	V
$P_D @ T_C = 25^\circ C$	Maximum Power Dissipation	200	W
$P_D @ T_C = 100^\circ C$	Maximum Power Dissipation	78	
T_J	Operating Junction and Storage Temperature Range	-55 to + 150	$^\circ C$
T_{STG}			
	Mounting torque, 6-32 or M3 screw.	10 lbf•in (1.1N•m)	

Thermal Resistance

	Parameter	Min.	Typ.	Max.	Units
$R_{\theta JC}$	Junction-to-Case - IGBT	—	—	0.64	$^\circ C/W$
$R_{\theta JC}$	Junction-to-Case - Diode	—	—	0.83	
$R_{\theta CS}$	Case-to-Sink, flat, greased surface	—	0.24	—	
$R_{\theta JA}$	Junction-to-Ambient, typical socket mount	—	—	40	
W_t	Weight	—	6 (0.21)	—	g (oz)

Electrical Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
V _{(BR)CES}	Collector-to-Emitter Breakdown Voltage ^③	1200	—	—	V	V _{GE} = 0V, I _C = 250μA
ΔV _{(BR)CES/ΔT_J}	Temperature Coeff. of Breakdown Voltage	—	1.20	—	V/°C	V _{GE} = 0V, I _C = 1.0mA
V _{CE(on)}	Collector-to-Emitter Saturation Voltage	—	2.56	3.5	V	I _C = 20A V _{GE} = 15V
		—	2.78	3.7		I _C = 24A
		—	3.20	—		I _C = 45A See Fig. 2, 5
		—	2.54	—		I _C = 24A, T _J = 150°C
V _{GE(th)}	Gate Threshold Voltage	3.0	—	6.0		V _{CE} = V _{GE} , I _C = 250μA
ΔV _{GE(th)/ΔT_J}	Temperature Coeff. of Threshold Voltage	—	-13	—	mV/°C	V _{CE} = V _{GE} , I _C = 250μA
g _{fe}	Forward Transconductance ^④	23	35	—	S	V _{CE} = 100V, I _C = 24A
I _{CES}	Zero Gate Voltage Collector Current	—	—	250	μA	V _{GE} = 0V, V _{CE} = 1200V
		—	—	6500		V _{GE} = 0V, V _{CE} = 1200V, T _J = 150°C
V _{FM}	Diode Forward Voltage Drop	—	2.5	3.5	V	I _C = 16A See Fig. 13
		—	2.1	3.0		I _C = 16A, T _J = 150°C
I _{GES}	Gate-to-Emitter Leakage Current	—	—	±100	nA	V _{GE} = ±20V

Switching Characteristics @ T_J = 25°C (unless otherwise specified)

	Parameter	Min.	Typ.	Max.	Units	Conditions
Q _g	Total Gate Charge (turn-on)	—	160	250	nC	I _C = 24A V _{CC} = 400V See Fig. 8 V _{GE} = 15V
Q _{ge}	Gate - Emitter Charge (turn-on)	—	27	40		
Q _{gc}	Gate - Collector Charge (turn-on)	—	53	80		
t _{d(on)}	Turn-On Delay Time	—	47	—	ns	T _J = 25°C I _C = 24A, V _{CC} = 800V V _{GE} = 15V, R _G = 5.0Ω Energy losses include "tail" and diode reverse recovery. See Fig. 9, 10, 18
t _r	Rise Time	—	24	—		
t _{d(off)}	Turn-Off Delay Time	—	110	170		
t _f	Fall Time	—	180	260		
E _{on}	Turn-On Switching Loss	—	2.10	—	mJ	See Fig. 9, 10, 18
E _{off}	Turn-Off Switching Loss	—	1.50	—		
E _{ts}	Total Switching Loss	—	3.60	4.6		
t _{d(on)}	Turn-On Delay Time	—	46	—	ns	T _J = 150°C, See Fig. 11, 18 I _C = 24A, V _{CC} = 800V V _{GE} = 15V, R _G = 5.0Ω Energy losses include "tail" and diode reverse recovery.
t _r	Rise Time	—	27	—		
t _{d(off)}	Turn-Off Delay Time	—	240	—		
t _f	Fall Time	—	330	—		
E _{ts}	Total Switching Loss	—	6.38	—	mJ	Measured 5mm from package
L _E	Internal Emitter Inductance	—	13	—	nH	
C _{ies}	Input Capacitance	—	3600	—	pF	V _{GE} = 0V V _{CC} = 30V See Fig. 7 f = 1.0MHz
C _{oes}	Output Capacitance	—	160	—		
C _{res}	Reverse Transfer Capacitance	—	31	—		
t _{rr}	Diode Reverse Recovery Time	—	90	135	ns	T _J = 25°C See Fig. 14
		—	164	245		T _J = 125°C
I _{rr}	Diode Peak Reverse Recovery Current	—	5.8	10	A	T _J = 25°C See Fig. 15
		—	8.3	15		T _J = 125°C
Q _{rr}	Diode Reverse Recovery Charge	—	260	675	nC	T _J = 25°C See Fig. 16
		—	680	1838		T _J = 125°C
di _{(rec)M/dt}	Diode Peak Rate of Fall of Recovery During t _b	—	120	—	A/μs	T _J = 25°C See Fig. 17
		—	76	—		T _J = 125°C

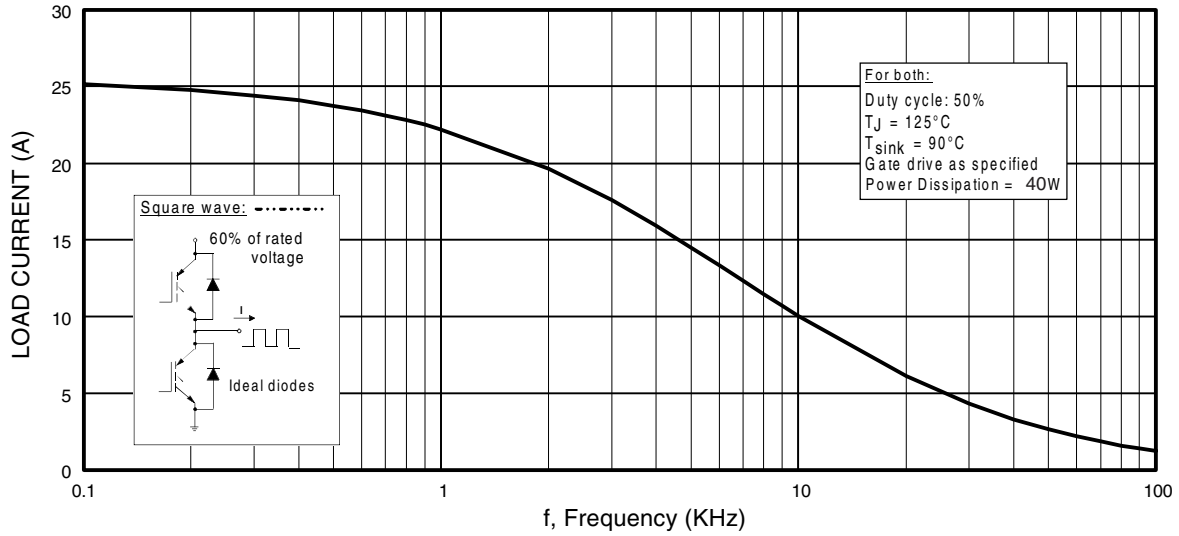


Fig. 1 - Typical Load Current vs. Frequency
 (Load Current = I_{RMS} of fundamental)

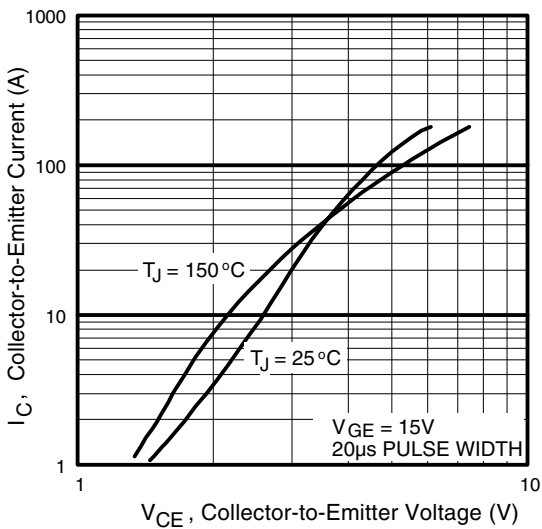


Fig. 2 - Typical Output Characteristics
www.irf.com

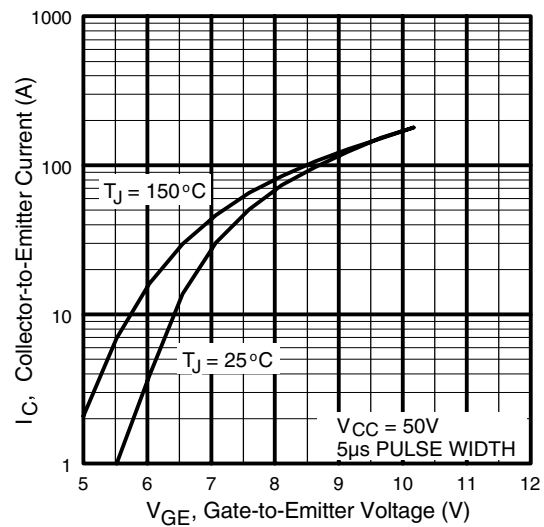


Fig. 3 - Typical Transfer Characteristics

IRG4PH50UD

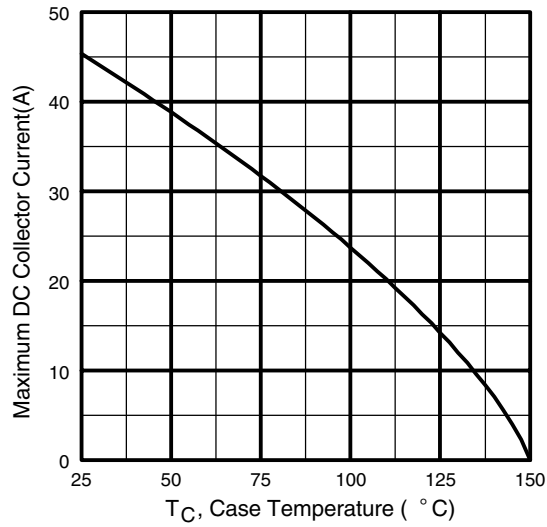


Fig. 4 - Maximum Collector Current vs. Case Temperature

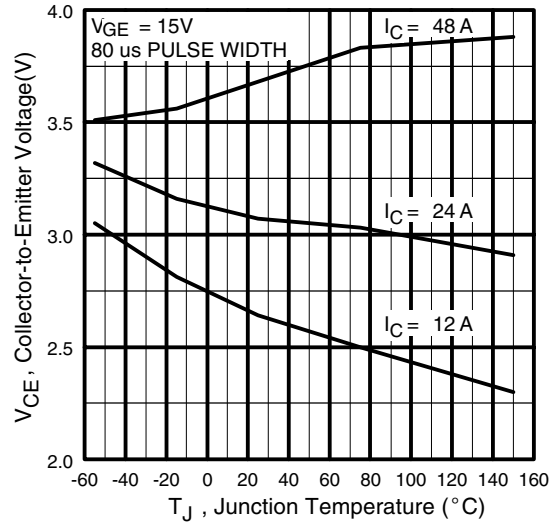


Fig. 5 - Typical Collector-to-Emitter Voltage vs. Junction Temperature

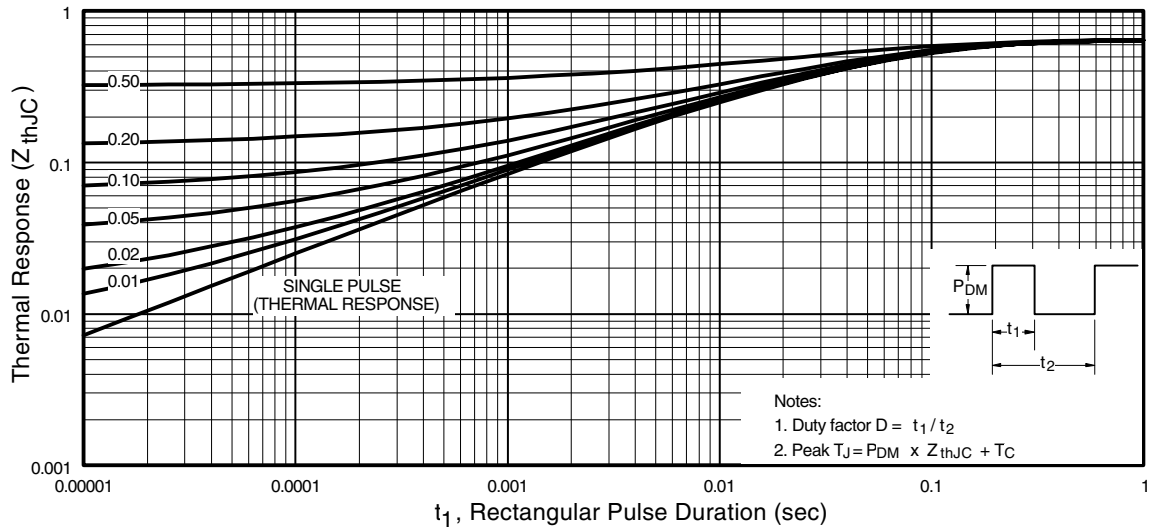


Fig. 6 - Maximum Effective Transient Thermal Impedance, Junction-to-Case

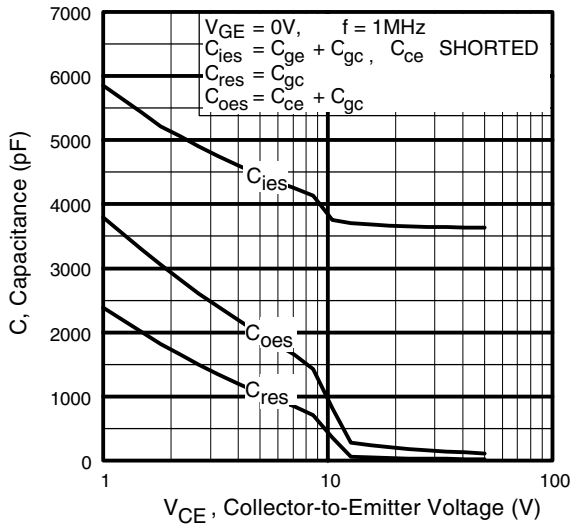


Fig. 7 - Typical Capacitance vs. Collector-to-Emitter Voltage

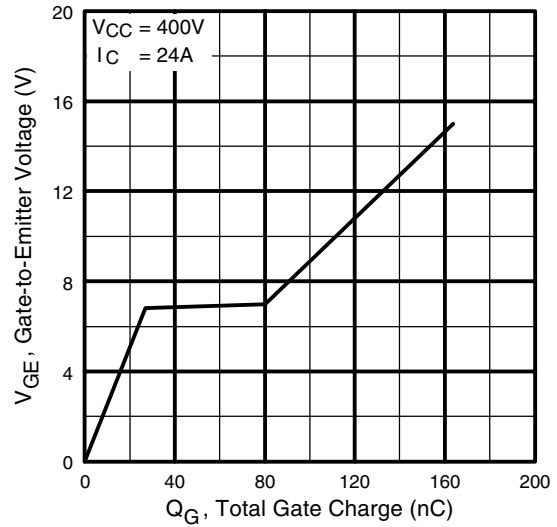


Fig. 8 - Typical Gate Charge vs. Gate-to-Emitter Voltage

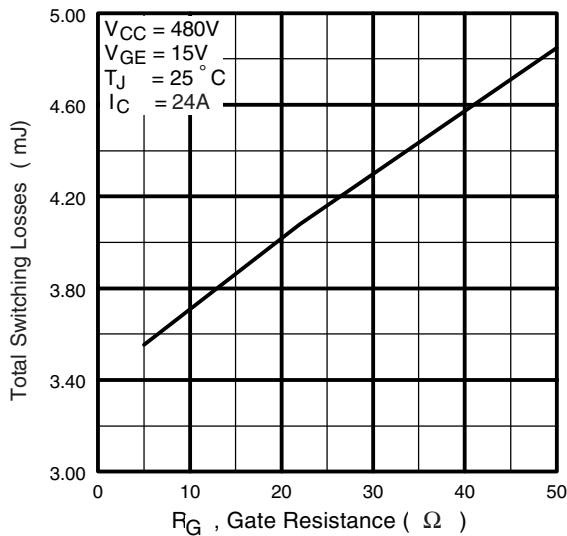


Fig. 9 - Typical Switching Losses vs. Gate Resistance

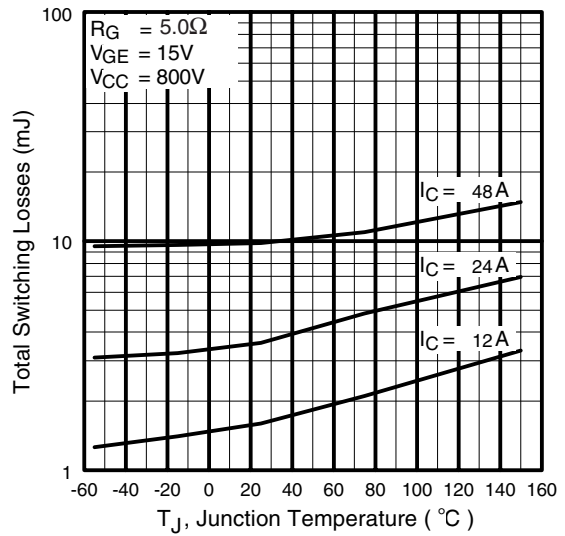


Fig. 10 - Typical Switching Losses vs. Junction Temperature

IRG4PH50UD

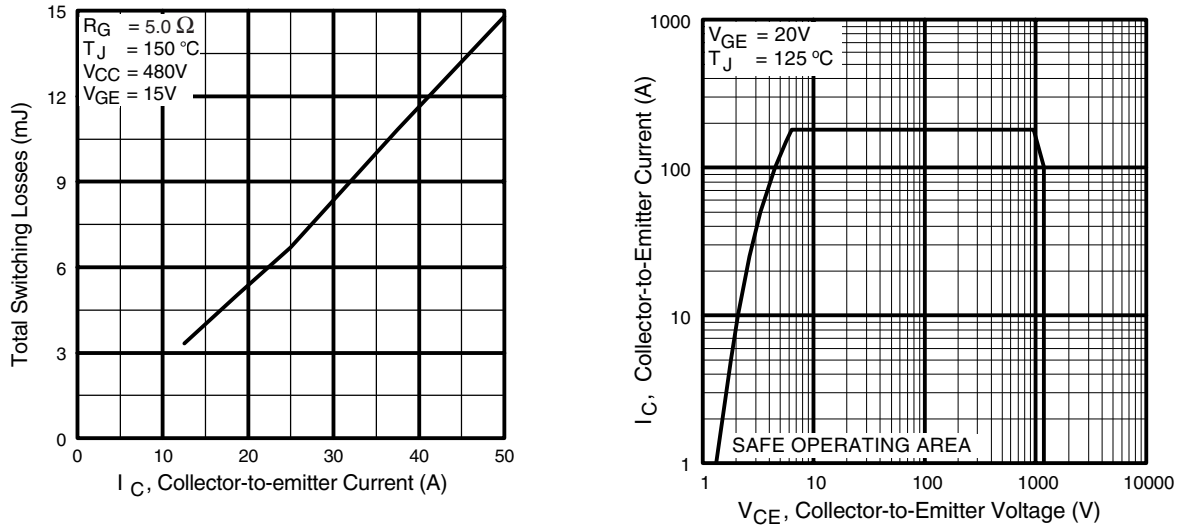


Fig. 11 - Typical Switching Losses vs. Collector-to-Emitter Current

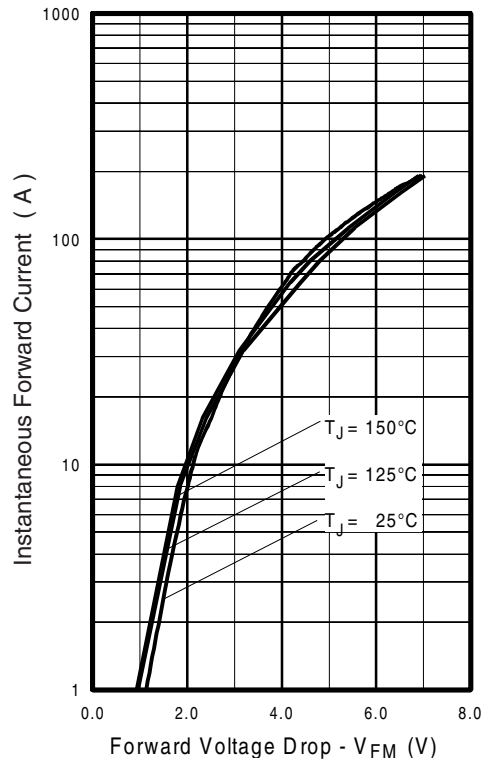


Fig. 13 - Typical Forward Voltage Drop vs. Instantaneous Forward Current

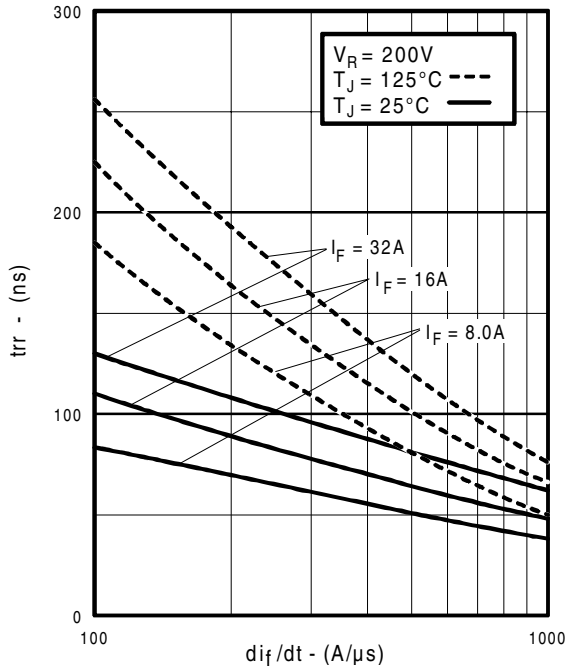


Fig. 14 - Typical Reverse Recovery vs. di_f/dt

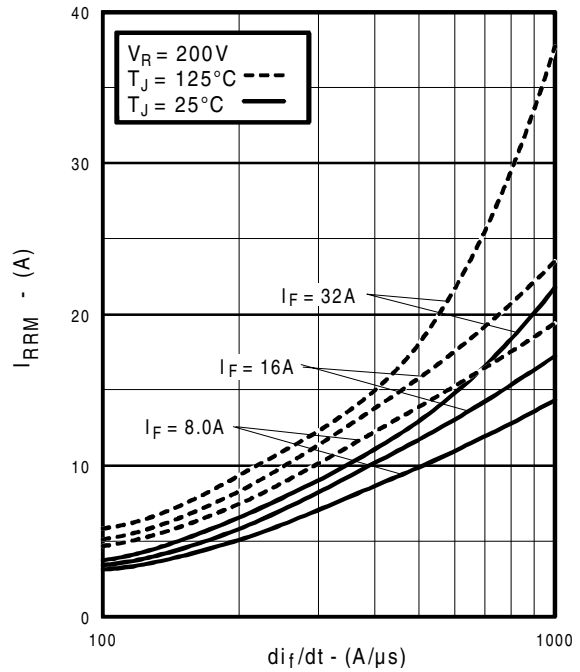


Fig. 15 - Typical Recovery Current vs. di_f/dt

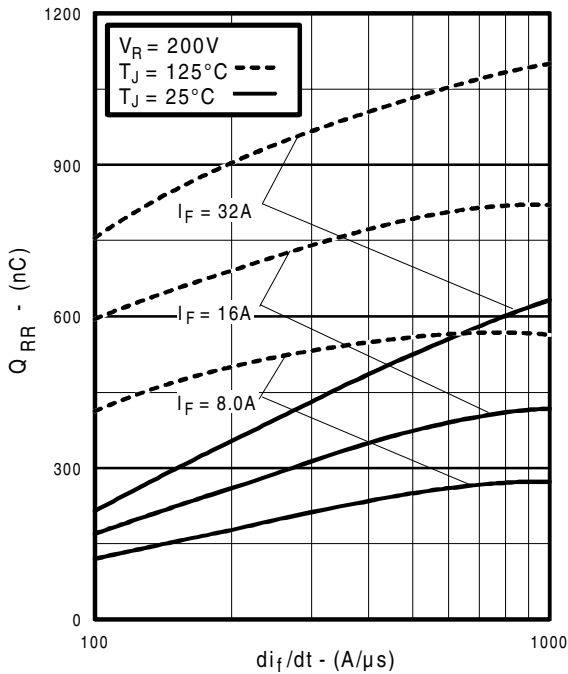


Fig. 16 - Typical Stored Charge vs. di_f/dt
www.irf.com

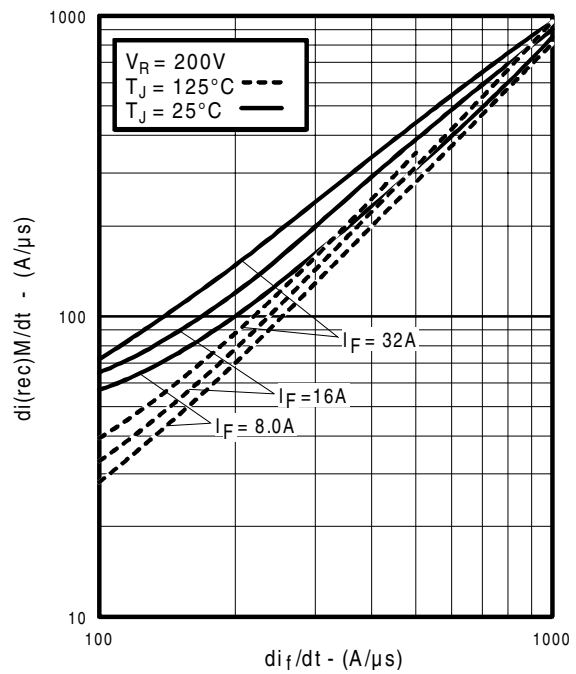


Fig. 17 - Typical $di_{(rec)M}/dt$ vs. di_f/dt

IRG4PH50UD

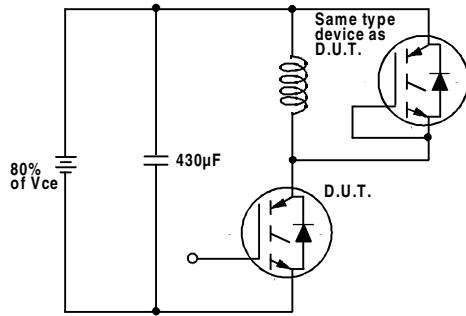


Fig. 18a - Test Circuit for Measurement of I_{LM} , E_{on} , $E_{off}(\text{diode})$, t_{rr} , Q_{rr} , I_{rr} , $t_{d(on)}$, t_r , $t_{d(off)}$, t_f

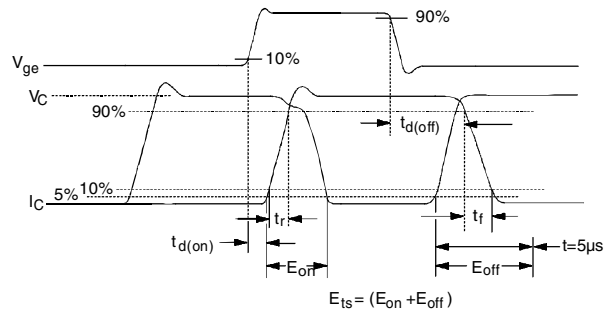


Fig. 18b - Test Waveforms for Circuit of Fig. 18a, Defining E_{off} , $t_{d(off)}$, t_f

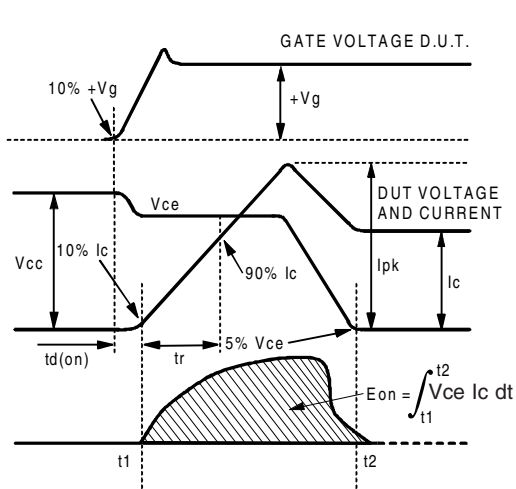


Fig. 18c - Test Waveforms for Circuit of Fig. 18a, Defining E_{on} , $t_{d(on)}$, t_r

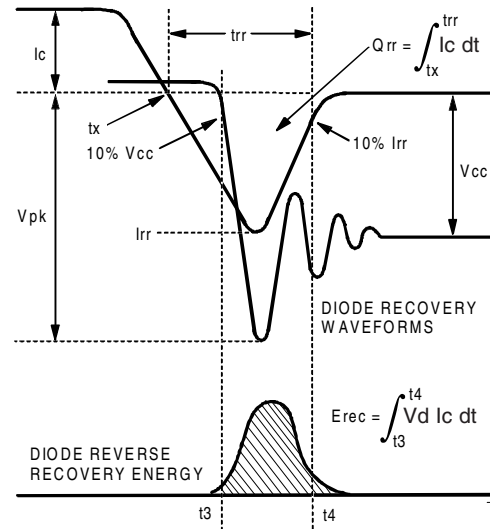


Fig. 18d - Test Waveforms for Circuit of Fig. 18a, Defining E_{rec} , t_{rr} , Q_{rr} , I_{rr}

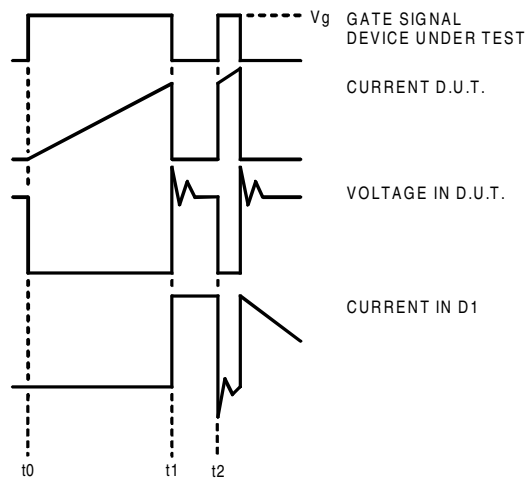


Figure 18e. Macro Waveforms for Figure 18a's Test Circuit

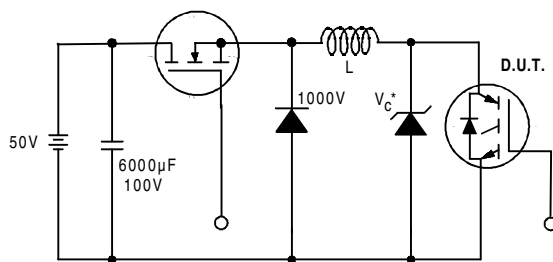


Figure 19. Clamped Inductive Load Test Circuit

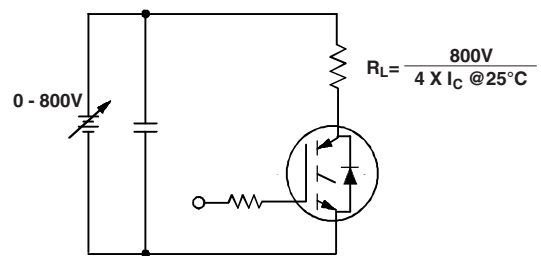


Figure 20. Pulsed Collector Current Test Circuit

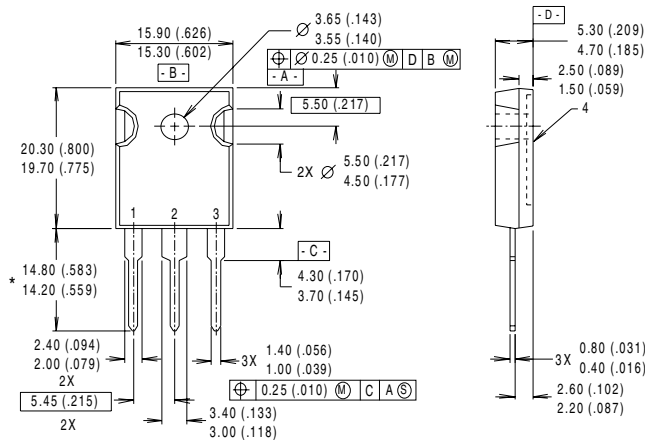
IRG4PH50UD

International
IR Rectifier

Notes:

- ① Repetitive rating: $V_{GE}=20V$; pulse width limited by maximum junction temperature (figure 20)
- ② $V_{CC}=80\%(V_{CES})$, $V_{GE}=20V$, $L=10\mu H$, $R_G=5.0\Omega$ (figure 19)
- ③ Pulse width $\leq 80\mu s$; duty factor $\leq 0.1\%$.
- ④ Pulse width $5.0\mu s$, single shot.

Case Outline — TO-247AC



NOTES:

- 1 DIMENSIONS & TOLERANCING PER ANSI Y14.5M, 1982.
- 2 CONTROLLING DIMENSION : INCH.
- 3 DIMENSIONS ARE SHOWN MILLIMETERS (INCHES).
- 4 CONFORMS TO JEDEC OUTLINE TO-247AC.

LEAD ASSIGNMENTS

- 1 - GATE
- 2 - COLLECTOR
- 3 - EMITTER
- 4 - COLLECTOR

* LONGER LEADED (20mm) VERSION AVAILABLE (TO-247AD) TO ORDER ADD *-E* SUFFIX TO PART NUMBER

CONFORMS TO JEDEC OUTLINE TO-247AC (TO-3P)

Dimensions in Millimeters and (Inches)

International
IR Rectifier

IR WORLD HEADQUARTERS: 233 Kansas St., El Segundo, California 90245, USA Tel: (310) 252-7105

IR EUROPEAN REGIONAL CENTRE: 439/445 Godstone Rd, Whyteleafe, Surrey CR3 OBL, UK Tel: ++ 44 (0)20 8645 8000

IR CANADA: 15 Lincoln Court, Brampton, Ontario L6T3Z2, Tel: (905) 453 2200

IR GERMANY: Saalburgstrasse 157, 61350 Bad Homburg Tel: ++ 49 (0) 6172 96590

IR ITALY: Via Liguria 49, 10071 Borgaro, Torino Tel: ++ 39 011 451 0111

IR JAPAN: K&H Bldg., 2F, 30-4 Nishi-Ikebukuro 3-Chome, Toshima-Ku, Tokyo 171 Tel: 81 (0)3 3983 0086

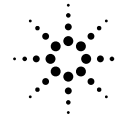
IR SOUTHEAST ASIA: 1 Kim Seng Promenade, Great World City West Tower, 13-11, Singapore 237994 Tel: ++ 65 (0)838 4630

IR TAIWAN: 16 Fl. Suite D. 207, Sec. 2, Tun Haw South Road, Taipei, 10673 Tel: 886-(0)2 2377 9936

Data and specifications subject to change without notice. 7/00

Annexe 3 : IGBT IRG4PH50UD

Annexe 4 : HCPL 3210



2.0 Amp Output Current IGBT Gate Drive Optocoupler

Technical Data

HCPL-3120
HCPL-J312
HCNW3120

Features

- **2.0 A Minimum Peak Output Current**
- **15 kV/ μ s Minimum Common Mode Rejection (CMR) at $V_{CM} = 1500$ V**
- **0.5 V Maximum Low Level Output Voltage (V_{OL})**
Eliminates Need for Negative Gate Drive
- **$I_{CC} = 5$ mA Maximum Supply Current**
- **Under Voltage Lock-Out Protection (UVLO) with Hysteresis**
- **Wide Operating V_{CC} Range: 15 to 30 Volts**
- **500 ns Maximum Switching Speeds**
- **Industrial Temperature Range: -40°C to 100°C**
- **Safety Approval**
UL Recognized
2500 Vrms for 1 min. for HCPL-3120
3750 Vrms for 1 min. for HCPL-J312
5000 Vrms for 1 min. for HCNW3120

CSA Approval

VDE 0884 Approved

$V_{IORM} = 630$ Vpeak for HCPL-3120 (Option 060)

$V_{IORM} = 891$ Vpeak for HCPL-J312

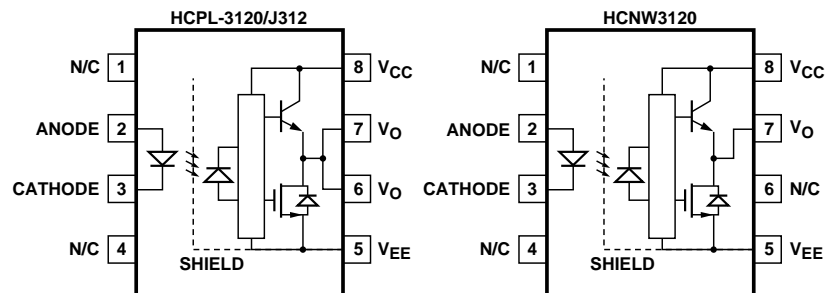
$V_{IORM} = 1414$ Vpeak for HCNW3120

BSI Certified (HCNW3120 only) (Pending)

Applications

- **IGBT/MOSFET Gate Drive**
- **AC/Brushless DC Motor Drives**
- **Industrial Inverters**
- **Switch Mode Power Supplies**

Functional Diagram



TRUTH TABLE

LED	$V_{CC} - V_{EE}$ "POSITIVE GOING" (i.e., TURN-ON)	$V_{CC} - V_{EE}$ "NEGATIVE GOING" (i.e., TURN-OFF)	V_O
OFF	0 - 30 V	0 - 30 V	LOW
ON	0 - 11 V	0 - 9.5 V	LOW
ON	11 - 13.5 V	9.5 - 12 V	TRANSITION
ON	13.5 - 30 V	12 - 30 V	HIGH

A 0.1 μ F bypass capacitor must be connected between pins 5 and 8.

CAUTION: It is advised that normal static precautions be taken in handling and assembly of this component to prevent damage and/or degradation which may be induced by ESD.

Description

The HCPL-3120 contains a GaAsP LED while the HCPL-J312 and the HCNW3120 contain an AlGaAs LED. The LED is optically coupled to an integrated circuit with a power output stage. These optocouplers are ideally suited for driving power IGBTs and MOSFETs used in motor control inverter applications. The high

operating voltage range of the output stage provides the drive voltages required by gate controlled devices. The voltage and current supplied by these optocouplers make them ideally suited for directly driving IGBTs with ratings up to 1200 V/100 A. For IGBTs with higher ratings, the HCPL-3120 series can be used to drive a discrete power

stage which drives the IGBT gate. The HCNW3120 has the highest insulation voltage of $V_{IORM} = 1414 V_{peak}$ in the VDE0884. The HCPL-J312 has an insulation voltage of $V_{IORM} = 891 V_{peak}$ and the $V_{IORM} = 630 V_{peak}$ is also available with the HCPL-3120 (Option 060).

Selection Guide

Part Number	HCPL-3120	HCPL-J312	HCNW3120	HCPL-3150*
Output Peak Current (I_O)	2.0 A	2.0 A	2.0 A	0.5 A
VDE0884 Approval	$V_{IORM} = 630 V_{peak}$ (Option 060)	$V_{IORM} = 891 V_{peak}$	$V_{IORM} = 1414 V_{peak}$	$V_{IORM} = 630 V_{peak}$ (Option 060)

*The HCPL-3150 Data sheet available. Contact Agilent sales representative or authorized distributor.

Ordering Information

Specify Part Number followed by Option Number (if desired)

Example:

HCPL-3120#XXX

- 060 = VDE0884, $V_{IORM} = 630 V_{peak}$ (HCPL-3120 only)
- 300 = Gull Wing Surface Mount Option
- 500 = Tape and Reel Packaging Option

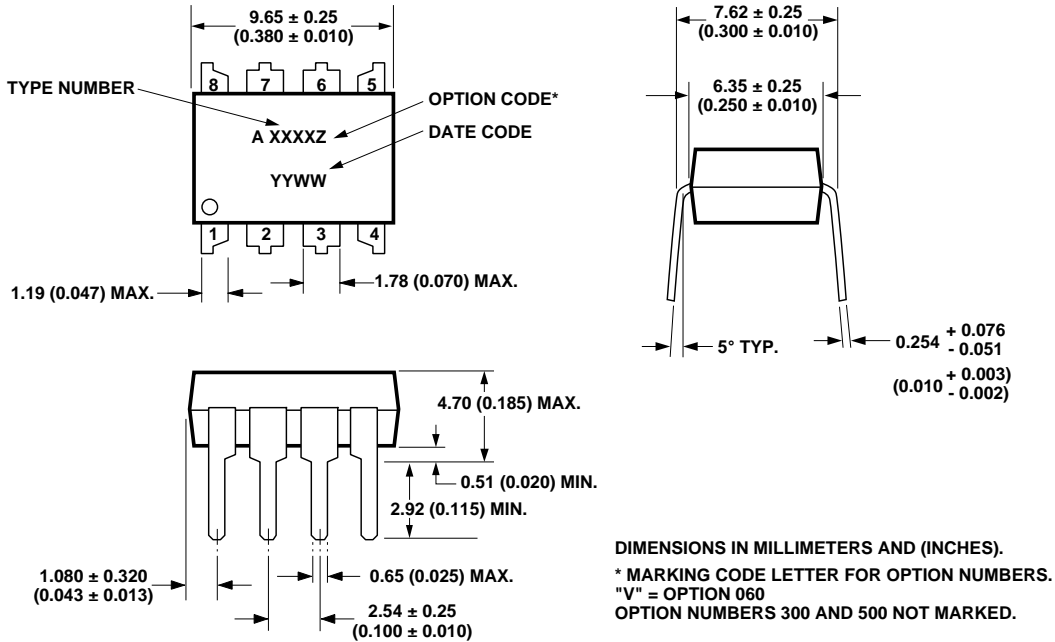
Option 500 contains 1000 units (HCPL-3120/J312), 750 units (HCNW3120) per reel.

Other options contain 50 units (HCPL-3120/J312), 42 units (HCNW312) per tube.

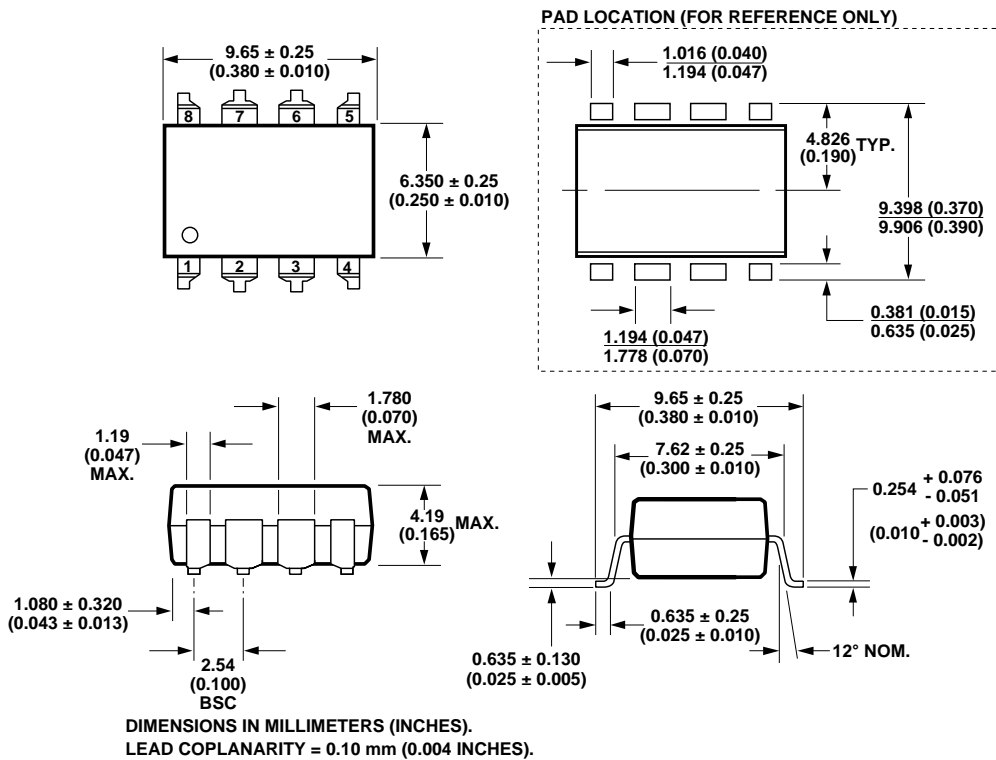
Option data sheets available. Contact Agilent sales representative or authorized distributor.

Package Outline Drawings

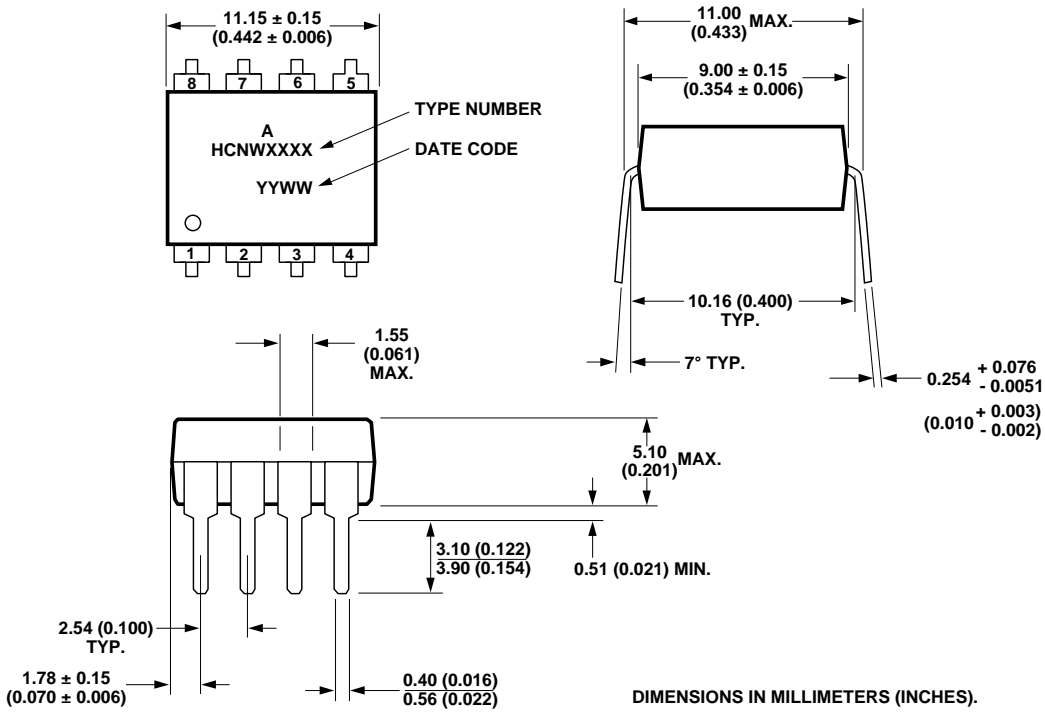
HCPL-3120 and HCPL-J312 Outline Drawing (Standard DIP Package)



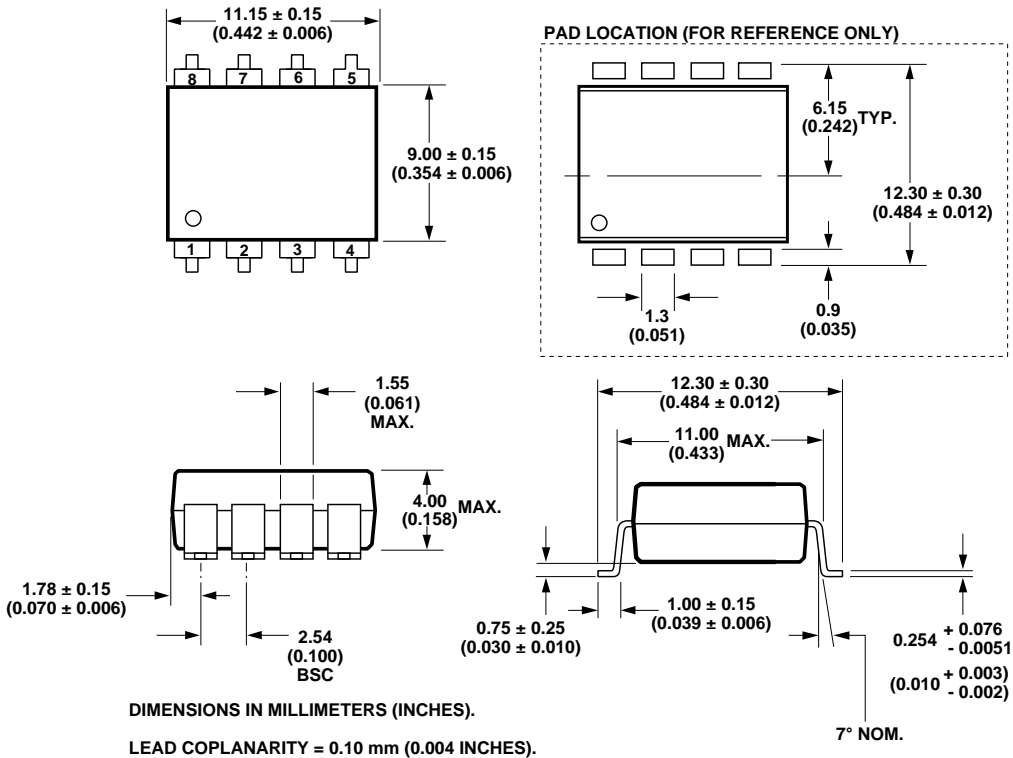
HCPL-3120 and HCPL-J312 Gull Wing Surface Mount Option 300 Outline Drawing



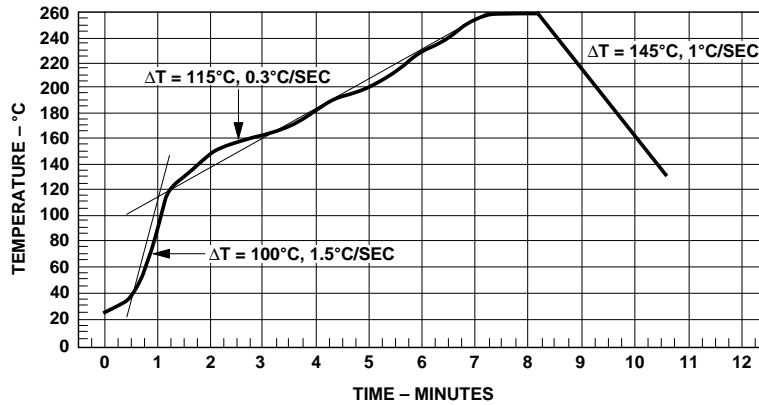
HCNW3120 Outline Drawing (8-Pin Wide Body Package)



HCNW3120 Gull Wing Surface Mount Option 300 Outline Drawing



Reflow Temperature Profile



MAXIMUM SOLDER REFLOW THERMAL PROFILE

(NOTE: USE OF NON-CHLORINE ACTIVATED FLUXES IS RECOMMENDED.)

Regulatory Information

Agency/Standard	HCPL-3120	HCPL-J312	HCNW3120
Underwriters Laboratory (UL) Recognized under UL 1577, Component Recognition Program, Category, File E55361	✓	✓	✓
Canadian Standards Association (CSA) File CA88324, per Component Acceptance Notice #5	✓	✓	✓
Verband Deutscher Elektrotechniker (VDE) DIN VDE 0884 (June 1992)	✓ Option 060	✓	✓
British Standards Institute (BSI) Certification According to BS EN60065: 1994 (BS415:1994), BS EN60950: 1992 (BS7002:1992)			Pending

Insulation and Safety Related Specifications

Parameter	Symbol	Value			Units	Conditions
		HCPL-3120	HCPL-J312	HCNW3120		
Minimum External Air Gap (Clearance)	L(101)	7.1	7.4	9.6	mm	Measured from input terminals to output terminals, shortest distance through air.
Minimum External Tracking (Creepage)	L(102)	7.4	8.0	10.0	mm	Measured from input terminals to output terminals, shortest distance path along body.
Minimum Internal Plastic Gap (Internal Clearance)		0.08	0.5	1.0	mm	Insulation thickness between emitter and detector; also known as distance through insulation.
Tracking Resistance (Comparative Tracking Index)	CTI	>175	>175	>200	Volts	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa	IIIa	IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)

All Agilent data sheets report the creepage and clearance inherent to the optocoupler component itself. These dimensions are needed as a starting point for the equipment designer when determining the circuit insulation requirements. However, once mounted on a printed circuit

board, minimum creepage and clearance requirements must be met as specified for individual equipment standards. For creepage, the shortest distance path along the surface of a printed circuit board between the solder fillets of the input and output leads must be considered. There

are recommended techniques such as grooves and ribs which may be used on a printed circuit board to achieve desired creepage and clearances. Creepage and clearance distances will also change depending on factors such as pollution degree and insulation level.

VDE0884 Insulation Related Characteristics

Description	Symbol	HCPL-3120 Option 060	HCPL-J312	HCNW3120	Unit
Installation classification per DIN VDE 0110/1.89, Table 1 for rated mains voltage ≤ 150 V rms for rated mains voltage ≤ 300 V rms for rated mains voltage ≤ 450 V rms for rated mains voltage ≤ 600 V rms for rated mains voltage ≤ 1000 V rms		I-IV I-IV I-III	I-IV I-IV I-III I-III	I-IV I-IV I-IV I-IV I-III	
Climatic Classification		55/100/21	55/100/21	55/100/21	
Pollution Degree (DIN VDE 0110/1.89)		2	2	2	
Maximum Working Insulation Voltage	V_{IORM}	630	891	1414	V_{peak}
Input to Output Test Voltage, Method b* $V_{IORM} \times 1.875 = V_{PR}$, 100% Production Test, $t_m = 1$ sec, Partial Discharge $< 5pC$	V_{PR}	1181	1670	2652	V_{peak}
Input to Output Test Voltage, Method a* $V_{IORM} \times 1.5 = V_{PR}$, Type and Sample Test, $t_m = 60$ sec, Partial Discharge $< 5pC$	V_{PR}	945	1336	2121	V_{peak}
Highest Allowable Overvoltage* (Transient Overvoltage, $t_{ini} = 10$ sec)	V_{IOTM}	6000	6000	8000	V_{peak}
Safety Limiting Values – maximum values allowed in the event of a failure, also see Figure 37.					
Case Temperature	T_S	175	175	150	$^{\circ}C$
Input Current	$I_{S INPUT}$	230	400	400	mA
Output Power	$P_{S OUTPUT}$	600	600	700	mW
Insulation Resistance at T_S , $V_{IO} = 500$ V	R_S	$\geq 10^9$	$\geq 10^9$	$\geq 10^9$	Ω

*Refer to the VDE0884 section (page 1-6/8) of the Isolation Control Component Designer's Catalog for a detailed description of Method a/b partial discharge test profiles.

Note: These optocouplers are suitable for “safe electrical isolation” only within the safety limit data. Maintenance of the safety data shall be ensured by means of protective circuits. Surface mount classification is Class A in accordance with CECC 00802.

Absolute Maximum Ratings

Parameter	Symbol	Min.	Max.	Units	Note
Storage Temperature	T_S	-55	125	°C	
Operating Temperature	T_A	-40	100	°C	
Average Input Current	$I_{F(AVG)}$		25	mA	1
Peak Transient Input Current ($< 1 \mu s$ pulse width, 300 pps)	$I_{F(TRAN)}$		1.0	A	
Reverse Input Voltage	HCPL-3120	V_R	5	Volts	
	HCPL-J312		3		
	HCNW3120				
“High” Peak Output Current	$I_{OH(PEAK)}$		2.5	A	2
“Low” Peak Output Current	$I_{OL(PEAK)}$		2.5	A	2
Supply Voltage	$(V_{CC} - V_{EE})$	0	35	Volts	
Input Current (Rise/Fall Time)	$t_{r(IN)} / t_{f(IN)}$		500	ns	
Output Voltage	$V_{O(PEAK)}$	0	V_{CC}	Volts	
Output Power Dissipation	P_O		250	mW	3
Total Power Dissipation	P_T		295	mW	4
Lead Solder Temperature	HCPL-3120	260°C for 10 sec., 1.6 mm below seating plane			
	HCPL-J312				
	HCNW3120	260°C for 10 sec., up to seating plane			
Solder Reflow Temperature Profile	See Package Outline Drawings section				

Recommended Operating Conditions

Parameter	Symbol	Min.	Max.	Units
Power Supply Voltage	$(V_{CC} - V_{EE})$	15	30	Volts
Input Current (ON)	HCPL-3120	$I_{F(ON)}$	7	mA
	HCPL-J312			
	HCNW3120		10	
Input Voltage (OFF)	$V_{F(OFF)}$	-3.0	0.8	V
Operating Temperature	T_A	-40	100	°C

Electrical Specifications (DC)

Over recommended operating conditions ($T_A = -40$ to 100°C , $I_{F(\text{ON})} = 7$ to 16 mA, $V_{F(\text{OFF})} = -3.0$ to 0.8 V, $V_{CC} = 15$ to 30 V, $V_{EE} = \text{Ground}$) unless otherwise specified.

Parameter	Symbol	Device	Min.	Typ.*	Max.	Units	Test Conditions	Fig.	Note
High Level Output Current	I_{OH}		0.5	1.5		A	$V_O = (V_{CC} - 4 \text{ V})$	2, 3,	5
			2.0			A	$V_O = (V_{CC} - 15 \text{ V})$	17	2
Low Level Output Current	I_{OL}		0.5	2.0		A	$V_O = (V_{EE} + 2.5 \text{ V})$	5, 6,	5
			2.0			A	$V_O = (V_{EE} + 15 \text{ V})$	18	2
High Level Output Voltage	V_{OH}		$(V_{CC} - 4)$	$(V_{CC} - 3)$		V	$I_O = -100 \text{ mA}$	1, 3, 19	6, 7
Low Level Output Voltage	V_{OL}			0.1	0.5	V	$I_O = 100 \text{ mA}$	4, 6, 20	
High Level Supply Current	I_{CCH}			2.5	5.0	mA	Output Open, $I_F = 7$ to 16 mA	7, 8	
Low Level Supply Current	I_{CCL}			2.5	5.0	mA	Output Open, $V_F = -3.0$ to $+0.8 \text{ V}$		
Threshold Input Current Low to High	I_{FLH}	HCPL-3120		2.3	5.0	mA	$I_O = 0 \text{ mA}$, $V_O > 5 \text{ V}$	9, 15, 21	
		HCPL-J312		1.0					
		HCNW3120		2.3	8.0				
Threshold Input Voltage High to Low	V_{FHL}		0.8			V			
Input Forward Voltage	V_F	HCPL-3120	1.2	1.5	1.8	V	$I_F = 10 \text{ mA}$	16	
		HCPL-J312		1.6	1.95				
		HCNW3120							
Temperature Coefficient of Forward Voltage	$\Delta V_F / \Delta T_A$	HCPL-3120		-1.6		mV/ $^\circ\text{C}$	$I_F = 10 \text{ mA}$		
		HCPL-J312		-1.3					
		HCNW3120							
Input Reverse Breakdown Voltage	BV_R	HCPL-3120	5			V	$I_R = 10 \mu\text{A}$		
		HCPL-J312	3				$I_R = 100 \mu\text{A}$		
		HCNW3120							
Input Capacitance	C_{IN}	HCPL-3120		60		pF	$f = 1 \text{ MHz}$, $V_F = 0 \text{ V}$		
		HCPL-J312		70					
		HCNW3120							
UVLO Threshold	V_{UVLO+}		11.0	12.3	13.5	V	$V_O > 5 \text{ V}$, $I_F = 10 \text{ mA}$	22, 34	
	V_{UVLO-}		9.5	10.7	12.0				
UVLO Hysteresis	$UVLO_{HYS}$			1.6					

*All typical values at $T_A = 25^\circ\text{C}$ and $V_{CC} - V_{EE} = 30 \text{ V}$, unless otherwise noted.

Switching Specifications (AC)

Over recommended operating conditions ($T_A = -40$ to 100°C , $I_{F(\text{ON})} = 7$ to 16 mA, $V_{F(\text{OFF})} = -3.0$ to 0.8 V, $V_{CC} = 15$ to 30 V, $V_{EE} = \text{Ground}$) unless otherwise specified.

Parameter	Symbol	Min.	Typ.*	Max.	Units	Test Conditions	Fig.	Note	
Propagation Delay Time to High Output Level	t_{PLH}	0.10	0.30	0.50	μs	Rg = 10 Ω , Cg = 10 nF, f = 10 kHz, Duty Cycle = 50%	10, 11, 12, 13, 14, 23	16	
Propagation Delay Time to Low Output Level	t_{PHL}	0.10	0.30	0.50	μs				
Pulse Width Distortion	PWD			0.3	μs				
Propagation Delay Difference Between Any Two Parts	PDD ($t_{\text{PHL}} - t_{\text{PLH}}$)	-0.35		0.35	μs			35, 36	12
Rise Time	t_r		0.1		μs			23	
Fall Time	t_f		0.1		μs				
UVLO Turn On Delay	$t_{\text{UVLO ON}}$		0.8		μs		$V_O > 5$ V, $I_F = 10$ mA	22	
UVLO Turn Off Delay	$t_{\text{UVLO OFF}}$		0.6		μs	$V_O < 5$ V, $I_F = 10$ mA			
Output High Level Common Mode Transient Immunity	$ CM_H $	15	30		kV/ μs	$T_A = 25^\circ\text{C}$, $I_F = 10$ to 16 mA, $V_{CM} = 1500$ V, $V_{CC} = 30$ V	24	13, 14	
Output Low Level Common Mode Transient Immunity	$ CM_L $	15	30		kV/ μs	$T_A = 25^\circ\text{C}$, $V_{CM} = 1500$ V, $V_F = 0$ V, $V_{CC} = 30$ V		13, 15	

*All typical values at $T_A = 25^\circ\text{C}$ and $V_{CC} - V_{EE} = 30$ V, unless otherwise noted.

Package Characteristics

Over recommended temperature ($T_A = -40$ to 100°C) unless otherwise specified.

Parameter	Symbol	Device	Min.	Typ.	Max.	Units	Test Conditions	Fig.	Note	
Input-Output Momentary Withstand Voltage**	V_{ISO}	HCPL-3120	2500			V_{RMS}	RH < 50%, t = 1 min., $T_A = 25^\circ\text{C}$		8, 11	
		HCPL-J312	3750						9, 11	
		HCNW3120	5000						10, 11	
Resistance (Input-Output)	$R_{\text{I-O}}$	HCPL-3120		10^{12}		Ω	$V_{\text{I-O}} = 500 V_{\text{DC}}$		11	
		HCPL-J312								
		HCNW3120	10^{12}	10^{13}						$T_A = 25^\circ\text{C}$
			10^{11}							$T_A = 100^\circ\text{C}$
Capacitance (Input-Output)	$C_{\text{I-O}}$	HCPL-3120		0.6		pF	f = 1 MHz			
		HCPL-J312		0.8						
		HCNW3120		0.5	0.6					
LED-to-Case Thermal Resistance	θ_{LC}			467		$^\circ\text{C/W}$	Thermocouple located at center underside of package	28		
LED-to-Detector Thermal Resistance	θ_{LD}			442	$^\circ\text{C/W}$					
Detector-to-Case Thermal Resistance	θ_{DC}			126	$^\circ\text{C/W}$					

*All typicals at $T_A = 25^\circ\text{C}$.

**The Input-Output Momentary Withstand Voltage is a dielectric voltage rating that should not be interpreted as an input-output continuous voltage rating. For the continuous voltage rating refer to your equipment level safety specification or Agilent Application Note 1074 entitled "Optocoupler Input-Output Endurance Voltage."

Notes:

- Derate linearly above 70°C free-air temperature at a rate of $0.3 \text{ mA}/^\circ\text{C}$.
- Maximum pulse width = $10 \mu\text{s}$, maximum duty cycle = 0.2% . This value is intended to allow for component tolerances for designs with I_{O} peak minimum = 2.0 A . See Applications section for additional details on limiting I_{OH} peak.
- Derate linearly above 70°C free-air temperature at a rate of $4.8 \text{ mW}/^\circ\text{C}$.
- Derate linearly above 70°C free-air temperature at a rate of $5.4 \text{ mW}/^\circ\text{C}$. The maximum LED junction temperature should not exceed 125°C .
- Maximum pulse width = $50 \mu\text{s}$, maximum duty cycle = 0.5% .
- In this test V_{OH} is measured with a dc load current. When driving capacitive loads V_{OH} will approach V_{CC} as I_{OH} approaches zero amps.
- Maximum pulse width = 1 ms , maximum duty cycle = 20% .
- In accordance with UL1577, each optocoupler is proof tested by applying an insulation test voltage $\geq 3000 \text{ Vrms}$ for 1 second (leakage detection current limit, $I_{\text{I-O}} \leq 5 \mu\text{A}$).
- In accordance with UL1577, each optocoupler is proof tested by applying an insulation test voltage $\geq 4500 \text{ Vrms}$ for 1 second (leakage detection current limit, $I_{\text{I-O}} \leq 5 \mu\text{A}$).
- In accordance with UL1577, each optocoupler is proof tested by applying an insulation test voltage $\geq 6000 \text{ Vrms}$ for 1 second (leakage detection current limit, $I_{\text{I-O}} \leq 5 \mu\text{A}$).
- Device considered a two-terminal device: pins 1, 2, 3, and 4 shorted together and pins 5, 6, 7, and 8 shorted together.
- The difference between t_{PHL} and t_{PLH} between any two HCPL-3120 parts under the same test condition.
- Pins 1 and 4 need to be connected to LED common.
- Common mode transient immunity in the high state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM} , to assure that the output will remain in the high state (i.e., $V_{\text{O}} > 15.0 \text{ V}$).
- Common mode transient immunity in a low state is the maximum tolerable dV_{CM}/dt of the common mode pulse, V_{CM} , to assure that the output will remain in a low state (i.e., $V_{\text{O}} < 1.0 \text{ V}$).
- This load condition approximates the gate load of a $1200 \text{ V}/75\text{A}$ IGBT.
- Pulse Width Distortion (PWD) is defined as $|t_{\text{PHL}} - t_{\text{PLH}}|$ for any given device.

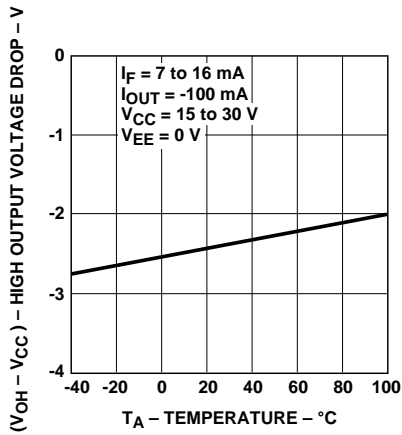


Figure 1. V_{OH} vs. Temperature.

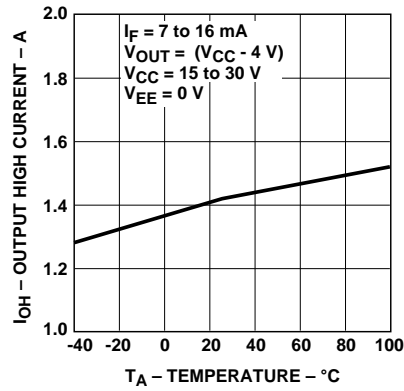


Figure 2. I_{OH} vs. Temperature.

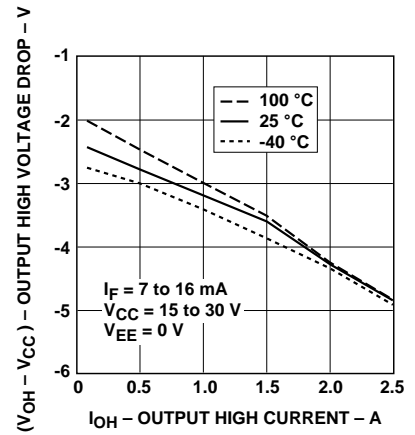


Figure 3. V_{OH} vs. I_{OH} .

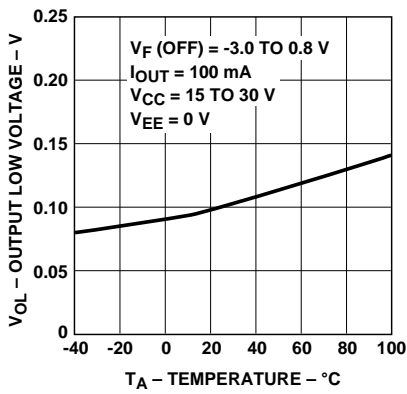


Figure 4. V_{OL} vs. Temperature.

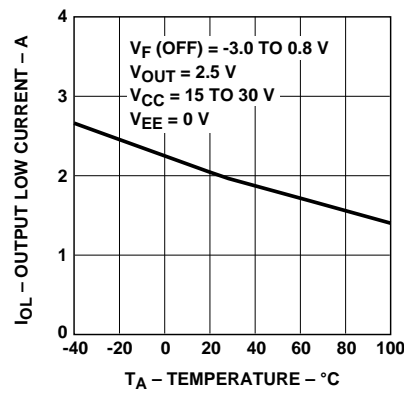


Figure 5. I_{OL} vs. Temperature.

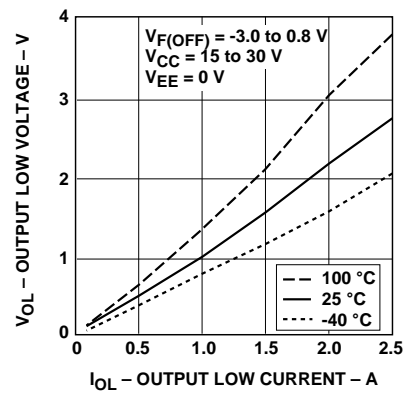


Figure 6. V_{OL} vs. I_{OL} .

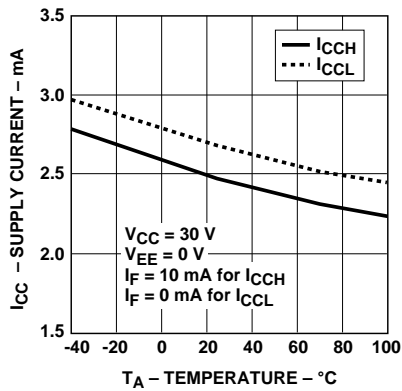


Figure 7. I_{CC} vs. Temperature.

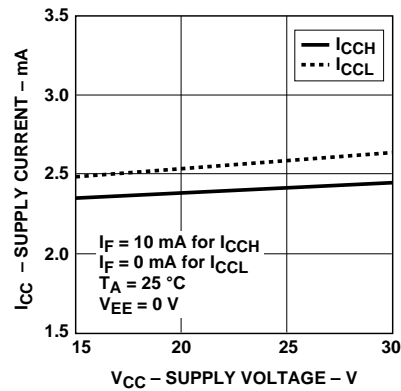


Figure 8. I_{CC} vs. V_{CC} .

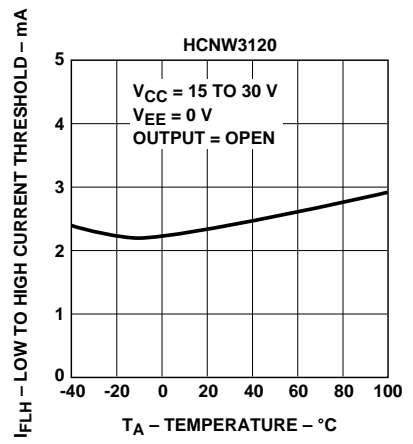
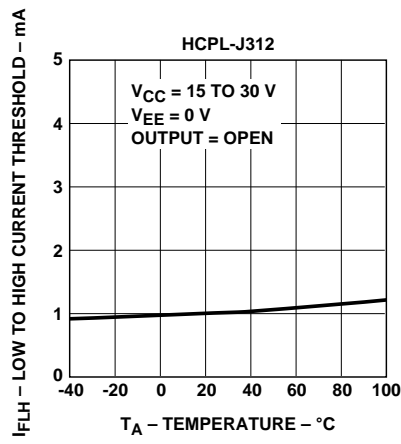
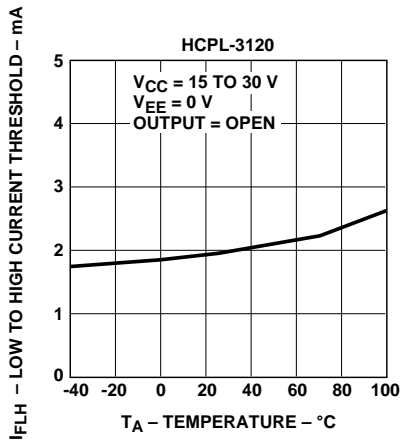


Figure 9. I_{FLH} vs. Temperature.

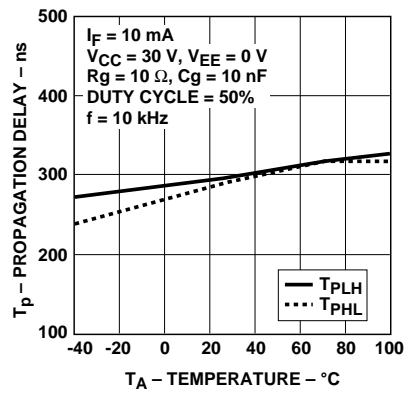
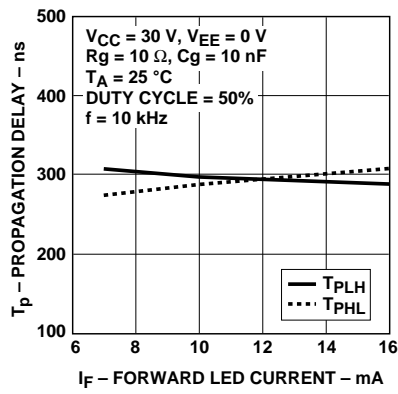
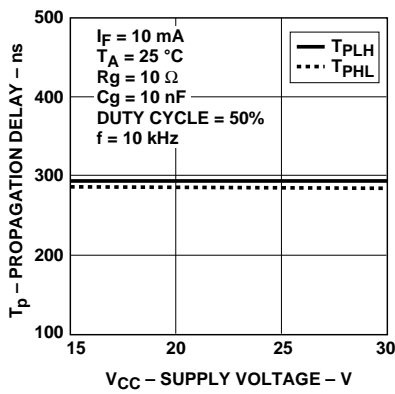


Figure 10. Propagation Delay vs. V_{CC} .

Figure 11. Propagation Delay vs. I_F .

Figure 12. Propagation Delay vs. Temperature.

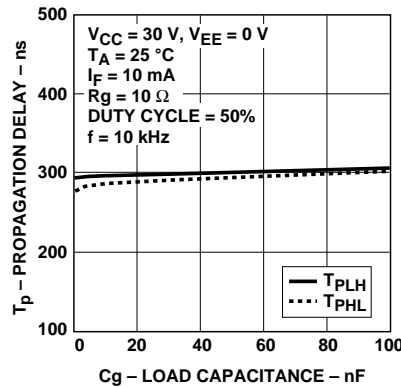
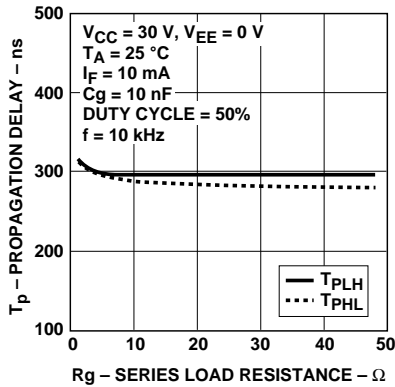


Figure 13. Propagation Delay vs. R_g .

Figure 14. Propagation Delay vs. C_g .

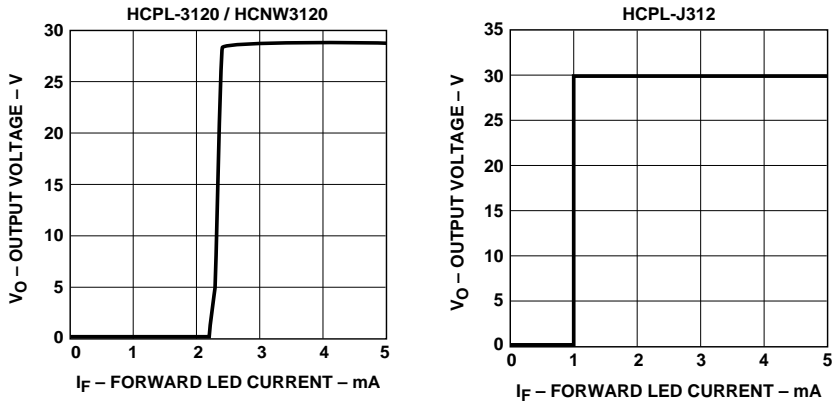


Figure 15. Transfer Characteristics.

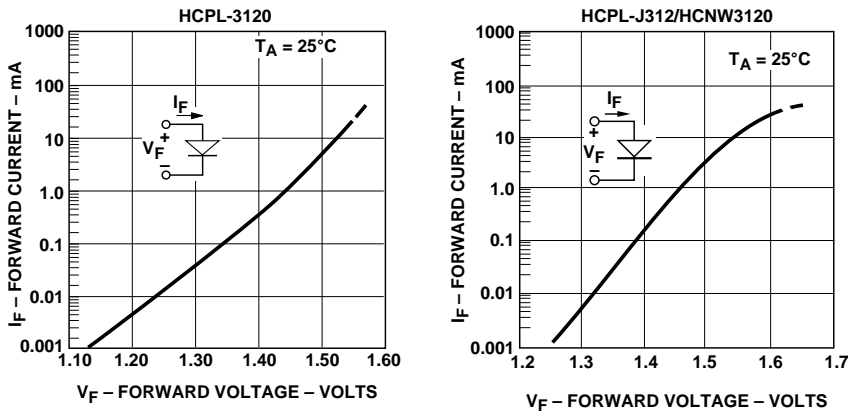


Figure 16. Input Current vs. Forward Voltage.

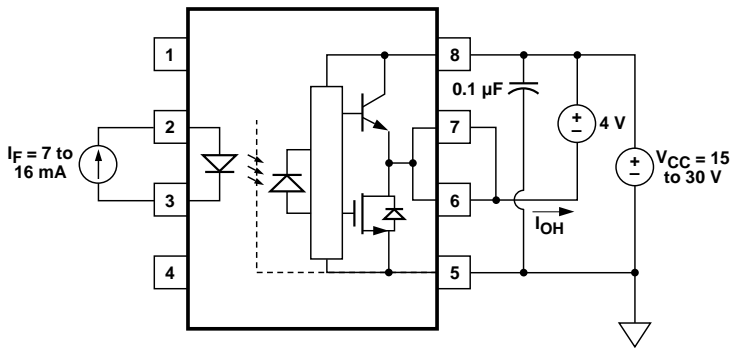


Figure 17. I_{OH} Test Circuit.

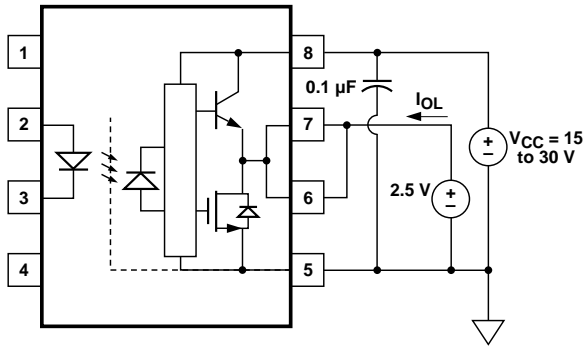


Figure 18. I_{OL} Test Circuit.

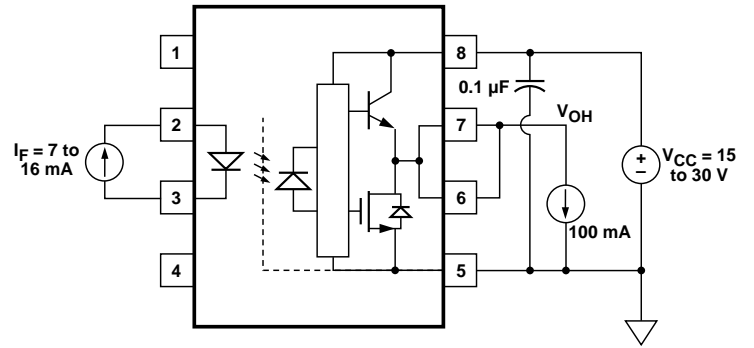


Figure 19. V_{OH} Test Circuit.

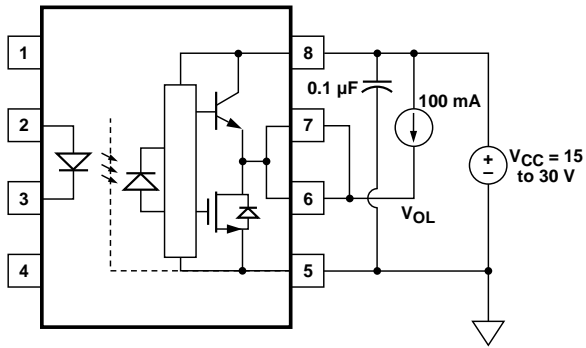


Figure 20. V_{OL} Test Circuit.

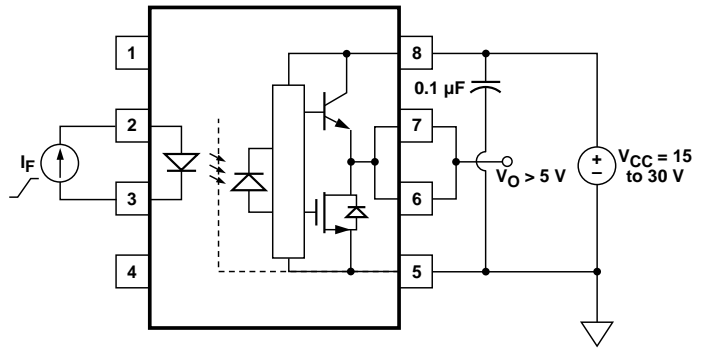


Figure 21. I_{FLH} Test Circuit.

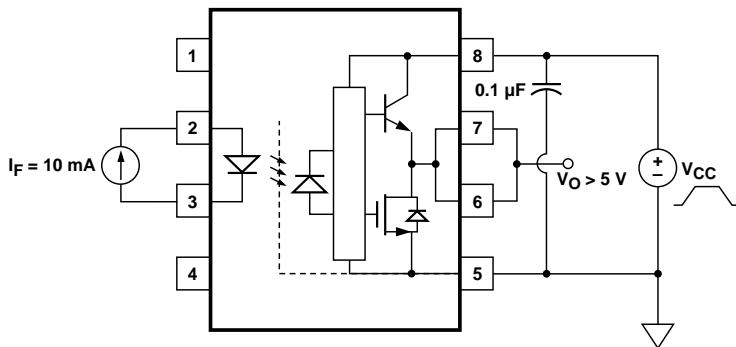


Figure 22. UVLO Test Circuit.

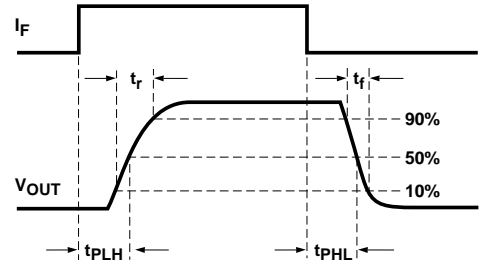
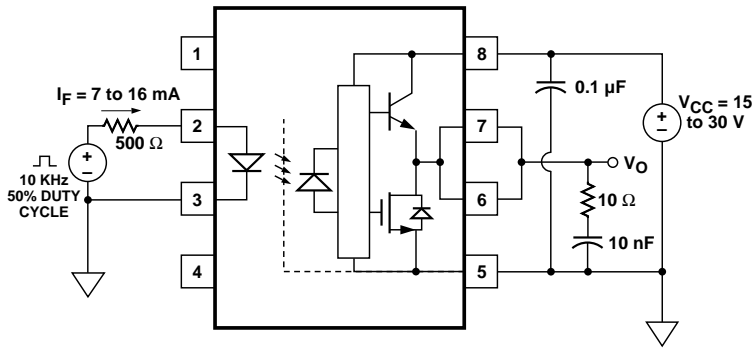


Figure 23. t_{PLH} , t_{PHL} , t_r , and t_f Test Circuit and Waveforms.

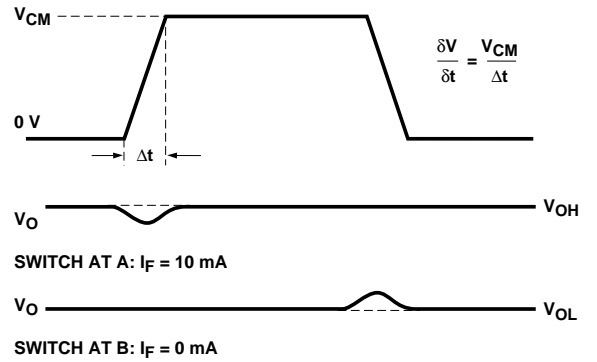
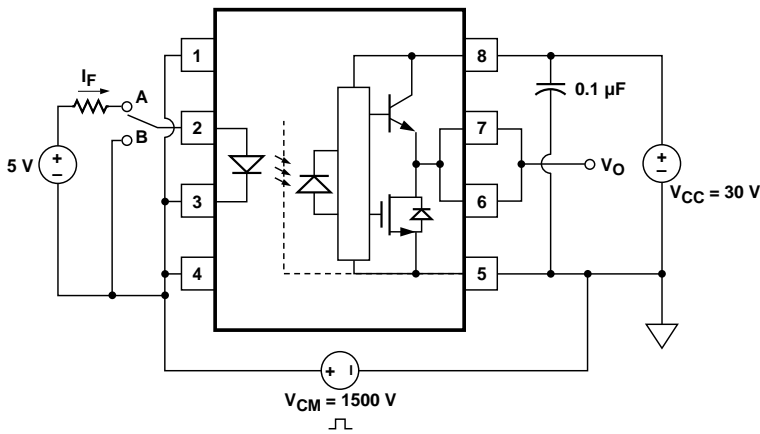


Figure 24. CMR Test Circuit and Waveforms.

Applications Information

Eliminating Negative IGBT Gate Drive (Discussion applies to HCPL-3120, HCPL-J312, and HCNW3120)

To keep the IGBT firmly off, the HCPL-3120 has a very low maximum V_{OL} specification of 0.5 V. The HCPL-3120 realizes this very low V_{OL} by using a DMOS transistor with 1 Ω (typical) on resistance in its pull down circuit. When the HCPL-

3120 is in the low state, the IGBT gate is shorted to the emitter by $R_g + 1 \Omega$. Minimizing R_g and the lead inductance from the HCPL-3120 to the IGBT gate and emitter (possibly by mounting the HCPL-3120 on a small PC board directly above the IGBT) can eliminate the need for negative IGBT gate drive in many applications as shown in Figure 25. Care should be taken with such a PC board design to avoid routing the

IGBT collector or emitter traces close to the HCPL-3120 input as this can result in unwanted coupling of transient signals into the HCPL-3120 and degrade performance. (If the IGBT drain must be routed near the HCPL-3120 input, then the LED should be reverse-biased when in the off state, to prevent the transient signals coupled from the IGBT drain from turning on the HCPL-3120.)

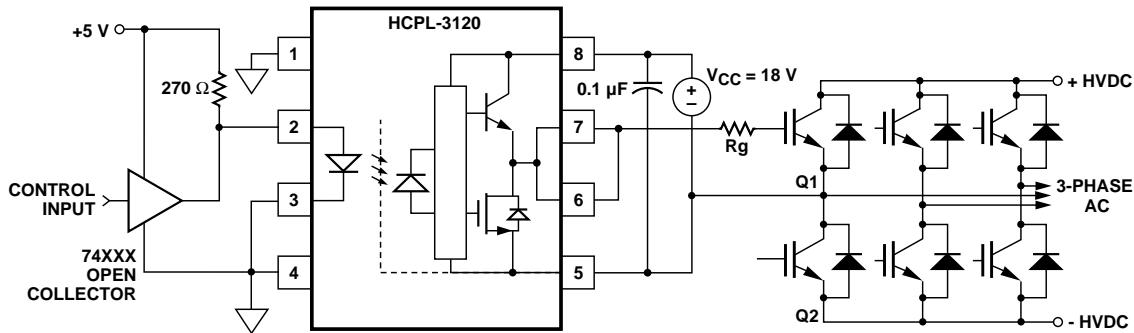


Figure 25. Recommended LED Drive and Application Circuit.

Selecting the Gate Resistor (R_g) to Minimize IGBT Switching Losses. (Discussion applies to HCPL-3120, HCPL-J312 and HCNW3120)

Step 1: Calculate R_g Minimum from the I_{OL} Peak Specification. The IGBT and R_g in Figure 26 can be analyzed as a simple RC circuit with a voltage supplied by the HCPL-3120.

$$\begin{aligned}
 R_g &\geq \frac{(V_{CC} - V_{EE} - V_{OL})}{I_{OLPEAK}} \\
 &= \frac{(V_{CC} - V_{EE} - 2\text{ V})}{I_{OLPEAK}} \\
 &= \frac{(15\text{ V} + 5\text{ V} - 2\text{ V})}{2.5\text{ A}} \\
 &= 7.2\ \Omega \cong 8\ \Omega
 \end{aligned}$$

The V_{OL} value of 2 V in the previous equation is a conservative value of V_{OL} at the peak current of 2.5A (see Figure 6). At lower R_g values the voltage supplied by the HCPL-3120 is not an ideal voltage step. This results in lower peak currents (more margin) than predicted by this analysis. When negative gate drive is not used V_{EE} in the previous equation is equal to zero volts.

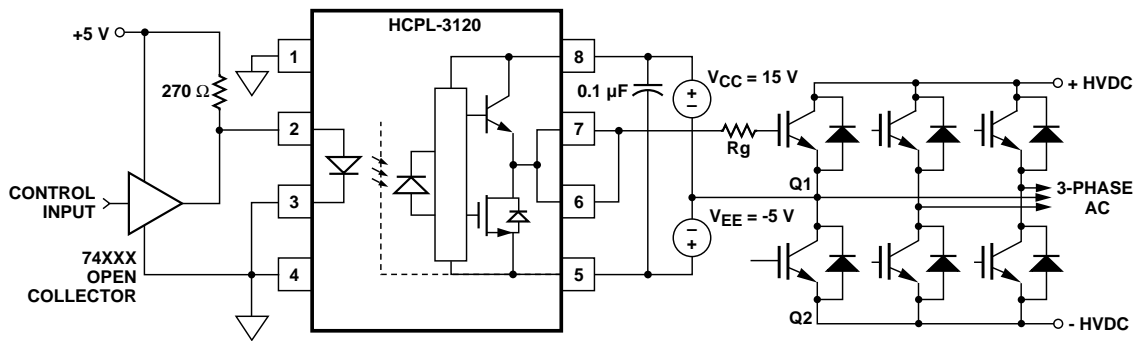


Figure 26. HCPL-3120 Typical Application Circuit with Negative IGBT Gate Drive.

Step 2: Check the HCPL-3120 Power Dissipation and Increase Rg if Necessary. The HCPL-3120 total power dissipation (P_T) is equal to the sum of the emitter power (P_E) and the output power (P_O):

$$P_T = P_E + P_O$$

$$P_E = I_F \cdot V_F \cdot \text{Duty Cycle}$$

$$P_O = P_{O(BIAS)} + P_{O(SWITCHING)}$$

$$= I_{CC} \cdot (V_{CC} - V_{EE}) + E_{SW}(R_G, Q_G) \cdot f$$

For the circuit in Figure 26 with I_F (worst case) = 16 mA, $R_g = 8 \Omega$, Max Duty Cycle = 80%, $Q_g = 500 \text{ nC}$, $f = 20 \text{ kHz}$ and $T_A \text{ max} = 85\text{C}$:

$$P_E = 16 \text{ mA} \cdot 1.8 \text{ V} \cdot 0.8 = 23 \text{ mW}$$

$$P_O = 4.25 \text{ mA} \cdot 20 \text{ V} + 5.2 \mu\text{J} \cdot 20 \text{ kHz}$$

$$= 85 \text{ mW} + 104 \text{ mW}$$

$$= 189 \text{ mW}$$

$$> 178 \text{ mW} (P_{O(MAX)} @ 85\text{C})$$

$$= 250 \text{ mW} - 15\text{C} \cdot 4.8 \text{ mW/C}$$

The value of 4.25 mA for I_{CC} in the previous equation was obtained by derating the $I_{CC} \text{ max}$ of 5 mA (which occurs at -40°C) to $I_{CC} \text{ max}$ at 85C (see Figure 7).

Since P_O for this case is greater than $P_{O(MAX)}$, R_g must be increased to reduce the HCPL-3120 power dissipation.

$$P_{O(SWITCHING MAX)} = P_{O(MAX)} - P_{O(BIAS)}$$

$$= 178 \text{ mW} - 85 \text{ mW}$$

$$= 93 \text{ mW}$$

$$E_{SW(MAX)} = \frac{P_{O(SWITCHING MAX)}}{f}$$

$$= \frac{93 \text{ mW}}{20 \text{ kHz}} = 4.65 \mu\text{W}$$

For $Q_g = 500 \text{ nC}$, from Figure 27, a value of $E_{SW} = 4.65 \mu\text{W}$ gives a $R_g = 10.3 \Omega$.

P_E Parameter	Description
I_F	LED Current
V_F	LED On Voltage
Duty Cycle	Maximum LED Duty Cycle

P_O Parameter	Description
I_{CC}	Supply Current
V_{CC}	Positive Supply Voltage
V_{EE}	Negative Supply Voltage
$E_{SW}(R_g, Q_g)$	Energy Dissipated in the HCPL-3120 for each IGBT Switching Cycle (See Figure 27)
f	Switching Frequency

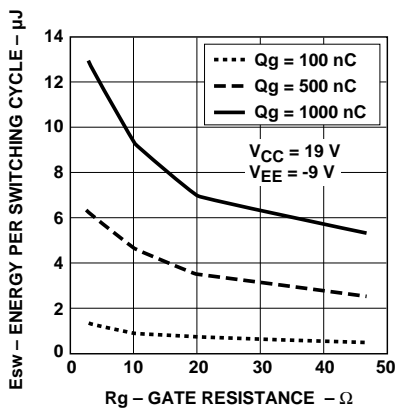


Figure 27. Energy Dissipated in the HCPL-3120 for Each IGBT Switching Cycle.

Thermal Model (Discussion applies to HCPL-3120, HCPL-J312 and HCNW3120)

The steady state thermal model for the HCPL-3120 is shown in Figure 28. The thermal resistance values given in this model can be used to calculate the temperatures at each node for a given operating condition. As shown by the model, all heat generated flows through θ_{CA} which raises the case temperature T_C accordingly. The value of θ_{CA} depends on the conditions of the board design and is, therefore, determined by the designer. The value of $\theta_{CA} = 83^\circ\text{C/W}$ was obtained from thermal measurements using a 2.5 x 2.5 inch PC

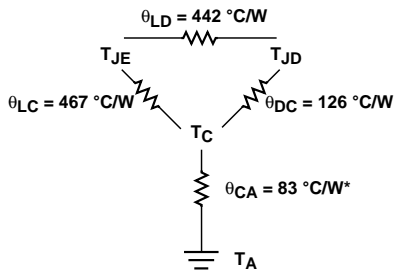


Figure 28. Thermal Model.

board, with small traces (no ground plane), a single HCPL-3120 soldered into the center of the board and still air. The absolute maximum power dissipation derating specifications assume a θ_{CA} value of 83°C/W .

From the thermal mode in Figure 28 the LED and detector IC junction temperatures can be expressed as:

$$T_{JE} = P_E \cdot (\theta_{LC} || (\theta_{LD} + \theta_{DC}) + \theta_{CA}) + \frac{P_D}{T_A} \cdot \left(\frac{\theta_{LC} \cdot \theta_{DC}}{\theta_{LC} + \theta_{DC} + \theta_{LD}} + \theta_{CA} \right)$$

$$T_{JD} = P_E \cdot \left(\frac{\theta_{LC} \cdot \theta_{DC}}{\theta_{LC} + \theta_{DC} + \theta_{LD}} + \theta_{CA} \right) + P_D \cdot (\theta_{DC} || (\theta_{LD} + \theta_{LC}) + \theta_{CA}) + T_A$$

Inserting the values for θ_{LC} and θ_{DC} shown in Figure 28 gives:

$$T_{JE} = P_E \cdot (256^\circ\text{C/W} + \theta_{CA}) + P_D \cdot (57^\circ\text{C/W} + \theta_{CA}) + T_A$$

$$T_{JD} = P_E \cdot (57^\circ\text{C/W} + \theta_{CA}) + P_D \cdot (111^\circ\text{C/W} + \theta_{CA}) + T_A$$

For example, given $P_E = 45 \text{ mW}$, $P_D = 250 \text{ mW}$, $T_A = 70^\circ\text{C}$ and $\theta_{CA} = 83^\circ\text{C/W}$:

$$T_{JE} = P_E \cdot 339^\circ\text{C/W} + P_D \cdot 140^\circ\text{C/W} + T_A$$

$$= 45 \text{ mW} \cdot 339^\circ\text{C/W} + 250 \text{ mW} \cdot 140^\circ\text{C/W} + 70^\circ\text{C} = 120^\circ\text{C}$$

$$T_{JD} = P_E \cdot 140^\circ\text{C/W} + P_D \cdot 194^\circ\text{C/W} + T_A$$

$$= 45 \text{ mW} \cdot 140^\circ\text{C/W} + 250 \text{ mW} \cdot 194^\circ\text{C/W} + 70^\circ\text{C} = 125^\circ\text{C}$$

T_{JE} and T_{JD} should be limited to 125°C based on the board layout and part placement (θ_{CA} specific to the application).

T_{JE} = LED junction temperature
 T_{JD} = detector IC junction temperature
 T_C = case temperature measured at the center of the package bottom
 θ_{LC} = LED-to-case thermal resistance
 θ_{LD} = LED-to-detector thermal resistance
 θ_{DC} = detector-to-case thermal resistance
 θ_{CA} = case-to-ambient thermal resistance
 * θ_{CA} will depend on the board design and the placement of the part.

LED Drive Circuit Considerations for Ultra High CMR Performance.

(Discussion applies to HCPL-3120, HCPL-J312, and HCNW3120)

Without a detector shield, the dominant cause of optocoupler CMR failure is capacitive coupling from the input side of the optocoupler, through the package, to the detector IC as shown in Figure 29. The HCPL-3120 improves CMR performance

by using a detector IC with an optically transparent Faraday shield, which diverts the capacitively coupled current away from the sensitive IC circuitry. However, this shield does not eliminate the capacitive coupling between the LED and optocoupler pins 5-8 as shown in Figure 30. This capacitive coupling causes perturbations in the LED current during common mode transients and becomes the major source of CMR failures for

a shielded optocoupler. The main design objective of a high CMR LED drive circuit becomes keeping the LED in the proper state (on or off) during common mode transients. For example, the recommended application circuit (Figure 25), can achieve 15 kV/ μ s CMR while minimizing component complexity.

Techniques to keep the LED in the proper state are discussed in the next two sections.

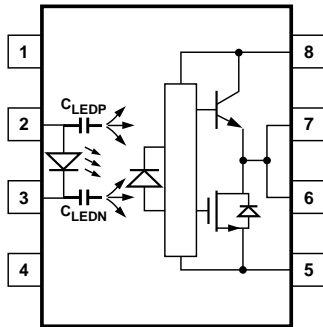


Figure 29. Optocoupler Input to Output Capacitance Model for Unshielded Optocouplers.

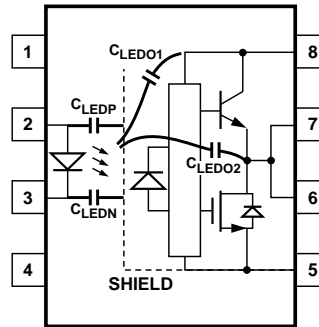


Figure 30. Optocoupler Input to Output Capacitance Model for Shielded Optocouplers.

CMR with the LED On (CMR_H).

A high CMR LED drive circuit must keep the LED on during common mode transients. This is achieved by overdriving the LED current beyond the input threshold so that it is not pulled below the threshold during a transient. A minimum LED current of 10 mA provides adequate margin over the maximum I_{FLH} of 5 mA to achieve $15 \text{ kV}/\mu\text{s}$ CMR.

CMR with the LED Off (CMR_L).

A high CMR LED drive circuit must keep the LED off ($V_F \leq V_{F(OFF)}$) during common mode transients. For example, during a $-dV_{cm}/dt$ transient in Figure 31, the current flowing through C_{LEDP} also flows through the R_{SAT} and V_{SAT} of the logic gate. As long as the low state voltage developed across the logic gate is less than $V_{F(OFF)}$, the LED will remain off and no common mode failure will occur.

The open collector drive circuit, shown in Figure 32, cannot keep the LED off during a $+dV_{cm}/dt$ transient, since all the current flowing through C_{LEDN} must be supplied by the LED, and it is not recommended for applications requiring ultra high CMR_L performance. Figure 33 is an alternative drive circuit which, like the recommended application circuit (Figure 25), does achieve ultra high CMR performance by shunting the LED in the off state.

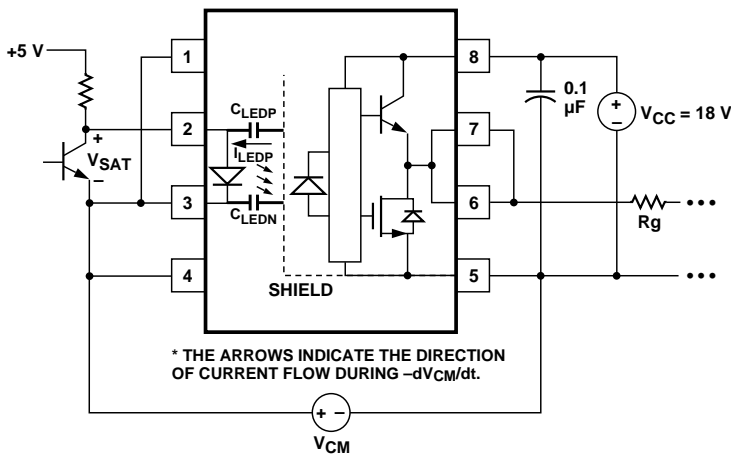


Figure 31. Equivalent Circuit for Figure 25 During Common Mode Transient.

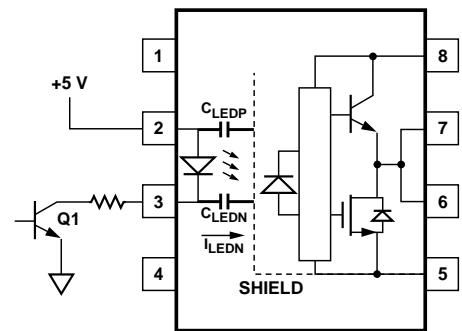


Figure 32. Not Recommended Open Collector Drive Circuit.

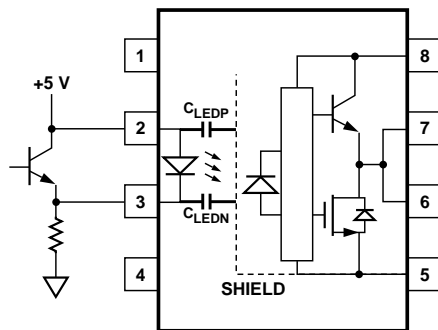


Figure 33. Recommended LED Drive Circuit for Ultra-High CMR.

Under Voltage Lockout Feature. (Discussion applies to HCPL-3120, HCPL-J312, and HCNW3120)

The HCPL-3120 contains an under voltage lockout (UVLO) feature that is designed to protect the IGBT under fault conditions which cause the HCPL-3120 supply voltage (equivalent to the

fully-charged IGBT gate voltage) to drop below a level necessary to keep the IGBT in a low resistance state. When the HCPL-3120 output is in the high state and the supply voltage drops below the HCPL-3120 V_{UVLO-} threshold ($9.5 < V_{UVLO-} < 12.0$) the optocoupler output will go into the low state with a typical delay, UVLO Turn Off Delay, of $0.6 \mu\text{s}$.

When the HCPL-3120 output is in the low state and the supply voltage rises above the HCPL-3120 V_{UVLO+} threshold ($11.0 < V_{UVLO+} < 13.5$) the optocoupler output will go into the high state (assumes LED is "ON") with a typical delay, UVLO Turn On Delay of $0.8 \mu\text{s}$.

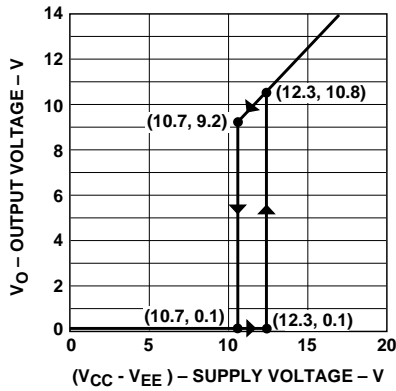


Figure 34. Under Voltage Lock Out.

IPM Dead Time and Propagation Delay Specifications. (Discussion applies to HCPL-3120, HCPL-J312, and HCNW3120)

The HCPL-3120 includes a Propagation Delay Difference (PDD) specification intended to help designers minimize “dead time” in their power inverter

designs. Dead time is the time period during which both the high and low side power transistors (Q1 and Q2 in Figure 25) are off. Any overlap in Q1 and Q2 conduction will result in large currents flowing through the power devices between the high and low voltage motor rails.

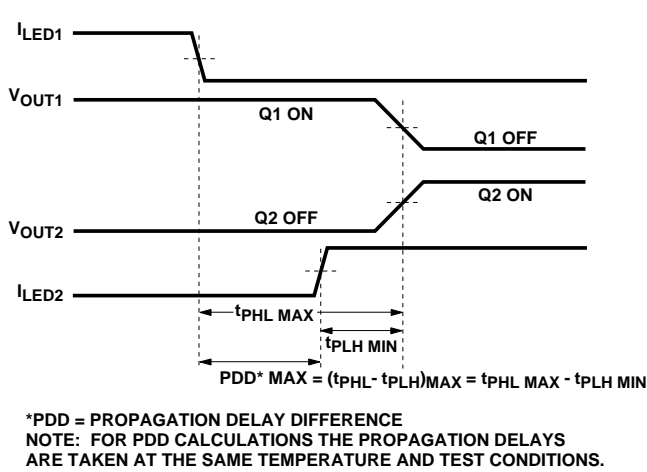


Figure 35. Minimum LED Skew for Zero Dead Time.

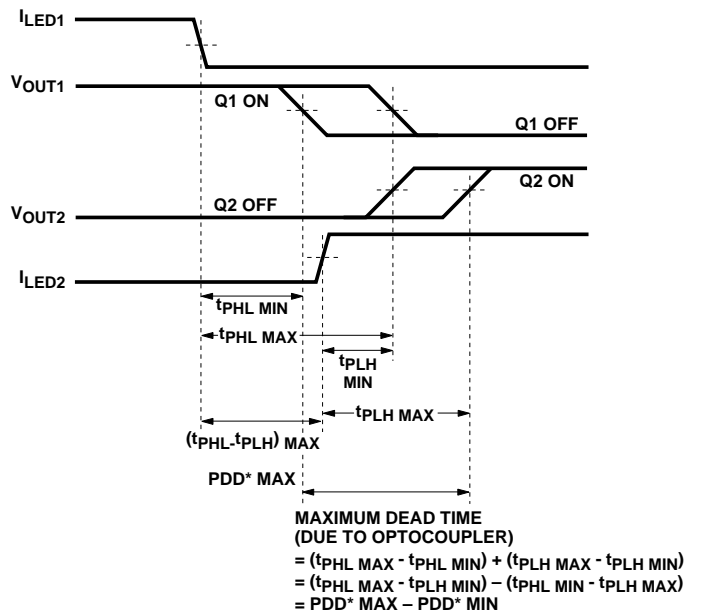


Figure 36. Waveforms for Dead Time.

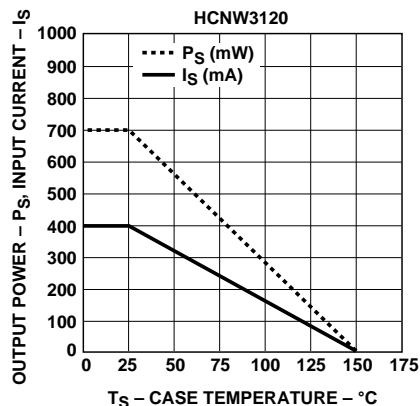
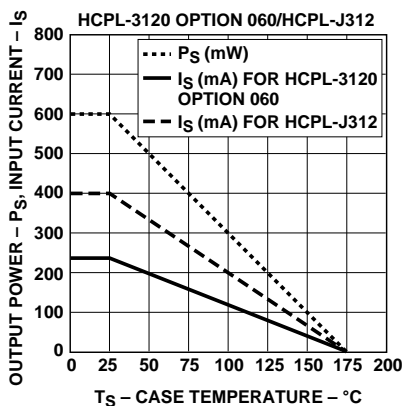
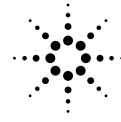


Figure 37. Thermal Derating Curve, Dependence of Safety Limiting Value with Case Temperature per VDE 0884.



To minimize dead time in a given design, the turn on of LED2 should be delayed (relative to the turn off of LED1) so that under worst-case conditions, transistor Q1 has just turned off when transistor Q2 turns on, as shown in Figure 35. The amount of delay necessary to achieve this conditions is equal to the maximum value of the propagation delay difference specification, PDD_{MAX} , which is specified to be 350 ns over the operating temperature range of -40°C to 100°C.

Delaying the LED signal by the maximum propagation delay difference ensures that the minimum dead time is zero, but it does not tell a designer what the maximum dead time will be. The maximum dead time is equivalent to the difference between the maximum and minimum propagation delay difference specifications as shown in Figure 36. The maximum dead time for the HCPL-3120 is 700 ns (= 350 ns - (-350 ns)) over an operating temperature range of -40°C to 100°C.

Note that the propagation delays used to calculate PDD and dead time are taken at equal temperatures and test conditions since the optocouplers under consideration are typically mounted in close proximity to each other and are switching identical IGBTs.