

وزارة التعليم و البحث العلمي
MINISTERE DE L'ENSEIGNEMENT ET DE LA RECHERCHE SCIENTIFIQUE

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : *Génie Electrique*

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

PROJET DE FIN D'ETUDES

SUJET

*Etude et conception d'une carte d'interface
pour IBM PC et compatible
à base de microcontrôleur 80C31*

Proposé Par :

O. STIHI

Etudié par :

A.O. BAHI

Dirigé par :

O. STIHI

PROMOTION :

JUIN 1996

الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم و البحث العلمي
MINISTERE DE L'ENSEIGNEMENT ET DE LA RECHERCHE SCIENTIFIQUE

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : *Génie Electrique*

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

PROJET DE FIN D'ETUDES

S U J E T

*Etude et conception d'une carte d'interface
pour IBM PC et compatible
à base de microcontrôleur 80C31*

Proposé Par :

O. STIHI

Etudié par :

A.O. BAH

Dirigé par :

O. STIHI

PROMOTION :

JUIN 1996

E.N.P. 10, Avenue Hacen Badi - EL-HARRACH - ALGER

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

المدرسة الوطنية المتعددة التخصصات
المكتبة — BIBLIOTHEQUE
Ecole Nationale Polytechnique

لا اله الا الله رسالة العالمين



BAHI
97

DEDICACES

A mon père *Laid*, pour sa générosité, son attention et son soutien.

A ma mère *Hania*, pour son amour, que je garderai éternellement.

A mon frère *Abdelkirim*, et sa petite famille que j'adore.

A mon frère *Abdelmadjid*, pour ses encouragements et orientations.

A mon frère *Djamel*, pour ses encouragements et son aide.


A mes très chers *frères* et *soeurs*.

A toute la famille *BAHI*.

A tous mes *amis*, qui m'aiment.

A ma ... *Afaf*.

Je dédie ce modeste travail.

Habi 

Remerciements

Au terme de ce travail, je tiens à remercier Mr O.Stihi , chargé de cours à l'ENP, d'avoir bien accepté d'orienter ce mémoire et d'y avoir porter une particulière attention afin d'en faire un travail original qu'il trouve ici ma profonde gratitude.

Mes remerciements et ma reconnaissance, vont également à l'ensemble des enseignants de département Génie Electrique, qui ont contribué à ma formation, qu'ils trouvent ici ma profonde gratitude.

Je tiens à remercier tous les personnels de la bibliothèque de l'E.N.P pour leur compétence et leur devouement durant ma formation universitaire.

Je tiens à remercier tous mes amis, qui m'ont aidés pour élaborer ce modeste travail.

NOTATION

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

ADC	Analog to Digital Converter
DAC	Digital to Analog Converter
MUX	Multipléxeur
E/B	Echantillonneur Bloqueur
CS	Selection Chip
MOS	Metal Oxid Semi conductor
HMOS	High MOS
ROM	Read Only Memory
PROM	Programmable ROM
EPROM	Erasable PROM
LIFO	Last In First Out
I / O	Input Output
RAM	Random Acces Memory
IP	Interrupt Priority
IE	Interrupt Enable
PSEN	Program Strob Enable
ALE	Adress Latch Enable
PC	Program Counter
MLI	Modulation de Largeur d'Impulsion
i_r	Courant d'entrée du convertisseur
i_{ref}	Courant de référence
i_{ri}	Courant de référence inferieur
i_{rs}	Courant de référence superieur

SOMMAIRE

المدرسة الوطنية المتعددة التقنيات
المكتبة — BIBLIOTHEQUE
Ecole Nationale Polytechnique

INTRODUCTION GENERALE	1
-----------------------------	---

Chapitre I : ORDINATEUR ET INTERFACE

Introduction	3
I . 1 Bus a carte mere.....	3
I . 2 Intérieur d'un micro processeur	5
I . 3 Les interfaces	7
I . 4 Conversion N / A et A / N	9
I . 4 . 1 Conversion Numérique Analogique.....	9
I . 4 . 2 Conversion Analogique Numérique	11
I . 4 . 3 Multiplexage	12
I . 4 . 4 Circuit échantillonnage et mémorisation	15

Chapitre II : ETUDE DE LA CARTE

Introduction	16
II . 1 Le micro controleur 80C31	16
II . 1 . 1 Organisation externe	16
II . 1 . 2 Organisation interne du 80C31	18
II . 1 . 3 Acces aux mémoires externes	19
II . 1 . 4 Les instructions du 80C31	19
II . 2 Partie materielle	21
II . 2 . 1 Unité de commande	21
II . 2 . 2 Unité d'acquisition des données	24
II . 2 . 3 Unité de sortie	27
II . 2 . 4 Bloc de decodage d'adresses	29
II . 3 La programmation et fonctionnement de la carte	31

Chapitre III : APPLICATION Commande d'un convertisseur électrique en MLI par la stratégie DELTA

Introduction	36
III . 1 Etude theorique	36
III . 2 Etude par simulation	38
III . 3 Programmation de methode	42
III . 4 Conclusion	45
CONCLUSION GENERALE	48

REFERENCES

ANNEXES

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

INTRODUCTION GENERALE

INTRODUCTION GENERALE

Il n'est plus à démontrer que le monde de technologie moderne est devenu synonyme d'informatique. De la télécommunication au traitement d'image, et commande numérique l'informatique est désormais l'outil indispensable pour tout travail rapide et fiable, il s'en est ainsi déclenchée une guerre d'innovation, pour augmenter et élargir l'utilisation du microordinateur qui à lui même évolué d'une façon assez rapide, du micro processeur 8086 d'INTEL en 1978, on parle de nos jours du micro processeur 80686.

Il est à noter que ce type de machines malgré leur performances présentent un côté communicatif relativement rudimentaire.

Que faire si l'on prévoit de communiquer avec le monde extérieur?

Comment communiquer avec les produits de différents constructeurs ?

Quelles normes faut-il suivre ?

Comment y arriver ?

Il est connu que la communication entre deux équipements ne se fait que s'ils ont le même langage .

L'interfacage est un moyen qui répondrait à ces préoccupations, et assureraient la liaison entre systèmes. Cela suppose une connaissance incontestablement parfaite des micro processeurs , leur structure, leur architecture, leur façon de communiquer , de l'électronique numérique , et l'informatique industrielle .

Notre axe de recherche, porte sur la réalisation d'une carte d'interface pour une machine IBM PC ou compatible à base de micro contrôleur 80C31 d'INTEL, qui assureraient la commande numérique des systèmes et fonctionnant individuellement sans intervention du micro processeur de l'ordinateur ou elle est enfichée, et dont elle utilise uniquement l'environnement.

Il en découle de ce fait un large champ d'utilisation technologique, il reviendrait seulement d'y réinstaller de nouveaux programmes.

Pour cela l'étude comportera trois chapitres

Le premier chapitre portera sur l'architecture et le fonctionnement du micro processeur , l'interfacage et la chaîne d'acquisition.

Le second chapitre, on présentera une étude bien détaillée sur le micro contrôleur 80C31, puis on traitera l'étude et la conception de la carte proprement dite.

Dans le dernier chapitre, il sera présenter une application de la carte sur un convertisseur électrique AC / DC commandé en PWM par la stratégie DELTA à control de courant .

Chapitre I

ORDINATEUR ET INTERFACE

I -

ORDINATEUR ET INTERFACE

INTRODUCTION

Les ordinateurs présentent des performances très intéressantes, la rapidité, la fiabilité et une capacité de traitement, leur permettant de s'imposer au monde industriel l'interfaçage représente un biais fort intéressant qui assure la relation industrie - informatique.

Le design de notre carte a été réalisé pour une machine de la famille IBM-PC. Cette machine comporte les éléments suivants :

- La carte mère
- L'unité centrale CPU
- Des boîtiers mémoires
- Unité d'interfaçage entrée sortie

voir figure (I . 1).

I. 1 - BUS A CARTE MERE [1]

C'est une carte des circuits équipée d'un certain nombre de connecteurs ou on peut enficher les cartes portant les processeurs, les mémoires et les circuits d'entrée sortie. La carte mère fournit les voies de communication entre les cartes système ainsi que les alimentations.

IBM a publié les spécifications complètes de son bus PC spécial qui est différent de au

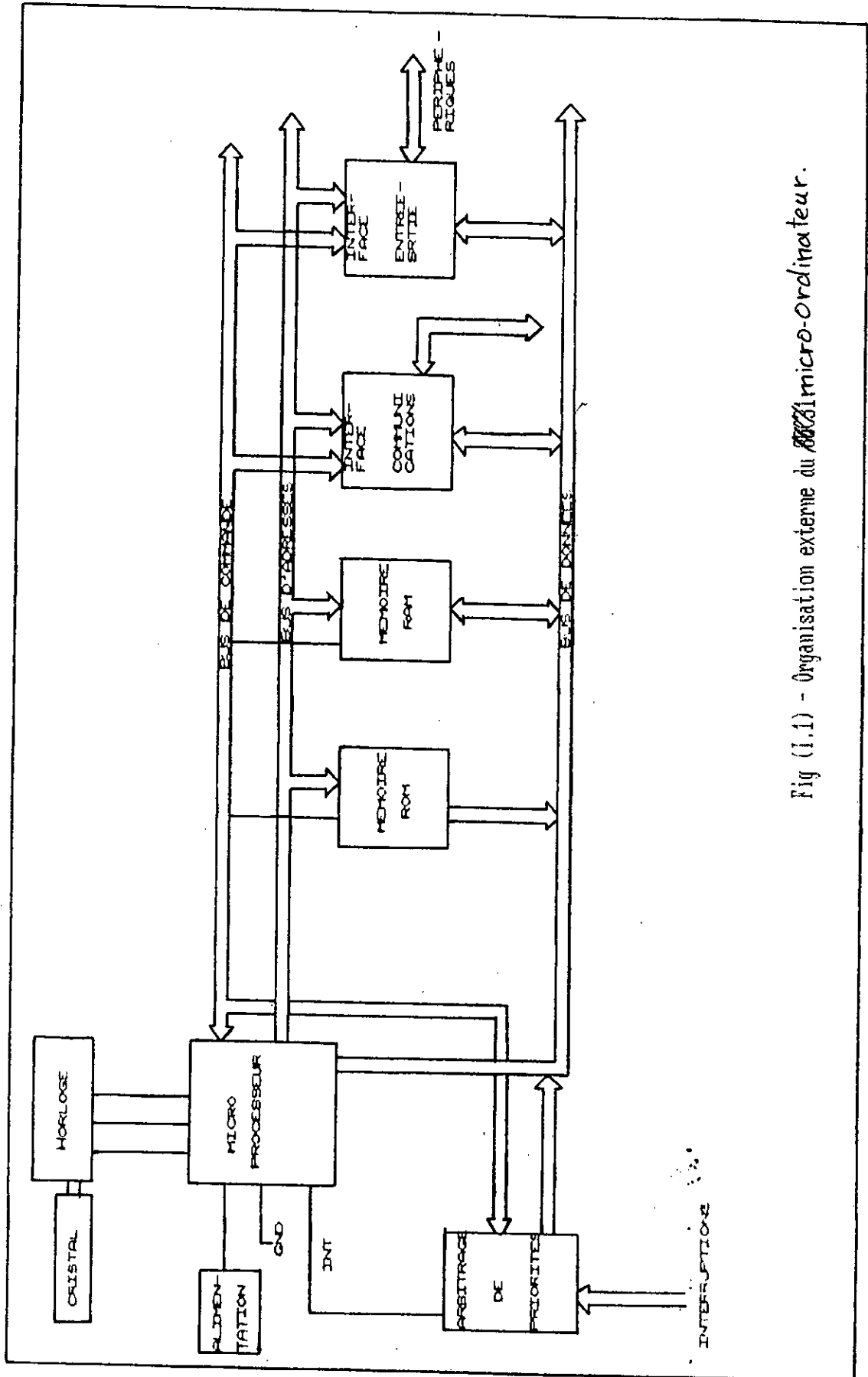


Fig (1.1) - Organisation externe du micro-ordinateur.

tous les autres bus du marché. Il comporte un bus de donnée bidirectionnel, un bus d'adresse, quelque lignes de commande, quelque ligne d'interruption et des lignes d'état. Il possède aussi quatre tensions d'alimentation. Le bus IBM possède une ligne inhabituelle qui est la ligne d'erreur, celle-ci est mise en 1 lorsqu'une carte esclave détecte un problème lors d'une transaction sur le bus. L'émission du signal erreur provoque une interruption non masquable du processeur. La liste de 62 broches qui constituent la bus d'extension de l'IBM - PC est représentée en annexe.

I . 2 INTERIEUR D'UN MICROPROCESSEUR [2] /3/

On donne dans la figure (I . 2) l'architecture interne du microprocesseur et les différentes unités.

I . 2 . 1 - ALU (Arithmetic and Logic Unit)

Cette unité effectue toutes les opérations arithmétiques et logiques de registres spéciaux (ex:accumulateur), sont généralement reliées à la sortie de l'ALU. Elle permet aussi les opérations de décalage et de rotation.

I . 2 . 2 - Registre d'état

Son rôle est de stocker les conditions internes du microprocesseur sous la forme de codes, par exemple si le résultat d'une opération effectuée par l'ALU a mis tous les bits de l'accumulateur à zéro, l'indicateur de zéro est positionné.

I . 2 . 3 - Le compteur du programme

Il joue un rôle fondamental dans l'exécution des programmes, pour accéder à l'instruction suivante, il faut extraire celle ci de la mémoire pour l'envoyer, ou l'amener au microprocesseur et la lire, on lit alors le contenu spécifié par l'adresse situé au PC .

I . 2 . 4 - Le pointeur de la pile SP (Stack Pointer)

Le pointeur de pile contient l'adresse du sommet de cette dernière située en mémoire.

I . 2 . 5 - Le registre d'index

L'indexage est une technique d'adressage de mémoire commode, permettant d'accéder aux éléments d'un bloc de données stockées dans la mémoire, en utilisant une seule instruction. Un registre d'index contient en principe un déplacement qui ajouté automatiquement à une valeur de base pour former une adresse de l'indicateur set à n'importe quel mot d'un bloc de données.

I . 2 . 6 - La pile

Une pile, théoriquement appelée structure LIFO (Last In First Out) en utilisation normale, on ne peut accéder à la pile que par deux instructions PUSH (empiler) et POP (dépiler) .

Bus interne des données
 Unité arithmétique et logique (UAL)
 Entrée
 Mémoire tampon
 Accumulateur

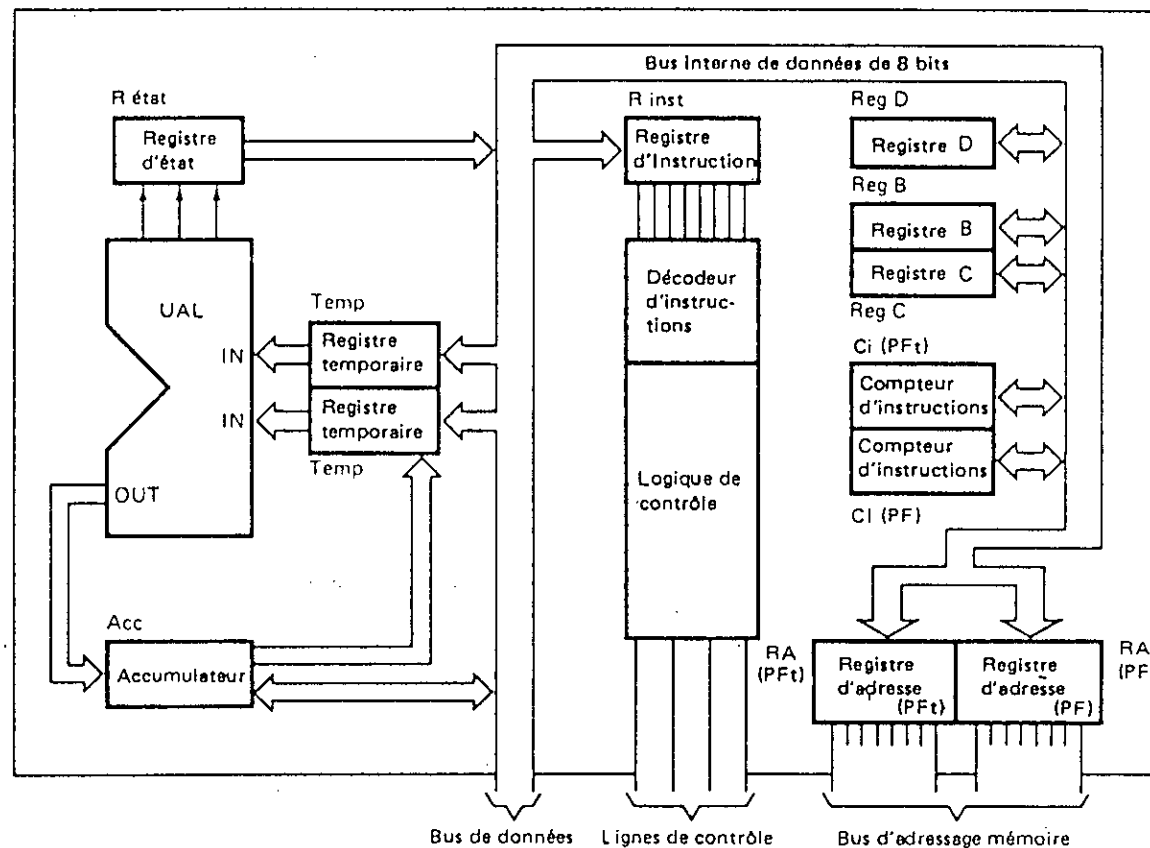


Fig (I.2) - Interieur d'un microprocesseur.

I. 2 . 7 - Cycle d'instruction générale

Tous microprocesseur opère en trois cycles :

- 1) Recherche la prochaine instruction.
- 2) Décoder l'instruction.
- 3) Exécuter l'instruction.

a) *Recherche la prochaine instruction* : Le contenu du PC (Compteur de programme) est disposé sur le bus des adresse et envoyé vers la mémoire au moment approprié le bus de commande reçoit le signal de lecture, les données qu'elle contient à l'adresse spécifiée sont déposées sur le bus de données du système, le microprocesseur lit alors l'information sur le bus de données et la dépose dans un registre interne appelé registre d'instruction IR .

L'information lue dans le CPU est l'instruction. On peut dire alors que l'instruction à été recherchée en mémoire.

b) *Décoder l'instruction* : Quand l'instruction se trouve dans IR, l'unité de commande la décode et produit la séquence appropriée, deux signaux interne et externe permettant son exécution. Il faut donc en générale une période d'horloge, pour decoder une instruction, et décidé d'une façon logique de l'action à entreprendre .

c) *Recherche d'une instruction suivante* : Lors de l'exécution du programme les instructions sont recherchées séquentiellement. Il faut donc un mécanisme automatique appelé *incrementateur*, pour assurer cette recherche. Ce dernier est relié au compteur de programme.

I. 3 - LES INTERFACES [1]

Généralement les périphérique sont placés à une certaine distance du processeur, en outre la plus part sont construits par des firmes, qui ne fabriquent pas des microprocesseur. en conséquence les signaux que le périphérique utilise pour communiquer ne sont pas les mêmes que ceux utilisés par les processeurs, de plus nous voulons pouvoir utiliser un périphérique quelconque avec différents microprocesseurs.

Pour résoudre les problèmes de distance et d'incompatibilité des signaux, et de synchronisation entre périphériques et microprocesseur, nous intercalons entre ceux-ci de circuits spécialisés. Ces circuits spéciaux sont appelés une interface.

Dans un dictionnaire une interface est définie comme un endroit où des systèmes indépendants se rencontrent et réagissent l'un sur l'autre , ou communiquent entre eux, plus généralement une zone où des objets différents interagissent .

Les circuits d'interfaces d'ordinateurs permettant à un groupe de périphérique divers d'interagir avec des microprocesseurs.

L'interface à généralement, la forme d'une carte de circuits enfichée dans le bus de processeur, le connecteur enfiché dans le bus permet à l'interface d'avoir l'accès aux signaux du

microprocesseur. A l'autre extrémité de la carte il y a un autre connecteur, un câble relie ce connecteur au périphérique. Les circuits d'interface effectuent quatre tâches :

- 1) Ils transforment les signaux du processeur en signaux compatibles avec le périphérique .
- 2) Ils transposent la synchronisation à grande vitesse du processeur à une cadence compatible avec le périphérique.
- 3) Ils transforment le niveau du signal de façon à permettre la transmission sur un câble long .
- 4) Ils transposent l'information du processeur en un format compatible avec le périphérique et vice - versa.

I . 3 . 1 - Types d'interfaces

Il n'existe que trois types principaux d'interfaces, parallèle , série et analogique . Il existe un grand nombre d'espèces différentes au sein de chaque type.

a) *Les interfaces parallèles* : Les interfaces parallèles sont très semblables au bus du microprocesseur, les données sont transmises sur un jeu de conducteurs appelés lignes de données du processeur , les variantes des interfaces parallèles, diffèrent par le nombre de lignes de données et par le nombre de signaux employés pour la validation des communications.

b) *Les interfaces séries* : Les interfaces séries n'utilisent qu'une seule ligne, pour transmettre l'information , celle-ci est émise un bit à la fois , il existe deux espèces principales d'interface série , *asynchrone* ou *synchrone* parmi celles-ci l'interface asynchrone est la plus courante pour les microprocesseurs.

c) *les interface analogique* : les interfaces analogique sont très différentes aux interfaces parallèles ou séries, nous savons que les signaux numériques sont soit haut ou bas . Les bus de microprocesseur véhiculent des signaux numériques pour communiquer avec les périphériques.

Les interfaces analogiques convertissent les signaux numériques du microprocesseur en signaux à variation continue. La température, la pression , la tension , l'intensité et la vitesse sont des exemples des grandeurs à variation continue, comme nous le voyons ce sont des grandeurs physiques.

L'interface analogique est généralement utilisée pour permettre aux ordinateurs d'interagir avec le monde réel .

I.4 - CONVERSION N/A ET A/N [4] [5]

Toutes les opérations qu'on a l'intention d'introduire dans un système numérique, doivent être transformées en une représentation binaire, pour que les circuits numériques puissent les traiter, par contre le résultat obtenu d'un système numérique sont exprimés sous une autre représentation, compatible avec le système à commander. Dans l'entrée d'un système numérique (exp Ordinateur) on place un convertisseur analogique numérique ADC mais si on a plusieurs entrées on utilise un multiplexeur pour réduire le nombre des ADC, à la sortie du système numérique on place des convertisseurs numériques analogiques DAC.

I.4.1 - Conversion numérique analogique

La conversion numérique analogique se définit comme suite : transposition d'une valeur déjà exprimée en une représentation numérique en une tension ou un courant proportionnel à cette valeur numérique, le schéma fonctionnel d'un DAC à 4 bits est donné dans la figure (I.3). On examine les divers rapports entre les entrées et les sorties pour chaque nombre d'entrée, la tension de sortie est différente.

I.4.1.1 - Poids de l'entrée

Les contributions de chaque chiffre numérique sont pondérées en fonction de leur rang dans le nombre binaire ainsi A le bit de poids le plus faible à un poids de 1 volt, B à un poids de 2 volts et C à un poids de 4 volts et D vaut 8 volts. C'est le bit de poids le plus fort donc on peut considérer que la sortie est la somme pondérée des entrées numériques.

I.4.1.2 - Résolution

La résolution d'un DAC est définie comme la plus petite variation que ce voit sur la sortie analogique. A la sortie d'un changement de l'entrée numérique d'autre part la résolution est égale au poids de bit le plus faible, que l'on appelle pas de progression. Il est beaucoup plus utile d'exprimer la résolution en pourcent de la pleine échelle.

$$\text{Résolution}(\%PE) = \frac{\text{Pas de progression}}{\text{Pleine échelle}} \cdot 100\%$$

Le DAC dépend essentiellement du nombre des bits, un DAC de 10 bits à une résolution plus fine qu'un DAC 8 bits.

I.4.1.3 - Précision

Les fabricants des DAC définissent de différentes façons la précision, les deux paramètres les plus courants sont appelés :

- 1) l'erreur pleine échelle : C'est l'écart maximal entre la sortie du DAC et sa valeur anticipée (idéal)
- 2) l'erreur de linéarité : c'est l'écart maximale entre le pas de progression réel et le pas de progression idéal.

Ces deux paramètres sont habituellement exprimés en pourcent de la sortie pleine échelle.

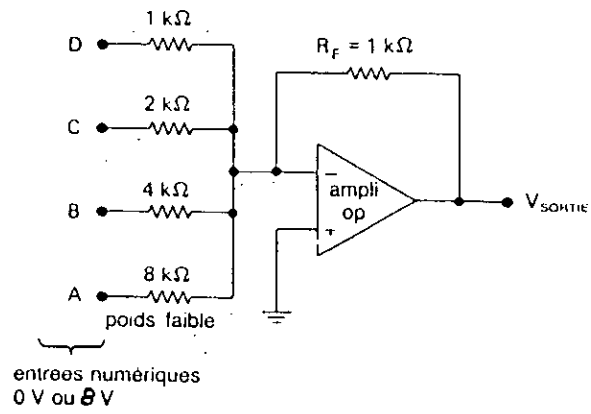


Fig (I.3) - Convertisseur DAC élémentaire.

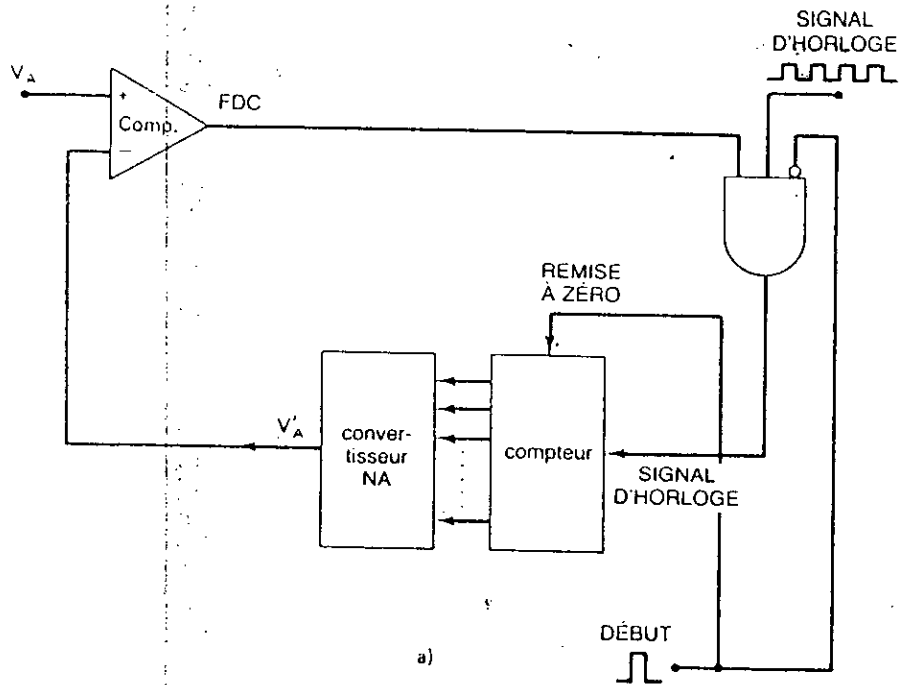


Fig (I.4) - Schema general d'une categorie de convertisseur AN.

I. 4. 1. 4 - Temps d'établissement

C'est le temps nécessaire à la sortie pour passer de zéro à la tension pleine échelle, quand l'entrée binaire effectue sa transition principale montante. Généralement le temps d'établissement s'échelonne entre 50 us et 10 us .

I. 4. 1. 5 - Tension de décalage

Idéalement la sortie d'un DAC affiche zéro quand l'entrée est à zéro. En pratique , en mesure une petite tension due à l'erreur de décalage de l'amplificateur opérationnel, ce décalage est généralement de 0.05% de la pleine échelle.

I. 4. 2 - Conversion analogique numérique

Un convertisseur analogique numérique (ADC) reçoit une tension d'entrée analogique qu'il convertit après un certain temps en un code de sortie numérique correspondant à l'entrée. L'ADC est généralement plus complexe et plus lent que le DAC , parcequ'on trouve dans le circuit de plusieurs types d' ADC un DAC .

I. 4. 2. 1 - ADC à rampe numérique

C'est un ADC qui utilise un compteur binaire qui est incrémenté par le signal d'horloge jusqu'à ce que $V_{a'} > V_a$. Voir la figure (I. 4)

Le fonctionnement du convertisseur

- 1) On applique une impulsion début positive qui a pour effet de mettre à zéro le compteur et qui empêche le passage des impulsions d'horloge.
- 2) Le compteur étant à zéro $V_{a'}=0$, et la sortie du comparateur est au niveau haut.
- 3) Quand l'impulsion début revient au niveau bas, la porte ET est valide et le signal horloge arrive au compteur .
- 4) A mesure que le compteur progresse, la sortie $V_{a'}$ du DAC augmente à chaque fois.
- 5) Ceci se répète jusqu'à ce que $V_{a'}$ atteigne un échelon qui dépasse V_a , donc la sortie du comparateur passe au niveau bas, bloquant par conséquent les impulsions d'horloge , et la fin de conversion est signalée .

Résolution et précision : La résolution du ADC est égale à la résolution du DAC qui se trouve dans son circuit . La précision n'est pas liée à la résolution mais dépend de la précision et les amplificateurs de niveau du DAC Les alimentations de références ... etc.

Durée de conversion : Dans l'ADC à rampe numérique , le comparateur débute à zéro et progresse jusqu'à ce que $V_{a'} > V_a$. Il est donc facile de déduire que la durée que prend la conversion totale est fonction de la valeur de V_a .

Lorsqu'il faut que la tension en escalier atteigne la pleine échelle pour que $V_{a'} > V_a$ donc :

$$t_c (\max) = 2^N - 1 \text{ cycle horloge}$$

N : le nombre de bits de ADC .

I . 4 . 2 . 2 - ADC par approximations successives

Ce type de ADC est l'un de ceux qu'on retrouve le plus fréquemment, son temps de conversion est plus court en outre il a un temps de conversion fixe qui ne dépend pas de la valeur de l'entrée analogique, son montage est donné la figure (I . 5) .

Fonctionnement du convertisseur

1) la logique de commande place dans la bascule de bit du poids le plus fort du registre un 1 et dans tous les autres un zéro . Si $V_{a'}$ est alors plus grande que V_a la sortie du comparateur comp passe à zéro ce qui donne l'ordre à la logique de commande de ramener à zéro le bit du poids le plus fort . Autrement dit , le bit du poids le plus fort reste à un .

2) La logique de commande fixe à 1 le bit immédiatement à droite de registre ceci produit une nouvelle valeur de $v_{a'}$ si $V_a < V_{a'}$ la logique ramène le bit à zéro autrement dit le bit reste à un

3) Ce processus se poursuit pour chacun des bits du registre. Cette méthode à pesées successive exige un cycle d'horloge par bit . à la fin le contenu du registre est l'équivalent numérique de V_a .

Durée de conversion

En général un ADC par approximation successive de N bits à besoin de N cycles d'horloge pour réaliser une conversion quelque soit la valeur de V_a . étant donné que les durées de conversion relativement courtes, ce sont eux qu'on utilise dans les applications d'acquisition des données.

I . 4 . 2 . 3 - ADC parallèle (Flash)

Il s'agit ici du ADC le plus rapide qui soit , mais celui qui coûte le plus cher parcequ'il contient le plus grand nombre de circuits. par exemple une unité de 8 bits en exige 255 comparateurs analogiques.

Le convertisseur parallèle de la figure (I . 6) à une résolution de 3 bits et un pas de progression de 1 volt .

La durée de conversion dépend seulement des retards de propagation de comparateur et de codeur de priorité.

I . 4 . 3 - Multiplexage

Quand il est nécessaire de convertir des signaux analogiques provenant de plusieurs sources on peut recourir à une technique de multiplexage afin d'utiliser en temps partagé un seul convertisseur ADC .

Le schéma de base d'une chaîne d'acquisition à 3 voies Fig (I.7), le circuit de commande produisent également l'impulsion début du ADC , l'algorithme de fonctionnement du système est comme suite

- 1) Le circuit de commande ferme S_1 , ce qui place V_{a1} sur l'entrée de ADC .
- 2) Une impulsion début est générée et l'ADC convertit V_{a1} en son équivalent numérique .

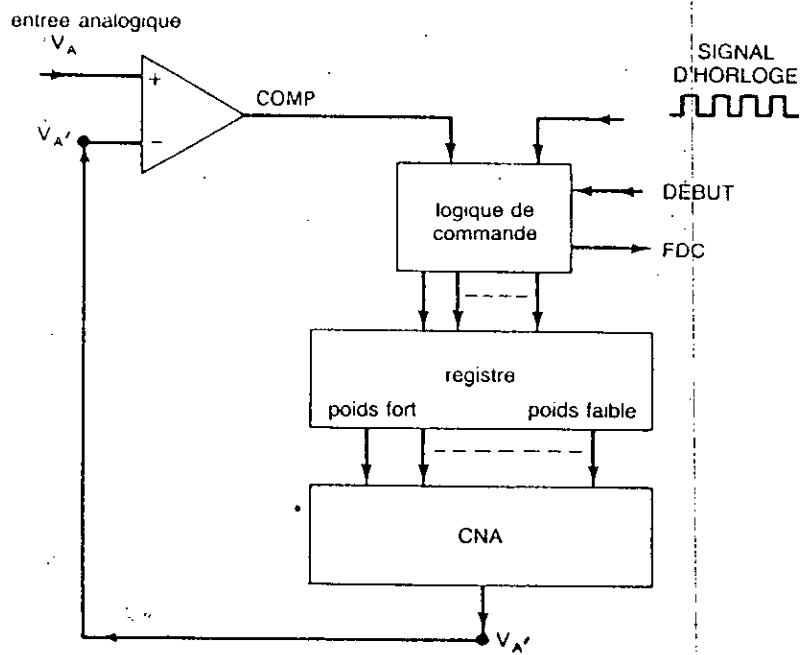


Fig 10.11 Schéma fonctionnel d'un CAN par approximations successives.

Fig (I.5) - Schema fonctionnel d'un ADC par approximations successives.

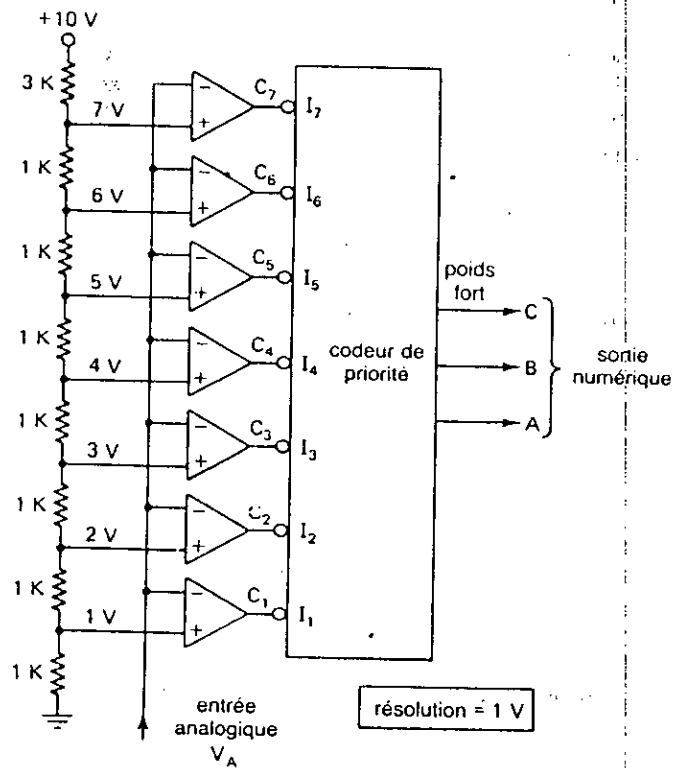


Fig (I.6) - Convertisseur Analogique Numerique parallele de 3 bits.

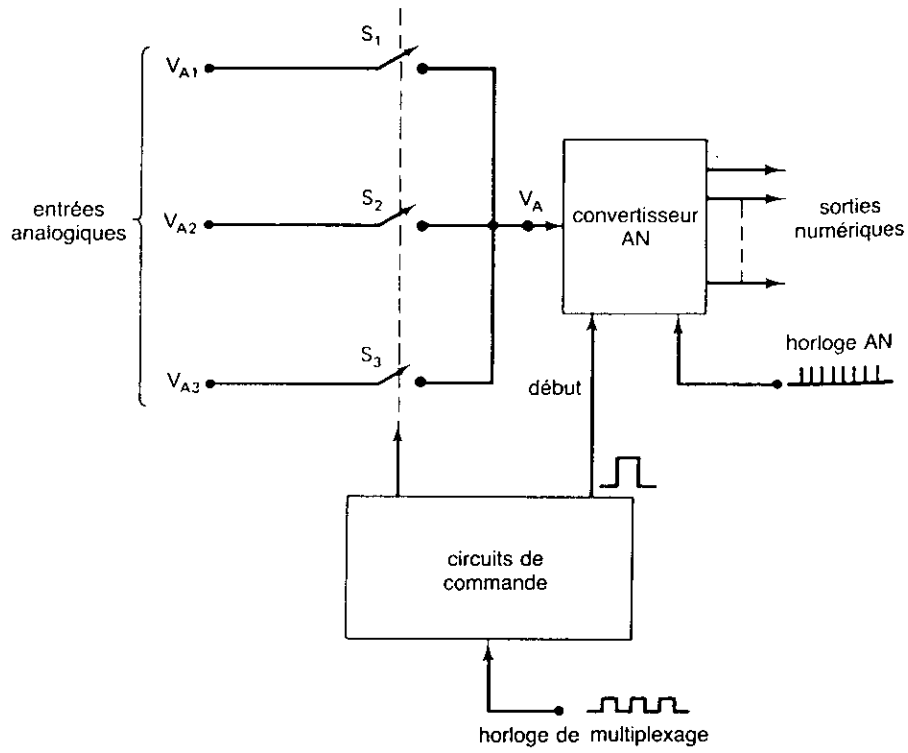


Fig (I.7) - Conversion de plusieurs entrees analogiques au moyen du multiplexage.

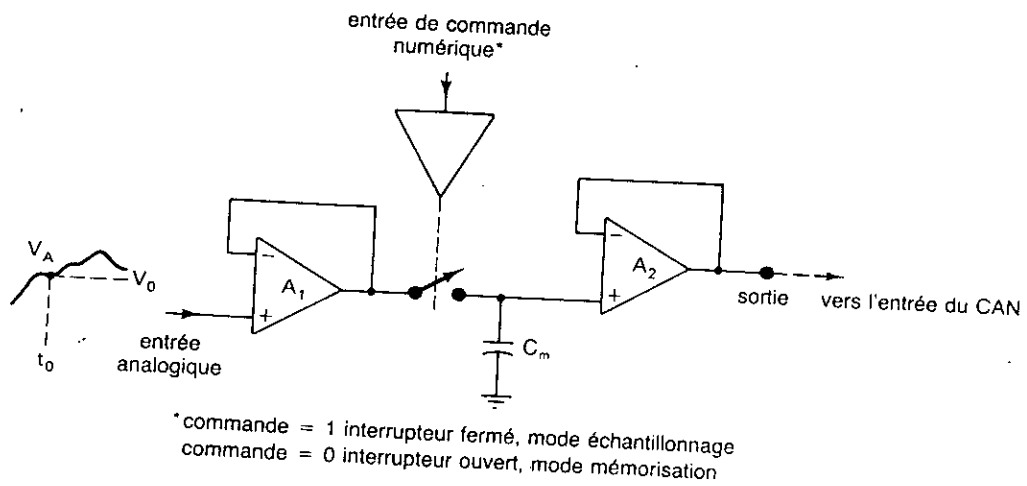


Fig (I.8) - Schema simplifié d'un circuit échantillonnage mémorisation.

- 3) Les sorties du ADC représentant V_{a1} sont transférées dans un autre endroit (mémoire).
- 4) Le circuit de commande ouvre S1 et ferme S2 pour connecter V_{a2} a l'entrée de ADC .
- 5) Les étapes 2 et 3 sont répétées.
- 6) S2 ouverte S3 fermée pour placer V_{a3} sur l'entrée du convertisseur.
- 7) Les étapes 2 et 3 sont répétées.

Il pourra être nécessaire de placer un circuit d'échantillonnage et de memorisation a l'entrée de convertisseur, si les entrées analogiques changent de façon rapide .

I . 4 . 4 - Circuit échantillonnage et mémorisation

quand le signal analogique change pendant la durée du conversion le processus de conversion peut se trouver perturbé. La stabilité du processus de conversion s'améliore si on utilise un circuit échantillonneur et mémorisateur . On donne un schéma simplifier du circuit dans la figure (I . 8) .

Le circuit contient un amplificateur tempon d'entrée A1 qui offre une haute impédance au signal analogique représente une basse impédance de sortie qui permet au condensateur de memorisation C_m , de se charge rapidement . Quand l'interrupteur est fermée à l'instant t_0 la sortie A1 charge rapidement C_m , jusqu'à la tension V_0 . Quand l'interrupteur est ouvert , C_m mémorise cette tention et la sortie de A2 applique cette tension a l'ADC .

Chapitre II

ETUDE DE LA CARTE

II.

ETUDE DE LA CARTE

INTRODUCTION :

La carte a été conçu autour d'un microcontrôleur qui assure la gestion des différents circuits.

Dans ce chapitre il sera donné une présentation bien détaillée du microcontrôleur 80C31, les différents unités formant la carte, et finalement un aperçu général sur la programmation de l'EPROM .

II . 1 - LE MICROCONTROLEUR 80C31 BH [6] [12]

Le microcontrôleur 80C31 est fabriqué par INTEL avec la technologie CHMOS , son fonctionnement est compatible avec la famille du microcontrôleur MCS51 HMOS et EPROM standard .

II . 1.1 - ORGANISATION EXTERNE DU 80C31 :

Le 80C31 se présente sous la forme d'un circuit à 40 broches . Le brochage est donné dans la figure (II-1). Les descriptions des broches du circuit sont comme suite:

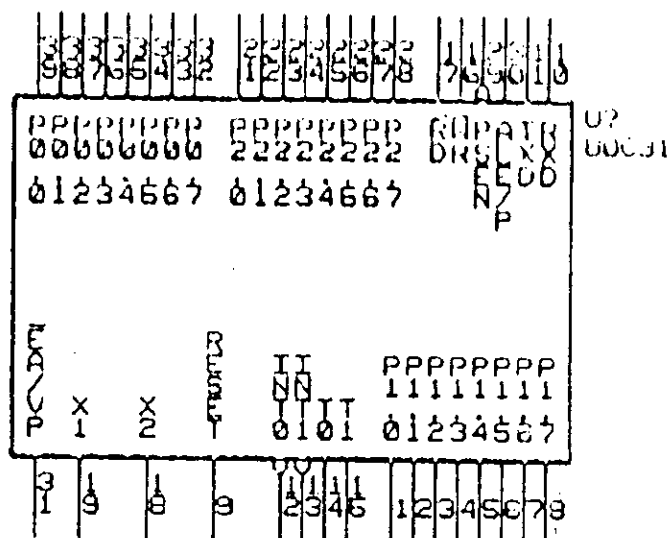


Fig (II .1) - Organisation externe du 80C31

Vcc (40) : alimentation du circuit en tension .

Vss (20) : masse .

Port0 (39-32) : C'est un port de huit bits bidirectionnel , le port0 peut être utilisé comme bus d'adresse du poids faible et aussi comme bus de données .

Port1(01-08) : Ce sont des entrées/sorties bidirectionnelles à usage très général .

Port2(21-28) : Ce sont des entrées/sorties bidirectionnelles , il est utilisé aussi comme un bus d'adresse du poids fort .

Port3(10-17) : Ce sont des entrées/sorties bidirectionnelles, mais le port3 est réservé aussi pour des fonctions spéciales:

RXD (P3.0) : entrée du port série .

TXD (P3.1) : sortie du port série .

INT0 (P3.2) : interruption externe 0 .

INT1 (P3.3) : interruption externe 1 .

T0 (P3.4) : entrée externe pour timer 0 .

T1 (P3.5) : entrée externe pour timer 1 .

WR (P3.6) : signal d'écriture .

RD (P3.7) : signal de lecture .

RST (9) : Servant à l'initialisation , cette entrée nécessite un état haut au moins pendant deux cycles d'horloge .

ALE (30) : Sortie pour maintenir les bits du poids faible d'adresse dans le bus multiplexé .

PSEN (29) : Signal de lecture pour la mémoire de programme .

EA (31) : Il faut le mettre à 0 pour chercher un code du programme externe .

XTAL1 (19) : Entrée pour le circuit générateur d'horloge interne .

XTAL2 (18) : Sortie pour l'amplificateur de l'oscillateur inverse .

II. 1. 2 - ORGANISATION INTERNE DU 80C31

Le 80C31 est caractérisé par :

- Une alimentation unique de 5 Volts.
- Une technologie CHMOS.
- Une oscillateur et circuit d'horloge intégré.
- Un cycle de base d'instruction d'une microseconde avec un quartz de 12 MHz.
- Un mode de fonctionnement programmable.
- Deux Timers de 16 Bits
- 32 lignes d'entrées / sorties bidirectionnelles.
- Deux espaces d'adressage de 64 Koctets, tant pour le programme externe que le données externes .
- 128 octets de mémoire vive (RAM) intégrés .
- Adressage des registres spéciaux par octet ou par bit .
- 4 block de registre sélectionnables.

On notera l'association d'un CPU, de memoire RAM de ports *Entrées / Sorties* , et de registres. Les éléments qui communique à travers un bus de données interne de 8 Bits sont :

a) Le CPU : Il a pour rôle de commander et de controler l'action des unités, en lisant et en exécutant les instructions d'un programme placé en mémoire.

b) L'ALU et les différents registres : L'ALU (Unité Arithmétique et Logique) est associer aux registres 8 bits A , B , PSW et SP , et aux registres 16 bits le PC et DPTR.

La plus importante caractéristique de l'architecture du 80C31 , fait en sorte que l'ALU peut aussi bien manipuler un bit comme il peut manipuler un octet de donnée. Les bits peuvent être mise individuellement à 1 ou à 0, ou être complémentés,déplacés, tétés et en fin utilisés dans la logique de calcul .

L'organisation interne du 80C31 est formée d'un ensemble de registres

- Le registre A : accumulateur registre de 8 bits
- Le registre B
- Le registre d'état PSW : ce registre nous renseigne sur l'état du processeur après chaque cycle d'instruction .
- Le pointeur de pile SP c'est un registre à 8 bits; il est incrémenté/décrémenté après l'exécution de l'instruction PUSH / POP, il est initialisé à 07H.
- Le registre d'adresse DPTR : c'est un registre à 16 bits sert au branchement indirecte lors du déroulement d'un programme .

- Les registres d'Interruption :
 - IP registre de control de priorité de l'interruption .
 - IE registre de validation de l'interruption .
- Les registres de control de temporisateur
- Registre de transmission SCON , SBUF ce sont des registres controlant la transmission du port serie .
- Les registres de ports (P0 , P1 , P2 , P3) chaque port a un registre ou on peut écrire ou affecter des opérations différentes .

II . 1 . 3 - Accé aux mémoires extérnes

L'accé aux mémoires extérne est de deux types

- Accé à la memoire de programme qui utilise le signal *PSEN* pour la lecture .
- Accé à la mémoire de donnée qui utilise le signal *RD* pour la lecture et *WR* pour l'écriture .

Les rechêrches des instructions dans le programme extérne utilise les 16 bits d'adresse par contre l'accé aux données extérne utilise 16 bits d'adresse comme il peut utilise 8 bits d'adresse. L'exécution de l'instruction *MOVX @ DPTR* qui utilise 16 bit d'adresse le port 2 doit obligatoirement prendre l'octet de poidsfort de l'adresse du DPH. Mais l'exécution de l'instruction *MOVX @ RI* qui utilise 8 bits d'adresse uniquement, le port 2 présent dans ses sorties le contenu de son registre P2. Dans ces deux types d'accé à la mémoire le contenu de registre de fonction spéciale de port P2 ne change pas .

Dans le cycle d'écriture l'octet de donnée qui va être écrite, apparait au port 2 juste avant l'activation de signal *WR* et il rest jusqu'à ce que *WR* soit désactivé, (Fig II - 2-a). Dans le cycle de lecture l'octet de données qui va être lu est acceptée au port 0 just avant la désactivation de *RD* (Fig II - 2-b).

II . 1 . 3 - LES INSTRUCTIONS DU 80C31

Le microcontrolleur 80C31 possède 111 instructions, dont 49 de un octet, 45 de deux octets et 17 de trois octets . Ces instructions sont regroupées en quatre groupes :

- Transfert de données .
- Arithmetique .
- Logique .
- Transfert de commande .

La structure générale d'une instruction est : inst.(destination) (source) .

La liste des instructions et leurs codes objets est présentée en Annexe .

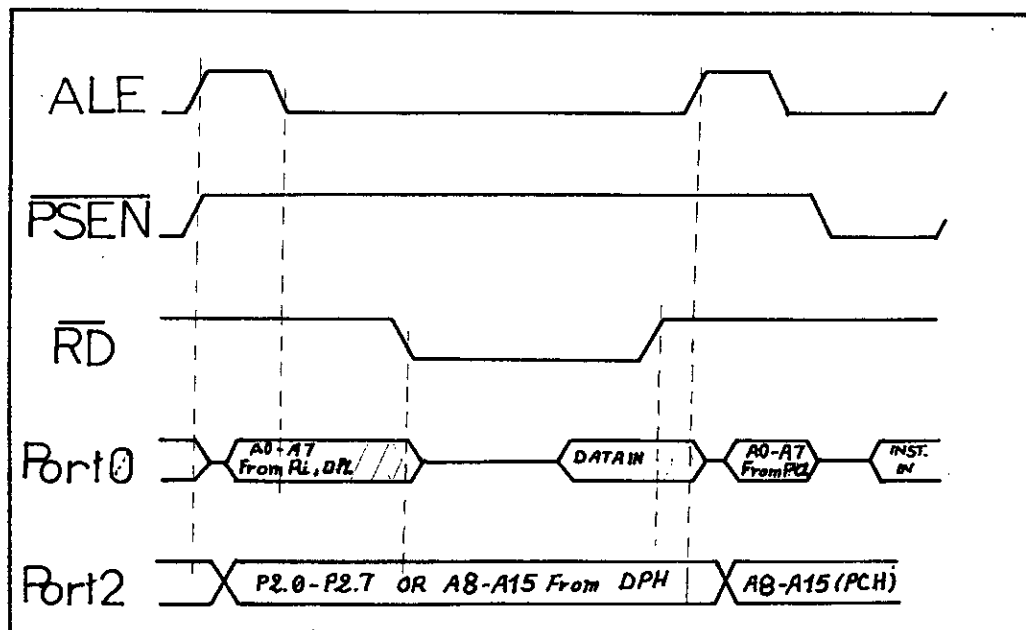


Fig (II . 2 . b) - Le cycle de lecture

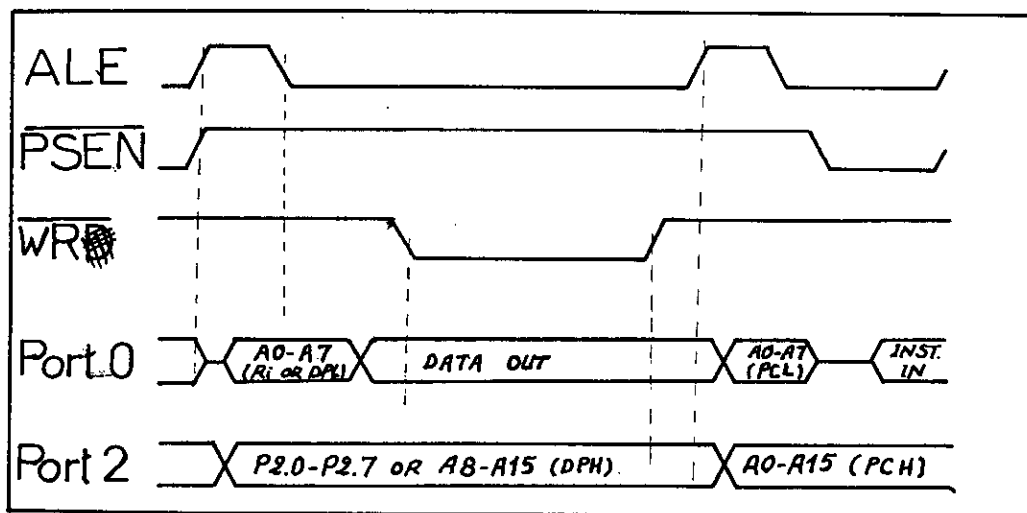


Fig (II . 2 . a) - Le cycle d'écriture

II . 2 - PARTIE MATERIELLE

La carte présente les caractéristiques, de huit entrées analogiques de 0volt à 5volts,et quatre sorties analogiques de 0volt à 5volts et 16 sorties logiques . Afin de faciliter la conception et la mise au point de la carte, il était nécessaire de répartir les fonctions spéciales en différents modules . qui sont rescrités dans le schéma block du figure (Fig II . 3).

II . 2 . 1 - Unité de commande Fig(II.4)

L'unité de commande est conçue autour du microcontrôleur 80C31 d'INTEL , et un Latch assurant le multiplexage données adresses, et une mémoire EPROM et une seconde RAM ainsi qu'un circuit générateur d'horloge.

a) Circuit générateur d'horloge Le 80C31 possède un circuit d'horloge interne, un quartz suffirait à cet effet pour générer le signal d'horloge cela consiste à relier le broche du quartz sur les entrées XTAL1 et XTAL2 du microcontrôleur.

b) Multiplexage données adresses Le 80C31 présente les caractéristiques marquantes de la famille des MCS51 du microcontrôleur, le multiplexage visant l'économie des lignes, à une seule ligne est effectué deux fonctions distincts se réalisant alternativement. A chaque fonction correspond une ligne de commande précise l'instant ou une d'elle est en cours.

En effet Le 80C31 possède un bus Adresse / Données multiplexé sur 8 bits, 8 broches sur le circuit sont ainsi économiser . Il revient obligatoirement de séparer l'adresse et la donnée, ce les démultiplexage d'information .

Le demultiplexage est effectuer pour les 8 lignes de bus utilisant un registre traitant un octet , un ordre d'échantillonnage de l'adresse par la ligne ALE de contrôleur qui est directement connecter à la ligne de validation du Latch 74LS373.

c) Interface avec l'EPROM : La mémoire EPROM assure le stockage de routines de fonctionnement de la carte sa configuration, qui elle même est localisée dans l'EPROM. apres RESET le microcontrôleur doit obligatoirement passer par le routine de configuration.

La mémoire EPROM est toujours sélectionner, CE est relier à la masse, la lecture se fait par PSEN directement connecter à la ligne OE .

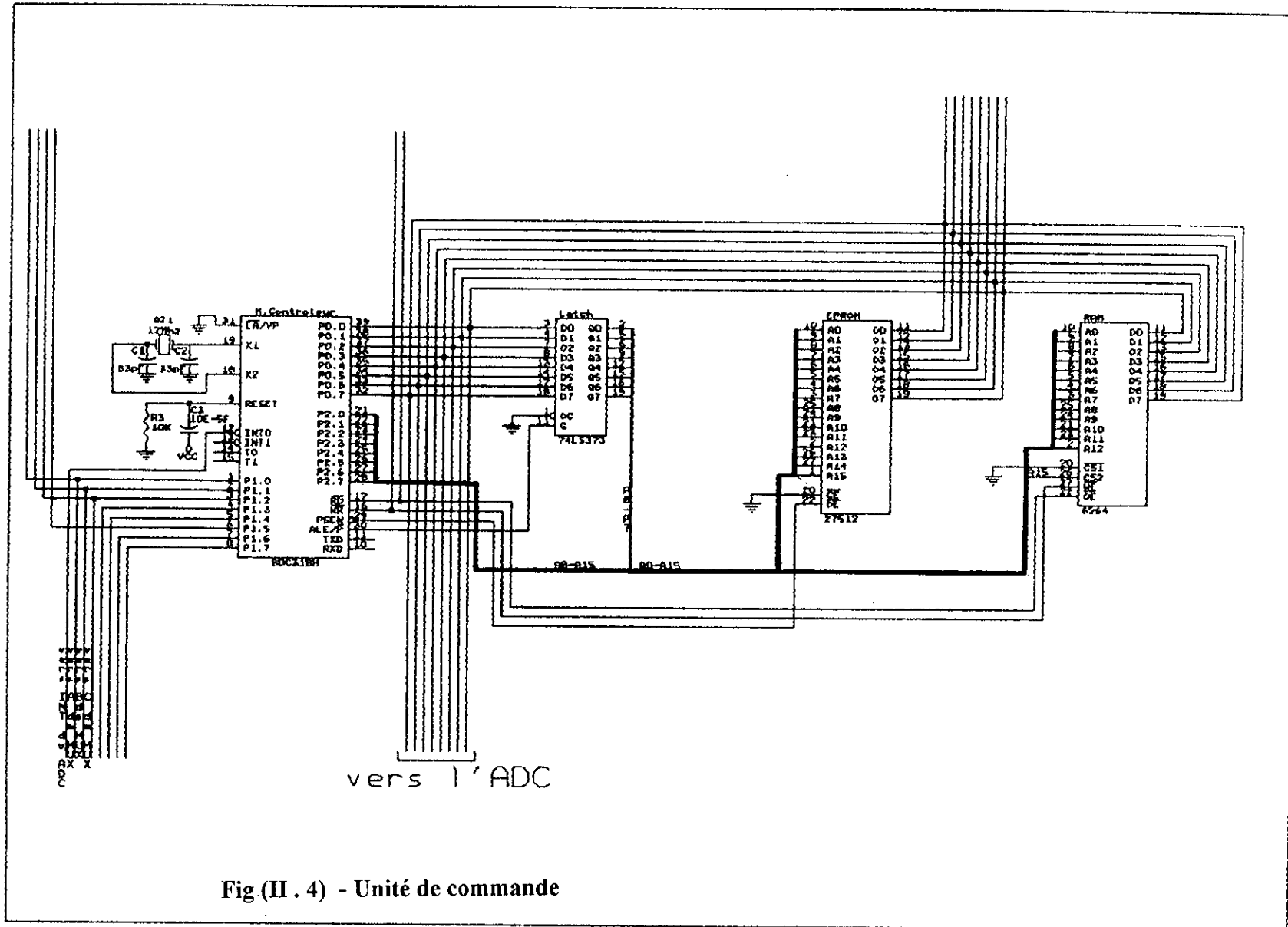


Fig (II . 4) - Unité de commande

d) Interface avec la RAM : La RAM est une mémoire vivante qu'on peut écrire ou lire à tous moments, elle est connectée au microcontrôleur par le bus d'adresse, le bus de données et les deux lignes RD pour la lecture et WR pour l'écriture. Son sélecteur de boîtier est relié à la ligne d'adresse A15, donc la marge d'adressage de la RAM est entre 8000H et 9FFFH.

II . 2 . 2 - Unité d'acquisition des données Fig(II.5)

Les entrées analogiques doivent être multiplexées, bloquées, puis converties en code binaire sur 8 bits.

a) Le Multiplexage : sera assuré par le multiplexeur / démultiplexeur analogique 4051B. C'est un circuit de 16 broches, 3 entrées d'adresse pour connecter l'une des entrées à la chaîne, un sélecteur de boîtier, 8 entrées (sorties) analogiques $Y_0 - Y_7$ et une sortie (entrée) Z.

Le 4051B fonctionne comme multiplexeur (demultiplexeur) si Z est une sortie (entrée) et les lignes $Y_0 - Y_7$ sont des entrées (sorties).

Les adresses A0 - A2 et le sélecteur CS sont pris sur le port 1 du microcontrôleur qui est considéré comme bus de commande.

b) Echantillonnage et blocage : Le traitement de données sera assuré par un microcontrôleur qui travaille en numérique, l'introduction d'un échantillonneur bloqueur dans la carte sera indispensable cette fonction sera réalisée par l'échantillonneur bloqueur LF398. [9]

LF398 échantillonne et bloque le signal d'entrée analogique pour assurer la conversion analogique-numérique.

LF398 est un circuit à 8 broches son application typique est donnée par (Fig II . 6), la détermination de temps de blocage est en fonction de la capacité C. L'échantillonneur bloqueur possède les caractéristiques suivantes :

- * C'est un circuit opérant comme un suiveur à gain unité.
- * Son temps d'acquisition peut descendre au dessous de 10 us.
- * Il a une large bande passante 1MHz avec une impédance d'entrée de 10^{10} ohms.
- * Présente une haute réjection de source de bruit.
- * La logique de commande est compatible avec TTL, PMOS et CMOS.
- * Il peut fonctionner de +5 Volts à + 18 volts.
- * Faibles entrées d'offset.

On passe du blocage à l'échantillonnage en appliquant un niveau haut sur l'entrée logique qui provient directement du broche P1.4 du microcontrôleur.

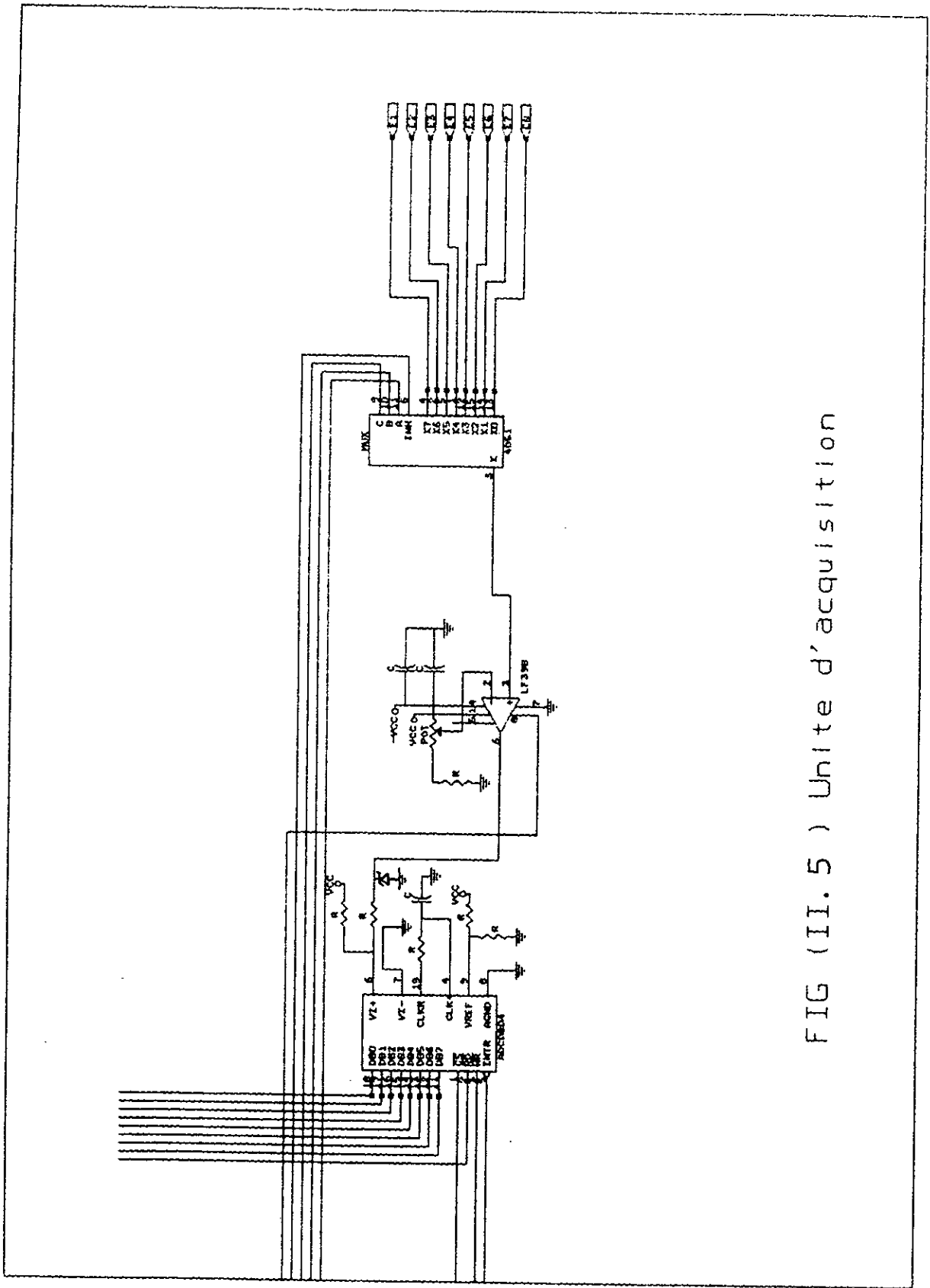


FIG (II.5) Unite d'acquisition

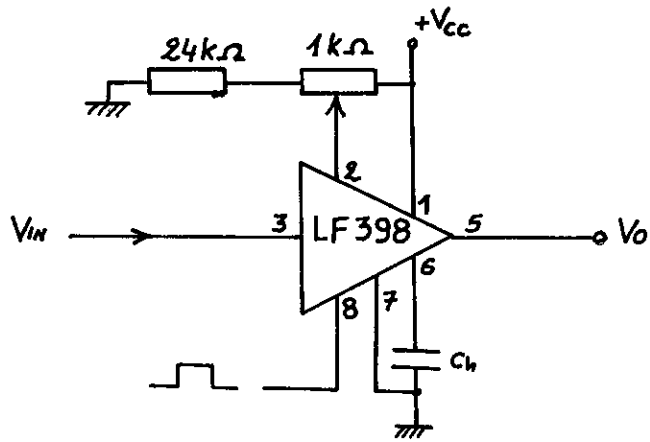


Fig (II . 6) - Application typique du LF 398

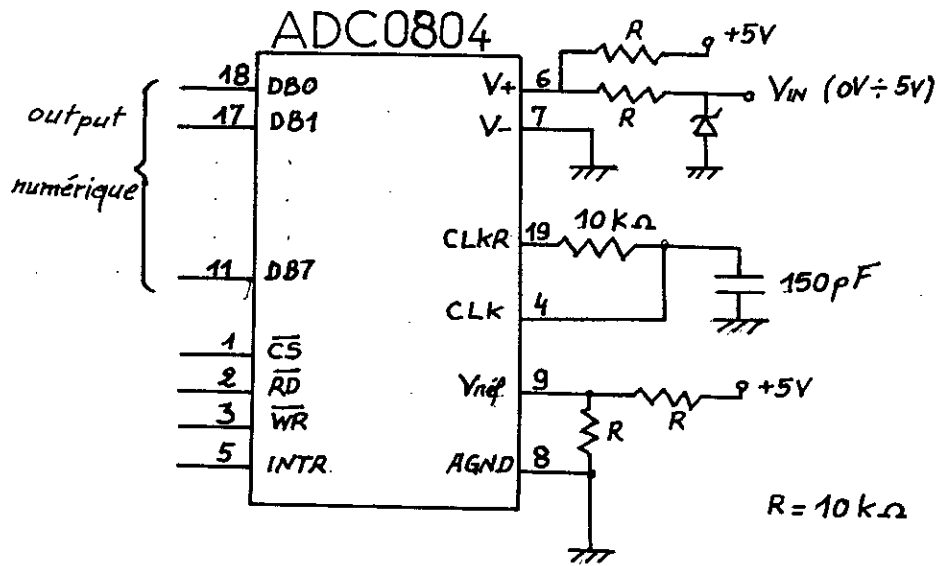


Fig (II . 7) - Application typique du ADC 0804

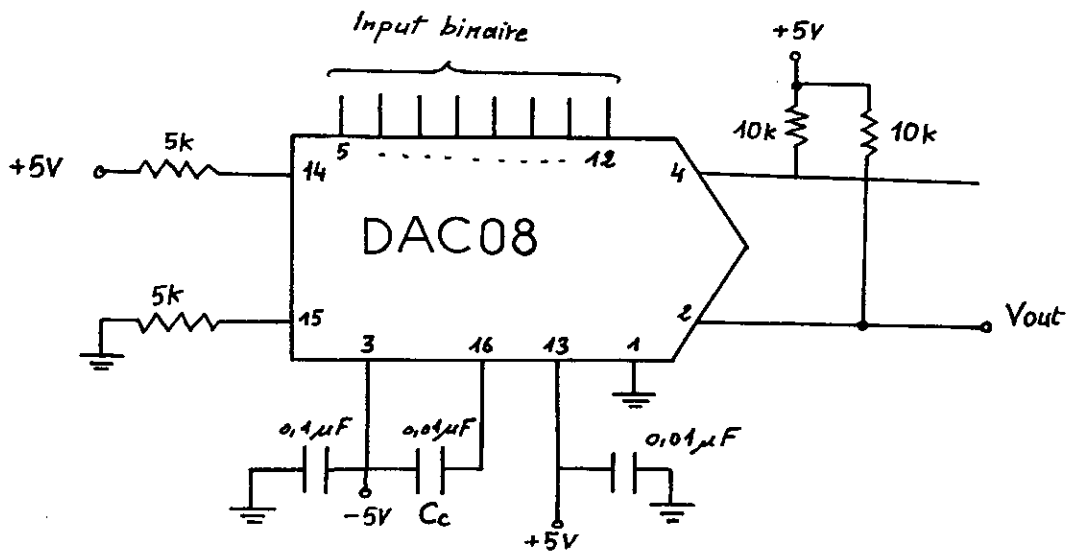


Fig (II . 9) - Application typique du DAC 08

c) **Conversion Analogique / Numérique** : La conversion est assurée par le circuit ADC 0804 c'est un convertisseur de technologie CMOS qui utilise la méthode à approximation successive, et il est compatible avec tout microprocesseur à 8 bits, ce dernier le considère comme une mémoire morte, qui ne nécessite aucune interface logique. Les caractéristiques de ADC0804 sont : [7]

- * La tension d'alimentation est de 5 Volts .
- * L'entrée analogique est différentielle.
- * les logiques d'entrées et des sorties sont compatible avec la logique utilisée en technologie TTL et CMOS .
- * Le temps de conversion est inférieur à 100 us.
- * Le temps d'accès est de 135 ns .
- * L'erreur de conversion de 1/2 de la tension qui correspond au bit de poids le plus faible .
- * L'ADC peut fonctionner avec son horloge interne ceci en introduisant un circuit RC .

Les signaux de commande

- RD : Permet la lecture d'un octet à la sortie
- WR : Autorise le début de conversion
- CS : Sélectionne l'ADC
- INTR : Indique la fin de conversion

La broche RD est reliée au broche RD du microcontrôleur , et la broche WR a la broche P1.7, et CS au broche P1.6 et l'interruption au INT0 du microcontrôleur. Son application typique est donnée dans la figure (II.7).

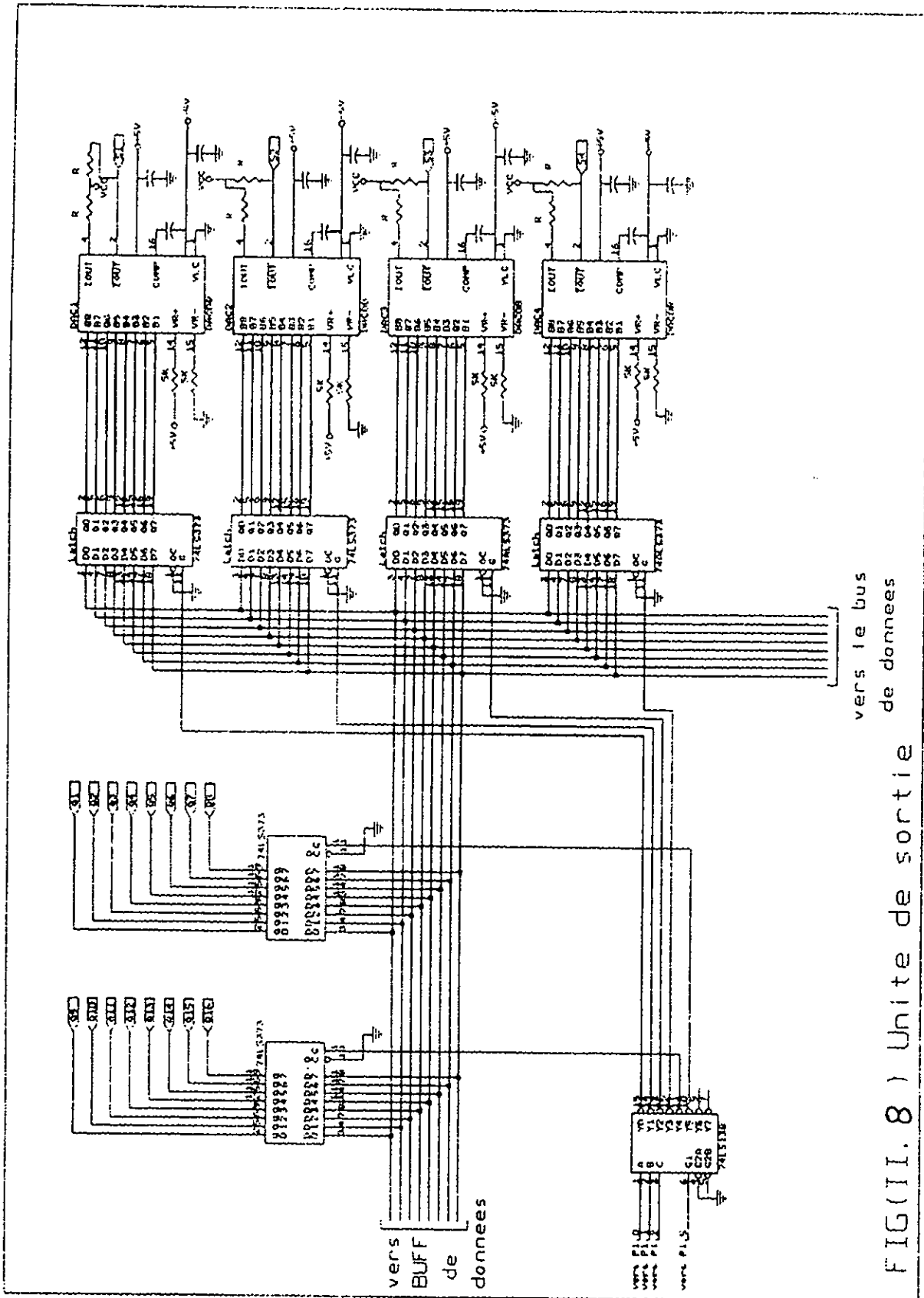
II . 2 . 3 - UNITE DE SORTIE Fig(II.8)

La carte présente le nombre de 4 sorties analogiques, qui nécessitent pour chacune d'elles un verrouillage et une conversion. Elle présente aussi 16 sorties logiques nécessitant uniquement un verrouillage.

La gestion du fonctionnement des différentes sorties (logiques, analogiques) est assurée par le microcontrôleur à travers un décodeur .

a) - Decodage de sorties

Cette opération est assurée par le circuit 74LS138, c'est un décodeur / démultiplexeur 1 sur 8 possédant 16 broches, dont trois sont des entrées d'adresse A0,A1,A2, reliées aux broches P1.0, P1.1, P1.2, du microcontrôleur; huit sorties activées à l'état bas O0-O7 reliées



vers le bus
de données

FIG(II.8) Unité de sortie

au différents selecteurs des latches de sorties et finalement trois selecteurs de boîtier dont deux activés à l'état bas reliés à la masse et un activé à l'état haut relié à la broche P1.5 du contrôleur.

b) Verrouillage de sorties [8/

Le verrouillage est assuré par des latches de type 74LS373. Ce latch à trois états est constitué de huit bascules "D", il possède deux lignes de commande OC (Output Control) et G (Selection Chip). Si OC est à l'état haut, les sorties de latch sont à haute impédance, mais si OC est à l'état bas les sorties seront sauvegardées et verrouillées, donc dans notre carte OC sera relié à la masse. Si on met G à l'état haut, les sorties de bascules prennent les états appropriés des entrées.

Le 74LS373 est un circuit intégré à 20 pins, son brochage est donné en Annexe.

c) Conversion Numérique Analogique

Exclusive aux quatre sorties analogiques, cette opération est assurée par le DAC08. C'est un convertisseur à 8 bits, dont les entrées sont reliées aux sorties de latch, il est caractérisé par :

- Temps de réponse court de 100 ns.
- Marge de sortie élevée de -10 à +18.
- Sortie de courant complémentaire.
- Il est compatible avec TTL, CMOS et PMOS.
- Faible consommation d'énergie de 33mW à +5V.
- Une large marge d'alimentation de +5 à +18.

Son application typique est donnée dans la figure (II.9).

II.2.4 - BLOC DE DECODAGE D'ADRESSES Fig (II.10), [13]

Son rôle est de permettre la communication entre la carte et l'ordinateur ou elle est enfoncée, cette communication est choisie de sorte que l'ordinateur soit libéré pour d'autres tâches. Ce bloc permet l'introduction des données acquises ainsi que les sorties délivrées par la carte au ordinateur.

La plage d'adressage réservée pour les périphériques de l'IBM-PC se situe entre les adresses 300H et 31FH. Il sera retenue uniquement l'adresse 300H, car pour notre carte il sera décodée qu'une seule adresse, celle de la sélection du Buffer de données 74LS245.

La réalisation du bloc de décodage logique consiste combiner les adresses A0 jusqu'à A9 et le bit AEN pour obtenir la fonction logique qui active le Buffer de données, on résulte donc :

$$G1 = A9 A8 \overline{A7} \overline{A6} \overline{A5} \overline{A4} \overline{A3} \overline{A2} \overline{A1} \overline{A0} AEN$$

AMPLIFICATION ET ISOLATION /8/

Pour protéger les signaux d'entrée/sortie, les lignes de commande et les lignes d'adresse du micro-ordinateur de tout risque de perte d'information, on a utilisé des tampons pour l'amplification de ces signaux. Pour cette raison on a utilisé deux types de Buffer.

*) LE BUFFER 74LS244

C'est un Buffer unidirectionnel à 8 bits, qui sera destiné au bus d'adresse (A0 jusqu'à A9) et aux lignes de commande AEN et RD. C'est un Buffer à trois états, il possède une commande qui le met en troisième état, bien que la donnée soit présentée en entrée.

Pour pouvoir satisfaire à toutes ces lignes de commande et d'adresse, notre carte d'interface doit contenir deux Buffer de type 74LS244. Les lignes de commande et d'adresse ne seront pas inversées donc on a relié les deux commandes G1 et G2 à la masse. Le schéma de principe et les caractéristiques du Buffer sont données en Annexe.

*) LE BUFFER 74LS245

C'est un Buffer bidirectionnel à huit bits et à trois états, il sera donc destiné au bus de données. Il faudra tenir compte de la commande du sens de transfert DIR, elle doit être reliée à la ligne de commande RD du microprocesseur. La sélection de boîtier se fera par la commande G qui sera commandée par la combinaison du résultat de bloc de décodage logique

et les deux lignes RD et WR du microcontrôleur.

$$G = G1 (\overline{RD} + \overline{WR})$$

II. 3 - LA PROGRAMMATION ET FONCTIONNEMENT DE LA CARTE

La carte communique avec le système à commander, elle acquiert les données, puis les traite et en fin elle détermine la commande qu'il faut injecter au système. L'organigramme de la figure (II. 12) illustre les différentes phases de cette opération

Bloc RESET : La carte possède un bouton pour l'alimenter, la mise de la carte sous tension exige une RESET hard au niveau du microcontrôleur, le contenu de registres internes après RESET est donné à l'Annexe.

Bloc de configuration de la carte : Après RESET le micro contrôleur doit charger la

configuration de mode fonctionnemnt choisi. Donc il doit configurer les registre IE et IP pour l'utilisation de l'interruption externe INTO.

IE

EA	X	X	ES	ET1	EX1	ET0	EX0
----	---	---	----	-----	-----	-----	-----

EA = 0 tous les interruptions sont ignorées

EA = 1 Les interruptions sont activées ou désactivées individuellement

ES : ENABLE du port serie

ET1 : Pour le timer 1

EX1 : Pour INT1

EX0 : Pour INTO

ET0 : Pour le timer 0

Dans notre cas EA et EX0 doit être positionnées a 1

IP

X	X	X	PS	PT1	PX1	PT0	PX0
---	---	---	----	-----	-----	-----	-----

PS : Priorité du port serie

PT1 : Pour le timer 1

PX1 : Pour INT1

PX0 : Pour INTO

PT0 : Pour le timer 0

Dans notre cas PX0 doit être positionnée à 1

Pour introduire la I^{eme} entrée, on envoie le mot de commande au port1 du microcontrolleur pour activer le multiplexeur en mettant P1.3 à l'état bas, et on positionne l'adresse de la I^{eme} entrée au pins P1.0 , P1.1 , P1.2. Et on fait passer l'echantionneur bloqueur de l'etat de mémorisation à l'etat d'echantionnage en mettant à 1 la broche P1.4 ,et on selectionne l'ADC et la broche de démarrage de conversion en les mettant à l'etat bas .

Pour démarrer une nouvelle conversion, on fait passer l'echantionneur bloqueur de l'étape d'echantionnage à l'étape de mémorisation, en désactivant sa entrée logique, puis en mettant à l'etat haut les broches WR et CS de l'ADC . Quand la conversion est commencée le controlleur arrête l'exécution du programme en attendant que la fin de conversion sera signalée à l'entrée INTO . Après la détèction de la fin de conversion le controlleur lit le resultats de cette opération .

Dans l'étape de traitement le microcontrolleur se branche au procédure de commande ou de reglage, afin de déterminer les sorties qu'il faut injectées au système à commander .Après cette étape le controlleur configure la sortie corespondante, à travers le décodeur de sortie, en l'activant et en transmettant l'adresse de cette sortie. Puis en envoi l'octet de la sortie au bus de

données vers le Latch correspondant .

Remarques:

*) Il faut jamais laisser l'ADC activée durant la lecture d'un octet de la RAM , pour ne pas avoir le de chevauchement de données .

*) Il faut désactiver le décodeur de sortie durant la l'écriture d'un octet à la RAM .

*) Il est porté à l'attention de l'utilisateur de la carte de ne pas activer le multiplexeur et le décodeur de sortie au même temps .

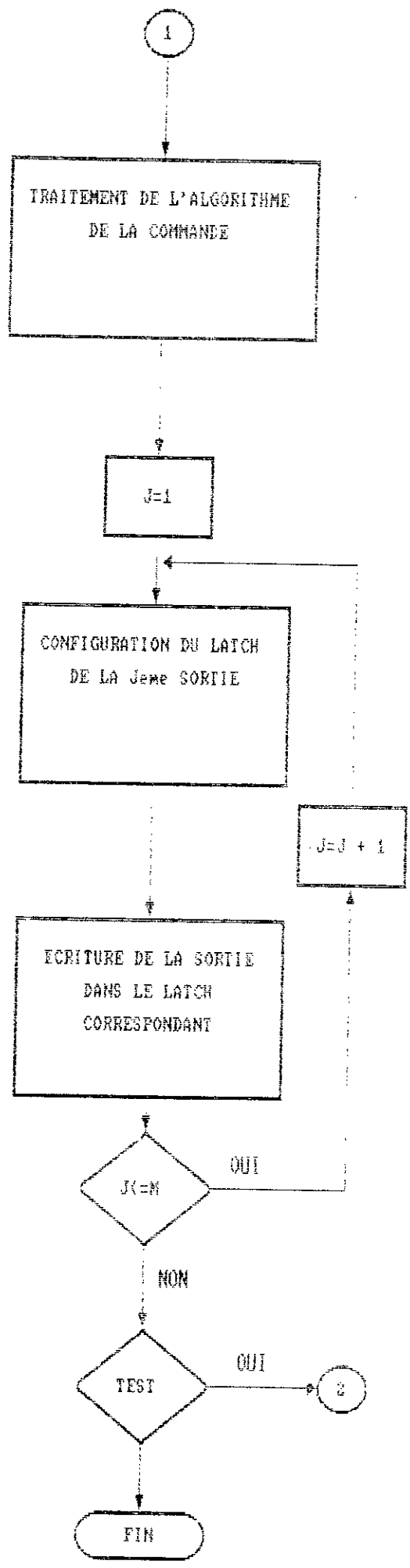
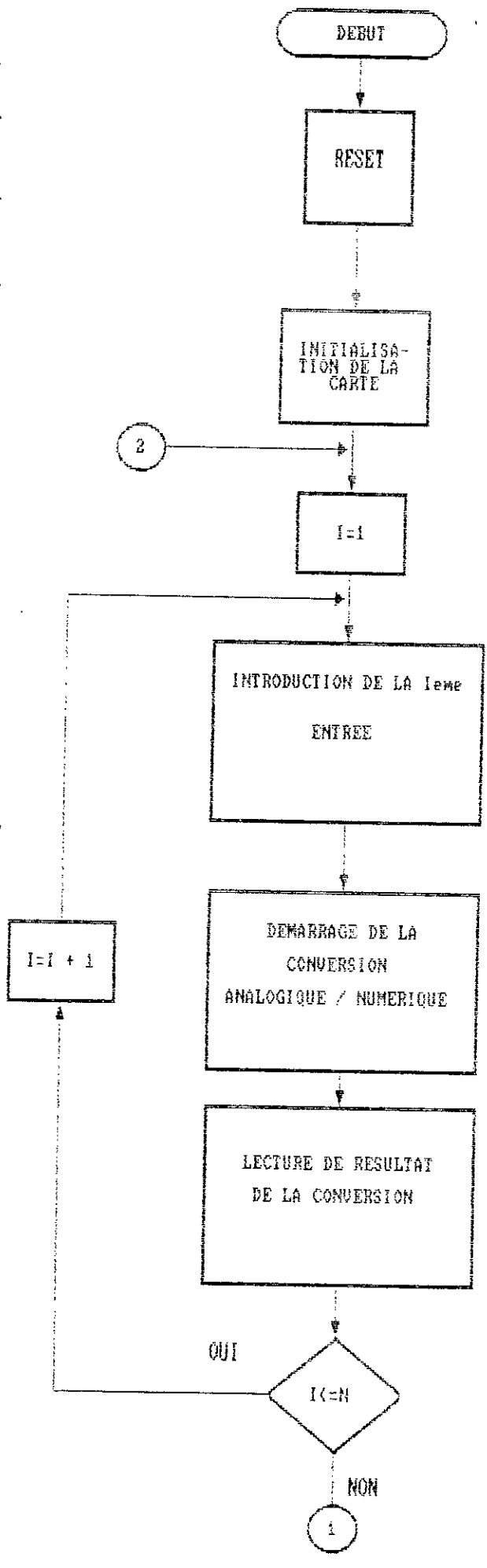


Fig (III.12) - Organigramme generale de la carte

Chapitre III

APPLICATION

*Commande d'un convertisseur
électrique en MLI par la stratégie
DELTA*

III.

APPLICATION

Commande d'un convertisseur électrique en *MLI* par la stratégie *DELTA*

INTRODUCTION

Grace à son mode programmable, la carte offre une diversité d'application, dont nous retenons pour notre carte la commande des convertisseurs électriques en MLI par la stratégie DELTA à control de courant, qui sera brièvement traitée .

Dans ce présent chapitre nous nous étalerons beaucoup plus sur la carte proprement dite, ainsi que la programmation de l'EPR0M qui la gère.

III . 1 - ETUDE THEORIQUE DU CONVERTISSEUR [10] [11]

Actuellement l'apparition des charges non linéaire, caractérisées par des exigences technologiques très particulières, a permis l'elaboration de plusieurs techniques de commande de convertisseurs statiques. En particulier les commandes à modulation de largeur d'impulsion

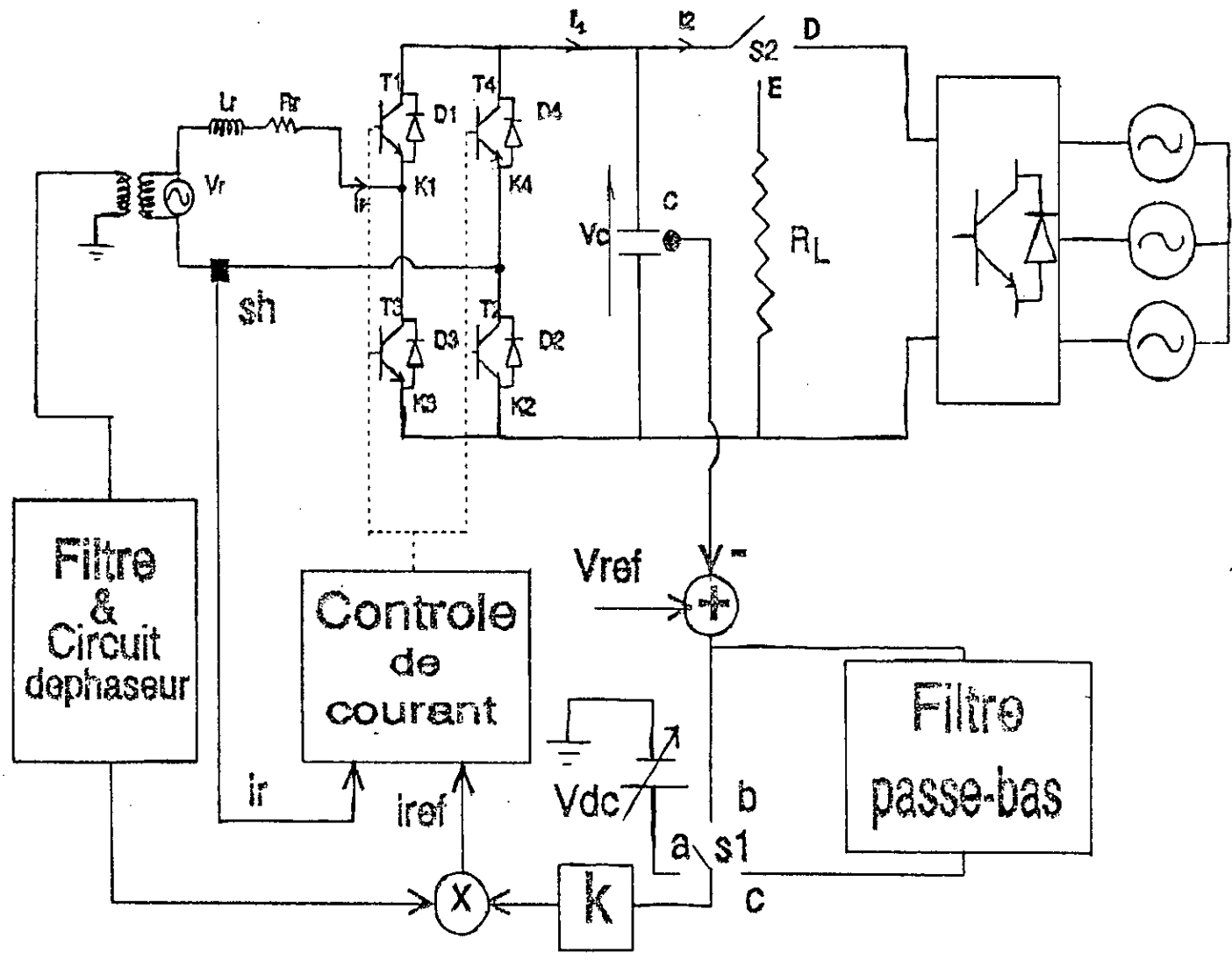


Fig (III. 1) - Schema de principe du convertisseur par la strategie DELTA a control de courant.

MLI, dont l'essor est principalement lié au progrès réalisé dans la technologie de semi-conducteur et des micro-procésseurs.

Dans cette application on traitera la technique d'hysteresis, ou modulation DELTA à contrôle de courant. Cette technique a été proposée par Boom Teck Ooi et développée par O.Stihi à Mac Gill university [87] , et appliquée à un convertisseur AC / DC à transistors commandé en pont complet fonctionnant en redresseur réversible , alimentant une charge de tension, la figure (III . 1) illustre le convertisseur commandé par cette technique, qui consiste à forcer le courant d'entrée i_r du convertisseur à osciller autour d'une référence i_{ref} sinusoidale bien déterminée dans une bande d'hysteresis h , voir figure (III . 2).

On remarque que pour une valeur infiniment faible de h et pour un déphasage de la référence convenablement choisi le courant i_r sera sinusoidale et en phase avec la tension v_r de la source d'alimentation.

Pour avoir la forme désirée du courant, il existe plusieurs manières de gestion des interrupteurs K1 , K2 , K3 et K4 , on présente la commande bipolaire dont les séquences de conduction des interrupteurs sont illustrées dans la figure (III . 3).

Pour avoir les séquences de la commande bipolaire on commande suivant l'algorithme décrit par l'organigramme de la figure (III . 4) . On choisit dans notre application le fonctionnement en boucle fermée à contrôle de tension , le courant i_{ref} est fonction de la charge puisqu'il dépend de $(V_{ref} - V_c)$ - commutateur S1 en position C - V_{ref} étant une tension de consigne choisie selon la charge et V_c étant la valeur de la tension aux bornes de la charge.

III . 2 - ETUDE PAR SIMULATION [11]

Avant d'installer le programme à la carte une simulation numérique est indispensable. Afin d'élaborer le modèle dynamique du convertisseur plusieurs hypothèses sont prises en considération : on suppose que les interrupteurs sont idéaux . Pour simplifier la modélisation on représente le redresseur par le schéma de la figure (III . 5)

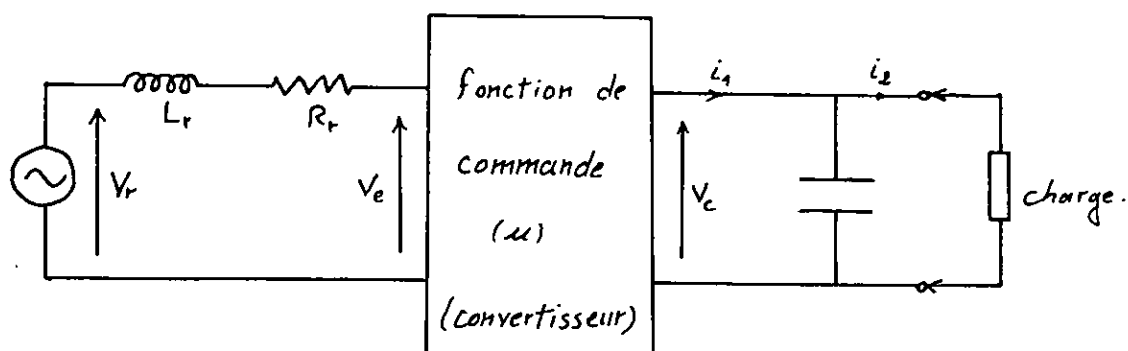


Fig (III . 5) - Modèle de convertisseur

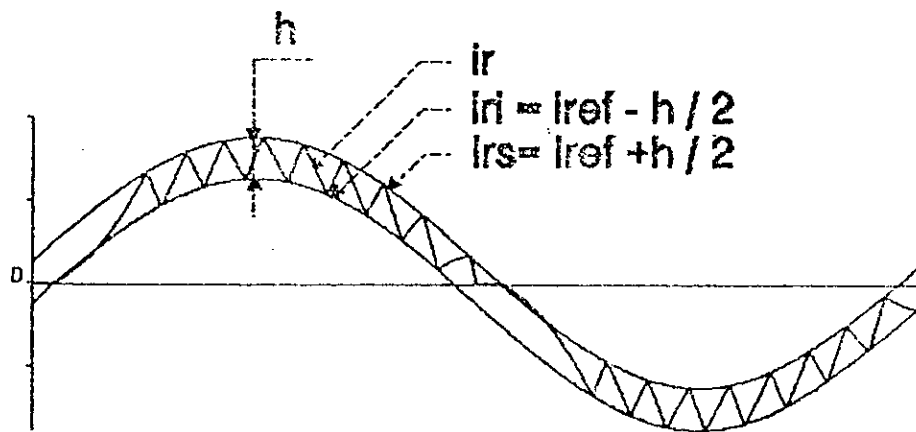
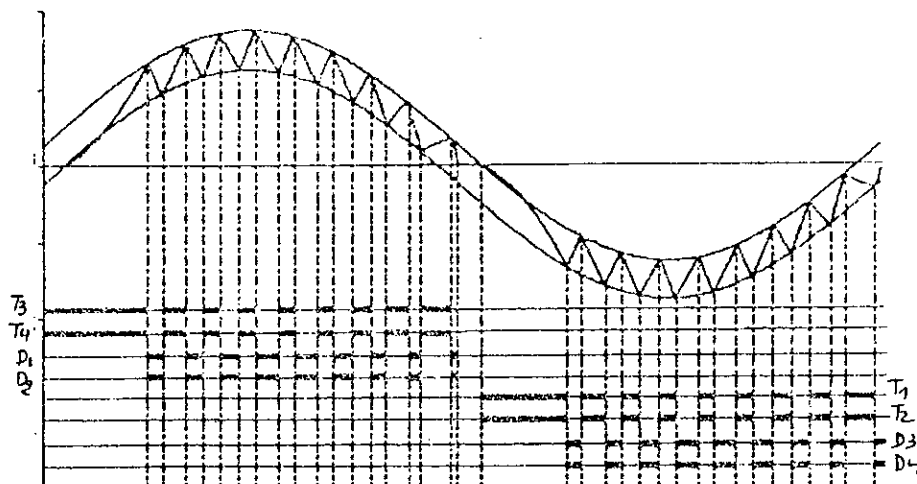


Fig (III . 2) - La bande d'hysterisis h



Fig(III.3) Séquences de conduction des interrupteurs

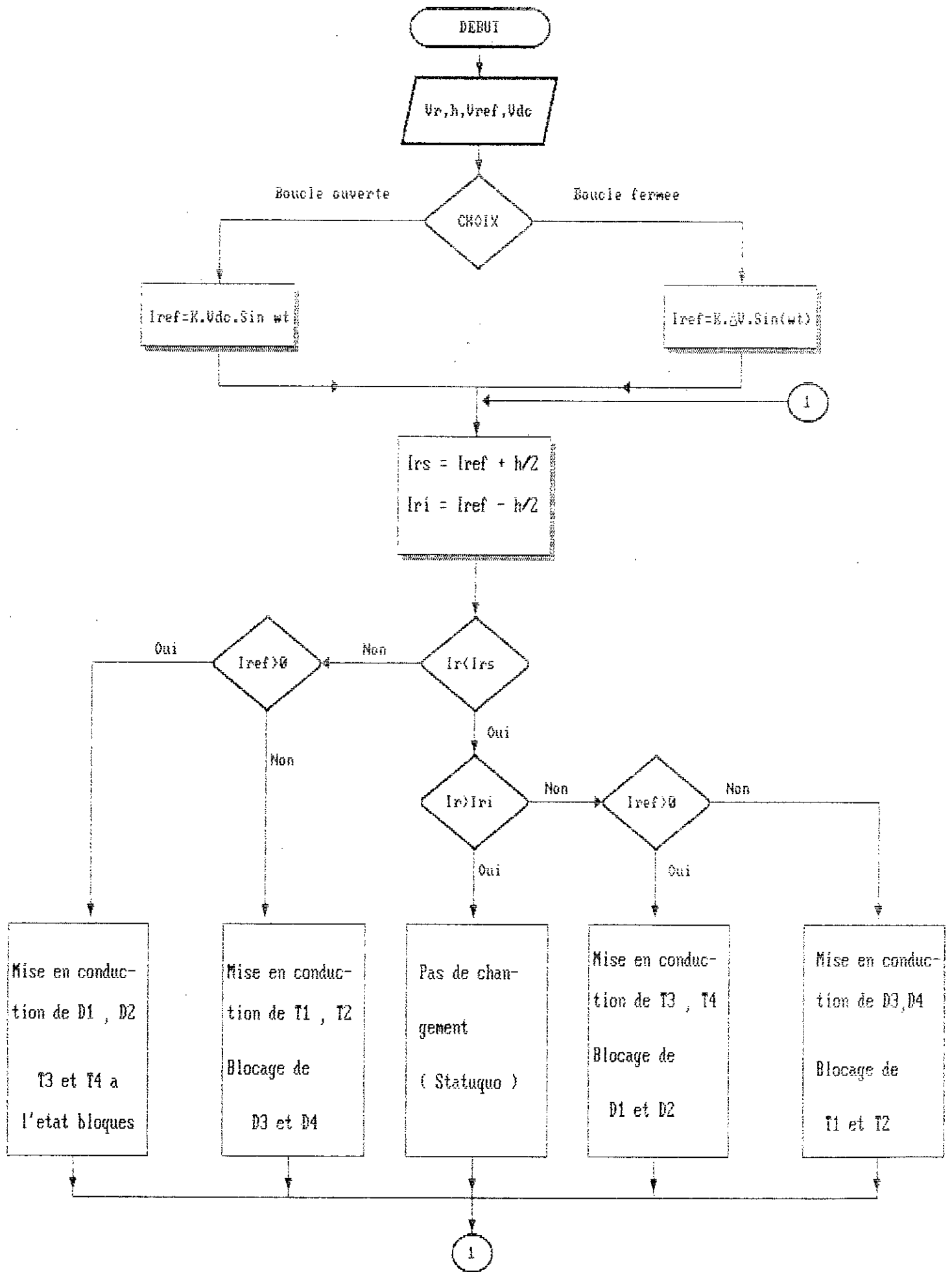


Fig (III . 4) - Organigramme de commande de convertisseur

avec :

V_e : La tension d'entrée.

i_1 : Courant de sortie du convertisseur.

i_2 : Courant appelé par la charge

u : Représente la fonction commande du redresseur.

La commande u peut prendre l'une de deux valeurs de l'ensemble $\{-1, +1\}$, dans la commande bipolaire, engendrant deux matrices dynamiques présentant le système .

Pour $u = 1$: Le convertisseur peut assimiler au modèle de la figure (III . 6) le courant de sortie et la tension d'entrée sont données par les équations :

$$U_e = U_c$$

$$i_1 = i_r$$

avec une matrice dynamique A :

$$A = \begin{bmatrix} \frac{R_r}{L_r} & -\frac{1}{L_r} \\ \frac{1}{C} & -\frac{1}{R_L C} \end{bmatrix}$$

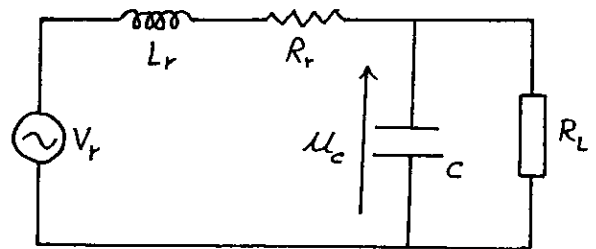


Fig (III . 6) Modèle du convertisseur pour $u = 1$

Pour $u = -1$: Le convertisseur peut assimiler au modèle de la figure (III . 7) le courant de sortie et la tension d'entrée sont donnés par les équations :

$$U_e = -U_c$$

$$i_1 = -i_r$$

avec une matrice dynamique A :

$$A = \begin{bmatrix} \frac{R_r}{L_r} & -\frac{1}{L_r} \\ \frac{1}{C} & -\frac{1}{R_L C} \end{bmatrix}$$

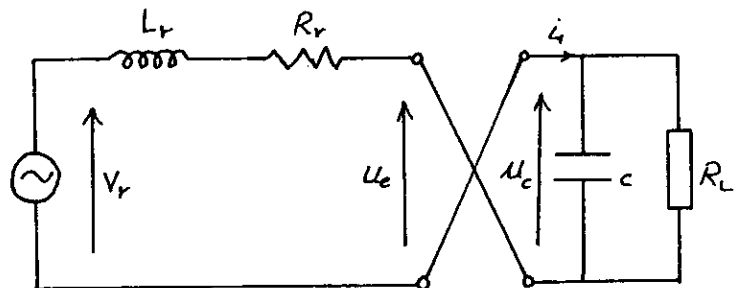


Fig (III . 7) Modèle du convertisseur pour $u = -1$

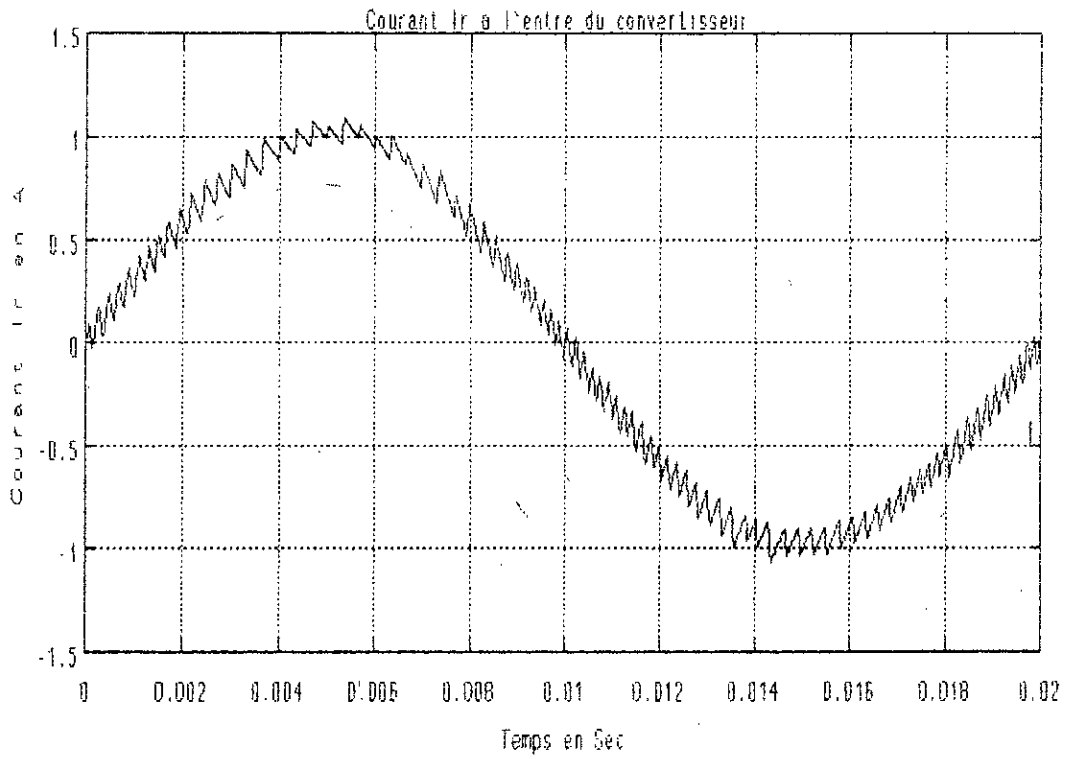


Fig (III . 8) - La forme de courant d'entrée de convertisseur

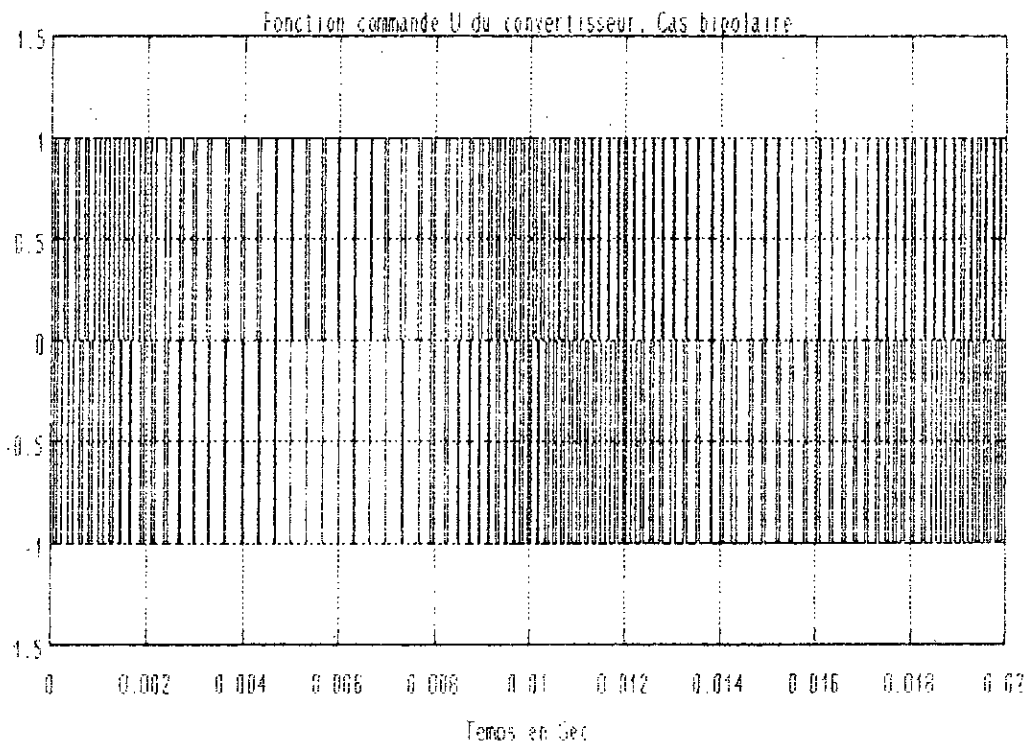


Fig (III . 9) - La forme de la commande u

La simulation numérique de ce processus est faite par le logiciel *MATLAB*.

On donne respectivement dans la figure (III . 8) et (III . 9), la forme du courant d'entrée et la forme de la commande u du convertisseur .

III . 3 - PROGRAMMATION DE LA METHODE

Le circuit de contrôle de courant du convertisseur de la Fig (III . 1) est substitué par la carte, cette dernière présente de ce fait deux entrées i_r et i_{ref} , et les sorties S1 et S2 pour l'ouverture et la fermeture respectives des transistors T1, T2 et T3, T4.

Pour les entrées de la carte qui sont i_r et i_{ref} doivent obligatoirement être filtrées et conditionnées, leurs moyennes de validation doivent être comprises entre 0 et 5 V. Les sorties de la carte sont des sorties logiques.

La carte donc va acquiescer les deux entrées de courant i_r et i_{ref} , ensuite on applique la procédure de stratégie DELTA à contrôle de courant, une fois la décision est prise et les commandes sont déterminées les deux sorties logiques les appliquent au convertisseur voir l'organigramme de la figure (III . 10) . Cette organigramme doit être programmé en langage assembleur du micro contrôleur 80C31 et installé à l'EPROM de la carte.

Avant de donner le programme en assembleur signalant qu'il faut donner le temps nécessaire pendant lequel la carte peut assurer sa fonction.

Adresse	Mnémonique	Operandes	Commentaire
0000H	LJMP	0008H	; Aller au LABEL1
0003H	MOVX	A, @R0	;
0004H	MOV	@R0, A	;
0005H	SETB	P3.4	;
0007H	RETI		;
0008H	MOV	IP, 01H	; LABEL1
000BH	MOV	IE, 81H	;
000EH	MOV	R1, # 10H	;
0011H	MOV	P1, R1	; *****
0013H	NOP		; Procedure
0014H	NOP		;
0015H	MOV	P1, # 88H	; d'introduction
0018H	JBC	P3.4, 03H	;
001BH	LJMP	0018H	; des entrées.
001EH	INC	R0	;

```

001FH      MOV      A,#02H      ;  $i_r$  et  $i_{ref}$ 
0022H      SUBB     A,R0        ;
0023H      JZ       04H        ;
0025H      INC      R1         ;
0026H      LJMP    0011H      ;*****
0029H      DEC      R0         ; Generation
0030H      MOV      A,@R0      ;
002BH      SUBB     A,#0CH     ; de la bande
002DH      MOV      R3,A       ;
002EH      MOV      A,@R0     ; d'hysteresis
002FH      ADD      A,#0CH     ;
0031H      MOV      R4,A       ;*****
0032H      DEC      R0         ;
0033H      SUBB     A,@R0     ;*****
0034H      JBC      OV,1CH     ; Test si  $i_{rs} > i_r$ 
0037H      MOV      A,R3       ;
0038H      SUBB     A,@R0     ;  $i_{rs} > i_r$ 
0039H      JBC      OV,14H    ; Test si  $i_{ri} > i_r$ 
003CH      INC      R0         ;
003DH      MOV      A,@R0     ;
003EH      SUBB     A,#80H     ;
0040H      JBC      OV,08H    ; Test si  $i_{ref} > 0$ 
0043H      MOV      A,#01H     ;
0045H      MOV      P1,#ACH    ;
0047H      MOVX    @R0,A       ; Sortie de la commande
0048H      LJMP    000EH      ; Nouvelle itération
004BH      CLR      A         ;
004CH      MOV      P1,#ACH    ;
004FH      MOVX    @R0,A       ;
0050H      LJMP    000EH      ; Nouvelle itération
0051H      INC      R0         ;
0054H      MOV      A,@R0     ;
0055H      SUBB     A,#80H     ;
0057H      JBC      OV,06H    ; Test  $i_{ref} > 0$ 
0059H      CLR      A         ;
0061H      MOV      P1,#ACH    ;
005CH      MOVX    @R0,A       ; Sortie de la commande
005EH      LJMP    000EH      ; Nouvelle itération

```


0060H	MOV	A,#10 H	;
0062H	MOV	P1,# ACH	;
0064H	MOVX	@R0,A	;
0065H	LJMP	000EH	; Nouvelle itération

Après l'écriture de programme on peut calculer le temps max qu'il peut prendre pour traiter les données et injecter les commandes au convertisseur. Ce temps est déterminé par le nombre des cycles machine pour l'ensemble des instructions, pour notre cas il est 50 cycles machine pour le chemin le plus long, d'autre part le cycle machine de 80C31 est égale 1us, donc le temps max que fait le programme est 50 us, mais ! n'oublions pas le temps de conversion de l'ADC qui est 100 us pour chaque entrée, donc le temps complet d'établissement est de 250 us, ce qui donne une fréquence de 4 KHz .

Conclusion

A partir des résultats obtenus par simulation numérique de convertisseur, on remarque que la fréquence de commutation est relativement élevée pour avoir une forme de courant idéale. Notre carte assure sa fonction sur ce type de commande de convertisseur pour des valeurs de fréquence de commutation inférieure à 4 KHz, suite au temps de conversion des entrées analogiques par ADC 0804.

Signalons que les choix de cet ADC limite l'utilisation de la carte dans les processus qui présentent une variation rapide. Un simple changement de l'ADC améliore la performance de la carte : exemple l'ADC AD7820 qui est un ADC de type flash, qui présente un temps de réponse de 1 us , mais il est très cher, avec cet ADC en gardant tous les autres circuits de la carte on peut aller jusqu'à la fréquence de commutation de 20 KHz pour la commande de convertisseur.

Malgré ça notre carte offre un large champ d'utilisation à titre d'exemple la création d'un fichier entrées / sorties pour l'identification des systèmes.

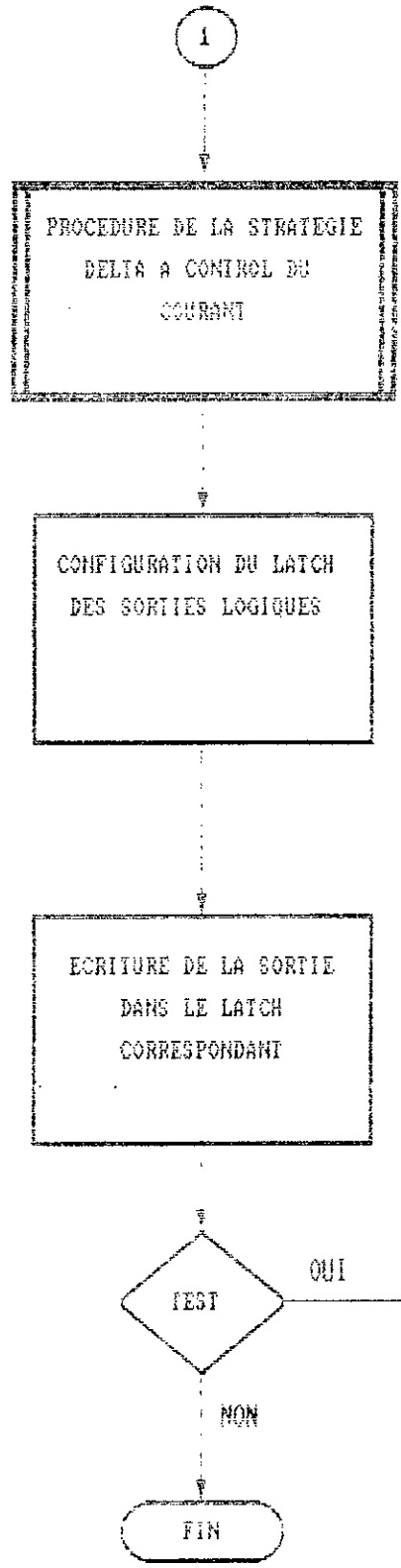
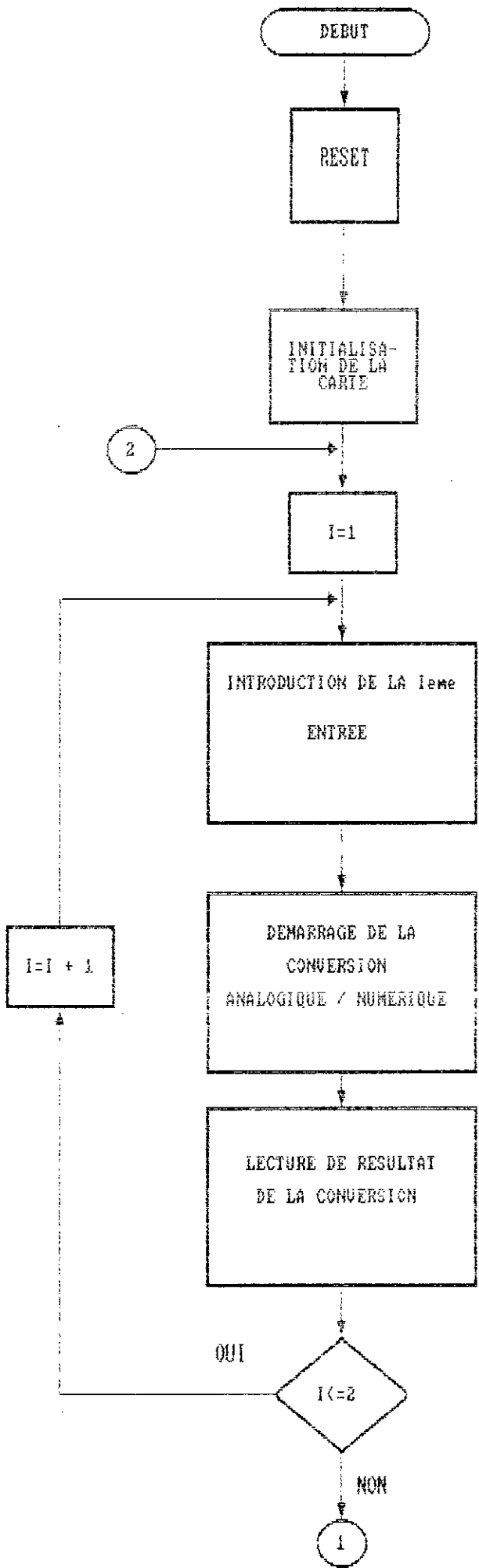


Fig (III.10) - Organigramme de la commande du convertisseur electrique

CONCLUSION GENERALE

CONCLUSION GENERALE

L'interfaçage avec ordinateur représente un créneau de recherche fort intéressant, à actualiser avec l'évolution des ordinateurs, dans cet esprit nous avons entamé nos travaux .

Au fur et à mesure que nous avançons dans notre travail, nous avons pu constater le nombre et la complexité des problèmes , que présente l'étude et la conception de la carte d'interface. En effet cela suppose une maîtrise parfaite de l'informatique industrielle, de l'électronique numérique, et des techniques d'interfaçage.

Devant les caractéristiques que présente la commande numérique, il serait intéressant de profiter de ses performances pour la commande de périphériques .

La carte étudiée présente des performances fortes intéressantes (*autonomie de fonctionnement* : elle fait l'acquisition, le traitement, et finalement délivre la commande) , une utilisation très large et très divers, ceci grâce à son mode programmable, permettant la commande numérique des systèmes complexes même non linéaires, et la commande de plusieurs systèmes simultanément .

D'autre part il est important de signaler que par défaut de moyens et de faisabilité, et de disponibilité des circuits, la carte établie n'a pas été bien optimisée, on peut y remédier en utilisant des circuits appropriés, cela pourrait faire l'objet de travaux ultérieurs.

REFERENCES

- [1] LEIBSON S. *Manuel des interfaces, édition Mc Graw Hill 1984 .*
- [2] LILEN H. *Théorie et pratique des microprocesseur, Edition Radio , PARIS 1977*
- [3] LILEN H. *Principe et applications des interfaces pour micro ordinateur Edition Radio 1981.*
- [4] LAFONT J.C , VABRE J.P *Cour et probleme d'electronique numerique Edition SYBEX 1987*
- [5] TOCCI R. *Circuit Numérique théorie et application Bordas, Paris .1988*
- [6] INTEL *Architecture and programming the MCS 51 Mc Grow Hill*
- [7] HARRIS *Semi-conductor DATA Book 1986*
- [8] LOGIC Division *DATA Book 1982*
- [9] THOMSON *Semi conductor Thomson components*
- [10] O. STIHI ; *signal phase controlled current PWM converter*
Thèse de master Mc Gill University 1987 .
- [11] N. MOKHTARI, R.M. BOUZIANI *Réalisation d'un redresseur commandé en MLI P.F.E , ENP 1993*
- [12] BAHY A.M *Etude et réalisation d'une carte FAX pour IBM PC P.F.E , ENP 1992*
- [13] HABITA S, CHAHER M , *Conception et réalisation d'une carte d'interface pour IBM PC et compatible P.F.E , ENP 1993*
- [14] Logiciel MATLAB .
- [15] Logiciel ORCAD .

ANNEXES

I/O Pin	Signal Name	I/O
B1	GND	Ground
B2	RESET DRV	O
B3	+5 Vdc	Power
B4	IRQ 9	I
B5	-5 Vdc	Power
B6	DRQ 2	I
B7	-12 Vdc	Power
B8	OWS	I
B9	+12 Vdc	Power
B10	GND	Ground
B11	-SMEMW	O
B12	-SMEMR	O
B13	-IOW	I/O
B14	-IOR	I/O
B15	-DACK3	O
B16	DRQ 3	I
B17	-DACK1	O
B18	DRQ 1	I
B19	-REFRESH	I/O
B20	CLK	O
B21	IRQ 7	I
B22	IRQ 6	I
B23	IRQ 5	I
B24	IRQ 4	I
B25	IRQ 3	I
B26	-DACK2	O
B27	T/C	O
B28	BALE	O
B29	+5 Vdc	Power
B30	OSC	O
B31	GND	Ground

I/O Channel (B-Side)

ANNEXE-I

The following figures summarize pin assignments for the I/O channel connectors

I/O Pin	Signal Name	I/O
A1	-I/O CH CK	I
A2	SD7	I/O
A3	SD6	I/O
A4	SD5	I/O
A5	SD4	I/O
A6	SD3	I/O
A7	SD2	I/O
A8	SD1	I/O
A9	SD0	I/O
A10	-I/O CH RDY	I
A11	AEN	O
A12	SA19	I/O
A13	SA18	I/O
A14	SA17	I/O
A15	SA16	I/O
A16	SA15	I/O
A17	SA14	I/O
A18	SA13	I/O
A19	SA12	I/O
A20	SA11	I/O
A21	SA10	I/O
A22	SA9	I/O
A23	SA8	I/O
A24	SA7	I/O
A25	SA6	I/O
A26	SA5	I/O
A27	SA4	I/O
A28	SA3	I/O
A29	SA2	I/O
A30	SA1	I/O
A31	SA0	I/O

I/O Channel (A-Side)

REGISTER	NAME	CONTENT	ADRESS
PC	Program counter	0000 H	
ACC	Accumulator	00 H	0E0 H
B	B register	00 H	0F0 H
PSW	Program Status Word	00 H	0D0 H
SP	Stack Pointer	07 H	81 H
DPTR	Data Ppointer	0000 H	83 H 82 H
P0-P3	Ports	0FF H	
IP	Interrupt Priority	XXX00000 B	0B8 H
IE	Interrupt Enable	0XX00000 B	0A8 H
TCON	Timer Counter Control	00 H	88 H
TMOD	Timer Counter Mode	00 H	89 H
TH0	Timer Counter 0 high byte	00 H	8C H
TL0	Timer Counter 0 Low byte	00 H	8A H
TH1	Timer Counter 1 high byte	00 H	8D H
TL1	Timer Counter 1 Low byte	00 H 8B H	
SCON	Serial Control	00 H	98 H
SBUF	Serial Data Buffer	Indeterminate	99 H
PCON	Power Control	0XXX0000 B	87 H

Les registres du 80C31 apres RESET



80C51BH/80C51BH-2
80C31BH/80C31BH-2

ADVANCED INFORMATION

Table 2. MCS[®]-51 Instruction Set Description

ARITHMETIC OPERATIONS			LOGICAL OPERATIONS (CONTINUED)		
Mnemonic	Description	Byte Cyc	Mnemonic	Description	Byte Cyc
ADD A,Rn	Add register to Accumulator	1 1	ORL A,@Ri	OR indirect RAM to Accumulator	1 1
ADD A,direct	Add direct byte to Accumulator	2 1	ORL A,#data	OR immediate data to Accumulator	2 1
ADD A,@Ri	Add indirect RAM to Accumulator	1 1	ORL direct,A	OR Accumulator to direct byte	2 1
ADD A,#data	Add immediate data to Accumulator	2 1	ORL direct,#data	OR immediate data to direct byte	3 2
ADDC A,Rn	Add register to Accumulator with Carry	1 1	XRL A,Rn	Exclusive-OR register to Accumulator	1 1
ADDC A,direct	Add direct byte to A with Carry flag	2 1	XRL A,direct	Exclusive-OR direct byte to Accumulator	2 1
ADDC A,@Ri	Add indirect RAM to A with Carry flag	1 1	XRL A,@Ri	Exclusive-OR indirect RAM to A	1 1
ADDC A,#data	Add immediate data to A with Carry flag	2 1	XRL A,#data	Exclusive-OR immediate data to A	2 1
SUBB A,Rn	Subtract register from A with Borrow	1 1	XRL direct,A	Exclusive-OR Accumulator to direct byte	2 1
SUBB A,direct	Subtract direct byte from A with Borrow	2 1	XRL direct,#data	Exclusive-OR immediate data to direct	3 2
SUBB A,@Ri	Subtract indirect RAM from A with Borrow	1 1	CLR A	Clear Accumulator	1 1
SUBB A,#data	Subtract immed data from A with Borrow	2 1	CPL A	Complement Accumulator	1 1
INC A	Increment Accumulator	1 1	RL A	Rotate Accumulator Left	1 1
INC Rn	Increment register	1 1	RLC A	Rotate A Left through the Carry flag	1 1
INC direct	Increment direct byte	2 1	RR A	Rotate Accumulator Right	1 1
INC @Ri	Increment indirect RAM	1 1	RRC A	Rotate A Right through Carry flag	1 1
INC DPTR	Increment Data Pointer	1 2	SWAP A	Swap nibbles within the Accumulator	1 1
DEC A	Decrement Accumulator	1 1			
DEC Rn	Decrement register	1 1			
DEC direct	Decrement direct byte	2 1			
DEC @Ri	Decrement indirect RAM	1 1			
MUL AB	Multiply A & B	1 4			
DIV AB	Divide A by B	1 4			
DA A	Decimal Adjust Accumulator	1 1			
LOGICAL OPERATIONS			DATA TRANSFER		
Mnemonic	Description	Byte Cyc	Mnemonic	Description	Byte Cyc
ANL A,Rn	AND register to Accumulator	1 1	MOV A,Rn	Move register to Accumulator	1 1
ANL A,direct	AND direct byte to Accumulator	2 1	MOV A,direct	Move direct byte to Accumulator	2 1
ANL A,@Ri	AND indirect RAM to Accumulator	1 1	MOV A,@Ri	Move indirect RAM to Accumulator	1 1
ANL A,#data	AND immediate data to Accumulator	2 1	MOV A,#data	Move immediate data to Accumulator	2 1
ANL direct,A	AND Accumulator to direct byte	2 1	MOV Rn,A	Move Accumulator to register	1 1
ANL direct,#data	AND immediate data to direct byte	3 2	MOV Rn,direct	Move direct byte to register	2 2
ORL A,Rn	OR register to Accumulator	1 1	MOV Rn,#data	Move immediate data to register	2 1
ORL A,direct	OR direct byte to Accumulator	2 1	MOV direct,A	Move Accumulator to direct byte	2 1
			MOV direct,Rn	Move register to direct byte	2 2
			MOV direct,direct	Move direct byte to direct	3 2
			MOV direct,@Ri	Move indirect RAM to direct byte	2 2



80C51BH/80C51BH-2
80C31BH/80C31BH-2

Table 2. MCS-51 Instruction Set Description (Continued)

DATA TRANSFER (CONTINUED)			PROGRAM AND MACHINE CONTROL		
Mnemonic	Description	Byte Cyc	Mnemonic	Description	Byte Cyc
MOV	direct,#data	3 2	ACALL	addr11	Absolute Subroutine Call
MOV	@R1A	1 1	LCALL	addr16	Long Subroutine Call
MOV	@R1,direct	2 2	RET		Return from subroutine
MOV	@R1,#data	2 2	RETI		Return from interrupt
MOV	DPTR,#data16	3 2	AJMP	addr11	Absolute Jump
MOVC	A,@A+DPTR	1 2	LJMP	addr16	Long Jump
MOVC	A,@A+PC	1 2	SJMP	rel	Short Jump (relative addr)
MOVX	A,@R1	1 2	JMP	@A+DPTR	Jump indirect relative to the DPTR
MOVX	A,@DPTR	1 2	JZ	rel	Jump if Accumulator is Zero
MOVX	@R1,A	1 2	JNZ	rel	Jump if Accumulator is Not Zero
MOVX	@DPTR,A	1 2	JC	rel	Jump if Carry flag is set
PUSH	direct	2 2	JNC	rel	Jump if No Carry flag
POP	direct	2 2	JB	bit,rel	Jump if direct Bit set
XCH	A,Rn	1 1	JNB	bit,rel	Jump if direct Bit Not set
XCH	A,direct	2 1	JRC	bit,rel	Jump if direct Bit is set & Clear bit
XCH	A,@R1	1 1	CJNE	A,direct,bit	Compare direct to A & Jump if Not Equal
XCHD	A,@R1	1 1	CJNE	A,#data,rel	Comp. immed. to A & Jump if Not Equal
			CJNE	Rn,#data,rel	Comp. immed. to reg & Jump if Not Equal
			CJNE	@R1,#data,rel	Comp. immed. to ind & Jump if Not Equal
			DJNZ	Rn,rel	Decrement register & Jump if Not Zero
			DJNZ	direct,rel	Decrement direct & Jump if Not Zero
			NOP		No operation
BOOLEAN VARIABLE MANIPULATION			Notes on data addressing modes:		
CLR	C	1 1	Rn	—Working register R0-R7	
CLR	bit	2 1	direct	—128 internal RAM locations, any I/O port, control or status register	
SETB	C	1 1	@R1	—Indirect internal RAM location addressed by register R0 or R1	
SETB	bit	2 1	#data	—8-bit constant included in instruction	
CPL	C	1 1	#data16	—16-bit constant included as bytes 2 & 3 of instruction	
ANL	C,bit	2 2	bit	—128 software flags, any I/O pin, control or status bit	
ANL	C/bit	2 2		Notes on program addressing modes:	
ORL	C/bit	2 2	addr16	—Destination address for LCALL & LJMP may be anywhere within the 64-K program memory address space	
ORL	C/bit	2 2	addr11	—Destination address for ACALL & AJMP will be within the same 2-K page of program memory as the first byte of the following instruction	
MOV	C/bit	2 1	rel	—SJMP and all conditional jumps include an 8-bit offset byte. Range is +127-128 bytes relative to first byte of the following instruction	
MOV	bit,C	2 2		All mnemonics copyrighted © Intel Corporation 1979	



80C51BH/80C51BH-2
80C31BH/80C31BH-2

Microcontroller Instruction Set

Table 3. Instruction Opcodes in Hexidecimal Order

Hex Code	Number of Bytes	Mnemonic	Operands	Hex Code	Number of Bytes	Mnemonic	Operands
00	1	NOP		33	1	RLC	A
01	2	AJMP	code addr	34	2	ADDC	A,#data
02	3	LJMP	code addr	35	2	ADDC	A,data addr
03	1	RR	A	36	1	ADDC	A,@R0
04	1	INC	A	37	1	ADDC	A,@R1
05	2	INC	data addr	38	1	ADDC	A,R0
06	1	INC	@R0	39	1	ADDC	A,R1
07	1	INC	@R1	3A	1	ADDC	A,R2
08	1	INC	R0	3B	1	ADDC	A,R3
09	1	INC	R1	3C	1	ADDC	A,R4
0A	1	INC	R2	3D	1	ADDC	A,R5
0B	1	INC	R3	3E	1	ADDC	A,R6
0C	1	INC	R4	3F	1	ADDC	A,R7
0D	1	INC	R5	40	2	JC	code addr
0E	1	INC	R6	41	2	AJMP	code addr
0F	1	INC	R7	42	2	ORL	data addr,A
10	3	JBC	bit addr, code addr	43	3	ORL	data addr,#data
11	2	ACALL	code addr	44	2	ORL	A,#data
12	3	LCALL	code addr	45	2	ORL	A,data addr
13	1	RRC	A	46	1	ORL	A,@R0
14	1	DEC	A	47	1	ORL	A,@R1
15	2	DEC	data addr	48	1	ORL	A,R0
16	1	DEC	@R0	49	1	ORL	A,R1
17	1	DEC	@R1	4A	1	ORL	A,R2
18	1	DEC	R0	4B	1	ORL	A,R3
19	1	DEC	R1	4C	1	ORL	A,R4
1A	1	DEC	R2	4D	1	ORL	A,R5
1B	1	DEC	R3	4E	1	ORL	A,R6
1C	1	DEC	R4	4F	1	ORL	A,R7
1D	1	DEC	R5	50	2	JNC	code addr
1E	1	DEC	R6	51	2	ACALL	code addr
1F	1	DEC	R7	52	2	ANL	data addr,A
20	3	JB	bit addr, code addr	53	3	ANL	data addr,#data
21	2	AJMP	code addr	54	2	ANL	A,#data
22	1	RET		55	2	ANL	A,data addr
23	1	RL	A	56	1	ANL	A,@R0
24	2	ADD	A,#data	57	1	ANL	A,@R1
25	2	ADD	A,data addr	58	1	ANL	A,R0
26	1	ADD	A,@R0	59	1	ANL	A,R1
27	1	ADD	A,@R1	5A	1	ANL	A,R2
28	1	ADD	A,R0	5B	1	ANL	A,R3
29	1	ADD	A,R1	5C	1	ANL	A,R4
2A	1	ADD	A,R2	5D	1	ANL	A,R5
2B	1	ADD	A,R3	5E	1	ANL	A,R6
2C	1	ADD	A,R4	5F	1	ANL	A,R7
2D	1	ADD	A,R5	60	2	JZ	code addr
2E	1	ADD	A,R6	61	2	AJMP	code addr
2F	1	ADD	A,R7	62	2	XRL	data addr,A
30	3	JNB	bit addr, code addr	63	3	XRL	data addr,#data
31	2	ACALL	code addr	64	2	XRL	A,#data
32	1	RETI		65	2	XRL	A,data addr



80C51BH/80C51BH-2

80C31BH/80C31BH-2

ADVANCE INFORMATION

Table 3. Instruction Opcodes in Hexadecimal Order (Continued)

Hex Code	Number of Bytes	Mnemonic	Operands
66	1	XRL	A,@R0
67	1	XRL	A,@R1
68	1	XRL	A,R0
69	1	XRL	A,R1
6A	1	XRL	A,R2
6B	1	XRL	A,R3
6C	1	XRL	A,R4
6D	1	XRL	A,R5
6E	1	XRL	A,R6
6F	1	XRL	A,R7
70	2	JNZ	code addr
71	2	ACALL	code addr
72	2	ORL	C,bit addr
73	1	JMP	@A+DPTR
74	2	MOV	A,#data
75	3	MOV	data addr,#data
76	2	MOV	@R0,#data
77	2	MOV	@R1,#data
78	2	MOV	R0,#data
79	2	MOV	R1,#data
7A	2	MOV	R2,#data
7B	2	MOV	R3,#data
7C	2	MOV	R4,#data
7D	2	MOV	R5,#data
7E	2	MOV	R6,#data
7F	2	MOV	R7,#data
80	2	SJMP	code addr
81	2	AJMP	code addr
82	2	ANL	C,bit addr
83	1	MOVC	A,@A+PC
84	1	DIV	AB
85	3	MOV	data addr, data addr
86	2	MOV	data addr,@R0
87	2	MOV	data addr,@R1
88	2	MOV	data addr,R0
89	2	MOV	data addr,R1
8A	2	MOV	data addr,R2
8B	2	MOV	data addr,R3
8C	2	MOV	data addr,R4
8D	2	MOV	data addr,R5
8E	2	MOV	data addr,R6
8F	2	MOV	data addr,R7
90	3	MOV	DPTR,#data
91	2	ACALL	code addr
92	2	MOV	bit addr,C
93	1	MOVC	A,@A+DPTR
94	2	SUBB	A,#data
95	2	SUBB	A, data addr
96	1	SUBB	A,@R0
97	1	SUBB	A,@R1
98	1	SUBB	A,R0
99	1	SUBB	A,R1
9A	1	SUBB	A,R2
9B	1	SUBB	A,R3
9C	1	SUBB	A,R4
9D	1	SUBB	A,R5
9E	1	SUBB	A,R6
9F	1	SUBB	A,R7
A0	2	ORL	C,bit addr
A1	2	AJMP	code addr
A2	2	MOV	C,bit addr
A3	1	INC	DPTR
A4	1	MUL	AB
A5		reserved	
A6	2	MOV	@R0, data addr
A7	2	MOV	@R1, data addr
A8	2	MOV	R0, data addr
A9	2	MOV	R1, data addr
AA	2	MOV	R2, data addr
AB	2	MOV	R3, data addr
AC	2	MOV	R4, data addr
AD	2	MOV	R5, data addr
AE	2	MOV	R6, data addr
AF	2	MOV	R7, data addr
B0	2	ANI	C, bit addr
B1	2	ACALL	code addr
B2	2	CPL	bit addr
B3	1	CPL	C
B4	3	CJNE	A,#data, code addr
B5	3	CJNE	A, data addr, code addr
B6	3	CJNE	@R0,#data, code addr
B7	3	CJNE	@R1,#data, code addr
B8	3	CJNE	R0,#data, code addr
B9	3	CJNE	R1,#data, code addr
BA	3	CJNE	R2,#data, code addr
BB	3	CJNE	R3,#data, code addr
BC	3	CJNE	R4,#data, code addr
BD	3	CJNE	R5,#data, code addr
BE	3	CJNE	R6,#data, code addr
BF	3	CJNE	R7,#data, code addr
C0	2	PUSH	data addr
C1	2	AJMP	code addr
C2	2	CLR	bit addr
C3	1	CLR	C
C4	1	SWAP	A
C5	2	XCH	A, data addr
C6	1	XCH	A,@R0
C7	1	XCH	A,@R1
C8	1	XCH	A,R0
C9	1	XCH	A,R1
CA	1	XCH	A,R2
CB	1	XCH	A,R3



80C51BH/80C51BH-2
80C31BH/80C31BH-2

ADVANCED INFORMATION

Table 3. Instruction Opcodes in Hexidecimal Order (Continued)

Hex Code	Number of Bytes	Mnemonic	Operands
CC	1	XCH	A,R4
CD	1	XCH	A,R5
CE	1	XCH	A,R6
CF	1	XCH	A,R7
D0	2	POP	data addr.
D1	2	ACALL	code addr.
D2	2	SETB	bit addr.
D3	1	SETB	C
D4	1	DA	A
D5	3	DJNZ	data addr., code addr.
D6	1	XCHD	A,@R0
D7	1	XCHD	A,@R1
D8	2	DJNZ	R0, code addr.
D9	2	DJNZ	R1, code addr.
DA	2	DJNZ	R2, code addr.
DB	2	DJNZ	R3, code addr.
DC	2	DJNZ	R4, code addr.
DD	2	DJNZ	R5, code addr.
DE	2	DJNZ	R6, code addr.
DF	2	DJNZ	R7, code addr.
E0	1	MOVX	A,@DPTR
E1	2	AJMP	code addr.
E2	1	MOVX	A,@R0
E3	1	MOVX	A,@R1
E4	1	CLR	A
E5	2	MOV	A, data addr.

Hex Code	Number of Bytes	Mnemonic	Operands
E6	1	MOV	A,@R0
E7	1	MOV	A,@R1
E8	1	MOV	A,R0
E9	1	MOV	A,R1
EA	1	MOV	A,R2
EB	1	MOV	A,R3
EC	1	MOV	A,R4
ED	1	MOV	A,R5
EE	1	MOV	A,R6
EF	1	MOV	A,R7
F0	1	MOVX	@DPTR,A
F1	2	ACALL	code addr.
F2	1	MOVX	@R0,A
F3	1	MOVX	@R1,A
F4	1	CPL	A
F5	2	MOV	data addr., A
F6	1	MOV	@R0,A
F7	1	MOV	@R1,A
F8	1	MOV	R0,A
F9	1	MOV	R1,A
FA	1	MOV	R2,A
FB	1	MOV	R3,A
FC	1	MOV	R4,A
FD	1	MOV	R5,A
FE	1	MOV	R6,A
FF	1	MOV	R7,A

ADC0802-ADC0804



ADC0802 - ADC0804 8-Bit μ P-Compatible A/D Converters

GENERAL DESCRIPTION

The ADC0802 family are CMOS 8-bit successive approximation A/D converters which use a modified potentiometric ladder, and are designed to operate with the 8080A control bus via three-state outputs. These converters appear to the processor as memory locations or I/O ports, and hence no interfacing logic is required.

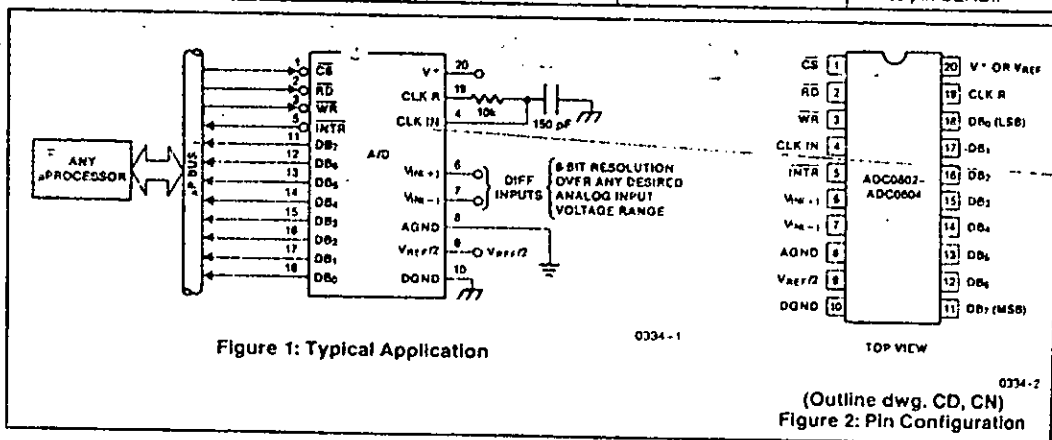
The differential analog voltage input has good common-mode-rejection, and permits offsetting the analog zero-input-voltage value. In addition, the voltage reference input can be adjusted to allow encoding any smaller analog voltage span to the full 8 bits of resolution.

FEATURES

- 80C48 and 80C80/85 Bus Compatible — No Interfacing Logic Required
- Conversion Time < 100 μ s
- Easy Interface to Most Microprocessors
- Will Operate in a "Stand Alone" Mode
- Differential Analog Voltage Inputs
- Works With Bandgap Voltage References
- TTL Compatible Inputs and Outputs
- On-Chip Clock Generator
- 0V to 5V Analog Voltage Input Range (Single +5V Supply)
- No Zero-Adjust Required

ORDERING INFORMATION

Part Number	Error	External Conditions	Temperature Range	Package
ADC0802LCN ADC0802LCD ADC0802LD ADC0802LD/HR	$\pm 1/2$ bit $\pm 3/4$ bit ± 1 bit ± 1 bit	$V_{REF}/2 = 2.500 V_{DC}$ (No Adjustments)	0°C to +70°C -40°C to +85°C -55°C to +125°C -55°C to +125°C	20 pin Plastic DIP 20 pin Cerdip 20 pin Cerdip 20 pin Cerdip
ADC0803LCN ADC0803LCD ADC0803LD	$\pm 1/2$ bit $\pm 3/4$ bit ± 1 bit	$V_{REF}/2$ Adjusted for Correct Full-Scale Reading	0°C to +70°C -40°C to +85°C -55°C to +125°C	20 pin Plastic DIP 20 pin Cerdip 20 pin Cerdip
ADC0804LCN ADC0804LCD	± 1 bit ± 1 bit	$V_{REF}/2 = 2.500 V_{DC}$ (No Adjustments)	0°C to +70°C -40°C to +85°C	20 pin Plastic DIP 20 pin Cerdip



HARRIS SEMICONDUCTOR'S SOLE AND EXCLUSIVE WARRANTY OBLIGATION WITH RESPECT TO THIS PRODUCT SHALL BE THAT STATED IN THE WARRANTY ARTICLE OF THE CONDITIONS OF SALE. THE WARRANTY SHALL BE EXCLUSIVE AND SHALL BE IN LIEU OF ALL OTHER WARRANTIES, EXPRESS, IMPLIED OR STATUTORY, INCLUDING THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR USE.

NOTE: All typical values have been characterized but are not tested.

ADC0802-ADC0804

ADC0802-ADC0804

ABSOLUTE MAXIMUM RATINGS

Supply Voltage	6.5V
Voltage at Any Input	-0.3V to (V ⁺ + 0.3V)
Storage Temperature Range	-65°C to +150°C
Package Dissipation at T _A = +25°C	875mW
Lead Temperature (Soldering, 10sec)	300°C

OPERATING RATINGS

Temperature Range	-55°C to +125°C
ADC0802/03LD	-55°C to +125°C
ADC0802/03/04LCD	-40°C to +85°C
ADC0802/03/04LCN	0°C to +70°C
Supply Voltage Range	4.5V to 6.3V

NOTE: Stresses above those listed under "Absolute Maximum Ratings" may cause permanent damage to the device. These are stress ratings only and functional operation of the device at these or any other conditions above those indicated in the operational sections of the specifications is not implied. Exposure to absolute maximum rating conditions for extended periods may affect device reliability.

ELECTRICAL CHARACTERISTICS (Notes 1 and 7)

Converter Specifications: V⁺ = 5V, T_A = +25°C and f_{CLK} = 640kHz unless otherwise stated.

Parameter	Test Conditions	Min	Typ	Max	Unit
ADC0802: Total Unadjusted Error	V _{REF/2} = 2.500V			± 1/2	LSB
ADC0803: Total Adjusted Error	V _{REF/2} Adjusted for Correct Full-Scale Reading			± 1/2	LSB
ADC0804: Total Unadjusted Error	V _{REF/2} = 2.500V			± 1	LSB
V _{REF/2} Input Resistance	Input Resistance at Pin 9	1.0	1.3		kΩ
Analog Input Voltage Range	(Note 2)	GND - 0.05		V ⁺ + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range		± 1/16	± 1/8	LSB
Power Supply Sensitivity	V ⁺ = 5V ± 10% Over Allowed Input Voltage Range		± 1/16	± 1/8	LSB

Converter Specifications: V⁺ = 5V, 0°C ≤ T_A ≤ +70°C and f_{CLK} = 640 kHz unless otherwise stated.

Parameter	Test Conditions	Min	Typ	Max	Unit
ADC0802: Total Unadjusted Error	V _{REF/2} = 2.500V			± 1/2	LSB
ADC0803: Total Adjusted Error	V _{REF/2} Adjusted for Correct Full-Scale Reading			± 1/2	LSB
ADC0804: Total Unadjusted Error	V _{REF/2} = 2.500V			± 1	LSB
V _{REF/2} Input Resistance	Input Resistance at Pin 9	1.0	1.3		kΩ
Analog Input Voltage Range	(Note 2)	GND - 0.05		V ⁺ + 0.05	V
DC Common-Mode Rejection	Over Analog Input Voltage Range		± 1/16	± 1/8	LSB
Power Supply Sensitivity	V ⁺ = 5V ± 10% Over Allowed Input Voltage Range		± 1/16	± 1/8	LSB

NOTE: All typical values have been characterized but are not tested

ADC0802-ADC0804

ADC0802-ADC0804

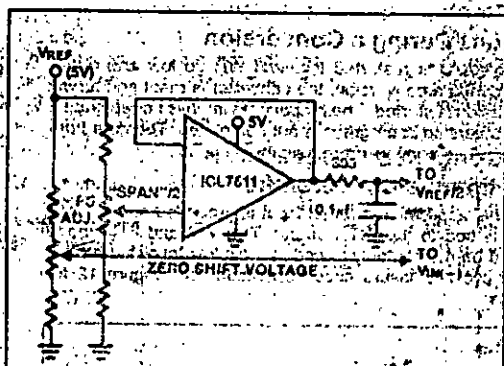


Figure 8: Offsetting the Zero of the ADC0802 and Performing an Input Range (Span) Adjustment

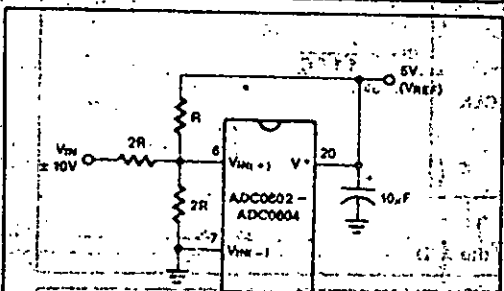


Figure 9: Handling ±10V Analog Input Range

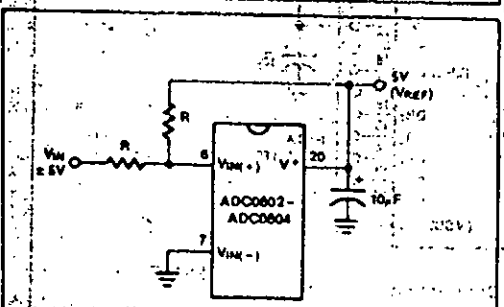


Figure 10: Handling ±5V Analog Input Range

Reference Accuracy Requirements

The converter can be operated in a pseudo-ratiometric mode or an absolute mode. In ratiometric converter applications, the magnitude of the reference voltage is a factor in both the output of the source transducer and the output of the A/D converter and therefore cancels out in the final

NOTE: All typical values have been characterized but are not tested.

digital output code. In absolute conversion applications, both the initial value and the temperature stability of the reference voltage are important accuracy factors in the operation of the A/D converter. For $V_{REF}/2$ voltages of 2.5V nominal value, initial errors of $\pm 10mV$ will cause conversion errors of $\pm 1LSB$ due to the gain of 2 of the $V_{REF}/2$ input. In reduced span applications, the initial value and the stability of the $V_{REF}/2$ input voltage become even more important. For example, if the span is reduced to 2.5V, the analog input LSB voltage value is correspondingly reduced from 20mV (5V span) to 10mV and 1LSB at the $V_{REF}/2$ input becomes 5mV. As can be seen, this reduces the allowed initial tolerance of the reference voltage and requires correspondingly less absolute change with temperature variations. Note that spans smaller than 2.5V place even lighter requirements on the initial accuracy and stability of the reference source.

In general, the reference voltage will require an initial adjustment. Errors due to an improper value of reference voltage appear as full-scale errors in the A/D transfer function. IC voltage regulators may be used for references if the ambient temperature changes are not excessive.

Zero Error

The zero of the A/D does not require adjustment. If the minimum analog input voltage value, $V_{IN(MIN)}$, is not ground, a zero offset can be done. The converter can be made to output 0000 0000 digital code for this minimum input voltage by biasing the A/D $V_{IN(-)}$ input at this $V_{IN(MIN)}$ value (see Applications section). This utilizes the differential mode operation of the A/D.

The zero error of the A/D converter relates to the location of the first riser of the transfer function and can be measured by grounding the $V_{IN(-)}$ input and applying a small magnitude positive voltage to the $V_{IN(+)}$ input. Zero error is the difference between the actual DC input voltage which is necessary to just cause an output digital code transition from 0000 0000 to 0000 0001 and the ideal $1/2$ LSB value. ($1/2$ LSB = 9.8mV for $V_{REF}/2 = 2.500V$).

Full-Scale Adjust

The full-scale adjustment can be made by applying a differential input voltage which is $1/2$ LSB down from the desired analog full-scale voltage range and then adjusting the magnitude of the $V_{REF}/2$ input (pin 9) for a digital output code which is just changing from 1111 1110 to 1111 1111. When offsetting the zero and using a span-adjusted $V_{REF}/2$ voltage, the full-scale adjustment is made by inputting V_{MIN} to the $V_{IN(-)}$ input of the A/D and applying a voltage to the $V_{IN(+)}$ input which is given by:

$$V_{IN(+)}[fsadj] = V_{MAX} - 1.5 \left[\frac{V_{MAX} - V_{MIN}}{256} \right]$$

where:

V_{MAX} = the high end of the analog input range and

V_{MIN} = the low end (the offset zero) of the analog range. (Both are ground referenced.)

4051B

8-CHANNEL ANALOG MULTIPLEXER/DEMULTIPLEXER

DESCRIPTION – The 4051B is an 8-Channel Analog Multiplexer/Demultiplexer with three Address inputs (A_0 – A_2), an active LOW Enable Input (\bar{E}), eight Independent Inputs/Outputs (Y_0 – Y_7) and a Common Input/Output (Z).

The 4051B contains eight bidirectional analog switches, each with one side connected to an Independent Input/Output (Y_0 – Y_7) and the other side connected to a Common Input/Output (Z). With the Enable Input (E) LOW, one of the eight switches is selected (low impedance, ON state) by the three Address Inputs (A_0 – A_2). With the Enable Input (\bar{E}) HIGH, all switches are in the high impedance OFF state, independent of the Address Inputs.

V_{DD} and V_{SS} are the two supply voltage connections for the digital control inputs (A_0 – A_2 , \bar{E}). Their voltage limits are the same as for all other digital CMOS. The analog inputs/outputs (Y_0 – Y_7 , Z) can swing between V_{DD} as a positive limit and V_{EE} as a negative limit. V_{DD} – V_{EE} may not exceed 15 V. For operation as a digital multiplexer/demultiplexer, V_{EE} is connected to V_{SS} (typically ground).

- ANALOG OR DIGITAL MULTIPLEXER/DEMULTIPLEXER
- COMMON ENABLE INPUT (ACTIVE LOW)

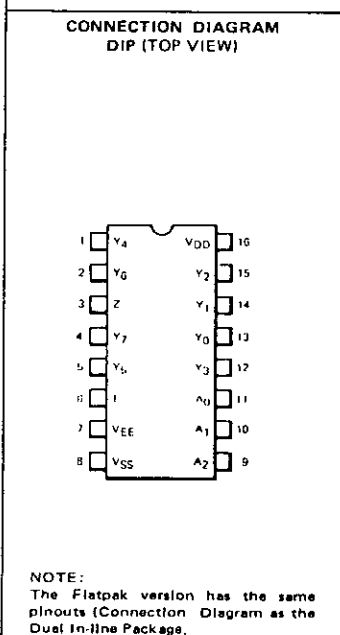
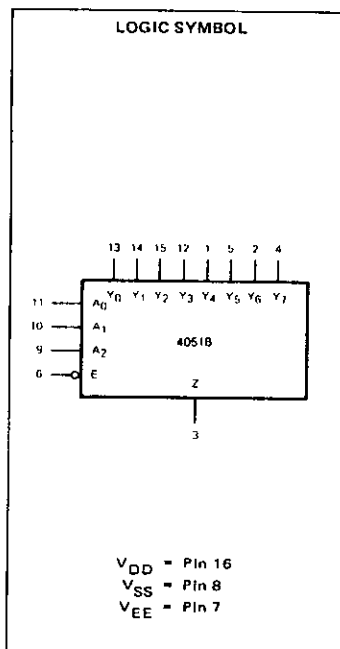
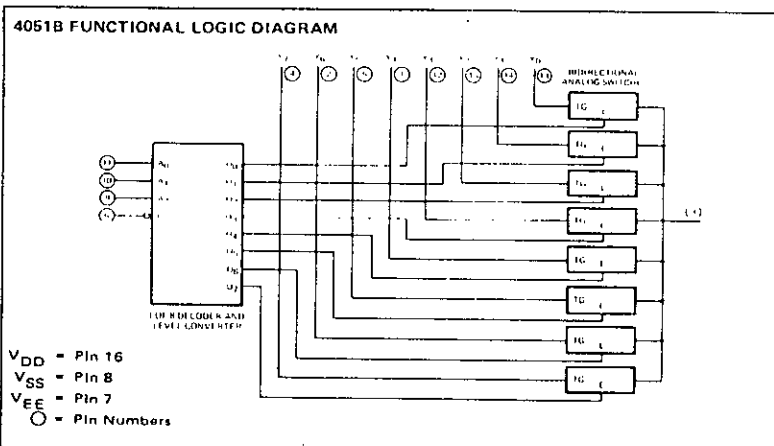
PIN NAMES

Y_0 – Y_7 Independent Inputs/Outputs
 A_0 – A_2 Address Inputs
 \bar{E} Enable Input (Active LOW)
 Z Common Input/Output

TRUTH TABLE

INPUTS				CHANNELS							
\bar{E}	A_2	A_1	A_0	Y_0 –Z	Y_1 –Z	Y_2 –Z	Y_3 –Z	Y_4 –Z	Y_5 –Z	Y_6 –Z	Y_7 –Z
L	L	L	L	ON	OFF	OFF	OFF	OFF	OFF	OFF	OFF
L	L	L	H	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
L	L	H	L	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF
L	L	H	H	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF
L	H	L	L	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF
L	H	L	H	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF
L	H	H	L	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF
L	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON
H	X	X	X	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF

L = LOW Level
 H = HIGH Level
 X = Don't Care





J-FET SAMPLE AND HOLD CIRCUITS

The LF198, LF298, LF398 are monolithic sample and hold circuits which utilize J-FET technology to obtain ultra high dc accuracy with fast acquisition of signal and low drop rate. Operating as a unity gain follower, dc gain accuracy is 500ppm typical and acquisition time is as low as 6 μ s to 0.01%. A bipolar input stage is used to achieve low offset voltage and wide bandwidth. Input offset adjust is accomplished with a single pot and does not degrade input offset drift. The wide bandwidth allows the LF198 to be included inside the feedback loop of 1 MHz operational amplifiers without having stability problems. Input impedance of $10^{10} \Omega$ allows high source impedances to be used without degrading accuracy.

- Operates from ± 15 V to ± 18 V supplies
- Less than 10 μ s acquisition time
- TTL, CMOS, CMOS compatible logic input
- 0.5 mV typical hold step at $C_H = 0.01 \mu$ F
- Low input offset
- 0.002% gain accuracy
- Low output noise in hold mode
- High supply rejection ratio in sample or hold
- Wide bandwidth

J-FET SAMPLE AND HOLD CIRCUITS

CASES

CB-98



DP SUFFIX
PLASTIC PACKAGE

CB-11



H SUFFIX
METAL CAN

ORDERING INFORMATION

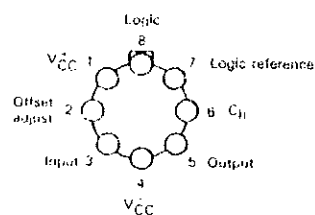
10 Pin versions available. See Chapter 14

PART NUMBER	TEMPERATURE RANGE	PACKAGE	
		H	DP
LF198A	-55°C to $+125^{\circ}\text{C}$	•	
LF298	-20°C to $+85^{\circ}\text{C}$	•	
LF398A	0°C to $+70^{\circ}\text{C}$	•	•

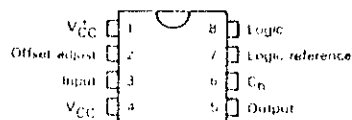
Examples: LF198H, LF398ADP

PIN ASSIGNMENT
(Top views)

CB-11



CB-98



THOMSON SEMICONDUCTORS
Sales headquarters
45, rue de l'Industrie - 91120 VILLEY - FRANCE
Tel.: 01 39 46 97 19 / Telex: 204700 F

667



LOGIC DIVISION

JANUARY 1987

DECODERS/DEMULTIPLEXERS

54/74LS138, S138

1-Of-8 Decoder/Demultiplexer

- Demultiplexing capability
- Multiple input enable for easy expansion
- Ideal for memory chip select decoding
- Direct replacement for Intel 3205

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (Total)
74LS138	20ns	6.3mA
74S138	7ns	49mA

DESCRIPTION

The '138 decoder accepts three binary weighted inputs (A_0, A_1, A_2) and when enabled, provides eight mutually exclusive, active LOW outputs (0-7). The device features three Enable inputs: two active LOW (\bar{E}_1, \bar{E}_2) and one active HIGH (E_3). Every output will be HIGH unless \bar{E}_1 and \bar{E}_2 are LOW and E_3 is HIGH. This multiple enable function allows easy parallel expansion of the device to a 1-of-32 (5 lines to 32 lines) decoder with just four '138s and one inverter.

The device can be used as an eight output demultiplexer by using one of the active LOW Enable inputs as the Data Input and the remaining Enable inputs as strobes. Enable inputs not used must be permanently tied to their appropriate active HIGH or active LOW state.

ORDERING CODE

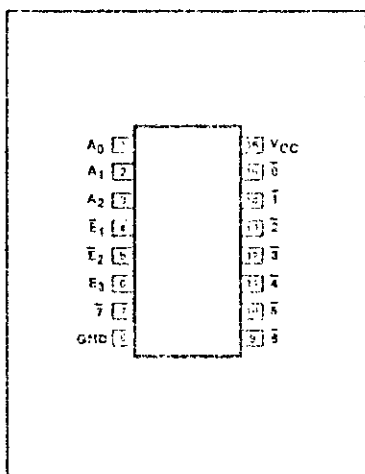
PACKAGES	COMMERCIAL RANGES	MILITARY RANGES
	$V_{CC} = 5V \pm 5\%; T_A = 0^\circ C \text{ to } +70^\circ C$	$V_{CC} = 5V \pm 10\%; T_A = -55^\circ C \text{ to } +125^\circ C$
Plastic DIP	N74S138N • N74LS138N	
Ceramic DIP	N74S138F • N74LS138F	S54S138F • S54LS133F
Flatpack		S54S138W • S54LS136W

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

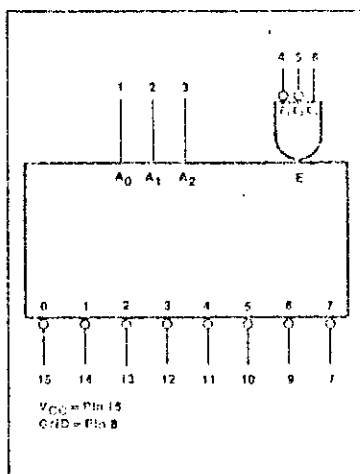
PINS	DESCRIPTION	54/74S	54/74LS
All	Inputs	15ul	11.5ul
All	Outputs	10Sul	10LSul

NOTE
Where a 54/74S unit load (Sul) is 50µA I_{IH} and -2.0mA I_{OL} , and a 54/74LS unit load (LSul) is 20µA I_{IH} and -0.4mA I_{OL} .

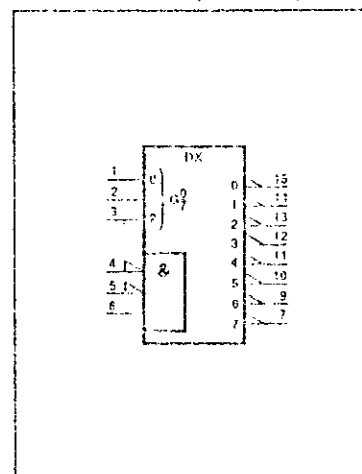
PIN CONFIGURATION



LOGIC SYMBOL



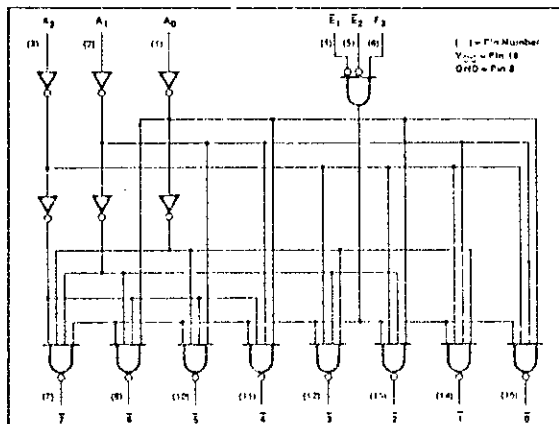
LOGIC SYMBOL (IEEE/IEC)



DECODERS/DEMULTIPLEXERS

54/74LS138, 54138

LOGIC DIAGRAM



FUNCTION TABLE

INPUTS						OUTPUTS							
E ₁	E ₂	E ₃	A ₂	A ₁	A ₀	0	1	2	3	4	5	6	7
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	L	H	H	L	L	L	H	H	H	H	H	H
L	L	L	L	H	H	L	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	L	H	H	H
L	L	L	L	L	L	H	H	H	H	H	H	L	H
L	L	L	L	L	H	H	H	H	H	H	H	H	L
L	L	L	L	L	H	H	H	H	H	H	H	H	H

NOTES
 H = HIGH voltage level
 L = LOW voltage level
 X = Don't care

ABSOLUTE MAXIMUM RATINGS (Over operating free-air temperature range unless otherwise noted.)

PARAMETER	54LS	54S	74LS	74S	UNIT
V _{CC} Supply voltage	7.0	7.0	7.0	7.0	V
V _{IN} Input voltage	-0.5 to +7.0	-0.5 to +5.5	-0.5 to +7.0	-0.5 to +5.5	V
I _{IN} Input current	-30 to +1	-30 to +5	-30 to +1	-30 to +5	mA
V _{OUT} Voltage applied to output in HIGH output state	-0.5 to +V _{CC}	-0.5 to +V _{CC}	-0.5 to +V _{CC}	-0.5 to +V _{CC}	V
T _A Operating free-air temperature range	-55 to +125		0 to 70		°C

RECOMMENDED OPERATING CONDITIONS

PARAMETER		54/74LS			54/74S			UNIT
		Min	Nom	Max	Min	Nom	Max	
V _{CC} Supply voltage	Min	4.5	5.0	5.5	4.5	5.0	5.5	V
	Com'l	4.75	5.0	5.25	4.75	5.0	5.25	V
V _{OH} HIGH-level input voltage		2.0			2.0			V
V _{IL} LOW-level input voltage	Min			+0.7			+0.8	V
	Com'l			+0.8			+0.8	V
I _{IK} Input clamp current				-16			-13	mA
I _{OH} HIGH-level output current				-400			-1000	µA
I _{OL} LOW-level output current	Min			4			20	mA
	Com'l			8			20	mA
T _A Operating free-air temperature	Min	-55		+125	-55		+125	°C
	Com'l	0		70	0		70	°C

NOTE
 V_{IL} = +0.7V MAX for 54S at T_A = +125°C only.

LOGIC DIVISION

DATE: 11/82

TRANSCEIVER

54/74LS245

Octal Transceiver (3-State)

- Octal bidirectional bus interface
- 3-State buffer outputs
- PNP inputs for reduced loading
- Hysteresis on all Data Inputs

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (Total)
74LS245	8ns	58mA

DESCRIPTION

The 74LS245 is an octal transceiver featuring non-inverting 3-State bus compatible outputs in both send and receive directions. The outputs are all capable of sinking 24mA and sourcing up to 15mA, producing very good capacitive drive characteristics. The device features a Chip Enable (CE) input for easy cascading and a Send/Receive (S/R) input for direction control. All Data Inputs have hysteresis built in to minimize ac noise effects.

ORDERING CODE

PACKAGES	COMMERCIAL RANGES V _{CC} = 5V ± 5%; T _A = 0°C to +70°C	MILITARY RANGES V _{CC} = 5V ± 10%; T _A = -66°C to +125°C
Plastic DIP	N74LS245N	
Ceramic DIP	N74LS245F	S54LS245F

FUNCTION TABLE

INPUTS		INPUTS/OUTPUTS	
CE	S/R	A _n	B _n
L	L	A = B	INPUTS
L	H	INPUT	B = A
H	X	(Z)	(Z)

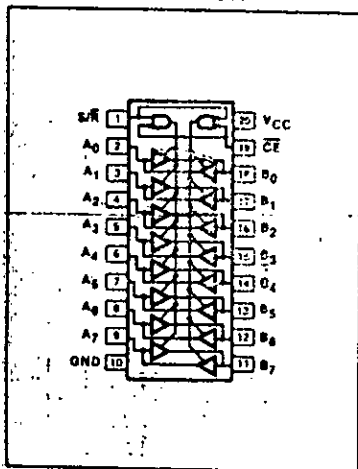
H = HIGH voltage level
L = LOW voltage level
X = Don't care
(Z) = HIGH impedance "off" state

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

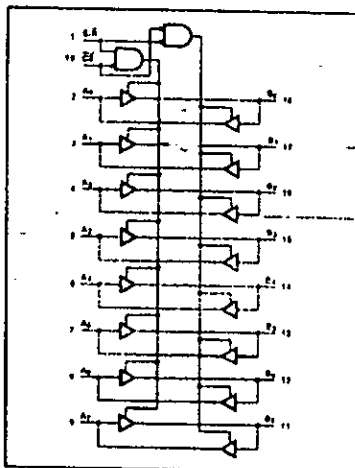
PINS	DESCRIPTION	54/74LS
All	Inputs	1LSul
All	Outputs	30LSul

NOTE
A 54/74LS unit load (LSul) is 20µA I_{ih} and -0.4mA I_{il}.

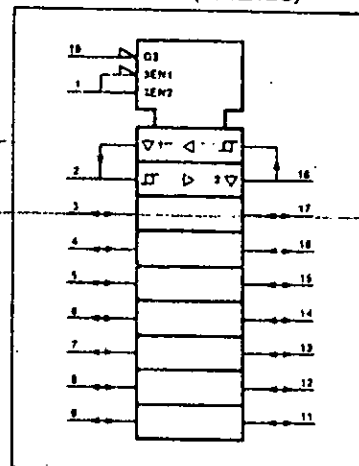
PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)



Signetics

3-383

3

BUFFERS

54/74LS244, S244

Octal Buffers (3-State)

TYPE	TYPICAL PROPAGATION DELAY	TYPICAL SUPPLY CURRENT (Total)
74LS244	12ns	25mA
74S244	6ns	112mA

ORDERING CODE

PACKAGES	COMMERCIAL RANGES	MILITARY RANGES
	$V_{CC} = 5V \pm 5\%$; $T_A = 0^\circ C$ to $+70^\circ C$	$V_{CC} = 5V \pm 10\%$; $T_A = -55^\circ C$ to $+125^\circ C$
Plastic DIP	N74LS244N • N74S244N	
Ceramic DIP	74LS244F • N74S244F	S54LS244F • S54S244F

3

FUNCTION TABLE

INPUTS				OUTPUTS	
OE_a	I_a	OE_b	I_b	Y_a	Y_b
L	L	L	L	L	L
L	H	L	H	H	H
H	X	H	X	(Z)	(Z)

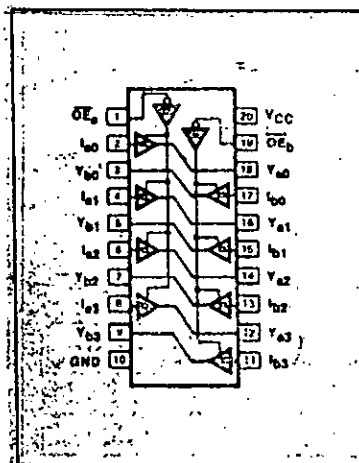
H = HIGH voltage level
 L = LOW voltage level
 X = Don't care
 (Z) = HIGH impedance (off) state

INPUT AND OUTPUT LOADING AND FAN-OUT TABLE

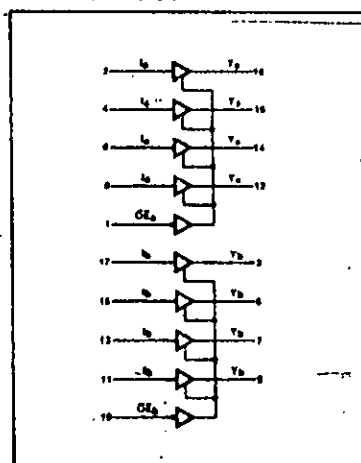
PINS	DESCRIPTION	54/74S	5474LS
All	Inputs	1Sul	1LSul
All	Outputs	24Sul	30LSul

NOTE
 A 5474S unit load (Sul) is 60µA I_{IH} and -20mA I_{IL} , and a 5474LS unit load (LSul) is 20µA I_{IH} and -0.4mA I_{IL} .

PIN CONFIGURATION



LOGIC SYMBOL



LOGIC SYMBOL (IEEE/IEC)

