

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE  
SCIENTIFIQUE



ECOLE NATIONALE POLYTECHNIQUE  
Département d'Électronique

*Projet de fin d'études en vue de l'obtention du Diplôme  
d'Ingénieur d'État en Électronique*

**Thème**

Évaluation de Mémoires Flash Haute  
Densité à Haute Température

*Proposé et dirigé par :*

**Pr. L.HAMAMI (ENP)**

**V.SHITIKOV (SRPC)**

*Réalisé par*

**BOUDOUR Sarah**

**Schlumberger**



# DEDICACES

*A ma très chère mère, qui m'a beaucoup soutenue et  
encouragée tout  
au long de mon parcours, pour ses sacrifices et son amour  
Que dieu me la garde*

*A mon défunt père  
A mes deux frères : Amir et Samir*

*A ma promotrice : Pr.L.HAMAMI*

*A tous ceux qui ont su croire en moi  
A tous ceux qui me sont chers*

*Je dédie ce modeste travail.*

# Remerciements

*Je tiens à exprimer ma gratitude aux deux responsables M.L.Garando et M.S.Baraket pour m'avoir accueilli au sein du Groupe TECHNO de RSPC et pour m'avoir permis d'intégrer une équipe aussi sympathique et pédagogue.*

*Je remercie également M.V.Shitikov pour m'avoir encadré lors de ce projet. Ses conseils avisés, pendant tout mon stage tant dans la partie pratique que théorique; ainsi que dans la vie en général m'ont été très précieux.*

*Je remercie le Professeur HAMAMI Latifa promotrice de ce projet, pour m'avoir permis d'effectuer ce stage, pour m'avoir encadrée et prodiguer ses précieux conseils tout au long de l'année. J'admire beaucoup sa passion pour son travail et l'attention qu'elle porte à ses étudiants.*

*Je tiens à remercier le Docteur Hicham Bousbia-Salah, Maître de Conférences à l'École Nationale Polytechnique d'Alger, d'avoir accepté d'être le président du jury de mon projet de fin d'études. Je le remercie également de s'être si bien occupé des « électroniciens » tout au long de mes trois années.*

*Je remercie également le Docteur Ait\_cheikh Salah, Maître de Conférences à l'École Nationale Polytechnique d'Alger, d'avoir accepté d'être membre du jury de mon projet de fin d'études. Je le remercie aussi pour ce qu'il m'a apporté en tant qu'enseignant.*

*Je remercie l'ensemble de mes enseignants de l'École Nationale Polytechnique d'Alger, qui m'ont permis d'acquérir assez de connaissances pour en être là aujourd'hui.*

*Je tiens aussi à exprimer toute ma reconnaissance et mes sincères remerciements à tout ceux qui ont contribué de près ou de loin à la réalisation de ce mémoire, et tout particulièrement : M.S.Chaumeny, M.A.Masyukov et M.D.Brakat.*

*Enfin, j'aimerais adresser mes plus fervents remerciements aux membres de ma famille, qui m'ont inculqué le goût du savoir et la valeur du travail bien fait.*



# Table des matières

<i>Liste des Figures</i> .....	<i>x</i>
<i>Liste des Tableaux</i> .....	<i>xii</i>
<i>Introduction Générale</i> .....	<i>xiv</i>
<b><i>Chapitre I :Présentation de l'Entreprise.....</i></b>	<b><i>17</i></b>
I.1.Introduction .....	17
I.2.Organisation et Segments .....	2
I.3.Recherche et Développement .....	4
I.4.Schlumberger Riboud Product Center (SRPC) .....	5
I.4.1.L'organisation du centre technologique SRPC .....	5
I.4.2.La mission du centre .....	6
I.4.3.Le Groupe Technologie électrique .....	7
<b><i>Chapitre II :L'Électronique Haute-Température et les Mécanismes de Défaillances</i> .....</b>	<b><i>9</i></b>
II.1.Effets de la température sur les composants électroniques.....	9
II.2.Les effets à court terme (La performance) : .....	9
II.2.1.La tension de seuil .....	9
II.2.2.La mobilité des porteurs de charge .....	10
II.2.3.Le courant de fuite .....	11
II.2.4.Temps de retard .....	11
II.2.5.Le latch-up .....	12
II.3.Les effets à long terme (Loi d'Arrhenius) .....	13
<b><i>Chapitre III :Les Mémoires.....</i></b>	<b><i>16</i></b>
III.1.Les spécifications du projet .....	16
III.2.Introduction .....	16
III.3.Classement des mémoires .....	17
III.4.Différents types de mémoires non volatiles.....	22
III.4.1.Les PROM .....	23
III.4.2.Les EPROM .....	23
III.4.3.Les EEPROM .....	23
III.4.4.Les Flash EEPROM .....	23
III.5.Principes de mémorisation utilisés .....	24

III.5.1.Mémoire EPROM .....	24
III.5.2.Mémoire EEPROM .....	26
III.5.3.Mémoire FEEPROM (Flash EEPROM) .....	26
III.5.3.1.Familles de mémoires Flash .....	27
III.5.3.1.1.La Flash NOR .....	27
III.5.3.1.2.La Flash NAND .....	27
III.5.3.2.SLC et MLC Flash .....	28
III.5.3.2.1.Single-Level Cell (SLC) Flash .....	28
III.5.3.2.2.Multi-Level Cell (MLC) Flash .....	29
III.6.Technologie et Finesse de gravure .....	31
III.7.Conclusion.....	32
<b>Chapitre IV :Plan de Travail et Choix des Composants.....</b>	<b>34</b>
IV.1.Plan de travail.....	34
IV.2.Sélection des mémoires flash.....	35
<b>Chapitre V :Étude de la Mémoire NAND FLASH HY27UF084G2B .....</b>	<b>41</b>
V.1.Description Sommaire de la Mémoire .....	41
V.2.Architecture .....	43
V.3.Configuration .....	44
V.4.Le fonctionnement .....	46
V.4.1.L'adressage .....	46
V.4.2.Les Opérations du Bus .....	47
V.4.2.1.Entrée de commande(command input) .....	47
V.4.2.2.Entrée d'adresses.(adresse input) .....	48
V.4.2.3.Entrée des données.(data input) .....	48
V.4.2.4.Sortie des données.(data output) .....	48
V.4.2.5.Protection contre l'écriture .(write protect) .....	48
V.4.2.6.Le mode en veille (standby) .....	49
V.4.3.Les Opérations Mémoire .....	49
V.4.3.1.Lecture d'une page .....	49
V.4.3.2.L'écriture d'une page .....	50
V.4.3.3.L'effacement d'un bloc .....	52
V.5.Conditions maximales tolérées .....	54
V.6.Gestion des Bad blocs .....	54
V.7.Résumé des caractéristiques .....	55
<b>Chapitre VI :Carte de Développement et Environnement de Programmation.....</b>	<b>57</b>
VI.1.Présentation de la carte de développement « Altera DE2 Board » .....	57
VI.1.1.Description .....	57
VI.1.2.Schéma et principaux éléments de la carte .....	58

VI.1.2.1.Cœur .....	58
VI.1.2.2.Mémoires .....	59
VI.1.2.3.Périphériques .....	59
VI.1.2.4.Entrée/Sortie3.....	59
VI.1.2.5.Interfaces .....	59
VI.1.2.6.Modules .....	59
VI.2.Le logiciel « Quartus II » .....	62
VI.2.1.Description .....	62
VI.2.2.La programmation JTAG .....	64
VI.3.Le protocole de communication entre l'ordinateur et l'FPGA .....	65
VI.4.Le dispositif du test .....	67
<b>Chapitre VII :La Programmation.....</b>	<b>72</b>
VII.1.Introduction .....	72
VII.2.Programmation des différentes entités .....	73
VII.2.1.L'interface de la mémoire(FLASH_IF) .....	73
VII.2.2.Le générateur de valeurs aléatoires (RANDGEN) .....	77
VII.2.3.Unité de transmission/réception série asynchrone .....	77
VII.2.3.1.Interface .....	78
VII.2.3.2.L'uart .....	78
VII.3.Conclusion .....	79
<b>Chapitre VIII :Évaluation de la Mémoire à Haute Température.....</b>	<b>81</b>
VIII.1.Méthode d'évaluation .....	81
VIII.1.1.Test de l'opération de lecture .....	81
VIII.1.2.Test de l'opération d'écriture .....	81
VIII.2.La procedure des tests .....	82
VIII.3.Les tests .....	83
VIII.3.1.Tests de fréquence .....	83
VIII.3.2.Tests en température .....	83
VIII.3.2.1.Premier test .....	83
VIII.3.2.1.1.Description et résultats .....	83
VIII.3.2.1.2.Interprétation .....	84
VIII.3.2.2.Résultats du test de l'opération d'écriture .....	85
VIII.3.2.3.Résultats du test de l'opération de lecture .....	86
VIII.3.2.4.Interprétations .....	87
VIII.4.Conclusion .....	90
<b>Conclusion et Perspectives.....</b>	<b>xciv</b>
<b>Références Bibliographiques.....</b>	<b>xcviii</b>



<b>ANNEXE A : STATUT ACTUEL DES MEMOIRES A HAUTE DENSITE POUR LES APPLICATIONS LWD.....</b>	<b>c</b>
<b>ANNEXE B : DETAILS SUR LA MEMOIRE HYNIX HY27UF084G2B.....</b>	<b>civ</b>
<b>ANNEXE C : DETAILS SUR LA CARTE D'EVALUATION « ALTERA DE2 BOARD ».....</b>	<b>cix</b>
<b>ANNEXE D : LES PROGRAMMES DE TEST EN VHDL .....</b>	<b>cxii</b>

# Liste des Figures

Figure I.1: Les GeoMarket de Schlumberger OFS .....	2
Figure I.2: Les Segments Schlumberger OFS .....	4
Figure I.3: Localisation des principaux centres de recherches et de développement .....	5
Figure I.4: Organisation du centre technologique SRPC .....	6
Figure I.5: Photographie du centre SRPC .....	7
Figure II.1: Variation de la tension de seuil avec la température .....	10
Figure II.2: Variation de la mobilité avec la température .....	10
Figure II.3: MOS Rdson en température .....	10
Figure II.4: Les courants de fuite .....	11
Figure II.5: Variation du courant de fuite avec la température .....	11
Figure II.6: Évolution du temps de retard avec la température .....	12
Figure II.7: Structure parasite provoquant un latch-up .....	12
Figure II.8: Évolution de la courbe d'âge d'un composant électronique en fonction de la température .....	13
Figure III.1: Organigramme de classement des mémoires .....	22
Figure III.2: Cellule EPROM .....	25
Figure III.3: Cellule EEPROM .....	26
Figure III.4: Structure des cellules NAND et NOR .....	28
Figure III.5: Référence de tension pour MLC .....	30
Figure III.6: Le pitch.....	31
Figure IV.1: Plan du projet .....	35
Figure V.1: Organisation d'une unité logique (LUN) .....	42
Figure V.2: Schéma fonctionnel de la NAND Flash Die (LUN) .....	44
Figure V.3: Position des signaux de commande et du signal R/B .....	46
Figure V.4: Opération de lecture d'une page .....	50
Figure V.5: Programmation d'une page dans un bloc .....	51
Figure V.6: Opération de programmation d'une page .....	52
Figure V.7: Opération d'effacement d'un bloc .....	53
Figure V.8: Résumé des commandes des opérations de la mémoire .....	53
Figure V.9: Conditions maximales tolérées .....	54
Figure V.10: Organigramme de gestion des Bad blocs .....	55
Figure VI.1: Carte de développement Altera DE2 .....	58
Figure VI.2: Schéma de placement de la carte d'évaluation Altera DE2 .....	60
Figure VI.3: Schématique de la puce MAX232 (RS-232) .....	61
Figure VI.4: Schéma d'une des têtes d'expansions .....	61
Figure VI.5: Étapes du processus typique d'une CAD .....	63
Figure VI.6: Fenêtre de travail du Logiciel Quartus II.....	64
Figure VI.7: Fenêtre de configuration du port .....	66
Figure VI.8: Fenêtre de commande .....	66
Figure VI.9: Fenêtre de travail du COM Port Toolkit .....	67
Figure VI.10: Schéma de principe des mesures en haute température .....	67

Figure VI.11: Photographie de la mémoire soudée sur le PCB.....	68
Figure VI.12: Photographie du dispositif complet lors d'un test.....	69
Figure VII.1: Schéma RTL de l'entité globale : TOP_HY27UF084G2B .....	72
Figure VII.2: Schéma simplifié de l'entité globale .....	73
Figure VII.3: Organigramme de l'opération d'effacement .....	74
Figure VII.4: Organigramme de l'opération d'écriture .....	75
Figure VII.5: Organigramme de l'opération de lecture .....	76
Figure VII.6: Schéma RTL de l'entité FLASH_IF .....	76
Figure VII.7: Organigramme de l'algorithme du générateur de valeurs aléatoires .....	77
Figure VII.8: Schéma RTL de l'entité UART_IF .....	78
Figure VII.9: Schéma RTL de l'entité UART .....	78
Figure VIII.1: Schéma du principe du test de l'opération de lecture .....	82
Figure VIII.2: Schéma du principe du test de l'opération d'écriture .....	82
Figure VIII.3: Procédure principale .....	82
Figure VIII.4: Procédure de vérification pour la lecture .....	82
Figure VIII.5: Procédure d'écriture.....	83
Figure VIII.6: Courbes des résultats de l'écriture; des différentes mémoires.....	85
Figure VIII.7: Nombre et distribution des Bad blocs des six mémoires.....	86
Figure VIII.8: Courbes des résultats de la lecture; des différentes mémoires.....	87
Figure VIII.9: Schéma du transistor FG MOSFET .....	88
Figure VIII.10: Tension seuil pour une grille flottante chargée .....	88
Figure VIII.11: Courbe représentative de la variation de la tension de seuil avec la température .....	90
Figure B.1: Marking informations.....	105
Figure B.2: Packaging informations.....	106
Figure B.3: Spécifications électriques du pin de sortie R/B.....	107
Figure C.1: La Carte Altera DE2.....	110

# Liste des Tableaux

Tableau III.1 : Classification des mémoires non-volatiles(1).....	18
Tableau III.2 : Classification des mémoires non-volatiles(2).....	19
Tableau III.3 : Classification des mémoires non-volatiles(3).....	20
Tableau III.4 : Classification des mémoires volatiles.....	21
Tableau III.5: Niveaux de la SLC [25].....	28
Tableau III.6: Référence de tension pour SLC [25].....	29
Tableau III.7: Niveaux de la MLC [25].....	29
Tableau IV.1: État de l'art des mémoires Flash SLC et MLC(1).....	36
Tableau IV.2: État de l'art des mémoires Flash SLC et MLC(2).....	37
Tableau IV.3: État de l'art des Flash SLC. ....	38
Tableau V.1: Nom des signaux et pins correspondants [22].....	44
Tableau V.2: Description des signaux de la HY27UF084G2B [22].....	45
Tableau V.3: Les cinq cycles d'adressage[22].....	46
Tableau VI.1: Affectation des broches du port RS-232[13].....	62
Tableau VIII.1: Comparaison entre nombre de Bad Blocs de deux mémoires et valeurs approximatives des temps d'effacement, d'écriture et de lecture.....	84
Tableau VIII.2: Échantillon d'erreurs lors de la lecture.....	86
Tableau VIII.3: Paramètres intervenant dans l'équation de la tension de seuil [46].....	89
Tableau B.1: Timing caractéristiques.....	108



# Introduction Générale

De nos jours le marché de l'électronique haute température est petit et est principalement dominé par l'industrie du "petroleum well-logging", étant une compagnie de services pétroliers, Schlumberger y déploie de gros moyens et spécialement dans le choix des technologies et des composants électroniques adéquats aux applications en ses milieux, aux conditions extrêmes.

Parmi les nombreux services fournis par Schlumberger, on cite le Logging-while-dilling (LWD service) où les outils élaborés sont chargés des mesures des conditions des puits et des caractéristiques de la formation rocheuse (résistivité,porosité,densité...).Les données recueillies sont alors transmises à la surface en temps réel et utilisées pour positionner l'outil dans le modèle géologique, mettre à jour ce modèle et avec précision, bien l'orienter vers les objectifs du réservoir.

Face à ce défi de télémétrie en temps réel dont la vitesse ne dépasse pas 12bit/s et le besoin continu de meilleures résolutions, la solution était alors de stocker une grande partie des informations dans les mémoires des outils au fond des puits et de récupérer ces données une fois l'outil à la surface.

La nécessité des mémoires flash à grandes densités trouve alors sa place,ce qui conduit vers l'objectif de ce projet, réalisé dans le plus grand centre de développement technologique de Schlumberger, qui consiste à évaluer et qualifier différentes technologies de ces mémoires susceptibles de fonctionner à haute température.

Avant d'exposer l'étape de l'évaluation de la mémoire sélectionnée après notre étude, à haute température et les résultats obtenus, ce rapport commencera dans le premier chapitre par une brève présentation de la compagnie, pour arriver plus précisément au groupe au sein

duquel j'ai effectué mon travail et aux domaines qu'il exerce.

Le second chapitre traitera des effets de la haute température sur les composants électroniques en général, ce qui permettra de mieux préciser l'axe de nos recherches et la procédure de nos tests.

Le troisième chapitre commencera par une mise au point des spécifications des mémoires requises par ce projet et déploiera par la suite l'étude des différentes mémoires existantes sur le marché, en abordant leurs types et en les classant selon certaines de leurs caractéristiques; pour aboutir au noyau de notre recherche qui est la mémoire non volatile flash, où une brève explication de son principe de mémorisation et de ses principaux types sera présentée ainsi qu'une comparaison de ses différentes technologies qui donnera les raisons du choix effectué.

Après avoir sélectionné le type de mémoire flash à étudier; restait le choix entre les différents fabricants et les caractéristiques qu'ils offraient et cela fera l'objet du quatrième chapitre. On y exposera aussi le plan de travail établi.

Le cinquième chapitre sera entièrement consacré à la mémoire Hynix, sa datasheet y sera totalement examinée afin d'établir un résumé de ses caractéristiques et d'utiliser toutes les fonctionnalités et méthodes de programmation qu'elle offre.

Le sixième et le septième chapitre regrouperont la partie de l'élaboration du dispositif des tests à effectuer de part l'étude du matériel utilisé; principalement la carte de développement mais aussi le programme de contrôle et de manipulation de la mémoire en VHDL

Le dernier chapitre présentera la partie pratique de l'évaluation à haute température de la mémoire, on y introduira les types de tests et la procédure à pratiquer. Ce même chapitre contiendra aussi les résultats et les interprétations du comportement de la mémoire lors de ces tests.





# Chapitre I : Présentation de l'Entreprise

Ce premier chapitre est consacré à la présentation de l'entreprise au sein de laquelle j'ai effectué mon stage; une vue générale de la compagnie de part son organisation et ses différents segments sera présentée, un accent sera porté sur ses installations de recherche et de développement dont fait partie SRPC (Schlumberger Riboud Product Center) qui sera à son tour présenté afin d'aboutir à la fin de ce chapitre, au groupe TECHNO et sa mission. [29, 30, 35].

## **I.1. Introduction :**

Schlumberger est la plus grande compagnie de prestation de services pétroliers dans le monde. Elle fournit l'information, la technologie et les solutions à ses clients, travaillant dans le pétrole et le gaz naturel, pour en optimiser les performances.

La compagnie a été fondée en 1926 en Alsace par deux frères Conrad et Marcel Schlumberger qui ont découvert un nouveau système de mesures permettant la description des sous-sols, basées sur les mesures de résistance électrique effectuées en surface ;un an après ils prouvent la possibilité de la mise en œuvre de ces mêmes principes au fond d'un puits. Ainsi, en utilisant des instruments de mesure à l'extrémité d'un câble conducteur « *wire-line* », ils ont pu identifier les couches géologiques contenant du pétrole. La technique du « *logging* » était alors née et pendant près de trente ans, la société s'est exclusivement consacrée à cette activité. Elle s'est ensuite vite diversifiée, pour être présente dans des secteurs comme l'électronique, la gestion des systèmes d'eau, d'air et d'électricité, ainsi que dans les télécommunications et les systèmes d'information ou encore la recherche d'eau et séquestration de CO2.

Aujourd'hui, Les principaux sites administratifs du groupe Schlumberger sont situés à Houston, Paris et la Haye. elle emploie plus de 77.000 personnes de plus de 140

nationalités travaillant dans environ 80 pays.

## I.2. Organisation et Segments :

Schlumberger gère ses activités à travers 33 régions (GeoMarket), qui sont regroupées en quatre zones géographiques et cela en Amérique du Nord, Amérique latine, Europe, CEI (Communauté des États Indépendants), Afrique au Moyen-Orient et en Asie comme le montre la Figure I.1.

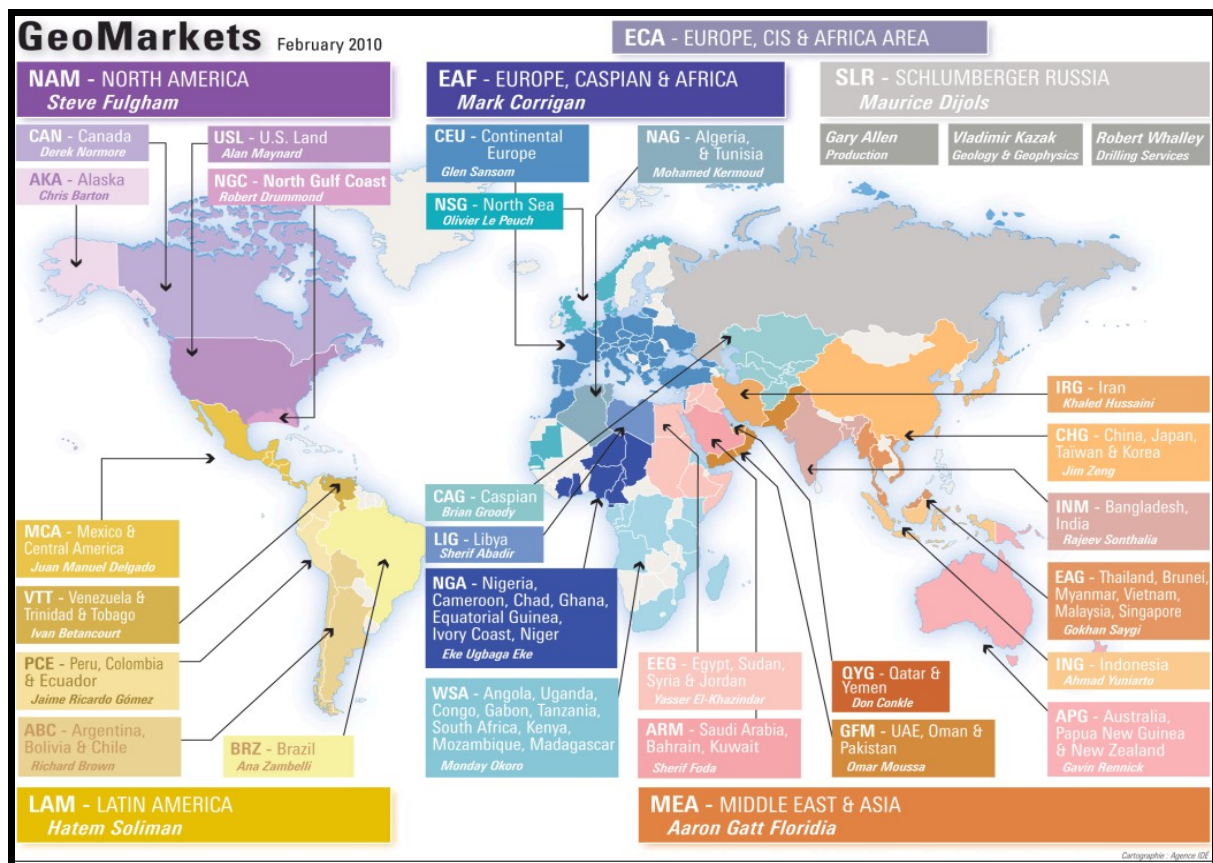


Figure I.1: Les GeoMarket de Schlumberger OFS [30].

Cette structure offre aux clients un point de contact unique au niveau local pour les opérations sur le terrain et rassemble des équipes géographiquement ciblées pour répondre aux besoins locaux et offrir des solutions personnalisées. Collaborant avec les différents segments technologiques de l'entreprise, les marchés géographiques fournissent un

puissant conduit par lequel transite l'information et le savoir-faire aux clients, et à travers lequel des ingénieurs et des géoscientifiques de Schlumberger maximisent les synergies technologiques sur toute la durée du champ.

Le groupe Schlumberger s'organise autour de sept segments technologiques qui assument totalement tous les services pétroliers depuis l'inspection (recherche de pétrole) jusqu'à la production et la maintenance. Les services qu'offre chaque segment de Schlumberger Oilfield Services sont listés ci-dessous :

- WesternGeco : service d'acquisition et de traitement de données sismiques.
- Wire-line : service fournissant l'information nécessaire à la caractérisation du réservoir, à la planification et au contrôle de la construction des puits ainsi qu'à l'évaluation de la production
- drilling and measurement :service de forages dirigés de mesures et de logging : en cours de forage.
- Well services : optimisation de la production, services de cimentation et de stimulation de puits.
- Well completion and productivity : services d'essais de complétion et de production et d'activation des puits.
- integrated project management : conseil, gestion des projets et études d'ingénierie mobilisant l'expertise des autres segments technologiques.
- Schlumberger information solution : solutions stratégiques intégrées comprenant des services de gestion de l'information, des technologies de l'information et une gamme complète de services d'experts.

La Figure I.2 qui suit résume l'ensemble de ces segments

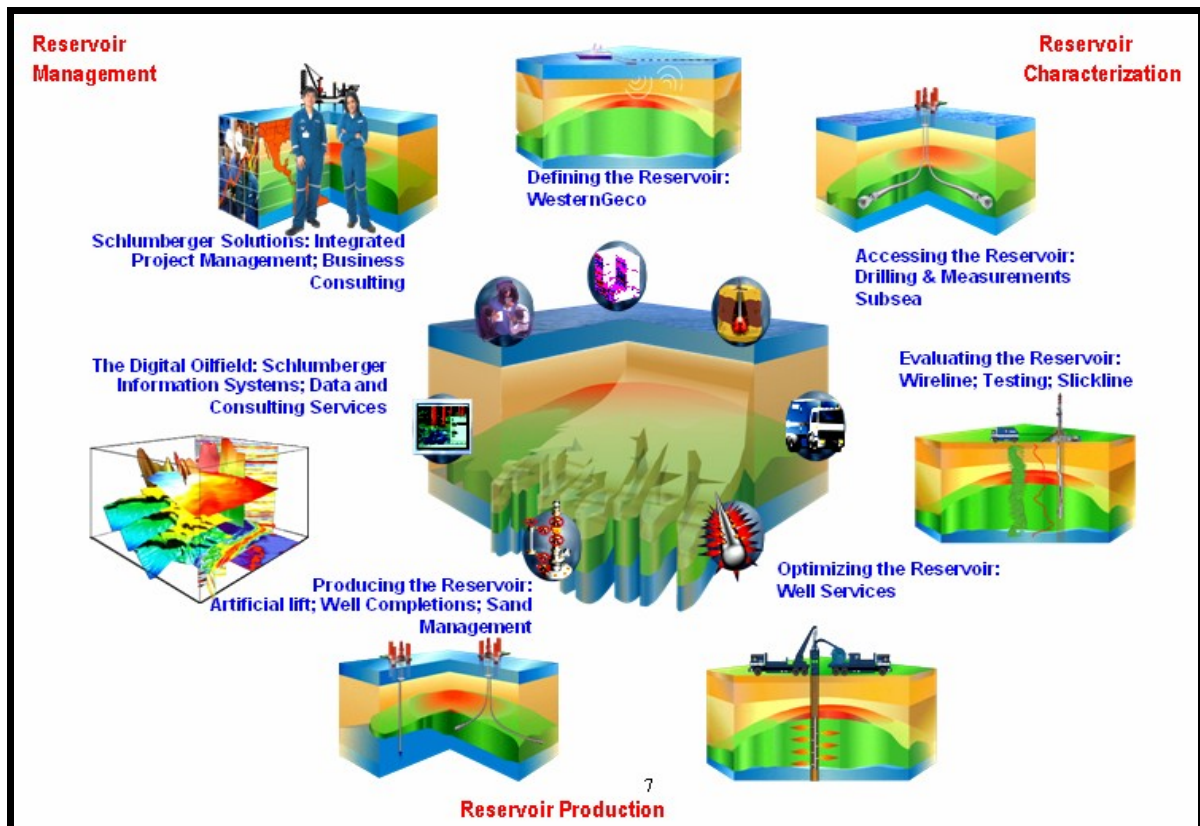


Figure I.2: Les Segments Schlumberger OFS [30].

### **I.3. Recherche et Développement :**

Avec 25 installations de recherche et d'ingénierie dans le monde entier, Schlumberger met fortement l'accent sur le développement de technologies novatrices qui ajoute de la valeur pour ses clients. En 2008, elle a investi environ 818 millions de dollars dans la Recherche & Développement (plus que toutes les compagnies du même secteur, réunies).

On peut voir dans la Figure I.3 les principaux centres de recherche et de développement technologique de part le monde.



*Figure I.3: Localisation des principaux centres de recherches et de développement [35].*

#### **I.4. Schlumberger Riboud Product Center (SRPC) :**

SRPC est le plus grand centre de technologie Schlumberger et de développement en Europe il se situe comme le montre la Figure précédente en plein Paris ,il compte plus de 500 scientifiques, ingénieurs et techniciens .

Le centre est réputé mondialement pour ses compétences en électronique haute-température, en systèmes mécaniques pour conditions extrêmes (pression, chocs, vibrations), en physique des capteurs et de la mesure, en chimie et sciences des matériaux, en développement des logiciels, en mathématiques appliquées, en géophysique et géologie et en génie pétrolier.

##### **I.4.1. L'organisation du centre technologique SRPC :**

Comme le montre l'organigramme de la Figure I.4; le SRPC est constitué d'une partie Études et une partie Production.

Dans chaque partie des équipes multidisciplinaires sont formées en fonction des projets en cours : les membres de ces équipes appartiennent à différents métiers : **Mécanique, électrique physique/chimie et software**, ils seront réaffectés à d'autres projets, une fois le travail accompli sur le projet en question. Le chef de métier a un rôle de responsable fonctionnel et de suivi de carrière des personnes appartenant à son métier. En plus de ces départements, il existe des groupes technologiques pour chaque métier.

La partie production travaille sans distinction de segments. Elle se charge de fabriquer, monter, tester et évaluer les produits qui ont été conçus par la partie Études. Elle va également piloter la sous-traitance pour tous les segments.

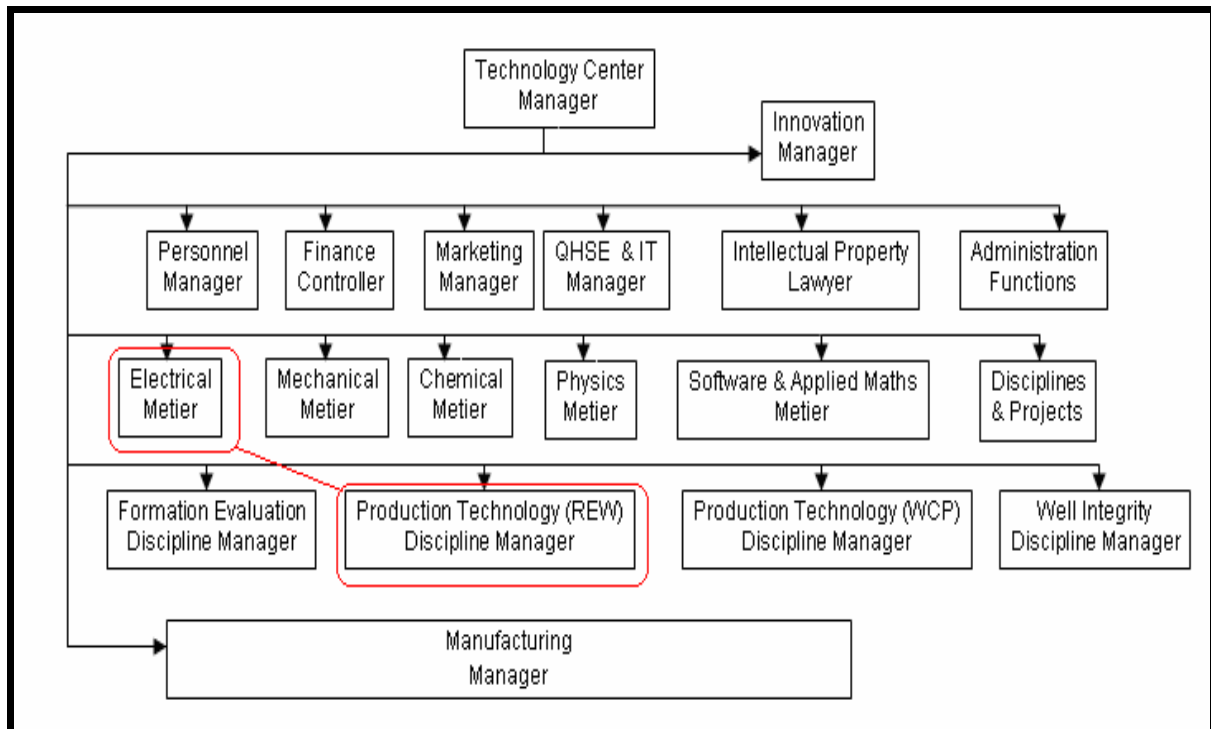


Figure I.4: Organisation du centre technologique SRPC [30].

### **I.4.2. La mission du centre :**

SRPC a pour mission de concevoir, développer et fabriquer des produits destinés aux activités de services pétroliers suivants :

- Réservoir Évaluation,
- Réservoir Développement,

Ces produits sont essentiellement fournis à Schlumberger Oilfield Services.

Cependant, certains produits spécifiques sont conçus pour être vendus ou loués directement aux clients tels que des vannes de sécurité, des manomètres permanents et des équipements de mise en production temporaire. De plus, des produits sélectionnés (équipement d'essai de puits et de travail de câble) sont vendus de préférence sous leur forme standard mais peuvent incorporer des modifications limitées pour répondre aux besoins du client.

### **I.4.3. Le Groupe Technologie électrique :**

Le service, Electrical Technology, au sein duquel j'ai effectué mon stage fait partie de la branche Engineering, comme l'illustre l'organigramme de la Figure I.4. Sa mission est d'identifier, valider et maintenir les technologies qui améliorent le coût, la fiabilité et la performance technique des outils. Il permet de faire le lien entre les produits et fabrications standards et les conditions extrêmes que requièrent les applications Schlumberger, avec une production sécurisée et à coût raisonnable. Ce service intervient depuis les composants électroniques jusqu'au procédé d'assemblage, en passant par le packaging. Il intervient sur les projets en développement, sur la qualification de nouvelles technologies électroniques et sur les outils fabriqués, sur l'analyse des erreurs et l'obsolescence.



*Figure I.5: Photographie du centre SRPC [30].*

La présentation de la compagnie et tout particulièrement du groupe TECHNO nous donne une idée sur le domaine du travail que nous aurons à effectuer lors du stage et de l'objectif final de ce dernier.





# Chapitre II : L'Électronique Haute-Température et les Mécanismes de Défaillances

Ce chapitre traitera des effets de la température, qui constitue un paramètre à surveiller de près, sur les performances et sur la fiabilité des circuits électroniques en général, cela nous éclairera quant aux tests et procédures de tests à venir. [1, 2, 3 et 29].

## **II.1. Effets de la température sur les composants électroniques:**

Un système électronique qui fonctionne en haute température est confronté à des phénomènes divers qui peuvent le mettre hors service. Le plus important est le vieillissement accéléré des composants électroniques qui représente un problème majeur, car il ne s'agit pas seulement de mettre en service ce système à telle ou telle température mais de certifier aussi un temps minimum de fonctionnement à la température en question.

Le vieillissement est dû à d'autres phénomènes présents, en haute température, appelés mécanismes de défaillances. Les déformations thermomécaniques et la dissipation thermique en sont des exemples et peuvent sérieusement dégrader le package du composant alors que le latch-up et l'électromigration peuvent porter atteinte au silicium.

## **II.2. Les effets à court terme (La performance) :**

### **II.2.1. La tension de seuil :**

La tension de seuil est la tension minimale de grille à laquelle le canal commence à conduire. En règle générale, la tension de seuil des deux transistors NMOS et PMOS à enrichissement, diminue (Magnitude par 1,5 à 2 mV / °C) avec l'augmentation de la température, comme le montre la Figure II.1.

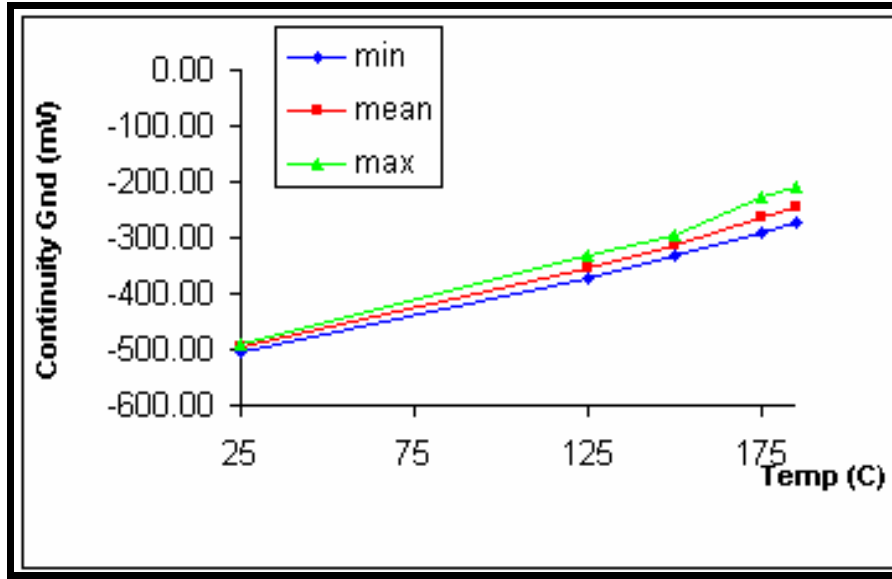


Figure II.1: Variation de la tension de seuil avec la température[1].

## II.2.2. La mobilité des porteurs de charge :

Elle est le rapport de la vitesse des porteurs par le champ électrique. Ainsi l'augmentation de la température et donc de l'agitation thermique conduit à la diminution de la mobilité dans les conducteurs, en augmentant le nombre de collisions entre porteurs.

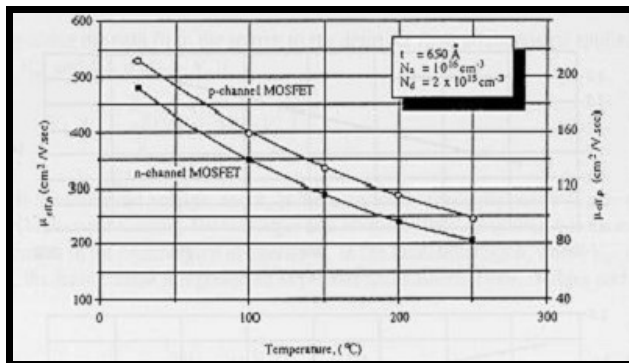


Figure II.2: Variation de la mobilité avec la température[1].

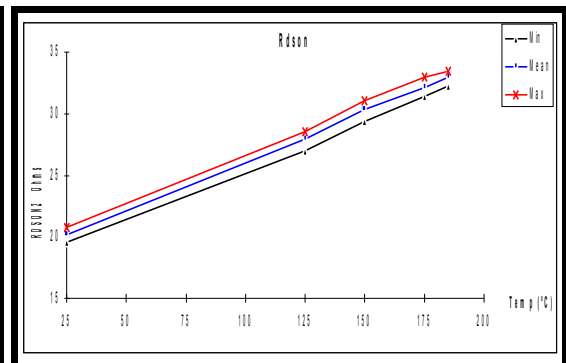


Figure II.3: MOS Rds(on) en température [3].

Les variations de la tension de seuil et de la mobilité affectent le courant de drain «  $iD$  », la transconductance et la résistance drain-source.

### II.2.3. Le courant de fuite :

C'est un paramètre limitant du bon fonctionnement des composants MOSFET en haute température.

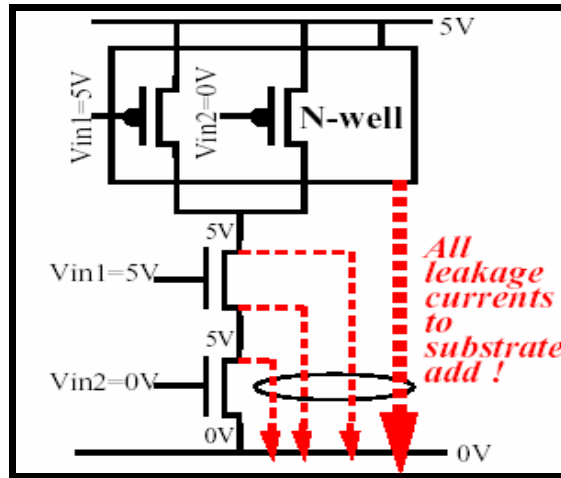


Figure II.4: Les courants de fuite [1].

Il dépend de la géométrie du transistor (la largeur du canal) et augmente avec la température (Figure II.5).

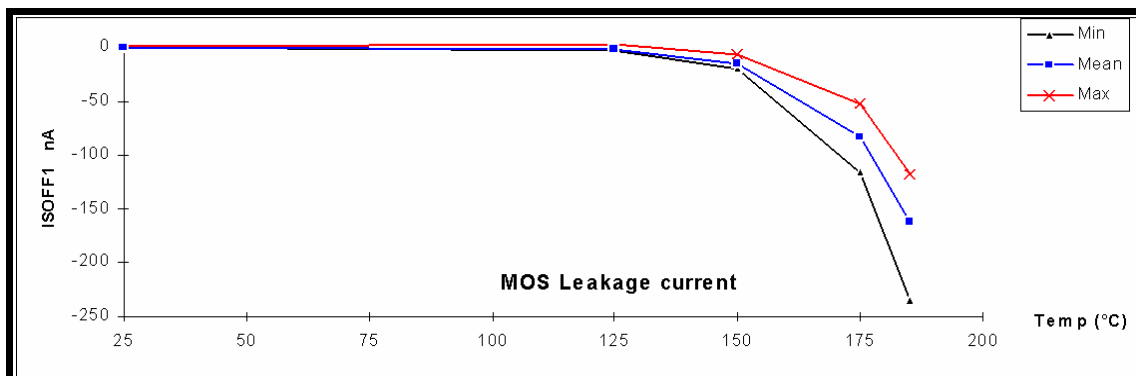


Figure II.5: Variation du courant de fuite avec la température [1].

### II.2.4. Temps de retard :

Il est dû à la charge et à la décharge des condensateurs au cours des mises à 1 et à 0. Il augmente avec un rapport de 1,67 entre 25°C et 200°C. Ce rapport représente donc la diminution de la fréquence d'horloge des applications utilisées à cette température, et donc l'augmentation du temps nécessaire à l'exécution d'opérations telles que la lecture et l'écriture.

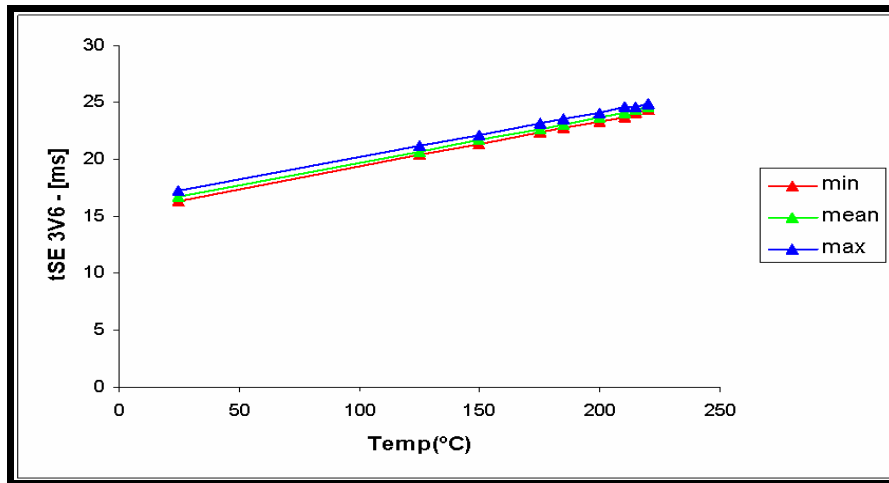


Figure II.6: Évolution du temps de retard avec la température [3].

### II.2.5. Le latch-up :

Le latch-up a pour origine une structure parasite apparaissant à la construction d'un circuit intégré.

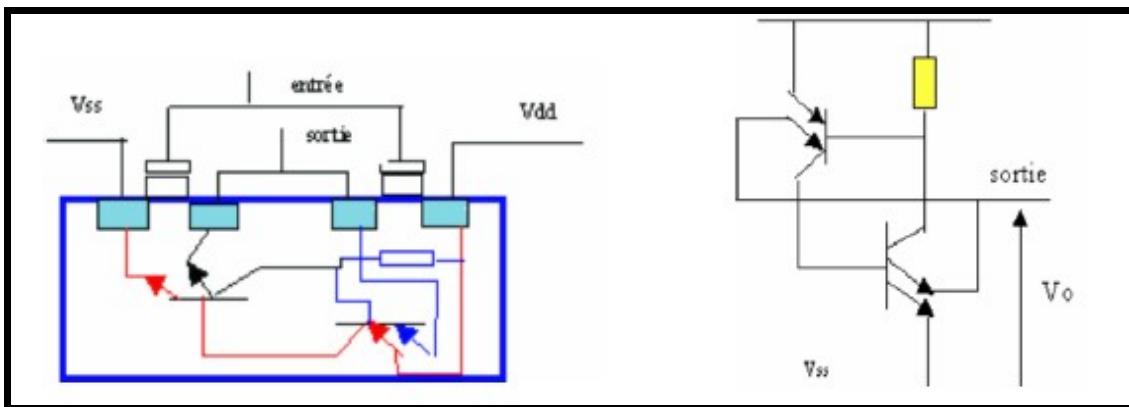


Figure II.7: Structure parasite provoquant un latch-up [1],

Cette structure parasite composée des jonctions N et P des transistors MOS forme un thyristor entre Vdd et Vss. Si le thyristor se déclenche, il court-circuite l'alimentation et cause des dégâts irréversibles sur le circuit intégré. Ce cas se présente si la tension d'entrée dépasse Vdd.

### II.3. Les effets à long terme (Loi d'Arrhenius) :

Exposés à la haute température, les composants subissent une usure très importante qui réduit leur durée de vie. Il s'agit d'un vieillissement accéléré qui s'accroît exponentiellement en fonction de la température selon la loi d'Arrhenius :

$$r = A \exp (-E_a/kT)$$

Où  $r$  : le facteur d'accélération de vieillissement.

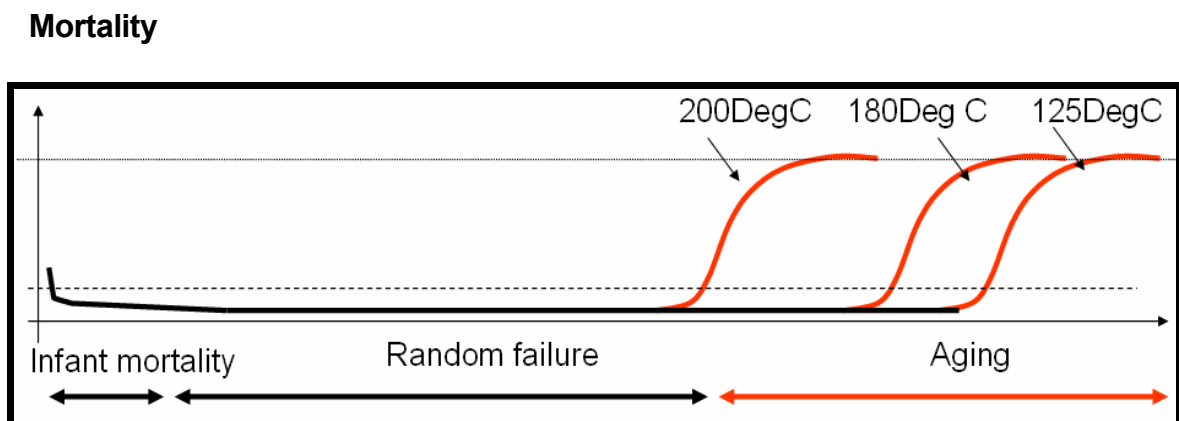
$T$  : la température absolue en °K

$E_a$  : l'énergie d'activation (eV) qui dépend du matériau et du mécanisme de défaillance

$k$  : constante de Boltzmann ( $8,62 \cdot 10^{-5}$  eV/°K)

$A$  : Une constante.

On remarque que si la température augmente de quelques degrés, le facteur d'accélération augmente très vite ; donc un composant vieillit beaucoup plus vite quand il est à une température élevée. La Figure II.8 permet d'observer l'évolution de la courbe d'âge d'un composant électronique en fonction de la température.



**Figure II.8:** Évolution de la courbe d'âge d'un composant électronique en fonction de la température [3].

Ce chapitre montre que la température influe fortement sur le fonctionnement des composants électroniques et c'est exactement ce qui a poussé Schlumberger à développer le procédé de qualification des composants à haute température dont le sens des tests est orienté selon les fonctionnalités du composant en question.

Dans notre application le composant est une mémoire et cette mémoire doit satisfaire certaines spécifications ordonnées par le projet pour lequel elle servira. Ces spécifications seront introduites dans le chapitre qui suit.



# Chapitre III : Les Mémoires

Afin de nous familiariser avec les mémoires que nous aurons à traiter tout au long de ce mémoire, nous passerons en revue dans ce chapitre les différents types de mémoire à semi-conducteur rencontrées de nos jours, leurs principes de mémorisation et leurs technologies, on comprendra mieux ainsi les possibilités offertes par telle ou telle catégorie de mémoire, et permettra une sélection plus judicieuse du composant, vérifiant les spécifications précisées. Nous verrons aussi à la fin de ce chapitre quelques exemples de mémoires illustrant les possibilités de différentes technologies au niveau produit. [3, 5, 6, 7, 8, 9, 22, 23, 24, 25, 34, 35, 36, 37].

## **III.1. Les spécifications du projet :**

En vue de l'application future de la mémoire qualifiée, cette dernière devra contenir une grande quantité d'informations et ne devra pas les perdre en l'absence d'alimentation; des fois pendant de longues périodes et cela 24/7 sans l'intervention de l'homme. La seule mémoire regroupant tous ces critères est la EEPROM Flash; la densité voulue est de 8Gbit et de préférence en un seul bloc à cause des contraintes de refroidissement (à la rigueur deux de 4Gbit); quant au procédé de fabrication, la finesse de gravure devra être entre 90nm et 50nm car celles avec une finesse supérieure à 90nm sont déjà testées<sup>(1)</sup> et avec celle de moins de 50nm on ne doit pas s'attendre à de bons résultats.

## **III.2. Introduction :**

Les mémoires sont des dispositifs électroniques destinés à enregistrer, à conserver et à restituer à la demande des informations numériques de toutes sortes, et notamment celles produites ou utilisées par les programmes d'un ordinateur ou d'un microcontrôleur.

---

(1) :Ces tests de mémoires effectués antérieurement, sont présentés dans l'annexe A.



Les mémoires sont la catégorie de circuits intégrés représentant le plus grand volume en termes de production et de chiffre d'affaires. De plus, les circuits VLSI actuels contiennent souvent une ou plusieurs parties de mémoires intégrées (mémoire cache) ce qui augmente d'autant l'importance de ce type de circuits.

La mémoire est organisée sous forme de lignes et de colonnes. À chaque intersection correspond un bit de mémoire.

La capacité de stockage des mémoires suit une progression géométrique (loi de Moore) .prenant exemple sur des mémoires issues de la technologie 180 nm elles présentent une capacité de stockage de 1 Gbit; cela correspond approximativement au contenu de 62 000 pages écrites. La surface de la puce de silicium contenant cette énorme quantité d'information dépasse à peine 4 cm<sup>2</sup>.

### **III.3. Classement des mémoires:**

Il existe sur le marché une très grande variété de produits « mémoires », de fonctionnements différents et d'applications diverses. La classification des mémoires n'est pas simple, mais peut se baser sur différents critères<sup>(1)</sup>.

Un premier critère est la possibilité de lecture/écriture dans un temps de cycle :

**Mémoires mortes ou ROM (Read Only Memory) :** elles permettent seulement la lecture de l'information pré-enregistrée soit en cours de fabrication (on parle de Rom programmable par masque), soit par l'utilisateur lui-même, mais l'enregistrement de l'information ne peut être fait qu'une seule fois.

**Mémoires vives ou RAM (Random Access Memory) :** mémoires à accès aléatoire dans lesquelles chaque cellule mémoire peut-être identifiée par une adresse et pour laquelle l'accès à n'importe quelle cellule (associée à une adresse) se fait approximativement à la même vitesse, elles permettent la lecture ainsi que l'écriture de l'information.

---

(1) :Un classement important à été réalisé pour les mémoires volatiles et non volatiles résumant leur état actuel et cela selon leur types, les fabricants les fournissant, leur durée de rétention, leur endurance, leur densité et surtout selon les gammes de températures proposées pour ces mémoire.( les quatre pages suivantes ).

Memory type	Add. Function		Manufacturer	State	Technology	Retention	Endurance	Temperature (°C)	Density (bit)		
ROM			Honeywell		RICMOS SOI 0.75µm		2.00E+05	125	256k		
			NEC					85			
			Maxim		?			85			
PROM			BAE System		CMOS	10 ans	2.00E+05	125	256k		
			Intersil		CMOS			125	4k - 16k		
EPROM			STMicroelectronics					125	1M		
			Atmel					125	256k - 2M		
EEPROM	série	I <sup>2</sup> C serial	Maxim		?			85			
			Toshiba			10 ans	1.00E+05	85			
			STMicroelectronics		CMOS?	40 ans	1.00E+06	125	1M		
			Holtek			40 ans	1.00E+07	85			
			Microchip		low power CMOS	200 ans	1.00E+06	150	1M		
			STMicroelectronics		CMOS?	40 ans	1.00E+06	125	512k		
			Microchip		low power CMOS	200 ans	1.00E+06	150	1M		
			ISSI		low power CMOS	100 ans	1.00E+06	125	1k - 256k		
			Seiko Instrument			50 ans à 125°C	5.00E+06	125	32k		
			Rohm					125	32k		
			STMicroelectronics		CMOS?	40 ans	1.00E+06	125	16k		
			Microchip		CMOS	200 ans	1.00E+06	150	16k		
		Rohm					125	16k			
		3 wire			Catalyst semiconductor		low power CMOS 0.8µm	100 ans	1.00E+06	125	256k - 128k - 64k - 32k ...
					ISSI		low power, low voltage CMOS	40 ans	1.00E+06	85	
					Holtek			10 ans	1.00E+05	85	
					Seiko Instrument			15 ans à 125°C	1.50E+06	125	16k
					Holtek			40 ans	1.00E+06	85	
					ISSI		low power 0.11 - 0.15 - 0.18 - 0.35µm?	100 ans	1.00E+06	125	1k - 256k
		2 wire			Seiko Instrument			10 ans	1.00E+06	85	
					Atmel					125	256k
					Maxim		?			85	
		1 wire			Microchip		low power CMOS	200 ans	1.00E+06	150	16k
					STMicroelectronics		CMOS?	40 ans	1.00E+06	85	64k
parallèle			STMicroelectronics		CMOS?	40 ans	1.00E+06	90	2k		
			Honeywell	article				250			
			Renesas			10 ans	1.00E+07	85			
			Catalyst semiconductor		CMOS floating gate 0.8µm	100 ans	1.00E+05	125	256k		
			Intersil		floating gate CMOS	100 ans	1.00E+05	175	1M		
			Intersil		floating gate CMOS	100 ans	1.00E+05	125	512k		
			Atmel		CMOS	10 ans	1.00E+04	125	4M		

légende température	< 95°C
	95 à 110°C
	125 à 135°C
	150 à 175°C
	250°C

Tableau III.1 : Classification des mémoires non-volatiles(1).

Memory type	Add. Function	Manufacturer	State	Technology	Retention	Endurance	Temperature (°C)	Density (bit)			
FLASH	NOR	Spansion		200 - 110 - 90 nm	20 ans	1.00E+05	85	16M - 1G			
		Samsung		90 nm?CMOS	10 ans	1.00E+05	85				
		Toshiba						85	16M - 128M		
		Numonyx				0.13um		1.00E+05	85	32 - 256M	
						0.13um	20 ans	1.00E+05	85	16 - 32 - 64M	
							20 ans	1.00E+05	150	8M	
							20 ans	1.00E+05	125	8 - 64M	
							0.11um	7 ans	1.00E+05	125	16M - 32 M
							T7V, T9HX	20 ans à 55°C	1.00E+04	125	512k - 64M
		serial					20 ans	1.00E+05	125	8M - 64M	
	NAND	SLC small block	Samsung		90nm			85			
			Hynix			10 ans	1.00E+05	85			
		Numonyx				10 ans	1.00E+05	85	128M - 1G		
		SLC large block	Samsung			90 - 73nm?			85		
			Hynix				10 ans	1.00E+05	85		
		MLC large block	Numonyx				10 ans	1.00E+05	85	1G - 16G	
			Samsung			90 - 60nm?			85		
		ORNAND	Numonyx				10 ans	1.00E+04	85	8G - 16G	
									85	16M - 1G	
			Toshiba						70	32G	
								70			
	Micron							85			
	Spansion					90 - 65nm	10 ans	1.00E+05	85	128M - 512M	
						200nm	20 ans	1.00E+06	125	4M - 8M - 16M	
						170nm	20 ans	1.00E+06	125	16M - 32M	
						320nm	20 ans	1.00E+05	125	16M	
						320nm	20 ans à 125°C	1.00E+06	125	32M - 16 - 8 - 4 - 2 - 1M	
					230nm / 320nm	10 ans à 150C		125	64M - 8M		
	Samsung				?			85			
	Numonyx		?								
Toshiba							85	1G - 32G			
Numonyx							85				
Sharp					10 ans		85	512M			
Amic					20 ans	1.00E+05	85				
Catalyst semiconductor				CMOS floating gate	10 ans	1.00E+05	105	1M - 2M			
Elite Semiconductor					20 ans	1.00E+05	85				
Atmel					20 ans	1.00E+05	85				
Intel			?								
parallèle		SST			100 ans	1.00E+05	85	64M			
série					100 ans	1.00E+05	85	64M			

légende température	
	< 95°C
	95 à 110°C
	125 à 135°C
	150 à 175°C
	250°C

Tableau III.2 : Classification des mémoires non-volatiles(2).

Memory type	Add. Fonction		Manufactureur	State	Technology	Retention	Endurance	Temperature (°C)	Density (bit)		
RRAM (ReRAM)			STMicroelectronics	étude							
			Fujitsu	étude							
FRAM (FeRAM)	parallèle		Fujitsu		CMOS et ferroelectric process PZT	10 ans à 55°C		85	256k		
			Fujitsu			10 ans à 55°C		85	256k		
							10 ans à 55°C		85	1M - 2M	
							45 ans	1.00E+13	85		
						0.13µm	10 ans	1.00E+15	85	4M	
		série	I <sup>2</sup> C	Ramtron		advanced ferroelectric process	45 ans	1.00E+13	85	256k	
					use PZT as ferroelectrical material						
					0.13µm	10 ans	1.00E+15	85	1M		
					0.13µm	10 ans	1.00E+15	85	2M		
									10 ans à 55°C		85
NV SRAM	parallèle		Fujitsu			10 ans à 55°C		85	1M - 2M		
			Hynix	article							
			STMicroelectronics		CMOS SRAM	10 ans	infini	70	16k - 32M		
			Cypress		0.8 - 0.25µm CMOS + quantum trap	20 ans à 55°C	2.00E+05	85			
			Texas Instrument		CMOS	10 ou 5 ans	infini	85	64k - 16M		
			Greenwich Instrument		CMOS			70			
			Catalyst semiconductor		CMOS floating gate 0.6µm	10 ans	1.00E+05	125	256		
			Maxim		?	5 ans with internal battery	infini	85			
			Honeywell		SOI 150 nm	10 ans	1.00E+16	125	1M		
		MRAM			Everspin	échantillon	1T/1MTJ (magnetic tunnel jonction)	20 ans	infini	125	1M - 4M
			NVE	recherche?	?	20 ans	infini	105	1M - 4M		
PCRAM (OUM)			Qimonda	presse	?						
CRAM			BAE System		0.25µm CMOS	0.5 ans à 90°C	1.00E+06	110	2M - 4M		
FIFO			Numonyx	recherche			1.00E+08				
			Honeywell		RICMOS SOI 0.8µm			125	36k		
			Cypress		0.5µm			125	256k		
			BAE System	?							
MCP			Amic					85			
			Integrated Device Technology	?							
			Numonyx								
			Spansion								
			Samsung								
			Micron								
			SST				100 ans	100000	85		
		Toshiba									

légende température	< 95°C
	95 à 110°C
	125 à 135°C
	150 à 175°C
	250°C

Tableau III.3 : Classification des mémoires non-volatiles(3).

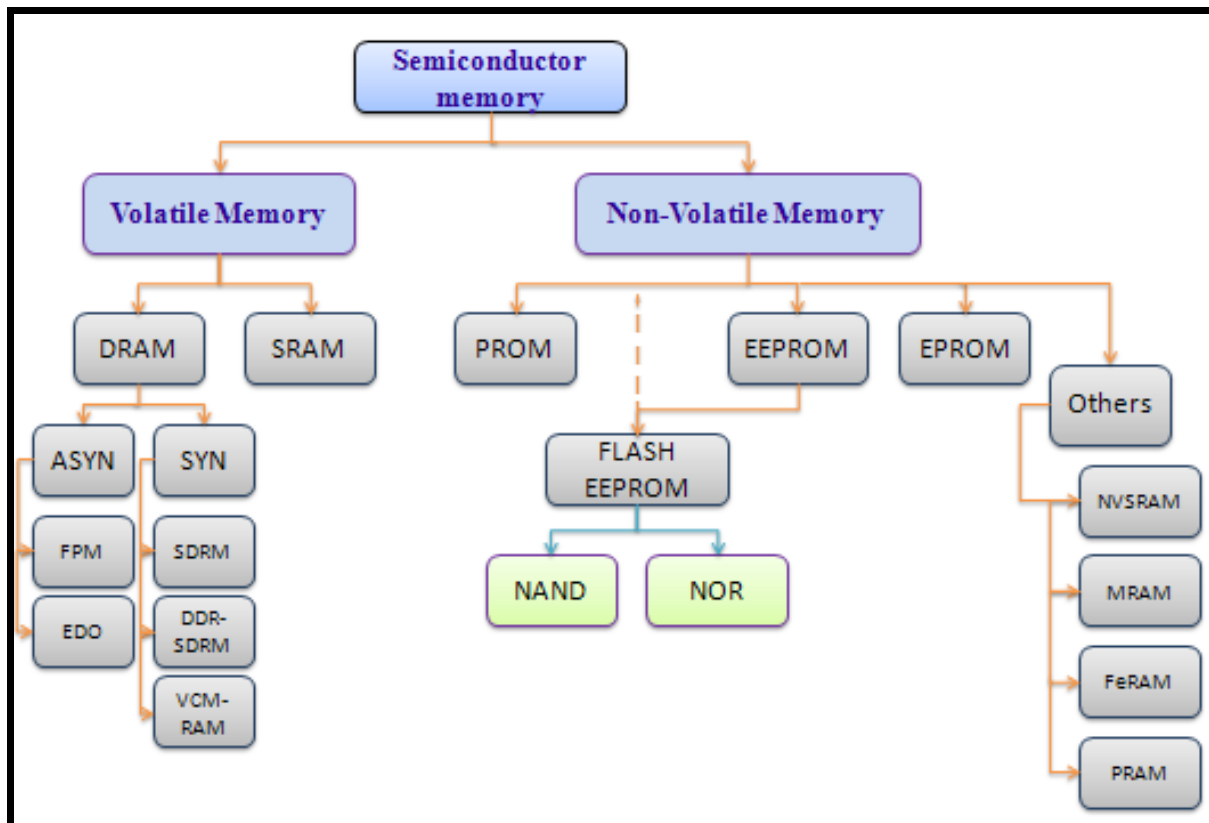
Memory type	Add. Function	Manufacturer	state	Technology	Temperature (°C)	Density (bit)	
DRAM		Samsung					
		Qimonda			95		
		Intel					
		NEC				85	
		Amic					
PSRAM	synchron	Elite semiconductor			85		
		Samsung			85	4M - 8M	
RLDRAM		Elite semiconductor	?				
SDRAM	DDR DDR2 DDR3	Micron			95	288M - 5.76M	
	DDR	Hynix			95		
	DDR DDR2 DDR3	Micron			105	256M	
SRAM	synchron	Elabde			85		
		Sharp					
		Honeywell					
	asynchrone						
micropower							
serial							
FCRAM	DDR 2	Integrated Device Technology					
		Toshiba	prod?		100	256M - 512M	
		Fujitsu			125	16M	
Légende température							
					< 95°C		
					95 à 110°C		
					125 à 135°C		
					150 à 175°C		
					250°C		

Tableau III.4 : Classification des mémoires volatiles.

Un autre critère des plus importants est la volatilité de l'information stockée, et on distingue alors :

**Mémoires volatiles** : elles perdent leur information lors de la coupure de l'alimentation; les mémoires RAM sont un exemple de cette catégorie.

**Mémoires non volatiles** : elles conservent leur information au delà d'une coupure de l'alimentation ; les mémoires ROM, ainsi que les mémoires EPROM et EEPROM, font partie de cette catégorie. Ces deux derniers types de mémoires fonctionnent comme des ROM mais peuvent être reprogrammés. Leur cycle de programmation est toutefois beaucoup plus long que celui d'une mémoire RAM, et le mécanisme du stockage de l'information est complètement différent.



*Figure III.1: Organigramme de classement des mémoires*

Un troisième critère qui est la nécessité de rafraîchissement qu'on trouve dans deux familles de la RAM :

**Mémoires statiques SRAM** : elles emploient une bascule pour stocker un bit d'information; elles ne demandent pas de rafraîchissement, car elles retiennent l'information tant que l'alimentation n'est pas coupée.

**Mémoires dynamiques DRAM** : elles emploient une capacité pour le stockage de l'information qui correspond à la présence ou à l'absence d'une charge. Les fuites déchargent graduellement les capacités ; il est donc nécessaire de rafraîchir périodiquement le contenu des capacités de stockage.

### **III.4. Différents types de mémoires non volatiles:**

D'après l'organigramme de la Figure III.1 et la classification présentée dans les tableaux III.1, III.2, III.3 et III.4; on constate que les principaux types de mémoires non-volatiles sont:

### **III.4.1. Les PROM :**

(*Programmable Read Only Memory*) en sont une variante, dont le contenu est inscrit dans les mémoires par l'utilisateur. Dans tous les cas, le contenu de ces mémoires n'est pas modifiable; elles comportent autant de fusibles que de bits à stocker (fusible ouvert, 0 binaire, fusible non volatilisé, 1 binaire), une fois programmée elle devient une mémoire morte (read only memory).

### **III.4.2. Les EPROM :**

(Electrically Programmable Read Only Memories) : ce sont les plus connues et leur contenu peut être modifié par l'application d'un champ électrique au composant, par contre pour les effacer, il faut les retirer de leurs support et les soumettre à travers une fenêtre transparente en quartz à un rayonnement ultra-violet.

### **III.4.3. Les EEPROM :**

(*Electrically Erasable Programmable Read Only Memories*) : leurs contenu peut être aisément effacé avec un courant électrique.

### **III.4.4. Les Flash EEPROM :**

Peuvent être effacés et reprogrammés en unités de mémoire appelés blocs. Ce sont une variante des mémoires mortes programmables et effaçables électriquement ( EEPROM ) qui, contrairement aux mémoires flash, sont effacées et réécrites au niveau octet, ce qui les rend plus lentes que les mémoires flash mises à jour<sup>(1)</sup>.

Il existe aussi, des mémoires non volatiles utilisant des phénomènes physiques jusqu'alors non appliqués aux mémoires à semiconducteur, comme les mémoires ferroélectriques (**FeRAM**), et les mémoires magnétiques à semi-conducteurs (**MRAM**) qui émergent au début du 21e siècle et renforcent la quête de la mémoire universelle cumulant non-volatilité, densité et rapidité.

---

(1) :On reviendra avec plus de détails sur ces trois derniers types de mémoire.

### **III.5. Principes de mémorisation utilisés :**

Les principes de mémorisation dépendent essentiellement du type de technologie utilisé; selon cette dernière, on réalisera plus facilement des mémoires statiques, des mémoires dynamiques, etc. Aussi on les décrira par leur fonction plutôt que par leur technologie se focalisant sur les mémoires non volatiles.

Ces mémoires utilisent le principe du stockage des charges sur une grille flottante et le mode de stockage ou d'effacement de ces charges dépend du type de mémoire considéré. On distingue les mécanismes<sup>(1)</sup> suivants d'injection ou d'effacement de charges à travers une couche d'oxyde:

- injection par pincement des porteurs dans le canal du MOS (12 à 15 nm) [injection EPROM par porteurs chauds] ;
- effacement des porteurs en rendant l'oxyde conducteur par rayonnement UV sur le composant (EPROM) ;
- injection par avalanche de trous dans la jonction d'un canal (effacement EEPROM) ;
- injection de porteurs chauds à travers une couche très fine d'oxyde (effacement des Flash EEPROM).

Dans tous les cas, le potentiel de commande sur la grille flottante est induit par une électrode de contrôle couplée de façon capacitive. Les charges peuvent être injectées ou effacées des milliers de fois sans dommages pour la structure : quand elles sont mémorisées sur la grille flottante, elles peuvent rester plusieurs années sans être altérées (stockage non volatil).

#### **III.5.1. Mémoire EPROM :**

La structure du point mémoire EPROM la plus utilisée est celle représentée dans la Figure II.2 où l'on distingue la vue en plan et les vues en coupe ainsi que le schéma électrique des

---

(1) : Les deux premiers mécanismes sont détaillés dans la référence [5]



couplages électrodes et grille flottante.

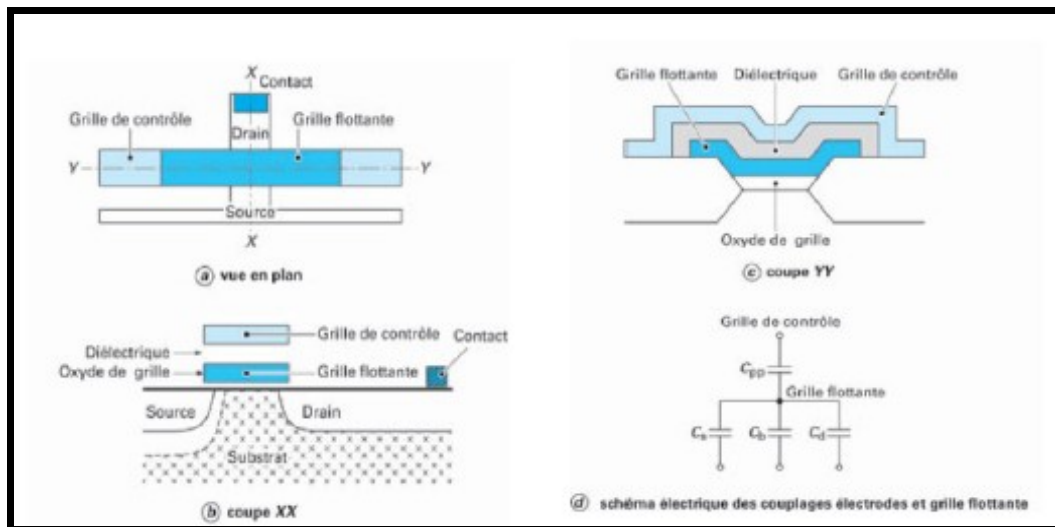


Figure III.2: Cellule EPROM [8].

La cellule EPROM est constituée d'un transistor MOS à deux grilles en silicium polycristallin; la première (dite flottante car non connectée extérieurement) stocke les charges de façon non volatile et la seconde commande l'injection depuis le canal normal du MOS vers la grille flottante en attirant les électrons chauds du canal, créant un courant à travers l'oxyde fin de grille.

L'électrode de contrôle sert aussi à décharger la grille flottante à travers le diélectrique situé entre les deux couches de silicium lors de la séquence effacement (global de la mémoire), quand celle-ci est éclairée en rayonnement UV. Cela nécessite d'utiliser des boîtiers à fenêtre transparente coûteux et l'opération d'effacement UV ne peut se faire qu'en dehors de l'application, ce qui est très contraignant.

Pour cette raison, on utilise ces propriétés pour reprogrammer la mémoire EPROM un minimum de fois en cours d'application. Dans ce cas de reprogrammations fréquentes, on utilisera des mémoires **EEPROM** ou **FEEPROM**.

L'état de la mémoire EPROM (0 ou 1) est lu à travers le transistor EPROM par une circuiterie de décodage qui vient sélectionner le mot souhaité (l'injection de charges dans la grille flottante étant vu à la lecture comme une modification de la tension de seuil du transistors EPROM).

### III.5.2. Mémoire EEPROM :

La mémoire EEPROM peut être réalisée avec une couche (grille des transistors) ou deux couches (comme les EPROM) de silicium polycristallin. Le principe de fonctionnement est le même mais la densité est meilleure avec deux couches: Cette structure ainsi que son schéma électrique équivalent sont présentés sur la Figure III.3.

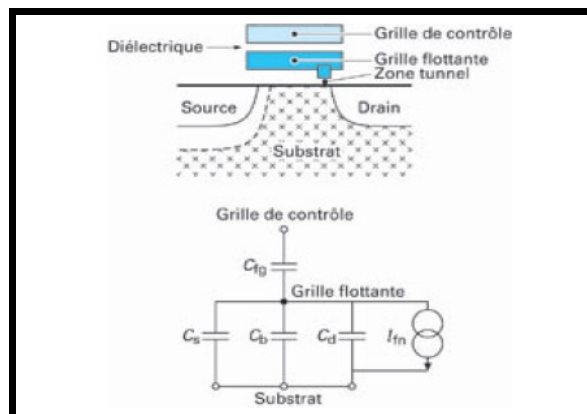


Figure III.3: Cellule EEPROM [8].

Le principe de fonctionnement est le suivant :

L'injection entre le drain et la grille flottante s'effectue à travers une zone d'oxyde très mince dite « zone tunnel »; le sens de l'injection dépend du potentiel relatif de la grille flottante et du drain; ce potentiel est contrôlé par l'influence de la grille de contrôle sur la grille flottante d'une part et par le potentiel appliqué sur le drain d'autre part.

### III.5.3. Mémoire FEEPROM (Flash EEPROM) :

La mémoire FEEPROM quant à elle, est une combinaison du point mémoire EPROM pour l'écriture (injection d'électrons chauds par le transistor en régime de saturation) et du point mémoire EEPROM dans lequel on décharge la grille flottante par une « zone tunnel » au-dessus de la zone de drain.

Comme on l'a précédemment dit, cette mémoire a les mêmes fonctionnalités que la mémoire EEPROM sans son boîtier à fenêtre coûteux et peut se reprogrammer directement sur

l'application; la différence réside dans le fait que le plan mémoire complet est effacé collectivement par une électrode de contrôle qui est commune à toute la mémoire

### **III.5.3.1. Familles de mémoires Flash :**

Ce type de mémoire est devenu la mémoire la plus utilisée aujourd'hui et on distingue deux familles de mémoires Flash : la mémoire **Flash NOR** et la mémoire **Flash NAND** qui tirent leurs noms des portes logiques matérialisant les opérateurs booléens (« NON ET » et «NON OU ») codés par leurs transistors.

#### **III.5.3.1.1. La Flash NOR :**

Les temps d'effacement et d'écriture sont longs mais elle possède une interface d'adressage permettant un accès aléatoire et rapide à n'importe quelle position grâce à la possibilité de sélection d'un mot et une ligne de bit par cellule(voir Figure III.4) Le stockage des données dans cette mémoire est 100 % garanti par le fabricant.

#### **III.5.3.1.2. La Flash NAND :**

Elle va permettre de réduire la surface de la cellule en connectant les cellules en série entre une ligne de bit et une ligne de source en éliminant ainsi le contact entre chaque cellule.

Comme elle est plus dense (les cellules de la matrice sont 40 % plus petites que dans la NOR) et moins chère à produire, la NAND a logiquement supplanté la NOR dans les dispositifs servant à stocker de grandes quantités de données (cartes mémoire pour appareils photo, clés USB, baladeurs audio, etc.). La NOR n'est pas pour autant oubliée : elle est utilisée dans les mémoires non volatiles stockant des commandes ou des micrologiciels (Bios, firmwares, etc.) où l'accès direct à des cellules précises est privilégié.

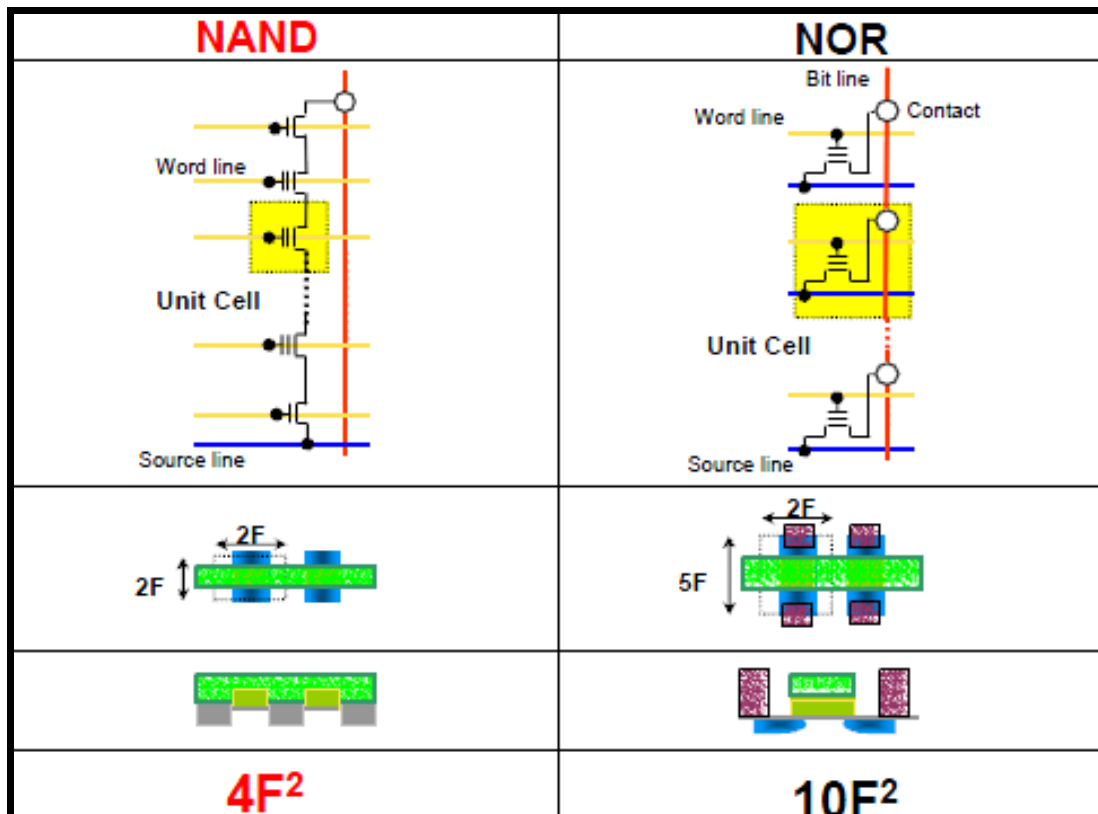


Figure III.4: Structure des cellules NAND et NOR [8].

### III.5.3.2. SLC et MLC Flash :

En plus de la réduction de la taille de la cellule mémoire, une autre approche qui s'est développée pour réduire la taille des circuits mémoires a été d'augmenter le nombre d'états stockés dans la cellule. Le **stockage multibit** utilise la nature analogique de l'élément de stockage Flash.

#### III.5.3.2.1. Single-Level Cell (SLC) Flash :

Comme son nom l'indique, la valeur SLC emmagasine Flash bits un par cellule, qui est essentiellement un niveau de tension. La valeur de bit est interprétée comme un "0" ou un "1".

Value	State
0	Programmed
1	Erased

Tableau III.5: Niveaux de la SLC [25].

Comme il n'y a que deux états, elle ne représente que peu de valeurs. Comme on le voit dans le tableau III.1, chaque bit peut avoir une valeur de "programmé" ou "effacé".

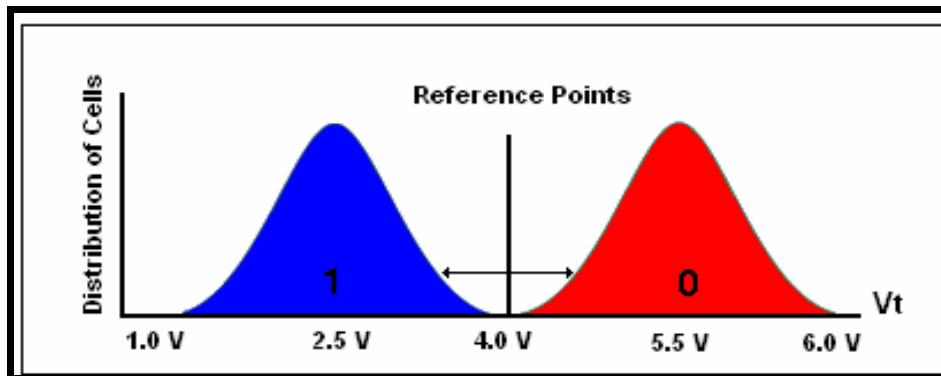


Tableau III.6: Référence de tension pour SLC [25]

Le "0" ou "1" est déterminé par la tension de seuil  $V_t$  de la cellule. La tension de seuil peut être manipulée par la quantité de charges mise sur la grille flottante de la cellule Flash. Placer des charges sur la grille flottante va augmenter la tension de seuil.

Lorsque la tension de seuil est suffisamment élevée, autour de 4,0 V, la cellule sera lue comme programmée. Sans charges, ou le seuil de tension  $<4,0$  V, fera que la cellule passera pour effacée.

Les SLC Flash sont alors utilisées dans des applications commerciales et industrielles qui nécessitent une haute performance et fiabilité à long terme.

### III.5.3.2.2. Multi-Level Cell (MLC) Flash :

Comme son nom l'indique aussi, il existe des valeurs multiples qu'une cellule MLC peut représenter, les valeurs peuvent être interprétées comme quatre états distincts: 00, 01, 10 ou 11.

Value	State
00	Fully Programmed
01	Partially Programmed
10	Partially Erased
11	Fully Erased

Tableau III.7: Niveaux de la MLC [25].

Ces quatre états constituent deux bits d'information. Comme on le voit dans le tableau 3, la valeur des deux bits varie d'entièrement programmée à complètement effacée.

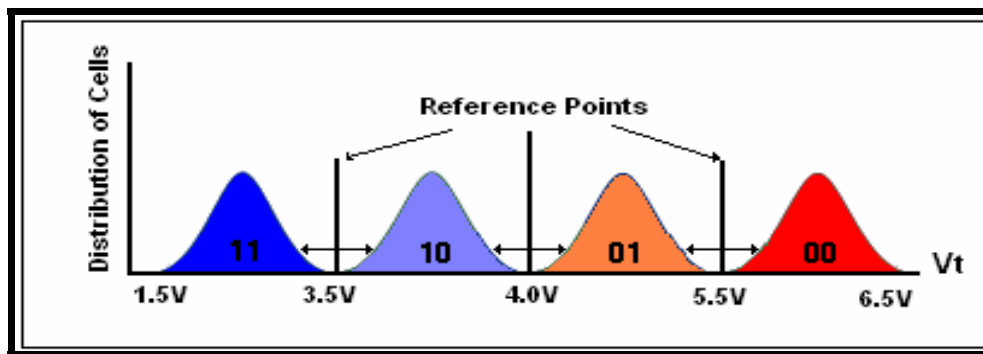


Figure III.5: Référence de tension pour MLC [25]

Comme le montre la Figure III.5, la capacité de stockage de la cellule Flash MLC explique bien, pourquoi la Flash MLC marche aussi bien sur le marché.

Depuis que le delta entre chaque niveau a diminué, la sensibilité entre chaque niveau a augmenté. Ainsi, une programmation plus strictement contrôlée est nécessaire pour manipuler une quantité plus précise de charges stockées sur la grille flottante.

Pour qu'une cellule Flash puisse être considérée comme la technologie MLC, elle doit présenter deux caractéristiques:

- une détection précise des charges
- un placement de charges précis

Ainsi, la MLC Flash fonctionne de la même façon que Flash SLC. La tension de seuil  $V_t$ , est utilisée pour manipuler l'état de la Flash; une fois de plus, la quantité de charge sur la grille flottante est ce qui détermine la tension de seuil.

Comme le montre la Figure III.5, la technologie actuelle utilise deux bits MLC, ou 4 niveaux. Toutefois, il est possible de détenir plus de bits (La plus récente technologie est la TLC avec trois bits par cellule).

### III.6. Technologie et Finesse de gravure :

La technologie choisie pour une classe de performances ou de fonctions données est celle qui permet d'obtenir les densités les plus élevées avec des rendements industriels. C'est la technologie CMOS qui est la plus utilisée car elle permet des densités d'intégration élevées et des consommations faibles.

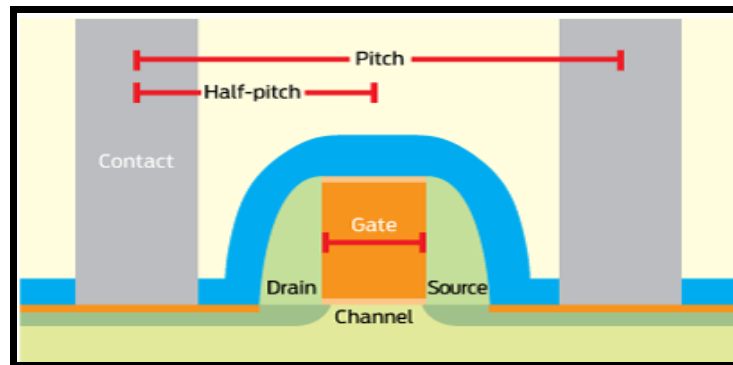


Figure III.6: Le pitch.[3].

La finesse de gravure, est un indicateur des progrès généraux de l'industrie dans la miniaturisation des circuits intégrés.

Le pitch est égal à la « *largeur minimale du métal de connexion additionnée à celle de l'espace entre les deux pistes adjacentes interconnectées* »<sup>(1)</sup>.

Afin de donner une idée des avancées technologiques de l'industrie (GPU, CPU, DSP, etc.), c'est maintenant le demi-pitch des mémoires Flash qui est la mesure pertinente.

Le demi-pitch comme référence, car de nombreux aspects du transistor sont proportionnels à cette mesure. Par exemple, la grille du transistor représente généralement entre un tiers et la moitié de cette distance. Ainsi, un wafer d'Intel ou AMD utilisant un procédé de fabrication de 65 nm aura une grille d'une longueur de 35 nm.

En 2005 le demi-pitch de la mémoire Flash était de 57 nm et est aujourd'hui de 32 nm<sup>(2)</sup>.

(1) : Définition extraite de la thèse de Mikael Cimino.

(2) : 2010 est l'année de production du demi-pitch de mémoire flash en 32 nm. Pour l'ITRS (International Technology Roadmap for Semiconductors), l'année de production est celle où le leader grave entre 10 000 et 20 000 pièces commercialisables par mois, voire plus et qu'il est suivi d'au moins un concurrent dans les trois prochains mois

### **III.7. Conclusion:**

Les spécifications données au début de ce chapitre alliées aux conditions de hautes températures nous ont amené au résultat qui consiste à ne considérer que la mémoire Flash, pour sa non volatilité, NAND pour la densité qu'elle offre de nos jours comparée à la NOR et en SLC vu l'influence de la température sur la tension seuil des transistors les composants.

Ce chapitre a répondu à une bonne partie du choix qu'on avait à faire mais reste maintenant la sélection de la mémoire à partir du marché actuel ce qui fait l'objet du chapitre IV.





# Chapitre IV : Plan de Travail et Choix des Composants

La connaissance de l'influence de la haute température sur les circuits électroniques en général comme traité dans le chapitre II nous fait prendre conscience de l'importance de la fiabilité des circuits choisis surtout pour des applications, comme c'est le cas pour nous, à hautes températures.

L'évaluation de ces mémoires à haute température est alors indispensable et un plan doit être élaboré et suivi pour l'aboutissement aux résultats désirés et à la qualification de la mémoire en milieu hostile (création de la datasheet HT); ce plan qui sera présenté dans ce chapitre contient les tâches à exécuter ainsi que la durée estimée de chacune d'entre elles.

Le chapitre précédent quant à lui nous a défini les grandes lignes à propos des mémoires à choisir; il ne nous restera alors qu'à faire une étude comparative des différents modèles fournis par les différents fabricants et opter pour un certain nombre d'entre eux à la fin de ce chapitre.[38, 39, 40, 41, 42, 43, 44]

## **IV.1. Plan de travail:**

L'évaluation en question consiste à déterminer la température maximale de fonctionnement fiable (caractérisation) et juger des limitations de performances et à déterminer aussi le temps de fonctionnement du composant (life test) à cette température; cette dernière comme montrée sur le plan de la Figure IV.1 en couleur différente ne sera pas pratiquée vu le temps qu'elle peut prendre.



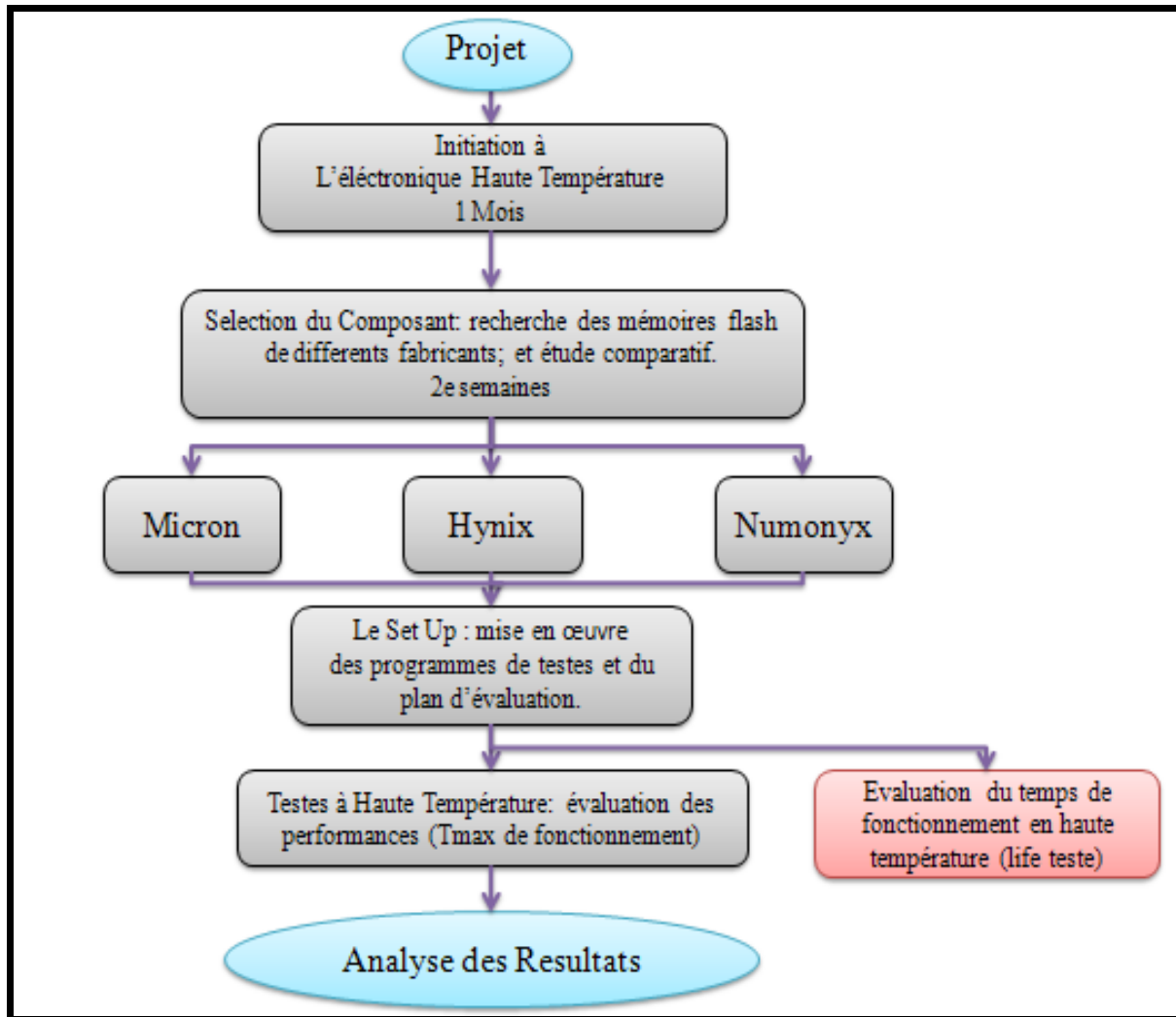


Figure IV.1: Plan du projet

## IV.2. Sélection des mémoires flash:

Le but de nos tests est alors d'élargir le tableau des qualifications <sup>(1)</sup> des mémoires flash par un choix précis de ces dernières. Ce tableau nous a préalablement donné un aperçu sur d'éventuels tests, sur des mémoires de densités supérieures ou technologies plus fines dans le cas où on choisissait des composants de la même famille de fabricant.

(1) : Voir annexe A pour les résultats des tests déjà effectués.




Fabricants	Type	Type of cell	Density (bits)	Process	Organization	Operating voltage	Part Num (family)	Speed(ns)	Package	Production Status
	NOR	SLC	512M	45nm	256Mx2 32Mx16	2.7~3.6, 2.7~3.1	K8Q1116UZZB	80 110	64FBGA MCP Only	Customer Sample
	NAND	SLC small bloc	512 M	30nm	64MX8	2.7~3.6	K9F1208U0C	42	TSOP1 FBGA	
		SLC large bloc	64G	30nm	8G X8	2.7~3.6	K9NCG08U5M	50	TSOP1,WELP	Mass production
			8G	30nm	1G X8	2.7~3.6	K9K8G08U1B/0M	25	TSOP,ULGA	Mass production
		MLC large bloc	256G	30nm	X8	2.7~3.6	K9PFG08U5M	50	52LGA(14*18)	Engineered Sample
			128G	30nm	X8	2.7~3.6	K9HDG08U5M K9PDG08U5D/M K9MDG08U5D/M	50 50	LGA(14*18) TSOP1, ULGA TSOP1, WELP	Mass Production,
	NAND	SLC	128G	50nm	x8	3.3V	MT29F128G08AUABAC5		VLGA	Production
			8G	50nm	x8	3.3V	MT29F8G08AAAWP-ET:A		TSOP	End of Life
						1.8V	MT29F8G08ADBDAH4-II		VFBGA	Sampling
		MLC	128G	50nm	x8	3.3V	MT29F128G08CFAAA WP/C MT29F128G08CFAAA WP		TSOP	Sampling
									End of life	
	NAND	SLC small bloc	1G	57nm	x8/ x16	1.8~3.3V	HY27US081G1M HY27US081G1M		TSOP/USOP	Mass production
		SLC large bloc	32G		x8	3.3V	HY27UK08BGFM		TSOP	Mass production
			8G	57nm	x8 /x16	3.3V	HY27UG088GDM HY27UG088G5M		TSOP/ ULGA	Mass production

Tableau IV.1: État de l'art des mémoires Flash SLC et MLC(1).






		MLC large bloc	256G		x8	3.3V			TSOP/LGA	
 Numonyx	NOR	serial	128Mb	65nm		1.8~3V	Forté™ N25Q		MLP/BGA24/SO16	
	NAND	SLC small bloc	8G		x8	1.8~3V	NAND08GW3F2A		TSOP48 VFBGA	
		SLC large bloc	16G		x8	3V		25 ns/45 ns	TSOP48 12x20mm	
		MLC large bloc	16G		x8	3V 3 V (2.7 - 3.6 V)	NAND16GW3D2B		TSOP48 12x20mm	
 Spansion	NOR	MirrorBit®	1G	90nm	x8/x16	3V	S29GL01GP		TSOP,BGA	
	ORNA ND		4G	65nm	x8/x16	1.8 V	S30MS-R		TSOP	
	SPI Multi I/O		32M	90 nm	x1/x2/x4	3 V	S25FL032P		SO,USON,WS ON	production
 Stmicroelectronique	NOR		1M	0.15nm	128 x 8	4.5 to 5.5	M29F010B70K6E	45ns	PLCC 32	
				64M	0.15nm	8M X 8 or 4M X16	2.7 to 3.6	M29W640FB70N6E	70ns	TSOP-4
	NAND	SLC	1G		128M X 8	2.7 to 3.6	NAND01GW3B2BN6E		PLCC-32	
Intel	NAND	SLC	4G		X 8	3.3V	SD74			
 intel		MLC	8G		X 8	3.3V	MD78			PRODUCT ION
 SST	PARALLEL		64 M		2M x16 or 4M x8	2.7-3.6	SST25VF064C	70 ns	SOIC WSON SOIC	

Tableau IV.2: État de l'art des mémoires Flash SLC et MLC(2).

Grâce au chapitre précédent le choix des mémoires est maintenant bien orienté et reste à trouver sur le marché des fournisseurs les mémoires qui correspondent aux critères exigés

Pour cela on va balayer les principaux fabricants de mémoires et leurs technologies puis les résumer dans le tableau IV.2. La recherche s'est faite au début à partir de leurs sites respectifs puis par contact des services chargés de répondre aux éventuelles questions ou donner plus de détails (Datasheet par exemple) car nombreux de ces sites sont protégés.

Dans ce tableau on a présenté le stade d'évolution de chaque fabricant en montrant la plus grande densité de mémoire flash (SLC ou MLC) réalisée à ce jour mais aussi les processus de fabrications réalisés; tandis que dans le tableau IV.3, présente seulement les plus grandes densités de mémoires pour les flash SLC.

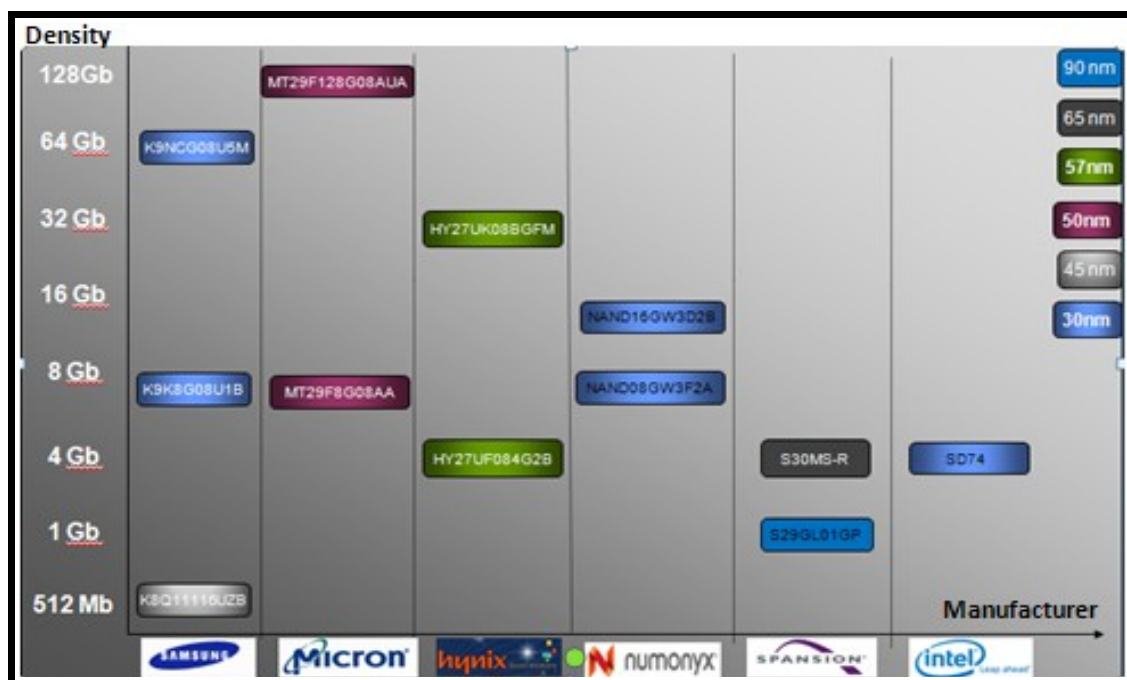


Tableau IV.3: État de l'art des Flash SLC.

Notre choix n'a pas été simple vu que bon nombre de ces fabricants sont arrivés à des densités de 4 Gbit en NAND et non pas en NOR, le choix s'est alors porté sur deux mémoires listées ci-après :

- **HY27UF(08/16)4G2B Series4Gbit (512Mx8bit)de Hynix.**
- **NAND Flash et MT29F8G08ABABA de Micron.**

Après le choix des composants, l'étape suivante devient logiquement l'étude du composant et la mise en œuvre du dispositif de test. C'est la partie la plus importante du processus de qualification. En effet, il s'agit de connaître les caractéristiques du composant, son fonctionnement, ainsi que toutes les conditions nécessaires à sa mise en œuvre. C'est l'étape la plus longue, étant donné qu'elle sera déterminante pour les tests à venir du point de vue de leur justesse et du bien-fondé de leurs résultats.





# Chapitre V : Étude de la Mémoire NAND

## FLASH HY27UF084G2B

Le chapitre précédent, après balayage des différents fabricants des mémoires flash, a été clôturé par le choix très restreint de deux mémoires qui pourraient faire l'objet des tests futures. Il est maintenant nécessaire d'étudier plus en détails les caractéristiques de l'une d'entre elles et surtout son fonctionnement.

Le présent chapitre s'articule autour de la mémoire de Hynix qui va être décrite sous toutes ses coutures pour pouvoir réaliser le programme en VHDL de la commande et le contrôle de cette dernière. [22, 23].

### **V.1. Description Sommaire de la Mémoire :**

La série Hynix NAND HY27UF (16/08) 4G2B <sup>(2)</sup> possède 512Mx8bit avec une capacité de rechange de 16Mx8bit. Le dispositif est fourni avec une alimentation Vcc de 3,3V, et avec une interface I / O de x8 et x16 (pour nous ce sera la x8), Sa cellule NAND fournit la solution la plus rentable pour le marché du stockage en masse à l'état solide. La mémoire est divisée en blocs qui peuvent être effacés de manière indépendante il est donc possible de conserver les données valides tandis que les données anciennes sont effacées.

Le dispositif contient 4096 blocs, composé de 64 pages programmables, chaque page contient 2112-octets. Les pages sont divisées en une région de stockage de données de 2048-octets avec une zone de 64 octets séparées; sur les mémoires x8 et sur les mémoires, x16 de 1024 mots et la zone 32-mots séparée (Figure V.1). Les zones de 64-octets et de 32-mots sont généralement utilisées pour des fonctions de gestion d'erreur.

Une opération de programmation sur une page permet d'écrire 2112-octets en 200us

---

(1) : Logo du manufacturer hynix semiconductor..

(2) : Le numéro de série décortiqué en annexe B.

typique et une opération d'effacement peut être effectuée sur un bloc de 132K octets en 1.5ms typique.

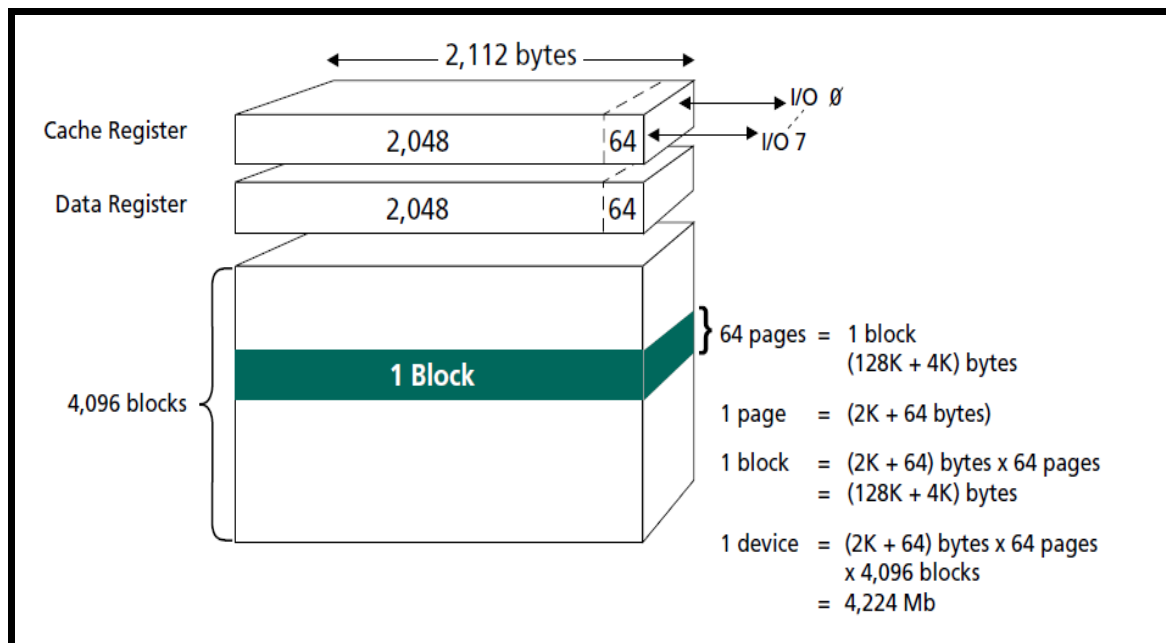


Figure V.1: Organisation d'une unité logique (LUN) [23].

Les données d'une page peuvent être lues à 25ns temps de cycle par octet (x8). Les broches d' I/O servent de ports pour l'adresse ; l'entrée / sortie des données ainsi que l'entrée de commande.

Cette interface permet un nombre de broches réduit et une migration facile vers des densités différentes, sans aucun réarrangement de l'empreinte. Les Commandes, les données et les adresses sont introduites d'une manière synchrone à l'aide des broches d'entrées  $\overline{CE}$ ,  $\overline{WE}$ ,  $\overline{RE}$ , ALE et CLE.

La modification des opérations peut être verrouillée en utilisant la saisie  $\overline{WP}$  . La broche de sortie R /  $\overline{B}$  (buffer à drain ouvert) signale l'état de la mémoire lors de chaque opération. Dans un système avec plusieurs mémoires, leurs broches R /  $\overline{B}$  peuvent être connectées ensemble pour fournir un signal d'état global.

La fonction de copie de sauvegarde permet l'optimisation de la gestion des blocs défectueux; quand une opération de programmation d'une page échoue, les données peuvent être directement programmées dans une autre page à l'intérieur de la même section sans consommation du temps de l'insertion sérielle des données. L'opération de

copie de sauvegarde exécute automatiquement l'opération de détection d'erreur intégrée: 1 bit d'erreur tous les 528byte (x8) ou 1 bit d'erreur sur chaque 264-mots (x16) peuvent être détectés. Grâce à cette caractéristique, il est ni nécessaire ni recommandé d'utiliser un 2-bits ECC (Error Correction Code) externe pour détecter les erreurs de l'opération de copie de sauvegarde. La lecture des données après copie de sauvegarde (à la fois pour les cas simples et multi-plane) est autorisée.

L'endurance des opérations de programmation/effacement est spécifiée à 100.000 cycles avec un ECC de 1bit/528byte .La série HY27UF (16/08) 4G2B est disponible en 48-TSOP1 12 x 20 mm <sup>(1)</sup>.

## **V.2. Architecture :**

Ces dispositifs utilisent des interfaces « NAND flash » électriques et de commande. Les données, les commandes et les adresses sont multiplexées sur les mêmes broches et reçus par le circuit de contrôle des I / O. Les commandes reçues par le circuit de contrôle des I / O sont verrouillées par le registre de commande et sont transférées au circuit de contrôle des logiques pour produire des signaux internes de contrôle des opérations de l'appareil.

Les adresses sont verrouillées par un registre d'adresse et envoyées à un décodeur de ligne pour sélectionner une adresse de ligne, ou à un décodeur de colonne pour sélectionner une adresse de colonne. Les données sont transférées vers ou à partir du tableau de mémoire NAND Flash, octet par octet, à travers un registre de données et un registre cache.

Le tableau de mémoire NAND Flash est programmé et lu à l'aide d'opérations basées sur la page et effacé par des opérations de bloc de base. Au cours des opérations normales sur les pages, les données et les registres caches agissent comme un seul registre. Pendant les opérations de cache, le cache de données et les registres fonctionnent de façon indépendante pour accroître le débit des données. Le registre d'état rapporte l'état de la puce (LUN) concernant les différentes opérations.

---

(1) : Type de packaging à 48 broches et ses dimensions Voir Annexe C.

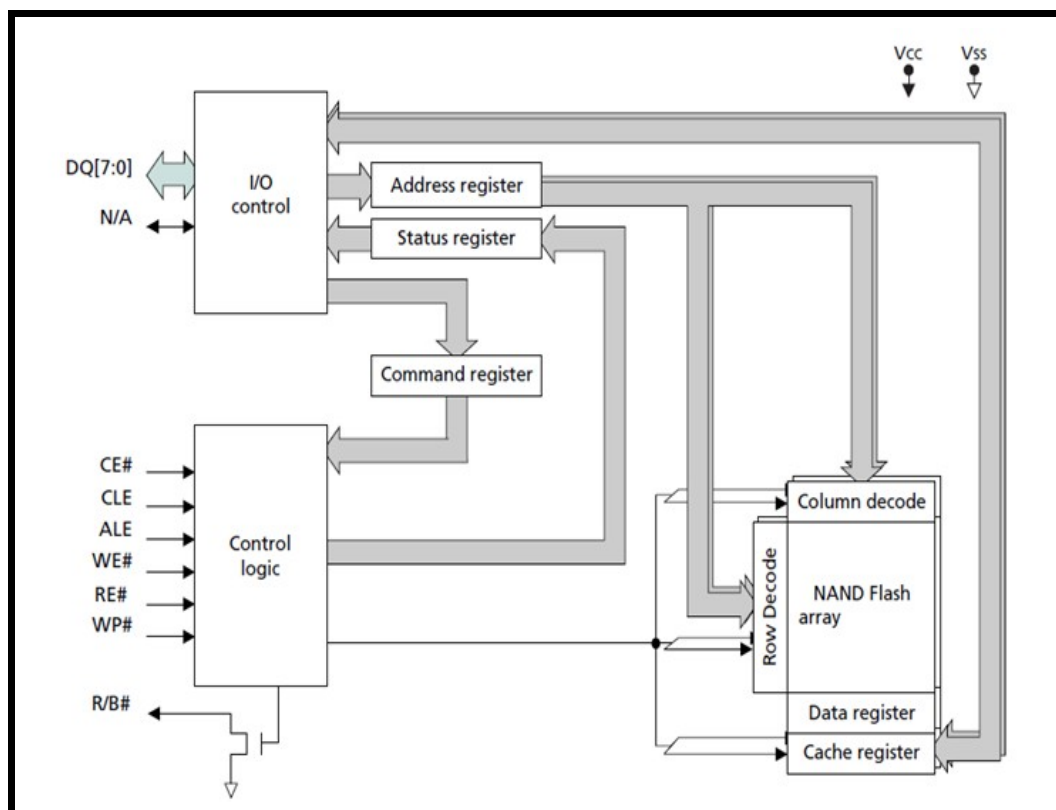


Figure V.2: Schéma fonctionnel de la NAND Flash Die (LUN) [23]

### V.3. Configuration :

N° du PIN	NOM	SIGNIFICATION
29-32,41-44	IO7 - IO0	Entrées / Sorties des données
16	CLE	Autorisation de Verrouillage de la commande
17	ALE	Autorisation de Verrouillage de l'adresse
9	$\overline{CE}$	Puce activée
8	$\overline{RE}$	Autorisation de Lecture
18	$\overline{WE}$	Autorisation d'Écriture
19	$\overline{WP}$	Écriture protégée
7	$R/\overline{B}$	prêt/occupé
12,37	Vcc	Alimentation
13,36	Vss	Terre
Tout le reste	NC	Pas connecté

Tableau V.1: Nom des signaux et pins correspondants [22].

NOM	DESCRIPTION
IO7 - IO0	<b>DATA INPUTS/OUTPUTS</b> <i>Les broches d'E / S permettent l'entrée des Commandes,des adresses,des données et la sortie des données pendant les opérations de lecture / programmation. Les entrées sont verrouillées sur le front montant de l'autorisation d'écriture. Le buffer I / O est à haute-Z lorsque l'appareil est désactivé ou les sorties sont désactivées.</i>
CLE	<b>COMMAND LATCH ENABLE</b> <i>Cette entrée active le verrouillage des I/O en entrées dans le registre de commande sur le front montant du signal de validation d'écriture (WE).</i>
ALE	<b>ADDRESS LATCH ENABLE</b> <i>Cette entrée active le verrouillage des I/O en entrées à l'intérieur du Registre des adresses sur le front montant de l'autorisation d'écriture (WE).</i>
$\overline{CE}$	<b>CHIP ENABLE</b> <i>Entrée de commande et de sélection de l'appareil.</i>
$\overline{RE}$	<b>READ ENABLE</b> <i>L'entrée RE est le contrôleur série des données sortantes, activé entraine les données sur le bus d'E / S. Les données sont valable au bout d'un temps <math>t_{REA}</math> après le front descendant du RE qui incrémente également le compteur interne de l'adresse de colonne par un.</i>
$\overline{WE}$	<b>WRITE ENABLE</b> <i>Cette entrée sert d'horloge aux verrous de commande, d'adresses et de données. Les I/O en entrées sont verrouillées sur son front descendant.</i>
$\overline{WP}$	<b>WRITE PROTECT</b> <i>La broche WP, quand elle est au niveau bas, offre une protection matérielle contre les modifications indésirables (programmation / effacement) pour les opérations.</i>
R/ $\overline{B}$	<b>READY BUSY</b> <i>Le sortie Prêt / Occupé est un pin à Drain ouvert qui signale l'état de la mémoire.</i>
Vcc	<b>SUPPLY VOLTAGE</b> <i>Le Vcc fournit la puissance pour toutes les opérations (lecture, écriture, effacement).</i>
Vss	<b>GROUND</b>

Tableau V.2: Description des signaux de la HY27UF084G2B [22].

Les signaux de commande et le signal de sortie R /  $\overline{B}$  sont représentés sur les pins de la mémoire comme suit:

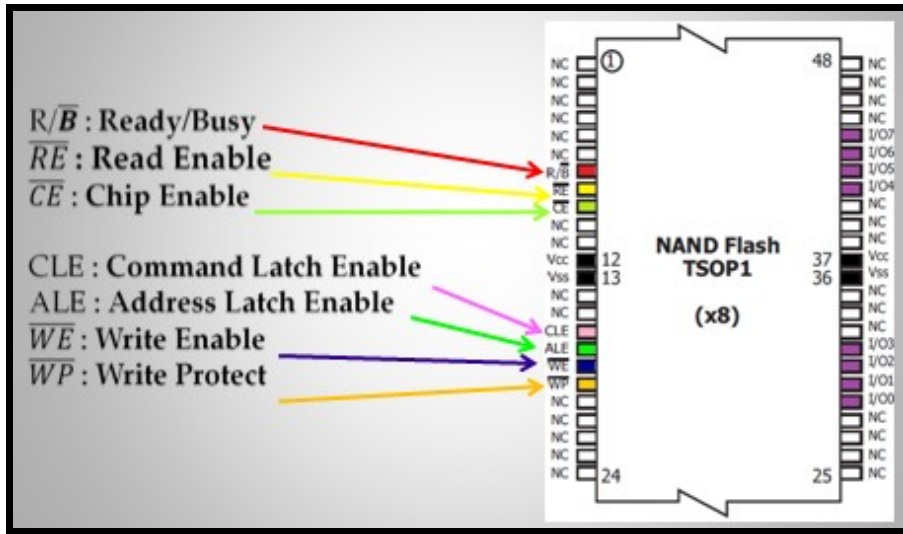


Figure V.3: Position des signaux de commande et le signal R/ $\overline{B}$  [22].

## V.4. Le fonctionnement :

### V.4.1. L'adressage :

Vu la taille de la mémoire et les broches d'entrées/sorties disponibles, l'adressage des registres s'exécute sous cinq cycles (Voir Tableau V.3). On peut voir que les 12 premiers bits (A0 à A11) représentent le numéro du Byte dans une page (l'adresse de la colonne 2112bytes), suivis de 6 bis représentant le numéro de page 64 pages différentes) et les 12 derniers bits représentent le numéro du bloc (4096 différents blocs).

	I00	I01	I02	I03	I04	I05	I06	I07
1st Cycle	A0	A1	A2	A3	A4	A5	A6	A7
2nd Cycle	A8	A9	A10	A11	L <sup>(1)</sup>	L <sup>(1)</sup>	L <sup>(1)</sup>	L <sup>(1)</sup>
3rd Cycle	A12	A13	A14	A15	A16	A17	A18	A19
4th Cycle	A20	A21	A22	A23	A24	A25	A26	A27
5th Cycle	A28	A29	L <sup>(1)</sup>	L <sup>(1)</sup>	L <sup>(1)</sup>	L <sup>(1)</sup>	L <sup>(1)</sup>	L <sup>(1)</sup>

Tableau V.3: Les cinq cycles d'adressage[22]

Comme résumé des cinq cycles d'adressage :

1. Numéro du Byte: A0 à A7.
2. Numéro du Byte: A8 à A11 et 0 pour les bits les plus significatifs (Note<sup>(1)</sup>).
3. Numéro de page et numéro du bloc: A12 à A19.
4. Numéro de page et numéro du bloc: A20 à A27.
5. Numéro de page et numéro du bloc: A28 et A29 et 0 pour les bits les plus significatifs (Note(1)).

Les deux opérations de programmation et de lecture sont appliquées à une seule page tandis que l'opération d'effacement est une opération de bloc de base. Pour effacer alors nous avons seulement besoin du numéro de bloc, le cycle de cinq adressages n'est pas nécessaire mais trois sont plus que suffisants. On utilisera alors les bits de A18 à A29.

## **V.4.2. Les Opérations du Bus :**

Il y a six opérations standards de bus qui contrôlent l'appareil. Il s'agit de l'entrée de commande, l'entrée d'adresse, l'entrée des données, l'opération de sortie des données, la protection contre l'écriture et le mode en veille<sup>(1)</sup>.

Typiquement les glitches<sup>(2)</sup> de moins de 3ns sur Chip Enable, Write Enable et Read Enable sont ignorés par la mémoire et n'affectent pas les opérations du bus.

### **V.4.2.1. Entrée de commande(command input) :**

L'opération d'entrée de commande du bus est utilisée pour donner une commande à la mémoire. Les commandes sont acceptées avec les signaux : Chip Enable au niveau bas; Command Latch Enable au niveau haut, l'Address Latch Enable au niveau bas; Read Enable au niveau haut et sont verrouillées sur le front montant de Write Enable. Les commandes sont toujours appliquées sur IO(7: 0) quelle que soit la configuration du bus (x8 ou x16).

---

(1) : Ces bits là, doivent être mis à 0.

(1) : Il faut noter que ces opérations demandent un timing précis; un tableau de tous ces temps est donné dans l'annexe B.

(2) : Défaillance électronique ou électrique qui correspond à une fluctuation dans les circuits électroniques ou à une coupure de courant.



#### **V.4.2.2. Entrée d'adresses.(adresse input) :**

L'opération d'entrée d'adresse du bus permet l'insertion des différentes adresses de la mémoire. Cinq cycles sont nécessaires pour entrer les adresses comme vu en V.4.1, les adresses sont acceptées avec les signaux : Chip Enable au niveau bas, Adresse Latch Enable au niveau haut, Command Latch Enable au niveau bas et Read Enable au niveau haut et sont verrouillées sur le front montant de Write Enable. Les adresses sont toujours appliquées sur IO(7: 0)quelle que soit la configuration du bus (x8 ou x16).

#### **V.4.2.3. Entrée des données.(data input) :**

Ce fonctionnement du bus permet d'alimenter l'appareil des données à programmer. L'insertion des données se fait en série et à un temps bien précis régi par les cycles de validation d'écriture. Les données ne sont acceptées qu'avec Chip Enable au niveau bas, Address Latch Enable et Command Latch Enable au niveau bas, Read Enable et Write Protect au niveau haut et sont verrouillées sur le front montant de Write Enable

#### **V.4.2.4. Sortie des données.(data output) :**

L'opération de sortie des données permet la lecture des données de la mémoire et la vérification du contenu du registre d'état. Les données peuvent être sorties en dehors en série en faisant basculer le pin de Read Enable avec Chip Enable, Address Latch Enable et Command Latch Enable au niveau bas et Write Enable au niveau haut.

#### **V.4.2.5. Protection contre l'écriture .(write protect) :**

La protection matérielle en écriture est activée quant le pin de Write Protect est au niveau bas. Dans cet état, la modification des opérations ne démarre pas et le contenu de la mémoire n'est pas altéré.

#### **V.4.2.6. Le mode en veille (standby) :**

Dans ce mode, l'appareil n'est pas désélectionné, les sorties sont désactivées et la consommation électrique est réduite.

#### **V.4.3. Les Opérations Mémoire :**

On distingue trois opérations fondamentales d'une flash qui sont l'écriture d'une page, la lecture d'une page et l'effacement d'un bloc mémoire et c'est principalement celle-ci qu'on a utilisé lors du programme de commande de notre mémoire; on trouve aussi d'autres opérations comme : le Multi Plane Program, le Multi Plane Erase, le Copy-back Program, le Multi-Plane Copy-Back Program, le Read Status Register ou le Cache Read<sup>(1)</sup>.

##### **V.4.3.1. Lecture d'une page :**

Cette opération s'opère en écrivant 00h et 30h <sup>(2)</sup> au registre de commande avec cinq cycles d'adresse. Deux types d'opérations sont disponibles: la lecture aléatoire et sérielle de la page.

Le mode de lecture aléatoire est activé lorsque l'adresse de la page est modifiée. Les 2112 octets (x8) de données dans la page sélectionnée sont transférées vers les registres de données en moins de 25us (tR)<sup>(3)</sup>

Le contrôleur de système peut détecter l'achèvement de ce transfert de données (tR) en analysant la sortie de la broche R /  $\overline{B}$ . Une fois les données d'une page sont chargées dans les registres de données, elles peuvent être lues en temps de cycle de 25ns en pulsant séquentiellement le signal RE. La répétitivité de la transition du niveau haut au niveau bas de l'horloge RE fera en sorte que des données sortent à partir de la colonne de l'adresse sélectionnée à la dernière colonne d'adresse.

Le dispositif peut aléatoirement faire sortir les données d'une page au lieu que ce soit sériel en écrivant les commandes de sortie aléatoires. La Figure V.3 détaille la séquence.

---

(1) :Le détails de ces opérations est donné dans la référence [22].

(2) : Valeurs en hexadécimal.

(3) :Spécifié dans le tableau de l'annexe B.

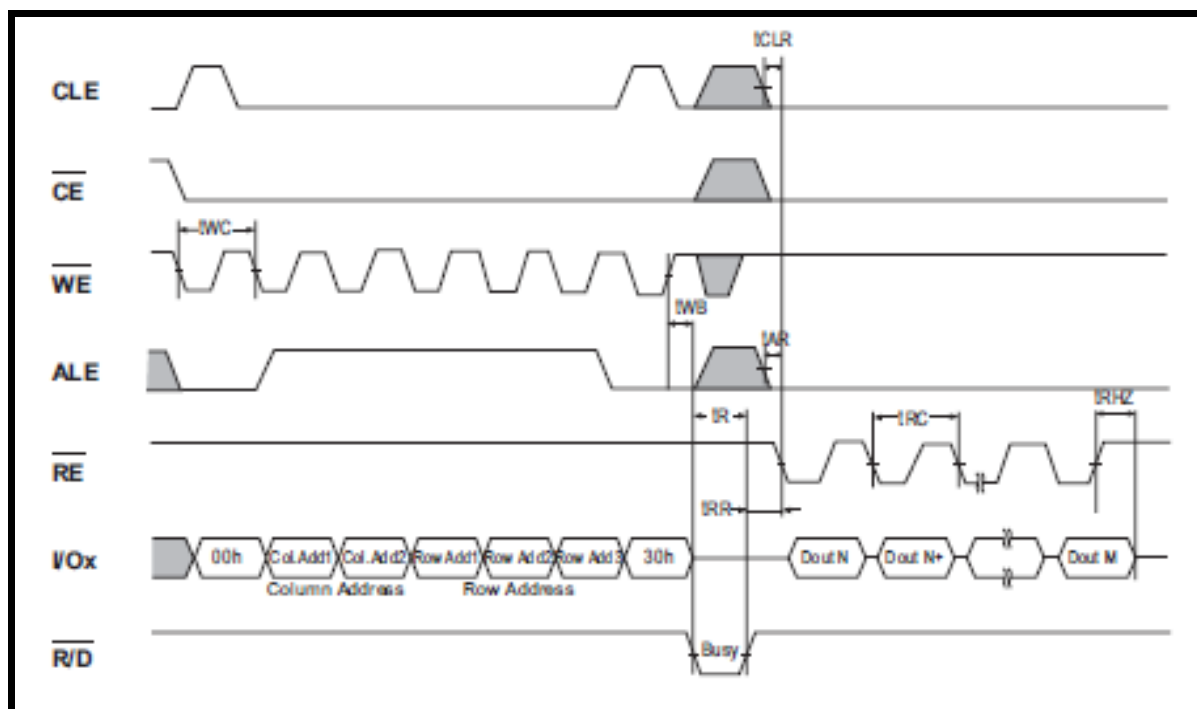


Figure V.4: Opération de lecture d'une page [22].

#### V.4.3.2. L'écriture d'une page :

La mémoire est programmée par page. Le nombre d'opérations consécutives de programmation partielle dans une même page sans faire intervenir l'opération d'effacement ne doit pas dépasser 8. L'adressage doit être fait sur chaque page dans un bloc. Un cycle de programmation de la page se compose d'une série de chargements de données périodiques où jusqu'à 2112 bytes de données peuvent être chargés dans le registre de données, suivie d'une période de programmation où les données chargées sont programmées dans la cellule appropriée d'une façon non-volatile.

La période de chargement de données en série commence par la saisie des données d'entrée de commande (80h), suivie par les cinq cycles d'entrée de l'adresse. Les octets autres que ceux à programmer n'ont pas besoin d'être chargés.

La commande de confirmation de la programmation de la page est (10h), elle amorce le processus de programmation. 10h écrite seule sans avoir préalablement entré les données de série n'engagera pas le processus de programmation. Le contrôleur d'état interne exécute

automatiquement les algorithmes et les délais nécessaires pour la programmation et la vérification, libérant ainsi le contrôleur de système pour d'autres tâches.

Une fois le démarrage du processus de programmation effectué, la commande de lecture du registre d'état peut alors être rentrée pour lire le registre d'état.

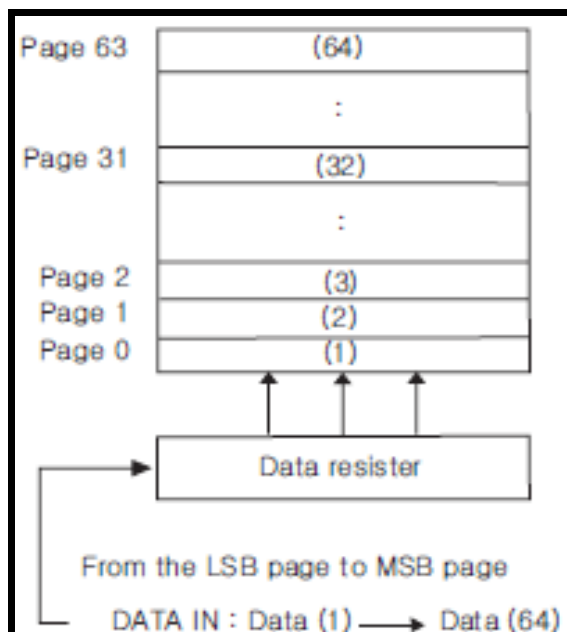


Figure V.5: Programmation d'une page dans un bloc [22].

Le contrôleur de système est capable de détecter la fin d'un cycle de programmation en surveillant la sortie  $R / \bar{B}$ , ou le bit d'état I / O (6) du registre d'état. Seule la commande de lecture du registre d'état et la commande de réinitialisation sont valables lorsque la programmation est en cours. Lorsque la programmation de la page est terminée, le bit d'état de l'écriture I / O (0) peut être vérifié. La vérification interne détecte les erreurs d'écriture uniquement pour les "1" qui ne sont pas programmés avec succès à "0".

Le registre de commande reste en mode commande du statut de lecture jusqu'à ce qu'une autre commande valable, soit inscrite dans le registre de commande. La Figure V.4 détaille la séquence.

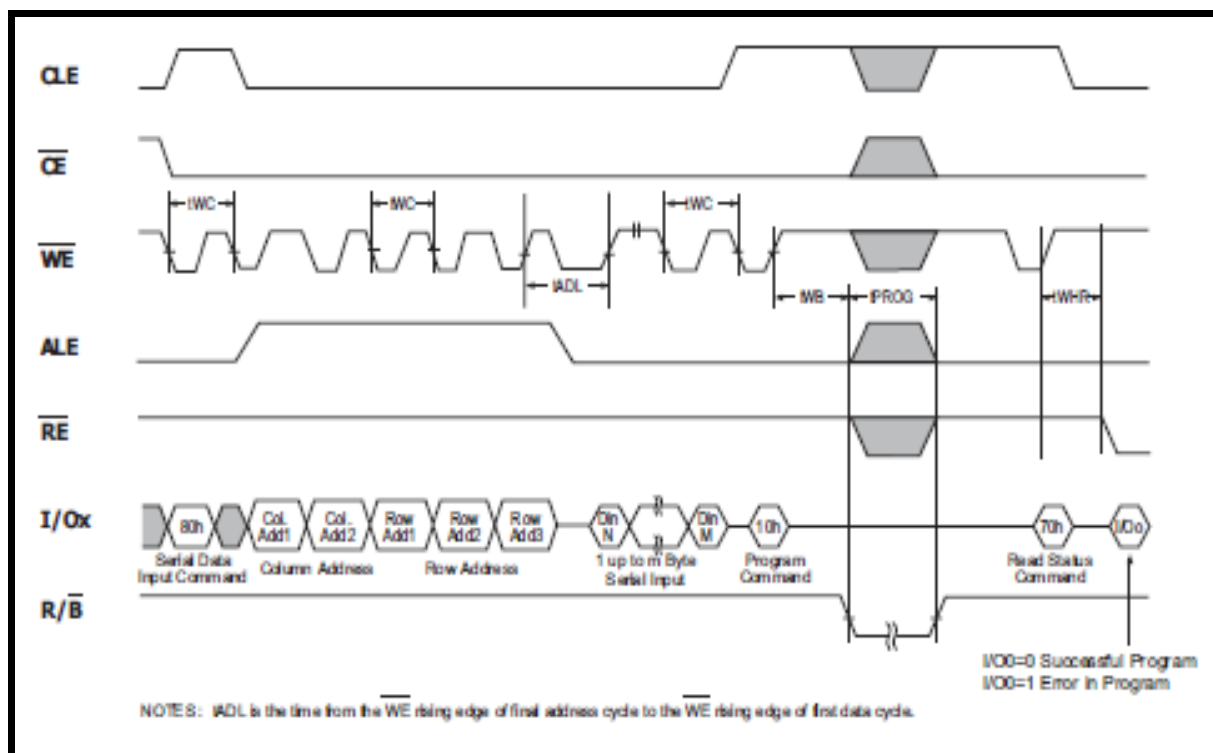


Figure V.6: Opération de programmation d'une page [22].

### V.4.3.3. L'effacement d'un bloc :

L'opération d'effacement est appliquée à un bloc de base. Le chargement de l'adresse d'un bloc se fait en trois cycles comme on l'a vu précédemment, précédés par la commande d'effacement (60h). seules les adresses de A18 à A29 sont valides tandis que celles de A12 à A17 sont ignorés (x8).

La commande de confirmation d'effacement (D0h) initialise le processus d'effacement interne.

Une fois que le processus d'effacement commence, la commande de lecture du registre d'état peut alors être rentrée pour lire le registre d'état.

Le contrôleur de système est capable de détecter la fin d'un cycle d'effacement en surveillant la sortie R /  $\bar{B}$ , ou le bit d'état I / O (6) du registre d'état. Seule la commande de lecture du registre d'état et la commande de réinitialisation sont valables lorsque le processus d'effacement est en cours.

Lorsque l'effacement du bloc est terminé, le bit d'état de l'écriture I / O (0) peut être vérifié.

La Figure V.5 détaille la séquence.

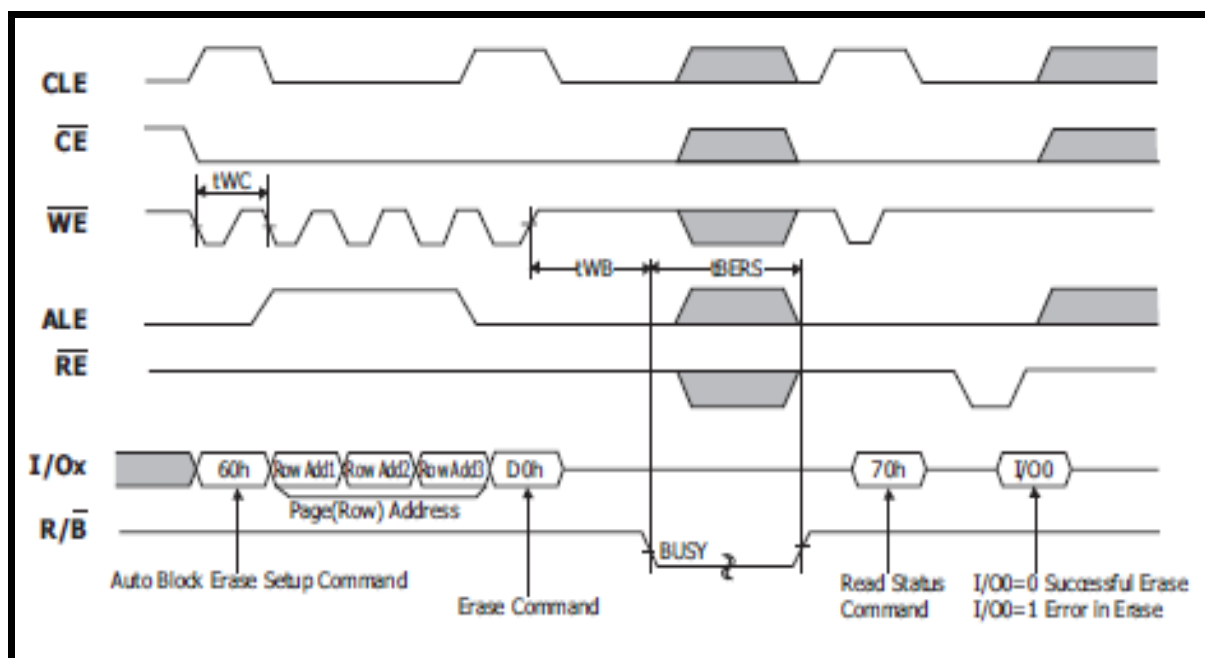


Figure V.7: Opération d'effacement d'un bloc [22].

Comme résumé des différentes commandes des opérations à faire entrer citées ci-dessus, on propose le tableau V.7.

Function	First Cycle	Second Cycle
Read1 (read one page)	00h	30h
Reset	FFh	-
Page Program	80h	10h
Block Erase	60h	D0h
Read Status Register	70h	-

Figure V.8: Résumé des commandes des opérations de la mémoire [22].

## **V.5. Conditions maximales tolérées :**

Symbol	Parameter	Value	Unit
$T_A$	Ambient Operating Temperature (Commercial Temperature Range)	0 to 70	°C
	Ambient Operating Temperature (Industrial Temperature Range)	-40 to 85	°C
$T_{BIAS}$	Temperature Under Bias	-50 to 125	°C
$T_{STG}$	Storage Temperature	-65 to 150	V
$V_{IO}^{(2)}$	Input or Output Voltage	-0.6 to 4.6	V
$V_{CC}$	Supply Voltage	-0.6 to 4.6	V

*Figure V.9: Conditions maximales tolérées [22].*

Ces données nous montrent que cette mémoire n'a été garanti en fonctionnement que pour des températures atteignant 85°C. Or nous savons que cette dernière sera utilisée dans des outils qui seront exposés à des températures bien plus élevées, allant jusqu'à 200°C et plus. D'où la nécessité pour nous d'effectuer des tests en haute température, pour déterminer la fiabilité de ce type de mémoire sous ces conditions et établir ses limites.

## **V.6. Gestion des Bad blocs :**

Un des défaut des mémoires flash NAND est le fait qu'elles présentent un certain nombre de blocs défectueux à l'origine, mais ce problème est pris en compte par les fabricants, c'est pour cela que la mémoire contient des zones de rechanges, la densité totale est toujours garantie mais l'inconvénient reste qu'il faut les déterminer (recenser).

Un bloc défectueux n'affecte pas les performances de blocs valides, car il est isolé de la ligne de bit et ligne de source commune par un transistor de sélection.

Un bloc défectueux est un bloc où le premier octet de la 1ère ou 2ème page (si la 1ère page est mauvaise )dans la zone de rechange ne contient pas Ffh. Il est recommandé de créer une table Bad Blocs comme montré dans l'organigramme de la Figure V.10.

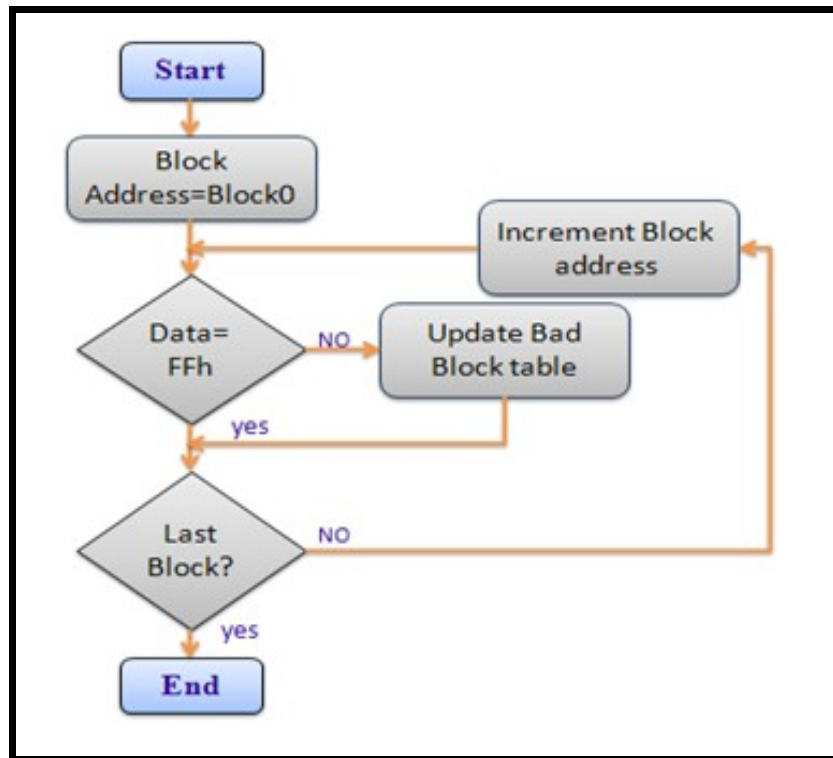


Figure V.10: Organigramme de gestion des Bad blocs.

## V.7. Résumé des caractéristiques :

Une Densité de 4 Gbit.

Une finesse de gravure de 57 nm.

Une tension d'alimentation entre 2.7 et 3.6V.

Après avoir présenté la mémoire sélectionnée en décrivant ses différentes caractéristiques et son fonctionnement; nous allons présenter dans le chapitre suivant le dispositif des tests à effectuer en haute température de part la carte de développement qui contiendra les programmes de contrôle et de commande de la mémoire et les logiciels utilisés à cet effet.





# **Chapitre VI : Carte de Développement et Environnement de Programmation**

Après avoir fait l'étude du composant, l'étape suivante consiste en la mise en œuvre du dispositif de test. Il s'agira dans ce chapitre de présenter les outils nécessaires, permettant la réalisation des tests. C'est une étape fondamentale car un bon choix et une bonne connaissance et maîtrise des éléments du dispositif facilitera la programmation des procédures de tests mais aussi les procédures en elles même.[10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 31, 32, 33]

## **VI.1. Présentation de la carte de développement « Altera DE2 Board » :**

### **VI.1.1. Description :**

Les tests à haute températures seront réalisés grâce à la carte Altera DE2 qui est doté d'un puissant FPGA cyclone II . Tous les composants importants sur la console sont connectés aux broches de cette puce, ce qui permet à l'utilisateur de configurer la connexion entre les différentes composantes comme il le souhaite. Pour des expériences simples, le conseil DE2 comprend un nombre suffisant de commutateurs (de deux à bascule et touches divers), des voyants et afficheurs 7 segments. Pour plus d'expériences avancées, il y a des SRAM, SDRAM, et des puces de mémoire Flash, ainsi qu'un afficheur 16 x 2 caractères. Pour les expériences qui nécessitent un processeur et de simples interfaces E / S, il est facile d'instancier Altera Nios II processeur et l'utilisation des normes d'interface tels que les RS-232 et PS / 2.Pour les expériences qui impliquent des signaux sonores ou vidéo, il existe des connecteurs standard fournis sur la carte.

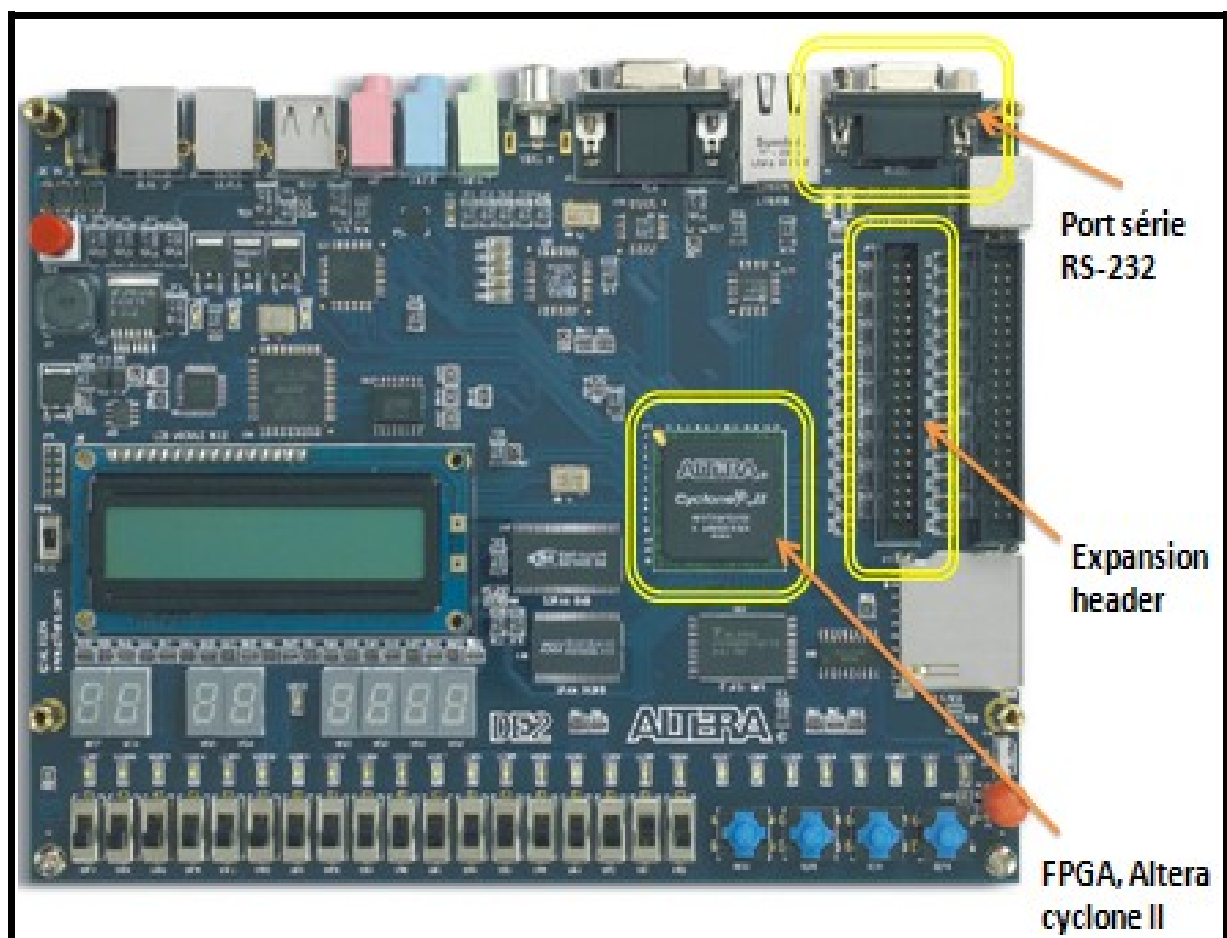
Pour les projets de la conception large, il est possible d'utiliser des connexions USB et

Ethernet, ainsi que la carte mémoire SD.

Enfin, il est possible de connecter d'autres conseils d'utilisation conçus pour le conseil DE2 au moyen de deux têtes d'expansions qu'on utilisera au cours de nos tests.

### **VI.1.2. Schéma et principaux éléments de la carte :**

Le schéma qui suit représente la carte de développement utilisée pour contrôler la mémoire où y sont représentés les principaux éléments <sup>(1)</sup>utilisés.



*Figure VI.1: Carte de développement Altera DE2 [32].*

#### **VI.1.2.1. Cœur:**

- **FPGA** : (Cyclone II EP2C35F672C6) : 35.000 cellules (LE) utilisables dans un boîtier de 672 broches (BGA) ; il s'agit du centre nerveux de la carte.
- **Flash** de configuration : EPCS16 : cette mémoire permet de stocker de manière non-

(1) : Un schéma plus détaillé est donné dans l'annexe C.

volatile la configuration du FPGA.

- **Horloges** : Oscillateurs 27 et 50 MHz et entrée externe (SMA).

#### **VI.1.2.2. Mémoire :**

- **FLASH** (S29AL032D) : 4 M\*8 (10ns).
- **SDRAM** (IS42S16400-8) : 4 M\*16 (100 MHz <2-2-2>).
- **SRAM** (61LV 25616) : 256 k\*16 (10ns).

#### **VI.1.2.3. Périphériques :**

- Codec **Audio** (WM8731) : 24 bits mono (8 - 96 kHz).
- Décodeur **Vidéo/TV** (ADV7181B) : NTSC/PAL 50/60 Hz
- Convertisseur **VGA** (ADV7123) : jusqu'à 1600\*1200@100 Hz

#### **VI.1.2.4. Entrées/Sorties :**

- Connecteur **RS232** : type DB9
- Connecteur **USB 2.0** : types A (host) et B (device), contrôleur : ISP-1362
- Connecteur **Ethernet 10/100** : type RJ45, contrôleur : DMA9000A, full duplex
- Connecteur **Clavier/Souris** : type PS/2
- Connecteurs **d'expansion** : 2 connecteurs HE10-40b (72 signaux utilisables).
- Module **IrDA** : Emission/Réception infra-rouge (jusqu'à 115,2 kbauds)

#### **VI.1.2.5. Interfaces :**

- Boutons : il y a 18 *switches* et 4 boutons **poussoirs**.
- Voyants **LED** : il y a 18 LED rouge et 9 LED vertes.
- Afficheurs : 8 digits **7-Segments** et 1 module LCD\_(2 lignes de 16 caractères).

#### **VI.1.2.6. Modules :**

- LCM : Afficheur LCD 320\*240 couleur 3,6" .
- DC2 : 2 cameras CMOS.

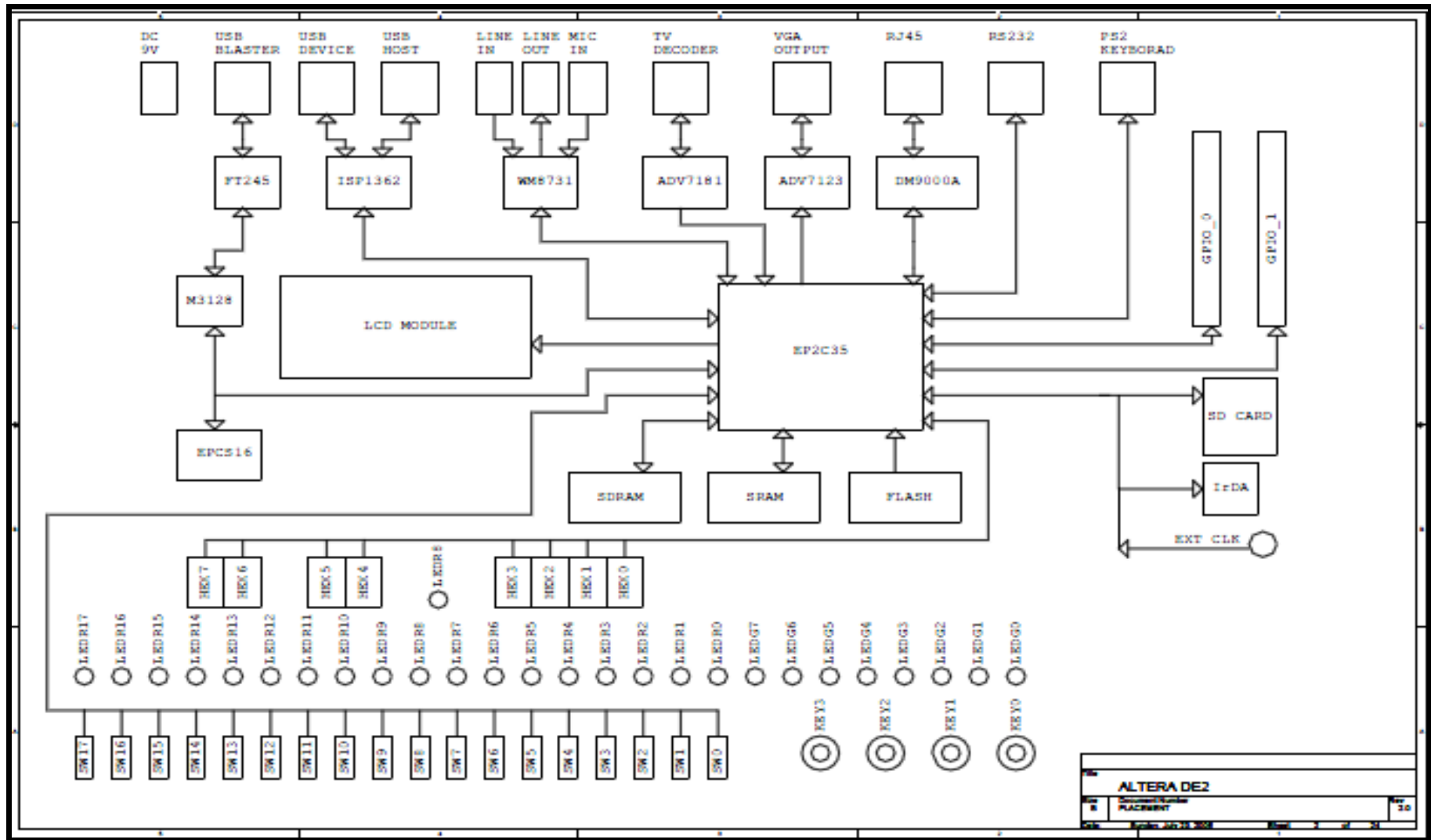


Figure VI.2: Schéma de placement de la carte d'évaluation Altera DE2 [33].

La liste d'éléments cités précédemment reste non-exhaustive et parmi tous ces éléments il s'est avéré que l'utilisation de certains d'entre eux était capitale comme les LED qui jouent un grand rôle dans le débogage mais aussi dans l'animation par exemple « HeartBeat »<sup>(1)</sup> et les switches servant à la réinitialisation mais aussi l'horloge de 50Mhz; on note aussi les connecteurs d'expansion (voir schéma de la les Figure VI.2) et le port série RS232 dont le schéma et le tableau de l'affectation des broches<sup>(2)</sup> sont représentés ci-après:

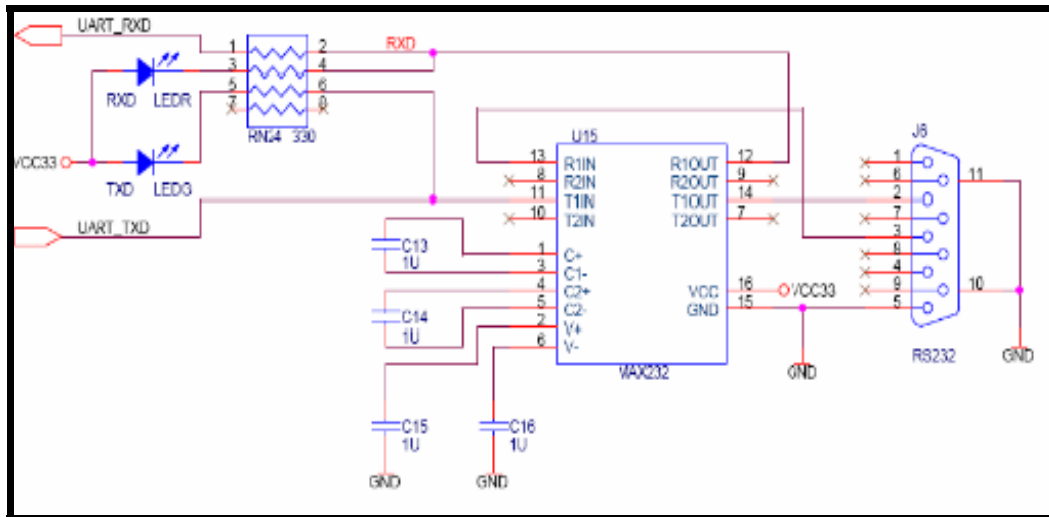


Figure VI.3: Schématique de la puce MAX232 (RS-232) [13]

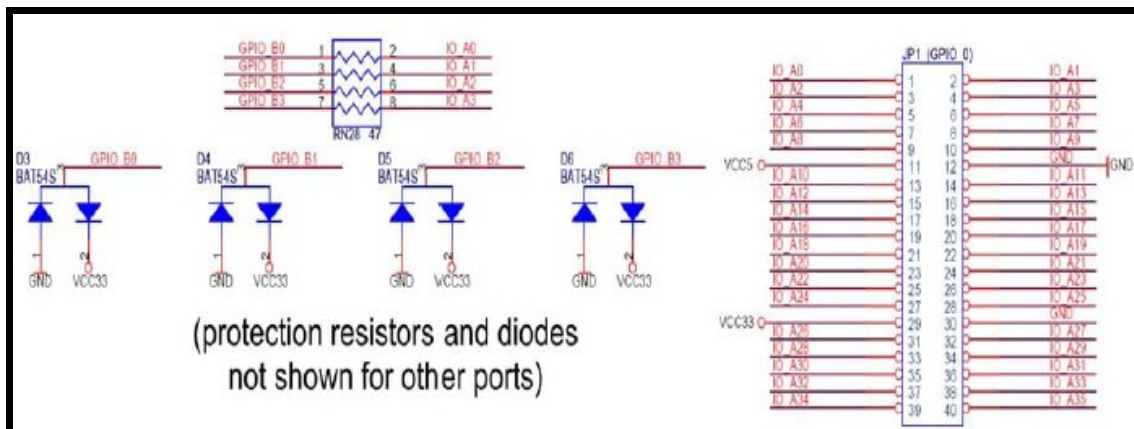


Figure VI.4: Schéma d'une des têtes d'expansions[13].

(1) :Nom d'une entité de programme écrite, le programme est en annexe E.

(2) :Le tableau d'affectation des pins de la tête d'expansion sera est dans la référence [13].

Signal Name	FPGA Pin No.	Description
UART_RXD	PIN_C25	UART Receiver
UART_TXD	PIN_B25	UART Transmitter

Tableau VI.1: Affectation des broches du port RS-232[13].

On remarque bien dans la Figure VI.4 les 40 pins de chaque tête et le fait qu'elle soit connectée directement à 36 broches sur les FPGA Cyclone II, on constate aussi les pins de tension DC +5 V (VCC5), +3,3 V DC (VCC33), et deux pins GND. Chaque broche sur les têtes d'expansion est reliée à deux diodes et une résistance qui assurent la protection de hautes et basses tensions. La Figure VI.4 montre aussi le circuit de protection pour seulement quatre des pins sur chaque tête, mais ce circuit est inclus pour toutes les broches de données soit au nombre de 72.

## **VI.2. Le logiciel « Quartus II » :**

On a eu à notre disposition la version 9,1sp 2 Web Edition du logiciel qui peut être téléchargé gratuitement à partir de ce lien:

<http://www.altera.com/products/software/quartus-ii/web-edition/qts-we-index.html>

### **VI.2.1. Description :**

Le logiciel « Quartus II » est un outil de Conception Assistée par Ordinateur (CAO), produit par Altera pour l'analyse et la synthèse des modèles HDL, ce qui permet aux développeurs de compiler leurs projets, effectuer l'analyse temporelle, examiner les diagrammes RTL, de simuler la réaction d'un design à différents stimuli, et de configurer le périphérique cible avec le programmeur. Voir la Figure VI.5 pour une illustration d'un flot de conception.

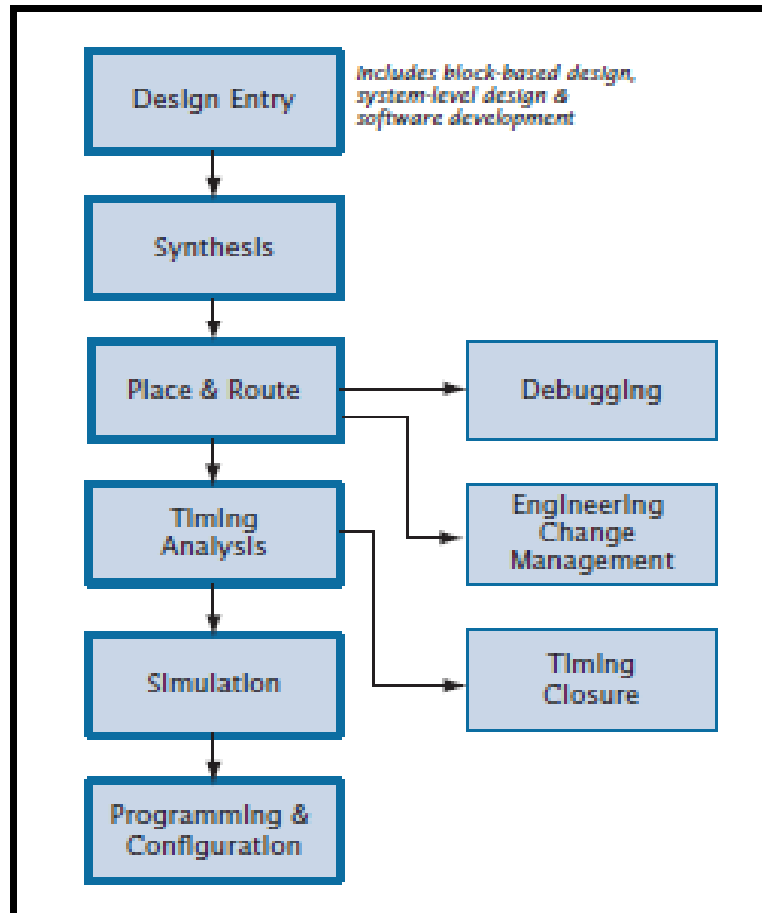


Figure VI.5: Étapes du processus typique d'une CAD [31]

Les étapes du processus de la conception des circuits logiques sont les suivantes:

**Conception d'entité** : le circuit désiré est spécifié soit au moyen d'un schéma, ou en utilisant un langage de description de matériel, tels que VHDL ou Verilog.

**Synthèse** : la conception qui est entrée est synthétisée sur un circuit qui se compose des éléments logiques (LE), fournis dans la puce FPGA.

**Simulation fonctionnelle** : le circuit de synthèse est testé pour vérifier son exactitude fonctionnelle; cette simulation ne tient pas compte des questions de temps.

**Montage** : l'outil de CAO Fitter détermine le placement des ERP définis dans la netlist dans les LE du FPGA réelles, il choisit également l'acheminement des fils dans la puce pour effectuer les connexions nécessaires entre les LE spécifiques.

**Analyse temporelle** : les retards de propagation le long des chemins différents dans le circuit installé sont analysés afin de fournir une indication de la performance attendue du circuit.



**Simulation temporelle** : le circuit monté est testé pour vérifier son exactitude à la fois fonctionnelle et temporelle.

**Programmation et configuration** : le circuit conçu est mis en œuvre dans une puce FPGA physique par la programmation des commutateurs de configuration permettant de configurer les LEs et d'établir les connexions nécessaires

L'environnement de programmation se présente comme suit :

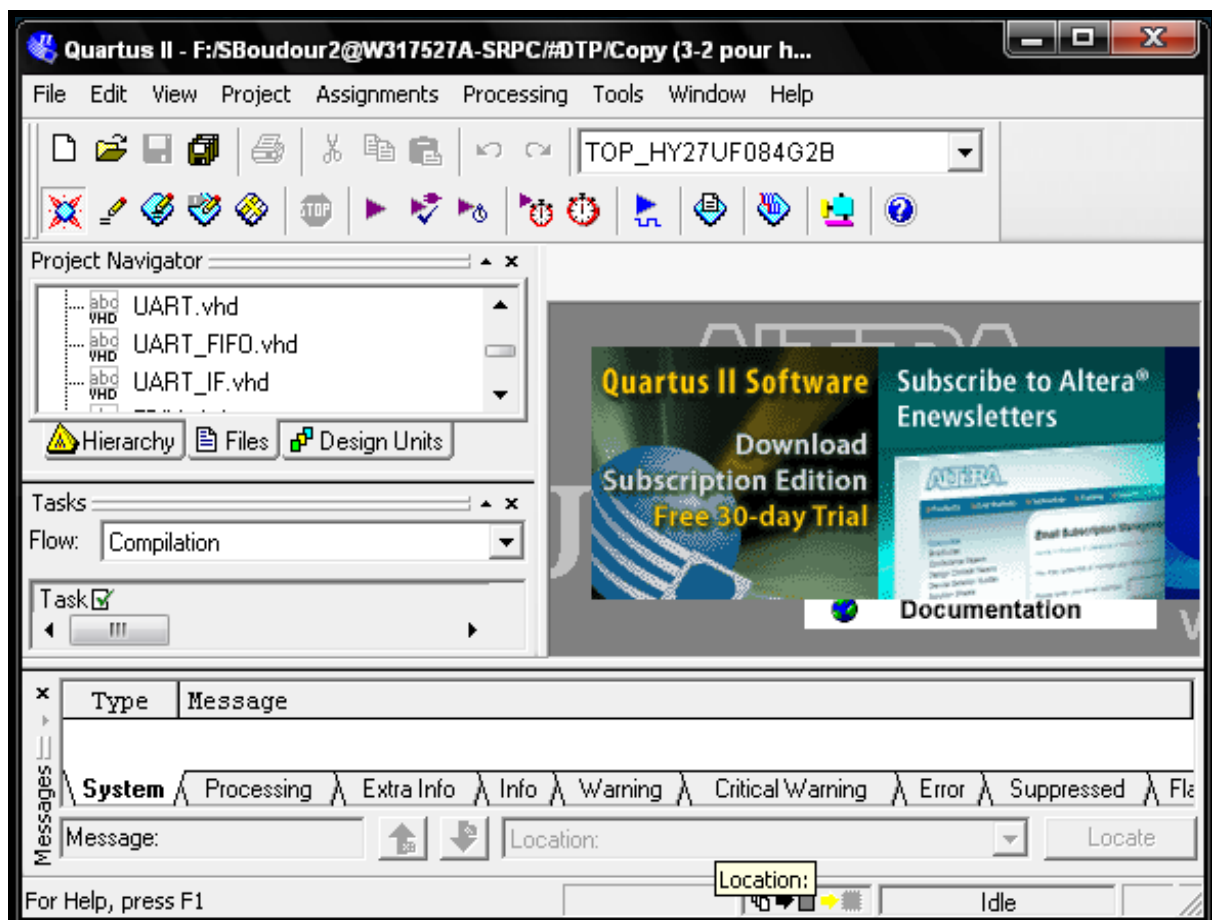


Figure VI.6: Fenêtre de travail du Logiciel Quartus II

### **VI.2.2. La programmation JTAG :**

Cette programmation représente un des deux modes de configuration qu'offre le conseil Altera DE2; elle fait partie de la dernière étape de conception qui est la programmation et configuration du FPGA ( Cité plus haut ).

Le fichier de configuration nécessaire est généré par le module assembleur du compilateur de Quartus II. Les données de configuration sont transférées de l'ordinateur hôte ( qui exécute le logiciel Quartus II ) à la carte au moyen d'un câble qui se connecte à un port USB sur l'ordinateur hôte et sur le connecteur USB situé à gauche sur la carte.

Pour utiliser cette connexion, il est nécessaire d'avoir le pilote USB-Blaster installé avant d'utiliser la carte.

Dans le mode JTAG, les données de configuration sont chargées directement dans le dispositif FPGA. Le JTAG acronyme signifie Joint Test Action Group. Ce groupe a défini une méthode simple pour tester les circuits numériques et le chargement de données en eux, qui est devenu un standard IEEE. Si le FPGA est configuré de cette manière, il conserve sa configuration tant que la carte reste allumée. Les informations de configuration sont perdues lorsque l'alimentation est coupée.

Après avoir téléchargé les données de configuration dans le dispositif FPGA, on pourra alors tester le circuit mis en œuvre.

Dans notre application les données lues à partir de la mémoire doivent être accessibles et de ce fait transmises à l'ordinateur d'où l'utilisation d'un protocole de communication.

### **VI.3. Le protocole de communication entre l'ordinateur et l'FPGA :**

Les communications entre l'ordinateur et l'FPGA sont effectuées via un port série bidirectionnel. L'envoi de commandes est réalisé par le logiciel COM Port Toolkit 3,9, un émulateur de terminal. Il permet d'établir des connexions directes par liaison série RS-232.

Ce logiciel est téléchargeable à partir de ce lien direct:

[http://download.cnet.com/COM-Port-Toolkit/3000-2086\\_4-10401032.html](http://download.cnet.com/COM-Port-Toolkit/3000-2086_4-10401032.html)

Une fois le logiciel lancé, on a besoin de choisir la configuration désirée ( Voir Figure VI.7)) en précisant le port et la vitesse qui est de 115200 bauds dans notre cas.

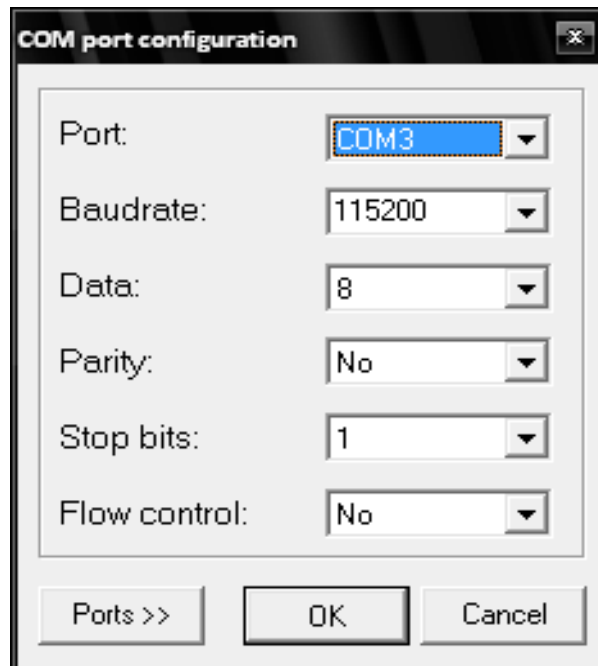


Figure VI.7: Fenêtre de configuration du port

Maintenant, pour envoyer les commandes on utilise la fenêtre de commande; les différentes instructions d'effacement de lecture et d'écriture sont exprimées en hexadécimal et sont respectivement : 45h ( pour E de erase ); 57h ( pour W de write ) et 50h. ( pour S de start ).

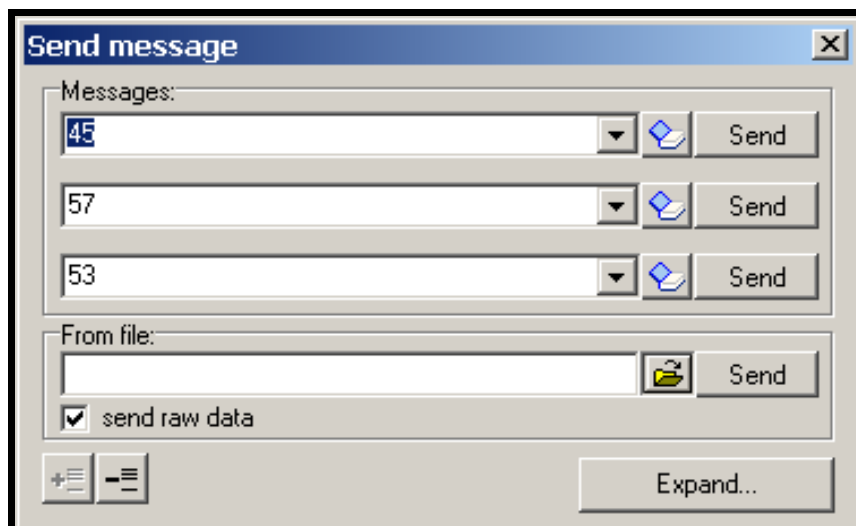


Figure VI.8: Fenêtre de commande

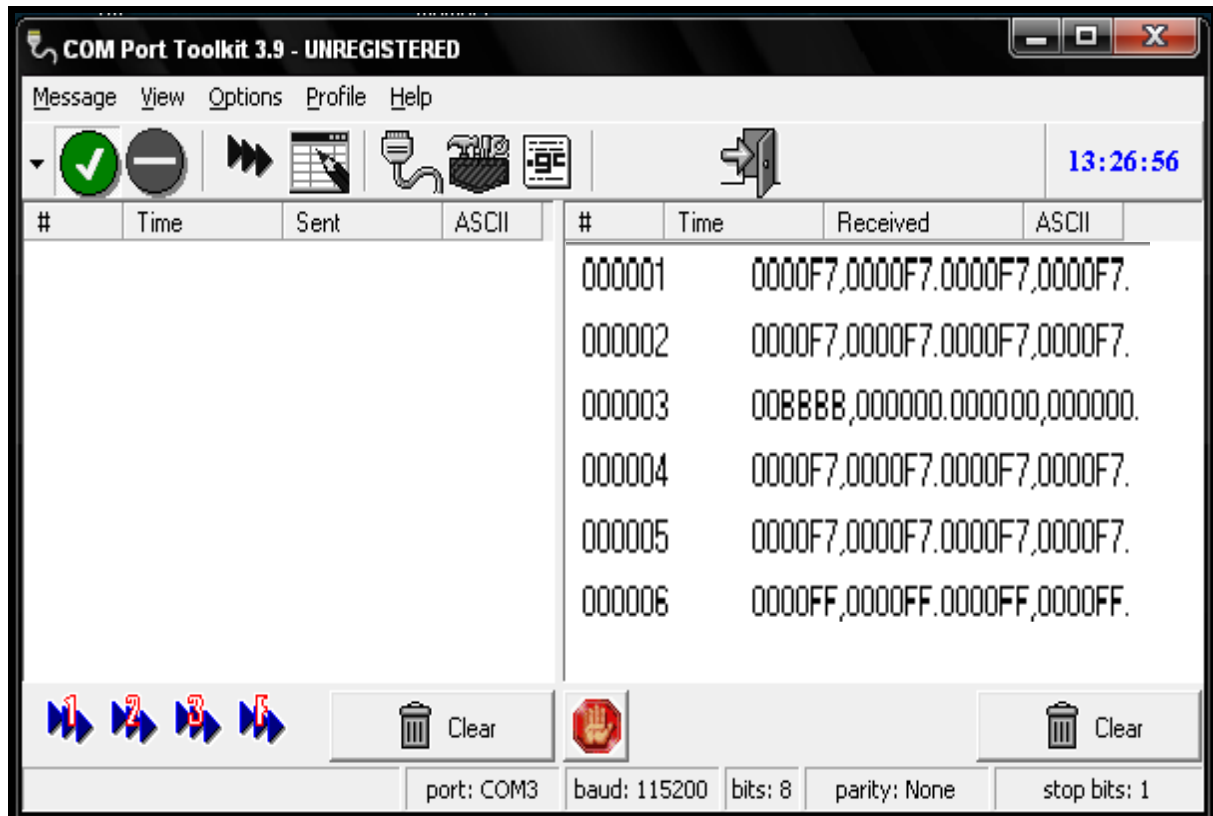


Figure VI.9: Fenêtre de travail du COM Port Toolkit.

#### VI.4. Le dispositif du test :

Une représentation schématique du dispositif de test peut être présentée dans la Figure VI.10.

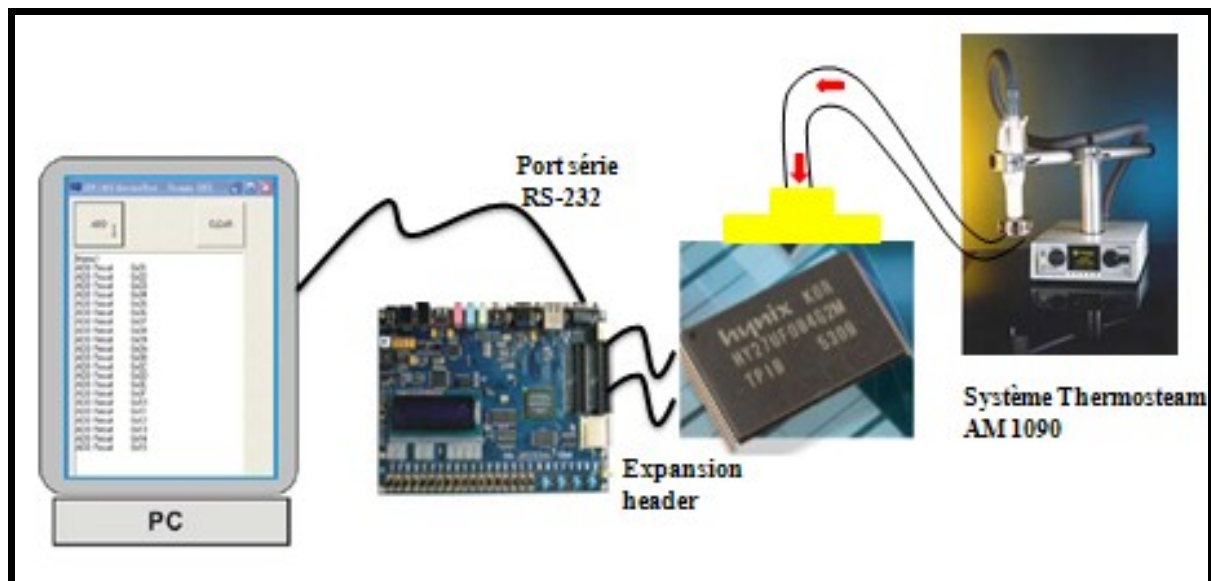


Figure VI.10: Schéma de principe des mesures en haute température.

La mémoire a été soudée sur un PCB <sup>(1)</sup> haute température sur une face ( Voir Figure VI.11 ) et placée sur un support de circuit intégré ( SUPPORT ZIP DIP 48)<sup>(2)</sup> sur lequel sont soudés les 17 fils de contrôle de la mémoire, venant de la tête d'expansion de la carte. Ce connecteur à été utile car il a permis de facilement inter-changer les mémoire sans avoir à ressouder les fils sur chaque mémoire.

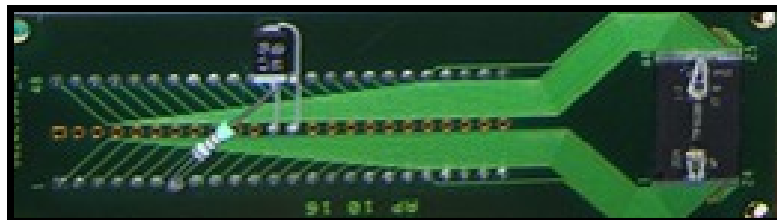


Figure VI.11: Photographie de la mémoire soudée sur le PCB.

On constate une résistance de tirage de  $1k\Omega$  entre  $V_{cc}$  et le signal de sortie  $R / \overline{B}$  car c'est une sortie à drain ouvert.

Cette résistance est généralement utilisée pour fixer l'état logique haute impédance  $V_s = Z$  à 1. Car lorsque le transistor est saturé  $V_s \sim 0$  et lorsque le transistor est bloqué  $V_s = Z$ .

Sa valeur est calculée de sorte que le courant nécessaire lors de l'état  $V_s = 0$  peut être fourni par la sortie. Cela donne la valeur min cette dernière est fournie dans notre cas dans la datasheet de la mémoire<sup>(3)</sup>; la formule est alors:

$$R_p (\min) = \frac{V_{cc} (\text{Max.}) - V_{OL} (\text{Max.})}{I_{OL} + \sum I_L} = \frac{3.2V}{8mA + \sum I_L}$$

Où  $I_L$  sont tous les courants d'entrée du dispositif liés au pin  $R / \overline{B}$ .

On a ajouté aussi une capacité de découplage de  $4,7\mu F$  sur la carte et deux de  $0,1\mu F$  qui se trouvent sur la mémoire ( Voir Figure VI.11 ); elles ont pour rôle de stocker de l'énergie au plus près du composant pour répondre rapidement aux brusques appels de courant

Le système thermostream ( Thermotemp AM1090 ) est une machine qui émet de l'air

(1) :Support commandé sur Radiospares; [www.radiospares.fr](http://www.radiospares.fr).

(2) :Printed Circuit Board (circuit imprimé),est un support, en général une plaque, permettant de relier électriquement un ensemble de composants électroniques entre eux.

(3) :Détails donnés dans l'annexe B.

chaud et qui permet de régler sa température entre  $-80$  et  $225$  °C; ainsi elle couvre totalement l'intervalle de température de nos tests et cela requière une bonne isolation

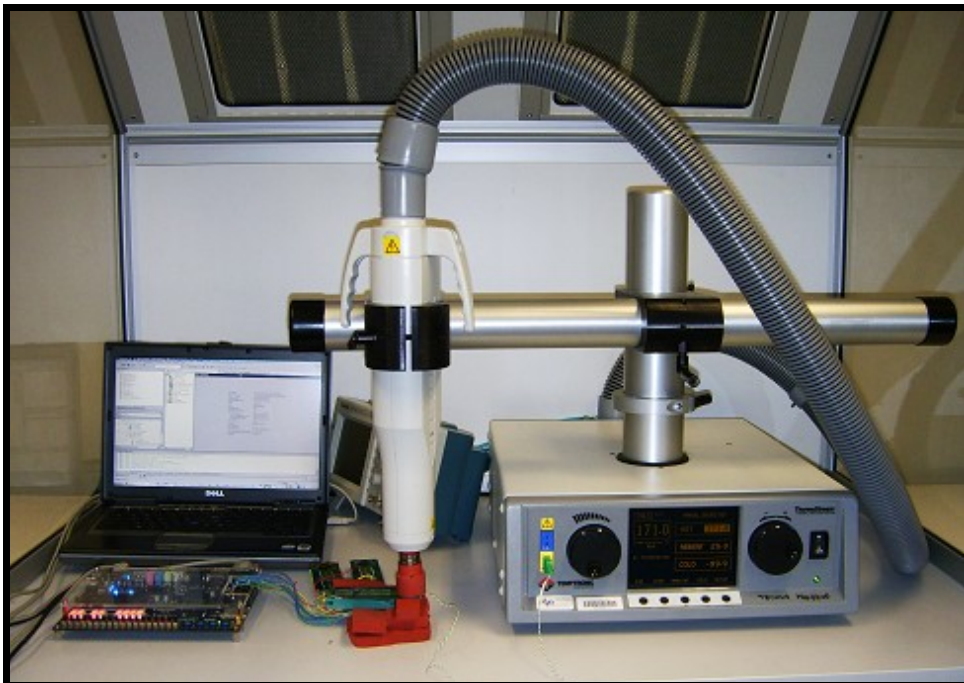
On a aussi utilisé lors de notre test :

un thermocouple de type K qui est sensible à l'intervalle de température  $[-80, 1325]$  °C. Il a été choisi pour son avantage économique puisque la mesure ne nécessite pas une grande précision de la température; de plus avec ce thermocouple on peut aller jusqu'à un chiffre après la virgule ( un dixième de degré Celsius ).

Un thermomètre digital ( Digi-sense 8095-10 ) qui est adaptable avec plusieurs types de thermocouples ( J, K, T, etc. ) donc ses performances dépendent du thermocouple utilisé pour effectuer les mesures.

Une alimentation 3,3V externe pour une meilleure stabilité de la tension qu'on a utilisé dans les premiers tests mais on a utilisé après ceux fournis sur les expansions headers.

Un oscilloscope qui a permis de visualiser les signaux lors du débogage du programme.



*Figure VI.12: Photographie du dispositif complet lors d'un test.*

Après cette présentation des éléments du dispositif de test de la mémoire, l'étape de mise en œuvre n'est pas encore finie mais il reste la partie de programmation des différentes opérations à effectuer lors des tests et des sous-opérations les constituant et cela constitue l'objet du prochain chapitre.



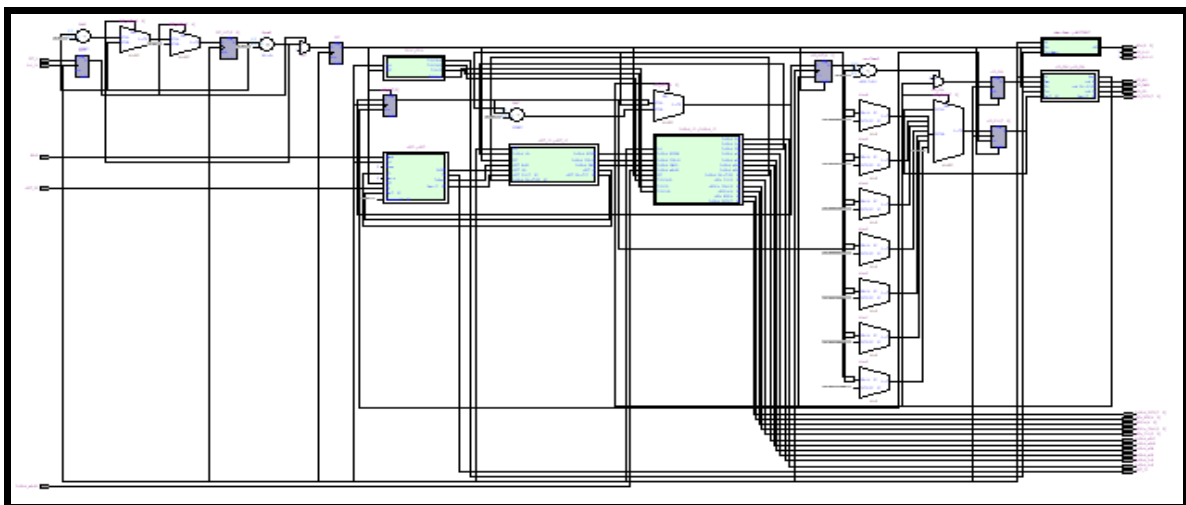


# Chapitre VII : La Programmation

Une fois la carte de développement et le logiciel utilisé présentés, on procède à présent à sa programmation. Cette étape est la plus longue, étant donné qu'elle sera déterminante pour les tests à venir, du point de vue de leur justesse et du bien-fondé de leurs résultats. Ce chapitre traitera en détails du code servant à contrôler la mémoire. [16, 17, 18, 19, 20, 21].

## VII.1. Introduction :

Les tests de caractérisation de notre mémoire consiste en l'évaluation de la capacité de la mémoire à écrire et lire les données à haute température; pour réaliser cela un code entièrement écrit en VHDL a été développé sous le logiciel Quartus II 9.1sp2. Le programme permet d'effacer entièrement la mémoire, d'écrire en n'importe quelle position de la mémoire des données aléatoires, de lire ces données et de les comparer <sup>(1)</sup>. L'entité globale du programme contient essentiellement trois grandes entités : l'interface de la mémoire qui contrôle la Flash et contient les programmes des processus de lecture, écriture et effacement de la mémoire; les différentes parties de l'UART; l'entité servant à la division de l'horloge et le générateur de données aléatoires. Le schéma RTL <sup>(2)</sup> de l'entité globale est donné comme suit:



*Figure VII.1: Schéma RTL de l'entité globale : TOP\_HY27UF084G2B.*

(1) : Ces opérations seront détaillées ultérieurement.

(2) : Le schéma n'est pas très visible mais chacune de ses parties sera détaillée plus loin.

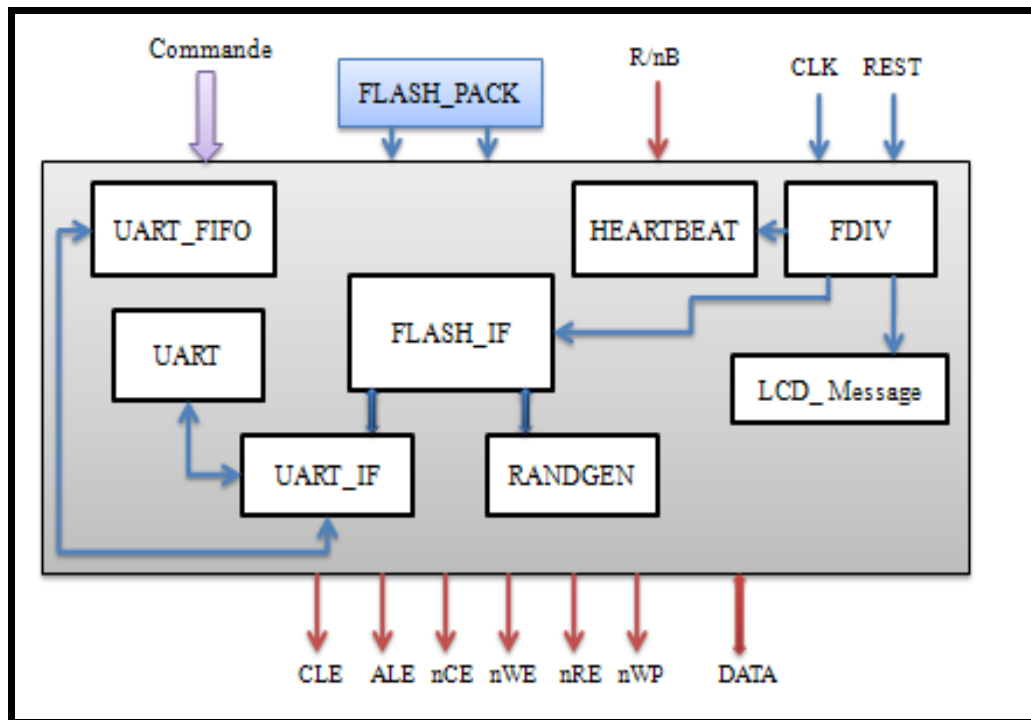


Figure VII.2: Schéma simplifié de l'entité globale.

Ce schéma montre bien le nombre d'entités utilisées ( représentées par des rectangles ) et sous entend le nombre de variables traitées dans ce programme. La dépendance des entités est visible et cela reste un schéma simplifié; c'est pour cela qu'elles vont être traitées plus en détail une par une pour mieux voir le rôle exact du programme réalisé.

## VII.2. Programmation des différentes entités<sup>(1)</sup> :

### VII.2.1. L'interface de la mémoire(FLASH\_IF) :

Cette partie représente le programme le plus important, il contrôle la mémoire, y dépend entièrement et est unique à chacune. On traite dans ce programme aussi la gestion des Bad Blocs existant dans la mémoire à l'état initial.

On y a programmé les opérations suivantes:

(1) :Tout les programmes réalisés se trouvent dans l'annexe D.

- **L'effacement** : consiste en l'écriture de FF h dans toute la mémoire; basée sur le schéma de la Figure V.6; l'organigramme de cette opération est donné comme suit:

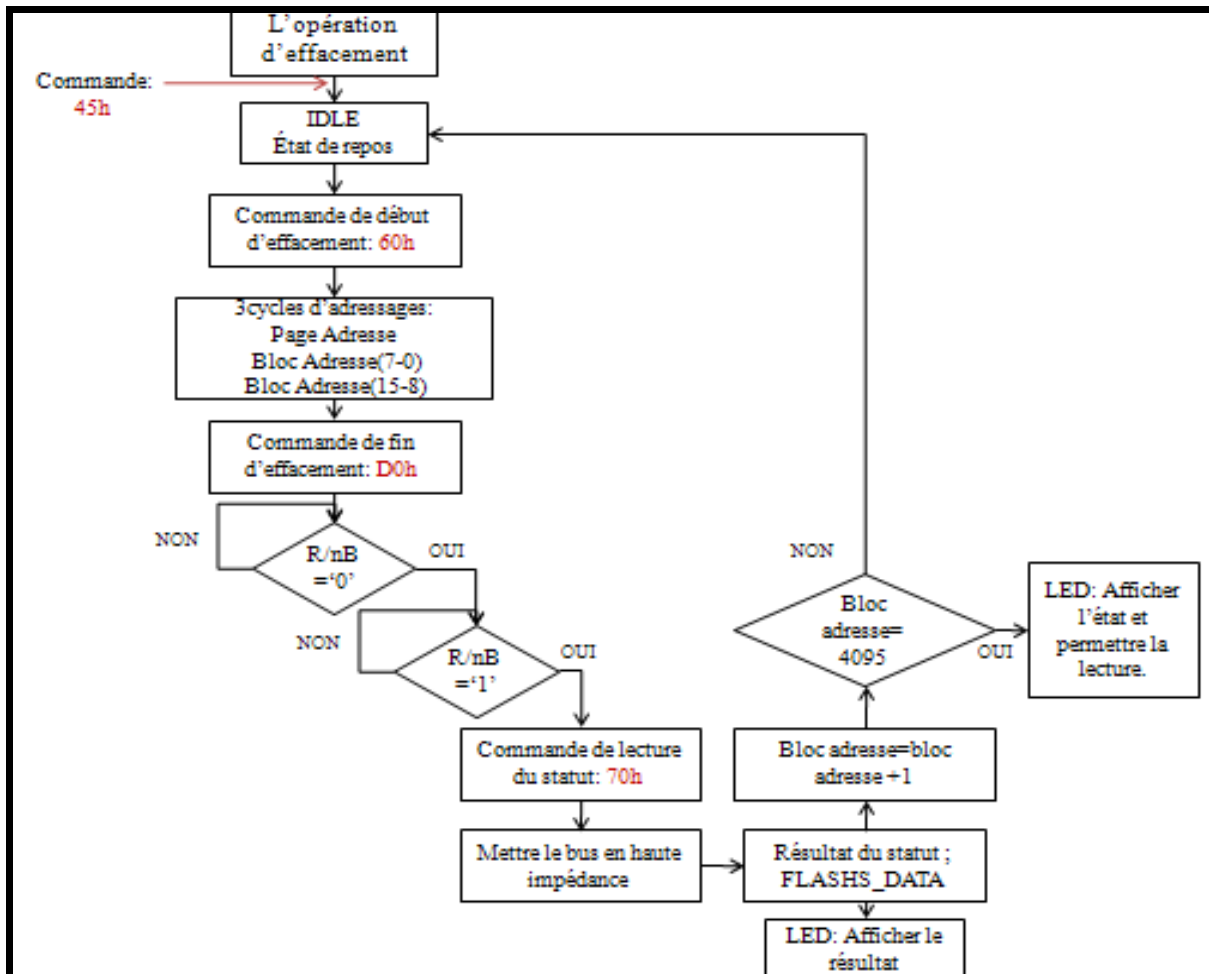


Figure VII.3: Organigramme de l'opération d'effacement.

- **L'écriture** : cela en interaction avec le générateur de valeurs aléatoires pour écrire différentes valeurs à différents endroits et éviter ainsi les confusions et les erreurs dans les résultats et pour que tous les bits soient touchés et non pas une partie fixe; elle est basée sur le schéma de la Figure V.5; l'organigramme de l'opération est semblable dans la majorité des étapes au précédent, avec une partie très importante en plus qui est l'utilisation de la table des Bad blocs construite lors de la lecture après effacement afin d'éviter d'écrire dans les blocs défectueux; et l'utilisation aussi du générateur de variables aléatoires.

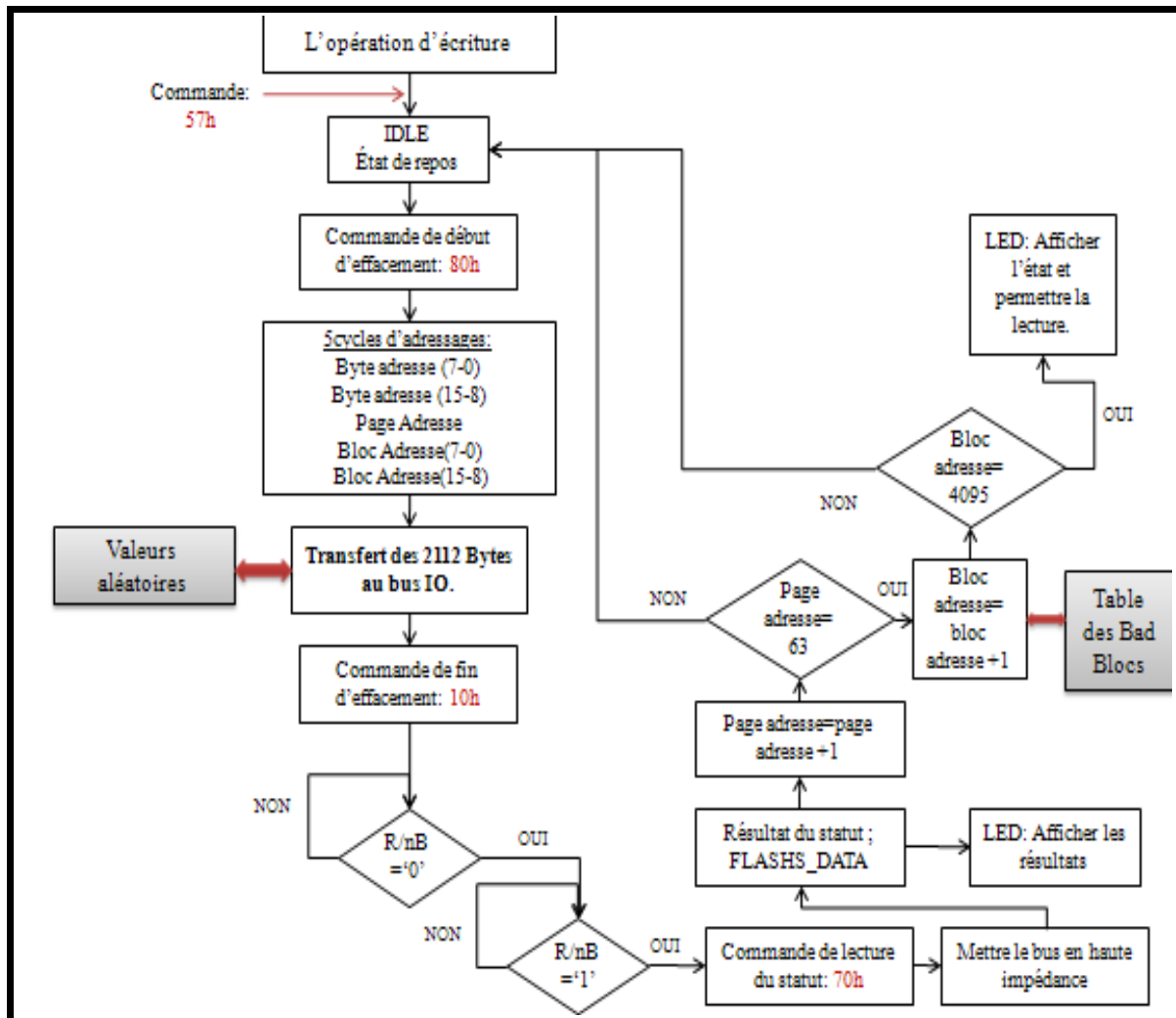


Figure VII.4: Organigramme de l'opération d'écriture

- **La lecture :** elle consiste à récupérer tous les bytes d'une page selon le schéma de la Figure V.3 mais aussi la comparaison de ses données une à une avec les valeurs écrites. Dans notre cas on distingue deux parties pour la lecture :

Une lecture après effacement qui sert à élaborer la table des adresses des Bad blocs dont la méthode est citée dans le chapitre précédent, de la garder en mémoire et transmettre ces adresses ainsi que leur nombre à l'ordinateur grâce au port série.

Une lecture après écriture qui récupère les valeurs aléatoires écrites auparavant, les compare ( on régénère les valeurs écrites à cet instant en envoyant le même germe au programme Randgen ) et renvoi dans le cas d'erreur : le byte lu et le byte écrit ( pour une comparaison ),

l'adresse de l'erreur et à la fin le nombre total d'erreurs rencontré lors du test. Ces fonctions sont présentées sur l'organigramme de l'opération de lecture qui suit:

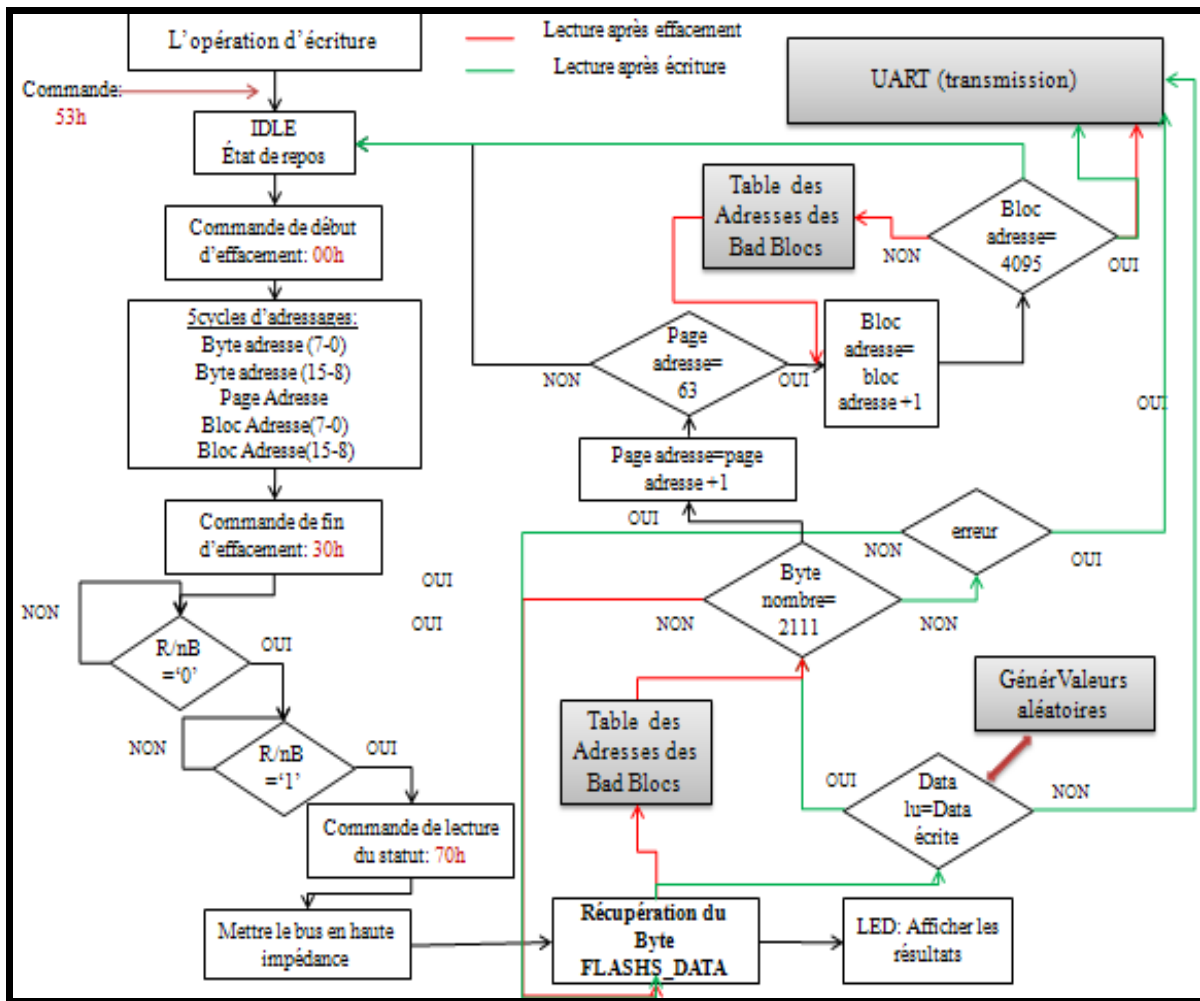


Figure VII.5: Organigramme de l'opération de lecture

Toute ces opérations sont regroupées sous une seule entité dont le schéma est le suivant:

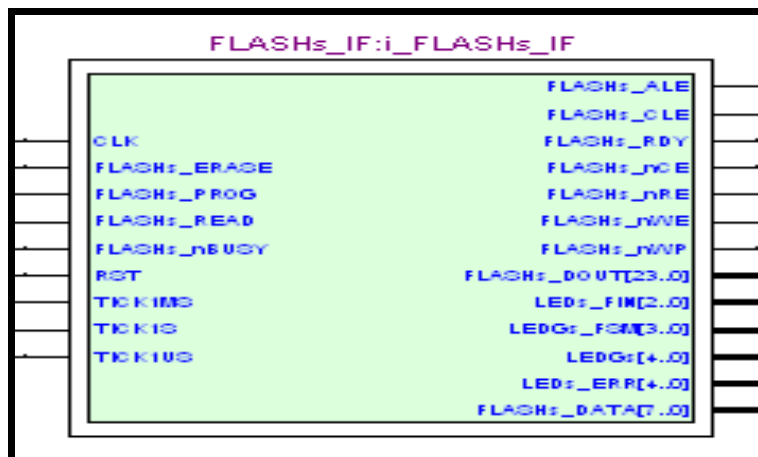


Figure VII.6: Schéma RTL de l'entité FLASH\_IF

### VII.2.2. Le générateur de valeurs aléatoires (RANDGEN) :

Les sorties de ce générateur ne sont pas vraiment aléatoires mais pseudo-aléatoires car il est difficile d'obtenir de « vrais » nombres aléatoires. Ce générateur est un algorithme qui génère une séquence de nombres présentant certaines propriétés du hasard.

L'algorithme fait appel à un registre à décalage dans lequel le résultat précédent est injecté après une transformation intermédiaire et il est présenté dans la Figure VII.7.

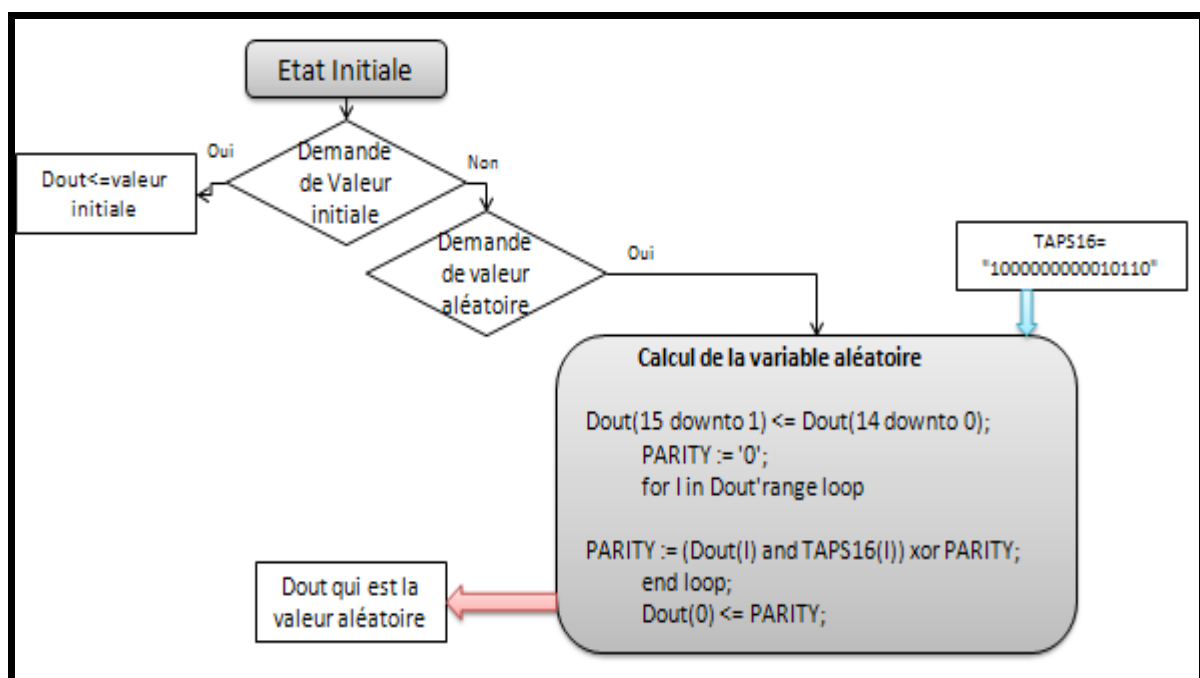


Figure VII.7: Organigramme de l'algorithme du générateur de valeurs aléatoires

### VII.2.3. Unité de transmission/réception série asynchrone :

Une UART, Universal Asynchronous Receiver/Transmitter, est un contrôleur d'entrées/sorties qui gère les ports série des ordinateurs.

Notre programme implémente une UART avec 8 bits de données, une vitesse de 115200 bauds, un bit de fin et sans bit de parité. Cette UART est constituée de trois parties fondamentales.

### VII.2.3.1. Interface :

L'UART que nous avons développer possède l'interface présentée dans la Figure VIII.8.

Son rôle est d'analyser les commandes provenant en hexadécimal de l'ordinateur et les envoyer vers l'interface de la mémoire, d'attendre qu'au moins deux mots provenant de la mémoire soient dans la FIFO (First In First Out ) qui a un mot de 16 bit et une profondeur de 8 mots ( elle peut contenir 8 mots ) et envoi la donnée à l'entité nommée uart, finie par le bit de fin.

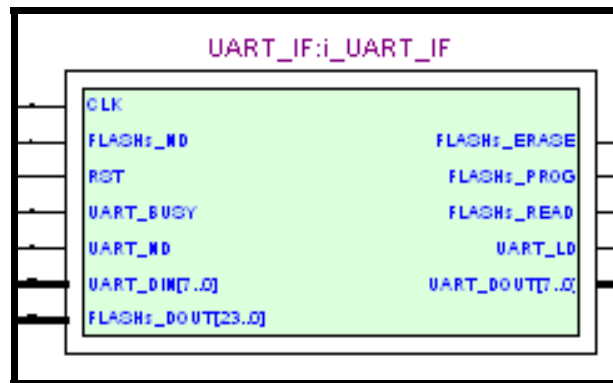


Figure VII.8: Schéma RTL de l'entité UART\_IF.

### VII.2.3.2. L'uart :

Cette entité a pour rôle d'envoyer les données à l'ordinateur selon le protocole d'envoi des données en série.

On y programme les deux horloges de transmission et de réception et les deux machines d'états d'envoi et de réception des données, bit par bit précédées du bit de début Start et du bit de fin Stop.

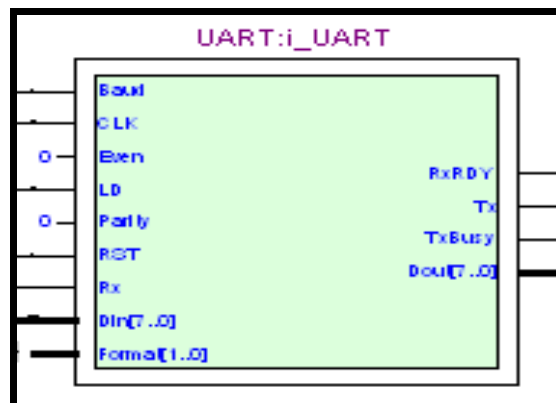


Figure VII.9: Schéma RTL de l'entité UART.

### **VII.3. Conclusion :**

Une fois le programme de commande de la mémoire et celui de transmission des données réalisés nous passons au cœur du projet qui est l'évaluation de la mémoire en haute température. Nous nous intéresserons à la méthode d'évaluation, aux résultats obtenus et surtout aux interprétations de ces résultats





# Chapitre VIII : Évaluation de la Mémoire à Haute Température

On s'intéressera dans ce chapitre à l'étape de caractérisation de la mémoire HY27UF084G2B à des températures bien supérieures à 85 °C spécifiée par le fabricant comme étant la température de fonctionnement maximale, recommandée; sachant que les futures applications de cette mémoire seront à des températures extrêmes pouvant atteindre les 200°C à l'intérieur des puits de pétrole, cela nous incite à utiliser une méthode d'évaluation adéquate, au cours de laquelle différents tests seront effectués dans le but d'étudier et d'expliquer le comportement de cette mémoire lorsqu'on augmente la température. [1, 8, 9, 27, 46].

## **VIII.1. Méthode d'évaluation :**

Deux parties principales constituent l'étape d'évaluation qui sont : le test de l'opération de lecture et le test de l'opération d'écriture qui sont complètement différents et dissociés.

### **VIII.1.1. Test de l'opération de lecture :**

Il consiste à écrire dans la mémoire des données aléatoires à basse température pour être sûr de la bonne réalisation de cette dernière et à les lire à des températures de plus en plus élevées de 25°C à 200°C<sup>(1)</sup>.

### **VIII.1.2. Test de l'opération d'écriture :**

Ce test consiste à écrire la mémoire à de hautes températures et lire son contenu à basse température pour être sûr de la bonne réalisation cette fois-ci de cette dernière.

Les Figures VIII.1 et VIII.2 représentent le principe de ces deux tests.

---

(1) :Le pas de variation de la température pourrait être fixe mais dépendra des résultats obtenus.

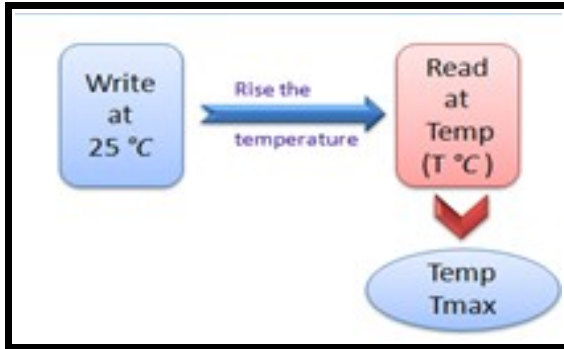


Figure VIII.1: Schéma du principe du test de l'opération de lecture.

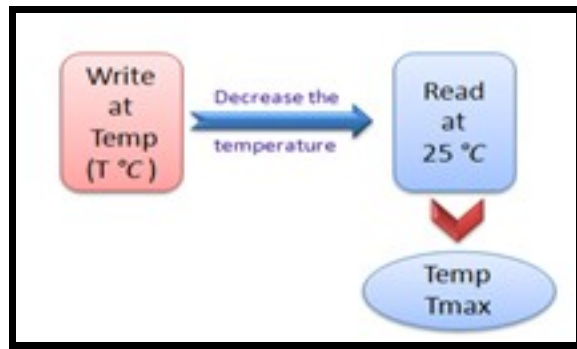


Figure VIII.2: Schéma du principe du test de l'opération d'écriture.

Le but est alors de déterminer laquelle des opérations pose problème en haute température et quelle valeur de cette dernière on peut atteindre sans aucune erreur.

## VIII.2. La procédure des tests :

Elle regroupe les étapes à exécuter lors de chaque test.

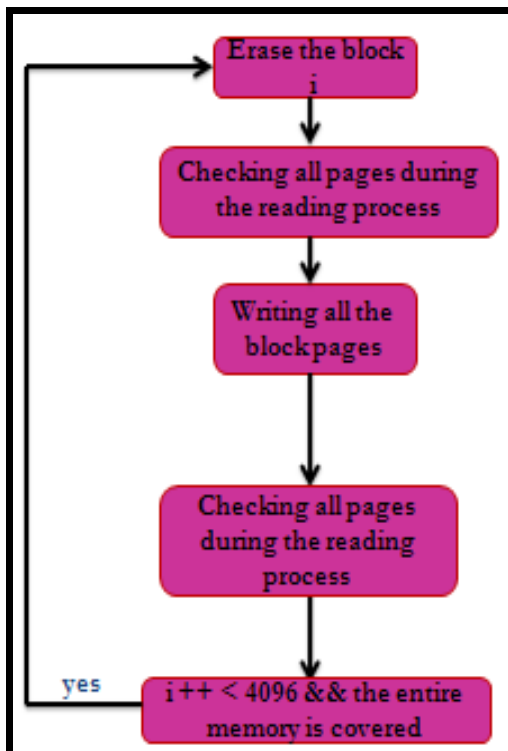


Figure VIII.3: Procédure principale.

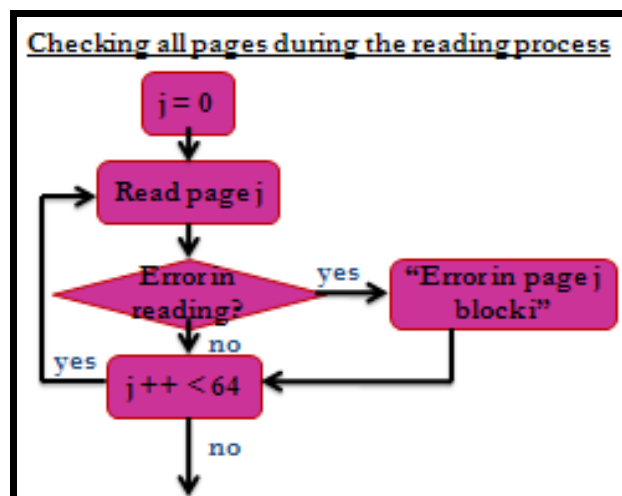


Figure VIII.4: Procédure de vérification pour la lecture.

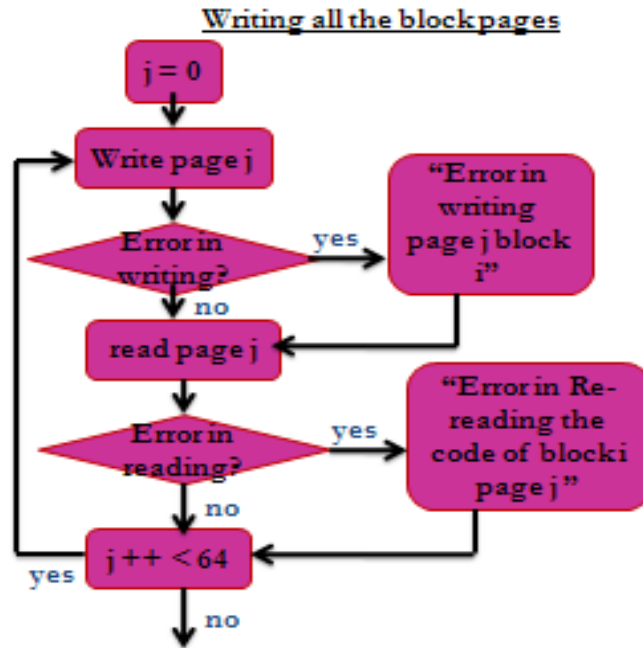


Figure VIII.5: Procédure d'écriture.

### **VIII.3. Les tests :**

Les tests ont été effectués sur une totalité de six mémoires afin d'avoir des résultats fiables.

#### **VIII.3.1. Tests de fréquence :**

Les premiers tests ont été ceux de la fréquence pour laquelle la mémoire nous donne les meilleurs résultats à hautes températures sachant que notre mémoire peut travailler à très grande fréquence ( la lecture des données peut se faire chaque 25ns ), néanmoins on sait que les temps s'allongent en haute température alors il était préférable de travailler à fréquence bien basse, celle de 1MHz.

#### **VIII.3.2. Tests en température :**

##### **VIII.3.2.1. Premier test :**

###### **VIII.3.2.1.1. Description et résultats :**

Le premier test était un test général où les opérations d'effacement, d'écriture et de lecture furent appliquées à chaque température et sur plus de 2Gbits pour deux mémoires et le

but était de déterminer le nombre des Bad blocs et voir si leur nombre pouvait s'accroître avec la température. Les résultats obtenus sont présentés dans le tableau ci-dessous:

Température (°C)	Nombre de Bad Blocs		Temps d'effacement		Temps de lecture après effacement		Temps d'écriture		Temps de lecture après écriture	
	1ère mémoire	2ème mémoire	1ère mémoire	2ème mémoire	1ère mémoire	2ème mémoire	1ère mémoire	2ème mémoire	1ère mémoire	2ème mémoire
24	8	2	3s	3s	10min20s	10min2s	5min	5min13s	9min30s	9min41s
85	8	2	4s	4s	10min22s	10min4s	5min1s	5min14s	9min32s	9min42s
125	8	2	4s	4s	10min20s	10min5s	5min2s	5min15s	9min30s	9min41s
150	8	2	4s	4s	10min22s	10min3s	5min1s	5min15s	9min32s	9min42s
160	8	2	4s	4s	10min20s	10min8s	5min	5min15s	9min32s	9min42s
170	8	2	4s	4s	10min21s	10min3s	5min2s	5min13s	9min32s	9min42s
180	8	2	4s	4s	10min20s	10min2s	5min1s	5min14s	9min33s	9min39s
184	8	2	4s	4s	10min21s	10min6s	5min3s	5min15s	9min32s	9min40s
185	8	2	4s	4s	10min22s	10min3s	5min1s	5min15s	9min22s	9min42s
186	2048(tous les blocs)	2048(tous les blocs)	4s	4s	10min21s	10min5s				

**Tableau VIII.1:** Comparaison entre nombre de Bad Blocs de deux mémoires et valeurs approximatives des temps d'effacement, d'écriture et de lecture.

### VIII.3.2.1.2. Interprétation :

On remarque que le nombre de Bad blocs reste constant pour chacune des deux mémoires, il atteint néanmoins une température au-delà de laquelle tous les blocs apparaissent Bad mais cela n'est pas très juste vu que ce résultat peut venir des erreurs lors de l'opération d'effacement ou de lecture à cette température; ce que l'on peut juste dire est que le nombre de Bad blocs est constant ( statique )et que les tests qui vont suivre, détermineront les

limites des opérations de lecture et d'écriture.

On remarque aussi le temps que prend chaque opération et cela sans considérer le fait que : pour les autres tests à venir on doit refroidir la mémoire à chaque fois de la température T jusqu'à 25°C et que la chaufferette met du temps pour atteindre la température voulue, sans parler du temps qu'il faut attendre pour être sûr que la température à l'intérieur de la mémoire soit bien celle indiquée sur l'afficheur de la chaufferette et sur le thermocouple et cela prend beaucoup de temps d'où la réduction du nombre de bits testés de 2Gbit à 1Gbit ( ¼ de la mémoire ) qui reste une densité importante.

### VIII.3.2.2. Résultats du test de l'opération d'écriture :

Les résultats de ces tests ont été plutôt satisfaisants vu qu'on atteignait la température de 170°C sans aucune erreur ( Voir Figure VIII.3 ), au-delà de cette température on obtenait des erreurs provenant des deux opérations d'effacement et d'écriture de valeurs aléatoires.

En même temps, grâce à ce test on a pu dresser la Figure VIII.4 qui représente le nombre des Bad Blocs de chacune des six mémoires et leurs positions dans la mémoire ( leurs adresses ).

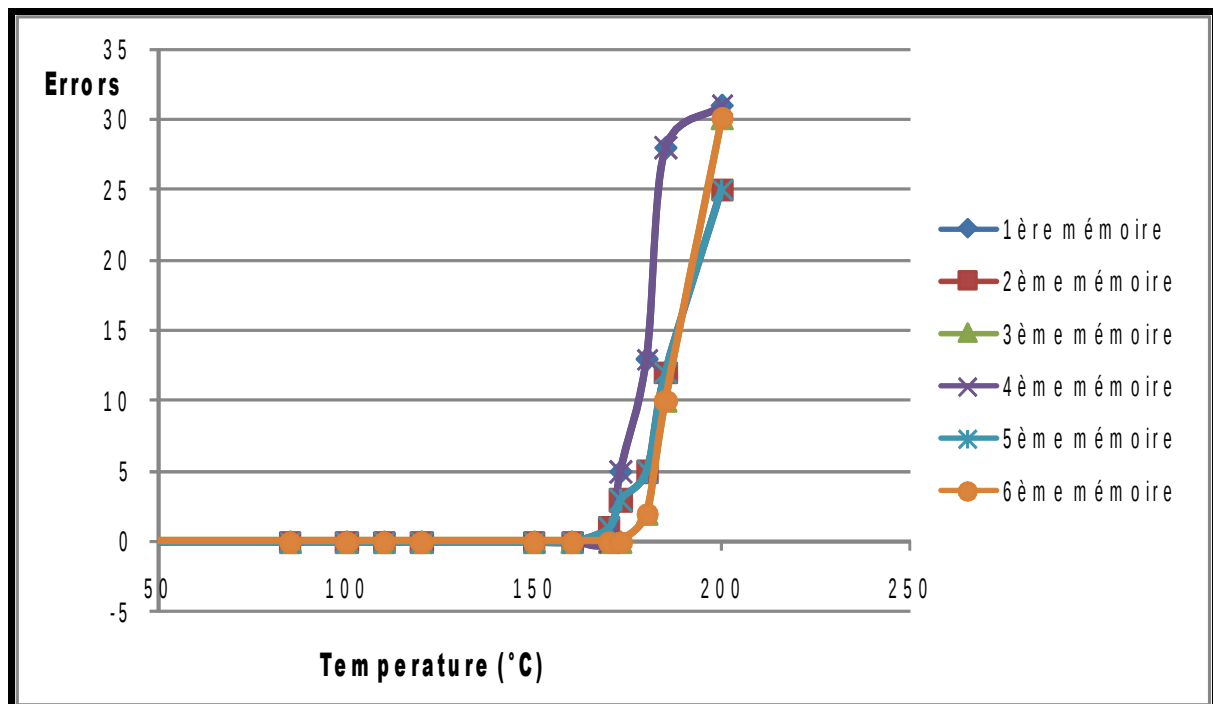


Figure VIII.6: Courbes des résultats de l'écriture; des différentes mémoires.

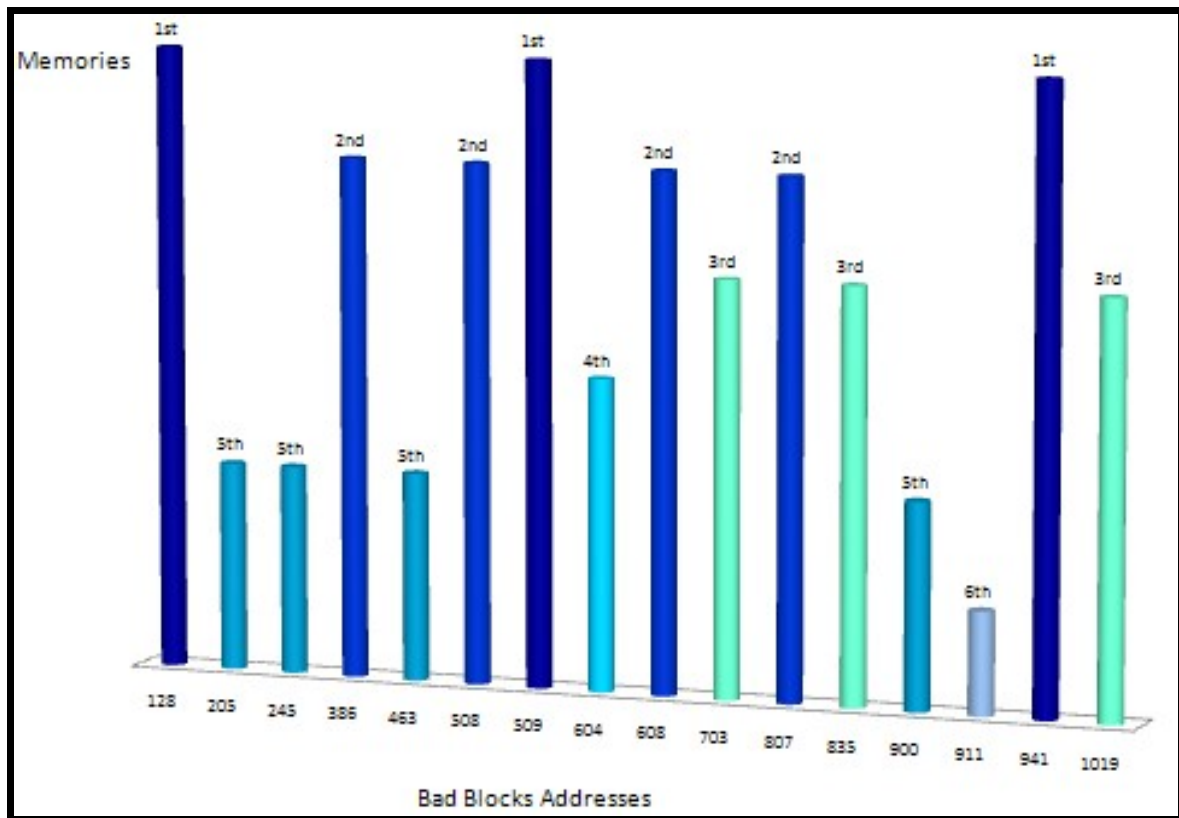


Figure VIII.7: Nombre et distribution des Bad blocs des six mémoires

On remarque que la distribution des Bad blocs dans la mémoire est aléatoire et en moyenne leur nombre est de 1,66 bloc par mémoire, cela représente ( 132 \*1,66 ) k bytes; nombre qui auraient pu être considéré comme des erreurs, d'où l'importance de leur gestion.

### VIII.3.2.3. Résultats du test de l'opération de lecture :

Comme spécifié précédemment les tests suivants seront réalisés sur une densité de 1 Gbit pour les 6 mémoires de HY27UF084G2B.

Les erreurs se présentent comme suit:

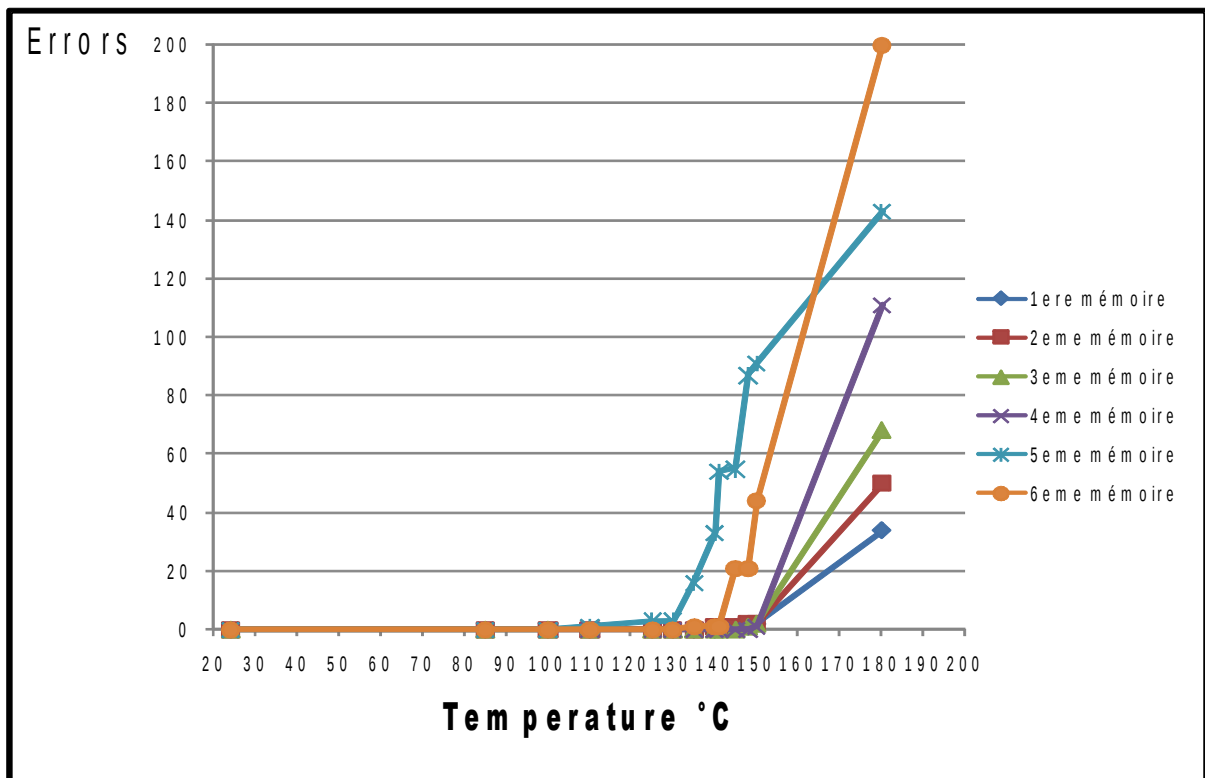
Valeurs écrites (Hexadécimal)	Valeurs écrites (Binaire)	Valeurs lues (Hexadécimal)	Valeurs lues (Binaire)
-------------------------------	---------------------------	----------------------------	------------------------

4F	1001111	6F	1101111
AA	10101010	EA	11101010
BC	10111100	BE	10111110
26	100110	36	110110

**Tableau VIII.2:** Échantillon d'erreurs lors de la lecture.

Ce tableau montre que les erreurs apparaissent pour des bits initialement à 0 et qui prennent la valeurs 1 et cela est valable pour toutes les valeurs

Les résultats sont représentés dans la Figure qui suit:



**Figure VIII.8:** Courbes des résultats de la lecture; des différentes mémoires.

D'après ces résultats on remarque que les erreurs de lecture apparaissent à partir de 110 (°C) qui est plutôt une faible température comparée à celle qu'on aurait voulu obtenir (150 °C min).

On remarque qu'on atteint des valeurs de température très élevées sans pour le moins perdre l'information stockée (déprogrammation) car on redescendait en température puis on retestait



### VIII.3.2.4. Interprétations :

Pour expliquer le problème de la lecture, on va détailler l'opération de lecture comme elle se produit au niveau du transistor FGMOSFET :

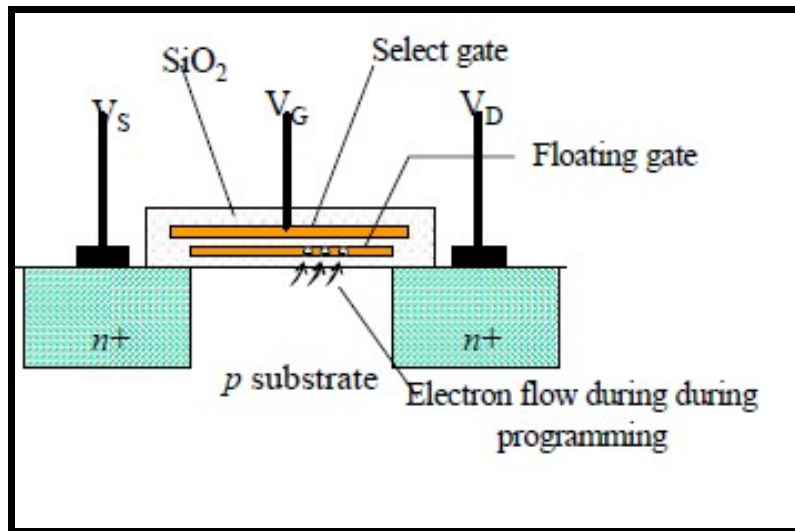


Figure VIII.9: Schéma du transistor FGMOSFET [27].

Quand un 0 est écrit dans un FGMOSFET transistor, la grille flottante devient chargée ( par effet tunnel ), comparé au transistor avec 1 comme valeur écrite où la grille flottante est vide, la tension de seuil  $V_{th}$  est plus importante et on aura alors deux types de tension seuil comme il est représenté sur la Figure VIII.10.

C'est ce phénomène, être capable de différencier entre une grille flottante chargée ou non par la valeur de la tension seuil qui est à la base du fait de définir les bits dans une puce mémoire lors de l'opération de lecture.

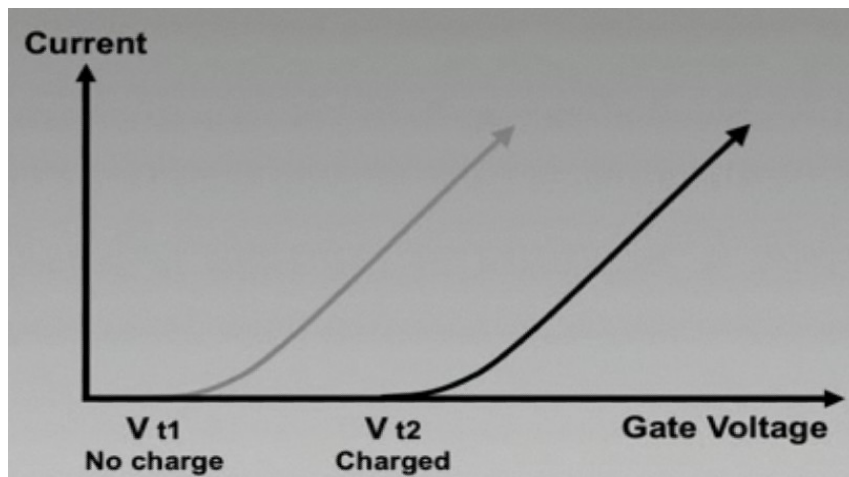


Figure VIII.10: Tension seuil pour une grille flottante chargée [9].

Donc l'opération de lecture a pour but de distinguer entre une mémoire qui est écrite (0) et une mémoire qui est effacée (1).

Si on s'intéresse à une mémoire qui est effacée on peut voir que le canal Source-Drain peut être ouvert à potentiel très bas ( on utilise 3.3V ) et le courant alors circule. On mesure ce courant au niveau du drain et la valeur est alors de 1; contrairement au transistor chargé où la valeur de 3.3V reste insuffisante par rapport à la nouvelle tension seuil pour ouvrir le canal et on obtient alors la valeurs de 0 au niveau du drain.

Du fait que les erreurs obtenues se manifestent comme étant un 0 qui est devenu un 1, la tension de 3,3V appliquée a alors suffi pour ouvrir le canal Source-Drain ce qui signifie que la température a fait baisser la tension seuil au-dessous de 3,3V.

- **Comment?**

La formule de la tensions de seuil du transistor s'exprime comme suit (équation (1)) :

$$V_{th} = \frac{\epsilon_{SiO_2} \sqrt{2 \cdot q \cdot Na \cdot \epsilon_{Si} \cdot \epsilon_0 \left( 2 \cdot \frac{k \cdot T}{q} \ln \left( \frac{Na}{ni} \right) \right)}}{\epsilon_{SiO_2} \cdot \epsilon_0} + V_{\phi} + 2 \cdot \frac{k \cdot T}{q} \ln \left( \frac{Na}{ni} \right) \quad (1)$$

$$\text{Avec } V_{\phi} = - \left( \frac{k \cdot T}{q} \cdot \ln \left( \frac{Na}{ni} \right) + \frac{E_g}{2 \cdot q} \right) \quad (2)$$

On remarque d'après l'équation (1) que parmi les paramètres technologiques dont dépend la tension seuil il y a la température.

La décroissance de la tension de seuil est principalement due à l'augmentation de la valeur de la concentration intrinsèque du silicium avec la température<sup>(1)</sup>. La température a une influence non négligeable sur la tension de seuil car une chute de 0.75, 0.5 et 0.3V est observée pour des tensions de seuil respectives de 4, 2 et 1V sur une plage de température allant de 25 à 155°C ( 3 à 7 mV / °C).

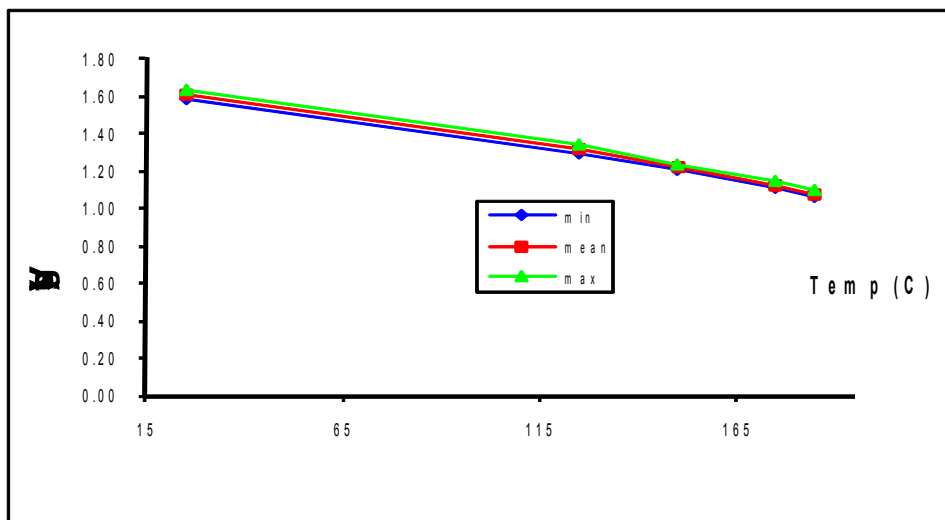


Figure VIII.11: Courbe représentative de la variation de la tension de seuil avec la température [1].

#### VIII.4. Conclusion :

On peut dire que la température maximale de fonctionnement de cette mémoire est de 110°C et qu'on est plutôt loin de la température souhaitée qui serait de 150°C au minimum car dans ce dernier cas, la mémoire aurait été tout de même sélectionnée pour fonctionner à 200°C à condition d'utiliser un système de refroidissement ( Active Cooling ).

La température atteinte reste supérieure à celle spécifiée par le fabricant comme étant la température maximale de bon fonctionnement de la mémoire qui est de 85°C.

(1) :Cela est détaillé dans la référence [45].

Grâce à ces tests, on a pu écarter la supposition de déprogrammation de la mémoire causée par les fuites de charges à travers l'oxyde et cela jusqu'à 200°C; on a pu aussi déterminer et mieux comprendre le principal phénomène de dysfonctionnement causé par la température, ce qui va aider dans la proposition des solutions.

D'après tous les tests effectués jusqu'à présent toutes les mémoires de technologie inférieure à 90nm s'arrêtent à des températures entre 85°C et 125°C, seule la mémoire NOR de 1Gbits de Spansion dont la finesse de gravure est de 90nm arrive à fonctionner à 180°C.



# Conclusion et Perspectives

L'accomplissement de ce stage au sein du Schlumberger Riboud Product Center ( SRPC ) nous a permis de découvrir l'univers des tests des composants électroniques à haute température et particulièrement des mémoires Flash.

Face à l'impressionnante évolution technologique des finesses de gravure des transistors des mémoires flash et à la domination de ces dernières technologies dans le marché actuel, le but de ce projet était alors d'évaluer, à haute température le comportement des plus récentes de ces technologies et parmi eux on cite la HY27UF084G2B qui possède une finesse de gravure de 57nm.

Les tests détaillés de cette dernière ont révélé qu'elle assurait un bon fonctionnement jusqu'à la température de 110°C, cette valeur dépasse bien la température maximale de bon fonctionnement spécifiée par le fabricant (85°C) mais elle reste néanmoins faible comparée à la température à laquelle la mémoire sera soumise dans les outils de forage à l'intérieur des puits de pétrole.

D'après les interprétations des résultats du dernier chapitre et le mouvement de miniaturisation actuel nous pouvons déduire qu'il sera difficile de palier aux problèmes des mémoires flash à haute température car non seulement, la réduction de l'épaisseur de la couche d'oxyde, qui joue le rôle d'isolant et qui avoisine le nanomètre, peut entraîner un effet de tunnel qui fait que les électrons franchissent cette barrière ( en 30 ans les fuites sont passées de moins de  $10^{-10}$  A/mm à plus de  $10^{-7}$  A/ $\mu$ m.) mais aussi, lorsqu'un transistor est miniaturisé, le principe veut que la tension de seuil ( $V_{max}$  ou  $V_{th}$ ) s'abaisse tandis que la tension minimale ( $V_{min}$ ) augmente.

Ces difficultés rencontrées avec ces nouvelles technologies de mémoires nous renvoient à

considérer les mémoires avec des technologies de gravure plus anciennes au risque de trouver ces dernières obsolètes; néanmoins une possibilité de résultats satisfaisants avec des mémoires flash NAND de 90 nm des différents fabricants existe et cela selon les tests déjà réalisés.

Les résultats des tests de la mémoire de Hynix, comme échantillon, n'ont pas seulement permis d'évaluer la fiabilité des mémoires actuelles pour pouvoir mieux s'orienter dans les choix et tests futures à effectuer, mais d'autres solutions peuvent être proposées selon ces tests en question puisqu'ils ont été satisfaisants dans le sens où :

-La lecture n'a pas posé de gros problèmes jusqu'à 170°C, on pourrait penser alors à multiplier l'écriture des données sur plusieurs mémoires, mais dans le principe même des opérations effectuées down-hole les deux opérations Ecriture-Lecture des données sont toutes deux exécutées pour vérifier ces dernières ce qui changerait complètement la méthode de travail.

-En effectuant des tests sur une plus grande quantité de mémoire on pourrait faire des calculs statistiques et déterminer un pourcentage d'erreurs à chaque température, cela aidera à la conception d'un ECC (Error Correction Code) qui pourrait régler le problème de lecture.

Les solutions proposées restent à appliquer mais pour cela d'autres tests restent à effectuer afin d'arriver à trouver la mémoire non volatile à grande densité adéquate aux applications à hautes températures.

## الملخص

تم تحقيق هذه الدراسة في المركز التكنولوجي Schlumberger Riboud Product Center لغرض دراسة تأثير درجة الحرارة على أجهزة تخزين المعلومات HY27UF084G2B من Hynix التي تستعمل في الميدان البترولي تحت ضغط ودرجات حرارة عالية. بيّننا من خلال التجارب التي قمنا بها مدى تأثير تكنولوجية مختلف أجهزة تخزين المعلومات على تحمل درجات الحرارة العالية، وذلك بعد ذكر وشرح مختلف طرق ووسائل تحقيق هذه التجارب.

الكلمات المفتاحية: أجهزة التخزين (Mémoire Flash)، التجارب في درجة الحرارة العالية، أداء أجهزة «Mémoire» تكنولوجية في الميدان البترولي، HY27UF084G2B.

## Résumé

Ce mémoire a été effectué au sein de Schlumberger, compagnie de services pétroliers, qui utilise l'électronique dans des conditions sévères en termes de pression et de température. Nous nous sommes intéressés à l'influence de la température sur les mémoires Flash, en étudiant les phénomènes sévissant en haute température. Nous nous sommes pour cela, initiés aux différentes mémoires existantes sur la marché, et aux différents procédés de qualification de ces dernières. Nous avons pu mettre en évidence les différentes caractéristiques des mémoires permettant de choisir celle qui est plus adaptées à nos spécifications.

Le choix final avait porté sur une mémoire Nand, SLC de 4Gbits et 57nm qui a été étudiée en détails. Nous avons aussi mis en évidence tous les moyens utilisés, du point de vue matériel : cartes d'évaluations, appareillages de mesure et dispositifs de set up, et du point de vue logiciel : le protocole de transfert des données utilisés pour le transfert des données et des programmes en VHDL utilisés pour contrôler la mémoires.

Nous avons finalement constaté que l'influence de la température était loin d'être négligeable, et son importance dépendait fortement de la technologie du composant, comme l'ont montré les tests effectués sur la mémoire de Hynix HY27UF084G2B.

**Mots clés :** *Mémoire Flash, Finesse de gravure, tests en température, électronique en haute température, cartes d'évaluation Altera, technologie dans les forages pétroliers, HY27UF084G2B.*

## Abstract

This project carried out within the Schlumberger Riboud Product Center, concerns the study and the evaluation of the performance in high temperature condition of flash memories. Explaining the different steps of the set up and qualification procedures, showing the material used: evaluation boards, measurement tools and set up components, and the software used: the programs in VHDL for the data retrieval and treatment and control of memory.

We found that the effect of the high temperature on Flash memories was dependant on the technology used, as shown in the results obtained for the test of: Hynix HY27UF084G2B memory.

**Key words:** *Flash memory, tests in high temperature, electronics in high temperature, , Altera evaluation boards , technology in oil wells, HY27UF084G2B. ADS1244, THS1030, AD7690.*





# Références Bibliographiques

- [1] F.Barbara, V.Shitikov, " Active Component Technology Overview and Selection", SRPC,Clamart,Groupe Electrical Technology,2006, ppt.
  
- [2] S.Sarfraz, " Electronics and Physics of High Temperature Integrated Circuits", SHICStonehouse Integration Centre.ppt.
  
- [3] My\_Tom's Hardware, " *Finesse de gravure* ", [Online]. Available :  
<http://www.presence-pc.com/>
  
- [4] F. Barbara, " High Temperature Electronics Reliability", SRPC, Clamart, Groupe Electrical Technology, 2004.
  
- [5] Chung-Yu Wu, " Embadded Memory ", National Chiao Tung University, 2006, pp.20.
  
- [6] Christophe FREY, " Mémoires à semi-conducteurs ", SOISIC, pp.12.
  
- [7] R.Shih-Jye Shen, F.Ruei-Ling Lin, A.Hsiu-Fen Chou, E.Ching-Song-Yang, C.Ching-Hsiang Hsu, " Flash Memories ", National Chiao Tung University, 2006 pp.20.
  
- [8] Thomas SKOTNICKI, " Circuits intégrés CMOS sur silicium ", Centre national d'études des télécommunications (CNET) de Grenoble, 2006, pp.28.
  
- [9] TOSHIBA Semiconductor Company, " What is NAND Flash Memory? ", File Memory Marketing & Promotion Department Memory Division, 2003, ppt.

- [10] Altera Corporation, " *Development and Education Board User Manual* ", Ed. Altera 2006, pp.72.[Online]. Available : [www.altera.com](http://www.altera.com)
- [11] Altera Corporation, " Cyclone II Device Family Data Sheet", Ed. Altera November 2004, pp.138. [Online]. Available : [www.altera.com](http://www.altera.com)
- [12] Altera Corporation, " Getting Started with Altera's DE2 Board"Ed. Altera, pp.6. [Online]. Available : [www.altera.com](http://www.altera.com)
- [13] Altera Corporation, " DE2\_User Manual ", Ed. Altera, pp.72. [Online]. Available : [www.altera.com](http://www.altera.com)
- [14] Altera Corporation, " Quartus II Web Edition Software"Ed. Altera, [Online]. Available : [www.altera.com](http://www.altera.com)
- [15] Altera Corporation, " Quartus II Introduction Using VHDL Design", Ed. Altera, pp.30. [Online]. Available : [www.altera.com](http://www.altera.com)
- [16] Altera Corporation, "Getting Started with Quartus II software", Ed. Altera, [Online]. Available : [www.altera.com](http://www.altera.com)
- [17] Altera Corporation, " Quartus II Simulation with VHDL Designs"Ed. Altera, pp.16. [Online]. Available : [www.altera.com](http://www.altera.com)
- [18] Altera Corporation, " Timing Considerations with VHDL-Based Designs"Ed. Altera, pp.11. [Online]. Available : [www.altera.com](http://www.altera.com)
- [19] Altera Corporation, " *Altera Tutorials and Lab Exercises* "Ed. Altera, 2010. [Online]. Available : [www.altera.com](http://www.altera.com)
- [20] FPGA4FUN, " *How the RS-232 serial interface works* ", [Online]. Available :

[www.fpga4fun.com/SerialInterface1.html](http://www.fpga4fun.com/SerialInterface1.html)

- [21] FPGA4FUN, " *Les composants électroniques de commutation* ", chapitre IV , le transistor MOSFET, pp.10.
- [22] Hynix semiconductor, " *HY27UF(08/16)4G2B Series 4Gbit (512Mx8bit) NAND Flash* ", Ed.Hynix semiconductor, Rev 0.4 / Jan. 2008, pp.51.[Online]. Available : [www.micron.com](http://www.micron.com)
- [23] Micron Technology, " *NAND Flash Memory MT29F8G08ABABA, MT29F8G08ABCBB* ", Ed.Micron Technology, Rev : B 12/09, pp.142. [Online]. Available : [www.micron.com](http://www.micron.com)
- [24] Dean Klein, " *History of Digital Storage* ", Ed.Micron Technology,December 15, 2008,pp.13.
- [25] Super Talent Technology, " *SLC vs. MLC: An Analysis of Flash Memory* ", Ed. Super Talent Technology,2008,pp.9.
- [26] E. Wikipédia, " *Electromigration*," 2010. [Online]. Available: <http://en.wikipedia.org/wiki/Electromigration>.
- [27] E. Wikipédia, " *MOSFET*,"E. Wikipédia, 2007, [Online]. Available: <http://en.wikipedia.org/wiki/MOSFET>
- [28] E.Sanchez, " *Carte de Développement d'ALTERA*,"Lausanne: Ecole Polytechnique Fédérale de Lausanne, 2007, pp. 11.
- [29] B.A. Boussadia, " *EVALUATION D'UN MICROCONTRÔLEUR EN HAUTE TEMPERATURE*,"Clamart, France: Schlumberger, 2006, pp. 156.
- [30] S.Oilfield Services, " *About Schlumberger*," 2007. [Online]. Available: [www.slb.com](http://www.slb.com)

- [31] Altera Corporation, " Introduction to Quartus II ", Altera Corporation, Version 4.1 Rev.1  
June 2004, pp. 229.[Online]. Available : [www.altera.com](http://www.altera.com)
- [32] Altera Corporation, " Introduction Box ", Ed. Altera, pp. 4. [Online]. Available :  
[www.altera.com](http://www.altera.com)
- [33] Altera Corporation, " DE2\_schamatics ", Ed. Altera, pp. 24. [Online]. Available :  
[www.altera.com](http://www.altera.com)
- [34] E. Wikipédia, " Mémoire Flash ", E. Wikipédia, 2010, [Online]. Available :  
[http://fr.wikipedia.org/wiki/M%C3%A9moire\\_flash](http://fr.wikipedia.org/wiki/M%C3%A9moire_flash)
- [35] E. Wikipédia, " Mémoire vive ", E. Wikipédia, 2010, [Online]. Available :  
[http://fr.wikipedia.org/wiki/M%C3%A9moire\\_vive](http://fr.wikipedia.org/wiki/M%C3%A9moire_vive)
- [36] E. Wikipédia, " Mémoire morte ", E. Wikipédia, 2010, [Online]. Available :  
[http://fr.wikipedia.org/wiki/M%C3%A9moire\\_morte](http://fr.wikipedia.org/wiki/M%C3%A9moire_morte)
- [37] E. Wikipédia, " Composant mémoire ", E. Wikipédia, 2006, [Online]. Available :  
[http://fr.wikipedia.org/wiki/Cat%C3%A9gorie:Composant\\_m%C3%A9moire](http://fr.wikipedia.org/wiki/Cat%C3%A9gorie:Composant_m%C3%A9moire)
- [38] Samsung Semiconductor, "Nand Flash ", Ed. Samsung Semiconductor, 2010, [Online].  
Available :  
[http://www.samsung.com/global/business/semiconductor/products/flash/Products\\_NANDflash.html](http://www.samsung.com/global/business/semiconductor/products/flash/Products_NANDflash.html)
- [39] Samsung Semiconductor, "NOR Flash ", Ed. Samsung Semiconductor, 2010, [Online].  
Available :  
[http://www.samsung.com/global/business/semiconductor/products/flash/Products\\_NORFlash.html](http://www.samsung.com/global/business/semiconductor/products/flash/Products_NORFlash.html)

- [40] Hynix Semiconductor, "Nand Flash ", Ed. Hynix Semiconductor, 2010, [Online].  
Available : [http://hsa.hynix.com/us\\_sa/product/nand.jsp](http://hsa.hynix.com/us_sa/product/nand.jsp)
- [41] Micron Technology, "Nand Flash ", Ed. Micron Technology, 2010, [Online].  
Available : [http://www.micron.com/products/nand\\_flash/](http://www.micron.com/products/nand_flash/)
- [42] Spansion, "Nand Flash ", Ed. Spansion inc, 2010, [Online]. Available :  
<http://www.spansion.com/Products/Pages/Product.aspx>
- [43] Silicon Storage Technology SST, "Nand Flash ", Ed. Silicon Storage Technology SST,  
2010, [Online]. Available : [http://www.sst.com/products/flash\\_memory.dot](http://www.sst.com/products/flash_memory.dot)
- [44] Intel Corporation, "Nand Flash ", Ed. Intel Corporation, 2010, [Online]. Available :  
<http://www.intel.com/design/flash/nand/index.htm>
- [45] Rouger N., « Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale », Thèse de l'Institut National Polytechnique de Grenoble, Juillet 2008
- [46] T. Simonot., « "Électronique de Puissance du Futur, », Laboratoire d'Analyse et d'Architecture des Systèmes, France 2010, pp 8.

**ANNEXE A: STATUT ACTUEL DES  
MEMOIRES A HAUTE DENSITE POUR  
LES APPLICATIONS LWD**

## High density memory for HT LWD applications

### Current status

#### 1. Scope:

This report gives a summary of technologies tested in past and in present vs. Maximum operational temperature.

#### 2. Memory Manufacturers:

There exists very limited number of manufacturers capable of producing large enough Flash Memories for potential use on LWD boards.

##### **1. Spansion**

Memories up to 1Gbit with processes 90nm. Processes 65nm are being deployed

##### **2. Samsung**

90nm currently in production 65 and 40nm memories are previewed

Memories from 128Mb up to 128Gbit

NOR and NAND memories (SLC and MLC)

##### **3. SST**

a. Memories up to 128Mbit with processes down to 120nm

##### **4. Numonix (Intel + ST Microelectronics)**

1Mb-4Gb memories with processes downscaled to 90 and 65nm

##### **5. Toshiba**

Very high density NAND memories with up to 32GB capacity

##### **6. Hynix (ex. Hundai)**

##### **7. Other minor manufacturers**

#### 3. History:

AMD/Spansion and Samsung were used since the early 2000 in different downhole tools up to 175C. Ultimately SST was introduced into designs proposing medium/low density memory, currently used in HT gages.

A characterisation survey was performed on Spansion and SST memories in order to



understand their technology and performance evolution and conclude on designing memory board using components for these manufacturers. Similar survey should be performed on Samsing Toshiba and Numonix technologies.

Here below a table summarizing all current memory manufacturers:

P/N	Capacity	Vcc	Process	Characterisation report	Read	Write	Erase	Comments
AM29F016	16Mbit	5V	>320nm	EP772926	>175	>175	135 ???	Batch dependent, some batches run well up to 175C, others don't
Test on different batch				EP480766	>185	>185	>185	Probably a problem of the test
AM29F016B	16Mbit	5V	320nm	EP480766	>185	>185	~180 ?	origin of missfnction is not identified
AM29F040	4Mbit	5V	>320nm		>185	>185	>185	
AM29F040B		5V	320nm	EP480767	>185	>185	>185	
AM29LV160D	16Mbit	3V	230nm	100081688	165??	~140	~140	Red missfnction should be verified as in future generation cell operated normally up to higher temperatures
AM29LV256M	256Mbit	3V	230nm	100399845	>185	>185	>185	
S29GL512N	512Mbit	3V	110nm	100225414	>185	~175	~175	
SST25FVF016	16Mbit	3V	180nm	100338094	>220	>220	>220	will be migrated to 120nm
SST39VF64	64Mbit	3V	180nm	100567300	>220	>220	>220	will be migrated to 120nm
SST25FVF016	16Mbit	3V	120nm	to be archived	>220	~175	~176	strong dispersion in results, probably because this is first batches of memory, test should be repeated in 6 month
SST39VF64	64Mbit	3V	120nm	to be archived	>220	~175	~176	strong dispersion in results, probably because this is first batches of memory, test should be repeated in 6 month
S29GL01GP11	1Gbit	3V		100667431				First test done in SPC internally showed very bad results (read misfunction ant 155, erase misfunction ant 140 e.t.c due to test setup problems ) Report 100410730.
S29GL512P11	512Mbit	3V	90nm	100667441	>185	>185	>185	Test done in 2009 at LCIE France showed positive results.
Numonix serial 64Mb	to be archived							
Numonix parallel 256Mbit	to be archived							
Hynix	to be archived							

*Tableau A.1: Tableau récapitulatif des différents tests effectués avant celui-ci.*

**ANNEXE B:DETAILS SUR LA MEMOIRE**  
**HYNIX HY27UF084G2B**

MARKING INFORMATION - TSOP1	
Packag	Marking Example
TSOP1	
- hynix	: Hynix Symbol
- KOR	: Origin Country
- HY27UFxx4G2B xxxx	: Part Number
HY	: Hynix
27	: NAND Flash
U	: Power Supply : U(2.7V~3.6V)
F	: Classification : Single Level Cell+Single Die+Large Block
xx	: Bit Organization : 08(x8), 16(x16)
4G	: Density : 4Gbit
2	: Mode : 2(1nCE & 1R/nB; Sequential Row Read Disable)
B	: Version : 3rd Generation
x	: Package Type : T(48-TSOP1)
x	: Package Material : Blank(Normal), P(Lead Free)
x	: Operating Temperature : C(0℃~70℃), I(-40℃~85℃)
x	: Bad Block : B(Included Bad Block), S(1~5 Bad Block), P(All Good Block)
- Y	: Year (ex: 5=year 2005, 6= year 2006)
- ww	: Work Week (ex: 12= work week 12)
- xx	: Process Code
<b>Note</b>	
- Capital Letter	: Fixed Item
- Small Letter	: Non-fixed Item

Figure B.1: Marking informations.

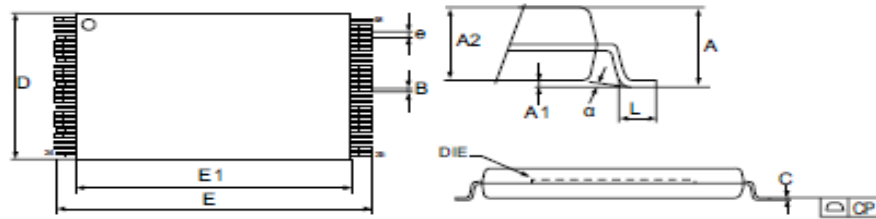


Figure 35. 48-TSOP1 - 48-lead Plastic Thin Small Outline, 12 x 20mm, Package Outline

Symbol	millimeters		
	Min	Typ	Max
A			1.200
A1	0.050		0.150
A2	0.980		1.030
B	0.170		0.250
C	0.100		0.200
CP			0.100
D	11.910	12.000	12.120
E	19.900	20.000	20.100
E1	18.300	18.400	18.500
e		0.500	
L	0.500		0.600
alpha	0		5

Table 24: 48-TSOP1 - 48-lead Plastic Thin Small Outline, 12 x 20mm, Package Mechanical Data

Figure B.2: Packaging informations.

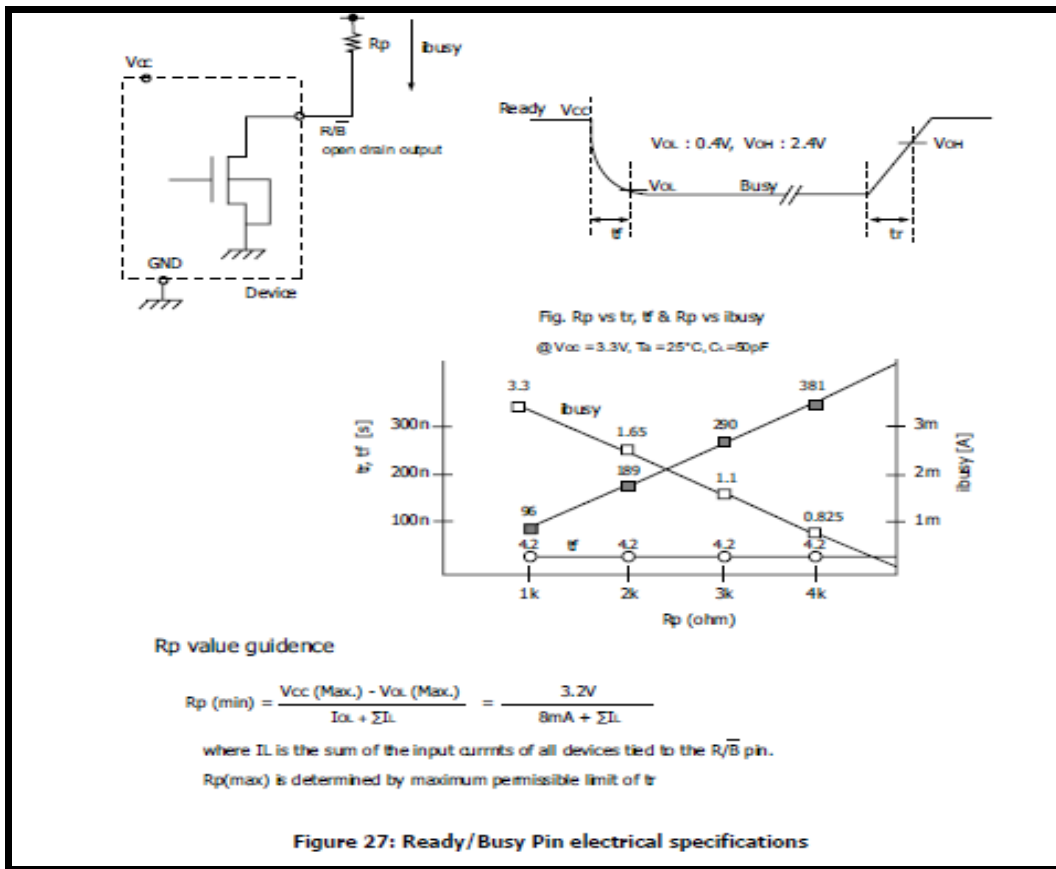


Figure B.3: Spécifications électriques du pin de sortie R/B.

Parameter	Symbol	3.3V		Unit
		Min	Max	
CLE Setup time	t <sub>CLS</sub>	12		ns
CLE Hold time	t <sub>CLH</sub>	5		ns
CE setup time	t <sub>CS</sub>	20		ns
$\overline{\text{CE}}$ hold time	t <sub>CH</sub>	5		ns
$\overline{\text{WE}}$ pulse width	t <sub>WP</sub>	12		ns
ALE setup time	t <sub>ALS</sub>	12		ns
ALE hold time	t <sub>ALH</sub>	5		ns
Data setup time	t <sub>DS</sub>	12		ns
Data hold time	t <sub>DH</sub>	5		ns
Write Cycle time	t <sub>WC</sub>	25		ns
$\overline{\text{WE}}$ High hold time	t <sub>WH</sub>	10		ns
Data Transfer from Cell to register	t <sub>R</sub>		25	us
ALE to $\overline{\text{RE}}$ Delay	t <sub>AR</sub>	10		ns
CLE to $\overline{\text{RE}}$ Delay	t <sub>CLR</sub>	10		ns
Ready to $\overline{\text{RE}}$ Low	t <sub>RR</sub>	20		ns
$\overline{\text{RE}}$ Pulse Width	t <sub>RP</sub>	12		ns
$\overline{\text{WE}}$ High to Busy	t <sub>WB</sub>		100	ns
Read Cycle Time	t <sub>RC</sub>	25		ns
$\overline{\text{RE}}$ Access Time	t <sub>REA</sub>		20	ns
$\overline{\text{RE}}$ High to Output High Z	t <sub>RHZ</sub>		100	ns
CE High to Output High Z	t <sub>CHZ</sub>		50	ns
$\overline{\text{CE}}$ High to Output hold	t <sub>COH</sub>	15		ns
$\overline{\text{RE}}$ High to Output Hold	t <sub>ROH</sub>	15		ns
RE Low to Output Hold	t <sub>ROH</sub>	5		ns
$\overline{\text{RE}}$ High Hold Time	t <sub>RSH</sub>	10		ns
Output High Z to $\overline{\text{RE}}$ low	t <sub>TR</sub>	0		ns
CE Low to $\overline{\text{RE}}$ Low	t <sub>CR</sub>	10		ns
Address to data loading time	t <sub>ADL</sub>	70		ns
$\overline{\text{WE}}$ High to $\overline{\text{RE}}$ low	t <sub>WR</sub>	80		ns
RE High to WE low	t <sub>RHW</sub>	100		ns
Device Resetting Time (Read / Program / Erase)	t <sub>RST</sub>		5/10/500 <sup>(1)</sup>	us
Write Protection time	t <sub>WP</sub> <sup>(2)</sup>	100		ns

*Tableau B.1: Timing characteristics*

**ANNEXE C:DETAILS SUR LA CARTE  
D'EVALUATION « ALTERA DE2 BOARD »**



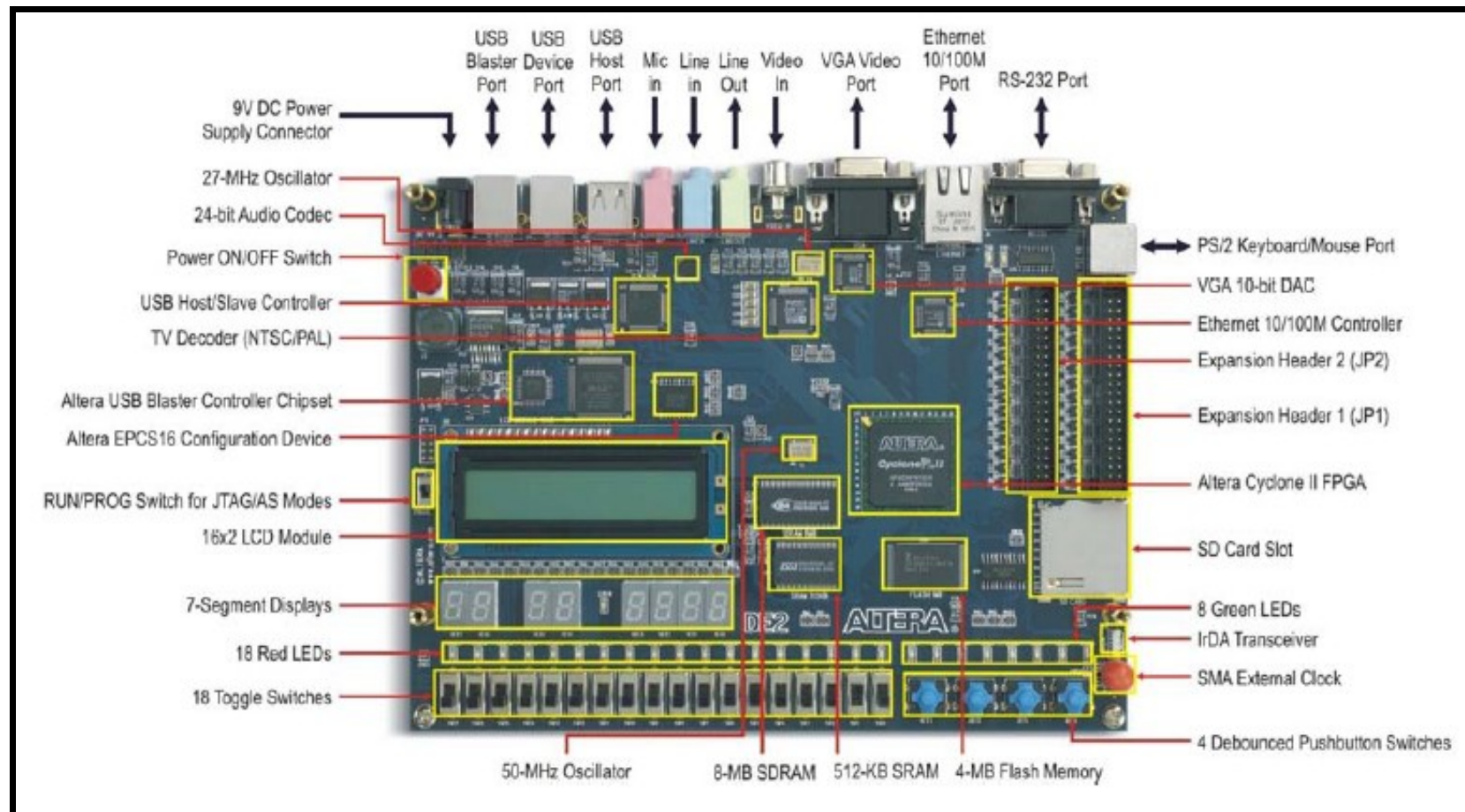


Figure C.1: La Carte Altera DE2.