

République Algérienne Démocratique et Populaire
Ministère de l'enseignement supérieur et de la recherche scientifique

ECOLE NATIONALE POLYTECHNIQUE



المدرسة الوطنية المتعددة التقنيات
 BIBLIOTHEQUE — المكتبة
 Ecole Nationale Polytechnique

DEPARTEMENT : ELECTRONIQUE

OPTION : TELECOMMUNICATIONS

MEMOIRE DE MAGISTER

PRESENTE PAR : SI MOUSSA Mehdi

Ingénieur d'Etat en Electronique ENP

Thème

CONCEPTION D'UN AMPLIFICATEUR
 DISTRIBUE EN TECHNOLOGIE MONOLITIQUE

Soutenu publiquement le 04 / 07 / 2001 devant le jury composé de :

M^r A. ZERGUERRAS
 M^r M. TRABELSI
 M^r D. BERKANI
 M^r R. AKSAS
 M^r B. BOUSSEKSOU

Professeur (ENP)
 Chargé de cours (ENP)
 Professeur (ENP)
 Maître de conférence (ENP)
 Chargé de cours (ENP)

Président
 Rapporteur
 Examineur
 Examineur
 Examineur

الهدف من هذا العمل هو تطوير طرق تسمح بتصميم المضخم الموزع في التكنولوجيا المدمجة المبنية على الأرسونيد الغاليوم (GaAs) المضخم الموزع مركب ميكروموجي π و هو عبارة عن ثماني أقطاب نشيط يسمح لنا بالحصول على ربح مسطح على شريط نافذ واسع يسيل إلى بضعة عشرات من الجيفاهيرتز . هذا الجهاز إذن مستخدم حاليا بسبب الإحتياجات المتزايدة فيما يخص نقل المعلومات .
ثم تطرقنا إلى كيفية تحسين إمكانيات المضخم الموزع بدراسة نماذج إقترحناها و الهادفة إلى تكبير الجداء ربح _ شريط نافذ و ذلك بتطبيق مختلف طرق التعويض التي تسمح بتخفيض الخسائر . المقارنة مع النموذج المؤلف تري لنا تحسين في النتائج .

كلمات مفتاحية : مضخم موزع - التكنولوجيا المدمجة - الجداء ربح _ شريط نافذ - طرق التعويض .

Résumé :

Le but de notre travail est la mise en œuvre d'une méthode de conception de l'amplificateur distribué en technologie monolithique à base d'Arséniure de Gallium (GaAs). L'amplificateur distribué qui est un dispositif micro-onde, sous forme d'un octopole actif, permet d'avoir un gain plat sur une bande passante allant jusqu'à plusieurs dizaines de gigahertz. Ce dispositif est donc actuellement utilisé en raison des besoins importants en terme de transmission d'information.

Nous nous sommes aussi intéressés à l'amélioration des performances de l'amplificateur distribué en proposant des modèles de compensation qui permettent d'augmenter le produit gain bande passante. La comparaison avec le modèle conventionnel montre une amélioration des résultats.

Mots clés : amplificateur distribué - technologie monolithique - produit gain bande passante - méthode de compensation

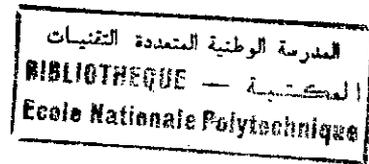
Abstract:

The purpose of our work is the implementation of a method of conception of the distributed amplifier in monolithic technology based on Gallium Arsenide (GaAs).

The distributed amplifier which is a microwave device, is an active octopole which allows to have a flat gain on a frequency band going until several gigahertz. This circuit is finding growing popularity because of the increasing of the information transmission demand.

We have also focused on the enhancement of the performances of the distributed amplifier by proposing some models of compensation which permit to increase the gain bandwidth product. The comparison with the conventional model shows an improvement of the results.

Keywords: distributed amplifier - monolithic technology - gain band width product - compensation methods



AVANT PROPOS

Ce travail a été effectué au sein du laboratoire des télécommunications du département d'électronique de l'Ecole Nationale Polytechnique, sous la direction de M^r. M. TRABELSI (chargé de cours à l' E.N.P)

Je tiens à lui exprimer mes plus sincères remerciements pour m'avoir offert l'opportunité d'explorer ce domaine, pour ses précieux conseils et son aide sans réserve tout au long de ce travail.

J'exprime ma plus sincère gratitude au Dr R. AKSAS, responsable du laboratoire de télécommunication qui a rendu possible et soutenu l'entreprise de ce travail.

Ma reconnaissance va également à M^r A. TCHOKETCH, étudiant en 1^{ère} année P.G pour sa disponibilité, son aide amicale et ses conseils éclairés.

Je tiens à exprimer toute ma sympathie à tous mes ami(e)s pour toute l'aide et leur soutien tout au long de l'élaboration de ce projet.

Enfin, je remercie tous ceux qui ont, de près ou de loin, contribué à la réalisation et l'amélioration de ce travail.

المدرسة الوطنية المتعددة التقنيات
المكتبة — BIBLIOTHEQUE
Ecole Nationale Polytechnique

A mes parents pour leurs précieux conseils durant toutes ces années
A mon frère et toute ma famille
A mes ami(e)s qui se reconnaîtront
A tous ceux qui partagent avec moi l'amour de la science

Je dédie ce mémoire

SOMMAIRE

| | |
|------------------------------------------------------------------------------|-----------|
| INTRODUCTION | 1 |
| CHAPITRE I : Description d'un amplificateur distribué | 3 |
| 1. Introduction | 4 |
| 2. Caractéristiques principales | 9 |
| a) Gain | 9 |
| b) Produit gain - bande passante | 12 |
| CHAPITRE II : Transistor à effet de champ | 14 |
| 1. Introduction | 15 |
| 2. Structure de base | 16 |
| 3. Schéma équivalent du FET à GaAs | 18 |
| a) Transconductance | 19 |
| b) Eléments parasites | 22 |
| c) Gain Maximum disponible | 26 |
| CHAPITRE III : Les éléments passifs | 28 |
| 1. Introduction | 29 |
| 2. Inductance | 29 |
| 2.1. Définition de l'inductance | 31 |
| 2.2. Méthode d'extraction des éléments du circuit équivalent de l'inductance | 33 |
| 3. Capacité | 35 |
| CHAPITRE IV : Conception d'un amplificateur distribué | 39 |
| 1. Introduction | 40 |
| 2. Conception | 41 |

| | |
|--------------------------------------------------------------------------------|-----------|
| CHAPITRE V : Amélioration des performances d'un amplificateur distribué | 50 |
| 1. Introduction | 51 |
| 2. Élément amplificateur cascode inversé | 51 |
| 3. Élément amplificateur cascode | 54 |
| 4. L'élément grille commune/source commune/grille commune | 56 |
| 5. L'Amplificateur distribué passe-bande | 58 |
| 5.1. Compensation en ligne d'entrée par résistance négative | 61 |
| 5.2. Méthode de la capacité série | 63 |
| | |
| Chapitre VI : Amplificateur distribué combiné | 65 |
| 1. Introduction | 66 |
| 2. Diviseur/Combineur de Wilkinson | 67 |
| 3. Amplificateur distribué | 68 |
| | |
| CONCLUSION | 69 |
| | |
| BIBLIOGRAPHIE | 71 |
| | |
| ANNEXES | 75 |

المدرسة الوطنية المتعددة التقنيات
المكتبة — BIBLIOTHEQUE
Ecole Nationale Polytechnique

INTRODUCTION

Au cours de ces dernières années, le monde des télécommunications a enregistré une évolution spectaculaire, les besoins de la communauté n'ont pas cessé de progresser, tant bien en quantité qu'en qualité, ce qui constitue un véritable stimulant pour le développement de ce secteur devenu des plus stratégiques. La saturation des canaux, situés au bas de l'échelle du spectre des ondes électromagnétiques (jusqu'à 1 GHz), a vite poussé les professionnels du domaine à investir les gammes de fréquences supérieures i.e. les ondes centimétriques, millimétriques et sub-millimétriques, qui permettent d'avoir des bandes passantes de plus en plus larges. L'amplificateur distribué répond au mieux à cette exigence car son domaine fréquentiel s'étend du continu jusqu'à plusieurs dizaines de gigahertz.

En réalité, le concept de l'Amplificateur Distribué (A.D) est connu depuis 1936, mais il n'a connu un réel essor que ces vingt dernières années avec l'avancée de la micro-électronique, des tubes à ondes progressives, des oscillateurs à ondes arrières. Depuis, les méthodes d'analyse d'une part et les performances en terme de gain et de bande passante d'autre part se sont améliorés.

Ce travail, décrit en premier lieu la conception de l'A.D en technologie monolithique (M.M.I.C : **Monolithic Microwave Integrated Circuit**) à base d'Arséniure de Gallium (GaAs), détermine en second lieu les paramètres physiques du dispositif à partir de fichiers technologiques déjà établis. Ensuite, la partie amélioration des performances est abordée afin d'augmenter le produit gain - bande passante de l'A.D et ce en appliquant différentes techniques de compensation. Les unes permettent seulement l'accroissement de la bande passante, les autres le gain. L'augmentation du produit gain - bande passante est de l'ordre de 20%. Enfin, nous avons étudié une nouvelle configuration de l'A.D basée sur l'utilisation du diviseur / combineur de Wilkinson, ce qui a permis une amélioration conséquente du gain dans un certain intervalle de fréquence.

CHAPITRE I

DESCRIPTION D'UN AMPLIFICATEUR
DISTRIBUE

1. Introduction

Historiquement, les transistors à effet de champ micro-ondes ont d'abord été utilisés dans des amplificateurs bas niveau. La technologie monolithique de l'arséniure de gallium (GaAs) faisant des progrès considérables en permettant entre autre des longueurs de grille de plus en plus faibles, l'utilisation des FET est donc devenue possible pour des fréquences comprises entre 100 MHz et 40 GHz [2].

On peut diviser les amplificateurs bas niveau à large bande passante en deux grandes catégories :

- Les amplificateurs du type passe bande, dans lesquels la fréquence de travail la plus basse se trouve encore dans le domaine des fréquences micro-ondes ;
- Les amplificateurs du type passe bas, dans lesquels la fréquence de travail la plus basse est de l'ordre de 100 MHz ou même moins : ces amplificateurs sont appelés *amplificateurs à très large bande* .

Il est évident que chacun de ces deux types d'amplificateur a une utilisation différente : les premiers, qui possèdent une largeur de bande de 1 à 2 octaves, sont surtout utilisés dans les systèmes de surveillance (contre-mesures), quant aux seconds, leur largeur de bande pouvant couvrir plusieurs décades, sont utilisés dans les systèmes de transmission d'information. Ils servent à amplifier des impulsions à temps de montée très bref, d'où la nécessité de grandes largeurs de bandes [2].

L'objectif principal à retenir lors de la conception de ces amplificateurs est l'obtention d'un gain constant sur une large bande et l'adaptation entrée – sortie, à 50Ω , de l'amplificateur global, sur toute l'étendue de la bande désirée.

Trois topologies particulières ont été proposées pour adapter et compenser la chute de gain des FET dans de larges bandes passantes [2] [3]:

- d'une part la méthode dite à adaptation résistive (fig. I.1.a),
- d'autre part, la contre-réaction résistive (fig.I.1.b),

- enfin, les amplificateurs distribués (fig.I.1.c) [4].

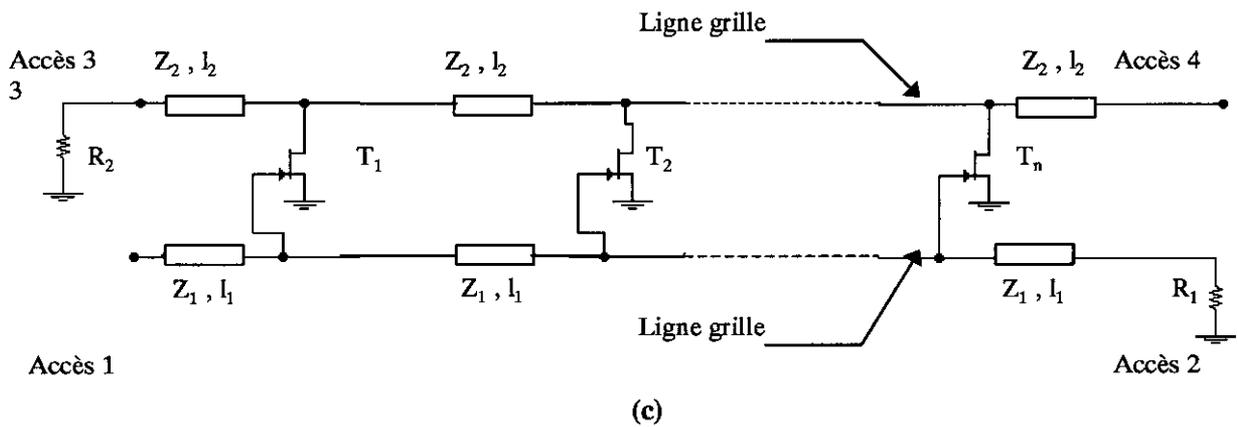
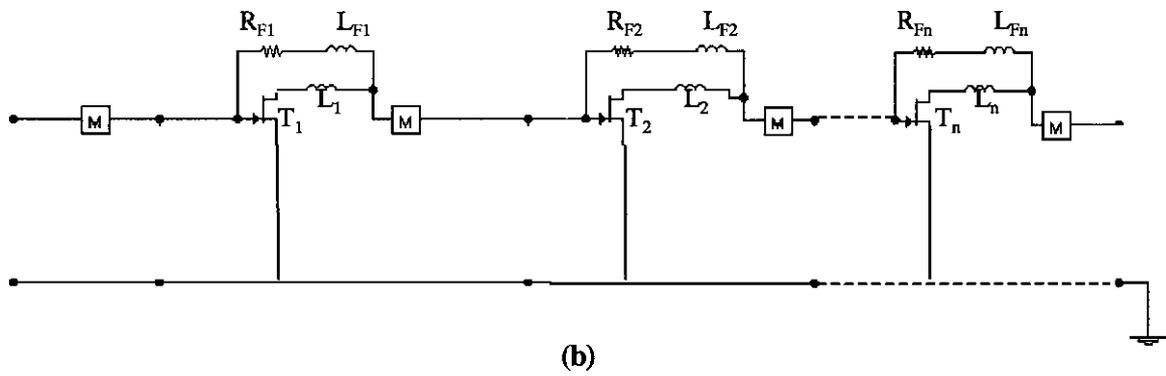
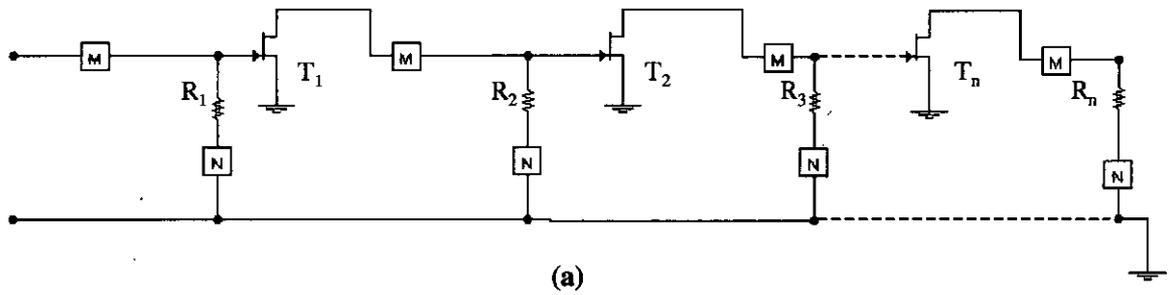


Fig. I.1 : Amplificateurs adaptés à très large bande [2]

- (a) Amplificateur adapté résistif
- (b) Amplificateur à contre-réaction
- (c) Amplificateur distribué

Les résistances servent, en fait, à adapter le dispositif aux basses fréquences et, indirectement, elles déterminent le niveau du gain dans cette

partie de la bande passante. Donc, si l'on souhaite un gain constant dans toute la bande, elles déterminent le niveau du gain de l'amplificateur. Aux hautes fréquences, des éléments réactifs associés à ces résistances éliminent l'effet de celles – ci.

L'amplificateur distribué (A.D) est composé de deux lignes de transmission artificielles (fig.I.1), constituées d'inductances en série et de capacités shunt, auxquelles s'ajoutent les éléments parasites des FET, d'où deux lignes de transmission avec des fréquences de coupure et des caractéristiques d'atténuation différentes.

Les amplificateurs distribués (A.D) ont été inventés puis développés dans les années 40 afin d'augmenter le produit gain-bande passante des dispositifs en contre-partie d'une augmentation du temps de transit [2].

Ce n'est que dans les années 80 que les A.D sont redevenus populaires [5][6] d'une part à cause de la bonne qualité des transistors FET micro-ondes à GaAs et les performances obtenues au niveau des bandes passantes d'autre part. En plus, leur flexibilité au niveau de la conception où le nombre de composants, la taille du composant, l'impédance caractéristique de la ligne de transmission, et la fréquence de coupure haute de l'amplificateur sont des paramètres sur lesquels on peut agir afin de s'adapter aux spécifications du cahier des charges [7].

Dans un amplificateur conventionnel, le produit gain-bande passante ne peut être augmenté qu'en faisant croître le gain et en plaçant en cascade plusieurs étages.

Par contre, une mise en parallèle de transistors ne peut pas résoudre le problème car leurs capacités d'entrée et de sortie augmentent et le produit gain-bande passante reste à peu près constant.

Dans un amplificateur distribué (A.D), on utilise une suite d'étages identiques distribués le long de deux lignes de transmission (fig.I.1.c). Dans un schéma idéal, on peut considérer que chaque étage se comporte comme un générateur de tension commandée à haute impédance d'entrée et de sortie.

Dans ces conditions, le fonctionnement de l'A.D se comprend aisément : le générateur crée une onde de tension qui se propage le long de la ligne de transmission d'entrée qui est chargée en bout par une résistance R_1 .

Cette onde excite chaque générateur commandé qui à son tour crée une onde de courant dans la ligne de sortie. Les ondes qui se propagent dans la direction de l'accès (3) sont destructives et absorbées dans la résistance R_2 [2].

Dans un schéma réel, on peut représenter les transistors à basse fréquence par un modèle idéal, mais à haute fréquence l'intensité de la source de courant chute et les capacités d'entrée et de sortie des transistors chargent la ligne : il faut inclure celles-ci dans le schéma localisé de la ligne de transmission. On réalise ainsi à l'aide de self-inductances et de capacités localisées des lignes de transmission d'entrée et de sortie artificielle [8].

M. Juzti a été l'un des premiers à réaliser un A.D en utilisant le modèle théorique précédent. La bande passante obtenue était de 2 GHz, et le circuit était réalisé en éléments localisés [4].

L'amplification distribuée est une méthode intéressante pour obtenir des amplificateurs à très large bande passante. Cependant ce type d'amplificateur nécessite une technologie monolithique si l'on souhaite obtenir des résultats intéressants et reproductibles. Il est en effet assez délicat de régler les valeurs des éléments qui constituent une ligne artificielle dans un amplificateur réalisé en technologie hybride [2]. Puisque les résistances du FET R_{gs} et R_{ds} (fig.I.2) sont régulièrement réparties le long des lignes de transmission grille et drain, le nombre de sections ne peut être augmenté indéfiniment parce que l'atténuation le long des lignes de transmission pourrait être supérieure au gain obtenu en ajoutant des sections supplémentaires. Les phases au niveau des lignes grille et drain doivent aussi être égalisées afin d'obtenir l'additivité des signaux issus de chaque FET à la sortie (accès 4). Pour cela, il faut que les lignes grille et drain soient terminées par des charges de même impédance que celle de ces lignes [7][9].

Le modèle électrique de ces transistors FET est, pour ce type d'applications, réduit à sa forme la plus simple (Fig.I.2).

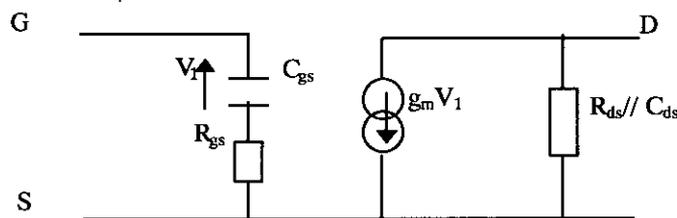


Fig. I.2 Modèle simplifié du transistor FET.

La cellule élémentaire de la ligne grille (fig.I.3.a) est composée de l'impédance d'entrée du transistor FET auquel on connecte deux inductances.

Outre les deux inductances $L_d/2$, la cellule élémentaire de la ligne drain (fig.I.3.b) comprend également l'impédance de sortie du FET.

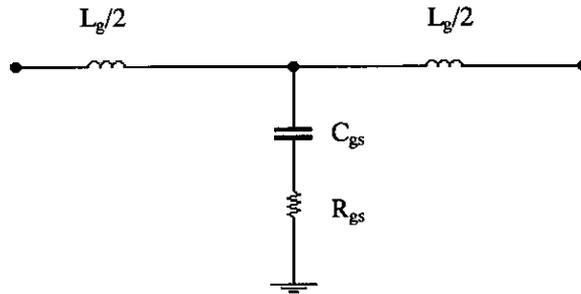


Fig.I.3.a : Cellule élémentaire de la ligne grille

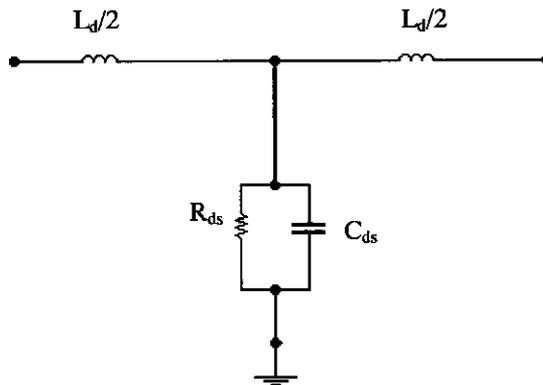


Fig. I.3.b : Cellule élémentaire de la ligne drain

2. Caractéristiques principales

a) Gain en puissance

Le gain en puissance de N sections d'un A.D [5] est donné par :

$$G_p = \frac{g_m^2 Z_0^d Z_0^g}{4(1 - X_c^2)(1 + X_g^2)} e^{-N(\alpha_g + \alpha_d)} \times \frac{\sinh^2 \left[\frac{N(\alpha_d - \alpha_g)}{2} \right]}{\sinh^2 \left[\frac{(\alpha_d - \alpha_g)}{2} \right]} \quad (\text{I.1})$$

où :

- g_m est la transconductance du transistor
- Z_0^g et Z_0^d (égales à 50Ω) sont respectivement les impédances caractéristiques en basses fréquences des lignes grille et drain.
- N est le nombre de transistors
- α_g et α_d sont les facteurs d'atténuation des lignes grille et drain et sont donnés par les relations suivantes :

$$\alpha_g \cong \frac{a X_c^2}{\sqrt{1 - (1 - a^2) X_c^2}} \quad (I.2)$$

$$\alpha_d \approx \frac{b}{\sqrt{1 - X_c^2}} \quad (I.3)$$

où $a = \frac{\omega_c}{\omega_g}$, $b = \frac{\omega_d}{\omega_c}$ et $X_c = \frac{\omega}{\omega_c}$

avec $\omega_g = \frac{1}{R_{gs} \cdot C_{gs}}$, $\omega_d = \frac{1}{R_{ds} C_{ds}}$ et $\omega_c = \frac{2}{\sqrt{L_g C_{gs}}} = \frac{2}{\sqrt{L_d C_{ds}}}$

On voit bien que la réponse fréquentielle de l'A.D est déterminée par la ligne drain en basse fréquence et par la ligne grille en haute fréquence. (fig.I.4)

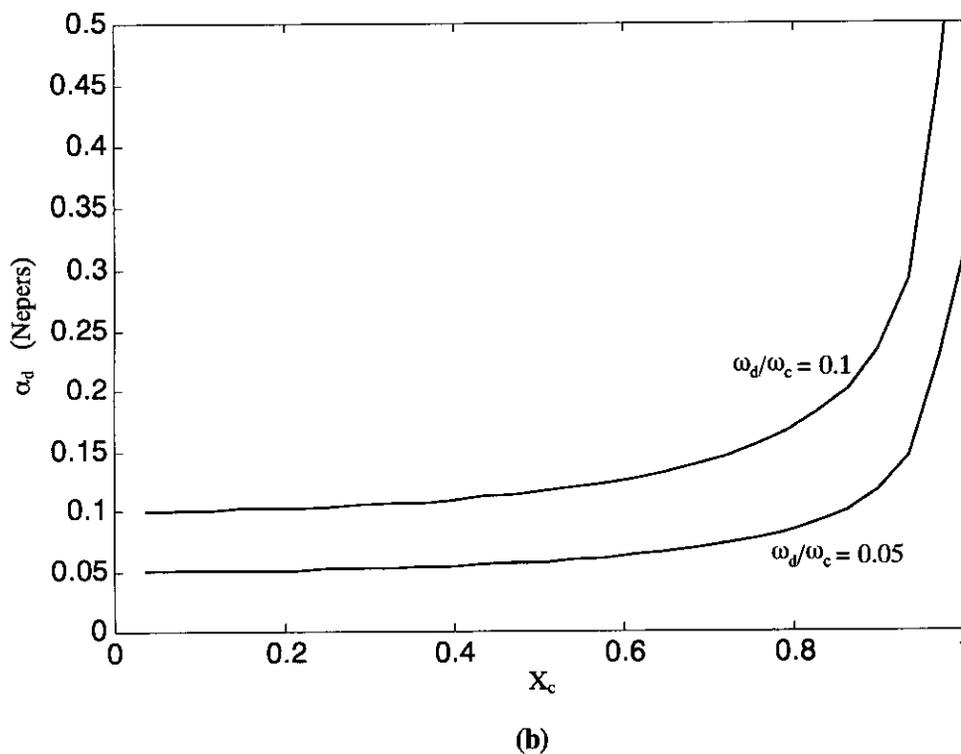
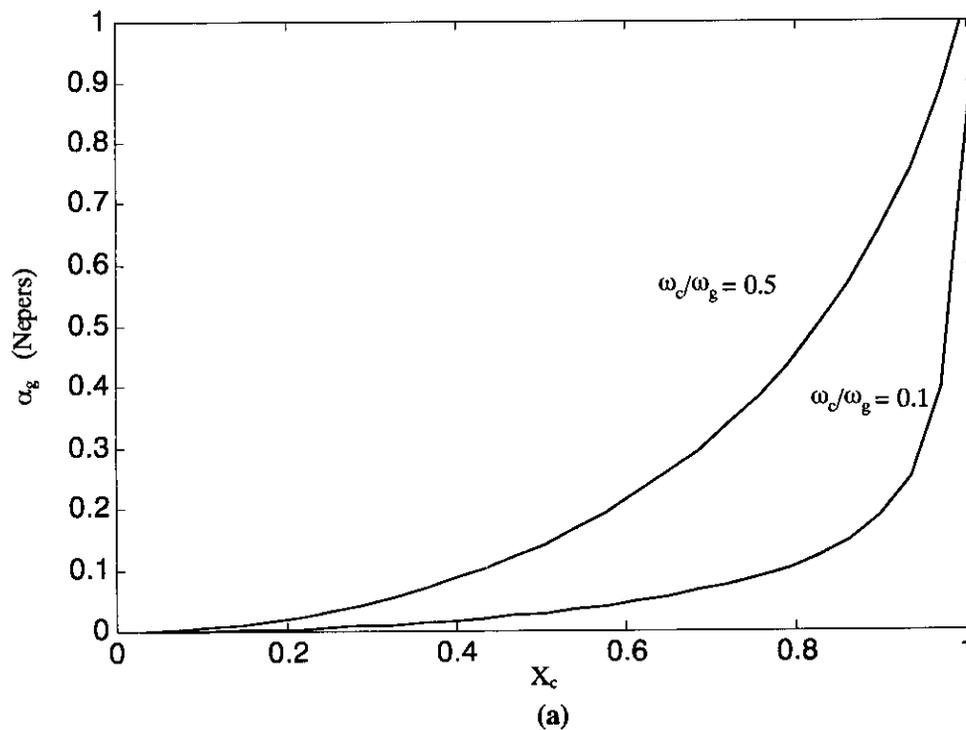


Fig.I.4 : Atténuation en fonction de la fréquence normalisée

(a) Ligne grille

(b) Ligne drain

A partir de (I.1), on peut déterminer le nombre de sections qui maximise le gain à une fréquence donnée [5]:

$$N_{opt} = \frac{\ln(\alpha_g / \alpha_d)}{\alpha_d - \alpha_g} \quad (I.4)$$

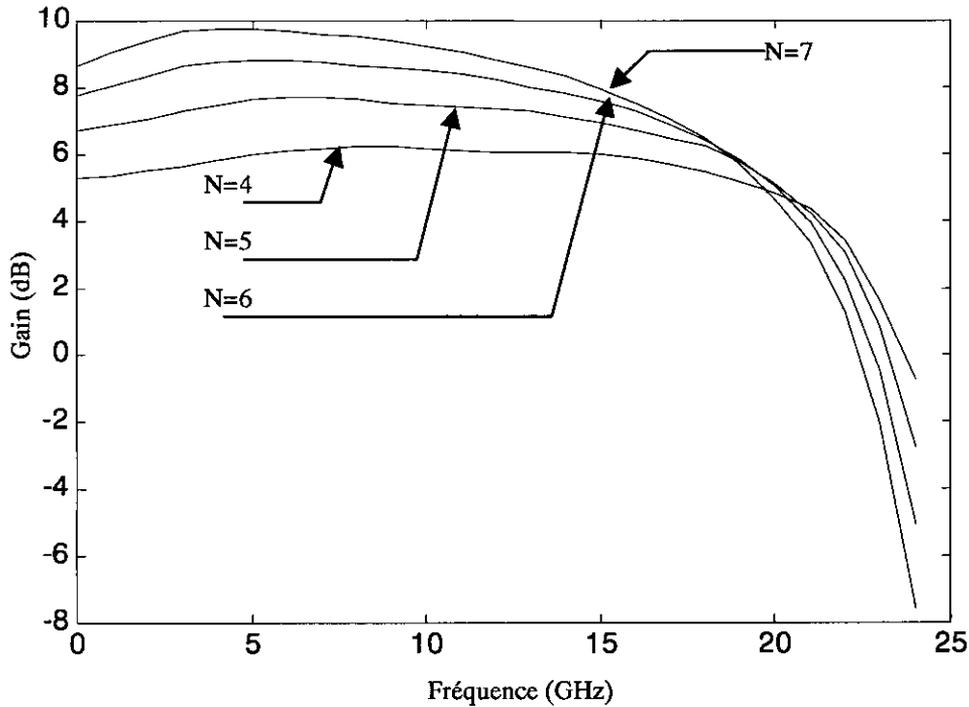


Fig.I.5 : Variation du gain en fonction de la fréquence pour différentes valeurs de N.

Comme le montre la figure (I.5), le gain croît quand N croît, mais à partir de $N = 5$, l'augmentation du gain devient négligeable. Ceci justifie le fait que les amplificateurs réalisés et qui ont fait l'objet de publications utilisent au maximum quatre transistors.

Donc L'amplificateur distribué conventionnel (A.D.C) (Fig.I.6) est constitué de deux lignes artificielles, appelées respectivement lignes grille et drain, couplées par un certain nombre de transistors FET identiques. Ces lignes artificielles sont des cellules élémentaires passe - bas mises en cascade dont les impédances images [5] sont données par :

$$\begin{cases} Z_0^g = Z_0 \sqrt{1 + jx_g - x_c^2} \\ Z_0^d = Z_0 \frac{1 + x_g}{1 + jx_g - x_c^2} \end{cases}$$

avec $Z_0 = \sqrt{\frac{L_g}{C_{gs}}}$; $x_g = \frac{\omega}{\omega_g}$; $x_c = \frac{\omega}{\omega_c}$

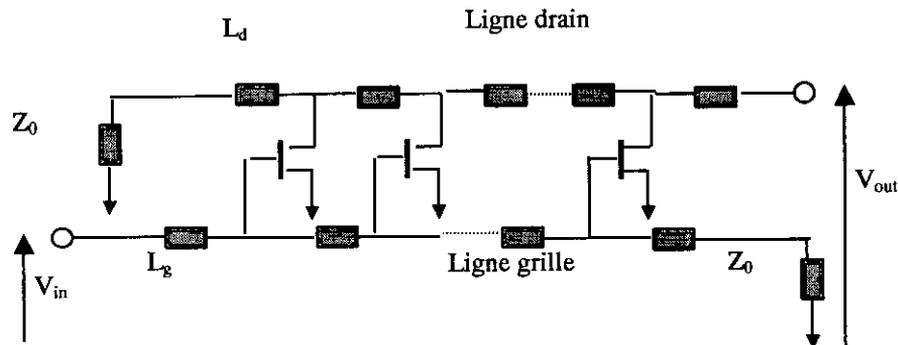


Fig. I.6 Amplificateur distribué conventionnel.

b) Produit gain – bande passante :

Puisque la réponse en fréquence est globalement plate jusqu'à la fréquence de coupure f_c , le produit gain – bande passante d'un A.D [5][9] sera :

$$GBP = A_0 f_c \quad (I.5)$$

où :

$$A_0 = \lim_{\omega \rightarrow 0} |A_v| = \frac{g_m \sqrt{Z_0^g Z_0^d}}{2 \sinh(h/N)} \sinh(h) e^{-h}$$

tel que : $A_v = \sqrt{G_p}$; $h = \frac{N\omega_d}{2\omega_g}$

et f_c en Hz.

Pour évaluer les performances de l'A.D, il est intéressant de comparer GBP à la fréquence index d'un élément amplificateur f_{max} [9]:

$$f_{max} \approx \frac{g_m}{4\pi C_{gs}} \sqrt{\frac{R_{ds}}{R_{gs}}} \quad (I.6)$$

A cette fréquence, le gain disponible maximum vaut l'unité.

En combinant les relations (I.5) et (I.6), on obtient :

$$\frac{A_0 f_c}{f_{\max}} \approx (gh)^{1/2} e^{-h} \quad (\text{I.7})$$

où : $g = \frac{N\omega_c}{2\omega_g}$.

Pour $h \leq 0.4$ [5], la fréquence à laquelle le gain chute de 1dB de sa valeur nominale est donnée par :

$$A_0 f_{1dB} = 4K X f_{\max} \quad (\text{I.8})$$

où : $K = (gh)^{1/2} e^{-h}$ et $f_{1dB} = X \cdot f_c$.

Beyer et al. [5] ont montré que $4.K.X \leq 0.8$ c.à.d :

$$A_0 f_{1dB} \approx 0.8 f_{\max} \quad (\text{I.9})$$

Donc, à cause des dissipations internes, le produit gain – bande passante d'un A.D utilisant des FET à GaAs ne peut excéder f_{\max} d'un élément actif individuel [9].

CHAPITRE II

TRANSISTOR A EFFET DE CHAMP

1. Introduction

Dix-sept années se sont écoulées depuis l'introduction initiale du transistor bipolaire en 1948 jusqu'à l'aboutissement aux transistors micro-ondes avec un gain et un niveau de bruit convenable. En 1965, les transistors au Germanium envahissent la bande L avec un niveau de bruit inférieur à 6 dB. En 1968, des progrès considérables ont été réalisés dans le but d'obtenir de meilleures performances du point de vue puissance et bruit des transistors bipolaires pour des fréquences allant jusqu'à bande la X. En 1971, des percées ont été faites dans le développement de transistors à effet de champ (FET). Les résultats, obtenus sur la première génération de circuits intégrés réalisés sur arséniure de gallium (GaAs), ont ouvert la voie à la réalisation de circuits intégrés ultra-rapides :le MESFET (Metal Semiconductor Field-Effect Transistor) à base de GaAs ayant un gain plus élevé, et un niveau de bruit inférieur à ceux des transistors bipolaires au-dessus de 4 GHz. Une grande variété de structures FET, MESFET, JFET (Junction Field Effect Transistor), IGFET (Isolated Gate Field Effect Transistor), convient pour l'amplification micro-onde et l'intégration monolithique de circuits sur des substrats semi-conducteurs et permet l'isolation du circuit des capacités parasites, des pertes d'interconnexions ainsi que la haute densité d'intégration.

Aujourd'hui, les MESFET, JFET, et les IGFET sont utilisés à des fréquences micro-ondes. Les différentes structures du FET sont illustrées dans Fig.(A.1) de l'annexe A [1].

L'Arséniure de Gallium (GaAs) est un matériau connu dans les micro-ondes depuis les années soixante, mais il n'a été appliqué aux transistors à effet de champ (FET) que dans les années soixante-dix.

A cause de la très grande vitesse des électrons dans GaAs par rapport à celle dans le Silicium (Si), le temps de transit dans un FET à GaAs est plus faible que dans un FET équivalent au Si. (fig.II.1) [1][10]

Les FET à GaAs sont devenus des composants dominants de la circuiterie micro-onde. Différentes raisons peuvent être avancées pour expliquer cet état de fait [1]:

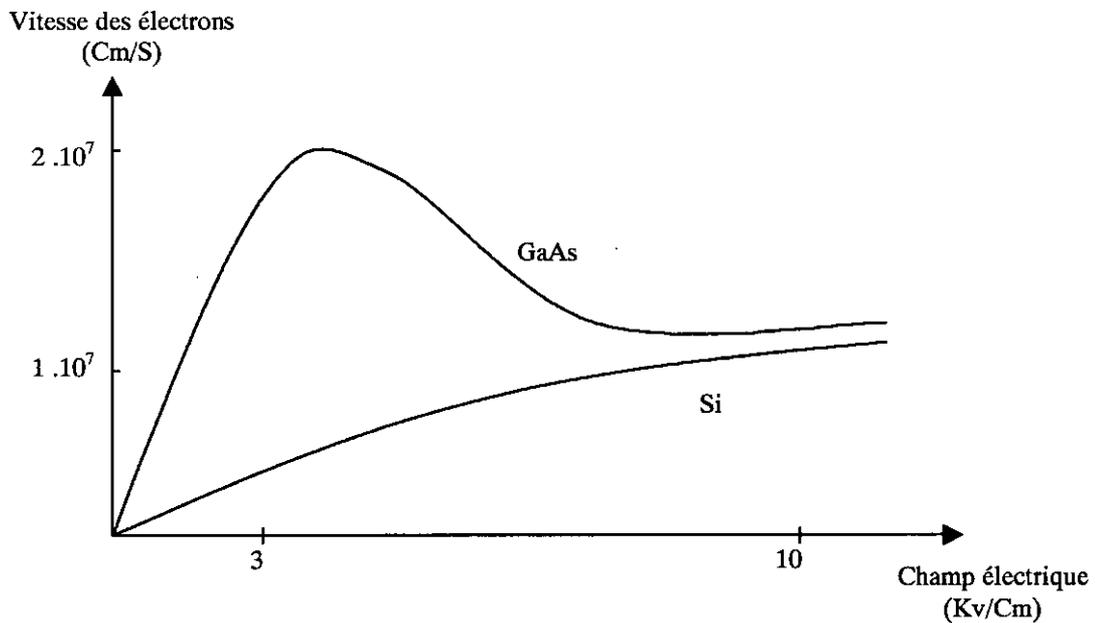


Fig.II.1 : Vitesse des électrons en fonction du champ électrique

- Les FET sont des transistors unipolaires, c.à.d qu'ils emploient qu'un seul type de porteurs. Ceci simplifie leur optimisation relativement au cas à deux types de porteurs.
- GaAs se caractérise par une mobilité plus élevée comparé au Silicium.
- Facilité d'intégration des composants sur un substrat semi-conducteur en technologie monolithique.

2. Structure de base

Un FET à GaAs est réalisé sur une couche très mince de GaAs de type N fortement conductrice avec deux électrodes de contact qui sont la source et le drain définissant entre eux un milieu appelé canal. Au milieu de ce canal est déposé un troisième contact appelé grille. La grille sert comme élément de contrôle du courant qui passe du drain à la source à travers le canal(fig.II.2) [1][3][10].

- **Fabrication**

La partie active de GaAs est réalisée par l'une des quatre méthodes suivantes: épitaxie à phase vapeur, épitaxie à phase liquide, épitaxie à faisceau moléculaire, ou par implantation ionique. Dans le procédé épitaxial, une fine couche de GaAs dopée est déposée sur la surface du substrat GaAs semi-isolant, celui-ci ne joue aucun rôle électrique (il n'est parcouru par aucun courant), mais il constitue essentiellement un support mécanique pour le reste du composant. Au dessus du GaAs épitaxial, sont déposés deux contacts ohmiques métalliques correspondant à la source et au drain. Entre ces derniers, est déposée la grille, qui est un contact à barrière Schottky composé de différents métaux. La présence de ce dernier contact justifie la dénomination MESFET [10] [15].

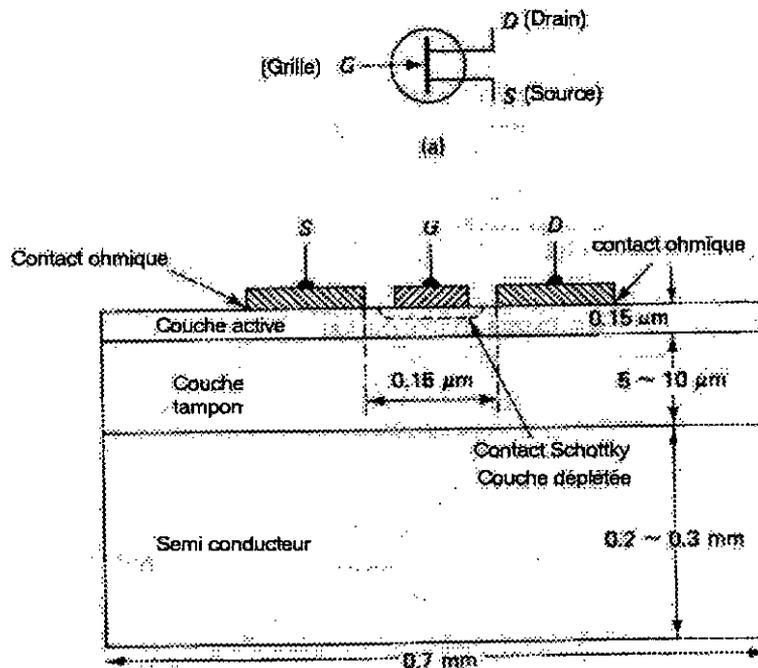


Fig.II.2 : Schéma d'un transistor MESFET à GaAs [10]

(a) Symbole d'un transistor à effet de champ

(b) Coupe transversale d'un MESFET à GaAs

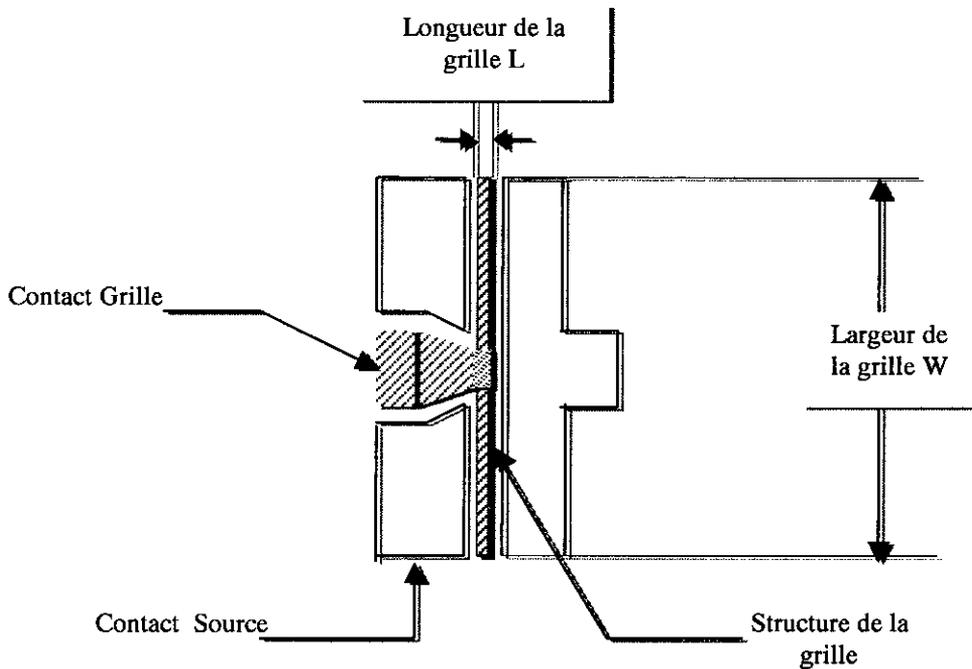


Fig. II.3 : géométrie d'un FET avec une grille en T

La figure (II.3) nous montre le schéma d'un FET à GaAs avec contact grille en T.

En fait, les transistors sont souvent décrits seulement en terme de dimensions de la grille, en l'occurrence la longueur 'L' et largeur 'W'. La largeur de la grille peut varier de 100 à 2000 fois sa longueur. Le courant grille traverse transversalement la surface du canal et de ce fait, il est proportionnel à la largeur de la grille.

3. Schéma équivalent du FET à GaAs

La topologie standard utilisée pour représenter le schéma équivalent du FET à GaAs est formé de 13 éléments pour un transistor en puce. Pour un transistor monté en boîtier on y ajoute les capacités parasites C_{pg} et C_{pd} . (fig.II.4)[3][10][12]. Ce type de modèle est composé de deux groupes d'éléments :

- Éléments intrinsèques : C_{gs} , C_{ds} , C_{gd} , R_{gs} , g_m , τ , R_{ds}
- Éléments extrinsèques : R_g , R_s , R_d , L_g , L_s , L_d .

a) Transconductance

L'action du transistor se déclenche lorsqu'une tension de polarisation V_{gs} négative est appliquée entre la grille et la source, causant une zone de déplétion (région de charges positives) qui se forme sous la grille et se propage de plus en plus profondément dans la couche active au fur et à mesure que la tension grille – source devienne négative. La figure (II.5) illustre l'action du FET [1][10].

Lorsque la tension grille croît, la zone de déplétion s'étend de plus en plus profondément dans la couche active jusqu'à ce qu'elle occupe toute la couche. Puisque dans la zone de déplétion, il n'y a pas de courant de conduction, les charges allant de la source au drain seront confinées dans une couche de plus en plus fine du matériau actif au fur et à mesure que la tension grille croît jusqu'à ce que la conduction s'arrête à un point critique où la déplétion s'étend sur toute la couche active. Ce point critique s'appelle le *pincement*, et la tension grille – source correspondant s'appelle la tension de pincement V_p .

Le courant circulant entre la source et le drain est donc contrôlé par la tension grille, et va d'un courant maximal (appelé I_{dss}) pour une tension grille nulle, à un courant nul pour une tension grille égale à V_p . Ce contrôle est décrit par un paramètre appelé *transconductance* [10] qui s'écrit :

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \quad [\text{Siemens}] \quad (\text{II.1})$$

Cette relation est valable pour une tension V_{ds} constante.

I_{dss} s'écrit :

$$I_{dss} = en_0 v_s W d_{max} \quad (\text{II.2})$$

où : e : charge d'un électron

n_0 : densité de donneurs dans la couche active

v_s : vitesse des électrons

W : largeur totale de la grille (fig.II.5)

d_{max} : profondeur totale de la couche active.

La profondeur du canal de conduction sous la grille est donc :

$d = d_{\max}$ - profondeur de la zone de dépletion

(II.3)

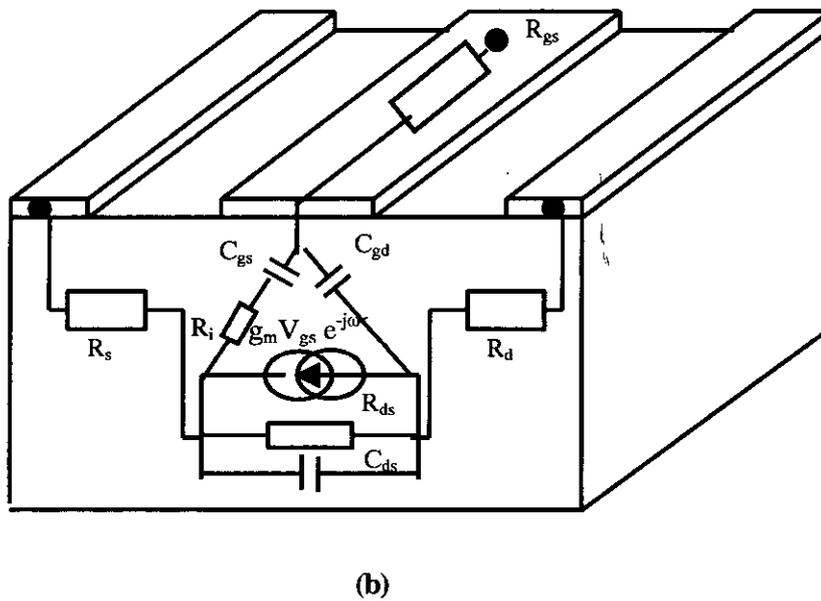
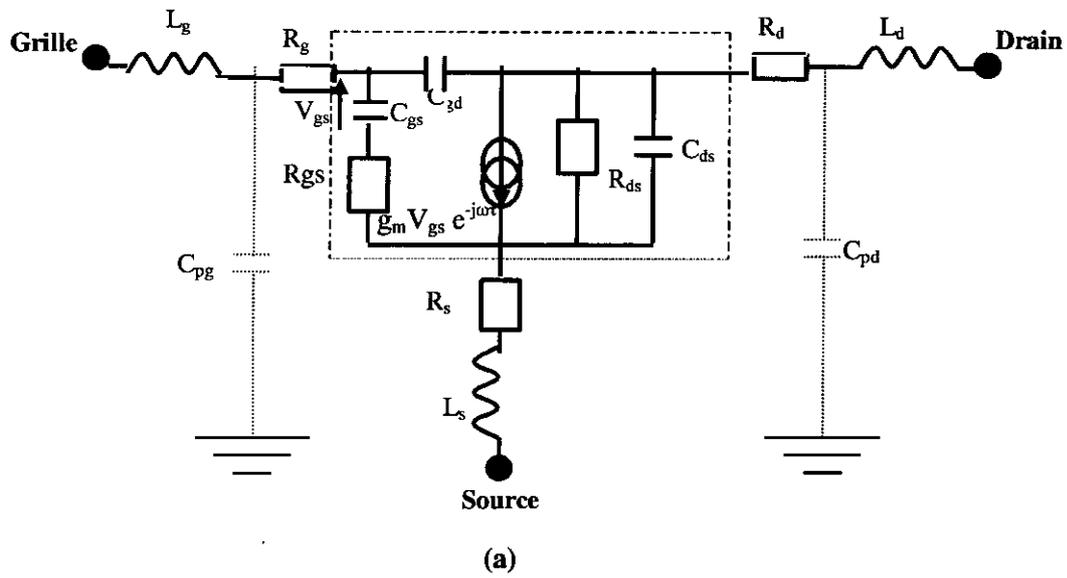


Fig.II. 4 : Schéma équivalent du FET à GaAs [10]:

(a) Modèle électrique

(b) Origine physique des éléments du transistors

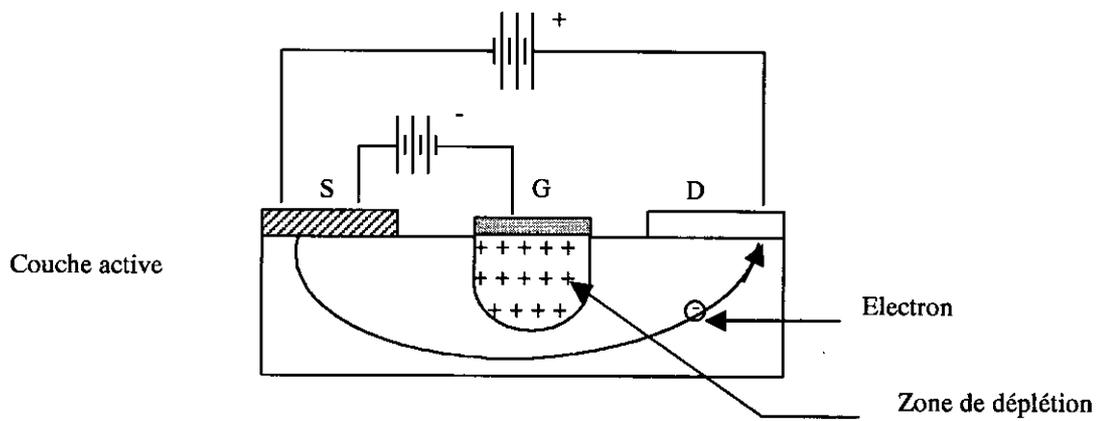


Fig.II.5 : Description de l'action du FET

Pour une grille Schottky [10], on a

$$d = d_{\max} \left(1 - \frac{V_{gs}}{V_p} \right)^2 \tag{II.4}$$

Par conséquent, le courant drain-source I_{ds} s'écrit :

$$I_{ds} = I_{dss} \left(1 - \frac{V_{gs}}{V_p} \right)^2 \tag{II.5}$$

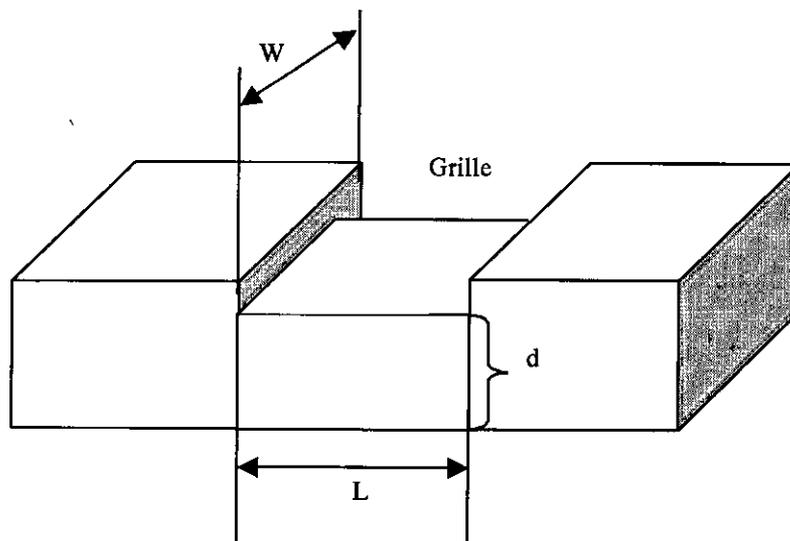


Fig.II.6 : Coupe transversale d'un FET à GaAs

En combinant les relations (II.1) et (II.5), on obtient :

$$g_m = 2I_{dss} \left(1 - \frac{V_{gs}}{V_p} \right) \left(\frac{-1}{V_p} \right) \quad (\text{II.6})$$

Cette expression ainsi que la courbe de la fig.(II.7) montrent que g_m est proportionnel à la largeur W .

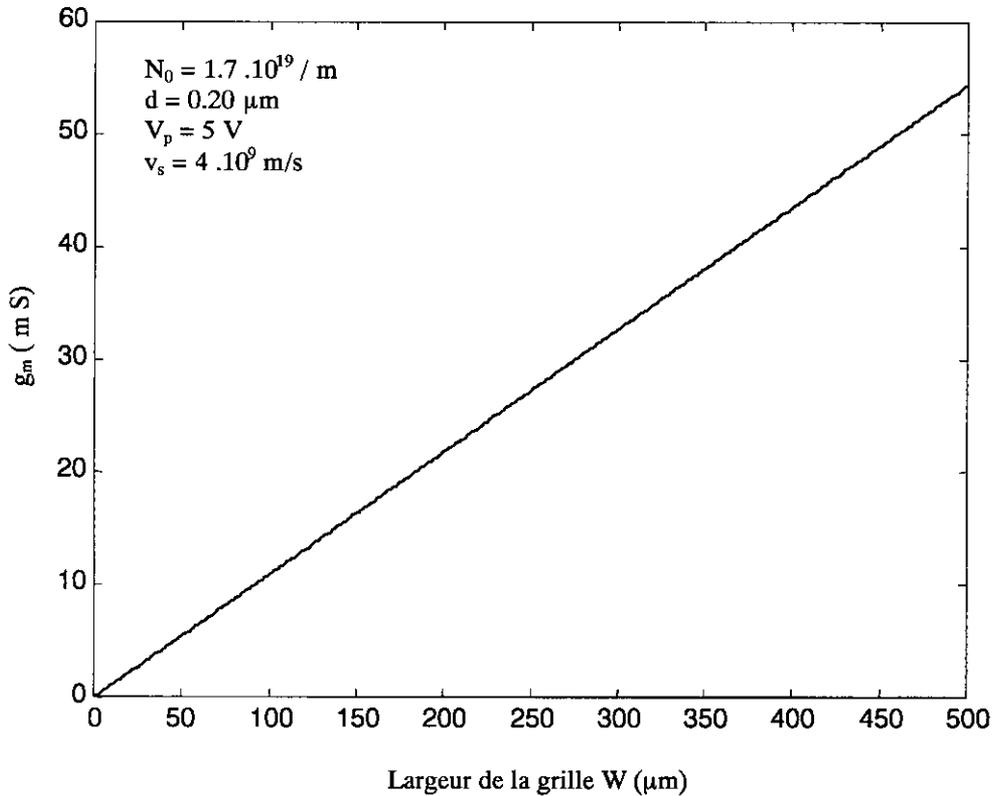


Fig.II.7 : Variation de la transconductance en fonction de W

b) Eléments parasites :

Dans le cas idéal, le circuit équivalent d'un FET à GaAs est tout simplement une source de courant contrôlée en tension (fig.II.8). Cependant, aux fréquences micro ondes, des éléments parasites apparaissent (fig.II.4. (a) et (b)).

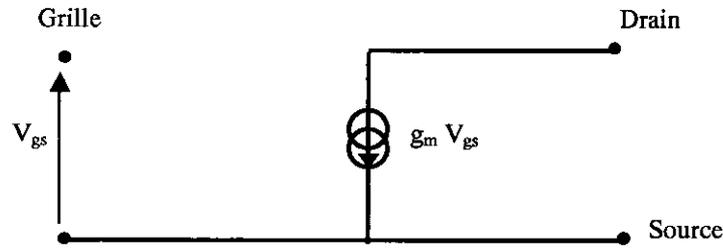


Fig.II.8 : Circuit équivalent idéal d'un FET

b1) Eléments parasites grille :

• **Capacité C_{gs}** : Elle modélise la variation de la charge en fonction de V_{gs} . Elle peut être directement calculée en utilisant un abaque [10]. En considérant l et W comme étant la longueur et la largeur de la grille respectivement, la capacité C_{gs} sera donnée par :

$$C_{gs} = l.W.C'$$

où C' représente la capacité par unité de surface.

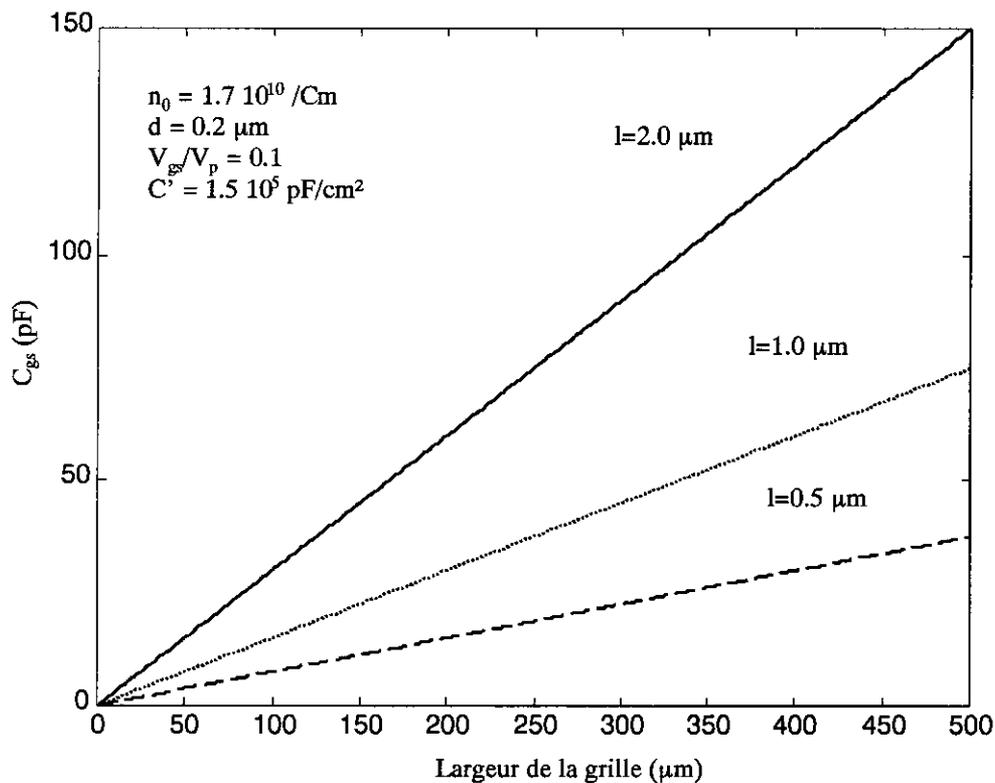


Fig.II.9 : Variation de la capacité C_{gs} en fonction de W pour différentes valeurs de l

• **Résistance R_{gs}** : Elle est plus difficile à calculer parce qu'elle contient deux composantes. La première est la résistance associée au métal de la grille et la seconde est la résistance de la région semi-conductrice déplétée entre les contacts grille et la source. La première résistance R_{g1} [10] est donnée par :

$$R_{g1} = \frac{\rho \cdot W}{12 \cdot L \cdot h} \quad (\text{II.7})$$

où h et ρ sont respectivement l'épaisseur et la résistivité du métal de la grille

Pour le calcul de la seconde résistance, on suppose l'espacement entre le contact ohmique source et la zone de déplétion grille égale à $L/2$ [10] (fig.II.10). Dans ce cas, la résistance associée au matériau non déplété est :

$$R_{g2} = \frac{\rho_{GaAs} (L/2)}{W \cdot d_{\max}} \quad (\text{II.8})$$

où ρ_{GaAs} est la résistivité de GaAs

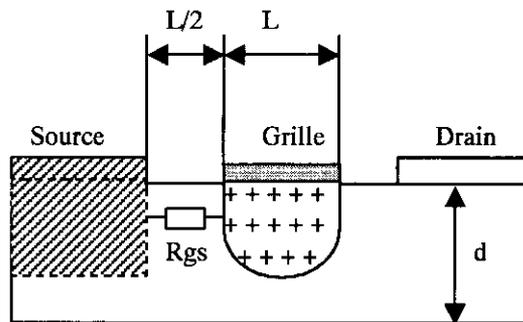


Fig.II.10 : Calcul de la résistance R_{g2}

La résistance grille totale sera donc :

$$R_{gs} = \frac{\rho \cdot W}{12 \cdot L \cdot h} + \frac{\rho_{GaAs} \cdot L}{2 \cdot W \cdot d_{\max}} \quad (\text{II.9})$$

et ses variations en fonction de la largeur de la grille sont tracées dans la fig.(II.11.a)

b2)Eléments parasites drain:

Le drain est modélisé par une résistance et une capacité en parallèle.

• **Résistance R_{ds}** : Elle représente les pertes associées à l'impédance de sortie du FET. Pour $I_{ds} = 0.5 I_{dss}$, la résistance drain [10] s'écrit :

$$R_{ds} = \frac{\rho_s \cdot L}{W \cdot (d_{\max} / 2)} \quad (\text{II.10})$$

où ρ_s est la résistivité équivalente à la vitesse de saturation du canal et ses variations en fonction de la largeur de la grille sont illustrées par la fig.(II.11.b).

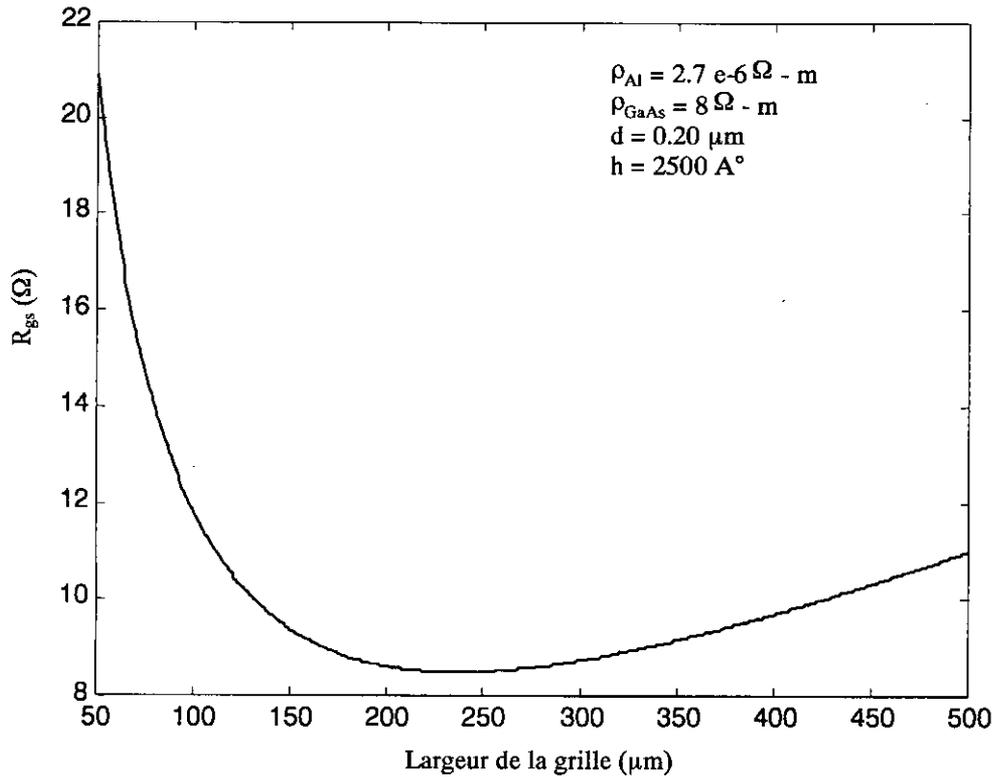


Fig.II.11.a : Variation de R_{gs} en fonction de W pour $l = 50 \mu m$

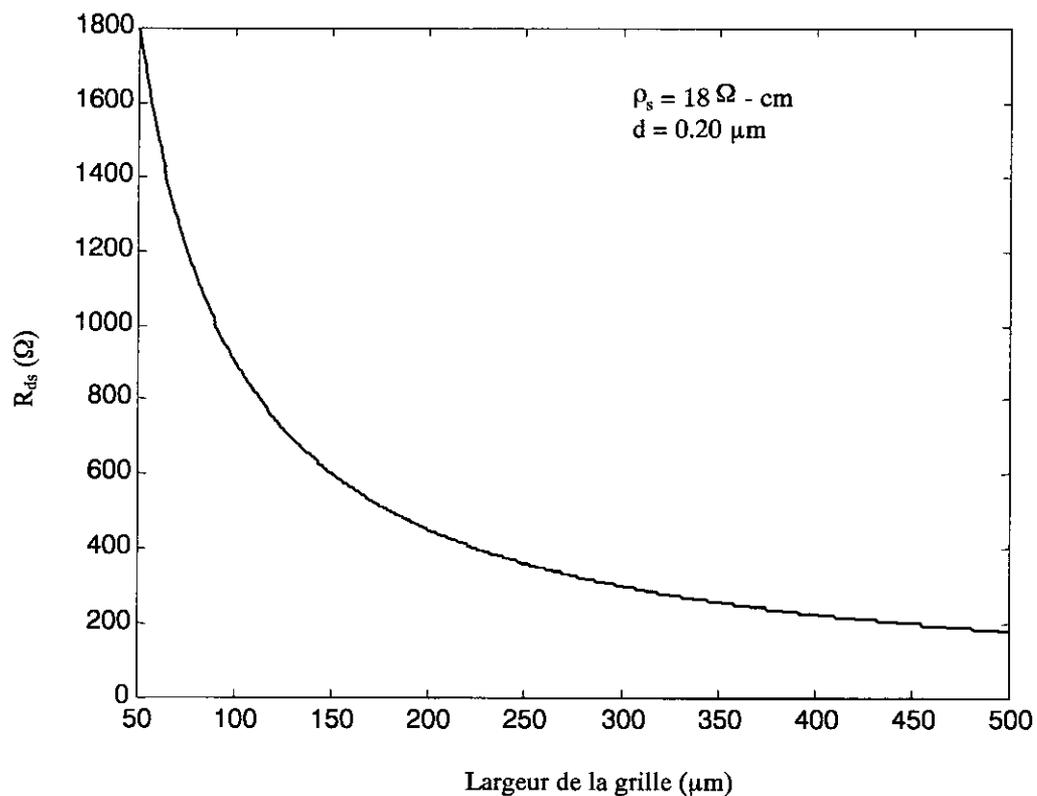


Fig.II.11.b : Variation de R_{ds} en fonction de W pour $l = 50 \mu m$

- **Capacité C_{ds}** : Elle représente simplement la valeur du condensateur plan formé par les contacts drain et source :

$$C_{ds} = \frac{\epsilon_r \epsilon_0 d_{max} W}{3L} \quad (II.11)$$

où : $\epsilon_r = 12.5$ est la permittivité relative de GaAs.

$\epsilon_0 = 0.85 \cdot 10^{-12}$ F/m est la permittivité de l'air.

et ses variations en fonction de W sont tracées dans la fig.(II12)

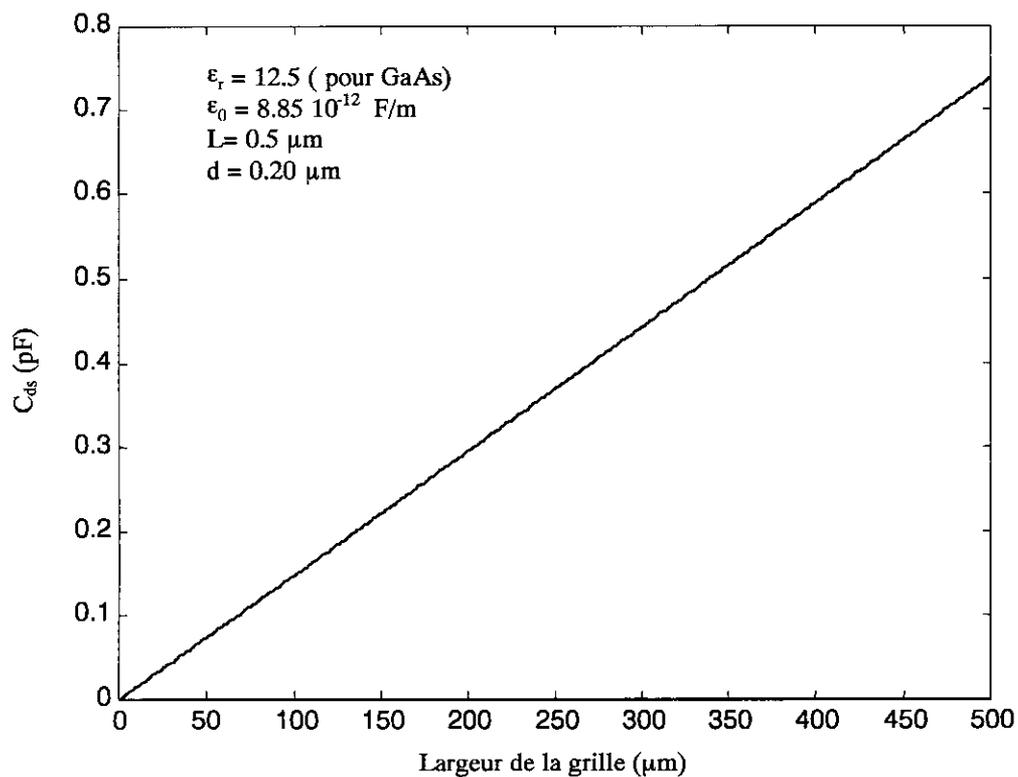


Fig.II.12 : Variation de la capacité C_{ds} en fonction de W

c) Gain Maximum Disponible :

Le schéma équivalent d'un FET à GaAs est donné par la figure (II.13). Bien qu'il ne tienne pas compte de tous les éléments parasites (résistances de contact, capacité C_{gd} entre la grille et le drain), ce schéma simple est

suffisamment précis pour définir le comportement des performances du FET à GaAs.

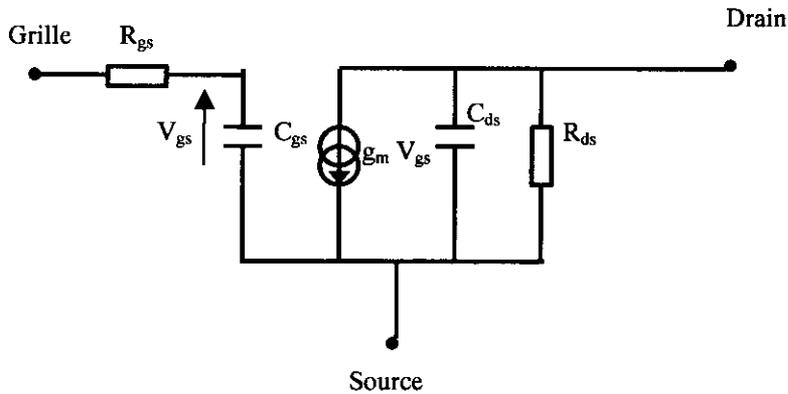


Fig.II.13 : Schéma équivalent idéal d'un FET à GaAs

L'un des paramètres importants qui caractérise le FET à GaAs est le MAG (Maximum Available Gain), qui, est le gain en puissance maximale qui peut être réalisé à chaque fréquence en supposant une parfaite adaptation à l'entrée et à la sortie. L'expression du MAG [10] sera :

$$MAG = \frac{g_m^2}{(2\pi)^2} \sqrt{\frac{R_{ds}}{R_{gs}}} \left(\frac{1}{f.C_{gs}} \right)^2 \quad (\text{II.12})$$

Ce qui donne en remplaçant (II.2), (II.6), (II.9) et (II.10) dans (II.12) :

$$MAG = \frac{\left[2en_0 v_s W d_{\max} \left(1 - \frac{V_{gs}}{V_p} \right) \frac{-1}{V_p} \right]^2}{(2\pi)^2} \left[\frac{\rho_s L / W (d_{\max} / 2)}{\frac{\rho W}{12Lh} + \frac{\rho_{GaAs} L}{2W d_{\max}}} \right]^{1/2} \left(\frac{1}{L.C'.f} \right)^2 \quad (\text{II.13})$$

En première approximation, on peut dire que le MAG varie directement avec n_0^2 et inversement avec $(L.f)^2$. Ceci signifie que pour étendre la gamme de fréquence du FET, il suffit de réduire L.

Des formules plus détaillées pour le calcul des éléments du MESFET sont données en annexe B.

CHAPITRE III

LES ELEMENTS PASSIFS

1. Introduction

Dues aux besoins économiques récents et aux contraintes dans l'industrie VLSI (Very Large Scaling Integration), plusieurs tentatives de recherche de configurations réalistes avec un minimum de coût et de dissipation de puissance ont été entreprises. Cependant, quelques problèmes concernant la faisabilité et l'efficacité des circuits RF (Radio Frequency) intégrés sont toujours d'actualité.

Les éléments passifs sont indispensables à la réalisation des circuits monolithiques micro-ondes. En effet, dans la technologie des circuits monolithiques, les composants passifs sont réalisés sur le même substrat sur lequel sont gravés les éléments actifs.

2. Inductances :

L'inductance est l'un des composants passifs les plus importants dans la conception haute fréquence, qui est l'inductance intégrée opérant sur plusieurs dizaines de GigaHertz [13].

Plusieurs méthodes et modèles ont été proposés afin d'étudier et améliorer les caractéristiques physiques de l'inductance. Les résultats les plus récents se rapportent à une inductance intégrée de l'ordre de 25nH.

Une inductance idéale est un élément dont l'impédance est donnée par :

$$Z_{in} = j\omega L_m$$

ce qui implique un facteur de qualité $Q = \frac{im(Z_{in})}{real(Z_{in})} = \infty$

Comme le montre la Fig.(III.1), il est impossible de concevoir une inductance idéale parce qu'il est impossible de se débarrasser de toutes les pertes :

- Perte par résistance métal
- Perte par capacité inter-métal (associée au coupalge entre les tronçons de ligne métallique)
- Perte par capacité métal-oxyde-substrat (liée à la structure formée de la couche de métal, de l'oxyde et de la partie supérieure du substrat).
- Perte par conductivité du substrat (dû au courant induit dans le substrat)

- Perte par capacité oxyde-substrat

L'effet des pertes résistives dans le conducteur est dominant en basses fréquences. Cependant, plus la fréquence augmente, et plus les pertes capacitives et celles dues au substrat augmentent jusqu'à ce qu'elles dominent complètement le comportement de l'inductance.

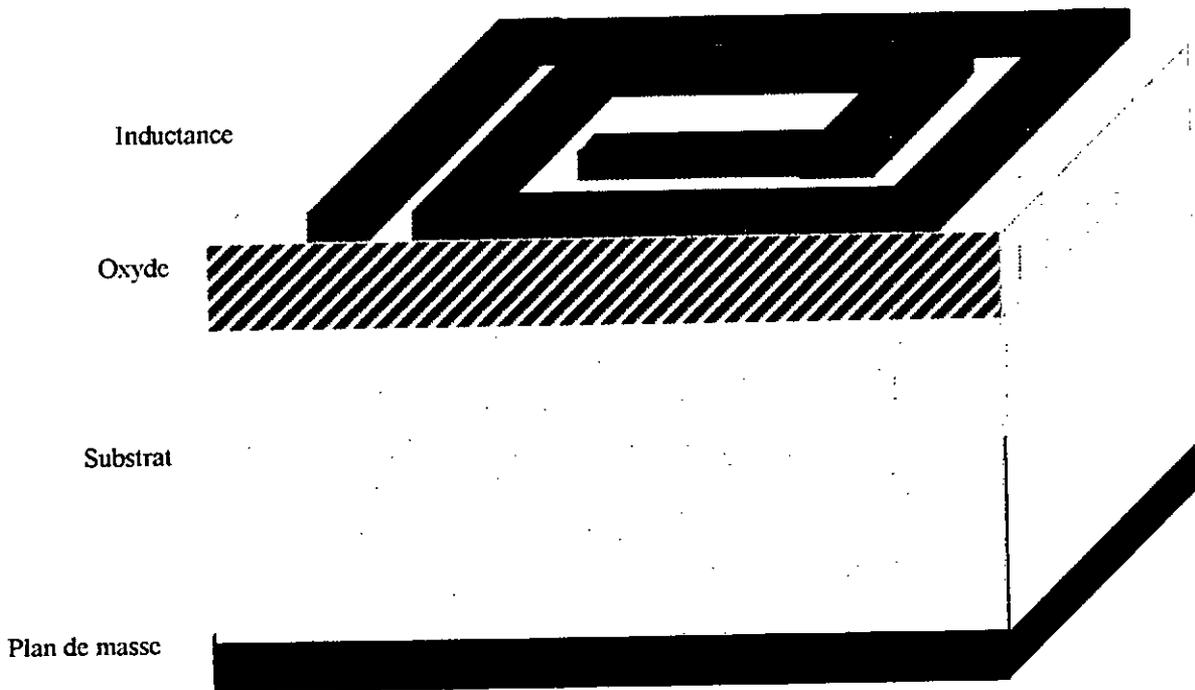


Fig.III.1 : inductance intégrée spirale

L'oxyde isole les tronçons de ligne métallique du substrat. Plus la couche d'oxyde est épaisse, plus le métal est isolé du substrat. Ceci réduit l'effet des pertes dues au substrat.

En général, le substrat des circuits intégrés RF est déposé sur un plan de masse métallique ce qui forme une capacité oxyde-substrat-métal qui est très faible et qui peut être négligée en basses fréquences.

2.1. Définition de l'inductance

L'inductance totale d'une self en spirale est obtenue en additionnant deux quantités:

2.1.1 La self inductance :

Elle est due au flux magnétique des segments individuels de la spirale qui crée l'inductance. Physiquement, pour obtenir une grande self-inductance, il suffit de maximiser toutes les dimensions du segment (longueur, largeur, et épaisseur).

2.1.2 Inductance mutuelle :

L'inductance mutuelle est l'inductance produite par le couplage magnétique parmi des éléments de la spirale. Ceci peut être positif ou négatif selon la direction du courant dans les deux segments parallèles. Physiquement, Sa quantité dépend de la longueur des conducteurs et de la largeur des éléments ainsi que l'espacement entre eux.

Par conséquent, l'inductance totale et le facteur Q d'une self intégré dépendent largement de sa structure physique : la largeur, l'espacement et l'épaisseur du tronçon de ligne métallique, ainsi que la conductivité du substrat et le nombre de tours constituant la spirale.

A partir de ces considérations, nous pouvons modéliser une inductance réelle comme suit (fig.(III.2)) :

- L'inductance peut être modélisée avec un inductance idéal
- La résistance du métal par une résistance dépendant de la fréquence
- Les capacités oxyde et inter-métal par des condensateurs
- Les pertes dues au substrat par une résistance indépendante de la fréquence

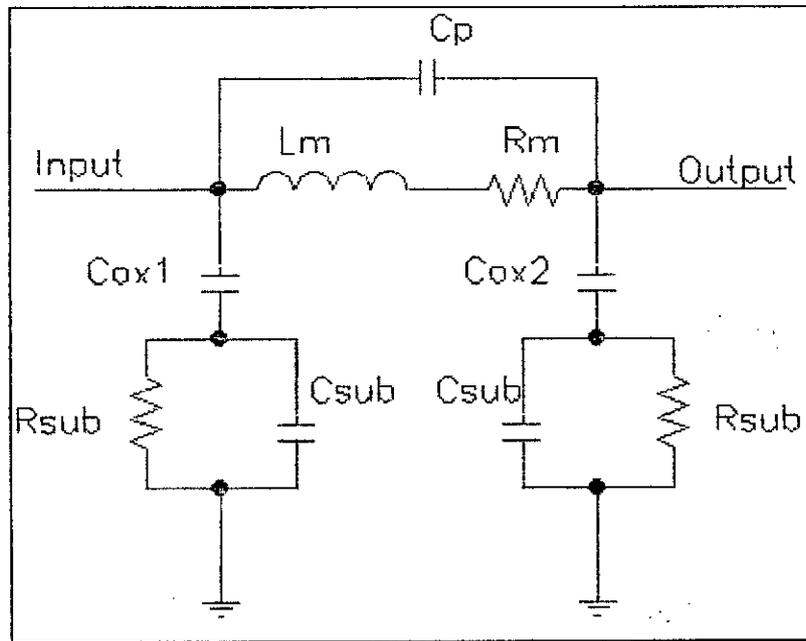


Fig.III.2 : circuit équivalent d'une inductance intégrée

Différentes formules existent pour calculer la valeur d'une inductance. Parmi elles la formule de Greenhouse [13].

- *Calcul de la self-inductance*

La formule proposée par Greenhouse pour le calcul de la self-inductance comme d'un métal conducteur non-magnétique de section rectangulaire est donnée par :

$$L_{self} = 2 \cdot 10^{-4} L \left[\ln \left(\frac{2L}{W_m + T_m} \right) + 0.50049 + \frac{W_m + T_m}{3L} \right]$$

où : W_m : largeur du conducteur

T_m : épaisseur du conducteur

L : longueur du conducteur

Toutes les longueurs sont en cm et l'inductance en nH.

- *Calcul de la mutuelle inductance*

L'inductance mutuelle entre deux conducteurs parallèles x et y avec L comme commune longueur est donnée par :

$$M_{x,y} = 2LV$$

Où

$M_{x,y}$: inductance mutuelle en nH,

L: la longueur en cm

V: est un paramètre sans dimensions donné par :

$$V = \ln \left(\frac{L}{GMD} + \sqrt{1 + \frac{L^2}{GMD^2}} \right) - \sqrt{1 + \frac{GMD^2}{L^2}} + \frac{GMD^2}{L^2}$$

avec GMD, la distance géométrique moyenne (Geometric Mean Distance), entre les deux conducteurs est

$$GMD = \exp \left[\left(\frac{1}{12 \left(\frac{d}{W_m} \right)^2} + \frac{1}{60 \left(\frac{d}{W_m} \right)^4} + \frac{1}{168 \left(\frac{d}{W_m} \right)^6} \right) \ln(d) \right]$$

Où,

d: la distance entre les centres des pistes des conducteurs

GMD: est en cm quand toutes les grandeurs sont en cm.

La formule de Greenhouse considère l'inductance en spirale comme un ensemble de segments, et calcule la self et l'inductance mutuelle de chaque segment individuellement.

Pour une inductance de cinq segments, l'inductance totale est donnée par :

$$L_m = \sum_{i=1}^n L_{si} - 2M_{1,3} - 2M_{3,5} - 2M_{2,4} + 2M_{1,5}$$

La formule de Greenhouse est utilisée pour les inductances suspendues généralement. Donc, elle n'est valable que si l'effet du substrat est négligeable. L'erreur est inférieure à 10% [13].

2.2. Méthode d'extraction des éléments du circuit équivalent de l'inductance :

Dans cette partie, une description d'un algorithme d'extraction des éléments du modèle de l'inductance sera présentée.

Considérons le circuit équivalent donné par la Fig.(III.2). Ses paramètres [Y] sont donnés par :

$$Re[y_{11}] = \frac{R_m}{R_m^2 + \omega^2 L_m^2} + \frac{\omega^2 C_{ox}^2 R_{sub}}{1 + \omega^2 C_{ox}^2 R_{sub}^2}$$

$$Im[y_{11}] = -\frac{\omega L_m}{R_m^2 + \omega^2 L_m^2} + \frac{\omega C_{ox}}{1 + \omega^2 C_{ox}^2 R_{sub}^2} + \omega C_p$$

$$Re[y_{21}] = -\frac{R_m}{R_m^2 + \omega^2 L_m^2}$$

$$Im[y_{21}] = \frac{\omega L_m}{R_m^2 + \omega^2 L_m^2} - \omega C_p$$

Ces équations sont utilisées pour extraire les valeurs de C_p , L_m , et R_m

2.2.1. Extraction de L_m

Puisque L_m est approximativement constante à des fréquences inférieures loin de la fréquence de résonance, on peut considérer L_m à des fréquences proches de zéro. Dans ce cas, nous obtenons :

$$L_m = \frac{Im[y_{21}]}{\omega \left[Re[y_{21}]^2 + Im[y_{21}]^2 \right]} \quad (III.1)$$

2.2.2. Extraction de la résistance série R_m

En remplaçant (III.1) dans $Re[y_{21}]$ nous obtenons les solutions d'une équation du

second degré :

$$R_{1,2} = \frac{\left(-Re[y_{21}] \right)^{-1} \pm \sqrt{\left(Re[y_{21}] \right)^{-2} - 4\omega^2 L_m^2}}{2}$$

La résistance série R_m est obtenue par la combinaison des deux solutions comme suit :

$$R_m = Max(R_{dc} = R_1(\text{fréq} = 0), R_2) \quad (III.2)$$

2.2.3. Extraction de C_p

L'extraction pratique de C_p est possible à hautes fréquences où son impact sur le comportement de l'inductance n'est pas négligeable. En remplaçant L_m , R_m , $\text{Im}[Y_{21}]$, nous obtenons :

$$C_p = \frac{1}{\omega} \left(\frac{\omega L_m}{R_m^2 + \omega^2 L_m^2} - \text{Im}[y_{21}] \right) \quad (\text{III.3})$$

La valeur de C_p dépend de la fréquence. Donc pour avoir une valeur approximative pour le modèle proposé, la moyenne de toutes les valeurs à hautes fréquences est prise comme une référence.

2.2.4. Extraction de C_{ox} et R_{sub}

En basses fréquences, C_p est considéré comme un circuit ouvert dans le modèle. Puisque C_{ox} et R_{sub} sont grands comparés à L_m et R_m , ces derniers sont considérés comme un court-circuit. Nous pouvons donc approximer $\text{Re}[Z_{12}]$ et $\text{Im}[Z_{12}]$ comme suit:

$$\text{Im}[z_{12}] \approx \frac{-1}{2\omega C_{ox}}$$

$$\text{Re}[z_{12}] \approx \frac{R_{sub}}{2}$$

$$C_{ox} \approx \frac{-1}{2\omega \text{Im}(z_{12})}$$

$$R_{sub} \approx \frac{\text{Re}(z_{12})}{2}$$

et on trouve :

(III.4)

Comme décrit dans la littérature, chaque conception est orientée par l'évaluation d'un des paramètres relatif au modèle électrique proposé. Ceux-ci devraient fournir une description tout à fait exacte du comportement électrique de l'inductance.

3. Capacités

Les circuits monolithiques utilisent, généralement, trois configurations pour réaliser les capacités :

- La capacité interdigitée (Fig.III.3.a) est réalisée par des surfaces métalliques et un diélectrique. Tant que la longueur des doigts n'est pas trop grande, elle peut se calculer par des méthodes classiques qui donnent des capacités de faible valeur avec une précision acceptable [14]. Cette configuration est utilisée dans les circuits monolithiques micro-ondes au-delà de 18 GHz en utilisant des capacités d'accord de faible valeur
- La deuxième configuration (Fig.III.3.b) utilise une diode dont la capacité dépend de la tension de polarisation. Ces capacités sont généralement utilisées dans les oscillateurs ;
- La configuration la plus utilisée (Fig.III.3.c) dans les circuits monolithiques est la capacité MIM (Métal-Isolant-Métal). L'isolant peut être l'un des matériaux présentés dans le tableau III.1. Notons que les permittivités recherchées sont élevées. En plus, afin d'obtenir des couches minces (2500 à 3000 Å), le matériau diélectrique doit présenter une tension de claquage élevée.

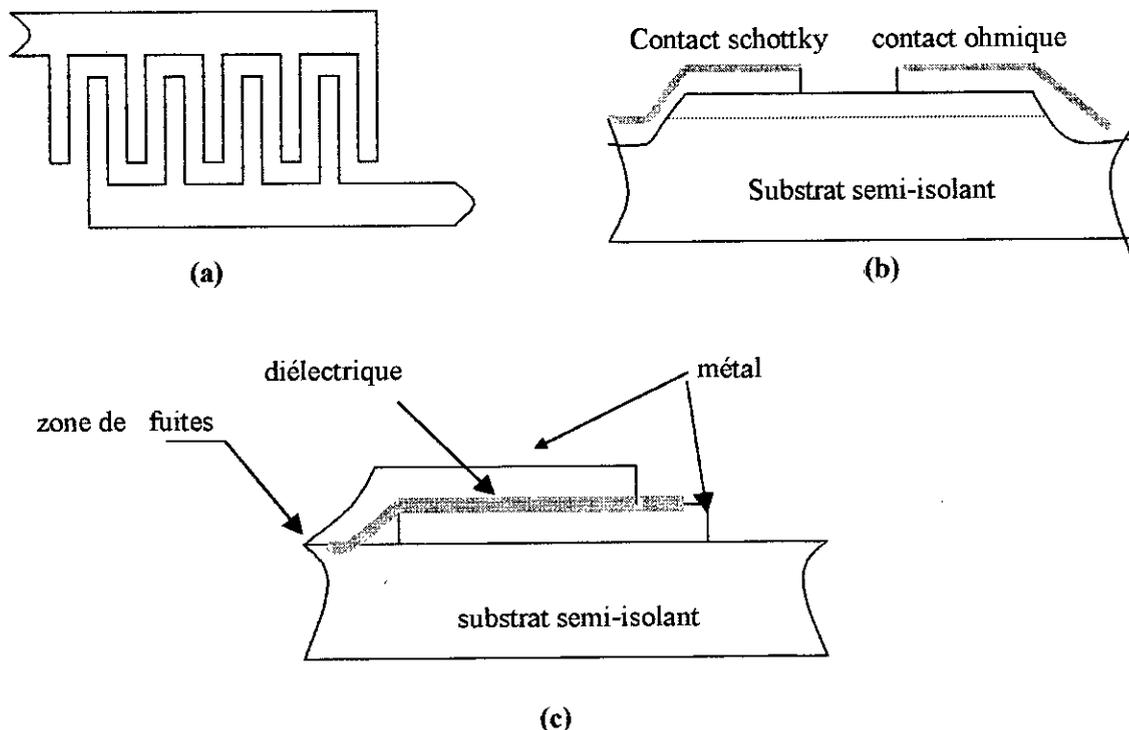


Fig111.3 : Différents types de capacités utilisées dans les circuits monolithiques
 (a) Capacité interdigitée ;
 (b) Capacité à contact schottky ;
 (c) Capacité métal-insolant-métal (MIM).

Où : E_c , représente le champ électrique de claquage ;
 ϵ_r est la permittivité relative.

Les tensions de claquage dépendent des méthodes de dépôt utilisées. Pour mieux caractériser les diélectriques, de nombreux travaux restent à faire. Une étude des courants de fuite des capacités a montré que les claquages ont lieu principalement dans la zone de fuite où le champ électrique est élevé (Fig.III.3.c). Pour y remédier, deux alternatives sont possibles :

- Soit utiliser une couche supplémentaire de diélectrique à l'endroit des fuites ;
- Soit utiliser des ponts à air (Fig.III.4).

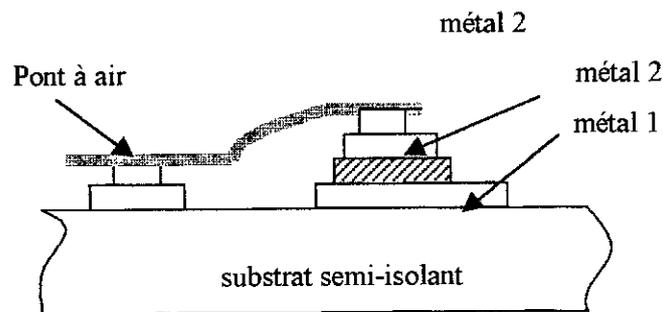


Fig.III.4 : Capacité métal-isolant-métal (MIM) avec pont à air

Quelques indications pour le choix des diélectriques sont résumées [14] dans tableau (III.1).

| Matériau | Permittivité Relative | Champ de claquage (V/ μm) | Angle de perte à 20°C Pour quelques KHz | D (10^{-3}) |
|--------------------------------|-----------------------|---------------------------------------|-----------------------------------------|-----------------|
| SiO ₂ | 4 à 6 | 400 | 0.01 à 0.04 | 7.08 à 10.62 |
| Polyamide | 3 à 5 | 400 | 0.001 à 0.0005 | 5.3 à 8.85 |
| Si ₃ N ₄ | 5.5 | 200 | 0.001 à 0.005 | 4.87 |
| Al ₂ O ₃ | 8.8 | 250 | 0.008 | 9.74 |
| TiO ₂ | 55 | 50 | 0.04 à 0.09 | 9.74 à 10.95 |
| Ta ₂ O ₃ | 22 à 28 | 200 | 0.02 à 0.01 | 19.47 à 24.78 |

Tableau III.1 : Caractéristiques de quelques matériaux usuels.

CHAPITRE IV

CONCEPTION D'UN AMPLIFICATEUR
DISTRIBUE

1. Introduction

Un circuit intégré pour micro-ondes M.I.C (Microwave Integrated Circuit) est constitué par l'association sur un même support ou substrat de plusieurs éléments actifs ou passifs reliés par des lignes de transmission. On peut de cette manière réaliser des amplificateurs, oscillateurs, mélangeurs, ...etc.

Ces circuits sont recherchés parce qu'ils permettent une miniaturisation plus accentuée, une reproductibilité plus grande, un abaissement des coûts et enfin parce qu'ils offrent une plus grande fiabilité [3]/[15].

Les M.I.C peuvent être divisés en deux grandes familles :

- 1) Celle des circuits hybrides (auxquels on réserve en fait l'appellation M.I.C) où les composants sont réalisés dans un matériau différent de celui du substrat diélectrique sur lequel sont gravées les lignes. Ils sont donc reportés sur ce substrat puis reliés aux lignes par des fils microsoudés ou par conducteur adhésif. Donc, dans les circuits hybrides, les composants passifs et actifs peuvent être fabriqués séparément
- 2) Celle des circuits monolithiques dénommés M.M.I.C. (Monolithic Microwave Integrated Circuit). Dans ces structures, les lignes, les éléments passifs et actifs ainsi que leurs interconnexions sont tous réalisés sur et à partir d'un même substrat semi-conducteur. Le matériau du substrat doit donc être adapté à l'élaboration des composants actifs, comme GaAs qui se prête aussi bien à une utilisation en tant que substrat pour la réalisation des lignes et éléments distribués ou localisés ainsi que des composants actifs comme le MESFET. Donc, tous les composants sont fabriqués, en utilisant différents procédés comme la diffusion ou l'implantation ionique, qui changent les propriétés physiques d'un même bloc du substrat semi-conducteur. Les circuits, conçus à partir des MESFET, sont réalisés en micro-électronique hybride ou sous forme de circuits monolithiques. En micro-électronique hybride, il est possible de fabriquer un circuit en se basant sur une simulation et une optimisation à partir de modèles relativement simplifiés puis d'ajuster certains éléments du circuit terminé. Pour les circuits intégrés monolithiques,

toute retouche est à exclure une fois le circuit terminé et il devient indispensable de disposer de moyens de simulation et d'optimisation plus puissants [2].

Ainsi, la difficulté de modifications sur des circuits MMIC ont montré les limites d'une procédure empirique de conception traditionnelle de circuits reposant sur l'expérimentation en laboratoire. C'est ainsi que la Conception Assistée par Ordinateur (C.A.O) est devenue aujourd'hui un outil indispensable à la réalisation de circuits micro-ondes [16].

Le processus de CAO, schématisé par la figure (IV.1) se déroule en trois étapes principales [12] [16] :

1. **Modélisation** : Il s'agit de caractériser par une fonction mathématique ou un modèle numérique les différents composants actifs ou passifs qui constituent le circuit. C'est la plus délicate de la conception puisque des modèles simplifiés diminuent la précision tandis que des modèles trop élaborés consomment beaucoup en mémoire de calculateurs et temps de calcul.
2. **Analyse** : Elle donne la réponse d'une configuration de circuit à un jeu particulier de données. C'est la partie la plus importante et la plus développée d'une conception. Elle permet de déterminer les performances du circuit, exprimées généralement sous la forme de paramètres S.
3. **Optimisation** : Souvent, la réponse obtenue après analyse ne correspond pas aux spécifications exigées. Il faut alors modifier les valeurs d'un ou de plusieurs composants du circuit afin d'approcher les résultats désirés. C'est le rôle de l'optimisation.

2. Conception

L'élément le plus important dans la conception d'un amplificateur distribué (A.D) est le transistor car celui-ci détermine le produit gain – bande passante de l'A.D.

Les inductances requises pour les lignes de transmission artificielles sont réalisées à partir de lignes microrubans étroites, mais il faudra tenir compte des capacités parasites. La largeur de ces lignes microrubans est déterminée par le courant continu DC requis, par les limites de fabrication ainsi que les résistances séries associées à ce ruban étroit. Cependant, à cause des effets de couplage entre les lignes, on aura tendance à ajouter des capacités dans le circuit, ce qui va restreindre la bande passante [14].

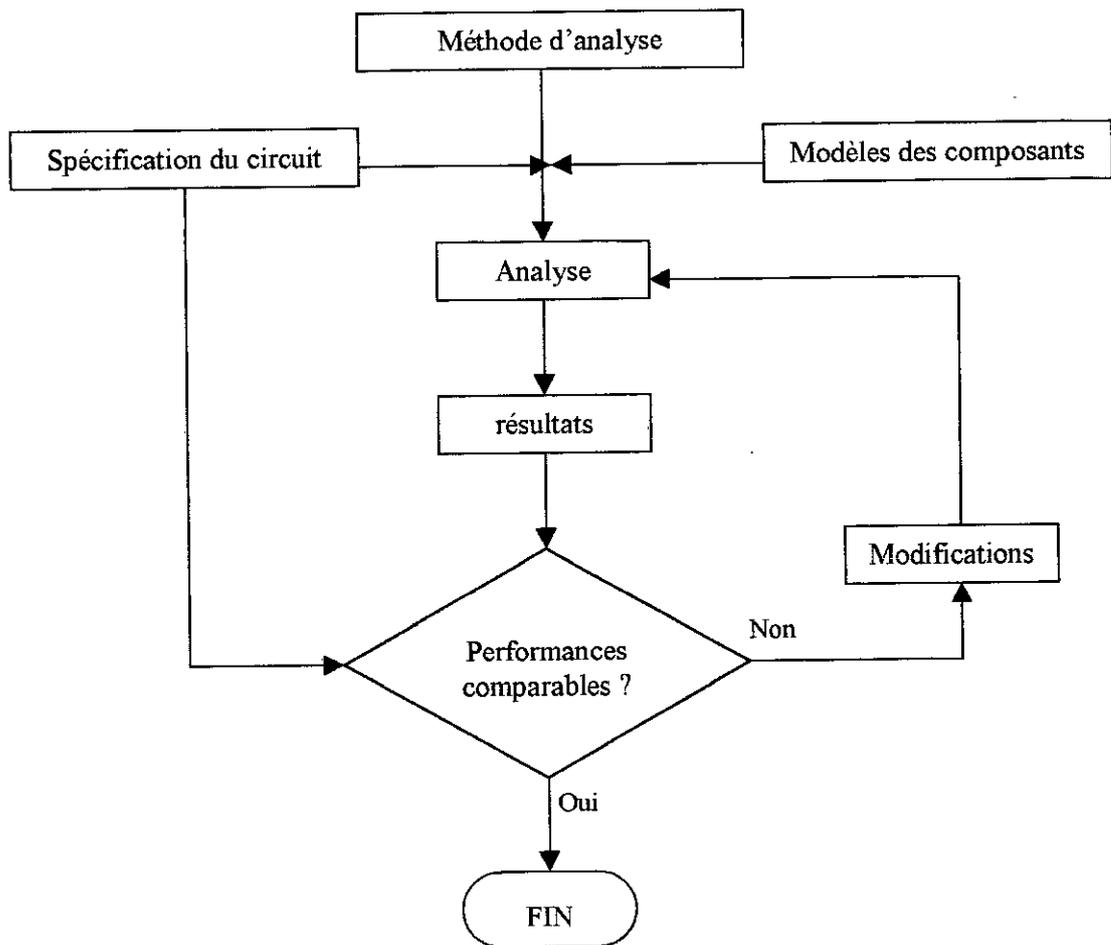


Fig.IV.1 : Organigramme de la Conception Assistée par Ordinateur

L'impédance caractéristique des lignes grille et drain est donnée par :

$$Z_0 = \sqrt{\frac{L_g}{C_{gs}}} = \sqrt{\frac{L_d}{C_{ds}}} \quad (\text{IV.1})$$

Afin d'avoir des signaux constructifs à la sortie, il faut s'arranger de telle sorte à avoir les signaux en phase au niveau de la ligne drain. Donc les

constantes de phase des lignes grille et drain β_g et β_d doivent être exactement les mêmes :

$$\beta_g = \beta_d \quad (\text{IV.2})$$

Ceci revient à dire :

$$\sqrt{L_g C_{gs}} = \sqrt{L_d C_{ds}} \quad (\text{IV.3})$$

Dans ce cas, la condition qui permet de satisfaire (IV.1) et (IV.3) simultanément est :

$$L_g = L_d = L \quad (\text{IV.4.a})$$

et

$$C_{gs} = C_{ds} \quad (\text{IV.4.b})$$

Une autre condition doit être imposée, qui est :

$$Z_0 = 50\Omega = \sqrt{L/C_{gs}} \quad (\text{IV.5.a})$$

d'où

$$L = 50^2 C_{gs} \quad (\text{IV.5.b})$$

La bande passante va donc s'étaler du continu jusqu'à une fréquence de coupure f_c qui est :

$$f_c = \frac{1}{\pi \cdot Z_0 C_{gs}} \quad (\text{IV.6})$$

et le gain de l'A.D, en négligeant les pertes est donné en continu par :

$$G = \frac{V_{out}}{V_{in}} = \frac{N Z_0 g_m}{2} \quad (\text{IV.7})$$

où N est le nombre de sections (nombre de MESFET)

Le produit gain – bande passante de l'A.D est donc :

$$GBP = \frac{N g_m}{2\pi \cdot C_{gs}} \quad (\text{IV.8})$$

On remarque, d'après l'éq. (IV.8), que pour augmenter le produit GBP, il faut diminuer C_{gs} , ce qui revient à dire une largeur de grille "W" plus faible.

Pour pouvoir déterminer les dimensions correctes du MESFET, pour une fréquence de coupure et un gain donnés, on introduit les paramètres suivants :

$$\begin{aligned}
 g_m &= W \cdot g'_m \\
 C_{gs} &= W \cdot C'_{gs} \\
 I_{dss} &= W \cdot I'_{dss}
 \end{aligned}
 \tag{IV.9}$$

où :

- g'_m est la transconductance du MESFET par unité de largeur
- C'_{gs} est la capacité grille par unité de largeur
- I'_{dss} est le courant de saturation drain du MESFET par unité de largeur

En utilisant les relations (IV.6), (IV.7) et (IV.9), on peut écrire :

$$W = \frac{1}{\pi \cdot Z_0 \cdot f_c \cdot C'_{gs}}
 \tag{IV.10}$$

$$G = \frac{GBW}{f_c}
 \tag{IV.11}$$

tel que :

$$GBW = \frac{Ng'_m}{2\pi \cdot C'_{gs}}$$

Les figures (IV.2) et (IV.3) nous montrent respectivement la variation de W et l'évolution du gain en fonction de f_c pour :

$$C'_{gs} = 1pF/mm, g'_m = 0.150S/mm, I'_{dss} = 200mA/mm .$$

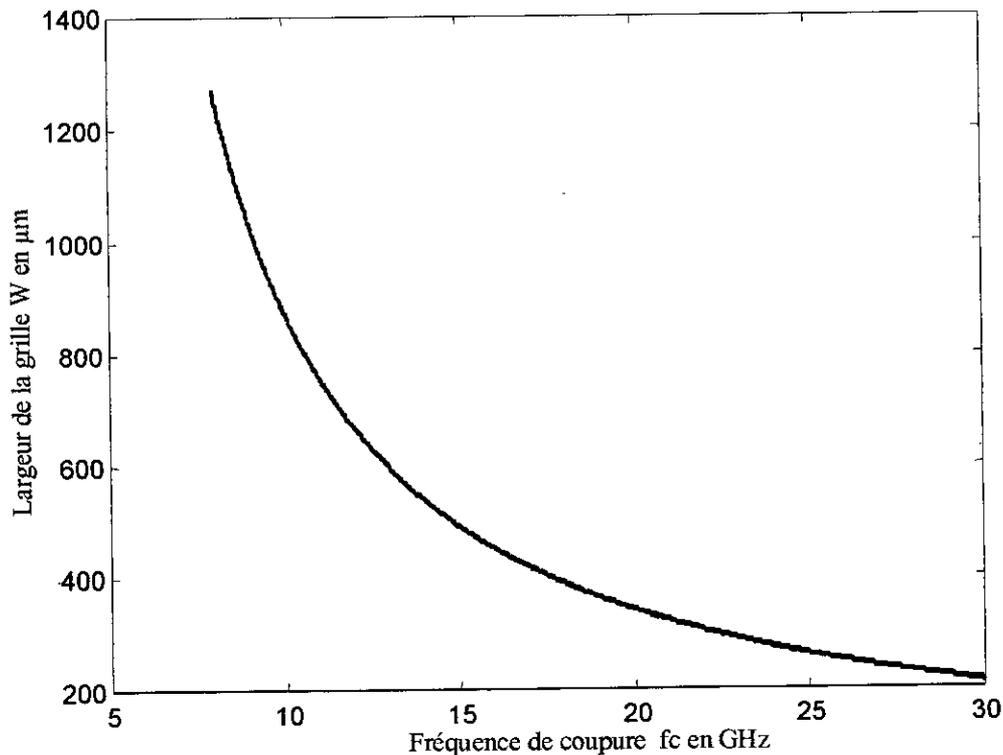


Fig.IV.2 : Variation de W en fonction de f_c .

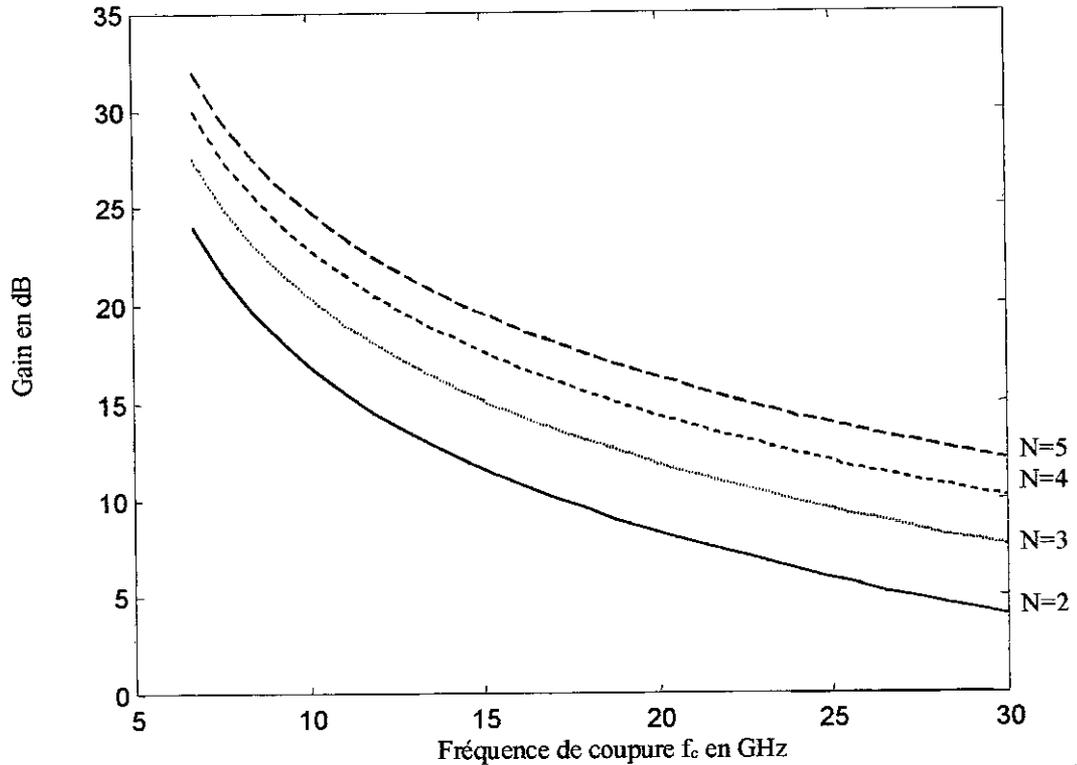


Fig.IV.3 : Evolution du gain en fonction de f_c

En combinant les équations (IV.5.a) et (IV.6), on trouve :

$$L = \frac{Z_0}{\pi \cdot f_c} \tag{IV.12}$$

En supposant que les MESFET sont polarisés à $I_{ds} = \frac{I'_{dss}}{2}$, on peut écrire à partir de la relation (IV.9) :

$$I_{ds} = \frac{WI'_{dss}}{2}$$

Ce qui donne pour tout l'amplificateur à N étages :

$$I_{dc} = NI_{ds} = \frac{NWI'_{dss}}{2} \tag{IV.13}$$

qui peut s'écrire en utilisant les relations (IV.10) et (IV.11) :

$$I_{dc} = G \frac{I'_{dss}}{Z_0 g'_m} \tag{IV.14}$$

Les figures (IV.4) et (IV.5) décrivent respectivement la variation de l'inductance L et la variation de I_{dc} en fonction de f_c pour :

$$C'_{gs} = 1pF/mm, g'_m = 0.150S/mm, I'_{dss} = 200mA/mm.$$

Une simple procédure graphique peut être utilisée pour la conception d'un A.D et qui consiste après avoir préalablement choisi la valeur de f_c à

déterminer W , N , suivant la valeur du gain désirée et L en se servant des figures (IV.3), (IV.4) et (IV.5).

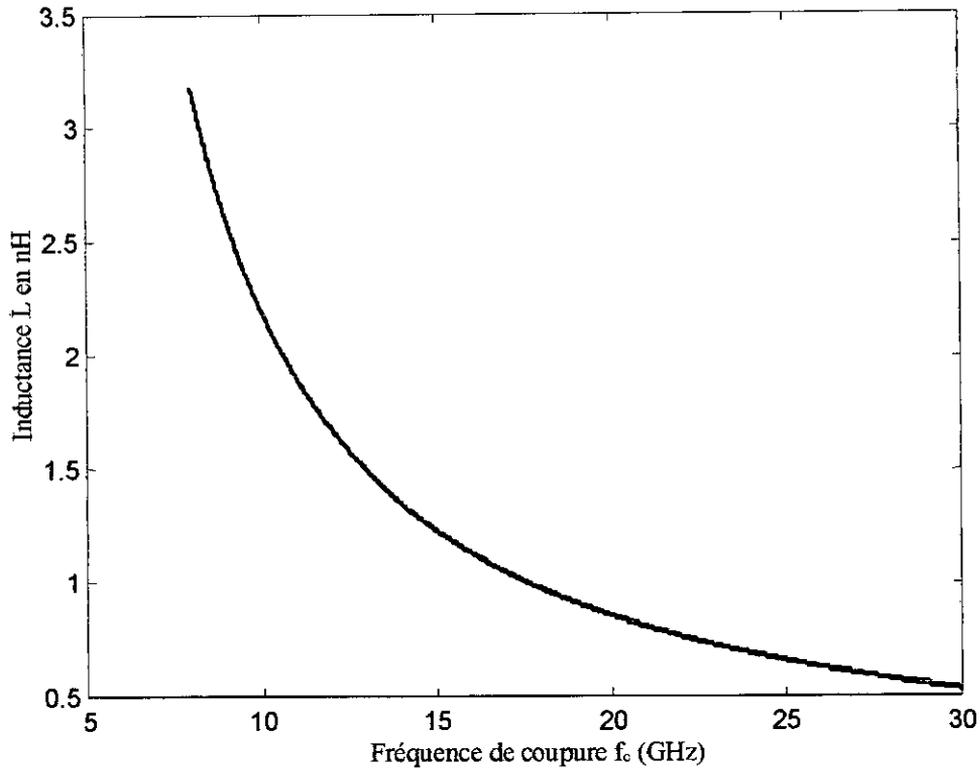


Fig.IV.4 : Variation de l'inductance L en fonction de f_c

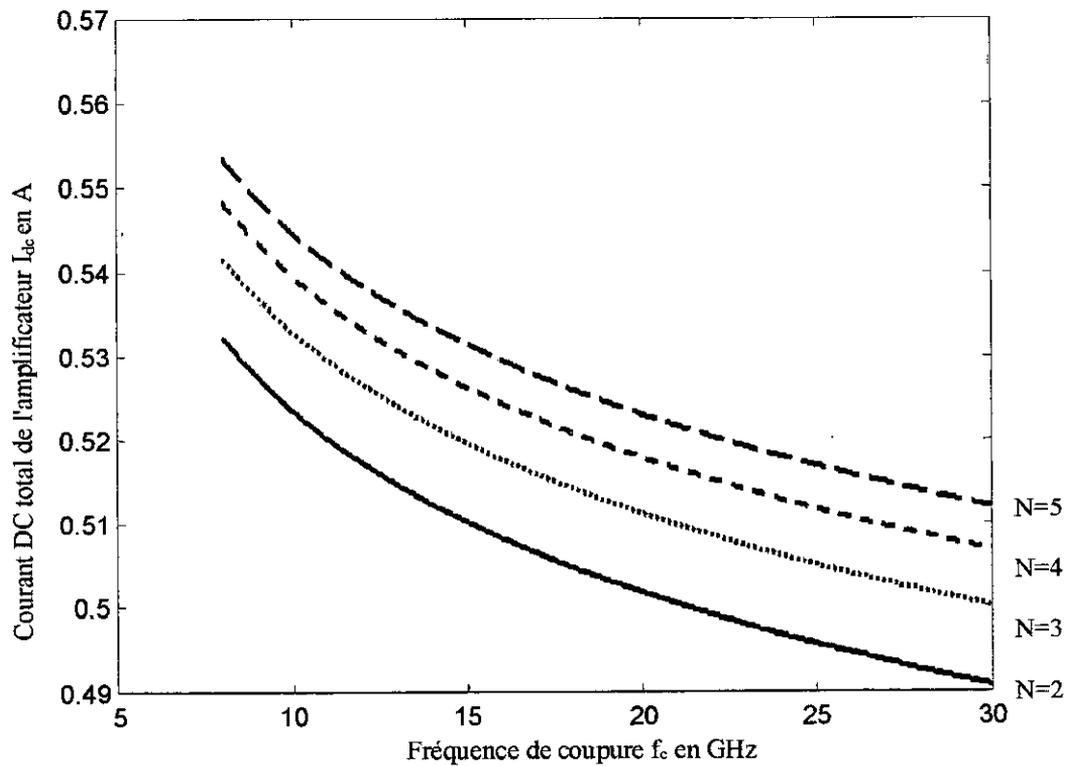


Fig.IV.5 : Variation du courant I_{dc} en fonction de f_c pour différentes valeurs de N

Finalement, pour concevoir un A.D, il suffit de passer par 6 étapes, en s'aidant des formules ci-dessus, comme le montre l'organigramme (fig.IV.6) :

• *Etape I : Spécifications*

Il s'agit, dans cette étape, de donner les différentes spécifications caractérisant l'A.D, à savoir la bande passante, le gain, tension de polarisation, niveau du bruit toléré ...etc.

• *Etape II : Choix de la topologie*

On suppose l'impédance caractéristique des lignes grille et drain égales à 50 Ω . On calcule la capacité C_{gs} du MESFET à partir de la fréquence de coupure f_c de l'A.D en utilisant la relation (IV.6). On suppose que la plus grande fréquence opératoire est à 70% de f_c .

Les MESFET utilisant des capacités C_{gs} normalisées, on peut calculer la largeur W de chaque MESFET. Ensuite, après avoir fixé g'_m , on calcule le nombre de sections nécessaires en utilisant la relation (IV.7). On arrondi le nombre N vers l'entier qui lui est supérieur pour avoir une bonne marge de sécurité. L'inductance de la ligne de transmission de chaque section sera calculée à partir de la relation(IV.5.b)

• *Etape III : Choix de l'élément actif*

En supposant le MESFET polarisé au milieu de sa droite de charge, on commence par vérifier que le courant total ne dépasse pas la limite spécifiée. Dans la conception des circuits MMIC, le MESFET est une cellule standard formée d'une grille avec une longueur ' l ' et une largeur ' W '.

• *Etape IV : Puissance délivrée et niveau de bruit toléré*

Nous pouvons estimer la puissance délivrée à la sortie [10] en utilisant la relation suivante :

$$P_{out} = I_M \frac{(V_{BGD} - V_p - V_s)}{8}$$

où : - I_M est le courant drain maximal (environ 30% supérieur à I_{dss})

- V_{BGD} est la tension de claquage grille-drain
- V_p est la tension de pincement
- V_s est la tension de saturation du drain

Quand au niveau du bruit toléré, il est étroitement lié au choix du MESFET.

- *Etape V : Choix du circuit de polarisation*

La polarisation des MESFET est choisie de manière à ne pas perturber le fonctionnement de l'A.D. L'une des techniques de polarisation utilisée consiste à connecter une inductance à l'entrée et à la sortie de l'A.D.

- *Etape VI : Simulation et optimisation*

Cette étape sert à tracer les paramètres S de l'A.D afin d'effectuer les corrections nécessaires pour satisfaire le cahier des charges.

- *Etape VII : Réalisation du circuit imprimé*

Après avoir effectué toutes les corrections nécessaires, on peut maintenant passer au circuit imprimé final de l'A.D

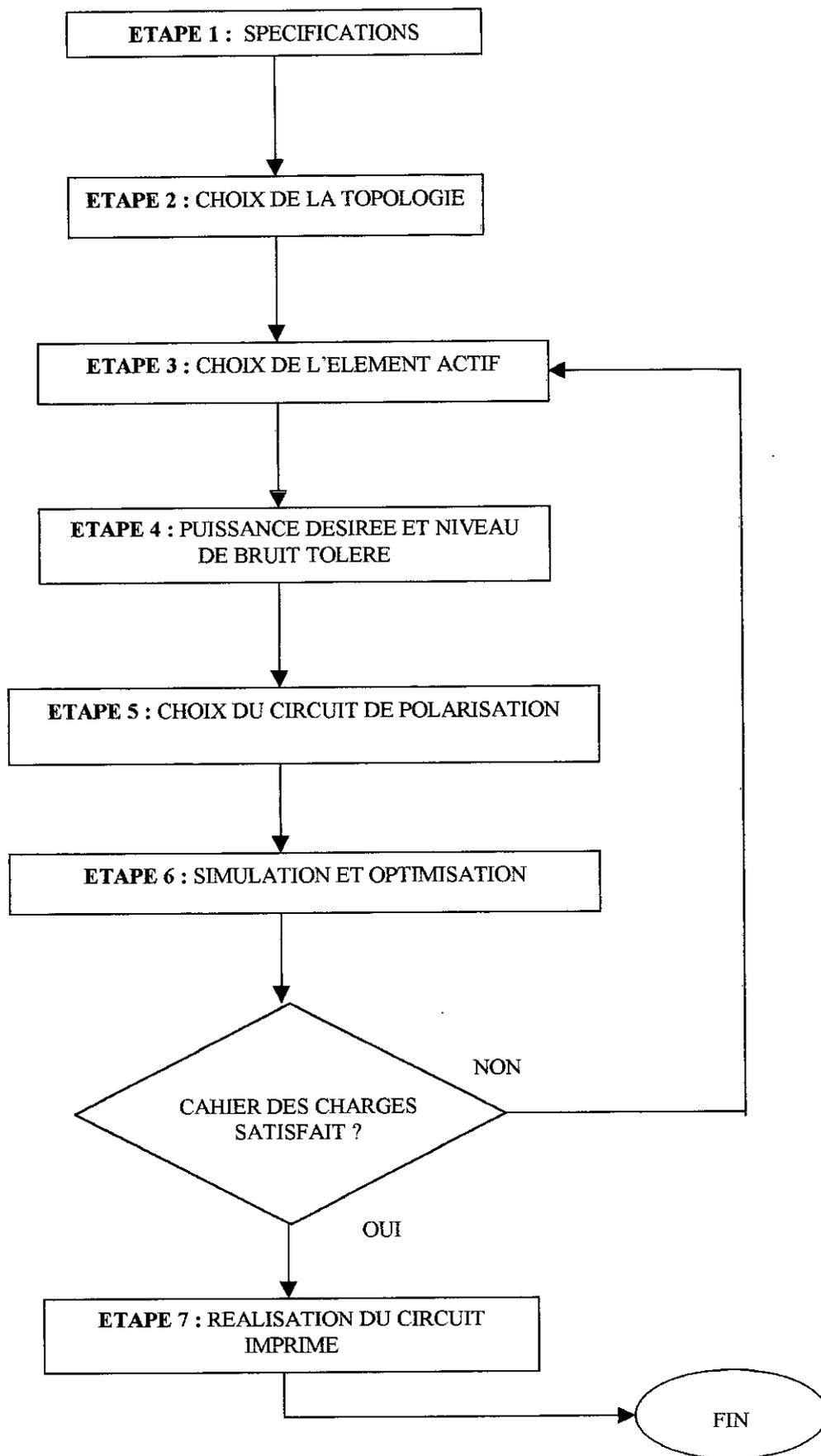


FIG.IV.6 : Organigramme montrant les différentes étapes de la conception d'un A.D

CHAPITRE V

AMELIORATION DES PERFORMANCES
D'UN AMPLIFICATEUR DISTRIBUE

1. Introduction :

L'objet du présent chapitre est d'étudier les possibilités d'amélioration des performances d'un amplificateur distribué en utilisant différentes techniques de compensation.

2. L'élément amplificateur cascode inverse :

En reprenant l'équation (I.1), on voit bien que l'atténuation le long de la ligne grille croît rapidement avec la fréquence, ce qui a pour effet la chute du gain lorsque la fréquence augmente.

La réduction de cette atténuation se fait en rendant ω_c/ω_g petit. Pour un FET donné, ω_g est fixé par R_{gs} et C_{gs} de la grille du FET. Cependant, si une capacité $C_s = q.C_{gs}$ est connectée en série comme le montre la figure (V.1), la capacité effective de la grille est réduite d'un facteur de $q/(1+q)$, et la fréquence de coupure va être ainsi augmentée d'un facteur de $(1+q)/q$ [17]. Ceci conduit à une augmentation de la bande passante (à -1dB) par le même facteur si les autres éléments de l'A.D restent inchangés [9].

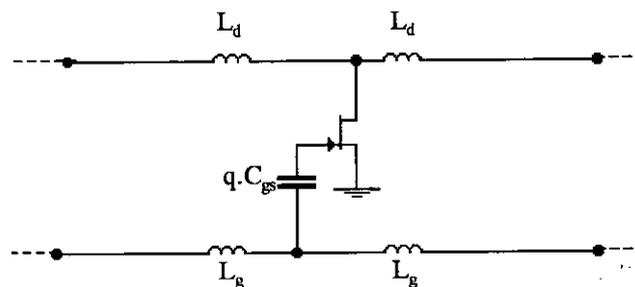


Fig.V.I : Illustration de la méthode de la capacité série

Pour diminuer la capacité vue à l'entrée de chaque cellule amplificatrice, nous avons choisi le montage cascode inversé [18]

L'élément amplificateur cascode inversé est obtenu en connectant l'entrée (grille) d'un FET en source commune à la sortie (source S_1) d'un FET en grille commune par le biais d'une self 'L' (Fig.V.2).

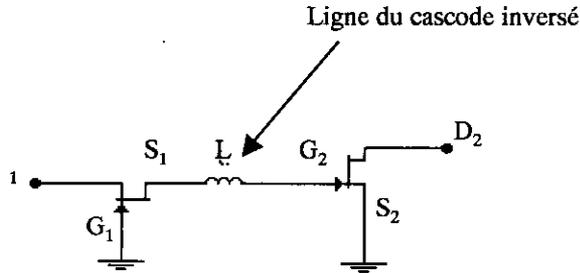


Fig.V.2 : Elément amplificateur cascode inversé.

En prenant un modèle unilatéral des FET ($S_{12} = 0$), nous obtenons le schéma équivalent illustré ci-dessous.

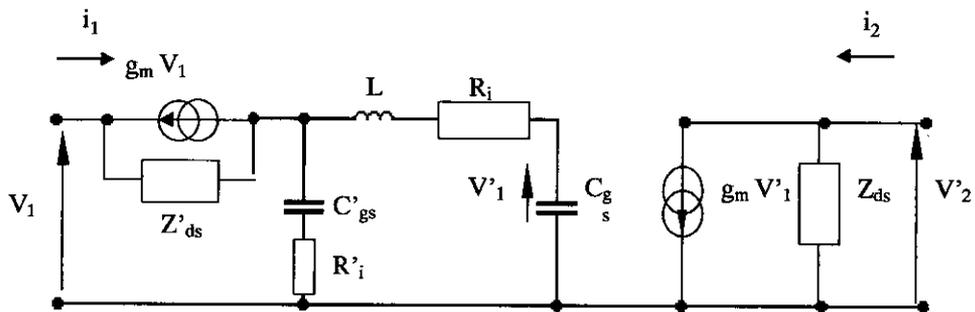


Fig.V.3 : Schéma équivalent du cascode inversé

Pour simplifier l'analyse du montage cascode inversé, nous avons transformé le modèle (Fig.V.3) en un modèle comparable à celui du FET en source commune détaillé ci-dessous.

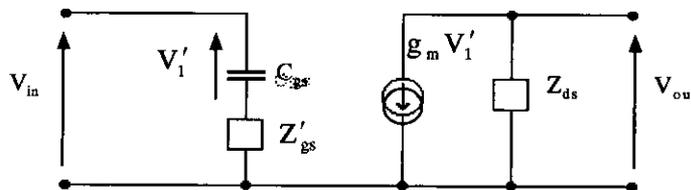


Fig.V.4 : Modèle équivalent du cascode inversé.

L'expression de l'impédance d'entrée est :

$$Z'_{gs} = R_i + \left[\frac{1 + jX_g}{(1 + jX_g)(1 + jX_d) + j\left(\frac{C_{gs}}{C_{ds}}\right)X_d - g_m R_{ds}} \right] \tag{V.1}$$

tel que $X_g = R_i C_{gs} \omega$ et $X_g = R_{ds} C_{ds} \omega$.

Le calcul montre que l'impédance Z'_{gs} est équivalente à une capacité $C_{\acute{e}q}$ en série avec la résistance R_i . Nous avons donc une capacité en série avec C_{gs} au niveau de la ligne grille.

En utilisant l'élément amplificateur cascode inversé dans le montage amplificateur distribué, on améliore la bande passante d'un facteur de $\left(1 + \frac{1}{q}\right)$

[17] avec $q = \frac{C_{gs}}{C_{\acute{e}q}}$.

Cette amélioration est illustrée par la courbe suivante pour un A.D cascode inversé à 04 sections ($R_{gs} = 14.5 \Omega$; $C_{gs} = 0.082\text{pF}$; $R_{ds} = 275 \Omega$; $C_{ds} = 0.036 \text{ pF}$; $g_m = 34 \text{ mS}$)

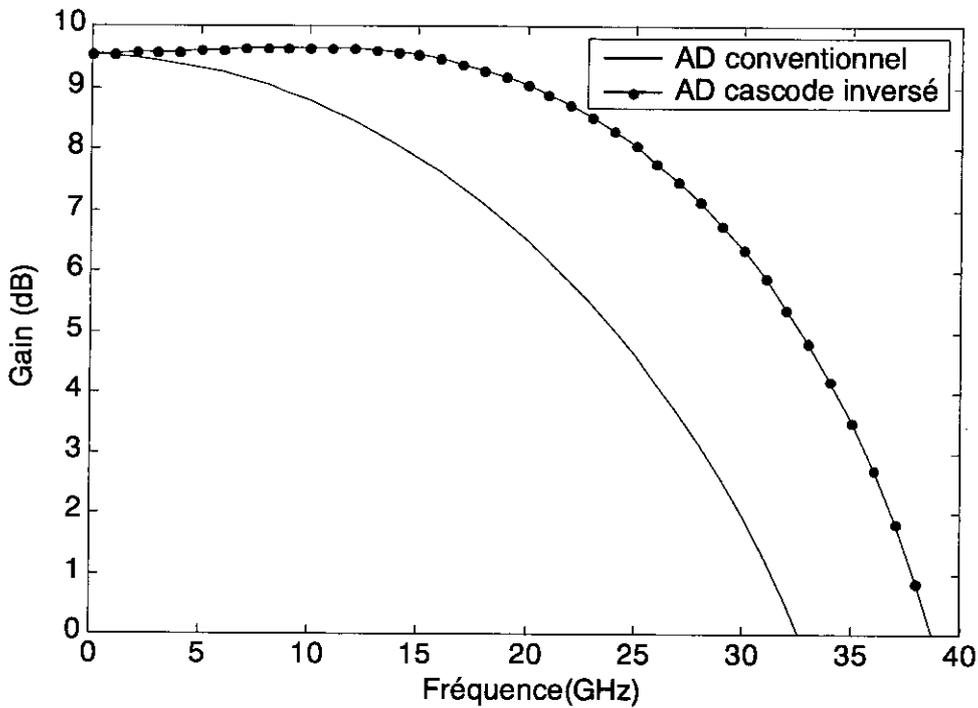


Fig. V.5 : Gain en puissance de l'A.D cascode inversé

On constate une amélioration de 90% de la bande passante par rapport au modèle conventionnel pour un gain supérieur à 8 dB

Donc l'introduction d'une capacité série nous conduit à une augmentation du produit gain – bande passante d'un facteur de $(1+q)/q$, et ce par un choix approprié de q [9][17], car il ne faut pas perdre de vue que la valeur de q ne peut être réduite indéfiniment. La limite inférieure de q est dictée par l'un des quatre facteurs [17] suivants :

- 1) gain DC de l'amplificateur,
- 2) capacité drain source du FET,
- 3) la longueur du microruban des lignes grille et drain,
- 4) la réalisation pratique des capacités série.

L'analyse d'un A.D conventionnel (FET en source commune) montre que le gain est limité par les pertes grille et drain dues essentiellement aux résistances R_{gs} et R_{ds} , pertes qui augmentent avec la fréquence (Fig.I.2). L'une des solutions proposées pour réduire ces pertes est l'utilisation de l'élément amplificateur cascode [19][20].

3. L'élément amplificateur cascode :

Il est obtenu en connectant la sortie (drain D_1) d'un FET en source commune à l'entrée (source S_2) d'un FET en grille commune par le biais d'une self 'L' (Fig.V.6).

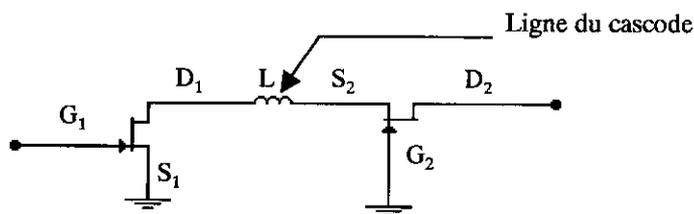


Fig.V.6 : Elément amplificateur cascode

La compensation des pertes est obtenue grâce au circuit à résistance négative (FET en grille commune)[20].

En prenant un modèle unilatéral des FET ($S_{12} = 0$), nous obtenons le schéma équivalent illustré par la fig.(V.7)[21].

La section en L composé de la capacité drain – source et l'inductance L forme un circuit d'adaptation entre les deux FET.

Pour simplifier l'analyse du montage cascode inversé, nous avons transformé le

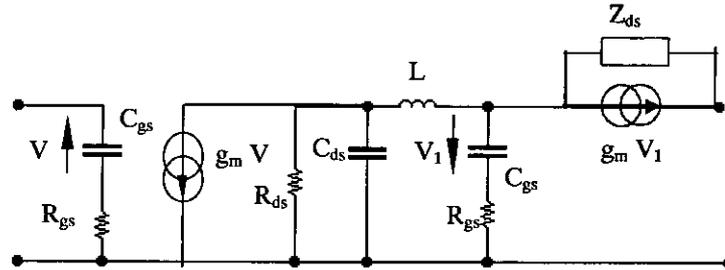


Fig.V.7 : Schéma équivalent du cascode

modèle (Fig.V.7) en un modèle comparable à celui du FET en source commune détaillé ci-dessous.

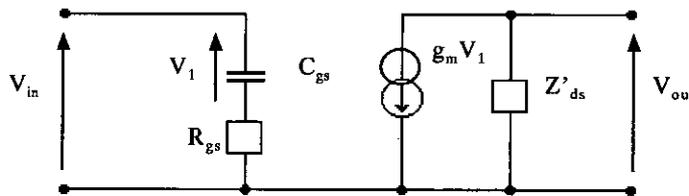


Fig.V.8 : Modèle équivalent du cascode.

Le calcul [21] montre:

$$Z'_{ds} = \left[\frac{1 + (1 + g_m Z_{ds}) + j(X + g_m L \omega)}{(1 - X^2) + j(X_g + Z_{ds} C_{gs} \omega)} \right] + jL \omega \left[\frac{1 + jX_g}{(1 - X^2) + j(X_g + Z_{ds} C_{gs} \omega)} \right] \quad (V.2)$$

$$g'_m = g_m \left[\frac{Z_{ds} (1 + jX_g + g_m Z_{ds})}{[Z_{ds} (2 - X^2 + g_m Z_{ds}) - L \omega X_g] + j[Z_{ds} (2X_g + Z_{ds} C_{gs} \omega) + L \omega (1 + g_m Z_{ds})]} \right] \quad (V.3)$$

où $X = \omega \sqrt{LC_{gs}}$; $X_g = R_{gs} C_{gs} \omega$; $Z_{ds} = \frac{R_{ds}}{1 + j\omega R_{ds} C_{ds}}$

La diminution des pertes est due au fait que la partie réelle de l'impédance Z'_{ds} est plus faible que R_{ds} .

La figure (V.9) montre l'amélioration obtenue pour un AD à 04 sections avec les paramètres suivants : $R_{gs} = 14.2 \Omega$; $C_{gs} = 0.082 \text{ pF}$; $R_{ds} = 275 \Omega$; $C_{ds} = 0.036 \text{ pF}$; $g_m = 0.034 \text{ mS}$.

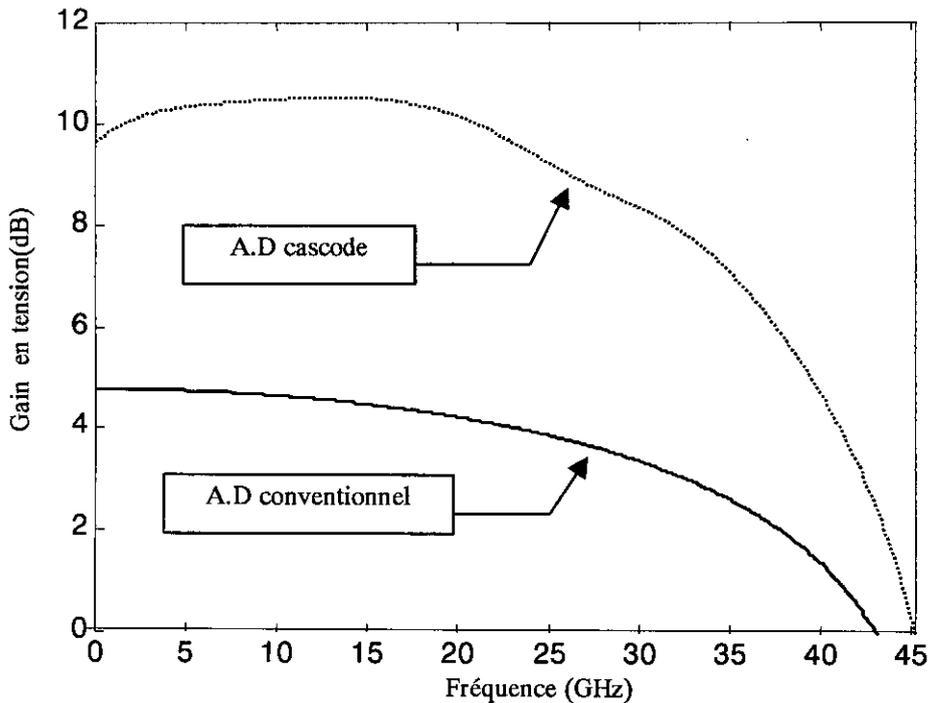


Fig.V.9 : Réponse fréquentielle d'un A.D cascode et d'un A.D conventionnel

Les résultats montrent qu'avec le même transistor, le modèle cascode offre une nette amélioration du gain par rapport au modèle conventionnel.

Nous pouvons améliorer encore les performances de l'A.D en combinant les effets des deux méthodes présentées, c.à.d mettre à contribution l'amélioration de la bande passante obtenue par la méthode de la capacité série et l'amélioration en terme de gain obtenue par le montage cascode grâce à la résistance négative qui compense les pertes. Nous obtenons alors le montage de la figure (V.10).

4. L'élément amplificateur grille commune / source commune / grille commune (GC / SC / GC)

Cet élément amplificateur est obtenu en connectant la grille G_2 d'un FET (2) en source S_2 commune à la source S_1 du FET (1) en grille G_1 commune d'une part, et le drain D_2 à la source S_3 du FET (3) en grille G_3 commune d'autre part.

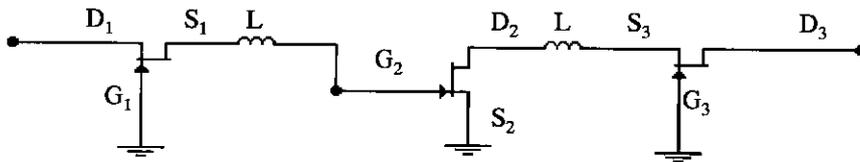


Fig.V.10 : Elément amplificateur GC/SC/GC

En suivant les mêmes étapes que précédemment, on aboutit au modèle équivalent ci - dessous.

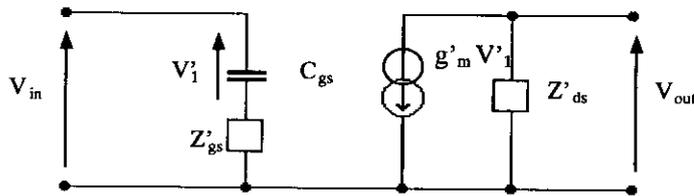


Fig.V.11:Modèle équivalent de l'élément amplificateur GC/SC/GC

Où Z'_{gs} , g'_m et Z'_{ds} sont donnés par les équations (V.1), (V.2) et (V.3) respectivement.

La figure (V.12) illustre l'effet de l'élément amplificateur GC/SC/GC obtenu pour un AD à 04 sections avec les mêmes paramètres que précédemment.

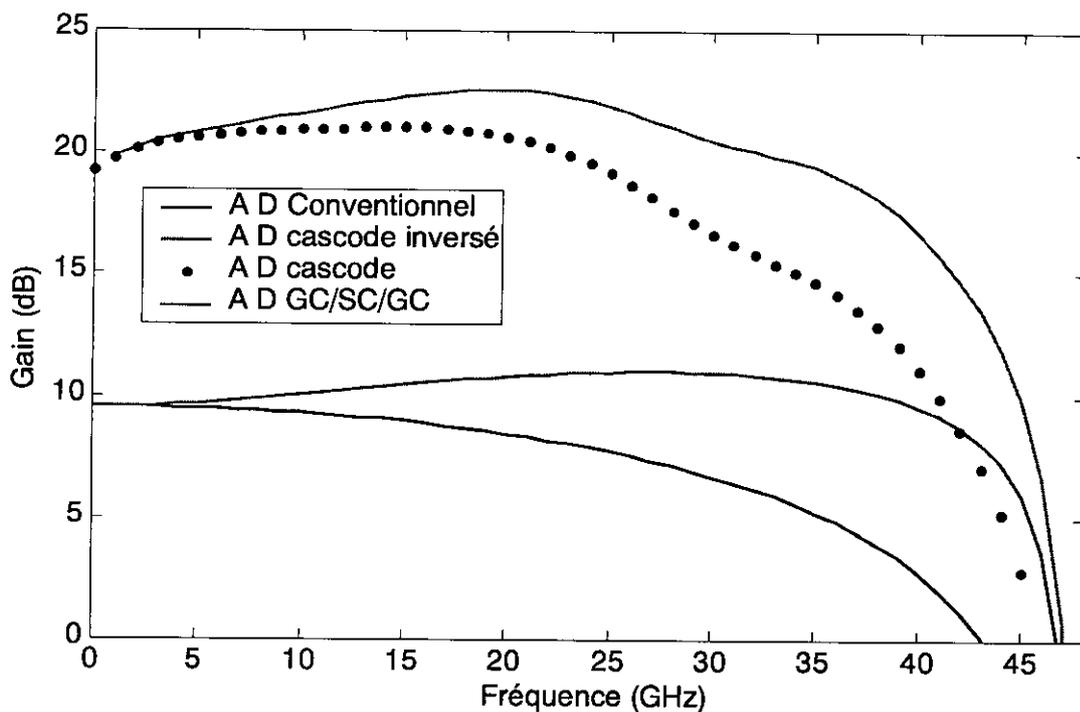


Fig. V.12 : Gain en puissance en fonction de la fréquence

Il en résulte qu'il est possible d'obtenir un A.D très performant en combinant l'effet de la capacité série (montage cascode inversé) qui permet une amélioration de la bande passante qui passe de 43 à 48 GHz et l'effet de compensation en ligne de sortie (montage cascode) qui permet d'augmenter le gain de 10 à un peu plus de 20 dB environ. Pour un gain G supérieur à 19 dB, $B.P_{GC/SC/GC} \cong B.P_{cascode inv}$, pour $G > 9$ dB, $B.P_{GC/SC/GC} \cong B.P_{cascode} \cong B.P_{cascode inv}$ où $G_{GC/SC/GC} > G_{cascode} > G_{cascode inv}$ mais au prix d'un niveau $G_{GC/SC/GC}$ et $G_{cascode}$ moins stable que $G_{cascode inv}$.

5. Amplificateur distribué passe-bande

L'amplificateur distribué passe-bande (A.D.P.B) (Fig.V.13) est obtenu par la mise en cascade de cellules élémentaires passe-bande couplées entre elles par un certain nombre de transistors identiques en source commune. Afin d'assurer l'adaptation, les quatre accès sont fermés sur des demi-sections M-dérivées passe-bande (Fig.V.14-a).

L'analyse présentée par [22] a pour objectif de déterminer les pertes des lignes grille et drain, ainsi que le gain en tension.

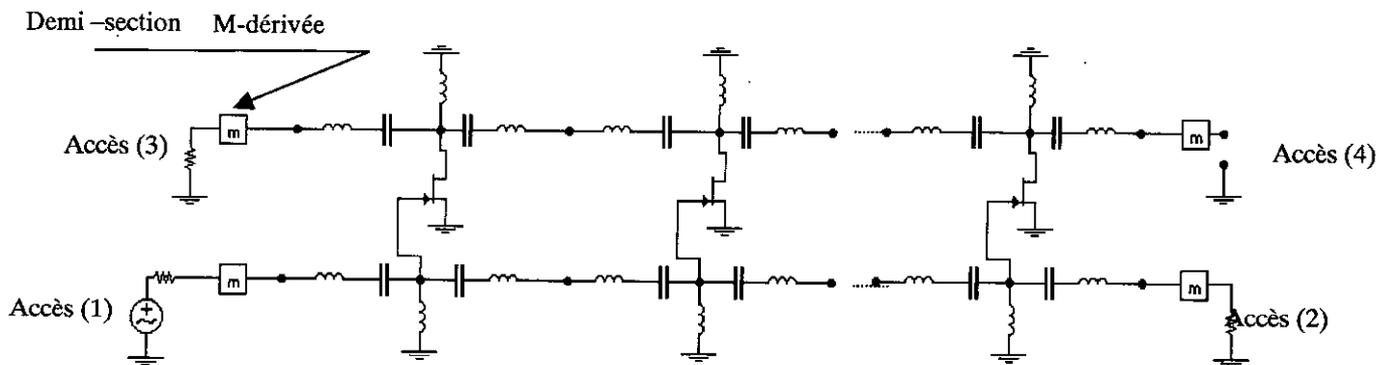


Figure V.13 : Schéma d'un A.D.P.B

En considérant les sections élémentaires des deux lignes, on montre que les pertes s'écrivent :

$$\begin{cases} \alpha_g \\ \alpha_d \end{cases} = \frac{1}{\delta \sqrt{1 - \frac{(-x_k^2)^2}{x_k^2 \delta^2}}} \begin{cases} x_k^2 \\ \chi_g \\ \chi_d \end{cases} \tag{V.4}$$

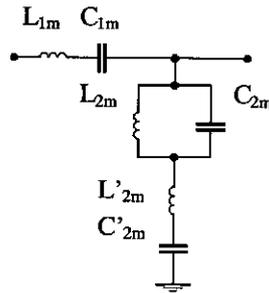
où $x_k = \frac{\omega}{\omega_0}$; $\omega_0 = 2\pi f_0$;

f_0 : fréquence de résonance des cellules élémentaires des lignes grille et drain (fig.V.13) ;

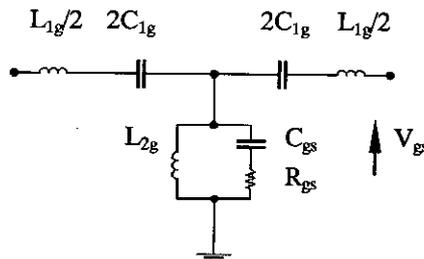
$$\delta = \frac{\omega_h - \omega_b}{\omega_0} : \text{ bande passante normalisée ;}$$

ω_h et ω_b sont respectivement les pulsations de coupure haute et basse ;

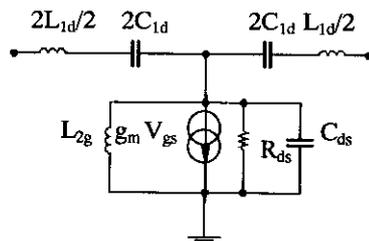
$$\chi_g = \frac{\omega_g}{\omega_0} ; \quad \omega_g = \frac{1}{R_{gs} C_{gs}} \quad \chi_d = \frac{\omega_d}{\omega_0} ; \quad \omega_d = \frac{1}{R_{ds} C_{ds}}$$



(a) Demi- cellule M-dérivée passe-bande



(b) Cellule élémentaire passe-bande de la ligne grille



(c) Cellule élémentaire passe-bande de la ligne drain

Fig. V.14 : Cellules élémentaires passe bande.

Une analyse analogue à celle de l'A.D passe bas conventionnel [5] montre que le gain en tension s'exprime comme suit :

$$A = \frac{g_m \sqrt{Z_0^d Z_0^g}}{2 \sqrt{1 - \frac{(1-x_k^2)^2}{x_k^2 \delta^2}}} e^{-\frac{N(\alpha_g + \alpha_d)}{2}} \times \frac{\sinh[N(\alpha_g + \alpha_d)/2]}{\sinh[(\alpha_g - \alpha_d)/2]} \quad (V.5)$$

g_m est la transductance du transistor, Z_0^g et Z_0^d sont respectivement les impédances caractéristiques des lignes grille et drain et N le nombre de transistors.

La figure (V.15) donne la courbe du gain en tension pour un A.D.P.B à 03 sections ($R_{gs} = 2.88 \Omega$; $C_{gs} = 0.077 \text{ pF}$; $R_{ds} = 150 \Omega$; $C_{ds} = 0.01 \text{ pF}$; $g_m = 99.78 \text{ mS}$; $L_{1d} = L_{1g} = 0.192 \text{ nH}$; $L_{2d} = L_{2g} = 0.037 \text{ nH}$; $C_{1d} = C_{1g} = 0.017 \text{ pF}$).

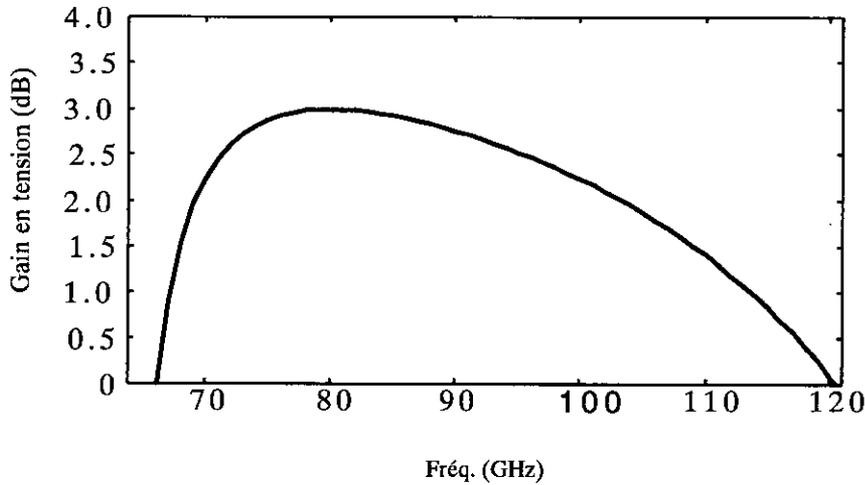


Fig.V.15 : Gain en tension d'un A.D.P.B à 03 sections

Nous constatons que dans la bande de fréquence considérée (65 – 120 GHz), le gain de l'A.D.P.B est faible, comparativement au gain d'un A.D passe-bas conventionnel pour le même nombre de sections. Cette atténuation du gain est due essentiellement aux pertes grille qui sont causées par la résistance R_{gs} .

Il est possible d'améliorer les performances de l'A.D.P.B en terme de gain en utilisant des circuits de compensations par résistance négative, soit en terme de bande passante par l'utilisation de la méthode de la capacité série.

5.1. Compensation en ligne d'entrée par résistance négative

Le circuit (Fig.V.16) est composé d'un transistor MESFET en grille commune, d'une capacité C_t et d'une inductance L_f . Si C_t et L_f sont convenablement choisis, on obtient une impédance Z_{NR} à partie réelle négative dont l'expression est :

$$Z_{NR} = \frac{A + jB}{C + jD} \quad (V.6)$$

avec

$$\begin{cases} A = 1 - \omega^2 L_f (C_t + C_{gs}) \\ B = X_g (1 - \omega^2 L_f C_t) \\ C = g_m + \frac{K_1}{R_{ds}} - X_g C_t \omega \\ D = \omega (C_t + C_{gs}) + g_m X_g + \frac{K_2}{R_{ds}} \end{cases}$$

et

$$\begin{aligned} X_g &= \omega R_t C_{gs} ; X_d = \omega R_{ds} C_{ds} \\ K_1 &= 1 - \omega^2 L_f (C_t + C_{gs}) - X_g X_d (1 - \omega^2 L_f C_t) \\ K_2 &= X_g (1 - \omega^2 L_f C_t) + X_d [1 - \omega^2 L_f (C_t + C_{gs})] \end{aligned}$$

En imposant les contraintes suivantes sur le choix de C_t et L_f :

$$\omega^2 L_f C_t \gg 1 \text{ et } C_t \ll C_{gs}$$

on obtiendra une expression plus simple de Z_{NR} dont la partie réelle peut être négative et dont les parties réelle et imaginaire de l'admittance correspondante (Y_{NR}) s'écrivent :

$$G = Re(Y_{NR}) = \frac{g_m}{1 - \omega^2 L_f C_t} + \frac{1}{R_{ds}} \quad (V.7.a)$$

$$B_m = Im(Y_{NR}) = \frac{\omega C_t}{1 - \omega^2 L_f C_t} + \omega C_{ds} \quad (V.7.b)$$

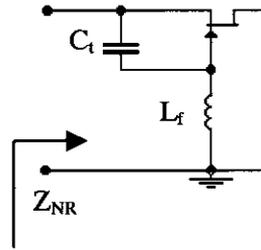


Fig.V.16 : Etage de compensation de l'A.D.P.B

En prenant des sections élémentaires des lignes grille et drain et en procédant à certaines approximations justifiées, l'analyse de l'amplificateur distribué passe-bande compensé (A.D.P.B.C) donne un gain en tension [23] qui s'écrit :

$$G_v = \frac{g_m \sqrt{Z_0^{(g)} Z_0^{(d)}} \exp\left[-\frac{n}{2}(\alpha_g + \alpha_d + \alpha_c)\right] \sinh\left[\frac{n}{2}(\alpha_g - \alpha_d + \alpha_c)\right]}{2 \left[1 - \frac{(1 - X_K^2)^2}{X_k^2 \delta^2}\right]^{1/2} \sinh\left[\frac{1}{2}(\alpha_g - \alpha_d + \alpha_c)\right]} \quad (V.8)$$

Le facteur de compensation α_c vaut

$$\alpha_c = \frac{\lambda G}{\sqrt{\lambda B_m (2 - \lambda B_m)}} \quad (V.9)$$

avec

$$\lambda = \frac{\omega^2 L C - 1}{2 C \omega}$$

Par rapport à l'amplificateur distribué passe-bande conventionnel (Fig.V.13), l'amplificateur distribué compensé comporte, en plus, les cellules de compensation (représentées par Y_{NR}) placées régulièrement le long de la ligne grille. Afin d'assurer la synchronisation de phase, nous avons ajouté au niveau de la ligne drain, des tronçons de ligne microruban à effet selfique.

Les résultats obtenus (Fig.V.17) montrent, qu'avec le même transistor, le modèle compensé offre une nette amélioration du gain par rapport au modèle passe-bande conventionnel.

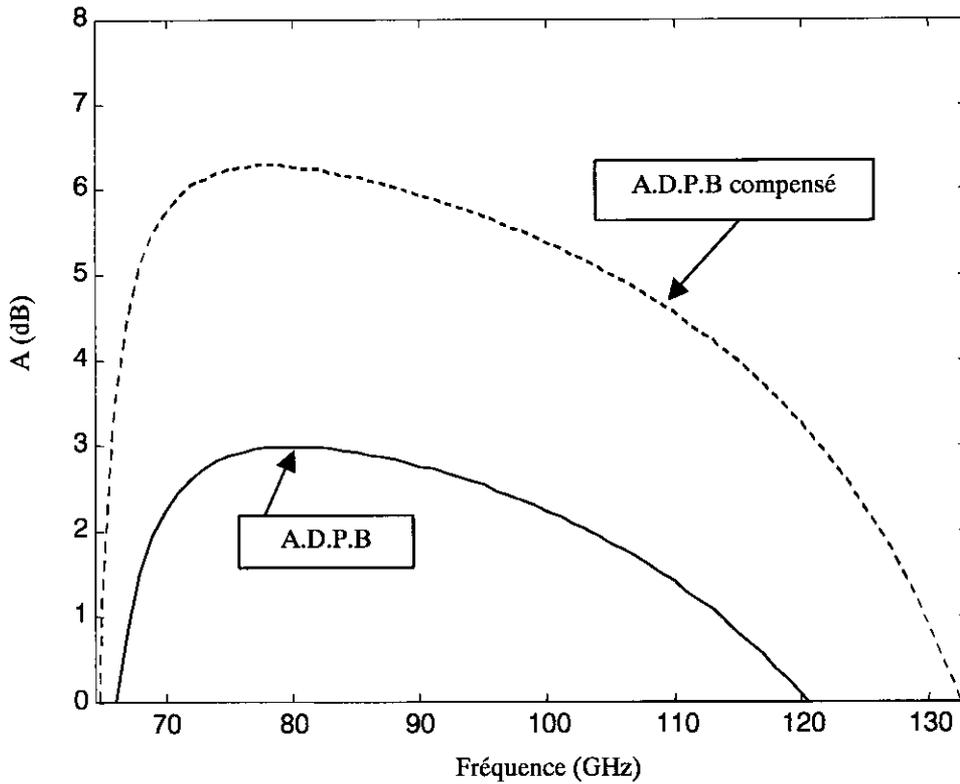


Fig.V.17 : Gain en tension d'un A.D.P.B compensé.

5.2. Méthode de la capacité série

Comme nous l'avons vu dans le cas d'un A.D conventionnel (passe bas), il est possible d'accroître la bande passante en couplant la grille d'un FET à la ligne de transmission grille à l'aide d'une capacité série (Fig.V.1) de telle sorte à avoir une capacité équivalente $C_{\epsilon q} = \frac{q}{q+1} C_{gs}$. Dans notre cas, cette capacité série est obtenue en utilisant le montage cascode inversé (Fig.V.2).

Dans ce qui suit, nous allons appliquer cette technique à l'A.D.P.B afin d'améliorer sa bande passante. On obtient alors la nouvelle formule [24] du gain en tension de l'A.D.P.B cascode inversé :

$$A = \frac{g_m \sqrt{Z_0^d Z_0^g}}{2 \sqrt{1 - \frac{(1-x_k^2)^2}{x_k^2 \delta^2}}} e^{-\frac{N(\alpha_{cg} + \alpha_d)}{2}} \times \frac{\sinh[N(\alpha_{gc} - \alpha_d)/2]}{\sinh[(\alpha_{gc} - \alpha_d)/2]} \tag{V.10}$$

où $\alpha_{gc} = \frac{\text{Im}[Ch(\gamma_{gc})]}{\sin(\beta_{cg})}$.

avec $Ch(\gamma_{gc}) = 1 + \frac{(1-x_k^2)(1-L_{2g}C_{\acute{e}q}\omega^2)}{2jC_1L_{2g}\omega^2}$ et $\beta_{gc} = \text{Ar cos}[Re[Ch(\gamma_{gc})]]$

La figure ci-dessous illustre l'amélioration obtenue par rapport à un A.D.P.B conventionnel.

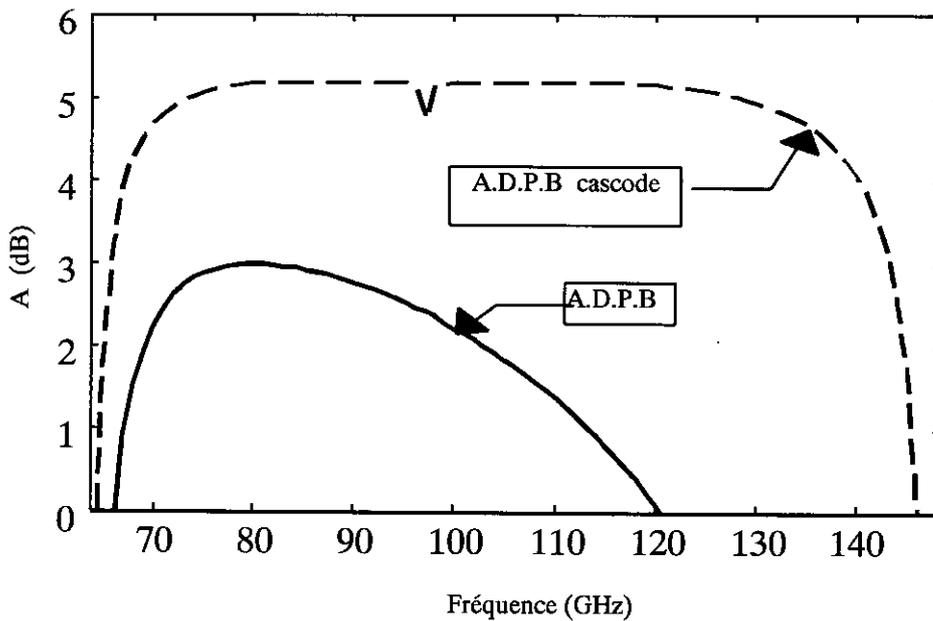


Fig.18 : Gain en tension d'un A.D.P.B Cascode

Les résultats obtenus montrent qu'en utilisant le montage cascode inversé, on améliore le produit gain-bande passante puisque la fréquence de coupure va être ainsi augmentée.

On constate une nette amélioration de la bande passante qui passe de (66 – 120) GHz pour la modèle conventionnel à (65 – 145) GHz pour le montage cascode inversé, ce qui donne une augmentation d'environ 30% de la bande passante à 0 dB et d'environ 2 dB pour la gain.

Pour un gain supérieur à 3 dB, l'A.D.P.B cascode conserve un gain constant de 5 dB dans une bande de fréquence allant de 70 à 135 GHz, alors que l'A.D.P.B conserve un gain constant de 3 dB sur une bande de fréquence allant de 75 à 85 GHz

CHAPITRE VI

AMPLIFICATEUR DISTRIBUE COMBINE

1. Introduction :

Comme nous l'avons déjà vu, l'amplificateur distribué (A.D) est un octopôle qui est alimenté par l'accès (1) (fig.VI.1), et ou la sortie se trouve à l'accès (4). Les deux autres accès sont chargés par une impédance Z_0 égale à l'impédance caractéristique de la ligne de transmission (en général $Z_0 = 50\Omega$).

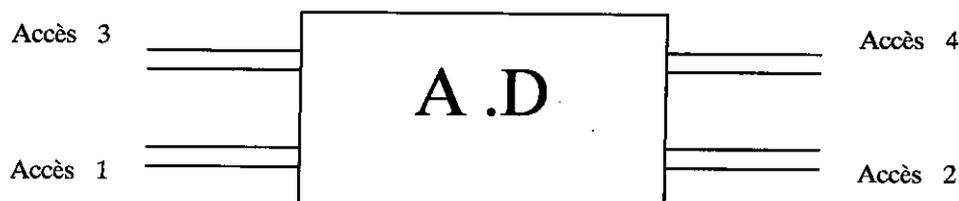


Fig.VI.1 : Différents accès d'un amplificateur distribué

Afin d'améliorer les performances de l'A.D, nous avons proposé une configuration en introduisant un diviseur de Wilkinson à l'entrée et un combineur de Wilkinson à la sortie de l'A.D, comme le montre la figure (VI.2). Cette nouvelle topologie est appelée : *Amplificateur Distribué Combiné*

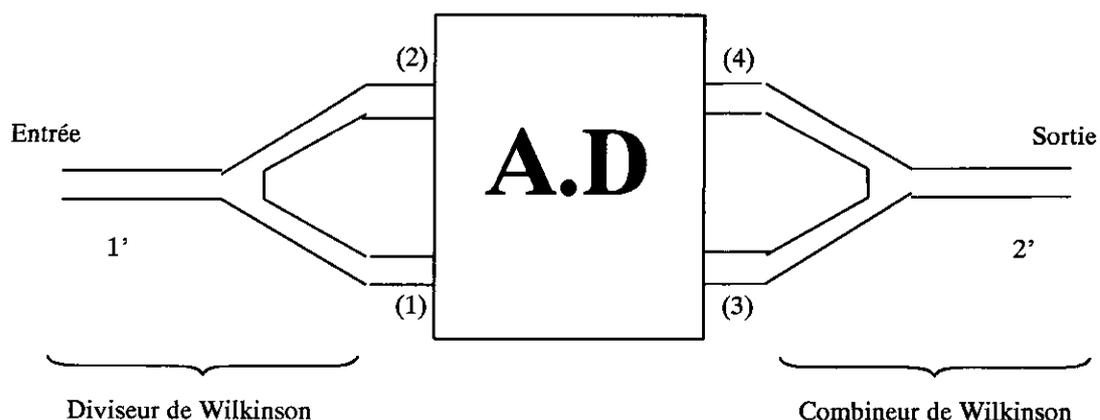


Fig.VI.2 : Amplificateur distribué combiné

Dans cette nouvelle configuration, les deux ports de la ligne grille (accès (1) et (2)) sont simultanément alimentés, et le signal amplifié est

récupéré des deux ports de la ligne drain (c.à.d au niveau des accès (3) et (4)). Le circuit obtenu est donc un quadripôle.

Dans ce qui suit, nous allons analyser l'amplificateur distribué combiné, et comparer ses performances à celles d'un A.D conventionnel.

L'analyse va s'effectuer en utilisant la méthode de la matrice $[S]$ globale d'un circuit micro-onde [12] qui est détaillée dans l'annexe C.

Comme son nom l'indique, cette méthode se base sur la connaissance des paramètres S de chacun des éléments composant le circuit global.

Dans notre cas, il s'agira de calculer la matrice $[S]$ du diviseur / combineur de Wilkinson et celle de l'A.D.

2. Diviseur / Combineur de Wilkinson

Le diviseur / Combineur de Wilkinson est un triporte composé de lignes de transmission d'impédance caractéristiques différentes.

Le principe de ce diviseur consiste à placer une charge résistive $2R_z$ entre les accès (2) et (3) pour absorber l'énergie de retour (fig.VI.3), si une désadaptation venait à se produire entre les deux bras de sortie. L'isolation est parfaite si la sortie (3) est portée à un potentiel nul lorsqu'on alimente l'accès (2).

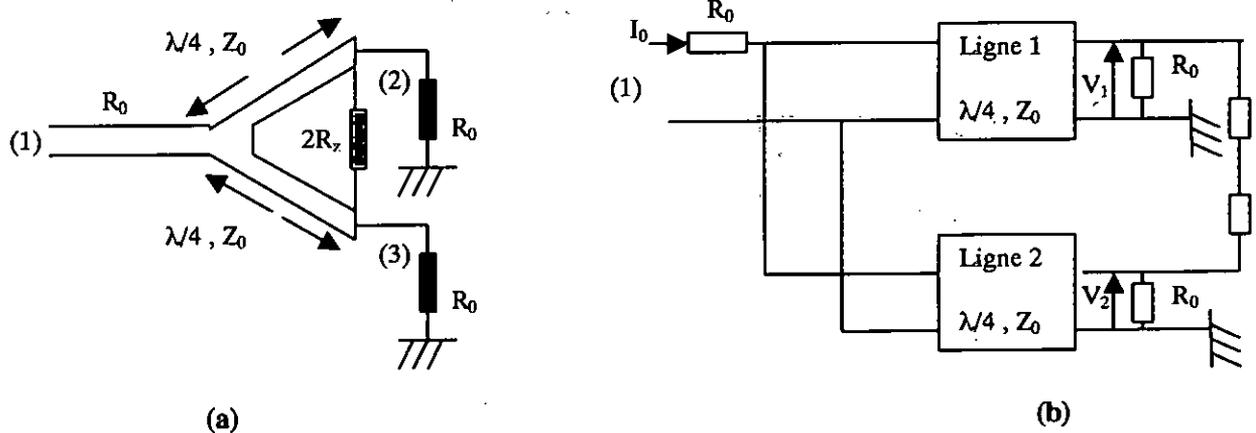


Fig.VI.3 : Diviseur de Wilkinson

(a) Structure en ligne microruban (vue de dessus)

(b) Schéma électrique

L'amélioration apportée par la nouvelle configuration est nette par rapport au modèle conventionnel. L'amélioration du gain est de 2 dB sur la bande passante considérée. Ceci est dû au fait que la nouvelle topologie

permet de récupérer la puissance au niveau de l'accès (3) de l'A.D qui était perdue dans le cas conventionnel.

CONCLUSION

L'amplificateur distribué (A.D) est basé sur le choix du MESFET. Après avoir présenté le transistor et ses caractéristiques, nous nous sommes intéressés aux éléments passifs faisant partis de l'A.D, à savoir les inductances et les capacités.

En ce qui concerne la conception de l'A.D, nous avons adopté la technologie monolithique qui fait appel à des grandeurs normalisées. Les étapes de la conception de l'A.D en technologie monolithique ont été présentées. Cette technologie nous a permis de lever certaines contraintes inhérentes à la technologie hybride, telle que l'impossibilité de réaliser une capacité série.

Nous avons pu montrer l'effet des deux techniques de compensation utilisées, à savoir la compensation par résistance négative et la méthode de la capacité série, et ce par rapport à l'A.D conventionnel. Ces deux méthodes de compensation ont été appliquées à l'A.D passe-bas (conventionnel) et à l'A.D passe-bande. Tous les modèles que nous avons proposés et développés permettent des améliorations appréciables du produit gain – bande-passante de l'ordre de 20%

Enfin, nous nous sommes intéressés à l'A.D combiné, qui associe les effets d'un A.D conventionnel et d'un diviseur / combineur de Wilkinson. Ce modèle a permis d'obtenir des résultats très intéressants du point de vue amélioration des performances de l'A.D sur un certain intervalle de fréquence.

BIBLIOGRAPHIE

- [1] C. A. Liechti : "*Microwave Field Effect Transistor – 1976*". IEEE Transactions on MTT. Vol.24 pp.279-300. June 1976.
- [2] R. Soares, J. Graffeuil et J. Obregon : "*Application des Transistors à Effets de Champ en Arséniure de Gallium*". EYROLLES 1984.
- [3] P. F. Combes, J. Graffeuil et J. F. Sautereau : "*Composants, Dispositifs et Circuits Actifs en Micro-ondes*". Dunod université 1985.
- [4] W. Jutzi : "*A MESFET Distributed Amplifier with 2 GHz Bandwidth*". Proceedings of the IEEE pp. 1195-1196. June 1969.
- [5] J. B. Beyer, S. N. Prasad, P. C. Becker, J. E. Nordman, G. KK. Hohenwater : "*MESFET Distributed Amplifier Guidelines*". IEEE Transactions on MTT. Vol.32 pp. 268-275. March 1984.
- [6] Y. Ayasli, L. D. Reynolds, J. L. Vorhaus, L. Hanes : "*Monolithic 2–20 GHz Traveling – Wave Amplifier*". Electronic letters. Vol.18 pp.596-598. July 1982.
- [7] G. D. Vendelin, A. M. Pavio, U. L. Rhode : "*Microwave Circuit Design Using Linear and Nonlinear Technique*". John Wiley & sons, Inc. 1990.
- [8] E. L. Ginzton, W. R. Hewlet, J. H. Jasberg, J. D. Noe : "*Distributed Amplification*". Proceedings of IRE. pp.956-969. August 1948.
- [9] T. T. Y. Wong : "*Fundamentals of Distributed Amplifiers*". Artech House.1993.
- [10] A. A. Sweet : "*MIC & MMIC Amplifier and Oscillator Circuit Design*". Artech House. 1990.
- [11] S. Yngvesson : "*Microwave Semiconductor Devices*". Kluwer Academic Publisher. 1991.
- [12] K. C. Gupta, R. Garg, R. Chahda : "*Computer Aided Design of microwave Circuits*". Artech House. 1981.
- [13] S. Dahmani : "*Silicon RF integrated inductors : analysis and design*". Rapport CDTA. 2000.
- [14] I. D. Robertson : "*MMIC Design*". The Institution of Electrical Engineers. 1995.

- [15] J. Frey, K. Bhasin : "*Microwave Integrated Circuits*". Artech House. 1985.
- [16] M. C. E. Yagoub : "*Conception et Optimisation Des Circuits Micro-Ondes Linéaires et Nonlinéaires*". Thèse de Doctorat d'Etat en Electronique. USTHB1996.
- [17] S. N. Prasad, J. B. Beyer, I. S. Chang : "*Power – Bandwidth Considerations in the Design of MESFET Distributed Amplifiers*". IEEE Transactions on MTT. Vol.36 pp. 1117-1123. July 1988.
- [18] M. Khanfouci, M. Trabelsi, R. Aksas, T. Mammeri Et M. Si Moussa "*Amélioration des performances d'un amplificateur distribué*". 2^{ème} Séminaire National en Génie Electrique , Biskra, 22-24/11/1999.
- [19] R. A. Larue, S. G. Bandy, G. A. Zdasiuk : "*A 12-dB High-Gain Monolithic Distributed Amplifier*". IEEE Transactions on MTT. Vol.34 pp. 1542-1547. December 1986
- [20] S. Diebelle, J. B. Beyer : "*Attenuation Compensation in Distributed Amplifier Design*". IEEE Transactions on MTT. Vol.37 pp. 1425-1432. September 1989.
- [21] S. Benaliouche, M. Khanfouci : "*Amélioration des Performances d'un Amplificateur Distribué Conventionnel par Compensation*". P.F.E pour l'obtention du diplôme d'Ingénieur d'Etat en Electronique E.N.P Juin 1998.
- [22] S. N. Prasad, J. B. Beyer : "*Band Pass Distributed Amplifier*". Microwave and Optical Wave Technologie Letters. Vol.2 pp. 349-354. October 1989
- [23] M. Khanfouci, M. Trabelsi, R. Aksas, T. Mammeri Et M. Si Moussa "*Amélioration des performances d'un amplificateur distribué passe bande*" Conférence Maghrébine en Génie Electrique CMGE'99 (Constantine) , pp. 143-146, 4-5-6 Décembre 1999.
- [24] M. Si Moussa, M. Trabelsi, R. Aksas " *Amélioration du produit gain – bande passante d'un amplificateur distribué passe – bande* " Conférence Maghrébine en Génie Electrique CMGE'01 (Constantine) (soumis)
- [25] N. Behlouli : "*Analyse et conception des coupleurs et diviseurs de puissance micro-ondes*". Thèse de Magister. Electronique. E.N.P. Janvier 2001.
- [26] K.B Niclas, W.T. Wilser, T.R. Kritzer, R.R. Pereira : "*On Theory*

and Performance of Solid State Microwave Distributed Amplifier".
IEEE Transactions on MTT. Vol.31 pp. 447-456. June 1983

- [27] M. Si Moussa, M. Trabelsi, R. Aksas Et Al " Evaluation des signaux dans un amplificateur distribué" 1stInternational Conference of Electrical Engineering, ICEE'2000, University of Boumerdes, 4-6 Novembre 2000.
- [28] M. Si Moussa, M. Trabelsi, R. Aksas " *analyse d'un amplificateur distribué bilatéral par la méthode des ondes de répartitions*" Conférence en Génie Electrique CGE'01 (EMP Bordj El Behri) (soumis)

ANNEXES

ANNEXE A

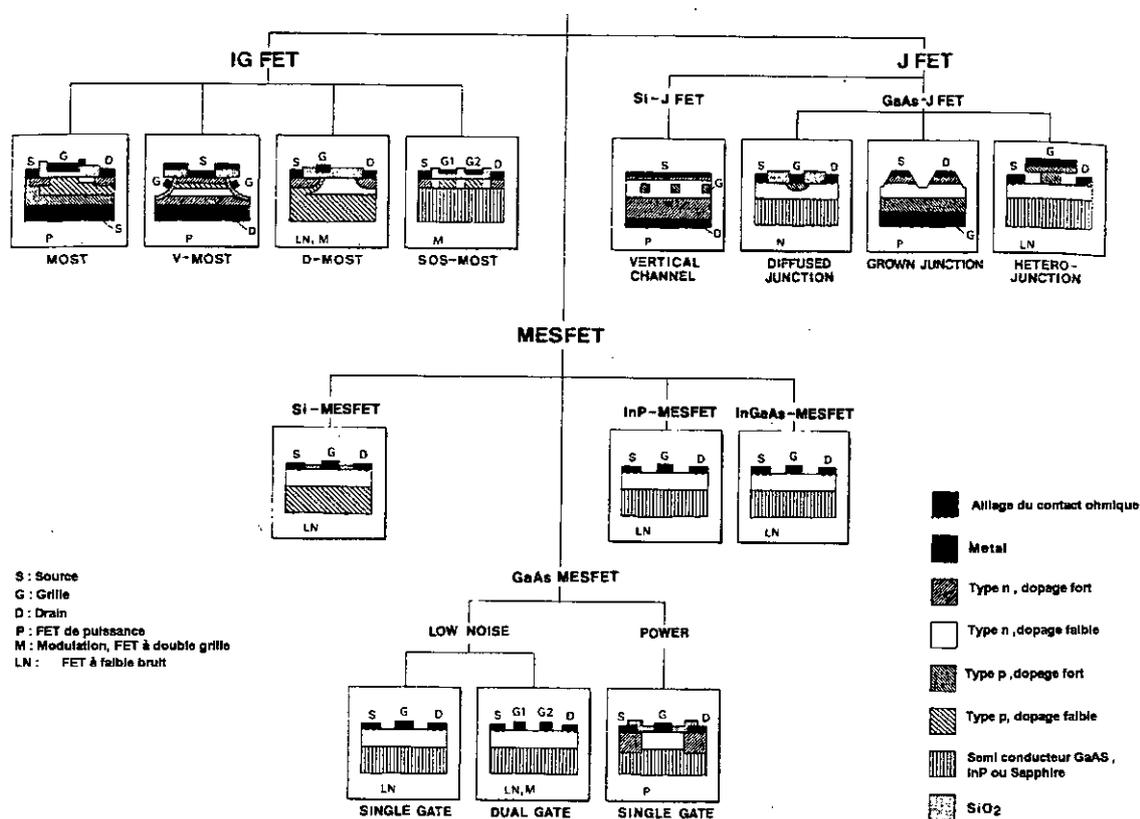


Fig.A.1 : La famille des transistors FET micro-onde

ANNEXE B

Des expressions basées sur la géométrie des composants permettent le calcul de certains éléments constituant le MESFET [12] sont données ci-dessous :

i. Transconductance g_m : $g_m = g_{m0} e^{-j\omega\tau_0}$

où $g_{m0} = 4\varepsilon_0\varepsilon_r V_s f_g(s, p, \xi) W/a$

avec $f_g(s, p, \xi) = \frac{(1-s)\cosh(\theta) - (1-p)}{[2p(1-p) + \xi(L_1/L)]\cosh(\theta) - 2p(1-p)}$

Les quantités p , s , ξ , τ_0 , etc. sont définies à la fin de cette section.

ii. Résistance drain R_{ds} : $R_d = \frac{f_r(s, p, \xi)}{4\varepsilon_0\varepsilon_r V_s W/a}$

Où $f_r(s, p, \xi) = \frac{1}{1-p} \left\{ \left[2p(1-p) + \xi \frac{L_1}{L} \right] \cosh(\theta) - 2p(1-p) \right\}$

iii. Capacité grille-source C_{gs} : $C_{gs} \approx 2\varepsilon_0\varepsilon_r W f_c(s, p, \xi)$

où $f_c(s, p, \xi) = 1.56 + f_{c1} + f_{c2}$

avec $f_{c1} = \frac{2}{f_1} \frac{L_1}{a} \left\{ f_g \left[\frac{2p^2(1-p)^2 + f_2}{1-p} \right] - s(1-s) \right\}$

$f_{c2} = 2f_g \frac{L_2}{a} + (1 - 2pf_g) \left[2 \frac{L}{a} \frac{p}{\xi \cosh(\theta)} + \tanh(\theta) \right]$

$f_1 = p^2 - s^2 - \frac{2}{3}(p^3 - s^3)$

et $f_2 = \frac{2}{3}(p^3 - s^3) - \frac{1}{2}(p^4 - s^4)$

iv. Capacité grille-drain : $C_{gd} = \varepsilon_0(\varepsilon_r + 1)W \frac{K(k')}{K(k)}$

Avec $k' = \sqrt{1-k^2}$ et le rapport $\frac{K(k)}{K(k')} = \begin{cases} \left[\frac{1}{\pi} \ln \left(2 \frac{1+\sqrt{k'}}{1-\sqrt{k'}} \right) \right]^{-1} ; 0 \leq k \leq 1/\sqrt{2} \\ \left[\frac{1}{\pi} \ln \left(2 \frac{1+\sqrt{k'}}{1-\sqrt{k'}} \right) \right] ; 1/\sqrt{2} \leq k \leq 1 \end{cases}$

$$\text{où } k = \left(\frac{L_{gd}}{L + L_{gd}} \right).$$

Les différentes variables utilisées sont définies ci-dessous :

τ_0 : temps nécessaire aux électrons pour traverser la longueur de la grille.

V_s : vitesse de saturation (limite) des électrons.

$$\left. \begin{array}{l} s: \sqrt{W_s/W_{00}} \\ p: \sqrt{W_p/W_{00}} \end{array} \right\} 0 < s < p \leq 1$$

W_{00} : potentiel grille-canal (tension de pincement) donné par : $W_{00} = \frac{e \cdot n_0}{2\epsilon_0 \epsilon_r} a^2$,

$$\epsilon_0 = 8.854 \times 10^{-14} \text{ F/m}$$

n_0 : densité de dopage dans le canal (atomes/cm³)

ϵ_r : constante diélectrique du substrat (12.5 pour GaAs)

a : épaisseur du substrat épitaxial (fig.)

W_s : potentiel du cana au niveau de la source donné par : $W_s = V_{gs} + \Phi$

W_p : potentiel du canal au point de pincement donné par : $W_p = V_{gs} + \Phi - V_p$

V_{gs} : potentiel grille-source (avec source à la masse)

Φ : potentiel de la barrière de Schottky (entre 0.8 – 0.9 V pour des jonctions

Schottky utilisant comme métal de l'or).

V_p : tension de pincement.

ξ : index de saturation, donné par $E_s L / W_{00}$ (de l'ordre de 0.05 à 0.40)

E_s : champ de saturation i.e. champ électrique dans le canal.

L : longueur de la grille

$$L_1 : L \frac{f_1(s,p)}{\xi(1-p)}$$

$$L_2 : L - L_1$$

L_{gd} : espace inter-électrode entre la grille et le drain

W : largeur de la grille

$$\theta : \pi L_2 / (2a)$$

ANNEXE C

Calcul de la matrice [S] globale pour un circuit microonde

Soit un circuit de N composants micro-ondes. Chaque composant i contient m_i accès et il est défini par sa matrice [S] tel que :

$$[b] = [S][a]$$

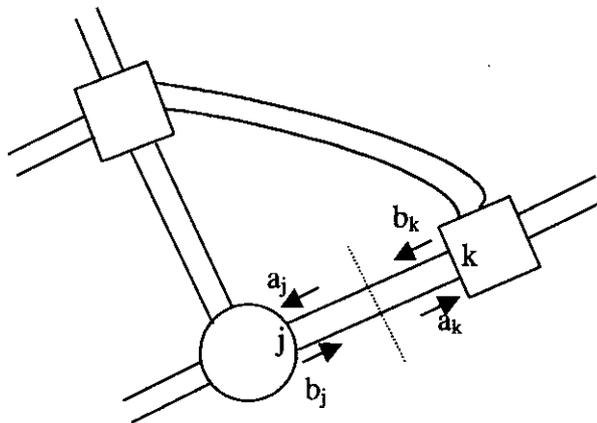


Fig.C.1 : Exemple de connections de circuits

On regroupe toutes les matrices [S] dans une seule matrice [S] globale, comme suit :

$$\begin{bmatrix} [b] \\ [b]^j \\ \cdot \\ [b]^N \end{bmatrix} = \begin{bmatrix} [S] & [0] & \cdot & \cdot & [0] \\ [0] & [S]^j & [0] & \cdot & \cdot \\ \cdot & [0] & [S]^j & \cdot & \cdot \\ \cdot & \cdot & [0] & \cdot & [0] \\ [0] & \cdot & \cdot & [0] & [S]^N \end{bmatrix} \begin{bmatrix} [a] \\ [a]^j \\ \cdot \\ [a]^N \end{bmatrix}$$

Puisque toutes les matrices [S] sont carrées, la matrice [S] globale sera carrée aussi et de dimension $(m_1 + m_2 + \dots + m_N, m_1 + m_2 + \dots + m_N)$.

Considérons maintenant les accès des composants connectés, (fig.B.1) on remarque par exemple que :

$$\begin{aligned} a_j &= b_k \\ a_k &= b_j \end{aligned}$$

On peut représenter ces deux équations sous forme matricielle :

$$\begin{bmatrix} b_k \\ b_j \end{bmatrix} = \begin{bmatrix} 0 & 1 \\ 1 & 0 \end{bmatrix} \begin{bmatrix} a_k \\ a_j \end{bmatrix}$$

Si on désigne par $[b_c]$ le vecteur contenant tous les b_i des accès connectés et par $[a_c]$ le vecteur contenant tous les $[a_c]$ des accès connectés, et par Γ la matrice binaire dite matrice de connexion, on aura :

$$[b_c] = \Gamma [a_c] \quad (C.1)$$

Après avoir localiser les accès connectés des différents composants et la matrice de connexion, on modifie la matrice globale $[S]$ de la façon suivante :

On regroupe tous les accès non connectés (externes) d'un côté et de l'autre côté les accès connectés. Si on désigne par $[a_p]$ le vecteur des accès non connectés on aura :

$$\begin{bmatrix} [b_p] \\ [b_c] \end{bmatrix} = \begin{bmatrix} S_{pp} & S_{pc} \\ S_{cp} & S_{cc} \end{bmatrix} \begin{bmatrix} [a_p] \\ [a_c] \end{bmatrix}$$

c'est à dire :

$$[b_c] = [S_{cp}] [a_p] + [S_{cc}] [a_c]$$

$$[b_p] = [S_{pp}] [a_p] + [S_{pc}] [a_c]$$

En tenant compte de la relation (C.1) on aura :

$$\Gamma [a_c] = [S_{cp}] [a_p] + [S_{cc}] [a_c] \quad \Rightarrow \quad [a_c] = (\Gamma - [S_{cc}])^{-1} [S_{cp}] [a_p]$$

$$\Rightarrow \quad [b_p] = ([S_{pp}] + [S_{pc}] (\Gamma - [S_{cc}])^{-1} [S_{cp}]) [a_p]$$

ceci peut être mis sous la forme :

$$[b_p] = [S_p] [a_p]$$

avec :

$$[S_p] = [S_{pp}] + [S_{pc}] (\Gamma - [S_{cc}])^{-1} [S_{cp}]$$

$[S_p]$ est la nouvelle matrice $[S]$ de tout le circuit.

ANNEXE D

Calcul des paramètres S d'un amplificateur distribué

Puisque l'amplificateur distribué (A.D) résulte de la mise en cascade de N cellules élémentaires identiques, il est plus commode d'utiliser la matrice chaîne qui est donnée par l'équation suivante :

$$\begin{bmatrix} V_3 \\ I_3 \\ V_1 \\ I_1 \end{bmatrix} = [D] \begin{bmatrix} V_4 \\ -I_4 \\ V_2 \\ -I_2 \end{bmatrix} \quad (\text{B.1})$$

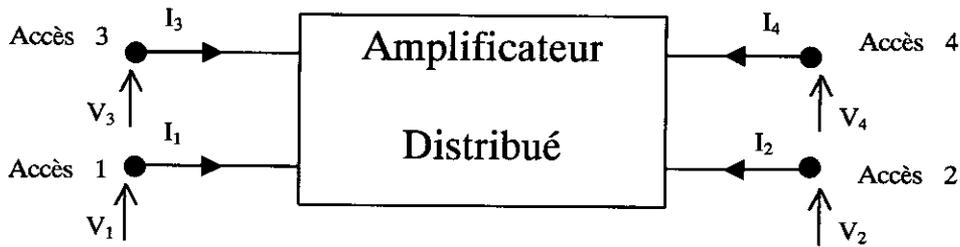


Figure B.1 : Schéma d'un amplificateur distribué

où $[D] = [A]^N$

avec la matrice $[A]$ qui s'exprime comme suit [26] :

$$[A] = \begin{bmatrix} 1 + Z_D(y_{11} + y_{22}) & Z_D[2 + Z_D(y_D + y_{22})] & y_{21}Z_D & y_{21}Z_G Z_D \\ y_D & 1 + Z_D(y_D + y_{22}) & y_{21} & y_{21}Z_G \\ y_{12}Z_G & y_{12}Z_G Z_D & 1 + y_{11}Z_G & Z_G(2 + y_{11}Z_G) \\ y_{12} & y_{12}Z_D & y_{11} & 1 + y_{11}Z_G \end{bmatrix}$$

En prenant comme impédance de normalisation $Z_c = 50 \Omega$, les éléments de la matrice de répartition $[S]$ vont s'exprimer à partir de l'équation (B.1) comme suit :

- $S(1,1) = \frac{Z_{e1} - Z_c}{Z_{e1} + Z_c}$
- $S(2,1) = \frac{Z_c}{(D(3,1)Z_c\alpha + D(3,2)\alpha + D(3,3)Z_c + D(3,4)) \left(1 + \frac{Z_c}{Z_{e1}}\right)}$

- $$S(3,1) = \frac{2Z_c(D(2,1)Z_c\alpha + D(2,2)\alpha + D(2,3)Z_c + D(2,4))}{(D(3,1)Z_c\alpha + D(3,2)\alpha + D(3,3)Z_c + D(3,4))\left(1 + \frac{Z_c}{Z_{e1}}\right)}$$
- $$S(4,1) = \frac{2Z_c\alpha}{(D(3,1)Z_c\alpha + D(3,2)\alpha + D(3,3)Z_c + D(3,4))\left(1 + \frac{Z_c}{Z_{e1}}\right)}$$
- $S(1,2) = 0$
- $S(2,2) = S(1,1)$ (en raison de la symétrie)
- $S(3,2) = S(4,1)$ (en raison de la réciprocité)
- $S(1,3) = 0$
- $S(2,3) = 0$
- $$S(3,3) = \frac{Z_{e3} - Z_c}{Z_{e3} + Z_c}$$
- $$S(4,1) = \frac{2Z_c\beta}{(D(1,1)Z_c\beta + D(1,2)\beta + D(1,3)Z_c + D(1,4))\left(1 + \frac{Z_c}{Z_{e3}}\right)}$$
- $S(1,4) = 0$ (A.D unilatéral)
- $S(2,4) = 0$
- $S(3,4) = S(4,3)$ (en raison de la réciprocité)
- $S(4,4) = S(3,3)$ (en raison de la symétrie)

avec :

$$Z_{e1} = \frac{D(3,1)Z_c\alpha + D(3,2)\alpha + D(3,3)Z_c + D(3,4)}{D(4,1)Z_c\alpha + D(4,2)\alpha + D(4,3)Z_c + D(4,4)}$$

$$Z_{e1} = \frac{D(1,1)Z_c\beta + D(1,2)\beta + D(1,3)Z_c + D(1,4)}{D(2,1)Z_c\beta + D(2,2)\beta + D(2,3)Z_c + D(2,4)}$$

où

$$\alpha = -\frac{D(2,3)Z_c^2 + (D(1,3) + D(2,4))Z_c + D(1,4)}{D(2,1)Z_c^2 + (D(1,1) + D(2,2))Z_c + D(1,2)}$$

$$\beta = -\frac{D(4,3)Z_c^2 + (D(4,4) + D(3,3))Z_c + D(3,4)}{D(4,1)Z_c^2 + (D(3,1) + D(4,2))Z_c + D(3,2)}$$