

7/91

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire

وزارة الجامعات

MINISTÈRE AUX UNIVERSITÉS

المدرسة الوطنية المتعددة التقنيات
المكتبة — BIBLIOTHEQUE
Ecole Nationale Polytechnique

ÉCOLE NATIONALE POLYTECHNIQUE

DÉPARTEMENT : ELECTRONIQUE

PROJET DE FIN D'ÉTUDES

SUJET

CONCEPTION ET RÉALISATION
D'UNE CARTE INTERFACE DE GESTION
DE RESSOURCES À BASE DU MICRO
CONTROLEUR : 8052 AH BASIC

Proposé par : N. BOUZA

Etudié par : S. KHAN

Dirigé par: M^r N. BOUZA
M^r H. KHERCHI
M^r H. BOUSBIA

PROMOTION : Juin 1991

E.N.P. 10, Avenue Hacène Badi - El-HARRACH - ALGER

الجمهورية الجزائرية الديمقراطية الشعبية
République Algérienne Démocratique et Populaire

وزارة الجامعات

MINISTÈRE AUX UNIVERSITÉS

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

ÉCOLE NATIONALE POLYTECHNIQUE

DÉPARTEMENT : ELECTRONIQUE

PROJET DE FIN D'ÉTUDES

SUJET

CONCEPTION ET RÉALISATION
D'UNE CARTE INTERFACE DE GESTION
DE RESSOURCES À BASE DU MICRO
CONTROLEUR : 8052 AH BASIC

Proposé par : N. BOUZA

Etudié par : S. KHAN

Dirigé par: M^r N. BOUZA
M^r H. KHERCHI
M^r H. BOUSBIA

PROMOTION : Juin 1991

E.N.P. 10, Avenue Hacène Badi - El-HARRACH - ALGER

D e d i c a c e s

Je dedie ce modeste travail :

- *A mes Parents en signe de reconnaissance pour leurs sacrifices et leurs soutien moral et matériel qu'ils m'ont apportés .*
- *A mes frères et sœur , Nora, Luis, et Paid.*
- *A toute ma famille.*
- *Et a tous mes amis.*

Palem.



R e m e r c i e m e n t s

Que Mr Nasser BOUZA trouve ma profonde reconnaissance pour m'avoir si aimablement accueilli à la Direction Recherche et Développement (Division Hardware) de l'ENSI, et pour ses conseils et son aide morale et matérielle tout le long de mon projet.

Je tiens à exprimer mes plus vifs remerciements à mon Promoteur Mr Hamid KHERCHI pour les orientations et suggestions précieuses qu'il m'a prodigué tout le long de l'élaboration de ce travail.

Je remercie également Mr Hichem BOUSBIA-SALAH pour son suivi et ses conseils.

Que Mlle L.BENKACI, Mr A.TAGHLIT, et Mr M.CHAOUCH trouvent ici l'expression de ma profonde gratitude pour leurs précieuses assistance.

Mes remerciements s'adressent également à toute la sympathique équipe du Département Software de l'ENSI:

NADIR Nasr-eddine.

MERICHE Mohamed.

BOUGUERA Llias.

Mes remerciements vont également à tous ceux qui ont contribué à ma formation.

ملخص :

موضوع المشروع يتمثل في تصّور وإنجاز متوسط على أساس الحاسب "i8052 AH BASIC" من أجل إدارة الاتصالات المتوازية .
العمل يتمثل في تحقيق مدير للمخارج وقد تمت التجارب على آلات الطباعة كمخارج .

S U M M A R Y :

The subject of my project is : Conception and realisation of an interfacing cart with base of INTEL microcontroller, the i8052 AH BASIC for managment of parallel communications.
The work consists to realise a manager of parallel communications applied to printers.

R E S U M E :

Le sujet de mon projet de fin d'études s'intitule : Conception et Réalisation d'une carte Interface à base du i8052 AH BASIC d'INTEL pour la gestion de communications parallèles.
Le travail consiste à mettre au point un gestionnaire de ressources appliqué aux imprimantes.

P R E A M B U L E

L'augmentation de la diversité des ressources existantes en Informatique entraînent de multiples problèmes d'échanges et de traitement des informations (conflits d'accès, gestion des files d'attente, etc...).

L'une des solutions préconisée pour résoudre ce type de problèmes consiste à centraliser toutes les informations à l'aide d'un organe unique de commande. Sa conception repose sur l'analyse d'un grand nombre de problèmes et de conditions d'exploitation des installations déjà réalisées.

C'est dans ce but que le Laboratoire péri-informatique s'est fixé comme objectif de mettre au point un système de transmission reliant un certain nombre de ressources communiquant entre elles.

Notre travail fait partie de cette démarche, il consiste à concevoir et à réaliser une carte d'interface à base du i8052 AH BASIC d'INTEL pour la gestion de communications parallèles.

Pour arriver à nos fins, nous avons jugés utile d'étaler ce travail sur trois chapitres.

Le premier chapitre aide à la compréhension des procédures de transmission de données ; le second chapitre donne une description générale de l'unité centrale UC 8052; enfin dans le troisième chapitre, nous aborderons la conception de la carte interface avec tout ce qui se rattache à elle.

S O M M A I R E

	page
INTRODUCTION.....	1
CHAPITRE 1 GENERALITES SUR LES STRUCTURES DE TRAITEMENT PARALLELE DE L'INFORMATION .	
I) PROCEDURE DES TRANSMISSIONS PARALLELES.	
1°) Principe.	4
2°) Fonctions d'une procédure de transmission	5
3°) Topologie d'interconnexion.	5
II) UTILISATION DES IMPRIMANTES.	
1°) Généralités sur les imprimantes	8
2°) Le protocole de transmission parallèle (norme CENTRONICS)	8
CHAPITRE 2 ARCHITECTURE DE L'UNITE CENTRALE UC 8052.	
I > LE MICROCONTROLEUR 8052 AH BASIC.	
1°) Organisation externe du MCS-52	13
2°) Organisation interne du MCS-52	16
3°) Cycles de lecture et d'écriture.	19
II > DESCRIPTION DETAILLEE DU HARDWARE DE L'UC 8052	
1°) Circuit d'horloge.	22
2°) Circuit d'initialisation.	23
3°) Circuit de démultiplexage adresse/donnée.	24
4°) Circuit de sélection du bus de données.	25

5°) Circuit d'adaptation RS232C - UC 8052.	26
6°) Mapping de la mémoire et de décodage.	27
7°) Programmation d'EPROM.	28
8°) Fonctionnement de la carte UC 8052.	29

CHAPITRE 3 CONCEPTION ET REALISATION DE LA CARTE INTERFACE.

I > PARTIE MATERIELLE.

1°) Principe	33
2°) Circuit d'interruption.	34
3°) Décodage d'adresse.	35
4°) Circuit de verrouillage.	36
a) en lecture.	37
b) en écriture.	37
5°) Mise au point de la carte.	37
6°) fonctionnement de la carte interface.	38

II > PROGRAMMATION DU GESTIONNAIRE.

1°) Principe du logiciel.	39
2°) Organigramme général.	41

CONCLUSION.....	44
-----------------	-------	----

BIBLIOGRAPHIE.....	45
--------------------	-------	----

ANNEXES.....	46
--------------	-------	----

NOTATIONS UTILISEES

/ : Remplace la Notation habituelle BARRE.
(ex: /X = \overline{X}).

[A-n] : Indique l'Annexe correspondante.

[n] : Références Bibliographiques.

UC 8052 : Unité Centrale à base du i8052 AH BASIC.

INTRODUCTION

Les microcontrôleurs connaissent dans le monde industriel un développement extraordinaire pour la conception de matériel compact, fiable, performant et peu onéreux; du fait de leurs nombreuses qualités, les domaines d'application des microcontrôleurs sont vastes et nécessitent de nombreuses entrées/sorties.

En effet, un bref rappel historique de l'évolution de la puissance des microcontrôleurs, situera mieux la position du microcontrôleur d'INTEL le 8052 AH BASIC dans le contexte actuel.

En 1976, INTEL présentait le 8048 comprenant une unité arithmétique et logique de 8 bits, un jeu de 96 instructions, deux ports d'E/S et un timer de 8 bits.

Du fait de ces nombreuses caractéristiques et de son mode de fonctionnement, le microcontrôleur d'INTEL fut immédiatement adopté par les industriels et devint un standard.

L'intégration sans cesse croissante des géométries sur le Silicium, augmenta la puissance des microcontrôleurs en y ajoutant des fonctions supplémentaires et en proposant des solutions plus élégantes.

Pour répondre à l'introduction du 6801 de MOTOROLA sur le marché des microcontrôleurs, la firme californienne INTEL, bénéficiant de nombreuses sources de fabrication secondaires, surenchit en 1980 avec l'avènement de la famille MCS 52 dont le 8052 fait partie.

Ce dernier sera surtout destiné à des applications d'acquisitions de données. Le jeu d'instruction passait alors à 111 instructions, le nombre de ports d'E/S à 4, les deux timers sur 16 bits quadruplaient les possibilités de timing et les fonctions d'adressage autorisant un espace de 64 Koctets de mémoire programme et de 64 Koctets de mémoire de données. Ces deux espaces étant distincts, une architecture plus souple de type VON NEWMANN était néanmoins possible en cablant les broches de contrôle d'accès aux mémoires de façon adéquate.

Quatre ans plus tard, en 1984, un deuxième pas de géant était accompli avec l'avènement du 8096 (16 bits) caractérisé par cinq ports d'E/S huit bits, 4 chronomètres 16 bits et une fonction d'E/S sérielle.

En 1987 INTEL annonçait l'apparition du 80196 qui ouvrit le champ à d'autres microcontrôleurs plus performants.

CHAPITRE 1

GENERALITES SUR LES STRUCTURES DE TRAITEMENT PARALLELE DE L'INFORMATION.

INTRODUCTION.....

I > PROCEDURE DES TRANSMISSIONS PARALLELES.

- 1°) Principe.
- 2°) Fonctions d'une procédure de transmission.
 - a) Transfert de l'information.
 - b) Identification des origines et destination de l'information.
- 3°) Topologie d'interconnexion.

II > UTILISATION DES IMPRIMANTES.

- 1°) Généralités sur les imprimantes.
- 2°) Protocole de transmission parallèle.
(norme CENTRONIS)

INTRODUCTION:

La nécessité de la communication entre différentes ressources (microordinateurs, imprimantes, terminaux ...) est devenue aujourd'hui une évidence. Ainsi, chaque ressource vit dans son propre environnement utilisant un type de signaux particulier véhiculés par un bus ayant une longueur définie.

Pour résoudre les problèmes de distance, d'incompatibilité des signaux et de synchronisation, on intercale entre ces ressources, un circuit spécialisé d'adaptation, appelé INTERFACE.

Les tâches principales d'une interface consistent à :

- Résoudre les problèmes d'incompatibilité des signaux.
- Synchroniser la cadence du périphérique à une vitesse compatible avec celle processeur (maitre).
- Adapter les niveaux des signaux pour la transmission à longues distances.
- Adapter le format du mot à communiquer.

I > PROCEDURES DE TRANSMISSION PARALLELE. [3].

1°) Principe.

Une procédure de transmission se définit comme l'ensemble des règles d'échange de données entre les équipements connectés sur un même circuit, règles qui doivent permettre une transmission efficace des données avec un taux d'erreur faible. Un des type de transmission utilisé entre deux ressources est la liaison parallèle, définie par le nombre de bits transmis.

Les liaisons Parallèles permettent en général d'associer des lignes physiques à des adresses en mémoire, chacune de ces lignes étant représentée par un bit. Pour établir ce type de transmission, il est nécessaire d'intercaler une interface.

2°) Fonctions d'une procédure de transmission.

a) Transfert de l'information :

Afin que la ressource réceptrice puisse reconnaître le début et la fin des données transférées, il est nécessaire de les structurer et de les délimiter. Les données sont généralement structurées suivant un format, liés à la longueur du mot utilisé par la mémoire centrale.

b) Identification des origines et destination de l'information:

Contrairement à la liaison point à point, les liaisons multipoints nécessitent l'identification de l'origine et de la destination des données; dans ce type de liaison, il y a une station principale et plusieurs stations secondaires. Lorsque la station principale reçoit un bloc de données, il est alors nécessaire de mettre en place un mécanisme d'adressage pour identifier le destinataire. Une adresse est attribuée à chaque station secondaire et préalablement à l'envoi du bloc, des données de service contenant l'adresse de la station destinatrice sont émises. Le destinataire s'étant reconnu, il prendra en compte ce bloc alors que celui-là sera ignoré des autres stations réceptrices

3°) Topologie d'interconnexion.

En matière de "réseau local " , la première caractéristique à prendre en considération est la topologie c'est à dire la disposition relative des différents micro-ordinateurs. on distingue généralement trois topologies différentes : en bus commun , en étoile et en anneau comme indiqué sur la figure 1.1.

a) Topologie en bus commun :

La topologie en Bus est de loin la plus répandue aujourd'hui. Cette topologie adopte un principe différent de celui de l'étoile, puisqu'il n'existe aucune distinction entre les stations de travail et le serveur, chaque poste pouvant jouer tour à tour le rôle de maître et d'esclave.

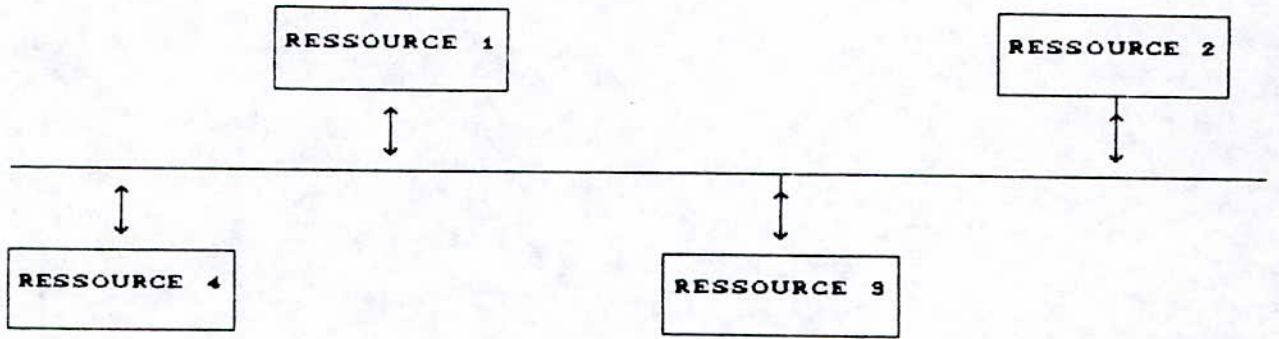
b) Topologie en étoile :

La topologie en étoile correspond à une architecture très voisine de celle d'un ordinateur multiposte : toutes les stations de travail sont raccordées à un même microordinateur considéré comme étant le serveur. Cette architecture ne demande qu'une configuration restreinte pour l'ensemble des postes de travail. Le serveur est dédié à sa tâche de gestion du "réseau local". Cette topologie est destinée aux petits réseaux (moins de cinq postes de travail).

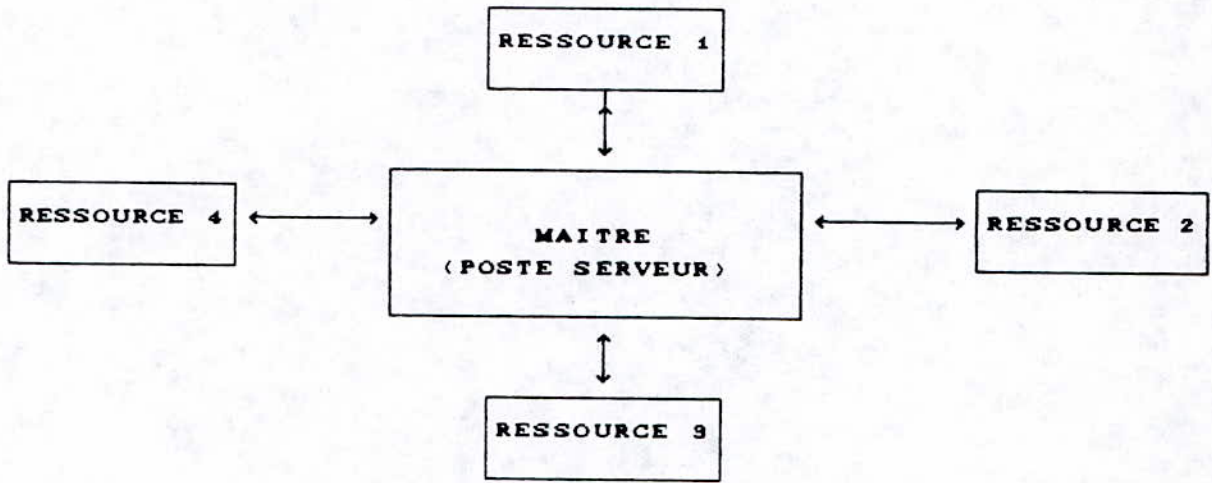
c) Topologie en anneau :

La topologie en anneau a une architecture qui ressemble à celle du bus, si ce n'est que le câble est fermé sur lui même. L'utilisateur est connecté à la ressource la plus proche, qui se charge ensuite d'établir la connexion, puis le routage des informations vers la ressource cible; les stations sont connectées point à point.

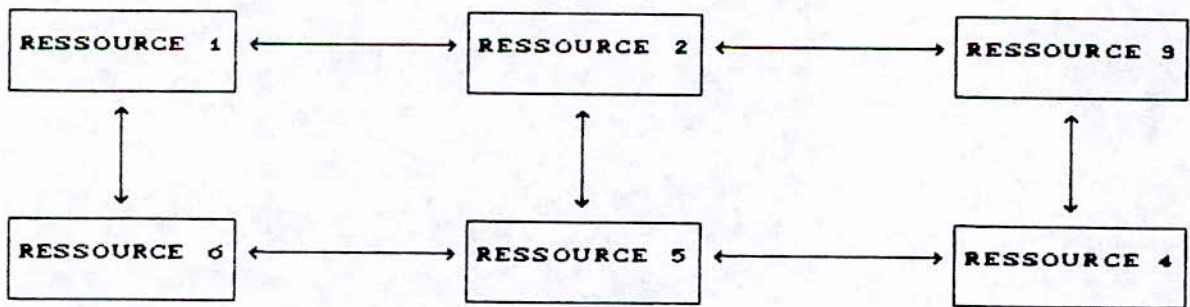
On notera ainsi l'absence de noeuds de connexion.



a) Bus commun



b) Etoile.



c) Anneau.

Fig. 1.1 : Topologie d'interconnexion.

II > UTILISATION DES IMPRIMANTES

1°) Généralités sur les Imprimantes .

C'est un équipement complémentaire du micro-ordinateur qui permet l'impression sur papier, soit du programme de traitement, soit du résultat du traitement.

La vitesse d'impression varie de 40 Cps à 200 Cps (caractères par seconde). Les Imprimantes perfectionnées travaillent en frappe aller, puis frappe retour en "lacets" en raison de 600 lignes/minutes. Cette rapidité de frappe est obtenue par le système d'impression à aiguille . La demande d'impression entraîne la frappe automatique, elle se fait en générale par :

- * Roue (la vitesse oscille entre 25 et 60 Cps)
- * Tête à Aiguilles (la vitesse est de 100 à 300 Cps).
- * Sphère, jet d'encre.

Généralement une Imprimante est caractérisée par :

- Sa vitesse d'impression.
- Son jeu de caractères disponibles.
- et par la largeur de son chariot.

Deux sortes d'imprimantes connaissent un succès du fait de leurs qualités, les imprimantes laser et les imprimantes à impact (matricielle à aiguille).

2°) Protocole de transmission Parallèle . [2] (norme CENTRONICS)

CENTRONICS est le premier constructeur d'imprimantes à avoir développé les interfaces, devenu actuellement une norme de transmission parallèle de données ; cette norme possède huit lignes de données, quatre lignes d'échange (DATA STROBE, ACKNOWLEDGE, BUSY et DEMAND) et des lignes de contrôle. La description des signaux est donnée ci-dessous:

- a) Les données DATA BIT 0 - 7 : Broche 2 à 9

b) Les signaux d'échange :

* STROBE : (Broche 1) impulsion négative délivrée par le système et signifiant à l'imprimante qu'une donnée est présente sur le bus.

* ACKNOWLEDGE : (Broche 10) Ce signal nous renseigne sur la prise en compte de la donnée par l'imprimante.

* DEMAND : (Broche 17) Issu de l'imprimante, lorsque son niveau est bas l'imprimante est prête à recevoir des données.

* BUSY (Broche 11) Issu de l'imprimante, l'occupation de cette dernière est indiquée par son niveau haut.

c) Les signaux de contrôle:

* PAPER EMPTY : (Broche 12) Fourni par l'imprimante ,il signale par son niveau haut l'épuisement du papier.

* ON LINE : (Broche 13) Son niveau haut indique que l'imprimante est en ligne.

* ERROR : (Broche 15) Fourni par l'imprimante, il décele par son niveau bas une défaillance.

* INIT : (Broche 16) Issu du système ,il permet par son niveau bas d'initialiser l'imprimante.

* GND : Toutes les lignes de masse sont reliées au système et à l'imprimante par des contacts appropriés.

* 5volts : Tension d'alimentation.

Ce protocole est décrit par le chronogramme de la figure 1.2 :

Les données sont valables pendant au moins 1µs après la dévalidation du signal STROBE, de durée comprise entre 1 et 500µs. La réception d'un caractère provoque l'émission par l'imprimante du signal ACKNOWLEDGE pendant une durée comprise entre 2,5 et 5µs. Le signal BUSY reste actif pendant les durées allant de 2 à plus de 300ms.

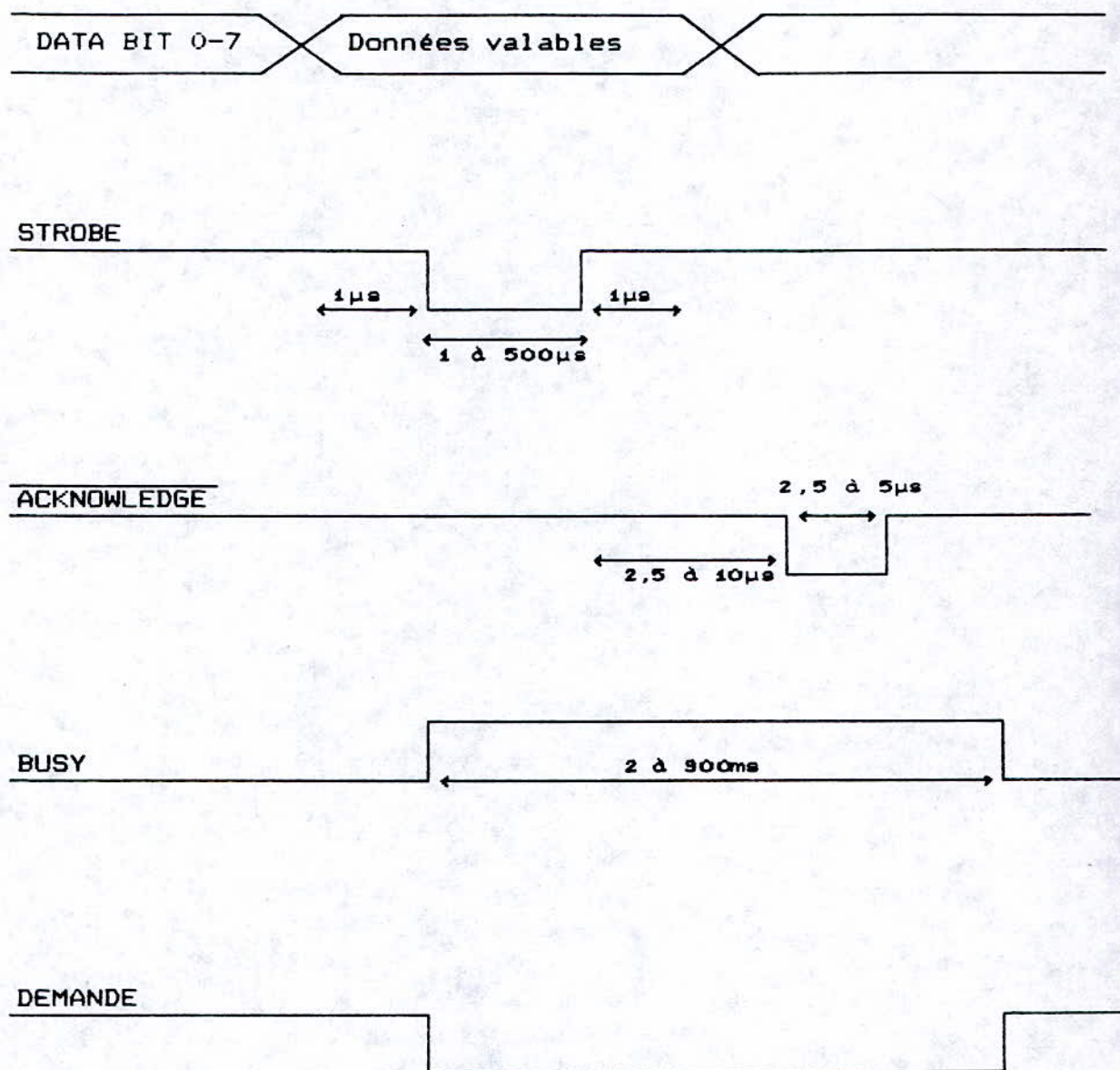


fig.1.2 : chronogrammes des signaux d'échange

Le câblage d'un câble parallèle CENTRONICS (connecteur DB25 mâle 25 broches) est donné dans le tableau suivant:

BROCHES	DEFINITION
1	STROBE
2	DATA BIT 1
3	DATA BIT 2
4	DATA BIT 3
5	DATA BIT 4
6	DATA BIT 5
7	DATA BIT 6
8	DATA BIT 7
9	DATA BIT 8
10	ACKNOWLEDGE
11	BUSY
12	PAPER EMPTY
13	ON LINE
14	MASSE LOGIQUE
15	ERREUR
16	INIT
17	DEMANDE
18	MASSE LOGIQUE
19	MASSE LOGIQUE
20	MASSE LOGIQUE
21	MASSE LOGIQUE
22	MASSE LOGIQUE
23	MASSE LOGIQUE
24	DETECTION IMPRIMANTE
25	MASSE MECANIQUE

CHAPITRE 2

ARCHITECTURE DE L'UC 8052 AH BASIC

INTRODUCTION.....

I > LE MICROCONTROLEUR 8052 AH BASIC.

- 1°) Organisation externe du μ c 8052 AH BASIC.....
- 2°) Organisation interne du μ c 8052 AH BASIC.....
- 3°) Cycle de lecture et d'écriture.

II > DESCRIPTION DU HARDWARE DE L'UC 8052.

- 1°) Circuit d'horloge.
- 2°) Circuit d'initialisation.
- 3°) Circuit de démultiplexage adresse-donnée.....
- 4°) Circuit de sélection du bus de données.
- 5°) Circuit d'adaptation RS 232- UC 8052.
- 6°) Mapping de la mémoire et de décodage.....
- 7°) Programmation d'EPROM.
- 8°) Fonctionnement de la carte UC 8052.

INTRODUCTION:

L'unité centrale est conçue autour d'un microcontrôleur le i8052 AH BASIC d'INTEL, d'un buffer bidirectionnel, de deux buffers unidirectionnels et d'un latch. On y a ajouté 32 Koctets de mémoire RAM, 4 Koctets de mémoire EPROM (Assembleur) et 8 Koctets d'EPROM (Basic) comme décrit sur le synoptique de la figure 2.1

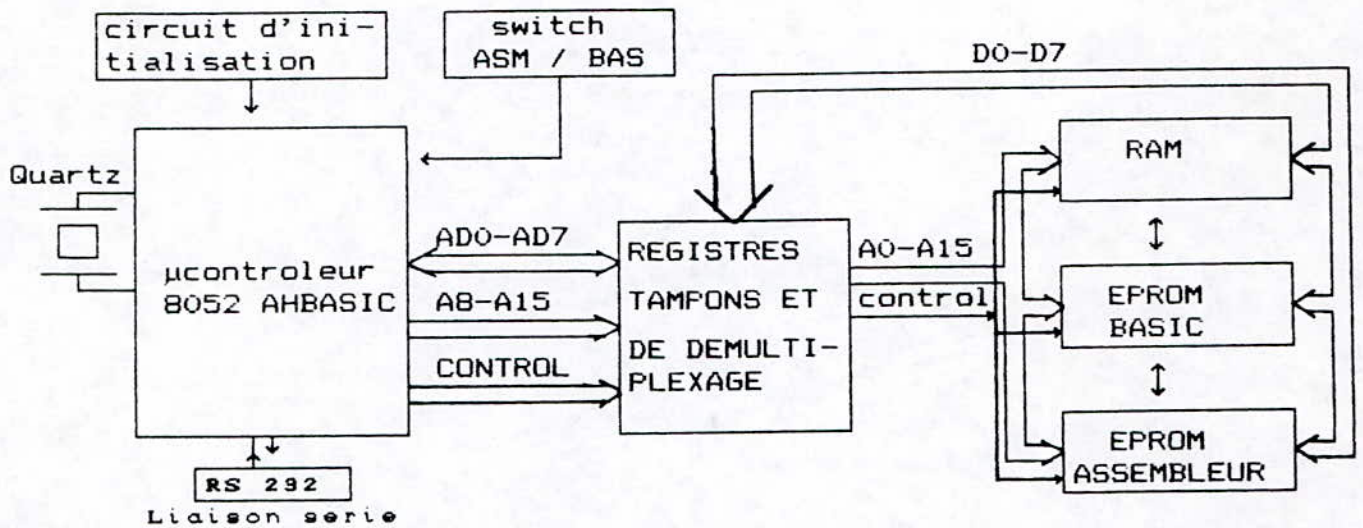


fig 2.1 : Synoptique de l'UC 8052

I > LE MICROCONTROLEUR i8052 AH BASIC. [1];[5]

1°) Organisation externe du μ c 8052 AH BASIC. [1].

Le 8052 AH BASIC se présente sous la forme d'un chip à 40 broches regroupées en quatre ports.

Son brochage est donné à la figure 2.2.

PORT 0:

AD0 - AD7 (Broche 32 à 39) : Bus bidirectionnel, multiplexé adresse de poids faible-donnée.

1	T2	VCC	40
2	T2X	AD0	39
3	PWM	AD1	38
4	$\overline{\text{ALE DISABLE}}$	AD2	37
5	PROG-PULSE	AD3	36
6	PROG ENABLE	AD4	35
7	$\overline{\text{DMA-ACKNOWLEDGE}}$	AD5	34
8	PRINTER	AD6	33
9	RESET	AD7	32
10	R X D	$\overline{\text{EA}}$	31
11	T X D	ALE	30
12	$\overline{\text{INT 0}}$	$\overline{\text{PSEN}}$	29
13	$\overline{\text{INT 1}}$	A8	28
14	T 0	A9	27
15	T 1	A10	26
16	$\overline{\text{WR}}$	A11	25
17	$\overline{\text{RD}}$	A12	24
18	X T A L 1	A13	23
19	X T A L 2	A14	22
20	G N D	A15	21

8052 AH BASIC

figure 2.2 : Brochage du 8052 AH BASIC

PORT 1 :

T2 (Broche 1) : Entrée Trigger du compteur 2.

T2EX (Broche 2) : Entrée externe du compteur 2.

PWM output (Broche 3) : Sortie d'impulsion modulée en largeur lorsque l'instruction BASIC PWM est utilisée.

$\overline{\text{ALE DISABLE}}$ (Broche 4) : Cette sortie est utilisée lors de la programmation de l'EPROM.

$\overline{\text{PROGRAMMING PULSE}}$ (Broche 5) : Cette sortie délivre les impulsions nécessaires à la programmation.

$\overline{\text{PROGRAMING ENABLE}}$ (Broche 6) : Cette broche est utilisée pour valider la programmation.

$\overline{\text{DMA ACKNOWLEDGE}}$ (Broche 7) : Sortie utilisée lorsque l'accès direct à la mémoire est en service.

$\overline{\text{LINE PRINTER OUTPUT}}$ (Broche 8) : Ligne de sortie série vers une imprimante en service en utilisant les instructions basic "LIST\$,PRINT\$".

PORT 2 :

A8-A15 (Broche 21 à 28) : Lignes d'adresse de poids fort.

PORT 3 :

RXD (Broche 10) et TXD (Broche 11) : sont utilisées respectivement pour la réception et la transmission série.

T0 (Broche 14) et T1 (Broche 15) : Ce sont les deux entrées externes des compteurs 0 et 1.

$\overline{\text{INT0}}$ (Broche 12) et $\overline{\text{INT1}}$ (Broche 13) : Ligne servant d'entrées d'interruption.

$\overline{\text{RD}}$ (Broche 17) et $\overline{\text{WR}}$ (Broche 16) : Respectivement, signaux de lecture et d'écriture.

AUTRES SIGNAUX :

XTAL1 (Broche 18), XTAL2 (Broche 19) : Entrées et sorties de l'oscillateur intégré.

ALE (Broche 30) : Signal permettant de séparer les adresses de poids faible des données sur le bus multiplexé.

$\overline{\text{PSEN}}$ (Broche 29) : Signal de lecture qui valide la mémoire EPROM .

$\overline{\text{EA}}$ (Broche 31) : Cette broche permet deux modes de fonctionnement:

- $\overline{\text{EA}} = 5\text{v}$ (Mode 1) représente le mode BASIC
- $\overline{\text{EA}} = 0\text{v}$ (Mode 2) représente le mode assembleur.

RESET (Broche 9) : Servant à l'initialisation, cette entrée nécessite un état haut au moins pendant deux cycles d'horloge.

2°) Organisation interne du μc 8052 AH BASIC : [5], [9]

Les principales caractéristiques du 8052 AH BASIC sont:

- * Une alimentation unique 5v.
- * Une technologie HMOS.
- * Un oscillateur et un circuit d'horloge intégré.
- * Un cycle de base d'instruction d'une microseconde avec un quartz de 12 Mhz.
- * Deux modes de fonctionnement programmables (BASIC ou ASSEMBLEUR).
- * Trois timers de 16 bits.
- * 32 lignes d'entrée-sortie bidirectionnelles organisées en quatre ports de huit bits.

- * Six sources d'interruptions.
- * Deux espaces d'adressage de 64 Koctets tant pour le programme externe que les données externes.
- * 8 Koctets de mémoire de programme intégré.
- * 256 Octets de mémoire vive intégrés.
- * 20 registres spéciaux intégrés.
- * Adressage des registres spéciaux par octet ou par bit.
- * 4 blocs de registres sélectionnables.

L'organisation interne du 8052 AH BASIC est représentée à la figure 2.3 , on notera l'association d'un CPU, de mémoire RAM et ROM, de ports d'E/S, et de registres.

Ces éléments qui communiquent à travers un bus données interne sur 8 bits sont :

a) Le CPU :

Il a pour rôle de commander et de contrôler l'action des unités, en lisant et en exécutant les instructions d'un programme placé en mémoire.

b) L'ALU et les différents registres :

L'ALU (UNITE ARITHMETIQUE ET LOGIQUE) est associée aux registres 8 bits A,B,PSW et SP et 16 bits le PC et le DATA POINTER. La plus importante caractéristique de l'architecture du 8052 AH BASIC fait en sorte que l'ALU peut aussi bien manipuler un bit comme il peut manipuler 8 bits de données. Les bits peuvent être mis individuellement à 1 ou à 0 ou être complémentés , déplacés, testés et enfin utiliser dans la logique de calcul. L'organisation interne du 8052 AH BASIC est formée d'un ensemble de registres:

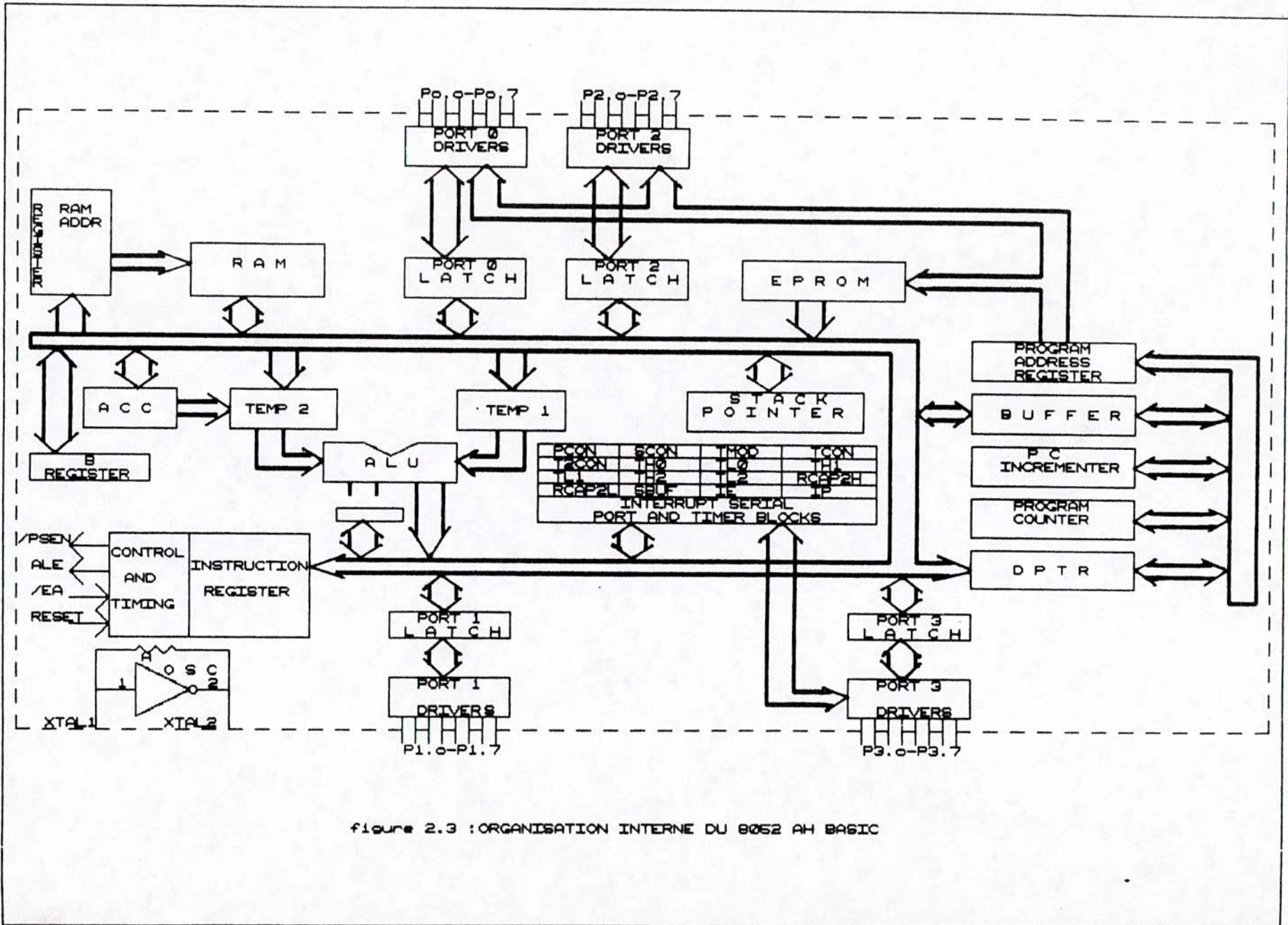


figure 2.3 : ORGANISATION INTERNE DU 8052 AH BASIC

- Le registre d'état: PSW "PROGRAM STATUS WORD"
Ce registre nous renseigne sur l'état du processeur après chaque cycle d'instruction.
- Le registre d'adresse :
Ce registre 16 bits (DPTR) sert au branchement indirect lors du déroulement d'un programme .
- Le registre pointeur de pile (SP).
- Le registre de données est composé de quatre blocs de registres RB0, RB1, RB2, et RB3 de 8 bits.
- Les registres d'interruption :
 - * IP registre de contrôle de priorité de l'interruption.
 - * IE registre de validation de l'interruption.
- Les registres de contrôle des temporisateurs.
 - * TMOD : C'est un registre de mode du compteur timer.
 - * TCON : C'est un registre d'état contrôlant les compteurs timers.
 - * TH et TL : Ce sont des registres de chargement des timers.
- Registre de transmission :
 - * RCAP,SCON, SBUF Ce sont des registres contrôlant la transmission du port seriel.

3°) Cycles de lecture et d'écriture.

Durant le cycle de lecture et écriture, le microcontrôleur reçoit et envoie respectivement des données de la mémoire ou d'un périphérique de la façon suivante :

- Envoie de l'adresse sur 16 bits, et des signaux de contrôle \overline{RD} , \overline{WR} pendant les cycles d'horloge T1, T2 et T3.
- Passage à l'état haute impédance du bus d'adresse/donnée pendant le cycle T5 (opération de lecture ou d'écriture).

-Passage à l'état bas (haut) de la ligne \overline{RD} (ou \overline{WR}) pendant le cycle T6:le 8052 étant prêt à recevoir une donnée.

- Les cycles d'horloge T7 à T12 coïncident avec la lecture (écriture) de la donnée.

Le cycle est décrit sur les chronogrammes des fig.2.4 et 2.5.

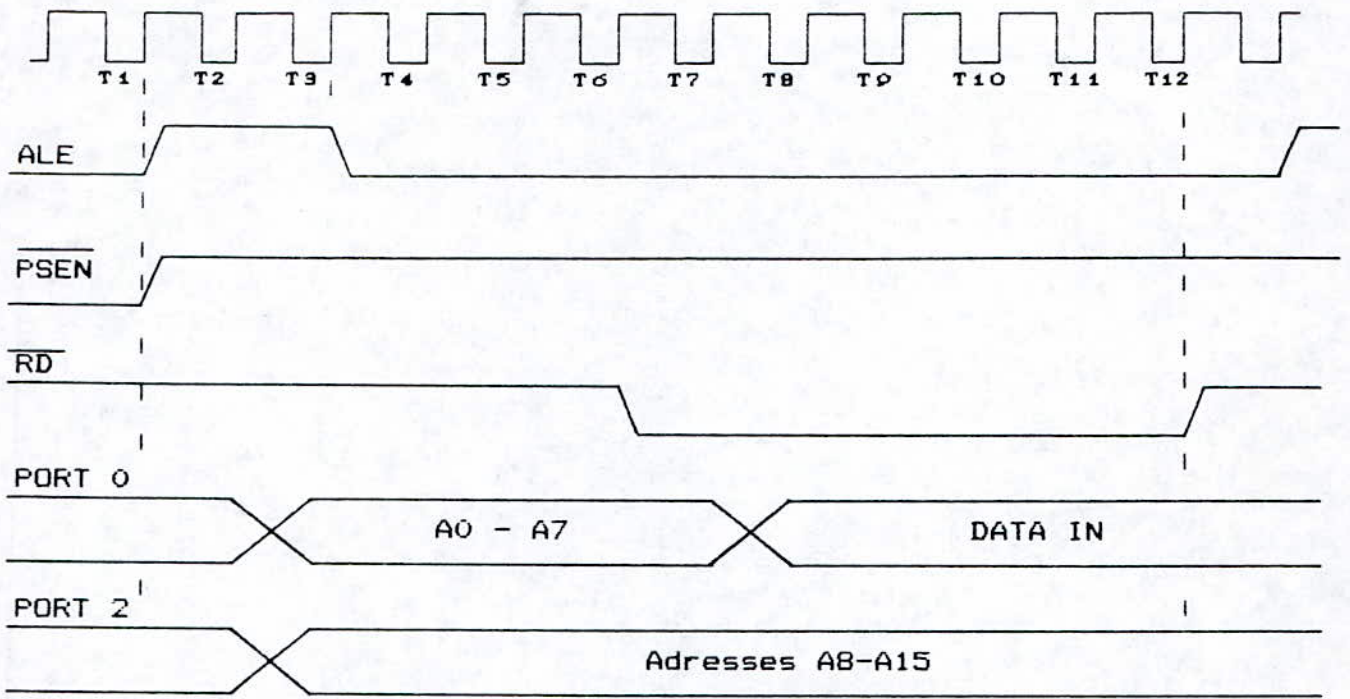


fig.2.4 : Cycle de lecture.

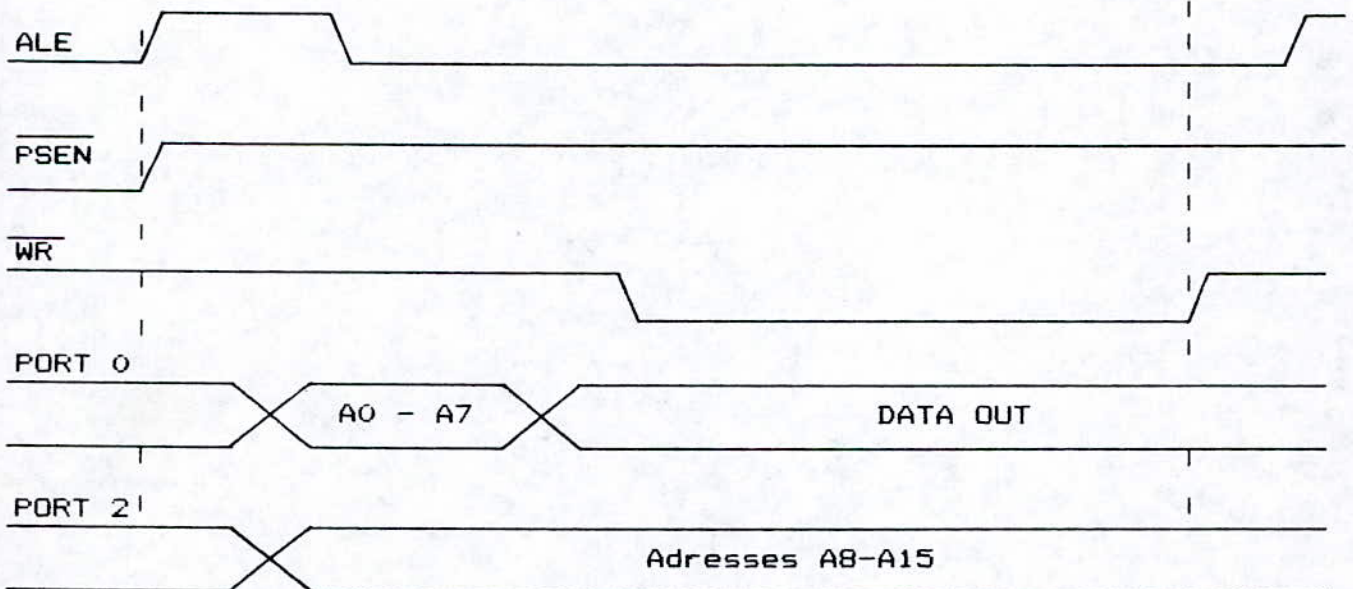


fig.2.5 : Cycle d'écriture.

II >DESCRIPTION DETAILLEE DU HARDWARE DE L'UC 8052: [6];[7]

1°)Le circuit d'horloge.

Pour générer le signal d'horloge, on utilisera un quartz de 11MHZ car le 8052 AH BASIC possède déjà un oscillateur intégré. Ainsi il nous suffira de relier les broches du quartz sur les entrées XTAL1 et XTAL2 du microcontrôleur. Le circuit est représenté sur la figure 2.6.

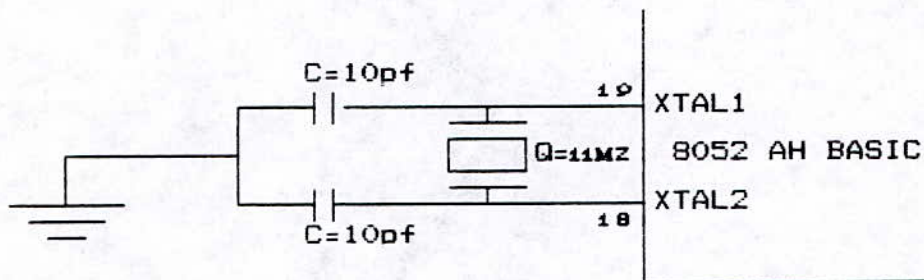


fig 2.6: Circuit D'horloge

2°) Circuit d'initialisation. [A-1]

L'initialisation du microcontrôleur est assurée soit par :

- Un reset automatique,
- ou par un reset manuel.

A la mise sous tension un reset automatique est donné par la cellule R1C1, satisfaisant la condition d'avoir un état haut durant deux cycles d'horloge, on choisit un temps de charge adéquat $T=R1C1$.

Un bouton poussoir est utilisé avec un circuit anti-rebond de type 74LS279 (bascule RS) pour permettre à l'utilisateur de générer une séquence d'initialisation manuelle.

La combinaison entre le reset manuel et le reset automatique est assurée à travers une porte logique NAND dont la sortie attaque l'entrée RESET (broche 9) du 8052 AH BASIC.

La figure 2.7 illustre l'initialisation du i8052 AHBASIC.

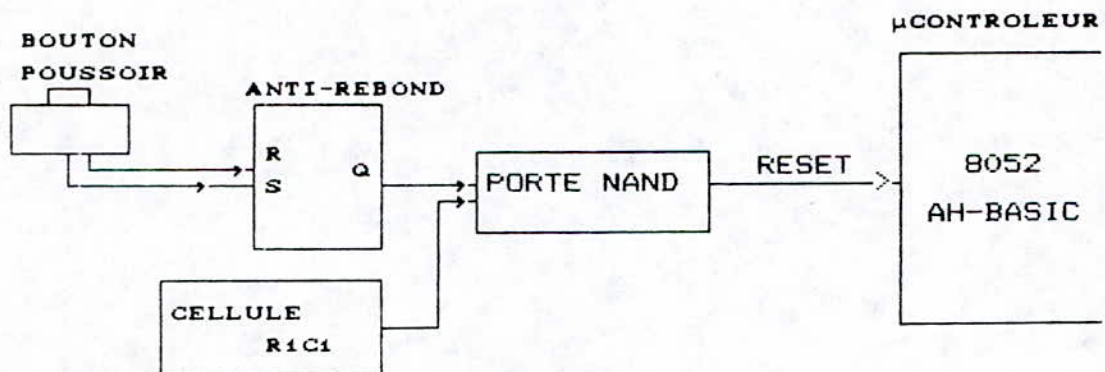


fig 2.7 : Circuit d'initialisation.

3°) Circuit de démultiplexage adresses-données. [A-2]

Le bus de données du microcontrôleur étant multiplexé avec les adresses de poids faible, on a alors associé un circuit de démultiplexage afin de séparer l'adresse de la donnée. Ce circuit est composé d'un buffer bidirectionnel et d'un latch, l'opération de démultiplexage est décrite à travers le synoptique de la figure 2.8.

La ligne ALE (address latch enable) active à l'état bas valide directement le buffer bidirectionnel de type 74LS245 pour un transfert de données.

On valide l'adresse en sortie, dans un latch, en reliant la ligne ALE du microcontrôleur à l'entrée de validation G du latch de type 74LS373 et l'entrée \overline{OE} de ce dernier à la masse.

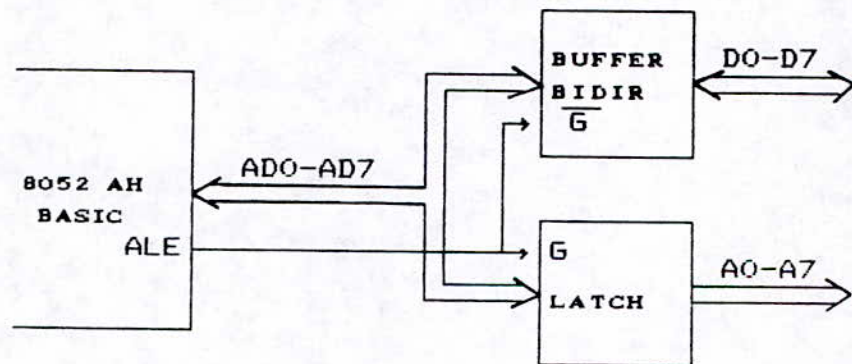


figure 2.8 : Schéma du principe du démultiplexage.

4°) Circuit de sélection du bus de données. [A-3]

Le transfert de données transite à travers le buffer de type 74LS245. Une logique particulière utilisant une bascule D, attaqué par les signaux de contrôle ALE et \overline{WR} permet de préciser la direction des données en lecture ou en écriture mémoire.

La sortie Q de la bascule D est relié à la ligne DIR du buffer, qui suivant son état ,provoque le transfert de la donnée soit du microcontrôleur vers la mémoire (DIR=1), soit de la mémoire vers le microcontrôleur (DIR=0).

Le circuit de sélection du bus de données est représenté en figure 2.9.

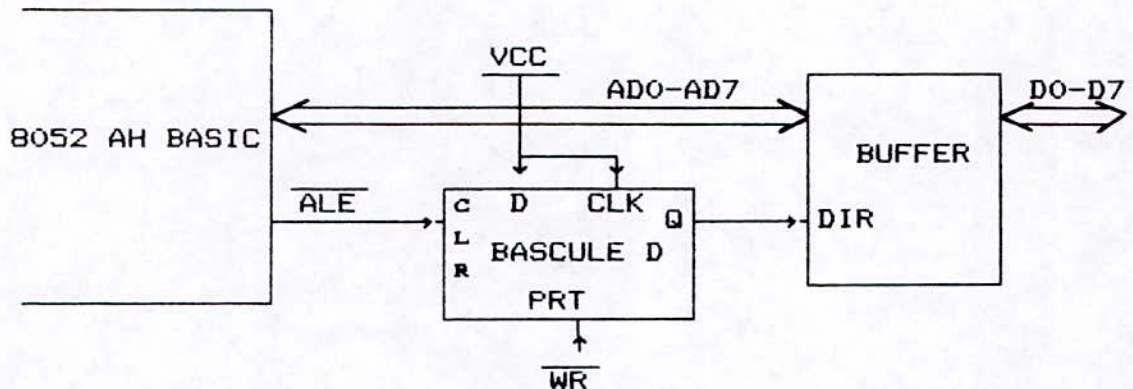


fig 2.9 : Sélection du bus de données.

5°) Circuit d'adaptation RS232C-UC 8052. [A-4]

Dans le soucis d'adapter les signaux au standard RS232C, on utilise un circuit d'interface permettant de convertir respectivement soit les niveaux TTL (0 et 5v) aux niveaux RS232C (-12 et 12v) pendant une opération de transmission, soit les niveaux RS232C aux niveaux TTL pour une opération de réception.

On réceptionne les données sur la broche 10 (RXD) et on les transmet vers l'exterieur à partir de la broche 11 (TXD).

Dans notre cas on a utilisé le MAX 232 comme circuit de conversion de niveau, qui lui même est alimenté par une tension unique de 5v. Deux sortes de capacités accompagnent le MAX232, l'une doublant la tension et l'autre l'inversant suivant une logique négative.

Le synoptique de la figure 2.10. représente le circuit d'adaptation utilisé.

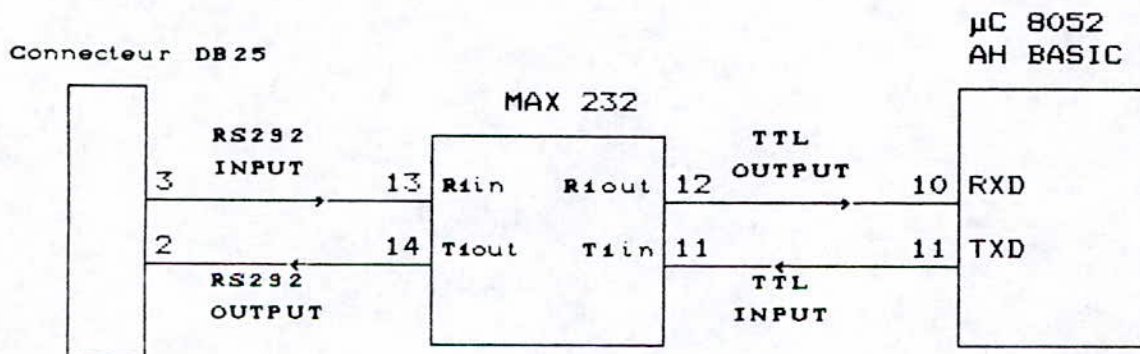


Fig 2.10 :synoptique de l'adaptation.

6°) Mapping de la mémoire et de décodage.

Le mode RAM / EPROM constitue le système complet d'implantation du MCS BASIC 52. Ce mode nécessite la disposition de la mémoire externe d'une certaine manière, ainsi la configuration des mémoires RAM / EPROM est la suivante :

- Les lignes \overline{RD} et \overline{WR} du 8052 AH BASIC sont utilisées pour valider la mémoire RAM qui est adressée de 0000h à 7FFFh.
- La ligne A15 est utilisée pour décoder la RAM.

Ce schéma d'adressage de la mémoire permet au MCS BASIC 52 d'adresser 96 Koctets de mémoire :

- 32 Koctets de RAM.
- 32 Koctets de EPROM.
- 32 Koctets de RAM et d'EPROM combinée.

On a utilisé pour adresser la PROM une mémoire de type TPB 28L22 de capacité 512 octets possédant 8 bits d'adresse A0-A7 en entrée et 8 bits de données en sortie. Le décodage de l'EPROM 2764 utilisée pour le basic, se fait par la ligne de sortie $\overline{RD0}$ de la 28 L22. La combinaison de la ligne \overline{PSEN} avec la ligne d'adresse A15 du microcontrôleur à travers une porte logique AND permet de décoder l'EPROM 2732 utilisée pour l'assembleur.

Le tableau suivant résume le décodage de l'UC 8052.

BOITIER	ADRESSE MEMOIRE	LECTURE	ECRI TURE	VALIDATION
		WE	OE	CS
RAM	0000h - 7FFFh	\overline{RD}	\overline{WR}	A15
EPROM (2764)	8000h - 9FFFh	/PSEN /RD	X	PIN 6 (U13)
EPROM (2732)	0000h - 0FFFh	/PSEN	X	A15

7°) Programmation d'EPROM. [9]

Un module programmeur d'EPROM existant conçu autour du microcontrôleur 18052 AH BASIC nous a permis de sauvegarder les programmes. Ce chargement est contrôlé par les trois signaux suivants:

- $\overline{\text{PROGRAM ENABLE}}$ (broche 6)
- $\overline{\text{PROGRAM PULSE}}$ (broche 5)
- $\overline{\text{ALE DISABLE}}$ (broche 4)

La sauvegarde du programme dans l'EPROM se fait avec l'instruction PROG .

Le mode programmation est alors validé par l'envoi d'un état bas sur la ligne $\overline{\text{PROGRAM ENABLE}}$.

La broche $\overline{\text{ALE DISABLE}}$ par son état bas indique que les données sont prêtes, elle dévalide ALE.

Une impulsion est délivrée par la ligne $\overline{\text{PROGRAM PULSE}}$ permettant le chargement du programme dans l'EPROM.

Le cycle de lecture de la mémoire programme est traduit par le chronogramme de la figure 2.11.

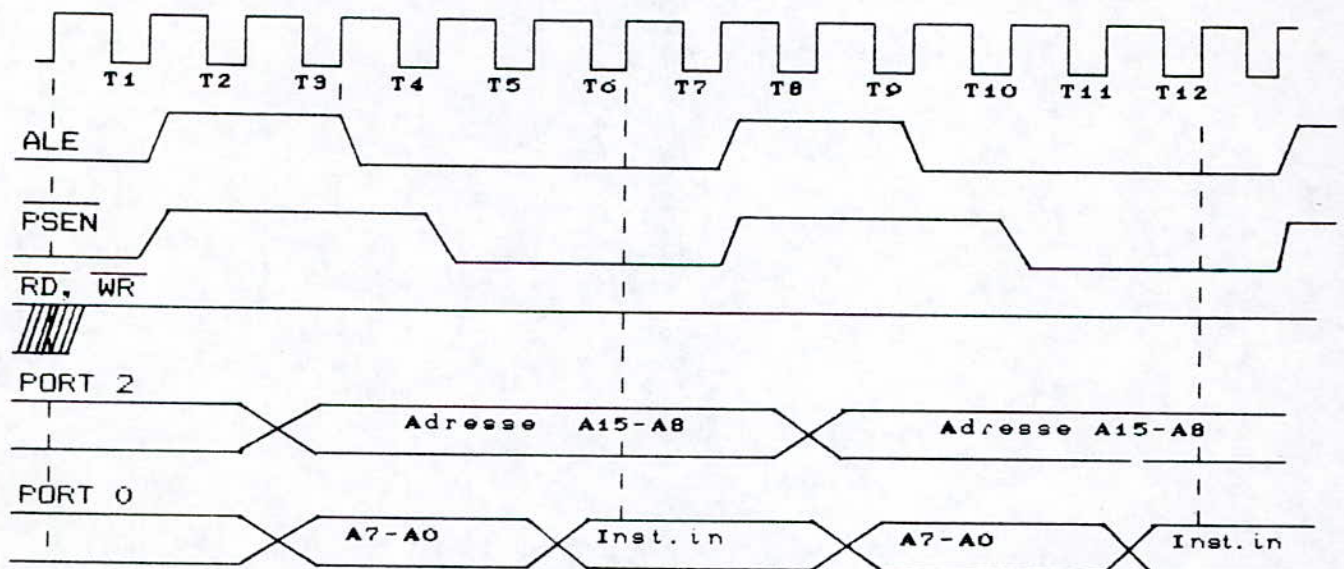


figure 2.11 : Cycle de lecture de la mémoire programme

8°) Fonctionnement de la carte unité centrale [A-5].

L'utilisateur devra ainsi alimenter la carte et envoyer une série de caractères (space) à partir du clavier, durant ce temps là, le CPU exécute successivement les opérations suivantes:

- * Remise à zéro de la RAM interne .
- * Initialisation des registres et des pointeurs.
- * Remise à zéro de la mémoire externe .
- * Réserve de la zone mémoire externe comprise entre 0000h et 01FFh.
- * Chargement du registre XTAL avec la fréquence de travail.
- * Utilisation de la valeur de XTAL pour calculer tous les timings nécessaires aux différentes procédures que peut effectuer le 8052 AH BASIC.
- * Chargement du registre T2CON (dans le cas où il est utilisé).
- * Envoi d'un message sur l'écran indiquant que la carte est prête à fonctionner.

Ce message est : * MCS - 51 (tm) BASIC V 1.1*

- * Pour s'assurer du bon fonctionnement de la carte unité centrale, on exécute l'instruction suivante:

```
> PRINT XTAL , TMOD , TCON , T2CON
```

On doit obtenir : 11059200 16 244 52

CHAPITRE 3

CONCEPTION ET REALISATION DE LA CARTE INTERFACE.

INTRODUCTION.....

I > PARTIE MATERIELLE

1°) Principe.
2°) Le circuit d'interruption.
3°) Le décodage d'adresse.
4°) Le circuit de verrouillage.
a) en lecture.
b) en écriture.
5°) Mise au point de la carte.
6°) Fonctionnement de la carte.

II > PROGRAMMATION DU GESTIONNAIRE.

1°) principe du logiciel.
2°) organigramme général.

INTRODUCTION :

De nos jours les systèmes à multipostes ont démontrés par leurs nombreux avantages qu'ils sont indispensables sur tous les plans (partage de la mémoire centrale rendant de nombreux services à l'utilisateur).

Un des inconvénients rencontrés dans les systèmes à multipostes est celui d'une éventuelle extenxion. Ces derniers ayant un nombre de ports d'entrées/sorties figé, il est nécessaire de le remplacer par un autre système plus performant.

Pour pallier à ce type de problème, on relie un des ports d'entrées/sorties à un organe possédant plusieurs ports, on augmente ainsi le nombre de postes du système initial.

Cet organe pourra jouer le rôle de relais dans le cas où le terminal central devient hors services.

Un autre problème qui apparait est celui de la gestion des files d'attente dans la mémoire centrale, lors d'une impression de la part de plusieurs ressources sur des imprimantes différentes (matricielle, laser etc...)

La fonction essentielle de la carte interface sera de piloter de façon intelligente les communications entre les différentes ressources , en supposant au préalable qu'aucune ressource réceptrice n'est allouée à une autre ressource émettrice.

Nous avons ainsi le synoptique général de la carte interface sur le schéma de la figure 3.1

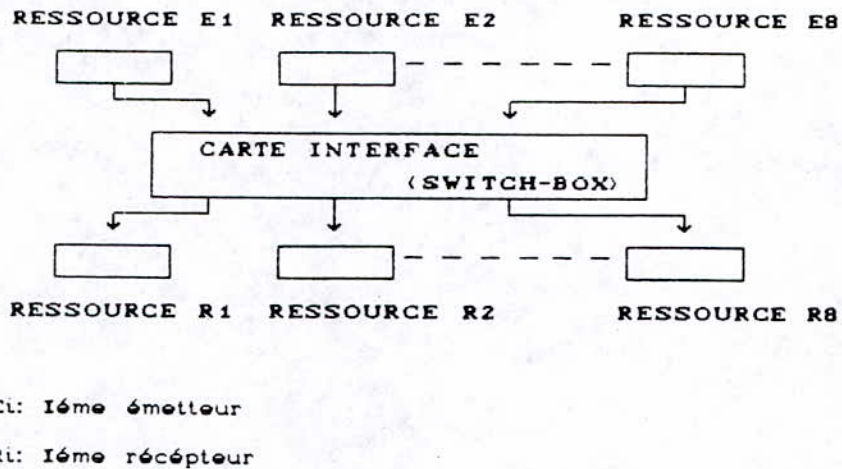


fig 3.1 : Synoptique de la carte interface

Ainsi pour réaliser la gestion des communications entre ressources, il est nécessaire d'opter pour un certain nombre de choix dictés par les contraintes du système et surtout par le cahier de charge.

La carte Interface se présentera suivant le modèle d'interconnexion en Etoile (décrit au chapitre 1).

Le protocole de transmission utilisé sera celui de la Norme CENTRONICS, vue que notre application se rapporte aux imprimantes.

Enfin le mode de fonctionnement de la carte Interface utilisera le mode par scrutation (Polling).

On notera aussi que le choix microordinateur et imprimante pris dans un premier temps comme ressources nous impose, une direction de transfert de données dans un seul sens .

I > PARTIE MATERIELLE. [4], [7].

1°) Principe :

La carte interface a pour support une unité centrale à base du i8052 AH BASIC et afin de compléter la partie hard nécessaire à la gestion des ressources, on a utilisé un circuit de verrouillage composé essentiellement de latches de type 74LS373 commandé logiciellement et d'une logique d'interruption ne prenant en compte qu'une seule demande à la fois.

Grâce à la riche structure externe et interne du i8052 AH BASIC , on peut répartir sous différents modules indépendants toutes les fonctions nécessaires au développement de la carte interface. Un tel procédé facilite considérablement la conception et la mise au point du système.

La figure 3.2 représente le schéma bloc de la carte interface.

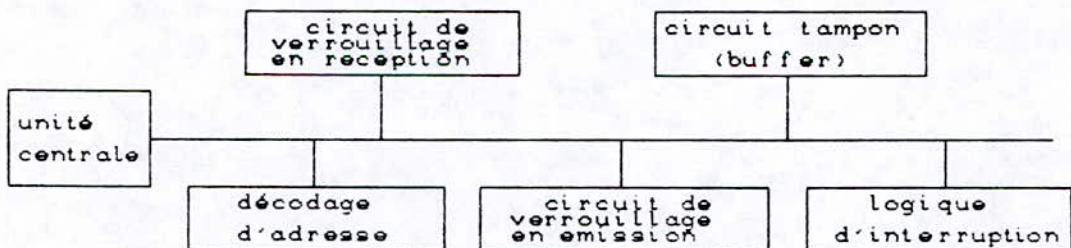


figure 3.2 : Schéma bloc de la carte interface

2°) Circuit d'interruption.

Une des deux entrées demande d'interruption ($\overline{INT0}$ et $\overline{INT1}$) nous a permis de réaliser une logique d'interruption représentée sur le synoptique suivant qui comporte deux blocs principales :

- Le circuit d'adaptation.
- Et le circuit de verrouillage.

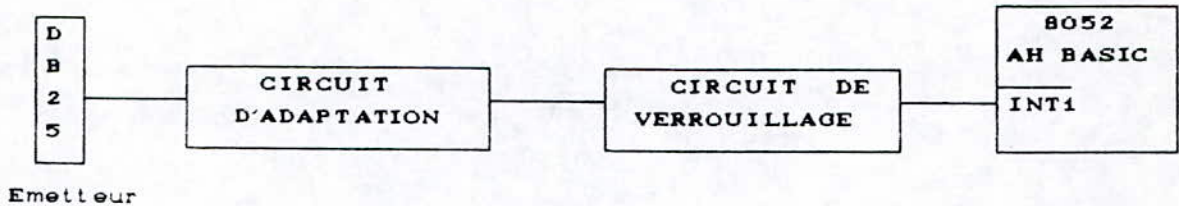


fig 3.3 : logique d'interruption

En présence d'une donnée le signal STROBE déclenche une interruption externe $\overline{INT1}$ et bloque en même temps la réception sur le bus parallèle en mettant le signal BUSY à l'état bas et le signal DEMAND à l'état haut.

Le circuit d'interruption utilisé est composé de buffers et de latches pour stocker les données à recevoir ou à émettre, et aussi d'une bascule D qui, grâce à son fonctionnement nous permet de positionner les signaux BUSY, DEMAND et ACKNOWLEDGE.

On a utilisé des Buffers à collecteur ouvert de type 74LS17 pour amplifier les signaux qui attaquent l'entrée du connecteur DB25 de la ressource Emettrice. Le signal STROBE est quant à lui relié à Vcc à travers une résistance pour maintenir le niveau de tension à +5 volts .

Ainsi le signal STROBE qui attaque l'entrée CLOCK de la bascule D fait en sorte que l'envoi des caractères génère à chaque fois une interruption.

Le mode de fonctionnement utilisé est le mode interruption par caractère. Lorsque la ressource a émise un caractère, il se déclenche une interruption auprès de l'unité centrale provoquant l'exécution en mémoire centrale d'un programme de gestion de ce transfert.

3°) Le décodage d'adresse. [A - 10]

Partant de la répartition des espaces mémoires définissant le champ d'adressage réservé de l'unité centrale, les mêmes circuits de décodage sont utilisés pour adresser les différents circuits (buffers, latches). Ce sont deux mémoires de type TPB 28L22, l'une d'elles est utilisée pour décoder les registres en lecture aux adresses comprises entre A000H et AFFFH, l'autre décode les registres en écriture de B000H à BFFFH. Ainsi les mémoires PROM génèrent des chips select $\overline{RD_i}$ et $\overline{WR_i}$ selon le mapping décrit dans le tableau suivant :

BOITIER	ADRESSE MEMOIRE	SIGNAL DE VALIDATION
LATCH	A000 - A1FF	$\overline{RD1}$
LATCH	A200 - A3FF	$\overline{RD2}$
LATCH	A400 - A5FF	$\overline{RD3}$
BUFFER1	A600 - A7FF	$\overline{RD4}$
BUFFER2	A800 - A5FF	$\overline{RD5}$
LATCH	B000 - B1FF	$\overline{WR1}$
LATCH	B200 - B3FF	$\overline{WR2}$
LATCH	B400 - B5FF	$\overline{WR3}$
LATCH	B600 - B7FF	$\overline{WR4}$

TABLE DE DECODAGE DE LA CARTE INTERFACE

4°) Le circuit de verrouillage. [A-7]

Il est en majeure partie composé de registres tampons de type 74LS373. Ce circuit appelé LATCH dispose de deux lignes de commande :

- Une entrée recevant l'ordre de mémoriser l'adresse marquée ENABLE

- Une entrée servant à autoriser la sortie des données.

Les sorties sont du type trois états, elles restent au niveau haute impédance tant que la commande de sortie autorisée OE (OUTPUT ENABLE) est haute. Les bascules sont transparentes lorsque ENABLE est haut et la sortie est basse (niveau bas), elle suit l'entrée après verrouillage de la donnée. ENABLE G étant revenu à l'état bas, la sortie autorisée par OUTPUT ENABLE \overline{OE} fournit ainsi la donnée.

a) Circuit de verrouillage en lecture. [A-5]

La fonction essentielle de ce circuit sera de nous informer constamment de l'état des imprimantes et cela en faisant une lecture des buffers (U24 et U26) à l'adresse A600H et A800H . Les ressources émettrices sont identifiées toujours grâce à une lecture à l'adresse A200H (buffer U18).

b) Circuit de verrouillage en écriture: [A-6]

Dès que la donnée est lue sur le latch U19 à l'adresse A000H le CPU repositionne les signaux BUSY et DEMAND et envoie le signal ACKNOWLEDGE à travers le latch U20 à l'adresse B400H. Après que l'on est dirigé les données vers les latches U23 et U25 aux adresses B000H et B200H, on envoie le signal STROBE vers le latch U20 à l'adresse B600H pour prévenir l'imprimante de la présence des données sur le bus.

Les sorties du circuit mémoire TPB 28L22 valident ces latches en écriture. L'ordre de sortie est exécuté automatiquement en mettant les broches OE à la masse.

5°) Mise au point de la carte (tests).

Pour vérifier le bon fonctionnement de l'UC, nous avons utilisés les outils de développement suivant :

- Terminal Ecran/Clavier : Celui-ci est relié à l'UC par voie serielle (Norme RS232C) , nous permet de lancer des programmes en mémoire.

- Le module programmeur de mémoire EPROM : C'est

grâce à lui que les programmes sont sauvegardés.

- L'analyseur logique 8 voies : Il est utilisé pour la mise au point du hardware nous permettant la visualisation de tous les signaux de la carte et la résolution de tous les problèmes liés aux délais de déclenchement et de synchronisation des différents boîtiers.

6°) Fonctionnement de la carte interface. [A-8]

Le fonctionnement logiciel de la carte est assurée par un programme résident dans une mémoire de type EPROM 2764. On peut partager ce fonctionnement en quatre parties principales:

- Initialiation.
- Réception des caractères.
- Gestion des communications.
- Emission des caractères.

a) Initialisation

A l'initialisation le i8052 AH BASIC émet le signal ACKNOWLEDGE pour initialiser le signal BUSY à l'état haut et le signal DEMANDE à l'état bas.

b) Réception des caractères :

Elle fait en sorte que les caractères soient recus un par un ,générant une interruption à chaque réception.

c) Gestion des Communications :

Le bus étant commun à toutes les ressources ,le processus serveur sera chargé de fournir un service commun (exécution d'un programme prédéfini) à des processus clients.On devra mettre en oeuvre un ensemble de programmes

dont l'ensemble constitue le noyau de gestion de processus.

Ainsi le processus serveur est traduit par une allocation à une imprimante demandée par l'utilisateur et par une initialisation de son contexte (sauvegarde de l'état).

d) Emission des caractères:

Le caractère est transmis vers une ressource disponible à condition d'avoir envoyé sur la ligne STROBE un état bas pendant un certain temps nécessaire à la transmission du caractère vers l'imprimante (temporisation).

II > Programmation du gestionnaire. [5].

1°) Principe du logiciel:

Il permet de gérer la carte de telle façon qu'il offre un éventail de choix d'imprimantes à l'utilisateur. Ecrit en BASIC version 1.1, le programme fait des lectures dans les périphériques il sera donc inutile de modifier les adresses où sont accédés les registres lors d'un choix aux différentes ressources .

On peut rappeler les caractéristiques qu'offre ce logiciel:

- Programmation en BASIC facile à adapter aux besoins des utilisateurs.

On affecte pour chaque ressource un registre demande et un registre occupation .

Une demande d'impression sera décrite par une interruption au niveau du microcontrôleur qui ira identifier les demandeurs, puis ensuite scruter (par la méthode de POLLING) les imprimantes libres afin de réaliser la connexion de la communication demandée par l'utilisateur.

Ainsi les grandes phases de fonctionnement du logiciel sont:

- Initialisation du système
- Demande d'Impression d'un Caractère.
- Utilisation d'un appel pour établir la liaison .
- Transfert de données (dans le cas où la liaison est établie).
- Fin de la transmission.
- Libération de la voie s'il n'ya pas d'autres appels.

2°) Organigramme général

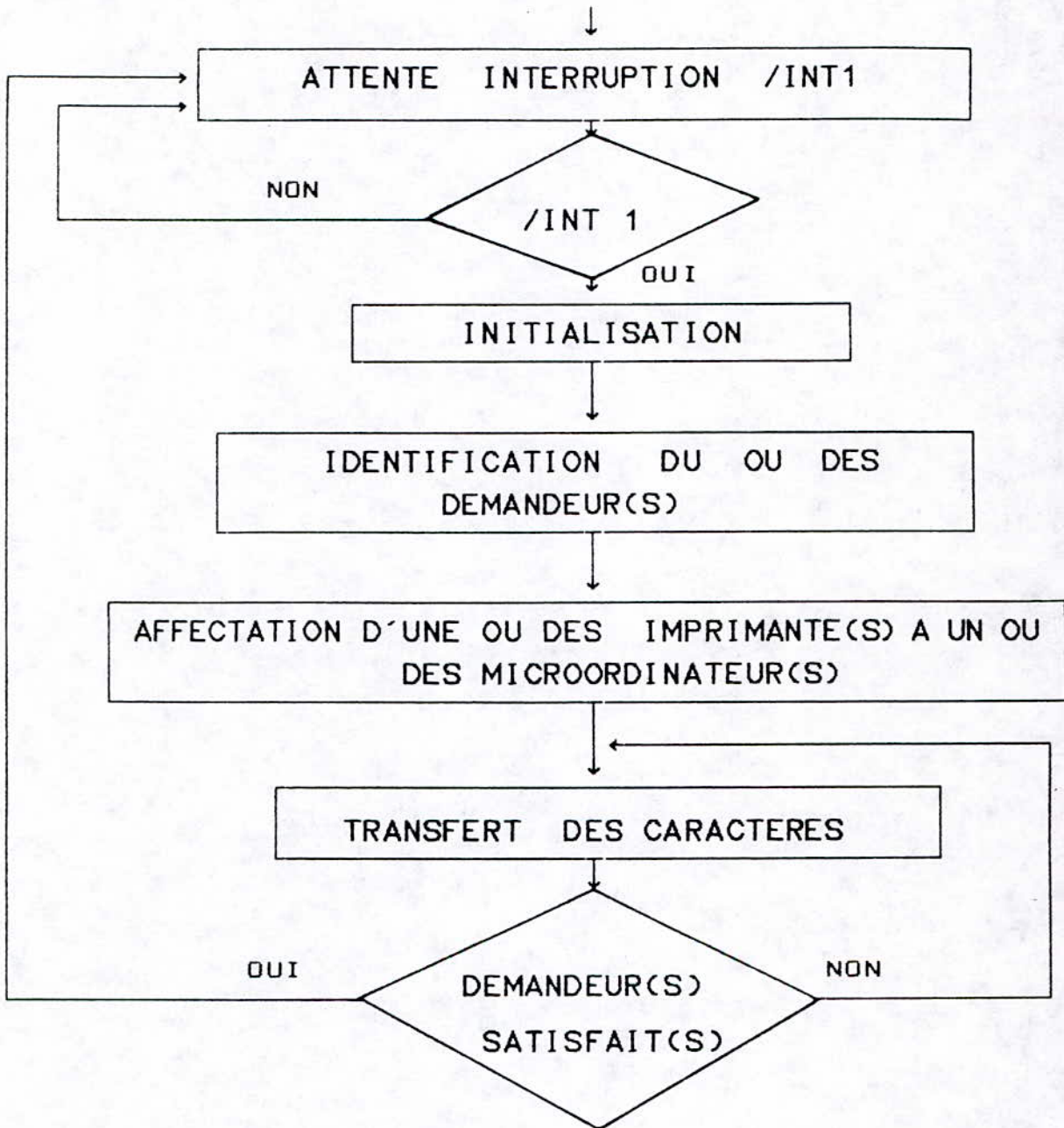
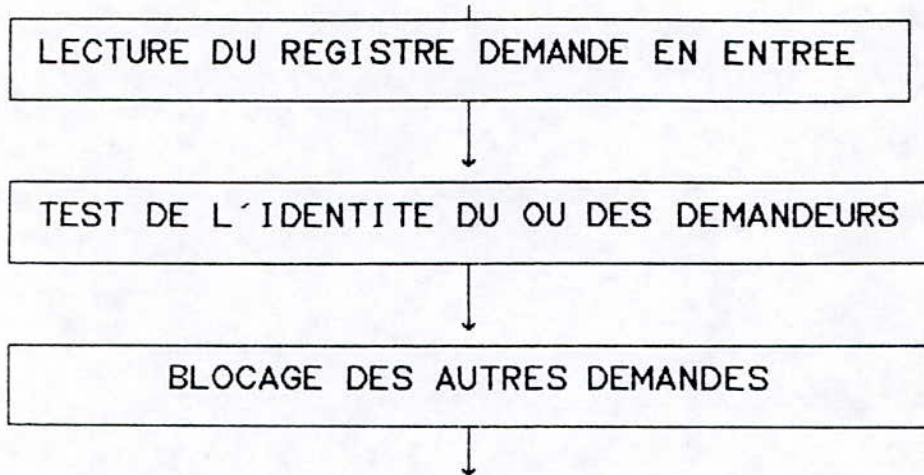


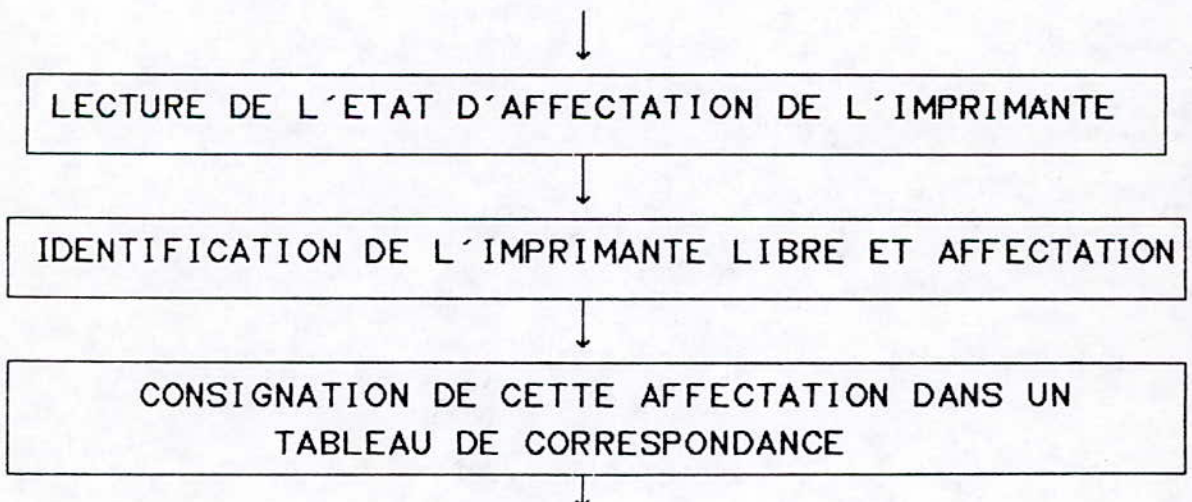
figure 3.6 : Organigramme général.

L'organigramme général ci-dessus peut être décrit d'une façon beaucoup plus détaillé :

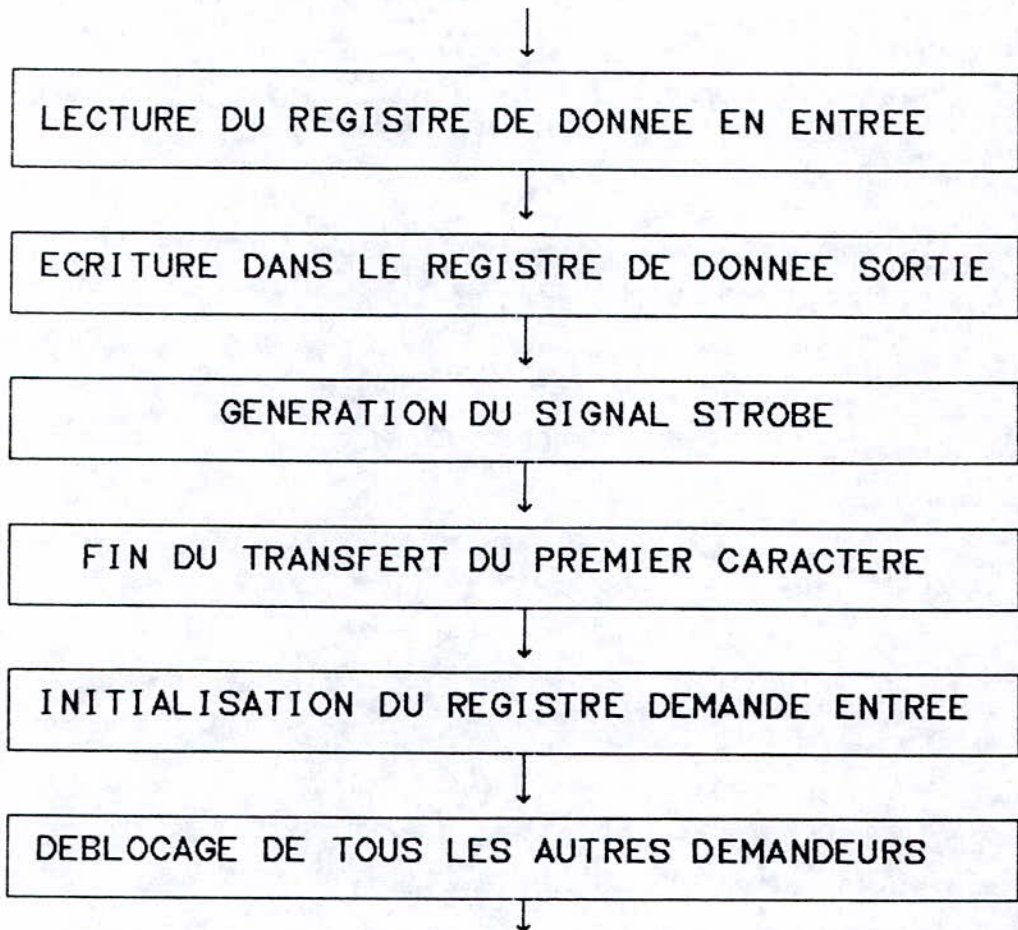
* Partie identification du (ou des) demandeur(s):



* Partie affectation du (ou des) imprimantes à un (ou des) microordinateurs:



* Partie Transfert des Caractères:



CONCLUSION

Par un choix judicieux d'une technique d'interfaçage approprié aux ressources, on a pu concevoir et réaliser une carte interface performante servant de support pour de nombreuses applications. Les fonctions principales étant accessibles par logiciel, une entière liberté est laissée au programmeur sur la façon de collecter et de gérer les données.

Les Tests réalisés lors de la mise au point de la carte Interface ont été concluant à 85% .

L'utilisateur pourra ainsi communiquer avec une ressource libre grâce à un programme de gestion qui la lui alloue.

La carte Interface (Switch Box) qui a fait l'objet de ce travail, a été conçu de manière à supporter plusieurs extensions :

- utilisation d'un logiciel de gestion plus performant qui tienne compte du choix de l'utilisateur pour une ressource particulière.

- possibilité d'échanger des données entre ressources de façon bidirectionnelle.

- contrôle de la priorité des ressources émettrices.

Nous espérons que cette réalisation permettra d'étendre les possibilités d'échange de données entre d'autres ressources (Minitel, Téléphone, possibilités de communication entre microordinateurs).

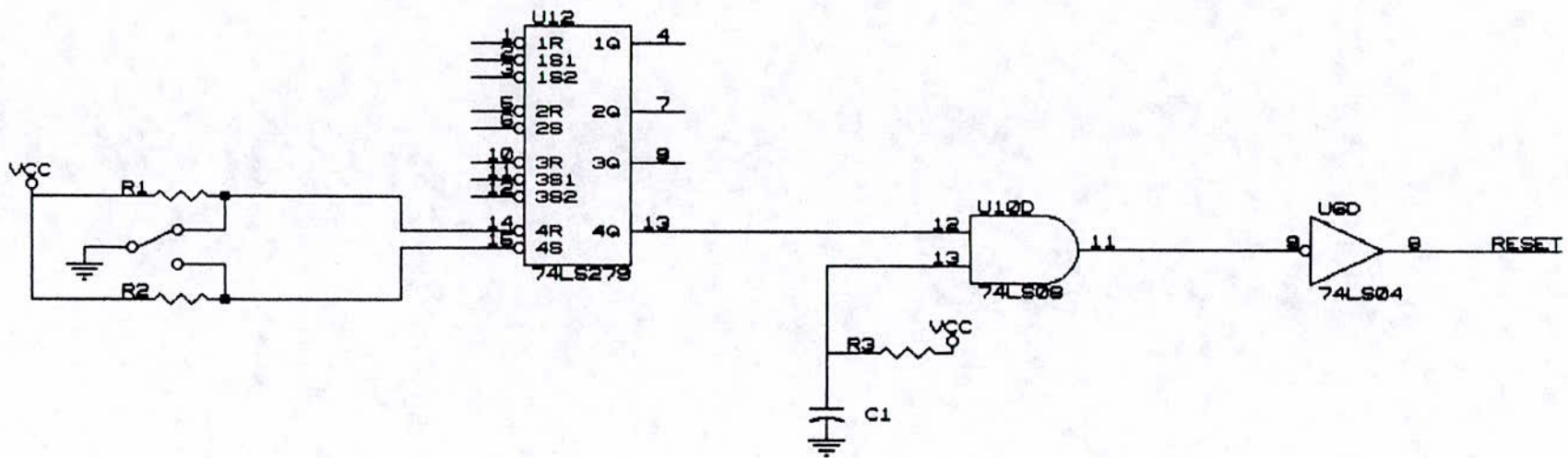
En dehors de ces applications classiques, nous sommes certains que l'utilisateur trouvera de façon originale la manière d'en exploiter toutes les possibilités.

BIBLIOGRAPHIE

- [1] QUICK Reference Guid
- [2] S. Leibson Manuel des interfaces
 édition Mc Graw-Hill (1984).
- [3] C. Macchi et J.F Gilbert Téléinformatique.
- [4] M. Aumiaux Les systèmes à microprocesseurs.
 édition Masson.
- [5] INTEL 8052 AH BASIC User's Manual.
- [6] INTEL Memory Components Handbook
- [7] TTL Data Book
- [8] RADIO PLANS N° 499 de JUIN 1989.
- [9] ELECTRONIQUE APPLICATIONS N° 63 de JANVIER 1989.

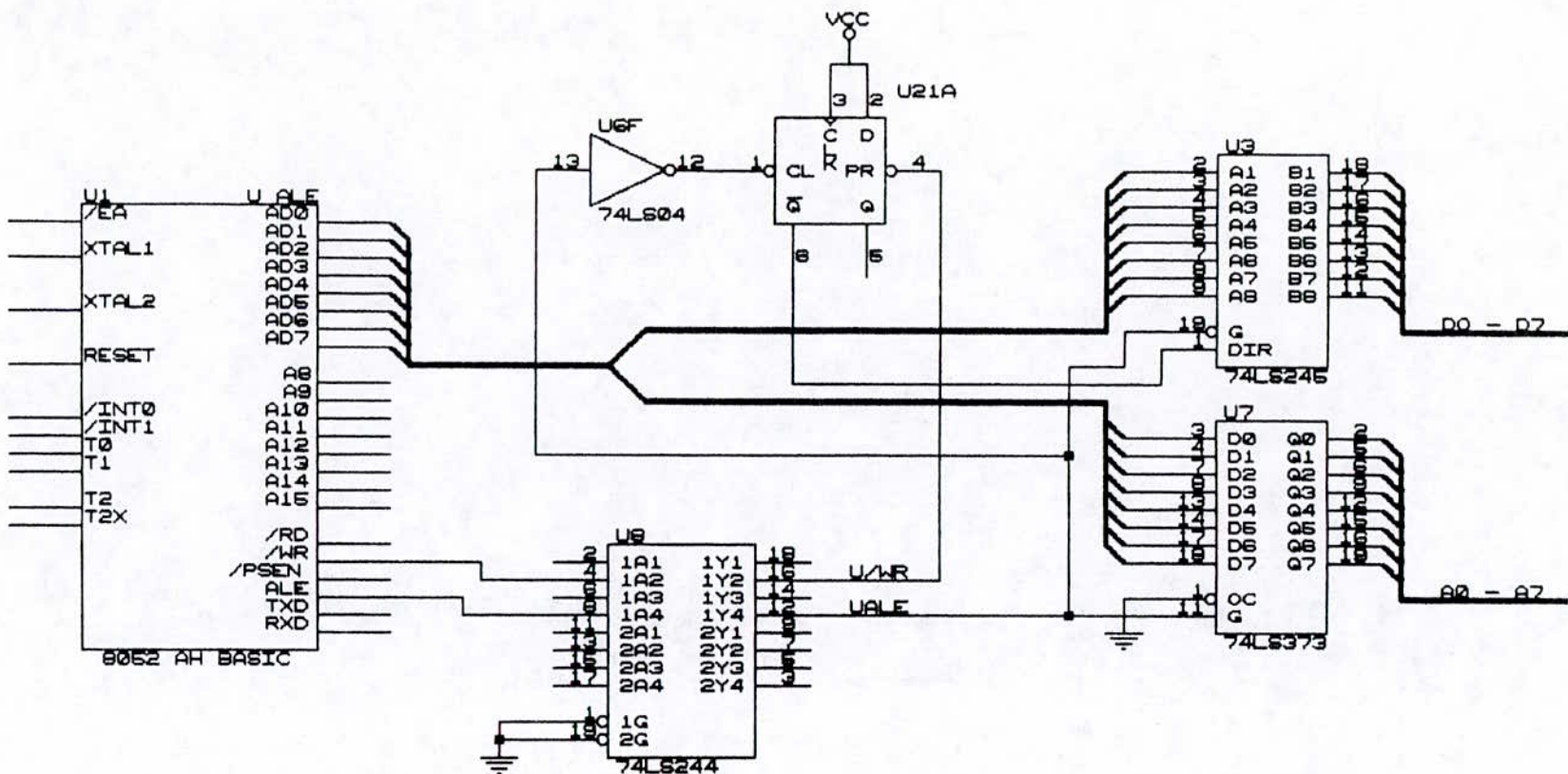
A N N E X E S

- [A-1] : Circuit d'initialisation.
- [A-2] : Circuit de Démultiplexage Adresse/donnée.
- [A-3] : Circuit de sélection du Bus de Données.
- [A-4] : Circuit d'Adaptation RS232-UC8052.
- [A-5] : Circuit de Réception de Données.
- [A-6] : Circuit d'Emission de Données.
- [A-7] : Schéma d'Implantation de la Carte Interface.
- [A-8] : Schéma de la Carte UC 8052.
- [A-9] : Brochage et table de fonctionnement des différents composants utilisés.
- [A-10] : Circuit de décodage d'adresses.
- [A-11] : Schéma de la carte Interface.



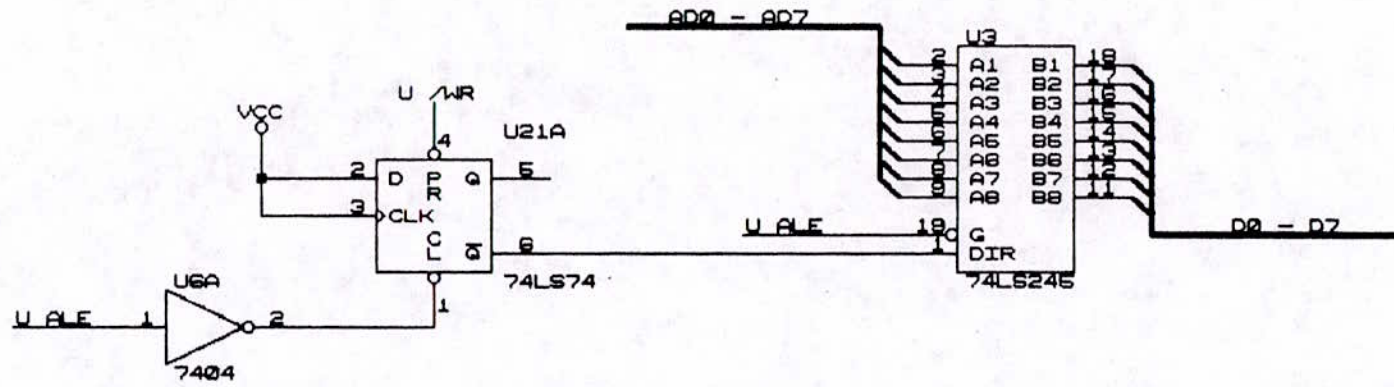
[A - 1]

E . N . S . I / D . R . D		
Route Nationale 5 Cinq Maisons. Mohammadia ALGER		
Title		
CIRCUIT D'INITIALISATION		
Size	Document Number	REV
A	1	1
Date:	May 17, 1981	Sheet 1 of 1



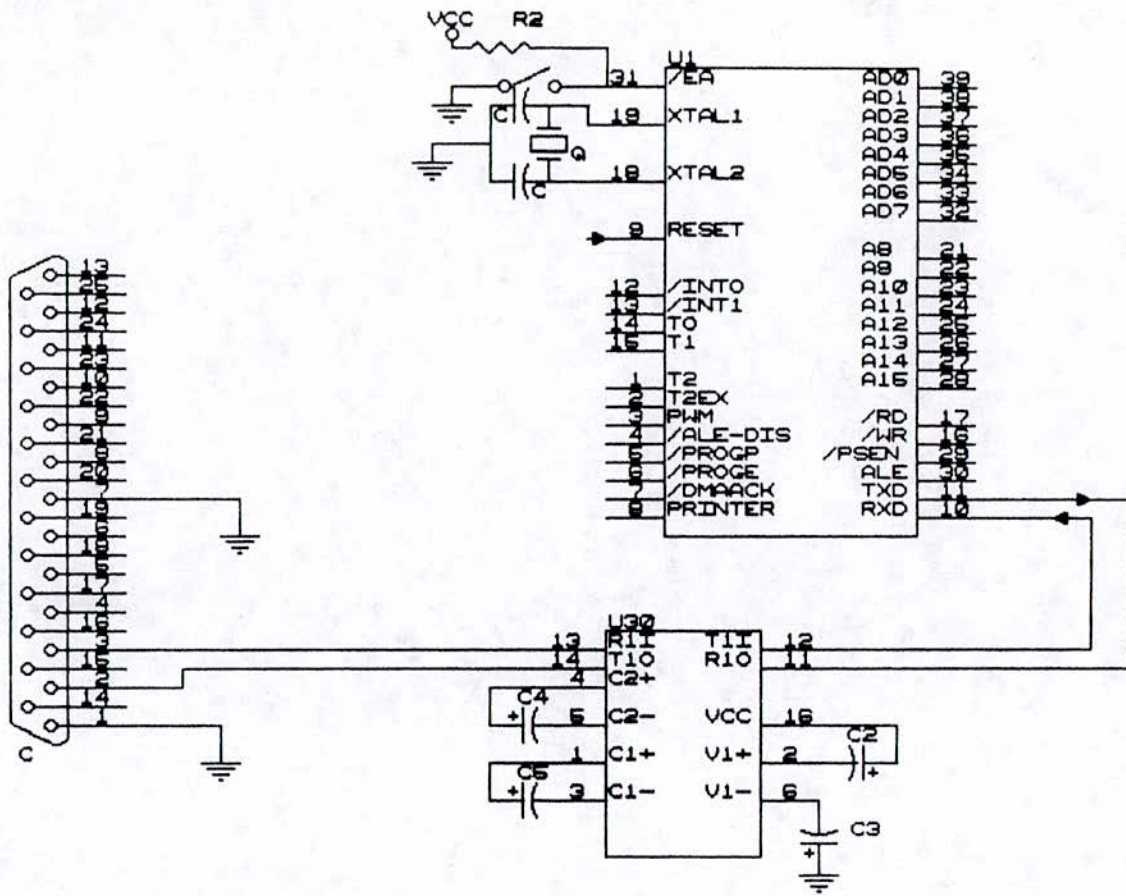
[A - 2]

E . N . S . I / D . R . D		
Route Nationale 5		
Cinq Maisons. Mohammadia		
ALGER		
Title		
DEMULTIPLEXAGE DONNEES - ADRESSES		
Size Document Number		REV
A	1	
Date: January 1, 1980	Sheet	1 of 1

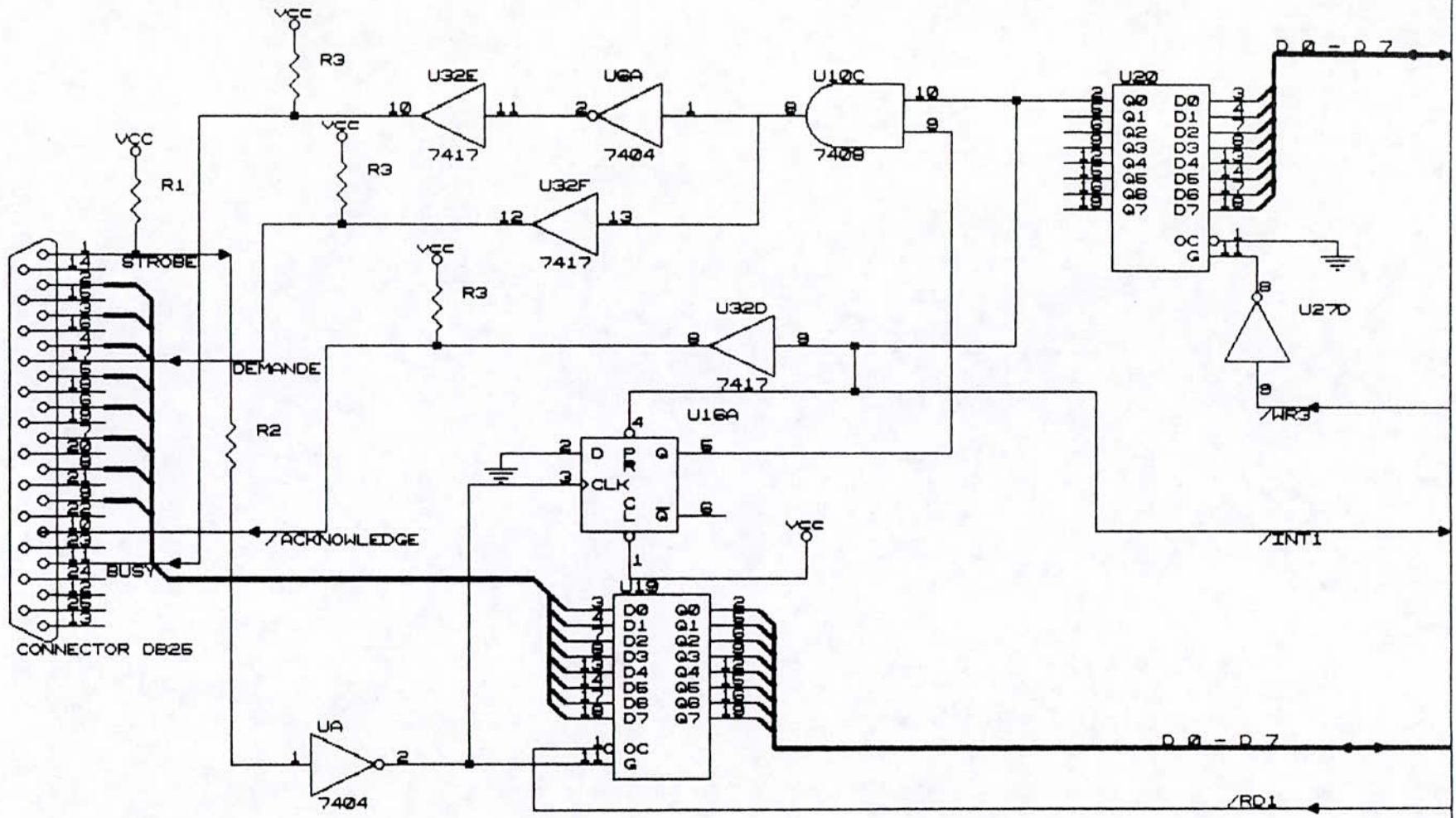


[A - 3]

E . N . S . I / D . R . D	
Route Nationale 5 Cinq maisons, Mohammadia ALGER	
Title	
SELECTION DU BUS DE DONNEES	
Size	Document Number
A	1
Date:	May 17, 1981
Sheet	1 of 1
REV	1

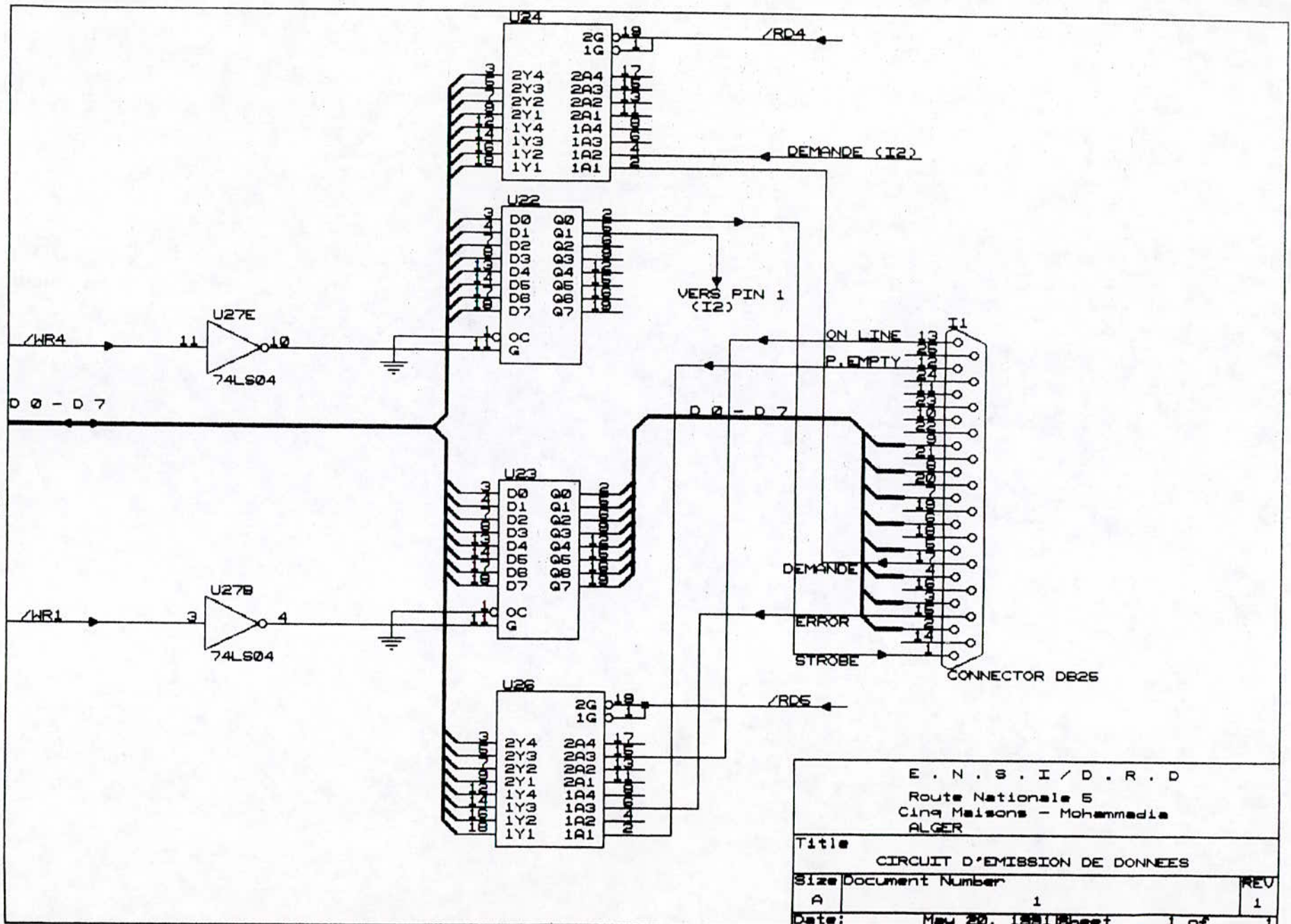


E . N . S . I / D . R . D		
Route Nationale 5. Cinq Maisons. Mohammedia. ALGER		
Title		
CIRCUIT D'ADAPTATION		
Size Document Number		REV
A	1	1
Date:	June 2, 1981	Sheet 1 of 1



[A - S]

E . N . S . I / D . R . D	
Route Nationale 5 Cinq Maisons - Mohammadia ALGER	
Title	
CIRCUIT DE RECEPTION DE DONNEES	
Size	Document Number
A	1
Date:	January 1, 1980
Sheet	1 of 1

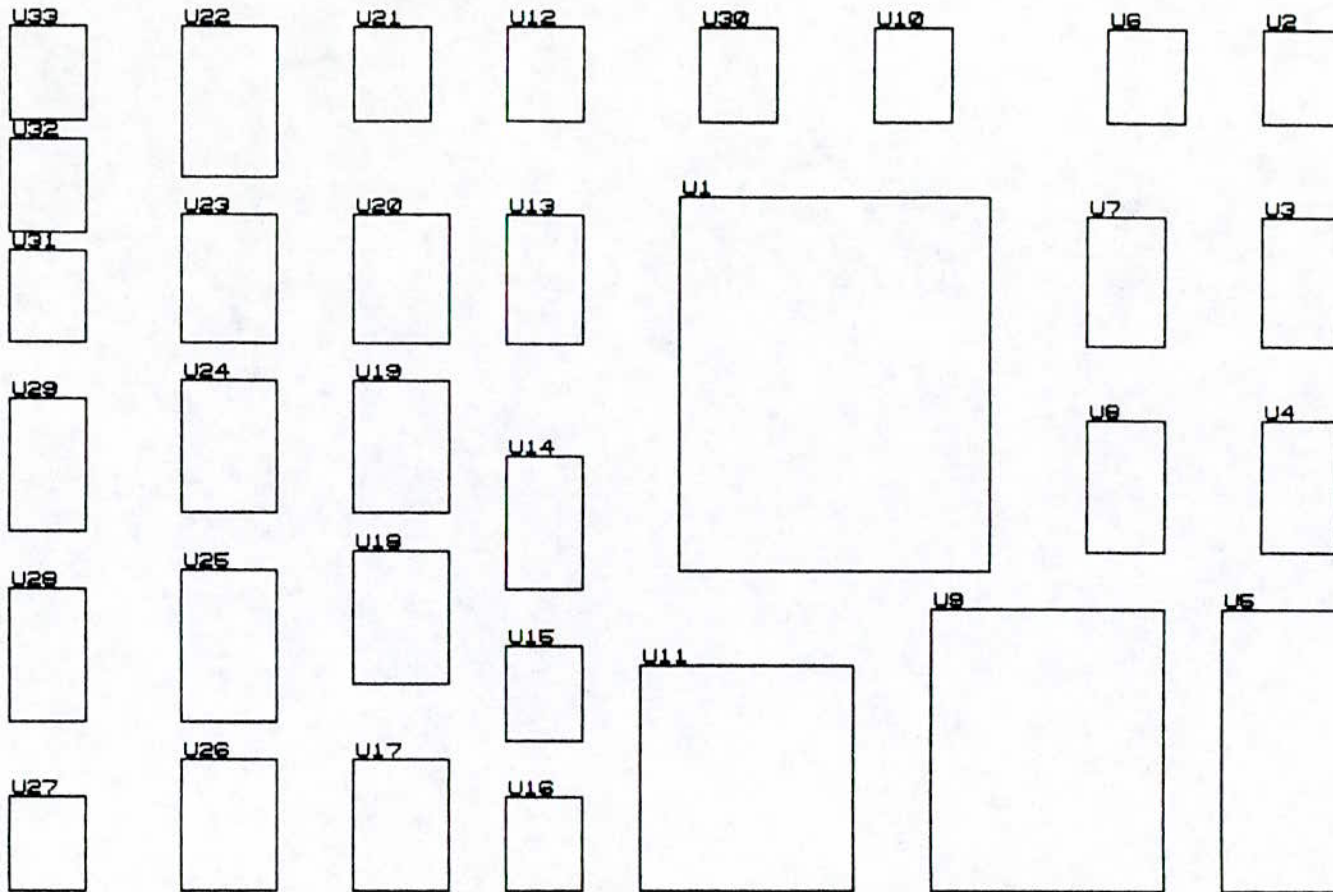


[A - 6]

E . N . S . I / D . R . D		
Route Nationale 5		
Cinq Maisons - Mohammadia		
ALGER		
Title		
CIRCUIT D'EMISSION DE DONNEES		
Size	Document Number	REV
A	1	1
Date:	May 20, 1981	Sheet 1 of 1

Imprimante 1

PC 1



Terminal

PC 2

[A - 7]

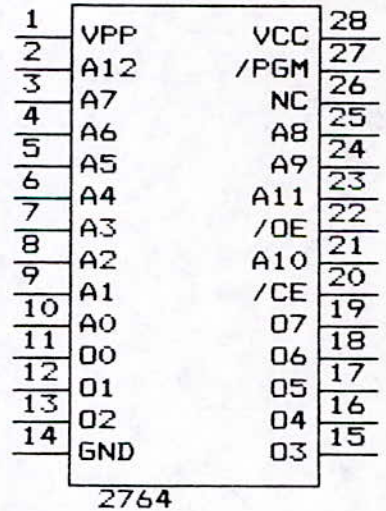
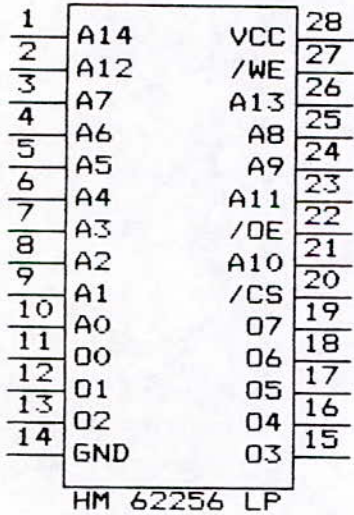
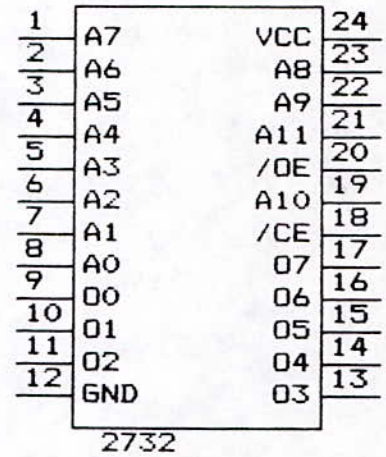
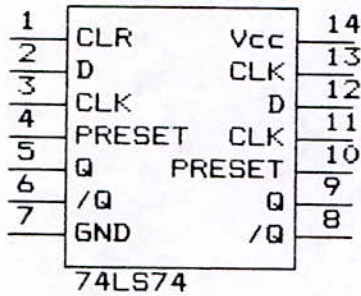
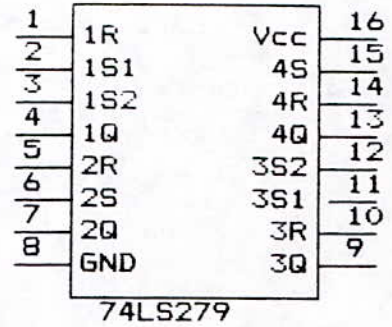
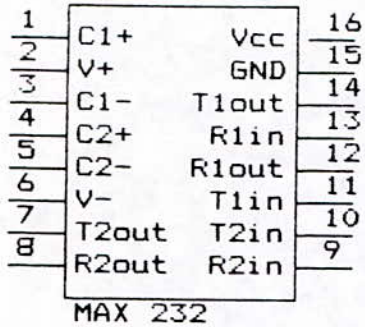
-53-

Imprimante 2

SCHÉMA D'IMPLANTATION DE LA CARTE
 INTERFACE DE GESTION DE RESSOURCES
 (SWITCH BOX)

U32 : BUFFER A COLLECTEUR OUVERT
 U28,U29,U30 : RESEAUX DE RESISTANCES
 U7,U17,U18,U19,U20,U22,U23,U25: LATCH
 U4,U8,U24,U26: BUFFER UNIDIR.
 U3: BUFFER BIDIRECT.
 U6,U11: EPROM --U13,U14: PROM
 U8,U10,U27,U31,U33 : PORTES LOGIQUES
 U16,U21: BASCULE D --U9: RAM

[A - 9]



[A - 9]

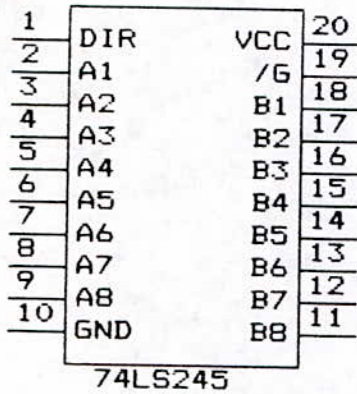


TABLE DE FONCTIONNEMENT DU 74LS245

/G	DIR	OPERATION
L	L	B VERS A
L	H	A VERS B
H	X	ISOLATION

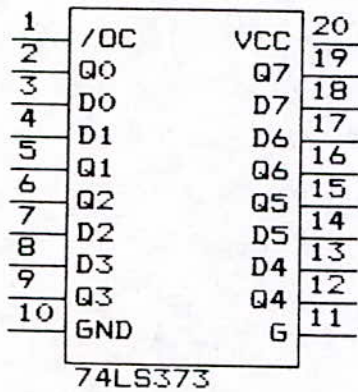
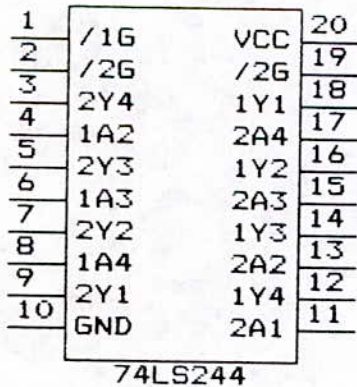
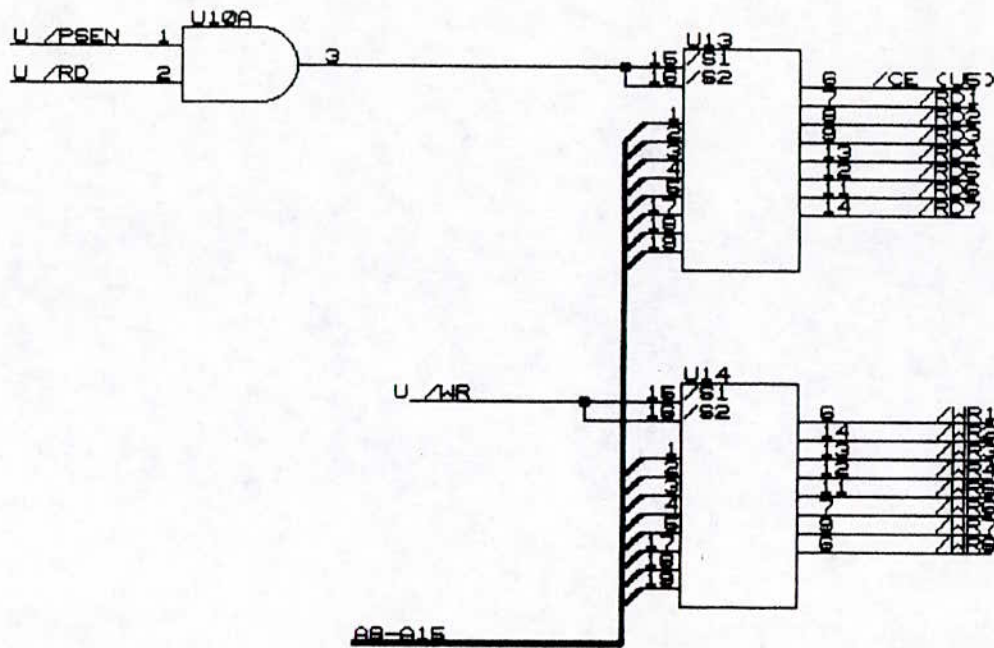


TABLE DE FONCTIONNEMENT DU 74LS373

/OE	ENABLE	D	Q
L	H	H	H
L	H	L	L
L	L	X	Q0
H	X	X	Z



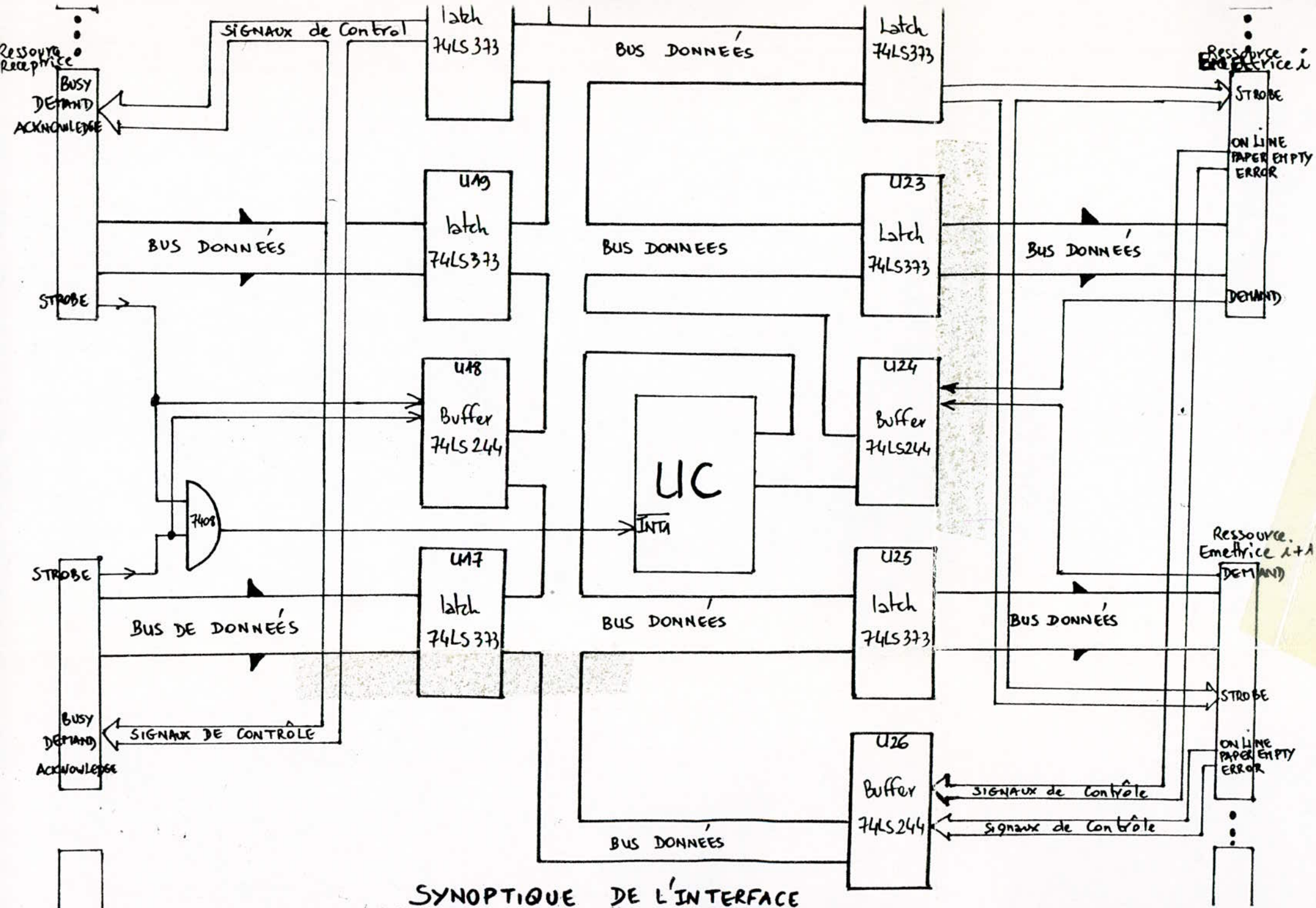


E . N . S . I / D . R . D		
Route Nationale 5 Cinq Maisons. Mohammadia. ALGER		
Title CIRCLIT DE DECODAGE D'ADRESSE		
Size	Document Number	REV
A	1	1
Date:	May 17, 1991	Sheet 1 of 1

SCHEMA DE LA CARTE INTERFACE

NOMENCLATURE

Unité	Référence
U1	8052 AH Basic
U2	MAX 232
U3	74LS245
U4-U8-U26-U28	74LS244
U7-U17-U18-U19 - U20-U22-U23 - U25-	74LS373
U16 - U21	74LS74
U9	HM62256LP
U5	2764
U11	2732
U13 - U14	TPB28L22
U28-U29	CTS 8202 (761-1-R4.7K)
U32	74LS17
U6 - U27 - U31	74LS04
U10 - U33	74LS08



SYNOPTIQUE DE L'INTERFACE