

وزارة التعليم العالي  
MINISTERE DE L'ENSEIGNEMENT SUPERIEUR

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : D'Electronique

المدرسة الوطنية المتعددة التقنيات  
BIBLIOTHEQUE — المكتبة  
Ecole Nationale Polytechnique

**PROJET DE FIN D'ETUDES**

en Vue d'Obtention du Diplôme d'Ingénieur d'Etat

**SUJET**

Etude et Realisation d'une Carte de  
Communication Asynchrone

Proposé par :  
Mr. L. GUEMIDI

Etudié par :  
Mr. K. BEN BOUDJEMA

Dirigé par :  
Mr. L. GUEMIDI  
Mr. M. TEBIBEL

PROMOTION : JUIN 1990



ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : D'Electronique

المدرسة الوطنية المتعددة التقنيات  
BIBLIOTHEQUE — المكتبة  
Ecole Nationale Polytechnique

**PROJET DE FIN D'ETUDES**

en Vue d'Obtention du Diplôme d'Ingénieur d'Etat

**SUJET**

Etude et Realisation d'une Carte de  
Communication Asynchrone

Proposé par :  
Mr. L. GUEMIDI

Etudié par :  
Mr. K. BEN BOUDJEMA

Dirigé par :  
Mr. L. GUEMIDI  
Mr. M. TEBIBEL

PROMOTION : JUIN 1990

المدرسة الوطنية المتعددة التقنيات  
BIBLIOTHEQUE — المكتبة  
Ecole Nationale Polytechnique

DEDICACES:

*A MES PARENTS*

## REMERCIEMENTS :

*Je tiens à remercier vivement mon promoteur monsieur L.GUEMIDI pour ses enseignements, ses précieux conseils ainsi que le suivi qu'il a assuré tout au long de l'élaboration de ce travail.*

*Que monsieur M.TEBIBEL trouve ici ma profonde reconnaissance pour m'avoir accueilli au laboratoire de télétraitement de l'ENSI, pour son aide et son assistance.*

*Je tiens également à remercier toutes les personnes qui, de près ou de loin, m'ont aidé à réaliser ce travail.*

*SOMMAIRE*

S O M M A I R E

<b>INTRODUCTION</b>	01
<b>CHAPITRE I: TRANSMISSION DE DONNEES</b>	04
A) TRANSMISSION PARALLELE ET TRANSMISSION SERIE	04
1°) TRANSMISSION PARALLELE	04
2°) TRANSMISSION SERIE	05
3°) MODES FONDAMENTAUX DE LA TRANSMISSION DE DONNEES	07
B) TRANSMISSION ASYNCHRONE ET TRANSMISSION SYNCHRONE	09
1°) TRANSMISSION ASYNCHRONE	09
2°) TRANSMISSION SYNCHRONE	13
3°) CONVERSION ASYNCHRONE/SYNCHRONE	13
C) NORMES	15
1°) NORMES RS 232C	15
2°) PROTOCOLE X28	15
<b>X CHAPITRE II: ETUDE DU MATERIEL</b>	17
A) LE MICROPROCESSEUR 8086	17
1°) ORGANISATION INTERNE	18
2°) ORGANISATION EXTERNE	20
B) LE BUS E/S DE L'IBM PC ET COMPATIBLES	21
C) LE CONTROLEUR DE COMMUNICATION ACE 8250	24
1°) ORGANISATION INTERNE	24
2°) PROGRAMMATION DE L'ACE 8250	31
<b>CHAPITRE III: REALISATION DE LA CARTE DE COMMUNICATION</b>	33
A) PRESENTATION DE LA CARTE	33
B) DESCRIPTION DES DIFFERENTS BLOCS DE LA CARTE	35
1°) DECODAGE DE LA CARTE	35
2°) SYNCHRONISATION DE LA CARTE AVEC LE BUS E/S	39
3°) CONVERSION DE FORMAT	43
4°) CONVERSION DE LOGIQUE	43



<b>CHAPITRE IV: PROGRAMMATION DE LA CARTE DE COMMUNICATION</b>	<b>44</b>
INTRODUCTION	44
A) LE BIOS	44
B) LES FONCTIONS BIOS POUR COMMUNICATION SERIE	45
C) PROGRAMME PRINCIPAL	46
D) SOUS-PROGRAMMES DES FONCTIONS DE COMMUNICATION	51
1°) CONFIGURATION	51
2°) EMISSION	52
3°) RECEPTION	53
4°) READY	54
5°) TEST ETAT DE LA CARTE	55
<b>CONCLUSION</b>	<b>57</b>
<b>BIBLIOGRAPHIE</b>	
<b>ANNEXES</b>	

## *INTRODUCTION*

## INTRODUCTION:

Il y a quelque temps, les systèmes informatiques étaient réservés à certaines personnes seulement. Celles-ci travaillaient sur l'ordinateur pour traiter des données. Puis au fil des années, l'informatique s'est, en quelque sorte généralisée. C'est ainsi que nous avons vu l'apparition du mini-ordinateur et depuis une bonne dizaine d'années du micro-ordinateur.

Parallèlement à la naissance du micro-ordinateur, un autre phénomène apparaissait: celui de la communication. En effet les communications entre micro-ordinateurs constituent un sujet d'importance croissante, c'est ainsi qu'un certain nombre de grandes entreprises sont en train de remplacer le téléphone et les échanges postaux par le courrier électronique. Dans ce contexte le micro-ordinateur a sa place entière, il allie à la fois la capacité de traitement local, la communication avec autre micro-ordinateur et la communication avec gros systèmes: Figure 0-1.

Le micro-ordinateur s'intègre d'autant mieux dans le monde des communications, qu'il peut jouer plusieurs rôles qui sont:

- \* Terminal pour les communications avec d'autres PC.
- \* Terminal pour les communications avec les centres informatiques.
- \* Terminal spécialisé.

Les communications sur micro-ordinateurs nécessitent non seulement un environnement matériel, mais aussi un environnement logiciel.

L'environnement matériel comprend tout ce qui est nécessaire au micro-ordinateur pour se connecter: Carte de communication, câble etc...

L'environnement logiciel permet au micro-ordinateur de communiquer l'information sur différents supports de connexion.

L'étude que nous allons vous présenter va surtout traiter les communications entre PC, c'est à dire l'émulation du terminal en micro-ordinateur.

Dans un premier temps, nous traiterons les différentes techniques de transmission de données. Ce sera le chapitre I. Dans le chapitre II, nous aurons à étudier l'environnement matériel des PC & compatibles. Le chapitre III présentera la partie matérielle de la carte. En fin le chapitre IV comprendra le logiciel de communication qui permet d'émuler le terminal par un micro-ordinateur.

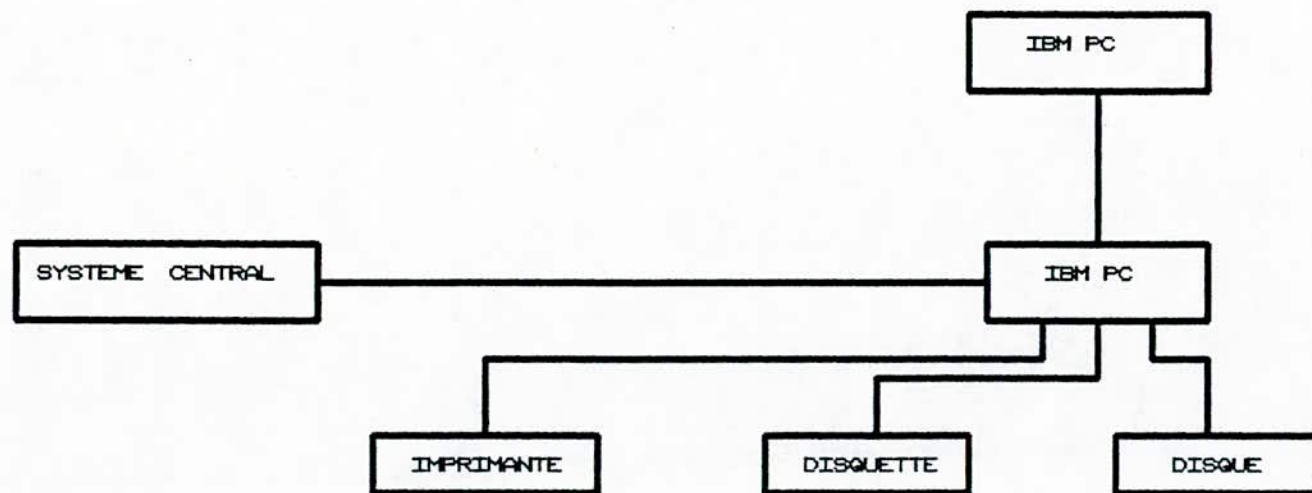


FIGURE 0-1: TRAITEMENT LOCAL ET COMMUNICATION POUR LE MICRO-ORDINATEUR.

*CHAPITRE I :*  
*TRANSMISSION DE DONNEES*

# TRANSMISSION DE DONNEES:

## A) TRANSMISSION SERIE ET TRANSMISSION PARALLELE:

### 1°) TRANSMISSION PARALLELE:

#### A) PRINCIPE DE LA TRANSMISSION PARALLELE:

La technique de base de la transmission parallèle est l'utilisation de plusieurs fils en parallèle pour émettre l'information entre micro-ordinateurs. Dans ce type de transmission chaque fil transporte un seul bit d'un caractère constitué de plusieurs bits.

#### B) AVANTAGE ET INCONVENIENT DE LA TRANSMISSION PARALLELE:

Les principaux avantages de la transmission parallèle sont sa rapidité et surtout son efficacité, car elle évite tout risque d'interférence entre différents signaux. Néanmoins ce procédé ne peut pas être économique dans le cas des transmissions à grandes distances, car cela nécessite des quantités énormes de fils.

## 2°) TRANSMISSION SERIE:

### A) PRINCIPE DE LA TRANSMISSION SERIE:

Le principe de base de la transmission série est le transfert de données sur un seul fil. Dans ce type de transmission, les éléments binaires composant un caractère sont émis les uns à la suite des autres.

### B) AVANTAGES ET INCONVENIENTS DE LA TRANSMISSION SERIE:

Lorsque la distance entre micro-ordinateurs est grande, le coût d'une liaison de plusieurs fils en parallèles devient prohibitif; la transmission série fournit un coût beaucoup plus faible. On en déduit alors que la transmission série est surtout le domaine des transmissions à longues distances, par contre elle est moins performante que la transmission parallèle concernant la vitesse de transmission et les erreurs dues aux interférences entre les différents signaux.

### C) BOUCLE DE COURANT:

La boucle de courant est une technique électrique de transmission de données en série. Le principe de fonctionnement d'une boucle de courant est illustré par la figure I-0.

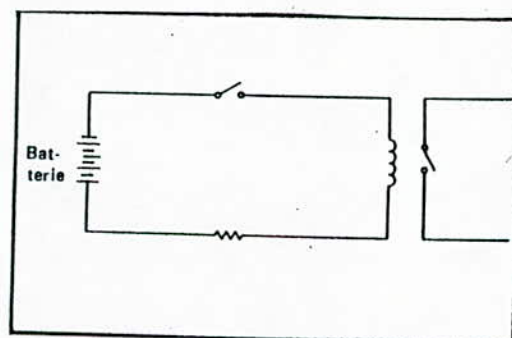


Figure I - 0 :Circuit à boucle de courant.



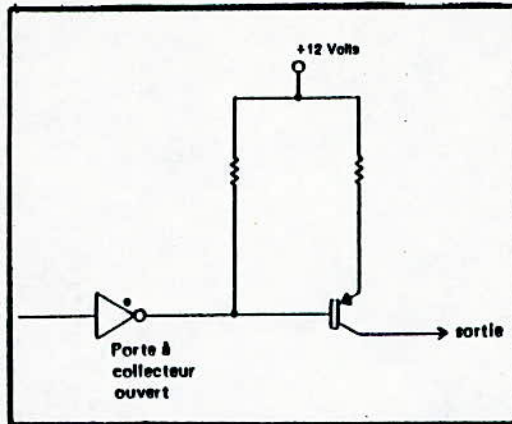


Figure I -0- A : Emetteur à boucle de courant.

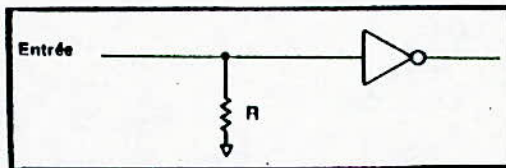


Figure I - 0 - B : Recepteur d'entrée de boucle de courant.

En effet lorsque l'interrupteur est ouvert, le courant ne passe pas, le relais sera donc ouvert. C'est ce qui correspond au zéro logique. Lorsque l'interrupteur est fermé un courant limité par la résistance R circule dans la boucle; ce courant ferme le relais. C'est ce qui correspond au 1 logique. Les figures I-0-a et I-0-b illustrent respectivement un émetteur et un récepteur à boucle de courant. La boucle de courant présente un avantage sur la RS 232C, c'est qu'elle peut émettre jusqu'à plus de 500 mètres.

### **3°) LES MODES FONDAMENTAUX DE LA TRANSMISSION DE DONNEES:**

Il existe trois modes fondamentaux de transmission de données; qui sont:

A) LE SIMPLEX : le procédé simplex est toujours unidirectionnel et la direction ne change jamais. La figure I-1 illustre une liaison simplex. Le dispositif A émet toujours et le dispositif B reçoit toujours.

B) LE SEMI-DUPLEX: La figure I-2 montre une liaison semi-duplex. Le dispositif A peut émettre vers le dispositif B, et le dispositif B peut émettre vers le dispositif A, mais un seul d'entre eux peut émettre à un instant donné.

C) LE FULL-DUPLEX : la figure I-3 illustre une liaison duplex, dans ce mode de transmission les deux dispositifs peuvent émettre simultanément.

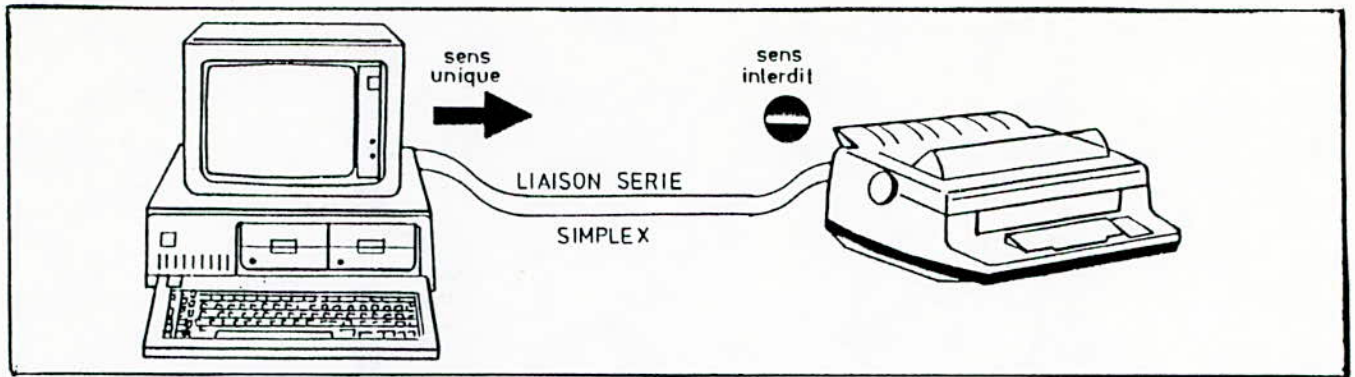


Figure I-1 : Liaison Simplex.

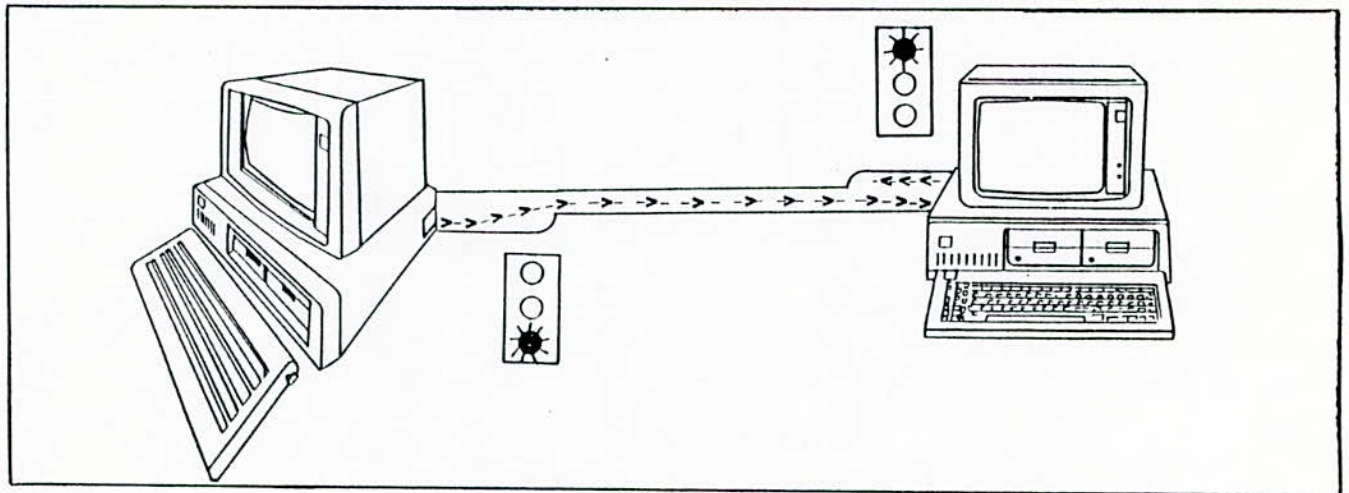


Figure I - 2 : Liaison Semi - Duplex.

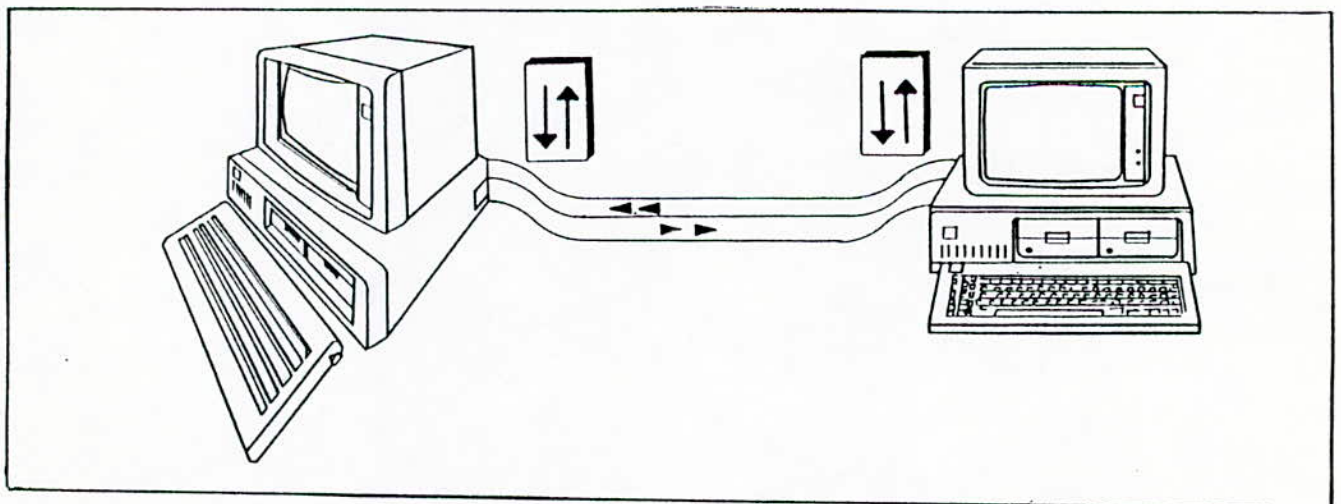


Figure I - 3 : Liaison full - Duplex .

## B) TRANSMISSION ASYNCHRONE ET TRANSMISSION SYNCHRONE :

### 1°) TRANSMISSION ASYNCHRONE :

#### A) PRINCIPE DE LA TRANSMISSION ASYNCHRONE :

Dans une transmission asynchrone le temps séparant deux caractères est variable "n'est pas toujours connu"; dans ce mode de transmission un bit début " START " est toujours envoyé en entête pour marquer le début d'un caractère qui sera suivi par les bits de données du caractère dans l'ordre croissant; à la suite de ces bits, il peut y avoir un bit de parité qui permet de détecter les erreurs " voir paragraphe B/c1 " et les derniers bits à être transmis sont les bits arrêt " STOP " qui donnent au récepteur le temps d'assembler les bits séries reçus, faire suivre le caractère reçu et de se préparer pour le caractère suivant.

La durée de bit détermine la cadence maximale à laquelle les caractères peuvent être transmis et définit ainsi la fréquence de bit à laquelle fonctionne une carte de communication. Les fréquences de bit normalisées pour la liaison asynchrone sont: 50; 75; 110; 134,5; 150; 300; 600; 1200; 2400; 3600; 4800; 9600 bits par seconde.

En transmission asynchrone l'instant d'émission de chaque signal est arbitraire. La transmission s'effectue caractère par caractère, l'intervalle séparant deux caractères peut avoir une durée quelconque. Par contre, les bits d'un même caractère sont émis à la cadence d'horloge comme dans le cas d'une transmission synchrone.

Les caractéristiques d'une liaison série asynchrone sont:

- \* *Mode transmission*: asynchrone
- \* *Vitesse de transmission*: jusqu'à 19 200 bits/seconde
- \* *Raccordement* : point par point ou ligne spécialisée ou  
R.T.C "Réseau Téléphonique Commuté"
- \* *Mode d'exploitation* : simplex, semi-duplex, ou duplex
- \* *Code* : ASCII 7 ou 8 bits par caractère.

b) Avantages et inconvénients d'une transmission asynchrone:

L'addition de bits supplémentaires nécessaires pour la transmission asynchrone occasionne une augmentation considérable de temps de transmission. Néanmoins les adaptateurs asynchrones sont plus simples à réaliser et moins chers que leurs équivalents synchrones.

#### C) DETECTION D'ERREURS:

Les lignes de transmission ne sont jamais parfaites, car elles introduisent des erreurs sur les caractères à transmettre c'est ainsi qu'on a mis en place des techniques de détection d'erreurs qui consistent à ajouter quelques bits par caractère ou par bloc de caractères au moment de la transmission. Ces bits sont fonction de l'information transmise et seront vérifiés à la réception.

On distingue plusieurs techniques de détection d'erreurs, qui sont:

*c1) Contrôle de parité:*

Le terminal émetteur ajoute un bit de parité, calculé à partir du contenu des bits de données, le terminal récepteur s'assure que le bit de parité satisfait bien à la relation correcte avec les autres bits.

La parité peut se calculer de différentes manières qui sont:

- \* Parité paire.
- \* Parité impaire.
- \* Pas de parité.
- \* Parité travail.
- \* Parité repos.

*c2) CRC "cyclic redundancy checking":*

C'est une technique très puissante (elle détecte au moins 99,99 pour 100 des erreurs), elle considère chaque bloc de données comme étant l'expression d'un grand nombre en binaire qui sera divisé par un certain polynome commun à l'émetteur et au récepteur ( $X^{16}+X^{12}+X^5+1$  dans le cas du CRC-CCITT). Le reste de la division est émis à la fin avec l'information. Ce dernier sera comparé au reste trouvé à la réception ou la même opération sera faite.

La technique CRC est beaucoup plus puissante que le test de parité qui n'est pas capable de repérer l'inversion de deux bits.

### c3) L'échoplex:

Les communications en full duplex peuvent utiliser une technique d'écho pour détecter les erreurs de transmission. Dans cette technique tous les caractères reçus par le récepteur sont envoyés vers l'émetteur. L'échoplex est surtout utilisé dans les communications terminal à système. Le caractère tapé au clavier est envoyé au système et celui-ci le renvoie au terminal qui l'affiche sur l'écran. L'utilisateur a ainsi sous les yeux les données réellement reçues par l'ordinateur.

### D) CONTROLE DE FLUX CABLE:

Le contrôle de flux est une méthode permettant à un appareil récepteur de contrôler le flux de données provenant d'un appareil émetteur, en d'autres termes, l'émetteur doit savoir à quel moment le récepteur est prêt à recevoir l'information.

Le contrôle de flux câblé consiste à valider le transfert de données aux moyens de lignes de contrôle réservées. En effet, le récepteur se sert de la ligne DSR (poste de données prêt) comme ligne de contrôle principale pour indiquer à l'émetteur qu'il est prêt ou non à recevoir des données. De même, l'émetteur dispose lui aussi de ligne de contrôle RTS pour aviser le récepteur de l'établissement de la liaison.

Par convention ces lignes de contrôle transportent une tension négative lorsqu'il faut établir la transmission et une tension positive lorsqu'il faut la suspendre.

## **2°) TRANSMISSION SYNCHRONE:**

### **A) PRINCIPE DE LA TRANSMISSION SYNCHRONE:**

Lorsque les caractères sont émis en bloc à la vitesse de l'ordinateur, ils peuvent être régulièrement espacés, si bien que les bits de départ et d'arrêt deviennent alors superflus, puisque une fois le premier est reçu, l'appareil récepteur peut prédire exactement le moment d'arrivée du caractère suivant. En d'autres termes, il se synchronise avec l'ordinateur émetteur. On dit alors que la transmission est synchrone.

### **B) AVANTAGES ET INCONVENIENTS DE LA TRANSMISSION SYNCHRONE:**

Le principal avantage de la transmission synchrone est la diminution du temps de transmission de 20% par rapport à celui de la transmission asynchrone.

L'inconvénient de la transmission synchrone est la complexité des adaptateurs et par conséquent leur prix sera supérieur à celui des adaptateurs asynchrones.

Les principales applications de la transmission synchrone sont:

- \* *Commande de processus.*
- \* *Transfert de fichier sur lignes spécialisées.*

## **3°) CONVERSION**

### **ASYNCHRONE/SYNCHRONE:**

Ils existent plusieurs méthodes permettant de convertir des signaux asynchrones en signaux synchrones. Parmi celles-ci nous pouvons citer la méthode de conversion par échantillonnage, qui consiste à échantillonner le signal asynchrone au rythme de l'horloge associée au signal synchrone. La figure I-4 illustre un tel procédé.



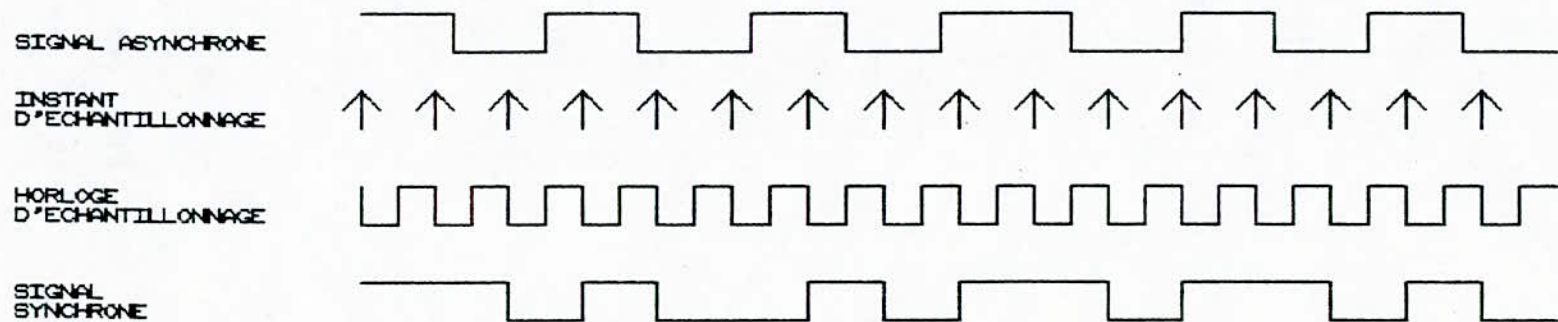


FIGURE I-4 : CONVERSION ASYNCHRONE/SYNCHRONE PAR ECHANTILLONNAGE.

## **C) NORMES:**

### **1°) NORMES RS 232 C:**

En vue de rendre compatibles les matériels des différents fabricants, plusieurs normes ont été élaborées. La plus courante est la norme RS-232C publiée en 1969 par EIA "Electronic Industry Association".

La norme RS-232C définit les caractéristiques électriques des circuits à l'interface des deux appareils. Le niveau logique haut "1" de la RS-232C est représenté par une tension comprise entre +5 Volts et +15 Volts. Par contre le niveau logique bas "0" est représenté par une tension comprise entre -5 Volts et -15 Volts.

La norme américaine RS-232C a donné lieu à une norme Européenne du CCITT V24.

### **2°) PROTOCOLE X28:**

Le protocole X28 définit le mode de transmission par caractères. Puisque les micro-ordinateurs fonctionnent en mode caractères, donc il est préférable que la communication entre deux micro-ordinateurs rapprochés se fasse en mode caractères.

Les caractères sont représentés par sept ou huit bits de données mais ne sont pas envoyés dans le circuit tels qu'ils sont, de crainte qu'il y ait mélange ou superposition de caractères; on évite ce problème en encadrant chaque caractère par un bit START, et un ou deux bits STOP pour indiquer le début et la fin de chaque caractère.

Le format du caractère pour le protocole X2B est donné par la figure I-5, il se fait logiciellement.

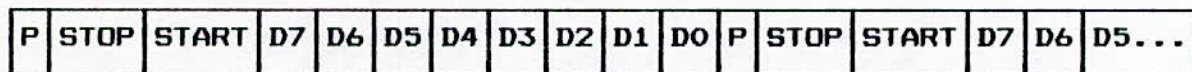


Figure I-5

*CHAPITRE II :*  
*ETUDE MATERIELLE*

# ETUDE MATERIELLE :

## A) LE MICROPROCESSEUR INT 8086:

Le microprocesseur d'Intel 8086 a été construit en 1978, c'est un composant 16 bits qui intègre environ 29000 transistors.[8,9]

\* Il présente un bus d'adresses et un bus données multiplexé sur 16 bits.

\* Un bus de données sur 16 bits.

\* Un bus d'adresses sur 20 bits ce qui lui donne un espace mémoire adressable de 1 Mega-Octets divisé en 16 pages de 64 kilo-Octets.

\* Deux modes de fonctionnement:

- *Mode maximum.*

- *Mode minimum.*

\* Quatre espaces d'adressage séparés:

- *Programme.*

- *Données.*

- *Pile.*

- *Données supplémentaires.*

\* Deux structures d'entrée/sortie:

- *E/S par instruction mémoire.*

- *E/S par instruction E/S.*

## 1°) ORGANISATION INTERNE DU 8086:

### A) REGISTRES GENERAUX:

Le microprocesseur d'Intel 8086 possède huit registres généraux de 16 bits. Ces huit registres sont divisés en deux groupes qui sont:

- *Registres de travail:* Ces registres sont réservés aux opérations de manipulation de données, chacun de ces registres peut être divisé en deux parties; le registre de l'octet de poids fort auquel on associe la lettre H "High" et le registre de l'octet de poids faible auquel on associe la lettre L "Low". Le registre dans son utilisation globale est qualifié de la lettre X.

Les quatre registres de travail sont:

	16bits	8bits	8bits
* AX		AH	AL
* BX		BH	BL
* CX		CH	CL
* DX		DH	DL

### - *Registres d'adresses:*

Les registres de ce groupe permettent d'effectuer non seulement les opérations de manipulation de données comme ceux du premier groupe, mais aussi participent aux opérations d'adressage. Ces registres doivent être utilisés globalement dans les opérations de manipulation de données de type "word" mot.

Les quatre registres pointeurs et d'index sont:

- \* SI
- \* DI
- \* BP
- \* SP

B) REGISTRES SEGMENTS:

IL existe quatre registres segments de 16 bits " A4 à A19 " dans le microprocesseur 8086, chacun de ces registres contient l'adresse physique de l'une des quatre pages de la mémoire.

Les quatre registres segments sont:

- \* Segment de code.
- \* Segment de données.
- \* Segment de données supplémentaires.
- \* Segment de pile.

C) REGISTRES D'ETAT ET COMPTEUR ORDINAL:

- *Le compteur ordinal:*

Ce registre pointe vers l'adresse de l'instruction suivante.

- *Le registre d'état:*

C'est un registre de 16 bits dont 9 seulement sont utilisés. Ces neuf bits servent de témoins pour les résultats des opérations arithmétiques et logiques.

La signification de chaque bit de ce registre d'état est donnée par la figure suivante:

Bits: F E D C B A 9 8 7 6 5 4 3 2 1 0

—	—	—	—	OF	DF	IF	TF	SF	ZF	—	AF	—	PF	—	CF
---	---	---	---	----	----	----	----	----	----	---	----	---	----	---	----

OF : Dépassement de capacité.  
DF : Direction.  
IF : Interruption externe.  
TF : Interruption trap.  
SF : Signe.  
ZF : Zero.  
AF : Indicateur de retenue auxiliaire.  
PF : Indicateur de parité.  
CF : Indicateur de retenue.

## **2°) ORGANISATION EXTERNE:**

Le microprocesseur 8086 peut fonctionner selon deux modes qui sont: Le mode maximum et le mode minimum.

Le choix du mode se fait grâce à la broche MN/MX du microprocesseur. En effet, quand cette broche est reliée à la masse, le mode correspondant est le mode maximum. Par contre quand celle ci est reliée à 5 Volts le mode correspondant est le mode minimum.

### **\* Modes d'adressage du 8086:**

Le microprocesseur 8086 présente 5 modes d'adressage qui sont:

- Adressage d'un registre:
- Adressage indirecte par registre:
- Adressage indexé.
- Adressage immédiat.



## **B) LE BUS E/S DE L'IBM PC ET COMPATIBLES:**

Toutes les cartes optionnelles que l'on désire insérer dans un PC seront connectées à la carte mère par le biais du connecteur E/S à 62 positions. Ces 62 positions sont désignées par le nom de bus E/S.

Le rôle du bus E/S est de permettre à l'ordinateur de communiquer avec le monde extérieur. Les 62 lignes du bus E/S peuvent étre regroupées en quatre catégories correspondant aux lignes d'alimentation, lignes de données, lignes de contrôle et aux lignes d'adresses.

### **1°) LIGNES D'ALIMENTATION:**

Les alimentations disponibles sur le bus E/S sont:

- \* + 5 Volts avec une précision de +/- 5 %.
- \* - 5 Volts avec une précision de +/- 10 %.
- \* + 12 Volts avec une précision de +/- 5 %.
- \* - 12 Volts avec une précision de +/- 10 %.
- \* Masse.

### **2°) LIGNES DE DONNEES: D0 à D7.**

Elles correspondent aux lignes A2 à A9 du bus E/S. Ces lignes sont bidirectionnelles, elles permettent l'échange de données entre la mémoire, le processeur et les périphériques.

### **3°) LIGNES D'ADRESSE:**

Ils existent 20 lignes d'adresses sur le bus E/S "A0 à A19". Ces lignes sont utilisées pour adresser les mémoires du système ainsi que les différents périphériques, elles correspondent aux broches A12 à A31 du bus E/S.

Le nombre de port E/S n'étant pas supérieur à 64 K E/S, les lignes A16 à A19 sont maintenues inactives durant le cycles E/S; il est même possible de restreindre le décodage des adresses E/S à 10 lignes seulement A0 à A9.

#### 4\*) LIGNES DE CONTROLE.

Les lignes de contrôle du bus E/S sont au nombre de 23. Les principales lignes de contrôle utilisées dans notre carte sont:

- *AEN*: "Adress enable". Ce signal est utilisé pour déconnecter le microprocesseur du bus E/S, de même il bloque les circuits de décodage des ports E/S, en d'autres termes, il permet de valider une adresse.
- *I/O Ready*: Cette ligne permet aux périphériques de se synchroniser avec le bus E/S et donc avec le microprocesseur.
- *Reset*: Cette ligne permet d'initialiser notre carte.
- *CLK*:: Ce signal est issu d'un oscillateur, sa fréquence est de 6 MHz et sa période est de 160 ns.
- *IOR*: Il est actif à niveau bas, il demande de lire des données disponibles sur le bus E/S.
- *IOW*: Ce signal est actif à niveau bas, il demande d'écrire des données sur le bus E/S.
- *IRQ2 à IRQ7*: Ces lignes servent de demande d'interruption, elles sont reliées directement au processeur d'interruption 8259, la ligne IRQ2 est la plus prioritaire.

Le schéma du bus E/S de l'IBM PC et compatibles est donné par le figure II-1.

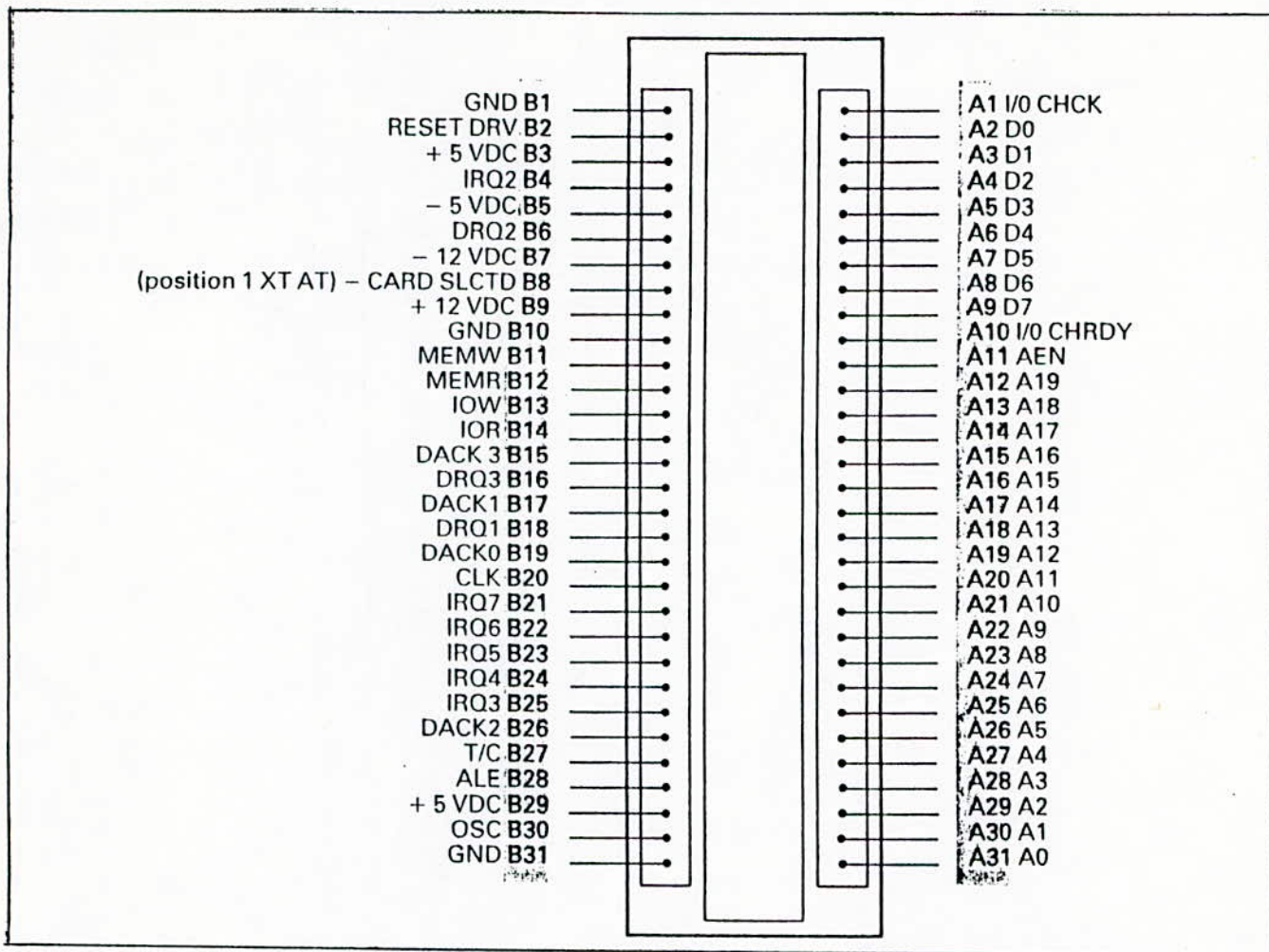


Figure II - 1 : Bus E/S de L'IBM PC et compatibles

## **C) LE CONTROLEUR DE COMMUNICATION ACE 8250:**

L'ACE 8250 est un composant huit bits conçu par National Semi-conductor. Non seulement il effectue la conversion série parallèle en réception et parallèle série en émission, mais il comporte un générateur de fréquence de bits qui permet de régler la vitesse de transmission. C'est ce composant qui gèrera notre carte de communication.

### **1°) ORGANISATION INTERNE:**

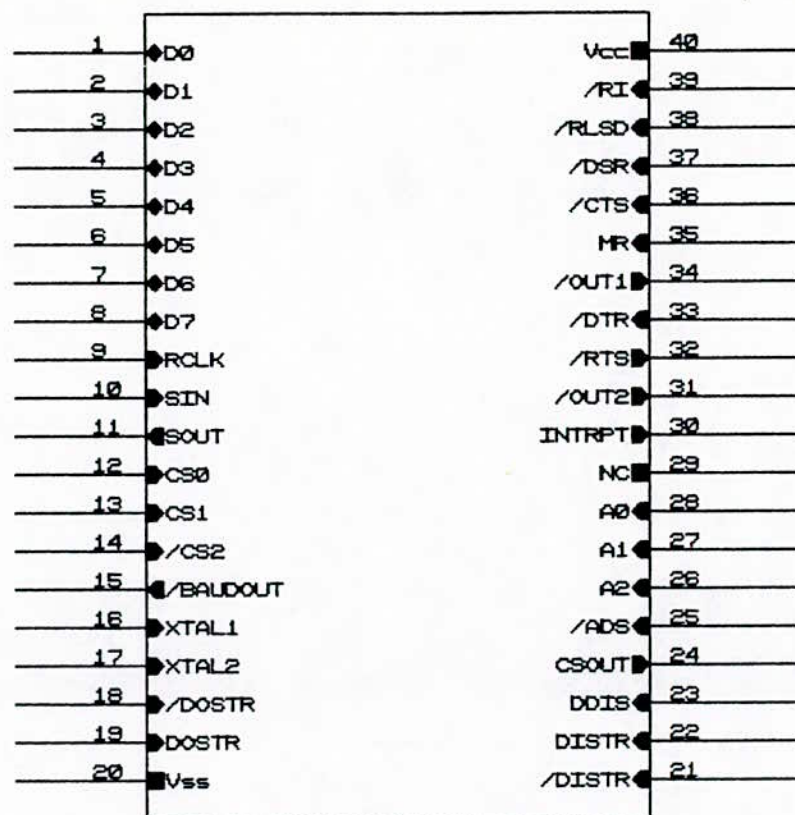
L'ACE 8250 se compose de dix registres internes permettant d'émettre, de recevoir des données et de gérer la communication entre micro-ordinateurs. Ces dix registres se divisent en trois catégories qui sont:

#### **A) REGISTRES DE CONTROLE:**

Il existe quatre registres de contrôle qui servent à recevoir des commandes de l'unité centrale.

##### **\* *Registre de contrôle ligne:***

Le registre de contrôle ligne est utilisé pour initialiser les paramètres de communication " vitesse, nombre de bits STOP, nombre de bits de données, parité etc..."; c'est un registre huit bits. La signification de chaque bit de ce registre est présenté dans le tableau:I-1.



BROCHAGE DE L'ACE 8250

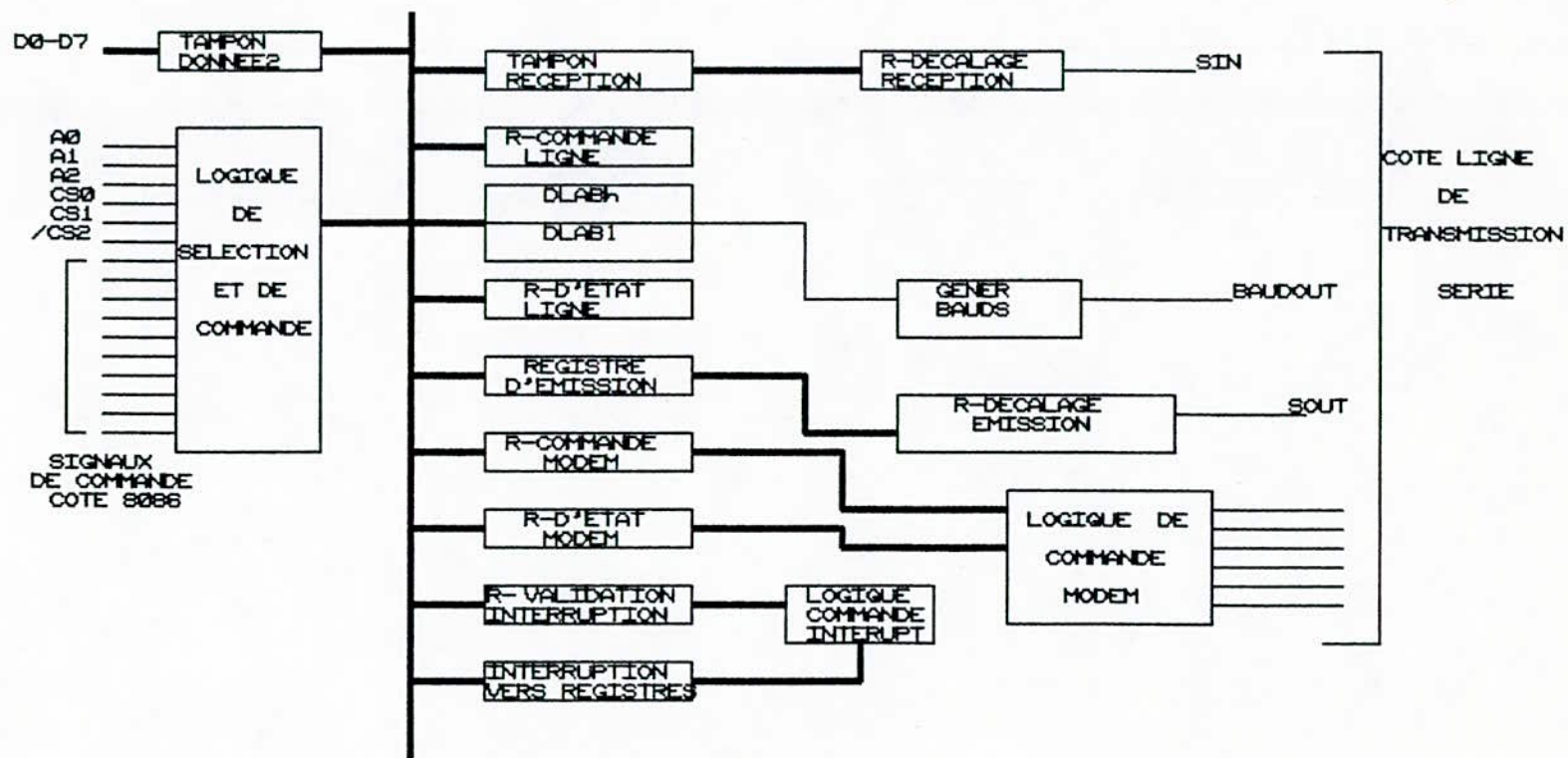


FIGURE II-1: SCHEMA FONCTIONNEL DE L'ACE 8250

Bits	Signification
0 -----»	Longueur de mot.Bit le moins significatif.
1 -----»	Longueur de mot.Bit le plus significatif.
2 -----»	Bit d'arrêt.
3 -----»	Validation de la parité.
4 -----»	Sélectionne la parité.
5 -----»	Bit de parité à 1.
6 -----»	signal break.
7 -----»	Bit d'accès à la bascule de division "DLAB".

TABLEAU I-1.

Les bits 0 et 1 déterminent la longueur de mot; le bit 2 détermine le nombre de bit STOP; les bits 3, 4 et 5 commandent la parité; le bit 6 permet de forcer la ligne SOUT à niveau bas et crée un état de break, cette rupture doit durer au moins 220 ns pour que l'unité centrale reconnait la fonction.

Le registre de contrôle ligne est à l'adresse 3FB, 2FB, 373 et 273 respectivement pour COM1, COM2, COM3 et COM4.

*\* Registre de contrôle Modem:*

C'est un registre huit bits, il permet de commander les signaux de contrôle modem émis par l'ACE.

La signification de chaque bit de ce registre est donnée par le tableau:II-2.

Bit	Signification.
0 -----»	Terminal de données pret.
1 -----»	Demande à émettre.
2 -----»	OUT1.
3 -----»	OUT2.
4 -----»	Bouclage local.
5 -----»	N-U. $\lrcorner$
6 -----»	N-U.   NON UTILISES TOUJOURS A ZERO.
7 -----»	N-U. $\llcorner$

TABLEAU II-2.

Les bits 0 à 3 commandent les quatre lignes de sortie de la communication de l'ACE 8250; le bit 4 est la commande de bouclage local, lorsqu'il est mis à 1, SOUT est forcée à niveau haut et le récepteur de l'ACE est déconnecté de SIN et relié à l'émetteur de l'ACE.

Le registre de contrôle Modem est à l'adresse 3FC, 2FC, 374 et 274 respectivement pour COM1, COM2, COM3 et COM4.

*\* Registre de validation des interruptions:*

C'est un registre huit bits qui occupe les adresses 3F9, 2F9, 371 et 271 pour respectivement COM1, COM2, COM3 et COM4.

L'ACE génère un signal d'interruption chaque fois qu'un événement se produit. C'est ce registre qui indique à l'ACE quel événement particulier a pu provoquer une interruption.

La signification de chaque bit de ce registre est donnée par le tableau:II-3.



Bits	Signification.
0	» Données disponibles.
1	» Registre d'émission vide.
2	» Etat de la ligne de réception.
3	» Etat du modem.
4	» N-U. $\lrcorner$
5	» N-U.   NON UTILISES.
6	» N-U.
7	» N-U. $\llcorner$

TABLEAU II-3.

*\* Les bascules de division de la vitesse de transmission:*

La vitesse de transmission est établie en introduisant dans deux registres le nombre par lequel la fréquence de l'horloge d'entrée " 1.8432 MHz dans notre cas " doit être divisée. La fréquence résultante vaut 16 fois la vitesse de transmission.

Les deux registres sont d'une part l'octet le moins significatif de la bascule de division et d'autre part l'octet le plus significatif de la bascule de division.

Les différentes valeurs de la vitesse de transmission sont données par le tableau:II-4.

DLABh	DLABl	DIV	VITESSE(bauds)
01	80	384	300
00	60	96	1200
00	30	48	2400
00	18	24	4800
00	0C	12	9600

TABLEAU II-4.

## B) REGISTRES D'ETATS:

Il existe trois registres d'état dans l'ACE 8250; ils rendent compte à l'unité centrale de ce qui se passe dans les différentes parties de l'ACE.

### \* *Registre d'état de ligne:*

C'est un registre huit bits qui fournit des informations relatives à l'émission et à la réception de données. Les adresses correspondantes à ce registre sont 3FD, 2FD, 375 et 275 respectivement pour COM1, COM2, COM3 et COM4.

La signification des bits de ce registre est donnée par le tableau:II-5.

Bits	Signification.
0 -----»	Donnée prête.
1 -----»	Erreur de cadence.
2 -----»	Erreur de parité.
3 -----»	Erreur de trame.
4 -----»	Signal break.
5 -----»	Registre d'émission vide.
6 -----»	Registre de décalage d'émission vide.
7 -----»	Non utilisé.

TABLEAU II-5.

### \* *Registre d'état Modem:*

C'est un registre huit bits qui fournit des informations sur l'état des lignes de contrôle modem.

Il est à l'adresse 3FC pour COM1; 2FC pour COM2; 374 pour COM3 et 274 pour COM4.

*\* Registre identificateur des interruptions:*

C'est un registre huit bits qui fournit des informations au sujet de l'état courant des interruptions en attente.

Le bit zero est mis à 1, s'il n'y a aucune interruption en attente. S'il est mis à 0 les bits 1 et 2 indiquent laquelle des interruptions est en attente. Les bits 3 à 7 ne sont pas utilisés.

**C) REGISTRES TAMPONS:**

Il existe deux registres tampons dans le 8250: Le tampon d'émission et le tampon de réception. Le registre tampon d'émission est chargé par le caractère à émettre. Par contre le registre tampon de réception réceptionne les données provenant de l'extérieur.

## **2°) PROGRAMMATION DE L'ACE 8250:**

La programmation de l'ACE 8250 peut se faire de trois manières différentes qui sont:

*\* Par les fonction OPEN, READ, WRITE et CLOSE.*

*\* Par les fonctions de l'interruption logicielle 0x14 BIOS.*

*\* Par la programmation directe des ports.*

La première technique de programmation est la plus simple, elle consiste à ouvrir un fichier associé à un périphérique et à effectuer des opérations de " READ ou WRITE " sur ce fichier.

Cette technique de programmation est applicable que dans le cas de protocoles stricts où le périphérique n'émet qu'à la demande de l'ordinateur.

La deuxième technique de programmation consiste à utiliser les fonctions de l'interruption logicielle 14H BIOS. C'est cette technique que nous avons utilisée pour programmer notre carte de communication. Elle est plus performante que la première technique. La technique de

programmation par interruption logicielle sera détaillée dans le chapitre IV.

La troisième technique de programmation qui correspond à la programmation directe des ports consiste à accéder directement au port en utilisant les fonctions OUTPORT en émission et INPORT en réception " dans le cas du langage C ", C'est ce qui simplifie l'emploi des adresses attribuées aux différents registres, elle permet d'accéder directement aux registres de l'ACE.

*CHAPITRE III :*  
*REALISATION DE LA CARTE*  
*DE COMMUNICATION*

# REALISATION DE LA CARTE DE COMMUNICATION:

## A) PRESENTATION DE LA CARTE:

La carte de communication que nous allons vous présenter permet à l'ordinateur de communiquer avec le monde extérieur. La figure III-1 représente le synoptique de notre carte de communication.

En ce qui concerne les principales caractéristiques de cette carte on peut dire que:

1. Elle permet de convertir des signaux parallèles issus de l'unité centrale de l'ordinateur en signaux série pour assurer la communication avec le monde extérieur. Inversement, la carte transforme les signaux série adressés au micro-ordinateur en une forme parallèle utilisable par ce dernier.

2. Elle ajoute les bits de départ, d'arrêt et de parité nécessaires à la transmission de chaque caractère et elle supprime les bits équivalents appartenant aux caractères reçus.

3. Elle s'assure que les bits individuels sont émis avec la vitesse de transmission adéquate, calcule le bit de parité sur les caractères transmis et reçus et rend compte de toute erreur détectée.

4. Elle permet de faire la conversion des signaux TTL/RS 232C en émission et RS 232C/TTL en réception.

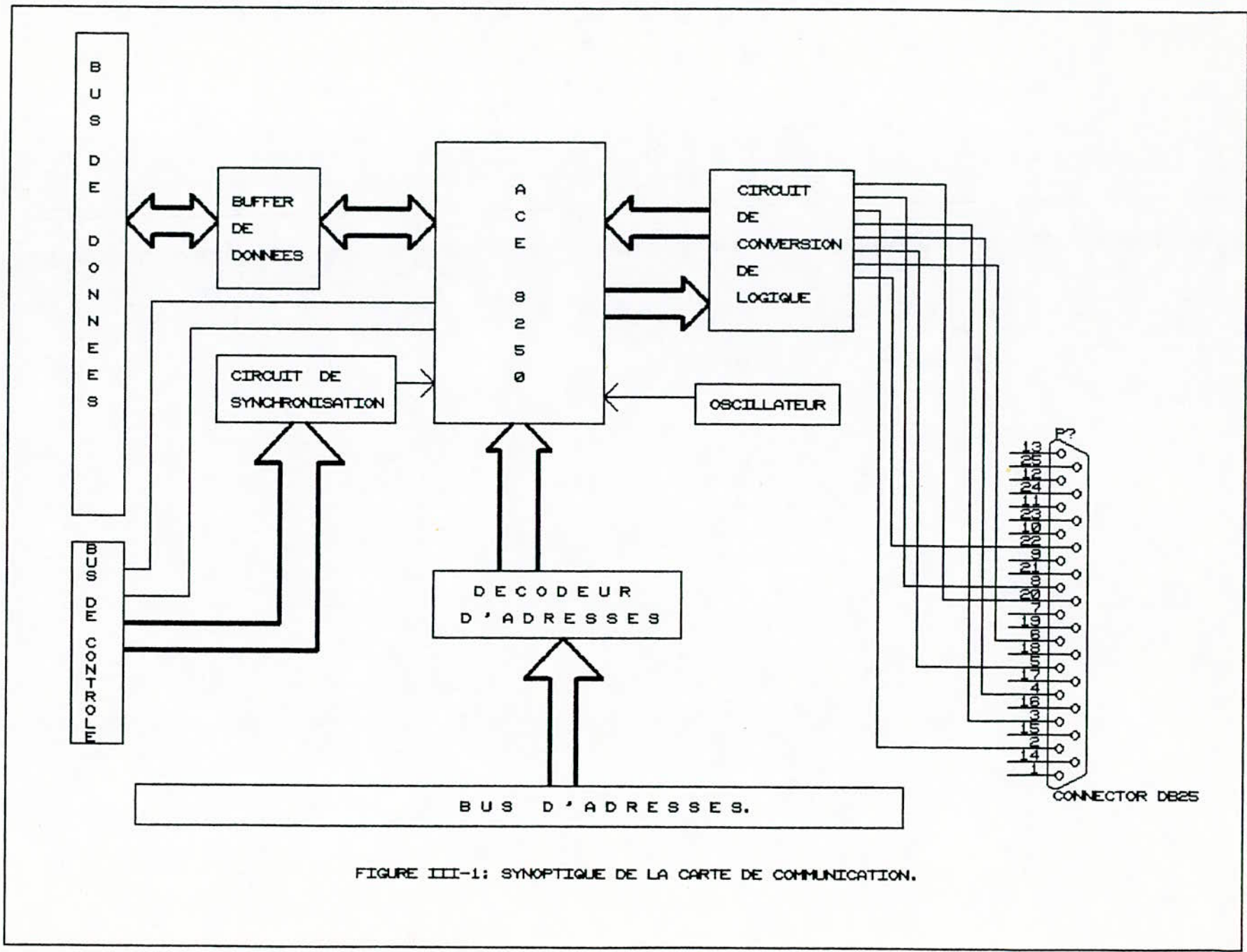


FIGURE III-1: SYNOPTIQUE DE LA CARTE DE COMMUNICATION.

## B) DESCRIPTION DES DIFFERENTS BLOCS DE LA CARTE:

### 1°) DECODAGE DE LA CARTE:

La carte peut être décodée grâce aux switches, suivant les quatre groupes.

- COM1: 3F8 à 3FF.

- COM2: 2F8 à 2FF.

- COM3: 370 à 377.

- COM4: 270 à 277.

Pour adresser la carte on doit d'abord sélectionner les trois lignes de sélection de registres A0, A1, A2 et les trois chips select CS0, CS1,  $\overline{CS2}$  sélectionnant le boîtier ACE 8250.

Le principe de sélection de la carte de communication comprendra les lignes suivantes:

- Les lignes d'adresses A0 à A9.

- Les lignes  $\overline{IOW}$  ou  $\overline{IOR}$  suivant que l'on désire effectuer une lecture ou une écriture.

- La ligne  $\overline{AEN}$  permettant de valider les adresses.

*Le procédé de décodage est le suivant:*

a) Les lignes A0, A1 et A2 du 8250 sont directement reliées aux lignes d'adresses A0, A1 et A2 du bus de l'IBM PC.

b) CS0 sélectionne la lecture ou l'écriture dans le port E/S.

Puisque notre carte permet de faire soit la lecture soit l'écriture de données mais pas les deux en même temps, alors il en résulte la table de vérité suivante:



$\overline{\text{IOW}}$	$\overline{\text{IOR}}$	CS0
0	0	0
0	1	1
1	0	1
1	1	0

Donc :  $\text{CS0} = \overline{\text{IOW}} \cdot \text{IOR} + \text{IOW} \cdot \overline{\text{IOR}}$

D'où le circuit électrique représenté par la figure III-2.

c) CS1 est validé en permanence.

d)  $\overline{\text{CS2}}$  sélectionne le boîtier afin d'adresser notre carte sur COM1, COM2, COM3 ou COM4 suivant les lignes d'adresses A3, A4, A5, A6, A7, A8, A9 et la ligne  $\overline{\text{AEN}}$  qui sert à valider le canal E/S. La sélection de CS2 est donnée par la figure III-3.

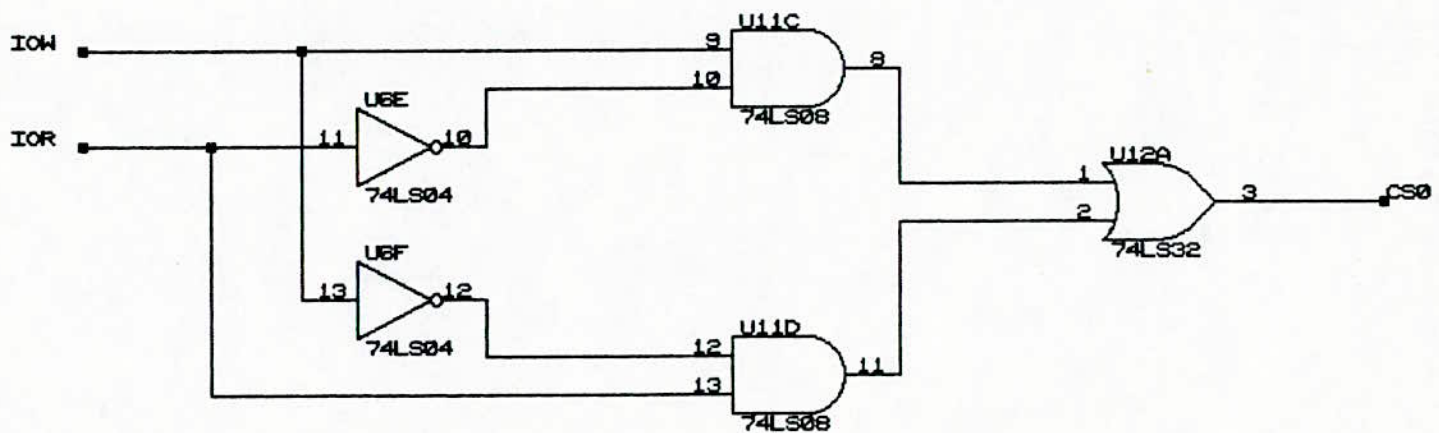


FIGURE III-2: SELECTION D'UNE LECTURE OU D'UNE ECRITURE.

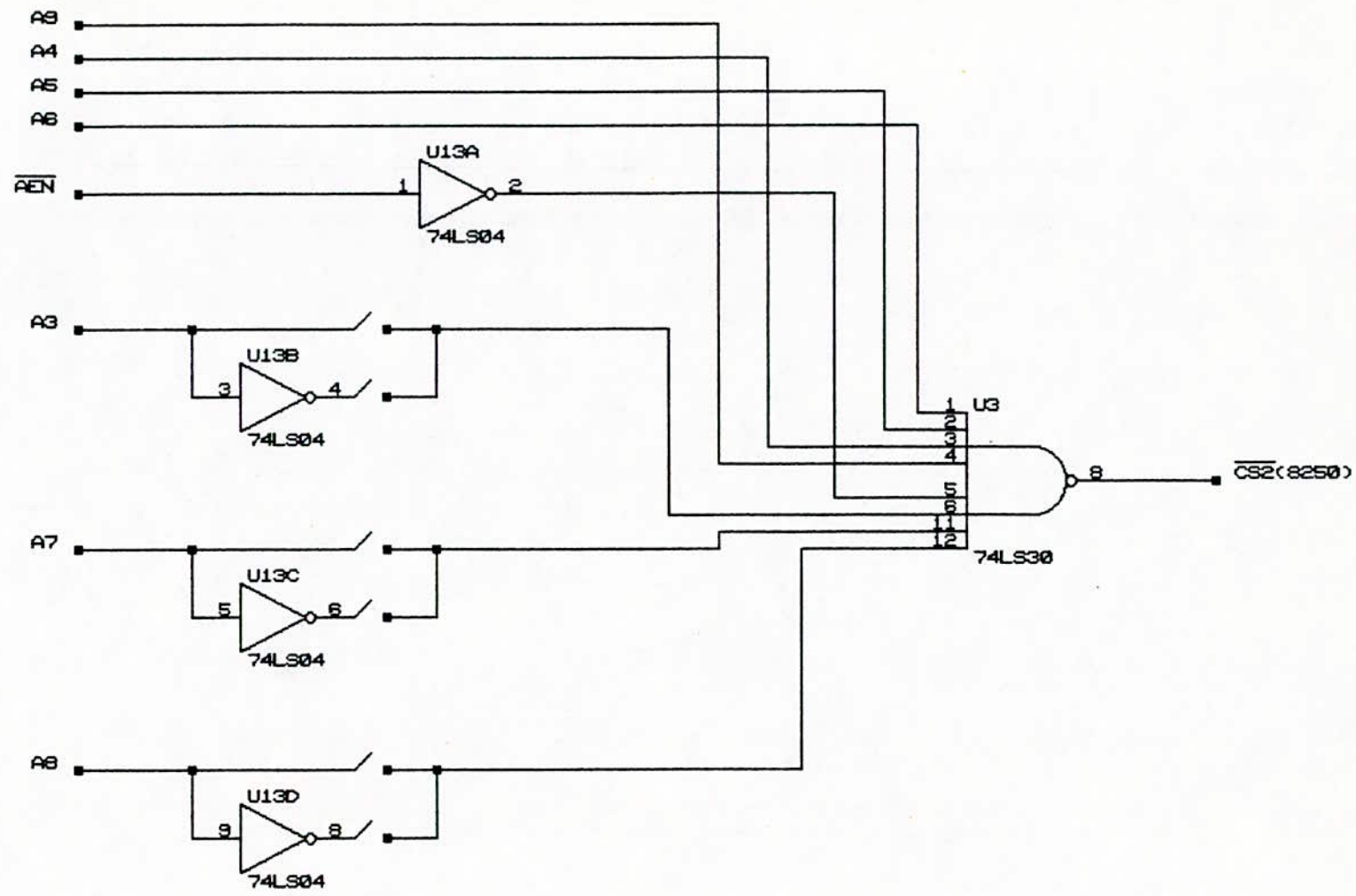
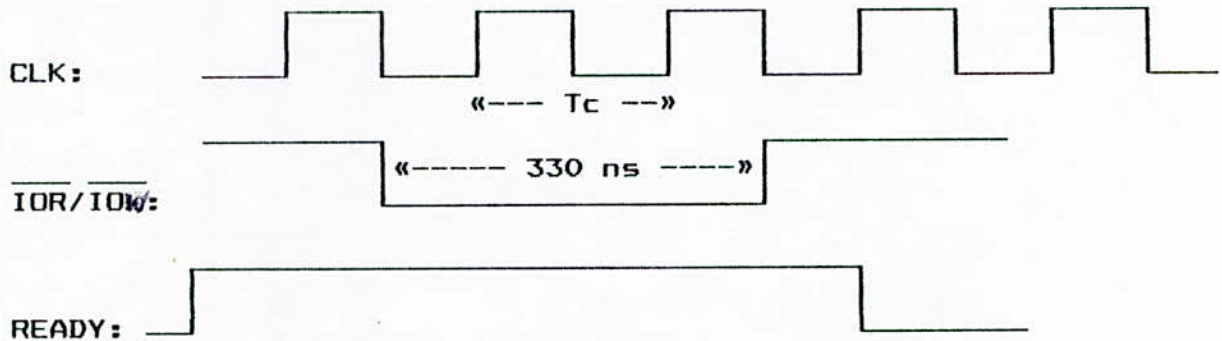


FIGURE III-3 : SELECTION DE LA CARTE SUIVANT LES 4 COM.

## 2°) SYNCHRONISATION DE LA CARTE AVEC LE BUS DE L'IBM PC:

### A) GENERATION DU SIGNAL " READY ":



Le signal " READY " est un signal dont l'état bas indique la fin de cycle. Un processeur ayant une horloge processeur avec une fréquence  $f$  reçoit le signal ready au bout d'un temps égal à  $1/f$ .

Comme le micro-ordinateur sur lequel notre carte sera insérée fonctionne à une fréquence de 6 MHz alors le processeur reçoit le signal ready au bout d'un temps  $T_c = 1/f = 160\text{ns}$ .

D'après le constructeur du 8250 et d'après le chronogramme du temps d'accès de ce dernier qui est égal à 330ns, c'est à dire  $2 \cdot T_c$  équivalent à deux périodes d'horloge processeur, ceci nous amène à concevoir une circuiterie logique afin de créer un retard sur le signal ready, ce qui permettra la synchronisation de notre carte avec le bus de l'IBM PC.

### B) DESCRIPTION DE LA CIRCUITERIE DE SYNCHRONISATION:

C'est une circuiterie à base de deux bascules D et d'un

compteur. La première bascule valide le compteur tandis que la seconde bascule enregistre son état de sortie. Le compteur compte les impulsions d'horloge processeur.

La circuiterie de synchronisation est donnée par la figure:III-4.

L'horloge de la première bascule D1 fonctionne en front descendant, c'est ce qui nous amène à inverser l'horloge processeur car elle fonctionne en front montant.

Un état haut de CLK et CSOUT donne un état bas à la sortie de AND inversée et l'horloge de la bascule D1 se déclenche. La sortie Q de cette bascule valide le compteur. Les sorties Qa, Qb et Qc de ce compteur sont reliés aux entrées d'une porte NAND. "figure III-5."

La sortie de porte NAND reste à 1 jusqu'à ce que le compteur compte la quatrième impulsion, à cet instant le ready passe à zero. Comme l'entrée de la deuxième bascule D2 est connectée à la ligne ready du bus E/S, elle est aussi à zero puisqu'elle suit l'entrée. Cette sortie sert à la remise à 0.

Pour mettre tous les circuits en même temps à zero, on utilise le circuit de la figure III-6.

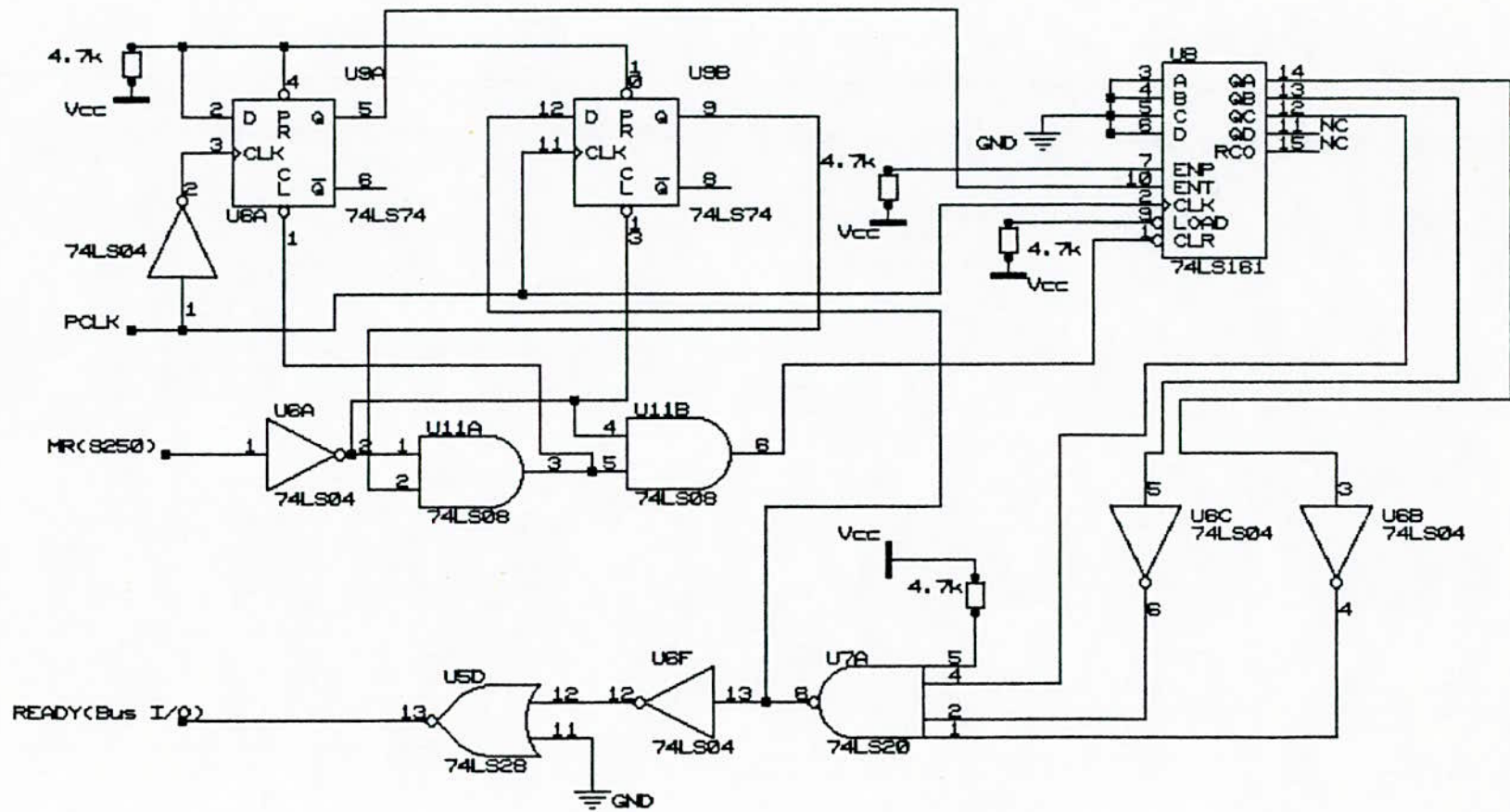


FIGURE III-4: CIRCUITERIE DE SYNCHRONISATION.

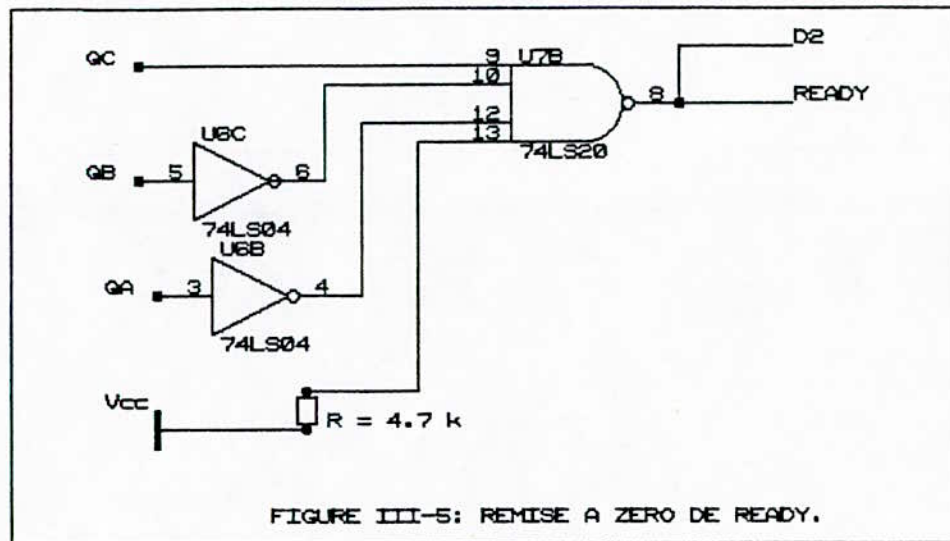


FIGURE III-5: REMISE A ZERO DE READY.

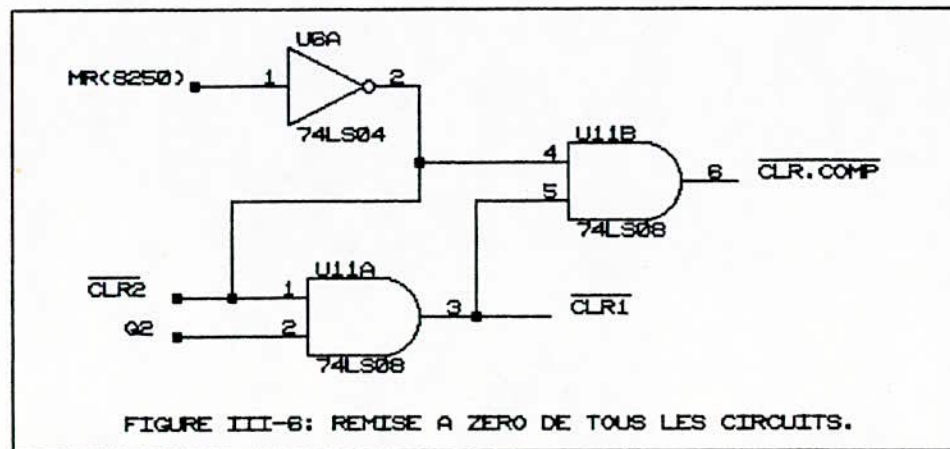


FIGURE III-6: REMISE A ZERO DE TOUS LES CIRCUITS.

### **3°) CONVERSION DE FORMAT:**

La plus part des ordinateurs stockent et manipulent leurs données en parallèle, cela signifie que lorsqu'un octet est envoyé d'un endroit de l'ordinateur à un autre, il n'est pas transmis bit par bit mais par série de plusieurs bits le long de nombreux fils en parallèles.

Puisque dans la plupart des cas les communications entre micro-ordinateur se fait en série, il est donc indispensable de convertir les données parallèles en données séries. C'est là, le rôle principal de l'ACE 8250, car il permet de la conversion série parallèle en émission et parallèle série en réception. Cette conversion de format s'effectue grâce à un registre à décalage intégré dans notre contrôleur de communication.

### **4°) CONVERSION DE LOGIQUE:**

La plus part des systèmes à microprocesseurs fonctionnent en logique TTL, qui correspond à 2 volts pour le 0 logique et 5 volts pour le 1 logique. Par contre, les niveaux de tension exigés par les normes des lignes de transmission séries ne sont pas compatibles TTL. La norme des interfaces séries la plus utilisée est la RS 232C. C'est pour cela qu'un convertisseur de logique TTL/RS 232C en émission et RS 232C/TTL en réception soit indispensable à la carte pour qu'elle puisse communiquer à travers des lignes de transmission séries.

Les convertisseurs de logique utilisés dans notre carte sont: Le MC 1488 en émission et le MC 1489 en réception.



*CHAPITRE IV :*  
*PROGRAMMATION DE LA*  
*CARTE*  
*DE COMMUNICATION*

# PROGRAMMATION DE LA CARTE DE COMMUNICATION

## **INTRODUCTION:**

L'émulation d'un terminal consiste à le remplacer par un micro-ordinateur, elle est réalisée grâce ce dernier, auquel on associe un logiciel et un matériel appropriés. L'avantage de l'utilisation d'un micro-ordinateur en tant que terminal est qu'il permet non seulement de transmettre et de recevoir des données, mais aussi de charger ces données et de les traiter localement, à l'inverse d'un terminal qui lui ne pourra qu'émettre et recevoir des données.

## **A) LE BIOS: "Basic Input Output System"**

La ROM BIOS est constituée de divers programmes qui permettent de gérer les différents périphériques d'un micro-ordinateur. Le BIOS indique la façon par laquelle le système donne accès aux différents périphériques.

L'accès au sous-programme BIOS est réalisé au moyen des interruptions logicielles générées par le microprocesseur 8086. Chaque périphérique possède son propre type d'interruption et les paramètres de traitement des interruptions sont communiqués au BIOS par l'intermédiaire des registres AH et AL.

Dans le domaine des communications séries, le BIOS fournit quatre fonctions internes pour gérer la communication et l'interruption BIOS correspondante aux communications séries est INT 14H. Les quatre fonctions BIOS sont:

- \* *Initialisation.*
- \* *Emission.*
- \* *Réception.*
- \* *Test état du port.*

## **B) LES FONCTIONS BIOS POUR COMMUNICATION SERIE:**

### **1°) FONCTION INITIALISATION:**

La première fonction BIOS, la fonction 0 sert à initialiser les paramètres de communication. On y accède en mettant le registre AH à 0 ensuite le numéro du port sera affecté au registre DX, l'octet représentant les paramètres de communication sera placé dans le registre AL et enfin on exécute l'interruption INT 14H.

### **2°) FONCTION EMISSION:**

La fonction BIOS 1 sert à émettre des caractères. On l'appelle en mettant AH à 1 et DX au numéro du port, ensuite on place le caractère à envoyer dans le registre AL, puis on exécute l'interruption INT 14H. La mise en oeuvre conventionnelle consiste à exécuter la fonction regard état du port "voir plus loin", puis la fonction émission de caractères une fois que l'on sait que les conditions sont favorables, c'est à dire qu'elles correspondent au registre tampon d'émission vide et au registre de décalage d'émission vide.

### **3°) FONCTION RECEPTION:**

La fonction réception de caractère, fonction 2 est appelée en mettant AH à 2, DX au numéro du port puis en exécutant l'interruption INT 14H. Le caractère reçu sera placé dans le registre AL.

### **4°) FONCTION TEST ETAT DU PORT:**

La fonction regard état du port, fonction 3 est appelée en mettant AH à 3, DX à la valeur du numéro du port puis en exécutant l'interruption logicielle INT 14H. Elle fournit divers informations sur l'état courant du port série puis retourne cet état dans le registre AX.

### **C) PROGRAMME PRINCIPAL:**

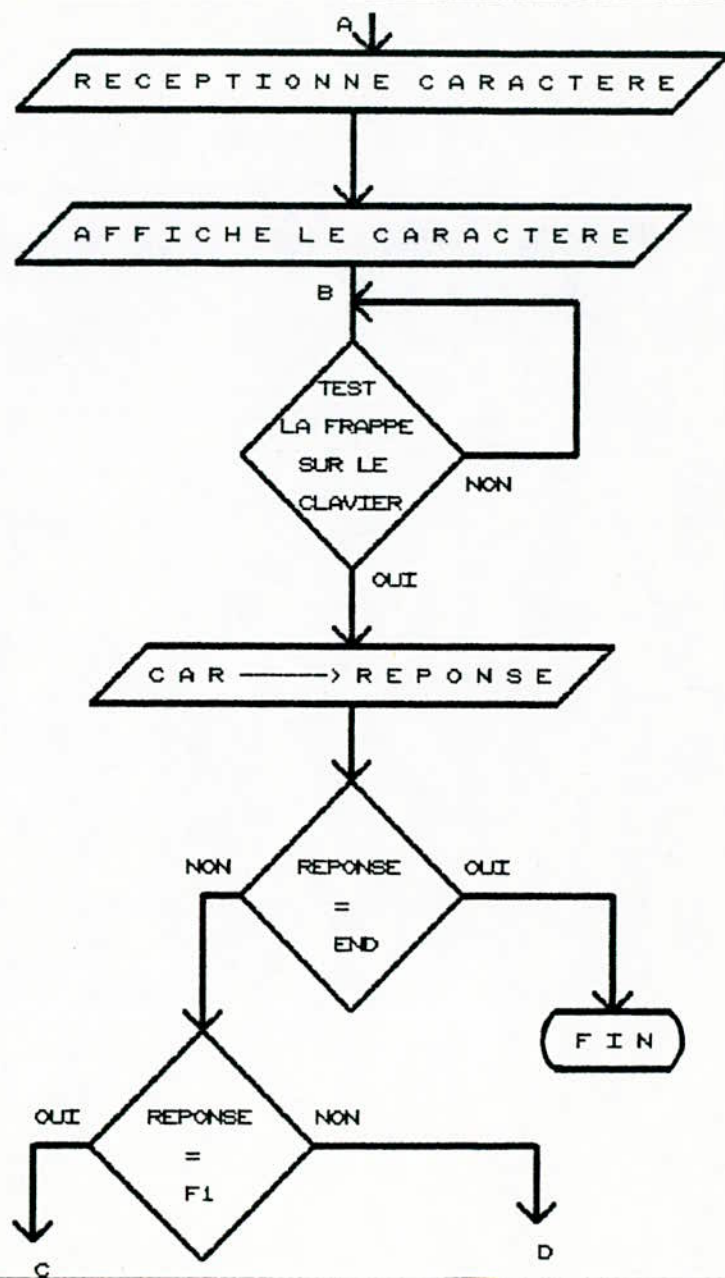
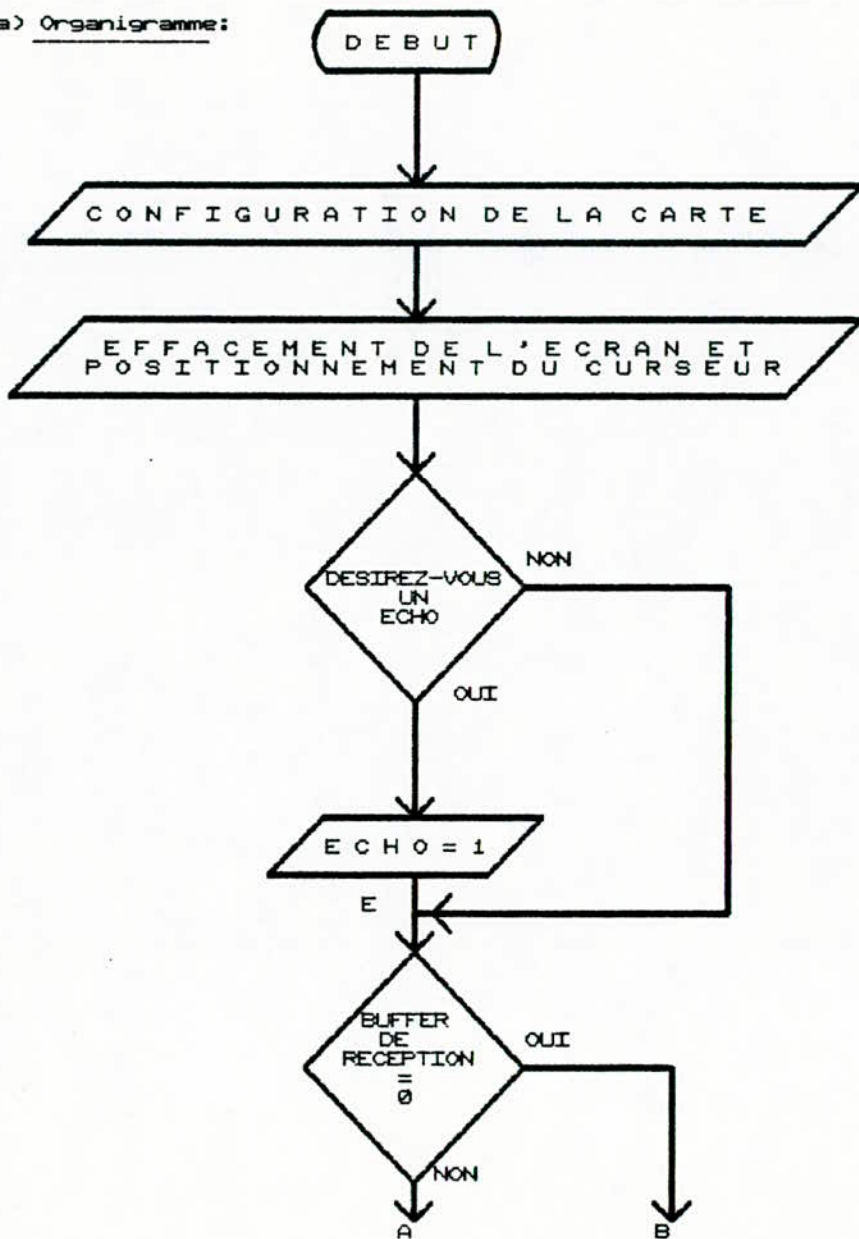
Le langage de programmation utilisé pour gérer la carte de communication est le turboC.

Le turboC a été introduit en juin 1987 par BORLAND, c'est un langage proche de l'assembleur tout en gardant les mêmes caractéristiques des langages évolués, tel que le Pascal. L'un des avantages de ce langage est qu'il présente une vitesse de compilation de 7000 lignes à la minute et une " library " de plus de 300 fonctions.

Le logiciel qui suit, permet d'émuler un micro - ordinateur en terminal pour communiquer avec d'autres P C en mode asynchrone.

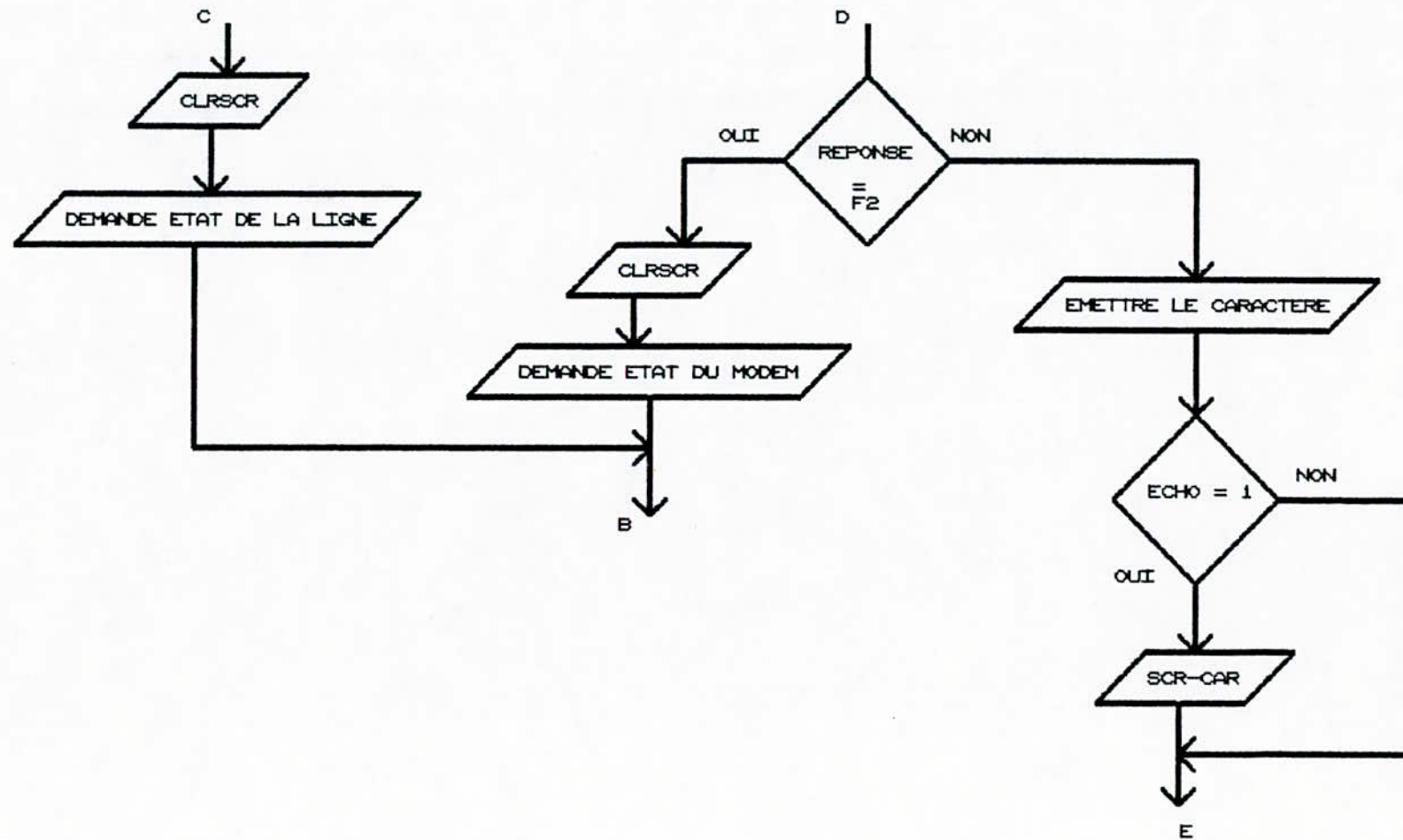
PROGRAMME PRINCIPAL

a) Organigramme:



SUITE DU PROGRAMME PRINCIPAL

b) Suite de l'organigramme:



```

#define ESCAPE 0x1B
#define NON 0x00
#define OUI 0x01

#define INTERRUPT_COM int86(0x14,&inregs,&outregs);

#define INTERRUPT_SCR int86(0x10,&inregs,&outregs);

/* programme à inclure */
#include <stdio.h>
#include <dos.h>
#include <fcntl.h>
#include <conio.h>
#include <io.h>

/* definition de variables */
union REGS inregs,outregs;
char Demande;
char Status = 0x00;
char ch2 = 0x00;

/* debut du programme */
main()
{
    char reponse;
    int echo,termine;

    Initialiser_port(); /* initialise la carte de communication */
    Clrscr(); /* efface l'ecran du µ-ordinateur */
    GotoXY(1,1); /* place le curseur du µ-ordinateur à li=1, col=1 */
    printf("DESIREZ-VOUS UN ECHO SUR L'ECRAN ? (O/N)");
    reponse=getch();
    if (reponse == 'o' || reponse == 'O') echo = 1;
    Clrscr();
    printf("FORMAT = 8 BITS DATA + 1 BIT STOP + PARITE PAIRE\n");
    printf("ENTREZ F1 POUR DEMANDER L'ETAT DE LA LIGNE\n");
    printf("ENTREZ F2 POUR DEMANDER L'ETAT DU MODEM\n");
    printf("ENTREZ LES CARACTERES A EMETTRE OU TAPPEZ SUR FIN\n");
    GotoXY(1,5);
    Envoyer_caractere(0x0C);
    Envoyer_caractere(0x11);
    do
    {
        if (kbhit())
        {
            reponse = getch();
            switch(reponse)
            {
                case 0 : reponse = getch();
                    if (reponse == 79) termine = OUI;
                    if (reponse == 59) Demande_Status_Ligne();
                    if (reponse == 60) Demande_Status_Modem();
                    break;
                default :

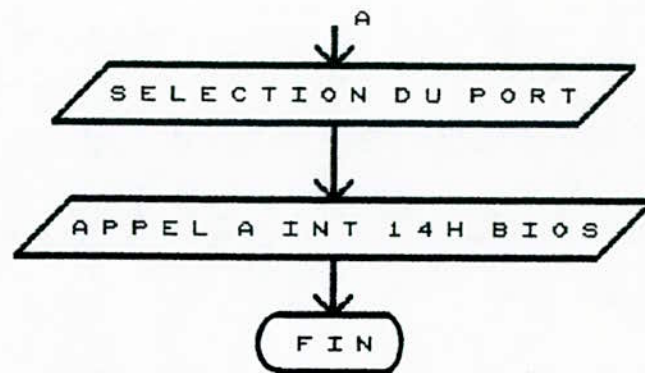
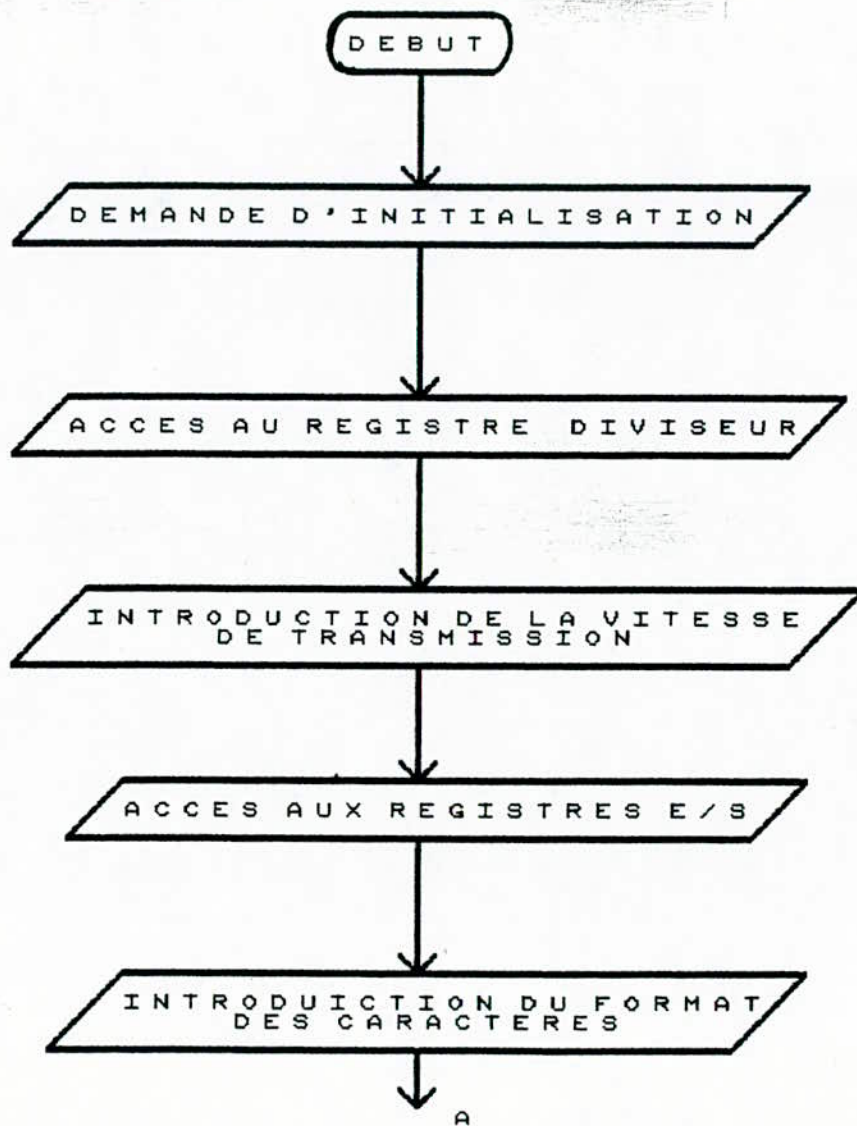
```

```
        Envoyer_caractere(reponse);
        if (echo == 1) Scr_echo(reponse);
        break;
    }
}
while (termine != OUI); /* attend l'activation de la touche end ou
fin */
Clrscr();
Envoyer_caractere(0x14);
}
```



1) CONFIGURATION :

Organigramme :



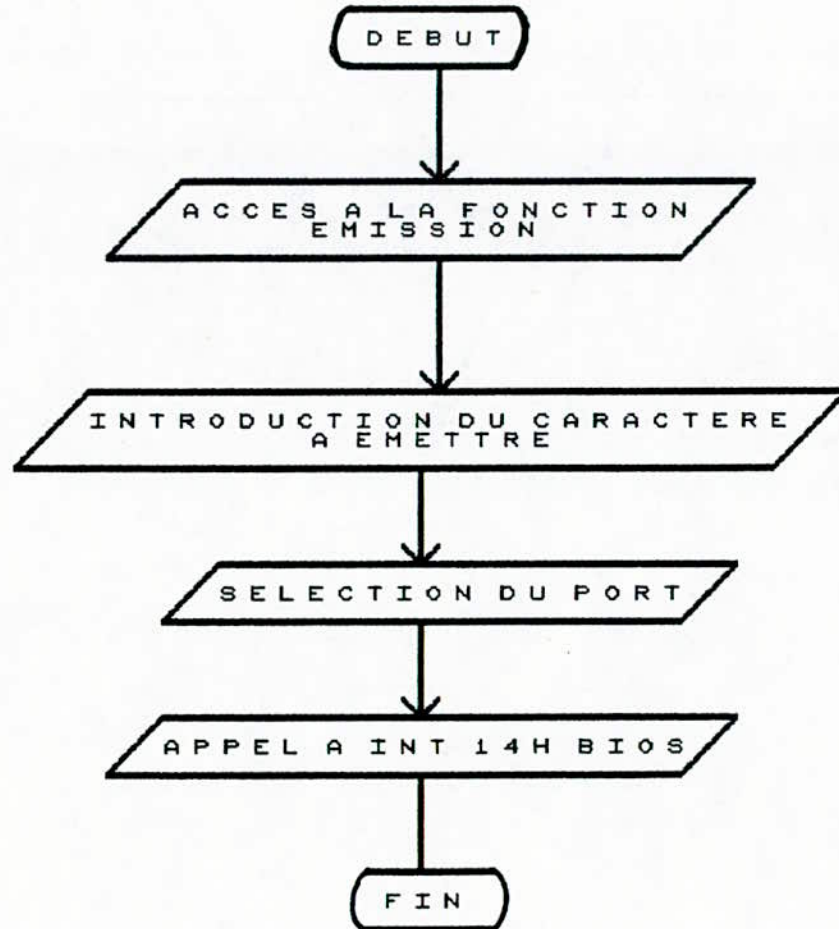
b) Programme :

```

Initialisation ()
{
  inregs.h.ah = 00;
  inregs.h.al = 0x3A;
  inregs.x.DX = 00;
  int 86(0x14, &inregs, &outregs);
}
  
```

2) EMISSION :

a) Organigramme:

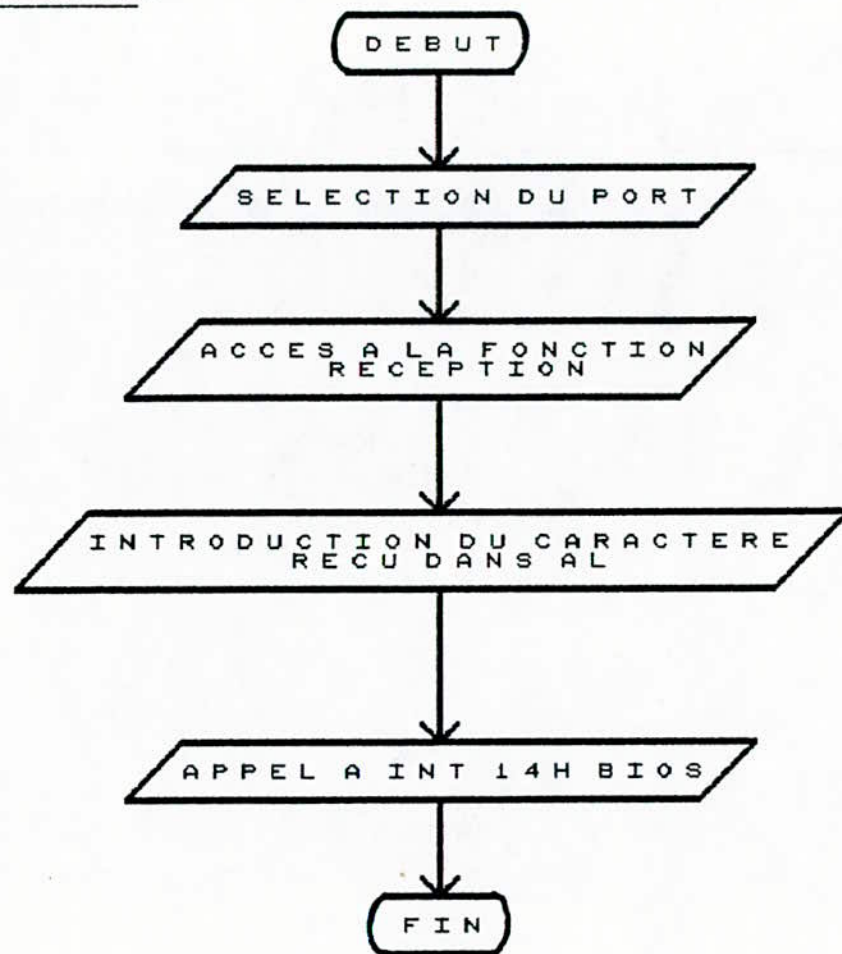


b) Programme:

```
Emission ()  
char caractere;  
{  
    inregs.h.ah = 0x01;  
    inregs.h.al = caractere;  
    inregs.x.Dx = 00;  
    int 86(14H, &inregs, &outregs);  
}
```

### 3) RECEPTION :

a) Organigramme:

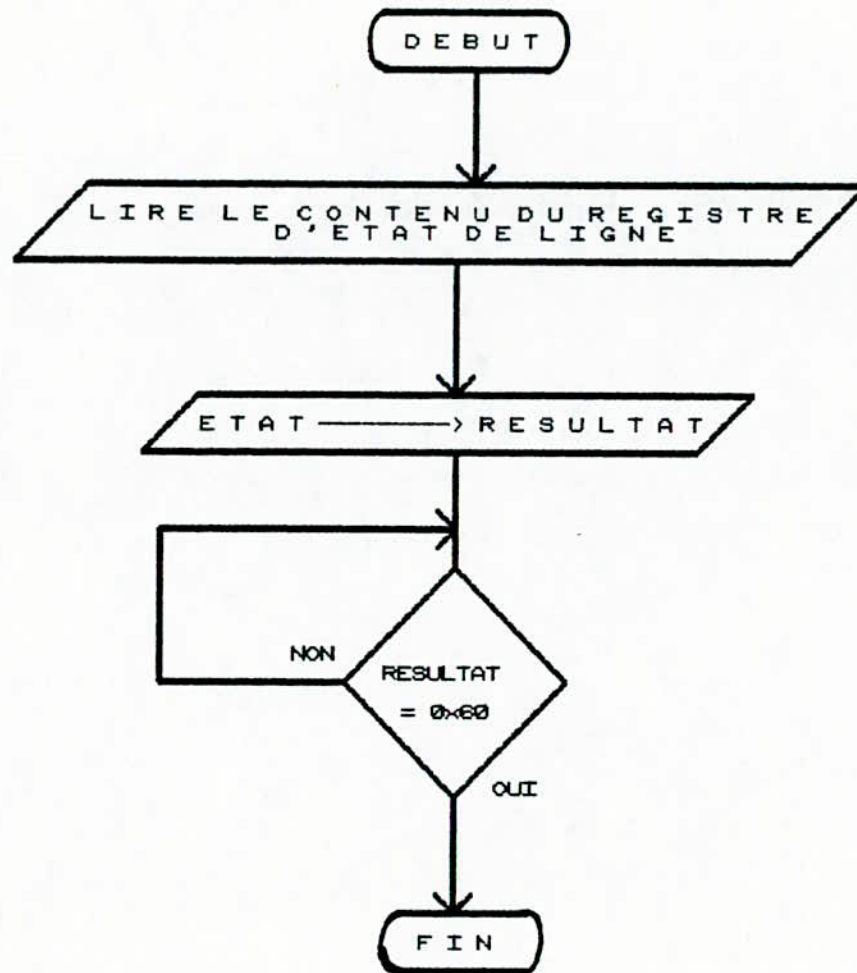


b) Programme:

```
Reception (< >
char caractere;
{
  inregs.x.Dx = 00;
  inregs.h.ah = 0x02;
  inregs.h.al = caractere;
  int 86(14H, &inregs, &outregs);
}
```

4 ) READY :

a) Organigramme:

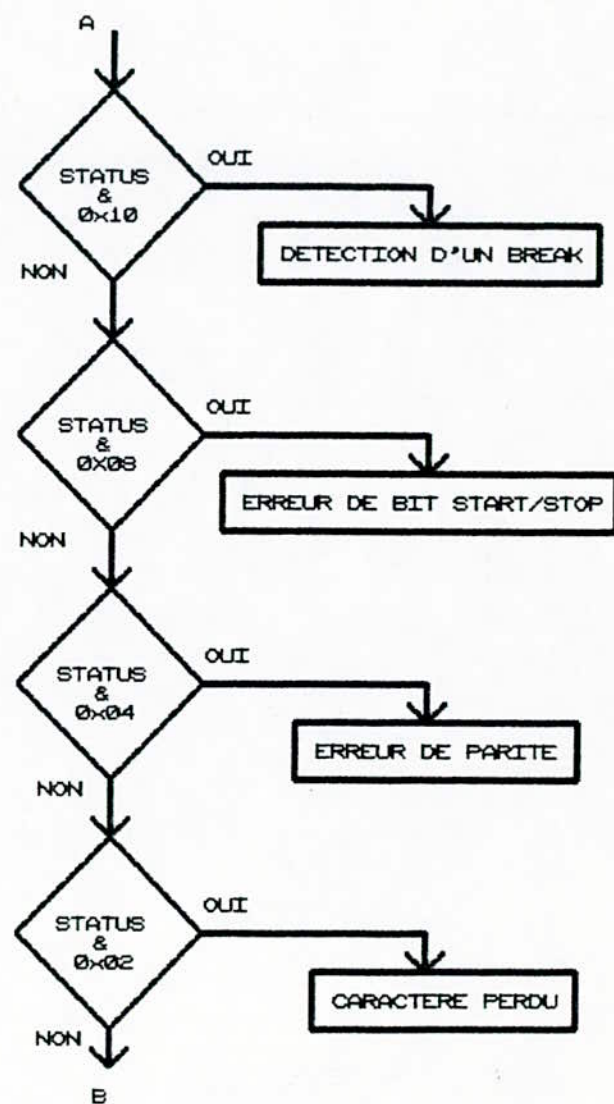
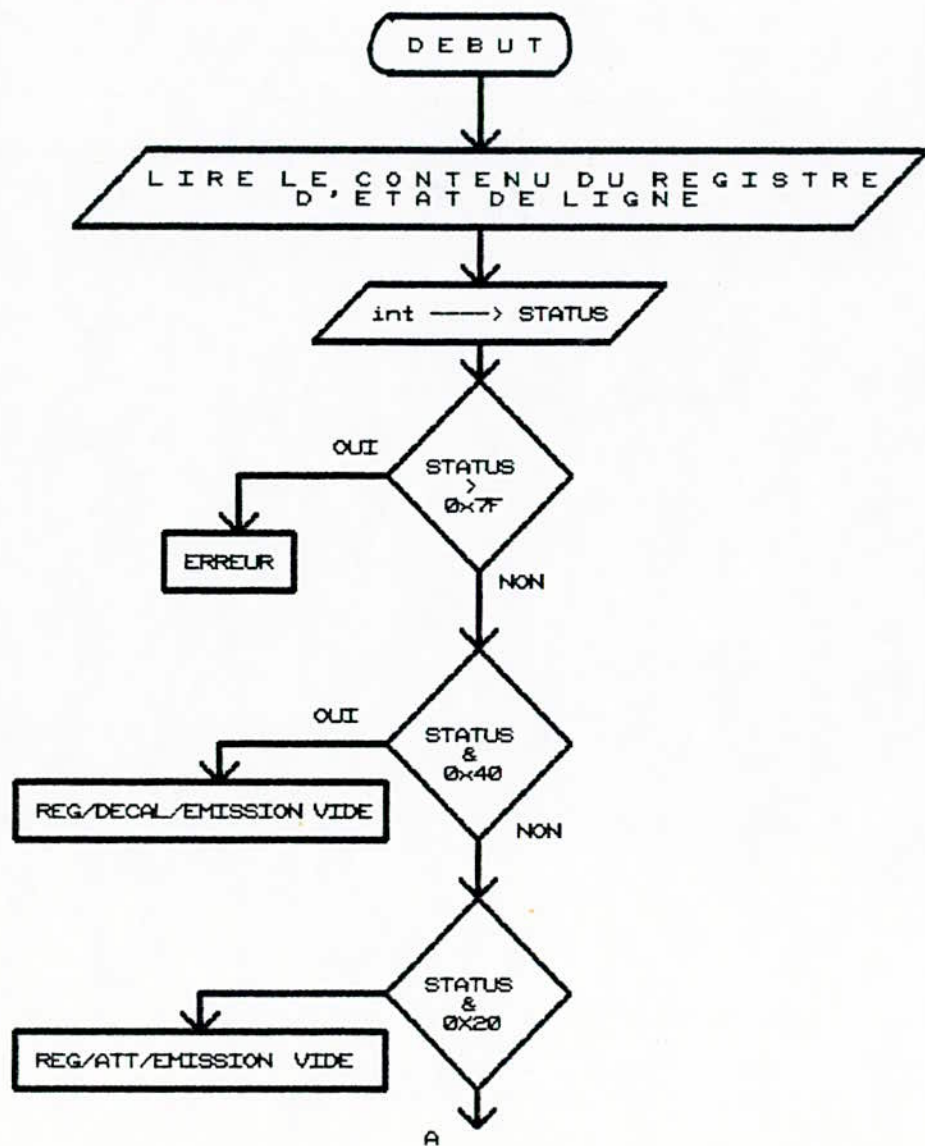


b) Programme:

```
Ready ()  
{  
  int resultat;  
  do  
  {  
    resultat = inport(0x3Fd);  
  }  
  while ( resultat != 0x60);  
}
```

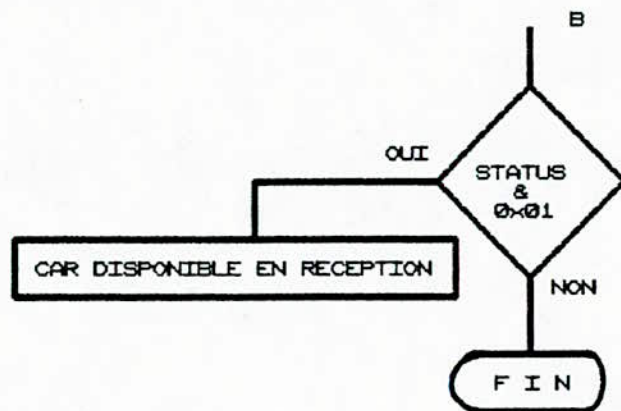
5) TEST ETAT DE LA CARTE

a) Organigramme:



SUITE DE TEST ETAT DE LA CARTE

a) Suite de l'organigramme:



b) Programme:

```

TEST ETAT (<)
{
  char STAU;
  STATUS = inport(0x3FD);
  if (STATUS > 0x7F)
    printf(" erreur time/out\n");
  if (STATUS & 0x40)
    printf(" registre de decalage de transmission vide\n");
  if (STATUS & 0x20)
    printf("registre d'attente de transmission vide\n");
  if (STATUS & 0x10)
    printf("detection d'un break\n");
  if (STATUS & 0x08)
    printf("erreur de bit start ou stop\n");
  if (STATUS & 0x04)
    printf("erreur de parite\n");
  if STATUS & 0x02)
    printf("caractere perdu\n");
  if (STATUS & 0x01)
    printf("caractere disponible en reception\n");
  GotoXY(1,9);
  printf (" tapez une touche pour continuer\n");
}
  
```

*CONCLUSION*

## CONCLUSION:

L'étude réalisée dans le cadre de ce projet, m'a permis d'exploiter les connaissances acquises pendant mes études et m'a introduit dans le domaine de la téléinformatique donnant ainsi un complément à ma formation.

La réalisation de la carte de communication exigeait de nous des connaissances sur l'environnement du PC et des techniques de transmission de données.

La carte a été testée sur un PC compatibles AT. Les résultats étaient satisfaisants et encourageants.

L'utilisation de cette carte se prête à des améliorations, c'est ainsi que nous suggérons les extensions suivantes:

- \* *L'adaptation de la carte aux transmissions synchrones.*
- \* *Elaboration d'un logiciel de transfert de fichier.*

Par ailleurs, nous espérons que ce projet servira de base pour d'autres réalisations dans le domaine des transmissions numériques.



*BIBLIOGRAPHIE*

## BIBLIOGRAPHIE:

1\_ P.W. GOFTON.

*TECHNIQUE DE COMMUNICATION SERIE SUR PC ET  
COMPATIBLES. EDITION SYBEX (1987).*

2\_ P. CURIEN ET J.M. MANEGAUX.

*TELECOMMUNICATION SERIE SUR IBM PC.  
EDITION TESTS (1986).*

3\_ S. LEIBSON.

*MANUEL DES INTERFACES.  
EDITION MCGRAY-HILL (1984).*

4\_ G. APPRUZZESE ET C. FRAULY.

*IBM PC DU LABORATOIRE A L'INDUSTRIE.  
EDITION DUNODS (1986).*

5\_ C. MACCHI ET J.F GUILBERT.

*TELEINFORMATIQUE.  
EDITION DUNOD (1983).*

6\_ M. AUMIAUX.

*LES SYSTEMES A MICROPROCESSEURS.  
EDITION MASSON (1986).*

7\_ J.W COFFRON.

*PROGRAMMATION DU 8086-8088.  
EDITION SYBEX (1986).*

8\_ F. RETAUREAU.

*8086-8088.  
EDITION SYBEX (1985).*

9\_ M. LAURENT.

*INTRODUCTION A TURBOC.*

*EDITION SYBEX (1987).*

10\_ G. LEBLANC.

*TURBOC.*

*EDITION EYROLLES (1987).*

11\_ M. COTTI.

*LE BIOS DES PC & COMPATIBLES.*

*EDITION SYBEX (1987).*

12\_ G. PUJOLLE.

*RESEAUX ET APPLICATIONS.*

*EDITION EYROLLES (1986).*

13\_ A. DABA & Z. KIDALI.

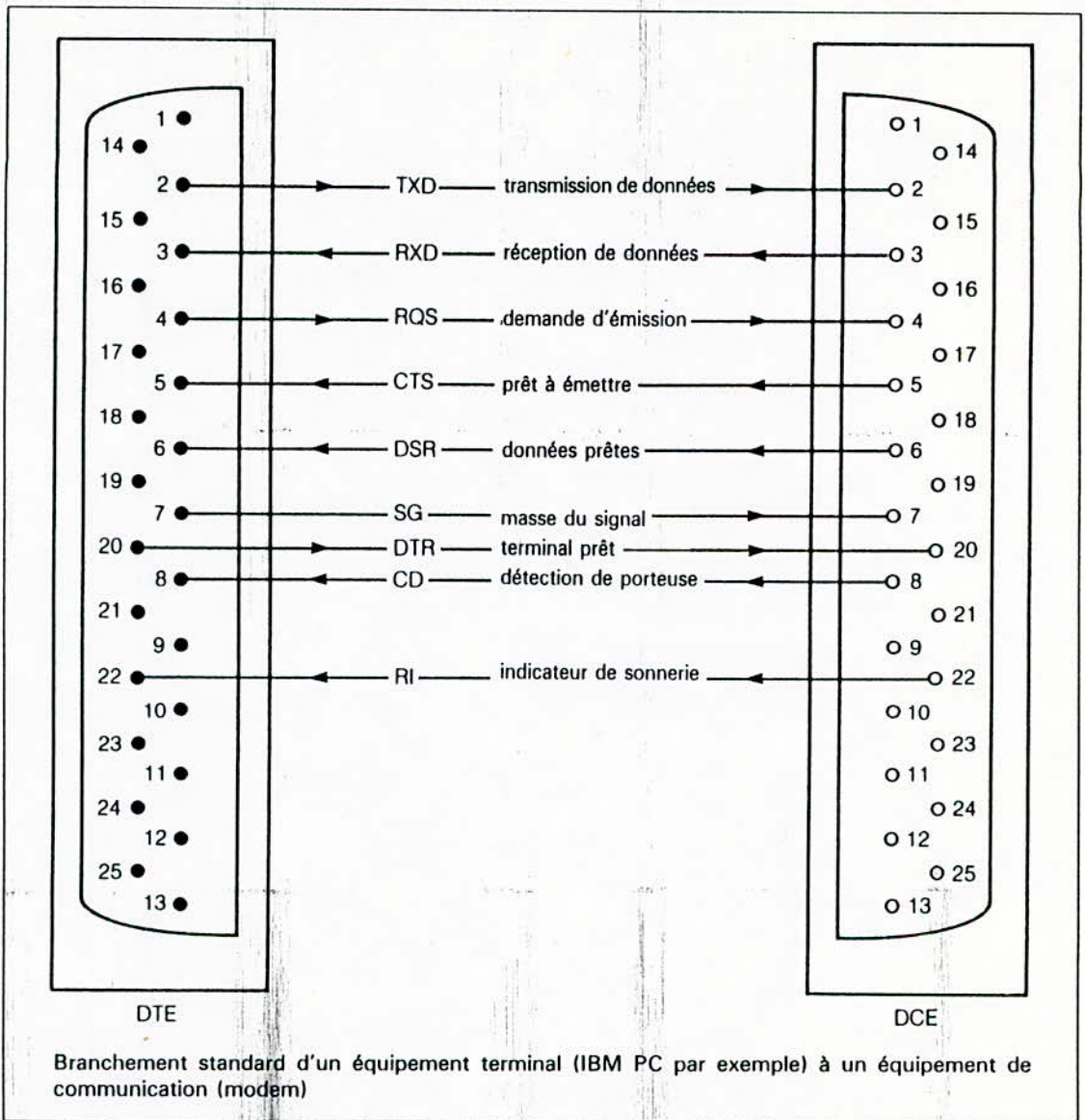
*PROJET DE FIN D'ETUDES.*

*" ETUDE ET CONCEPTION D'UN PAD ". ENP JANVIER 1988.*

*ANNEXES*

### Signaux du RS-232C et leurs définitions

Broche	Nom	Objet
1	Masse châssis	Terre de sécurité
2	Données émission	Ligne de données du DTE vers DCE
3	Données réception	Ligne de données du DCE vers DTE
4	Demande à émettre	Mis à un par DTE lorsqu'il désire émettre des données sur la ligne de communication. Le DCE répond en établissant la liaison si ce n'est déjà fait
5	Prêt à émettre	Mis à un par le DTE lorsque la liaison est établie
6	Equipement de données prêt	Mis à un par le DCE lorsqu'il est sous tension et fonctionne correctement
7	Masse signal	Masse logique pour l'interface
8	Détection porteuse	Mis à un par le DCE lorsqu'il reçoit une porteuse sur la ligne
9	Réservé	
10	Réservé	
11	Non affecté	
12	Détection porteuse secondaire	Comme 8 mais pour un canal secondaire
13	Prêt à émettre secondaire	Comme 5 mais pour un canal secondaire
14	Données émission secondaires	Comme 2 mais pour un canal secondaire
15	Horloge émission	Fréquence d'horloge pour l'émission généralement utilisée pour la transmission synchrone. Signal fourni par le DCE au DTE
16	Données réception secondaires	Comme 3 mais pour un canal secondaire
17	Horloge réception	Fréquence d'horloge pour le récepteur généralement utilisée pour la transmission synchrone. Signal fourni par le DTE au DCE
18	Non affecté	
19	Demande à émettre secondaire	Comme 4 mais pour un canal secondaire
20	Terminal de données prêt	Instauré par le DTE quand il est sous tension et fonctionne correctement
21	Détection qualité de signal	Instauré par le DCE quand le canal de communication fonctionne de façon fiable. S'il est faux, le DTE peut tenter de changer la vitesse de bits en modifiant le niveau de la broche 23, Sélection de vitesse
22	Indicateur sonnerie	Instauré par le DCE quand quelque chose tente de contacter le DCE sur le canal de communication
23	Sélection de vitesse	Utilisé pour la sélection de vitesse de transmission. Peut être modifié en réponse à un changement de la broche 21, Détection qualité de signal
24	Horloge émission externe	Horloge émission fournie au DCE par le DTE
25	Non affecté	



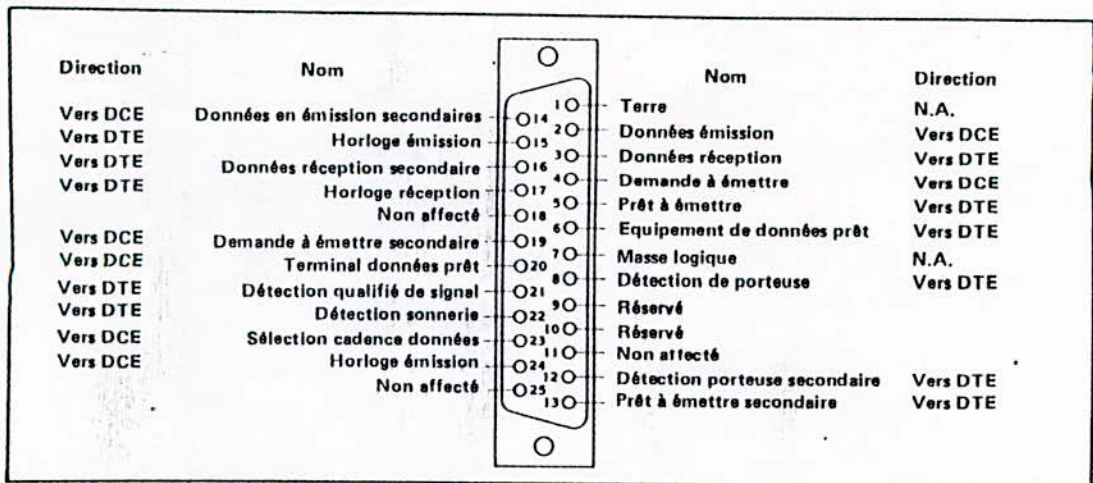
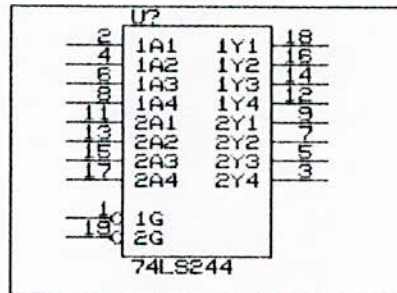
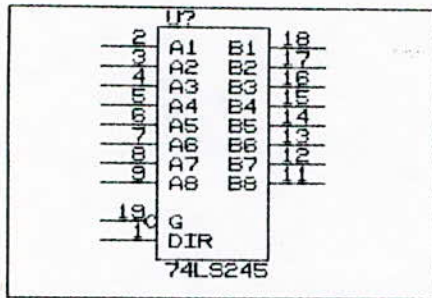


Schéma de brochage et signaux d'un connecteur RS-232C.





**MOTOROLA**

# MC1488

## QUAD LINE DRIVER

The MC1488 is a monolithic quad line driver designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

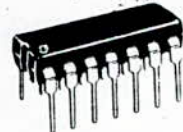
### Features:

- Current Limited Output  
±10 mA typ
- Power-Off Source Impedance  
300 Ohms min
- Simple Slew Rate Control with External Capacitor
- Flexible Operating Supply Range
- Compatible with All Motorola MDTL and M TTL Logic Families

## QUAD MDTL LINE DRIVER RS-232C SILICON MONOLITHIC INTEGRATED CIRCUIT

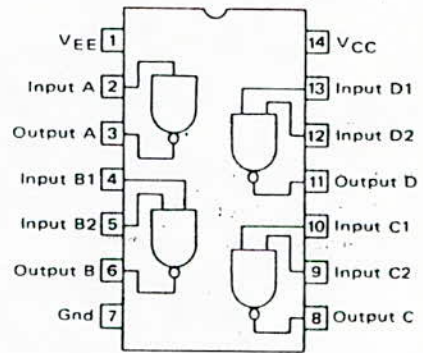


**L SUFFIX**  
CERAMIC PACKAGE  
CASE 632-02  
MO-001AA

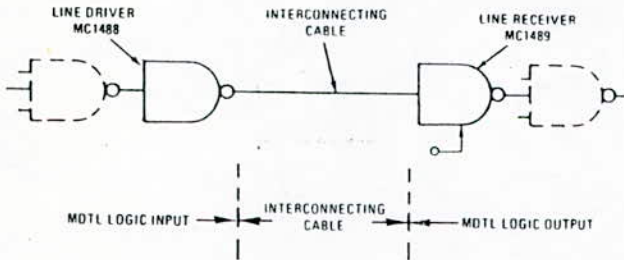


**P SUFFIX**  
PLASTIC PACKAGE  
CASE 646-05

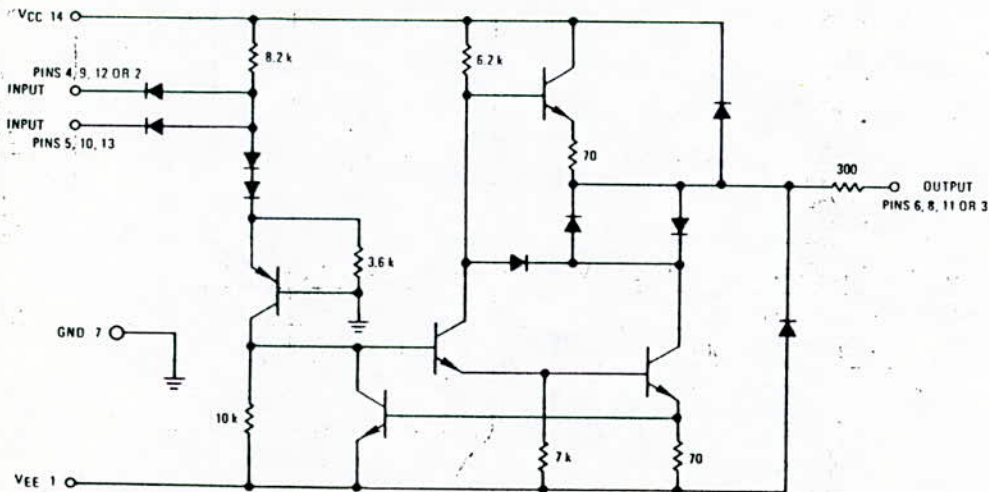
### PIN CONNECTIONS



### TYPICAL APPLICATION



### CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)







# MOTOROLA

## MC1489 MC1489A

### QUAD LINE RECEIVERS

The MC1489 monolithic quad line receivers are designed to interface data terminal equipment with data communications equipment in conformance with the specifications of EIA Standard No. RS-232C.

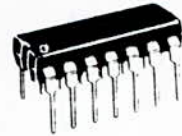
- Input Resistance - 3.0 k to 7.0 kilohms
- Input Signal Range - ± 30 Volts
- Input Threshold Hysteresis Built In
- Response Control
  - a) Logic Threshold Shifting
  - b) Input Noise Filtering

### QUAD MDTL LINE RECEIVERS RS-232C

SILICON MONOLITHIC  
INTEGRATED CIRCUIT

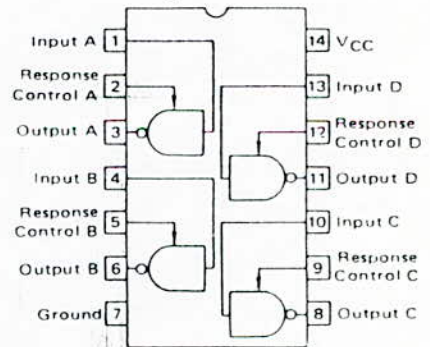
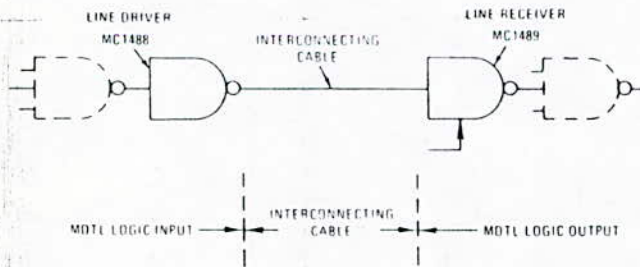


**L SUFFIX**  
CERAMIC PACKAGE  
CASE 632-02  
MO-001AA

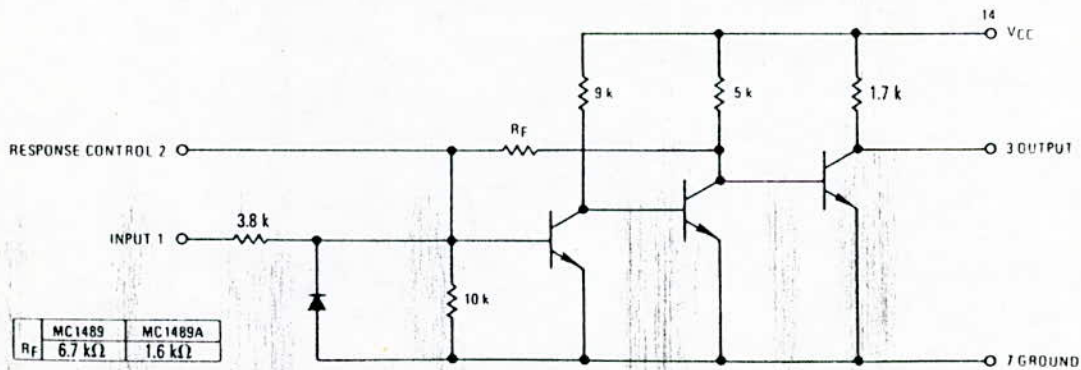


**P SUFFIX**  
PLASTIC PACKAGE  
CASE 646-05

### TYPICAL APPLICATION



### EQUIVALENT CIRCUIT SCHEMATIC (1/4 OF CIRCUIT SHOWN)



## 1 - PRINCIPALES NORMES (AVIS) DU CCITT

### Avis de la série V

Transmission de données sur les réseaux téléphoniques ou telex.

- V1 Correspondance entre les symboles de calcul binaire et les états significatifs d'un code bivalent.
- V2 Niveaux de puissance pour la transmission de données sur des circuits téléphoniques.
- V3 Alphabet international n° 5.
- V4 Structure générale des signaux du code pour l'alphabet international n° 5 pour transmission de données sur réseau public pour données.
- V5 Normalisation des débits binaires pour transmission de données synchrone sur le réseau téléphonique général avec commutation.
- V6 Normalisation des débits binaires pour transmission de données synchrone sur circuits loués de type téléphonique.
- V15 Utilisation de coupleurs acoustiques pour la transmission de données.
- V16 Modems pour transmission de données analogiques médicales.
- V19 Modems pour transmission parallèle de données utilisant les fréquences de signalisation téléphonique.
- V20 Modems pour transmission parallèle de données d'application universelle sur le réseau téléphonique général avec commutation.
- V21 Modem à 200 bauds normalisé pour usage sur le réseau téléphonique général avec commutation.
- V23 Modem à 600/1 200 bauds normalisé pour usage sur le réseau téléphonique général avec commutation.
- V24 Liste de définitions des circuits de liaison à la jonction entre l'équipement terminal de traitement de données et l'équipement de terminaison de circuit de données.
- V25 Appel et/ou réponse automatiques sur le réseau téléphonique général avec commutation y compris la neutralisation des supprimeurs d'écho lorsque l'appel est établi entre stations à fonctionnement manuel.
- V26 Modem à 2 400 bits par seconde normalisé pour usage sur circuits loués à quatre fils.
- V26 bis Modem à 2 400/1 200 bits par seconde normalisé pour usage sur le réseau téléphonique général avec commutation.
- V27 Modem à 4 800 bits par seconde avec égaliseur manuel normalisé pour usage sur circuits loués.
- V27 bis Modem à 4 800 bits par seconde avec égaliseur automatique normalisé pour usage sur circuits loués.
- V27 ter Modem à 4 800/2 400 bits par seconde normalisé pour usage sur le réseau téléphonique général avec commutation.
- V28 Caractéristiques électriques des circuits de liaison pour transmission par double courant asymétrique.
- V29 Modem à 9 600 bits par seconde pour usage sur circuits loués.
- V31 Caractéristiques électriques des circuits de liaison pour transmission par simple courant actionnés par contact fermeture.

- V35 Transmission de données à 48 kilobits par seconde au moyen de circuits en groupe primaire de 60 à 108 kHz.
- V36 Modems pour transmission de données synchrone utilisant les groupes primaires 60-108 kHz.
- V41 Système de protection contre les erreurs indépendant du code utilisé.
- V50 Normes limites de qualité de transmission pour les transmissions de données.
- V51 Organisation de la maintenance des circuits internationaux de type téléphonique utilisés pour la transmission de données.
- V52 Caractéristiques des appareils utilisés pour mesurer la distorsion et le taux d'erreurs en transmission de données.
- V53 Caractéristiques limites pour la maintenance des circuits de type téléphonique utilisés pour la transmission de données.
- V54 Appareils de bouclages de test pour modems.
- V55 Spécification d'un appareil de mesure de bruit impulsif pour circuits de type téléphonique.
- V56 Essais comparatifs des modems destinés à être utilisés sur des circuits de type téléphonique.
- V57 Ensemble complet d'essais de transmission de données aux débits binaires élevés.

**Avis de la série X**

Transmission de données sur les réseaux publics de transmission de données.

- X1 Catégories d'usagers du service des réseaux publics pour données.
- X2 Facilités recommandées et mises à la disposition des usagers des réseaux publics pour données.
- X4 Structure générale des signaux du code pour l'Alphabet International n° 5 pour transmission de données sur réseau public pour données.
- X20 Jonction entre l'équipement terminal de traitement de données et l'équipement de terminaison de circuit de données dans le cas de services arithmiques dans les catégories 1 et 2 sur réseaux publics pour données.
- X20 bis Jonction - compatible V21 - entre l'équipement terminal de traitement de données et l'équipement de terminaison de circuit de données dans le cas de services arithmiques dans les catégories 1 et 2 sur réseaux publics pour données.
- X21 Jonction entre l'équipement terminal de traitement de données et l'équipement de terminaison de circuit de données dans le cas d'opération synchrone sur réseaux publics pour données.
- X21 bis Usage sur réseaux publics pour données des équipements terminaux de traitement de données qui sont conçus avec des interfaces pour modems synchrones de la série V.
- X24 Liste des définitions des circuits d'échange entre équipement terminal de traitement de données et équipement de terminaison de circuit de données pour réseaux publics pour données.

- X25 Interface entre équipement terminal de traitement de données et équipement de terminaison de circuit de données pour terminaux fonctionnant en mode paquet sur réseaux publics pour données.
- X26 (V10) Caractéristiques électriques des circuits d'échange double courant asymétrique pour usage général avec les équipements à circuits intégrés, dans le domaine de la téléinformatique.
- X27 (V11) Caractéristiques électriques des circuits d'échange double courant symétrique pour usage général avec les équipements à circuits intégrés dans le domaine de la téléinformatique.
- X30 Normalisation d'un modèle fondamental d'appareil à impression sur page fonctionnant selon l'Alphabet International n° 5.
- X31 Caractéristiques, du point de vue de la qualité de la transmission, du point de jonction entre l'équipement terminal de traitement de données et l'équipement de terminaison de circuit de données, lorsqu'on utilise l'équipement terminal de traitement de données arithmique à 200 bauds fonctionnant selon l'Alphabet International n° 5.
- X40 Normalisation des systèmes de transmission à modulation par déplacement de fréquence permettant d'obtenir des voies de télégraphie et des voies de transmission de données par subdivision de fréquences d'un groupe primaire.
- X50 Caractéristiques fondamentales d'un plan de multiplexage destiné à la jonction internationale entre réseaux de données synchrones.
- X51 Caractéristiques fondamentales d'un plan de multiplexage destiné à la jonction internationale entre réseaux de données synchrones utilisant la structure d'enveloppe à 10 éléments binaires.
- X60 Signalisation sur la voie commune pour applications de données synchrones. Partie usager de données.
- X70 Système de signalisation de commande terminale et de transit pour les services arithmiques sur circuits internationaux entre réseaux pour données anisochrones.
- X71 Système de signalisation décentralisée de commande terminale et de transit sur circuits internationaux entre réseaux pour données synchrones.
- X92 Connexions de référence hypothétiques pour réseaux publics pour données synchrones.
- X95 Caractéristiques de réseau dans les réseaux publics pour données.
- X96 Signaux de progression d'appel dans les réseaux publics pour données.

**Avis relatifs au fonctionnement des entrées asynchrones caractère (PAD) sur les réseaux X25**

- X3 Service complémentaire d'assemblage et de désassemblage de paquets (ADP) dans un réseau public pour données.
- X28 Interface ETTD/ETCD pour l'accès d'un ETTD arithmique au service complémentaire d'assemblage et désassemblage de pa-

- quets (ADP) dans un réseau public pour données situé dans le même pays.
- X29 Procédures d'échange de l'information de commande et des données de l'utilisateur entre un ETTD fonctionnant en mode paquet (ETTD-P) et un service complémentaire d'assemblage et de désassemblage de paquets (ADP).

#### **Avis relatifs à l'interconnexion des réseaux publics X25**

- X75 Procédures de commande des communications terminales et de transit et système de transfert des données sur les circuits internationaux entre réseaux pour données à commutation par paquets.
- X121 Plan de numérotage international pour les réseaux publics pour données.

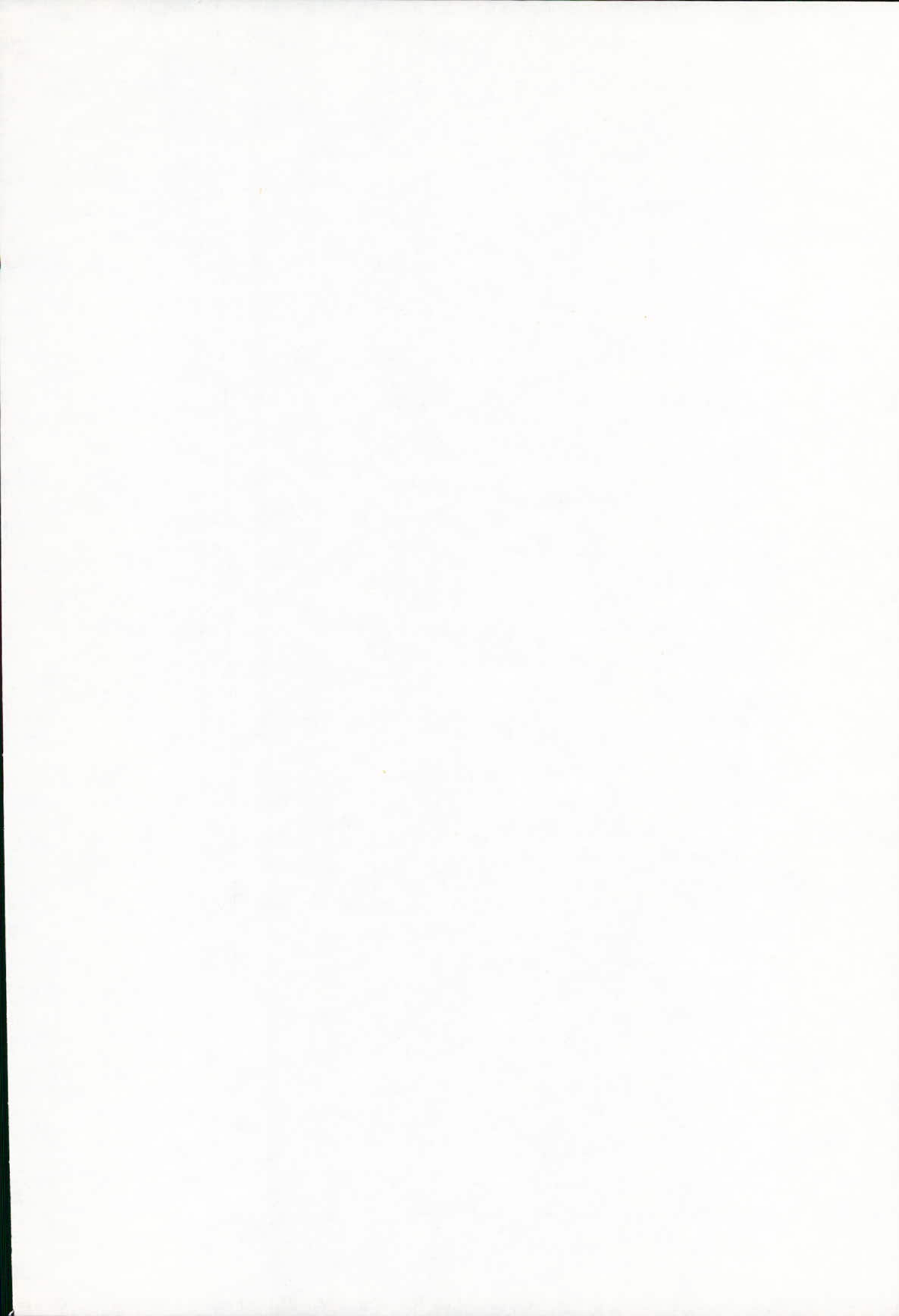
#### **Avis relatifs aux systèmes en couches**

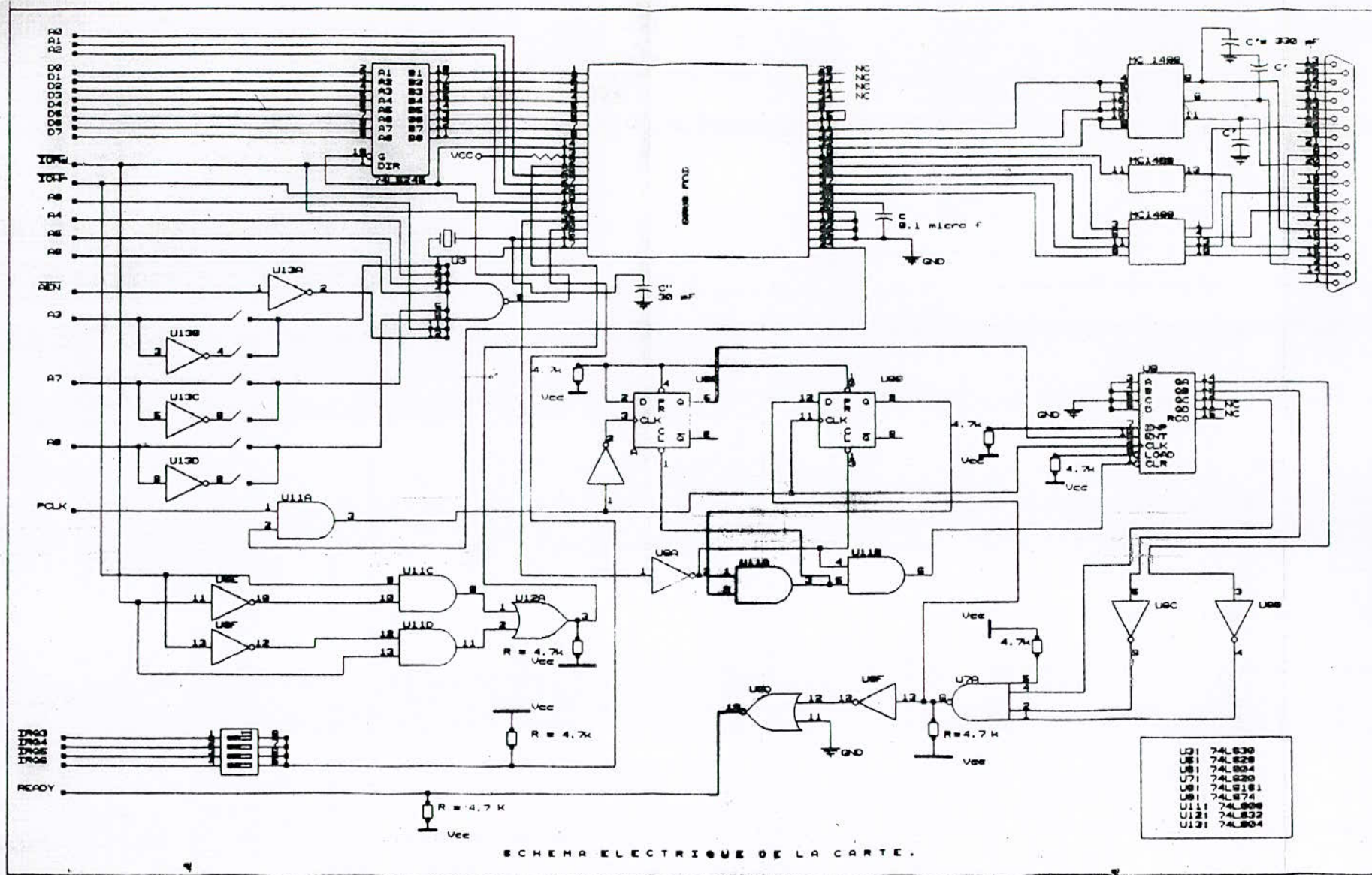
- X200 Définition du modèle en sept couches, pour l'interconnexion des systèmes ouverts.
- X213 Définition du service offert par la couche RESEAU de niveau 3 (selon X25).
- Définition de la couche TRANSPORT de niveau 4
- X214 Service
- X224 Protocole
- Définition de la couche SESSION de niveau 5
- X215 Service
- X225 Protocole

## **2 - PRINCIPALES NORMES (RECOMMANDATIONS) DE L'ISO**

A l'ISO les normes avant de devenir IS (International Standard) sont d'abord DP (Draft Proposal) puis DIS (Draft International Standard).

- ISO 646 - 1973 - Jeu de caractères codés à 7 éléments pour l'échange d'information entre matériels de traitement de l'information.
- ISO 1155 - 1973 - Emploi de la parité longitudinale pour la détection d'erreurs dans les messages d'information.
- ISO 1177 - 1973 - Structure des caractères pour la transmission série arythmique et synchrone.
- ISO 1745 - 1975 - Procédure de commande pour transmission de données en mode de base.
- ISO 2022 - 1973 - Techniques d'extension du code destiné au jeu ISO de caractères codés à 7 éléments (cf ISO 646).
- ISO 2110 - 1972 - Equipement terminal de données et équipement de transmission de données. Circuits d'échange. Affectation des numéros de broches de connecteurs.





U3	74LS30
U5	74LS28
U6	74LS04
U7	74LS20
U8	74LS161
U9	74LS74
U11	74LS00
U12	74LS32
U13	74LS04