

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

الجامعة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

PROJET DE FIN D'ETUDES

- SUJET -

MISE AU POINT ET REALISATION
DUN SYSTEME MINIMAL
A BASE DU MC 6809

4 PLANCHES

PROMOTRICE : M^{me} HAMMAMI

ETUDIANTES : AZOUAOUI - ouahiba
ZEMOULI - akila

PROMOTION : FEVRIER

« 1988 »

الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم و البحث العلمي
MINISTRE DE L'ENSEIGNEMENT ET DE LA RECHERCHE SCIENTIFIQUE

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT: ELECTRONIQUE

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

PROJET DE FIN D'ETUDES

SUJET

MISE AU POINT ET REALISATION
DUN SYSTEME MINIMAL
A BASE DU MC 6809

PROMOTRICE : M^{me} HAMMAMI

ETUDIANTES : AZOUAOUI - ouahiba

ZEMOULI - akila

PROMOTION - Février

1988

المدسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

A TOUS CEUX QUI NOUS SONT CHERS

-o- REMERCIEMENTS -o-

Nous tenons à remercier vivement notre Promotrice Madame HAMAMI pour son aide et ses précieux conseils qui nous ont été utiles à l'élaboration de ce travail.

Notre profonde reconnaissance va aussi à Monsieur HAMAMI pour son aide matérielle. Nos remerciements vont à toutes les personnes qui ont participé de près où de loin à la réalisation de cet ouvrage, en particulier Melle Louiza KHALECHE et son Cousin Achour... .

Nous remercions également l'ensemble du personnel du Département HARE-WARE de l'E.N.**SI**, pour nous avoir accueilli et nous avoir facilité l'utilisation et l'exploitation du matériel du laboratoire.

Que tous les professeurs qui ont contribué à notre formation d'Ingénieur trouvent ici notre profonde reconnaissance.

-o- S O M M A I R E -o-

INTRODUCTION / :

GENERALITES / :

- MICROPROCESSEUR
- MICRO-ORDINATEUR

CHAPITRE I / : PRESENTATION DU SYSTEME

I.1 - ORGANISATION GENERALE DE LA CARTE /

I.2 - PRESENTATION DES DIFFERENTS BLOCS FONCTIONNELS/

I.2-1- UNITE CENTRALE LE MC 6809/

I.2-1-a- ARCHITECTURE EXTERNE/

I.2-1-b- ARCHITECTURE INTERNE/

I.2-1-c- MODES D'ADRESSAGE/

I.2-1-d- JEU D'INSTRUCTIONS/

I.2-1-e- INTERRUPTION/

I.2 - 2 - SYSTEME D'ADRESSAGE /

I.2 - 3 - SYSTEME MEMOIRE/

.../...

I.2 - 3 - a - MEMOIRES VIVES/

I.2 - 3 - b - MEMOIRES MORTES/

I.2 - 4 - INTERFACES ASSOCIES/

I.2 - 4 - a - ETUDE DE L'INTERFACE D'E/S PARALLELE PIA 6821/

- 1 - CONFIGURATION INTERNE
- 2 - CONFIGURATION EXTERNE
- 3 - INITIALISATION DU PIA

I.2 - 4 - b - ETUDE DE L'INTERFACE D'E/S SERIE ACIA 6850/

- 1 - ORGANISATION INTERNE
- 2 - ORGANISATION EXTERNE
- 3 - PROGRAMMATION DE L'ACIA

I.2 - 5 - ENTREES / SORTIES (E/S)/

I.2 - 5 - a - CLAVIER/

I.2 - 5 - b - AFFICHEURS/

I.2 - 6 - BLOC BUFFERS/

CHAPITRE II / - ORGANISATION LOGICIELLE DU SYSTEME -

II. - 1 - STRUCTURE DU MONITEUR /

II. - 1 - 1 - ARCHITECTURE DU MONITEUR /

II. - 1 - 2 - GESTION DES AFFICHEURS /

II. - 2 - MISE AU POINT /

II. - 2 - 1 - GESTION DU CLAVIER /

II. - 2 - 2 - FONCTIONS SYSTEME /

II. - 2 - 3 - SECONDES FONCTIONS /

CHAPITRE III / - REALISATION -

III. - 1 - NOMENCLATURE ET CIRCUIT ELECTRIQUE /

III. - 2 - CIRCUIT IMPRIME /

III. - 3 - MANUEL D'UTILISATION /

III. - 3 - a - PRESENTATION DU CLAVIER /

III. - 3 - b - ROLE DES DIFFERENTES TOUCHES FONCTIONS /

III. - 3 - c - ORGANISATION DE L'ESPACE MEMOIRE /

CONCLUSION /

A N N E X E /

BIBLIOGRAPHIE /

-o- I N T R O D U C T I O N -o-

Lorsqu'un système logique est conçu, il s'avère souvent nécessaire de le retoucher par suite d'erreurs de conception passées inaperçues, ou tout simplement de problèmes qui n'ont pas été soupçonnés au moment de la conception, ou encore par suite d'un souhait de performances accrues du système. Si celui-ci a été conçu en logique câblée, les conséquences financières peuvent être très lourdes, car il faut probablement refaire la carte circuit imprimé supportant tout le matériel, qui est parfois irrécupérable.

Par contre, si le système a été conçu en logique programmé, il ne peut rien y avoir de grave, et il suffit de modifier le programme nécessaire au fonctionnement correct de ce système, ce qui peut se faire relativement vite, et ce, en reprogrammant ou en changeant le contenu de la mémoire EPROM déjà utilisée.

Pour cette raison essentielle, la logique programmée est appelée à un bel avenir, et ce, grâce à l'apparition du microprocesseur, qui de part sa souplesse d'utilisation va couvrir un vaste domaine d'application.

Notre projet constitue une suite au travail déjà entrepris par deux Binômes de l'ENPA. L'un s'étant occupé du "HARDWARE" du système, l'autre du "SOFTWARE".

Ce système est un système d'évaluation destiné d'une part à une utilisation au laboratoire " CALCULATEURS" comme outil de travaux pratiques, dans le but d'initier l'étudiant à l'assembleur du μ P 6809 et aux systèmes à μ P en général, et pour lui faciliter la mise au point de ses programmes d'autre part.

Avant d'aborder les différentes parties concernant la réalisation, il nous paraît utile de faire un rappel sur les parties déjà établies.

- MICROPROCESSEURS / :

Le microprocesseur est le produit des technologies de l'ordinateur et des semi-conducteurs, liées depuis le milieu des années 50, ces technologies ont été fusionnées au début des années 70 dans un produit appelé "Microprocesseur".

Le μ P est un circuit intégré réalisé en technologie LSI (Large Scale Intégration) qui remplit en un seul boîtier les fonctions d'une unité arithmétique et logique "UAL" où s'effectuent les calculs et le traitement de données, associée à son unité de commande "UC" qui régit le fonctionnement du système.

Ce composant peut contenir non seulement l'unité centrale de traitement, mais aussi la mémoire et certaines fonctions d'entrées/sorties d'un ordinateur classique, il devient dans ce cas un micro-ordinateur en un boîtier.

Pour communiquer avec son entourage et son environnement extérieur, le μ P fait intervenir trois bus indépendants :

- + Le bus de données
- + Le bus d'adresses
- + Le bus de contrôle

Les principales caractéristiques du μ P à considérer sont :

- * La longueur du mot donné, qui est une mesure courante de la taille de celui-ci.
- * La vitesse de calcul définie par le temps nécessaire au traitement et à la manipulation d'une instruction.
- * La puissance du μ P ou sa capacité de traiter des données, elle se mesure par le nombre de mots mémoire pouvant être adressés.
- * Le logiciel défini par un ensemble de programme nécessaires pour le bon fonctionnement du système à μ P.

C'est ainsi que le μ P MC 6809 qu'on se propose d'étudier, a été créé pour offrir des moyens de programmation de haut niveau, et des caractéristiques importantes telles que :

- * Sa grande vitesse dans l'exécution des instructions (Quartz de fréquence 8 MHz), et traitant des formats assez grands : 8 et 16 bits.
- * Son espace mémoire adressable est de 64 K.Octets.

- MICRO-ORDINATEUR / :

Les termes microprocesseur et micro-ordinateur sont fréquemment utilisés pour désigner la même chose, mais en réalité, ils ont des sens différents. Comme il a été défini, un μ P est un circuit intégré dont les circuits qui le constituent n'ont que deux objectifs : le traitement des données et le contrôle pour son fonctionnement.

Pour être exploitation, un μ P fait intervenir des mémoires et des interfaces d'entrées/sorties; à cet effet, il faut lui associer une mémoire ROM (à lecture seulement) qui contiendra la suite des instructions ou les programmes de traitement, une mémoire RAM pour stocker les informations; et des circuits d'interfaces pour l'adaptation du MPU avec ses périphériques.

Ces interfaces d'Entrées/Sorties constituent les organes de dialogue avec le μ P. L'ensemble RAM, ROM, et circuits d'interface forme un "MICRO-ORDINATEUR" devenu un système complet de calcul construit autour d'un μ P. Associé aux organes d'Entrées/Sorties et d'autres circuits logiques nécessaires à une application préalablement choisie, ce micro-ordinateur constitue un système à μ P.

C H A P I T R E / - I -

P R E S E N T A T I O N

D U

S Y S T E M E

- I. - 1 - Organisation Générale de la Carte / :

Le domaine privilégié d'application du microprocesseur MC 6809 prend tout son intérêt dans un système de développement. En effet, notre réalisation a pour but essentiel la familiarisation avec l'assembleur du 6809. On peut éventuellement l'utiliser pour d'autres application en ajoutant ou en modifiant le moniteur résidant. Et ce, grâce à l'extension prévue à cet effet.

Le synoptique de ce système est composé, comme l'indique la figure I.1.1., de :

- L'unité centrale (MC 6809) qui est en quelque sorte la partie pensante du système.
- Mémoire mortes (RROM) contenant le moniteur.
- Mémoire vives (RAM) pouvant être utilisées par le moniteur ou l'utilisateur pour l'exécution de programme.
- Interfaces parallèles (PIA ou MC 6821).
- Interfaces serielle asynchrone (ACIA ou MC 6850).
- Une logique de décodage basée autour d'un double décodeur (le 74 LS 139).
- Des amplificateurs de données, d'adresses et des signaux de contrôle (Buffers).

- I. - 2 - Présentation des Différents Blocs Fonctionnels / :

- I.2 - 1 - L'Unité Centrale : - le MC 6809 - :

L'introduction d'un système à microprocesseur nécessite une connaissance approfondie aussi bien du point de vue matériel que logiciel du processeur utilisé.

En fonction de ses paramètres, le MC 6809 est actuellement le plus complet des microprocesseurs à 8 bits existants. Sa principale caractéristique est un jeu d'instructions très puissant avec un nombre ne négligeable d'instructions portant sur des données de 16 bits.

Dernier venu sur le marché des microprocesseur à 8 bits, le MC 6809 se trouve être le plus puissant grâce à son architecture intere orienté 16 bits. Sa mise en oeuvre est très simple puisque le bus de données et le bus d'adresses ne sont pas multiplexés.

- a - Architecture Externe :

Le microprocesseur MC 6809, fabriqué en technologie MOS Canal N, se présente sous la forme d'un boîtier DIL, 40 broches et monotension (+ 5 V) (voir schéma de prochage en annexe).

Nous remarquons :

- Bus de données : - (D0 à D7) bidirectionnel (à 3 états). Le changement du sens de fonctionnement se fait grâce à la période $E.\bar{Q}$ qui maintien le bus en état haute impédance.
- Bus d'adresses : - (A0 - A15) unidirectionnel (à 3 états). Sa capacité d'adressage est donc de 64 K.Octets.
- Bus de contrôle: - Il contient tous les signaux définissant son mode de fonctionnement et régissant tous les circuits qui l'entourent. Il est constitué de 10 lignes qui sont :

- * R/W : (lecture/écriture)
 - * Lignes d'états du bus : BA (Bus Available) BS (Bus State)
 - * Halt (arrêt du microprocesseur)
 - * R eset (Initialisation)
 - * Broches d'interruptions : \overline{NMI} - \overline{FIRQ} - \overline{IRQ} .
 - * X tal et Extal (entrées horloge)
 - * E, Q (Sorties horloge)
 - * MARDY (Allongement de l'horloge)
 - * $\overline{DMA/BREQ}$ (\overline{DMA} et rafraichissement mémoire)
- [2] , [4] , [9]

-b- Architecture Interne :

L'architecture interne est orientée 16 bits. En effet il possède 2 accumulateurs A et B de 8 bits qui en les concaténant forment un accumulateur D à 16 bits dont A constitue l'octet de poids fort.

Le MC 6809 possède 9 registres internes programmables qui sont :

- 2 Accumulateurs A et B :
- 1 Registre page direct (DP) :
 - Il est utilisé pour étendre les possibilités d'adressage en mode direct.
- Registre index (X,Y) :
 - Ils sont utilisés pour les modes d'adressage indexés.
- Registres pointeurs de pile (S,U) :
 - Le pointeur de pile S est utilisé automatiquement par le MPU pour mémoriser les états du système lors de l'exécution de sous-programmes et interruptions.
 - Le pointeur de pile U est laissé à la disposition de l'utilisateur.

- Sauvegarde du Contenu des Registres dans la Pile :

Dans le cas d'une sauvegarde totale des registres internes du μP dans la pile système, le travail du pointeur S est décrit sur la figure I.2.2.

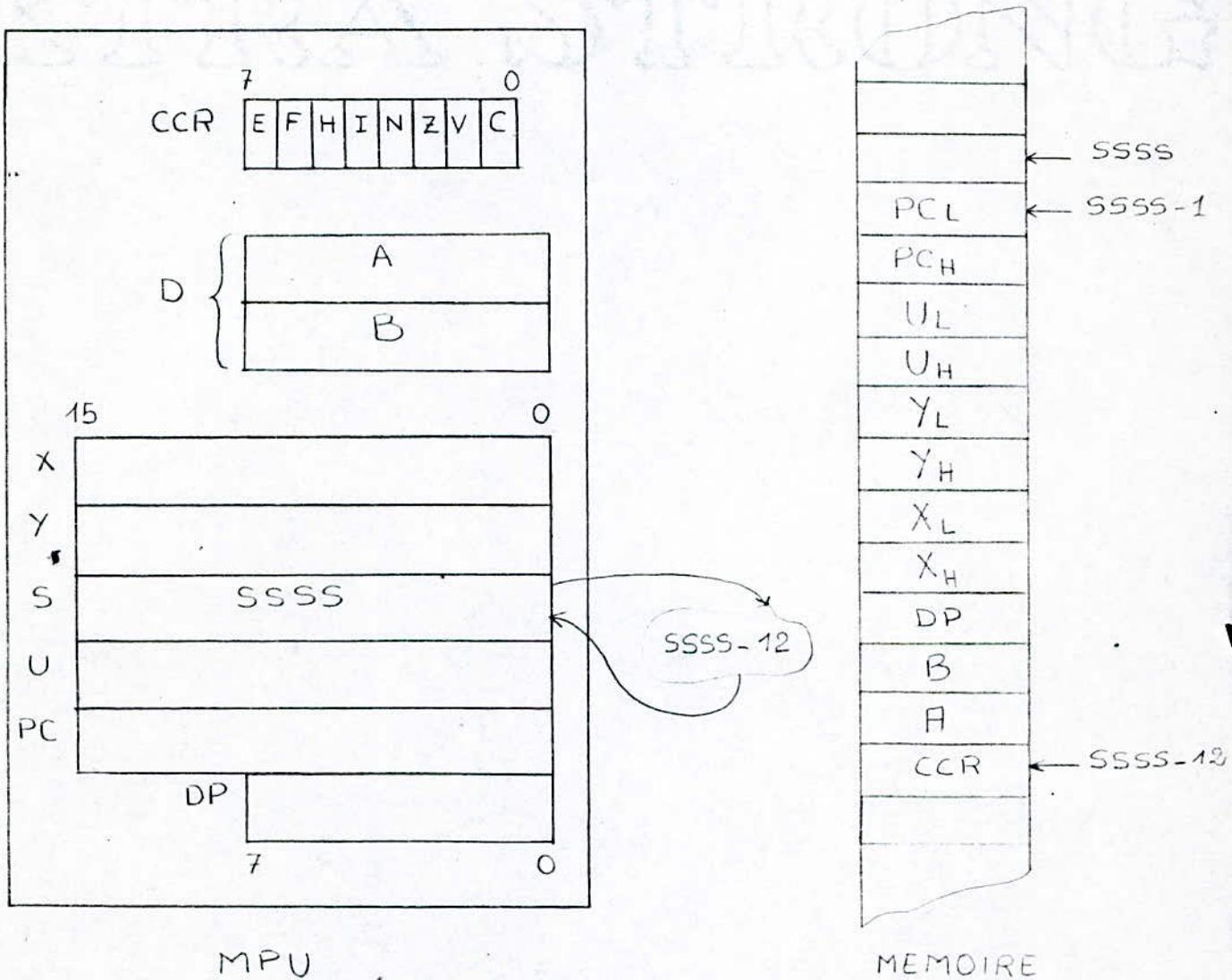


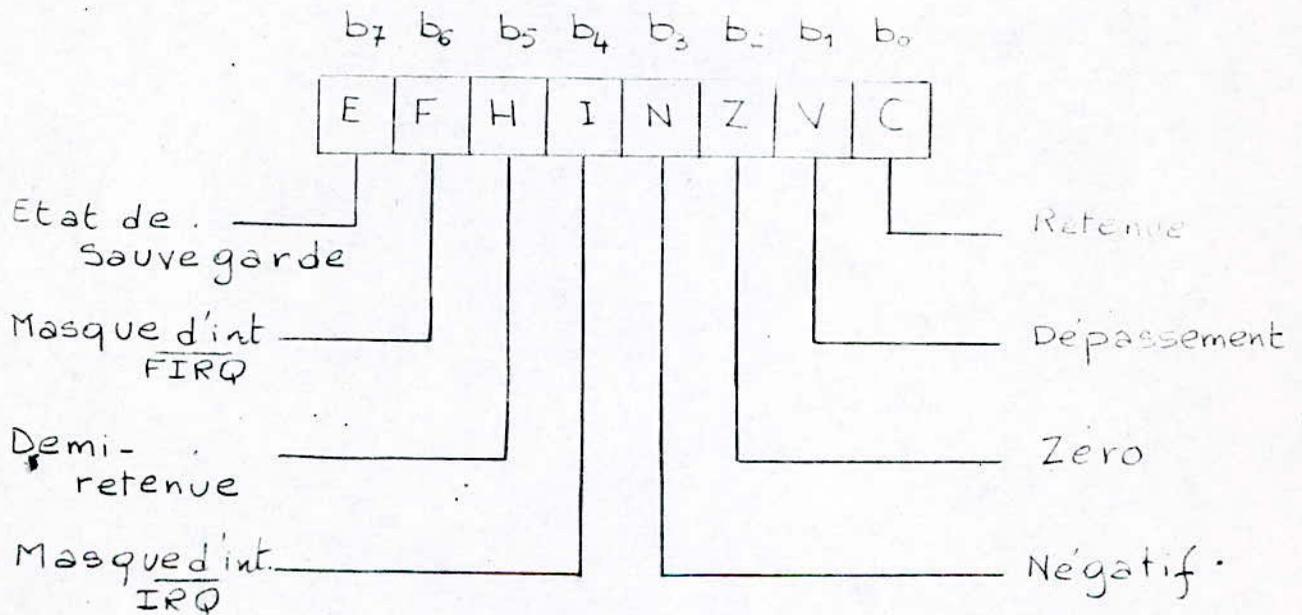
Figure I.2.2. - SAUVEGARDE DES REGISTRES DANS LA PILE -

- Registre Compteur Programme (PC) :

Utilisé pour pointer l'adresse de l'instruction suivante devant être exécutée.

- Registre Code Condition (CCR) :

Il définit l'état du processeur à tout instant.



-c- Modes d'Adressage :

Comparé au MC 6800, le μ P 6809 avec ses 9 modes d'adressage alliés à un jeu d'instructions complet confère à la machine des possibilités logicielles importantes.

On peut noter que le mode d'adressage indexé est particulièrement puissant sur ce microprocesseur. Les différents modes d'adressage sont :

- * Mode d'adressage inhérent (2ø)
- * Mode d'adressage direct (2ø)
- * Mode d'adressage immédiat (4ø)
- * Mode d'adressage étendu (4ø)

* Mode d'adressage étendu indirect (5ø) :

On accède à une adresse effective en transitant par une adresse intermédiaire.

* Mode d'adressage relatif court (2ø) :

Utilisé pour les instructions de branchement. Le déplacement est compris entre + 127 (\$ 7F) et - 128 (\$ 80).

* Mode d'adressage relatif long (4ø) :

Le déplacement est codé sur 16 bits. Il est donc compris entre + 32767 (\$ 7FFF) et - 32768 (\$ 8000).

* Modes d'adressage indexés :

Modes

Ils nécessitent un post-octet qui renseigne le P sur le type exact d'adressage à utiliser :

- Adressage à déplacement constant
- Adressage indexé par accumulateur
- Adressage indexé auto-incrémenté ou auto-décrémenté
- Adressage indexé relatif au compteur programme

* Mode d'adressage indexé indirect :

L'adresse pointée contient l'adresse effective de la donnée à chercher. [2] , [3] .

-d- Jeu d'Instructions :

Bien que le nombre de mnémoniques soit limité, le jeu d'instructions du μ P 6809 est très performant. En effet, ces instructions en conjonction avec les 9 modes d'adressage font passer le nombre de codes opération disponibles à 14 64.

Ces instructions sont :

- Instructions de traitement des données
- Instructions de transfert des données
- Instructions de tests et branchements
- Instructions opérant sur les pointeurs
- Instructions de traitement des interruptions.

-e- Interruptions :

Pour communiquer avec l'extérieur, le μ P possède un système d'interruptions lui permettant un branchement inconditionnel à une adresse fixée par le constructeur.

Le μ P 6809 possède 4 niveaux d'interruptions matérielles hiérarchisées et qui sont par ordre de priorité décroissante :

- $\overline{\text{RESET}}$ (Initialisation du système)
- $\overline{\text{NMI}}$ (No Masquable Interrupt)
- $\overline{\text{FIRQ}}$ (Fast Interrupt Request)
- $\overline{\text{IRQ}}$ (Interrupt Request)

Mais en réalité, il n'y a que 3 lignes d'entrées de demandé d'interruption. L'entrée $\overline{\text{RESET}}$ est la commande d'initialisation du μ P.

En plus de ces demandes d'interruptions matérielles, le MC 6809 possède un ensemble d'interruptions logicielles lui permettant d'arrêter le programme, d'exécuter, le programme pas à pas ou de faire une lecture (écriture) sur un périphérique.

Ces instructions sont :

- SWI (Software Interrupt)
- SWI 2 (Software Interrupt n°2)
- SWI 3 (Software Interrupt n°3)

Il existe en plus, des instructions matérielles programmées qui sont au nombre de 2 :

- CWAY (Attente d'une interruption)
- SYNC (Attente d'une synchronisation externe)

Lors d'une demande d'interruption, après exécution de l'instruction en cours, la séquence spécifique suivante sera donc exécutée :

- Le programme principal est interrompu
- Le processeur doit sauvegarder le contexte du μP dans la pile.
- Le processeur exécute une séquence privilégiée (type d'interruption).

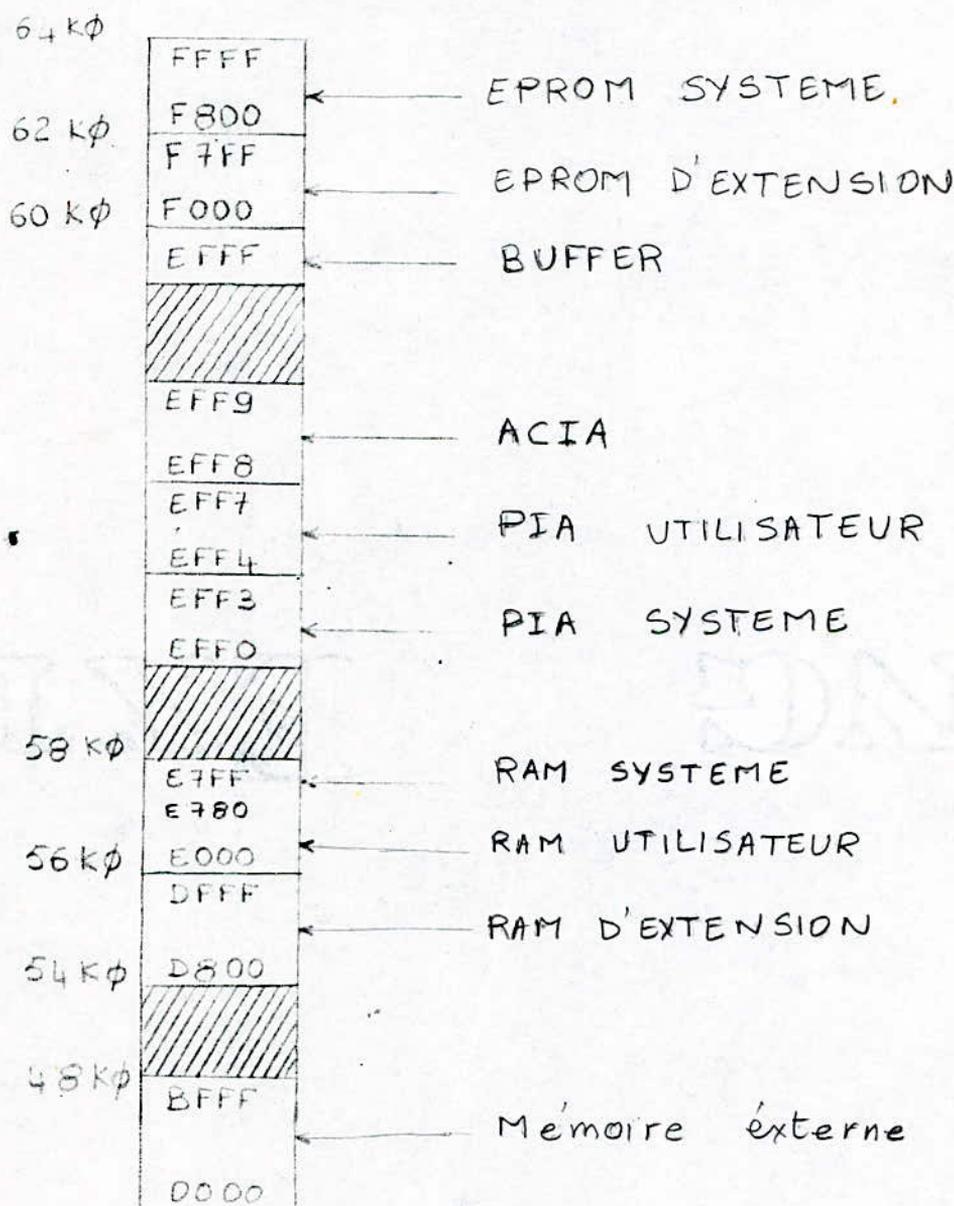
- I. 2. - 2. - Système d'Adressage :

Dans un système, les adresses de validation des circuits sont fixées une fois pour toutes lors de la conception.

Le programme moniteur est logé dans la partie haute de l'espace d'adresse, car lors de la mise en route, le PC du μP est initialisé à l'adresse FFF E (contenant l'adresse du programme Reset).

Pour pouvoir adresser tous les composants utilisés, le décodage complet du bus d'adresses a été adopté et ce vu le nombre assez important de circuits à adresser. Ainsi, lorsque le CPU place une adresse sur le bus d'adresses, cette dernière ne doit activer qu'un circuit à la fois.

ce
Pour/faire l'espace mémoire pris en considération est le suivant :



- I. - 2. - 3. - Système Mémoire :

Une mémoire est un organe conçu pour recevoir l'information, la conserver et la restituer à la demande. Il existe deux (02) types de mémoires :

- a - Les Mémoires RAM : - Random Access Memory - :

Ce sont des mémoires où l'on peut lire ou écrire aussi souvent qu'on le désire en un point quelconque de la mémoire. Elles sont appelées mémoires vives.

- b - Les Mémoires ROM : - Read Only Memory - :

Elles ne peuvent qu'être lues. Le fabricant a inscrit à l'intérieur des cellules des données enregistrées une fois pour toutes. Parmi ces mémoires ROM, on distingue les mémoires EPROM (Erasable Prom). Ce sont des mémoires effaçables.

Le système mémoire est constitué d'une EPROM contenant le programme résidant (moniteur) et d'une RAM constituant la partie dialogue laissée à la disposition de l'utilisateur, hormis 128 octets qui sont utilisés par le moniteur.

Ces circuits mémoires doivent avoir un temps d'accès à la lecture inférieur au temps d'accès du MPU ($t_{acmin} = 320 \text{ ns}$). Pour satisfaire cette condition, l'EPROM EF 2516 ($t_{ac \text{ max}} = 350 \text{ ns}$) et la RAM SY 2128 ($t_{ac \text{ max}} = 120 \text{ ns}$) ont été choisies.

Pour une extension éventuelle de cette carte, deux emplacements ont été prévus pour deux (02) autres mémoires : une EPROM et une RAM de même type que celles utilisées pour le système.

- I. - 2 - 4 - Les Interfaces Associés / :

La structure matérielle d'une application réalisée autour d'un microprocesseur ne se limite pas au processeur lui même accompagné de la mémoire programme, il faut en plus pouvoir dialoguer avec des éléments extérieurs à l'application.

Le rôle des interfaces est de permettre ce dialogue, ces derniers constituent des unités d'échange programmable, adaptées pour travailler avec le microprocesseur, et pouvant remplir différentes tâches en fonction de la périphérie.

On distingue deux types de liaisons entre le microprocesseur et ses périphériques à savoir :

- Les liaisons parallèles qui sont les plus simples, et dont l'intérêt réside dans la grande vitesse de transfert autorisée, mais elles ne permettent pas de liaison à grande distance, ce qui constitue leur inconvénient majeur. Pour ce faire, des liaisons series seront adaptées, elles assurent des transferts de données serialisées, à distances pouvant être importantes.

Notre application réalisée autour du microprocesseur MC 6809 comporte deux circuits d'interface, il pourra communiquer en parallèle à l'aide du PIA MC 6821 avec des périphériques (clavier, afficheur-set segments, CNA/CAN,...), et le fera en serie à l'aide de l'ACIA MC 6850 et du connecteur de norme RS 232 C pour dialoguer avec des éléments extérieurs spécifiques (imprimante, modem, table traçante,...).

- I. - 2 - 4 - a - Etude de l'Interface d'E/S Parallèle : PIA 6821 / :

Le PIA (périphéral interface adapter) est l'interface universel programmable, permettant de communiquer avec le microprocesseur, il est destiné aux applications pour lesquelles les données sont organisées en mode parallèle.

Cet interface est un circuit pratiquement symétrique comportant deux ports de communication appelés : - Port 1 et Port B, l'un des deux ports (Port B) est à lignes 3 états. La liaison avec les périphériques externes se fait grâce à un connecteur reliant ainsi les lignes du Port A et B et les lignes de contrôle/interruption au périphérique choisi.

- 1 - Configuration Interne :

Le PIA possède 6 registres internes (8 bits) accessibles à l'utilisateur :

- 02 Registres données de la périphérie ou registres de sortie A et B (ORA - ORB).
- 02 Registres sens de transfert des données (DDRA-DDRB).
- 02 Registres de contrôle (CRA - CRB).

Le diagramme fonctionnel du PIA permet d'apprécier le rôle de ces registres. [4]

- 1-a - ORA-ORB (Out Put Register A et B) :

Ces registres permettent de mémoriser une donnée en sortie lors d'une écriture. Les données présentes sur les ports A et B en entrée sont prises en compte par une lecture de ORA ou ORB, mais ne sont pas mémorisées dans ces registres.

- 1-b - DDRA-DDRB (Data Direction Register A et B) :

Le rôle de ces registres à lecture et écriture est de définir le sens de travail de chacune des lignes composant les ports A et B.

- 1-c - CRA-CRB (Control Register A et B) :

Ces registres permettent au MPU de contrôler le fonctionnement des 4 lignes de contrôle/interruption, et aussi d'autoriser les interruptions (sur \overline{IRQA} et \overline{IRQB}) et de contrôler l'état des indicateurs d'interruption (voir annexe figure A 4).

On note que la programmation interne du PIA est fonction du périphérique connecté.

- 2 - Configuration Externe :

- 2 -a - Liaisons avec le Microprocesseur :

Le PIA communique avec le microprocesseur par l'intermédiaire du :

- Bus de données : (D0 - D7) : bidirectionnel

- Bus d'adresses :

* Entrées de sélection du boîtier : (CS0, CS1 et $\overline{CS2}$)

Ces entrées sont utilisées pour adresser le PIA. Ce dernier est sélectionné pour CS0 • CS1 • $\overline{CS2}$ = 1.1.0.

* Entrées de sélection de registres : (RS0 et RS1)

Les quatre combinaisons de ces deux lignes permettent de sélectionner les divers registres internes au PIA. Pour ce faire, ces 2 entrées reçoivent les 2 lignes d'adresse A0, A1; en conjonction avec les registres CRA et CRB, ces lignes permettent d'adresser un des registres qui sera lu ou écrit. (Voir tableau 2-a-1).

RS1	RS0	BIT DU REGISTRE DE CONTROLE		REGISTRE SELECTE
		CRA.2	CRB.2	
0	0	1	X	ORA
0	0	0	X	DDRA
0	1	X	X	CRA
1	0	X	1	ORB
1	0	X	0	DDRB
1	1	X	X	CRB

- Tableau 2-a-1- Adressage interne du PIA

x = état indifférent.

- Bus de contrôle :

* E (ENABLE) : Signal d'activation des échanges.

* RESET : Initialisation du PIA. Active à l'état bas, cette entrée permet de remettre les registres internes du PIA à zéro.

* R/W : Lecture - écriture du PIA

Ce signal spécifie le sens de transfert des données sur le bus données.

* Lignes de demande d'interruption : \overline{IRQA} , \overline{IRQB} :

Reliées à \overline{IRQ} , \overline{FIRQ} ou \overline{NMI} du microprocesseur, ces lignes permettent d'interrompre l'exécution d'un programme en cours et d'appeler un programme de traitement d'interruption.

- 2 -b- Liaisons avec la périphérie :

Les dialogues avec la périphérie sont assurés par deux séries de 8 lignes notées PA0 à PA7 et PB0 à PB7. Ces lignes sont bidirectionnelles, identiques et ce, du point de vue programmation.

La synchronisation des transferts de données est assurée par 4 lignes de contrôle : CA1 et CA2 contrôlent la "Partie A", CB1 et CB2 contrôlent la "Partie B". CA1 et CB1 fonctionnent comme des entrées en positionnant les indicateurs d'interruption des registres de contrôle. CA2 et CB2 peuvent être programmées pour être utilisées soit comme entrées d'interruption, soit comme des sorties de contrôle des périphériques.

- 3 - Initialisation du PIA :

Le programme d'initialisation consiste à initialiser les registres internes du PIA, pour obtenir un mode de fonctionnement répondant aux caractéristiques de son utilisation, nécessaires à une application donnée.

- Programmation de DDRA (DDRB) :

Elle consiste à définir le sens de transfert des données sur les ports A et B.

Si le port A (port B) est en entrée \longrightarrow DDRA (DDRB) = \$00.

Si le port A (port B) est en sortie \longrightarrow DDRA (DDRB) = \$FF.

- Programmation de CRA (CR3) :

Elle assure le contrôle du fonctionnement des 4 lignes de contrôle/interruption CA1, CA2, CB1, CB2 (voir annexe figure A1).

Sur notre carte, deux interfaces parallèles sont utilisés : un pour la gestion des entrées/sorties du système à savoir le Clavier et l'afficheur et l'autre laissé au libre choix de l'utilisateur.

- I. 2 - 4 - b - Etudes de l'Interface d'Entrées/Sorties Serie :AC IA 6 850:

L'ACIA (Asynchronous communication interface adapter) est un dispositif d'Entrées/Sorties destiné à permettre des communications asynchrones sous forme série. Sa fonction essentielle consiste à effectuer des conversions serie-parallèle et parallèle-série, une donnée parallèle

sera donc transmise et reçue en série par l'interface avec mise au format et contrôle d'erreur.

- 1 - Organisation Interne :

L'ACIA possède 4 registres 8 bits, 2 à lecture seule, 2 à écriture seule, occupant 2 adresses indépendantes dans l'espace-mémoire du processeur.

Nous remarquons :

- 1 - a - TDR (Transmit Data Register) :

Ce registre de transmission est un registre à écriture seule, il contient le mot (8 bits) à émettre.

- 1 - b - RDR (Receive Data Register) :

Ce registre de réception est un registre à lecture seule, il reçoit le mot (8 bits) en provenance de la périphérie.

- 1 - c - CR (Contrôle Register) :

C'est un registre à écriture seule, il contient les paramètres de fonctionnement (8 bits) en transmission et en réception (format, vitesse...).

- 1 - d - SR (Statut Register) :

C'est un registre d'état à lecture seule, il contient le mot d'état qui renseigne le microprocesseur sur les opérations en cours et ce, en indiquant les états des registres TDR et RDR. (Voir annexe figure A2).

Le diagramme fonctionnel de l'ACIA nous montre le rôle de ces différents registres. [4]

- 2 - Organisation Externe :

- 2 - a - Liaisons avec le Microprocesseur :

L'ACIA communique avec le microprocesseur par l'intermédiaire du :

- Bus de données : (D0 - D7) : bidirectionnel
- Bus d'adresses :
- * CS0, CS1, CS2 (Chip select).

Ces trois entrées permettent de sélectionner le boîtier ACIA (CS0 • CS1 • CS2 = 1.1.0).

- * RS (Register Select) :

Cette entrée permet de sélectionner les registres internes (2 octets mémoire). (Voire tableau 2 - a - 2);

R/ \bar{W}	RS (A0)	REGISTRE SELECTE	
0	0	CR	} Registres à écriture seule
0	1	TDR	
1	0	SR	} Registres à lecture seule
1	1	RDR	

Tableau 2 -a- 2 - Adressage Interne de l'ACIA -

- Bus de contrôle :
- * Ei (ENABLE) : Signal d'activation des échanges
- * R / \bar{W} (Read/Write): Lecture - Ecriture

Cette ligne assure le contrôle du sens des transferts de données.

- * Demande d'Interruption : \bar{IRQ} :

Reliée à \bar{IRQ} , \bar{FIRQ} ou \bar{NMI} du 6809, cette sortie permet d'interrompre le microprocesseur.

- 2 - b - Liaisons avec la périphérie :

Les dialogues avec la périphérie sont assurés par des :

- Lignes de transfert :

- * TXD (Transmitted Data Line) : Cette sortie assure la transmission des données en série.
- * RXD (Receive Date Line) : Cette entrée réceptionne les données serie en provenance de la périphérie.

- Lignes de contrôle :

- * RTS (Request To Send) : Sortie demande d'émission, elle permet le contrôle d'un périphérique par le MPU.
- * CTS (Clear To Send) : Entrée inhibition de l'émetteur, elle permet le contrôle automatique de la fin de transmission par un Modem.
- * DCD (Data Carrier Detect) : Entrée perte de la porteuse de donnée, elle permet le contrôle de la réception.

- Lignes d'horloge :

- * TXCK (Transmit Clock) : Entrée horloge de transmission, elle est utilisée pour la transmission serie des données.
- * RXCK (Receive Clock) : Entrée horloge de réception, elle est utilisée pour la synchronisation des informations reçues.

Etant donné qu'il s'agit d'un dialogue sériel, la durée du bit joue un rôle important puisqu'elle détermine la cadence maximale avec laquelle les caractères peuvent être transmis, et définit ainsi une fréquence de bit à laquelle fonctionne l'interface.

Pour avoir la même fréquence de transmission et de réception, les entrées d'horloge RXCK et TXCK sont connectées à un Switch pouvant sélectionner une des fréquences que délivre le ~~3~~Bit-Rate MC 14411. Ce dernier est un circuit intégré à 24 broches, pouvant délivrer en sortie 16 fréquences différentes pour chaque mode de fonctionnement sélectionné. Il en possède 4 suivant la configuration des entrées RSA et RSB.

Pour cette réalisation, le fonctionnement en mode "X1" a été choisi et cela en mettant les entrées RSA et RSB à la masse.

Pour communiquer avec l'extérieur, un connecteur utilisant la norme RS 232C a été adopté. Ce dernier est connecté à l'interface à travers un switch pouvant décaler les sorties de l'ACIA sur ce connecteur, ceci nous permet d'utiliser cette carte comme équipement terminal de données (DTE) ou comme équipement de communications de données (DCE).

Sachant que les différents signaux ne sont pas compatibles entre l'ACIA et la RS 232C, pour les configurer, il est donc nécessaire d'adjoindre à ce circuit des convertisseurs de niveaux qui transforment les signaux TTL en niveaux RS 232C : Ce sont les circuits logiques MC 1488 pour les sorties de l'ACIA (transmission) et le MC 1489 pour ses entrées (en réception).

Le tableau suivant nous donne les liaisons du connecteur à l'ACIA.

BROCHES	A C I A	CONNECTEUR RS 232 C	BROCHES	DIRECTION
2	ENTREE RX DATA	↔	3	Vers DCE
			2	Vers DTE
6	SORTIE TX DATA	↔	2	Vers DTE
			3	Vers DCE
5	SORTIE $\overline{\text{RTS}}$	↔	6	Vers DTE
			4	Vers DCE
24	ENTREE $\overline{\text{CTS}}$	↔	4	Vers DCE
			6	Vers DTE

- 3 - Programmation de l'ACIA :

La communication série gérée par l'ACIA utilise la procédure de START-STOP. Chaque caractère transmis ou reçu a un format de 7 à 8 bits avec ou sans contrôle de Parité.

Il est précédé d'un bit START et suivi de un à deux bits STOP. Chacun de ces bits est synchronisé sur une horloge, mais la suite des caractères est asynchrone.

L'ACIA doit être initialisé avant de transmettre ou de recevoir des données.

Le premier état d'initialisation se produit automatiquement à la mise sous-tension qui maintient le circuit dans un état inhibé jusqu'à son initialisation programmée (MASTER RESET).

Il faut ensuite initialiser le registre de contrôle (voir annexe figure A2b).

I. - 2 - 5 - Les Entrées/Sorties / :

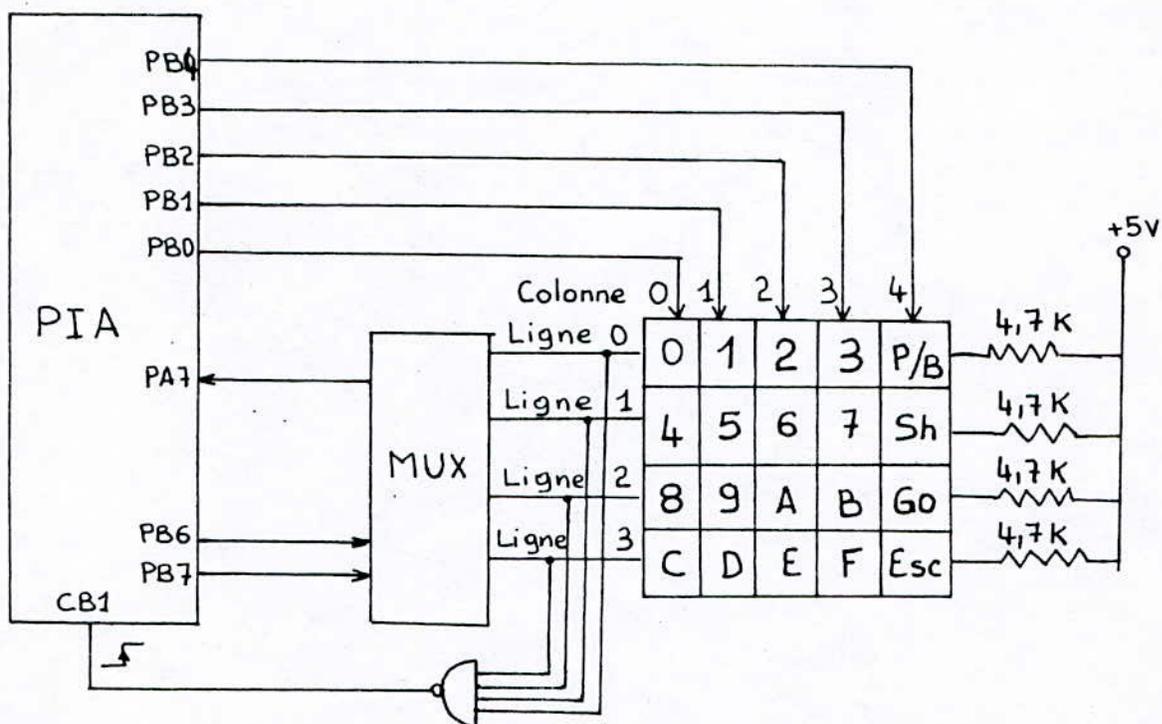
Le principal avantage de l'architecture du 6809 dans le domaine des E/S. est sa structure d'interruption puissante qui fournit hormis un mode d'interruption classique, un mode d'interruption rapide et un mode d'interruption non-masquable.

Les entrées désignent les transferts de données provenant des périphériques (clavier, disque ...) et allant vers la mémoire interne de l'ordinateur. Les sorties désignent les transferts de données provenant du microprocesseur ou de la mémoire vers les périphériques tels que les afficheurs, l'imprimante

Dans notre réalisation, les Entrées/Sorties utilisées sont le clavier comme entrée et l'afficheur comme sortie. Toutefois, la disponibilité d'un interface parallèle et d'un interface sériel permet l'extension du système et ce, en rajoutant d'autres périphériques à savoir une imprimante, un terminal ... etc.

I. - 2 - 5 - a - Le Clavier :

Le clavier se compose d'une matrice 4 x5. Les colonnes sont reliées à l'une des sorties PB0 à PB4 du port B du PIA, tandis que les lignes sont multiplexées à travers le circuit logique 74LS 153 dont les entrées sont reliées aux sorties PB6 et PB7 du port B sélectionnant ainsi la combinaison correspondante. Ces 4 lignes sont reliées à une porte NAND dont la sortie attaque la ligne d'interruption CB1 active au front montant. Ainsi, cette transition provoquera via la sortie de demande d'interruption $\overline{IRQ_B}$ du PIA qui est reliée à l'entrée \overline{IRQ} du MPU, l'interruption du programme en cours et exécutera un programme de reconnaissance de la touche appuyée.



- Figure 2.5.a - GESTION DU CLAVIER -

La modification portée à la carte a lieu au niveau du clavier. La sixième colonne ajoutée dans les rapports de thèse Janvier 1987 est supprimée. Le clavier est donc gardé tel qu'il est. [10] , [11] .

Les touches supprimées sont retrouvées grâce à une fonction particulière pouvant les appeler sans problème.

Mis à part donc les 16 touches hexadécimales et les 4 touches fonctions, certaines touches du clavier (touches hexadécimales) seront dédoublées par d'autres fonctions à savoir :

- La fonction RD = SH.C
- La fonction MOVE = SH.F
- La fonction MEMOIRE = SH.D
- La fonction CALCUL D'OFFSET = SH.E

Pour sélectionner une de ces fonctions secondaires, une touche commande du clavier nommée : "SHIFT" permettra l'accès à cette nouvelle ligne de touches fonctions.

Le clavier sera donc configuré de la manière suivante :

0	1	2	3	P/B
4	5	6	7	SH
8	9	A	B	GO
C RD	D M	E OF	F MV	ESC

Du point de vue matériel, aucune modification n'est apportée à part la suppression de la sixième colonne.

I. - 2 - 5 - b - L'Afficheur :

Le système d'affichage comprend 6 afficheurs à 7 segments. Chaque groupe de 2 afficheurs correspond à un octet-mémoire.

Pour visualiser une adresse ou le contenu des registres internes du MPU, 4 afficheurs ont été prévus. Les 2 restants servent à visualiser soit, le contenu des adresses, soit le nom des registres internes du microprocesseur. Ces afficheurs sont reliés au PIA à travers les lignes PA0 à PA6 du port A servant à transférer le code 7 segments.

Pour valider tous les afficheurs, la méthode séquentielle a été adoptée et ce, par programme en sélectionnant un afficheur toutes les ms. Ces afficheurs sont reliés au PIA comme le montre la figure ci-dessous :

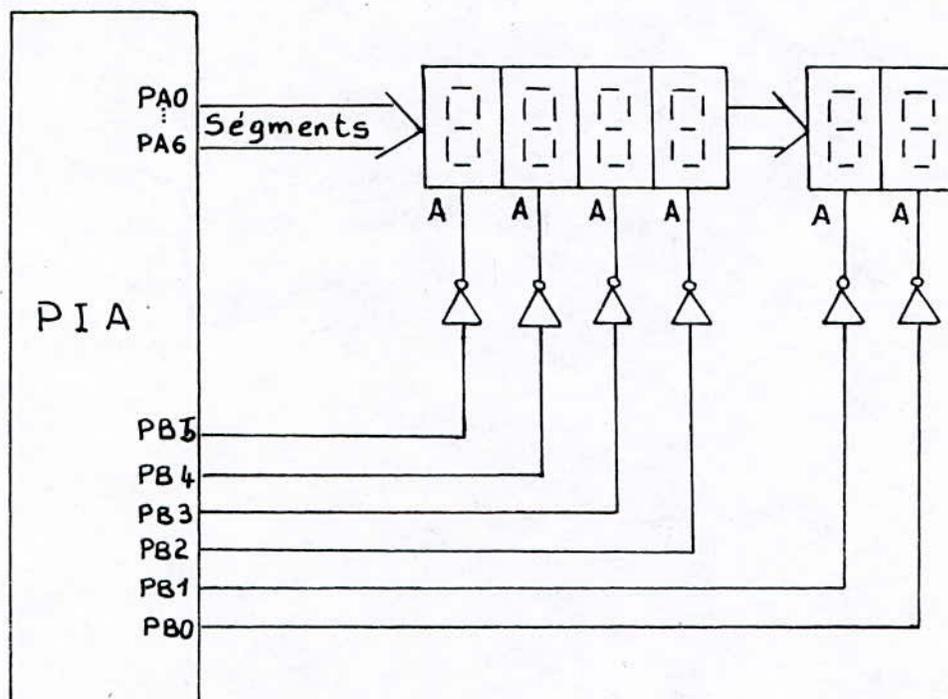


Figure 2.5.b - LIAISON AVEC LE PIA -

I. - 2 - 6 - Bloc Buffers :

Les lignes d'adresses et de données sortent sur des amplificateurs de bus (buffers) avant d'être envoyées vers le connecteur, et donc sur le bus à destination d'autres cartes; Ces amplificateurs ont un double rôle : ils isolent d'une part, le 6809 du bus, protégeant ainsi celui-ci contre d'éventuels courts-circuits sur le bus; ils permettent d'autre part, de fournir plus de courant sur les lignes d'adresses et de données que ne le peut le 6809 seul, éliminant ainsi tout problème de liaison avec l'extérieur. Ils permettent aussi, en passant dans le troisième état, de laisser libre les bus pour un autre processeur ou pour un circuit de DMA par exemple.

C H A P I T R E / - II -

O R G A N I S A T I O N

L O G I C I E L L E

D U

S Y S T E M E

II. - ORGANISATION LOGICIELLE DU SYSTEME / :

Pour une application donnée, l'étude du logiciel permettra sa programmation en assembleur ou en langage approprié. Il est donc nécessaire de définir son domaine d'application voire même son utilité afin d'établir les fonctions indispensables pour une bonne exploitation de la carte.

Partant du fait que notre système est destiné en premier lieu, à une utilisation au laboratoire " CALCULATEURS", le moniteur a été bâti en conséquence. A cet effet, toutes les fonctions nécessaires pour faciliter à l'utilisateur la mise au point et test des programmes écrits, ont été considérées.

Nous citons :

- * Exécution pas à pas d'un programme
- * Insertion de points d'arrêt
- * Possibilité de rajouter d'autres fonctions
- * Possibilité d'appeler des fonctions
- * Exécution d'un programme à partir d'une adresse donnée
- * Retour au moniteur pour le lancement d'un programme
- * Visualisation du contenu des registres du processeur après exécution d'un programme ou d'une séquence de programme
- * Possibilité de fixer le contenu de ces registres avant le lancement d'un programme
- * Affichage du contenu mémoire
- * Modification du contenu mémoire
- * Balayage de l'espace mémoire par incrémentation ou décrémentation
- * Calcul d'offset des branchements relatifs
- * Déplacement d'un programme d'une zone mémoire à une autre. [11]

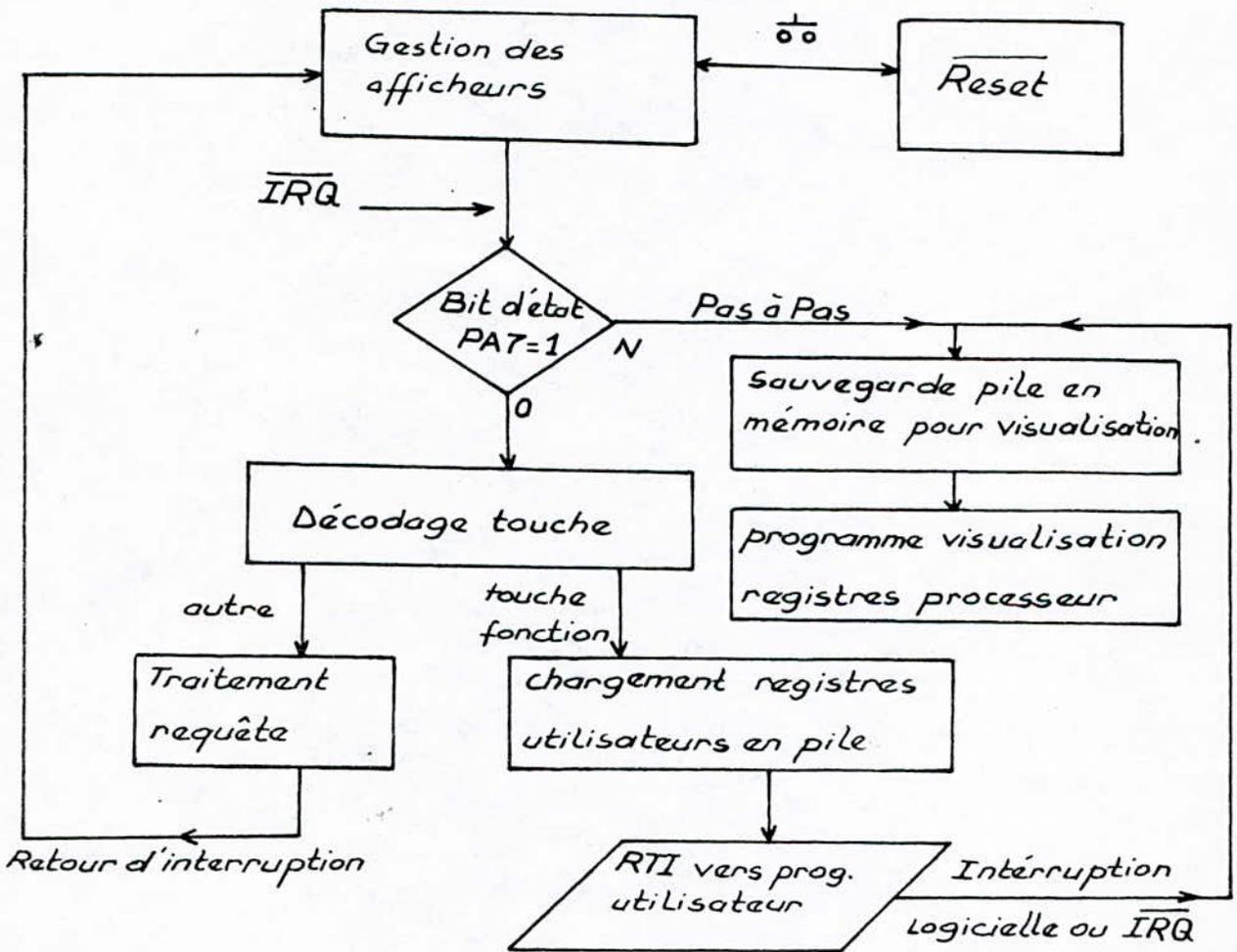
II. - 1 - Structure du Moniteur / :

II. - 1 - 1 - Architecture du Moniteur :

Dans chaque moniteur, il existe un programme principal duquel ou vers lequel transitent les routines des différentes fonctions.

Dans notre réalisation, ce programme est la gestion des afficheurs qui ne s'arrête de s'exécuter que lorsqu'une interruption intervient.

Le moniteur est donc bâti autour de ce programme, sa structure est présentée dans l'organigramme qui suit :



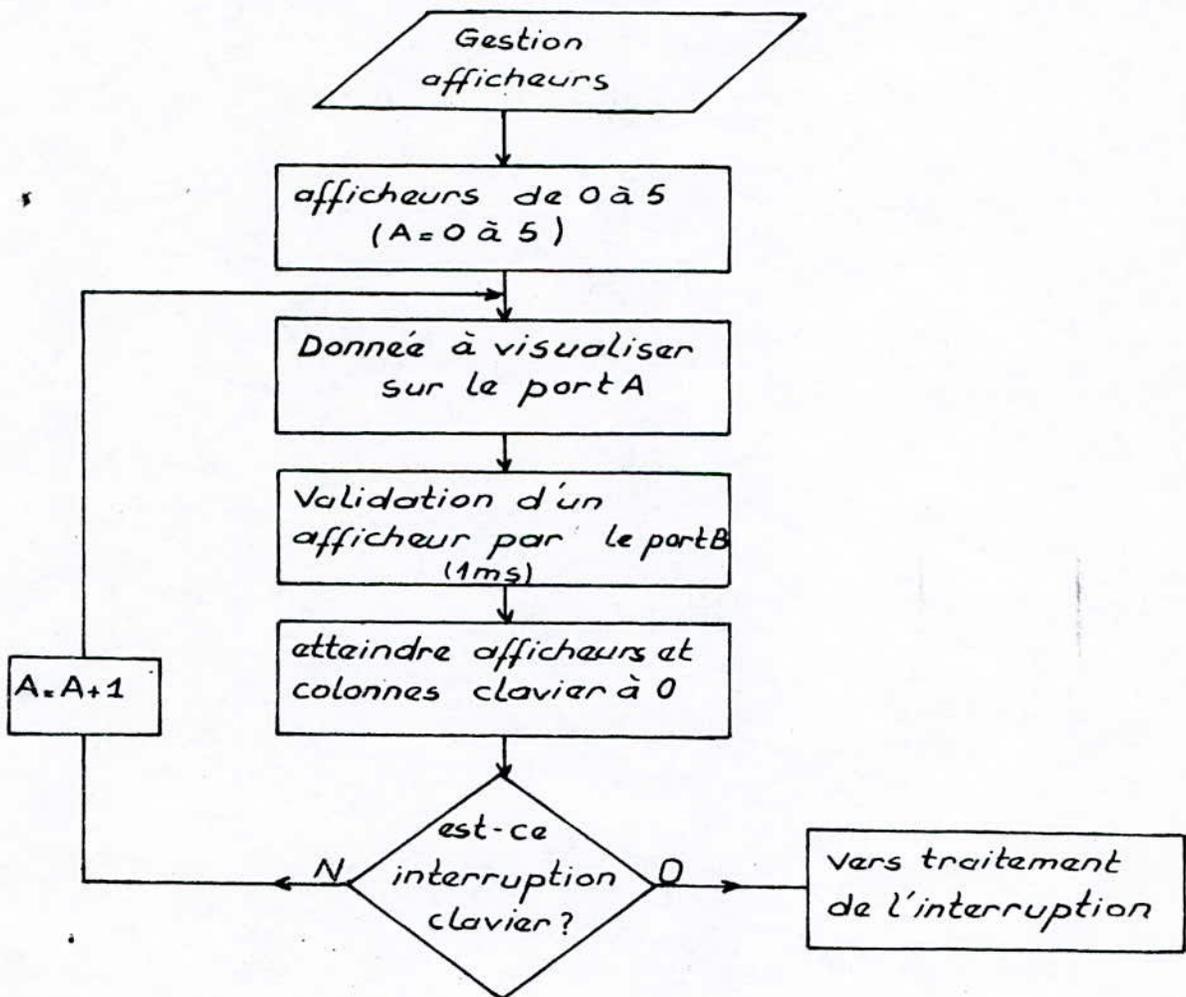
Il apparaît donc que l'interruption utilisée est l'interruption masquable IRQ. Un niveau bas sur cette entrée provoque l'arrêt du programme en cours et la sauvegarde du contexte dans la pile. Un test du bit d'état spécifiera l'interruption qui peut provenir soit du clavier, soit du compteur (le 74 LS 393) lors d'une exécution pas à pas.

II. - 1 - 2 - Gestion des Afficheurs :

Pour visualiser les résultats, 6 afficheurs sont utilisés. Ceux-ci sont validés séquentiellement avec une fréquence de 1 KHZ de manière à tromper la persistance rétinienne.

Cet affichage multiplexé est géré par programme :

Le port A véhicule l'information et le port B sélectionne un afficheur parmi 6 durant 1 ms. (voir organigramme)



II. - 2 - Mise au Point / :

Comme nous l'avons vu dans la partie matérielle, la modification du circuit se rapporte essentiellement ~~si~~ ~~pon~~ totalement au clavier.

Il est donc probable que les programmes associés subiront des changements.

Dans cette partie, nous essayerons donc de voir les modifications apportées au logiciel.

Comme citer plus haut, nous n'aurons qu'à revoir surtout les programmes concernant la gestion du clavier, les fonctions système et les secondes fonctions (fonctions utilisateur).

II. - 2 - 1 - Gestion du Clavier :

Ces fonctions, bien entendu, sont lancées à partir du clavier. Il s'avère donc nécessaire de l'organiser. Notre clavier possède 20 touches. 16 touches numériques et 4 touches fonctions.

Pour décoder les touches numériques, une combinaison des numéros de lignes et de colonnes nous donne la valeur de la touche (les bits 0 et 1 d'une position mémoire contiennent le numéro de la colonne et les bits 2 et 3 celui de la ligne).

Par contre, les touches fonctions sont appelées grâce à l'introduction d'une table permettant après décodage de la touche de sauter au programme spécifique à la touche appuyée.

N.B/ Chaque touche fonction exige l'emploi de plus d'une. Pour déterminer donc sous quelle fonction, la touche appuyée opère, des drapeaux seront testés. La touche fonction utilisée mettra son drapeau à 1 montrant ainsi qu'elle est en cours d'exécution.

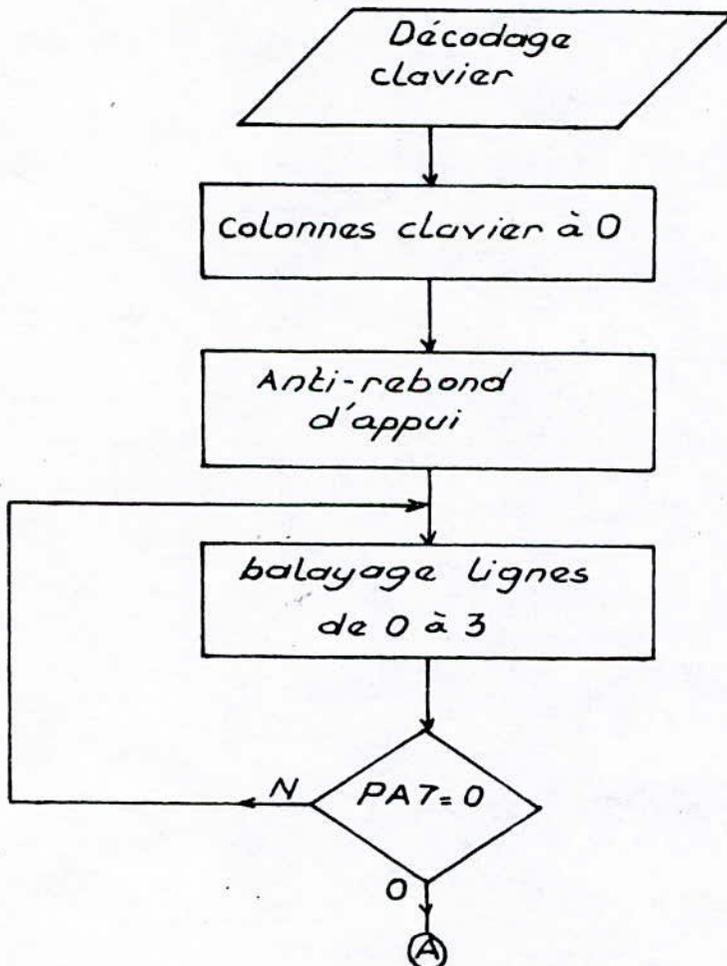
Pour que le moniteur reprenne le contrôle, l'appui sur la touche "ESCAPE" effacera tous les drapeaux.

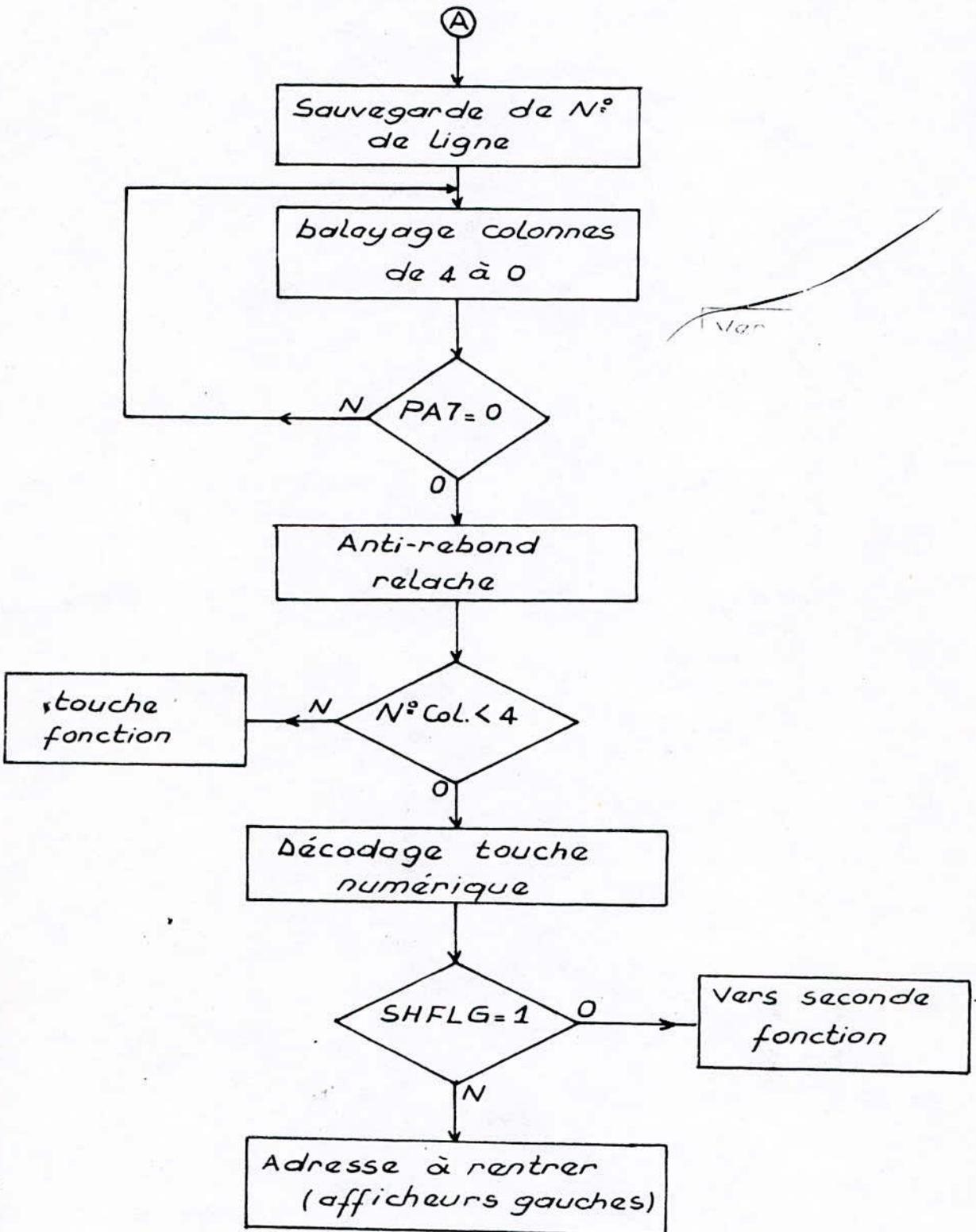
Lorsqu'on introduit une information au microprocesseur au moyen du clavier qui n'est en réalité rien d'autre qu'un ensemble d'interrupteurs, il y a généralement des rebondissements au moments où s'établissent et se rompent les contacts mécaniques.

Ce qui se traduit par l'apparition d'une série de plusieurs impulsions au lieu d'une seule voulue.

Une temporisation de 75 ms a été donc prévue afin de parer à ce phénomène ce qui évitera au système de recueillir des fronts qui induiront le programme en erreur.

Toutes les étapes suivies pour le décodage des touches sont regroupées dans l'organigramme suivant :





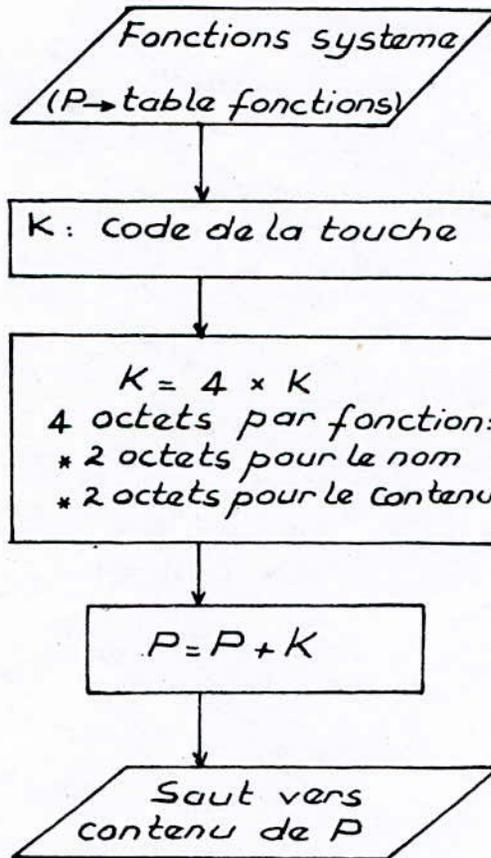
II. - 2 - 2 - Les Fonctions Système :

Les touches fonctions étant P/B, SH, GO et ESC nous gardons toujours la méthode adoptée :

celle de l'introduction d'une table. Cette dernière sera réduite à 4 fonctions :

CODE K	F O N C T I O N
\$ 10	Exécution pas à pas et Breaks (P/B)
\$ 11	Appel fonctions (SH)
\$ 12	Lancement programme (GO)
\$ 13	Retour moniteur (ESC)

L'organigramme correspondant est le suivant :

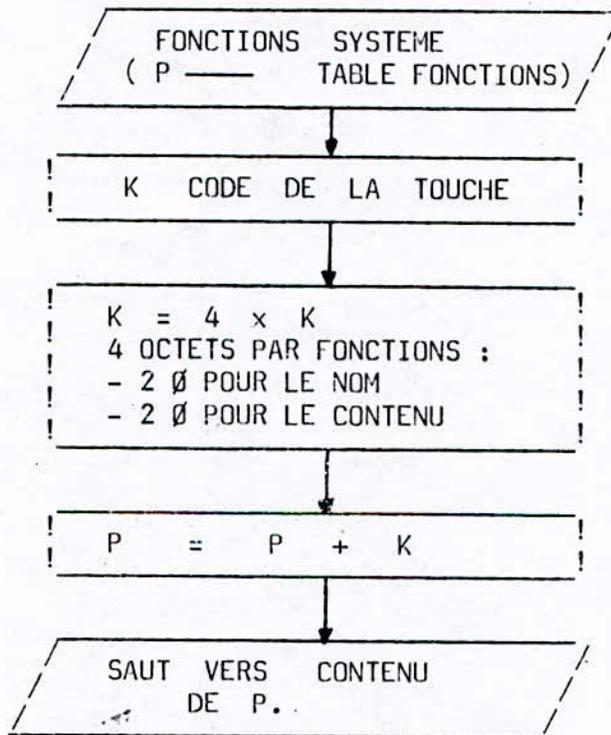


II. - 2 - 2 - Les Fonctions Système :

Les touches fonctions étant P/B, SH, GO et ESC, nous gardons toujours la méthode adoptée : celle de l'introduction d'une table. Cette dernière sera réduite à 4 fonctions :

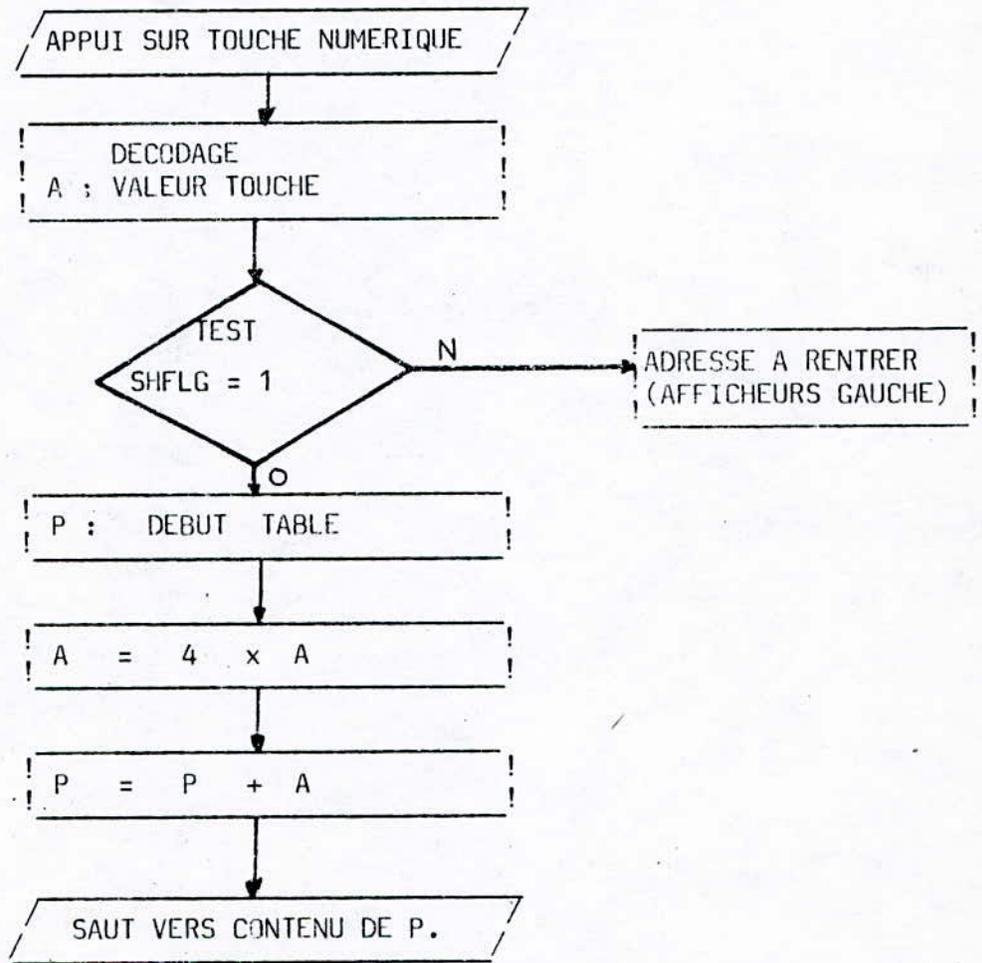
CODE K	F O N C T I O N
\$ 10	Exécution pas à pas et Breaks (P/B)
\$ 11	Appel fonction (SH)
\$ 12	Lancement programme (GO)
\$ 13	Retour moniteur (ESC)

L'organigramme correspondant est le suivant :

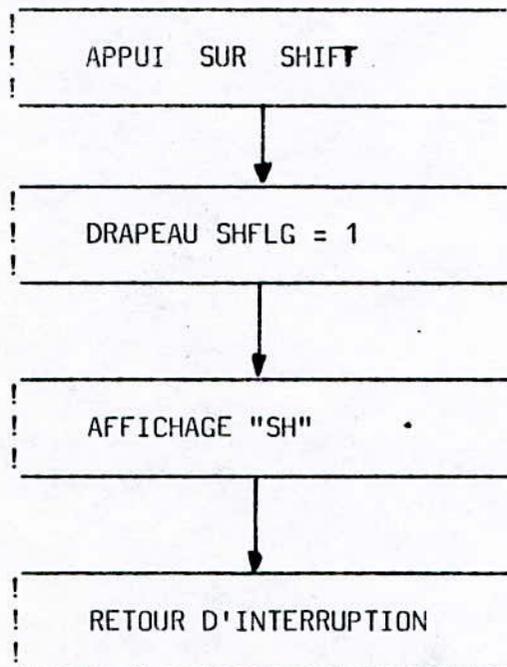


II. - 2 - 3 - Appel Fonctions (ou Secondes Fonctions) :

Par contre pour avoir accès aux autres fonctions indispensables pour une meilleure utilisation du système, nous avons utilisé une table contenant l'adresse de début de programme de chaque fonction. Cette table contient 4 octets par fonction : 2 octets pour le contenu et 2 octets pour le nom (voir organigramme ci-après) :



Lors d'un appui sur la touche "SHIFT", son drapeau se met à 1 et le mot "SH" est visualisé sur les 2 afficheurs de droite. L'organigramme correspondant est le suivant :



En conclusion, nous pouvons dire qu'en plus des 4 touches hexadécimales déjà utilisées, 12 autres fonctions peuvent être appelées au moyen du clavier. Il ne reste plus qu'à l'utilisateur de définir les fonctions dont il a besoin pour son application propre.

C H A P I T R E / - III -

R E A L I S A T I O N

III. - 1 - Nomenclature et Circuit Électrique / :

Dans ce chapitre, nous donnons la liste des composants utilisés dans la carte à réaliser, leur type et leurs caractéristiques. (voir tableau ci-dessous) :

NOMBRE	T Y P E	REFERENCE	CARACTERISTIQU.	DESIGNATION
1	Circuit Intégré	MC 68 B 09	$\emptyset_2 = 2 \text{ MHz}$	U1
2	Circuits Intégrés	EF 2516	2 K.OCTETS	U2 , U6
2	Circuits Intégrés	SY 2128	2 K.OCTETS	U3 , U5
2	Circuits Intégrés	EF 68 B 21	$\emptyset_2 = 2 \text{ MHz}$	U4 , U7
4	Circuits Intégrés	74 LS 244		U8,U9,U10,U12
1	Circuit Intégré	74 LS 245		U11
1	Circuit Intégré	74 LS 139		U13
1	Circuit Intégré	74 LS 00		U14
1	Circuit Intégré	74 LS 02		U15
2	Circuits Intégrés	74 LS 08		U16,U22
1	Circuit Intégré	74 LS 11		U17
2	Circuits Intégrés	74 LS 20		U18,U19
1	Circuit Intégré	74 LS 393		U20
1	Circuit Intégré	74 LS 153		U21
1	Circuit Intégré	EF 68 B 50	$\emptyset_2 = 2 \text{ MHz}$	U23
1	Circuit Intégré	MC 14411		U24
1	Circuit Intégré	MC 1488		U25
1	Circuit Intégré	MC 1489		U26
3	Switchs			U28,U29,U32

3	Résistances Intégrées	CT 8202	8 x 4,7K R	U30, U31, U33
1	Connecteur RS 232 C	FDB 25 S 564T		U27
1	Résistance		U 7K , 1/2W, 5%	R1
6	Résistances		680 , 1/2W, 5%	R2 - R7
7	Résistances		39 , 1/2W, 5%	R8 - R13
1	Résistance		470 , 1/2W, 5%	R14
2	Résistances		4,7K , 1/2W, 5%	R 5, R16
2	Condensateurs		18 PF	C1 , C2
1	Condensateur		1 F	C3
18	Condensateurs	104 Z	100 nF	C4 - C21
1	Cristal	MDX 080	$f_o = 8 \text{ MHz}$	J1
1	Cristal		$f_o = 1,8432 \text{ MHz}$	J2
6	LED, 7 Segments	TIL 701		U34 - U39
6	Transistors	2N 2905 A	(PNP), $100 \leq \beta \leq 300$ Pour IC=150 MA	T1 - T6
7	Transistors	2N 4123	(NPN) $50 \leq \beta \leq 150$ Pour IC = 2MA	T7 --- T13
1	Bouton Poussoir			J1
1	LED			J2
1	Clavier			J3

- TABLEAU "3-1-a- LISTE DES COMPOSANTS -

N.B/ - Le schéma électrique général de la réalisation est donné sur la figure 3 - 1 - b.

III. - 2 - Circuit Imprimé :

Comme le système conçu est un Kit, son circuit imprimé n'a pas été facile à mettre au point. A ce propos, nous soulignons l'impossibilité de faire cette carte circuit imprimé à l'échelle Une. Pour ce faire, il s'avère nécessaire d'exécuter le travail à l'échelle deux, et ce, pour plus de précision d'une part, et pour faciliter la vérification du circuit par suite d'erreurs ou d'oublis d'interconnexions passées inaperçues d'autre part.

Vu le nombre assez important de composants utilisés pour la réalisation de ce système, son circuit imprimé est à double face (voir figure 3.2.a.1 et figure 3.2.a.2). La figure 3.2.b représente le schéma d'implantation des composants.

Une fois le circuit imprimé gravé et percé, les composants montés et soudés, on procédera à la mise au point (phase des tests).

III. - 3 - Manuel d'Utilisation :

III. 3 - a - Présentation du Clavier :

La communication avec l'utilisateur se fait à l'aide d'un clavier de 20 touches dont 16 permettent l'introduction d'informations en code hexadécimal, et 4 élaborent les fonctions de commande (P/B, SH,GO,ESC). Quatre autres fonctions (RD,M,OF,MV) sont disponibles en appuyant sur la touche shift (SH), puis sur une touche hexadécimale de la dernière ligne du clavier (choix arbitraire).

A droite du clavier, un bouton poussoir (RS) est disposé pour la réinitialisation du système. En appuyant sur ce bouton, des demi-zéro seront affichés et une led s'allume indiquant ainsi que le système est prêt à recevoir les requêtes de l'utilisateur.

Lorsqu'un travail est mal exécuté ou lors d'un retour au moniteur en cas de perte de programmes ou d'erreur de manipulation, un simple appui sur ce bouton réinitialise tout le système.

III. - 3 - b - Rôle des Différentes Touches Fonctions :

Nous distinguons les touches suivantes :

* Touches "SH" : - Appel Fonction -

L'appui sur cette touche puis sur une touche hexadécimale (C,D,E,F) nous permet d'élaborer respectivement les fonctions secondaires (RD,M,OF,MV).

* Touches "RD" :

Visualisation des registres internes du microprocesseur et de leur contenu. L'appui sur cette touche visualise le contenu du registre sur les 4 afficheurs de gauche et son nom sur les 2 afficheurs de droite. Le passage d'un registre à l'autre se fait par la touche "GO"; le retour au précédent se fait par la touche "M". Les registres internes sont visualisés dans l'ordre : PC, D, DP, X, Y, U, S et CC.

Le changement du contenu d'un registre est obtenu en introduisant la valeur désirée, cette dernière écrase la valeur existante et prend la place.

* Touche "M" : Visualisation du contenu des adresses mémoire.

Après l'introduction de l'adresse d'une position mémoire, l'appui sur cette touche permet de visualiser son contenu sur les 2 afficheurs de droite.

La modification du contenu de cette position mémoire se fait en introduisant simplement la nouvelle donnée.

Pour passer aux adresses précédentes ou aux adresses suivantes, un deuxième appui sur "M" ou un appui sur "GO" permet de décrémenter* ou d'incrémenter respectivement l'adresse de base introduite en premier lieu.

* Touche "GO" : - Lancement d'un Programme -

Pour exécuter un programme chargé en mémoire, l'appui sur cette touche après avoir introduit l'adresse de début du programme, fera exécuter le programme. Le contenu du PC est alors affiché.

* Touche "P/B" : - Exécution d'un Programme Pas à Pas et Insertion de Points d'Arrêt -

- Cette fonction permet d'exécuter un programme instruction par instruction. Il suffit d'introduire l'adresse de départ dans le PC et l'appui sur cette touche provoque l'exécution avec arrêt à la fin de l'instruction. L'incrémentation lors d'une exécution pas à pas s'effectue par le simple appui sur la touche "GO" et le SP passe à l'instruction suivante.

- Pour insérer un point d'arrêt (5 points au maximum), on introduit l'adresse où il sera exécuté, et un appui sur la touche P/B met en mémoire ce point, et lors du lancement d'un programme, on insère le premier point d'arrêt en remplacement le contenu de l'adresse par le code de l'interruption logicielle SWI.

* Touche "OF" : - Calcul d'Offset -

Le calcul d'offset est obtenu en introduisant l'adresse de l'instruction contenant l'offset et celle du branchement séparées par l'appui sur cette touche. Un appui sur la touche "GO" nous calcule cet offset en affichant le déplacement ainsi que le type de branchement relatif.

Un second appui sur la même touche charge l'offset calculé dans l'adresse introduite au début avant son calcul.

* Touche "MV" : - Transfert d'un programme d'une zone mémoire à une autre.

L'exécution de ce transfert s'effectue comme suit :

- On introduit l'adresse de début du programme.
- On appuie sur la touche "MV".
- On introduit l'adresse de fin de programme.
- On appuie sur la touche "OF".
- On introduit l'adresse de transfert à condition qu'elle soit extérieure à la zone à déplacer.
- Un appui sur la touche "GO" lance le transfert.

* Touche "ESC" : - Touche d'effacement -

Un appui sur cette touche permet de sortir d'une commande. Un second appui prépare le système à un effacement des points d'arrêt après l'introduction de leurs adresses. Ceci se traduit par l'affichage de "CLR b" (Clear Breaks) sur les afficheurs. Il suffit donc de faire entrer l'adresse du point d'arrêt non désiré et d'appuyer sur la touche Escape. Quand le message "CLR" est visualisé, le point d'arrêt est effacé et le moniteur reprend la main.

III. - 3 - c - Organisation de l'Espace Mémoire :

Afin de faciliter à l'utilisateur la mise au point de ses programmes, il est nécessaire de lui rappeler les différents circuits à adresser. Le kit comporte deux circuits EPROM d'une capacité de 2K.Octets chacun, deux circuits RAM d'une capacité de 2K.Octets chacun, deux PIA vus chacun par le MPU comme quatre positions mémoire et un ACIA vu comm deux positions mémoire. A cet effet, une répartition de l'espace mémoire adressable par le processeur s'impose, et ce, suivant l'occupation en positions mémoire de chaque circuit.

Le tableau suivant nous donne les zones mémoire allouées aux différents circuits :

Circuit adressé	Description
EPROM Système 2K.Ø	\$ F800 - \$FFFF, utilisée par le moniteur du système.
EPROM Utilisateur 2K. Ø	\$ F000 - \$ F7FF, laissée à la disposition de l'utilisateur pour une extension
RAM Système 2K.Ø	Localisée entre \$E000 - \$E7FF. Elle se divise en deux parties : * \$ E780 - \$ E7FF, utilisée par le moniteur 128 Ø * \$ E000 - \$ E77F, laissée à l'utilisateur pour entrer ses propres programmes.
RAM Utilisateur 2K.Ø (extension)	\$ D800 - \$ DFFF, peut-être exploitée par l'utilisateur comme mémoire programme : c'est une RAM d'extension.
PIA Système	\$ EFF0 - \$ EFF3, où sont adressés les différents registres comme suit : * \$ EFF0 pour (ORA ou DDRA) * \$ EFF1 pour (CRA) * \$ EFF2 pour (ORB ou DDRB) * \$ EFF3 pour (CRB)
PIA Utilisateur	\$ EFF4 - \$ EFF7, vu comme 4 positions mémoire. Il est utilisé par le programmeur. Les registres sont adressés de la manière suivante : \$ EFF4 pour (ORA ou DDRA) \$ EFF5 pour (CRA) \$ EFF6 pour (ORB ou DDRB) \$ EFF7 pour (CRB)
A C I A	\$ EFF8 - \$ EFF9, vu comme 2 positions mémoire. On a : \$ EFF8 pour (CR ou SR) \$ EFF9 pour (TDR ou RDR)
BUFFER (74 LS 244)	\$ EFFF, utilisé pour la programmation du registre de contrôle de l'ACIA et ce, pour avoir une grande souplesse d'utilisation.
Extension mémoire externe.	\$ 0000 - \$ 3FFF, ces 48 K Ø d'adresses sont laissés pour une extension externe.

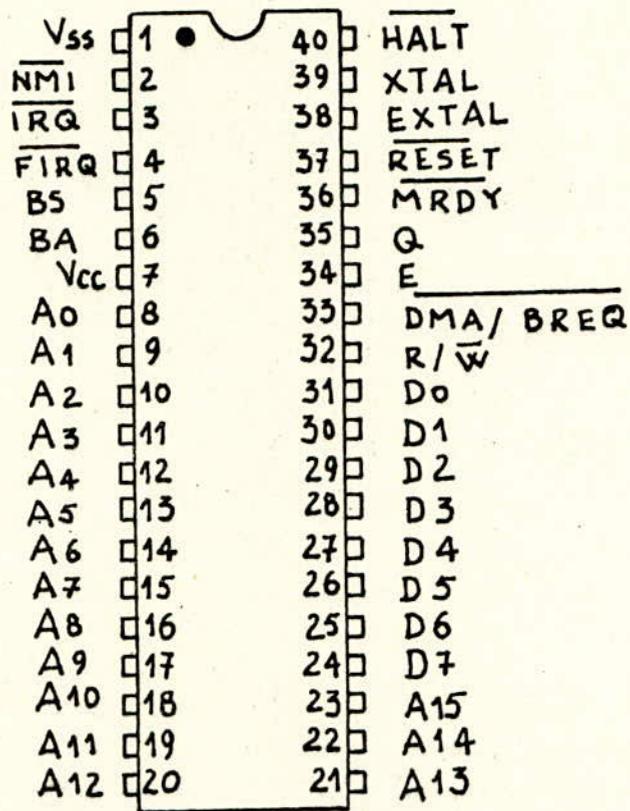
-ooo00ooo- C O N C L U S I O N -ooo00ooo-

Au terme de cette étude qui nous a été bénéfique du fait que nous avons complété nos connaissances dans le domaine très vaste qu'est la micro-électronique, cette réalisation nous a permis d'élargir nos acquis en programmation (assembleur) et de comprendre l'utilité de tout système à base de micro-processeur.

Néanmoins, du point de vue pratique beaucoup de difficultés et d'obstacles ont entravé ce travail en particulier le manque de matériel permettant le développement et la réalisation du circuit imprimé.

Enfin, nous espérons que ce travail sera poursuivi pour aboutir à la réalisation d'un micro-ordinateur, ceci étant possible grâce aux interfaces parallèle et sériel prévus lors de la conception, pour une éventuelle application autre que celle pour laquelle le système a été utilisé.

(7--) N N E X E



- Schema de brochage -
du

MC 6809

Mnémon.	Inhér.		Imméd.		Étendu		Direct		Ind.		Res. d'état								
	Op.	e #	Op.	e #	Op.	e #	Op.	e #	Op.	e #	E	F	H	I	N	Z	V	C	
Mise à 0 (O) --> (A ou B ou M)																			
CLR					7F	7 3	0F	6 2	6F	6+ 2+								0 1 0 0	
CLRA	4F	2 1																0 1 0 0	
CLRB	SF	2 1																0 1 0 0	
Comparaison et action sur (CC). Registres intacts. (A ou B) - (M)																			
(D ou S ou U ou X ou Y) - (MM)																			
CMPA			B1	2 2	B1	5 3	91	4 2	A1	4+ 2+		?		X	X	X	X		
CMPB			C1	2 2	F1	5 3	D1	4 2	E1	4+ 2+		?		X	X	X	X		
CMPD			10B3	5 4	10B3	8 4	1093	7 3	10A3	7+ 3+				X	X	X	X		
CMP5			11BC	5 4	11BC	8 4	119C	7 3	11AC	7+ 3+				X	X	X	X		
CMPU			11B3	5 4	11B3	8 4	1193	7 3	11A3	7+ 3+				X	X	X	X		
CMPX			BC	4 3	BC	7 3	9C	6 2	AC	6+ 2+				X	X	X	X		
CMPY			10BC	5 4	10BC	8 4	109C	7 3	10AC	7+ 3+				X	X	X	X		
Complémentation logique des registres B bits																			
COM					73	7 3	03	6 2	63	6+ 2+				X	X	0	1		
COMA	43	2 1												X	X	0	1		
COMB	53	2 1												X	X	0	1		
Ajustement décimal de l'accumulateur A																			
DAA	19	2 1												X	X	X	X		
Décrémenter (M ou A ou B) - 1 --> (M ou A ou B)																			
DEC					7A	7 3	0A	6 2	6A	6+ 2+				X	X	X			
DECA	4A	2 1												X	X	X			
DECB	5A	2 1												X	X	X			
OU exclusif (A ou B) ⊕ (M) --> (A ou B)																			
EORA			BB	2 2	BB	5 3	9B	4 2	AB	4+ 2+				X	X	0			
EORB			CB	2 2	FB	5 3	DB	4 2	EB	4+ 2+				X	X	0			
Echange de deux registres																			
EXG R1,R2	1E..	B 2	R1 et R2 doivent être de même type, B ou 16 bits. L'instruction complète s'obtient en ajoutant le post- octet au code 1E. Le post-octet est formé de 2 demi- octets dont les valeurs possibles sont: D : 0 X : 1 Y : 2 U : 3 S : 4 PC : 5 A : 8 B : 9 CC : A DF : B Exemple: EXG A,B est traduit par 1E B9 ou 1E 9B EXG X,Y est traduit par 1E 12 ou 1E 21 Aucun bit du registre d'état n'est affecté à moins que le registre échangé soit CC lui-même																
Incrémenter (M ou A ou B) + 1 --> (M ou A ou B)																			
INC					7C	7 3	0C	6 2	6C	6+ 2+				X	X	X			
INCA	4C	2 1												X	X	X			
INCB	5C	2 1												X	X	X			
Chargement des registres (M) --> (A ou B) ; (MM) --> (D ou S ou U ou X ou Y)																			
LDA			B6	2 2	B6	5 3	96	4 2	A6	4+ 2+				X	X	0			
LDB			C6	2 2	F6	5 3	D6	4 2	E6	4+ 2+				X	X	0			
LDD			CC	3 3	FC	6 3	DC	5 2	EC	5+ 2+				X	X	0			
LDS			10CE	4 4	10FE	7 4	10DE	6 3	10EE	6+ 3+				X	X	0			
LDU			CE	3 3	FE	6 3	DE	5 2	EE	5+ 2+				X	X	0			
LDX			BE	3 3	BE	6 3	9E	5 2	AE	5+ 2+				X	X	0			
LDY			10BE	4 4	10BE	7 4	109E	6 3	10AE	6+ 3+				X	X	0			
Instructions d'empilement ou de dépilement																			
PSHS	34..	5+ 2	7 6 5 4 3 2 1 0										No. du bit						
PSHU	36..	5+ 2	PC U/S Y X DP B A CC										Res.	voir commentaire					
PULS	35..	5+ 2																	
PULU	37..	5+ 2																	
Pour trouver le post-octet correspondant dans une ins- truction d'empilement ou de dépilement, inscrire un 1 dans la case correspondante, puis calculer la valeur globale de l'octet. Exemples: PSHS U,X,A,CC a pour code 34 53 PSHS A a pour code 34 02 Pour PULS et PULU, le registre d'état n'est pas affecté à moins que le dépilement invoque lui-même CC Pour connaître le nombre total de cycles requis, ajouter à la valeur de base 5, 1 cycle pour chaque registre B bits et 2 cycles pour chaque registre 16 bits																			
Décalage circulaire à gauche (C) <-- b7b6b5b4b3b2b1b0 <-- (C)																			
ROL					79	7 3	09	6 2	69	6+ 2+				X	X	X	X		
ROLA	49	2 1												X	X	X	X		
ROLB	59	2 1												X	X	X	X		
Décalage circulaire à droite (C) --> b7b6b5b4b3b2b1b0 --> (C)																			
ROR					76	7 3	06	6 2	66	6+ 2+				X	X	X	X		
RORA	46	2 1												X	X	X	X		
RORB	56	2 1												X	X	X	X		
Soustraction avec retenue (A ou B) - (M) - (C) --> (A ou B)																			
SBCA			B2	2 2	B2	5 3	92	4 2	A2	4+ 2+			?		X	X	X	X	

Mnemo.	Inhér.	Imméd.	Etendu	Direct	Ind.	Res. d'état								
	Op. e #	Op. e #	Op. e #	Op. e #	Op. e #	Op. e #	E	F	H	I	N	Z	V	C
SBCB		C2 2 2	F2 5 3	D2 4 2	E2 4+ 2+		.	.	?	.	X	X	X	X
Extension de signe. FF --> (A) si b7 de (B) égal à 1. 0 --> (A) si b7=0														
SEX	1D 2 1						X	X	.
Mise en mémoire de registres (A ou B) --> (M) (D ou S ou U ou X ou Y) --> (MM)														
STA			B7 5 3	97 4 2	A7 4+ 2+		X	X	0	.
STB			F7 5 3	D7 4 2	E7 4+ 2+		X	X	0	.
STD			FD 6 3	DD 5 2	ED 5+ 2+		X	X	0	.
STS			10FF 7 4	10DF 6 3	10EF 6+ 3+		X	X	0	.
STU			FF 6 3	DF 5 2	EF 5+ 2+		X	X	0	.
STX			BF 6 3	9F 5 2	AF 5+ 2+		X	X	0	.
STY			10BF 7 4	109F 6 3	10AF 6+ 3+		X	X	0	.
Soustraction (A ou B) - (M) --> (A ou B) ; (D) - (MM) --> (D)														
SUBA		B0 2 2	B0 5 3	90 4 2	A0 4+ 2+		.	.	?	.	X	X	X	X
SUBB		C0 2 2	F0 5 3	D0 4 2	E0 4+ 2+		.	.	?	.	X	X	X	X
SUBD		B3 4 3	B3 7 3	93 6 2	A3 6+ 2+		X	X	X	X
Transfert de registres B et 16 bits														
TFR R1,R2	1F.. 7 2													
Les registres R1 et R2 doivent être de même longueur. Le registre d'état n'est affecté que si R2 est CC lui-même. Le calcul du post-octet est identique à celui exposé pour l'instruction EXG R1,R2														
Test et action sur (CC) (M ou A ou B) - (O)														
TST			7D 7 3	0D 6 2	6D 6+ 2+		X	X	0	.
TSTA	4D 2 1						X	X	0	.
TSTB	5D 2 1						X	X	0	.

INSTRUCTIONS IMPLIQUANT UNE RUPTURE DE SEQUENCE

Mnemo.	Inhér.	Imméd.	Etendu	Direct	Ind.	Res. d'état								
	Op. e #	Op. e #	Op. e #	Op. e #	Op. e #	Op. e #	E	F	H	I	N	Z	V	C
Saut inconditionnel vers une adresse														
JMP			7E 4 3	0E 3 2	6E 3+ 2+	
Saut vers un sous-programme avec sauvegarde de l'adresse de retour														
JSR			BD 8 3	9D 7 2	AD 7+ 2+	
Retour de sous-programme d'interruption														
RTI	3B 6/15 1						X	X	X	X	X	X	X	X
Si E=0, le nombre de cycles est 6 Si E=1, le nombre de cycles est 15														
Retour de sous-programme														
RTS	39 5 1					
Interruptions logicielles														
SW1	3F 19 1						1	1
SW12	103F 20 2						1
SW13	113F 20 2						1
Synchronisation avec la ligne d'interruption														
SYNC	113 2 1					
ET logique de (CC), avec un opérande immédiat puis attente d'interruption														
CWAI	3C 20 2						X	X	X	X	X	X	X	X

INSTRUCTIONS DE BRANCHEMENTS RELATIFS COURTS ET LONGS. Le mode d'adressage correspondant est le mode relatif.

Mnemo.	Op. e #	Mnemo.	Op. e #	Conditions
BCC	24 3 2	LBCC	1024 5/6 4	C = 0
BCS	25 3 2	LBCS	1025 5/6 4	C = 1
BEQ	27 3 2	LBEQ	1027 5/6 4	Z = 1
BGE	2C 3 2	LBGE	102C 5/6 4	$N \oplus V = 0$
BGT	2E 3 2	LBGT	102E 5/6 4	$Z + (N \oplus V) = 0$
BHI	22 3 2	LBHI	1022 5/6 4	Z + C = 0
BHS	24 3 2	LBHS	1024 5/6 4	C = 0
BLE	2F 3 2	LBLE	102F 5/6 4	$(N \oplus V) + Z = 1$
BLO	25 3 2	LBLO	1025 5/6 4	C = 1
BLS	23 3 2	LBLS	1023 5/6 4	C + Z = 1
BLT	2D 3 2	LBLT	102D 5/6 4	$N \oplus V = 1$
BMI	2B 3 2	LBMI	102B 5/6 4	N = 1
BNE	26 3 2	LBNE	1026 5/6 4	Z = 0
BPL	2A 3 2	LBPL	102A 5/6 4	N = 0
BRA	20 3 2	LBRA	16 5 3	Aucune
BRN	21 3 2	LBRN	1021 5 4	voir note
BSR	BD 7 2	LBSR	17 9 3	Aucune
BVC	2B 3 2	LBVC	102B 5/6 4	V = 0
BVS	29 3 2	LBVS	1029 5/6 4	V = 1

Note: 5/6 signifie 6 cycles quand le branchement s'opère, 5 cycles quand la condition de branchement n'est pas réalisée.
BRN équivaut à 2 NOP, LBRN équivaut à 4 NOP

ADRESSAGE INDEXE. SIGNIFICATION DES BITS DU POST-OCTET.

Bit du registre post-octet								Mode d'adressage indexé	
7	6	5	4	3	2	1	0		
0	r	r	S	X	X	X	X	R + 4 bits déplacement	
1	r	r	0	0	0	0	0	,R+	
1	r	r	I	0	0	0	1	,R++	
1	r	r	0	0	0	1	0	,-R	
1	r	r	I	0	0	1	1	,--R	
1	r	r	I	0	1	0	0	R + 0 déplacement	
1	r	r	I	0	1	0	1	R + Acc.B déplacement	
1	r	r	I	0	1	1	0	R + Acc.A déplacement	
1	r	r	I	1	0	0	0	R + 7 bits déplacement	
1	r	r	I	1	0	0	1	R + 15 bits déplacement	
1	r	r	I	1	0	1	1	R + Acc.D déplacement	
1	X	X	I	1	1	0	0	PC + 7 bits déplacement	
1	X	X	I	1	1	0	1	PC + 15 bits déplacement	
1	X	X	1	1	1	1	1	Mode indirect type [n]	

R: Registre de base

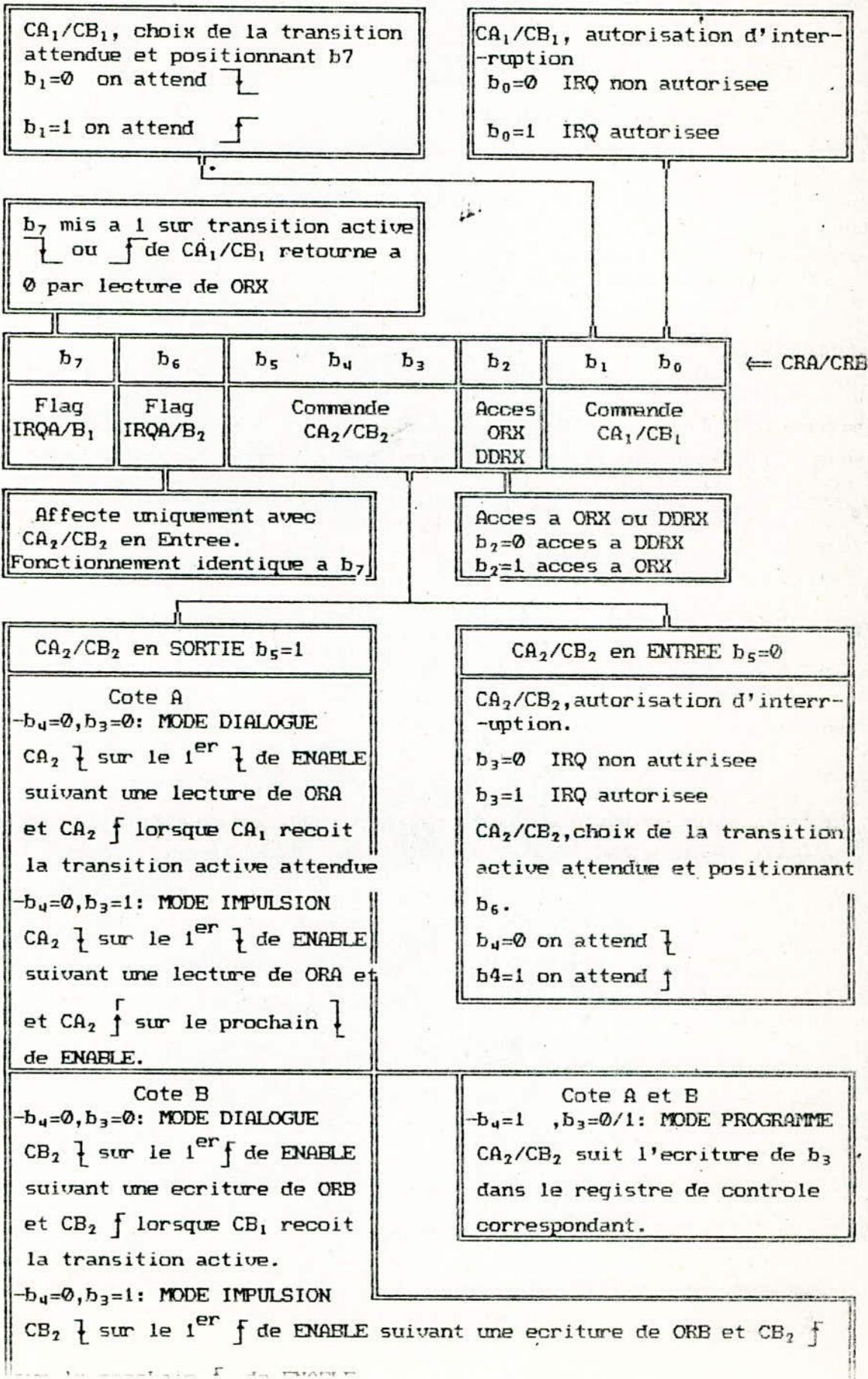
X: indifférent

- Champ définissant le mode d'adressage
- Bit d'indirection. Si I.=1, mode indirect
Dans le 1er cas où b7=0, ce bit devient le bit de signe pour l'offset. Si S.=1, l'offset codé sur 4 bits se retranche de l'adresse de base
- Les 2 bits b6b5 du post-octet définissent la nature du registre de base du mode indexé.
Si b6b5 = 00 le registre est X
Si b6b5 = 01 le registre est Y
Si b6b5 = 10 le registre est U
Si b6b5 = 11 le registre est S

NOMBRE DE CYCLES ET D'OCTETS ADDITIONNELS POUR LES MODES INDEXES OU INDIRECTS

Formes	Non indirect			Indirect		
	Assembleur	Post-octet	@ #	Assembleur	Post-octet	@ #
sans déplacement	,R	1rr0 0100	0 0	[,R]	1rr1 0100	3 0
deplac. 4 bits	n,R	0rrS XXXX	1 0	par défaut, mode 7 bits		
deplac. 7 bits	n,R	1rr0 1000	1 1	[n,R]	1rr1 1000	4 1
deplac. 15 bits	n,R	1rr0 1001	4 2	[n,R]	1rr1 1001	7 2
deplac. Acc.A	A,R	1rr0 0110	1 0	[A,R]	1rr1 0110	4 0
deplac. Acc.B	B,R	1rr0 0101	1 0	[B,R]	1rr1 0101	4 0
deplac. Acc.D	D,R	1rr0 1011	4 0	[D,R]	1rr1 1011	7 0
Incram. par 1	,R+	1rr0 0000	2 0	impossible		
Incram. par 2	,R++	1rr0 0001	3 0	[,R++]	1rr1 0001	6 0
decrem. par 1	,-R	1rr0 0010	2 0	impossible		
decrem. par 2	,--R	1rr0 0011	3 0	[,--R]	1rr1 0011	6 0
depl. 7 bits PCR	n,PCR	1XX0 1100	1 1	[n,PCR]	1XX1 1100	4 1
depl. 15 bits PCR	n,PCR	1XX0 1101	5 2	[n,PCR]	1XX1 1101	8 2
Indirect étendu	—	—	—	[n]	1001 1111	5 2

n: nombre ou étiquette assembleur
R: Registre de base des modes indexés S ou U ou X ou Y



Fonction	Bit	Niveau	Signification
Indicateur d'interruption $\overline{\text{IRQ}}$	SR 7	0	Pas d'interruption
		1	ACIA a envoye une interruption
Erreur de parite P.E	SR 6	0	Il n'y a pas d'erreur de parite
		1	Il y'a erreur de parite
Erreur de recouvrement OVRN	SR 5	0	Reception correcte
		1	Perte de caractere en reception
Erreur de format F.E	SR 4	0	Pas d'erreur de format
		1	Il y'a une erreur de format
Ligne de controle en transmission $\overline{\text{CTS}}$	SR 3	0	Transmission possible
		1	Transmission impossible
Porteuse de donnees en reception $\overline{\text{DCD}}$	SR 2	0	Presente
		1	Absente
Registre de transmission $\overline{\text{TDRE}}$	SR 1	0	Plein
		1	Vide
Registre de reception RDRF	SR 0	0	Vide
		1	Plein

Fig. A₂₅ Signification des bits du registre d'etat (SR).

CR ₀	CR ₁	RAPPORT DE DIVISION D'HORLOGE
0	0	÷ 1 Synchronisation externe requise
1	0	÷ 16
0	1	÷ 64
1	1	Initialisation programmée (Reset)

CR ₂	CR ₃	CR ₄	Fonction: Format du mot transmis ou reçu		
			Longueur du mot	Parite	Nombre de bits STOP
0	0	0	7 bits	Paire	2
1	0	0	7 bits	Impaire	2
0	1	0	7 bits	Paire	1
1	1	0	7 bits	Impaire	1
0	0	1	8 bits	Sans	2
1	0	1	8 bits	Sans	1
0	1	1	8 bits	Paire	1
1	1	1	8 bits	Impaire	1

CR ₅	CR ₆	Fonction : Pilotage de la sortie RTS avec interruption en transmission inhibée ou autorisée
0	0	RTS = 0 et interruptions du transmetteur inhibées
1	0	RTS = 0 et interruptions du transmetteur validées
0	1	RTS = 1 et interruption du transmetteur inhibées
1	1	RTS = 0 et interruption du transmetteur inhibées émission d'un BREAK sur la ligne de transmission, sortie TD=0 (ligne TD=+12 V)

CR ₇	Fonction: Autorisation des interruptions en reception
0	Interruptions masquées
1	Interruptions autorisées

Fig. A.2.6 Significations des bits du registre de contrôle de l'ACIA 6850

LOCATION OBJECT CODE LINE SOURCE LINE

1 "6809"

2

3

* MONITEUR DU SYSTEME A BASE DU
MC 6809

4

5

6

7

DEFINITION DES SYMBOLES

8

<FFF0>	9	PIAPA	FQU	0EFF0H
<FFF0>	10	PIADDA	FQU	0EFF0H
<FFF1>	11	PIACRA	FQU	0EFF1H
<FFF2>	12	PIAPB	FQU	0EFF2H
<FFF2>	13	PIADDB	FQU	0EFF2H
<FFF3>	14	PIACRB	FQU	0EFF3H
<FFF6>	15	ACIACR	FQU	0EFF6H
<FFF8>	16	ACIASR	FQU	0EFF8H
<FFF9>	17	ACIARD	FQU	0EFF9H
<FFF9>	18	ACIARD	FQU	0EFF9H
<E7FE>	19	SYSPIL	FQU	0E7FEH

20

GRG 0E780H

E780

21

MHEX RMB 03H

E783

22

MVISU RMB 02H

E789

23

RDFLG RMB 01H

E78A

24

MFLG RMB 01H

E78B

25

MOVFLG RMB 01H

E78C

26

SHFLG RMB 01H

E78D

27

OFLG1 RMB 01H

E78E

28

OFLG2 RMB 01H

E78F

29

BRKFLG RMB 01H

E790

30

BRKCPT RMB 01H

E791

31

CLBRK RMB 01H

E792

32

BCFLG RMB 01H

E793

33

GOFLG RMB 01H

E794

34

REGNO RMB 01H

E795

35

REGNEW RMB 01H

E796

36

PASS1 RMB 01H

E797

37

KEY RMB 01H

E798

38

MEMDER RMB 02H

E79A

39

MEMFIN RMB 02H

E79C

40

MEMSAV RMB 02H

E79E

41

BRKNO RMB 01H

E79F

42

BRKTBL RMB 04H

E7A9

43

BRKSAV RMB 05H

E7AE

44

UCC RMB 01H

E7AF

45

US RMB 02H

E7B1

46

USP RMB 01H

E7B2

47

UX RMB 02H

E7B4

48

UY RMB 02H

E7B6

49

UUS RMB 02H

E7B8

50

UPC RMB 02H

E7BA

51

USP RMB 02H

E7BC

52

SHTBL RMB 02H

E7BE

53

UPI RMB 02H

E7C0

54

UFIRQ RMB 02H

55

56

57

VECTEURS D'INTERRUPTIONS DU MC 6809

E: POLY:RIDDN

HEWLETT-PACKARD: 6809 ASSEMBLER

LOCATION	OBJECT CODE	LINE	SOURCE	LINE
		58		
		59	ORG	0FFF2H
FFF2	FADC	60	FDB	SWINT3
FFF4	FADA	61	FDB	SWINT2
FFF6	FAE2	62	FDB	FIRO
FFF8	FA5E	63	FDB	IRQINT
FFFA	FAAD	64	FDB	SWINT
FFFC	FADE	65	FDB	NMI
FFFF	F800	66	FDB	RESET
		67		
		68		

```

69
70          ORG      0F800H
71
72          *RESET*
73
74          *EFFACEMENT RAM SYSTEME*
75  RESET   LDX      #0E780H
76  CLRST   CLR      ,X+
77          CMPX     #0E7FFH
78          BLS      CLRST
79          *INITIALISATION INTERFACES*
80          LDX      #0EFF0H
81  CLREG   CLR      ,X+
82          CMPX     #0EFF9H
83          BLS      CLREG
84          LDA      #7FH          ;PIA SYSTEME DIRECTION
85          STA      PIADDA        ;PORT A EN SORTIE SAUF B7
86          LDA      #0FFH
87          STA      PIADDB        ;PORT B EN SORTIE
88          LDA      #04H          ;PIA REGISTRES DONNEES
89          STA      PIACRA
90          STA      PIACRB
91          LDA      #00000011B    ;MASTER RESET ACIA
92          STA      ACIACR
93          LDS      #SYSPIL      ;VALIDATION NMI
94          STS      USP
95
96          *VISUALISATION "0" SUR AFFICHEURS*
97          LDX      #MVISU
98          LDA      #01011100B
99          STA      ,X+
100         CMPX     #MVISU+5
101         BLS      $-5
102         *AUTORISATION INTERRUPTIONS*
103         ANDCC    #11101111B;IRQ VALIDEE
104         LDA      PIAPB          ;EFFACER BIT7 DU CRB
105         LDA      #07H          ;MODE INTERRUPTION
106         STA      PIACRB        ;CR1 ACTIF NIVEAU HAUT
107         CLR      PIAPB        ;VALIDER LIGNES CLAVIER
108         LDA      #01H          ;1ERE PASSE REGISTRES
109         STA      REGHEW
110         STA      PASS1
111         LBRA     VISU          ;VERS VISUALISATION AFFICHEUR
112
113

```

LOCATION	OBJECT CODE	LINE	SOURCE LINE
		115	*DECODAGE TOUCHES CLAVIER*
F857	7F EFF2	116	KEYDEC CLR PIAPB ;COLONNES CLAVIER A 0
F85A	17 007F	117	LBSR DLY75 ;ANTI REBOND D'APPUY
		118	*RECHERCHE LIGNE*
F85D	8E EFF0	119	LDX #PIAPA
F860	86 00	120	LDA #0B ;LIGNE 0
F862	A7 02	121	LGNST STA 2,X
F864	6D 84	122	TST ,X ;PORT A BIT7 LIGNE MUX.
F866	2A 06	123	BPL LGNTRV ;=0 :NO. LIGNE TROUVEE
F868	8B 40	124	ADDA #40H ;SINON LIGNE SUIVANTE
F86A	24 F6	125	BCC LGNST
F86C	20 F9	126	BRA KEYDEC
F86E	84 C0	127	LGNTRV ANDA #11000000B ;SAUVEGARDE NO. LIGNE EN MEM
F870	B7 E797	128	STA KEY ;EN MEMOIRE
		129	*RECHERCHE COLONNE*
F873	86 0F	130	LDA #00001111B ;COLONNE 4
F875	C6 04	131	LDB #04H
F877	BA E797	132	COLST ORA KEY
F87A	A7 02	133	STA 2,X
F87C	6D 84	134	TST ,X ;BIT LIGNE = 0 ?
F87E	2A 08	135	BPL COLTRV;OUI: NO. COLONNE TROUVEE
F880	84 1F	136	ANDA #00011111B;NON:VOIR COLONNE SUIVANTE
F882	44	137	LSRA
F883	5A	138	DECH
F884	2A F1	139	BPL COLST
F886	20 CF	140	BRA KEYDEC ;TOUCHE DESACTIVEE ?
F888	6D 84	141	COLTRV TST ,X
F88A	2A FC	142	BPL #-2
F88C	8D 4E	143	BSR DLY75 ;ANTI REBOND RELACHE
F88E	6D 84	144	TST ,X
F890	2A C5	145	BPL KEYDEC
F892	C1 04	146	CMPR #04H ;TOUCHE HEXA.?
F894	25 0D	147	BLO NUMKEY;OUI
F896	79 E797	148	ROL KEY ;SINON NO. LIGNE DANS LSB
F899	59	149	ROLA ;X NO. COLONNE DANS BITS 2,3,4
F89A	79 F797	150	ROL KEY
F89D	59	151	ROLA
F89E	F7 E797	152	STB KEY
F8A1	20 1A	153	BRA FONSSEL
F8A3	74 E797	154	NUMKEY LSR KEY ;TOUCHE HEXA.
F8A6	74 E797	155	LSR KEY ;NO. COLONNE DANS BITS 0,1
F8A9	74 E797	156	LSR KEY ;NO. LIGNE DANS BITS 2,3
F8AC	74 E797	157	LSR KEY
F8AF	FA E797	158	ORB KEY
F8B2	F7 E797	159	STB KEY
F8B5	7D E797	160	TST SHFLG ;SI APPEL FONCTIONS
F8B8	26 0B	161	BNE SHFNC ;BRANCHER TABLE SECONDES FONCTIONS
F8BA	16 0114	162	LBR ROLADR ;SINON VERS AFFRS. ADRESSES
		163	*

```

164
165 *SELECTION COMMANDES MONITEUR*
166 * & SECONDES FONCTIONS *
167
F8B0 30 80FFCB 168 FONSEL LEAX SYSTBL-40H,PCR ;POINTER TABLE COMMANDES
F8C1 58 169 ASLB ;4 OCTETS PAR FONCTION
F8C2 58 170 ASLB
F8C3 6E 85 171 JMP B,X

```

FILE: POLY:RIDON

HEWLETT-PACKARD: 6809 ASSEMBLER

LOCATION	OBJECT CODE	LINE	SOURCE LINE
F8C5	8E FD5A	172	SHFNC LDX #APTBL-40H ;TABLE SECONDES FONCTIONS
F8C8	58	173	ASLB
F8C9	58	174	ASLB
F8CA	6E 85	175	JMP B,X
F8CC	6E 8D02CC	176	*TABLE COMMANDES SYSTEME*
F8D0	6E 8D0011	177	SYSTBL JMP SRKPRG,PCR "P/B"
F8D4	6E 8D020E	178	JMP SHPRG,PCR "SH"
F8D8	6E 8D041B	179	JMP GOPRG,PCR "GO"
		180	JMP CLRPRG,PCR "ESC"
		181	
		182	
F8DC	108E 493E	183	*TEMPORISATION REBONDS CLAVIER*
F8E0	31 3F	184	DLY75 LDY #18750
F8E2	26 FC	185	LEAY -1,Y
F8E4	39	186	BNE #-2
		187	RTS
		188	
		189	
F8E5	86 01	190	*APPEL FONCTIONS*
F8E7	B7 E7AC	191	SHPRG LDA #01H ;MISE A 1 INDICATEUR
F8EA	8E 6D74	192	STA SHFLG
F8ED	BF E787	193	LDX #6D74H ;AFFICHER "SH" A DROITE
F8F0	16 018B	194	STX MVISU+4
		195	LBRA ENIRO ;& RETOUR D'INTERRUPTION
		196	

197.

198 * VISUALISATION SUR AFFICHEURS *

199

200

F8F3 8E E783	201	VISU	LDX	#MVISU	; POINTER ZONE A VISUALISER
F8FA C6 DF	202		LDB	#11011111B	; 1 SEUL AFFR. ALLUME
F8FB 1A 01	203		GRCC	#00000001B	; CARRY A 1
F8FA A6 80	204	NEXAF	LDA	,X+	
F8FC B7 EFF0	205		STA	PIAPA	; VERS SEGMENTS AFFRS.
F8FF F7 CFF2	206		STB	PIAPB	; VALIDER AFFICHEUR
F902 18AF 00F9	207		LDY	#249	; LAISSER 1 MS
F906 31 3F	208		LEAY	-1,Y	
F908 26 FC	209		SNE	#-2	
F90A 86 00	210		LDA	#00H	
F90C B7 EFF0	211		STA	PIAPA	; ETTEINDRE AFFRS.
F90F B7 EFF2	212		STA	PIAPB	; COLONNES CLAVIER A 0
F912 56	213		RORB		; AFFICHEUR SUIVANT
F913 25 E5	214		BCS	NEXAF	
F915 20 DC	215		BRA	VISU	; SI 6IEME RETOURNER AU 1ER

216

217 * DECODAGE 7 SEGMENTS *

218

F917 34 77	219	SFGCOD	PSHS	U,Y,X,D,CC	
F919 8E E783	220		LDX	#MVISU	
F91C 31 80001E	221		LEAY	SEGTRL,PCR	
F920 CE E780	222		LDU	#MHEX	; ZONE A DECODER
F923 A6 C0	223	SFGST	LDA	,U+	; OCTET A DECODER
F925 1F 89	224		TRF	A,B	
F927 C4 DF	225		ANDR	#00001111B	; QUARTET BAS DANS B
F929 44	226		LSRA		
F92A 44	227		LSRA		
F92B 44	228		LSRA		

LE: POLY:RIDON

HEWLETT-PACKARD: 6809 ASSEMBLER

CATION OBJECT CODE LINE SOURCE LINE

F92C 44	229	LSRA		; QUARTET HAUT DANS A
F92D A6 A6	230	LDA	A,Y	; CHARGER CODE DE A
F92F E6 A5	231	LDB	B,Y	; CHARGER CODE DE B
F931 A7 80	232	STA	,X+	; ENVOI VERS BUFFER AFFICHEUR
F933 E7 80	233	STB	,X+	
F935 1183 F783	234	CMPH	#MHEX+3	; CODAGE TERMINE ?
F939 25 F3	235	BLO	SEGST	; NON: REPRENDRE SUITE
F93B 35 77	236	PULS	U,Y,X,D,CC	; OUI: RETOUR PROGRAMME
F93D 39	237	RTS		

238

239 * TABLEAU CODE 7 SEGMENTS *

240

F93E 3F06584F	241	SFGTRL	FDB	3F06H,5B4FH,666DH,7D07H
F946 7F6F777C	242		FDB	7F6FH,777CH,395EH,7971H
	243			

F94E	7F	E70C	246					
F951	86	01	247	REGPRG	CLR	SHFLG		
F953	B7	E709	248		LDA	#01H		:INDIQUER VISU. REGISTRES
F956	7F	E794	249		STA	RDFLG		:EN COURS.
F959	B6	E794	250		CLR	REGNO		:1ER REGISTRE (PC)
F95C	CE	E783	251	REGDIS	LDA	REGNO		
F95F	30	00004E	252		LDU	#MVISU		:ZONE A VISUALISER
F963	40		253		LEAX	REGTBL,PCR		:TABLE REGISTRES
F964	40		254		ASLA			
F965	30	86	255		ASLA			:4 OCTETS PAR REGISTRE
F967	7D	E795	256		LEAX	A,X		:POINTER SUR REGISTRE EN COURS
F96A	27	07	257		TST	REGNEW		:EST-CE 1ERE PASSE ?
F96C	EC	94	258		BEQ	REGNAM		:NON: CHARGER JUSTE LE NOM
F96E	FD	E780	259		LDD	[,X]		:OUI: CHARGER CONTENU REGISTRE
F971	8D	A4	260		STD	MHEX		
			261		BSR	SEGCOD		:DECODAGE 7 SEGMENTS
			262					
F973	EC	02	263	REGNAM	LDD	2,X		:CHARGER NOM DU REGISTRE
F975	ED	44	264		STD	4,U		:A DROITE
F977	30	94	265		LEAX	[,X]		
F979	C5	80	266		BITR	480H		:REGISTRE 8 BITS ?
F97B	2A	06	267		BPL	REGSTR		
F97D	6F	C0	268		CLR	,U+		:SI OUI, ETTEINDRE LES 2
F97F	6F	C4	269		CLR	,U		:AFFPS. DE GAUCHE.
F981	20	05	270		BRA	UNOCT		
F983	B6	E780	271	REGSTR	LDA	MHEX		:CHARGER CONTENU REGISTRE
F986	A7	B4	272		STA	,X		:DANS REGISTRE MEME
F988	30	01	273	UNOCT	LEAX	1,X		:OCTET POIDS FAIBLE
F98A	B6	E781	274		LDA	MHEX+1		
F98D	A7	B4	275		STA	,X		
F98F	86	01	276		LDA	#01H		
F991	B7	E795	277		STA	REGNEW		
F994	16	00E7	278		LBRA	ENIRQ		:RETOUR D'INTERRUPTION
			279					
			280					* PASSAGE REGISTRE PRECEDENT *
			281					
F997	7A	E794	282	REGDEC	DEC	REGNO		
F99A	2A	8D	283		BPL	REGDIS		:SI NO. REGISTRE >0, AU SUIVANT
F99C	86	07	284		LDA	#07H		:SINON APPELER CCR
F99E	B7	E794	285		STA	REGNO		

E: POIY:RI00N HEWLETT-PACKARD: 6809 ASSEMBLER

ATTION	OBJECT	CODE	LINE	SOURCE	LINE			
F9A1	20	B6	286	BRA	REGDIS			
			287					
			288					* PASSAGE REGISTRE SUIVANT *
			289					
F9A3	B6	E794	290	REGINC	LDA	REGNO		
F9A5	4C		291		INCA			
F9A7	81	08	292		CMPA	#08H		:SI NO. REGISTRE <8,
F9A9	25	01	293		BLO	#+3		:AU SUIVANT
F9AB	4F		294		CLRA			:SINON REVENIR A 0 (PC)
F9AC	B7	E794	295		STA	REGNO		
F9AF	20	A6	296		BRA	REGDIS		
			297					

298 * TABLE REGISTRES A VISUALISER *
299

F9B1 E7B8	300	REGTBL	FDB	UPC
F9B3 7339	301		FCB	01110011B,00111001B
F9B5 E7AF	302		FDB	UD
F9B7 005E	303		FCB	00000000B,01011110B
F9B9 E7B0	304		FDB	UDP-1
F9BB 5EF3	305		FCB	01011110B,11110011B
F9BD E7B2	306		FDB	UX
F9BF 065E	307		FCB	00000110B,01011110B
F9C1 E7B4	308		FDB	UY
F9C3 066E	309		FCB	00000110B,01101110B
F9C5 E7B6	310		FDB	UUS
F9C7 3E6D	311		FCB	00111110B,01101101B
F9C9 E7BA	312		FDB	USP
F9CB 6D73	313		FCB	01101101B,01110011B
F9CD E7AD	314		FDB	UCC-1
F9CF 39B9	315		FCB	00111001B,10111001B
	316			

```

317
318 * RENTRER DONNEE HEXA. DANS AFFICHEUR ADRESSE *
319
F9D1 B6 E797 320 ROLADR LDA KEY ;VALEUR A RENTRER
F9D4 48 321 ASLA
F9D5 48 322 ASLA
F9D6 48 323 ASLA
F9D7 48 324 ASLA ;SUR QUARTET FORT DE A
F9D8 C6 03 325 LDB #03H
F9DA 49 326 ROLA ;PAR PERMUTATION CIRCULAIRE
F9DB 79 E7A1 327 ROL MHEX+1 ;RENTRER VALEUR DE LA TOUCHE
F9DE 79 E780 328 ROL MHEX ;DANS 4IEME AFFR.
F9E1 5A 329 DECH
F9E2 2A F6 330 BPL $-08H
F9E4 17 FF30 331 LBSR SEGCOD ;DECODAGE 7 SEGMENTS
F9E7 70 E789 332 TST R0FLG ;MODE VISU. REGISTRES ?
F9EA 26 09 333 BNE $+14 ;OUI: CHANGEMENT CONTENU REG.
F9EC 7F E7A7 334 CLR MVISU+4
F9EF 7F E788 335 CLR MVISU+5
F9F2 18 0089 336 LBRA ENIRQ ;SINON RETOUR D'INTERRUPTION
F9F5 7F E795 337 CLR REGNEW ;INDICATEUR CHANGEMENT REG.
F9F8 B6 E794 338 LDA REGNO
F9FB 81 06 339 CMPA #06H
F9FD 26 03 340 BNE $+05
F9FF B7 E796 341 STA PASS1
FA02 18 FF54 342 LBRA REGDIS ;RETOURNER VERS VISU. REGISTRES

```

E: POLY:R106N

HEWLETT-PACKARD: 6809 ASSEMBLER

```

ATION OBJECT CODE LINE SOURCE LINE
343
344 * RENTRER DONNEE HEXA. DANS AFFICHEURS DONNEES *
345
FA05 B6 E7A2 346 ROLDTA LDA MHEX+2 ;DECALAGE A GAUCHE
FA08 48 347 ASLA ; DU CONTENU AFFR.
FA09 48 348 ASLA
FA0A 48 349 ASLA
FA0B 48 350 ASLA
FA0C BA E797 351 ORA KEY ;VALEUR TOUCHE A RENTRER
FA0F BE E790 352 LDX MHEX ;TEST MEMOIRE A MODIFIER:
FA12 8C E780 353 CMPX #0E7A0H ;SI DANS RAM SYSTEME,
FA15 25 05 354 BLO $+7 ;MODIFICATION INTERDITE
FA17 8C E78B 355 CMPX #0E78BH
FA1A 23 04 356 BLS $+6
FA1C A7 9FF780 357 STA [MHEX] ;SINON CHANGER CONTENU
FA20 20 18 358 BRA MEMCHG ;& RETOUR VERS VISU. MEMOIRE
359

```

```

360
361 * VISUALISATION CONTENU MEMOIRE *
362
363 MEMPRG CLR SHFLG ;MODE VISU.REGISTRES ?
364 TST RDFLG ;OUI:"M" DECREMENTE NO.REG.
365 LBNF REGDEC ;MODE VISU.MEMOIRE ?
366 TST MFLG ;OUI:"M" DECREMENTE NO.ADRESSE
367 BNE MEMDEC ;SINON METTRE INDICATEUR DE
368 MEMDIS LDA #01H ;VISU.MEMOIRE
369 STA MFLG ;ENVOYER CONTENU MEMOIRE
370 MEMDTA LDA MHEX+1 ;VERS AFFRS.DONNEES
371 MEMCHG STA MHEX+2 ;DECODAGE 7 SEGMENTS
372 LBSR SEGCOD ;RETOUR D'INTERRUPTION
373 BRA ENIRO
374
375 * PASSAGE ADRESSE PRECEDENTE *
376
377 MEMDEC TST MHEX+1
378 BNE $+5
379 DEC MHEX
380 DEC MHEX+1
381 BRA MEMDTA
382
383 * PASSAGE ADRESSE SUIVANTE *
384
385 MEMINC LDA MHEX+1
386 CMPA #0FFH
387 BNE $+5
388 INC MHEX
389 INC MHEX+1
390 BRA MEMDTA
391

```

```

A22 7F E78C
A25 70 E789
A28 1026 FF6B
A2C 70 E78A
A2F 26 11
A31 86 01
A33 67 E78A
A36 A0 9FF780
A3A B7 E782
A3D 17 FE07
A40 20 3C

```

```

FA42 70 E781
FA45 26 03
FA47 7A E780
FA4A 7A E781
FA4D 20 E7

```

```

FA4F B6 E781
FA52 81 FF
FA54 26 03
FA56 7C E780
FA59 7C E781
FA5C 20 08

```

```

392
393 * TRAITEMENT INTERRUPTIONS *
394
FA5E 7F EFF0 395 IRQINT CLR PIAPA ;ETEINDRE AFFICHEURS
FA61 8E E7A3 396 LDX #MVISU ;EFFACER BUFFER AFFRS.
FA64 6F 80 397 CLR ,X+
FA66 8C E7A8 398 CMPX #MVISU+5
FA69 23 F9 399 BLS $-5

```

E: POLY:PIDON

HEWLETT-PACKARD: 6809 ASSEMBLER

```

ACTION OBJECT CODE LINE SOURCE LINE
FA66 86 04 400 LDA #04H ;INTERDIRE INTERRUPTION
FA69 87 EFF3 401 STA PIACRB ;DURANT TRAITEMENT DE CELLE-CI.
FA70 86 EFF3 402 LDA PIACRB ;ORIGINE REQUETE ?
FA73 2A 07 403 BPL $+9
FA75 7D E793 404 TST GOFLG
FA78 1027 F0DB 405 LBEQ KEYDEC
FA7C 20 12 406 BRA TRACE
407
FA7E 86 EFF2 408 EMIRQ LDA PIAPB ;EFFACEMENT BIT 7 DU CRB
FA81 86 07 409 LDA #07H ;AUTORISATION INTERRUPTION
FA83 87 EFF3 410 STA PIACRB ;CLAVIER
FA86 7F EFF2 411 CLR PIAPB ;COLONNES CLAVIER A 0
FA89 A6 E4 412 RETINT LDA 0,S ;VALIDATION IRQ
FA8B 84 EF 413 ANDA #11101111B
FA8D A7 E4 414 STA 0,S
FA8F 30 415 RTI ;RETOUR VERS GESTION AFFRS.
416
417 * SAUVEGARDE REGISTRES POUR VISUALISATION *
418
FA90 C6 0C 419 TRACE LDB #0CH
FA92 CE E7BA 420 LDU #USP ;TOP ZONE SAUVEGARDE
FA95 10FF C4 421 STS ,U ;SAUVEGARDE CONTENU PILE
FA98 32 6C 422 LEAS 12,S ;VALEUR INITIALE PILE
FA9A A6 E2 423 LDA ,S ;COPIE PILE DANS,
FA9C A7 C2 424 STA ,U ;ZONE SAUVEGARDE
FA9E 5A 425 DECB
FA9F 26 F9 426 BNE $-5
FAA1 7F E793 427 CLR GOFLG
FAA4 30 5DFE4B 428 LEAX VISU,PCR ;RETOUR D'INTERRUPTION
FAAB AF 6A 429 STX 10,S ;VERS GESTION AFFRS.
FAAA 16 FEA1 430 LBRA REGPRG ;ALLER VERS VISU,REGISTRES
431

```

```

432
433 * POINTS D'ARRET *
434
FAB0 70 E7BF 435 SWINT TST BRKFLG ;PRG. AVEC POINT ARRET ?
FAB0 27 DE 436 BEQ TRACE
437
438 * RESTAURATION DU CONTENU DU POINT D'ARRET *
439
FAB2 4F 440 CLRA
FAB3 8E E7A9 441 LDX #BRKSAV ;TABLE SAUVEGARDE CONTEXTE
FAB6 10AE E79F 442 LDY #BRKTBL ;TABLE POINTS D'ARRET
FABA 60 6B 443 TST 11,S
FABC 26 02 444 BNE $+4
FABE 6A 6A 445 DEC 10,S
FAC0 6A 6B 446 DEC 11,S ;CONTENU PC AU POINT D'ARRET
FAC2 EE A1 447 LDU ,Y++
FAC4 11A3 6A 448 CMPH 10,S ;RECHERCHE NO.POINT D'ARRET
FAC7 27 07 449 BEQ $+9
FAC9 4C 450 INCA
FACA 81 05 451 CMPA #05H
FACC 27 C2 452 BEQ TRACE
FACE 20 F4 453 BRA $-10
FAD0 E6 B6 454 LDB A,X ;RECUPERATION CONTEXTE
FAD2 E7 F80A 455 STB [10,S] ;D'ADRESSE ARRET
FAD5 7C E790 456 INC BRKCPT ;INDICATEUR D'ARRET RENCONTRE

```

E: POLY:RIDON HELLITT-PACKARD: 6809 ASSEMBLER

```

ACTION OBJECT CODE LINE SOURCE LINE
FAD6 20 B6 457 BRA TRACE ;VERS COPIE PILE DANS USREG.
458
459 * INTERRUPTIONS LOGICIELLES *
460
FADA 20 B4 461 SWINT2 BRA TRACE
FADC 20 B2 462 SWINT3 BRA TRACE
463
464 * INTERRUPTION HARDWARE UTILISATEUR *
465
FADE 6E 9FE7BE 466 NMI JMP [UNMI] ;VERS SEQUENCE UTILISATEUR
FAE2 6E 9FE7C0 467 FIRG JMP [UFIRG] ;VERS TRAITEMENT UTILISATEUR
468

```

```

469
470 * LANCEMENT PROGRAMME : "GO" *
471
472 * TEST INDICATEURS COMMANDES *
473
FAE6 7D E789      474 GOPRG  TST      RDFLG
FAE9 1026 FE86    475          LBNF     REGINC
FAED 7D E78A      476          TST      RFLG
FAF0 1026 FF5B    477          LBNF     REMINC
FAF4 7D E78B      478          TST      MOVFLG
FAF7 1026 01C6    479          LBNF     PRGTR
FAFB 7D E7AD      480          TST      OFLG1
FAFE 1026 011D    481          LBNF     OFCALC
FB02 7D E7AE      482          TST      OFLG2
FB05 1026 016C    483          LBNF     OFSAVE
484
FB09 86 01        485          LDA      #01H
FB0B B7 E793      486          STA      GOFLG
FB0E 7D E7AF      487          TST      BRKFLG      ;POINTS D'ARRET ?
FB11 26 08        488          BNE      INSBRK      ;OUI: INSERER 1ER
FB13 BE E780      489 GOIN   LDX      MHEX      ;CHARGER ADRESSE DEPART,
FB16 BF E786      490          STX      UPC      ;DANS PC
FB19 20 21        491          BRA      LANCE      ;VERS LANCEMENT PROGRAMME
FB1B 4F           492 INSBRK CLRA      ;INITIALISER COMPTEUR
FB1C 108E F79F    493          LDY      #BRKTBL    ;TABLE POINTS D'ARRET
FB20 8E E7A9      494          LDX      #BRKSAV    ;TABLE SAUVEGARDE CONTENU
FB23 FE E780      495          LDU      MHEX      ;POINT DEPART USER PRG.
FB26 11A3 A1      496 NEXINS CMPU     ,Y++      ;RECHERCHE 1ER ARRET,
FB29 25 07        497          BLO      SAVE      ;INCLUS DANS PRG.
FB2B 4C           498          INCA
FB2C 81 05        499          CMPA     #05H
FB2E 27 E3        500          BEQ      GOIN
FB30 20 F4        501          BRA      NEXINS
FB32 E6 B3        502 SAVE   LDB      [,--Y]      ;SAUVEGARDE CONTENU ADR.ARRET
FB34 E7 86        503          STB      A,X
FB36 C6 3F        504          LDB      #3FH      ;CODE DE SWI CHARGE DANS,
FB38 E7 H4        505          STB      [,Y]      ;ADR. ARRET
FB3A 20 D7        506          BRA      GOIN      ;VERS CHARGEMENT PC
FB3C C6 0C        507 LANCE  LDB      #0CH      ;NBRE.OCTETS REGISTRES =12
FB3E CE E78A      508          LDU      #USP      ;TOP PILE UTILISATEUR
FB41 1F 41        509          TFR     S,X      ;SAUVEGARDE PILE SYSTEME
FB43 10EE C4      510          LDS     ,U      ;PILE UTILISATEUR
511

```

512 * VERIFICATION PILE SYSTEME *
513

FILE: POLY:RIDON

HEWLETT-PACKARD: 6809 ASSEMBLER

LOCATION	OBJECT	CODE	LINE	SOURCE	LINE	
FB46	118C	F780	514	CMPS	#0E7A0H	;SI PILE EN ROM
FB4A	25	08	515	BLO	\$+10	;OU SUR BAS RAM SYS.:ERREUR
FB4C	118C	F700	516	CMPS	#0E7D0H	
FB50	22	02	517	BHI	\$+4	
FB52	20	0A	518	BRA	EROSP	
FB54	06	E6	519	LDA	#0E6H	
FB56	34	02	520	PSHS	A	;PILE CORRECTE ?
FB58	35	02	521	PULS	A	
FB5A	61	E6	522	CMPA	#0E6H	
FB5C	27	0E	523	BEQ	REGPUL	
			524			
FB5E	7F	E793	525	EROSP	CLR	G0FLG ;ERREUR PILE
FB61	1F	14	526	TFR	X,S	
FB63	8E	6D73	527	LDX	#6D73H	;AFFICHER "SP" A DROITE
FB66	BF	E787	528	STX	MVISU+4	
FB69	16	0053	529	LBRA	EROR	; & ERREUR A GAUCHE
FB6C	7D	E796	530	REGPUL	TST	PASS1
FB6F	26	02	531	BNE	\$+4	
FB71	32	6C	532	LEAS	12,S	
FB73	7F	E796	533	CLR	PASS1	
FB76	A6	C2	534	LDA	,-U	;COPIE REGISTRE USER EN PILE
FB78	A7	E2	535	STA	,-S	
FB7A	5A		536	DECR		
FB7B	26	F9	537	BNE	\$-5	
FB7D	B6	E797	538	LDA	KEY	;TEST MODE P/PAS
FB80	81	10	539	CMPA	#10H	
FB82	1026	FEF8	540	LBNE	ENIRO	
FB86	86	3C	541	LDA	#3CH	;MISE A 0 COMPTEUR 5 BITS
FB88	B7	EFF1	542	STA	PIACRA	
FB8B	B6	EFF2	543	LDA	PIAPB	;EFFACER BIT 7 D'INTERRUPTION
FB8E	86	0E	544	LDA	#0EH	;INTERRUPTION VALIDEE SUR.
FB90	B7	EFF3	545	STA	PIACRB	;FRONT DESCENDANT DE CB2.
FB93	86	34	546	LDA	#34H	;MISE EN MARCHE COMPTEUR
FB95	B7	EFF1	547	STA	PIACRA	
FB98	12		548	NOP		
FB99	16	FEED	549	LBRA	RETINT	;VERS RETOUR D'INTERRUPTION
			550			

	553				
	554				
FB9C	7D E789	555	BRKPRG	TST	RDFLG ;MODE P/PAS ?
FB9F	27 09	556		BEQ	#+11
FBA1	7D E790	557		TST	BRKCPT ;RELANCEMENT D'UN PRG. AVEC
FBA4	1026 FF73	558		LBNF	INSBRK ;POINTS D'ARRET ?
FBA8	20 92	559		BRA	LANCE
FBAA	7D E78F	560		TST	BRKFLG ;SUITE INSERTION POINT ARRET
FBAD	26 0A	561		BNE	NEXBRK
FBAF	86 01	562		LDA	#01H ;SI 1ERE FOIS, METTRE
FBB1	B7 E78F	563		STA	BRKFLG ;INDICATEUR DU MODE
FBB4	7F E79E	564		CLR	BRKNO ;INITIALISER COMPTEUR
FBB7	20 03	565		BRA	#+5
FBB9	7C E79E	566	NEXBRK	INC	BRKNO
FBBC	85 E79E	567		LDA	BRKNO
FBBF	81 05	568		CMPA	#05H ;5 POINTS D'ARRET MAX.
FBC1	27 2C	569		BEQ	EROR
FBC3	CE E79F	570		LDU	#BRKTBL ;TABLE RANGEMENT ARRETS

FILE: POLY:RIDON

HEWLETT-PACKARD: 6809 ASSEMBLER

LOCATION	OBJECT CODE	LINE	SOURCE	LINE	
FBC6	BE E780	571	LDX	MHEX	;ADRESSE BREAK
FBC9	27 24	572	BEQ	EROR	
FBCB	8C E780	573	CMPX	#0E780H	;AUTORISER SUR RAM USER SEUL
FBCF	24 1F	574	BHS	EROR	
FBD0	48	575	ASLA		
FBD1	4D	576	TSTA		;BREAK RENTRE SUIVANT,
FBD2	26 11	577	BNE	VERIFY	;ORDRE CROISSANT
FBD4	AF C6	578	STBRK	STX	A,U ;MEMORISATION ARRET
FBD5	44	579	LSRA		
FBD7	B7 E782	580	STA	MHEX+2	; & AFFICHAGE "B"
FBD8	17 F03A	581	LBSR	SEGCOD	
FBD0	86 7C	582	LDA	#7CH	
FBDF	B7 E787	583	STA	#MVISU+4	
FBE2	16 FE99	584	LBRK	ENIRO	;RETOUR VERS AFFICHEURS
		585			
		586	* VERIFICATION DE SUCCESSION ARRETS DANS L'ORDRE *		
		587			
FBE5	80 02	588	VERIFY	SUBA	#02H
FBE7	AC C6	589	CMPX	A,U	
FBE9	23 04	590	BLS	EROR	
FBEB	8B 02	591	ADDA	#02H	
FBED	20 E5	592	BRA	STBRK	
		593			
		594	* ENVOI DU MESSAGE D'ERREUR *		
		595			
FBEF	8E E783	596	EROR	LDX	#MVISU
FBF2	CC 7950	597		LDD	#7950H
FBF5	ED 01	598		STD	,X++
FBF7	CC 5C50	599		LDD	#5C50H
FBF8	ED 01	600		STD	,X++
FBF0	16 FE7F	601		LBRK	ENIRO
		602			

		603			
		604	*	CALCUL D'OFFSET POUR LES BRANCHEMENTS RELATIFS *	
		605			
FAFF	7F	E7AC	606	OFPRG CLR SHFLG	
FC02	7F	E792	607	CLR BCFLG	;EFFACEMENT DRAPEAUX
FC05	7F	E78E	608	CLR OFLG2	
FC08	86	01	609	LDA #01H	;INDIQUER CALCUL OFFSET EN
FC0A	B7	E78D	610	STA OFLG1	;COURS
FC0D	BE	E786	611	LDX MHEX	;ADRESSE OFFSET
FC10	BF	E79C	612	STX MEMSAV	
FC13	17	FD61	613	LBSR SEGCOD	
FC16	8E	5C71	614	LDX #5C71H	;AFFICHER "OF"
FC19	BF	E787	615	STX MVISU+4	
FC1C	16	FE5F	616	LBRA ENIRQ	;RETOUR INTERRUPTION
FC1F	86	01	617	OFPCALC LDA #01H	;INDIQUER 1ER APPUI SUR "GO"
FC21	B7	E78E	618	STA OFLG2	
FC24	7D	E781	619	TST MHEX+1	
FC27	26	03	620	BNE \$+5	
FC29	7A	E780	621	DEC MHEX	;CALCUL D'OFFSET
FC2C	7A	E781	622	DEC MHEX+1	
FC2F	FC	E780	623	LDD MHEX	
FC32	B3	E79C	624	SUBD MEMSAV	
FC35	FD	E780	625	STD MHEX	
FC38	24	04	626	BCC \$+6	;TYPE DE BRANCHEMENT
FC3A	81	FF	627	CMPS #0FFH	

FILE: POLY:RIDON

HELETT-PACKARD: 6809 ASSEMBLER

LOCATION	OBJECT	CODE	LINE	SOURCE	LINE
FC3C	27	21	628	BEQ	BCOURT
FC3E	81	00	629	CMPS	#00H
FC40	26	03	630	BNE	\$+5
FC42	5D		631	TSTR	.
FC43	2A	1A	632	BPL	BCOURT
FC45	7D	E781	633	TST	MHEX+1
FC48	26	03	634	BNE	\$+5
FC4A	7A	E780	635	DEC	MHEX
FC4D	7A	E781	636	DEC	MHEX+1
FC50	17	F0C4	637	LBSR	SEGCOD
FC53	8E	7C38	638	LDX	#07C38H ;AFFICHER "BL"
FC56	BF	E787	639	STX	MVISU+4
FC59	7F	E78D	640	OFSET CLR	OFLG1
FC5C	16	FE1F	641	LBRA	ENIRQ ;RETOUR D'INTERRUPTION
FC5F	17	F0C5	642	BCOURT LBSR	SEGCOD
FC62	86	01	643	LDA	#01H
FC64	B7	E792	644	STA	BCFLG
FC67	7F	E783	645	CLR	MVISU
FC6A	7F	E784	646	CLR	MVISU+1
FC6D	8E	7C39	647	LDX	#7C39H ;AFFICHER "BC"
FC70	BF	E787	648	STX	MVISU+4
FC73	20	E4	649	BRA	OFSET ;RETOUR D'INTERRUPTION
			650		

		651	* SAUVEGARDE ADRESSE OFFSET *		
		652			
FC75	BE	E79C	653	OFSAVE LDX	MENSAV
FC78	FC	E780	654	LOD	MHEX
FC7B	7D	E792	655	TST	BCFLG ;BC OU BL?
FC7E	26	84	656	BNE	ONEOCT
FC80	00	81	657	STD	,X++ ;BLONG :2 BYTES
FC82	20	02	658	BRA	,X+
FC84	E7	80	659	O:EOCT STB	,X+ ;BCOURT :1 BYTE
FC85	BF	E7A0	660	STX	BHEX
FC89	7F	E78E	661	CLR	OFLG2
FC8C	7F	E792	662	CLR	BCFLG
FC8F	15	F09F	663	LBRA	MEMDIS ;RETOUR SUR VISU. MEMOIRE
			664		

	665					
	666	* COPIE PROGRAMME *				
	667					
FC92	7F E75C	668	MOVPRG CLR	SHFLG		
FC95	70 E78B	669	TST	MOVFLG	;2IEME APPUI SUR "MOVE"?	
FC98	26 17	670	BNE	OFENTR		
FC9A	86 01	671	LDA	#01H	;SINON: INDIGUER MOUVEMENT PRG	
FC9C	87 E78B	672	STA	MOVFLG		
FC9F	FC E780	673	LDD	MHEX	;ADRESSE DEPART	
FCA2	FD E798	674	STD	MEMDEB		
FCA5	17 FCAF	675	MOVST	LBSR	SEGCOD	
FCA8	CC 4646	676	LDD	#4646H	;AFFICHER " "	
FCA8	FD E787	677	STD	MVISU+4		
FCAE	16 F0CD	678	LBR	ENIRQ	;RETOUR D'INTERRUPTION	
FCB1	FC E780	679	OFENTR	LDD	MHEX	;2IEME APPUI SUR "MOVE"
FCB4	10B3 F798	680	CMPI	MEMDEB	;ADRESSE FIN < ADRESSE DEBUT	
FCB5	1025 FF33	681	LBL	EROR	;SINON ERREUR !	
FCBC	FD E79A	682	STD	MEMFIN	;SAUVEGARDE ADRESSE FIN PRG.	
FCBF	20 E4	683	BRA	MOVST		
FCC1	10BE F780	684	PRGTR	LDY	MHEX	;APPUI SU "GO"

E: POLY:RIDON

HEWLETT-PACKARD: 6809 ASSEMBLER

LOCATION	OBJECT CODE	LINE	SOURCE	LINE	
FCC5	BE E798	685	LDX	MEMDEB	;RENTREER ADRESSE TRANSFERT
FCC8	10BC E798	686	CMPI	MEMDEB	;EXTERIEURE AU PRG. A MOUVOIR?
FCCC	23 06	687	BLS	\$+08	
FCCE	10BC F79A	688	CMPI	MEMFIN	
FC02	23 0D	689	BLS	\$+15	;SINON ERREUR !
FC04	FC E79A	690	LDD	MEMFIN	
FC07	A3 84	691	SUBD	,X	;LONGUEUR PROGRAMME A COPIER
FC09	E3 A4	692	ADD	,Y	
FC0B	10B3 E780	693	CMPI	#0E7A0H	;FIN COPIE DANS RAM SYSTEME ?
FC0F	25 03	694	BLO	\$+5	
FCE1	16 FF0B	695	LBR	EROR	;SI OUI ERREUR
FCE4	A6 80	696	LDA	,X+	;TRANSFERT BYTE PAR BYTE
FCE6	A7 A0	697	STA	,Y+	
FCE8	BC E79A	698	CMPI	MEMFIN	
FCEB	23 F7	699	BLS	\$-7	
FCE0	7F E78B	700	CLR	MOVFLG	;FIN DE COPIE
FCF0	10BF E780	701	STY	MHEX	;ADRESSE SUIVANTE SUR AFFRS.
FCF4	16 FD3A	702	LBR	MEMDIS	;VERS VISU. MEMOIRE
		703			

			704			
			705	* RETOUR MONITEUR & EFFACEMENT BREAKS *		
			706			
			707	* SORTIE D'UNE COMMANDE *		
			708			
FCF7	8E	E7A9	709	CLRPRG	LDX	#RDFLG
FCFA	4F		710		CLRA	
FCFB	6D	84	711		TST	0,X ;COMMANDE "RD" EN COURS ?
FCFD	27	05	712		BEQ	\$+7
FCFF	6F	84	713		CLR	0,X ;SI OUI EFFACER DRAPEAU "RD"
FD01	6F	07	714		CLR	7,X
FD03	4C		715		INCA	;INDIQUER SORTIE DE COMMANDE
FD04	6D	01	716		TST	1,X ;COMMANDE "M" EN COURS ?
FD06	27	03	717		BEQ	\$+5
FD08	6F	01	718		CLR	1,X ;SI OUI EFFACER DRAPEAU
FD0A	4C		719		INCA	& INDIQUER SORTIE DE COMMANDE
FD0B	6D	02	720		TST	2,X ;COMMANDE "MOVE" EN COURS ?
FD0D	27	03	721		BEQ	\$+5
FD0F	6F	02	722		CLR	2,X ;SI OUI EFFACER DRAPEAU
FD11	4C		723		INCA	
FD12	6D	03	724		TST	3,X ;COMMANDE "SH" EN COURS
FD14	27	03	725		BEQ	\$+5
FD16	6F	03	726		CLR	3,X ;SI OUI EFFACER DRAPEAU
FD18	4C		727		INCA	
FD19	6D	04	728		TST	4,X ;COMMANDE "OF" EN COURS ?
FD1B	27	03	729		BEQ	\$+5
FD1D	6F	04	730		CLR	4,X ;SI OUI EFFACER DRAPEAU
FD1F	4C		731		INCA	
FD20	6D	05	732		TST	5,X ;COMMANDE "GO" EN CALCUL OFFSE
FD22	27	05	733		BEQ	\$+7
FD24	6F	05	734		CLR	5,X ;SI OUI EFFACER DRAPEAU
FD26	6F	0A	735		CLR	10,X
FD28	4C		736		INCA	
FD29	4D		737		TSTA	;TEST MODE DE TOUCHE "C/SH"
FD2A	27	1A	738		BEQ	BRKTST ;SI INDICATEUR NUL, VOIR BREAK
FD2C	6F	08	739	ESCP	CLR	8,X
FD2E	7F	E7A0	740		CLR	MHEX ;SINON METTRE BUFFER AFFERS.A 0
FD31	7F	E7A1	741		CLR	MHEX+1

: POIY:RIDON

HEWLETT-PACKARD: 6809 ASSEMBLER

TION	OBJECT	CODE	LINE	SOURCE	LINE
FD34	7F	E7A2	742	CLR	MHEX+2
FD37	CC	796D	743	LDD	#796DH ;AFFICHER "ESCP"
FD3A	FD	E7A3	744	STD	MVISU
FD3D	CC	3973	745	LDD	#3973H
FD40	FD	E7A5	746	STD	MVISU+2
FD43	16	FD38	747	LBRA	ENIRO
			748		

```

751
FD46 6D 06      752 BRKTST TST      6,X      ;POINTS D'ARRET?
FD48 27 E2      753          BEQ      ESCP
FD4A 6D 08      754          TST      8,X      ;SI OUI, 1ERE APPUI SUR "ESC.
FD4C 26 16      755          BNE      EFFAC    ;NON, ALLER EFFACER BREAK
FD4E CE E783    756          LDU      #MVISU   ;OUI: AFFICHER "CLR B" ?
FD51 CC 7C53    757          LDD      #7C53H
FD54 ED 44      758          STD      4,U
FD56 CC 3938    759 RET          LDD      #3938H
FD59 ED C4      760          STD      ,U
FD5B C6 50      761          LDB      #50H
FD5D E7 42      762          STB      2,U
FD5F 6C 08      763          INC      8,X      ;8 INDIQUER 2IEME APPUI
FD61 16 FD1A    764          LBRA     ENIR0
FD64 BE E780    765 EFFAC       LDX      MHEX      ;SI BUFFER AFFRS.=0,
FD67 27 C3      766          BEQ      ESCP      ;PAS DE POINT D'ARRET A EFFAC
FD69 5F         767          CLR     CLR0      ;SINON:
FD6A CE E79F    768          LDU      #BRKTBL   ;RECHERCHE BREAK DANS TABLE
FD6D AC C5      769          CMPX    8,U
FD6F 27 09      770          BEQ      8+11
FD71 5C         771          INCR
FD72 5C         772          INCR
FD73 C1 0A      773          CMPR    #0AH
FD75 25 F6      774          BLO     8-8
FD77 16 FE75    775          LBRA     EROR      ;SI INTROUVABLE :ERREUR!
FD7A 7A E79E    776          DEC     BRKNO
FD7D 2A 08      777          BPL     NEXDEC
FD7F 7F E7AF    778          CLR     BRKFLG    ;SI BREAK FINAL EFFACER
FD82 7F E791    779          CLR     CLR0      ;DRAPEAUX.
FD85 CE E783    780          LDU      #MVISU
FD88 20 CC      781          BRA     RET
FD8A 1F 98      782 NEXDEC     TFR     B,A      ;DECALAGE BREAKS SUIVANTS
FD8C 5C         783          INCR
FD8D 5C         784          INCR
FD8E C1 0A      785          CMPR    #0AH
FD90 27 F3      786          BEQ     NEXDEC-5
FD92 AE C5      787          LDX     8,U
FD94 AF C6      788          STX     A,U
FD96 6F C5      789          CLR     B,U
FD98 20 F0      790          BRA     NEXDEC
791
792 * TABLE APPEL FONCTIONS *
793
FD9A 7E F94E    794 APTBL     JMP     REGPRG    ;"RD"
FD9D 7E FA22    795          JMP     MEMPRG    ;"M"
FDA0 7E FBFF    796          JMP     OFPRG     ;"OF"
FDA3 7E FC92    797          JMP     MOVPRG    ;"MV"
798          END

```

E: POLY:RIDON

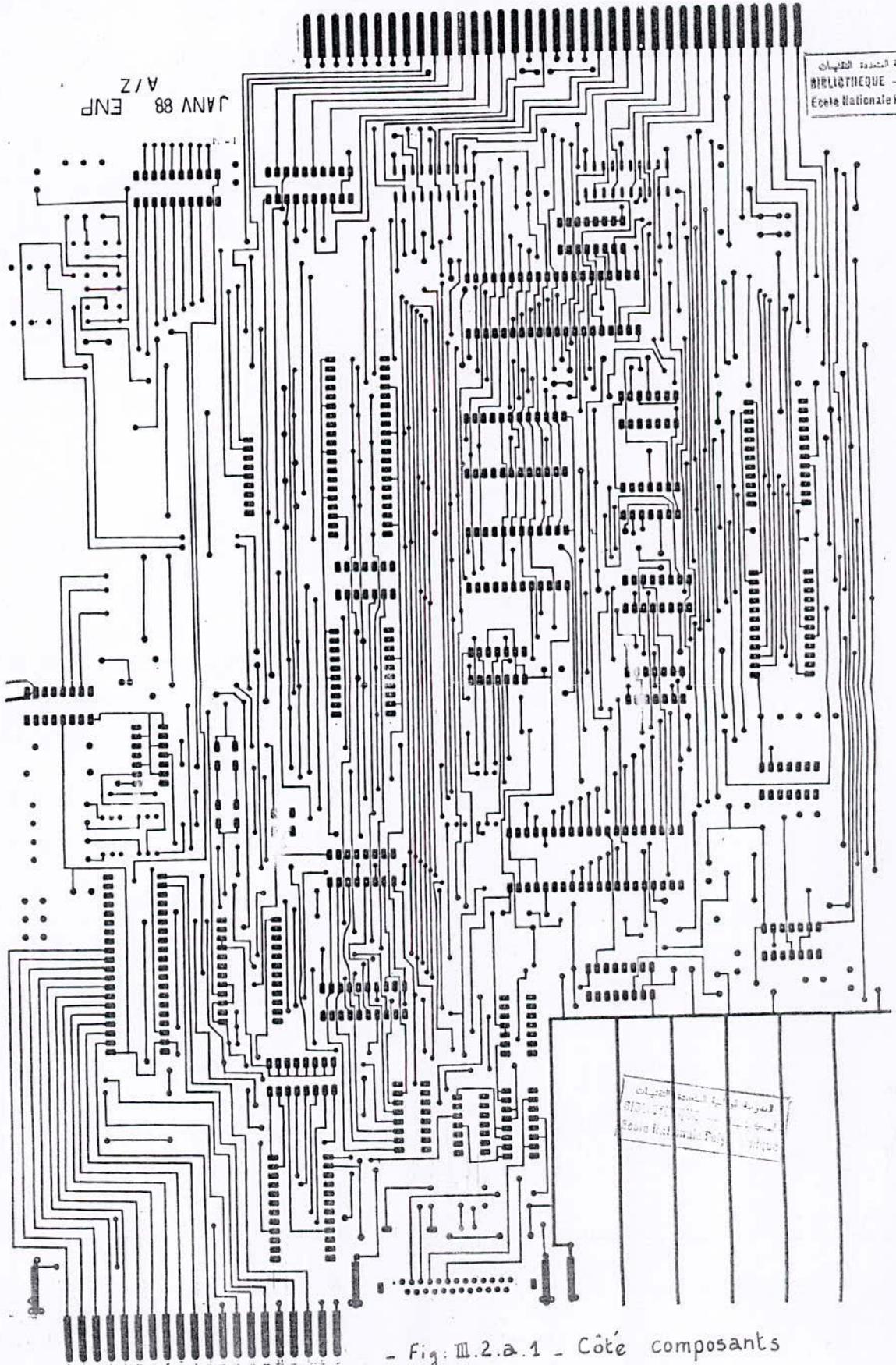
HEWLETT-PACKARD: 6809 ASSEMBLER

LOCATION OBJECT CODE LINE SOURCE LINE

ERRORS= 0

-o- B I B L I O G R A P H I E -o-

- 1 - M. AUMIAUX - L'EMPLOI DES MICROPROCESSEUR
" MASSON " 1982
- 2 - FRANCOIS BERNARD - L'ASSEMBLEUR FACILE DU 6809
" EYROLLES " 1985
- 3 - BUI MINH DUC - PROGRAMMATION EN ASSEMBLEUR 6809
" EYROLLES " 1985
- 4 - CLAUDE DARDANE - LE MICROPROCESSEUR 6809, SES PERIPHERIQUES ET
LE PROCESSEUR GRAPHIQUE 9365 - 66
" EYROLLES " 1984
- 5 - STEVE LEIBSON - MANUEL DES INTERFACES
" HC GRAW HILL " 1984
- 6 - RODNAY ZAKS - DU COMPOSANT AU SYSTEME
" SYBEX "
- 7 - RODNAY ZAKS - PROGRAMMATION DU 6809
" SYBEX "
- 8 - MEK 6802 D5E - MICROCOMPUTER EVALUATION BOARD USER'S MANUAL
" MOTOROLA INC "
- 9 - EFCIS - MOS THOMSON - CIRCUITS INTEGRES (DOCUMENTS MOTOROLA)
- T H E S E S / :
- 10 - A - KHOULALENE / T. HAMMOU
CONCEPTION ET REALISATION D'UN SYSTEME MINIMAL A BASE DU
MICROPROCESSEUR MC 6809
PROMOTION JANVIER 1987
- 11 - M. FODIL / M. LAMALI
CONCEPTION D'UN SYSTEME MINIMAL A BASE DU MPU 6809
(PARTIE SOFTWARE)
PROMOTION JANVIER 1987

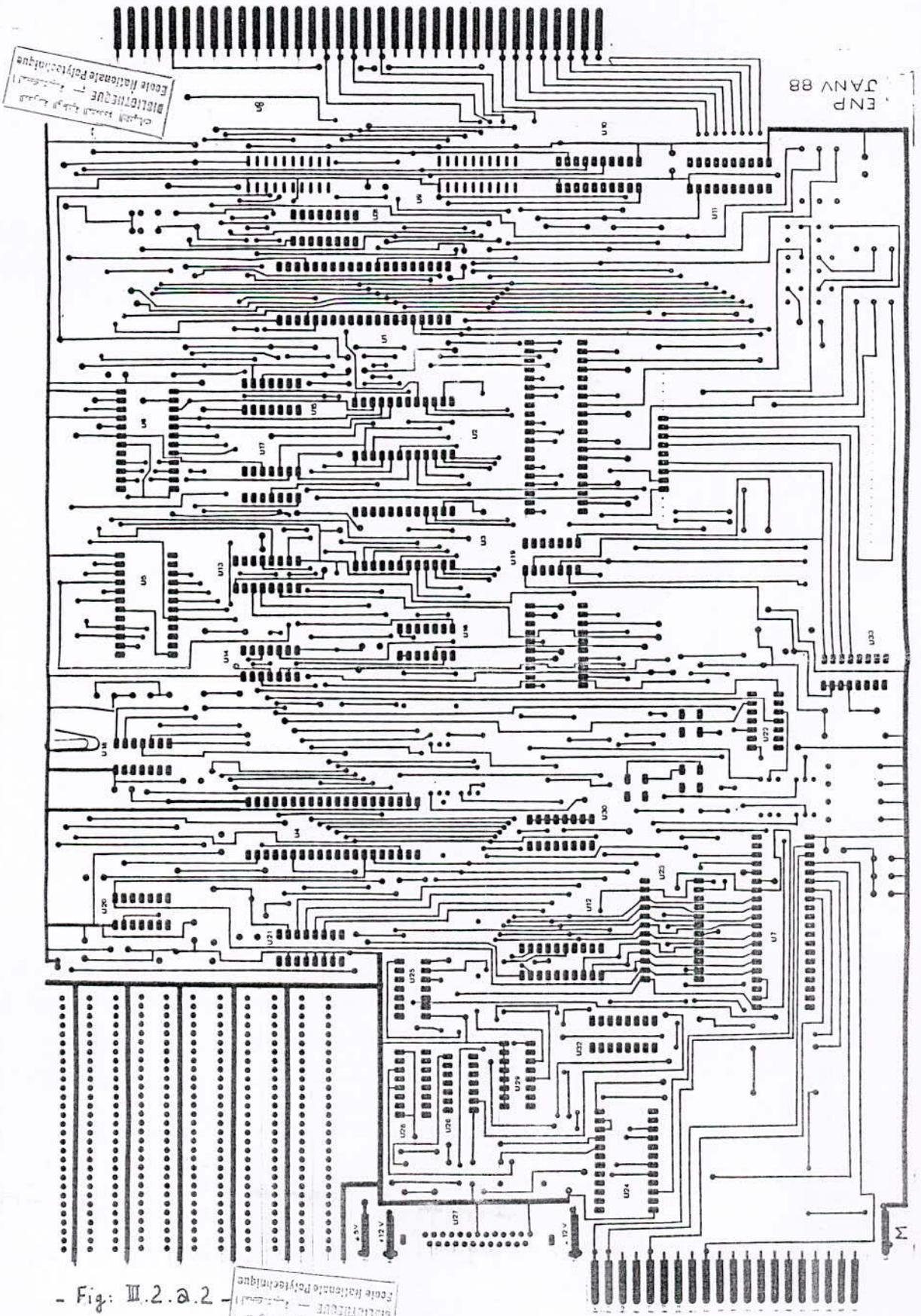


JANV 88 ENP A/Z

المكتبة - المكتبة
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

المكتبة - المكتبة
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

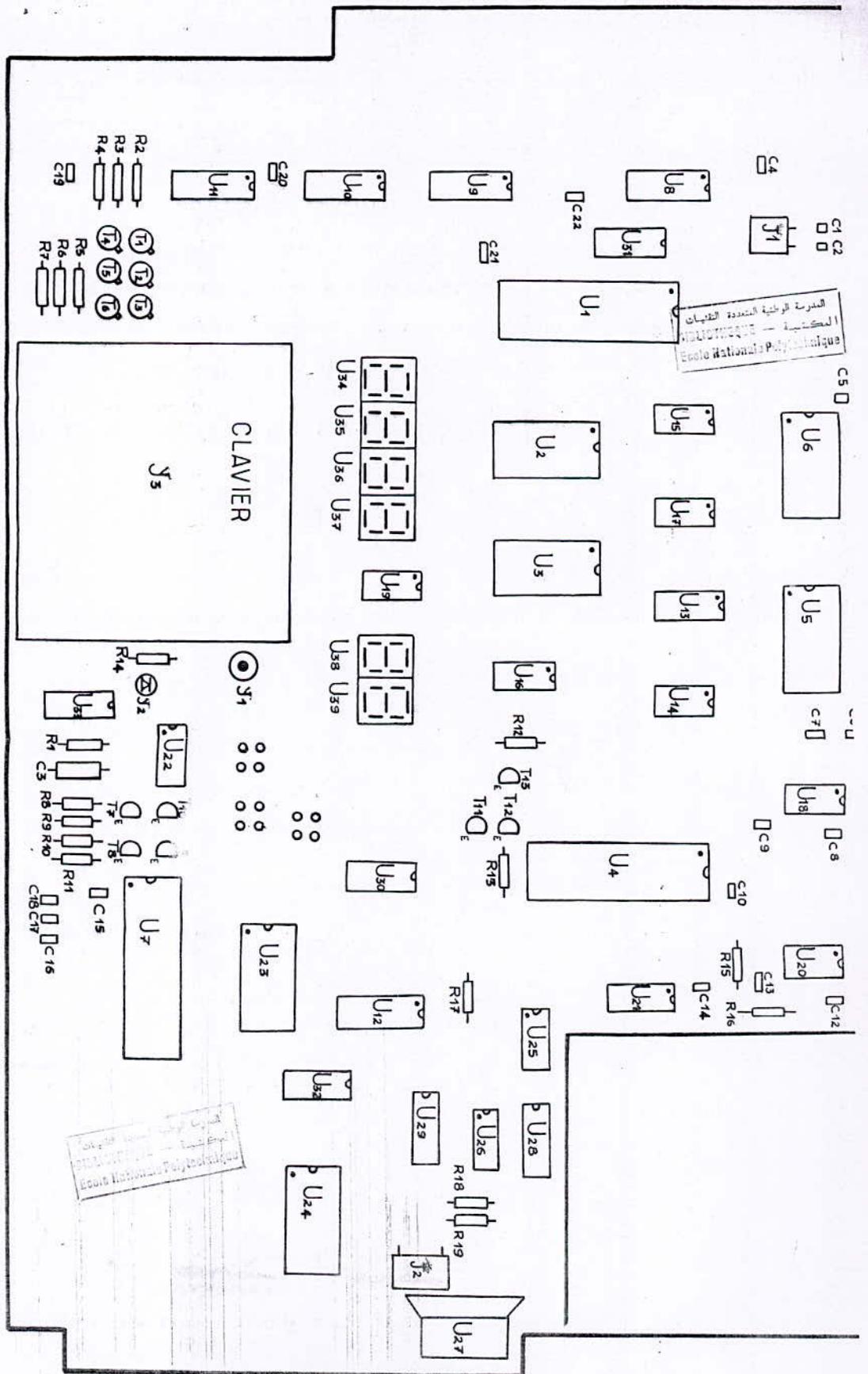
- Fig: III.2.a.1 - Côté composants



- Fig: III.2.a.2 -

Ecole Nationale Polytechnique
ELECTRONIQUE - Instrumentation

ENP
JANV 88



- Fig. III.2.b. Implantation des composants

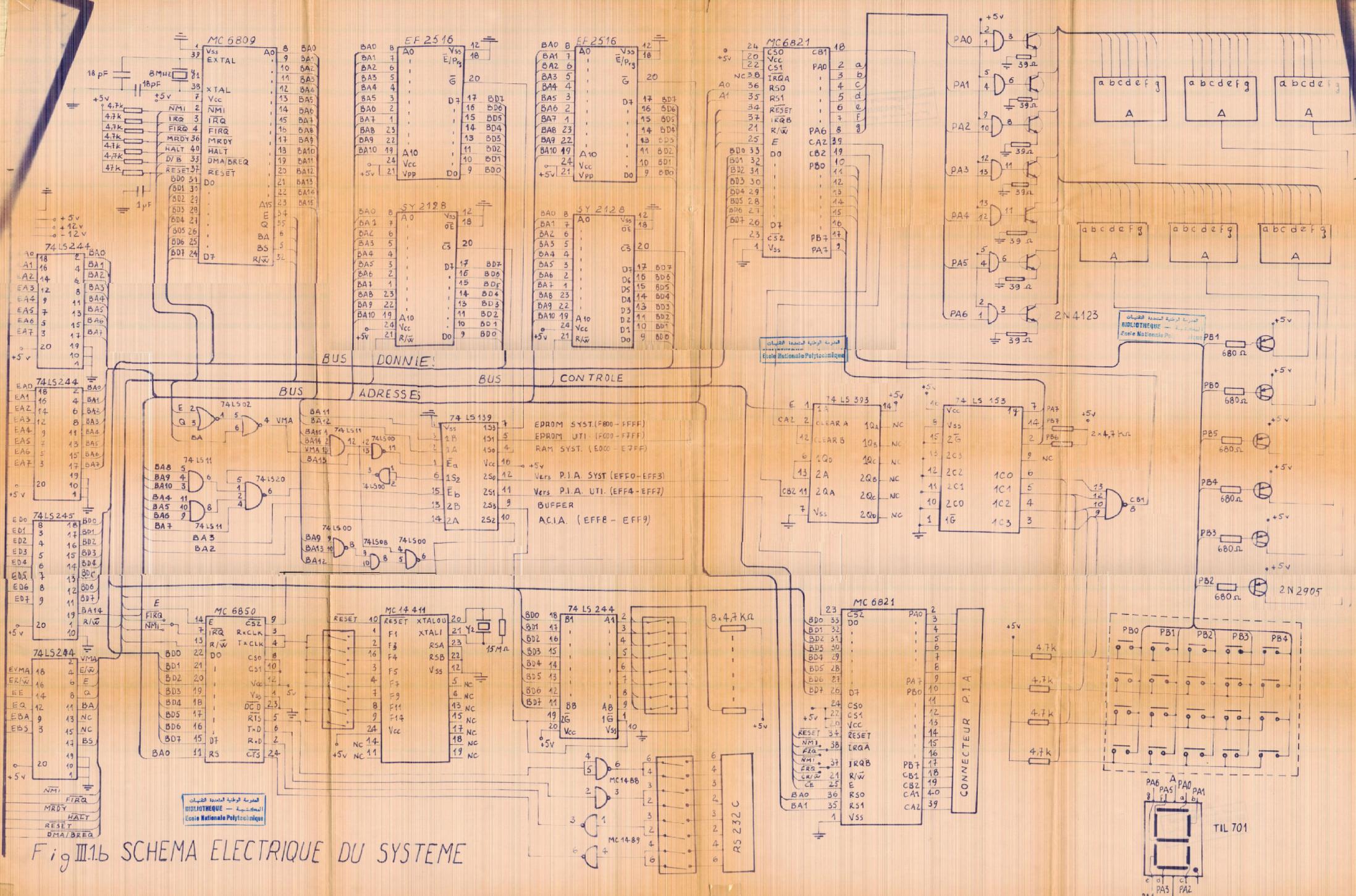


Fig III.1b SCHEMA ELECTRIQUE DU SYSTEME

المدرسة الوطنية المتعددة الفنون
BIBLIOTHEQUE - المكتبة
Ecole Nationale Polytechnique

المدرسة الوطنية المتعددة الفنون
BIBLIOTHEQUE - المكتبة
Ecole Nationale Polytechnique

المدرسة الوطنية المتعددة الفنون
BIBLIOTHEQUE - المكتبة
Ecole Nationale Polytechnique

TIL 701

Anode