

الجمهورية الجزائرية الديمقراطية الشعبية  
RÉPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم و البحث العلمي  
Ministère de l'Enseignement et de la Recherche Scientifique

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

المدرسة الوطنية المتعددة التقنيات  
BIBLIOTHEQUE — المكتبة  
Ecole Nationale Polytechnique

PROJET DE FIN D'ETUDES

SUJET

Etude et Réalisation  
d'un Synthétiseur  
de Fréquence Pilotée  
par 'up' le « 6809 »

Proposé par : M<sup>r</sup> HADDADI

Etudié par : M<sup>r</sup> CHEKHAB  
Nouredine

Dirigé par : M<sup>r</sup> HADDADI

PROMOTION

Juin - 87

الجمهورية الجزائرية الديمقراطية الشعبية  
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

وزارة التعليم و البحث العلمي  
Ministère de l'Enseignement et de la Recherche Scientifique

## ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

المدرسة الوطنية المتعددة التقنيات  
المكتبة — BIBLIOTHEQUE  
Ecole Nationale Polytechnique

## PROJET DE FIN D'ETUDES

SUJET

**Etude et Réalisation  
d'un Synthétiseur  
de Fréquence Pilote  
par 'up' le « 6809 »**

Proposé par : M<sup>r</sup> HADDADI

Etudié par : M<sup>r</sup> CHEKHAB

Dirigé par : M<sup>r</sup> HADDADI

PROMOTION

Juin - 87

# S O M M A I R E

CHAPITRE - 1.	INTRODUCTION
1.1	Choix du système
1.2	Synthèse indirecte
CHAPITRE - 11.	LES SYNTHÉTISEURS
11.1	Principe du PLL
11.1.1	Notations
11.1.2	Schéma de la boucle
11.1.3	Etude du comparateur de phase
11.2	Fonctionnement de la boucle dans le domaine linéaire
11.2.1	Fonction de transfert
11.2.2	Boucle du 1er ordre
11.2.3	Boucle d'ordre supérieur
11.3	Boucle du 1er ordre
11.3.1	Echelon de phase
11.3.2	Echelon de pulsation
11.3.3.	Boucle de second ordre
11.4	Application à la discrimination en fréquence
11.4.1	But du discriminateur
11.4.2	Principe
11.4.3	Caractéristiques
11.4.3.1	Boucles du 1er ordre
11.4.3.2	Boucles du second ordre
11.5	Différentes réalisations
11.5.1	Avantages de ce type
11.5.2	Synthèse à ROM
11.5.3	Synthèse à microprocesseur
11.5.4	Quelques exemples de gestion du synthétiseur

المدرسة الوطنية المتعددة التقنيات  
BIBLIOTHEQUE — المكتبة  
Ecole Nationale Polytechnique

.../...

CHAPITRE III.	DESCRIPTION DE LA REALISATION
III.1	Le MC 145106
III.2	Le MC 3396
III.3	Le CD 4046
III.4	Le Microprocesseur 6809
III.4.1	Généralité
III.4.2	Les registres
III.4.3	Les modes d'adressage
III.4.4	Le jeu d'instructions
III.4.5	Utilisation du 6809
III.5	Interface de communication PJA 6821
III.5.1	Organisation externe du PJA
III.5.2	Registres internes du PJA
III.5.3	Registre de controle RPCRA et RPCRB
III.6	LES MEMOIRES
III.6.1	Classification des mémoires
III.6.2	Mémoires de lecture seule
III.6.3	Mémoires EPROM
III.6.4	Mémoires à lecture et écriture
III.7	Realisation
III.7.1	Description du synthétiseur
III.7.2	Le V.C.O
III.7.3	Le filtre passe bas
III.7.4	Assemblage des différents composants (RAM, ROM et circuits logiques)
III.7.5	La commande à microprocesseur
III.7.6	Le clavier
III.7.7.	Organisation logicielle du microprocesseur
III.7.8	Programme



CHAPITRE IV. CONCLUSION.

ETUDE ET REALISATION D'UN SYNTHÉTISEUR DE FREQUENCE  
PILOTE PAR MICROPROCESSEUR  
LE 6809



1/ INTRODUCTION :

Les synthétiseurs de fréquence sont utilisés depuis plusieurs années dans les équipements radio militaires et beaucoup d'autres appareils construits sur la technique des mélangeurs et des filtres, ils nécessitaient l'emploi de nombreux circuits intégrés logiques. Ce genre d'appareil était relativement onéreux.

Les émetteurs-récepteurs VHF mobiles utilisent généralement des quartz stabilisant les oscillateurs. Les avantages du quartz sont nombreux : simplicité, sûreté de bon fonctionnement, très bonne stabilité et pureté du signal de sortie.

Hélas, dans un récepteur émetteur à quartz il faut deux cristaux par canal, ce qui entraîne un grand nombre de quartz dans un poste multicanaux. On imagine facilement les problèmes d'approvisionnement lors de l'installation des nouveaux canaux dans un E/R. D'autre part le coût des quartz tend à augmenter.

Les synthétiseurs de fréquence ont permis aux constructeurs d'E/R mobiles de concevoir des appareils fonctionnant sur un grand nombre de canaux dans une bande de fréquence donnée, en utilisant une seule fréquence de référence obtenue par un quartz sans en avoir les inconvénients : on utilisera en général un quartz de valeur courante en éliminant ainsi le problème des tailles spéciales.

Il était difficile dans le passé de réaliser un bon synthétiseur. Sa construction mettait en jeu des matériaux coûteux, ne serait ce que le blindage. De nombreux découplages des lignes d'alimentation conditionnaient la pureté du signal de sortie.

Les nouveaux circuits LOC MOS RTC, MOTOROLA rendent l'étude des synthétiseurs à hautes performances facile.

La souplesse de ces circuits est si grande qu'un synthétiseur étudié pour une bande de fréquence donnée n'est pas un produit spécifique la même étude pouvant être employée dans presque toutes les applications.

### 1.1/ Choix du système :

Dans un poste radio mobile l'implantation d'un synthétiseur à simple boucle est la solution la plus intéressante, la figure 1 représente le synoptique d'un tel synthétiseur.

Dans ce circuit la fréquence de sortie est fournie par une VCO verrouillée sur un multiple d'une fréquence de référence obtenue par un quartz. La fréquence de sortie en fonction de la fréquence de référence s'exprime par la relation :

$$F_{OUT} = N \cdot F_{ref} \text{ où } F_{ref} \text{ vaut } F_{xTal} / M$$

Le pas, espace entre deux canaux, est sélectionné par M et chaque fréquence de sortie est obtenue par le choix adéquat de N.

La boucle d'asservissement en phase comporte essentiellement :

- \* Un comparateur de phase, dont la pente s'exprime en V/rad
- \* Un filtre destiné à assurer la stabilité de la boucle.
- \* Un oscillateur commandé en tension VCO (voltage controlled oscillator).
- \* Un diviseur de fréquence de rang N programmable.

Si  $f_n$  est la fréquence de référence, réputé stable, la relation entre la fréquence de sortie  $f_s$  et  $f_n$  s'écrit :  $f_s = N \cdot f_n$ .

On voit qu'il y a une multiplication alors que la boucle réalise une division de la fréquence issue du VCO, d'où les termes de multiplication indirecte et de synthèse indirecte utilisant ce procédé.

Toute variation d'une unité du rang  $N$  fait varier la fréquence de sortie de  $f_n$ , qui représente donc le pas.

Cette structure a l'avantage de la simplicité par rapport à la synthèse directe, un grand nombre de fréquences pouvant être fourni par le changement de programmation d'un dispositif courant :

Le diviseur à rang variable. Soit  $\alpha$  la pente du VCO et  $B$  celle du comparateur de phase, la fréquence de coupure de la boucle est  $f_c = \alpha B / N$ , ce qui représente sa bande passante. A l'intérieur de cette bande et en fonction du gain de boucle, l'asservissement tend à ce que le spectre de fréquence du VCO soit la copie de celui de références au facteur  $N^2$  près. Comme représenté figure 3.

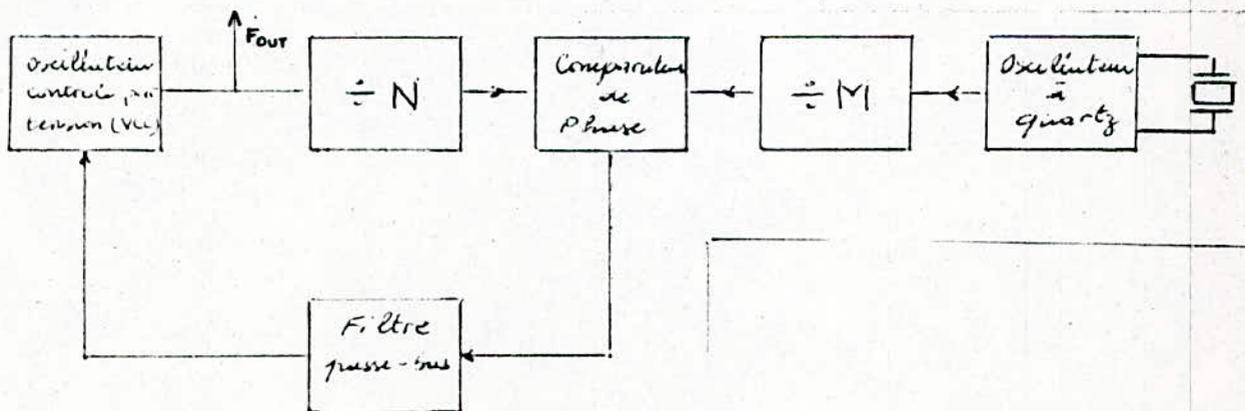


Figure 1/ Synthétiseur à PLL (phase Locked Loop)

(Boucle à verrouillage de fréquence ou de phase)

Les avantages de la boucle sont nombreux : simplicité, utilisation d'un seul quartz dont la fréquence est indépendante de la fréquence de sortie, génération d'un grand nombre de fréquence sans modification du circuit, nombre minimum de fréquences réduisant ainsi le risque d'une sortie parasite.

### 1.2/ Synthèse indirecte

La synthèse indirecte est un procédé qui s'est développé vers 1965 avec l'apparition des circuits intégrés numériques. Elle utilise comme composante de base la boucle d'asservissement en phase dont la structure élémentaire est donnée à la figure 2.

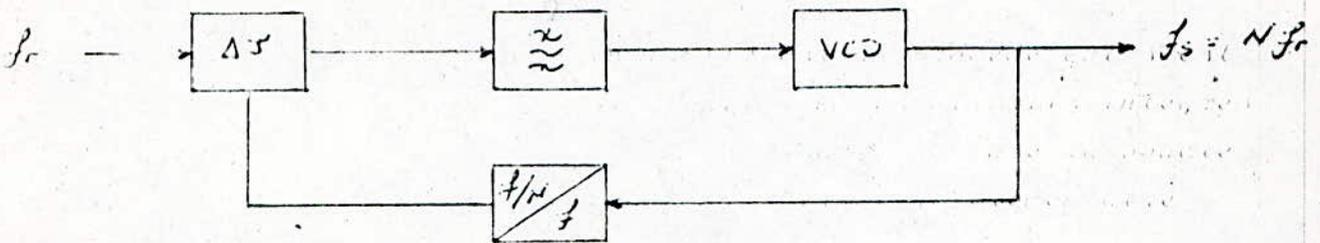


Figure : 2/ Boucle d'asservissement en phase

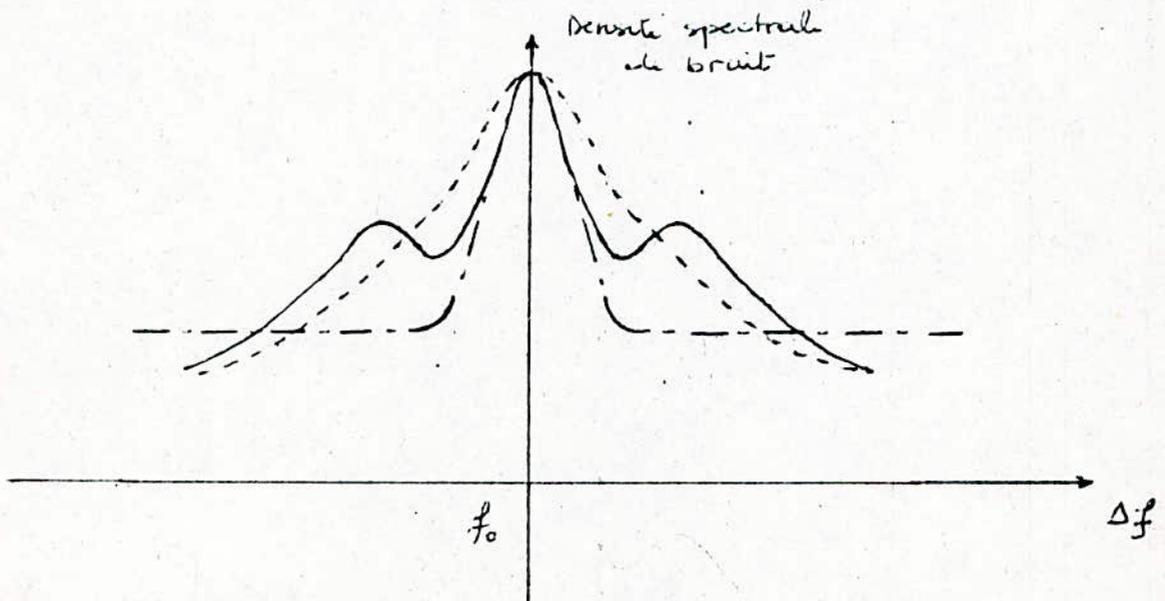


Figure : 3/ Effet de l'asservissement sur le VCO

Spectre du VCO libre. (sans asservissement)  
 Spectre du signal de référence multiplié par  
 le rang de division de la boucle.  
 Spectre du VCO asservir.

En fait il est indispensable pour assurer la  
 stabilité du système et le filtrage de la fréquence de réfé-  
 rence d'insérer une cellule correctrice de phase entre le compa-  
 rateur de phase et le VCO, ce qui a pour effet de réduire la  
 bande passante de boucle.

Généralement  $f_c$  est de l'ordre de  $f_n/10$ .

De  $f_n$  et  $f_c$  dépend également le temps d'acqui-  
 sition qui est d'autant plus court que ceux ci sont plus grands.

## 11 LES SYNTHÉTISEURS

### 11.1 / Principe du PLL

#### 11.1.1 / Notations

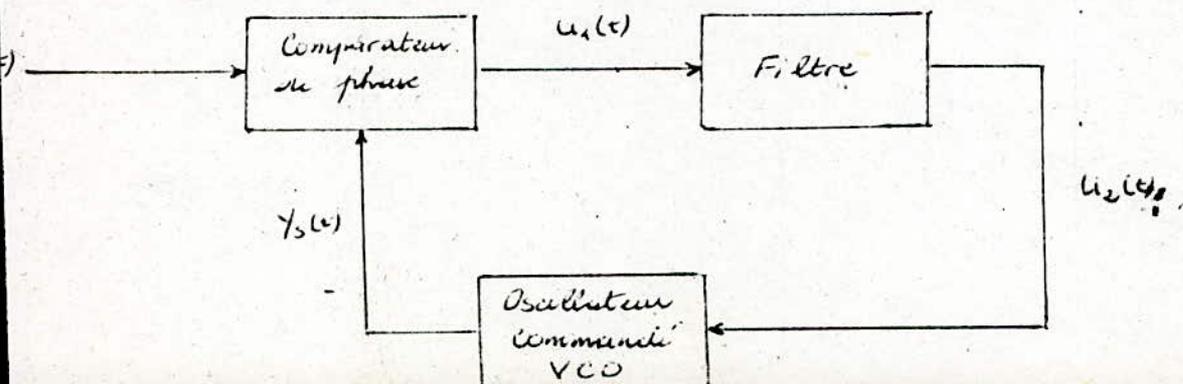
Nous désignerons par  $\Psi(t)$  la phase instantanée  
 du signal  $S(t)$ . Par définition la pulsation instantanée :

$$\omega(t) = \frac{d\Psi(t)}{dt}$$

Par suite on peut toujours écrire :

$$\Psi(t) = \int_0^t \omega(t) dt = \omega_0 t + \mathcal{P}(t)$$

#### 11.1.2 / Schéma de la boucle



La boucle se compose :

- \* d'un comparateur de phase
- \* d'un filtre de boucle
- \* d'un oscillateur commandé en tension VCO

Nous désignerons par :

$\psi_e(t)$  le signal d'entrée

$U_1(t)$  le signal de sortie du comparateur

$U_2(t)$  le signal de sortie du filtre

$\psi_s(t)$  le signal de sortie du VCO.

Posons :

$$\psi_e(t) = \omega_i t + \mathcal{F}_e(t)$$

$$\psi_s(t) = \omega_o t + \mathcal{F}_s(t)$$

- Le comparateur de phase.

C'est un dispositif qui délivre une tension fonction de la différence de phase des signaux d'entrée.

On aura donc par construction

$$U_1(t) = K_1 g [\psi_e(t) - \psi_s(t)]$$

Remarque : On peut toujours se ramener à des signaux ayant même pulsation et écrire.

$$\psi_s(t) = \omega_i(t) + \mathcal{F}'_s(t)$$

avec  $\mathcal{F}'_s(t) = (\omega_o - \omega_i)t + \mathcal{F}_s(t)$

On pose alors :

$$\mathcal{F}(t) = \mathcal{F}_e(t) - \mathcal{F}'_s(t)$$

on a donc en sortie du comparateur.

$$U_1(t) = K_1 g [\mathcal{F}(t)] \quad (1)$$

où  $K_1$  est une constante de l'appareil

\* Le filtre de boucle.

C'est un filtre qui a une fréquence de coupure très inférieure à celle de l'oscillateur au repos  $f_0$ , et dont la réponse impulsionnelle est donnée par :

$$K_2 f(t) \quad (2)$$

\* L'oscillateur commandé.

C'est un oscillateur qui délivre un signal de pulsation  $\omega_0$  lorsqu'on lui applique une tension de repos  $V_{CO}$ .

Si la tension varie autour de  $V_{CO}$  la fréquence du signal de sortie subira un écart par rapport à  $f_0$  proportionnellement à la variation de la tension de commande.

$$\text{On a : } \Delta\omega = K_3 U_2(t)$$

$K_3$  étant une constante de l'oscillateur

$$\text{Si } \Psi_s(t) = \omega_0 t + \mathcal{F}_s(t)$$

$$\text{On a } \Delta\omega = \omega - \omega_0 = \frac{d\mathcal{F}_s(t)}{dt}$$

$$\text{d'où } \frac{d\mathcal{F}_s(t)}{dt} = K_3 U_2(t) \quad (3)$$

### 9.1.3 / Etude du comparateur de phase

Le comparateur que nous utiliserons est du type " multiplieur " " analogique ", c'est à dire qu'il délivre un signal.

$$U_1(t) = K_1 y_e(t) \cdot y_s(t)$$

L'oscillateur commandé délivre un signal carré.

- Cas où  $y_e(t)$  est un signal sinusoidal

Si  $y_e(t)$  a même pulsation que  $y_s(t)$ , la tension utile, c'est à dire celle qui passera effectivement dans le filtre, est donnée par :

$$U_1(t) = K_1 \cos \mathcal{F}$$

Où  $K_1$  dépend des amplitudes des signaux et de

- Cas où  $y_e(t)$  est un signal carré

Si  $y_e(t)$  à même pulsation que  $y_s(t)$  la tension utile est identique à la fonction représentée ci après.

## II.2 / Fonctionnement de la boucle dans le domaine linéaire

### II.2.1 / Fonction de transfert

Dans le domaine linéaire, on a en faisant le changement de variable.

$$\Omega = -f + \pi/2$$

$$U_1(t) = K_1 f(t)$$

$$U_2(t) = K_2 f(t) \times U_1(t)$$

$$\frac{d f_s(t)}{dt} = K_3 U_2(t)$$

Si  $\Phi_s(p) [ f_s(t)$

$\Phi_e(p) [ f_e(t)$

$F(p) [ f(t)$

on a  $H(p) = \frac{\Phi_s(p)}{\Phi_e(p)} = \frac{K F(p)}{p + K F(p)}$

avec  $K = K_1 \cdot K_2 \cdot K_3$  ( [ = transformée de la place )

### II.2.2 / Boucle du 1er Ordre

C'est une boucle pour laquelle  $F(p) = 1$

- Echelon de phase.

On suppose que la phase à l'origine du signal d'entrée est nulle et qu'à l'instant  $t = 0$  elle passe à la valeur  $\theta_e$  constante.

On choisit alors des filtres dont la fonction de transfert est du type

$$F(p) = \frac{1}{1 + \tau_1 p} \quad \text{ou} \quad F(p) = \frac{1}{1 + \frac{\tau_2 p}{\tau_1}}$$

$\tau_1 p$

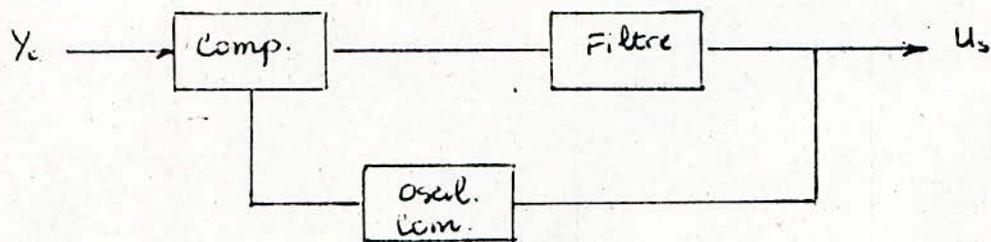
### 11.4.2 / Principe

On suppose que le signal d'entrée est donnée par :

$$y_e(t) = A \left[ \cos \omega_0 t + \int m \sin \omega t dt \right]$$

On a alors :

$$T(P) = \frac{V_S(P)}{O_S(P)} = \frac{P}{K_3} \cdot \frac{K F(P)}{P + K F(P)}$$



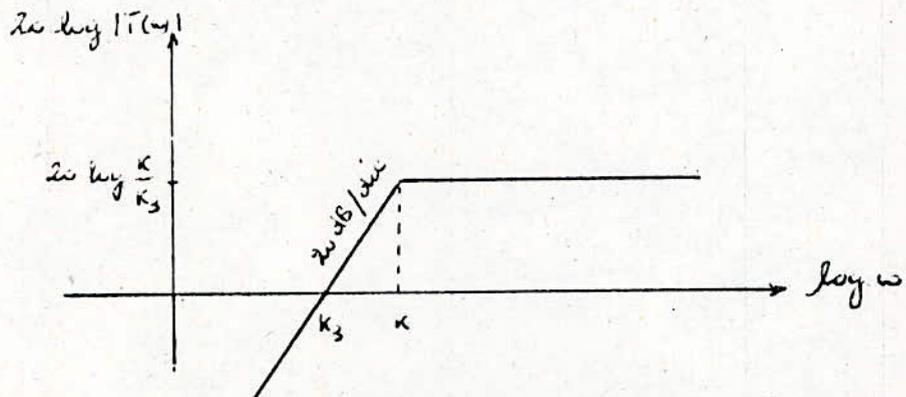
Et il est possible de tirer l'information  $m \sin \omega t$ .

### 11.4.3 / Caractéristiques

Les caractéristiques du discriminateur dépendent bien sûr des filtres utilisés.

#### 11.4.3.1 / Boucles du 1er Ordre \*\*\*\*\*

Si l'on prend  $F(P) = 1$  la fonction de transfert a les caractéristiques suivantes.

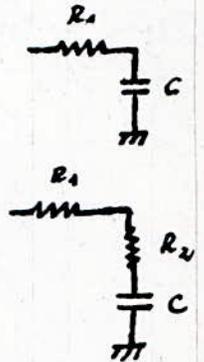


### 99.2.3 / Boucle d'ordre superieur.

C'est une boucle pour laquelle la fonction de transfert est :

$$F(p) = \frac{1}{1 + \tau_1 p} \quad \text{filtre du 1er type} \\ \tau_1 = R_1 C$$

$$F(p) = \frac{1 + \tau_2 p}{1 + \tau_1 p} \quad \text{filtre du 2ème type} \\ \tau_1 = (R_1 + R_2) C \\ \tau_2 = R_2 C$$



Alors la fonction de transfert peut s'ecrire

$$H(p) = \frac{\frac{2}{n} (1 + \tau_2 p)}{p^2 + 2\zeta \omega_n p + \omega_n^2}$$

$$\omega_n^2 = \frac{K}{\tau_1} \quad \text{avec} \quad 2\zeta \omega_n = \frac{1 + K \tau_2}{\tau_1}$$

Nous étudierons la reponse du système lorsque  $Z < 1$  (regime oscillatoire amorti) avec  $\tau_2 = 0$

- Echelon de phase

En employant les mêmes notations qu'au paragraphe (99.2.2) : On peut ecrire.

$$f(t) = \frac{\sigma_c}{\sqrt{1 - \zeta^2}} e^{-\zeta \omega_n t} \sin(\omega_n \sqrt{1 - \zeta^2} \cdot t + \alpha)$$

### 99.3 / Boucle du 1er Ordre.

Si l'on envisage le cas  $F(p) = 1$  l'équation de la boucle peut s'ecrire :

$$\frac{d\Omega}{dt} + k \sin \Omega = \frac{d\mathcal{P}_c}{dt} \quad (4)$$

L'équation ci dessus n'est plus linéaire, on peut cependant trouver des solutions pour les boucles du premier ordre.

### II.3.1 / Echelon de phase

Dans ce cas l'erreur de phase est nulle en régime permanent.

### II.3.2 / Echelon de pulsation

En régime permanent l'équation (4) s'écrit

$$\sin \Omega = \frac{\Delta \omega}{K}$$

Si la boucle est verrouillée au départ on a donc une erreur de phase en régime permanent.

$$\Omega = \arcsin \frac{\Delta \omega}{K}$$

Le verrouillage a lieu tant que :

$$\left| \frac{\Delta \omega}{K} \right| \leq 1$$

La demi plage de décrochage est alors :  $|\Delta \omega| = K$

Si la boucle n'est pas verrouillée au départ, en résolvant l'équation (4), la boucle ne peut s'accrocher que si  $|\Delta \omega| < K$

La demi plage d'accrochage est alors  $|K|$

### II.3.3 / Boucle du second ordre

On suppose que la fonction de transfert du filtre est telle que :

$$\frac{U_2(P)}{U_1(P)} = K_2 \frac{1 + \tau_2 P}{1 + \tau_1 P}$$

En tenant compte de  $U_1 = K_1 \sin \Omega$

$$\frac{d\Omega}{dt} + K_3 U_2 = \frac{d\mathcal{Y}_e}{dt}$$

$\Omega$  vérifie l'équation suivante (5)

$$\tau_1 \frac{d^2 \Omega}{dt^2} + [1 + K \tau_2 \cos \Omega] \frac{d\Omega}{dt} + K \sin \Omega = z_1 \frac{d^2 f_e}{dt^2} + \frac{df_e}{dt}$$

Nous supposons que la pulsation du signal d'entrée passe de la valeur  $\omega_0$  à  $(\omega_0 + \Delta\omega)$  à l'instant  $t$ .

- Plage de décrochage

Tant que la boucle est verrouillée on a en régime permanent  $K \sin \Omega = \Delta\omega$ . Par suite la demi plage de décrochage est  $|K|$ .

#### 11.4. / Application à la discrimination en fréquence

##### 11.4.1 / But du discriminateur

Nous avons vu que dans certaines conditions toute variation de fréquence à l'entrée se présente sur le signal de sortie.

Il existe donc dans la boucle une source qui doit nous permettre d'extraire l'information contenue dans la phase du signal incident en particulier si le signal incident est modulé en fréquence on doit pouvoir extraire le signal modulant.

Tel est le but du discriminateur de fréquence.

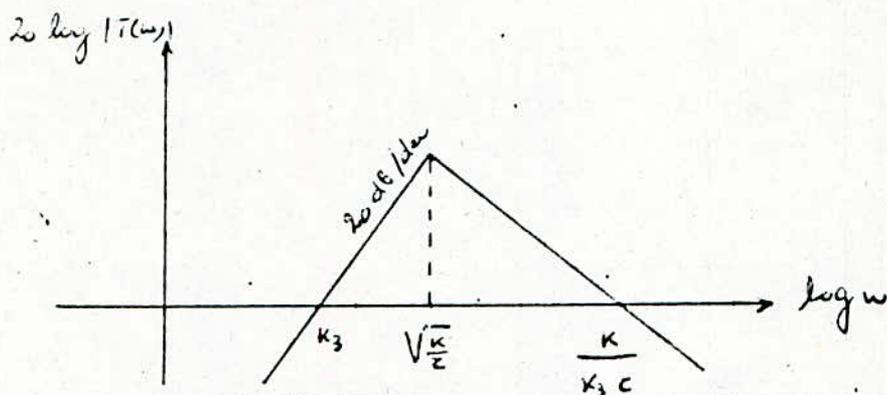
.../...

### 11.4 3.2 / Boucles du 2ème Ordre

\*\*\*\*\*

$$\text{On prend une fonction } F(P) = \frac{1}{(1 + \tau P)}$$

La caractéristique du discriminateur est donnée par la courbe ci dessous



### 11.5 / Differentes réalisations

#### 11.5.1 / Avantages de ce type

Les multiples possibilités de programmation permettant l'adaptation de ce synthétiseur à d'innombrables cas. La fréquence affichée est directement la fréquence reçue ce qui évite l'emploi d'un éventuel affichage de fréquence auxiliaire.

D'un point de vue technique le système est excellent : simplicité, utilisation d'un seul quartz dont la fréquence est indépendante de la fréquence de sortie, génération d'un grand nombre de fréquences sans modification du circuit, nombre minimum de fréquences réduisant ainsi le risque d'une sortie parasite.

#### 11.5.2.1 / Synthèse à ROM

Ce sont les modèles les plus récents. Une pratique courante aux U.S.A Consistant à augmenter le nombre des canaux du matériel en circulation a emue les autorités.

Des recommandations ont été faites aux constructeurs en conséquence. Un nouveau genre de PLL a vu le jour ; le modèle inviolable. Celui ci ne permet en aucun cas, d'obtenir de canaux supplémentaires par action sur le synthétiseur.

La raison en est simple : si les circuits antérieurs pouvaient fournir d'avantage de canaux, c'est parce que le diviseur programmable était directement accessible, la parade qui s'imposait était d'isoler cet étage du PLL.

La méthode employée : insérer une mémoire à lecture seule (ROM) programmée par masque chez le constructeur pour un certain nombre de canaux. L'adressage de ces PLL s'effectue généralement en binaire.

### 11.5.3 / Synthèse à microprocesseur

Des produits sophistiqués ont vu le jour aux USA. Quoi de spécial ? Tout simplement un circuit intégré basé sur la technique du microprocesseur PLL avec diviseur programmable commandé par un ROM. La ROM est adressée par un clavier.

L'affichage à deux chiffres permet d'utiliser 99 canaux. En outre il dispose d'une mémoire active qui lui permet de stocker dix canaux plus un prioritaire.

### 11.5.4 / Quelques exemples de gestion du synthétiseur

Nous avons choisi trois solutions totalement différentes tant d'un point de vue coût que d'un point de vue confort d'utilisation.

Aucune de ces trois solutions ne donne lieu à une concrétisation par une réalisation pratique.

La première des solutions est représentée à la figure 1. C'est sans doute la solution la plus simple et la moins coûteuse. Il s'agit d'un compteur binaire borné entre deux limites décimales. Trois compteurs du type 4516 peuvent parfaitement convenir, la détection des limites et le prépositionnement peut être assuré par deux circuits 4081 et 4082

Certes la solution est simple, mais l'emploi n'est pas des plus pratiques : aucune visualisation de la position du compteur aucune mémorisation.

Ce type de montage est juste satisfaisant pour un montage sur table permettant la vérification du bon fonctionnement du système. C'est en effet une solution de mise en oeuvre extrêmement rapide, donc pratique pour tester le récepteur avant de se lancer dans une solution plus complexe comme celle de la figure 2 : système de gestion à microprocesseur.

Il est clair que pour que l'emploi du récepteur émetteur soit le plus agréable possible toutes les tâches fastidieuses doivent être confiées à un microprocesseur.

La figure 2 ne représente qu'une faible partie du schéma qui devra être adoptée, en l'occurrence les entrées sorties.

Un clavier d'introduction des données autorisé le rappel d'une case mémoire, numérotée de 0 à 15 par exemple, dans laquelle on a préalablement stocké la fréquence à recevoir. Le microprocesseur se charge du calcul.

Finalement le schéma de la figure 3 est le schéma qui doit être retenu si l'on cherche avant tout un faible coût et une solution simple. Les deux circuits SGS M 190 et M 192 se prêtent particulièrement bien à ce type d'application M 190 en codeur de clavier 16 touches ou contacts et M 192 décodeur 4 bits vers deux afficheurs sept segments.

Les quatre bits de l'encodeur M 190 sont envoyés simultanément au décodeur et sur les entrées d'adresse d'une mémoire morte.

Pour un cas plus simple une matrice à diodes suffit parfaitement d'autant plus que l'organisation 12 bits x **N** se rencontre assez rarement.

Vers la programmation du synthétiseur

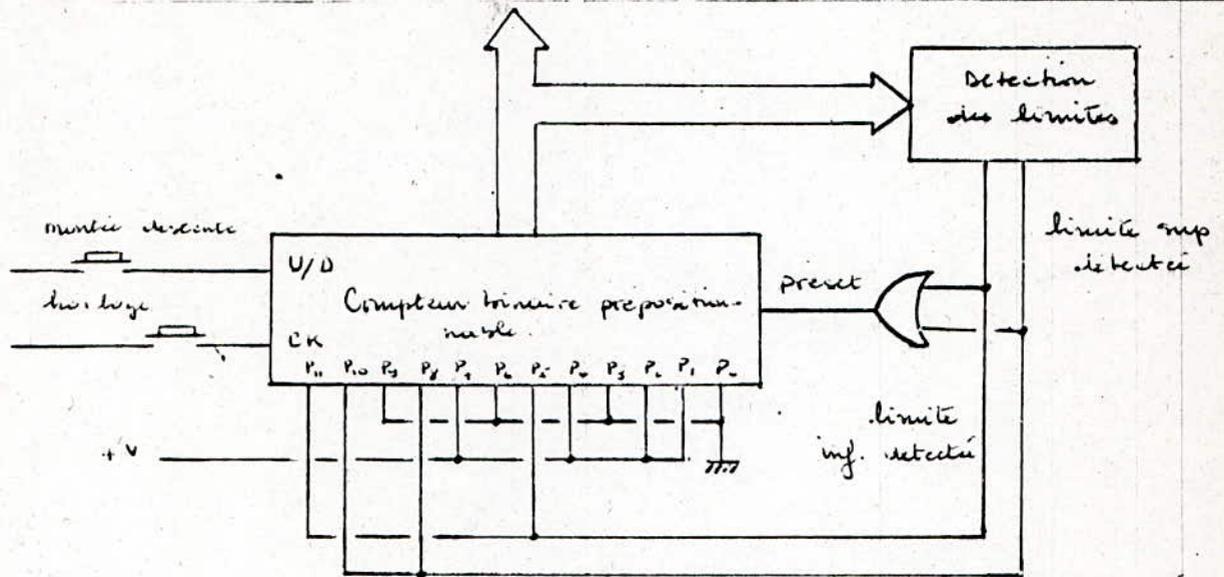


figure 1.

Programmation du synthétiseur

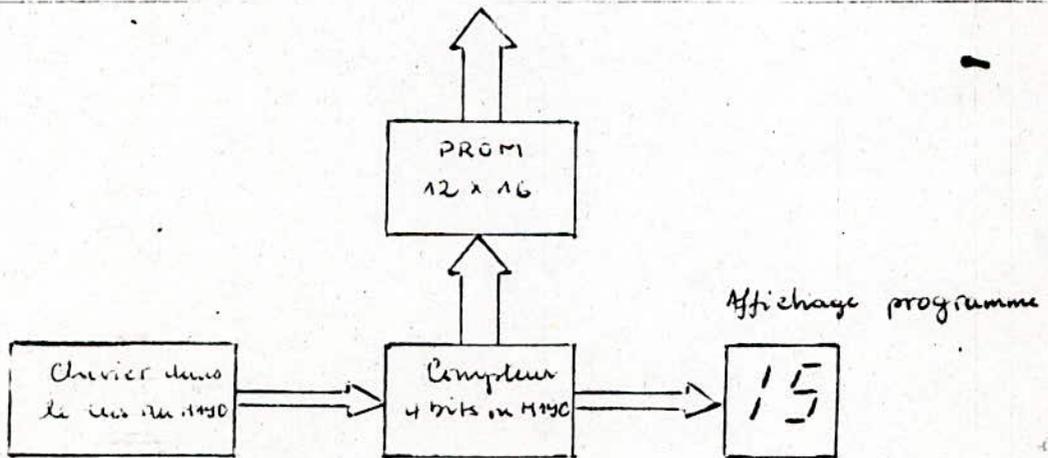
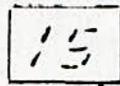


figure 3

Affichage du programme



Programmation du synthétiseur

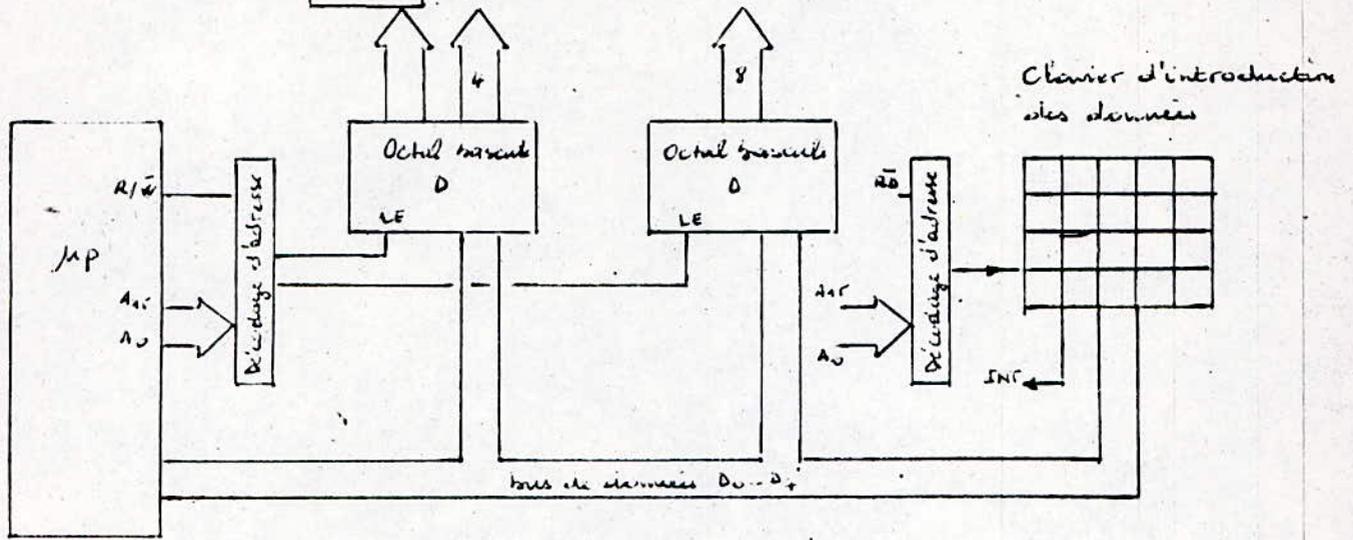


Figure 2

## 111 / DESCRIPTION DE LA REALISATION

### 111.1 / Le MC 145106

Ce circuit est représenté dans une boîtier DIL 18 broches. Le schéma synoptique interne du circuit est représenté à la figure 1. Le circuit PLL MC 145106 est réalisé en technologie CMOS et peut être alimenté par une tension comprise entre 5 et 12 V. Bien évidemment plus la tension d'alimentation est basse plus la consommation est faible (pour 5V le circuit consomme 6 mA).

Le PLL contient un oscillateur qui peut fonctionner jusqu'à plus de 10 MHz. Le quartz connecté entre les bornes 3 et 4 du circuit, agit comme une réaction pour la porte CMOS. Le signal  $F_{XTAL} / 2$  est disponible à la borne 5 et peut être utilisé pour un changement de fréquence ou mélange dans le cas de boucles plus complexes.

Le diviseur de référence vaut 512 si l'entrée  $F_S$  est au niveau logique 1, et 1024 si l'entrée  $F_S$  est au niveau logique 0. On a finalement entre fréquence de comparaison et  $f_Q$  les relations suivantes.

$$f_{comp} = f_Q / 2048 \quad \text{si } F_S = "0"$$

$$f_{comp} = f_Q / 1024 \quad \text{si } F_S = "1"$$

pour établir ces équations, il ne faut pas oublier le diviseur par deux inséré entre l'oscillateur et le diviseur de référence. Avec un quartz de 10,240 MHz, la fréquence de comparaison vaut soit 10 KHz, soit 5 KHz, avec un quartz de 5,120 MHz on a soit 5 KHz, soit 2,5 KHz.

Le signal à diviser est appliqué à la broche 2. Sous 5 V d'alimentation l'impédance d'entrée est équivalente à la mise en parallèle d'une résistance de  $1M\Omega$  et d'un condensateur de  $6pF$ . Aux bornes de cette impédance le signal d'entrée aura une amplitude crête à crête de 1V dans le cas d'une onde sinusoïdale.

Le signal est traité par le diviseur programmable par N avant d'attaquer le comparateur phase/fréquence. Le diviseur programmable par N est un compteur 9 bits et N peut être choisi entre 2 et 511. Les deux mots de programme les plus faibles correspondant à 0 et 1 sont invalidés et s'ils sont malgré tout programmés, on obtient systématiquement une division par 2 ET 3.

Le comparateur phase/fréquence associé à un filtre passif ou actif non inverseur asservit un VCO dont la fréquence augmente lorsque la tension de commande augmente. En effet:

le signal présent à la sortie du détecteur phase/fréquence est à l'état haut lorsque la fréquence d'entrée est trop basse et à l'état bas lorsque la fréquence d'entrée est trop haute.

Sortie du détecteur - borne 7 - on dispose en outre à la broche 8 d'un signal de contrôle de bon verrouillage, le niveau présent sur cette broche est nul lorsque le système n'est pas verrouillé.

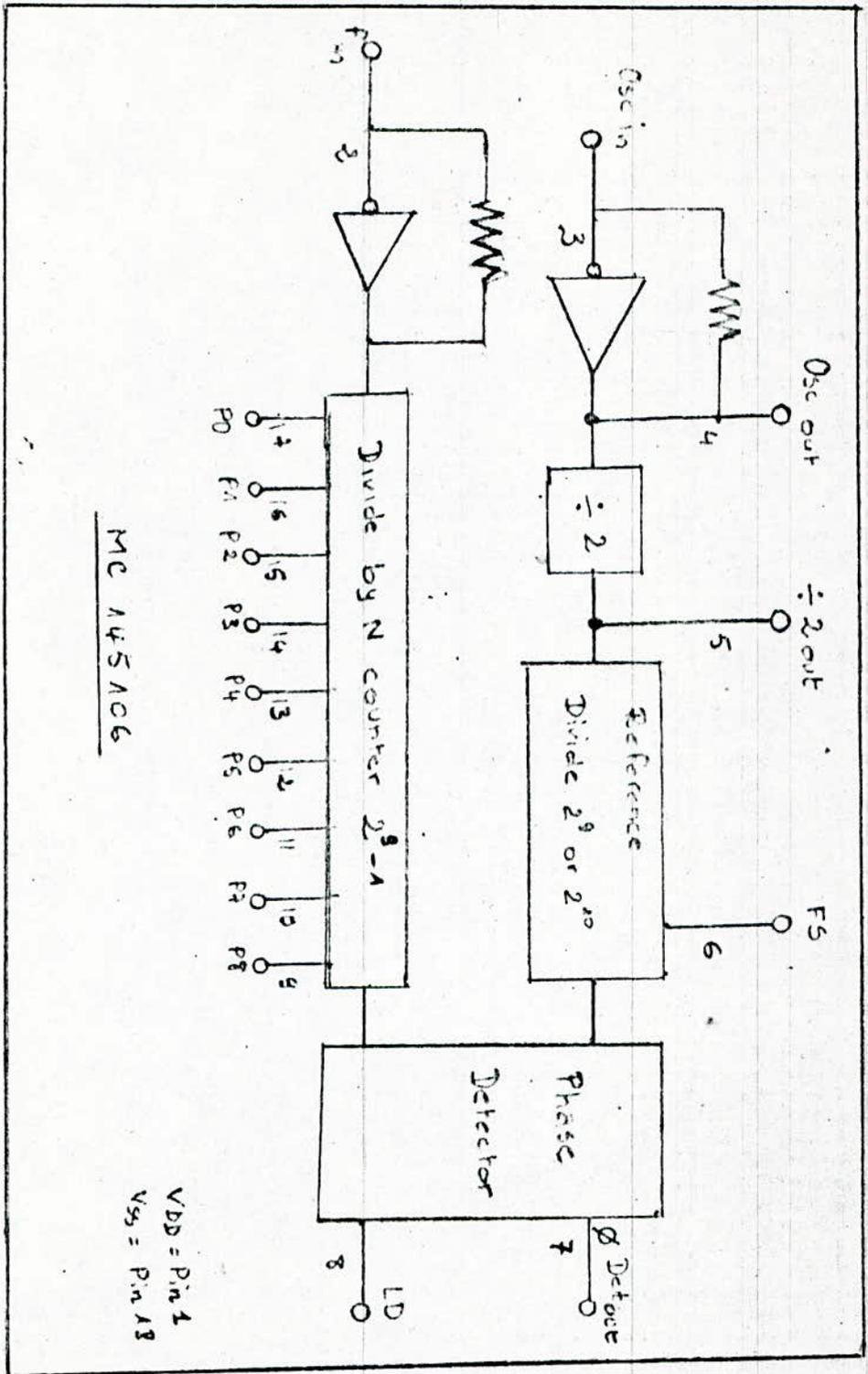


Figure 2: schéma synoptique interne du MC 145106.

111.2 / Le MC 3396 ( le prediviseur par 20 )

Le MC 3396 est un circuit MOTOROLA d'un boîtier Dil 8 broches. Le schéma synoptique interne est représenté à la figure 1. Le schéma synoptique interne montre que le MC 3396 est constitué par le mise en cascade de trois diviseurs : deux diviseurs par deux et un diviseur par cinq.

Le MC 3396 est alimenté par une source de tension unique + 5V et dans ces conditions, consomme environ 30 mA. Le schéma équivalent de l'impédance d'entrée se ramène à la mise en parallèle d'une résistance de 600Ω et d'un condensateur de 6 pF.

La division par 20 est effectuée correctement pour des signaux d'entrée d'amplitude comprise entre 100 mV et 400 mV RMS. La sortie du type collecteur ouvert, le transistor de sortie est capable d'attaquer un circuit TTL ou un circuit CMOS en choisissant la résistance entre sortie et alimentation appropriée. Le seul défaut de ce circuit est bien sûr sa consommation 30 mA pour une fréquence maximale de 200 MHz.

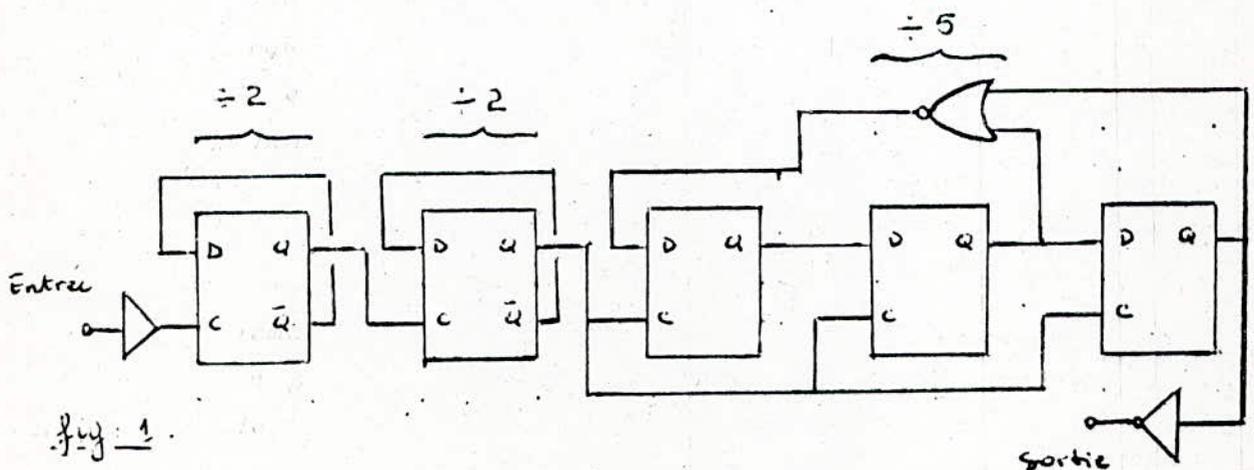


Fig. 1.



#### III.4.1 Le Microprocesseur 6809

Lorsque l'on parle de microprocesseur 8 bits, les circuits les plus fréquemment évoqués sont généralement le 8080, le 6800, le Z80 ou le 6500 mais beaucoup plus rarement le 6809.

Or, ce microprocesseur, que MOTOROLA qualifié de "révolutionnaire" dans sa fiche technique, est certainement un des plus puissants "8 bits" du marché.

Bien entendu, le 6809 fait partie de la famille 6800 et de ce fait, il présente de nombreuses caractéristiques communes à tous les circuits issus de cette famille.

Ainsi, tous les signaux du bus 6800, sauf VMA, devenue inutile ici comme nous le verrons, sont présents dans le 6809.

De plus ce microprocesseur utilise pour la manipulation de données et d'adresses des registres de 16 bits : c'est un 8 bits externes 16 bits internes.

#### III.4.1 / Généralité

Réalisé en technologie H.MOS dans un boîtier à 40 broches. Le 6809 possède des entrées / sorties compatibles TTL. Il est alimenté par une tension unique de 5V. L'encadré 1 présente le brochage de ce microprocesseur et la description complète de chacun des signaux échangés.

Les bus d'adresses (16 bits) et de données (8 bits) ne sont pas multiplexés, caractéristique qui facilite grandement le développement des systèmes architectures autour de ce microprocesseur.

De plus il est le successeur du 6800 et une compatibilité ascendante avec sa famille a été réalisée

par son constructeur.

Ainsi, tous les signaux du bus 6800 sont engendré par le 6809.

Au niveau logiciel, notons que l'assembleur 6809 accepte le langage du 6800 et que tous les modes d'adressage du 6800 sont inclus dans ceux du 6809. Ce microprocesseur dispose également améioration intéressante par rapport au 6800 : l'intégration du circuit d'horloge dans le boîtier.

Nous avons résumé ci dessous en 9 points, les caractéristiques essentielles du 6809.

- \* Six possibilités d'interruptions, dont trois par logiciel
- \* L'existence d'une entrée d'interruption rapide
- \* Possibilité de DMA ou de "multi processing"
- \* Possibilité de connecter des mémoires "lentes"
- \* Sortie indiquant l'état de l'unité centrale à un instant donné
- \* Dix modes d'adressage
- \* Unité arithmétique et logique, permettant les opérations sur 16 bits.
- \* Multiplication 8 bits par 8 bits avec resultat sur 16 bits en une seule instruction.
- \* 59 minémoniques banalisés (contre 72 pour le 6800) autorisant, compte tenu des nombreux modes d'adressage et de la structure interne, 1464 codes opératoires différents (contre 197 pour le 6800).

### III.4.2 / Les registres

Le 6809 est un microprocesseur que l'on peut qualifier de "8 bits" externes - 16 bits internes. Car tous les registres utilisés pour la manipulation de données et d'adresses ont une longueur de 16 bits.

La figure 1 présente les registres du 6809 : deux index X et Y ; deux pointeurs de pile U et S ; deux accumulateurs de 8 bits A et B représentés sous forme d'un accumulateur de 16 bits appelé D ; un compteur ordinal (PC) de 16 bits ; deux registres de 8 bits : le registre d'état appelé CCR (condition code register) et un registre dit "de page directe" appelé DP (Direct page register).

### III.4.3 / Les modes d'adressage

C'est à l'examen des modes d'adressage (au nombre de 10) que l'utilisateur, peut commencer à apprécier le 6809.

- \* Adressage inhérent (ou implicite)
- \* Adressage immédiat
- \* Adressage étendu
- \* Adressage indirecte étendu
- \* Adressage direct
- \* Adressage par rapport aux registres
- \* Adressage indexé
- \* Adressage indexé indirect.
- \* Adressage relatif
- \* Adressage relatif par rapport au PC.

#### 333.4.4 / Le jeu d'instructions

Nous avons décomposé le jeu d'instructions du 6809 en plusieurs grandes classes afin d'en faciliter la présentation.

Chacun de ces classes regroupe, dans un tableau, les instructions réalisant le même type d'opération.

#### 333.4.5 / Utilisation du 6809

Malgré ses nombreuses possibilités, le 6809 est un microprocesseur simple à employer, surtout si l'on choisit des circuits périphériques de la gamme 6800 (les mémoires quant à elles peuvent être quelconques).

La figure 2 présente les signaux à utiliser lors de l'interconnexion d'un 6809 avec la RAM, la ROM et un circuit d'interface. La grande simplicité de cette interconnexion tient au fait que les bus d'adresses et de données du 6809 ne sont pas multiplexés et qu'il n'est donc pas nécessaire de prévoir des bascules de mémorisation (Latches) sur les lignes de données. Par ailleurs les signaux de contrôle sont réduits au minimum dans une telle configuration.

Les développements logiciels ou matériels à base de 6809 s'effectuent avec les mêmes "outils" que pour le 6800 à savoir le système exorciser de MOTOROLA, qui existe en version 6809 et le système THEMIS de TOMSONEFCIS. Tous les logiciels classiques (assembleur absolu, macro assembleur, éditeur de liens, compilateurs MPL, Pascal etc...)

existent sur ces deux machines et sur d'autres calculateurs ou outils de développement "universels" sous forme de cross-logiciel.

Cross logiciel : programme permettant de simuler le jeu d'instructions du 6809.

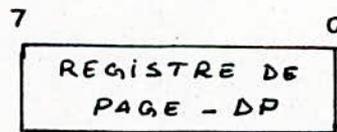
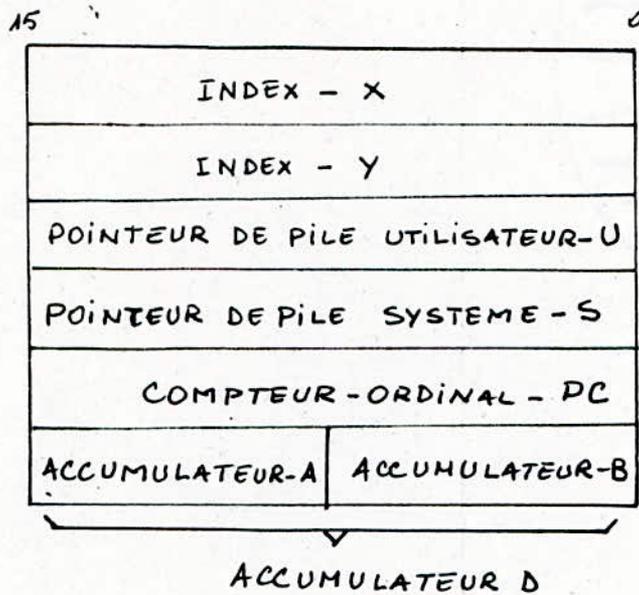


Fig : 1

Les registres internes  
du 6809

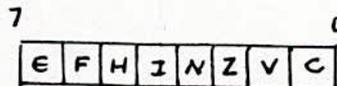
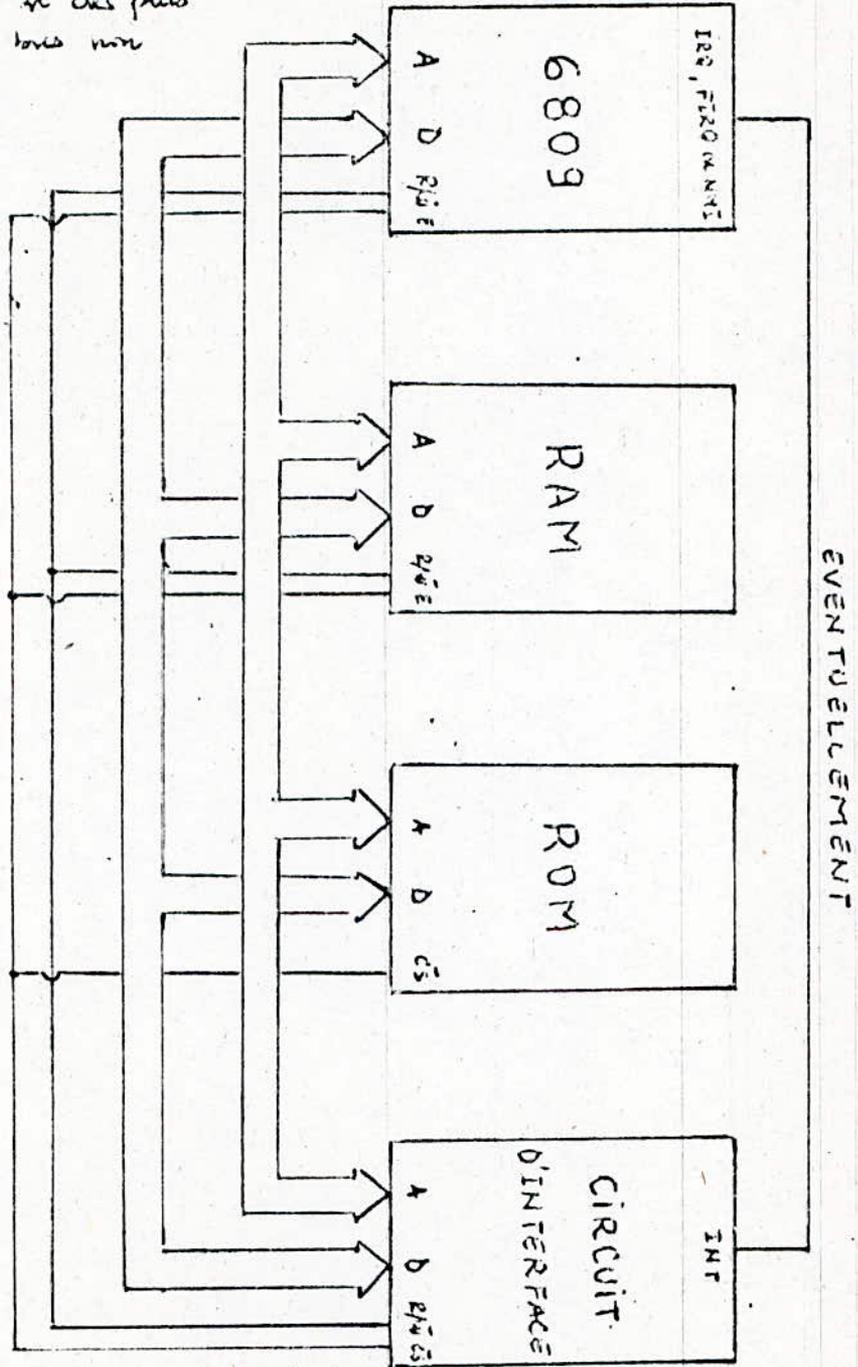


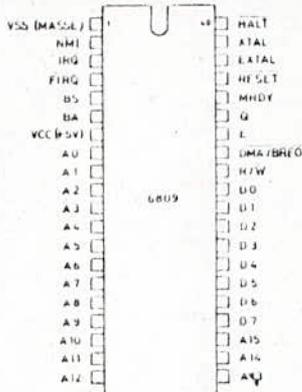
figure 2 La mise en oeuvre  
 d'un 6809 et des plus  
 simple grâce à ses bus non  
 multiplexés :



## Les signaux du 6809

Le 6809 est livré dans un boîtier de 40 broches.

Nous allons examiner en détail le rôle de chacune de ces broches et les signaux émis ou reçus par ce microprocesseur.



● **Vcc : + 5 V (± 5 %).**

● **Vss : 0V (masse)**

● **A<sub>0</sub> - A<sub>15</sub> : Bus d'adresses.**

Ce sont des sorties « trois états » capables de commander directement une charge TTL ou quatre charges TTL LS. Lorsque le 6809 ne fait pas d'accès mémoire, toutes ces lignes sont à « 1 » : cela explique la disparition de VMA sur ce boîtier. En effet, le signal VMA du 6800 indiquait si les adresses présentes sur ce bus étaient valides ou non ; ici ce n'est plus nécessaire puisqu'elles sont soit valides, soit à « 1 ». Ces lignes passent dans le troisième état (haute impédance) lorsque le 6809 « libère » son BUS, ce qui est spécifié par le signal BA (Bus Available).

● **D<sub>0</sub> - D<sub>7</sub> : Bus de données.**

Ce sont des lignes bidirectionnelles trois états dotées de la même « sortance » (une charge TTL ou quatre charges TTL LS) que le bus d'adresses.

● **R/W : lecture/écriture**

R/W est une ligne unidirectionnelle, trois états, indiquant si le 6809 « lit » (R/W à 1) ou « écrit » (R/W à 0) dans la mémoire (ou les périphériques). Cette ligne passe dans le troisième état lorsque le 6809 « libère » son bus.

● **RESET : remise à zéro du 6809**

Un niveau bas sur cette ligne effectue une remise à zéro de l'unité centrale ; cela a pour effet de charger le PC avec l'adresse contenue en FFFE et FFFF. La position des vecteurs d'interruptions est indiquée ci-dessous.

● **HALT : arrêt du 6809**

Lorsque cette ligne passe au niveau bas, le 6809 termine l'instruction en cours, s'arrête et libère son bus. Pendant une mise en arrêt, le microprocesseur ignore les interruptions IRQ et FIRQ, mais mémorise NMI et RESET pour un traitement dès la mise à « 1 » de la ligne HALT.

● **BA et BS : sorties indiquant l'état de l'unité centrale.**

En fonction de BA et BS l'état du 6809 est indiqué ci-dessous. Le décodage de ces 2 signaux permet de connaître, par exemple, le moment où le 6809 a libéré son bus ; ce qui est particulièrement intéressant pour la conception de structures « multi micro-processeurs ».

● **NMI : interruption non masquable.**

Un front descendant sur cette entrée déclenche la séquence

BA	BS	Etat du 6809
0	0	Normal (fonctionnement classique)
0	1	Acquittement d'interruption ou de RESET
1	0	Acquittement de synchronisation
1	1	6809 à l'arrêt ou ayant libéré son bus

d'interruption dont l'adresse de début est mémorisée en FFFC et FFFD. Cette entrée ne peut être inhibée par programme d'où le nom de « non masquable ».

● **IRQ : interruption masquable (Interrupt Request)**

Un niveau bas sur cette entrée déclenche la séquence d'interruption dont l'adresse de début est mémorisée en FFF8 et FFF9.

Poids forts	Poids faibles	Définition du vecteur
FFFE	FFFF	RESET
FFFC	FFFD	NMI
FFFA	FFFB	SWI1
FFF8	FFF9	IRQ
FFF6	FFF7	FIRQ
FFF4	FFF5	SWI2
FFF2	FFF3	SWI3
FFF0	FFF1	Réservé

Si le bit I du CCR est à « 1 », la broche  $\overline{\text{IRQ}}$  est ignorée, d'où le nom donné à I : masqué d'interruption.

● **FIRQ : interruption rapide (F pour Fast)**

Cette entrée réagit de la même façon que IRQ. Son masque dans le CCR s'appelle F. L'adresse du début de la séquence d'interruption correspondante est mémorisée en FFF6, FFF7. Contrairement à SWI (Software interrupt), NMI et IRQ, le contexte complet (c'est-à-dire l'ensemble des registres internes du 6809) n'est pas sauvegardé sur la pile (ce qui prend du temps), mais seulement un contexte réduit à PC et CCR, d'où le nom de « rapide » donné à cette ligne d'interruption. Ces deux possibilités de sauvegarde du contexte précisent bien le rôle du bit E du CCR : lors d'un retour d'interruption, E permet de déterminer si le contexte « normal », ou seulement un contexte « réduit » était sauvegardé.

● **XTAL et EXTAL : connexion quartz**

XTAL et EXTAL sont les broches sur lesquelles doit être raccordé un quartz de 4,00 MHz de fréquence nominale, assurant ainsi un fonctionnement du bus à 1 MHz. Il existe deux autres versions du 6809 : le 68A09 dont le bus fonctionne à 1,5 MHz (quartz à 6,00 MHz) et le 68B09 dont le bus fonctionne à 2 MHz (quartz à 8,00 MHz). Lorsque l'on souhaite utiliser une horloge externe, celle-ci peut être reliée à EXTAL (XTAL étant mis à la masse).

● **E et Q : sorties d'horloge**

E est identique à  $\phi_2$  du 6800 et Q est une horloge en quadrature sur E. Ce signal est un élément fondamental du système puisque les données sont disponibles sur leur bus lorsque E est à l'état haut.

● **MRDY : (Memory Ready) entrée permettant la connexion de mémoires ou de périphériques lents**

Lorsque MRDY passe au niveau bas, l'état haut de E est « allongé » aussi longtemps que MRDY reste à zéro (avec toutefois un maximum autorisé de 10 microsecondes). Comme les échanges de données ont lieu pendant l'état haut de E, cette ligne permet bel et bien de ralentir le 6809 pour l'adapter à un circuit « trop lent pour lui ».

● **DMA/BREQ : ligne de demande de BUS permettant le DMA (accès direct mémoire) ou le « multi-microprocessing »**

Lorsque cette ligne passe au niveau bas, le 6809 termine le cycle en cours puis indique la prise en compte du niveau bas sur DMA/BREQ au moyen de BA et BS. Il place aussi ses lignes en état « haute impédance » libérant ainsi son BUS de données. Cet état peut durer un maximum de 15 cycles d'horloge. Passé ce délai, le 6809 reprend le bus pendant un cycle pour son rafraîchissement interne ; il est alors à même de le libérer à nouveau durant 15 cycles si une nouvelle demande est émise (au moyen de DMA/BREQ). ■

Tableau 1	
Mnémoniques	Opérations réalisées
ADA, ADCB	Addition mémoire-accumulateur avec retenue
ADA, ADDB	Addition mémoire-accumulateur sans retenue
ADA, ANDB	Et logique mémoire-accumulateur
ALA, ASLA, ASLB	Décalage à gauche d'une mémoire ou d'un accumulateur
ARA, ASRA, ASRB	Décalage à droite d'une mémoire ou d'un accumulateur
ABA, BITB	Test d'un bit mémoire-accumulateur
ARA, CLRA, CLRB	Mise à zéro mémoire ou accumulateur
APA, CMPB	Comparaison mémoire-accumulateur
AMA, COMA, COMB	Complémentation mémoire ou accumulateur
A	Ajustement décimal de A
ACA, DECA, DECB	Décrémentation de 1 mémoire ou accumulateur
ARA, EORB	Ou exclusif mémoire-accumulateur
ARG R1, R2	Echange de R1 et R2 (R1, R2 = A, B, CC, DP)
ACA, INCA, INCB	Incrémentation de 1 mémoire ou accumulateur
ACA, LDB	Chargement d'un accumulateur à partir de la mémoire
ALA, LSLA, LSLB	Décalage logique à gauche, mémoire ou accumulateur
ARA, LSRA, LSRB	Décalage logique à droite, mémoire ou accumulateur
ALA	Multiplication non signée (A × B → D)
AGA, NEGA, NEGB	Négation accumulateur ou mémoire
ARA, ORB	Ou logique mémoire-accumulateur
ALA, ROLA, ROLB	Rotation à gauche accumulateur ou mémoire
ARA, RORA, RORB	Rotation à droite accumulateur ou mémoire
ACA, SBCB	Soustraction accumulateur-mémoire avec retenue
ACA, STB	Stockage contenu accumulateur en mémoire
ACA, SUBB	Soustraction accumulateur-mémoire sans retenue
ACA, TSTA, TSTB	Test d'une mémoire ou d'un accumulateur

Tableau 1. - Les instructions 8 bits relatives aux accumulateurs et à la mémoire.

Tableau 2. - Les instructions 16 bits du 6809.

Tableau 3. - Instructions relatives aux index et pointeurs de pile.

Tableau 4. - Les instructions de branchement.

Tableau 5. - Les instructions particulières du 6809.

Tableau 2	
Mnémoniques	Opérations réalisées
ADA	Addition mémoire avec accumulateur D (16 bits)
ADA	Comparaison mémoire-accumulateur D (16 bits)
ARG R, R	Echange de D et de R (R = X, Y, S, U, PC)
ADA	Chargement de D à partir de la mémoire (16 bits)
ARA	Extension du signe de B au travers de l'accumulateur A
ADA	Stockage de D en mémoire (16 bits)
ADA	Soustraction D-mémoire (16 bits)
ARG R, R	Transfert de D dans R (R = X, Y, S, U, PC)
ARG R, D	Transfert de R (R = X, Y, S, U, PC) dans D

Tableau 3	
Mnémoniques	Opérations réalisées
CMPS, CMPU	Comparaison pointeur de pile-mémoire
CMPX, CMPY	Comparaison index-mémoire
EXG R1, R2	Echange de R1 avec R2 (R1, R2 = D, X, Y, U, S, PC)
LEAS, LEAU	Chargement de l'adresse effective dans le pointeur de pile
LEAX, LEAY	Chargement de l'adresse effective dans l'index
LDS, LDU	Chargement de la pile à partir de la mémoire
LDX, LDY	Chargement de l'index à partir de la mémoire
PSHS *	Sauvegarde de A, B, CC, DP, D, X, Y, U, PC sur la pile S
PSHU *	Sauvegarde de A, B, CC, DP, D, X, Y, S, PC sur la pile U
PULS *	Récupération de A, B, CC, DP, D, X, Y, U, PC sur la pile S
PULU *	Récupération de A, B, CC, DP, D, X, Y, S, PC sur la pile U
STS, STU	Stockage de pointeur de pile en mémoire
STX, STY	Stockage de l'index en mémoire
TFR R1, R2	Transfert de R1 dans R2 (R1, R2 = D, X, Y, S, U, PC)
ABX	Ajoute l'accumulateur B à X (non signé)

\* Ces instructions agissent sur un ou plusieurs des registres cités au choix du programmeur (par ex. : PSHS A, B, DP).

Tableau 4	
Mnémoniques	Opérations réalisées
<b>Branchements simples</b>	
BEQ, LBEQ	Branchement si égal à zéro (bit Z)
BNE, LBNE	Branchement si différent de zéro (bit Z)
BMI, LBMI	Branchement si négatif (bit N)
BPL, LBPL	Branchement si positif (bit N)
BCS, LBCS	Branchement si retenue (bit C)
BCC, LBCC	Branchement si pas de retenue (bit C)
BVS, LBVS	Branchement si dépassement (bit V)
BVC, LBVC	Branchement si pas de dépassement (bit V)
<b>Branchements signés</b>	
BGT, LBGT	Branchement si supérieur à zéro
BGE, LBGE	Branchement si supérieur ou égal à zéro
BLT, LBLT	Branchement si inférieur à zéro
BLE, LBLE	Branchement si inférieur ou égal à zéro
<b>Branchements non signés</b>	
BHI, LBHI	Branchement si plus grand que
BHS, LBHS	Branchement si plus grand ou égal à
BLO, LBLO	Branchement si plus petit que
BLS, LBLS	Branchement si plus petit ou égal à
<b>Autres branchements</b>	
BSR, LBSR	Branchement à un sous-programme
BRA, LBRA	Branchement inconditionnel
BRN, LBRN	Branchement n'ayant jamais lieu

Tableau 5	
Mnémoniques	Opérations réalisées
ANDCC	ET logique du CCR avec la mémoire
CWAI	ET logique du CCR et attente d'interruption
NOP	Pas d'opération réalisée
ORCC	Ou logique du CCR avec la mémoire
JMP	Saut inconditionnel (utiliser de préférence LBRA)
JSR	Saut à un sous-programme (id. avec LBSR)
RTI	Retour d'interruption
RTS	Retour de sous-programme
SWI1, SWI2, SWI3	Interruption par logiciel
SYNC	Synchronisation avec une interruption

### 339.5 / Interface de communication PJA 6821

L'interface PJA (Peripheral interface adapter) est destinée aux applications pour lesquelles les données sont organisées en mode parallèle. Il est bien évident que les vitesses de transfert sont plus élevées que celles de l'ACJA qui réalise les données à 8 bits sur une seule ligne. Le PJA exige un nombre important de lignes de communication (8 + 8 lignes de données + 2 masses + 1 à 4 lignes de contrôle) par conséquent, il est implanté sur des systèmes géométriquement pas trop éloignés les uns des autres.

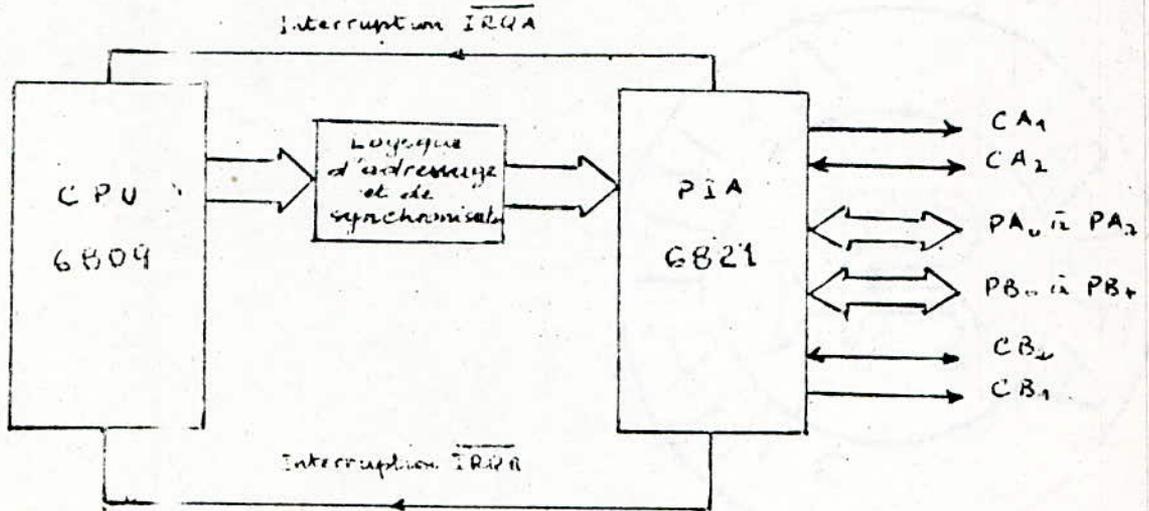
#### 339.5.1 / Organisation externe du PJA

La figure indique les principales lignes de dialogue. Le PJA communique avec le processeur à travers un bus données 8 bits. On trouve le bloc de logique d'adressage et de synchronisation qui permet au processeur de s'adresser aux différents registres du PJA. On note que, à la frontière processeur - interface, on retrouve en général le même type d'organisation pour la quasi-totalité des interfaces.

De l'autre côté, le PJA communique avec le monde par deux séries de lignes notées  $PA_0$  à  $PA_7$  et  $PB_0$  à  $PB_7$ . Ces lignes sont bidirectionnelles, c'est à dire qu'elles peuvent servir soit comme entrées, soit comme sorties. Du point de vue programmation, ces 16 lignes sont identiques seules différents les spécifications électriques. Le PJA possède en plus 4 lignes de contrôle :  $CA_1$  et  $CA_2$  contrôlent la "partie A",  $CB_1$  et  $CB_2$  contrôlent la "partie B".  $CA_1$  et  $CB_1$  fonctionnent comme des entrées,  $CA_2$  et  $CB_2$  peuvent être programmées soit comme entrées, soit comme sorties.

### III.5.2 / Registres internes du PIA

Figure : Principales lignes de communication du PIA 6821



Le PIA possède 6 registres occupant 4 adresses mémoire.

La structure est "presque" synétique pour les parties A et B donc on peut dire que chaque partie A ou B comporte 3 registres différents occupant 2 adresses dans l'espace mémoire du processeur.

Examinons la nature de ces registres.

### III.5.3 / Registre de contrôle RPCRA et RPCRB

( R : registre, P : parallèle, CR : contrôle, A ou B : partie A ou partie B )

Chacun de ces registres occupe à lui seul une adresse mémoire. Ils sont à lecture écriture (remarquer la différence avec le registre de contrôle de l'ACIA qui est à écriture seule).

Raisonnons par exemple la partie A.

En mode lecture, les bits CRA 7 et CRA 6 traduisent les états électriques des lignes CA<sub>1</sub> et CA<sub>2</sub>. Les bits CRA<sub>5</sub> à CRA<sub>0</sub> conservent les valeurs de l'écriture antérieure.

En mode écriture, on accède seulement aux bits CRA 5 à CRA<sub>0</sub>. Le bit CRA<sub>2</sub> joue le rôle particulier : lorsqu'il est à "1", on accède au registre donnée de la partie ou le port A en invoquant la deuxième adresse, lorsqu'il est à "0", on accède au registre de sens de transfert de la partie A. Ce bit joue en quelque sorte de ligne de décodage programmable.

En résumé, le registre de contrôle cumule trois fonctions différentes : registre d'état réduit à 2 bits CRA 7 et CRA 6, registre de contrôle proprement dit par les bits CRA5 CRA4 CRA3 et CRA1 CRA0 registre d'adressage réduit à un bit unique CRA2. Même raisonnement pour le port ou la partie B.

### III.6 / Les Mémoires

Malgré l'apparition de quelques boîtiers de circuits, intégrés associant de la mémoire à un microprocesseur ou à différents coupleurs, la grande majorité des systèmes à microprocesseur utilisent des mémoires externes au microprocesseur. Il s'agit évidemment ici de la mémoire dite CENTRALE ou PRINCIPALE d'un système. Dans les systèmes à microprocesseurs, elle est toujours constituée de circuits intégrés à semi-conducteurs. Ce sont donc les seules que nous utiliserons dans cette réalisation.

Il existe une grande variété de mémoires à semi-conducteurs suivant la fonction, le mode d'organisation la technologie.

### III.6.1 / Classification des mémoires

Les critères de classification possibles des mémoires à semi conducteurs sont multiples mais nous retiendrons que deux :

- suivant la FONCTION : la fonction d'une mémoire est de conserver l'information (sous forme binaire) pendant un temps plus ou moins long. Cette information doit pouvoir être enregistrer ou écrite dans la mémoire, elle doit pouvoir être extraite ou LUE. On peut classer les mémoires suivant le rapport de ces deux fonctions. On distingue ainsi les mémoires à LECTURE seule (ou mémoires MORTES) et les mémoires à LECTURE / ECRITURE (ou mémoires VIVES). Entre les deux on trouve actuellement des mémoires à lecture préférentielle, dans lesquelles l'écriture est beaucoup plus rare de la lecture.
- suivant la TECHNOLOGIE de fabrication qui conditionne entre autres la densité, la vitesse et la consommation et donc le prix par bit d'informations stocké.

L'appellation fréquente de RAM (Random Acces Memory) pour désigner les mémoires vives par apposition aux ROM (Read only memory), mémoires mortes, pouvait faire croire que les mémoires mortes ont un autre mode d'accès. Il n'en est rien le mode d'accès DIRECT (ou aléatoire) est aussi bien valable pour les ROM que pour les RAM : le temps d'accès à une cellule de mémoire, qui est le temps nécessaire pour une opération de lecture est indépendant de la position de cette cellule dans le boîtier de mémoire en d'autres termes ce temps d'accès est identique pour toutes les cellules d'un boîtier, et dépend essentiellement de la technologie de fabrication.

### III.6.2 / Mémoires à lecture seule

Nous classerons dans cette catégorie les mémoires dans les quelles on écrit une seule fois ou un très petit.

nombre de fois.

L'opération d'écriture porte alors le nom de PROGRAMMATION

L'avantage essentiel de ce type de mémoire est la PERMANENCE du contenu, qui ne dépend pas de la présence d'une tension d'alimentation, d'autre part, elles permettent une densité d'intégration supérieure à celle des mémoires vives et donc un coût par bit plus faible.

Mais ces mémoires ont l'inconvénient de leur qualité, leur contenu étant figé, avant d'implanter un programme en ROM, il faut être absolument sûr qu'il fonctionne parfaitement et qu'il ne devra jamais être modifié.

### III.6.3 / Mémoires EPROM

La propriété des mémoires, ROM et PROM d'être figées définitivement constitue un inconvénient que les fabricants ont essayé rapidement de réduire. Ainsi sont apparues des mémoires effaçables et reprogrammables, les EPROM (Erasable PROM). Ces mémoires sont programmables par l'utilisateur comme les PROM ; mais leur contenu peut être effacé en bloc en exposant le chip à un rayonnement ultraviolet. A cet effet, une fenêtre transparente à ces radiations est aménagée au boîtier.

L'élément de mémorisation est constitué par une zone de S.C dopée isolée tout autour par de l'oxyde de silicium, le stockage d'une "1" consiste à piéger dans cette zone une charge électrique en lui appliquant une tension élevée.

Cet élément de stockage est appelé " porte flottante " L'application d'un rayonnement ultraviolet à pour effet de permettre l'écoulement de toutes ces charges, et donc la remise à zéro de toute la mémoire.

L'utilisation de ce type de mémoire est bien indiquée lors du développement et de la mise au point de systèmes à microprocesseurs ; une erreur de programme n'a plus de conséquence grave il suffit d'effacer toute la mémoire et de la reprogrammer avec la version corrigée du programme.

Quand le produit est au point, on peut remplacer les boîtiers EPROM par des boîtiers ROM ou PROM compatibles.

#### III.6.4 / Mémoires à lecture et écriture

Ces mémoires sont généralement désignées par le sigle américain RAM (de Random Access Memory), inadéquat en ce sens qu'il pourrait ainsi bien s'appliquer aux ROM. L'appellation mémoire VIVE (ou MEV) est plus satisfaisante que celle de mémoire à accès DIRECT. Dans une mémoire vive il n'y a aucune contrainte concernant la fréquence relative des opérations de lecture et d'écriture.

La principale différence entre les mémoires mortes et les mémoires vives est la VOLATILITÉ de ces dernières, c'est à dire la propriété qu'elles ont de perdre leur contenu lors d'une coupure de l'alimentation électrique.

Il existe deux variétés de mémoires vives, dites statiques et dynamiques. Les mémoires STATIQUES conservent leur contenu aussi longtemps que les tensions d'alimentation sont appliquées.

Les mémoires DYNAMIQUES ont en outre, besoin d'être "rafraîchies" à des intervalles de temps très courts, de l'ordre de quelques millisecondes (ms).

L'intérêt des mémoires dynamiques réside dans une plus grande densité d'intégration, due à la simplicité de la cellule de mémorisation (un condensateur et son circuit de charge pour une cellule dynamique, une bascule bistable pour une cellule statique). Il en résulte un coût plus faible par bit stocké

Cependant, cet intérêt est réduit par l'obligation d'adjoindre une circuiterie de rafraîchissement c'est pourquoi les RAM dynamiques ne sont pas utilisées pour des capacités de mémoire trop faible (moins de 4 K. bytes)

### III.7 / Réalisation

#### III.7.1 / Description du synthétiseur

Le schéma de la figure n'appelle que peut de commentaire.

Le signal de sortie du prédiviseur inclus dans le module selecteur a en général une amplitude voisine du volt crête à crête. Ce niveau est largement suffisant pour assurer un fonctionnement correct au diviseur. Seules les 8 bits de poids faibles sont nécessaires à la programmation.

L'établissement de la fonction de transfert du système bouclé ne pose pas de problème, si  $F(P)$  est la fonction de transfert du filtre seul, la fonction de transfert du système bouclé s'écrit classiquement ; en posant  $F(P) = A(P) / B(P)$

$$H(P) = \frac{A(P)}{N \cdot B(P)/K + A(P)}$$

où  $K$  représente le produit du VCO en  $\text{Hz V}^{-1}$  Par le gain du comparateur de phase. Exprimé en  $\text{Hz V}^{-1}$  pour simplifier le calcul, il est préférable de choisir les gains en  $\text{Hz V}^{-1}$  et non en  $\text{rad V}^{-1}$ ,  $N$  représente le diviseur moyen entre la tension de sortie du VCO et l'entrée du comparateur de phase.

L'asservissement de fréquence est assuré par le prédiviseur, le PLL et le filtre de boucle.

La fréquence du quartz vaut  $5120 \text{ kHz}$  et  $F_S$  est au niveau logique 1. La fréquence de comparaison vaut  $5 \text{ kHz}$ .

La fréquence du VCO peut s'écrire  $f_{\text{VCO}} (\text{kHz}) = 100 N$   
 $N$  est programmé par la programmation du système.

La sortie du détecteur de phase est appliquée à un filtre passe bas et la sortie indicatrice de verrouillage attaque l'interface à transistor  $T$ , lorsque le système n'est pas verrouillé; la diode  $D$  est éteinte, et allumée lorsque la fréquence vaut  $100 N$ .

### III.7.2 / Le VCO

C'est un oscillateur dont la fréquence dépend du signal appliqué à son entrée (Pin 9) et des résistances et capacités qui lui sont connectées extérieurement.

En effet, la plage de fonctionnement du VCO est fonction du circuit RC que nous ajoutons au montage.

$R_1$ ,  $R_2$  et  $C_1$  sont calculées à l'aide de formules fournies par le constructeur.

$$f_{\min} = \frac{1}{R_2 (C_1 + 32 \text{ pF})} \quad \left( \frac{V_{\text{CD input}}}{V_{\text{CO}}} = V_{\text{CC}} \right)$$

$$f_{\max} = \frac{1}{R_1 (C_1 + 32 \text{ pF})} + f_{\min} \quad (\text{VCO input} = \text{Gnd})$$

$$10 \text{ K}\Omega \leq R_1 \leq 1 \text{ M}\Omega$$

$$10 \text{ K}\Omega \leq R_2 \leq 1 \text{ M}\Omega$$

$$100 \text{ pF} \leq C_1 \leq 0,1 \text{ }\mu\text{F}$$

- Calcul des éléments.

$$\text{Pour } N = 1 \quad \implies F_S \approx N F_R = 100 \text{ H}_z$$

$$\text{d'autre part } f_{\max} = 1,4 \cdot 10^6 \text{ H}_z$$

Si nous prenons  $C_1 + 120 \text{ pF}$  alors  $R_2 = 10^8 \Omega$  et  $R_1 = 50 \text{ K}\Omega$

En fait nous avons pris  $R_2$  infinie (circuit ouvert); et  $R_1$  est un potentiometre de  $100 \text{ K}$  qui permet un réglage lin de la plage de frequences de l'oscillateur.

### 7.3 / Le filtre passe bas

Ce petit circuit est exterieur au CD 4046. Il est realise comme indique sur le montage.

Sa fonction de transfert est :

$$F(j\omega) = \frac{1 + j\omega / \omega_1}{1 + j\omega / \omega_2}$$

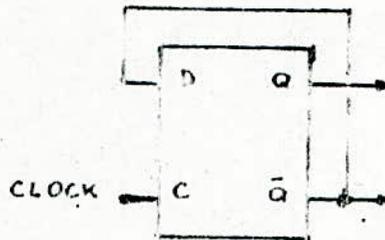
$$\text{où } \omega_2 = \frac{1}{R_4 C_2} \quad \text{et} \quad \omega_1 = \frac{1}{(R_3 + R_4) C_2}$$

Prenons  $R_4 = 10 \text{ K}$  et  $f_2 = 10 \text{ H}_z$  pour que le signal de sortie du comparateur soit bien "lissé" nous obtenons alors :

$$C_2 = \frac{1}{R_4 \cdot 2\pi f_2} = 1 \text{ }\mu\text{F} \quad \text{et} \quad R_3 = 100 \text{ K.}$$

- Application au diviseur de fréquence par 2.

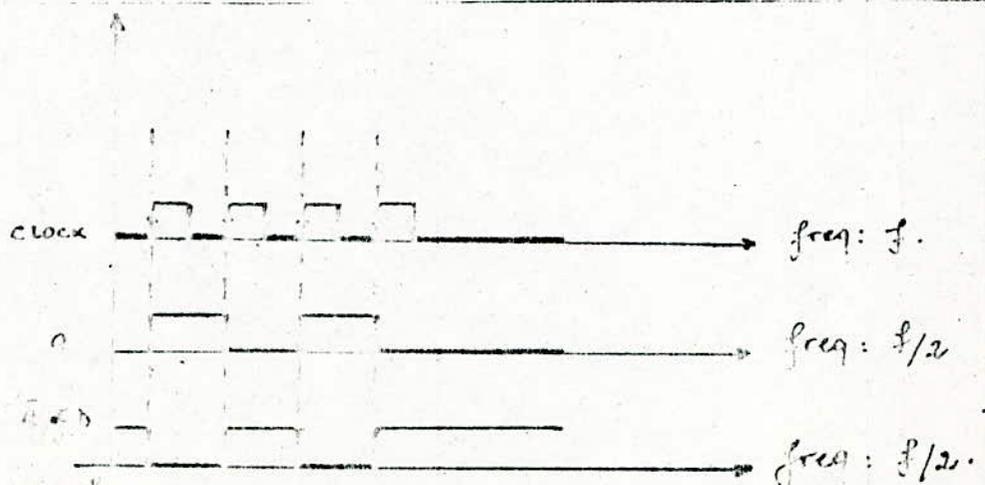
La figure montre le raccordement à effectuer pour transformer une bascule D en diviseur de fréquence par 2.



La donnée  $D$  mémorisée en sortie  $Q$  lors du front actif de l'horloge est  $\bar{Q}$ , puisque  $\bar{Q}$  est reliée à  $D$ . Autrement dit, quelque soit l'état logique de la sortie  $Q$  avant le top de l'horloge, la bascule passera dans l'état logique complémentaire durant le front d'horloge actif.

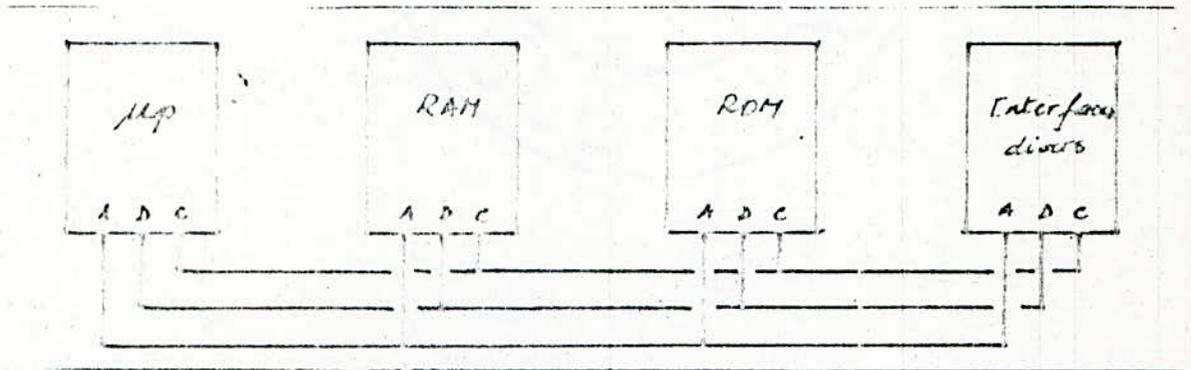
Avec le chronogramme, on s'aperçoit bien que les sorties  $Q$  et  $\bar{Q}$  sont à une fréquence moitié de celle de l'entrée d'horloge.

Le diviseur de fréquence par 2 est très utilisé dans les compteurs électroniques.



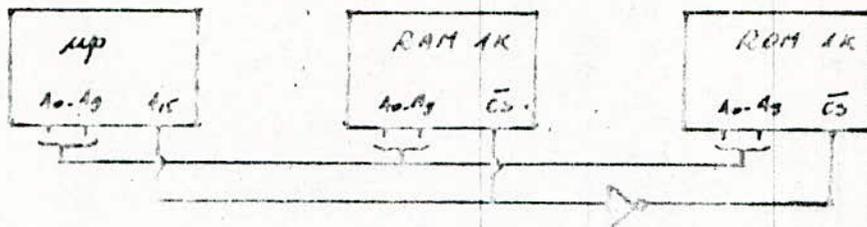
III.7.4 / Assemblage des différents composants (RAM, ROM, circuits logique) pour constituer un ensemble à base de microprocesseur

- Synoptique général de toute application à base de  $\mu p$ .



Synoptique de tout système à base de  $\mu p$

- Le programme que va devoir exécuter le micro-processeur est stocké de manière définitive dans la ROM ainsi que les constantes dont il peut éventuellement avoir besoin. La RAM est utilisée pour les résultats ou variables intermédiaires employées par le programme, et le ou les circuits d'interfaces permettent à cet ensemble de s'adapter au monde extérieur.
- Comme le seul point de repère dont dispose le  $\mu p$  pour travailler est l'adresse d'une donnée, il faut faire en sorte que tous les éléments reliés au  $\mu p$  soient à des adresses différentes. Cette notion est fondamentale dans tout système informatique et s'appelle le décodage d'adresse.
- Exemple de décodage d'adresse.



Nous avons un  $\mu p$  qui doit être relié à deux boîtiers mémoires (RAM et ROM) ayant chacun une taille d'un K.octet. Ces deux boîtiers disposent donc de 10 lignes d'adresses chacune repérée de  $A_0$  à  $A_9$  ainsi que d'une ou plusieurs lignes de validation (CS ou CE ou E). Le  $\mu p$ , lui, sera supposé être un micro 8 bits qui dispose donc de 16 lignes d'adresses.

Pour que l'adressage de chaque mémoire soit cohérent, nous relierons donc  $A_0$  du micro à  $A_0$  de chaque mémoire, et ainsi de suite jusqu'à  $A_9$ . Si nous faisons cela telquel, lorsque le micro fournira sur ces lignes d'adresses 500, les deux mémoires se sentiront concernées en même temps et ce sera la pagaille puis qu'elles reponderont toutes les deux en fournissant une donnée.

Il faut donc prévoir un système supplémentaire pour faire en sorte que nos deux mémoires soient à une adresse différente.

Nous pouvons, par exemple, relier  $A_{15}$  du  $\mu p$  à CE de la RAM et inverser  $A_{15}$  pour la relier également à CE de la ROM. Que va t-il se passer dans ce cas ?

Lorsque  $A_{15}$  sera à 0, la RAM sera validée (puis-  
que nous avons choisi un modèle avec CE actif au niveau  
bas) et la ROM sera inactive et vice versa. Pour le  $\mu p$ , la  
RAM sera donc à une adresse comprise entre 0000 et 7FFF  
puisque, dès que nous atteignons 8000, la ligne  $A_{15}$  passe  
à "1". Nous avons donc bien réussi à séparer nos deux boi-  
tiers mémoires au point de vue adressage.

- Réalisation de l'alimentation + 5V

Les composants suivants sont nécessaires pour cette alimentation

- 1 transformateur 220 / 6V3, 0,3 A
- 4 Diodes type 1N 4001
- 1 Régulateur de tension 7805 boîtier TO - 5
- 1 Condensateur électrochimique 1000  $\mu$ F 25 V ( $C_1$ )
- 1 Condensateur électrochimique 47  $\mu$ F 10V ( $C_3$ )
- 1 Condensateur céramique 330 nF ( $C_2$ )

Cette alimentation doit fournir un courant de 200 mA sous 5V. Considérons maintenant chacun des composants :

Le transformateur choisi peut fournir 300 mA sous 6,3 V on sait que le condensateur  $C_1$  se charge sur les crêtes de tension secondaire, moins la chute de tension directe dans le redresseur puisque celui-ci est un pont de diodes, et qu'à chaque alternance le courant redressé traverse deux diodes (chute de l'ordre de 1,2 V) la tension VE à l'entrée du régulateur est d'environ  $7,7 \text{ V} \pm [(6,3 \times 1,4) - 1,2]$ . Cette tension est suffisante pour obtenir une régulation correcte.

Quant aux condensateurs, leur tension de service est bien supérieure à la tension appliquées, mais rappelons que  $C_2$  doit être placé le plus près possible du régulateur.

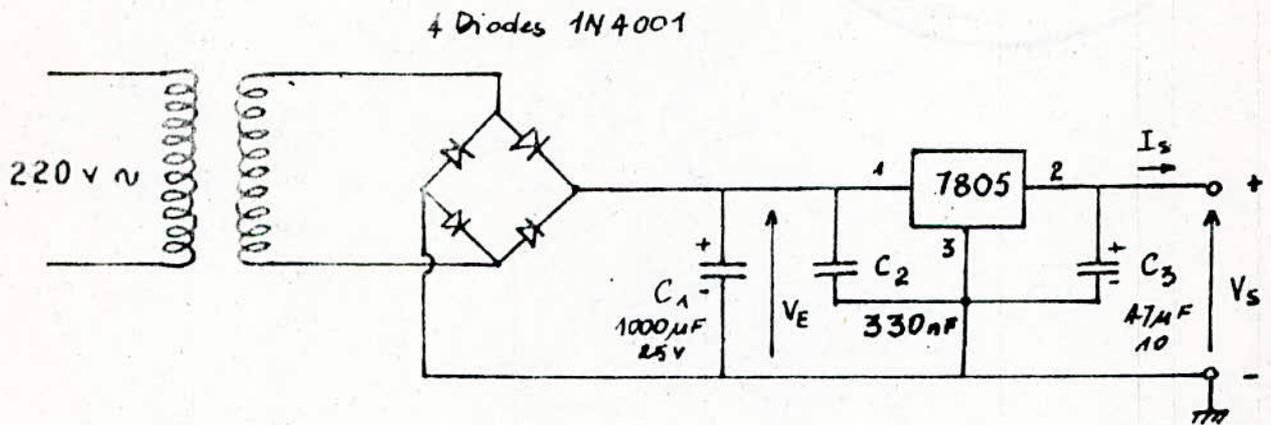
La tension résiduelle alternative après redressement est donnée par la formule pratique.

$$V = \frac{10 \cdot x \cdot I}{C}$$

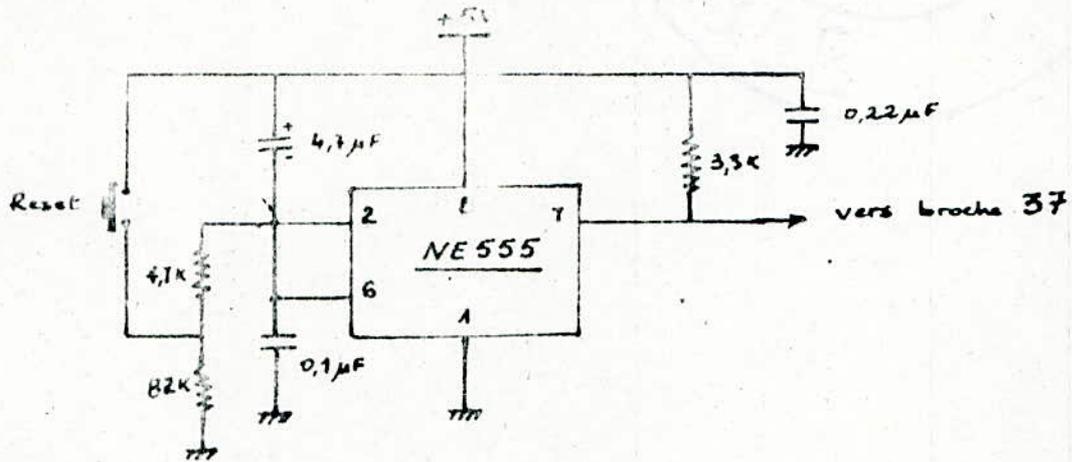
$I$  étant le courant redressé en (mA).  $C$  la capacité du condensateur  $C_1$  exprimée en ( $\mu$ F) et  $V$  la tension résiduelle alternative en (V) crête à crête. Pour cette alimentation, cette tension serait de l'ordre de 2V crête à crête :  $(10 \times 200) / 1000$  en pleine charge.

A la sortie du régulateur elle est divisée par 1000, ce qui donne 2 mV crête à crête, pour un débit de 200 mA, cette résiduelle peut être mesurée à l'aide d'un oscilloscope en utilisant l'entrée en alternatif (AC).

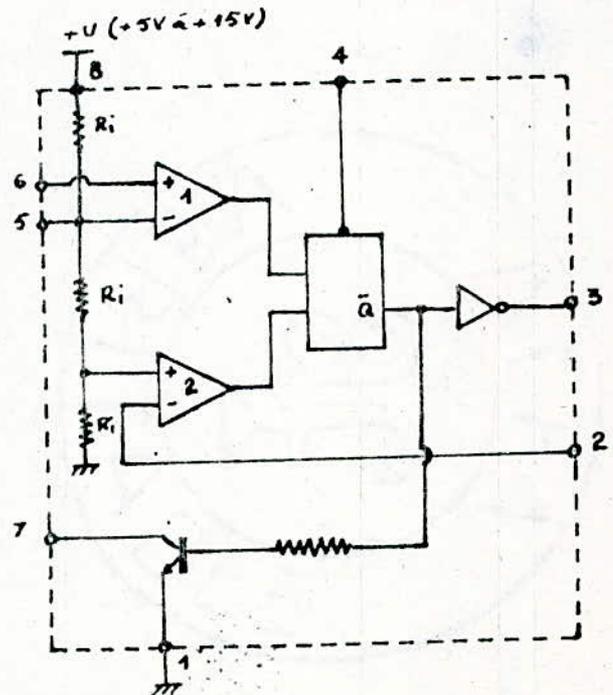
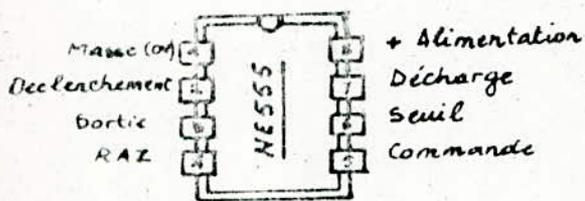
Schéma du montage :



- La commande de RESET est pratiquée par une remise en forme à NE555 schéma du montage.



- Schéma de branchement et schéma synoptique du NE555



### 199.7.5 / La commande à microprocesseur.

Nous supposons connu dans les grandes lignes le fonctionnement global d'un système à microprocesseur. On pourra également l'ignorer et le construire avec le même succès.

Dans tel système, l'essentiel est invisible pour les yeux, il se trouve bien caché dans la mémoire, une EPROM 2716, et là reside l'essentiel du travail de l'étudiant et les longs moments de manipulation logique en langage hexadécimal.

La carte microprocesseur comporte deux circuits à 40 broches. Le CPU 6809 et le PJA 6821, une EPROM 2716 à 24 broches ou reside le plan mémoire, une RAM 6810 utilisée comme pile pour la sauvegarde de données et un circuit de décodage d'adresses. (1/2 74139)

L'unité centrale est un 6809 de MOTOROLA. Mais l'utilisation d'un microprocesseur n'est vraiment possible que si l'on dispose d'un système "émulateur" qui va nous permettre de tester le programme en grandeur réelle.

Le PJA est un adaptateur d'interface et il contient les éléments de liaisons avec l'extérieur principalement avec 16 fils qui peuvent être programmés alternativement en entrées (clavier par exemple) ou en sorties : données du synthétiseur ou des afficheurs.

La RAM 6810 : 128 octets de mémoire vive que nous utiliserons comme pile, pour la manipulation des données et d'opération de calcul.

L'EPROM 2716 a une capacité de 2K x 8 octet de mémoire ce qui est beaucoup plus qu'il nous en faut pour notre application.

Tout le programme de fonctionnement est contenu dans l'EPROM sous forme hexadécimale. Le microprocesseur vient y puiser les données pour la gestion de l'ensemble clavier, affichage, mémoires ....

La programmation de ce circuit s'effectue par une impulsion de 50 ms à 25v. cette opération est très précise et ne tolère aucune erreur.

## 999.7.6 / Le Clavier

Il se compose de 4 lignes et de 4 colonnes.  
Il peut être constitué par tout système de boutons poussons de bonne qualité et comportera une vingtaine de touches si l'on veut utiliser toutes les possibilités de commande.

Nous avons huit fils au total à brancher directement sur le port B, en respectant évidemment l'ordre des connexions.

Chaque emplacement correspondant à un endroit du plan mémoire (utilisation de l'adressage indexé avec consultation de tableau).

La correspondance hexadécimale des touches est la suivante :

0 → F8D7

1 → F8EB

2 → F8DB

3 → F8BB

4 → F8ED

5 → F8DD

6 → F8BD

7 → F8EE

8 → F8DE

9 → F8AE

Montée pas à pas → F8E7

Descente pas à pas → F8B7

Misc en mémoires → F877

Scanning → F87D

Validation

Rappel des mémoires → F87B

### III.7.7 / Organisation logicielle du microprocesseur.

La figure 1 donne un aperçu global du fonctionnement de l'ensemble.

Le microprocesseur effectue une boucle de structation continue du clavier d'abord les chiffres de 0 à 9 puis les fonctions. Si aucune touche n'est enfoncée; il y a retour du début du programme.

Dés qu'un chiffre est sollicité, il y a affichage sur le digit de poids faible avec décalage des chiffres sur la gauche.

La fréquence affichée n'est prise en compte par le microprocesseur que par appui de la touche de validation ou par manipulation d'une touche de fonction.

Une fréquence interdite produit l'apparition de FFFFFFFF sur les afficheurs.

- L'incrementation augmente de  $5 \text{ KHz}$  la fréquence affichée, la touche de décrementation opère la fonction opposée :  
-  $5 \text{ KHz}$ .

- La mise en mémoire prend en compte l'état des afficheurs et le stocke successivement. " Recall " rappelle les mémoires enregistrées.

- Le Scanning, ou balayage automatique, permet l'exploration continue d'une portion de bande déterminée.

Le pallier de balayage supérieur est celui enregistré dans la mémoire 1, le pallier inférieur est celui à partir duquel on appuie sur la touche " SCAN "

- La touche validation met sur les afficheurs la valeur de la fréquence à afficher.

Nous avons réalisé un circuit de décodage d'adresse qui se limite, dans ce cas particulièrement simple, à un inverseur et à la ligne  $A_{15}$ .

Ce décodage est cependant bien imparfait. En effet c'est un décodage appelé décodage partielle, pourquoi une telle appellation ? C'est aisément compréhensible.

Notre RAM est adressée entre 0000 et 7FFF puisque, pour toutes ces adresses elle est validée grâce à  $A_{15}$  qui est au niveau "0", or une RAM d'un K octet a une étendue d'adresse qui va de 000 à 3FF, ce qui signifie que notre RAM va être vue du Up, identique à elle même, sur toute l'étendue 0000 à 7FFF.

Pour notre réalisation c'est presque la même chose.

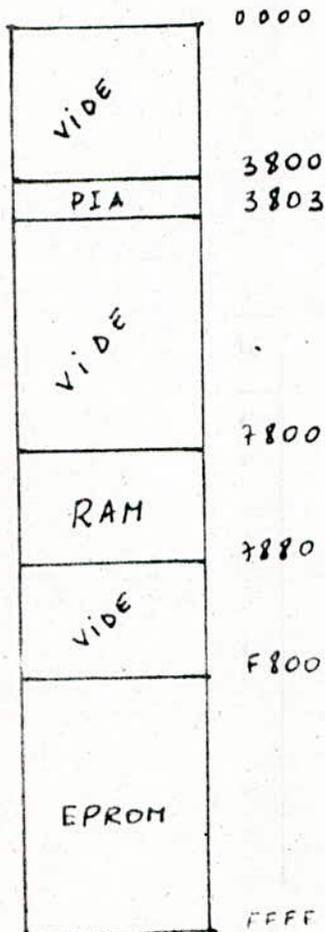
Le Up va se pointer à l'adresse FFFE puis FFFF sur son bus d'adresse pour récupérer la 1ère instruction sur le bus de données Il est donc impératif que l'EPROM puisse être adressée par FFFE et FFFF. C'est un EPROM de 2K octet donc son implantation en E000 conviendra parfaitement. Elle couvrira ainsi les adresses allant de F800 à FFFF. En ce qui concerne les autres boîtiers c'est une question de goût.

Alors on a choisi les adresses suivantes

- PJA : 3800 à 3803        ===== 4 adresses
- RAM : 7800 à 7880        ===== 128 adresses
- EPROM : F 800 à FFFF    ===== 2048 adresses

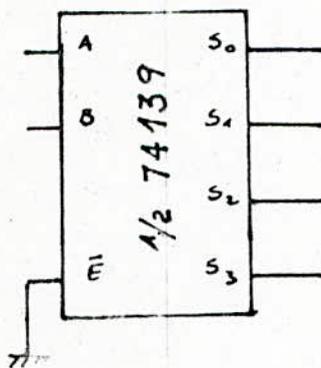
D'ou le décodage d'adresse suivant /

A <sub>15</sub>	A <sub>14</sub>	A <sub>13</sub>	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>09</sub>	A <sub>08</sub>	A <sub>07</sub>	A <sub>06</sub>	A <sub>05</sub>	A <sub>04</sub>	A <sub>03</sub>	A <sub>02</sub>	A <sub>01</sub>	A <sub>0</sub>	BOITIERS
0	0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	PIA
0	0	1	1	1	0	0	0	0	0	0	0	0	0	1	1	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	RAM
0	1	1	1	1	0	0	0	1	0	0	0	0	0	0	0	
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	EPROM
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	



Plan mémoire

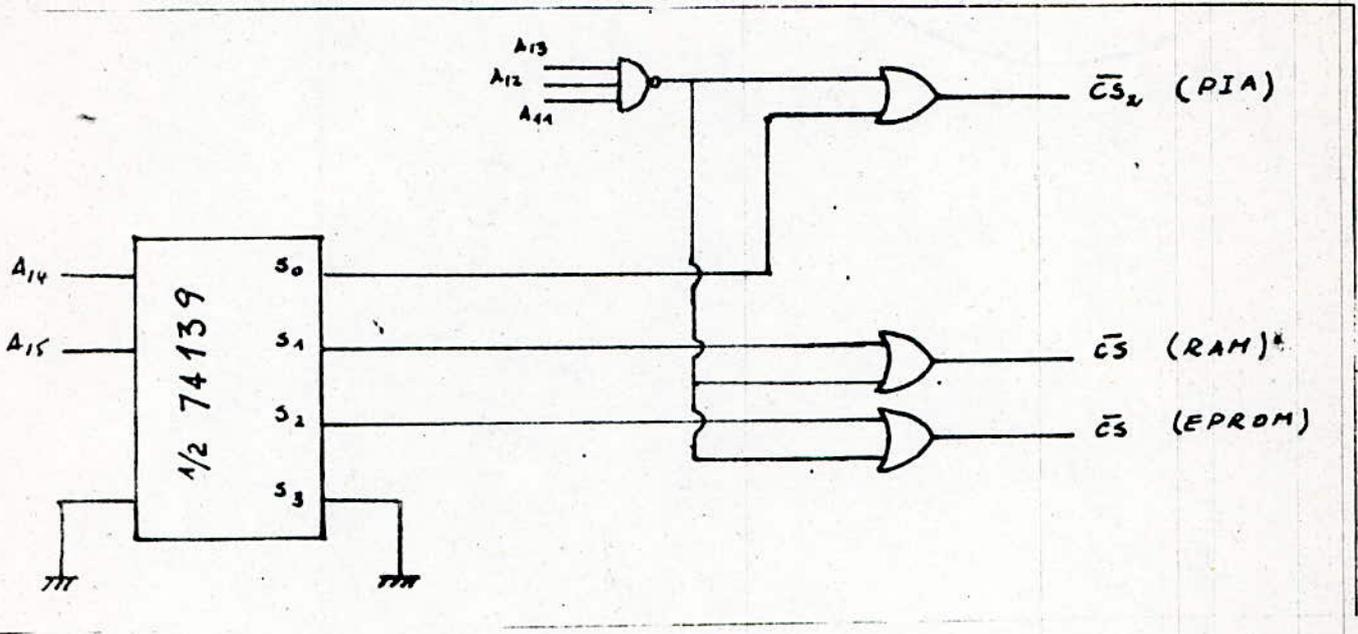
Pour ce circuit de décodage on a choisi le SN 74139 ou bien 74 LS 139.  
Table de Verite. (Pour 1/2 74139).



$\bar{E}$	A	B		S <sub>0</sub>	S <sub>1</sub>	S <sub>2</sub>	S <sub>3</sub>
1	X	X		1	1	1	1
0	0	0		0	1	1	1
0	1	0		1	0	1	1
0	0	1		1	1	0	1
0	1	1		1	1	1	0

ce décodage est partiel donc il faut prévoir une circuiterie pour le rendre parfait.

- Circuit de décodage d'adresse

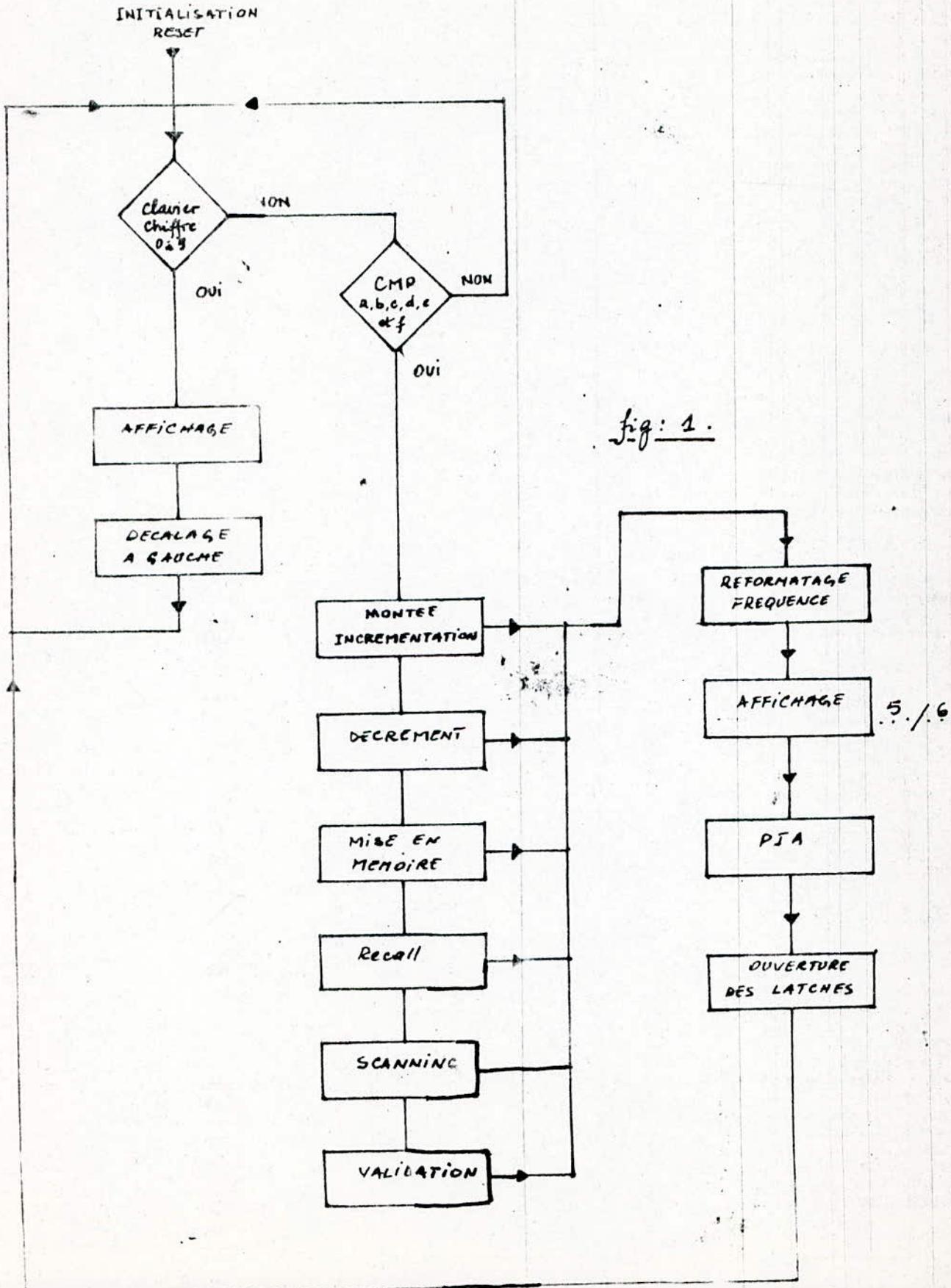


On remarque bien que les bits ou bien les adresses  $A_{11}$ ,  $A_{12}$ , et  $A_{13}$  sont forcés à "1" (niveau logique haut).

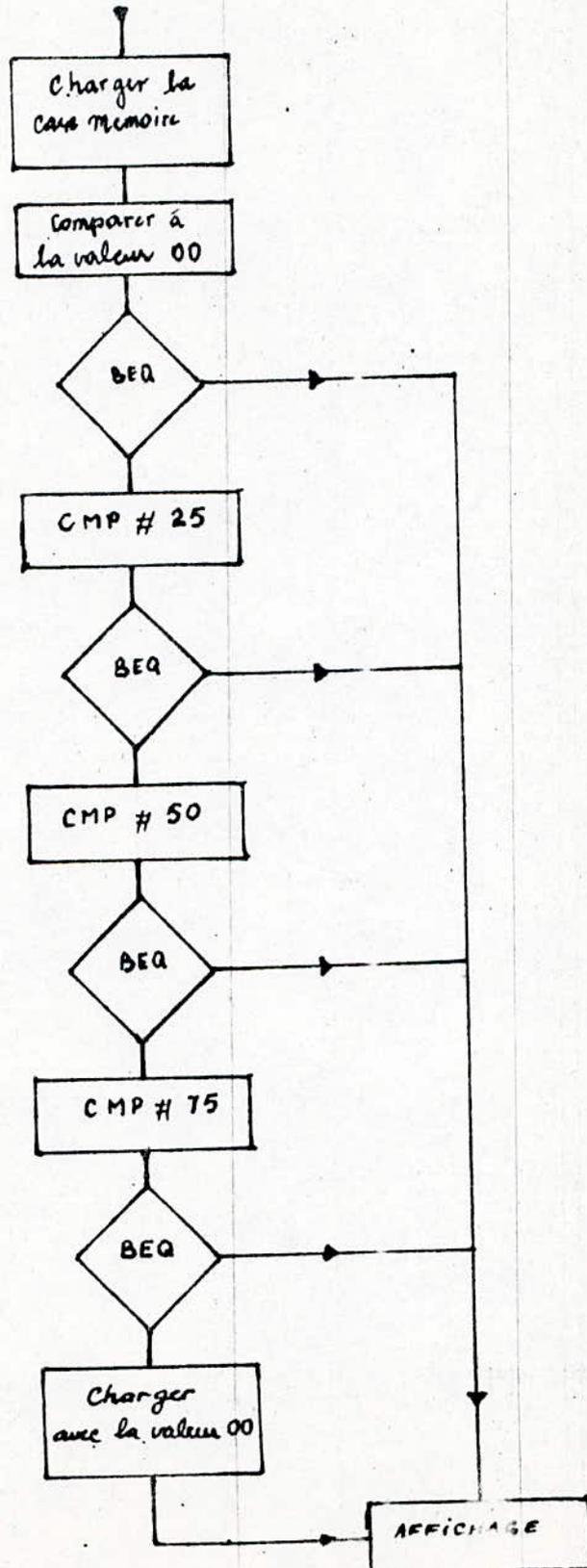
- Localisation "mémoires"

- F800** Chargement compteur
- F88D** Chargement ports de sortie
- F8A0** Reformage fréquence
- F8BE** Chargement synthétiseur
- F900** Initialisation de la pile
- F920** Routine scanning
- F992**
- F953** Temporisation scanning
- FA00** Gestion du clavier
- FAA7**
- FAA8**
- FAF1** Sous programme affichage
- FB00** Routine affichage et décalage à gauche
- FB40**
- FB4E**
- FB50** Avancement +
- FB66** Avancement -

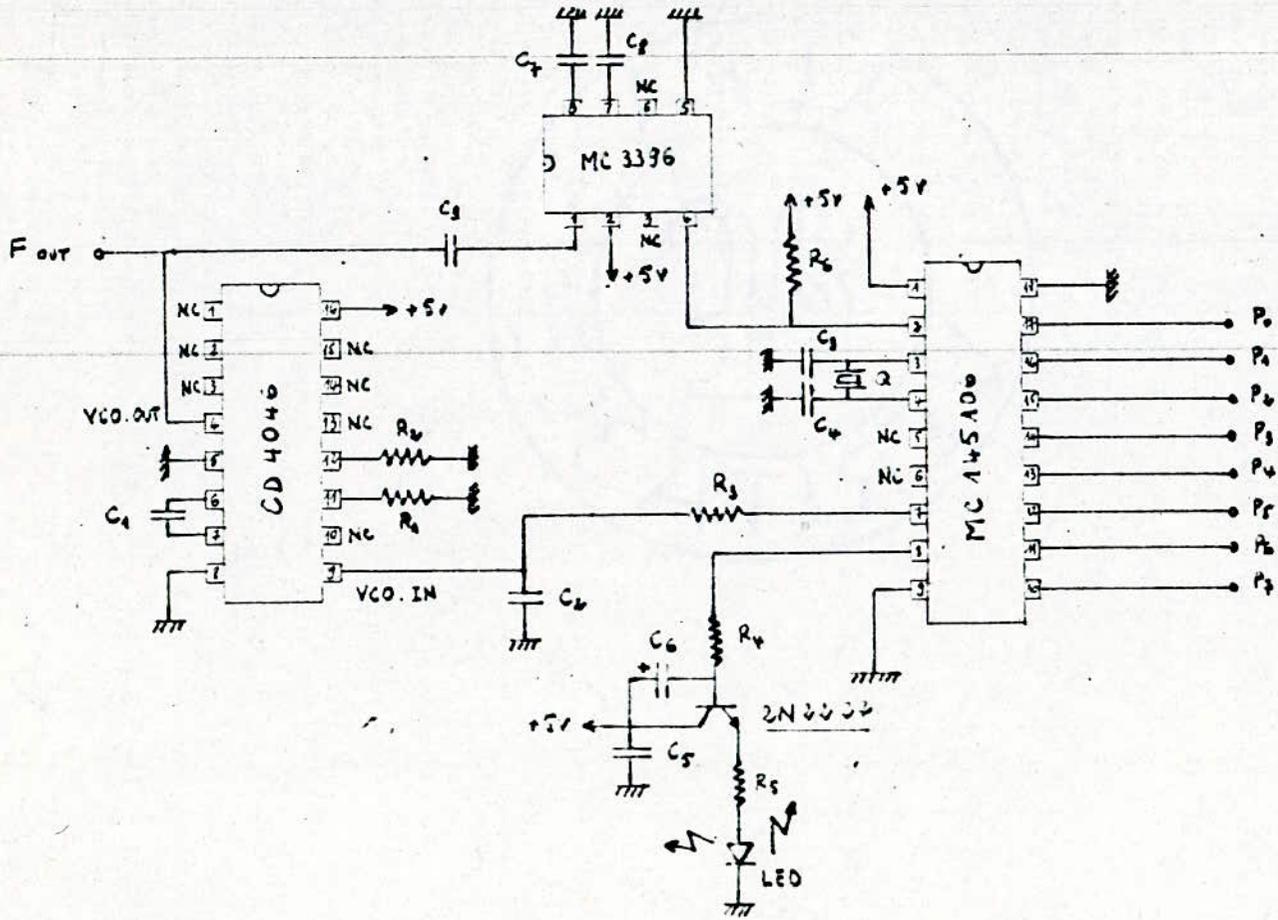
- Organigramme.



- Organigramme du reformatage de la fréquence affichée.



5.17





- Programme:

- Initialisation du PIA .

```
LDAA # $FF
STAA $3801
STAA $3803
LDAA $F807
STAA $3800
LDAA $F80E
STAA $3802
STAA $0014
RTS
```

- Programme Principal

```
LP0 RESET
LDAA $F8D7
CMP # $0000
BEQ LP
BRA LPS
LDAA $F8EB
CMP # $0001
BEQ LP
BRA LPS
LDAA $F8DB
CMP # $0002
BEQ LP
BRA LPS
LDAA $F8BB
CMP # $0003
BEQ LP
BRA LPS
LDAA $F8ED
CMP # $0004
BEQ LP
BRA LPS
LDAA $F8DD
CMP # $0005
BEQ LP
BRA LPS
LDAA $F8DB
CMP # $0006
BEQ LP
```

BRA LPS  
LDAA \$F8EE  
CMP # \$0007  
BEQ LP  
BRA LPS  
LDAA \$F8DE  
CMP # \$0008  
BEQ LP  
BRA LPS  
LDAA \$F8BE  
CMP # \$0009  
BEQ LP  
BRA LPS

LPS CMP \$F8E7  
BEQ LP1  
BRA LP2  
CMP \$F8B7  
BEQ LP2  
BRA LP2  
CMP \$F87B  
BEQ LP3  
BRA LP2  
CMP \$F87B  
BEQ LP4  
BRA LP2  
CMP \$F87D  
BEQ LP0  
BRA LP2  
LDAA \$F80A  
CMP # \$0000  
BEQ LP  
CMP # \$0019  
BEQ LP  
CMP # \$003A  
BEQ LP  
CMP # \$004B  
BEQ LP  
LDAA # \$0000  
STAA \$F80A  
STAA \$3800  
LP. LDAA \$F80E  
STAA \$3802



## C O N C L U S I O N

*J'en arrive maintenant à l'estimation globale de ce travail, et en conclusion, je peux dire que dans le domaine des telecommunication - beaucoup reste à faire.*

*La modeste contribution apportée ma realisation entre dans le cadre de la participation à l'évolution de ce derniers par le biais de l'utilisation de la micro-informatique.*

*Mon travail se résume à l'étude et la conception d'un synthétiseur de fréquence.*

*Sur le plan pratique, beaucoup de difficultés et d'obstacles ont entravé ce travail. En particulier l'indisponibilité et le manque des composants, indisponible à la realisation - leur coût relativement cher. Le manque de materiel permettant le developpement et la realisation du circuit imprimé et d'autres obstacles.*

*J'espère avoir posé les jalons aussi bien sur le plan théorique que pratique qui permettront aux générations futures d'améliorer mon travail en ajoutant la partie emission reception et verifien donc la qualité du synthétiseur en faisant quelques modifications sur programme principal.*

## B I B L I O G R A P H I E

### LIVRES

- 1/ *Le microprocesseur 6809  
ses périphériques et le  
processeur graphique 9365 66* CLAUDE DARDANNE  
Ed EYROLLES
- 2/ *Programmation en assembleur  
6809* Bui MINH DUC  
Ed EYROLLES
- 3/ *Rendez vous avec le micro-  
processeur* PHAN SON  
P. BELLGER Ed Technique et  
Vulgarisation
- 4/ *Systèmes à microprocesseurs.  
3 microprocesseur et circuits  
associés* L. CLEMENT  
Ed CABAY
- 5/ *Les circuits programmables* Jean-Michel BERNARD  
et Henri BRETEUJL  
Ed. Tests.

### REVUES

RADJO - PLANS.  
*Electroniques Loisir.*

- 1/ N° 405 Août 81  
2/ N° 418 Septembre 82  
3/ N° 424 Octobre 86  
4/ N° 445 Décembre 84  
5/ N° 448 Mars 85  
6/ N° 467 Octobre 86

HAUT - PARLEUR

- 1/ N° 1673 Octobre 1981  
2/ N° 1694 Juillet 1983  
3/ N° 1710 Novembre 1984  
4/ N° 1711 Décembre 1984  
5/ N° 1712 Janvier 1985  
6/ N° 1714 Mars 1985  
7/ N° 1715 Avril 1985  
8/ N° 1716 Mai 1985  
9/ N° 1717 Juin 1985  
10/ N° 1718 Juillet 1985  
11/ N° 1719 Août 1985  
12/ N° 1720 Septembre 1985  
13/ N° 1721 Octobre 1985  
14/ N° 1722 Novembre 1985  
15/ N° 1723 Décembre 1985

THESES

- 1/ Synthétiseur HF  
: Etude et réalisation N° 221
- 2/ Etude et réalisation d'une fréquence mètre  
numérique N° 416 et d'un synthétiseur de  
fréquence .
- 3/ Etude du MC 6809 application aux commandes  
azimutales N° 507.