



Ecole Nationale Polytechnique
Département d'Electronique
Laboratoire des Dispositifs de Communication
et de Conversion Photovoltaïque



Thèse de Doctorat en Electronique

Option : Electronique

Présentée par :

SLIMANE Abdelhalim
Magister en Electronique de l'USDB

Intitulée

Contribution à la conception des amplificateurs large bande en technologie CMOS

Soutenue publiquement le **19/04/2012** devant le jury composé de :

Président :	M. AKSAS Rabia	Professeur	ENP
Rapporteurs :	M. TRABELSI Mohamed	Professeur	ENP
	M. BELAROUSSI Mohand Tahar	Directeur de Recherche	CDTA
Examineurs :	M. AZRAR Arab	Maitre de Conférences A	UMBB
	M. BERBAR Tarik Bouziane	Maitre de Conférences A	USTHB
	M. LEMHANE Youcef	Maitre de Conférences A	USTHB

ENP 2012

A la mémoire de mes grands-parents.

A mes très chers parents.

A ma soeur et mes frères.

A ma femme et mes filles "Meriem, Sara et Houda".

Remerciements

Je tiens tout d'abord à exprimer mes profonds remerciements et ma reconnaissance à mon directeur de thèse, **M. Mohamed TRABELSI**, Professeur à l'Ecole Polytechnique d'Alger, pour m'avoir fait confiance en acceptant de diriger cette thèse. Je le remercie également pour l'aide compétente qu'il m'a apportée pour faire valoir les travaux de cette thèse, une aide marquée par ses analyses approfondies et ses remarques pertinentes qui témoignent de son professionnalisme et de son expérience dans le domaine de conception RF et micro-ondes. J'éprouve également un grand respect pour toutes ses qualités humaines notamment sa patience, ses encouragements et sa disponibilité durant les moments difficiles.

J'adresse également mes vifs remerciements à mon co-directeur de thèse, **M. Mohand Tahar BELAROUSSI**, Directeur de Recherche au Centre de Développement des Technologies Avancées, pour avoir accepté de co-diriger cette thèse. Je le remercie également pour son aide compétente dans le domaine de la microélectronique, son professionnalisme, ses orientations et son grand apport pour l'aboutissement de ce travail. En sa qualité de directeur de la division microélectronique et nanotechnologie du CDTA, je lui exprime également toute ma gratitude pour les moyens logiciels mis à ma disposition pour finaliser cette thèse.

Je tiens aussi à remercier vivement **M. Rabia AKSAS**, Professeur à l'Ecole Polytechnique d'Alger, pour l'honneur qu'il me fait en acceptant de présider le jury de cette thèse, pour sa disponibilité et l'intérêt qu'il a porté au sujet de cette thèse.

J'adresse également mes vifs remerciements à **M. Arab AZRAR**, Maître de Conférences A à l'Université M'hamed Bougara de Boumerdès, **M. Tarik Bouziane BERBAR**, et **M. Youcef LEMHANE**, Maîtres de Conférences A à l'Université des sciences et de la technologie Houari, en leur qualité de membres examinateurs du jury de cette thèse, pour l'honneur qu'ils m'ont fait en acceptant d'évaluer les travaux réalisés dans le cadre de cette thèse.

Je remercie vivement M. Fodil SISERIR, Chercheur au CDTA, M. Mehdi SI MOUSSA, Chercheur à l'École de Technologie Supérieure de Montréal et M. Amine BERMAK, Professeur à l'Université des Sciences et Technologies de Hong-Kong, pour l'aide et les conseils qu'ils m'ont apportés afin de réaliser ce travail de thèse.

Finalement, j'adresse ma reconnaissance et ma gratitude à Ami Saïd de Douira et la secrétaire du département d'Electronique Mme Zahia pour leur aide, leur soutien moral et leurs qualités humaines.

ملخص

هذه الأطروحة تركز على تصميم المضخمات ذات النطاق الترددي العريض المدمجة بتكنولوجيا سيموس للإجابة على معوقات الحجم، التكلفة والأداء. في هذا السياق، اقترحنا أولاً طريقة تصميم جديدة لتحسين عرض النطاق الترددي للمضخمات الموزعة، وهذا باستبدال الخلايا ذات الثابت ك بمرشحات شيببشيف و بتوروث. بهذا تم تحسين عرض النطاق الترددي بنسبة + 28 ٪ مقارنة مع المضخم الموزع التقليدي. ثانياً للاستفادة من مزايا المضخم الموزع أحادي المرحلة غير مطابق الممانعة و المناسب من حيث عرض النطاق الترددي و تصغير الحجم، قمنا بإدماج هذا المضخم في تكنولوجيا سيموس 0.18 ميكرومتر مؤكداً طريقة تصميمه المطورة في المجال المنفصل والتي تتطلب ترانزستور خاص. أخيراً، رأينا أهمية تصميم المضخم ذو النطاق الترددي العريض جداً (ن ت ع ج)، ذو الضجيج المنخفض و مغذية ذات جهد منخفض لتطبيق ذو النطاق الترددي العريض جداً (ن ت ع ج) وذلك منذ تطبيق هذا النطاق في عام 2002. لهذا الهدف، اخترنا تصميم متعدد المراحل، مما سمح لنا بتخفيض جهد المغذية إلى النصف معطياً مزايا جيدة في النطاق الترددي للمضخم، يمكن مقارنتها مع مستجدات البحث الحالية.

الكلمات الجوهرية: سيموس، المضخم الموزع، مرشح شيببشيف، مرشح بتوروث، ن ت ع ج، م ض م، تكيف عريض النطاق، توتر منخفض، انخفاض استهلاك الطاقة

Résumé

Cette thèse porte sur la conception des amplificateurs larges bandes intégrés en technologie CMOS pour répondre aux contraintes de coût, d'encombrement et de performances. Dans ce contexte, nous avons proposé en premier lieu une nouvelle méthode pour améliorer la bande passante de l'amplificateur distribué, et ce, en substituant les cellules à K-constant par les filtres de Chebyshev et Butterworth. Ainsi, une amélioration de la bande passante de +28 % a été enregistrée par rapport à la méthode conventionnelle. Ensuite, pour bénéficier des avantages de l'amplificateur distribué à un seul étage non-adapté en termes de bande passante et de réduction de taille, nous avons proposé son intégration en technologie CMOS 0.18 μ m pour remédier à sa particularité de dimensionnement développé en discret. Enfin, vu l'intérêt que connaît la technologie Ultra-Wide-Band (UWB) depuis sa normalisation en 2002, nous avons opté pour la conception d'un amplificateur UWB à faible bruit et à basse tension d'alimentation pour les applications sans-fils. Pour cet objectif, notre conception s'est basée sur une configuration multi-étages qui nous a permis d'abaisser la tension d'alimentation tout en offrant de bonnes performances comparables avec l'état de l'art.

Mots-clés : CMOS, Amplificateur distribué, filtre de Chebyshev, filtre de Butterworth, UWB, LNA, adaptation large bande, faible tension, faible consommation de puissance.

Abstract

This thesis covers the design of broadband integrated amplifiers in CMOS technology in order to respond to the cost, size and performance constraints. In this context, we first proposed a new design method to improve the bandwidth of the distributed amplifier. This

method synthesizes the distributed amplifier transmission lines by Chebyshev and Butterworth filters instead of K-constant cells. Therefore, a bandwidth improvement of +28 % has been registered compared to the conventional design method. Then, to benefit from the advantages of the non adapted single stage distributed amplifier in terms of bandwidth and reduction of size, we proposed to integrate this amplifier in monolithic technologies. Using a $0.18\mu\text{m}$ CMOS technology, we offered a good solution to overcome the required transistor sizing imposed by the proposed method in PCB design. Finally, knowing the interest of Ultra-Wide-Band (UWB) technology since its normalization in 2002, we proposed to design a low noise and a low voltage (UWB) amplifier for the wireless applications. To perform this purpose, our design was based on a multi-stages configuration that allowed us to lower the supply voltage and to obtain good performances compared to the state-of-art.

Keywords : CMOS, Distributed amplifier, Chebyshev filter, Butterworth filter, UWB, LNA, wideband matching, Low voltage, low power

Table des matières

Table des matières	vi
Table des figures	x
Liste des tableaux	xiv
Liste des symboles	xv
Introduction générale	1
Etat de l'art des amplificateurs large bande	4
I Technologie CMOS et outils de conception	6
I.1 Introduction	7
I.2 Technologies Semiconducteurs pour la RF	7
I.3 Technologie CMOS 0.18 μm	8
I.4 Dispositifs de base en technologie CMOS	9
I.4.1 MOSFET	9
I.4.1.1 Régime de fonctionnement du MOSFET	9
I.4.1.2 Modèle électrique petit signal du MOSFET	10
I.4.1.3 Principales sources de bruit du MOSFET	11
I.4.2 Résistance intégrée	13
I.4.3 Capacité intégrée	13
I.4.4 Inductance intégrée	14
I.5 Outils et méthodes de conception de circuits intégrés CMOS	17
I.6 Conclusion	20
II Théorie des amplificateurs distribués conventionnels	21
II.1 Introduction	22
II.2 Historique de l'amplificateur distribué	23
II.3 Principe de fonctionnement de l'amplificateur distribué	23

II.4	Amplificateur distribué à base d'une cellule simple	24
II.4.1	Propriétés des lignes de grille et de drain	26
II.4.1.1	Fréquence de coupure	26
II.4.1.2	Impédance caractéristique	27
II.4.1.3	Constante de propagation	29
II.4.2	Gain en puissance des amplificateurs distribués	29
II.4.2.1	Tensions de commande à la ligne d'entrée	30
II.4.2.2	Courant de sortie	30
II.4.2.3	Gain en puissance	31
II.4.2.4	Nombre optimal de transistors	31
II.4.3	Facteur de bruit des amplificateurs distribués	32
II.5	Topologies de la cellule amplificatrice	34
II.5.1	Topologie simple	34
II.5.2	Topologie cascode	35
II.6	Produit gain bande passante	36
II.7	Conclusion	36
III	Amplificateurs distribués associés aux filtres en technologie CMOS	37
III.1	Introduction	38
III.2	Théorie et notions de base des filtres passifs	38
III.2.1	Fonction de transfert et types d'approximations	39
III.2.2	Approximation de Butterworth	39
III.2.3	Approximation de Chebyshev	40
III.2.4	Synthèse des filtres	40
III.3	Théorie des amplificateurs distribués associés aux filtres	41
III.3.1	Nouvelle technique pour l'élargissement de la bande passante	42
III.3.2	Gain en puissance	44
III.4	Conclusion	46
IV	Conception et simulation des ADs associés aux filtres en CMOS	47
IV.1	Introduction	48
IV.2	Conception d'un AD conventionnel (ADC)	48
IV.3	Conception des ADs par la méthode des filtres symétriques	52
IV.3.1	Conception d'AD avec filtres et transistors identiques (uniformes)	52
IV.3.1.1	Amplificateur distribué Chebyshev Chebyshev (AD2C)	52
IV.3.1.2	Amplificateur distribué Chebyshev Butterworth (ADCB)	55
IV.3.1.3	Amplificateur distribué Chebyshev K-constant (ADCK)	58
IV.3.1.4	Effet du taux d'ondulation sur la bande passante	60
IV.3.1.5	Discussions des résultats de simulation des différentes configurations	61

IV.3.1.6	Simulation du facteur de bruit des ADs à base des filtres	62
IV.3.2	Conception des ADs à base des transistors non-identiques (non-uniformes)	64
IV.4	Conception des ADs par la méthode des filtres asymétriques	65
IV.5	Comparaison des résultats obtenus avec les travaux réalisés en technologie 0.18 μ m	67
IV.6	Conclusion	68
V	Conception d'un amplificateur distribué à un seul étage en CMOS	69
V.1	Introduction	70
V.2	Conception de l'amplificateur ADNA en CMOS	70
V.3	Résultats de simulation de l'ADNA, l'ADNAC et l'ADC4	73
V.4	Conclusion	76
VI	Conception d'un amplificateur UWB à faible bruit et basse tension d'alimentation	77
VI.1	Introduction	78
VI.2	Technologie Ultra-WideBand	78
VI.2.1	Historique de l'Ultra-WideBand	78
VI.2.2	Principe de fonctionnement	79
VI.2.3	Norme UWB et bande de fréquences	80
VI.2.4	Applications potentielles de la technologie UWB	81
VI.3	Topologies de base de l'amplificateur à faible bruit	82
VI.3.1	Topologie à terminaison résistive	82
VI.3.2	Topologie à contre réaction	83
VI.3.3	Topologie à grille commune	84
VI.3.4	Topologie source commune à dégénérescence inductive	85
VI.4	Etat de l'art des configurations UWB pour le LNA	86
VI.4.1	LNA à configuration cascode	86
VI.4.2	LNA à configuration multi-étages	86
VI.5	Proposition d'un LNA multi-étages à faible tension d'alimentation	88
VI.5.1	Technique de conception à faible tension d'alimentation	88
VI.5.2	Conception à faible consommation	89
VI.5.3	Circuit final de l'amplificateur à faible bruit proposé	95
VI.5.4	Dessin de masques et simulation post-layout	98
VI.6	Conclusion	103
	Conclusion générale	104
	Bibliographie	106

Annexe I	111
Annexe II	112
Annexe III	114
Annexe IV	115

Table des figures

I.1	Technologies semiconducteurs pour applications RF et millimétrique (ITRS 2009) [20]	7
I.2	Couches physiques de la technologie RF CMOS 0.18 μ m.	8
I.3	Structure d'un transistor MOSFET	9
I.4	Modèle électrique petit signal du MOSFET a) $V_{bs} \neq 0$, b) $V_{bs} = 0$ [23]. . .	11
I.5	Sources de bruit dans le transistor MOSFET.	11
I.6	Conducteur rectangulaire (résistance).	13
I.7	Coupe transversale d'une capacité MIM sur substrat [26]	14
I.8	Modèle électrique de la capacité intégrée a) sur substrat b) avec plan de masse.	14
I.9	Coupe 3D de l'inductance spirale intégrée sur substrat [26][27].	15
I.10	Modèle électrique de l'inductance [26][27].	15
I.11	Kit de conception CMOS 0.18 μ m de TSMC sous Cadence	18
I.12	Étapes de conception de circuits intégrés RF en technologie CMOS . . .	19
I.13	Exemple de dessin de masques d'un dispositif CMOS actif «MOSFET» .	20
II.1	Schéma de principe de l'amplificateur distribué à base (a) de lignes de transmission (b) d'inductances.	24
II.2	L'amplificateur distribué à base de transistors.	25
II.3	Schéma électrique d'une cellule de l'amplificateur distribué avec un modèle simplifié du transistor à effet de champ.	25
II.4	Cellules élémentaires en T (a) et π (b) d'une ligne de transmission. . . .	27
II.5	Schéma électrique des cellules des lignes de grille et de drain.	28
II.6	Schéma électrique des lignes de grille et de drain.	30
II.7	Schéma simplifié du MESFET avec sources de bruit (Atchison) [39]. . .	32
II.8	Schémas de cellules à base d'une (a) topologie source commune et topologie grille commune (b).	35
II.9	Schéma d'une cellule à base de la topologie cascode.	35

III.1	Réponse en fréquence des filtres idéaux : (a) passe-bas, (b) passe-haut, (c) passe-bande et (d) coupe-bande.	38
III.2	Réponse en fréquence réelle des filtres: (a) passe-bas, (b) passe-haut, (c) passe-bande et (d) coupe-bande.	39
III.3	Filtres d'ordre n ayant g_{n+1} valeurs normalisées.	41
III.4	Amplificateurs distribués basé sur les filtres.	42
III.5	Filtre passe bas d'ordre n	43
III.6	Schéma équivalent de l'AD à base de filtres.	44
IV.1	Caractéristique de transfert $I_d(V_{gs})$ et transconductance $g_m(V_{gs})$ pour différentes valeurs de W	49
IV.2	Schéma électrique de l'ADC à base de la topologie source commune	49
IV.3	Schéma électrique de l'ADC à base de la topologie cascode	50
IV.5	Gain inverse S_{21} des topologies cascode et source commune	51
IV.6	Filtre de Chebyshev d'ordre 5	52
IV.7	Schéma électrique de l'AD2C	53
IV.8	Réponse en fréquence de l'AD2C et de l'ADC.	54
IV.9	Coefficients de réflexion S_{11} et S_{22} de l'AD2C	55
IV.10	Gain en puissance de l'ADCB, de l'AD2C et de l'ADC.	56
IV.11	Coefficients de réflexion S_{11} et S_{22} de l'ADCB	56
IV.12	Schéma électrique de l'ADCB avec l'inductance L_m	57
IV.13	Effet de l'inductance L_m sur le gain en puissance de l'ADCB	57
IV.14	Coefficients de réflexion S_{11} et S_{22} de l'ADCB	58
IV.15	Schéma électrique de l'ADCK	58
IV.16	Gains en puissance en fonction de la fréquence de l'ADCK, l'ADCB et l'ADC	59
IV.17	Coefficients de réflexion S_{11} et S_{22} de l'ADCK	59
IV.18	Effet du taux d'ondulation sur la réponse en fréquence de l'ADCB	60
IV.19	Effet du taux d'ondulation sur la réponse en fréquence de l'ADCK	61
IV.20	Facteur de bruit en fonction de la fréquence de l'ADCB pour $L_a=1$ et 1.2	63
IV.21	Facteur de bruit en fonction de la fréquence de l'ADCK pour $L_a=1$ et 1.2	63
IV.22	Schéma électrique de l'ADCK non uniforme $M_2 > M_1$	64
IV.23	Gain en puissance de l'ADCK non uniforme	65
IV.24	Filtre de Chebyshev d'ordre 6 de type asymétrique	65
IV.25	Schéma électrique de l'ADCK non-uniforme asymétrique	66
IV.26	Gain en puissance de l'ADCK asymétrique.	67
IV.27	Coefficients de réflexion S_{11} et S_{22} l'ADCK asymétrique.	67
V.1	Amplificateur distribué à un seul étage, montage source commune [2].	70
V.2	Montage cascode pour deux MOSFETs de largeurs différentes	71

V.3	Amplificateur distribué ADC4 avec montage cascode.	72
V.4	Gain des amplificateurs ADNA, ADNAC et ADC4 en fonction de la fréquence. 73	
V.5	Facteur de bruit des amplificateurs ADNA, ADNAC et ADC4 en fonction de la fréquence.	74
V.6	Point d'Interception d'ordre 3 de l'ADNA @ 2GHz	75
V.7	Point d'Interception d'ordre 3 de l'ADNA @ 12GHz	75
VI.1	Spectre du signal émis des systèmes de communication UWB et NB [59]	79
VI.2	Comparaison temporelle et fréquentielle entre les deux systèmes de communication NB et UWB	80
VI.3	Coexistences des normes dans la bande 0.4-11 GHz [60]	81
VI.4	Applications potentielles d'un système de télécommunication UWB . . .	81
VI.5	Schéma électrique de la topologie à terminaison résistive	82
VI.6	Schéma électrique de la topologie à contre réaction	83
VI.7	Architecture de LNA à grille commune avec inductance	84
VI.8	Modèle petit signal de la topologie de la figure VI.7	84
VI.9	Topologie d'un LNA à source commune et son schéma équivalent. . . .	85
VI.10	Configuration cascode avec circuit d'adaptation de type passe bande. . .	86
VI.11	Configuration multi-étages et compensation de gain	87
VI.12	Exemple d'un LNA UWB et multi-étages à base de cellules cascodes [10]	87
VI.13	Configuration multi-étages proposée pour la réalisation d'un UWB LNA.	88
VI.14	Passage d'une topologie cascode à une topologie cascade pour la faible tension d'alimentation.	89
VI.15	Sources de bruit à l'entrée de l'amplificateur.	90
VI.16	Facteur de bruit moyen illustré en 3D	91
VI.17	Contours du facteur de bruit en fonction du courant et de la largeur de transistor	91
VI.18	Deux circuits d'adaptation de type passe bande et passe haut	92
VI.19	Schémas équivalents des deux circuits d'adaptation de la figure VI.18 . .	92
VI.20	Facteur de qualité en fonction de la fréquence pour N variable a) Ld1 b) Ld2	94
VI.21	Mise en cascade des deux étages amplificateurs	96
VI.22	Réponse en fréquence de l'amplificateur illustré dans la figure VI.21. . .	96
VI.23	Circuit final de l'UWB LNA	97
VI.24	Réponse en fréquence de l'amplificateur sans et avec les inductances de découplage.	97
VI.25	Layout de l'amplificateur en technologie CMOS 0.18um.	98
VI.26	Simulation post-layout du gain S_{21} du premier layout.	99
VI.27	Layout de l'amplificateur en technologie CMOS 0.18um après optimisation.	100
VI.28	Simulation post-layout du gain S_{21} après optimisation.	100

VI.29	Simulation post-layout du facteur de bruit NF	101
VI.30	Simulation post-layout du coefficient de réflexion S_{11}	101
VI.31	Simulation post-layout du coefficient de réflexion S_{22}	102

Liste des tableaux

1	Performances des amplificateurs distribués en CMOS 0.18 μm jusqu'à 2010	4
2	Performances des LNAs UWB en CMOS 0.18 μm jusqu'à 2009	5
IV.1	Paramètres normalisés du filtre de Chebyshev pour un taux d'ondulation $La=1$	53
IV.2	Paramètres normalisés d'un filtre de Butterworth d'ordre 5	55
IV.3	Paramètres normalisés du filtre de Chebyshev pour $La= 1.2$ et 1.5 [40] . .	60
IV.4	Valeurs des inductances et largeurs de transistors pour chaque valeur de La	60
IV.5	Récapitulatif des résultats de simulation pour les ADs uniformes à base des filtres symétriques	62
IV.6	Valeurs des inductances et largeur de transistors pour l'ADCK non uniforme	64
IV.7	Paramètres normalisés du filtre de Chebyshev asymétrique d'ordre 6 . . .	66
IV.8	Valeurs de composants pour l'ADCK asymétrique	66
IV.9	Comparaison de nos résultats [1] avec les travaux réalisés sur les amplifi- cateurs distribués en technologie CMOS 0.18 μm	68
V.1	Valeurs des inductances en fonction des paramètres géométriques	73
V.2	Tableau comparatif	74
V.3	Comparaison des performances de l'ADNA avec celles des amplificateurs [4], [7] et [45].	76
VI.1	Capacités de l'UWB vis à vis les autres standards IEEE	81
VI.2	Valeurs des éléments du circuit amplificateur conçu	95
VI.3	Comparaison de nos résultats avec des travaux réalisés en technologie CMOS 0.18 μm [3].	103

Listes des symboles

I_d	Courant de drain	ω	Pulsation
V_{gs}	Tension grille source	σ	Conductivité du matériau
V_{ds}	Tension drain source	ρ	Résistivité du matériau
V_{bs}	Tension substrat source	t	Épaisseur du matériau
V_{th}	Tension de seuil	R	Résistance série
$I_{d_{sat}}$	Courant de drain en saturation	C_{MIM}	Capacité MIM
$V_{d_{sat}}$	Tension drain source en saturation	A_{MIM}	Surface d'une capacité MIM
g_m	Trans-conductance	ϵ_r	Permittivité relative de diélectrique
R_{ds}	Resistance drain source	ϵ_0	Permittivité du vide
L	Longueur	d	Épaisseur de diélectrique
W	Largeur	L_s	Inductance d'une self
C_{ox}	Capacité d'oxyde par unité de surface	r_s	Résistance série d'une self
μ	Mobilité des électrons	C_s	Capacité série d'une self
R_i	Resistance intrinsèque	R_{sub}	Resistance du substrat
C_{gs}	Capacité grille source	C_{sub}	Capacité du substrat
C_{gd}	Capacité grille drain	C_{ox1}	Capacité d'oxyde self-substrat
C_{db}	Capacité de jonction drain substrat	d_m	Diamètre moyen de l'inductance
C_{sb}	Capacité de jonction source substrat	d_{out}	Diamètre extérieur de l'inductance
S_{Ind}	Densité spectrale de bruit de drain	μ_0	Perméabilité magnétique du vide
S_{Ing}	Densité spectrale de bruit de grille	c_i	Coefficients de forme d'inductances
I_{ng}	Bruit en courant de grille	t_{eff}	Épaisseur effective
I_{nd}	Bruit en courant de drain	ϵ_{ox}	Permittivité de l'oxyde
c	Coefficient de corrélation entre bruits	d_{cc}	Épaisseur d'oxyde entre deux rubans conducteurs adjacents
T	Temperature	C_{sb}	Capacité de substrat par unité de surface
k	Constante de Boltzmann	G_{sb}	Conductance de substrat par unité de surface
γ	Facteur numérique technologique	Q	Facteur de Qualité
δ	Facteur numérique technologique		
BP	Bande passante		
GBP	Produit gain bande passante		

Liste des symboles

Y_{ij}	Paramètres admittance	C_{in}	Capacité d'entrée
S_{ij}	Paramètres de répartition	C_{out}	Capacité de sortie
L_g	Inductance de la ligne de grille	Z_c	Impédance caractéristique
L_d	Inductance de la ligne de drain	Z_i	ième impédance
θ	Constante de propagation	Z_0	Impédance caractéristique de 50 Ω
α	Coefficient d'atténuation	β	Constante de phase
H	Fonction de transfert	T_n	Polynôme de Chebyshev d'ordre n
ω_s	Pulsation limite en stop-bande	ω_p	Pulsation limite de la bande passante
A	Atténuation en stop-bande	L_a	Taux d'ondulation
g_i	Paramètres normalisés du filtre	f_c	Fréquence de coupure
L_k	$K^{ième}$ Inductance du filtre	f_{ck}	Fréquence de coupure de la ligne à k-constant
C_k	$K^{ième}$ Capacité du filtre	V_e, V_{in}	Tension d'entrée
R_g	Resistance de charge de la ligne grille	I_s	Courant de sortie
R_d	Resistance de charge de la ligne drain	R_s	Resistance interne du générateur
E_s	Force Electromotrice du générateur	G_p	Gain en puissance
P_e	Puissance d'entrée	NF	Facteur de Bruit
P_s	Puissance de sortie	$IP3$	Point d'interception d'ordre 3
P_{dc}	Puissance dissipée	f_{0dB}	Bande passante à 0dB
f_{-3dB}	Bande passante à -3dB		

Introduction générale

Devant le nombre croissant des applications RF et micro-ondes, la nécessité des systèmes de télécommunications modernes, performants et complètement intégrés sur silicium suscite toujours l'intérêt de la communauté scientifique dans plusieurs laboratoires de recherche. Les efforts s'intensifient pour développer davantage les architectures, les algorithmes et les circuits intégrés des émetteurs-récepteurs afin de répondre aux exigences des standards internationaux de télécommunications et du marché. Pour les standards, il s'avère qu'ils sont plus qu'indispensables car ils définissent d'une manière hiérarchique les critères et les contraintes de conception au niveau système qu'au niveau de circuits. Quant au marché, les exigences sont essentiellement liées au coût, au temps et à la qualité du produit.

Du point de vue intégration, le progrès des technologies semi-conducteurs, durant les deux dernières décennies, a également eu un impact direct sur les performances des dispositifs actifs et passifs. Cependant, pour la réalisation des circuits RF et micro-ondes monolithiques, le choix technologique s'avère aussi un critère très important et déterminant notamment en termes de coût et de consommation de puissance. D'ailleurs, l'ITRS (International Technology Roadmap of Semiconductors), organisme international officiel qui œuvre pour les technologies semi-conducteurs en traçant la feuille de route de leur développement et de leur perspectives futures, a illustré dans son rapport de 2009 les possibilités d'intégration des applications RF, Analog Mixed Signal (AMS) et millimétriques moyennant plusieurs technologies à semi-conducteurs. Parmi ces technologies, on trouve la technologie CMOS qui est connue par le faible coût et le fort volume de production.

Pour toute architecture d'émission-réception, l'étage front-End RF est principalement axé sur la réalisation de quelques fonctions analogiques telles que le filtrage, l'amplification, la translation de fréquence, etc. Il se trouve que parmi ses fonctions, l'amplification occupe une place assez importante et ce, pour son rôle déterminant quelle que soit l'architecture retenue. D'ailleurs, si l'émission est basée sur une amplification qui se caractérise par la puissance, la partie réception repose en revanche sur la sensibilité qui se traduit par le besoin d'un amplificateur à gain élevé et minimum de bruit. Par ailleurs, les amplificateurs sont aussi classés par les bandes de fréquences sur lesquelles sont fonctionnels. Ainsi on peut distinguer deux catégories à savoir les amplificateurs très sélectifs dénommés amplificateurs à bande étroite, et les amplificateurs large bande.

Vu l'intérêt porté aux systèmes de télécommunications nécessitant des bandes de fréquences très larges pour le transfert rapide de données ou d'autres applications, le besoin des

amplificateurs larges bandes ne cesse d'augmenter. Ainsi, nous nous sommes intéressés, dans notre travail de thèse, à la conception des amplificateurs large bande intégrés en technologie CMOS, où nous avons développé trois différents amplificateurs large bande.

Pour le premier amplificateur, nous nous sommes intéressés en particulier aux amplificateurs distribués. Dans ce cas, le produit gain-bande passante est considéré le facteur de mérite des amplificateurs large bande et la performance caractéristique de l'amplificateur distribué. En vue d'améliorer ce facteur de mérite, nous avons développé une nouvelle méthode qui consiste à concevoir l'amplificateur distribué par la méthode des filtres [1]. Bien que la conception des amplificateurs distribués par les filtres ait été déjà utilisée, l'apport de la méthode que nous proposons consiste à exploiter les caractéristiques des filtres de Chebyshev et Butterworth pour l'élargissement de la bande passante. L'application de cette méthode en utilisant la technologie CMOS 0.18 μm a montré des résultats très satisfaisants.

Pour le deuxième amplificateur, nous nous sommes concentrés encore une fois sur l'amplificateur distribué, mais cette fois-ci, nous avons exploité la technologie CMOS pour l'intégration d'une solution déjà développée en discret d'un amplificateur distribué à un seul étage [2]. En utilisant la technologie CMOS 0.18 μm , nous avons pu intégrer cet amplificateur distribué grâce à la possibilité de dimensionnement de ses transistors selon la méthodologie proposée en discret. Les résultats obtenus confirment une deuxième fois la qualité de la technique de conception de cet amplificateur en vue d'élargir la bande passante.

Concernant le dernier amplificateur, nous avons opté pour une application Ultra-WideBand où nous avons conçu un amplificateur à faible bruit et à basse tension d'alimentation [3]. En choisissant une configuration multi-étages, nous avons pu concevoir en technologie CMOS 0.18 μm l'amplificateur à faible bruit en adoptant une technique de conception à faible tension qui a permis d'obtenir des résultats comparables avec l'état de l'art et de réduire la tension d'alimentation du circuit.

Cette thèse est organisée en six chapitres, le premier chapitre va décrire succinctement l'évolution de la technologie CMOS, son intérêt et ses éléments de base actifs et passifs, ainsi que le flot de conception dédié aux circuits intégrés RF et micro-ondes. Dans le deuxième chapitre, un rappel théorique sera donné sur les amplificateurs distribués, les caractéristiques principales sur lesquelles reposent leur conception ainsi que leurs performances. Dans le troisième chapitre, nous donnerons un aperçu rapide sur la théorie des filtres passifs, ensuite nous introduirons notre nouvelle méthode de conception des amplificateurs distribués à base de filtres en vue de l'élargissement de la bande passante, qui sera suivie par le calcul de la performance du gain en puissance de ce circuit. Pour le chapitre quatre, nous le consacrerons à la conception et aux résultats de simulation des amplificateurs distribués à base de filtres où nous verrons l'efficacité de la technique proposée. Dans le chapitre cinq, nous ferons une conception d'un circuit amplificateur distribué particulier en vue de l'intégrer en technologie CMOS 0.18 μm . Pour rappel, ce circuit a déjà fait l'objet d'une étude approfondie en technologie hybride [2]. Au dernier chapitre, nous concevrons un autre type d'amplificateur

à faible bruit qui sera dédié à une application UWB, où nous donnerons la méthodologie de conception du circuit, le dessin de layout et la simulation post-layout. Enfin, nous terminerons par une conclusion générale sur les différents travaux effectués dans le cadre de cette thèse.

Etat de l'art des amplificateurs large bande

La possibilité d'intégration des amplificateurs large bande a pris un tournant après la mise au point de la technologie CMOS 0.18 μm . Ce nœud technologique a tout simplement permis de dépasser le cap de 10 GHz qui était une limite aux technologies CMOS antérieures. Ainsi, nous avons récapitulé dans les deux tableaux 1 et 2 les performances des circuits amplificateurs large bande réalisés durant la dernière décennie et qui cadrent avec nos travaux de thèse.

Pour le cas de l'amplificateur distribué en technologie 0.18 μm , nous avons résumé dans le tableau 1, les travaux les plus pertinents qui sont apparus du début à la fin des années 2000. La plupart de ces travaux utilise pour l'implémentation de l'amplificateur distribué la méthode conventionnelle (cellule à K-constant) où les performances diffèrent selon le choix de dimensions de transistors et des éléments passifs. Cependant, la conception des amplificateurs distribués par la méthode des filtres en technologie CMOS 0.18 μm n'est apparue qu'en 2006 en utilisant soit le filtre de Chebyshev ou celui de Butterworth.

Réf.	Tech. (μm)	Topology	Bande (GHz)	S_{11} (dB)	S_{22} (dB)	S_{21} (dB)	NF (dB)	Vdd (V)	Conso. (mW)	année
[4]	CMOS 0.18	Convent.	0.5-14	< -11	< -11	10.6±0.9	3.5-5.4	1.8	52	2003
[5]	CMOS 0.18	Convent.	0.1-11	< -12	< -12	8	2.9	1.8	21.6	2005
[6]	CMOS 0.18	Butterworth	9	< -17	< -14	11.7±0.6	-	1.8	51	2006
	CMOS 0.18	Chebyshev	8.5	< -11	< -10	10±1.1	-	1.8	54	
[7]	CMOS 0.18	Convent.	0.04-6.2	< -16	< -10	8±0.9	4.2-6.2	1.3	9	2006
[8]	CMOS 0.18	Convent.	DC-17	< -13	-	8	3.4-5		34.2	2010

Tableau 1: Performances des amplificateurs distribués en CMOS 0.18 μm jusqu'à 2010

Bien que l'idée de communication UWB revienne au siècle précédent [16][17], l'apparition de la norme 802.15a qui a été approuvée par le FCC (Federal Communications Commission) en 2002 a donné une nouvelle impulsion au développement de systèmes UWB sur lesquels les scientifiques et les industriels se penchent davantage pour l'amélioration de leurs performances[18][19]. Ainsi, beaucoup de travaux ont été réalisés sur les circuits de base des

émetteurs-récepteurs UWB, notamment les amplificateurs à faible bruit fonctionnant dans la plage [3.1-10.6GHz]. Ainsi, nous avons résumé, dans le tableau 2, les travaux les plus récents sur les UWB LNAs (Amplificateurs à faible bruit) qui sont réalisés en technologie CMOS 0.18 μm . Notons aussi qu'il existe d'autres réalisations en technologies plus récentes et plus coûteuses telles que les technologies CMOS 0.13 μm et CMOS 90nm, mais qui ne figurent pas dans ce tableau afin de rester dans le même cadre de la technologie CMOS, choisie pour la conception de nos circuits.

Réf.	Tech. (μm)	Bande (GHz)	S_{11} (dB)	S_{22} (dB)	S_{21} (dB)	NF (dB)	Vdd (V)	Conso. (mW)	Surface (mm^2)	année
[9]	CMOS 0.18	3.1 -10.6	<-9.4	-	10.4 (max)	5.3	1.8	9	1.1	2004
[10]	CMOS 0.18	3.1 -10.6	<-9.6	<-9.5	11.3-12.1	5.8-6.7	1.8	33.6	-	2005
[11]	CMOS 0.18	3.1 -10.6	<-9	<-13	15.9-17.5	3.1-5.7	1.8	33.2	0.50	2006
[12]	CMOS 0.18	3.1 -10.6	<-11	-	9.7 (max)	4.5-5.1	1.8	20	0.59	2007
[13]	CMOS 0.18	3.1 -10.6	<-9.7	<-8.4	11-11.8	4.1-5.2	1.8	22.7	-	2007
[14]	CMOS 0.18	3.1 -10.6	<-8.6	<-8	9.5	5-5.6	1.8	9.4	-	2008
[15]	CMOS 0.18	3.1 -10.6	<-9.8	<-12	12.4-14.5	4.2-5.4	1.8	9	0.88	2009

Tableau 2: Performances des LNAs UWB en CMOS 0.18 μm jusqu'à 2009

CHAPITRE I

Technologie CMOS et outils de conception

I.1 Introduction

Dans ce chapitre, nous allons tout d’abord donner un aperçu rapide sur l’évolution des technologies à semi-conducteurs dédiées aux applications RF, millimétriques et même AMS (Analog Mixed Signal). Nous décrirons ensuite la technologie CMOS, ses atouts et ses limites, et le choix de nœud technologique pour la réalisation des travaux de cette thèse. Dans la section suivante, nous nous étalerons beaucoup plus sur les dispositifs actifs et passifs qui sont intégrés en technologie CMOS, où nous donnerons une description de chaque dispositif ainsi que son modèle électrique. Enfin, nous terminerons ce chapitre par un aperçu sur les approches de conception des circuits intégrés, les outils de conception et de simulation existants, ainsi que la méthodologie nécessaire à suivre pour aboutir à des circuits prêts à la fabrication.

I.2 Technologies Semiconducteurs pour la RF

L’ITRS (International Technology Roadmap for Semiconductors) est l’organisme international officiel qui œuvre pour le développement de toutes les technologies à semi-conducteurs en déterminant leurs perspectives futures et en traçant la feuille de route pour l’évolution de leurs branches. A ce titre, l’ITRS a déjà publié dans son rapport annuel en 2009, les différentes technologies explorées pour les applications RF et millimétriques comme l’illustre la figure I-1.

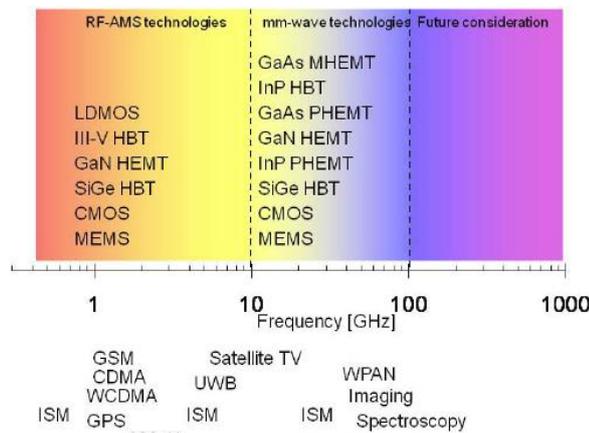


Figure I.1: Technologies semiconducteurs pour applications RF et millimétrique (ITRS 2009) [20]

Cette même figure montre également l’accès de la technologie CMOS aux applications millimétriques qui sont au-delà de 10 GHz. Une décennie en arrière, ces applications étaient limitées aux technologies à base de matériaux III-V vu leurs performances aux fréquences très élevées, mais l’évolution de nœud technologique en CMOS tourne actuellement autour de quelques dizaines de nanomètres en offrant ainsi des fréquences de transition très importantes. Cependant, l’intérêt porté à la technologie CMOS revient aussi grâce à ses nombreux

avantages tels que, la forte densité d'intégration, le grand volume de production, la faible consommation de puissance, la faible tension d'alimentation et surtout son avancée en conception numérique qui la rend une excellente candidate pour les applications RF et mixtes.

I.3 Technologie CMOS 0.18 μm

Dans le cas des applications RF et micro-ondes destinées au grand public ou nécessitant un fort volume de production, le coût de fabrication et la consommation de puissance deviennent aussi des critères très sélectifs. Ainsi, le choix technologique est inéluctablement très important pour la réalisation de tels circuits. L'une des technologies, en plein essor répondant à ces critères, c'est la technologie CMOS sur bulk qui s'avère le bon choix vu son avancée et ses avantages obtenus grâce à la réduction de l'échelle. Selon la loi de Moore, la longueur caractéristique (longueur du canal) du MOSFET est réduite par un certain facteur d'échelle k tous les 18 mois. En conséquence, la fréquence de coupure du MOSFET s'est améliorée considérablement en dépassant les 100 GHz pour des longueurs du canal de l'ordre de dizaines de nanomètres. C'est pourquoi la technologie CMOS a largement gagné sa place parmi les technologies dédiées aux applications millimétriques (figure I.1).

D'ailleurs dans la référence [21], l'auteur explique que l'arrivée du CMOS dans les applications à 10 GHz n'a pu avoir lieu qu'à partir de la disponibilité des procédés CMOS 0.18 μm . En effet, la fréquence de transition pour une technologie CMOS est inversement proportionnelle au carré de la longueur minimale de la grille de MOSFET.

Pour les nouvelles technologies CMOS de type submicronique profond (Ex : 0.18 μm et 0.13 μm), la fréquence de transition dépasse largement quelques dizaines de GHz. Dans ce contexte, nous avons donc exploré les différentes technologies et nous avons choisi celle qui répond le mieux à notre problématique. Notre choix s'est donc porté sur la technologie TSMC CMOS RF 0.18 μm pour sa maturité pour la réalisation de circuits intégrés RF au-delà de 10 GHz. Cette technologie se compose essentiellement de six couches de métallisation et un niveau de polysilicium tel que le montre la figure I.2.

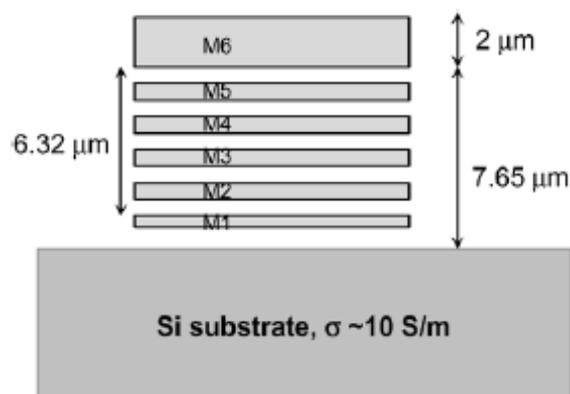


Figure I.2: Couches physiques de la technologie RF CMOS 0.18 μm .

I.4 Dispositifs de base en technologie CMOS

I.4.1 MOSFET

Le MOSFET, acronyme anglais de (Metal Oxide Semiconductor Field Effect Transistor), est un dispositif semi-conducteur de type transistor à effet de champ. Comme tous les transistors ou même les tubes à vide, le MOSFET module le courant qui le traverse à l'aide d'un signal appliqué à son électrode d'entrée ou grille isolée du canal par une couche de l'oxyde de silicium (SiO_2). Dans la figure I.3, le MOSFET possède 4 électrodes qui se définissent comme suit :

1. la source (Source) S: point de départ des porteurs.
2. le drain (Drain) D : point de collecte des porteurs.
3. la grille (Gate) G et le substrat (Body) B sont les électrodes de la capacité MOS qui contrôlent le nombre des porteurs présents dans le canal.

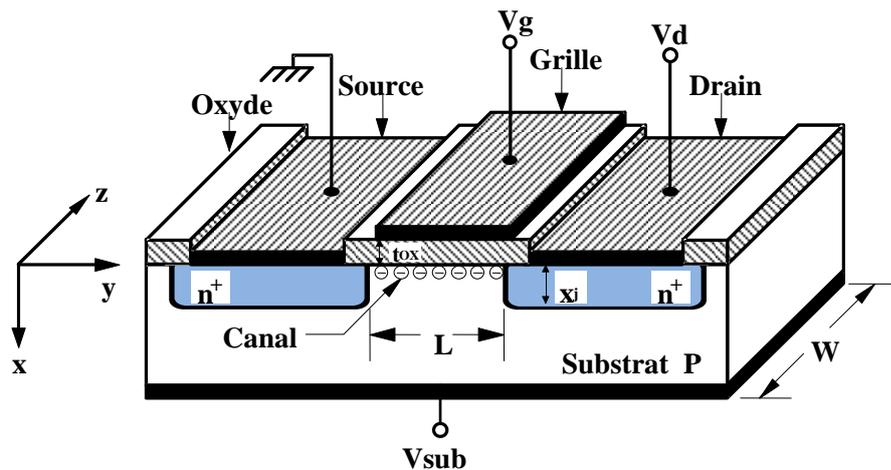


Figure I.3: Structure d'un transistor MOSFET

Pour l'intensité du courant circulant entre la source et le drain, elle est commandée par la tension appliquée entre l'électrode de la grille et l'électrode du substrat. Très souvent les électrodes de source et de substrat sont électriquement reliées, on retrouve donc un composant à 3 électrodes dans lequel le courant entre le drain et la source I_d est commandé par une tension entre la grille et la source V_{gs} .

I.4.1.1 Régime de fonctionnement du MOSFET

Lorsque la tension $V_{gs} > V_{th}$ où V_{th} est la tension de seuil, il suffit d'imposer une tension entre le drain et la source pour que le champ électrique parallèle à l'interface puisse faire

mouvoir les électrons et ainsi créer un courant I_d positif. On peut alors définir deux modes: linéaire et saturé, qui dépendent alors de la tension appliquée au drain V_{ds} .

En régime linéaire, l'expression du courant I_d qui traverse le canal de conduction s'écrit [22]:

1. pour les faibles polarisations de $V_{ds} \ll 2(V_{gs} - V_{th})$

$$I_d = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{ds} \quad (\text{I.1})$$

2. pour V_{ds} proche de $V_{gs} - V_{th}$

$$I_d = \mu C_{ox} \frac{W}{L} \left[(V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2} \right] \quad (\text{I.2})$$

où μ est la mobilité des porteurs (électrons dans le cas d'un canal de type N), C_{ox} la capacité de l'oxyde de grille par unité de surface. W et L sont respectivement les dimensions caractéristiques du canal appelées également la largeur et la longueur de la grille du MOSFET.

Lorsque $V_{ds} > V_{gs} - V_{th}$, le transistor fonctionne alors en mode de saturation et la dépendance de I_d avec V_{ds} disparaît. Ce courant de saturation I_d peut être approximé par la relation suivante [22]:

$$I_d = \mu C_{ox} \frac{W}{2L} (V_{gs} - V_{th})^2 \quad (\text{I.3})$$

Concernant la transconductance du MOSFET, elle est exprimée par la relation suivante [22]:

$$g_m = \mu C_{ox} \frac{W}{L} (V_{gs} - V_{th}) \quad (\text{I.4})$$

$$g_m = \sqrt{2\mu C_{ox} \frac{W}{L} I_d} \quad (\text{I.5})$$

Sachant que cette dernière expression de g_m est uniquement valide en mode de saturation.

I.4.1.2 Modèle électrique petit signal du MOSFET

La figure I.4(a) illustre le modèle électrique petit signal du MOSFET [23]. Ce modèle intègre les différentes capacités parasites intrinsèques limitant la fréquence de transition, la résistance de sortie et les transconductances. Cependant, ce modèle peut être réduit à celui de la figure I.4(b) lorsque le substrat et la source sont au même potentiel (court-circuit). Ce schéma est souvent exploité dans les différents calculs en régime dynamique.

Pour les capacités C_{gs} , C_{gd} et C_{ds} (sachant que $C_{ds} = C_{db}$), elles dépendent du régime de fonctionnement du transistor [23]. La valeur de la capacité grille-source C_{gs} est plus

significative en régime de saturation et vaut approximativement $\frac{2}{3}C_{ox}WL$. Tandis que les valeurs des capacités C_{gd} et C_{ds} restent faibles par rapport à celle de C_{gs} . Pour un calcul plus précis, il est préconisé d'utiliser les expressions des capacités à partir des modèles comme celui de BSIM3 (Annexe I et II).

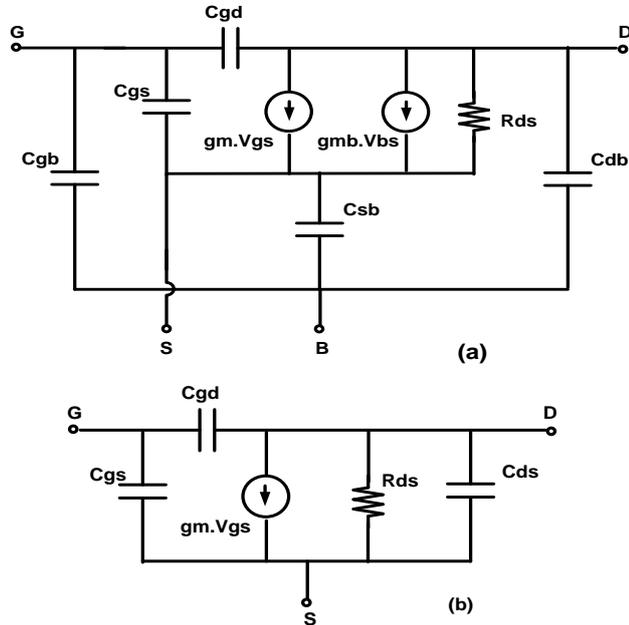


Figure I.4: Modèle électrique petit signal du MOSFET a) $V_{bs} \neq 0$, b) $V_{bs} = 0$ [23].

I.4.1.3 Principales sources de bruit du MOSFET

Avant d'entamer toute analyse sur le bruit des circuits CMOS en haute fréquence, nous devons identifier et comprendre les origines du bruit et les sources de bruit dominantes dans les MOSFETs. Cette section donne un aperçu sur les sources de bruit les plus importantes, à savoir, le bruit thermique de drain, et le bruit de grille (figure I-5) [24].

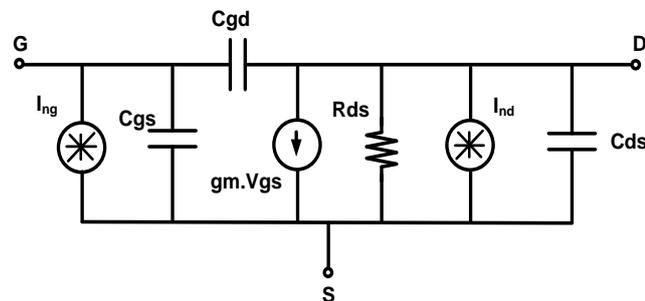


Figure I.5: Sources de bruit dans le transistor MOSFET.

a) Bruit thermique de drain

Étant donné que le MOSFET fonctionne principalement par la conduction de son canal qui n'est que la couche d'inversion d'électrons. La résistivité de ce canal représente ainsi

la source de toute fluctuation thermique produite. En d'autres termes, l'agitation thermique des électrons, qui sont en mouvement désordonné dans le canal, génère précisément cet effet qui s'exprime en fluctuations de tension ou de courant à la sortie de drain. Le modèle du transistor MOSFET tient compte aussi de ce phénomène où une source de bruit s'illustre sous forme d'un générateur de courant (figure I.5).

Pour déterminer la densité spectrale du bruit thermique de drain, on suppose que le MOSFET est en mode de saturation. Ainsi, la densité spectrale de ce bruit est donnée par [24] :

$$S_{I_{nd}} = 4kT\gamma g_m \quad (I.6)$$

où k est la constante de Boltzmann, T est la température, γ est un facteur numérique liée à la technologie (dans le cas d'un MOSFET de type N, $\gamma = 2/3$ pour un canal long, par contre pour un canal court $\gamma = 2 \sim 3$) et g_m la transconductance du transistor.

b) Bruit de grille

Si on définit l'origine du bruit associé à la grille, on peut dire qu'il se compose de deux sources. La première source est le bruit de grille induit dû au couplage capacitif avec le canal. Tandis que la deuxième source est le bruit thermique généré par la résistance de l'électrode grille qui dépend de la nature du matériau utilisé (exemple : polysilicium).

Pour le bruit de grille induit, il a été identifié et modélisé pour la première fois par Van-der-Ziel [24]. Le couplage entre la grille et le canal par le biais de la capacité C_{gs} est responsable du transfert des perturbations de charges de part et d'autre. Il est évident que ce modèle fonctionne en régime dynamique, vu sa dépendance avec la fréquence, mais il dépend aussi de sa conductance. Ce modèle a été appliqué aux transistors à canaux longs, mais reste valable pour les transistors à canaux courts en tenant compte de nouveaux paramètres technologiques. L'équation de la densité spectrale de bruit qui correspond à ce modèle s'écrit:

$$S_{I_{ng}} = 4kT\delta \frac{\omega^2 C_{gs}^2}{5 g_{d0}} \quad (I.7)$$

où $\delta = \frac{4}{3}$ est un facteur numérique lié à la technologie, C_{gs} est la capacitance grille-source et g_{d0} est la conductance du canal.

Généralement, les sources de bruit sont supposées indépendantes (non corrélées). Par contre, le couplage entre le canal et la grille est à l'origine de toute dépendance entre le bruit de la grille et le bruit thermique du canal. Cette dépendance est aussi traduite par une corrélation partielle entre le courant grille et le courant drain exprimée par le coefficient de corrélation suivant [24]:

$$c = \frac{\overline{I_{ng} I_{nd}^*}}{\left(S_{I_{ng}} S_{I_{nd}} \right)^{\frac{1}{2}}} \quad (I.8)$$

Par contre, le bruit thermique de l'électrode grille est simplement modélisé comme le

bruit d'une résistance, où la résistance dépend essentiellement de la nature du matériau de l'électrode en l'occurrence le polysilicium et des dimensions (W , L). En utilisant la structure interdigitée, ce bruit peut être réduit par un facteur de 3 ou 12 selon les contacts réalisés sur la grille [25].

I.4.2 Résistance intégrée

La résistance d'une bande métallique (figure I.6) de résistivité ρ , de longueur L , de largeur W et d'épaisseur t , est donnée par [26]:

$$R = \rho \frac{L}{W \cdot t} \quad (\text{I.9})$$

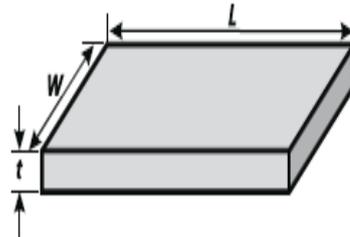


Figure I.6: Conducteur rectangulaire (résistance).

Si l'on considère une bande carrée ($W = L$), on notera sa résistance comme suit :

$$R_{\square} = \frac{\rho}{t} \quad (\text{I.10})$$

Elle est donc indépendante des dimensions du carré et exprimée en Ohms par carré. Pour calculer la résistance totale d'une bande, on la considère comme une succession de n carrés et sa résistance vaudra donc n fois la résistance d'un carré. Pour réaliser des résistances assez grandes, on peut aussi replier la bande métallique en méandres.

I.4.3 Capacité intégrée

La capacité intégrée peut être réalisée en utilisant deux armatures conductrices et un isolant entre ses deux armatures. Ainsi, plusieurs possibilités peuvent avoir lieu si on se base sur une technologie CMOS. On peut donc trouver des capacités MIM (Métal Isolant Métal), des capacités PIM (Poly-silicium Isolant Métal) où l'isolant n'est que l'oxyde de silicium, ou bien la capacité MOS qui est constituée par une région fortement dopée et un contact métallique, séparés par un oxyde diélectrique relativement épais.

Dans le cas d'une capacité MIM ayant une surface A_{MIM} (figure I.7), le calcul de la capacité est donnée par l'expression suivante [26] :

$$C_{MIM} = \frac{\epsilon_0 \epsilon_r}{d} \cdot A_{MIM} \quad (I.11)$$

où ϵ_r et d sont respectivement la permittivité relative et l'épaisseur de l'isolant. L'insertion de couches isolantes de permittivité supérieure accroît la capacité qui, d'ailleurs, ne dépend pas de la tension appliquée (figure I.7).

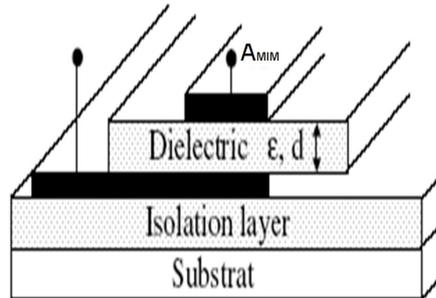


Figure I.7: Coupe transversale d'une capacité MIM sur substrat [26]

Pour le modèle électrique, il peut prendre deux formes (figure I.8). Si la capacité est liée au substrat, le modèle équivalent prendra en considération les pertes de ce dernier (figure I.8(a)). Dans l'autre cas, le modèle équivalent est celui de la figure I.8(b) où la capacité est séparée du substrat par un plan de masse.

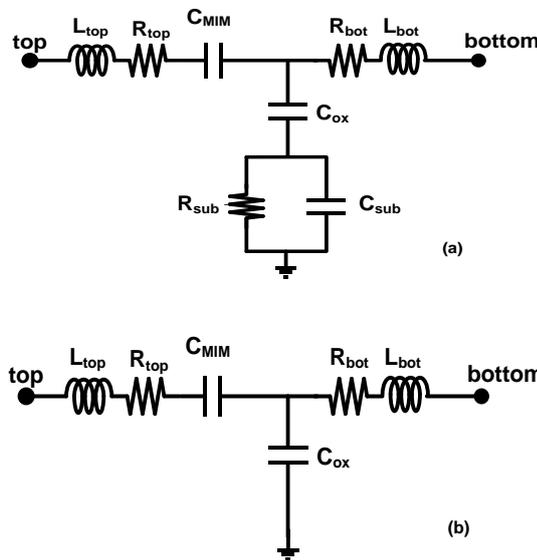


Figure I.8: Modèle électrique de la capacité intégrée a) sur substrat b) avec plan de masse.

I.4.4 Inductance intégrée

L'inductance intégrée est l'un des éléments passifs qu'on peut réaliser sur le substrat du silicium avec une forme spirale (figure I.9). Pour son modèle électrique correspondant, il

est représenté dans la figure I.10 incluant l'inductance de la spire L_s , les pertes séries dans le ruban métallique r_s (notons que r_s regroupent les pertes ohmiques intrinsèques et celles dues à l'effet de peau, à l'effet de proximité et mêmes les pertes par courant de Foucault dans le substrat), la capacité C_s qui représente les capacités entre segments adjacents de la spirale et le recouvrement entre le ruban métallique et le contact central («under-pass»), la capacité C_{ox1} entre la spire et le substrat et en dernier les éléments modélisant le substrat (R_{sub} et C_{sub}).

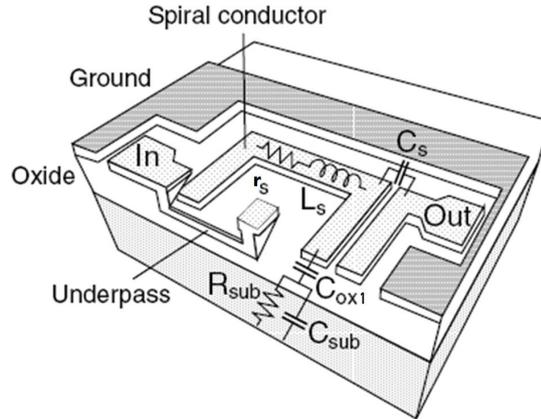


Figure I.9: Coupe 3D de l'inductance spirale intégrée sur substrat [26][27].

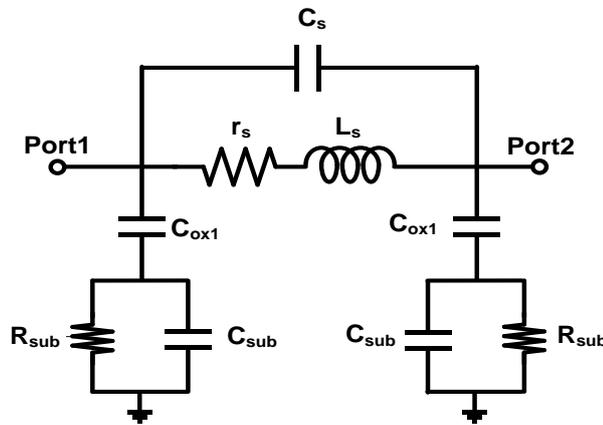


Figure I.10: Modèle électrique de l'inductance [26][27].

Pour l'inductance (L_s) du modèle de la figure I.10, elle peut être estimée approximativement par la relation suivante [26][27]:

$$L_s = \frac{\mu_0 N^2 d_m c_1}{2} \left(\ln \left(\frac{c_2}{\rho_1} \right) + c_3 \rho_1 + c_4 \rho_1^2 \right) \quad (\text{I.12})$$

où N est le nombre de spires, $d_m = 0,5 (d_{out} + d_{in})$ est le diamètre moyen de l'inductance, d_{out} et d_{in} sont respectivement les diamètres extérieur et intérieur de la spirale, $\rho_1 = (d_{out} -$

$d_{in})/(d_{out} + d_{in})$, μ_0 est la perméabilité magnétique du vide, c_i sont des coefficients qui dépendent du type d'inductance (carrée, hexagonale, octogonale, circulaire) dont les valeurs sont obtenues empiriquement.

L'équation (I.12) montre bien que la valeur de la self L_s est proportionnelle au carré du nombre de tours et peut être maximisée par l'augmentation du diamètre moyen. Pour la résistance série, elle est également donnée par la relation (I.1) où l'épaisseur t est remplacée par l'épaisseur effective t_{eff} [26] :

$$r_s = \frac{\rho \cdot L}{W \cdot t_{eff}} \quad (I.13)$$

et t_{eff} est donnée par l'expression :

$$t_{eff} = \delta \left(1 - e^{-\frac{t}{\delta}}\right) \quad (I.14)$$

où δ représente l'épaisseur de peau qui s'exprime par $\delta = \sqrt{\frac{\rho}{\pi \mu_0 f}}$ et f la fréquence de travail.

Selon ces expressions, l'épaisseur effective diminue avec la fréquence, par conséquent la résistance série augmente.

D'après l'équation de r_s , on note que les pertes résistives peuvent être minimisées par l'utilisation d'un ruban épais à base d'un matériau bon conducteur tel que le cuivre. Néanmoins, l'utilisation d'une épaisseur supérieure à la profondeur de peau, à la fréquence visée, est sans intérêt puisque le signal est limité à cette profondeur. Les pertes peuvent être aussi minimisées par l'utilisation d'un ruban large et le plus court possible pour une inductance donnée. Par rapport à la longueur minimale, une self circulaire est meilleure que la self octogonale qui est à son tour meilleure que la self carrée. L'élargissement du ruban ne doit pas se faire sans prendre en considération les capacités parasites vers le substrat car ces dernières augmentent avec la largeur.

Pour les capacités série et d'oxyde, elle sont aussi données par [26][27]:

$$C_s = \frac{N \varepsilon_{ox} \cdot \omega^2}{d_{cc}} \quad (I.15)$$

$$C_{ox1} = \frac{\varepsilon_{ox} \cdot L \cdot W}{2 \cdot t_{ox}} \quad (I.16)$$

où t_{ox} et d_{cc} sont respectivement les épaisseurs de l'oxyde entre le ruban métallique et le substrat, et entre les rubans conducteurs des spires. ε_{ox} est la permittivité diélectrique de l'oxyde.

Pour réduire la capacité C_{ox1} , on essaye souvent de réduire la surface $L W$ du ruban ou d'augmenter l'épaisseur t_{ox} en utilisant le dernier niveau de métal offert par la technologie pour réaliser les spires. Par ailleurs, en termes de pertes, le modèle de l'inductance comprend aussi la capacité et la résistance du substrat qui sont données par les relations suivantes:

$$C_{sub} = \frac{L \cdot W \cdot C_{sb}}{2} \quad (\text{I.17})$$

$$R_{sub} = \frac{2}{L \cdot W \cdot G_{sb}} \quad (\text{I.18})$$

où C_{sb} et G_{sb} sont la capacité et la conductance par unité de surface du substrat silicium. Un blindage de masse en anneau ou un substrat à forte résistivité (peu dopé) peuvent être utilisés afin de minimiser ces pertes.

Pour une inductance spirale, les caractéristiques principales sont sa valeur et son facteur de qualité. Pour déterminer ces derniers, il suffit de les extraire à partir des paramètres de répartition S simulés ou mesurés. Ainsi, deux configurations se présentent pour extraire le facteur de qualité de l'inductance Q , :

Si l'inductance est montée en série, son facteur de qualité est défini par la relation suivante [27]:

$$Q = \frac{|\Im(Y_{12})|}{\Re(Y_{12})} \quad (\text{I.19})$$

Dans l'autre cas, l'un des ports de cette inductance est relié à la masse. Pour cela, le facteur de qualité est exprimé par la formule suivante [27] :

$$Q = \frac{|\Im(Y_{11})|}{\Re(Y_{11})} \quad (\text{I.20})$$

où Y_{ij} sont les paramètres admittances du circuit équivalent de l'inductance intégrée qui peuvent être obtenus après la conversion des paramètres de répartition S_{ij} .

I.5 Outils et méthodes de conception de circuits intégrés CMOS

Pour les outils de conception des circuits intégrés CMOS, il existe actuellement des logiciels englobant des outils de conception liées entre eux, constituant par conséquent des flots de conception selon le domaine d'application. A ce niveau, deux approches différentes existent pour la conception des circuits digitaux et analogiques. En digital, on suit l'approche "Semi-Custom", basée sur la synthèse du circuit en passant d'un langage de description haut niveau (VHDL, Verilog...) au niveau physique du circuit moyennant une librairie standard-cell (inverseur, portes, additionneurs, etc). D'ailleurs, c'est cette approche qui a réellement donné une impulsion au développement rapide des circuits digitaux à forte densité d'intégration. Cependant, en conception analogique, l'approche de conception est appelée l'approche "Full-Custom". Cette dernière utilise directement les éléments de base de la technologie CMOS à savoir le transistor, résistance, capacité, etc. Elle est également dénom-

mée "approche de conception niveau transistor" vu l'influence directe des dimensions et des conditions de polarisation sur les performances de l'application ciblée où tout changement sur ses paramètres pourrait être critique et significatif.

Pour la conception de nos circuits RF, nous exploitons un flot de conception qui prend en considération l'aspect haute fréquence. Pour cela, nous avons utilisé le flot de conception analogique et RF de chez Cadence (Cadence : logiciel pour la conception des circuits intégrés analogiques, digitaux, et haute-fréquences) qui est composé des outils pour le dessin de schéma électrique (outil : Virtuoso Schematic editor), les simulations pré-layout et post_layout (outil : Spectre), le dessin de masques (outil : Virtuoso layout editor), la vérification et l'extraction de paramètres parasites (outil : Assura).

Concernant l'exploitation de ces outils, elle se fait toujours autour d'un kit de conception qui est généralement fourni par un fondeur à l'image de TSMC "Taiwan Semiconductor Manufacturing compagny". Dans notre cas, nous avons utilisé le kit de conception CMOS 0.18 μm de chez TSMC. Ce kit contient toutes les cellules de base (transistors, résistances, inductances, etc) avec les différentes vues (c-à-d vue schematic, vue Layout, etc). Notons que ces cellules sont déjà pré-caractérisées et sous forme de P-Cells (Cellules paramétrables). Ceci permet au concepteur de choisir les dimensions nécessaires de composants pour le circuit à concevoir. La figure I.11 illustre donc le kit de conception CMOS 0.18 μm installé au niveau de logiciel Cadence et les différentes vues de composants.

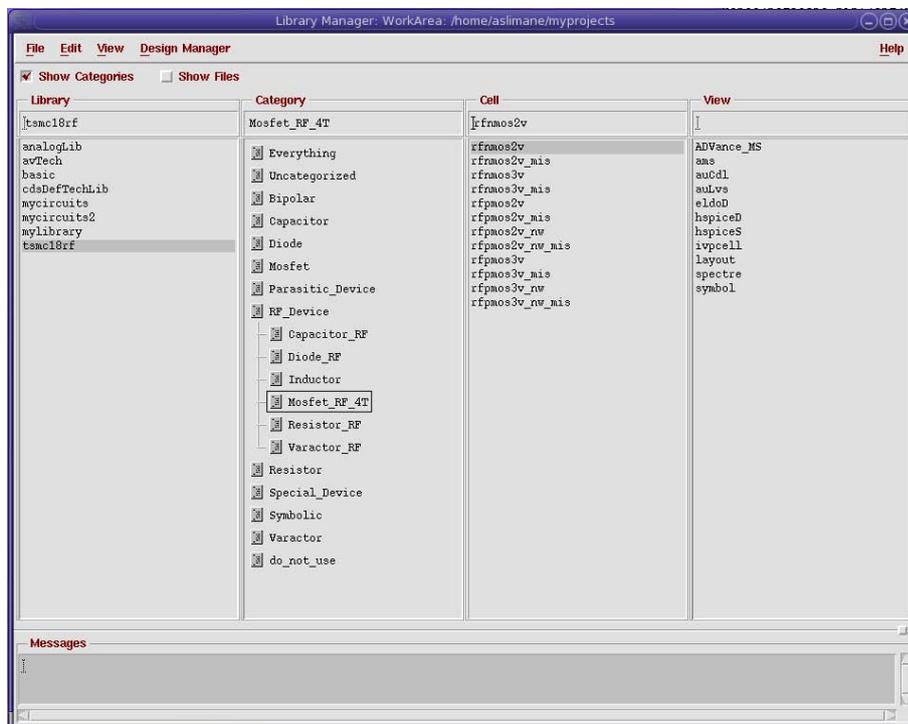


Figure I.11: Kit de conception CMOS 0.18 μm de TSMC sous Cadence

Concernant la méthodologie et les étapes à suivre en vue de concevoir un circuit intégré en technologie CMOS, elles sont décrites selon l'organigramme illustré dans la figure I.12 :

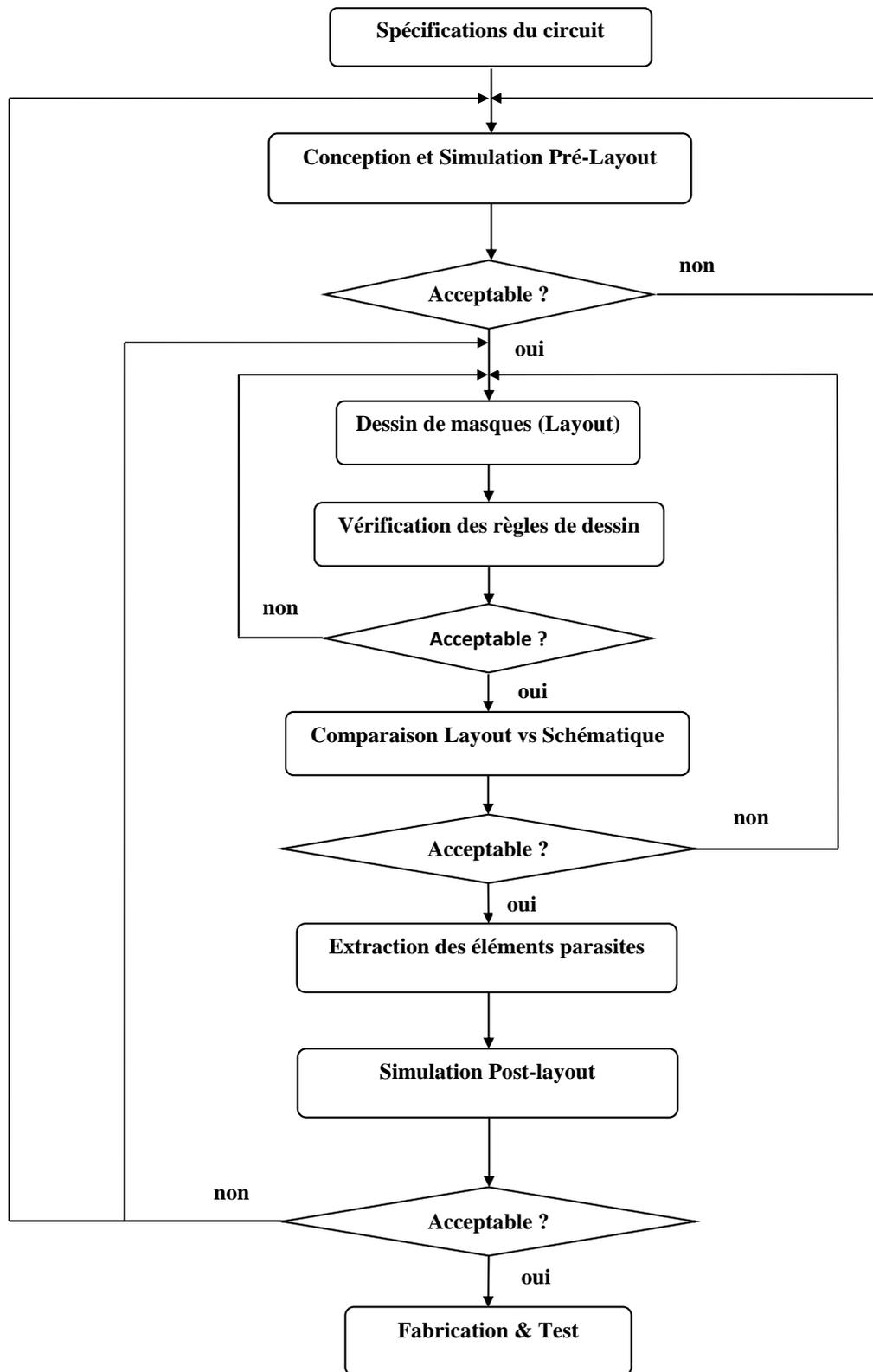
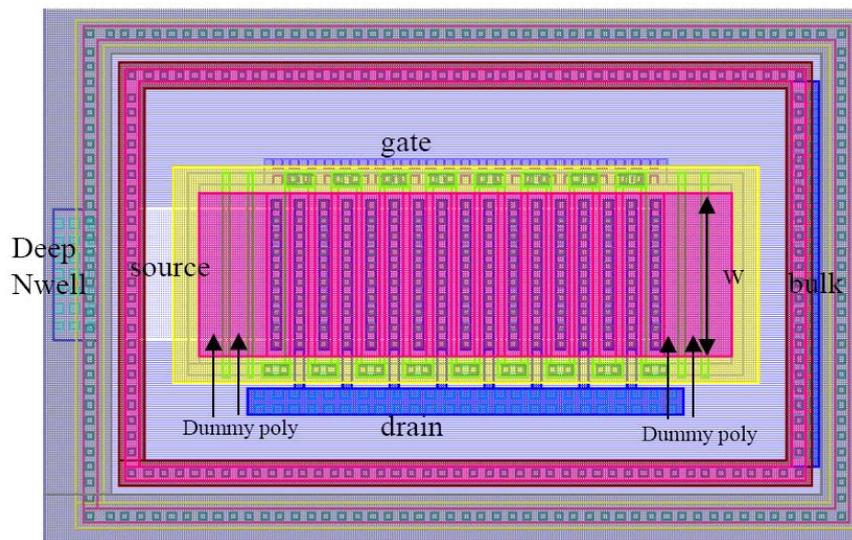


Figure I.12: Étapes de conception de circuits intégrés RF en technologie CMOS

D'après cet organigramme, la conception commence généralement par des spécifications

qui sont souvent exigées pour une application ciblée ou bien déterminées par l'état de l'art en vue d'apporter une valeur ajoutée. A partir de l'objectif défini, le concepteur peut procéder à l'étude théorique et la simulation pré-layout (schéma électrique) du circuit. Si les performances attendues sont atteintes, le concepteur passe à l'étape de layout (dessin de masques) qui représente les couches physiques du circuit comme le montre l'exemple du transistor de la figure I.13. Suite à l'étape du layout, le concepteur devra entamer l'étape de vérification physique qui commence par une vérification de règles de dessin, puis une vérification de ressemblance entre layout et schématique et en dernier lieu l'extraction de paramètres parasites. Après cette étape vérification, le concepteur commence la simulation post-layout de la vue obtenue par extraction pour évaluer les performances du circuit. Si les résultats de simulation sont acceptables, le circuit sera fabriqué et testé. Dans le cas contraire, il faut revoir les étapes antérieures pour corriger et/ou ajuster le circuit.



Layout NMOS $W = 5 \mu\text{m}$ $L = 0.18 \mu\text{m}$ $N = 16$ fingers

Figure I.13: Exemple de dessin de masques d'un dispositif CMOS actif «MOSFET»

I.6 Conclusion

Dans ce chapitre, nous avons rappelé l'importance de l'évolution des technologies à semi-conducteurs et plus particulièrement l'intérêt d'utilisation de la technologie CMOS pour les applications radio-fréquences et millimétriques. Ensuite, nous avons donné un aperçu sur la technologie CMOS $0.18 \mu\text{m}$, suivi d'une description de composants de base de cette technologie, notamment le MOSFET et les éléments passifs. Enfin, une description générale a été donnée sur les différents flots de conception, suivie d'un rappel des outils Cadence à utiliser pour la conception RF et un organigramme illustratif expliquant les étapes de conception à suivre dans le cas d'un circuit intégré RF.

CHAPITRE II

Théorie des amplificateurs distribués conventionnels

II.1 Introduction

L'intérêt porté aux circuits large bande ne cesse de croître vu la diversité et le nombre d'applications issues de l'évolution rapide de nouvelles technologies de communication nécessitant un échange rapide de données et un transfert à haut débit. De l'émetteur-récepteur radio large bande, aux circuits à haute fréquence pour l'instrumentation et jusqu'aux radars de haute résolution, les circuits distribués retrouvent incontestablement leur place et ce, grâce à l'avancé spectaculaire des technologies à faible coût et grand volume de production telle que la technologie du silicium. Ce type de circuits montre d'une part la qualité de performances offertes, et d'autre part, la simplicité du concept de circuits distribués. Ce concept repose sur la multiplicité de chemins parallèles fonctionnant en harmonie pour réaliser une fonction désirée, alors que les circuits conventionnels sont souvent caractérisés par un seul chemin pour le signal.

L'amplificateur distribué (AD) est un circuit connu pour ses propriétés de gain uniforme sur une très large bande de fréquence (jusqu'à plusieurs dizaines de GHz) et pour des applications dans les domaines du radar, d'instrumentation et de communication optique. Jusqu'à très récemment, les amplificateurs distribués étaient presque exclusivement réalisés avec les technologies à base de matériaux III-V (Exemple : GaAs), ce qui leur permettent d'atteindre des bandes de fréquence de largeur supérieure à 100 GHz [28-29]. En effet, les technologies à base de matériaux III-V produisent à la fois des transistors ayant des fréquences de coupure bien plus élevées qu'avec les technologies du silicium et des substrats quasi-isolants permettant de réaliser des lignes de transmission ou des inductances aux pertes très faibles, contrairement aux substrats de résistivité standard ($1-10\Omega.cm$) des technologies du silicium.

Cependant, depuis quelques années, les performances en fréquence des technologies silicium se sont nettement améliorées, puisque les transistors MOSFET à l'échelle nanométrique présentent désormais des fréquences de coupure supérieures à 150 GHz [30]. La réalisation de circuits fonctionnant dans la gamme des ondes millimétriques est désormais possible sur silicium qui a l'avantage de pouvoir intégrer les circuits numériques rapides, à basse consommation et à faible coût sur la même puce, contrairement aux technologie à base de matériaux III-V.

Dans ce chapitre, nous allons rappeler succinctement la théorie très abondante de l'amplification distribuée pour la réalisation de circuits à large bande. Le concept de ce type d'amplificateur sera abordé sous l'angle de la particularité de sa conception, de son fonctionnement, et de ses caractéristiques fondamentales en termes de fréquence de coupure, du gain en puissance et des pertes. En outre, la performance du bruit sera également prise en considération en rappelant les différentes sources de bruit y contribuant et le facteur du bruit de l'amplificateur distribué. La topologie de la cellule amplificatrice fera aussi l'objet de notre intérêt vu son apport en terme de produit gain-bande passante.

II.2 Historique de l'amplificateur distribué

Pour tout circuit amplificateur conventionnel, la performance du gain est, par définition, le rapport du signal de sortie sur celui de l'entrée. Que cette performance soit élevée est souvent l'exigence des cahiers de charges pour une amplification du signal appréciable. Par conséquent, la mise en cascade de plusieurs transistors permet assurément d'offrir cette performance. Cependant, cette topologie souffre forcément de la diminution de la fréquence maximale engendrée par l'addition des capacités en sortie et en entrée. Ainsi, la bande passante résultante reste limitée et le produit gain-bande passante devient sensiblement constant.

Le principe de l'amplificateur distribué a été proposé en 1937 par W.S. Perceval [31] et il fut implémenté pour la première fois à partir des tubes pentodes par E.L. Ginzton et al. en 1948 [32]. D'autres travaux sont également apparus dans les années 60 et 70 [33-36]. Cependant, son utilisation s'est répandue à partir des années 80 et de très nombreuses études ont été réalisées. Cet amplificateur a également permis, par le biais de son architecture, d'augmenter le gain suite à l'addition des transconductances de cellules amplificatrices mises en parallèle telles que les transistors à effet de champ. Mais l'originalité principale de cet amplificateur a pratiquement apporté une solution au problème de limitation de la bande passante émanant des capacités du transistor. En effet, au contraire du cas conventionnel, l'amplificateur distribué intègre les capacités d'entrée et de sortie des transistors dans des lignes de transmission artificielles offrant ainsi des bandes passantes assez intéressantes puisque ces lignes sont essentiellement caractérisées par la bande large.

II.3 Principe de fonctionnement de l'amplificateur distribué

Dans la figure II-1, le schéma de principe de l'amplificateur distribué illustre les deux lignes artificielles de transmission caractérisant l'entrée et la sortie de l'amplificateur où chaque ligne dispose de deux accès. Pour la ligne d'entrée, un premier accès est utilisé pour l'entrée du signal et le deuxième se termine par une charge adaptée égale à l'impédance caractéristique de la ligne. De même pour la sortie, un accès est employé pour la sortie du signal amplifié, par contre le deuxième se termine également par une charge d'adaptation théoriquement égale à l'impédance caractéristique de la ligne. Par ailleurs, le couplage entre les deux lignes s'effectue moyennant des cellules amplificatrices distribuées, disposées en parallèle et reliées par des tronçons de lignes (figure II-1 (a)) ou d'inductances (figure II-1(b)). Dans le cas des tronçons de ligne de transmission, on parle alors d'amplificateur à onde progressive (Travelling Wave Amplifier).

Ainsi, tout signal hyperfréquence appliqué à l'entrée du premier accès de l'amplificateur distribué traverse progressivement toute la ligne d'entrée jusqu'à sa deuxième extrémité. Au cours de ce trajet, une partie de ce signal est prélevée à différentes phases par les cellules amplificatrices puis amplifiée et transférée sur la ligne de sortie. En revanche, la partie

restante du signal incident est absorbée par la charge qui se trouve au bout de la même ligne.

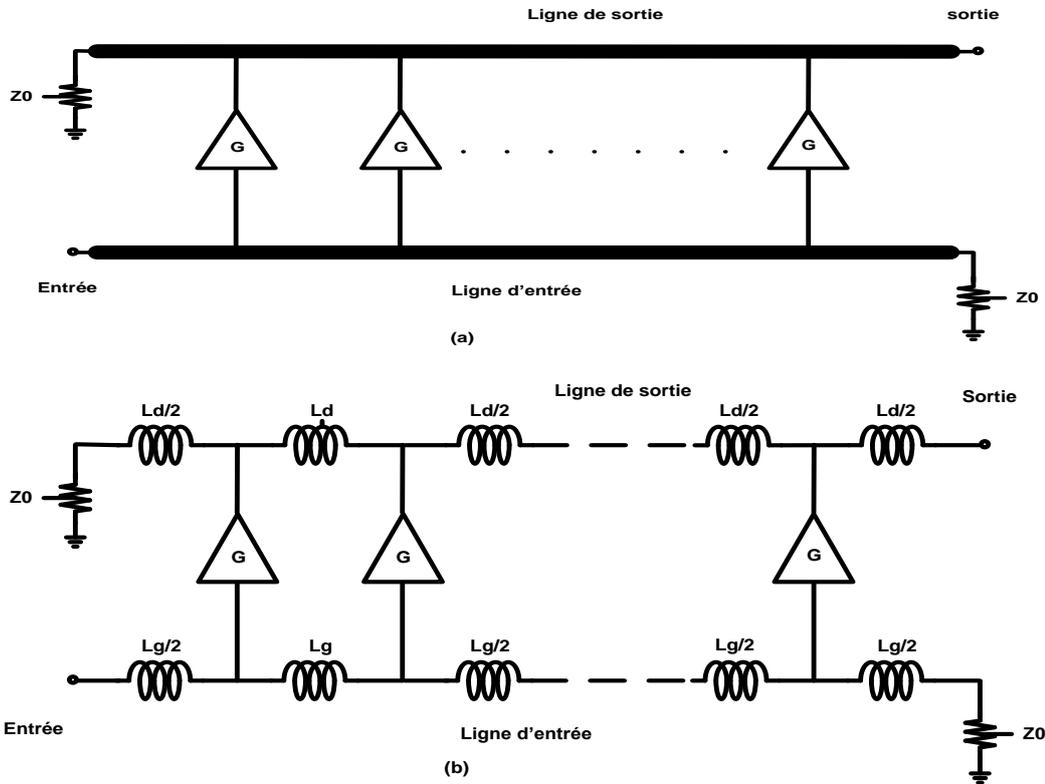


Figure II.1: Schéma de principe de l'amplificateur distribué à base (a) de lignes de transmission (b) d'inductances.

Par ailleurs, la cellule amplificatrice distribuée est généralement composée d'une topologie simple à base d'un seul transistor, monté en source commune, ou bien d'une topologie plus ou moins complexe pour une transconductance élevée. Néanmoins, il ne faut pas que la topologie choisie sature le gain totale de l'amplificateur, ni engendre des pertes.

II.4 Amplificateur distribué à base d'une cellule simple

Afin de mieux comprendre le fonctionnement de l'amplificateur distribué, il est indispensable de se référer à la plus simple architecture distribuée dans sa représentation. De ce fait, les cellules amplificatrices de la figure II-1 sont substituées par des transistors à effet de champ, montés en source commune, tel que l'illustre la figure II-2.

Ces transistors sont donc placés en parallèle dans la structure et reliés par des inductances au niveau des grilles ainsi qu'aux drains. C'est ainsi qu'on peut clairement distinguer les deux lignes de transmission artificielles, où les lignes d'entrée et de sortie sont respectivement appelées ligne de grille et ligne de drain suite à leur liaison de part et d'autre aux grilles et drains des transistors.

De même, lorsqu'on applique un signal à l'entrée de la ligne grille, ce dernier se propage sur toute la ligne afin qu'il soit amplifié à la ligne de drain. Mais pour atteindre l'amplification attendue, il faut que les parties du signal prélevées par les transistors sur la ligne de grille aux points A et B se recombinent en phase au point D. Cette condition ne sera vérifiée que si les vitesses de phase des chemins A-B-D et A-C-D soient égales.

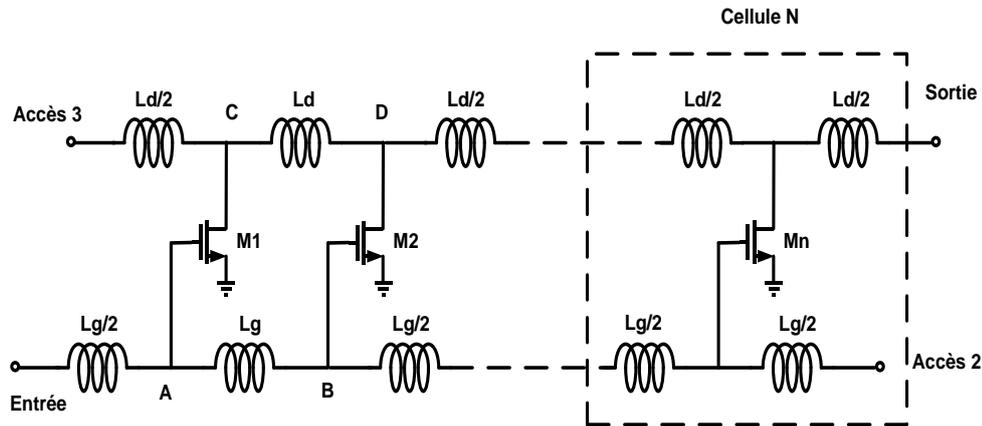


Figure II.2: L'amplificateur distribué à base de transistors.

A la ligne de drain, les signaux amplifiés se divisent en deux au niveau du drain de chaque transistor. Les signaux se propageant dans la direction de la sortie sont en phase alors que ceux se propageant dans le sens inverse sont déphasés et absorbés par la charge adaptée à l'impédance caractéristique de la ligne.

En remplaçant les transistors constituant l'amplificateur distribué de la figure II-2, par leur schéma équivalent simplifié, on obtiendra donc un circuit détaillé de l'amplificateur tel qu'illustré dans la figure II.3.

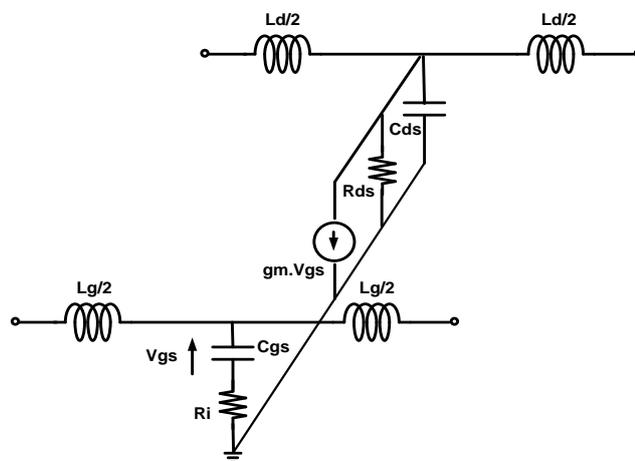


Figure II.3: Schéma électrique d'une cellule de l'amplificateur distribué avec un modèle simplifié du transistor à effet de champ.

Ceci dit que toute analyse de l'amplificateur distribué revient donc à synthétiser deux lignes artificielles de transmission d'entrée et de sortie couplées aux éléments intrinsèques des transistors à effet de champ. Comme le présente la figure II-3 nous avons :

- une ligne de grille constituée des inductances L_g combinées aux éléments intrinsèques d'entrée du transistor (capacité C_{gs} en série avec la résistance R_i)
- une ligne de drain constituée des inductances L_d combinées aux éléments intrinsèques de sortie du transistor (capacité C_{ds} en parallèle avec la résistance R_{ds})

Par ailleurs, la source de courant $g_m \cdot V_{gs}$ permet quant à elle d'assurer le couplage actif entre ces deux lignes artificielles.

II.4.1 Propriétés des lignes de grille et de drain

Les vitesses de propagation sur les lignes de grille et de drain doivent être égales pour que les signaux s'additionnent en phase à la sortie de chaque étage. Le gain est alors la somme des gains (en linéaire) fournis par chaque étage. Dans un amplificateur comportant suffisamment d'étages pour négliger les effets de bord de la ligne de drain, le signal se divise en deux à la sortie de chaque étage, une partie se propageant vers la sortie et l'autre vers l'impédance de terminaison de la ligne drain R_{term} . L'onde qui se propage dans le sens avant sur la ligne de grille et celle qui est rétro-propagée sur la ligne de drain doivent être le plus possible absorbées pour éviter les réflexions multiples qui auraient pour effet de détériorer le temps de groupe, de créer des ondulations de la réponse fréquentielle ou des échos sur la réponse impulsionnelle. Les charges de terminaison de ligne R_{term} sont accordées aux impédances caractéristiques de leur ligne.

II.4.1.1 Fréquence de coupure

Si l'on considère le cas d'un amplificateur distribué simple tel que montré dans la figure II-3, les lignes de grille et de drain peuvent être vues comme des filtres passe-bas LC. En supposant la ligne terminée par une charge égale à son impédance caractéristique et en posant également $\omega R_i C_{gs} \ll 1$, on détermine la fréquence de coupure de la ligne de grille comme étant :

$$f_c = \frac{2}{2\pi \sqrt{L_g C_{gs}}} \quad (\text{II.1})$$

On observe ici l'influence de la capacité de sortie C_{gs} du transistor. En effet, plus la valeur de cette capacité est grande, plus la bande passante de la ligne de grille et donc de l'amplificateur complet est réduite. En conséquence, ce constat impose au concepteur de prendre en considération le choix de la taille du transistor en fonction de sa fréquence maximale car nous savons que la capacité C_{gs} est directement proportionnelle au développement

de la grille du transistor. Le concepteur devra donc choisir le composant actif de façon à faire un compromis entre le gain et la bande passante de l'amplificateur.

II.4.1.2 Impédance caractéristique

La détermination des impédances caractéristiques des lignes de grille et de drain est une étape essentielle de la conception. En effet, une ligne ne présentera pas d'onde stationnaire si elle est fermée sur son impédance caractéristique, n'entraînant ainsi aucune réflexion de l'énergie qui se propage puisque celle-ci est absorbée par la charge. La ligne est alors dite adaptée.

L'impédance caractéristique d'une ligne de transmission est déterminée par la relation [37] suivante :

$$Z_c = \sqrt{Z_{co}Z_{cc}} \quad (\text{II.2})$$

où Z_{co} et Z_{cc} représentent l'impédance d'entrée de la ligne chargée respectivement sur un circuit ouvert et sur un court-circuit.

Une ligne de transmission peut être décomposée en cellules élémentaires de structure T ou π dont les topologies sont données dans la figure II-4. A partir de ces circuits, on en déduit les impédances caractéristiques des sections de ligne selon leur structure :

$$Z_{cT} = \sqrt{Z_1 Z_2} \sqrt{1 + \frac{Z_1}{4Z_2}} \quad (\text{II.3})$$

$$Z_{c\pi} = \frac{\sqrt{Z_1 Z_2}}{\sqrt{1 + \frac{Z_1}{4Z_2}}} \quad (\text{II.4})$$

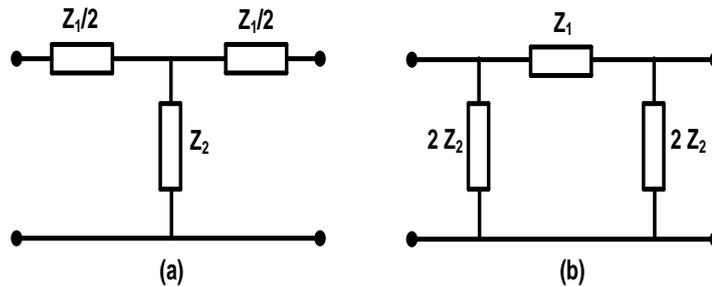


Figure II.4: Cellules élémentaires en T (a) et π (b) d'une ligne de transmission.

Si l'on décompose les lignes de grille et de drain en cellules élémentaires, on obtient les circuits de la figure II-5.

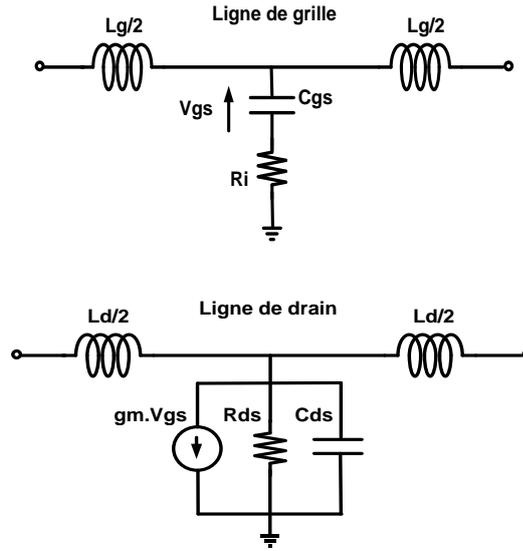


Figure II.5: Schéma électrique des cellules des lignes de grille et de drain.

Par analogie entre les circuits de la figure II-5 et le schéma d'une cellule élémentaire de structure T d'une ligne de transmission (figure II-4-(a)), nous pouvons en déduire les expressions des impédances caractéristiques des lignes de grille et de drain de l'amplificateur distribué simple selon la configuration considérée T ou π :

pour la ligne de grille :

$$Z_{cgT} = \sqrt{\frac{L_g}{C_{gs}}} \sqrt{1 - \frac{L_g C_{gs} \omega^2}{4} + j R_i C_{gs} \omega} \quad (\text{II.5})$$

$$Z_{cg\pi} = \sqrt{\frac{L_g}{C_{gs}}} \frac{1 + j R_i C_{gs} \omega}{\sqrt{1 - \frac{L_g C_{gs} \omega^2}{4} + j R_i C_{gs} \omega}} \quad (\text{II.6})$$

pour la ligne de drain :

$$Z_{cdT} = \sqrt{\frac{L_d}{C_{ds}}} \sqrt{1 - \frac{L_d C_{ds} \omega^2}{4} - \frac{1}{1 + j R_{ds} C_{ds} \omega}} \quad (\text{II.7})$$

$$Z_{cd\pi} = \sqrt{\frac{L_d}{C_{ds}}} \frac{\sqrt{1 - \frac{1}{1 + j R_{ds} C_{ds} \omega}}}{\sqrt{1 - \frac{L_d C_{ds} \omega^2}{4} + \frac{j L_d \omega}{4 R_{ds}}}} \quad (\text{II.8})$$

Ces expressions montrent que les impédances caractéristiques des lignes de grille et de drain dépendent de la fréquence. Ainsi, les charges résistives de ces lignes R_g et R_d ne permettront donc pas de réaliser une adaptation correcte sur toute la bande de fréquence de l'amplificateur. Le concepteur devra alors porter une certaine attention aux effets des réflexions sur la charge qui seront critiques aux hautes fréquences. Pour y remédier, il doit

utiliser les cellules m-dérivés aux accès 2, 3 et 4.

II.4.1.3 Constante de propagation

D'une manière générale, la constante de propagation θ du signal le long d'une ligne est donnée par la relation :

$$\theta = \alpha + j\beta \quad (\text{II.9})$$

où α et β représentent respectivement l'atténuation et le déphasage imposés par la ligne au signal.

En analysant les cellules élémentaires en T, on obtient :
pour la ligne de grille:

$$\alpha_g = \frac{\omega R_i C_{gs} \sqrt{L_g C_{gs} \omega^2}}{\sqrt{4 + (2R_i C_{gs} \omega)^2 - L_g C_{gs} \omega^2}} \quad (\text{II.10})$$

$$\beta_g = \arccos \left[1 - \frac{L_g C_{gs} \omega^2}{2 [1 + (R_i C_{gs} \omega)^2]} \right] \quad (\text{II.11})$$

pour la ligne de drain:

$$\alpha_d = \sqrt{\frac{L_d}{C_{ds}}} \frac{1}{R_{ds} \sqrt{4 - L_d C_{ds} \omega^2}} \quad (\text{II.12})$$

$$\beta_d = \arccos \left[1 - \frac{L_d C_{ds} \omega^2}{2} \right] \quad (\text{II.13})$$

II.4.2 Gain en puissance des amplificateurs distribués

Le gain en puissance est une caractéristique fondamentale de l'amplificateur distribué. Il permet de déterminer le rapport d'amplification entre la puissance du signal de sortie et celui de l'entrée du dispositif. Il est également nécessaire à la bonne compréhension des amplificateurs distribués, notamment en termes de bruit et de la réponse en fréquence (influences des réflexions, ...).

A cause de l'atténuation des lignes artificielles, le gain d'un amplificateur distribué ne peut être augmenté indéfiniment en ajoutant des étages supplémentaires. En effet, quand le signal se propage le long de la ligne de grille, chaque étage reçoit successivement moins de signal que le précédent en raison de l'atténuation de la ligne de grille. De même, le signal délivré à la sortie de chaque étage et qui se propage sur la ligne de drain est atténué par les sections de ligne jusqu'à la sortie de l'amplificateur distribué. Le gain de l'amplificateur distribué augmente donc avec des étages supplémentaires jusqu'à ce que le nombre optimal d'étages à une fréquence donnée soit atteint.

Une analyse théorique du gain de l'amplificateur distribué source commune a déjà été proposée par Beyer et al. en 1984 [38]. Sans refaire la démarche détaillée pour l'étude du gain en puissance, nous rappelons essentiellement les paramètres rentrant dans le calcul de ce gain en se basant sur le schéma de la figure II.6. Il s'agit donc de définir l'évolution de la tension de commande tout au long de la ligne grille ainsi que le courant de sortie global.

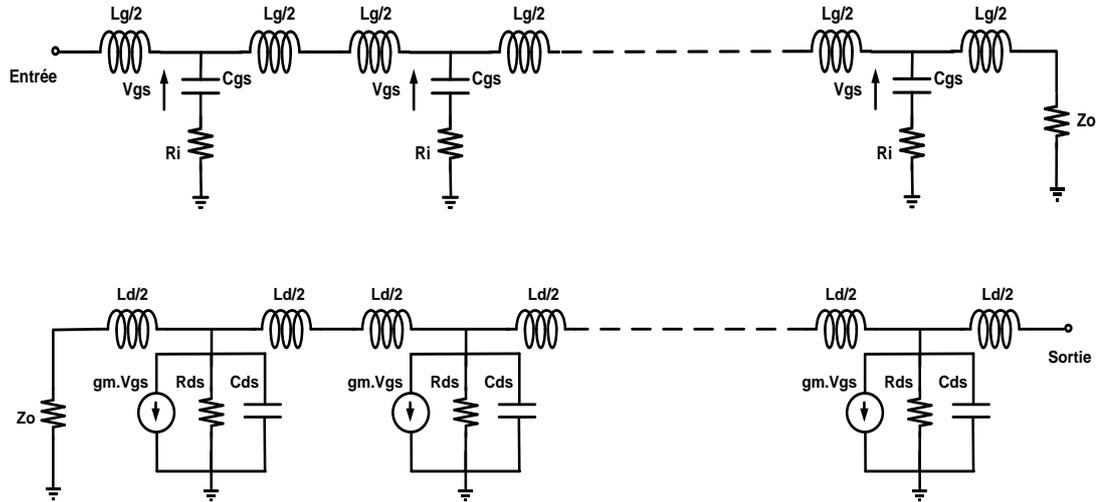


Figure II.6: Schéma électrique des lignes de grille et de drain.

II.4.2.1 Tensions de commande à la ligne d'entrée

Pour la tension de commande V_{gsi} aux bornes de la capacité C_{gs} du i ème transistor, elle peut être exprimée en fonction de la tension d'entrée V_e par la relation suivante [38]:

$$V_{gsi} = \frac{\exp \left[-\frac{(2i-1)\theta_g}{2} - j \tan^{-1} \left(\frac{\omega}{\omega_g} \right) \right]}{\sqrt{1 + \left(\frac{\omega}{\omega_g} \right)^2 \cdot \left(1 - \left(\frac{\omega}{\omega_c} \right)^2 \right)}} \cdot V_e \quad (\text{II.14})$$

où $\omega_g = \frac{1}{R_i C_{gs}}$ et $\omega_c = 2\pi f_c$

II.4.2.2 Courant de sortie

Soit I_{si} le courant de sortie de la i ème cellule élémentaire de la ligne de drain. En considérant que la ligne de drain présente une charge adaptée à sa terminaison, le courant I_{di} de sortie du i ème transistor se divise en deux courants égaux se propageant en sens inverse l'un de l'autre (l'un vers la sortie, l'autre vers la charge où il sera absorbé). La partie du courant contribuant au courant de sortie global I_s de l'amplificateur subit les déphasages et atténuation de la ligne de drain. Par conséquent, la contribution I_{si} de chaque cellule peut

s'écrire par la relation suivante [38] :

$$I_{si} = \frac{I_{di}}{2} e^{-(n-i)\theta_d} \cdot e^{-\theta_d/2} \quad (\text{II.15})$$

et

$$I_{di} = g_m V_{gsi} \quad (\text{II.16})$$

Si l'on considère que les constantes de phase des deux lignes sont égales c-à-d $\beta_g = \beta_d = \beta$, nous pouvons exprimer le courant de sortie global de l'amplificateur à partir des équations II.14, II.15 et II.16. Sachant que ce courant est la somme des contributions de n cellules élémentaires $I_s = \sum_{i=1}^n I_{si}$ qui est donné par la relation suivante [38]:

$$I_s = \frac{g_m V_e}{2} \cdot \frac{e^{-\frac{n}{2}(\alpha_d + \alpha_g)}}{\sqrt{1 + \left(\frac{\omega}{\omega_g}\right)^2} \cdot \left(1 - \left(\frac{\omega}{\omega_c}\right)^2\right)} \cdot \frac{\sinh \frac{n}{2}(\alpha_d - \alpha_g)}{\sinh \frac{(\alpha_d - \alpha_g)}{2}} \cdot e^{-j\left(n\beta + \tan^{-1}\left(\frac{\omega}{\omega_g}\right)\right)} \quad (\text{II.17})$$

II.4.2.3 Gain en puissance

Si l'on note P_e et P_s les puissances d'entrée et de sortie de l'amplificateur, c'est-à-dire à l'entrée de la ligne de grille et à la sortie de la ligne de drain, on obtient les expressions suivantes :

$$P_e = \frac{1}{2} \Re [V_e \cdot I_e^*] = \frac{1}{2} \Re \left[V_e \cdot \frac{V_e^*}{Z_{cgT}} \right] = \frac{1}{2} |V_e|^2 \cdot \Re \left[\frac{1}{Z_{cgT}} \right] \quad (\text{II.18})$$

$$P_s = \frac{1}{2} \Re [V_s \cdot I_s^*] = \frac{1}{2} \Re [Z_{cdT} \cdot I_s \cdot I_s^*] = \frac{1}{2} |I_s|^2 \cdot \Re [Z_{cdT}] \quad (\text{II.19})$$

Si l'on admet l'approximation $\Im(Z_{cdT}) \ll \Re(Z_{cdT})$ d'où $\Re\left(\frac{1}{Z_{cdT}}\right) = \frac{1}{\Re(Z_{cdT})}$. Le gain en puissance l'amplificateur distribué G_p qui est le rapport de P_s sur P_e s'écrira comme suit [38]:

$$G_p = \frac{P_s}{P_e} = \frac{g_m^2}{4} \sqrt{\frac{L_g}{C_{gs}}} \sqrt{\frac{L_d}{C_{ds}}} \cdot \frac{e^{-n(\alpha_d + \alpha_g)}}{\left(1 + \left(\frac{\omega}{\omega_g}\right)^2\right) \cdot \left(1 - \left(\frac{\omega}{\omega_c}\right)^2\right)} \cdot \frac{\sinh^2\left(\frac{n}{2}(\alpha_d - \alpha_g)\right)}{\sinh^2\left(\frac{(\alpha_d - \alpha_g)}{2}\right)} \quad (\text{II.20})$$

où $Z_{0g} = \sqrt{\frac{L_g}{C_{gs}}}$ et $Z_{0d} = \sqrt{\frac{L_d}{C_{ds}}}$ sont respectivement les impédances caractéristiques des lignes de grille et de drain en basses fréquences.

II.4.2.4 Nombre optimal de transistors

Le gain G_p est maximal pour un nombre optimal de transistors, dont l'expression est [38] :

$$N_{opt} = \frac{\ln(\alpha_d) - \ln(\alpha_g)}{\alpha_d - \alpha_g} \quad (\text{II.21})$$

Au delà de N_{opt} , l'ajout d'un transistor ne fait pas accroître G_p car les signaux voient leurs amplitudes diminuer au fur et à mesure qu'ils se déplacent le long des lignes. Ce transistor supplémentaire reçoit donc un signal si faible qu'on peut l'assimiler à du bruit.

II.4.3 Facteur de bruit des amplificateurs distribués

Si de nombreuses analyses ont été faites sur le gain et la bande passante par rapport à la mise au point de l'amplificateur distribué, peu en revanche ont été conduites sur ses propriétés en bruit. Les mécanismes de génération du bruit dans cette structure sont en effet différents de ceux entrant en jeu dans les amplificateurs cascades.

Le calcul complet du facteur de bruit d'un amplificateur distribué peut être retrouvé à la référence [39]. Les seules sources de bruit prises en compte sont les densités spectrales de bruit générées par les impédances du générateur, les terminaisons des lignes de grille et drain et les sources de bruit apportées par les cellules amplificatrices en l'occurrence des MESFETs sans pertes (figure II.7).

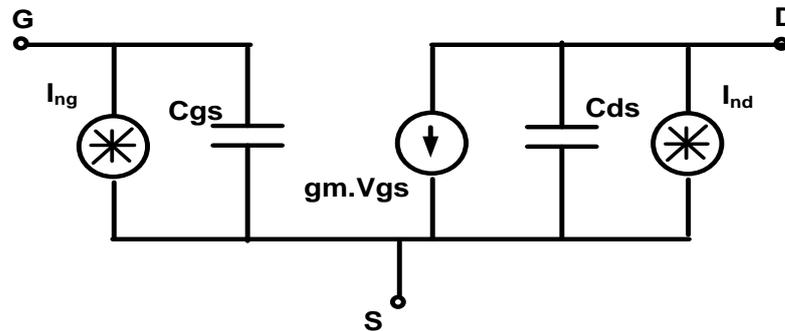


Figure II.7: Schéma simplifié du MESFET avec sources de bruit (Atchison) [39].

Pour les densités spectrales des sources de bruit de courant de la figure précédente, elles sont données par les relations suivantes[24] :

$$S_{I_{ng}} = 4kTR \frac{\omega^2 C_{gs}^2}{g_m} \quad (\text{II.22})$$

$$S_{I_{nd}} = 4kTPg_m \quad (\text{II.23})$$

où R et P sont des facteurs numériques définis par Van der Ziel pour les modèles de bruit dans le cas du MESFET [24]. Notons que ces mêmes facteurs sont respectivement l'équivalent des facteurs γ et δ définis dans le cas du MOSFET dans le chapitre I.

La puissance de bruit disponible à la source est égale à kTB . La puissance de bruit dissipée dans la charge de sortie est égale à $kTB \cdot G_f$, avec G_f le gain direct "forward", soit [39]:

$$P_{n1} = kTB \frac{n^2 g_m^2 Z_{cg\pi} Z_{cd\pi}}{4} \quad (\text{II.24})$$

La puissance de bruit disponible à la terminaison de la ligne de grille est égale à kTB . La puissance de bruit dissipée dans la charge de sortie est égale à $kTB \cdot Gr$, avec Gr le gain inverse "reverse", soit [39]:

$$P_{n2} = kTB \frac{n^2 g_m^2 Z_{cg\pi} Z_{cd\pi}}{4} \left(\frac{\sin(n\beta)}{\sin\beta} \right)^2 \quad (\text{II.25})$$

La puissance disponible à la terminaison de la ligne de drain est égale à kTB . La puissance de bruit dissipée dans la charge de sortie venant des n MESFETs est donnée par [39]:

$$P_{n3} = 4kTB \cdot \left[\left(\frac{1}{4} g_m Z_{cg\pi} \right)^2 \cdot R \frac{\omega^2 C_{gs}^2}{g_m} \cdot \sum_{r=1}^n f(r, \beta) + \frac{n g_m P}{4} \right] \cdot Z_{cd\pi} \quad (\text{II.26})$$

où r est une référence au r -ème transistor des n MESFETs, et

$$f(r, \beta) = (n-r+1)^2 + \left(\frac{\sin(r-1)\beta}{\sin\beta} \right)^2 + \frac{2(n-r+1)\sin(r-1)\beta \cos(r\beta)}{\sin\beta} \quad (\text{II.27})$$

La définition du facteur de bruit et toutes les puissances de bruit (Eq.II.24) - (Eq.II.26) ramenées sur la charge de sortie, permettent d'écrire [39]:

$$F = 1 + \left(\frac{\sin(n\beta)}{n\sin\beta} \right)^2 + \frac{4}{n^2 g_m^2 Z_{cg\pi} Z_{cd\pi}} + \frac{Z_{cg\pi} \omega^2 R \sum_{r=1}^n f(r, \beta)}{n^2 g_m} + \frac{4P}{n g_m Z_{cg\pi}} \quad (\text{II.28})$$

Si l'on examine la relation (II.28), on s'aperçoit que :

1. Le deuxième terme est faible lorsque n est élevé, sauf lorsque $n\beta$ est proche de 0 ou π .
2. Le troisième terme, qui est l'inverse du gain direct, diminue lorsque n augmente.
3. Le quatrième terme, dont l'origine est due à la source de bruit de grille, est proportionnel à n .
4. Le dernier terme, dont l'origine est due à la source de bruit du drain, est inversement proportionnel à n .

Pour n assez grand, la formule (II.28) peut être réduite à :

$$F = 1 + \frac{n \cdot R \cdot Z_{cg\pi} \omega^2 C_{gs}^2}{3g_m} + \frac{4P}{ng_m Z_{cg\pi}} \quad (\text{II.29})$$

Cette formule est très utile lors de la conception d'un amplificateur distribué à faible bruit. Ce type d'amplificateur peut servir à l'amplification de faibles signaux. Il faut donc que l'amplificateur apporte un minimum de bruit pour ne pas couvrir le signal du dispositif. De l'équation (II.29), on détermine un facteur de bruit minimum F_{min} pour un produit optimal $(n \cdot Z_{cg\pi})$, donné par :

$$(n \cdot Z_{cg\pi})_{opt} = \frac{2}{\omega C_{gs}} \sqrt{\frac{3P}{R}} \quad (\text{II.30})$$

enfin, l'expression du facteur de bruit minimum F_{min} est donnée par l'expression suivante [39]:

$$F_{min} = 1 + \frac{2 \omega C_{gs}}{g_m} \sqrt{\frac{4 R P}{3}} \quad (\text{II.31})$$

II.5 Topologies de la cellule amplificatrice

Ayant décrit succinctement la théorie générale des amplificateurs distribués, nous revenons dans cette partie aux topologies utilisées pour implémenter une cellule amplificatrice. Vu que le gain de cette cellule doit être positif et important, un choix judicieux de la topologie s'impose pour répondre à ce critère. Dans le cas de transistors discrets (MESFET), les cellules du gain sont souvent conçues à base d'un montage en source commune. Cependant, l'avantage de la technologie CMOS réside dans la facilité de dimensionner et la possibilité de combiner plusieurs transistors en vue d'avoir un gain le plus élevé possible. Malgré cela, nous allons citer que les deux topologies les plus répandues dans la littérature des amplificateurs distribués en technologie CMOS .

II.5.1 Topologie simple

Dans la figure II.8a [22], le transistor MOSFET, monté en source commune, représente la plus simple topologie utilisée vu son gain relativement élevé et ses capacités intrinsèques d'entrée et de sortie qui facilitent la conception de l'amplificateur distribué. Cependant, l'inconvénient majeur de cette topologie réside dans la valeur de la capacité équivalente en entrée qui pourrait être d'une valeur très élevée due à l'effet Miller (la liaison capacitive entre l'entrée et la sortie par la capacité C_{gd}). Cet inconvénient se manifeste explicitement par une fréquence de coupure de la ligne de grille assez faible réduisant par conséquent la bande passante de l'amplificateur.

Dans la figure II.8b [22], le transistor MOSFET est monté en grille commune ce qui permet d'isoler l'entrée de la sortie en présentant de ce fait un transistor unilatéral. Son gain reste plus faible que celui du montage source commune. Par ailleurs, le bruit généré de cette topologie est relativement important.

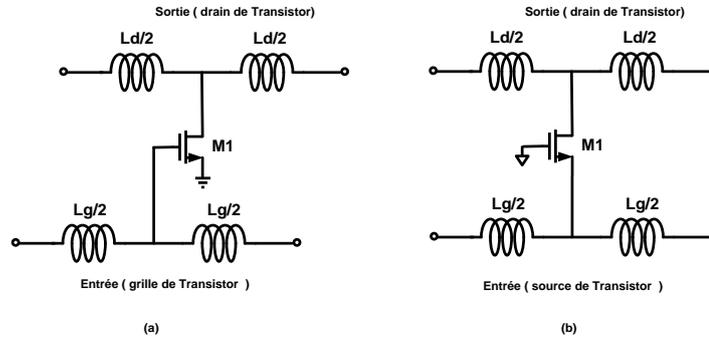


Figure II.8: Schémas de cellules à base d'une (a) topologie source commune et topologie grille commune (b).

II.5.2 Topologie cascode

Pour remédier à la contrainte engendrée par l'effet Miller dans le cas d'une cellule à base d'un montage source commune. Il suffit donc de remplacer le montage à source commune par un montage cascode. Ce dernier est réalisé par la mise en série de deux transistors dans des conditions particulières c-à-d source commune en cascade avec grille commune (figure II.9).

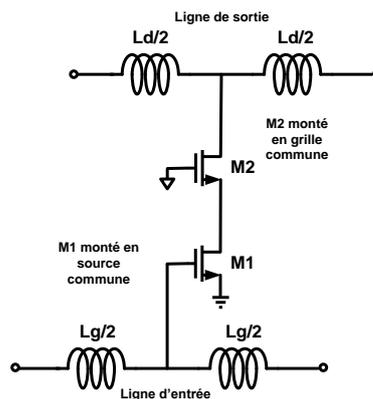


Figure II.9: Schéma d'une cellule à base de la topologie cascode.

Dans cette topologie, la source du deuxième transistor se retrouve excitée par la tension de sortie du premier transistor [22]. Par conséquent, il en résulte deux avantages qui sont une bande passante plus large et une bonne isolation entre l'entrée et la sortie (cellule unilatérale stable).

II.6 Produit gain bande passante

Au-delà d'une certaine limite, le gain et la bande passante d'un amplificateur « discret » ne peuvent plus être simultanément augmentés. Le critère de Bode-Fano stipule que l'amélioration de la bande de fréquences utile d'un amplificateur s'accompagne obligatoirement de la détérioration de l'adaptation. Cependant, contrairement à la multiplication des gains de la chaîne classique, le principe de l'amplification distribuée est basé sur la sommation de gains des différents étages. À base de ce principe, il devient possible d'assembler un amplificateur avec des étages à gain unité ou inférieur à l'unité, et donc d'améliorer sensiblement la bande passante. Dans ce cas, le produit gain bande passante est plus important par rapport à la chaîne classique.

II.7 Conclusion

Dans ce chapitre, nous avons tout d'abord rappelé l'idée et l'historique de l'amplification distribuée. Ensuite, nous avons donné les notions théoriques de base de l'amplificateur distribué telles que la fréquence de coupure, les éléments de base limitant cette fréquence et le gain en puissance. De plus, nous avons donné un aperçu théorique sur le facteur de bruit des amplificateurs distribués en tenant compte des sources de bruit dominantes en hautes fréquences. Enfin, nous avons terminé ce chapitre par les topologies les plus utilisées pour les cellules amplificatrices et le produit gain bande passante qui représente le facteur de mérite des amplificateurs distribués.

CHAPITRE III

Amplificateurs distribués associés aux filtres en technologie CMOS

III.1 Introduction

Dans ce chapitre, nous allons décrire une autre méthode de conception des amplificateurs distribués en se basant sur les filtres de type passe-bas. Pour cela, nous allons donner dans un premier temps, un aperçu théorique sur les filtres passe-bas et principalement ceux de Butterworth et Chebyshev. Après celà, nous ferons une brève description historique sur les amplificateurs distribués à base des filtres. Nous proposerons ensuite une nouvelle méthode pour l'élargissement de la bande passante de l'amplificateur distribué afin d'améliorer son facteur de mérite. Enfin, nous donnerons un aperçu sur la méthodologie à suivre pour le calcul du gain en puissance de ce type d'amplificateur.

III.2 Théorie et notions de base des filtres passifs

Le filtrage d'un signal est une fonction électronique permettant la séparation de la composante utile d'un signal de la composante inutile. La classification des filtres se fait uniquement par leur réponse en fréquence qui les divise en quatre catégories : passe-bas, passe-haut, passe-bande et coupe-bande. La figure III-1 illustre la réponse en fréquence $|H(\omega)|$ du filtre idéal pour chacune de ces catégories.

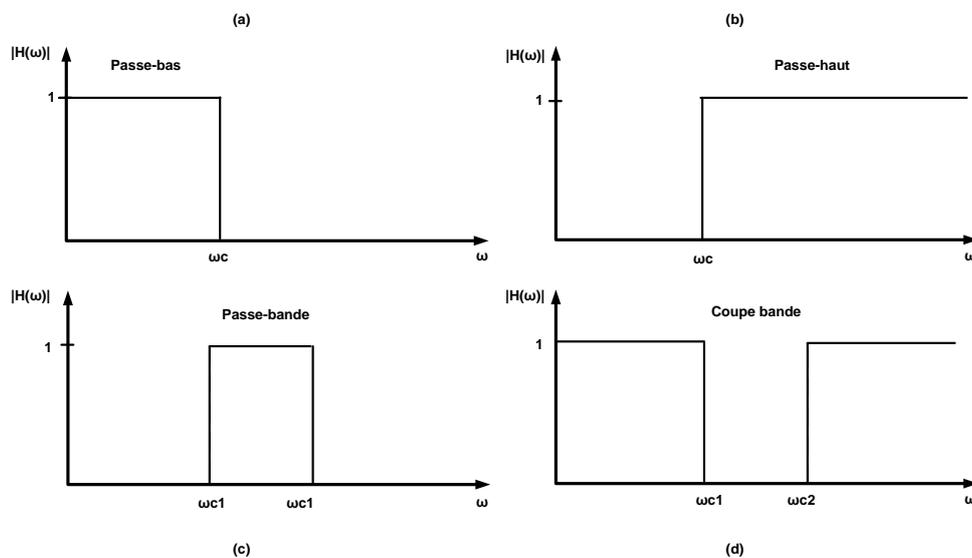


Figure III.1: Réponse en fréquence des filtres idéaux : (a) passe-bas, (b) passe-haut, (c) passe-bande et (d) coupe-bande.

Cependant, comme le cas idéal reste pratiquement irréalisable, la réponse réelle d'un filtre se définit par quelques spécifications telles que l'ondulation en bande passante, l'atténuation en stop-bande A , la pulsation limite de la bande passante ω_p et la pulsation limite en stop-bande ω_s . Dans la figure III.2, nous illustrons les quatre classes avec des réponses en fréquence réelles.

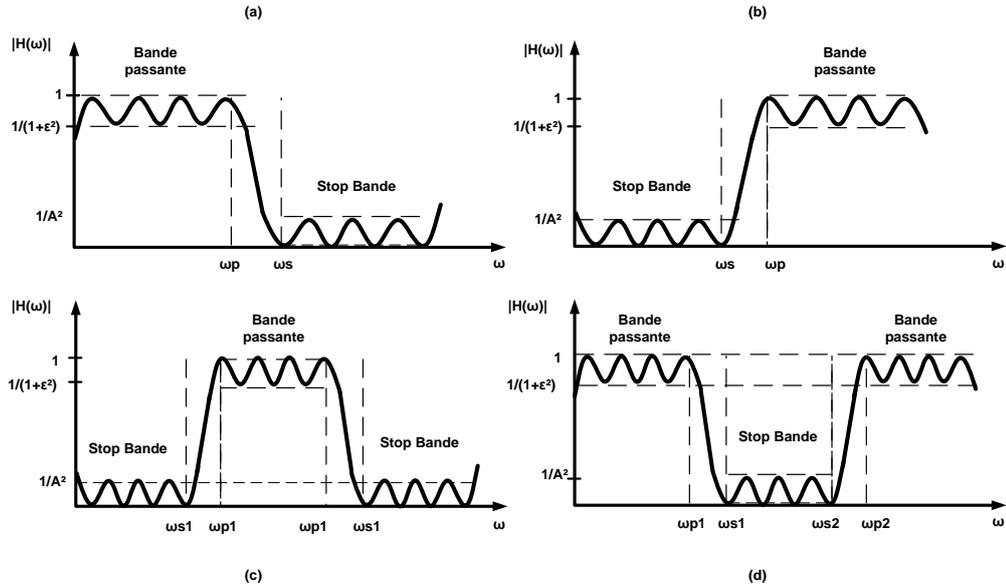


Figure III.2: Réponse en fréquence réelle des filtres: (a) passe-bas, (b) passe-haut, (c) passe-bande et (d) coupe-bande.

III.2.1 Fonction de transfert et types d'approximations

Le filtre idéal étant irréalisable à cause de l'antagonisme entre la phase et l'amplitude. En effet, la réalisation d'un filtre idéal en amplitude et en phase ne satisfait pas au principe de causalité et à la relation de Bayard-Bode. Il faut donc définir une fonction d'approximation soit en amplitude soit en phase. De plus, en considérant les contraintes importantes imposées sur l'amplitude dans les systèmes actuels en termes de pertes et de rejection, seules les approximations en amplitude sont considérées [40][41]. Il existe trois approximations principales : Butterworth, Chebyshev et Elliptique, cependant nous allons nous intéresser à celles de Butterworth et Chebyshev.

III.2.2 Approximation de Butterworth

Cette approximation fournit une réponse dans la bande passante la plus plate possible. Pour un filtre passe-bas, la réponse en amplitude est spécifiée par le coefficient de transmission [40]:

$$|S_{21}(j\omega)|^2 = \frac{1}{1 + \left(\frac{\omega}{\omega_c}\right)^{2n}} \quad (\text{III.1})$$

où n est l'ordre du filtre et ω_c la pulsation de coupure.

Pour de tels filtres, l'atténuation devient vite très faible pour les pulsations $\omega < \omega_c$ et augmente rapidement dès que $\omega > \omega_c$. L'atténuation (en dB) pour cette approximation est définie par :

$$\alpha_{dB} = 10 \log_{10} \left[1 + \left(\frac{\omega}{\omega_c} \right)^{2n} \right] \quad (\text{III.2})$$

On constate que l'atténuation du filtre est d'autant plus élevée que l'ordre du filtre augmente. Une telle réponse constitue une bonne approximation en amplitude du filtre passe-bas idéal dans la mesure où l'ordre du filtre est élevé.

III.2.3 Approximation de Chebyshev

Cette approximation fournit une ondulation dans la bande passante mais aussi une coupure plus nette par rapport à l'approximation de Butterworth. Pour un filtre passe-bas, la réponse en amplitude est [40] :

$$|S_{21}(j\omega)|^2 = \frac{1}{1 + \varepsilon^2 T_n^2 \left(\frac{\omega}{\omega_c} \right)} \quad (\text{III.3})$$

où $T_n(\omega)$ représente le polynôme de Chebyshev d'ordre n :

$$T_n(\omega) = \begin{cases} \cos \left(n \cos^{-1} \left(\frac{\omega}{\omega_c} \right) \right) & \text{si } \omega \leq \omega_c \\ \cosh \left(n \cosh^{-1} \left(\frac{\omega}{\omega_c} \right) \right) & \text{si } \omega \geq \omega_c \end{cases} \quad (\text{III.4})$$

et l'ondulation :

$$\varepsilon = \sqrt{10^{\frac{La}{10}} - 1} \quad (\text{III.5})$$

avec La l'ondulation maximale dans la bande passante exprimée en dB.

Une telle fonction d'approximation trouve son intérêt dans la possibilité de fixer l'erreur maximale dans la bande passante. De plus, selon le niveau d'erreur toléré dans la bande passante, il est possible d'obtenir des niveaux importants de rejection dans la bande atténuée sans pour autant augmenter l'ordre du filtre.

III.2.4 Synthèse des filtres

Dans la conception des filtres passifs, la méthode de synthèse des filtres est basée sur les fonctions de transferts polynomiales des filtres. La synthèse de filtre passe bas, normalisée à 1Ω et 1 rad/s comme fréquence de coupure, et des valeurs normalisées g_i peut être réalisée en dénormalisant ses valeurs g_i pour une fréquence de coupure f_c . Selon le type de filtre et son ordre, on peut aussi soit calculer les valeurs normalisées à partir d'un algorithme (Annexe III) ou bien les utiliser à partir d'un tableau existant dans la littérature. Dans la figure III-3, on illustre des filtres normalisés d'ordre n qui peuvent commencer soit par une capacité shunt (figure III-3 (a)), soit par une inductance série (figure III-3 (b)). Si, on veut maintenant réaliser un filtre de Chebyshev d'ordre n , il faut d'abord définir le taux d'ondulation pour

le calcul des valeurs g_i , d'où il est possible d'obtenir plusieurs configurations pour le même ordre du filtre.

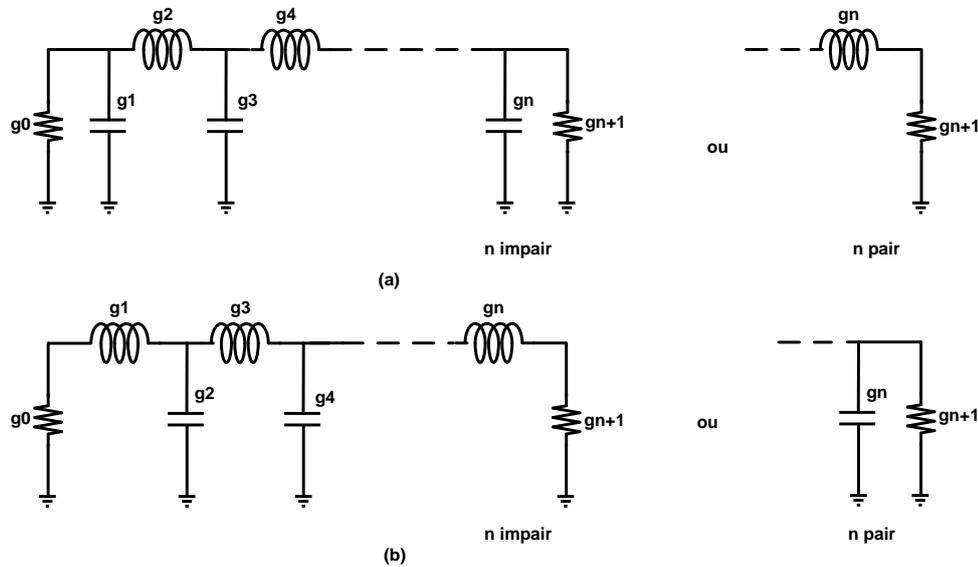


Figure III.3: Filtres d'ordre n ayant g_{n+1} valeurs normalisées.

III.3 Théorie des amplificateurs distribués associés aux filtres

En technologie CMOS, la littérature des ADs montre que ces derniers diffèrent l'un de l'autre, soit par la manière d'implémenter les lignes de grille et de drain, soit par le choix effectué pour la topologie de la cellule amplificatrice. Pour l'implémentation des lignes, on trouve essentiellement des lignes à base d'inductances spirales intégrées, des inductances utilisées en packaging (bondwire), ou bien des guides d'ondes coplanaires. Aussi, le choix de la topologie des cellules amplificatrices varie-t-il entre la cellule à base d'un transistor source commune, d'une paire de transistors en topologie cascode, d'une paire différentielle, etc. Par ailleurs, depuis l'apparition de l'idée de l'amplification distribuée pour les applications large bande, la méthode, la plus répandue pour la conception d'un AD, est basée sur l'utilisation des sections à K-constant qui permet la réalisation des lignes d'entrée et de sortie.

Cependant, en dehors de la méthode classique, une autre méthode a été proposée pour la première fois par Paoloni qui consiste à utiliser la théorie des filtres pour la réalisation des ADs (figure III-4) [42]. Cette méthode exploite les avantages et les caractéristiques de la structure des filtres pour améliorer les performances de l'AD. Parmi les travaux réalisés utilisant cette technique, on peut citer celui de Hamidi qui a conçu un AD à base de MESFET montrant une amélioration significative des différentes performances [43]. En technologie CMOS, Yunliang a également utilisé des structures de filtres non-uniformes pour un meilleur contrôle de la stop-bande des ADs [6].

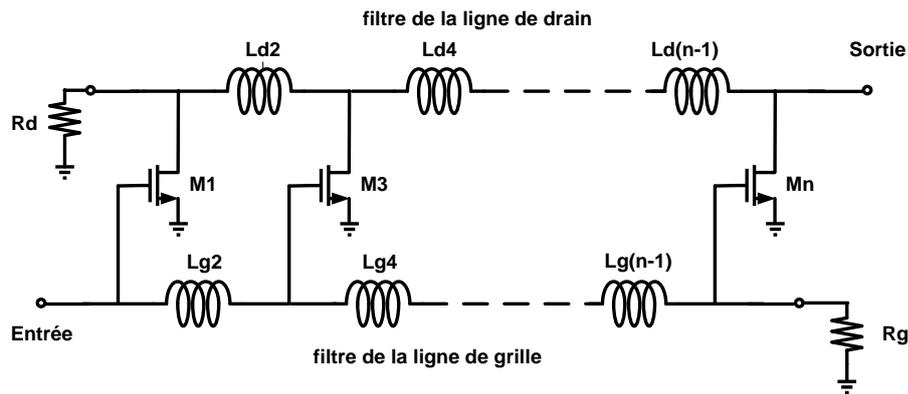


Figure III.4: Amplificateurs distribués basé sur les filtres.

III.3.1 Nouvelle technique pour l'élargissement de la bande passante

Le produit gain-bande passante représente le facteur de mérite des amplificateurs distribués. Par conséquent, il est très intéressant de concevoir de nouvelles techniques de conception qui permettent l'amélioration cette performance. Cependant, le produit gain-bande passante s'améliore bien évidemment, soit par l'amélioration du gain pour la même bande passante, soit par la bande passante pour le même gain, soit par les deux simultanément. Dans ce contexte, la technique des filtres se base principalement sur l'introduction des structures de filtres dans la conception de l'AD en remplacement des deux lignes artificielles grille et drain. Par ailleurs, le caractère passe-bas caractérisant les lignes de grille et de drain à k -constant dans le cas de l'AD conventionnel donne déjà une idée intuitive sur le type de filtres à appliquer en l'occurrence les filtres passifs de type passe-bas. Les propriétés électriques des filtres passifs passe-bas peuvent être exploitées et étendues aux ADs pour obtenir de bonnes performances en termes de la largeur de bande, du gain et même des caractéristiques de réflexion. A titre d'exemple, on peut citer le filtre de Butterworth qui se caractérise par une réponse en fréquence uniforme et plate sur toute la bande passante. La caractéristique de ce dernier pourrait être profitable pour la conception d'un AD ayant un gain plat. En outre, vu la structure et la composition des filtres passifs, l'introduction de ces derniers dans les ADs va absorber les capacités d'entrée et de sortie du transistor comme dans le cas des sections à K -constant. Cependant, la fréquence de coupure du filtre calculée à -3 dB détermine la bande passante de l'AD.

Dans le cas des filtres de Chebyshev et Butterworth, les valeurs réelles des éléments passifs constituant leurs structures sont directement déduites à partir des valeurs de paramètres normalisés du filtre passe-bas comme le montre la figure III-5. Ces valeurs normalisées sont donc données par les relations suivantes [40] :

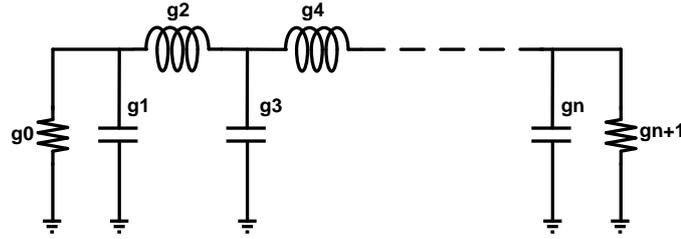


Figure III.5: Filtre passe bas d'ordre n.

$$g_k = \begin{cases} a_k & k \text{ impair} \\ b_k & k \text{ pair} \end{cases} \quad (\text{III.6})$$

où g_k est le paramètre normalisé du circuit du prototype passe bas, a_k et b_k sont, respectivement les capacités et les selfs normalisés, données par les expressions suivantes :

$$a_k = 2\pi f_c Z_0 C_k \quad (\text{III.7})$$

$$b_k = \frac{2\pi f_c L_k}{Z_0} \quad (\text{III.8})$$

Les paramètres L_k et C_k sont respectivement les valeurs réelles des inductances et des capacités de la structure du filtre, Z_0 est l'impédance caractéristique du filtre.

Pour appliquer les structures de filtrage dans la conception de l'AD en vue d'améliorer la bande passante de ce dernier, nous introduisons la capacité d'entrée C_{in} du transistor MOSFET comme paramètre de conception de la ligne de grille de l'AD. Par conséquent, la fréquence de coupure de l'AD sera aussi exprimée comme dans le cas du filtre comme suit :

$$f_c = \frac{a_k}{2\pi C_{in} Z_0} \quad (\text{III.9})$$

De même, un AD conventionnel peut être conçu avec le même dimensionnement du transistor dont la fréquence de coupure dépend également de C_{in} et s'exprime par l'équation suivante :

$$f_{ck} = \frac{2}{2\pi C_{in} Z_0} \quad (\text{III.10})$$

A partir des équations (III.9) et (III.10), nous pouvons facilement définir $a_k > 2$ comme condition nécessaire qui doit être remplie par le paramètre du filtre afin de pouvoir améliorer la bande passante de l'AD à base de filtres. Par conséquent, le seul filtre ayant la possibilité de vérifier cette condition est le filtre de Chebyshev et ce, en choisissant d'une façon appropriée la valeur de son taux d'ondulation. Bien que le filtre de Butterworth possède une réponse en fréquence uniforme et plate, les paramètres normalisés de ce dernier ne remplis-

sent pas la condition imposée. Cependant, ce filtre sera bien utilisé ultérieurement pour une autre fonction dans les circuits à concevoir [1].

III.3.2 Gain en puissance

Pour simplifier l'analyse et l'étude du gain en puissance des amplificateurs distribués associés aux filtres, nous faisons les hypothèses suivantes [43]:

1. Le transistor MOSFET est supposé unilatéral en négligeant l'effet de la capacité C_{gd} .
2. Les filtres utilisés pour l'AD sont considérés de type idéal et présentent un gain $|S_{21}| = 1$ dans leurs bandes passantes
3. Les n transistors MOSFETs utilisés sont identiques ($W_k = W, L_k = L$) où $k = 1, \dots, n$

En négligeant l'effet de la capacité C_{gd} du MOSFET, nous pouvons donner le schéma équivalent général des ADs à base de filtres dans la figure III-6. Ce schéma équivalent est décomposé et représenté par la ligne de grille et la ligne de drain de l'AD pour n cellules amplificatrices à base du MOSFET monté en source commune.

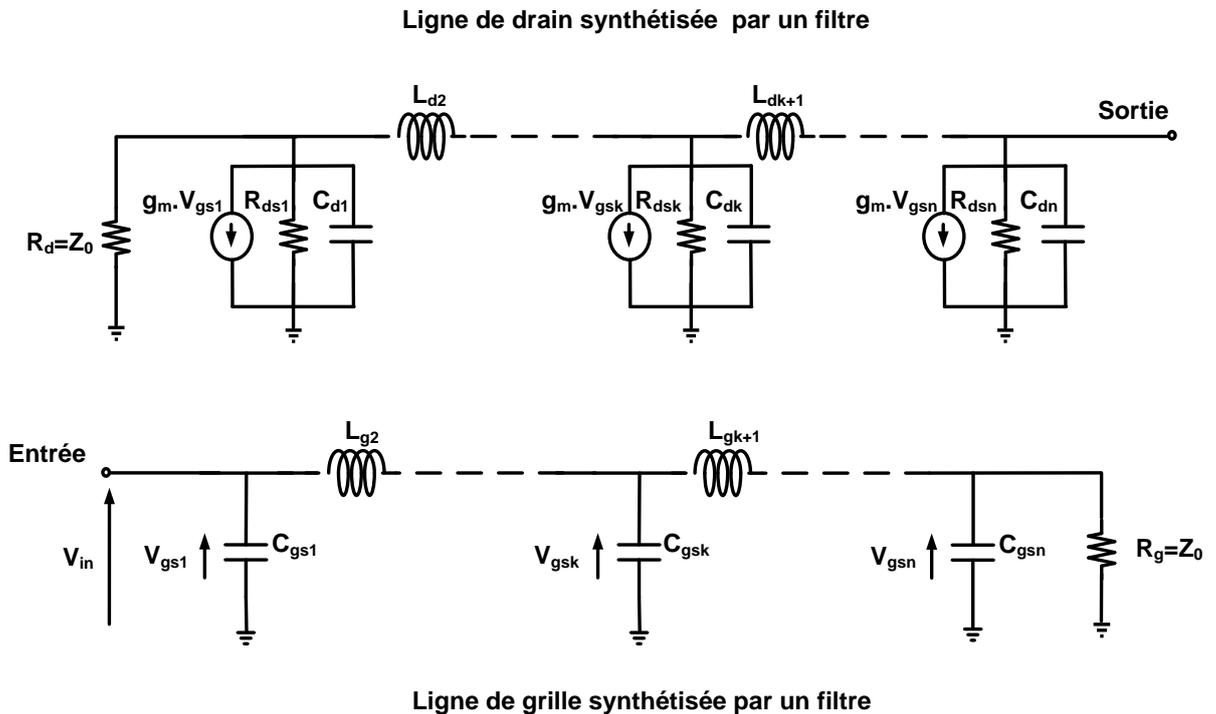


Figure III.6: Schéma équivalent de l'AD à base de filtres.

Pour déterminer l'expression du gain en puissance de ce circuit, nous tenons compte tout d'abord de la deuxième hypothèse où le filtre utilisé est considéré idéal ($|S_{21}| = 1$ dans la bande passante du filtre) et nous estimons le courant de sortie fourni par la $k^{\text{ème}}$ cellule à la charge en supposant que les courants des autres cellules sont nuls $g_m V_{gs_i} = 0$

($i = 1, 2, \dots, k-1, k+1, \dots, n$). Ainsi, pour une charge R_L à la sortie de l'amplificateur, le courant de sortie de la $k^{\text{ème}}$ cellule s'écrit :

$$I_{s_k} = \frac{\frac{R_{ds}}{n} || R_d}{\frac{R_{ds}}{n} || R_d + R_L} \cdot I_{d_k} \quad (\text{III.11})$$

Dans notre cas (figure III.6), cette expression devient pour $R_L = Z_0$:

$$I_{s_k} = \frac{\frac{R_{ds}}{n} || Z_0}{\frac{R_{ds}}{n} || Z_0 + Z_0} \cdot I_{d_k} \quad (\text{III.12})$$

où $R_{ds} = R_{ds1} = \dots = R_{dsn}$ vu que les transistors utilisés ont les mêmes dimensions et sont identiquement polarisés, I_{d_k} représente le courant de drain de la $k^{\text{ème}}$ cellule qui est donné par l'expression suivante :

$$I_{d_k} = g_m \cdot V_{gs_k} \quad (\text{III.13})$$

De même pour la tension d'entrée de chaque transistor, la ligne de grille est considérée sans pertes pour un filtre idéal ($|S_{21}| = 1$ dans la bande passante du filtre), ceci implique que la tension qui traverse cette ligne de grille est la même en tout point et est égale à la tension d'entrée V_{in} :

$$V_{gs_k} = V_{in} = \frac{R_g}{R_s + R_g} E_s, \quad (k = 1, \dots, n) \quad (\text{III.14})$$

où E_s est la force électromotrice de la source (générateur) et R_s sa résistance interne. Cette dernière est égale à Z_0 comme la charge, ce qui donne :

$$V_{gs_k} = V_{in} = \frac{1}{2} E_s \quad (\text{III.15})$$

Le courant de sortie total I_s n'est que la somme des courants de sortie délivrés par l'ensemble de n cellules amplificatrices et qui s'exprime par la relation suivante :

$$I_s = \sum_{k=1}^n I_{s_k} \quad (\text{III.16})$$

et d'une manière explicite :

$$I_s = \sum_{k=1}^n \frac{\frac{R_{ds}}{n} || R_d}{\frac{R_{ds}}{n} || R_d + R_L} \cdot g_m \cdot V_{in} \quad (\text{III.17})$$

$$I_s = n \cdot \frac{\frac{R_{ds}}{n} || R_d}{\frac{R_{ds}}{n} || R_d + R_L} \cdot g_m \cdot V_{in} \quad (\text{III.18})$$

Compte tenu de l'expression du courant de sortie total ainsi que les relations (III.17) et (III.18), le gain en puissance G_p de l'amplificateur distribué à base de filtres s'écrit :

$$G_p = n^2 \cdot \left(\frac{\frac{R_{ds}}{n} \parallel R_d}{\frac{R_{ds}}{n} \parallel R_d + R_L} \right)^2 \cdot g_m^2 \cdot Re(Z_{cg}) \cdot Re(Z_{cd}) \quad (\text{III.19})$$

Selon la figure III.6, on a $Z_{cg} = Z_{cd} = Z_0$.

III.4 Conclusion

Dans ce chapitre, nous avons tout d'abord rappelé quelques notions de base des filtres passe bas de type Butterworth et Chebyshev. Nous avons ensuite présenté un autre type d'amplificateurs distribués qui se base sur la méthode des filtres passe-bas. Pour améliorer le produit gain bande passante, nous avons proposé une nouvelle méthode de conception des amplificateurs distribués basée sur l'élargissement de la bande passante par le biais des filtres de Chebyshev. Enfin, nous avons montré la méthode de calcul du gain en puissance de ce type d'amplificateurs.

CHAPITRE IV

Conception et simulation des ADs associés aux filtres en CMOS

IV.1 Introduction

Dans ce chapitre, nous allons procéder à la conception et à la simulation de nouvelles configurations d'amplificateurs distribués en appliquant la nouvelle méthode proposée (chapitre III) pour l'élargissement de la bande passante. En utilisant la technologie CMOS $0.18 \mu\text{m}$, nous allons tout d'abord concevoir un amplificateur distribué selon la méthode conventionnelle en vue de comparer ses performances avec celles obtenues par les amplificateurs conçus par notre méthode. Nous procéderons ensuite à la conception et à la simulation des architectures distribuées basées sur les filtres symétriques et asymétriques en analysant tous les effets engendrés par les différents paramètres sur le gain et la bande passante. Enfin, nous concluons par une comparaison avec l'état de l'art des amplificateurs distribués en technologie CMOS $0.18\mu\text{m}$.

IV.2 Conception d'un AD conventionnel (ADC)

Pour la conception d'un ADC, le transistor à effet de champ doit remplir l'une des conditions de la conception des ADs, en l'occurrence la présence d'une capacité à son entrée et une autre à sa sortie. Sachant que cette condition est vérifiée par le transistor MOSFET, nous allons donc utiliser des transistors identiques ayant la même largeur de grille pour concevoir l'amplificateur distribué conventionnel (notons que la longueur de grille est déjà fixée par la technologie en l'occurrence $L=0.18 \mu\text{m}$). Pour le nombre de cellules amplificatrices n , nous le fixons à 3 cellules afin de pouvoir comparer nos résultats avec les travaux existants en technologie CMOS $0.18 \mu\text{m}$.

Au delà du critère de la bande passante, nous nous imposons d'autres critères pour le choix du transistor. Ces critères imposent une grande valeur de la transconductance et une faible valeur du courant de consommation. Nous pouvons obtenir ces valeurs en agissant sur la largeur du transistor. Pour ce faire, nous procédons à la simulation (logiciel cadence), en régime statique (DC), de la fonction de transfert $I_d(V_{gs})$ d'un MOSFET, monté en source commune, pour différentes valeurs de W . Nous limitons la consommation maximale du courant à 10 mA et la transconductance à une valeur assez importante.

Notons que pour une topologie interdigitée ou multi-doigts (c-à-d la largeur totale du MOSFET est $W = n \times W_f$ où W_f représente la largeur d'un seul doigt), le MOSFET, ayant la largeur $W = 64 \times 2.5\mu\text{m}$ (figure IV.1), présente un courant de 9mA et une transconductance de 65mS sous les tensions de polarisation suivantes $V_{gs} = 0.7\text{V}$ et $V_{dd} = 1.8\text{V}$. Ce transistor est le choix adéquat pour satisfaire le critère de consommation imposé tout en offrant une transconductance assez importante. Notons que pour le même courant, le choix d'une dimension plus petite élargit davantage la bande passante mais la transconductance sera plus faible. De même pour le choix d'une dimension plus grande, il permet d'augmenter légèrement la transconductance au détriment largement la bande passante.

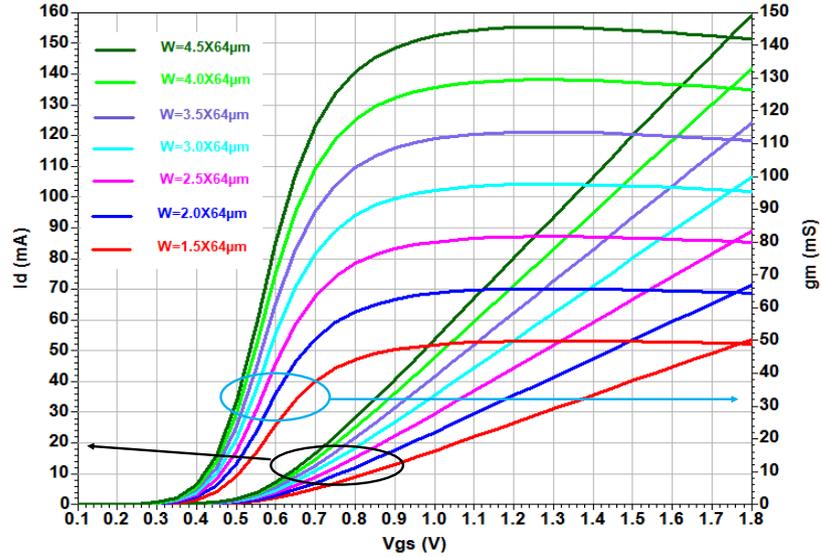


Figure IV.1: Caractéristique de transfert $I_d(V_{gs})$ et transconductance $g_m(V_{gs})$ pour différentes valeurs de W

Ainsi, nous pouvons procéder au calcul des capacités d'entrée et de sortie tout en s'appuyant sur le Modèle BSIM3 et le concept de Miller [23]. Par conséquent, la capacité d'entrée C_{in} et la capacité de sortie C_{out} sont données par les expressions suivantes [23]:

$$C_{in} = C_{gs} + C_{gd} (1 - A_{v0}) \quad (IV.1)$$

$$C_{out} = C_{db} + C_{gd} \left(1 - \frac{1}{A_{v0}}\right) \quad (IV.2)$$

où A_{v0} est le gain du transistor en boucle ouverte.

La figure IV.2 illustre un ADC de 3 cellules amplificatrices où chaque cellule comprend un transistor monté en source commune.

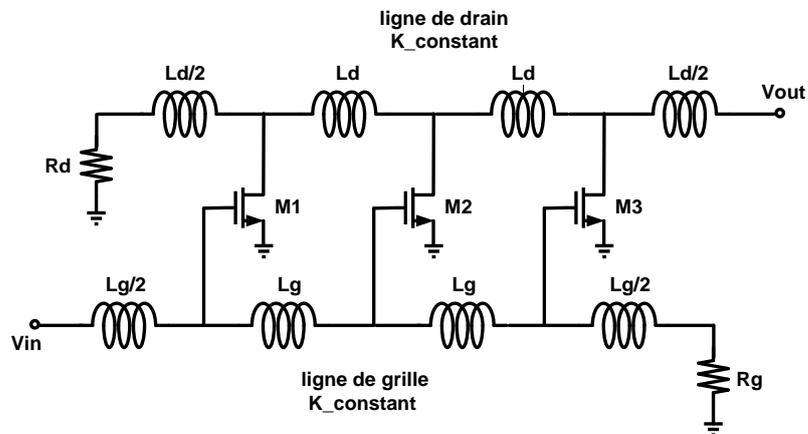


Figure IV.2: Schéma électrique de l'ADC à base de la topologie source commune

En se référant aux équations (IV.1 et IV.2), les valeurs des capacité C_{in} et C_{out} sont respectivement estimées à 470 fF et 129 fF pour les dimensions du transistor choisi. Nous pouvons désormais déduire la valeur de l'inductance à partir de l'expression $L_g = Z_0^2 \cdot C_{in}$, qui prend la valeur $L_g = 1.18nH$ pour une impédance caractéristique $Z_0 = 50\Omega$. Pour la capacité rajoutée à la ligne de drain, elle est déduite de la relation suivante $C_{ad} = C_{in} - C_{out}$ et vaut 0.341 pF.

Afin de réduire l'effet Miller, il est recommandé de choisir la topologie cascode (figure IV.3) afin d'obtenir une capacité d'entrée plus faible que celle obtenue par la topologie source commune, et donc, une bande passante plus large [22].

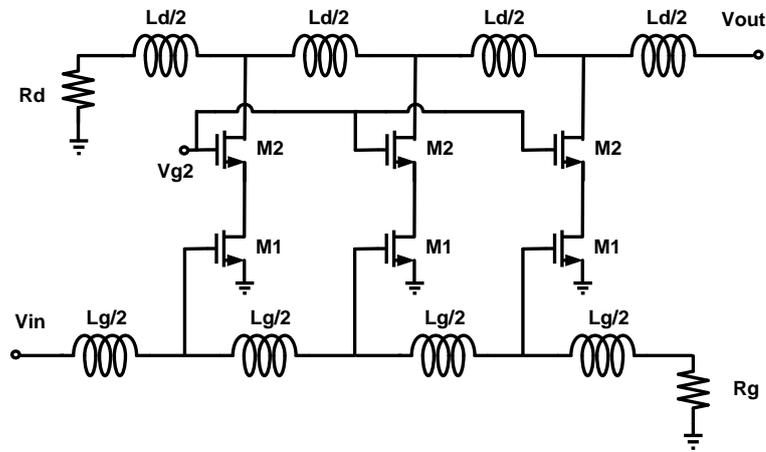


Figure IV.3: Schéma électrique de l'ADC à base de la topologie cascode

Pour l'expression de la capacité d'entrée de la topologie cascode, elle est approximée comme suit :

$$C_{in} \approx C_{gs} + 2 \cdot C_{gd} \quad (IV.3)$$

Quant à la capacité de sortie de cette topologie, elle se résume dans la capacité de sortie du deuxième transistor monté en grille commune, qui est donnée par l'expression suivante :

$$C_{out} = C_{db} + C_{gd} \quad (IV.4)$$

Pour la même largeur de transistors M_1 et M_2 , les valeurs des capacités C_{in} et C_{out} sont respectivement 338 fF et 111 fF. De la même manière, à partir de la valeur de la capacité d'entrée, on déduit les valeurs des inductances de l'amplificateur distribué qui sont estimées à $L_g = L_d = 0.845$ nH. Pour la capacité rajoutée à la ligne de drain, elle est déduite de l'expression $C_{ad} = C_{in} - C_{out}$.

La figure IV.4 illustre l'évolution fréquentielle du gain en puissance des deux topologies de l'ADC, l'une avec une topologie source commune et l'autre avec cascode. A partir des courbes obtenues, nous notons que la fréquence de coupure de l'ADC avec la topologie

cascode est plus importante que celle de l'ADC à source commune, et par conséquent une bande passante plus large pour le même gain. Cette amélioration se traduit donc par un meilleur produit gain bande passante.

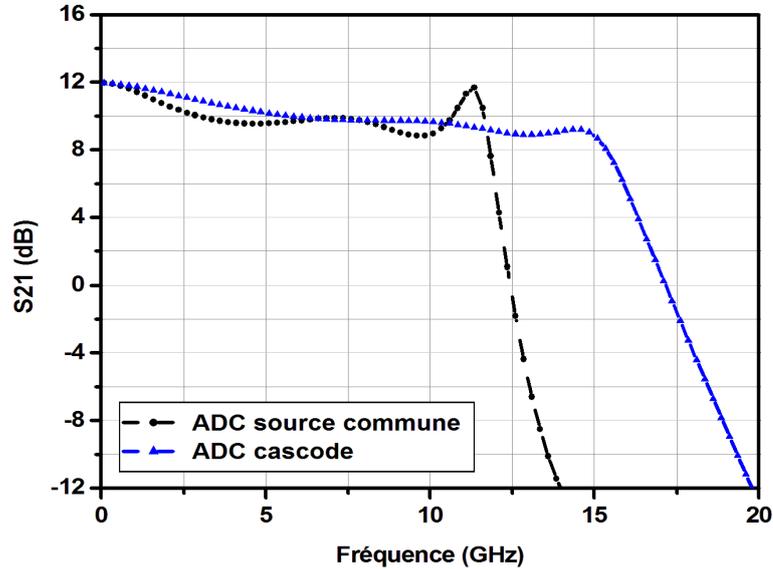


Figure IV.4: Gain en puissance des topologies cascode et source commune (SC)

La figure IV.5 illustre aussi les courbes du gain inverse S_{12} des deux topologies, où la topologie cascode montre explicitement ses avantages par rapport à la topologie source commune, en présentant un S_{12} très faible dans la bande passante, ce qui indique une très bonne isolation entre la sortie et l'entrée de l'ADC.

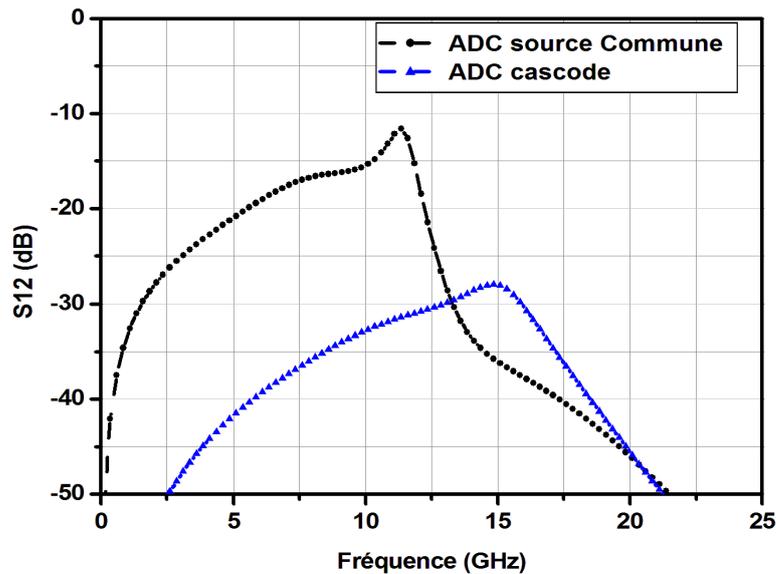


Figure IV.5: Gain inverse S_{21} des topologies cascode et source commune

A partir des résultats obtenus, nous pouvons désormais choisir la topologie cascode pour

ses avantages afin de concevoir les autres configurations à base de filtres qui seront présentées dans les sections suivantes.

IV.3 Conception des ADs par la méthode des filtres symétriques

En vue d'appliquer notre méthode (chapitre III) de conception pour l'élargissement de la bande passante des ADs, nous allons nous intéresser dans un premier temps aux filtres symétriques qui sont d'ordre impair ($N=5$) (figure IV.6). Ces derniers commencent et se terminent toujours par une capacité shunt parallèle à la résistance de charge sachant que cette résistance de charge est considérée de même ordre de grandeur que la résistance interne de générateur soit 50Ω . Ces filtres seront ainsi utilisés selon trois configurations possibles à savoir, l'AD utilisant le filtre de Chebyshev dans ses deux lignes d'entrée et de sortie, l'AD employant le filtre de Chebyshev dans sa ligne d'entrée et celui de Butterworth dans sa ligne de sortie, et en dernier lieu l'AD comprenant le filtre de Chebyshev dans sa ligne d'entrée et les cellules à K-constant dans sa ligne de sortie.

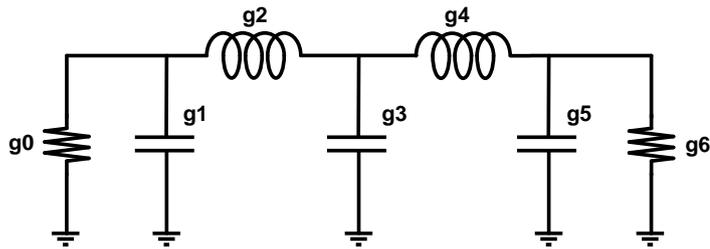


Figure IV.6: Filtre de Chebyshev d'ordre 5

IV.3.1 Conception d'AD avec filtres et transistors identiques (uniformes)

Avant d'introduire les différentes configurations, nous rappelons que lorsque l'AD utilise des transistors identiques, il est dit uniforme. Ainsi, il est plus judicieux d'utiliser les mêmes transistors MOSFETs et les mêmes conditions de polarisation afin de pouvoir comparer les résultats obtenus avec ceux de l'ADC.

IV.3.1.1 Amplificateur distribué Chebyshev Chebyshev (AD2C)

En notant respectivement f_{cg} et f_{cd} , les fréquences de coupures de la ligne de grille et celle de drain, nous pouvons admettre que l'élargissement de la bande passante de l'AD dépendra systématiquement de l'amélioration de f_{cg} pour toute fréquence $f_{cd} \geq f_{cg}$. Ainsi, nous suggérons d'implémenter le même filtre de Chebyshev dans les deux lignes à condition que ce filtre vérifie la condition $a_k > 2$ citée dans le chapitre III. Par ailleurs, le choix de

l'ordre de filtre devra correspondre au nombre de cellules amplificatrices qui absorberont les éléments capacitifs des lignes. Dans notre cas, nous choisissons un filtre d'ordre 5 (figure IV.6) qui présente 3 capacités pour 3 cellules amplificatrices. Ainsi, nous présentons dans le tableau IV.1 les paramètres normalisés du filtre de Chebyshev choisi pour un taux d'ondulation $La = 1$ qui vérifie la condition $a_k > 2$ [40]. De plus, nous pouvons constater du tableau que le filtre est symétrique.

La=1	g_0	g_1	g_2	g_3	g_4	g_5	g_6
Chebyshev	1	2.135	1.091	3.001	1.091	2.135	1

Tableau IV.1: Paramètres normalisés du filtre de Chebyshev pour un taux d'ondulation $La=1$

La figure IV.7 illustre le schéma électrique de l'Amplificateur Distribué Chebyshev Chebyshev (AD2C) utilisant des lignes de transmission artificielles à base du même filtre de Chebyshev.

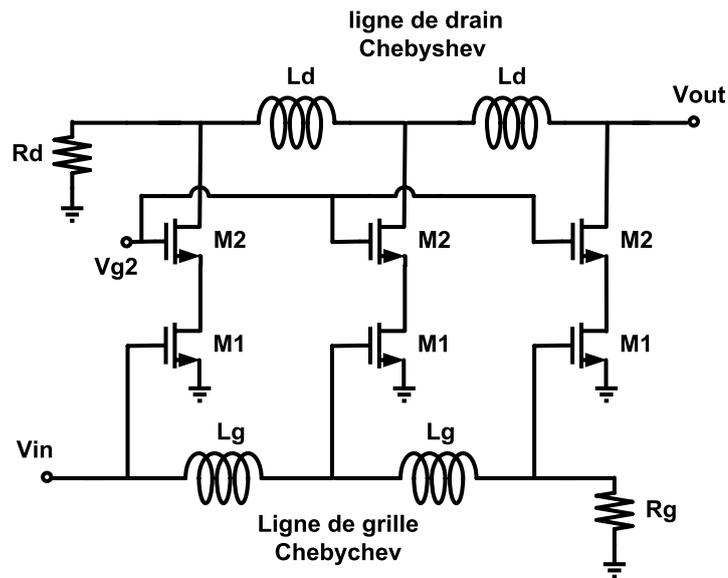


Figure IV.7: Schéma électrique de l'AD2C

En considérant la capacité C_{in} comme paramètre de conception, l'AD2C sera conçu par l'application de la méthode définie dans le chapitre III en employant la même topologie cascode utilisée par l'ADC (mêmes valeurs des capacités $C_{in} = 338\text{fF}$ et $C_{out} = 111\text{fF}$). Ainsi, pour la ligne de grille, la fréquence de coupure f_{cg} (équation III.9) est donc déterminée par cette capacité C_{in} et le plus petit a_k en l'occurrence $g_1 = a_1 = 2.135$ (tableau IV.1). Nous utilisons ensuite l'équation III.8 pour calculer la valeur de l'inductance L_g moyennant la même fréquence f_{cg} . Par ailleurs, pour compenser la différence entre la capacité issue du paramètre g_3 et la capacité C_{in} du transistor, une capacité additionnelle doit être ajoutée au transistor correspondant. Pour la ligne de drain, nous utilisons la même valeur d'inductance

$L_d = L_g$ pour la même fréquence de coupure soit $f_{cd} = f_{cg}$. Cependant, pour les capacités additionnelles, elle sont calculées par rapport à la capacité C_{out} .

La figure IV.8 présente les résultats de simulation des réponses en fréquence de l'AD2C et l'ADC. Nous observons tout d'abord que les gains DC ($f = 0Hz$) des deux amplificateurs sont égaux. Ceci peut s'expliquer par le choix des transistors identiques et les mêmes conditions de polarisation. Pour la bande passante, une amélioration a été réalisée par l'AD2C qui présente une fréquence de coupure supérieure à celle de l'ADC. Ce résultat confirme l'apport de la technique proposée en terme d'élargissement de la bande passante. Cependant, dans le cas de l'AD2C, on observe une importante chute du gain dans la plage de fréquences [1.5 - 6 GHz]. Puis, le gain se stabilise autour de 6 dB avec une ondulation de $\pm 0.5dB$ dans la plage de fréquences [6- 20 GHz]. Cette détérioration du gain s'explique par l'effet du taux d'ondulation de 1 dB appliqué sur les lignes, où les ondulations s'ajoutent d'une façon constructive car les deux lignes sont pratiquement en phase. De plus, il y a aussi l'effet de R_{ds} qui introduit des pertes supplémentaires.

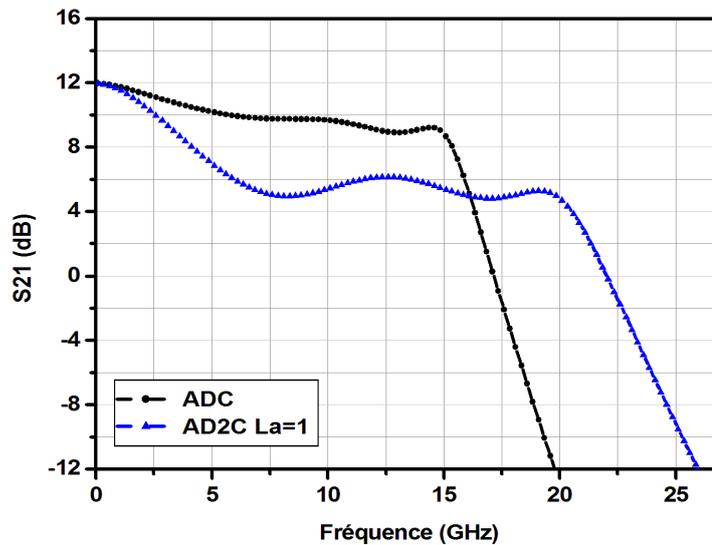
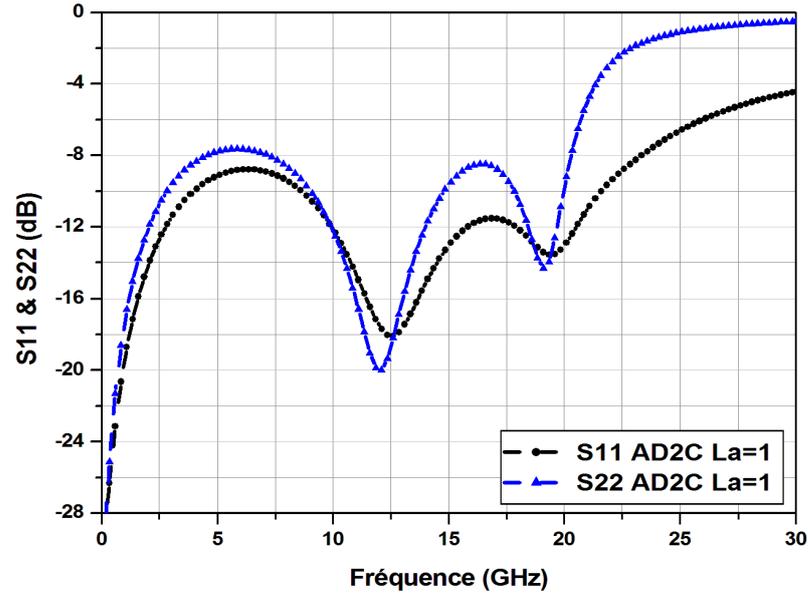


Figure IV.8: Réponse en fréquence de l'AD2C et de l'ADC.

La figure IV.9 illustre respectivement les tracés des coefficients de réflexions S_{11} et S_{22} en entrée et en sortie de l'AD2C en fonction de la fréquence. Cette figure montre que l'allure des courbes de S_{11} et S_{22} est pratiquement la même s'expliquant par la quasi-ressemblance des lignes de grille et de drain d'une part, et indique que le nombre 5 des valeurs extrêmes de ces paramètres, dans la bande passante, correspond effectivement à l'ordre du filtre d'autre part. Les coefficients de réflexion S_{11} et S_{22} sont respectivement inférieurs à -9 dB et -8 dB jusqu'à 20 GHz, traduisant relativement une bonne adaptation à 50Ω . Ce résultat montre que les filtres appliqués s'accordent positivement avec le principe d'adaptation des lignes dans le cas des amplificateurs distribués. Cependant, la légère différence constatée par S_{22} s'explique par l'existence de la résistance R_{ds}


 Figure IV.9: Coefficients de réflexion S_{11} et S_{22} de l'AD2C

IV.3.1.2 Amplificateur distribué Chebyshev Butterworth (ADCB)

Dans cette partie, nous allons proposer une solution à la chute du gain à partir de 1.5 GHz, constatée précédemment dans le cas de l'AD2C. Cette solution consiste à exploiter la caractéristique de la bande plate du filtre de Butterworth utilisé dans la ligne de drain. Notons que cette solution ne peut s'appliquer à la ligne de grille, car l'amélioration de la bande passante est uniquement assurée par le filtre de Chebyshev qui vérifie la condition $a_k > 2$. Le tableau IV.2 donne les paramètres normalisés du filtre de Butterworth d'ordre 5 qui est également symétrique [40].

Paramètres	g_0	g_1	g_2	g_3	g_4	g_5	g_6
Butterworth	1	0.618	1.618	2	1.618	0.618	1

Tableau IV.2: Paramètres normalisés d'un filtre de Butterworth d'ordre 5

Pour le calcul des valeurs des éléments constituant la ligne de drain à base du filtre de Butterworth, nous imposons $f_{cd} = f_{cg}$ afin d'assurer que la bande passante de l'amplificateur ne soit pas altérée par la fréquence de coupure de la ligne de drain. Nous utilisons ensuite les équations III.7 et III.8 pour déterminer l'inductance L_d et les capacités additionnelles à ajouter $C_{ad_k} = C_k - C_{out}$.

Les figures IV.10 et IV.11 montrent les résultats de simulation des performances de l'ADCB. Nous constatons que l'ADCB présente une amélioration du gain d'environ 1.5 dB entre 1.5 et 19 GHz par rapport à la réponse en fréquence de l'AD2C et pratiquement la même amélioration en terme de bande passante par rapport à l'ADC. Pour les courbes de S_{11} et S_{22} , nous constatons que le S_{11} est pratiquement le même que celui de l'AD2C. En

revanche, une nette amélioration est observée pour le coefficient de réflexion en sortie. Ceci peut s'expliquer par la caractéristique du filtre de Butterworth qui présente une bande plate dans la bande passante, et par conséquent, une très bonne adaptation à 50Ω .

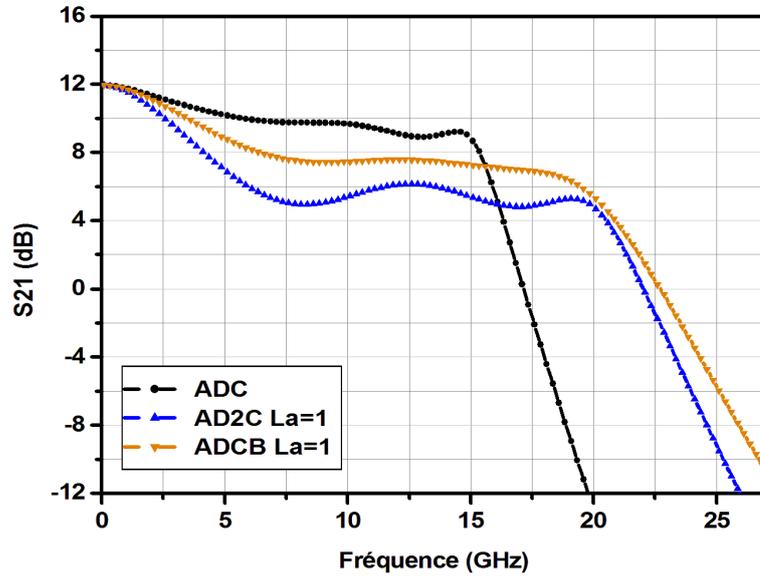


Figure IV.10: Gain en puissance de l'ADCB, de l'AD2C et de l'ADC.

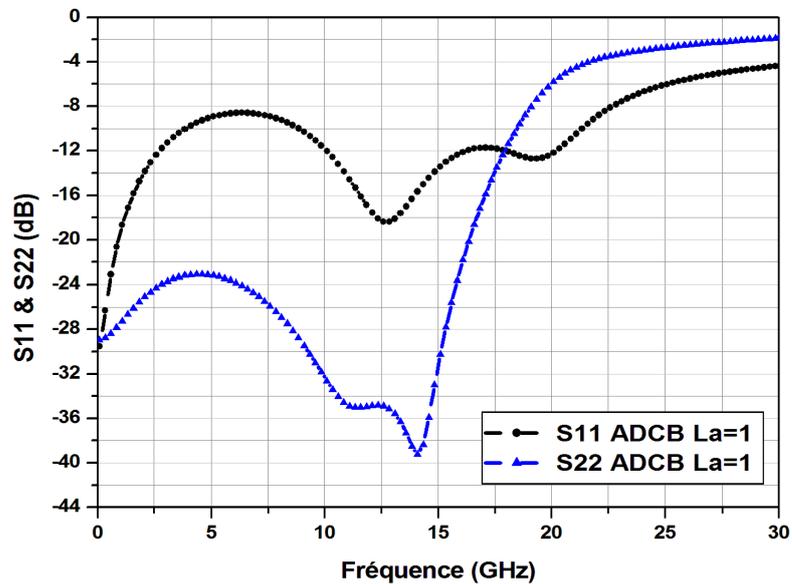


Figure IV.11: Coefficients de réflexion S_{11} et S_{22} de l'ADCB

Cependant, pour compenser davantage la chute de gain en hautes fréquences, il est préconisé d'utiliser une inductance en série entre le transistor source commune et le transistor grille commune pour découpler les capacités parasites internes (figure IV.12) [5]. Concernant la valeur de cette inductance, elle est obtenue par simulation pour une meilleure réponse en fréquence.

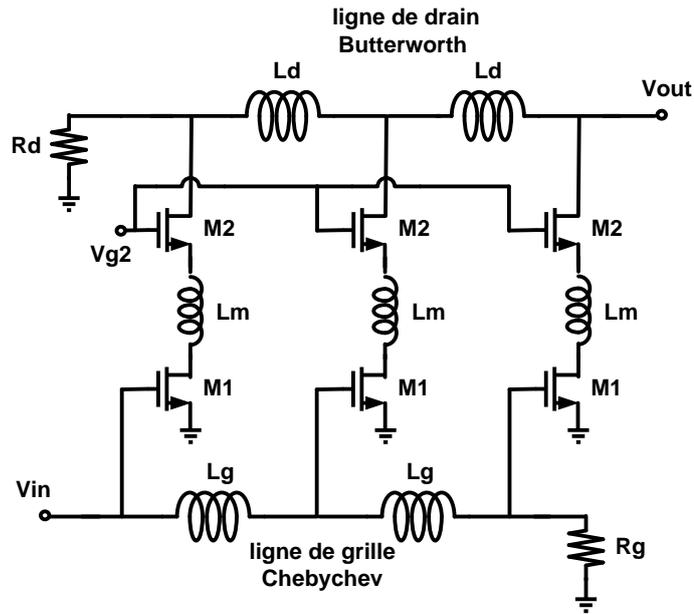


Figure IV.12: Schéma électrique de l'ADCB avec l'inductance L_m

La figure IV.13 illustre l'effet de l'inductance L_m sur la réponse en fréquence de l'ADCB qui offre un gain de $9.8 \pm 0.5 \text{ dB}$ dans la bande 3-18 GHz. Nous pouvons dire que la courbe du gain en puissance s'est nettement améliorée après l'introduction de cette inductance en se rapprochant davantage de la réponse en fréquence de l'ADC.

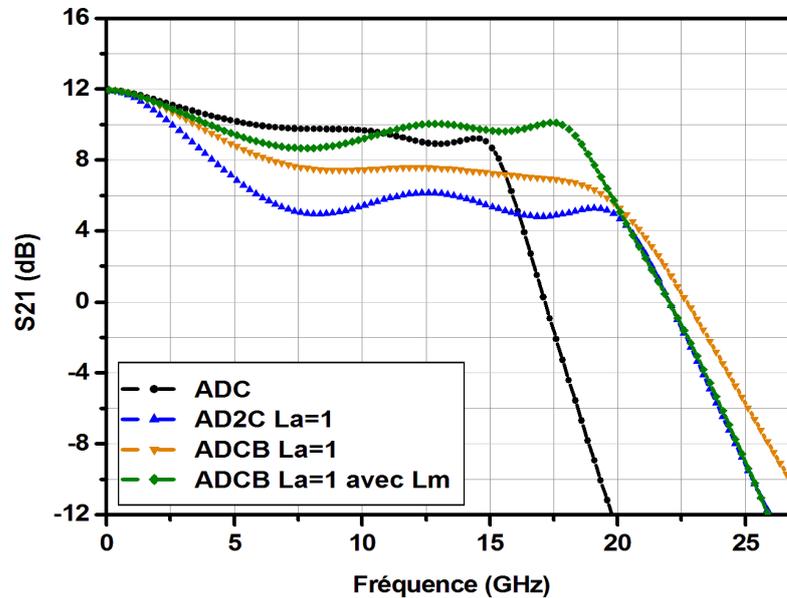


Figure IV.13: Effet de l'inductance L_m sur le gain en puissance de l'ADCB

Pour les coefficients de réflexion de l'ADCB, la figure IV.14 montre également une bonne adaptation en entrée comme en sortie avec une amélioration du S_{22} pour les fréquences dépassant 16 GHz.

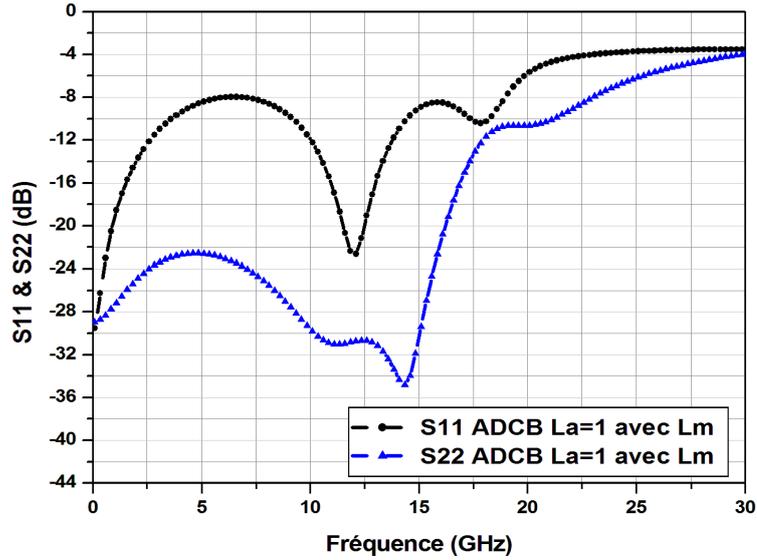


Figure IV.14: Coefficients de réflexion S_{11} et S_{22} de l'ADCB

IV.3.1.3 Amplificateur distribué Chebyshev K-constant (ADCK)

Afin de minimiser les ondulations obtenues précédemment et d'améliorer davantage la réponse en fréquence, nous proposons d'utiliser les cellules à K-constant dans la ligne de drain pour leur excellente caractéristique de bande plate. La figure IV.15 illustre le schéma électrique de l'ADCK avec une ligne de grille synthétisée par le filtre de Chebyshev et une ligne de drain à base de cellules K-constant. La valeur de l'inductance L_d pour l'ADCK vaut 0.845 nH en imposant une fréquence de coupure $f_{cd} = f_{cg}$.

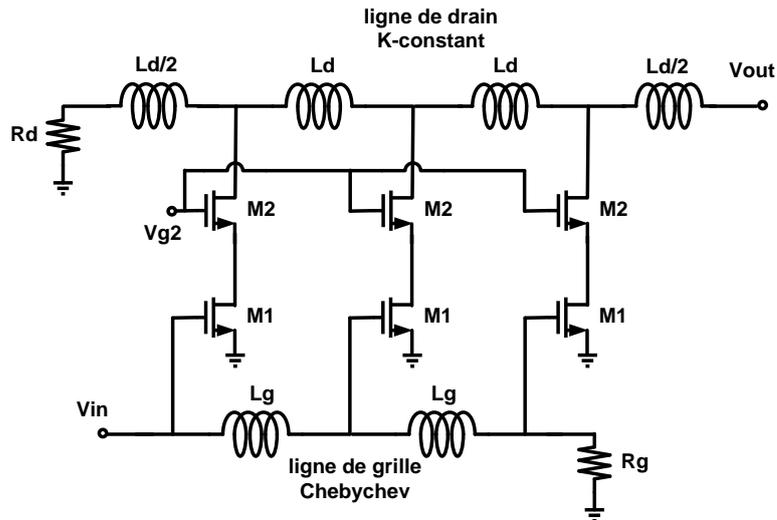


Figure IV.15: Schéma électrique de l'ADCK

La figure IV.16 illustre les tracés des gains en puissance de l'ADCK, l'ADCB et l'ADC. Sous les mêmes conditions de polarisation, nous constatons que l'ADCK présente égale-

ment une amélioration de la bande passante par rapport à l'ADC. Par ailleurs, la réponse en fréquence de l'ADCK s'est légèrement améliorée par rapport à celle de l'ADCB.

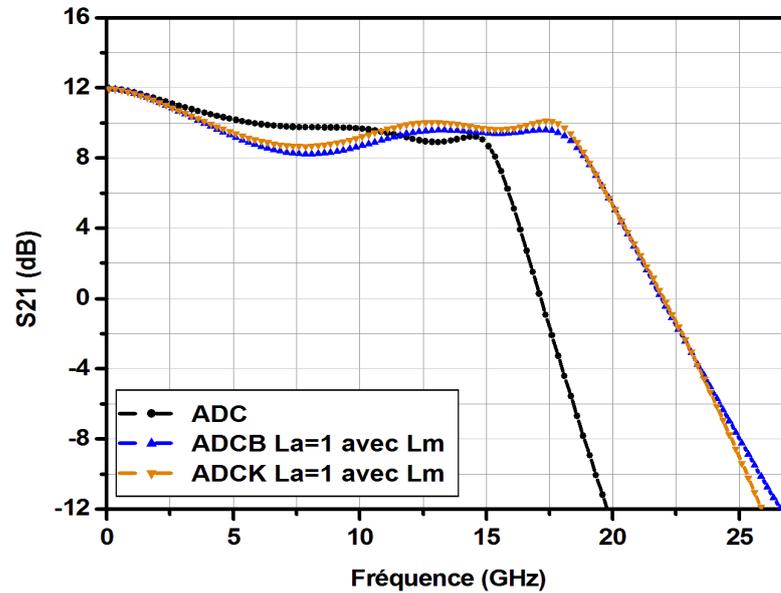


Figure IV.16: Gains en puissance en fonction de la fréquence de l'ADCK, l'ADCB et l'ADC

Dans la figure IV.17, nous présentons les coefficients de réflexion de l'ADCK pour $L_a=1$. Nous notons que le S_{11} est toujours inférieur à -8 dB pour le même filtre de Chebyshev utilisé. Par contre, le S_{22} est inférieur à -11 dB suite à l'utilisation des cellules à K-constant dans la ligne de drain. Ce qui a permis de réaliser une très bonne adaptation à la charge de 50Ω sur toute la bande passante de l'amplificateur.

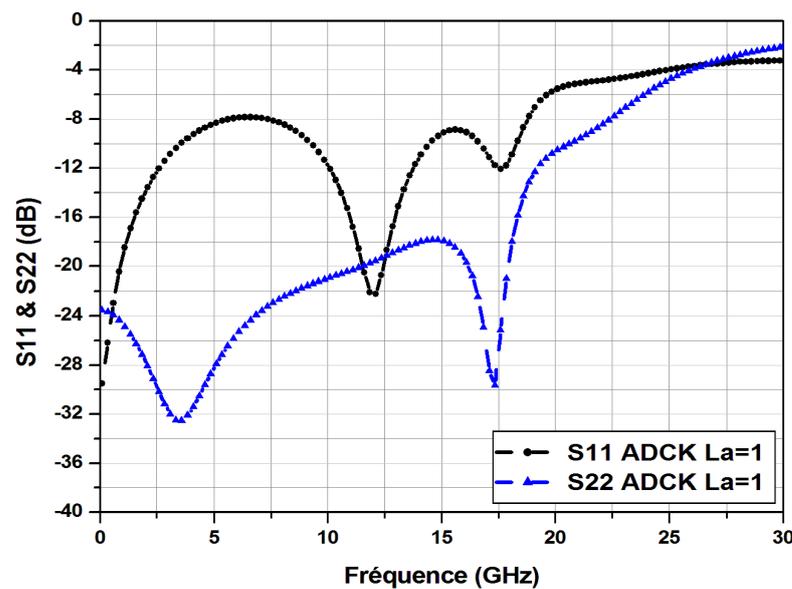


Figure IV.17: Coefficients de réflexion S_{11} et S_{22} de l'ADCK

IV.3.1.4 Effet du taux d'ondulation sur la bande passante

Ayant montré l'efficacité de notre méthode de conception pour l'élargissement de la bande passante, nous étudierons dans cette section l'effet du taux d'ondulation L_a sur cette bande. Nous concevrons donc des circuits ADCBs et ADCKs pour d'autres valeurs de L_a tel que $a_k > 2$ (tableau IV.3). Pour les valeurs des éléments rentrant dans la conception, nous les résumons dans le tableau IV.4.

Paramètres normalisés du filtre de Chebyshev						
L_a	g_0, g_6	g_1	g_2	g_3	g_4	g_5
1.2	1	2.284	1.046	3.165	1.046	2.284
1.5	1	2.496	0.985	3.402	0.985	2.496

Tableau IV.3: Paramètres normalisés du filtre de Chebyshev pour $L_a= 1.2$ et 1.5 [40]

L_a	Ld (nH) ADCB	Ld (nH) ADCK	Lm(nH)	Lg (nH)	M1 (μm)	M2 (μm)
1	0.64	0.79	0.1	0.43	2.5X64	2.5X64
1.2	0.59	0.74	0.1	0.39	2.5X64	2.5X64
1.5	0.54	0.68	0.1	0.33	2.5X64	2.5X64

Tableau IV.4: Valeurs des inductances et largeurs de transistors pour chaque valeur de L_a

La figure IV-18 illustre la réponse en fréquence de l'ADCB pour les valeurs choisies de L_a . Nous constatons que la bande passante s'élargit lorsque le taux d'ondulation augmente. Cependant, cet élargissement s'accompagne avec une ondulation plus importante et une détérioration du gain en hautes fréquences, représentant ainsi une limitation au taux d'ondulation à appliquer.

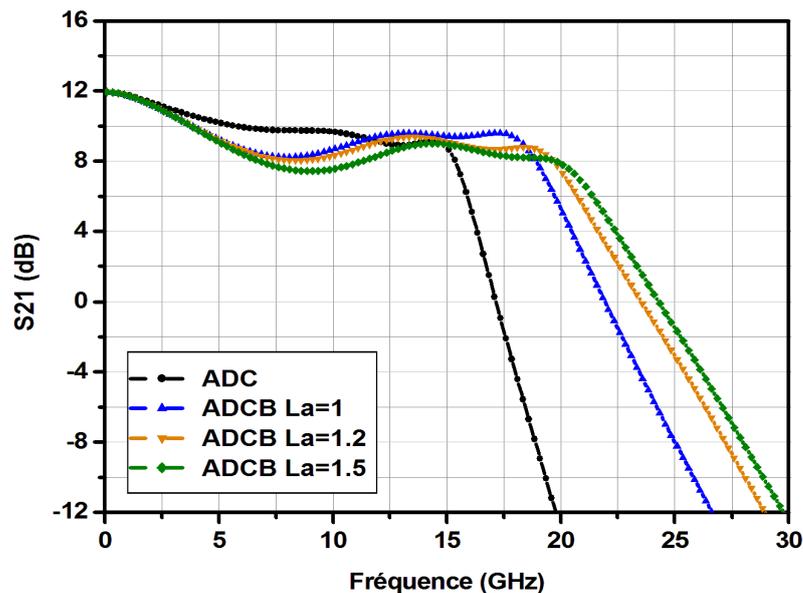


Figure IV.18: Effet du taux d'ondulation sur la réponse en fréquence de l'ADCB

Dans la figure IV-19, nous illustrons également la réponse en fréquence de l'ADCK pour les mêmes valeurs de L_a . Nous constatons aussi que l'élargissement de la bande s'accompagne avec des ondulations plus importantes lorsque L_a augmente. Par ailleurs, aucune amélioration de la bande passante n'a été observée pour $L_a=1.5$ en comparaison à celle réalisée pour $L_a=1.2$.

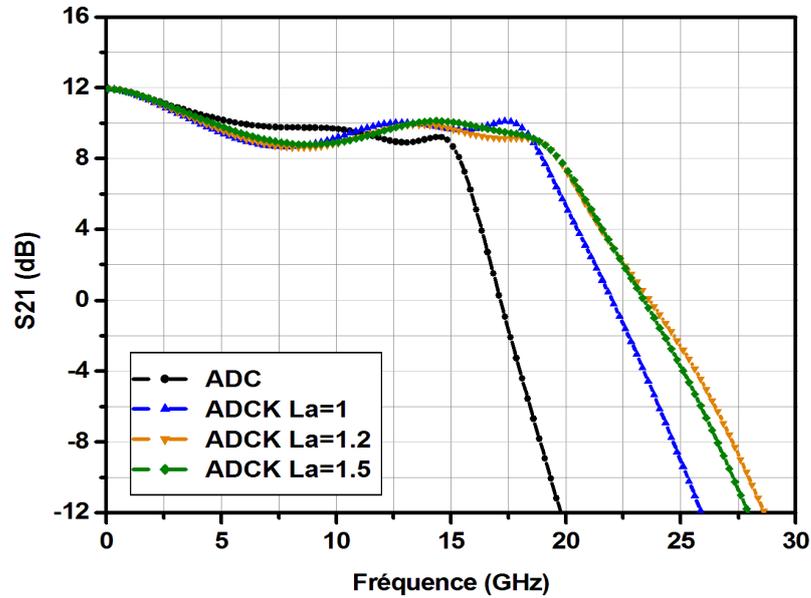


Figure IV.19: Effet du taux d'ondulation sur la réponse en fréquence de l'ADCK

A partir des deux figures précédentes, nous pouvons dire que l'existence très marquée des ondulations de la courbe du gain en puissance de l'amplificateur distribué à base de filtres, à l'intérieur de la bande passante, peut être due au fait que les ondes, qui se rencontrent en un nœud donné sur la ligne de drain et qui se dirigent vers la charge, ne sont pas en phase à toutes les fréquences, donc non constructives. Ce phénomène est lié au fait que les lignes de grille et de drain ne sont pas identiques. En effet, la ligne de grille est synthétisée selon la réponse fréquentielle de Chebyshev, par contre la ligne de drain est conçue soit en approximant sa réponse par le polynôme de Butterworth soit à partir des circuits K-constants. Ainsi, nous pouvons dire que l'amplitude des ondulations augmente bien évidemment avec celle du filtre de Chebyshev.

IV.3.1.5 Discussions des résultats de simulation des différentes configurations

Le tableau IV.5 résume l'ensemble des résultats obtenus à partir des simulations de la réponse en fréquence de l'ADC, l'ADCB et l'ADCK pour des structures uniformes et différentes valeurs du taux d'ondulation. A titre comparatif, les résultats de l'ADCB et l'ADCK montrent une nette amélioration de la bande passante par rapport à celle de l'ADC. Ceci est directement lié à la valeur du taux d'ondulation appliqué pour la synthèse du filtre de

Chebyshev à utiliser. Cette amélioration peut être exprimée dans le tableau IV.5 par trois performances que nous définissons comme suit :

1. Bande passante à -3dB exprimée par f_{-3dB}
2. Bande passante à 0dB exprimée par f_{0dB}
3. Produit Gain Bande-passante $GBP = |S_{21}|(f = 0) \cdot f_{-3dB}$

circuit	La	Gain ($f = 0$) (dB)	f_{-3dB}		f_{0dB}		GBP@-3dB	
			BP(GHz)	Am+(%)	BP(GHz)	Am+(%)	GBP(GHz)	Am+(%)
ADC	-	11.8	14.92	-	17.09	-	58	-
ADCB	1	11.8	18.45	24	21.92	28	71.8	24
	1.2	11.8	19.10	28	23.49	37	74.3	28
	1.5	11.8	18.6	25	24.25	42	72.4	25
ADCK	1	11.8	18.55	24	22.03	29	72.2	24
	1.2	11.8	19.23	29	23.55	38	74.8	29
	1.5	11.8	19.23	29	23.41	37	74.8	29

Tableau IV.5: Récapitulatif des résultats de simulation pour les ADs uniformes à base des filtres symétriques

Pour le cas de l'ADCB, la bande passante a -3dB atteint 19.10 GHz pour un taux de 1.2 dB, ceci représente une amélioration de 28% par rapport à l'ADC. Pour la bande passante à 0dB, elle atteint les 23.55 GHz pour un taux de 1.2 dB montrant une amélioration de 38%. Pour l'amélioration du produit GBP, il atteint les 29% par rapport à l'ADC.

Pour l'ADCK, la bande passante a -3dB atteint 19.23 GHz pour un taux de 1.2 dB, ceci représente une amélioration de 29% par rapport à l'ADC. Pour la bande passante à 0dB, elle atteint les 24.25 GHz pour un taux de 1.5 dB montrant une amélioration de 42%. Pour l'amélioration du produit GBP, il atteint les 28% par rapport à l'ADC.

Pour le gain, malgré l'utilisation de mêmes transistors et conditions de polarisation, l'ondulation présentée par l'ADCB est légèrement grande que celle obtenue par l'ADCK donnant un tout petit privilège à l'utilisation de l'ADCK. Cependant, l'ADCB utilise moins d'inductances ce qui le rend plus intéressant en terme du silicium occupé.

IV.3.1.6 Simulation du facteur de bruit des ADs à base des filtres

Dans cette partie, nous nous sommes intéressés à la performance de bruit des configurations ADCB et ADCK illustrées précédemment. Pour cela, nous avons effectué des simulations de bruit pour deux valeurs de La à savoir 1 et 1.2 qui sont illustrées dans les figures IV.20 et IV.21.

A partir des courbes simulées, nous constatons que l'évolution fréquentielle du facteur de bruit pour chaque circuit conçu est en parfaite adéquation avec la théorie de bruit des amplificateurs distribués [39].

Pour le facteur de bruit de l'ADC, il varie entre 3 dB et 6.5 dB dans la bande passante, avec une valeur minimale de 3 dB à 7 GHz. Quant à l'ADCB et l'ADCK, nous constatons que l'allure du facteur de bruit simulé s'étend sur la bande passante selon la valeur de L_a appliquée. Par ailleurs, leur facteur de bruit varie entre 3.5 dB et 6.5 dB dans la bande passante avec une valeur minimale de 3.5 dB à 10 GHz.

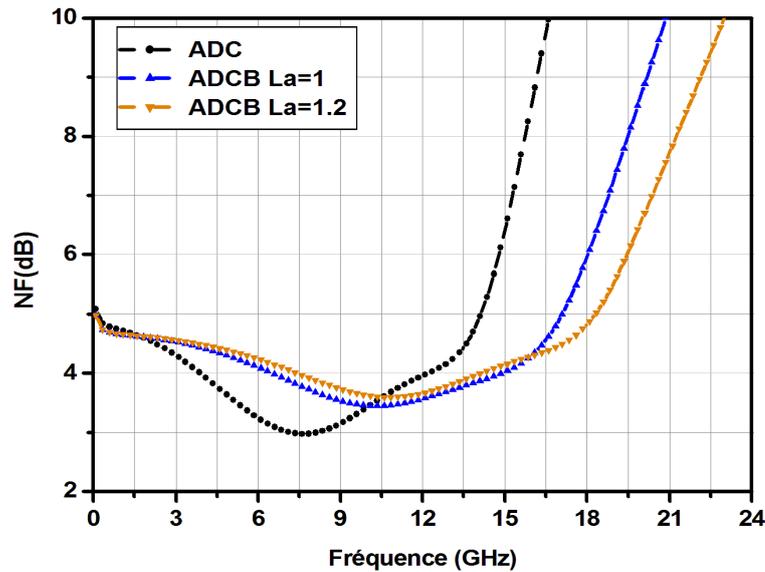


Figure IV.20: Facteur de bruit en fonction de la fréquence de l'ADCB pour $L_a=1$ et 1.2

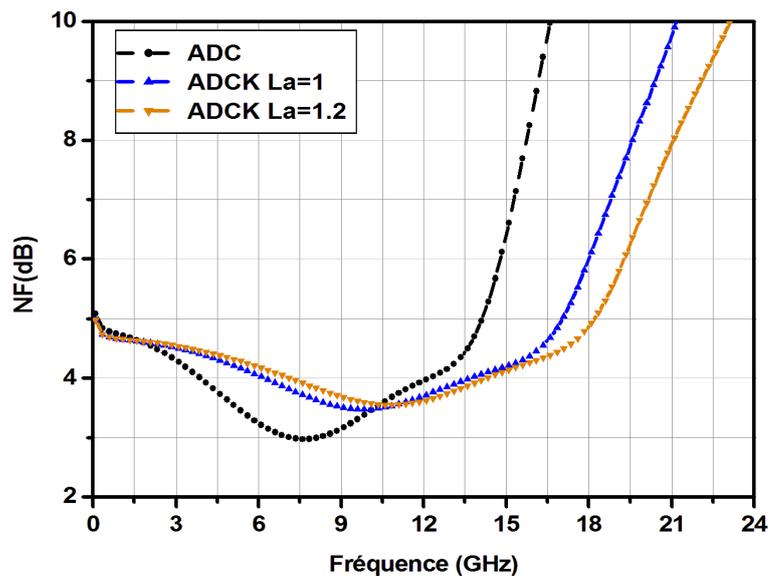


Figure IV.21: Facteur de bruit en fonction de la fréquence de l'ADCK pour $L_a=1$ et 1.2

IV.3.2 Conception des ADs à base des transistors non-identiques (non-uniformes)

Dans les sections précédentes, nous avons utilisé des transistors identiques pour permettre une comparaison entre notre méthode et la méthode classique. Cependant, la non-uniformité de la structure des filtres symétriques peut être bénéfique pour améliorer le gain moyennant des transistors non-identiques. Pour cela, dans la ligne de grille, les largeurs de transistors utilisés doivent correspondre aux valeurs des capacités utilisées par le filtre de Chebyshev pour $a_k > 2$.

La figure IV-22 illustre le schéma électrique de l'ADCK non uniforme où la ligne de grille est composée de transistors (M_1, M_2) non-identiques. Le tableau IV.6 donne également les valeurs de composants rentrant dans la conception de l'ADCK pour un $La=1$.

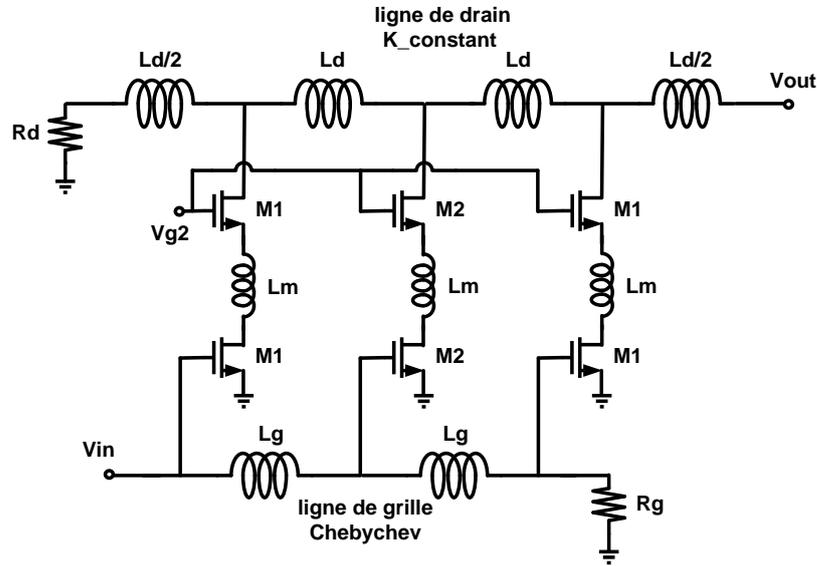


Figure IV.22: Schéma électrique de l'ADCK non uniforme $M_2 > M_1$

ADCK non uniforme $La=1$	Inductances			Transistors	
	Ld (nH)	Lg (nH)	Lm(nH)	M1 (μm)	M2 (μm)
	0.79	0.43	0.1	2.5X64	3.2X64

Tableau IV.6: Valeurs des inductances et largeur de transistors pour l'ADCK non uniforme

Dans la figure IV.23, nous présentons les résultats de simulation de la réponse en fréquence des ADCKs uniforme et non uniforme pour un taux d'ondulation de 1 dB. D'après les courbes, nous constatons que les deux ADCKs présentent pratiquement les mêmes bandes passantes à f_{-3dB} et f_{0dB} . Cependant, pour le gain en puissance, l'ADCK non uniforme enregistre une amélioration d'environ 1dB par rapport à l'ADCK uniforme. Cette amélioration revient en particulier à la largeur de M_2 qui est plus grande que celle de M_1 , ce qui se traduit par une transconductance plus importante pour les mêmes conditions de polarisation. En

revanche, l'ADCK non uniforme consomme plus de puissance en dissipant 42,2 mW contre 38,2 mW dans le cas de la topologie uniforme sous une tension d'alimentation de 1.8V.

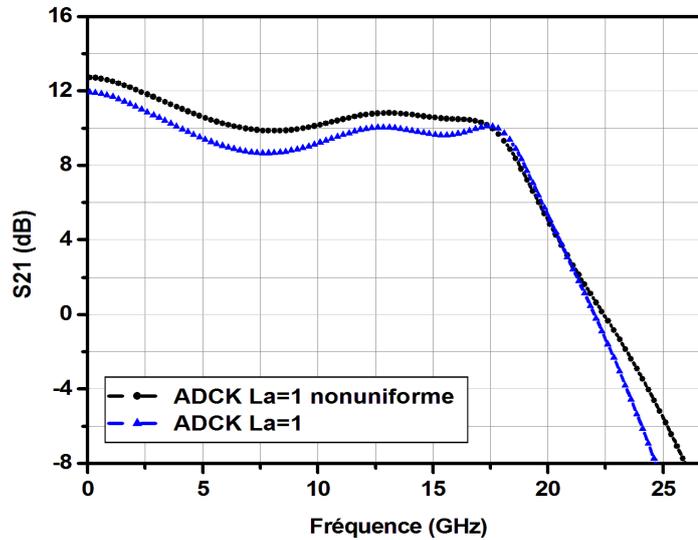


Figure IV.23: Gain en puissance de l'ADCK non uniforme

IV.4 Conception des ADs par la méthode des filtres asymétriques

Dans cette section, nous utiliserons un autre type de filtres pour la conception des amplificateurs distribués. Ces filtres sont d'ordre pair, asymétriques et se caractérisent par une structure non uniforme. Le premier élément est une capacité shunt et le dernier élément est une inductance en série avec la résistance de charge (g_7) qui est différente de la résistance du générateur ($g_7 \neq g_0$) (figure IV.24). Le tableau IV.7 montre que, pour un taux d'ondulation $La=1$, les paramètres a_k sont supérieures à 2, ce qui permet d'élargir la bande passante. Nous allons donc exploiter ces paramètres pour concevoir l'ADCK asymétrique (figure VI.25) où les valeurs des éléments du circuit sont calculées et résumées dans le tableau IV.8. Par ailleurs, nous enregistrons que la valeur de la résistance R_g est importante et vaut 133Ω .

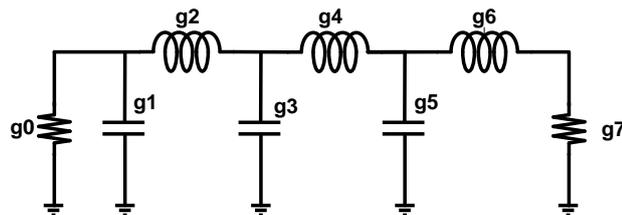


Figure IV.24: Filtre de Chebyshev d'ordre 6 de type asymétrique

Paramètres Normalisés	g_0	g_1	g_2	g_3	g_4	g_5	g_6	g_7
Taux d'ondulation La=1	1	2.1546	1.1041	3.0634	1.1518	2.9367	0.8101	2.6499

Tableau IV.7: Paramètres normalisés du filtre de Chebyshev asymétrique d'ordre 6

Lg1(nH)	Lg2(nH)	Lg3(nH)	Lm (nH)	Ld(nH)	Rg (Ω)
0.43	0.46	0.32	0.1	0.79nH	133
Transistors non-identiques			M1	M2	M3
			64x2.5	64x2.5	64x2.5

Tableau IV.8: Valeurs de composants pour l'ADCK asymétrique

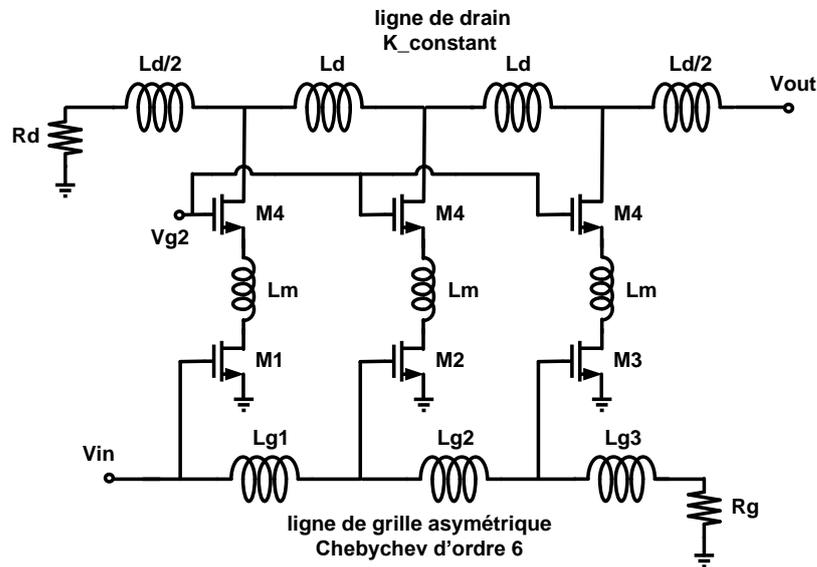


Figure IV.25: Schéma électrique de l'ADCK non-uniforme asymétrique

La figure IV.26 illustre la réponse en fréquence de l'ADCK non-uniforme asymétrique, qui montre une amélioration du gain en basses fréquences, une bande passante relativement large, et des ondulations assez importantes par rapport à l'ADC. L'amélioration du gain est due principalement à la résistance R_g qui est plus grande que 50Ω . Ceci implique une tension V_{gs} plus grande que celle obtenue dans le cas où $R_g = 50 \Omega$, engendrant ainsi un courant de sortie plus élevé. Quant à l'amélioration de la bande passante, elle se justifie par le choix du taux d'ondulation imposée par la technique proposée. Avec cette résistance R_g , la ligne de grille se trouve désadaptée, parcourue par conséquent par des ondes stationnaires qui sont d'autant plus importantes que l'écart entre R_g et 50Ω est grand.

Quant à la figure VI.27, le coefficient de réflexion S_{11} montre une désadaptation de la ligne d'entrée, ceci est dû à la non-uniformité du filtre. En revanche, le coefficient de réflexion S_{22} montre une très bonne adaptation à 50Ω vu l'utilisation des cellules à k-constant.

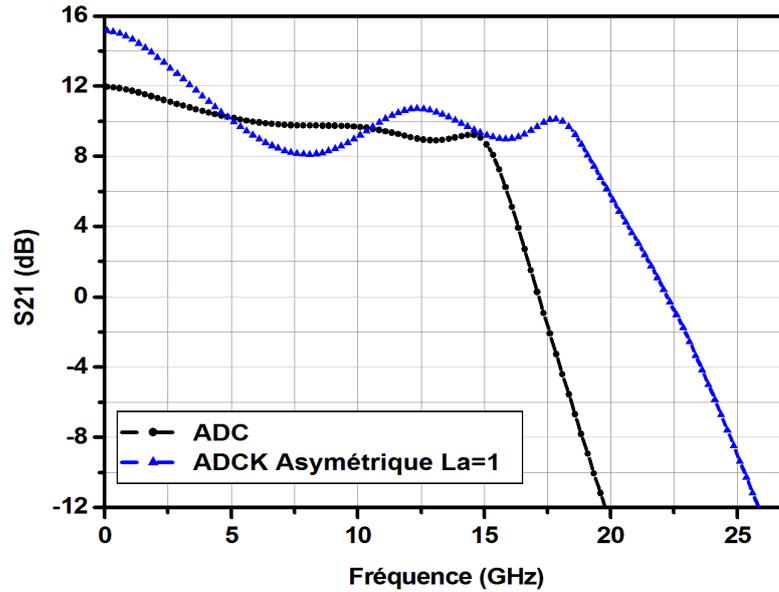


Figure IV.26: Gain en puissance de l'ADCK asymétrique.

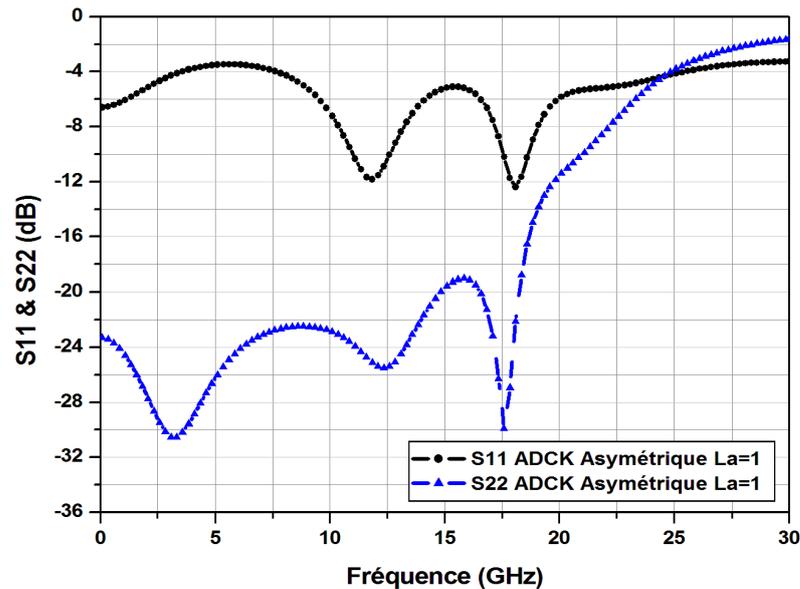


Figure IV.27: Coefficients de réflexion S_{11} et S_{22} l'ADCK asymétrique.

IV.5 Comparaison des résultats obtenus avec les travaux réalisés en technologie $0.18\mu\text{m}$

Dans le tableau IV.9, nous comparons les résultats obtenus par la méthode proposée avec les travaux déjà réalisés en technologie $0.18\mu\text{m}$. L'ADCK que nous avons conçu présente de bonnes performances en termes de bande passante par rapport à tous les résultats du tableau. Ce résultat est considéré très satisfaisant par rapport à l'objectif défini. Pour les coefficients

de réflexion, l'ACDB montre une adaptation acceptable en entrée et une bonne adaptation en sortie. Quant à la performance du bruit, le facteur de bruit de l'amplificateur conçu reste appréciable dans la bande passante et comparable aux performances des autres travaux du présent tableau. Du point de vue consommation de puissance, l'ADCB consomme 38.2 mW sous une tension de polarisation de 1.8 V, ce qui est inférieur à la consommation des circuits réalisés par Yungliang et Liu [4][6].

Réf	Topologie	Bande (GHz)	S_{11} (dB)	S_{22} (dB)	S_{21} (dB)	NF (dB)	Vdd (V)	Conso. (mW)	année
[4]	Convent	0.5-14	<-11	<-11	10.6±0.9	3.5-5.4	1.8	52	2003
[5]	Convent	0.1-11	<-12	<-12	8	2.9	1.8	21.6	2005
[6]	Butterworth	9	<-17	<-14	11.7±0.6	-	1.8	51	2006
	Chebyshev	8.5	<-11	<-10	10±1.1	-	1.8	54	
[7]	Convent	0.04-6.2	<-16	<-10	8±0.9	4.2-6.2	1.3	9	2006
Nos travaux	Convent	0 - 14.9	<-11	<-11	11.8 @ $f = 0$	3-6.5	1.8	38.2	2011
	ADCB La=1	0 - 18.4	<-8	<-11	11.8 @ $f = 0$	3.5-6.5	1.8	38.2	
	ADCB La=1.2	0 - 19.1	<-8	<-11	11.8 @ $f = 0$	3.5-6.5	1.8	38.2	

Tableau IV.9: Comparaison de nos résultats [1] avec les travaux réalisés sur les amplificateurs distribués en technologie CMOS 0.18µm

IV.6 Conclusion

Dans ce chapitre, nous avons pu montrer à travers la nouvelle méthode de conception proposée les possibilités d'élargir la bande passante de l'amplificateur distribué par l'introduction d'un filtre de Chebyshev dans la ligne de grille et un filtre de Butterworth ou bien les cellules à K-constant dans la ligne de drain. Cette méthode de conception a été confirmée avec les résultats obtenues et s'avère très simple et efficace pour son implémentation en vue de réaliser de bandes passantes plus larges que celle de l'amplificateur distribué conventionnel.

CHAPITRE V

Conception d'un amplificateur distribué à un seul étage en CMOS

V.1 Introduction

Nous avons utilisé la méthode développée par F. Amrani et al. [2] pour concevoir un amplificateur distribué à un seul étage noté ADNA (Amplificateur Distribué Non Adapté), entièrement intégré en technologie CMOS 0.18- μm . Cette méthode permet d'optimiser la bande passante sans pour autant altérer le gain en puissance. Cependant, elle impose, si on veut aboutir à une meilleure optimisation de la bande passante, l'emploi d'un dispositif actif unilatéral et capacitif en entrée (capacité C_g) et en sortie (capacité C_d) tels que le rapport de ces deux capacités devient un paramètre de conception de circuit amplificateur, ce rapport est exprimé par la relation $C_d/C_g = 0.109$. Pour cela, au lieu d'employer un transistor, nous avons opté pour la structure cascode qui répond au mieux à ces exigences.

V.2 Conception de l'amplificateur ADNA en CMOS

Le montage de l'amplificateur distribué à un seul étage est donné par la figure V-1. Il indique que, contrairement à l'amplificateur distribué conventionnel, les lignes de grille et de drain ne sont pas adaptées à 50Ω . La condition d'adaptation n'étant donc pas imposée, ceci a permis à la méthode proposée d'aboutir à une conception à large bande dont les éléments du montage, pour un dispositif actif vérifiant les critères cités précédemment, sont calculés selon les formules suivantes :

$$C_d = 0.109 C_g \quad (\text{V.1})$$

$$L_g = 1768 C_g \quad (\text{V.2})$$

$$L_d = 4268 C_g \quad (\text{V.3})$$

où L_g et L_d sont respectivement les inductances des lignes de grille et de drain.

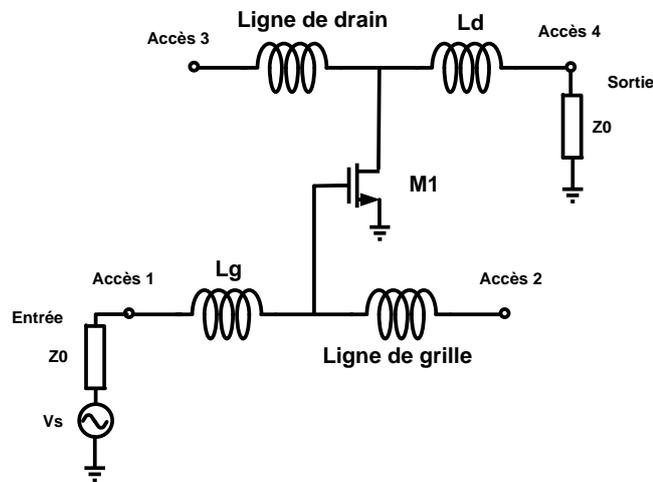


Figure V.1: Amplificateur distribué à un seul étage, montage source commune [2].

Comme un seul transistor MOSFET ne peut pas satisfaire les conditions précédentes, le recours au montage cascode (figure V.2) est recommandé. La largeur de grille des deux transistors M_1 et M_2 sont respectivement W_1 et W_2 .

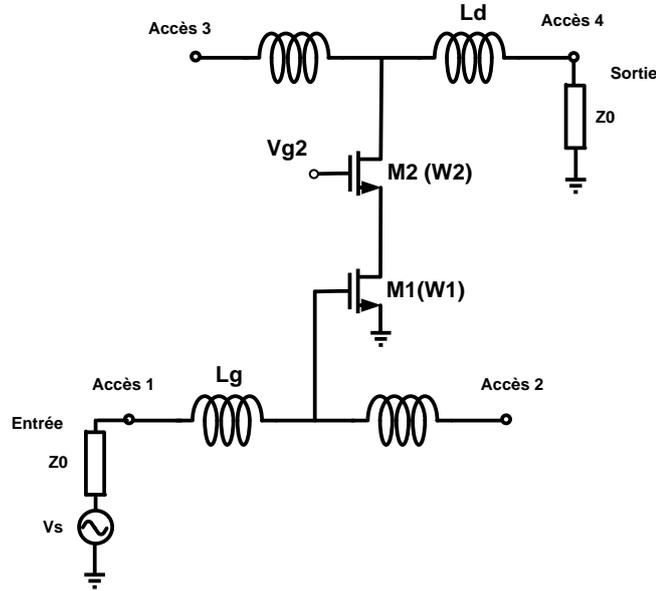


Figure V.2: Montage cascode pour deux MOSFETs de largeurs différentes .

En général, les capacités d'entrée et de sortie du montage cascode s'expriment par [22] :

$$C_g = C_{gs1} + C_{gd1} \left(1 + \frac{g_{m1}}{g_{m2}} \right) \quad (\text{V.4})$$

$$C_d = C_{gd2} + C_{db2} \quad (\text{V.5})$$

où :

1. C_{gs1} est la capacité grille-source de M_1 .
2. C_{gdi} et g_{mi} sont respectivement la capacité grille-drain et la transconductance de M_i ($i=1,2$).
3. C_{db2} est la capacité drain-substrat de M_2 .

Les paramètres contenus dans les expressions (V.4) et (V.5) dépendent de W_1 et W_2 [22], il en sera donc de même pour le rapport C_d / C_g . Il en résulte que les caractéristiques du transistor que sont principalement la bande de fréquence, le gain, le facteur de bruit et la consommation en dépendent également. Toutes ces caractéristiques sont antagonistes les unes par rapport aux autres [44], ceci nous amène donc, lors d'une conception, à privilégier soit une caractéristique au détriment des autres, soit fixer un compromis entre elles.

Donc, la conception, par le truchement du dimensionnement de la largeur de grille W des transistors MOSFET en technologie monolithique, doit prendre en compte l'un ou l'autre de ces deux cas.

L'une des tendances actuelles est à la diminution de la consommation de l'amplificateur et l'amélioration du gain. Or, diminuer trop la consommation entraînera inévitablement une décroissance importante du gain. Cet état de fait nous a conduit à trouver un compromis entre ces deux caractéristiques : Transconductance = 38mS et consommation= 3.95mA pour des largeurs de grille trouvées sont $W_1 = 125 \mu\text{m}$ et $W_2 = 45 \mu\text{m}$.

Nous nous sommes également intéressés à l'amplificateur à un seul étage conventionnel et à l'amplificateur distribué à 4 étages, nommés respectivement ADNAC (Amplificateur Distribué Non Adapté Conventionnel) et ADC4 [2], dans la perspective de comparer leurs caractéristiques sachant qu'ils présentent le même gain à $f = 0$. Le montage de ADC4 est donné par la figure V.3 alors que celui de l'ADNA et de l'ADNAC sont identiques (figure V.2), cependant les valeurs de leurs éléments constitutifs sont différentes.

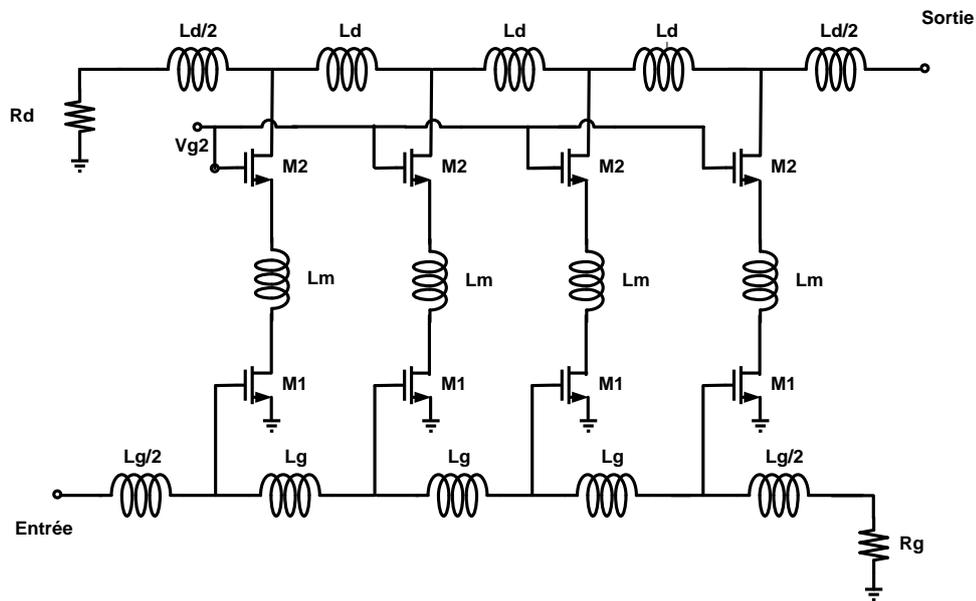


Figure V.3: Amplificateur distribué ADC4 avec montage cascode.

Compte tenu du résultat précédent ($W_1 = 125 \mu\text{m}$ et $W_2 = 45 \mu\text{m}$ où les capacités $C_g = 0.295\text{pF}$ et $C_d = 32\text{fF}$), des formules (V.1, V.2, V3) et du fait que les impédances caractéristiques des lignes de grille et de drain de l'ADNAC et de l'ADC4 sont fixées à la valeur de 50Ω , nous trouvons les valeurs suivantes :

1. pour l'ADNA : $L_g = 0.52\text{nH}$, $L_d = 1.26\text{nH}$
2. pour l'ADNAC et l'ADC4 : $L_g = L_d = 0.74\text{nH}$ et $C = 0.263\text{pF}$ la capacité shunt à ajouter au drain.

Par ailleurs, l'inductance $L_m = 0.32\text{nH}$ est rajoutée entre le transistor source commune et grille commune de la topologie cascade utilisée en ADC4. Ceci a pour objectif l'amélioration de la réponse du gain en hautes fréquences comme indiqué dans la référence [45].

Ainsi, nous résumons les paramètres géométriques qui sont liés à chaque valeur d'inductance utilisée pour la conception des amplificateurs ADNA, ADNAC et ADC4 dans le tableau V.1 ci-après.

	ADNA		ADNAC	ADC4	
	Lg	Ld	Lg=Ld	Lg=Ld	Lm
Inductances (nH)	0.52	1.26	0.74	0.74	0.32
Rayon (μm)	61	62	41	41	30
Largeur de métal (μm)	6	6	6	6	15
Nombre de tours	1.5	2.5	2.5	2.5	2

Tableau V.1: Valeurs des inductances en fonction des paramètres géométriques

V.3 Résultats de simulation de l'ADNA, l'ADNAC et l'ADC4

Pour analyser les caractéristiques des amplificateurs ADNA, ADNAC et ADC4, nous avons utilisé le logiciel Cadence et la technologie CMOS $0.18\mu\text{m}$ pour toutes les simulations. Les résultats obtenus sont donnés sous forme de courbes en fonction de la fréquence en GHz décrivant le gain en puissance en dB et le facteur de bruit en dB de l'ADNA, l'ADNAC et l'ADC4 (figure V.4, figure V.5):

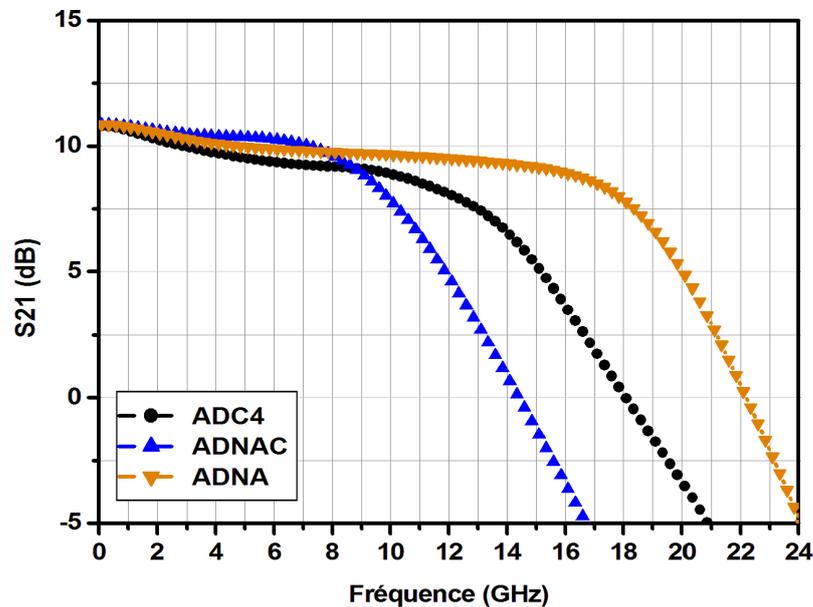


Figure V.4: Gain des amplificateurs ADNA, ADNAC et ADC4 en fonction de la fréquence.

A partir de la figure V.4, nous pouvons dire que l'ADNA offre une bande passante plus large que celles de l'ADNAC et l'ADC4. Ceci confirme une fois de plus la qualité de la méthode développée par [2]. Quant à la performance du bruit, la figure V.5 montre que l'ADNA offre un facteur de bruit très intéressant et inférieur à 4dB sur toute sa bande pas-

sante. Cette performance de bruit qualifie fortement l'ADNA pour les applications à faible bruit. Par ailleurs, l'ADNA et l'ADNAC présentent des facteurs de bruit identiques aux fréquences inférieures à 10 GHz du fait qu'ils sont composés d'un seule étage, et se séparent au delà de la limite la bande passante de l'ADNAC. Cependant, l'ADC4 présente un facteur de bruit plus élevé que celui de l'ADNA et l'ADNAC, vu le nombre élevé de transistors et par conséquent un nombre élevé de sources de bruit.

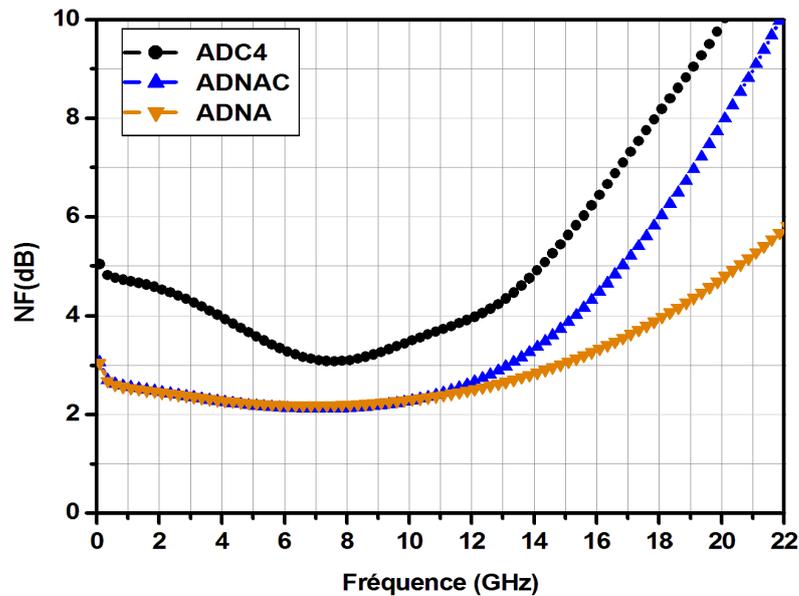


Figure V.5: Facteur de bruit des amplificateurs ADNA, ADNAC et ADC4 en fonction de la fréquence.

Afin d'effectuer une comparaison des trois amplificateurs conçus, nous présentons dans le tableau V.2 les résultats de simulation obtenus en termes de gain dc, de bande passante, de consommation de puissance et de nombre d'inductances.

	$G(f = 0)$ (dB)	f_{-3dB} (GHz)	f_{0dB} (GHz)	NF (dB)	Pdc (mW)	Nbre d'inductances
ADNA	10.8	18	22.2	2.03-3.96	7.1	2
ADNAC	10.8	10	14.5	2.03-2.35	7.1	2
ADC4	10.8	12.6	18.1	3.01-4.16	28.4	14

Tableau V.2: Tableau comparatif

D'après le tableau V.2, on remarque que l'ADNA réalise une amélioration importante en terme de bande passante en comparaison avec l'ADNAC et l'ADC4. Pour la bande passante définie à f_{-3dB} , l'ADNA enregistre une amélioration de 80% par rapport à l'ADNAC et 42,9% par rapport à l'ADC4. Pour la bande passante définie à f_{0dB} , l'ADNA réalise une amélioration de 53.1% que celle de l'ADNAC et 22,7% plus que celle de l'ADC4. Quant à la consommation de puissance, l'ADNA consomme le 1/4 de la puissance consommée par

l'ADC4, ce qui représente une excellente performance par rapport aux amplificateurs utilisés dans les applications à large bande.

Afin de compléter notre analyse sur l'ADNA, nous nous sommes également intéressés à sa performance de linéarité pour pouvoir le comparer aux travaux les plus récents. Vu la coexistence de plusieurs standard dans le spectre, le produit d'intermodulation d'ordre 3 est le paramètre qui définit l'immunité d'un amplificateur contre les interférences. A cet effet, nous présentons dans les figures V.6 et V.7 les résultats de simulations du point d'interception d'ordre 3 (IP3) à deux fréquences 2 GHz et 12 GHz .

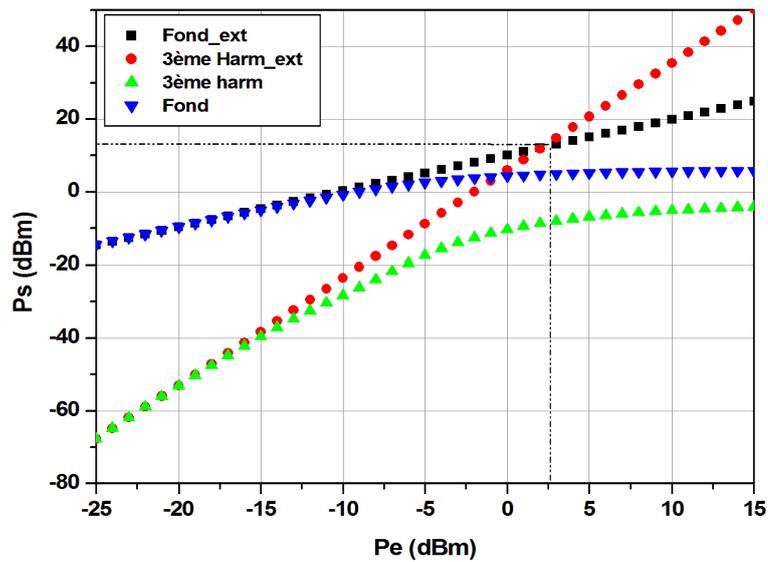


Figure V.6: Point d'Interception d'ordre 3 de l'ADNA @ 2GHz

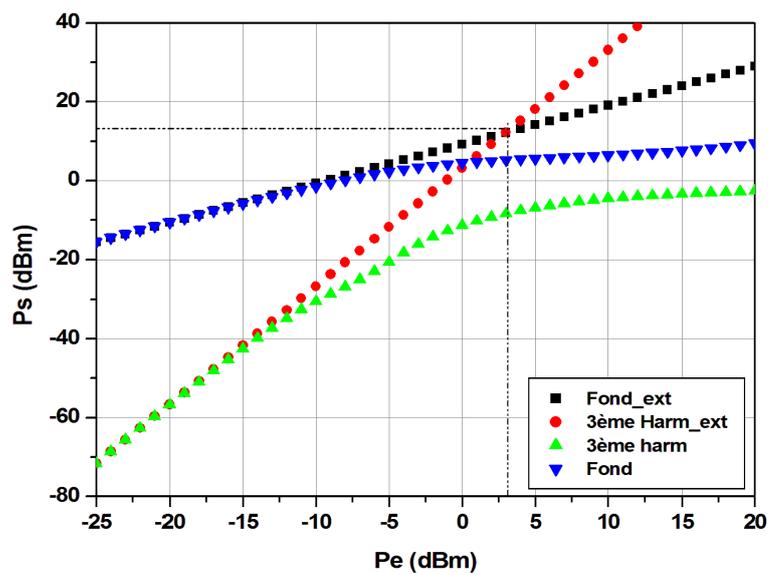


Figure V.7: Point d'Interception d'ordre 3 de l'ADNA @ 12GHz

	Notre travail	[4]	[7]	[45]
Technology	CMOS 0.18 μ m	CMOS 0.18 μ m	CMOS 0.18 μ m	CMOS 0.18 μ m
f_{-3dB} (GHz)	0-18	0.5-14	0.04-7	0.1-11
S21 (dB)	10.8	10.6 \pm 0.9	8 \pm 0.6	8
f_{0dB} (GHz)	22.2	-	8	-
NF (dB)	2.03-3.96	3.5-5.4	4.2-6.2	2.9
IP3 (dBm)	+2.5	+9.4	+3	-3.4
Pdc (mW)	7.1	52	9	21.6
Nombre d'étages	1	3	3	3
Nombre d'inductances	2	8	8	11
Topologie	cascode	cascode	cascode	cascode

Tableau V.3: Comparaison des performances de l'ADNA avec celles des amplificateurs [4], [7] et [45].

Comparativement aux amplificateurs distribués intégrés en technologie CMOS 0.18 μ m ayant déjà fait l'objet de publications [4], [7] et [45], le circuit que nous proposons, l'ADNA en technologie CMOS 0.18 μ m, possède de meilleures caractéristiques en termes de largeur de bande, de gain, de facteur de bruit et de consommation. Excepté pour la linéarité, l'ADNA présente un IP3 plus faible que celui des amplificateurs [4] et [7], mais qui reste acceptable. De plus, notre circuit est considéré très compact vis à vis des autres travaux vu le nombre réduit des inductances utilisées.

V.4 Conclusion

En conclusion, nous pouvons dire que la particularité du transistor exigé par la méthode de conception développée pour l'ADNA a réellement trouvé son application en technologie monolithique vu la possibilité de dimensionnement. Par ailleurs, les résultats d'intégration de l'ADNA en technologie CMOS ont montré qu'il est candidat potentiel pour une application à large bande, à faible bruit, à faible consommation et à bas prix. En perspective, pour augmenter un peu plus la bande passante de l'ADNA en technologie CMOS, nous devons concevoir celui-ci selon la méthode générale proposée dans la référence [46].

CHAPITRE VI

Conception d'un amplificateur UWB à faible bruit et basse tension d'alimentation

VI.1 Introduction

Toujours dans le cadre de conception des amplificateurs large bande en technologie CMOS 0.18 μm , dans ce chapitre, nous nous sommes intéressés à la conception d'un amplificateur UWB à faible bruit et basse tension d'alimentation dans la bande de fréquence 3.1-10.6 GHz. Pour cela, un aperçu sera donné sur la technologie UWB (Ultra Wide Band), son historique, sa norme et ses applications, ce qui nous permettra aussi de définir le contexte dans lequel le circuit amplificateur que nous proposons sera conçu. Pour les concepts de base de l'amplification à faible bruit, nous donnerons un rappel sur les topologies de base utilisées pour la conception de ce type d'amplificateurs ainsi que leurs avantages et inconvénients. Nous évoquerons également quelques configurations qui permettent la réalisation de l'amplification large bande à faible bruit. Enfin, nous proposerons une nouvelle configuration pour les applications à faible bruit et à basse tension d'alimentation, où nous exposerons une méthodologie bien précise pour la conception de notre circuit. En dernier lieu, nous passerons à la partie Layout et les résultats de simulation post-layout en vue d'atteindre de bonnes performances comparables à l'état de l'art.

VI.2 Technologie Ultra-WideBand

VI.2.1 Historique de l'Ultra-WideBand

Historiquement, l'investigation sur la technologie Ultra WideBand (UWB) a bien connu ses débuts dans les années 60s comme une technologie militaire développée principalement pour la technologie radar. Le premier détecteur d'impulsions UWB fut son apparition en 1972. Dès 1975, Tektronix contribua aussi à l'essor des applications basées sur l'UWB en proposant divers composants discrets permettant de concevoir un système de communication ou un radar UWB. Il y eut aussi les contributions d'Harmuth, de Ross et Robbins, auteurs des premiers brevets sur le sujet. En 1978, C. L. Bennett et G. F. Ross, chercheurs américains publièrent un article, intitulé 'Time-Domain Electromagnetics and Its Applications' dans lequel ils proposèrent un état de l'art des travaux effectués durant les dernières années dans le domaine de l'UWB [16][17].

Jusqu'à la fin des années 70, l'ensemble de ces travaux fut particulièrement soutenu par les militaires qui voyait en l'UWB un fort potentiel pour les applications de type radar. Ce n'est qu'au début des années 80 que l'industrie associa l'UWB à de nouvelles applications, tant dans le domaine des radars que celui des communications.

Les progrès réalisés depuis plus de 20 ans ont permis de mettre en évidence cette technique novatrice aux yeux des industriels, en leur attribuant de nombreux avantages par rapport aux systèmes à bande étroite existants. En 1990, le terme UWB fait son apparition à travers une étude de la Defense Advanced Research Projects Agency (DARPA) sur un radar utilisant des impulsions ayant une importante largeur de bande en fréquences.

Par ailleurs, l'un des tournants dans l'évolution de cette technologie s'est produit en février 2002 lorsque la Federal Communications Commission (FCC) a mis en place une réglementation autorisant l'utilisation de la technologie UWB pour les télécommunications grand public aux États-Unis. En attribuant une bande de fréquence continue de 7.5 GHz, non soumise à licence, la FCC a potentiellement ouvert la porte du très haut débit, au-delà du Gbps[18].

VI.2.2 Principe de fonctionnement

Comme toute nouvelle technologie, l'UWB doit apporter une plus-value par rapport aux systèmes et technologies déjà présents sur le marché. L'intérêt porté par les industriels envers l'UWB repose sur deux concepts de la théorie de l'information qui montrent que la capacité de communication d'un système ainsi que sa résolution spatio-temporelle sont grandement améliorées avec un système UWB par rapport à un système bande étroite (Système Narrow-Band (NB)) (figure VI.1).

Sous une approche temporelle, le principe de base de l'UWB impulsionnelle repose sur l'émission d'un signal fortement limité dans le temps - une impulsion - à l'inverse d'un signal bande étroite dont l'émission se fait en continu (figure VI.2). Dès lors, l'analyse fréquentielle d'un signal UWB présente une large occupation spectrale comparée à un signal NB à l'image des systèmes GSM, Bluetooth ou encore ZigBee. Ceci s'illustre aussi au travers de la figure VI.1 qui compare qualitativement les spectres d'un signal UWB avec celui d'un signal NB. Retenons dès maintenant que dans le cas des applications mettant en œuvre une technologie de type UWB, l'augmentation de la largeur de bande du signal se fait au détriment de la Densité Spectrale de Puissance (DSP) émise afin de garantir la coexistence entre systèmes. D'ailleurs, les problèmes d'interférences UWB ont également entravé le rythme de développement.

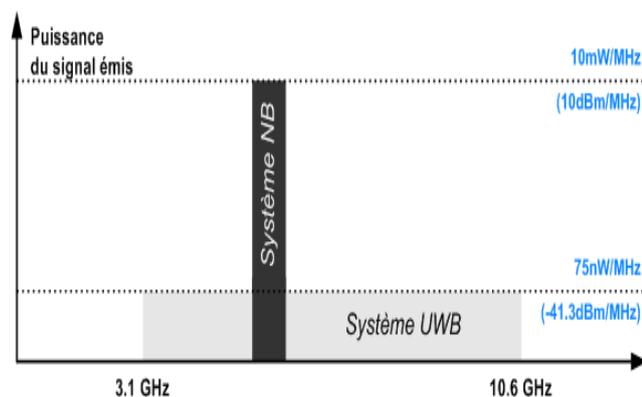


Figure VI.1: Spectre du signal émis des systèmes de communication UWB et NB [59]

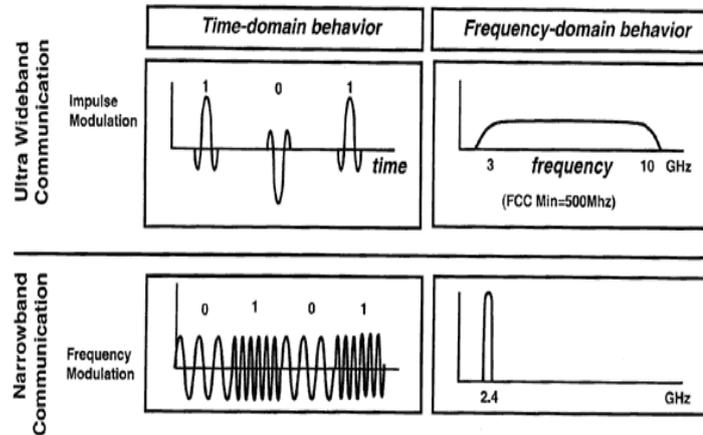


Figure VI.2: Comparaison temporelle et fréquentielle entre les deux systèmes de communication NB et UWB

VI.2.3 Norme UWB et bande de fréquences

Le standard IEEE 802.15.3 propose de normaliser une couche physique et une couche liaison de données basées sur le concept UWB [19]. Sachant que ce dernier est une technique d'étalement de spectre qui consiste à transmettre les données sur un spectre très large en un temps très court, l'UWB permet donc d'atteindre des débits très importants (près d'un Gbits/s), mais sur une distance assez courte. En effet, la bande passante d'un système de communication UWB décroît exponentiellement avec la distance. De ce fait, un réseau UWB maillé à forte densité de nœuds devrait théoriquement proposer un débit plus élevé qu'un réseau UWB à faible densité de nœuds. L'UWB présente également des avantages au niveau propagation, de part de la brièveté de l'émission, les transmissions basées sur l'UWB présentent une très bonne immunité aux multi-trajets.

C'est pourquoi le groupe de travail IEEE 802.15.3a [47] est créé afin d'étudier une couche physique alternative basée sur la technologie UWB et permettant d'accéder à des débits atteignant 480 Mbit/s pour des portées inférieures à 10 mètres. Mis à part ces débits plus élevés, ce nouveau standard reprend les contraintes formulées par le groupe IEEE 802.15.3.

Afin de limiter les effets des signaux UWB sur les autres systèmes radio, les différentes autorités de régulation s'accordent sur l'utilisation de la bande fréquentielle [3.1-10.6 GHz] sans licence pour les émissions UWB. Cette partie du spectre permet d'utiliser une largeur de bande jusqu'à 7.5 GHz, en évitant les systèmes sensibles de téléphonie et de GPS. En plus, les autorités de régulation ont imposé une limitation très sévère sur la puissance d'émission. La densité spectrale de puissance autorisée est située sous le niveau d'émission non-intentionnelle imposé par la FCC (-41 dBm) (figure VI.3). Par ailleurs, la portée d'un système de télécommunication UWB n'excède pas une dizaine de mètres (Tableau VI.1).

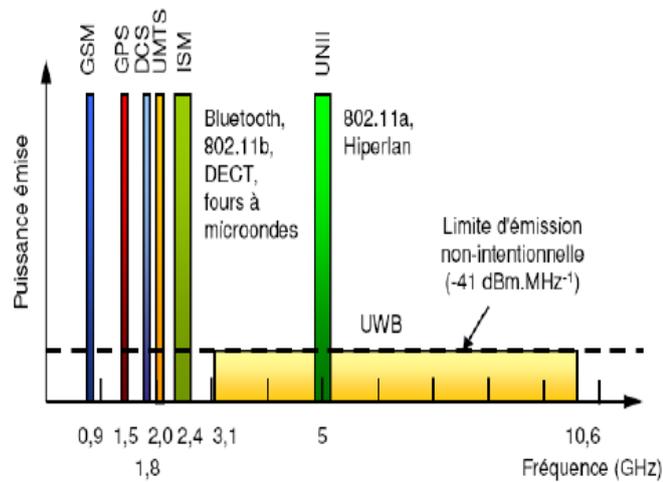


Figure VI.3: Coexistences des normes dans la bande 0.4-11 GHz [60]

	Standards IEEE						
	WLAN			Bluetooth	WPAN	UWB	ZIGBEE
	802.11a	802.11b	802.11g	802.15.1	802.15.3	802.15.3a	802.15.4
Fréquence de fonctionnement (GHz)	5	2.4	2.4	2.4	2.4	3.1-10.6	2.4
Taux maximum de données (Mbps)	54	11	54	1	55	> 100	256 Kbps
Portée maximale (mètres)	100	100	100	10	10	10	50

Tableau VI.1: Capacités de l'UWB vis à vis les autres standards IEEE

VI.2.4 Applications potentielles de la technologie UWB

La technologie UWB est une technologie candidate pour les réseaux sans fil spécialisés à courte portée et bon marché. Par exemple, des réseaux personnels UWB sans fil installés à la maison pourraient permettre aux téléviseurs, magnétoscopes, chaînes stéréo et ordinateurs de communiquer entre eux sans être reliés par des câbles. De même, dans un environnement de bureau type, des liaisons UWB sans fil pourraient remplacer les connexions filaires entre ordinateurs, écrans, claviers, souris, haut-parleurs et imprimantes (figure VI.4).



Figure VI.4: Applications potentielles d'un système de télécommunication UWB

Les dispositifs UWB peuvent être exploités à des niveaux de puissance très bas. Ils fonctionnent extrêmement bien dans les environnements présentant des signaux parasites, ils servent par conséquent pour les systèmes de communication sans fil à faible probabilité d'interception et de détection.

Il y a diverses autres applications, comme les systèmes d'étiquetage, les détecteurs et capteurs de niveau de liquide, les systèmes de surveillance, de localisation et de remplacement des connexions câblées à haut débit de données sur de courtes distances.

VI.3 Topologies de base de l'amplificateur à faible bruit

VI.3.1 Topologie à terminaison résistive

L'amplification à terminaison résistive (figure VI.5) réalise, par l'intermédiaire de la résistance R_m , une adaptation d'impédance en entrée, généralement 50Ω . Cependant, il est indispensable de travailler à des fréquences telle que la capacité grille-source C_{gs} du transistor ait une influence négligeable. D'autre part, l'adaptation d'impédance par l'intermédiaire d'une entrée résistive va contribuer forcément à la dégradation de la sensibilité au signal électrique de ce type d'amplificateur comme l'indique l'expression de son facteur du bruit (équation VI.1)[44].

$$F = 1 + \frac{R_s}{R_m} \quad (\text{VI.1})$$

A partir de cette équation, nous constatons que le facteur de bruit excède les 3 dB pour une résistance $R_m = R_s = 50\Omega$ [44]. De même, cette topologie a réalisé un facteur de bruit assez élevé selon la référence [48]. A cause de cet inconvénient ainsi que la limitation en fréquence de cette topologie, elle a été très peu utilisée.

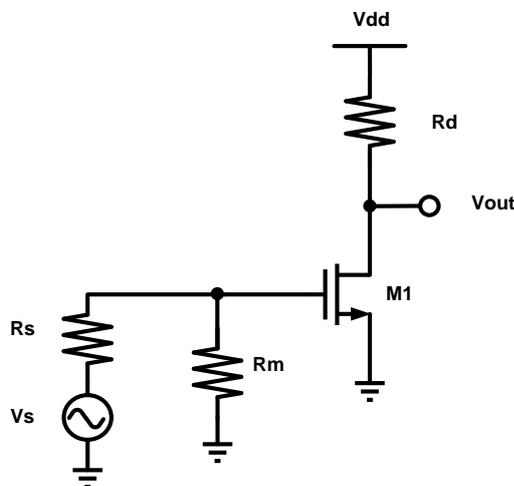


Figure VI.5: Schéma électrique de la topologie à terminaison résistive

VI.3.2 Topologie à contre réaction

La figure VI.6 illustre la topologie d'un amplificateur faible bruit à contre-réaction résistive. La résistance R_f constitue le circuit de contre-réaction permettant avec la résistance de charge R_L et la transconductance g_m du transistor l'ajustement de l'impédance d'entrée (équation (VI.2)). Néanmoins, cette topologie présente de fortes carences du point de vue facteur de bruit. En effet, elle utilise un amplificateur large bande qui intègre le bruit sur une grande bande de fréquences, des résistances qui vont apporter du bruit thermique et une structure à contre-réaction qui ramène le bruit généré par les résistances en entrée et qui va donc être amplifié.

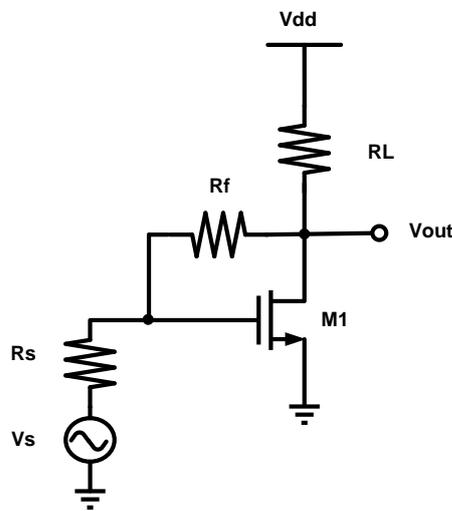


Figure VI.6: Schéma électrique de la topologie à contre réaction

En utilisant cette topologie, l'impédance d'entrée et le gain en tension sont exprimés par la relations suivantes [58]:

$$R_{in} = \frac{R_f + R_L}{1 + g_m R_L} \quad (\text{VI.2})$$

$$A_v = 1 - \frac{R_f}{R_{in}} \quad (\text{VI.3})$$

De part ces aspects, ce type d'amplificateur est bruyant. Le facteur de bruit de cette topologie peut atteindre les 7.5 dB [49]. D'autre part, l'amplificateur large bande s'accompagne d'une consommation importante, dépassant largement les 10 mW et ne permettant pas de ce fait à cette architecture de répondre aux critères de faible consommation, objectif de notre travail [50]. Enfin, l'association de la résistance R_L avec la capacité C_{ds} va créer un filtre « RC » et donc un pôle de coupure réduisant la fréquence de fonctionnement de cette topologie. La création de ce pôle constitue une limitation supplémentaire.

VI.3.3 Topologie à grille commune

La topologie à grille commune est considérée la configuration la mieux adaptée à l'intégration car l'adaptation d'impédance d'entrée est réalisée par l'intermédiaire de la transconductance du MOSFET. La figure VI.7 présente le principe de ce type d'amplificateur.

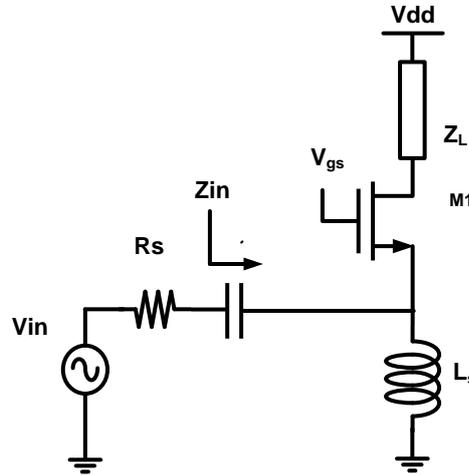


Figure VI.7: Architecture de LNA à grille commune avec inductance

En tenant compte du schéma équivalent présentée dans la figure VI.8, l'impédance d'entrée du LNA à grille commune s'exprime par la relation suivante:

$$Z_{in} = \frac{1}{g_m} + \frac{1}{sC_{gs}} + sL_s \quad (VI.4)$$

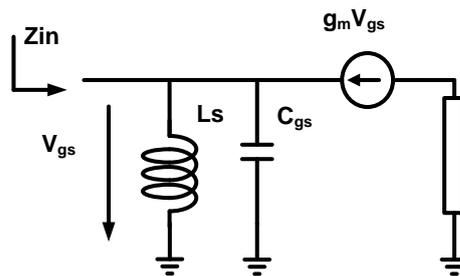


Figure VI.8: Modèle petit signal de la topologie de la figure VI.7

A la fréquence de résonance, l'équation VI.4 devient comme suit :

$$R_{in} = \frac{1}{g_m} = 50\Omega \quad (VI.5)$$

A partir de cette équation, nous déduisons que le LNA présente une impédance réelle d'entrée valant 50Ω lorsque la transconductance du MOS d'entrée est fixé à $20mS$. Cepen-

nant, le fait d'adapter l'impédance d'entrée par la transconductance s'avère un inconvénient car, en même temps, la consommation est fixée. Le facteur de bruit de cette topologie est généralement supérieure à $3dB$ [51], ce qui est pour certaines applications trop élevée.

VI.3.4 Topologie source commune à dégénérescence inductive

Cette topologie est en plein essor depuis le début des années 2000 du fait de l'amélioration de la qualité des inductances et de la possibilité de leur intégration avec l'apparition de nouvelles technologies. Elle a été utilisée pour la première fois par Schaeffer en 1997 [52]. Elle a aisément permis d'obtenir à la fois un bruit faible et une adaptation d'impédance. La figure VI.9 montre le schéma électrique et son modèle petit signal équivalent. En rajoutant l'inductance de dégénérescence L_s au transistor, monté en source commune, l'impédance d'entrée sera donnée par l'équation suivante :

$$Z_{in} = \frac{g_m L_s}{C_{gs}} + \frac{1}{sC_{gs}} + s(L_s + L_g) \quad (VI.6)$$

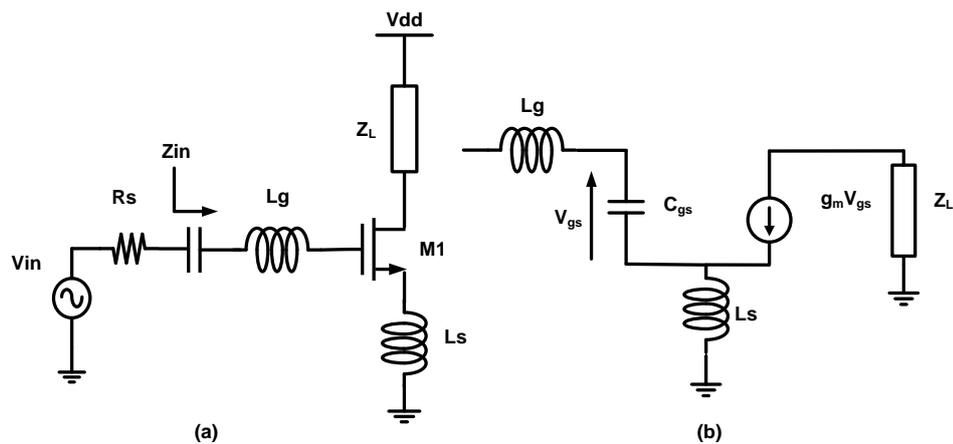


Figure VI.9: Topologie d'un LNA à source commune et son schéma équivalent.

Pour les amplificateurs à bande étroite, l'adaptation d'impédance est réalisée par l'intermédiaire de l'inductance totale $L_g + L_s$ qui doit résonner avec la capacité C_{gs} à la fréquence de fonctionnement f_0 . A cette fréquence, l'impédance d'entrée est réelle puisqu'elle est égale à :

$$Z_{in} = \frac{g_m}{C_{gs}} L_s = 50\Omega \quad (VI.7)$$

Ce type d'amplificateur est intéressant car il est possible d'obtenir un facteur de bruit inférieur à 3 dB [52]. Le LNA à dégénérescence inductive permet donc de fournir de bonnes performances tout en étant adapté à des applications basse-tension et faible consommation. En revanche, les inductances intégrées sont très encombrantes, ce qui induit des coûts plus élevés constituant ainsi l'inconvénient de cette architecture.

VI.4 Etat de l'art des configurations UWB pour le LNA

VI.4.1 LNA à configuration cascode

La configuration cascode est la topologie la plus répandue pour la conception des LNAs larges bandes et particulièrement le cas de l'UWB [53-55]. Cependant, malgré ses avantages en termes de gain et l'isolation sortie-entrée, l'une des spécificités de cette configuration est qu'elle exige une tension d'alimentation élevée V_{ddmax} , afin de permettre aux deux transistors de fonctionner en régime de saturation, d'où son incompatibilité avec les applications à faible tension d'alimentation. La figure VI.10 [9] illustre d'une façon générale le schéma électrique d'un LNA à base d'une topologie cascode où son entrée est liée à un réseau d'adaptation large bande de type LC (Ex : filtre passe bande), et sa sortie est chargée par une impédance ayant une caractéristique large bande (Ex : inductance en série avec une résistance).

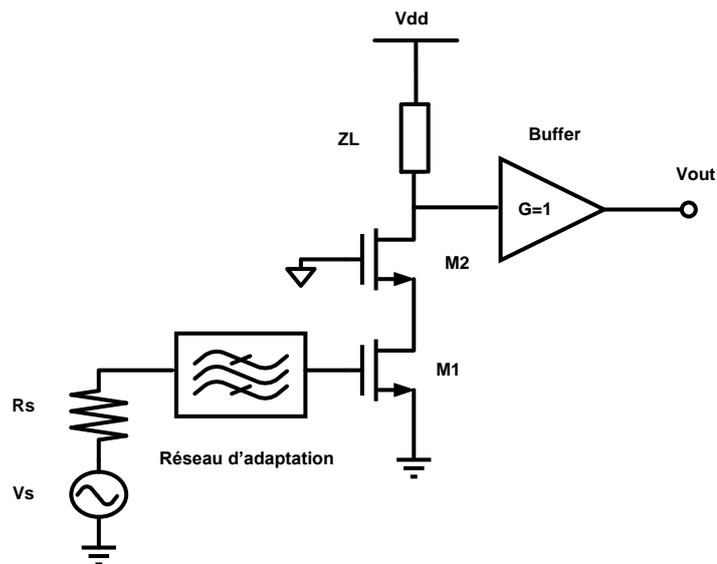


Figure VI.10: Configuration cascode avec circuit d'adaptation de type passe bande.

La conception de tels amplificateurs doit prendre en considération les exigences du cahier de charges en termes de bande passante, de consommation, de facteur de bruit, de gain et de la linéarité. Concernant le réseau d'adaptation, il a pour rôle de couvrir la largeur de bande requise. Un filtre classique pourrait faire l'objet d'un réseau d'adaptation, où les valeurs de ses éléments dépendent du type de filtre, de l'ondulation et de la bande passante choisie.

VI.4.2 LNA à configuration multi-étages

Dans la référence [10], une nouvelle configuration a été utilisée pour réaliser un amplificateur à faible bruit ultra large bande. Il s'agit d'un circuit multi-étages en cascade comme l'illustre la figure VI.11(a). Bien que chaque étage couvre une partie de la bande, une com-

La compensation du gain résulte du chevauchement des deux bandes permettant à l'ensemble de l'amplificateur de réaliser un gain plat sur la bande désirée (figure VI.11(b)).

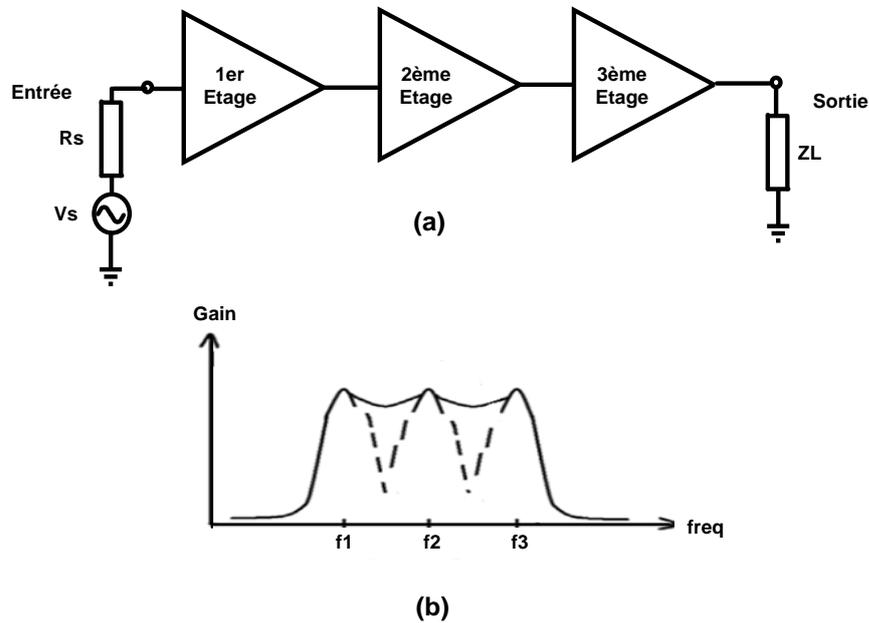


Figure VI.11: Configuration multi-étages et compensation de gain

La figure VI.12 illustre un exemple de configuration multi-étages présenté dans l'article [10].

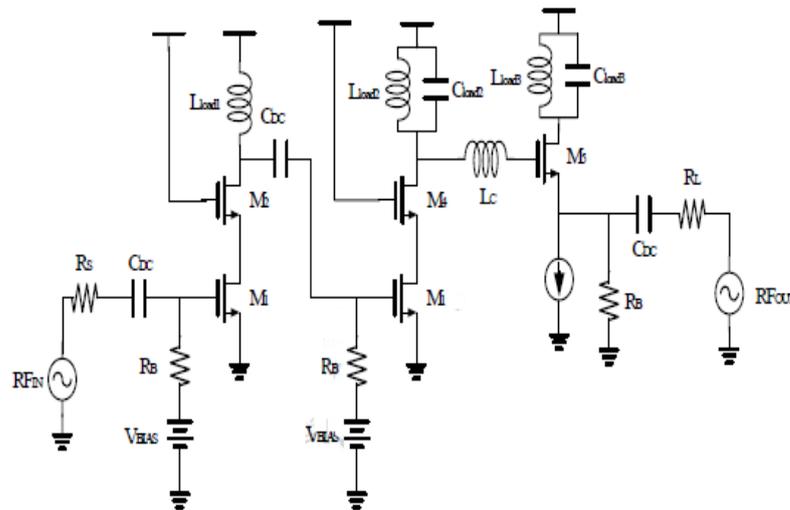


Figure VI.12: Exemple d'un LNA UWB et multi-étages à base de cellules cascodes [10]

Ce circuit utilise une terminaison résistive pour l'adaptation en entrée, deux étages à topologie cascode, et une impédance de charge résonante à la sortie de chaque étage. De plus, une technique de compensation pour réduire l'effet du pôle dominant dû à la constante de temps résultante de la somme des capacités de sortie du deuxième étage et de l'entrée

du dernier étage. Cette technique consiste à ajouter une inductance L_c découplant les deux capacités, réduisant de ce fait la constante de temps du pôle dominant.

VI.5 Proposition d'un LNA multi-étages à faible tension d'alimentation

Pour le LNA que nous proposons, nous avons opté pour une configuration multi-étages utilisant des circuits résonnants LC (passe bandes). Cependant, la bande passante de l'amplificateur à concevoir est relativement large allant de 3.1 à 10.6 GHz. Cependant, en adoptant cette configuration, la couverture de la bande nécessite un nombre relativement élevé des étages engendrant systématiquement une consommation de puissance importante. D'autant plus qu'à la sortie de chaque étage on utilise un circuit résonnant LC, ce qui constitue un inconvénient de point vue encombrement vu que les inductances prennent beaucoup de surface sur le substrat du silicium. Cependant, l'un des défis de cette configuration est l'utilisation du minimum d'étages possibles. Ainsi, nous envisageons de concevoir cet amplificateur uniquement avec deux étages et un buffer de sortie (figure VI.13). Les circuits oscillants des deux étages vont résonner à des fréquences différentes qui doivent être comprises entre 3.1 et 10.6 GHz. Par ailleurs, nous allons essayer d'améliorer son facteur du bruit, de réduire sa tension d'alimentation et sa consommation de puissance en utilisant quelques techniques de conception [9] [56][57].

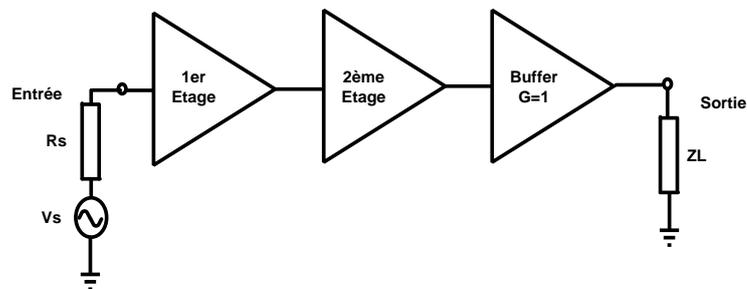


Figure VI.13: Configuration multi-étages proposée pour la réalisation d'un UWB LNA.

VI.5.1 Technique de conception à faible tension d'alimentation

L'évolution de la filière CMOS donne actuellement la possibilité d'implémentation des circuits RF à faible tension d'alimentation. Cette tendance incite le concepteur à innover ou bien d'exploiter les solutions techniques déjà existantes [57]. Le passage d'une configuration cascode à la configuration cascade figure VI.14 permet de diminuer la tension d'alimentation. En effet, la configuration cascode nécessite une tension d'alimentation supérieure à $2V_{sat}$, alors que la configuration cascade a besoin d'une tension V_{sat} pour chacun des transistors utilisés. Ainsi, la tension V_{dd} appliquée pourrait être divisée sur deux permettant de réduire

la tension d'alimentation.

Pour cela, nous envisageons de concevoir un LNA qui fonctionnera sous une tension $V_{dd}=V_{ddmax}/2$. Etant donné que la technologie CMOS $0.18 \mu m$ fixe la tension d'alimentation maximale V_{ddmax} à 1.8 V, il devient plus attrayant de concevoir un LNA à basse tension d'alimentation $V_{dd}=0.9$ V.

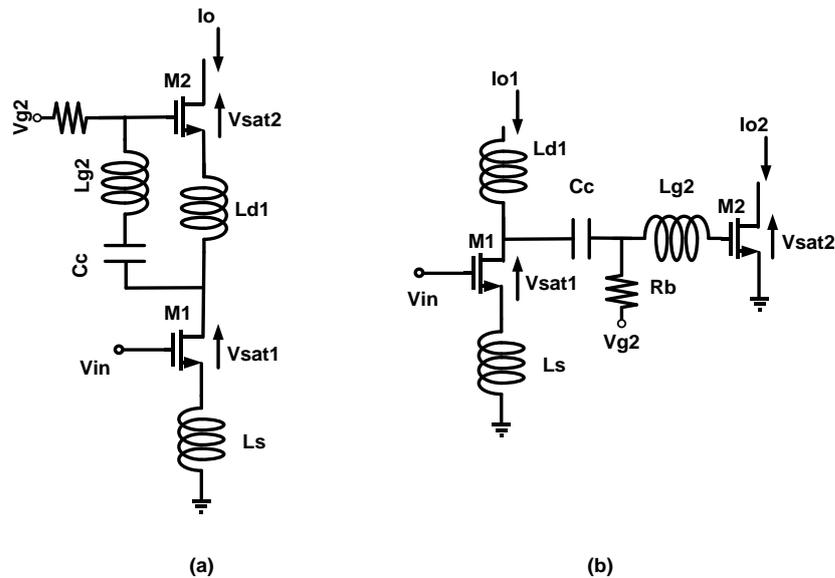


Figure VI.14: Passage d'une topologie cascode à une topologie cascade pour la faible tension d'alimentation.

VI.5.2 Conception à faible consommation

Dans une configuration à deux-étages à faible bruit et large bande, le premier étage amplificateur est souvent considéré comme l'élément clé pour la détermination des principales performances du circuit. Il s'agit en l'occurrence de la performance de bruit et l'adaptation d'impédance en entrée. Si nous ajoutons à cela d'autres contraintes telles que la consommation de puissance et la tension d'alimentation. La conception devient alors contraignante d'autant plus que ces paramètres se caractérisent par un antagonisme mutuel notable [44]. Dans ce cas de figure, la recherche d'un compromis entre les différents paramètres s'impose donc.

Pour concevoir ce premier étage, nous devons étudier le bruit et son influence sur le reste du circuit. A cet effet, nous choisissons la topologie à dégénérescence inductive illustrée dans la figure VI.15a pour ses avantages cités précédemment et plus particulièrement sa grande sensibilité au signal électrique. La figure VI.15b illustre les sources de bruit associées à la topologie choisie, où le transistor MOSFET est représenté par ses deux sources de bruit à savoir le bruit de drain et le bruit de la grille. Quant à la figure VI.15(c), elle montre la même topologie avec toutes les sources de bruit ramenées à son entrée [9] :

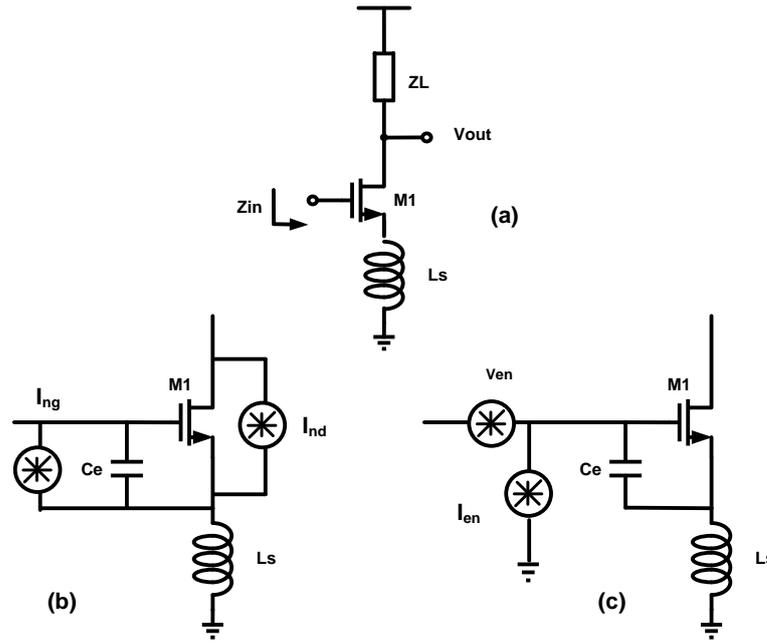


Figure VI.15: Sources de bruit à l'entrée de l'amplificateur.

Dans la référence [9], l'auteur a déjà établi l'expression du facteur de bruit pour le circuit de la figure IV.15 en tenant compte des densités spectrales des sources de bruit du MOSFET données par les équations I.3 et I.5. Cette expression est donnée comme suit :

$$F(\omega) = 1 + \frac{P(\omega)}{g_m \cdot R_s} \cdot \frac{\gamma}{\alpha} \quad (\text{VI.8})$$

avec

$$P(\omega) = \frac{p^2 \alpha^2 \chi^2 (1 - |c|^2)}{1 + 2|c|p\alpha\chi + p^2 \alpha^2 \chi^2} + \omega^2 C_t^2 R_s^2 (1 + 2|c|p\alpha\chi + p^2 \alpha^2 \chi^2) \quad (\text{VI.9})$$

où R_s représente la résistance interne de générateur, g_m est la transconductance du transistor, qui est fonction de la largeur de grille W et de I_d . Pour la capacité C_t , elle représente la somme des capacités entre la grille et la source ($C_{gs} + C_e$). Pour le paramètre p , il représente le rapport $\frac{C_{gs}}{C_t} \leq 1$ et lorsque la capacité C_t représente uniquement C_{gs} , ce paramètre est égale à 1. Quant aux autres paramètres χ , α et c , ils dépendent des paramètres technologiques du transistor où $\chi = \sqrt{\frac{\delta}{5\gamma}} \leq 1$, $\alpha \leq 1$, et c représente le coefficient de corrélation entre les sources de bruit grille et drain.

La figure VI.16 illustre le tracé du facteur de bruit en 3D de la topologie à dégénérescence inductive pour une technologie CMOS 0.18 μm en fonction de W et I_d . Pour obtenir ceci, nous avons développé un programme sous MATLAB (Annexe IV). Cependant, pour une meilleure lecture de cette performance de bruit, la figure VI.17 montre une projection des contours du facteur de bruit de la topologie en fonction de la consommation de courant et la largeur du MOSFET utilisé.

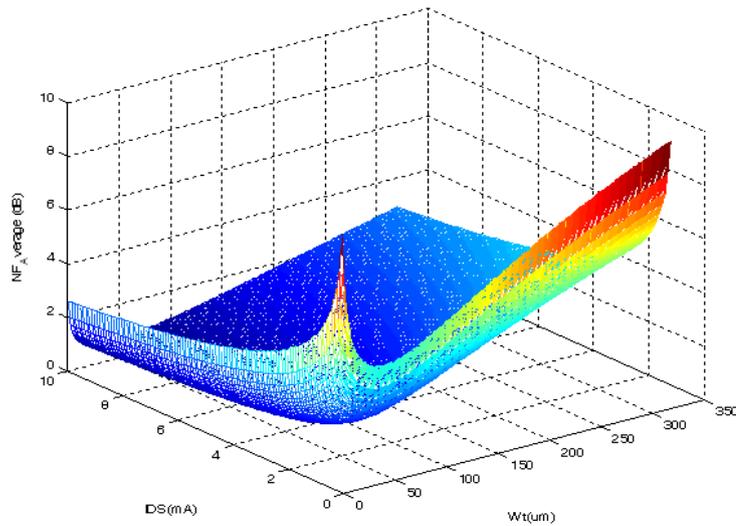


Figure VI.16: Facteur de bruit moyen illustré en 3D

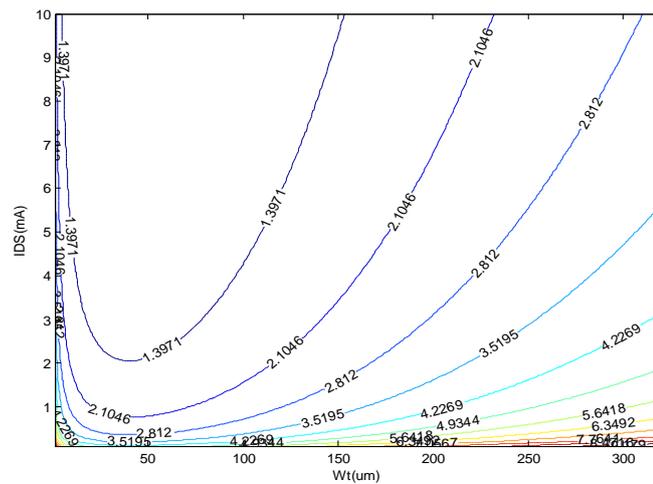


Figure VI.17: Contours du facteur de bruit en fonction du courant et de la largeur de transistor

Pour obtenir un dispositif consommant moins de puissance que celles des dispositifs [9-15], il faut fixer la puissance au plus à 9 mW. De plus, nous avons choisi une tension Vdd, appliquée à chaque transistor, égale à 0.9 V. Nous en déduisons un courant maximal global de 10 mA, ce qui implique un courant maximal de 5 mA pour chaque transistor.

Si nous limitons la consommation maximale à 4 mW, un transistor ayant une largeur comprise entre $150 \mu\text{m} < W < 250 \mu\text{m}$ engendre un facteur de bruit moyen approximatif qui varie entre $2 \text{ dB} < NF < 3 \text{ dB}$, valeurs en deçà de celles de [9-15]. Par ailleurs, d'après les mêmes courbes, le choix d'un facteur de bruit plus faible implique des largeurs de transistors plus faibles. Ce qui a directement un impact négatif sur le gain contrairement à l'objectif de

cette conception. Pour fixer la largeur finale du transistor à utiliser, nous devons tout d'abord étudier le circuit d'adaptation en entrée.

Pour réaliser une adaptation large bande en entrée, un réseau de type LC peut répondre à la plage de fréquences de notre application en l'occurrence 3.1- 10.6 GHz. Pour le cas d'un amplificateur à faible bruit, il est également recommandé de choisir un réseau non bruyant. Par conséquent, les réseaux de type LC restent quand même moins bruyants que les réseaux résistifs. En [9], un filtre de Chebyshev a été choisi pour la conception du circuit d'adaptation large bande. Ce filtre est de type passe bande mais il est constitué de plusieurs inductances, rendant l'entrée encombrante (figure VI.18a). En outre, il est évident qu'une inductance réelle sur substrat du silicium présente inéluctablement des pertes résistives. Ces dernières se traduisent systématiquement par un bruit thermique à l'entrée de l'amplificateur. A cet effet, nous proposons un autre circuit d'adaptation de type passe haut, où le nombre d'inductance est moins important comme le montre la figure VI.18b. Dans la figure VI.19, nous illustrons les schémas équivalents des deux circuits.

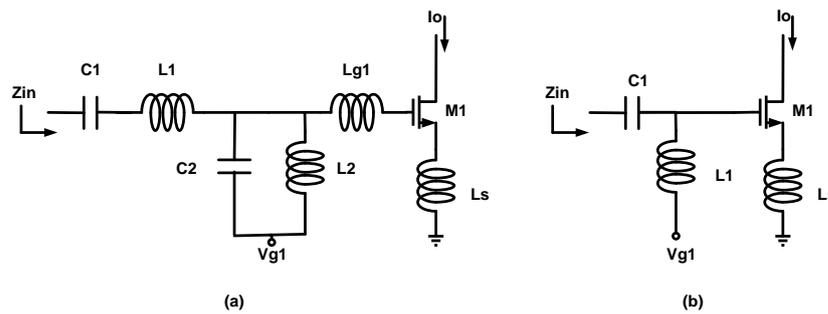


Figure VI.18: Deux circuits d'adaptation de type passe bande et passe haut

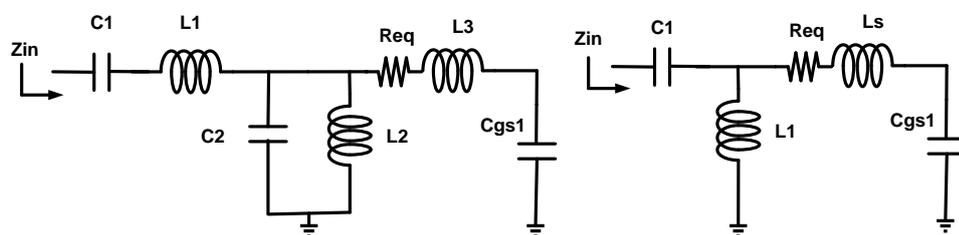


Figure VI.19: Schémas équivalents des deux circuits d'adaptation de la figure VI.18

D'après les schémas équivalents de ces deux circuits d'entrée, nous pouvons exprimer leurs impédances d'entrée par les relations suivantes :

pour une entrée de type passe bande :

$$Z_{in}(s) = \frac{1}{sC_1} + sL_1 + \left(sL_2 \parallel \frac{1}{sC_2} \parallel \left(sL_3 + \frac{1}{sC_{gs}} + R_{eq} \right) \right) \quad (\text{VI.10})$$

où $L_3 = L_{g1} + L_s$ et $R_{eq} = \frac{g_m L_s}{C_{gs}}$ selon la relation (VI.6).
pour une entrée de type passe haut :

$$Z_{in}(s) = \frac{1}{sC_1} + sL_1 \parallel \left(sL_s + \frac{1}{sC_{gs}} + R_{eq} \right) \quad (\text{VI.11})$$

C'est ainsi que le circuit d'entrée englobant le réseau d'adaptation et le transistor sera représenté par sa fonction de transfert donnée par l'expression suivante :

$$H_1(s) = \frac{1}{\frac{1}{L_1 C_1 s^2} + \frac{C_{gs} R_{eq}}{L_1 C_1 s} + \frac{L_1(C_{gs} + C_1) + L_s C_{gs}}{L_1 C_1} + C_{gs1} R_{eq} s + L_s C_{gs} s^2} \quad (\text{VI.12})$$

pour que cette fonction de transfert soit au moins de type passe haut dans la bande passante de l'amplificateur, c-à-d :

$$H_1(s) = \frac{1}{\frac{1}{L_1 C_1 s^2} + \frac{C_{gs} R_{eq}}{L_1 C_1 s} + \frac{L_1(C_{gs} + C_1) + L_s C_{gs}}{L_1 C_1}} \quad (\text{VI.13})$$

les conditions suivantes doivent être satisfaites :

$$\frac{1}{C_{gs} R_{eq}} \geq \omega_{max} \quad (\text{VI.14})$$

$$\frac{1}{L_s C_{gs}} \geq \omega_{max}^2 \quad (\text{VI.15})$$

à partir des inégalités VI.14 et VI.15, nous en déduisons la relation suivante :

$$L_s \leq \frac{R_{eq}}{\omega_{max}} \quad (\text{VI.16})$$

où $\omega_{max} = 2\pi f_{max}$ et $f_{max} = 10.6 \text{GHz}$

Pour déterminer les éléments L_1 et C_1 de l'équation H_1 du réseau d'adaptation, on peut d'une part définir la relation de la fréquence de coupure du filtre passe haut comme suivant :

$$\omega_{min} = \sqrt{\frac{1}{L_1 C_1}} \quad (\text{VI.17})$$

où $C_1 \gg C_{gs}$ et $\omega_{min} = 2\pi f_{min}$ pour $f_{min} = 3.1 \text{GHz}$

D'autre part, comme la capacité C_1 joue un double rôle, en plus de son implication dans le réseau d'adaptation de type passe haut, elle sépare la polarisation DC du générateur. Si cette capacité est telle que :

$$\frac{1}{\omega_{min}C_1} \ll R_s \quad (VI.18)$$

à fortiori elle vérifie, quelque soit la fréquence appartenant à la bande désirée, la relation suivante :

$$\frac{1}{\omega_{min}C_1} \ll \sum_{i=1}^n Z_i \quad (VI.19)$$

où Z_i est l'impédance de la maille d'entrée.

Pour le deuxième étage, sa conception repose sur une topologie source commune du transistor M2 qui doit être faite pour un maximum du gain, c-à-d un transistor M2 assez large. Or, un transistor large engendre d'une part une consommation élevée, et d'autre part une bande passante réduite. Ayant limité la consommation des deux étages à 8 mA et le premier étage à 4 mA, le choix de la largeur de M2 se limite aussi par la consommation de cet étage qui ne doit pas excéder 4 mA.

Ayant opté pour une configuration en cascade à deux étages dont les charges sont des circuits résonnants aux fréquences limites de la bande. Le circuit résonnant se compose d'une inductance shunt et l'ensemble des capacités parasites au drain du transistor où les fréquences de résonances du circuit LC sont déterminées par la relation suivante :

$$f_0 = \frac{1}{\sqrt{LC}} \quad (VI.20)$$

Par ailleurs, nous pouvons choisir les inductances spirales Ld1 et Ld2 du premier et de deuxième étage, par le biais de leur facteur de qualité qui doit être le plus élevé possible aux fréquences $f_{min} = 3.1GHz$ et $f_{max} = 10.6GHz$. Dans la figure VI.20, nous présentons la simulation du facteur de qualité des inductances en fonction de la fréquence et le nombre de tours pour deux rayons différents et la même largeur de métal. D'après la simulation, nous fixons $N=4.5$ pour Ld1, ce qui correspond à une inductance de 5.4 nH et $N=3.5$ pour une inductance Ld2 de 1.95 nH.

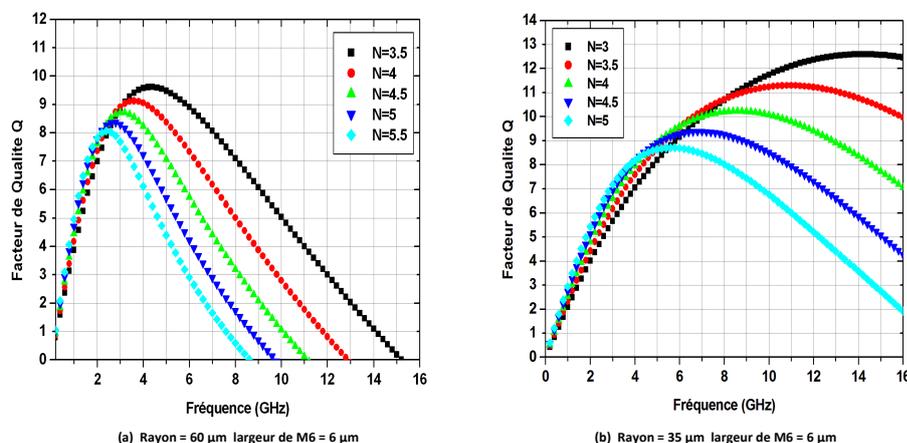


Figure VI.20: Facteur de qualité en fonction de la fréquence pour N variable a) Ld1 b) Ld2

L'étude du facteur de qualité de l'inductance, en fonction de la fréquence, a pour objectif de rendre celui-ci maximal aux deux fréquences inférieure et supérieure délimitant la bande passante du circuit. Nous avons voulu faire cette étude en nous imposant la contrainte de maintenir une certaine linéarité entre le facteur de qualité et la fréquence. Ceci nous donne à la fois aux fréquences limites des tensions maximales qui engendrent forcément des courants de sortie importants, et une structure simple de l'inductance qui se limite alors à une self en série avec une résistance.

Enfin, pour faciliter le test de circuit dans un environnement de 50Ω , l'adaptation en sortie s'impose. Pour ce faire, la technique proposée consiste à mettre un buffer comme étage de sortie qui a une haute impédance en entrée et une faible impédance en sortie. Par conséquent, ce buffer ne peut être qu'un étage suiveur (c-à-d un MOSFET monté en drain commun) qui a un gain égale à l'unité et une impédance de sortie exprimée par la relation suivante [22]:

$$Z_s = \frac{1}{g_m} \quad (\text{VI.21})$$

où g_m est la transconductance du transistor monté en drain commun.

En tenant compte de la méthodologie de conception citée précédemment, et les paramètres de la technologie CMOS $0.18 \mu\text{m}$, nous pouvons fixer les valeurs des éléments de notre conception dans le tableau suivant :

Transistor W (um)		Inductances (nH)		Capacités (pF)	
M1	160	Ls	0.5	C1	5
M2	90	L1	2.17	Cc	5
M3	34	Ld1	5.4	-	-
-	-	Ld2	1.95	-	-

Tableau VI.2: Valeurs des éléments du circuit amplificateur conçu

VI.5.3 Circuit final de l'amplificateur à faible bruit proposé

Dans la figure VI.21, nous montrons le montage du circuit amplificateur après la mise en cascade des deux étages ainsi que le buffer tels qu'ils étaient dimensionnés dans la section précédente. Dans cette section, nous allons également procéder à la simulation pré-layout (schématique) du circuit avant la réalisation des couches physiques. Cette simulation se fera moyennant le simulateur Spectre de logiciel Cadence.

Dans la figure VI.22, nous présentons le résultat de simulation de la réponse en fréquence du circuit de la figure VI.21. D'après la courbe du gain en puissance, nous constatons la présence d'une fréquence de coupure autour de 4 GHz qui fait chuter le gain du circuit. Ceci est dû à la capacité résultante de la mise en cascade des deux premiers étages amplificateurs.

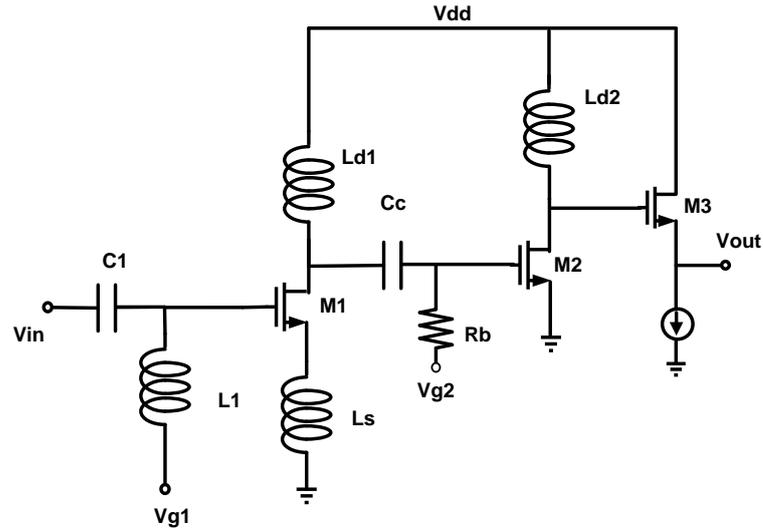


Figure VI.21: Mise en cascade des deux étages amplificateurs

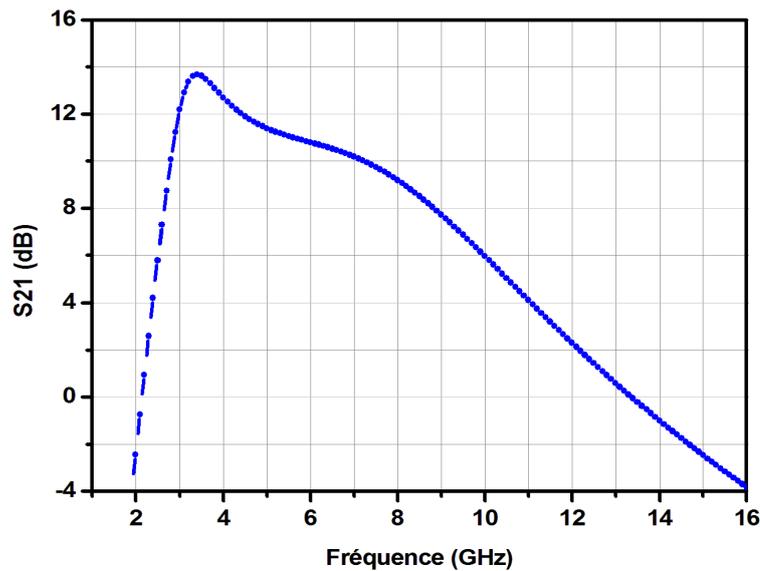


Figure VI.22: Réponse en fréquence de l'amplificateur illustré dans la figure VI.21.

Pour résoudre ce problème, nous introduisons une inductance L_{g2} pour découpler les deux capacités (figure VI.23), où la valeur de cette inductance est obtenue par simulation. Dans la figure VI.24, nous avons illustré le résultat de simulation après avoir ajouté cette inductance L_{g2} . En conséquence, une amélioration est constatée où la fréquence de coupure a été décalée à une fréquence supérieure à 8 GHz pour une inductance $L_{g2} = 1.09nH$. Cependant, le même problème est aussi constaté entre le deuxième étage et le buffer et qui nécessite également une autre inductance de découplage pour améliorer davantage la bande passante de l'amplificateur. Par conséquent, nous avons introduit l'inductance L_m (figure VI.23) qui a permis d'offrir l'extension attendue de la bande passante pour une valeur de $5.32nH$ fixée par simulation. Par ailleurs, le gain en puissance réalisé est autour de 15 dB

avec un taux d'ondulation $\pm 1.5dB$ sous une tension d'alimentation de 0.9 V (figure IV.24).

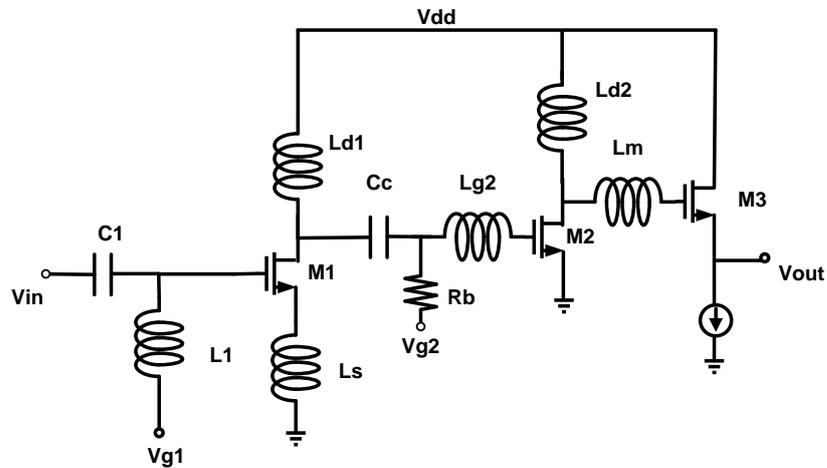


Figure VI.23: Circuit final de l'UWB LNA

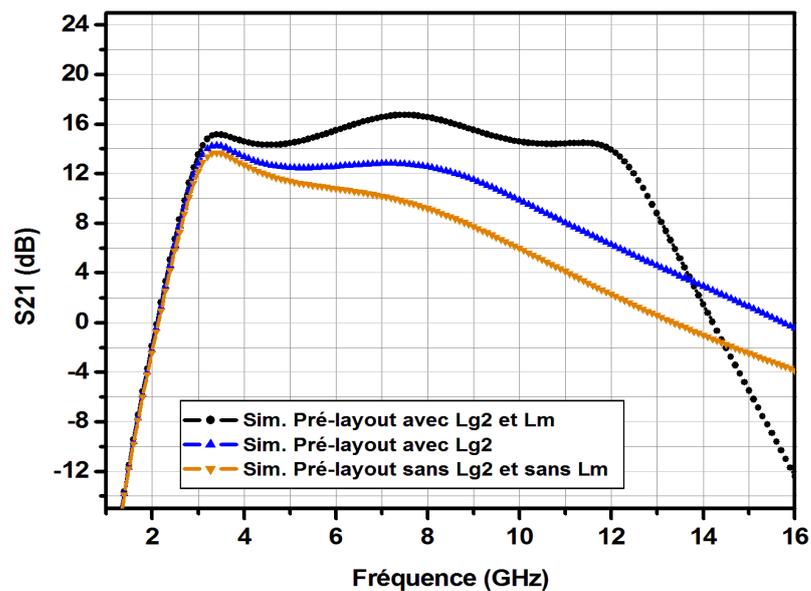


Figure VI.24: Réponse en fréquence de l'amplificateur sans et avec les inductances de découplage.

Pour récapituler, nous pouvons dire que pour répondre à des soucis de prix et d'encombrement, nous avons décidé d'utiliser seulement deux étages avec des circuits accordés sur les deux fréquences $f_{min} = 3.1$ GHz et $f_{max} = 10.6$ GHz qui sont donc relativement éloignées. Avec un si grand écart entre ces fréquences, il faut sans aucun doute s'attendre à ce que le gain en puissance n'ait pas une réponse plate à l'intérieur de la bande passante comme le confirme la figure VI.24. Nous avons apporté une solution à ce problème en insérant les inductances $Lg2$ et Lm .

Ce résultat de la simulation pré-layout est considéré satisfaisant et permet donc de passer à l'étape de dessin de masques pour le circuit final illustré dans la figure VI.23.

VI.5.4 Dessin de masques et simulation post-layout

Dans cette partie, nous allons montrer le dessin de masques (Layout) de l'amplificateur que nous avons conçu en utilisant les couches physiques de la technologie TSMC CMOS 0.18 μm . Notons que cette technologie est caractérisée par 6 niveaux de métallisation, un niveau de polysilicium et twin-well (double puits). Pour toute conception layout, l'enjeu principal est la réalisation de bonnes performances pour une surface du silicium minimale. Ainsi, nous avons essayé à travers les étapes de dessin du layout de réaliser un bon compromis entre la performance et la surface du silicium à utiliser. Pour cela, nous allons illustrer dans cette partie les deux dernières configurations du layout réalisé en vue de montrer l'effet des interconnexions sur les performances de notre circuit RF.

Dans la figure VI.25, nous montrons l'avant dernière configuration réalisée pour le layout de l'amplificateur que nous avons conçu. Dans le même dessin, nous indiquons également l'entrée et la sortie du signal par (in) et (out), les différentes tensions de polarisation, le nom de chaque inductance utilisé et les transistors afin de connaître la position de chacun de ces éléments dans le masque.

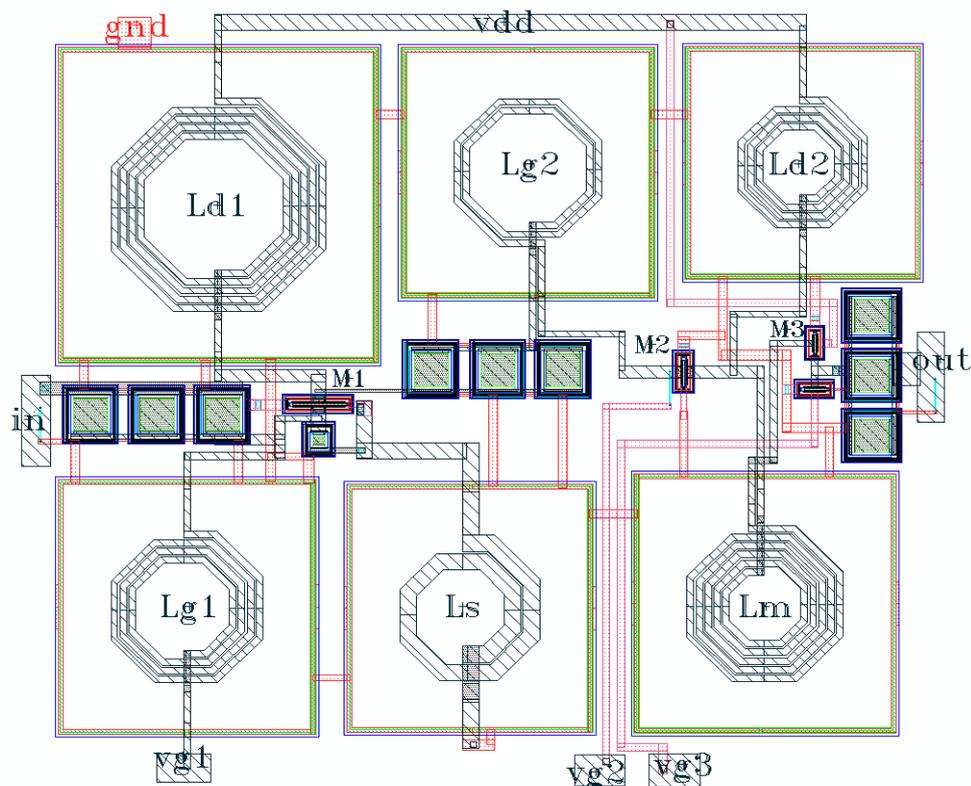


Figure VI.25: Layout de l'amplificateur en technologie CMOS 0.18 μm .

Après l'extraction des éléments parasites de ce layout, nous sommes passés à la simulation post layout via Spectre. La figure VI.26 montre les gains en puissance des simulations pré-layout et post-layout. Nous constatons que le gain obtenu de la simulation post layout est plus faible notamment en hautes fréquences et présente des ondulations assez grandes par rapport au gain obtenu par la simulation pré-layout . De même, la simulation post layout offre une bande passante plus faible que dans le cas du schématique. Ceci peut s'expliquer par les effets de couplage capacitif et les pertes par effet joule liés aux interconnexions

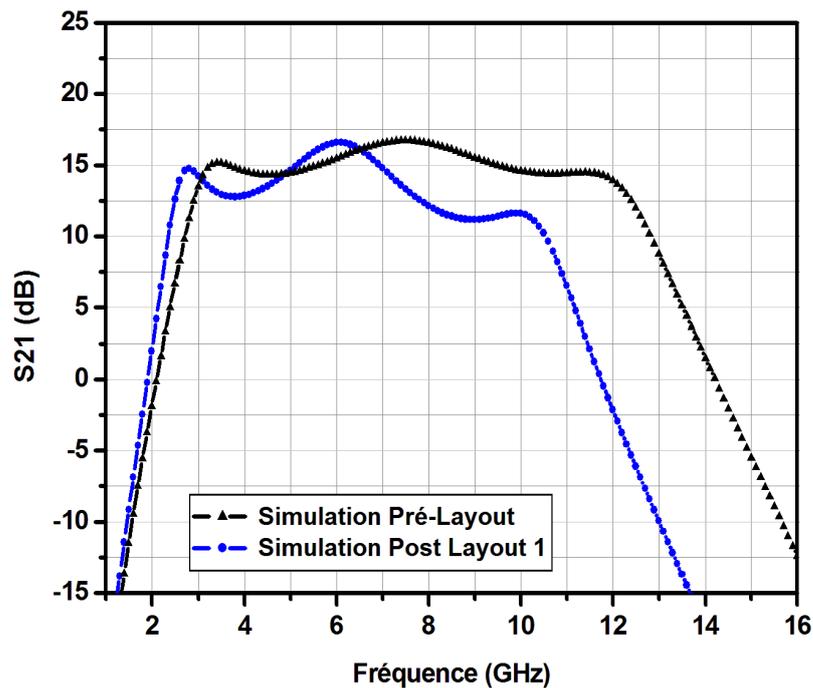


Figure VI.26: Simulation post-layout du gain S_{21} du premier layout.

Dans la figure VI.27, nous illustrons le layout du circuit dans sa dernière configuration dans laquelle nous avons essayé d'optimiser par le rétrécissement des interconnexions pour obtenir une amélioration au niveau des performances. Comme nous pouvons le voir sur le layout de la figure VI.27, nous avons procédé au changement de l'emplacement des inductance L_m et L_{d2} par rapport à la figure VI.25, ce qui a permis de rétrécir les interconnexions dans la zone délimitée par le carré en rouge. En conséquence, après la simulation post layout 2 (de la figure VI.27), nous constatons une amélioration en termes de bande passante, de gain, et d'ondulation (figure VI.28). D'après, le gain en puissance S_{21} de la simulation post layout 2, l'amplificateur a permis de réaliser un gain de 13.5 dB et un taux d'ondulation $\pm 1.5 dB$ sur toute la bande de fréquences [3.1-10.6 GHz]. Le gain obtenu reste intéressant pour la technologie UWB. Mais, on remarque que ce gain est inférieur à celui de la simulation du schéma électrique. Cette différence est justifiée par l'effet de l'ensemble des interconnexions. Par ailleurs, la surface du silicium occupée par le circuit est estimée à $0.59 mm^2$.

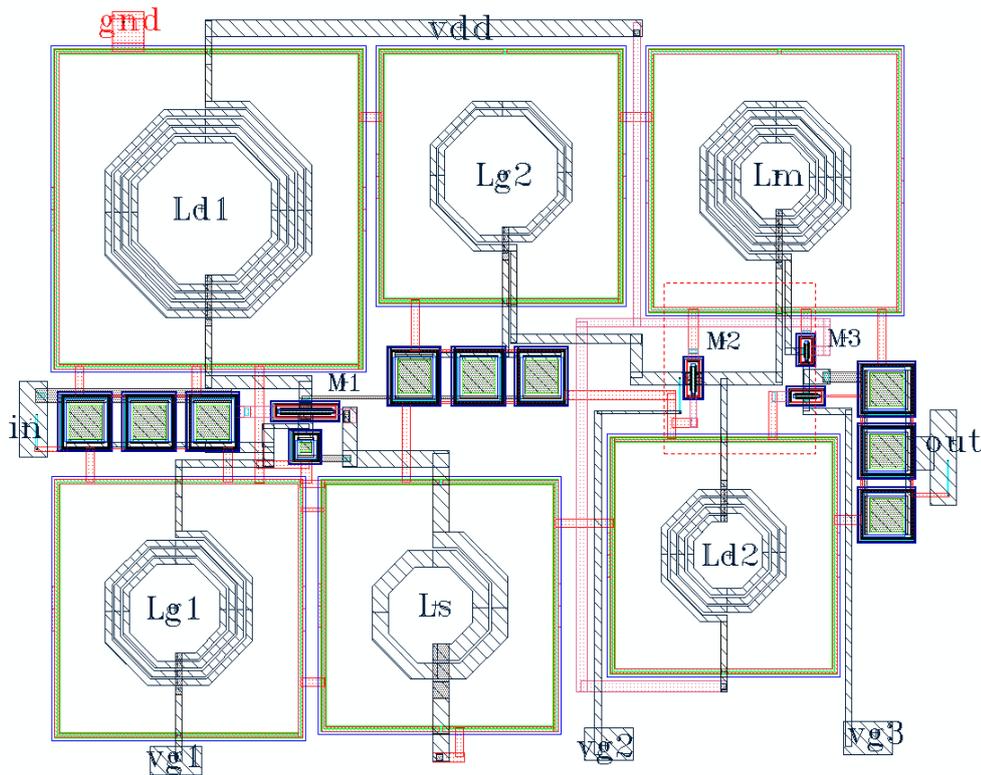


Figure VI.27: Layout de l'amplificateur en technologie CMOS 0.18um après optimisation.

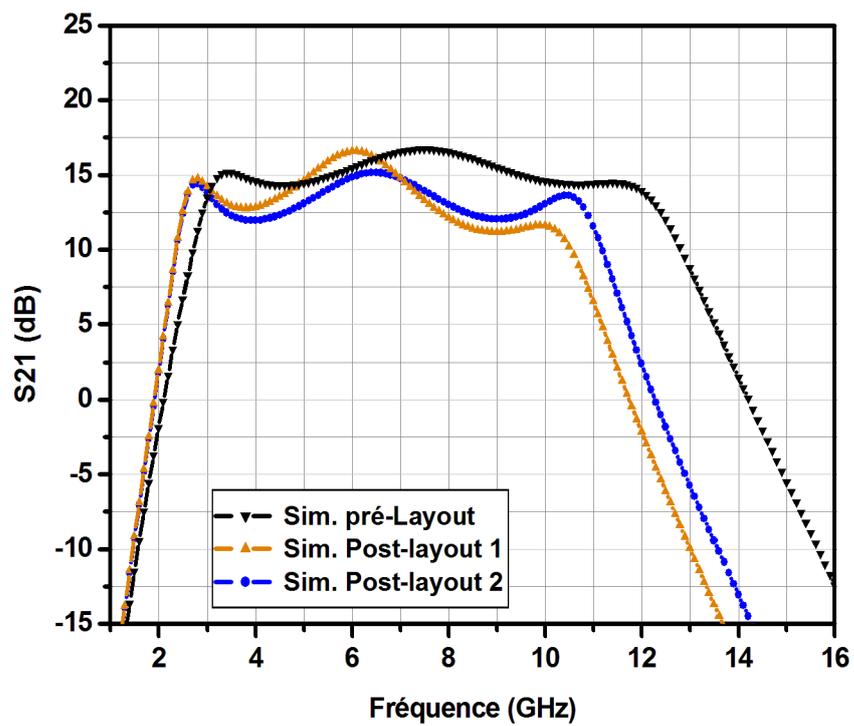


Figure VI.28: Simulation post-layout du gain S_{21} après optimisation.

Pour la performance de bruit, la figure VI.29 montre l'évolution fréquentielle du facteur de bruit (NF) de cet amplificateur où la valeur minimale correspond à 2.7 dB à la fréquence 4.5 GHz. Par ailleurs, le facteur de bruit reste inférieur à 4.6 dB pour toute la bande de fréquences [3.1-10.6 GHz]. Nous pouvons dire que ce résultat est en adéquation avec l'état de l'art des amplificateurs à faible bruit en technologie CMOS 0.18 μm .

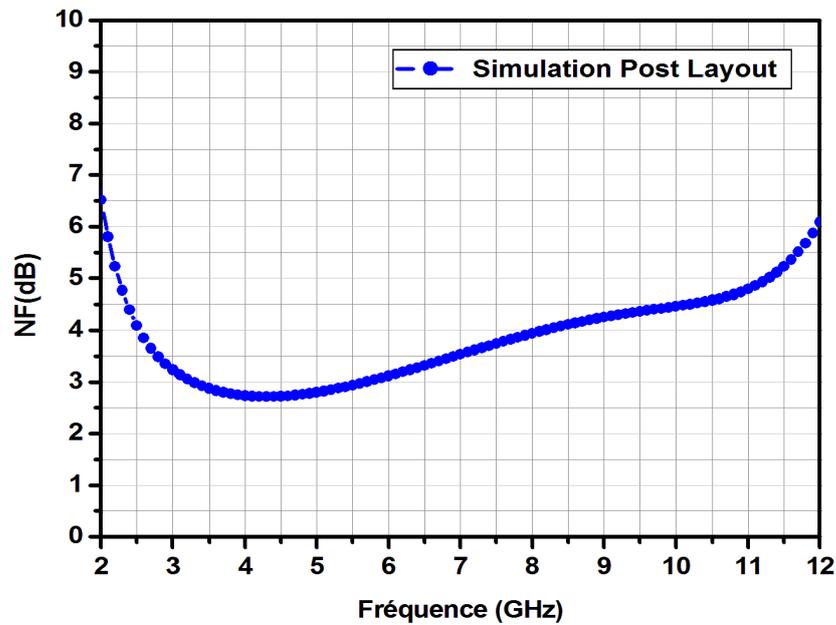


Figure VI.29: Simulation post-layout du facteur de bruit NF

En termes d'adaptation en entrée, nous illustrons dans la figure VI.30 le résultat de simulation post-layout du coefficient de réflexion S_{11} de l'amplificateur.

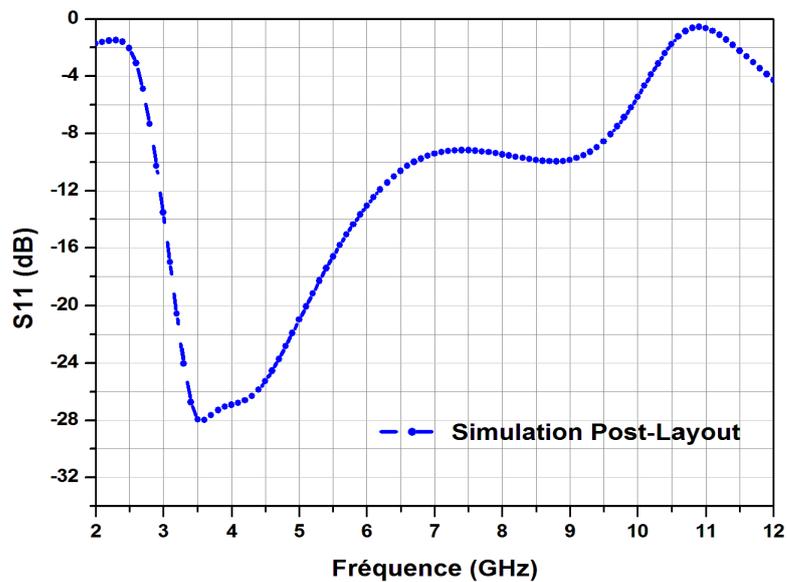


Figure VI.30: Simulation post-layout du coefficient de réflexion S_{11} .

L'utilisation du réseau passe haut comme circuit d'adaptation a permis de réaliser une excellente performance de S_{11} dans la bande inférieure [3.1-7 GHz]. Cependant, cette performance se dégrade en haute fréquence mais elle reste acceptable et atteint une valeur de -9 dB dans la bande supérieure [7-10.6 GHz]. Cette dégradation s'explique par les conditions imposées sur la fonction de transfert d'entrée pour qu'elle soit de type passe haut, où elle commence à perdre son effet dans la bande supérieure.

En termes d'adaptation en sortie, la figure VI.31 montre le résultat de simulation post-layout du coefficient de réflexion S_{22} de l'amplificateur où l'utilisation d'un buffer a permis de réaliser une excellente adaptation en sortie. Le S_{22} réalisé est inférieur à -15 dB sur toute la bande de fréquences [3.1-10.6 GHz].

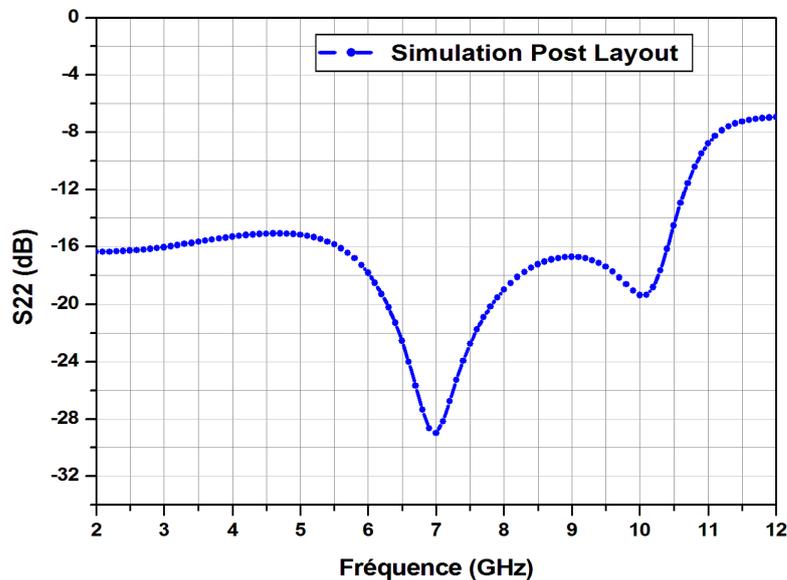


Figure VI.31: Simulation post-layout du coefficient de réflexion S_{22}

Le tableau VI.3 résume l'ensemble des performances obtenues de la simulation post layout de l'amplificateur conçu ainsi que les performances des circuits amplificateur UWB à faible bruit réalisés depuis 2004 en technologie CMOS 0.18 μm par d'autres auteurs . En comparant les coefficients de réflexions en entrée et en sortie, on trouve que notre S_{11} est acceptable et que notre S_{22} est meilleur que celui des autres travaux. De même pour le gain obtenu, il est meilleur que les autres travaux sauf pour le gain obtenu par [11] mais ce circuit consomme beaucoup de puissance (33.2 mW), alors que l'amplificateur que nous avons conçu dissipe moins de puissance. Pour la performance du bruit, le facteur de bruit de l'amplificateur conçu est meilleur que ceux des travaux présentés. Du point de vue consommation de puissance, il dissipe uniquement 7mW pour une tension d'alimentation de 0.9 V et occupe une surface de silicium de 0.59mm². A travers cette comparaison et les performances obtenues, nous pouvons dire que ce résultat est en parfaite adéquation avec l'état de l'art des amplificateurs à faible bruit en technologie CMOS 0.18 μm .

Référence	[9]	[10]	[11]	[13]	[14]	[15]	Notre travail [3]
Données	Mesure	SIM	SIM	Mesure	Mesure	Mesure	Post_layout simulation
Année	2004	2005	2006	2007	2008	2009	2011
Topologie	Cascode	cascode	cascode	cascode	cascode	cascode	cascode
Circuit d'adaptation	Filtre Passe bande	Terminaison résistive	Grille commune	Contre réaction résistive	Filtre passe bande	Filtre Passe bande	Filtre Passe haut
Bande(GHz)	3.1 -10.6	3.1 -10.6	3.1 -10.6	3.1 -10.6	3.1 -10.6	3.1 -10.6	3.1 -10.6
S_{11} (dB)	<-9.4	<-9.6	<-9	<-9.7	<-8.6	<-9.8	<-9
S_{22} (dB)	-	<-9.5	<-13	<-8.4	<-8	<-12	<-15
S_{21} (dB)	10.4 (max)	11.3-12.1	15.9-17.5	11-11.8	9.5	12.4-14.5	12-15
NF(dB)	5.3	5.8-6.7	3.1-5.7	4.1-5.2	5-5.6	4.2-5.4	2.7-4.6
Vdd(V)	1.8	1.8	1.8	1.8	1.8	1.8	0.9
Pdc(mW)	9	33.6	33.2	22.7	9.4	9	7
Surface de Si (mm ²)	1.1	-	0.50	-	-	0.88	0.59

Tableau VI.3: Comparaison de nos résultats avec des travaux réalisés en technologie CMOS 0.18 μm [3].

VI.6 Conclusion

Dans ce chapitre, nous avons présenté la conception d'un amplificateur UWB à faible bruit et à basse tension d'alimentation en utilisant une topologie multi-étages. Cette configuration nous a permis de réaliser des performances comparables avec l'état de l'art des amplificateurs UWB en technologie CMOS 0.18 μm , et sont même meilleurs en termes de consommation de puissance, de tension d'alimentation et de facteur de bruit. Concernant la surface de silicium active, l'UWB LNA conçu occupe uniquement 0.59mm².

Conclusion générale

Nombreux sont les défis que la technologie CMOS essaye de relever notamment en termes de performances, de coût et d'encombrement. Cependant, l'exploitation de cette technologie pour les fréquences dépassant les 10 GHz n'a vu le jour qu'après la mise au point du procédé $0.18 \mu\text{m}$ qui a permis de réaliser les premiers circuits large bande totalement intégrés en CMOS.

Par ailleurs, devant le nombre élevé des applications de télécommunications qui nécessitent des bandes de fréquences très larges telles que les applications de télécommunications optiques, UWB, etc. Dans le cadre des travaux de cette thèse, nous avons essayé d'aborder deux types d'amplificateurs large bande à savoir l'amplificateur distribué et l'amplificateur UWB à faible bruit en vue d'améliorer leurs performances et les intégrer totalement en technologie CMOS.

Dans ce contexte, notre première contribution avait pour but de concevoir un amplificateur large bande de type distribué en vue d'améliorer sa largeur de bande sans altérer sa performance du gain et donc forcément l'amélioration de son facteur de mérite. Cette contribution consiste en une nouvelle méthode de conception basée sur l'exploitation des caractéristiques des filtres passe-bas pour réaliser les lignes de grille et de drain de l'amplificateur distribué en remplacement des cellules à K-constant utilisées dans le cas conventionnel. Cependant, la caractéristique principale de notre méthode réside dans l'utilisation du filtre de Chebyshev en fonction son taux d'ondulation. Il s'avère que pour certains taux d'ondulation, la synthèse de la ligne de grille à base de ce filtre permet d'améliorer la bande passante de l'amplificateur distribué. Pour améliorer la réponse en fréquence en terme de platitude, nous avons proposé l'utilisation du filtre de Butterworth vu sa réponse plate et uniforme dans la bande passante. La combinaison de ces deux filtres nous a donc amené à concevoir un nouveau type d'amplificateur distribué dénommé "Amplificateur Distribué Chebyshev Butterworth" (ADCB). En outre, nous avons conçu une autre configuration appelée Amplificateur Distribué Chebyshev K constant (ADCK) qui utilise les cellules à K-constant dans la ligne de drain et qui a donné de bon résultats à l'image de l'ADCB.

Pour les résultats obtenus, l'ADCB a prouvé qu'un taux d'ondulation de 1.2 dB permet d'améliorer la bande passante de 28% et le produit gain passante de 29%. De même, pour les simulations de l'ADCK, nous avons obtenu des performances similaires que celles de l'ADCB pour les taux d'ondulation choisis.

Toujours dans le cadre des amplificateurs distribués, nous avons proposé d'intégrer, en technologie CMOS 0.18 μm , l'amplificateur distribué à un seul étage non adapté (ADNA) qui a déjà fait l'objet d'une étude approfondie dans le domaine discret. L'idée d'intégration de cet amplificateur revient à l'originalité de sa conception et ses performances prometteuses en termes d'élargissement de la bande passante et d'encombrement. A l'issue de l'intégration, les résultats obtenus de l'ADNA en CMOS ont montré des performances très satisfaisantes confirmant une fois de plus la qualité de la méthode de conception développée en hybride.

Pour le dernier circuit développé dans le cadre de cette thèse, nous avons conçu un amplificateur UWB à faible bruit et basse tension d'alimentation pour une application UWB sans fil allant de 3.1 à 10.6 GHz. Pour cela, nous avons choisi une configuration multi-étages pour permettre la réduction de la tension d'alimentation à moitié. Ensuite, nous avons développé une méthodologie de conception qui a pu réaliser un compromis entre le faible bruit, l'adaptation en entrée et la bande passante. Les résultats de simulation post layout de l'amplificateur UWB conçu ont montré que ses performances sont comparables à l'état de l'art des amplificateurs UWB à faible bruit réalisés en technologie CMOS 0.18 μm .

Bibliographie

- [1] A. Slimane, M. Trabelsi and M. Si Moussa, "Bandwidth improvement technique of distributed amplifiers using combined filtering structures", *AEU-International Journal of Electronics and Communications*, vol. 65, no. 10, pp. 777-782, Oct. 2011.
- [2] F. Amrani, M. Trabelsi, A. Azrar and R. Aksas "Bandwidth Improvement of Single-Stage Distributed Amplifier", *Microwave Journal*, vol. 53, no.5, pp. 112-122, May 2010.
- [3] A. Slimane, M. Trabelsi and M. T. Belaroussi, "A 0.9-V, 7-mW UWB LNA for 3.1-10.6-GHz wireless applications in 0.18 μm CMOS technology", *Microelectronics Journal*, Elsevier, vol. 42, no. 11, pp. 1263-1268, Nov. 2011.
- [4] R. Liu, C. Lin, K. Deng and H. Wang, "A 0.5-14 GHz, 10.6 dB CMOS cascode distributed amplifier", In *Symposium on VLSI circuits, digest of technical papers*. pp. 139-140, June 2003.
- [5] P. Heydari and D. Lin, "A performance optimized CMOS distributed LNA for UWB receivers", In: *Proceeding of the IEEE custom integrated circuits conference*, pp. 337-340, Sept. 2005.
- [6] Z. Yunliang and W. Hui, "Distributed amplifiers with non-uniform filtering structures", *IEEE Radio Frequency Integrated Circuits (RFIC) Symposium*, pp. 367-70, June 2006.
- [7] F. Zhang and P.R. Kinget. "Low-power programmable gain CMOS distributed LNA", *IEEE Journal of Solid-State Circuits*, vol. 41, no. 6, pp. 1333-1343, June 2006.
- [8] M. Chirala, X. Guan, C. Huynh and C. Nguyen, "Extremely wideband 0.18 μm CMOS compact distributed low-noise amplifier", *Antennas and Propagation Society International Symposium (APSURSI)*, 2010 IEEE, pp.1-4, July 2010.
- [9] A. Bevilacqua and A. M. Niknejad, "An Ultrawideband CMOS low-noise amplifier for 3.1-10.6 GHz wireless receivers", *IEEE Journal of Solid-State Circuits*, vol. 39, no. 12, pp. 2259-2268, 2005.

- [10] C. C. Chen, Z.Y. Huang, C.C. Huang and N. K. Lu, "Time constant compensated LNA for ultra-wideband receiver", in: Proceedings of the International Symposium on Intelligent Signal Processing and Communications Systems, pp. 561-564, Dec. 2005.
- [11] Y. Lu, K.S. Yeo, A. Cabuc, J. Ma, M. Do and Z. Lu, "A novel CMOS low-noise amplifier design for 3.1 to 10.6 GHz ultra-wideband wireless receivers", IEEE Trans.Circuits Syst. I: Regular Papers, vol. 53, no. 8, pp.1683-1692, Aug. 2006.
- [12] C. F. Liao and Liu S I. "A broadband noise-canceling CMOS LNA for 3.1-10.6 GHz UWB receivers", IEEE Journal of Solid-State Circuits, vol. 42, no. 2, pp. 329-339, Feb. 2007
- [13] C. Z. Chen, J. H. Lee, C. C. Chen and Y. S. Lin, "An excellent phase-linearity 3.1–10.6 GHz CMOS UWB LNA using standard 0.18 μm CMOS technology", in: IEEE Proceeding of Asia-Pacific Microwaves Conference, pp.1-4, Dec. 2007.
- [14] H. L. Kao and K. C. Chang, "Very low-power CMOS LNA for UWB wireless receivers using current-reused topology", Science-Direct 2007 Elsevier Ltd, Solid-State Electron., vol. 52, no. 1, pp. 86-90, 2008.
- [15] Y. Yi, G. Zhuo, Y. Liqiong, H. Lingyi and H. Weiwu, "Design and analysis of a UWB low-noise amplifier in the 0.18 μm CMOS process", J. Semicond. IOPscience 30 015001-1-015001-5, January 2009.
- [16] C. L. Bennett and G.F. Ross, "Time-domain electromagnetics and its applications", Proceedings of the IEEE, vol. 66, no. 3, pp. 299-318, 1978.
- [17] T. W. Barrett, "History of UltraWideBand (UWB) Radar & Communications: Pioneers and Innovators", Progress In Electromagnetics Symposium 2000 (PIERS2000), Cambridge, MA, Jul. 2000.
- [18] http://hraunfoss.fcc.gov/edocs_public/attachmatch/FCC-02-48A1.pdf
- [19] <http://standards.ieee.org/about/get/802/802.15.html>
- [20] http://www.itrs.net/Links/2009ITRS/2009Chapters_2009Tables/2009_Wireless.pdf
- [21] J. Lee and B. Razavi, "A 40-Gb/s clock and data recovery circuit in 0.18 μm CMOS technology", IEEE Journal of Solid-State Circuits, vol. 38, no. 12, pp.2181-2190, Dec. 2003.
- [22] B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw Hill 2001.
- [23] Li. Richard Chi-Hsi, "RF Circuit Design", Wiley, New York, 2009

- [24] A. Van Der Ziel, "Gate noise in field effect transistors at moderately high frequencies", Proc. IEEE, Vol. 51, pp. 461-467, March 1963.
- [25] Y. Cheng, C. H. Chen, M. Matloubian and M. J. Deen, "High Frequency Small Signal AC and Noise Modeling of MOSFETs for RF IC Design", IEEE Trans. Electron Devices, vol. 49, no. 3, pp. 400 - 408, March 2002.
- [26] F. Ellinger, "Radio Frequency Integrated Circuits and Technologies", Springer: NY, 2007
- [27] J. Aguilera and R. Berenguer, "Design and Test of Integrated Inductors for RF Applications", Kluwer Academic Publishers, 2003.
- [28] B. Agarwal et al., "112-GHz, 157-GHz, and 180-GHz InP HEMT Travelling wave amplifiers", IEEE Transactions on Microwave Theory and Techniques, vol. 46, no. 12, pp. 2553-2559, Dec. 1998.
- [29] S. Masuda, T. Takahashi, and K. Joshin, "An over-110-GHz InP HEMT flip-chip distributed baseband amplifier with inverted microstrip line structure for optical transmission system", IEEE Journal of Solid-State Circuits, vol. 38, no. 9, pp. 1479 - 1484, Sept. 2003
- [30] N. Zamdmer et al., "A 243-GHz Ft and 208-GHz Fmax, 90-nm SOI CMOS SoC Technology with Low-Power Millimeter-Wave Digital and RF Circuit capability", VLSI Technology, Digest of Technical Papers. 2004 Symposium on, pp. 98 - 99, June 2004.
- [31] W. S. Percival, "Thermionic valve circuits", Brevet 460562. Royaume-Uni, 1937.
- [32] E. L. Ginzton, W. R. Hewlett, J. H. Jasberg and J. D. Noe, "Distributed Amplification", Proc. IRE, pp. 956-69. August 1948.
- [33] L. Enloe and P. Rogers, "Wideband transistor distributed amplifiers", Solid-State Circuits Conference, Digest of Technical Papers, 1959.
- [34] J. Hamasaki and K. Kurokawa, "An Extension of the Mode Theory to Periodically Distributed Parametric Amplifiers with Losses", IEEE Transactions on Microwave Theory and Techniques, vol. 8, pp. 10-18, 1960.
- [35] D. A. Daly, S. P. Knight, M. Caulton and R. Ekholdt, "Lumped Elements in Microwave Integrated Circuits", IEEE Transactions on Microwave Theory and Techniques, vol. 15, pp. 713-721, 1967.
- [36] W. K. Chen, "Theory and Design of Transistor Distributed Amplifiers", IEEE Journal of Solid-State Circuits, vol. 3, no. 2, pp. 165-179, June 1968.

- [37] D. M. Pozar, "Microwave Engineering", Addison - Wesley, Publishing Company, 1990.
- [38] J. B. Beyer, S. N. Prasad, R. C. Becker, J. E. Nordman and G. K. Hohenwarter, "MES-FET Distributed Amplifier Design Guidelines", IEEE Transactions on Microwave Theory and Techniques, vol. 32, no. 3, pp. 268-275, 1984.
- [39] C. S. Aitchison, "The Intrinsic Noise Figure of the MESFET Distributed Amplifier", IEEE Transactions on Microwave Theory and Techniques, vol. 33, no. 6, pp. 460-466, 1985.
- [40] G. Matthaei, L. Young and E. Jones, "Microwave filters, impedance matching networks, and coupling structures", Norwood, MA: Artech House, 1980.
- [41] J. S. Hong and M. J. Lancaster, "Microstrip filters for RF/Microwave applications", John Wiley & Sons, Inc., New York, 2001.
- [42] C. Paoloni and S. Kosslosky, "Graphical design method for traveling wave amplifier based on filter theory", IEEE MTT-S International Microwave Symposium Digest, vol. 1, pp. 273- 276, June 1993.
- [43] E. Hamidi and MM. Taheri, "Improvements in the design of distributed amplifiers using filter theory", In: 15th international Crimean conference of microwave and telecommunication technology, vol. 2, p. 442-444, Sept. 2005.
- [44] B. Razavi, "RF Microelectronics", Prentice-Hall, 1998.
- [45] P. Heydari, "Design and Analysis of a Performance Optimized CMOS Distributed LNA", IEEE Journal of Solid-State Circuits, vol. 42, no. 9, pp. 1892-1905, Sept. 2007.
- [46] F. Amrani, "Contribution à la Conception des Amplificateurs Distribués Micro-ondes", Thèse de Doctorat sous la Direction de Trabelsi Mohamed,- Ecole Nationale Polytechnique d'Alger, June 2011.
- [47] <http://www.ieee802.org/15/pub/TG3a.html>
- [48] J. Y. C. Chang and A. Abidi. "Large Suspended Inductors on Silicon and Their Use in a 2- μ m CMOS RF Amplifier", IEEE Electron Device Letters, vol. 14, no. 5, pp. 246-248, May 1993.
- [49] R. Benton, "GaAs MMICs for an integrated GPS front-end", 14th Annual IEEE Gallium Arsenide Integrated Circuit (GaAs IC) Symposium. pp. 123-126, Oct. 1992.
- [50] M. Tiebout and E. Papparisto, "LNA Design for a Fully Integrated CMOS Single Chip UMTS Transceiver", Proceedings of the 28th European Solid State Circuits Conference (ESSCIRC 2002), pp. 835-838, Sept. 2002.

- [51] A. Rofougaran, J. Chang, M. Rofougaran and A. Abidi, "A 1 GHz CMOS RF Front-End IC for a Direct-Conversion Wireless Receiver", *IEEE Journal of Solid-State Circuits*, vol. 31, no. 7, pp. 880-889, July 1996.
- [52] D. K. Shaeffer and T. H. LEE, "A 1.5V, 1.5GHz CMOS Low Noise Amplifier", *IEEE Journal of Solid State Circuits*", vol. 32, no. 5, pp. 745-759, May 1997.
- [53] T. Taris, O. Elgharniti, J.B. Begueret and E. Kerherve, "UWB LNAs using LC ladder and transformers for input matching networks", In *IEEE international conference on electronics, circuits and systems, ICECS 2006*, pp. 792-796, Nice, France.
- [54] Battista, M. et al, "Design and implementation of UWB CMOS LC filters LNA for carrier less impulse radio receivers", *Analog Integrated Circuits and Signal Processing*, vol. 65, no. 3, pp. 379-388, Dec. 2010.
- [55] H. Y. Yang, Y. S. Lin, and C. C. Chen, "A 2.5-dB NF 3.1-10.6-GHz CMOS UWB LNA with Small Group-Delay-Variation", *IET Electronics Letters*, vol. 44, no. 8, pp. 528-529, 2008.
- [56] T-K. Nguyen, N-J. Oh, H-C. Choi, K-J. Ihm and S-G. Lee. "CMOS Low-Noise Amplifier Design Optimization Technique", *IEEE Transactions on Microwave Theory and Techniques*, vol. 52, no. 5, pp. 1433-1442, May 2004.
- [57] L.-H. Lu and H. S. Chen, "Lower the voltage of CMOS RFIC", *IEEE Microwave Magazine*, vol. 10, no. 2, pp. 70-77, Feb. 2010.
- [58] T. H. Lee, "The Design of CMOS Radio-Frequency Integrated Circuits", Cambridge University Press. March 2004.
- [59] M. Chiani and A. Giorgetti, "Coexistence between UWB and narrow-band wireless communication systems", *Proceedings of the IEEE*, vol. 97, no. 2, pp. 231-254, Feb. 2009.
- [60] C. C. Chong, F. Watanabe and H. Inamura, "Potential of UWB Technology for the Next Generation Wireless Communications", *Spread Spectrum Techniques and Applications, 2006 IEEE Ninth International Symposium on*, pp.422-429, Aug. 2006

Annexe I

Exemple de calcul des capacités intrinsèques d'un transistor MOS Selon le modèle BSIM3v3

1) Quelques Paramètres du Modèle NMOSFET pour le calcul des capacités

$$\begin{aligned}
 c_j &:= 0.001000266 & c_{jsw} &:= 2.040547 \cdot 10^{-10} & c_{jswg} &:= 3.340547 \cdot 10^{-10} \\
 c_{g0} &:= 3.665 \cdot 10^{-10} & c_{gs0} &:= c_{g0} & c_{gd0} &:= c_{g0} \\
 c_{gs0} &:= 3.665 \cdot 10^{-10} & c_{gd0} &:= 3.665 \cdot 10^{-10} \\
 t_{ox} &:= 4.08 \cdot 10^{-9} & V_{db} &:= 1.8 & V_{bd} &:= -1.8 \\
 \epsilon_{ox} &:= 3.453133 \cdot 10^{-11} & C_{ox} &:= \frac{\epsilon_{ox}}{t_{ox}} & C_{ox} &= 8.464 \cdot 10^{-3} \\
 P_{bsw} &:= 0.6882682 & P_b &:= 0.6882682 & P_{bswg} &:= 0.6882682 \\
 M_j &:= 0.3595262 & M_{jsw} &:= 0.2003879 & M_{jswg} &:= 0.43879 \\
 h_{dif} &:= 2 \cdot 10^{-7} & L_{dif} &:= 9.00 \cdot 10^{-8}
 \end{aligned}$$

Dimensions de transistor

$$n := 64 \quad L_{eff} := 0.18 \cdot 10^{-6} \quad W_f := 2.5 \cdot 10^{-6} \quad W_n := n \cdot W_f \quad W_n = 1.6 \cdot 10^{-4}$$

Surface et périmètre de la jonction du drain

$$\begin{aligned}
 A_{drain} &:= W_f \cdot 2 \cdot h_{dif} & A_{drain} &= 1 \times 10^{-12} \\
 P_{drain} &:= 2 \cdot W_f + 4 \cdot h_{dif} & P_{drain} &= 5.8 \times 10^{-6}
 \end{aligned}$$

Capacité grille source en mode de saturation

$$C_{gs} := \frac{2 \cdot W_n \cdot L_{eff} \cdot C_{ox}}{3} + W_n \cdot c_{gs0}$$

Capacité grille drain

$$C_{gd} := c_{gd0} \cdot W_n$$

Capacité de la jonction drain bulk(substrat)

$$C_{db} := \left[c_j \cdot A_{drain} \cdot \left(1 - \frac{V_{bd}}{P_b} \right)^{-M_j} + c_{jsw} \cdot (P_{drain} - W_f) \cdot \left(1 - \frac{V_{bd}}{P_{bsw}} \right)^{-M_{jsw}} + W_f \cdot c_{jswg} \cdot \left(1 - \frac{V_{bd}}{P_{bswg}} \right)^{-M_{jswg}} \right] \cdot \frac{n+1}{2}$$

Annexe II

Dans cet annexe, nous illustrons le modèle BSIM3v3.24 du transistor MOSFET (Types N et P) en technologie CMOS 0.18 μm .

```
*****
;
;                               1.8V NORMAL DEVICES MODEL
;
;*****
#ifdef MOS_RF
*****
;                               1.8V NMOS DEVICES
;*****
Model nch_rf BinModel Model[1]="nch_rfx1" Param[1]="Length" Param[2] ="Width"
Min[1,1]=1.8e-007 \ Max[1,1]=5.001e-07 Min[1,2]=1.5000e-06 Max[1,2]=8.001e-06 model
nch_rfx1 MOSFET Tnom=25.0 Version=3.24 Tox =tox_n RF Toxm=4.08e-09 Xj=1.6000000e-07
Nch=3.9000000e17 \ Lln=-1 Lwn=1.0000000 Wln=1.0000000 Wwn=-1 Lint=1.0000000e-08 Ll=0.00
Lw= 0.00 Lwl=0.00 \ Wint=3.0000000e-09 Wl=0.00 Ww=0.00 Wwl=0.00 Mobmod=1 Binunit =2
Xl=-0.02e-6+dxln_RF Xw=0.0+dxwn_RF \ Dwg=0.00 Dw=0.00 Ac=12 Ldif=9.00e-08
Hdif=hdifn_RF Rsh=rshn_RF Rd=0 Rs=0 Vth0=0.4751966 +dvthn_RF \ Kl=dkln_RF+0.4007356
K2=6.3188600e-02+dk2n_RF K3=0.00 Dvt0=0.00 Dvt1=0.00 Dvt2=0.00 Dvt0w=0.00\Dvt1w=0.00
Dvt2w=0.00 Nlx=0.00 W0=0.00 K3b=0.00 Vsat=8.4294280e04+dvsnn_RF Ua=-9.0172960e-
10\Ub=2.7527719 e-18 Uc=1.2291169e-10 Rdsw=drdswn_RF+1.7000000e02 Prwb=0.00 Prwg=0.00
Wr=1.0000000 \U0=du0n_RF+4.3840840e-02 A0=0.5262308 Keta=-4.4118840e-02 A1=0.00
A2=0.9900000 Ags=-2.7693154e-02 \B0=0.00 Bl=0.00 Voff=-0.1247105+dvoffn_RF
Nfactor=1.0000000+dnfactorn_RF Cit=2.7498236e-04 \ Cdsc=0.00 Cdscb=0.00 Cdscd=0.00
Eta0=-2.9405078e-04+deta0n_RF Etab= 1.3878694e-03 Dsub=0.00 \Pclm=1.1010191
Pdiblc1=1.0000000e-06 Pdiblc2=-6.1190130e-03 Pdiblc3=1.0000000e-02 \Drout=0.00
Pscbe1=4.0000000e08 Pscbe2=1.0000000e-06 Pvag=0.00 Delta=1.0000000e-02 \ Alpha0=0.0
Alpha1=0.448150714 Beta0=11.59263 Kt1=-0.2269240 Kt2=-2.9338669e-02 At=2.0000000e04 \
Ute=-2.1610963 Ua1=1.2174792e-09 Ub1=-3.8124500e-18 Uc1=-1.5406690e-10 Kt11=0.00 \
Prt=0 Cj=0 Mj=0.3595262 Pb=0.6882682 Cjsw=0 Mjsw=0.2003879 Pbsw=0.6882682 Cjswg=0
Mjswg=0.43879 \ Pbswg= 0.6882682 Tpb=1.554306e-03 Tpbsw=1.554306e-03 Tcj=1.040287e-03
Tcjsw=6.45489e-04 \Js=8.38e-06 Jsw=1.60e-11 Nj=1.0 Xti=3.0 Cgdo=1.92e-10 Cgso=1.92e-10
Cgbo=1.0e-13 Capmod=3 \Nqsmod=0 Elm=0 Xpart=0 Cf=0 Tlev=1 Tlevc=1 Calcacm=1 Wwc=-0.0225
Dlc=2.68e-8 Dwc=-2.833e-8 \Noff= 2 Acde=1 Moin=10 Voffcv=-0.05 Cgs1=1.31e-10
Cgd1=1.31e-10 Noimod=2 Noia=2.0e+19 \Noib=1.2e4 Noic=2.5e-13 Em=3.0e+07 Ef=0.874 NMOS=1
PMOS=0 Idsmod=8 Vbm=-3.0 Lvth0=5.3743360e-09+dlvthn_RF \ Wvth0=3.4482360e-10+dwvthn_RF
Pvth0=4.5089380e-15+dpvthn_RF Lk1=4.9634880e-08 Wk1=8.8686750e-08 \ Pk1=-6.3891820e-15
Lk2=-2.3847164e-08+dlk2n_RF Wk2=-3.8768180e-08 Pk2=5.0552590e-15 \ W0=0.00 Lvsat=-
2.0140363e-04 Wvsat=1.4459029e-03+dwvsatn_RF Pvsat=1.5350395e-12 Lua=3.5887640e-18 \
Wua=4.2784730e-16 Pua=-4.6390690e-23 Lub=5.9103390e-27 Wub=-9.4519130e-25 Pub=-
3.5064990e-33 \ Luc=4.3605990e-18 Wuc=-6.1268420e-17 Puc=-2.2654354e-24 Lu0=1.2758692e-
09+dlu0n_RF \ Wu0=-4.8608560e-09+dwu0n_RF Pu0=-2.4055863e-16+dpu0n_RF La0=8.2795080e-08
Wa0=1.4537927e-07 \ Pa0=-7.3379640e-14 Lketa=3.2284670e-09 Wketa=2.7941933e-08 Pketa=-
2.7027957e-15 \Lags=1.0727657e-09 Wags=7.7723050e-08 Pags=-1.0838496e-14 Lvoff=-
1.4487617e-09+dlvoffn_RF \Wvoff=1.6054964e-09+dwvoffn_RF Pvoff=-9.7541500e-
16+dpvoffn_RF Pnfactor=0+dpnfactorn_RF \Wnfactor =0+dwnfactorn_RF
Lnfactor=0+dlnfactorn_RF Lcit=1.0350804e-10 Wcitt=-3.0914837e-11 \Pcitt=1.4220811e-17
Leta0=1.8126334e-10+dleta0n_RF Weta0= 3.0046217e-12+dweta0n_RF Peta0=-1.3821218e-
18+dpeta0n_RF \Leta0=-6.8441990e-10 Weta0=-3.6866540e-12 Peta0=1.6959704e-18 Lpclm=
3.8489530e-08 \Wpclm=6.6560680e-08 Ppclm=4.0427110e-14 Lpdiblc2= 5.0530930e-09
Wpdiblc2=1.8349379e-09 \ Ppdiblc2=-2.2121929e-16 Lkt1= 5.0937890e-09 Wkt1=-2.2583577e-
09 Pkt1=-1.7512235e-15 \Lkt2=5.9558730e-10 Wkt2=-1.9897783e-09 Pkt2=7.3825670e-17
Lute=8.2097990e-08 Wute= 7.8818350e-07 \ Pute=-1.1786150e-13 Lua1=9.1298580e-19
Wua1=7.7858620e-18 Pua1=-1.0901051e-24 Lub1=4.2482470e-25 \ Wub1=2.8560549e-24 Pub1=-
4.2389140e-31 Luc1=3.2328220e-17 Wuc1=1.5903152e-16 Puc1=-2.7204607e-23 \Noff=5e-8
Lvoffcv=1.114e-8 Wcf=2.82e-18
#endif
```

```

;*****
;
;          1.8V NORMAL DEVICES MODEL
;
;*****
#ifdef MOS_RF
;*****
;          1.8V PMOS DEVICES
;*****
;
;
model pch_rf BinModel Model[1]="pch_rfx1" Param[1]="Length" Param[2]="Width"
Min[1,1]=1.8e-007 \ Max[1,1]=5.001e-07 Min[1,2]=1.5000e-06 Max[1,2]=8.001e-06
model pch_rfx1 MOSFET Tnom=25.0 Version=3.24 Tox=tox RF Toxm=4.08e-09 Xj=1.7000001e-07
Nch=3.9000000e17 \ Lln=-1 Lwn=1.0000000 Wln=1.0000000 Wwn=-1.0000000 Lint=1.4999999e-08
Ll=0.00 Lw=0.00 \Lwl=0.00 Wint=5.0000000e-09 Wl=0.00 Ww=0.00 Wwl=0.00 Mobmod=1 Binunit=2
Xl=-0.02e-6+dxlp RF \ Xw=0.0+dxwp RF Dwg=0.00 Dwb=0.00 Acm=12 Ldif=9.00e-08 Hdif=hdifp RF
Rsh=rshp RF Rd=0 Rs=0 Vth0=-0.4492160+dvthp RF \ K1=0.5203763 K2=4.1939260e-02+dk2p RF
K3=0.00 Dvt0=0.00 Dvt1=0.00 Dvt2=0.00 Dvt0w=0.00 \ Dvt1w=0.00 Dvt2w=0.00 Nlx=0.00 W0=0.00
K3b=0.00 Vsat=1.3081252e05+dvstap RF Ua=9.3578630e-10 \ Ub=5.0912570e-19 Uc=-1.5731644e-
10 Rds=5.3000000e02 Prwb=0.00 Prwg=0.00 Wr=1.0000000 \ U0=9.7957610e-03+du0p RF
A0=1.2640158 Keta=1.4996022e-02 A1=0.00 A2=0.4000000 Ags=1.9847063e-02 \ B0=0.00 B1=0.00
Voff=-0.1308021+dvoffp RF Nfactor=1.0000000+dnfactorp RF Cit=-6.0918400e-05 \ Cdsc=0.00
Cdscb=0.00 Cdscd=-8.2898130e-05 Eta0=-4.6875020e-04+deta0p RF Etab=1.1323938e-03 \
Dsub=0.00 Pclm=0.9107697 Pdiblc1=1.0000000e-06 diblc2= 7.9878660e-03 Pdiblc3=1.0000000e-
02 \ Drout=0.00 Pscbel=3.5000000e08 Pscbe2= 5.0000000e-07 Pvag=0.00 Delta=1.0000000e-02 \
Alpha0=0.00 Alpha1=6.8730453846 Beta0=22.67827 Kt1=-0.2367561 Kt2=-2.5532207e-02 \
At=1.0000000e04 Ute=-0.7199521 Ual=1.2240000e-09 Ub1=-1.3554493e-18 Ucl=7.0516520e-11 \
Kt11=0.00 Prt=0 Cj=0 Mj=0.4476 Pb=0.895226 Cjsw=0 Mjsw=0.3683619 Pbsw=0.895226 Cjswg=0 \
Mjswg=0.3683619 Pbswg=0.895226 Tpb=1.572025e-03 Tpbsw=1.572025e-03 Tcj=9.739001e-04
\Tcjsw=4.130718e-04 Js=4.92e-06 Jsw=9.00e-10 Nj=1.0 Xti=3.0 Cgdo=1.748e-10 Cgso=1.748e-10
\Cgbo=1.0e-13 Capmod=3 Ngsm=0 Elm=0 Xpart=0 Cf=0 Tlev=1 Tlevc=1 Calcacm=1 Wwc=-0.015 \
Dlc=4.063e-8 Dwc=-3.2e-8 Noff=1.515 Acde=0.9 Moin=10 Voffcv=-0.06 Cgsl=2.62e-10
Cgd1=2.62e-10 \ Noimod=2 Noia=9.5e+18 Noib=1.0e5 Noic= 1.4e-12 Em=3.0e+07 Ef=1.064 PMOS=1
NMOS=0 Idsm=8 \Vbm=-3.0 Lvth0=-8.1280260e-09+dlvthp RF Wvth0=9.1421640e-09+dwvthp RF
Pvth0=-1.1241356e-15+dpvthp RF \Lk1= 1.8548040e-08 Wk1=1.1998529e-07 Pk1=-1.7383759e-14
Lk2=-6.6254260e-09+dlk2p RF \ Wk2=-4.4246340e-08 2=7.4846270e-15 W0=0.00
Wvsat=0+dwvsatp RF Lvsat=-3.6562710e-04 \ Lua=-1.7598350e-16 Wua=-6.2823680e-16
Pua=1.5976873e-22 Lub=1.3507784e-25 Wub=3.0629255e-25 \ Pub=-1.3085017e-31
Luc=1.9437196e-17 Wuc=1.4561782e-17 Puc=-9.3561970e-24 Lu0=-1.2475933e-10+dlu0p RF \
Wu0=-2.5725782e-09+dwu0p RF Pu0= 2.5785697e-16+dpu0p RF La0=5.3236360e-09 Wa0=-
4.0712480e-07 \ Pa0=1.0862038e-13 Lketa=-5.8725920e-10 Wketa=8.7244130e-09 Pketa=-
2.4325694e-15 \ Lags=6.8821010e-11 Wags=1.5278273e-09 Pags=-6.8752220e-16
Lvoff=1.6353495e-10+dlvoffp RF \ Wvoff= 5.3724310e-09+dwvoffp RF Pvoff=-1.9905158e-
15+dpvoffp RF Nfactor=0+dpnfactorp RF \Wnfactor=0+dwnfactorp RF Lnfactor=0+dlnfactorp RF
Lcit=1.1752459e-10 Wcit=2.0354016e-10 \ Pcit=-7.9076310e-17 Lcdscd=3.7304140e-11
Wcdscd=1.6464351e-11 Pcdscd=-7.4089540e-18 \ Peta0=0+dpeta0p RF Weta0=0+dweta0p RF
Leta0=2.5593752e-10+dleta0p RF Letab=-5.5457720e-10 \ Wetab=-5.4801690e-10
Petab=2.4660761e-16 Lpclm=4.0153610e-08 Wpclm=-5.4322380e-09 \ Ppclm=2.4445072e-15
Lpdiblc2=9.0546000e-10 Wpdiblc2=-1.9097854e-10 Ppdiblc2=8.5940170e-17 \Lkt1=-2.4825255e-
09 Wkt1=1.8848993e-08 Pkt1=-1.8229216e-15 Lkt2=-1.0989117e-10 Wkt2=6.6289560e-09 \Pkt2=-
1.2254391e-15 Lute=6.2052350e-10 Wute=1.0915658e-07 Pute=9.7984170e-15 Lub1=2.6058948e-26
\Wub1=-2.2890885e-25 Pub1=2.7781507e-32 Luc1=-7.6589150e-18 Wuc1=-3.5766990e-17
Puc1=8.1134340e-24 \ Lnoff=1e-7 Lvoffcv=1.0e-8 Wcf=3.0e-17
#endif

```

Annexe III

Algorithme pour le calcul des paramètres g_k du Filtre de Chebyshev

Elements du Prototype Passe-bas

Ref Matthaei, Young, & Jones

Given : $n := 5$ Number of poles $La := 1.5$ Ripple in dB

$$\beta := \ln \left(\coth \left(\frac{La}{17.371779} \right) \right)$$

$$\gamma := \sinh \left(\frac{\beta}{2 \cdot n} \right)$$

$$\text{even}(k) := \text{mod}(k, 2) = 0$$

$$\text{odd}(k) := \text{mod}(k, 2) \neq 0$$

$$a(i) := \sin \left[\frac{(2 \cdot i - 1) \cdot \pi}{2 \cdot n} \right]$$

$$b(i) := \gamma^2 + \sin \left(\frac{i \cdot \pi}{n} \right)^2$$

$i := 0..n + 1$

$$\text{elem}(i) := \begin{cases} 1 & \text{if } i = 0 \\ \frac{2 \cdot a(i)}{\gamma} & \text{if } i = 1 \\ \frac{4 \cdot a(i-1) \cdot a(i)}{b(i-1) \cdot \text{elem}(i-1)} & \text{if } (i > 1) \cdot (i \leq n) \\ 1 & \text{if } [i = (n + 1)] \cdot \text{odd}(n) \\ \coth \left(\frac{\beta}{4} \right)^2 & \text{if } [i = (n + 1)] \cdot \text{even}(n) \end{cases}$$

$$g_i := \text{elem}(i)$$

$$g = \begin{pmatrix} 1 \\ 2.496 \\ 0.985 \\ 3.402 \\ 0.985 \\ 2.496 \\ 1 \end{pmatrix}$$

Annexe IV

Le programme de calcul du facteur de bruit de la référence [9] en langage MATLAB

```
clear all
close all
clc
L=0.18e-6;
kn=262e-6;
Cox=8.464e-3;
Rs=50;
W_game=[1:1:320]*1e-6;
ID_game=[0.1:0.1:10]*1e-3;
[W,ID]=meshgrid(W_game,ID_game);
f=[3.1:0.1:10.6]*1e9;
omega=2.*pi.*f;
gm=sqrt(2.*ID.*kn.*W./L);
figure
mesh(W,ID,gm)
Cgs=2./3.*W.*L.*Cox;
p=1;
alpha=0.42;
delta=4;
gama=2;
ksi=sqrt(delta/(5.*gama));
c=0.4;
C1=1+2.*abs(c).*p.*alpha.*ksi+p.^2.*alpha.^2.*ksi.^2;
C2=(p.^2.*alpha.^2.*ksi.^2.*(1-abs(c).^2))./C1;
for ii=1:length(omega)
% i=35; P=C2+omega(ii).^2.*C1.*(1.2*Cgs).^2.*Rs.^2;
F=1+(P.*gama)./(gm.*Rs.*alpha);
NF(:, :, ii)=10.*log10(F);
% NF(:, :, i)=F;
end
for i=1:length(W_game)
for j=1:length(ID_game)
NF_average(j,i)=mean(NF(j,i,:));
end
end
IDS=ID/1e-3;
Wt=W/1e-6;
figure
mesh(Wt,IDS,NF_average)
xlabel('Wt(um)')
ylabel('IDS(mA)')
zlabel('NF_Average (dB)')
figure
[C,h] = contour(Wt,IDS,NF_average,20);
clabel(C,h)
xlabel('Wt(um)')
ylabel('IDS(mA)')
```

