

UNIVERSITE D'ALGER

ECOLE NATIONALE POLYTECHNIQUE

50/78

DEPARTEMENT ELECTRICITE

avec  
planche

المدرسة الوطنية للعلوم الهندسية  
المكتبة  
ECOLE NATIONALE POLYTECHNIQUE  
BIBLIOTHÈQUE

FILIERE D'INGENIEUR EN ELECTRONIQUE

PROJET DE FIN D'ETUDE

المدرسة الوطنية للعلوم الهندسية  
REALISATION D'UN  
ANALYSEUR LOGIQUE  
ECOLE NATIONALE POLYTECHNIQUE  
BIBLIOTHÈQUE

1 PLANCHE

PROPOSE PAR : M<sup>r</sup> TEDJINI

ETUDIE PAR M<sup>rs</sup> BERKANI  
et  
K. TIAIBIA

PROMOTION JANVIER 1978

المدرسة لوطنية للعلوم الهندسية

— المكتبة —

ECOLE NATIONALE POLYTECHNIQUE  
BIBLIOTHÈQUE

UNIVERSITE D'ALGER  
ECOLE NATIONALE POLYTECHNIQUE  
DEPARTEMENT ELECTRICITE

FILIERE D'INGENIEUR EN ELECTRONIQUE

PROJET DE FIN D'ETUDE

REALISATION D'UN  
ANALYSEUR LOGIQUE

PROPOSE PAR : M<sup>r</sup> TEDJINI

ETUDIE PAR M<sup>rs</sup>. BERKANI  
et  
K. TIAIBIA

PROMOTION JANVIER 1978

A mes parents et à mes amis.

Malika.

A mes parents pour leur profonde affection,  
leur immense **Sacrifice** et leur incessant  
encouragement.

A mes amis.

Khaled.

## R E M E R C I E M E N T S

Nous formulons l'expression de notre profonde gratitude à Monsieur TEDJINI Hacène, Docteur Ingénieur, au Centre des Sciences et de la Technologie Nucléaires, Projet Simulation et Contrôle, qui nous a accueilli dans son service avec une immense bienveillance et nous a toujours témoigné un affectueux intérêt.

Nous tenons à remercier Messieurs OUIGUINI, BOUMGHAR, OUGOUAG, BOURKEB, et NOUR pour leur précieux conseils et leur amical appui.

Nos plus vifs remerciements à Madame CHAIB Lila, qui s'est occupée de la frappe avec autant de conscience que de dévouement.

Enfin, nous remercions toutes les personnes qui ont contribué de près ou de loin à la concrétisation de ce travail et qu'ils trouvent ici l'expression de notre plus profonde reconnaissance.

# T A B L E   D E S   M A T I E R E S

- \* Introduction.
- \* Principe de fonctionnement de l'Analyseur Logique.
- \* Schéma synoptique général.

## A - Les étages de synchronisation :

- I - Situation du problème.
- II - Mode de déclenchement :
  - a - de l'acquisition des données.
    - 1 - déclenchement manuel.
    - 2 - déclenchement sur un signal extérieur.
    - 3 - déclenchement sur la reconnaissance d'un mot.
  - b - de la visualisation des données.
- III - Dispositifs de mise en forme :
  - a - étude d'une bascule D.
  - b - fonctionnement.
- IV - Circuits d'aiguillages.
- V - La remise à zéro (RAZ).
- VI - Horloge de lecture.
- VII - Synchronisation ligne et image.

## B - Circuits de mémorisation :

- I - Généralités sur les mémoires.
  - 1 - caractéristique d'une mémoire.
  - 2 - principe d'une cellule RAM fondamentale à MOS statique.
- II - Organisation de la mémoire :
  - 1 - étude et description de la MCM 6810 AL.
  - 2 - Organisation de notre mémoire.
- III - Emploi de circuits à 3 états : les Buffers.
- IV - Adressage des mémoires :
  - 1 - introduction.
  - 2 - analyse et synthèse des compteurs.
    - a - les bascules JK.
    - b - étude d'un compteur binaire synchrone modulo (10).

- 3 - application des compteurs à notre étude.:
- a - période d'écriture.
- b - période de lecture.
- C - Circuits de visualisation :
  - I - Multiplexeur.
    - 1 - principe d'un multiplexeur digital.
    - 2 - exemple d'un multiplexeur à 4 entrées.
    - 3 - description du 74150.
    - 4 - fonctionnement de notre multiplexeur de voies.
  - II - Balayage vertical.
    - 1 - **int**roduction à la conversion N/A.
    - 2 - principe du convertisseur N/A.
    - 3 - rôle du convertisseur N/A dans notre étude et fonctionnement.
  - III - Balayage horizontal.
  - IV - Balayage Z ou modulation de la Whenelt
- D - Chronogramme général.
- E - Conclusion : Applications et perfectionnements de l'Analyseur Logique.

- - - - -

## I N T R O D U C T I O N

Les microprocesseurs ou unités centrales d'ordinateurs sont de nos jours de plus en plus utilisés.

Les circuits proviennent des différentes familles (TTL, DTL, ECL, I<sup>2</sup>L, MOS, CMOS, ...), qui présentent chacune des caractéristiques différentes. L'utilisateur dispose ainsi d'une large gamme pouvant satisfaire tous ses besoins.

L'évolution de ces circuits a amené la diminution du coût de l'élément relativement aux performances (vitesse, puissance, immunité aux bruits, entrance, sortance, ...), et les circuits deviennent de plus en plus complexes et intégrés.

Ainsi, ils s'orientent vers le domaine des grands systèmes logiques (miniordinateur, ordinateur). Ces ordinateurs très répandus de nos jours, tiennent une place importante dans la recherche scientifique et particulièrement dans la simulation et le contrôle des processus.

La conception et l'étude de grand systèmes logiques est une affaire de moyen et de technologie. C'est pourquoi ces systèmes sont construits par plusieurs firmes.

L'analyseur logique permet la conception, l'étude et la mise au point de grands systèmes logiques. Cependant, les performances de ces derniers en rapidité et en nombre de bit de sortie imposent des caractéristiques très sévères à l'appareil.

L'analyseur logique est très utile du fait qu'il permet de visualiser des signaux logiques, qui sont non répétitifs sur 16 voies simultanément. Ceci n'est pas possible à faire avec un oscilloscope directement car il ne possède au max. que 2 voies.

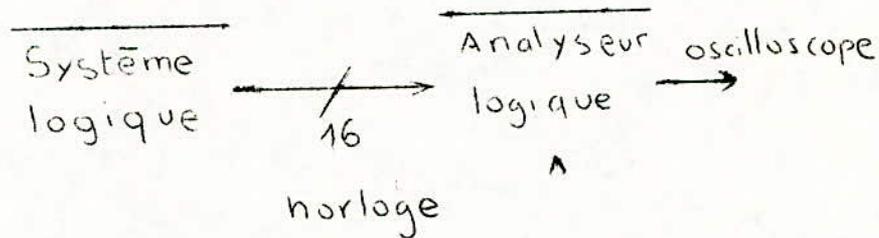
Notre étude de l'analyseur logique est très restreinte. En effet, nous nous sommes limités au niveau d'entrée TTL à une certaine rapidité de sortie des mots, à un certain nombre de bits (ou voies d'entrées) et enfin à un certain nombre de mots à recueillir.

PRINCIPE ET FONCTIONNEMENT

L'analyseur logique est un appareil qui sert à recueillir des informations logiques en provenance d'un système logique quelconque pour les visualiser sous forme de signaux sur un oscilloscope.

Un analyseur logique est caractérisé par le nombre de ses voies d'entrées et le nombre d'informations recueillies.

Notre appareil permet l'acquisition de 256 informations sur 16 voies d'entrées.



Il y a deux étapes de fonctionnement :

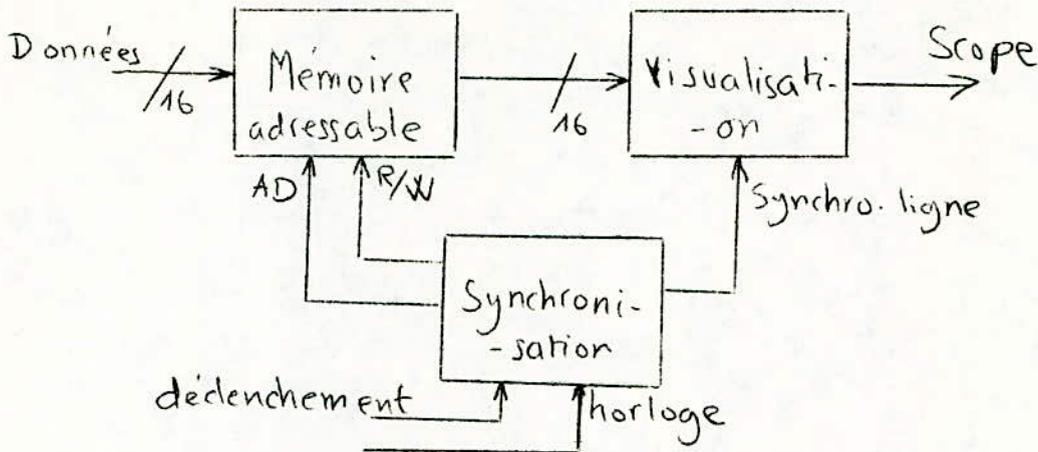
- l'étape d'acquisition : mémorisation des données logiques.
- l'étape de visualisation : lecture des données logiques.

La première s'effectue quand un signal de déclenchement quelconque est donné.

Une donnée est introduite en mémoire quand un ordre d'écriture ainsi qu'une adresse sont prêtes.

Les signaux donnés, écriture et adresse doivent être synchrones au temps d'accès à la mémoire près.

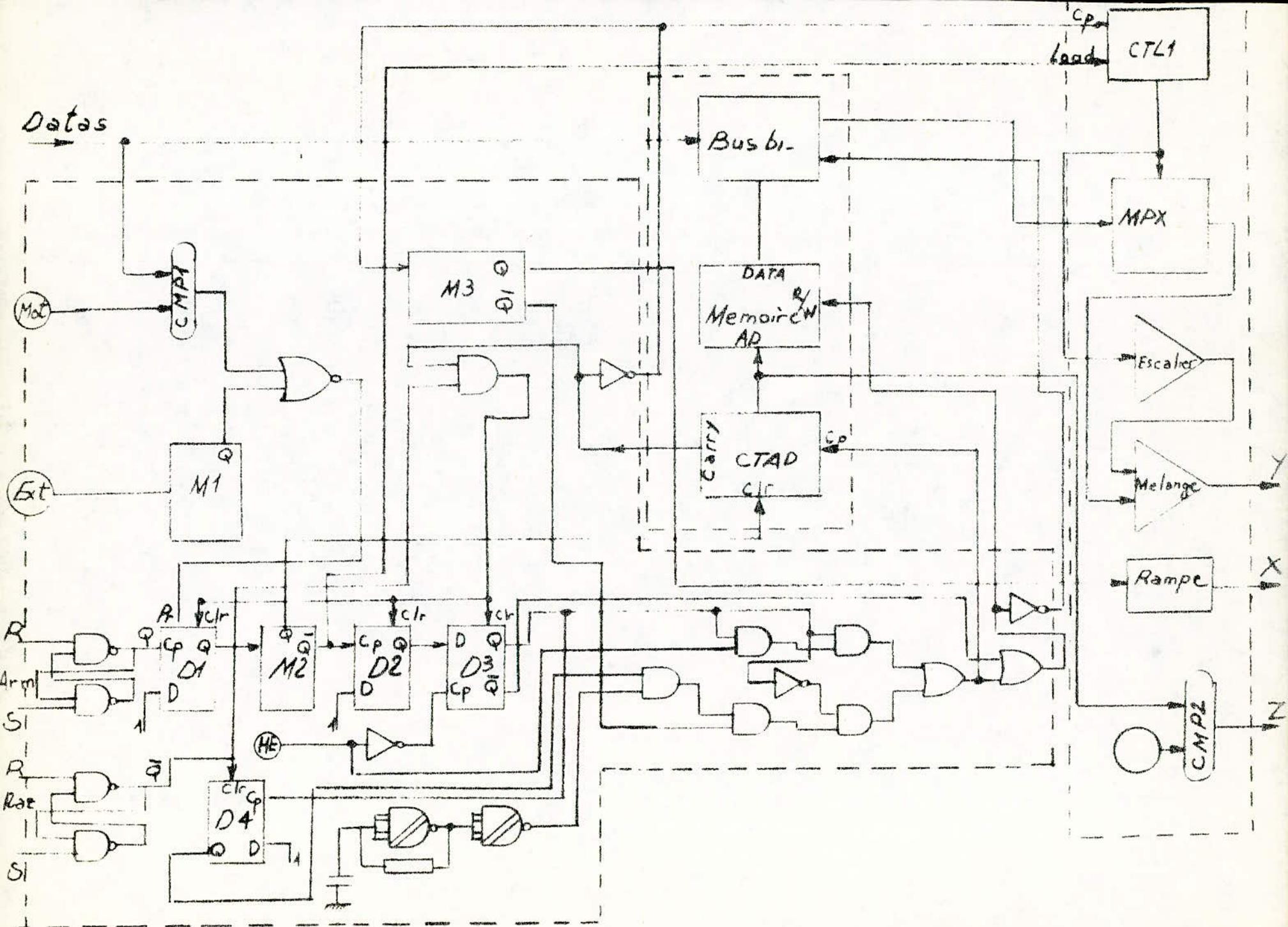
L'opération d'acquisition consiste finalement à envoyer ces trois signaux vers le bloc mémoire de façon synchrone.



Un bloc synchronisation sert, quand un déclenchement est donné à envoyer au bloc mémoire des signaux d'écriture et d'adresse, ceux-ci doivent être en parfait synchronisme avec les informations logiques.

La capacité de la mémoire étant limitée, un signal de fin écriture et début lecture est renvoyé du bloc mémoire vers le bloc synchronisation pour arrêter l'écriture des données logiques et de passer à la deuxième étape de fonctionnement qui consiste à lire les données qui ont été inscrites en mémoire.

La lecture de la mémoire s'effectue quand un signal de lecture et un ordre d'adressage est envoyé vers le bloc mémoire.



A LES ETAGES SYNCHRONISATION

I - SITUATION DU PROBLEME -

Les étages de synchronisation constituent la partie la plus importante et la plus délicate de l'appareil. En effet c'est l'organe de déclenchement et de synchronisation des impulsions qui mettent en marche le processus d'acquisition et de visualisation des données.

Pour une bonne acquisition des données il faut un parfait synchronisme des signaux de données avec les signaux d'adressage et d'écriture.

De même, pour une bonne visualisation des données il faut un parfait synchronisme des signaux adresse et des signaux de lecture.

On peut définir les étages synchronisation comme un bloc agissant lors d'un ordre de déclenchement quelconque du processus d'acquisition et aiguillant les signaux adresses, les ordres d'écriture puis de lecture vers le bloc mémoire.

Ces étages comprennent donc les organes de déclenchement du processus d'acquisition et de visualisation et les organes de synchronisation des différents signaux. Ils comportent comme entrées :

- \* les différents modes de déclenchements.
- \* les signaux d'horloge.
- \* la remise à zéro.

et en sortie on a :

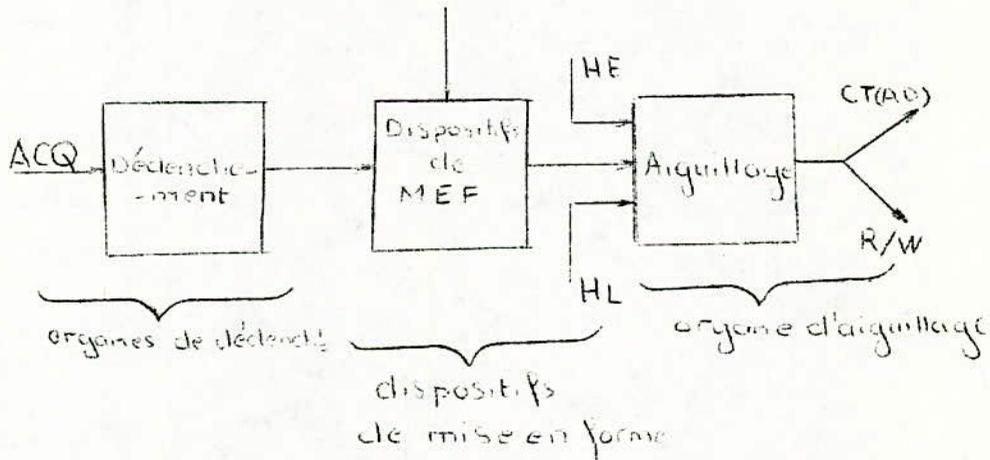
- \* les signaux d'horloge vers le compteur adresse.
- \* les signaux de validation écriture ou lecture.
- \* les signaux de synchronisation ligne et image.

Le processus de déclenchement de l'acquisition des données se fait sur l'introduction d'une impulsion. Cette impulsion, notons la ACQ, devra aiguiller les signaux d'horloge d'écriture, qu'on notera HE, provenant du système logique sous test vers l'adressage et la validation écriture.

La fin de l'étape d'écriture déclenche l'étape de lecture des données.

Une impulsion est donc requise, notons la CAR, devra, dans ce cas, aiguiller les signaux d'horloge de lecture (qu'on notera HL interne à l'appareil) vers l'adressage et la validation lecture.

On aboutit au schéma synoptique suivant :



- fig. 1 - //

## II - MODES DE DECLENCHEMENTS -

### - a - DE L'ACQUISITION DES DONNEES :

Les modes de déclenchement constituent les différentes manières d'envoyer une impulsion ACQ pour commencer l'acquisition des données.

Nous avons trois (3) modes de déclenchement du processus d'acquisition :

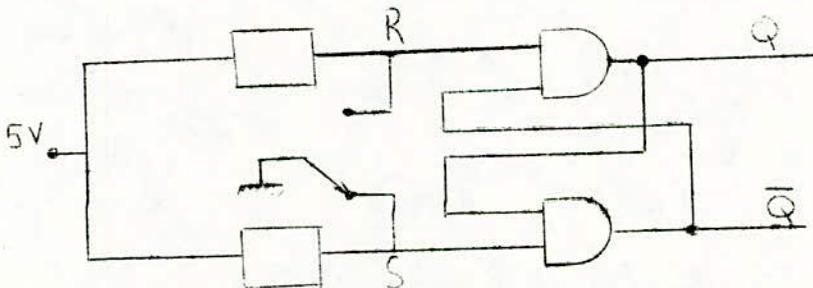
- \* le déclenchement manuel.
- \* le déclenchement sur un signal extérieur.
- \* le déclenchement sur la reconnaissance d'un mot.

#### 1 - DECLENCHEMENT MANUEL -

Il s'agit d'envoyer une impulsion ACQ, en agissant manuellement sur un interrupteur. Cette impulsion servira à positionner l'horloge HE dans le circuit d'aiguillage vers le bloc mémoire.

Pour envoyer notre impulsion nous avons utilisé une bascule RS où les entrées R et S reliées à l'interrupteur, commuteront pour donner en sortie Q une impulsion. (pour éviter les rebondissements).

La structure de flip flop RS est donnée par le schéma de la figure 2 : Il s'agit de portes NAND rétrocouplées.



- Fig: 2 -

Puisque l'entrée est bouclée sur la sortie il est évident que si on fait  $R = 1$  et  $S = 0$ , on aura  $Q = 0$  et  $\bar{Q} = 1$ . Puis on aura l'inverse pour  $R = 0$  et  $S = 1$ . On peut définir le fonctionnement. par :

- l'application de 0 aux deux entrées ne provoque aucun changement à la sortie.
- l'application d'un 1 à S (et donc d'un 0 à R) fait passer Q à 1 s'il n'y était pas : mise à un.
- l'application simultanée de 1 aux deux entrées mène à une situation indéterminée de Q.

On donc la table de vérité :

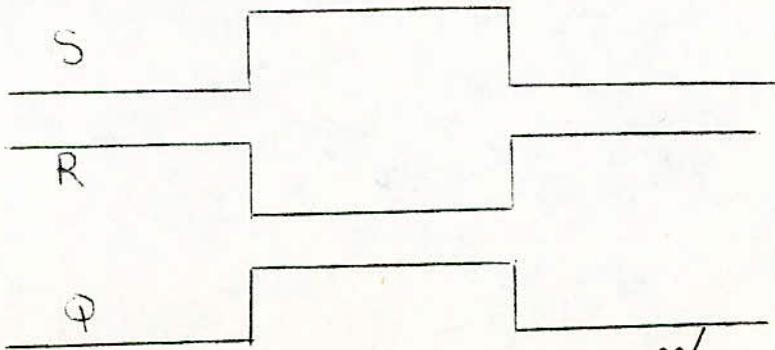
R	S	$Q_{n+1}$
0	0	$Q_n$
0	1	1
1	1	$\phi$
1	0	0

- Fig. 3 -

Sur la figure 2 on voit que  $R = \bar{S}$  : ce qui nous évite d'avoir la situation indéterminée.

Au repos R est à 1 et S à 0 donc  $Q = 0$ .

Manuellement on agit sur l'interrupteur en mettant R à 0 puis R à 1 instantanément on a :



- Fig. 4 -

2 - DECLENCHEMENT SUR UN SIGNAL EXTERIEUR -

Un signal externe peut servir de déclenchement du processus d'acquisition. Ce signal externe peut être soit un niveau soit une impulsion. Il doit être rendu aussi bref que possible pour servir uniquement à donner un ordre d'aiguillage. Nous utiliserons le front montant de ce signal pour déclencher une impulsion ACQ et l'envoyer vers le dispositif de mise en forme.

Un monostable se déclenchant sur un front se trouve approprié pour déclencher l'impulsion ACQ.

Nous utilisons dans notre étude des monostables en circuits intégrés TTL du type SM74123. (voir fig. 14-1).

Ce sont des circuits pouvant se déclencher soit sur un front montant soit sur un front descendant, et envoient des impulsions de largeur réglable par le réseau RC qu'on y adjoint.

Ces monostables sont redéclenchables, ce qui signifie que leur réarmement peut avoir lieu à n'importe quel moment du cycle pourvu que les temps de préconditionnement soient respectés.

Chaque réarmement entraîne la prolongation de l'impulsion de sortie égale à celle définie par le réseau RC.

La durée de l'impulsion peut être rendue très brève, elle est donnée par la formule :

$$T = 0,32 R_{\text{ext}} C_{\text{ext}} \left(1 + \frac{0,7}{R_{\text{ext}}}\right) \text{ Pour } C < 1000 \text{ pf}$$

et

$$T = 0,28 R_{\text{ext}} C_{\text{ext}} \left(1 + \frac{0,7}{R_{\text{ext}}}\right) \text{ Pour } C > 1000 \text{ pf.}$$

où

$R_{\text{ext}}$  est exprimée en  $K\Omega$   
 $C_{\text{ext}}$  est exprimée en pf.  
et donc T en ns.

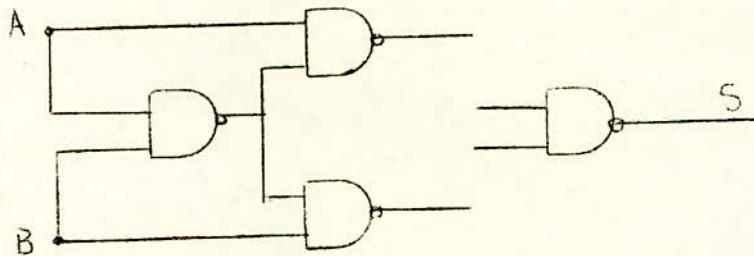
### 3 - DECLENCHEMENT SUR LA RECONNAISSANCE D'UN MOT -

Ce déclenchement est différent des deux précédents du fait qu'il doit envoyer une impulsion dès qu'un mot apparaissant à l'entrée de la mémoire est "reconnu" c'est à dire qu'il s'identifie à un mot que nous aurons envoyé sous forme de 16 bits à l'aide d'interrupteurs.

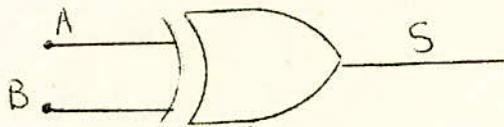
On identifie un mot externe avec un mot venant du système logique à analyser, avec des circuits comparateurs.

Etude du comparateur :

On remarque que la porte "OU EXCLUSIF" est un comparateur de bits. En effet, le schéma d'une porte "OU EXCLUSIF" avec des portes universelles est la suivante :



$$S = A\bar{B} + \bar{A}B$$



Ce qui donne la table de vérité suivante :

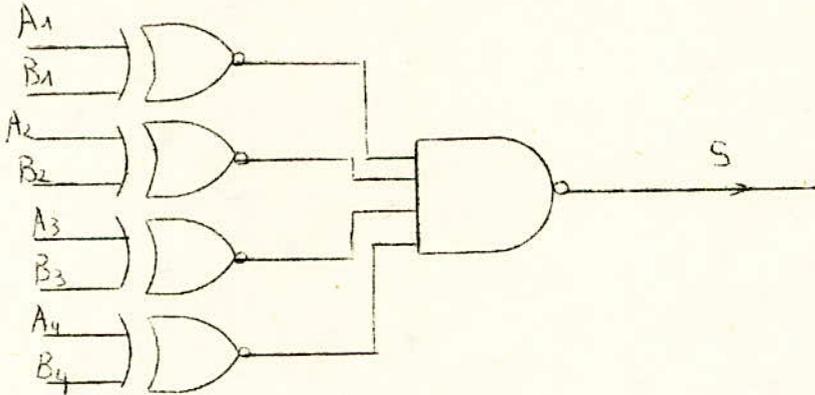
A	B	S
0	0	0
0	1	1
1	1	0
1	0	1

- Fig 7 -

On remarque que la sortie S est haute quand  $A \neq B$  et qu'elle est basse quand  $A = B$ .

On peut donc réaliser un comparateur de mots de plusieurs bits en cablant plusieurs portes "OU EXCLUSIF".

Nous donnerons comme exemple un comparateur de 4 bits réalisé à l'aide NOR EXCLUSIF (c'est à dire des OUEX) et de portes NAND.



- Fig. 5 -

On aboutit à la table de vérité suivante :

$A_1 \neq B_1$	$A_2 \neq B_2$	$A_3 \neq B_3$	$A_4 \neq B_4$	$S = 1$
$A_1 = B_1$	$A_2 \neq B_2$	$A_3 \neq B_3$	$A_4 \neq B_4$	$S = 1$
$A_1 \neq B_1$	$A_2 = B_2$	$A_3 \neq B_3$	$A_4 \neq B_4$	$S = 1$
$A_1 = B_1$	$A_2 = B_2$	$A_3 \neq B_3$	$A_4 \neq B_4$	$S = 1$
$A_1 \neq B_1$	$A_2 \neq B_2$	$A_3 = B_3$	$A_4 \neq B_4$	$S = 1$
$A_1 = B_1$	$A_2 \neq B_2$	$A_3 = B_3$	$A_4 \neq B_4$	$S = 1$
$A_1 \neq B_1$	$A_2 = B_2$	$A_3 = B_3$	$A_4 \neq B_4$	$S = 1$
$A_1 = B_1$	$A_2 = B_2$	$A_3 = B_3$	$A_4 \neq B_4$	$S = 1$
$A_1 \neq B_1$	$A_2 \neq B_2$	$A_3 \neq B_3$	$A_4 = B_4$	$S = 1$
$A_1 = B_1$	$A_2 \neq B_2$	$A_3 \neq B_3$	$A_4 = B_4$	$S = 1$
$A_1 \neq B_1$	$A_2 = B_2$	$A_3 \neq B_3$	$A_4 = B_4$	$S = 1$
$A_1 = B_1$	$A_2 = B_2$	$A_3 \neq B_3$	$A_4 = B_4$	$S = 1$
$A_1 \neq B_1$	$A_2 \neq B_2$	$A_3 = B_3$	$A_4 = B_4$	$S = 1$
$A_1 = B_1$	$A_2 \neq B_2$	$A_3 = B_3$	$A_4 = B_4$	$S = 1$
$A_1 \neq B_1$	$A_2 = B_2$	$A_3 = B_3$	$A_4 = B_4$	$S = 1$
$A_1 = B_1$	$A_2 = B_2$	$A_3 = B_3$	$A_4 = B_4$	$S = 0$

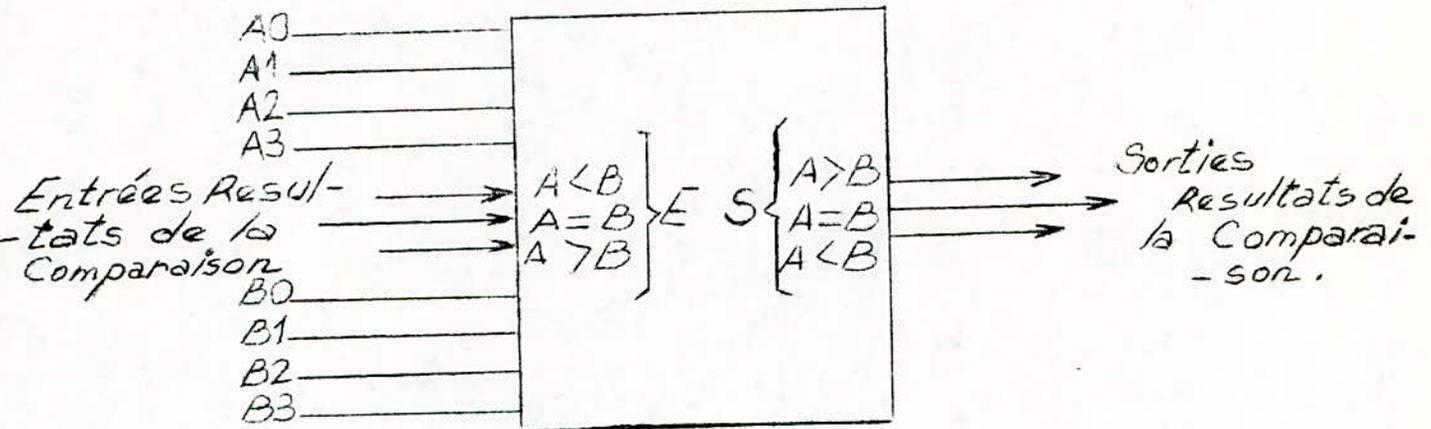
Seule la configuration correspondante à  $A = B$  entraîne  $S = 0$ .  
Donc ce circuit logique compare bien.

Cependant pour notre étude l'emploi de comparateur utilisant des portes universelles s'avère inutile, coûteuse et encombrante.

Des modules MSI ont été développés pour réaliser cette comparaison sur deux mots de 4 exemples : série 7485. Ces comparateurs ont en général 3 entrées supplémentaires qui leur permettent de tenir compte d'une comparaison effectuée sur des bits de rang inférieurs et donc de traiter des mots de longueur quelconque. Ce sont les entrées  $A > B$ ,  $A = B$  et  $A < B$ . La table de vérité est donnée dans la fig.10

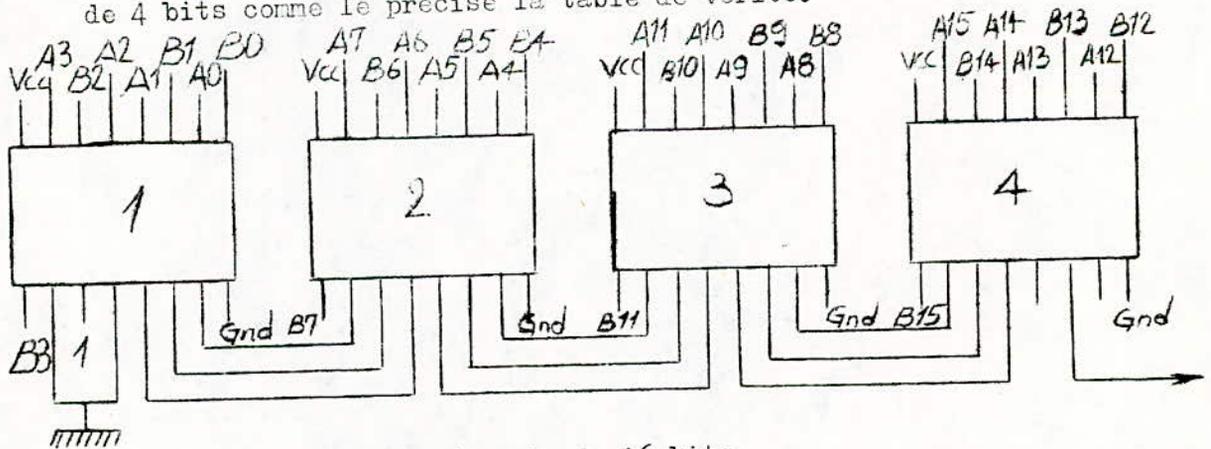
ENTRÉES				SORTIES		
Nbres A et B	$A > B$	$A = B$	$A < B$	$A > B$	$A = B$	$A < B$
$A > B$	1	0	0	1	0	0
$A > B$	0	1	0	1	0	0
$A > B$	0	0	1	1	0	0
$A = B$	1	0	0	1	0	0
$A = B$	0	1	0	0	1	0
$A = B$	0	0	1	0	0	1
$A < B$	1	0	0	0	0	1
$A < B$	0	1	0	0	0	1
$A < B$	0	0	1	0	0	1
$A > B$	1	1	1	1	0	0
$A = B$	1	1	1	0	1	0
$A < B$	1	1	1	0	0	1

- Fig 10 -



- Fig. 11. -

La fig.n°12 montre le cas d'une comparaison de 16 bits où chaque module compare les 4 paires de bits  $A_i B_i$  de même rang. La comparaison des 4 premiers bits  $A_0 \dots A_3$  avec  $B_0 \dots B_3$  de poids le plus faible se fait en appliquant 1 aux entrées des comparateurs. Il n'y a pas en effet, de comparaison de rang inférieur est pour les 3 entrées à 1 le circuit effectue une comparaison normale de 4 bits comme le précise la table de vérité.



Comparateur de mots de 16 bits.

- Fig. 12. -

- b - DECLENCHEMENT DE LA VISUALISATION -

La mémoire ayant une capacité finie, on doit arrêter le processus d'acquisition une fois la capacité maximale de la mémoire atteinte.

On sait que la mémoire a une capacité de 256 mots à 16 bits, donc au bout de 256 tops d'horloge d'écriture le déclenchement de la visualisation doit se faire.

Pour cela, nous utiliserons le compteur adresse.

En effet, l'adressage commençant à 0 doit donc se terminer à 255 ; au 256ème top d'horloge la capacité de comptage est dépassé il y aura un report (voir figure SN74193).

Ce report servira pour ordonner l'aiguillage de l'horloge de lecture HL et de la validation lecture.

Le report devra donc mettre à zéro les bascules  $D_1$  ,  $D_2$  ,  $D_3$  , pour permettre l'aiguillage de HL et l'envoi d'un niveau de lecture vers l'entrée R/W de la mémoire.

.. /

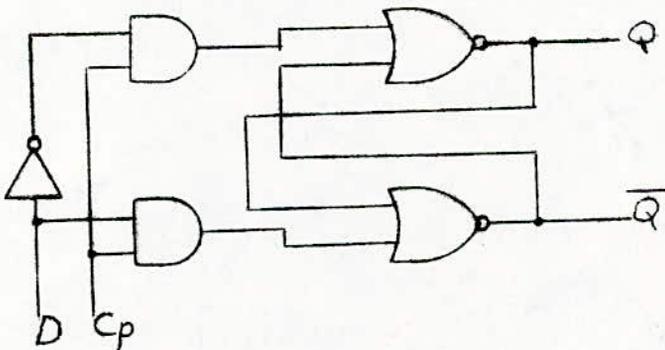
III - DISPOSITIFS DE MISE EN FORME -

Nous venons de voir les différentes manières d'envoyer une impulsion de déclenchement de l'acquisition des données. Nous allons maintenant mettre en forme cette impulsion pour qu'elle puisse commander l'aiguillage de l'horloge d'écriture et la validation écriture. Les dispositifs de mise en forme sont les bascules D numérotés de 1 à 3.

Nous allons voir comment une bascule D transforme une impulsion de déclenchement en niveau d'aiguillage. Cette impulsion pouvant arriver à l'entrée horloge (cp) ou l'entrée "PRESET" de la bascule D.

- a - ETUDE D'UNE BASCULE D -

Une bascule D est un flip flop où la sortie Q est égale à l'entrée D quand un top d'horloge est donné. C'est parceque la sortie suit l'entrée après un certain délai qu'on désigne ce flip flop par la lettre D. Il en existe deux versions :



$t_n$	$t_{n+1}$
D	Q
1	1
0	0

- Fig. 13. -

- La D normale qui commute à un certain niveau du front montant de l'impulsion d'horloge.

L'horloge restant haute ou retournant à zéro, l'état de l'entrée D peut changer sans influencer sur la sortie : c'est l'exemple du SN7474. (Voir fig.14).

- La D à verrouillage qui commute sur le front arrière de l'impulsion d'horloge. Tant que l'horloge est haute tous les états à l'entrée D sont transmis à la sortie ; l'horloge retournant au niveau bas verrouille la sortie sur le dernier état enregistré : c'est l'exemple de la SN7475.

- b - FONCTIONNEMENT -

Nous utiliserons donc un D normale pour notre dispositif de mise en forme car nous ne voulons transmettre qu'une information : le niveau qui puisse aiguiller HE.

Plaçons-nous dans le cas d'un déclenchement manuel : le front montant de ACQ déclenche en sortie un niveau  $Q = D = 1$  (car nous avons mis D à 1). Ainsi le niveau est déclenché par l'impulsion ACQ.

Par ailleurs, le compteur adresse est à un certain état quand l'ordre arrivera par HE lors du déclenchement de l'acquisition des données. Pour permettre un bon adressage des données il faut remettre à zéro le compteur adresse. Cette remise à zéro peut être obtenue à l'aide d'un monostable.

Donc la sortie  $Q_D$  de la première bascule D est reliée à l'entrée d'un monostable. Ce dernier enverra une impulsion

de durée réglable ( $\tau = 0,28RC(1 + \frac{0,7}{R})$ ) où :

R est exprimée en  $K\Omega$

C est exprimée en pf

$\tau$  est exprimé en ns.

Notons  $ACQ_2$  la sortie du monostable.

Cette impulsion est envoyée à l'entrée "CLEAR" du compteur adresse et aussi à l'entrée "LOAD" du compteur ligne.

Cette impulsion  $ACQ_2$  est un second déclenchement. En effet,  $\overline{ACQ_2}$  ira dans une autre bascule D qui enverra sur le front montant de  $\overline{ACQ_2}$  un ordre d'aiguillage. (Fig 15)

Le dernier ordre d'aiguillage devra être déclenché par une troisième bascule D à l'aide d'impulsions d'horloge d'écriture.

Le niveau enfin obtenu sera le niveau de positionnement de l'horloge écriture.

Le même raisonnement est à tenir lors d'un déclenchement automatique (sur signal externe ou sur reconnaissance d'un mot).

Le circuit de mise en forme est donc constitué de bascules D et d'un monostable. Il suffit que le report du compteur adresse soit relié au "CLEAR" de ces bascules pour mettre le niveau d'aiguillage de HL en période lecture.

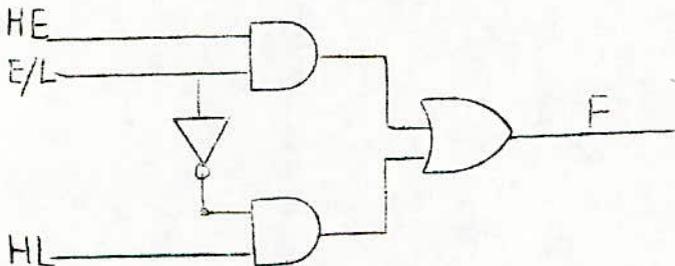
IV - LES CIRCUITS D'AIGUILLAGES -

Le compteur adresse est à zéro donc l'adresse binaire zéro est présente aux entrées adresses de la mémoire. Il faudra donc attendre un signal d'écriture pour pouvoir stocker l'information présente aux entrées  $D_i$  de la mémoire.

Les circuits d'aiguillages servent à positionner l'une des horloges HE ou HL vers le bloc mémoire selon l'écriture ou la lecture des données. Ces horloges devront incrémenter l'adresse du CTAD et valider l'écriture ou la lecture selon le cas.

Les circuits d'aiguillages permettent, d'autre part, de synchroniser les données arrivant avec l'adressage et la validation écriture ou lecture.

Le circuit de base d'un circuit aiguilleur est schématisé à l'aide de portes de la fig. n°16.



- Fig. 16 -

L'analyse de ce schéma permet d'écrire la fonction

$$F = HE \cdot E/L + HL \cdot \overline{E/L}$$

Si  $E/L = 0$      $F = HL$     période lecture.

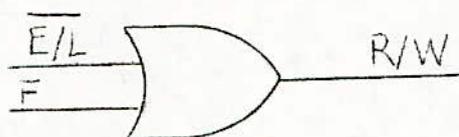
Si  $E/L = 1$      $F = HE$     période écriture.

Donc on voit que le niveau E/L détermine l'horloge de synchronisation qui ira au compteur adresse et à la mémoire.

Il s'agit, d'autre part, d'envoyer des impulsions d'écriture vers la mémoire (validation R/W) pendant la période d'acquisition des informations et d'envoyer un niveau vers la mémoire pendant la période de visualisation des informations.

Nous utiliserons le niveau E/L pour aiguiller HE vers l'entrée horloge du compteur CTAD et vers R/W en période d'acquisition, puis pour aiguiller HL vers le CTAD et un niveau haut vers R/W en période de visualisation.

Pour cela une porte OU suffit amplement :



$$R/W = F + \overline{E/L}$$

$$\text{avec } F = HE \cdot E/L + HL \cdot \overline{E/L}$$

$$* \text{ Si } E/L = 0 \quad \begin{cases} F = C_p(\text{CTAD}) = HL \\ R/W = 1 \end{cases}$$

Ce qui correspond à la période de lecture.

$$* \text{ Si } E/L = 1 \quad \begin{cases} F = C_p(\text{CTAD}) = HE \\ R/W = HE \end{cases}$$

Ce qui correspond à la période d'écriture.

Le bloc mémoire, nous le savons comporte un étage buffer commandant l'entrée ou la sortie des données de la mémoire (bus bidirectionnel).

La commande de ce bus bidirectionnel se fait à l'aide de la validation écriture-lecture R/W.



V - LA REMISE A ZERO -

La remise à zéro est un circuit agissant sur les bascules D de mise en forme pour les mettre à l'état qui permet le déclenchement.

Avant tout déclenchement de l'acquisition des informations les bascules de mise en forme sont dans un état quelconque.

Le déclenchement de l'acquisition ne peut se faire que si le niveau de sortie de ces bascules est bas .

En effet, nous avons vu que l'impulsion ACQ met la bascule  $D_1$  à  $Q_{D1} = 1$  ; pour ce faire il est évident qu'il faut que  $Q_{D1}$  soit à zéro.

D'autre part, la bascule  $Q_{D3}$  est à un état quelconque pour la mettre à 1 il faut une impulsion HE et un niveau d'entrée  $D_3$ . Cette bascule  $D_3$  donne en sortie le niveau qui permet la lecture ou l'écriture des informations.

Pour que ce niveau soit déclenché par une impulsion ACQ il faut qu'il soit bas. C'est pour cette raison que l'on agit aussi sur cette bascule pour la remise à zéro.

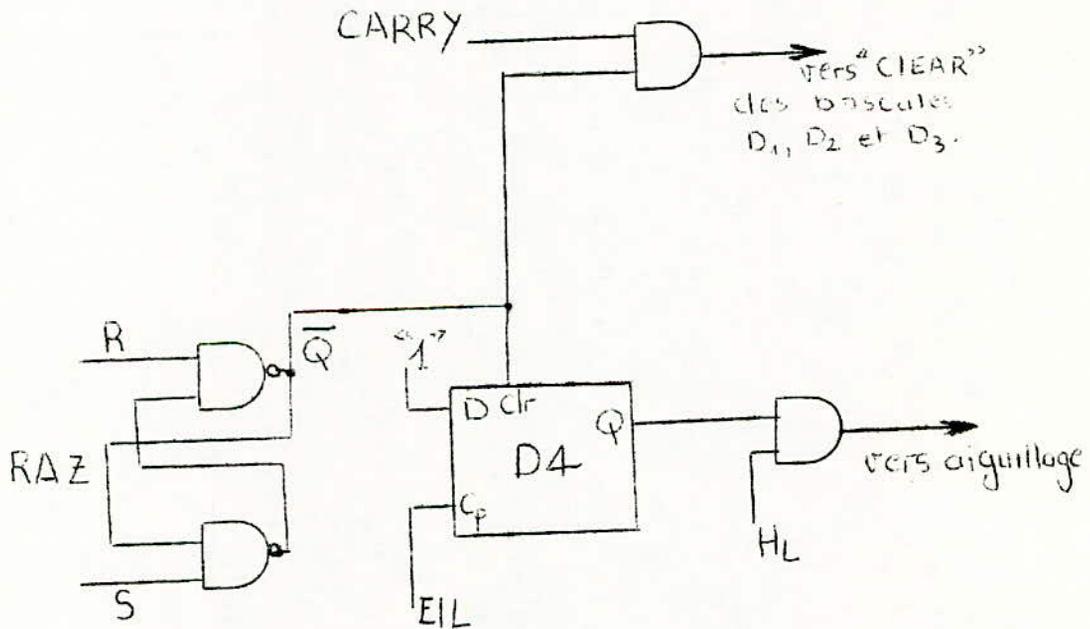
En résumé donc un dispositif donnant une impulsion doit être prévu pour remettre dans un état convenable les bascules D de mise en forme.

Cependant il y a un autre problème moins évident :

Supposons que le niveau de E/L soit bas c'est à dire à un niveau convenable. L'horloge HL est donc aiguillée vers le compteur adresse et le bloc mémoire. Le compteur adresse envoie donc des impulsions de Carry (report) qui arrivent en Clear des bascules D.

Supposons qu'on veuille se déclencher automatiquement :  
c'est à dire en agissant sur l'entrée **Freset** de la bascule  $D_1$ .  
Cette impulsion ACQ à l'entrée "Preset" de  $D_1$  peut ne pas  
déclencher la bascule  $D_1$  à  $Q = 1$  : ceci est dû au fait que  
cette impulsion peut arriver en même temps qu'un top Carry  
(report) qui attaque  $D_1$  à l'entrée Clear. Nous savons que  
l'entrée Preset et Clear tous deux validés en même temps  
conduit à un état indéterminé de la bascule.  
Il faut donc arrêter l'horloge HL pendant l'attente d'une  
impulsion ACQ.

Nous avons pensé au schéma suivant :



- Fig. 18 -

L'impulsion RAZ manuelle est transmise vers les bascules de mise en forme et l'arrêt de HL.

Ce sera uniquement lors d'un déclenchement que HL fonctionne : E/L donne un front qui agit sur l'entrée Cp d'une quatrième bascule le niveau d'entrée  $D_4 = 1$  est donc "copié" à la sortie, et HL est envoyée au circuit d'aiguillage. Cependant, le niveau de E/L étant haut (période d'acquisition) l'horloge n'est pas encore aiguillée.

La remise à zéro est donc essentielle puisqu'elle permet un déclenchement sûr du processus d'acquisition.

VI - L'HORLOGE DE LECTURE -

L'horloge de lecture est un circuit qui permet au compteur adresse de faire le balayage séquentiel de la mémoire lors de la période de lecture.

L'horloge est donc un circuit capable de générer régulièrement des impulsions qui font passer le CTAD par ses 256 états différents cycliquement.

L'horloge utilisée est constituée d'un trigger de Schmitt à circuit intégré du type SN7413 rétrocouplés par une cellule R.C. Ce circuit (fig.n°19) permet la réalisation d'un oscillateur digital avec une gamme de fréquence allant de 0 à 10 MHz de façon particulièrement simple grâce aux deux caractéristiques importantes :

- l'hystérésis de 800 mV.
- la fonction logique d'inversion.

L'oscillateur obtenu du type relaxation, démarre sans intervention externe.

Lorsque la charge de la sortie de l'oscillateur n'excède pas deux entrées TTL la résistance de contre réaction est de 330Ω. La stabilité de la fréquence obtenue, par le trigger de Schmitt, est meilleure que 5% en supposant un réseau RC exempt de dérives. Pour permettre à l'image de rester fixe sur l'écran du scope sans scintillement il faut prévoir un balayage séquentiel de la mémoire à une fréquence de 25 images par seconde (persistance rétinienne de l'oeil).

Le balayage des 256 mots de la mémoire correspond à la sortie d'une ligne du multiplexeur (voir Chapitre C).

Une image étant constituée de 16 lignes, la sortie d'une image correspond au balayage de 16 fois la mémoire entière. Donc si  $\tau_1$  est la période de HL et  $\tau_2$  la période de synchronisation ligne on doit avoir :

$$25 \times 16 \times 156 \times \tau_1 + 25 \times 16 \times \tau_2 \leq 1 \text{ seconde.}$$

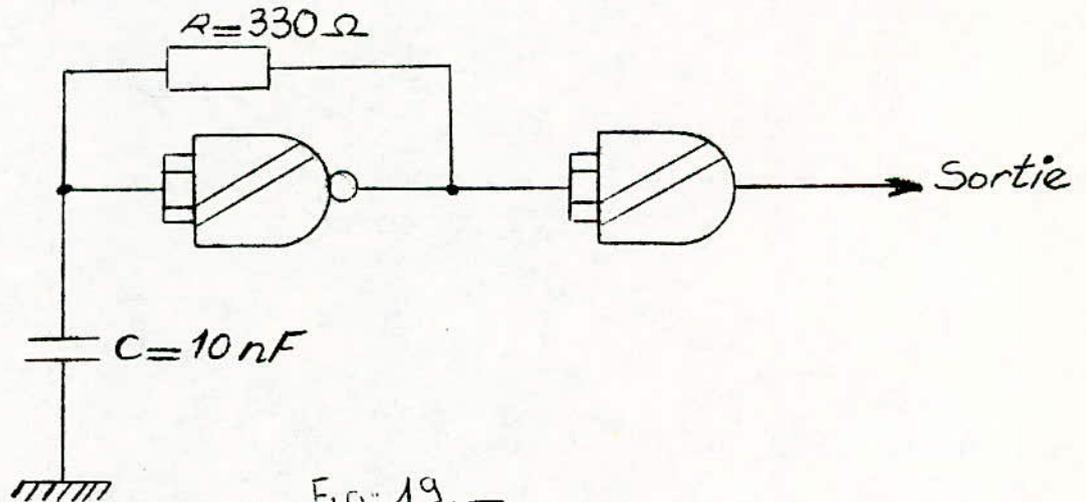
OR:  $\tau_2 = 12 \mu\text{s}$

DONC :

$$\tau_1 \leq \frac{1 - 25 \times 16 \times 12 \times 10^{-6}}{25 \times 16 \times 156}$$

$$\tau_1 \leq 9,7$$

Nous avons pris  $\tau_1 = 4 \mu\text{s}$  qui correspond au cycle de lecture (fig.n° ).



-. Fig: 19. -

## VII - LA SYNCHRONISATION LIGNE ET IMAGE -

Les tops de synchronisation ligne et image sont des impulsions permettant de différencier une ligne d'une autre ou une image d'une autre.

Ces tops vont être envoyés dès la fin d'une ligne pour arrêter le processus de lecture pendant un certain temps. Au bout de 16 lignes, c'est à dire après 16 tops de synchronisation ligne, un top de synchronisation image est envoyé.

La lecture de la mémoire se fait en envoyant des adresses et un ordre de validation lecture à la mémoire. Les adresses se présentent : ce sont les impulsions de notre horloge interne.

Pour arrêter la lecture il suffit d'arrêter l'adressage à la mémoire, et d'arrêter pendant un certain temps les impulsions d'horloge HL.

Nous devons donc commander l'arrêt de HL pendant le temps que dure l'impulsion de synchronisation ligne.

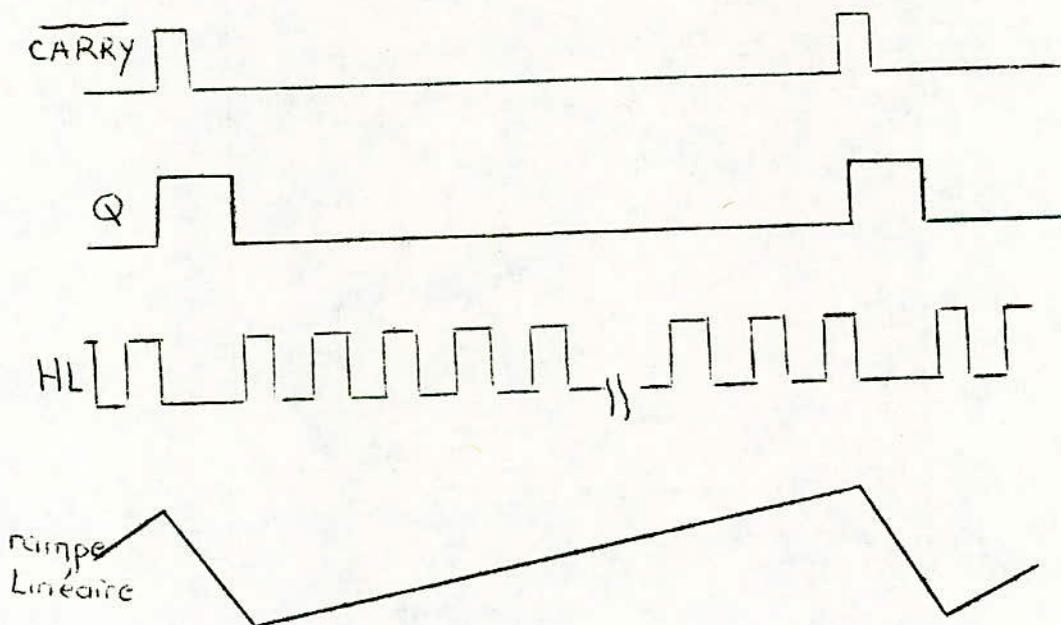
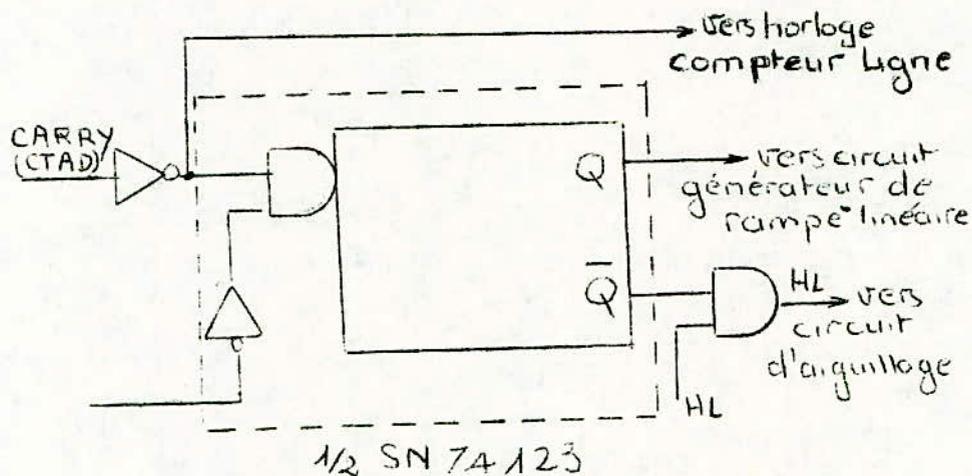
Le compteur CTAD, délivre une impulsion dès que l'adresse est à 255 : le report ou dépassement de capacité. Ce report doit servir à donner le top de synchronisation ligne et à incrémenter le compteur ligne. (voir fig. 21).

Donc c'est le Carry ou report qui déclenche les tops de synchronisation ligne.

Pour pouvoir arrêter la lecture des informations pendant un temps relativement long nous utilisons un monostable se déclenchant sur le front descendant de Carry.

Cette impulsion sortant du monostable commandera l'arrêt de HL par une porte ET.

Les impulsions de synchronisation image sont en fait les mêmes impulsions car la lecture de la mémoire est cyclique.



- . Fig: 21. -

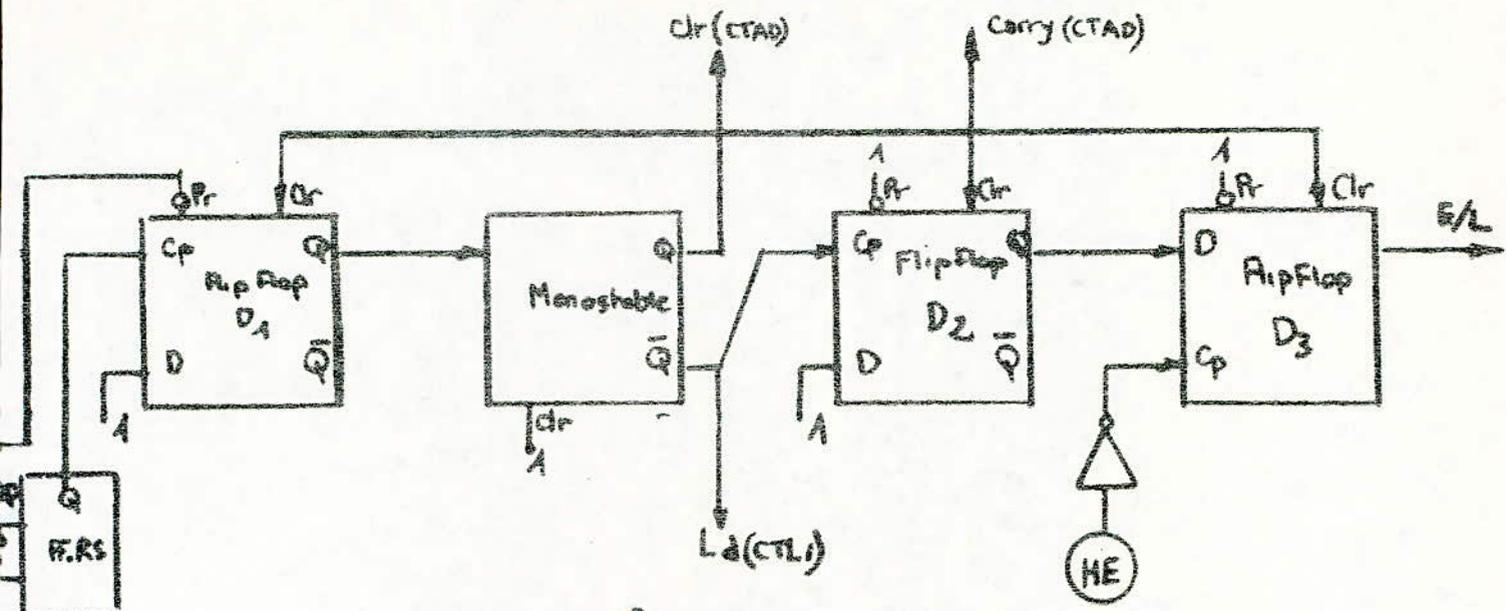


Fig. 15.

Entrées				Sortie
Prevel	Clear	CP	D	Q
L	H	X	X	H
H	L	X	X	L
L	L	X	X	H <sup>+</sup>
H	H	↑	H	H
H	H	↑	L	L
H	H	L	X	Q <sub>0</sub>

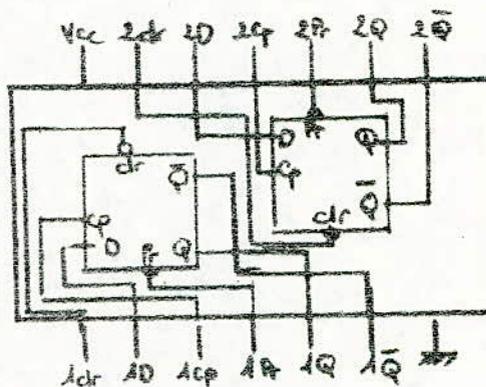


Fig. 14.

Entrées			Sortie
Clear	A	B	Q
L	X	X	L
X	H	X	L
X	X	L	L
H	L	↑	L
H	↓	H	L
↑	L	H	L

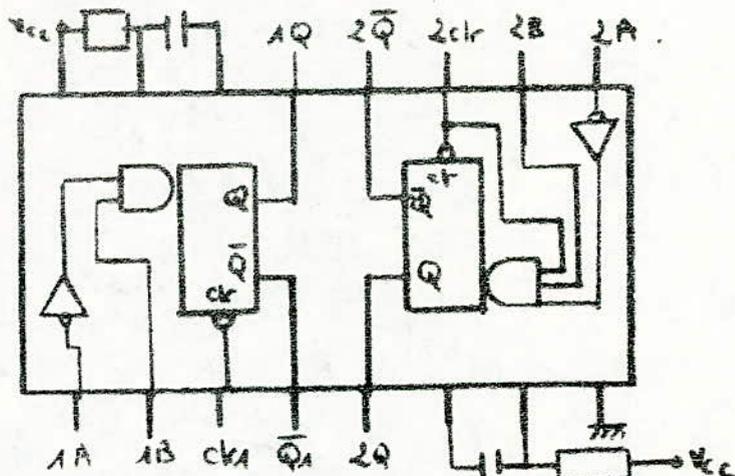


Fig. 14.1.



B - LES CIRCUITS DE MEMORISATION -

I - GENERALITES SUR LES MEMOIRES -

La fonction mémoire est un stockage d'informations.

Nous utilisons des mémoires à semi-conducteurs.

Elles peuvent être classées en deux catégories : les mémoires à lecture seule (ou mémoire fixe) codée une fois pour toutes au cours de la fabrication (ROM : only read memory) et les mémoires vives à accès aléatoires ou mémoires adressables (RAM : random accès memory) où l'on peut lire, écrire ou effacer des informations autant de fois qu'on le désire. Ce sont ces derniers que nous avons utilisées.

Nous en distinguons deux types :

- les mémoires dynamiques.
- les mémoires statiques.

Dans les premières la valeur du digit mémorisé est représenté par la charge électrique contenue dans une capacité ; comme les courants de fuite inévitables déchargent la capacité, cette mémoire se dégrade et il faut réinscrire périodiquement l'information avant qu'elle ne soit perdue. Cette opération doit être accomplie toutes les 1 à 2 ms.

Dans les secondes le digit mémorisé est stocké dans une cellule du type bistable capable de rester indéfiniment dans un de ses deux états stables (celui qui représente la valeur du digit stocké) tant que la tension d'alimentation est maintenue. Celles que nous avons utilisées sont des mémoires statiques.

La mémoire stocke des informations binaires, 0 ou 1, l'unité est donc le bit :

- le bit est l'unité d'information numérique binaire.
- le digit est l'unité générale d'information numérique.
- le mot se compose de un ou plusieurs bits.
- le byte est un mot de 8 bits.
- le kilo vaut 1024 en binaire.

La mémoire intégrée est constituée par un réseau de point-mémoire, des cellules élémentaires qui emmagasinent des 0 ou des 1.

#### 1 - CARACTERISTIQUES D'UNE MEMOIRE -

Une mémoire est caractérisée par :

- son temps d'enregistrement d'information ou temps d'écriture : c'est le temps qui s'écoule entre le moment où l'information à enregistrer et l'adresse sont fournies à l'entrée de la mémoire et l'instant où l'information est effectivement inscrite.
- son temps d'extraction ou temps de lecture : c'est le temps qui s'écoule entre l'application de l'adresse et l'instant où l'information est disponible à la sortie.
- sa capacité d'enregistrement : c'est le volume d'information, en bits, qu'elle peut emmagasiner.
- son temps d'accès : temps écoulé entre le moment où l'adresse est appliquée et celui où l'information est enregistrée, ou présente à la sortie pour être lue.
- Son temps de cycle : après une opération d'écriture ou de lecture, la mémoire peut avoir besoin d'un temps de réins-cription ou de récupération. Le temps de cycle est alors la somme de ce temps et du temps d'accès.

Pour pouvoir stocker entièrement ces bits, il faudra disposer de 4 modules mémoire du type MCM 6810 AL décrits précédemment. Chacune de ces mémoires comporte une capacité de 128 mots de 8 bits. Pour stocker des mots de 16 bits il faudrait 2 modules 6810 AL organisés comme suit :

- \* les 8 bits de plus faibles poids arrivent aux entrées données du premier module, et les 8 bits de plus fort poids arrivent aux entrées du deuxième module.

Pour adresser 256 données il faut disposer de 8 bits d'adresses. Un module du type MCM 6810 AL ne comprend que 7 bits d'adresses, nous utiliserons le "Select Chip" pour bit d'adresse de plus fort poids. Les 128 premiers mots de 16 bits seront stockés dans les deux premiers modules. Leur adressage sera donc de 0 à 127 ce qui fait que le MSB sera à 0. le MSB des deux premiers modules sera donc le  $\overline{CS}$ .

Les 128 derniers mots de 16 bits seront stockés dans les deux derniers modules. Leur adressage est de 128 à 255, ce qui fait que le MSB sera à 1. Le MSB des deux derniers modules sera donc le CS (voir fig.6).

- \* un ordre écriture-lecture noté R/W donnera l'écriture ensuite la lecture des mots stockés.

R/W sera représenté par :

- des impulsions pendant l'étape écriture.
- un niveau "1" pendant l'étape lecture.

### III - UTILISATION DE CIRCUITS A TROIS ETATS : LESBUFFERS -

Les données qui arrivent du système logique (micro-processeur) doivent avoir de bons niveaux "1" ou "0". Pour avoir effectivement cela, nous devons insérer dans notre bloc mémoire des portes de puissance (buffers bidirectionnel) à trois états, avec une grande impédance d'entrée.

On dit qu'une sortie est à 3 états lorsqu'elle peut prendre les 3 états suivants :

- un niveau bas normal (0)
- un niveau haut normal (1)
- un niveau indéterminé, à haute impédance, correspondant à une sortie déconnectée du circuit.

L'avantage de ce troisième état, c'est qu'il permet de connecter en parallèle les sorties de plusieurs dizaines de circuits dont un seul est mis en service à la fois. C'est là une nécessité lorsqu'on a recours à des bus de liaison. (fig.6-1).

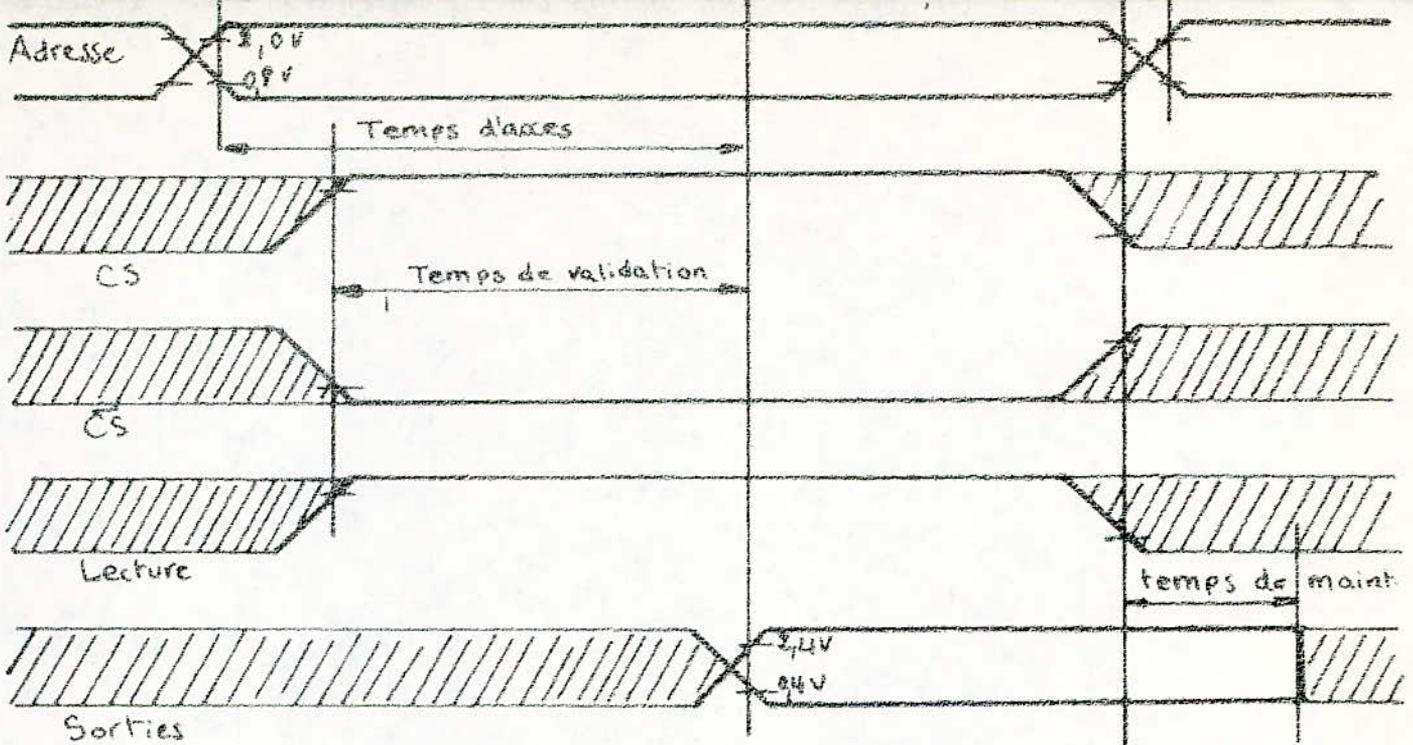
- a - SCHEMA DU MODULE MC6880 (MC 8T26) (VOIR FIG.6-3) -

- b - SCHEMA SYNOPTIQUE D'UN BUFFER BIDIRECTIONNEL - (VOIR FIG.6-2) -

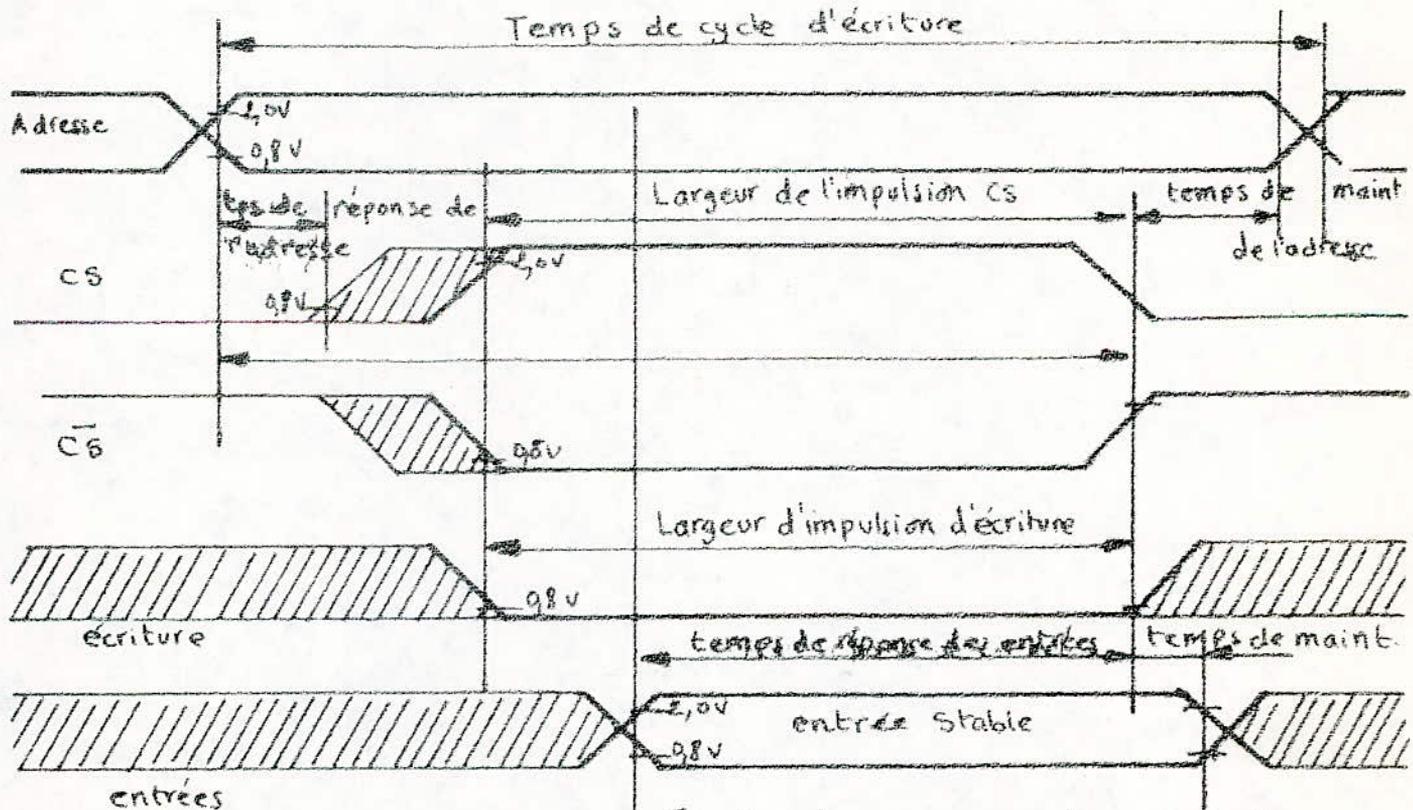
La commande de ce bus bidirectionnel se fait par la validation  $\overline{R/W}$  comme le montre la figure 6-4, elle se fait de telle manière que :

- quand un ordre de lecture est donné, il validera la sortie des données ( $\overline{REI}$ ).

Les données arrivent par l'entrée DI pour être conduites au bus de la mémoire dès qu'un niveau bas est envoyé à  $\overline{REI}$  .

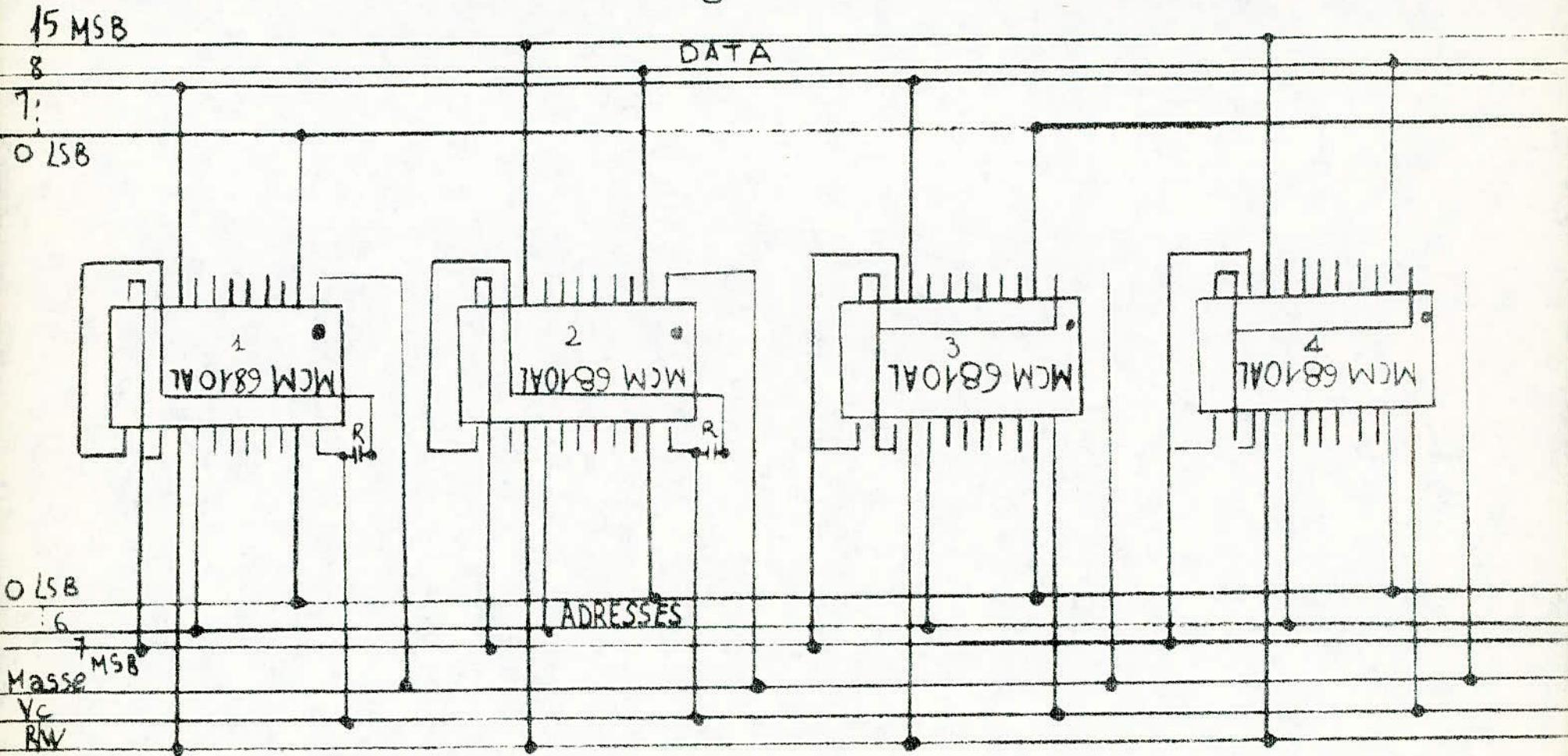


- Fig 4 - Chronogramme du cycle de lecture de la MCM6810AL

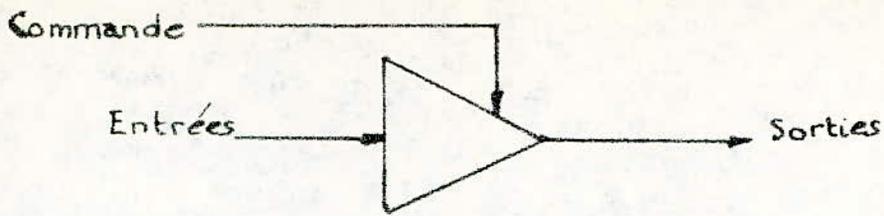


- Fig 5 - Chronogramme du cycle Lecture de la MCM6810AL

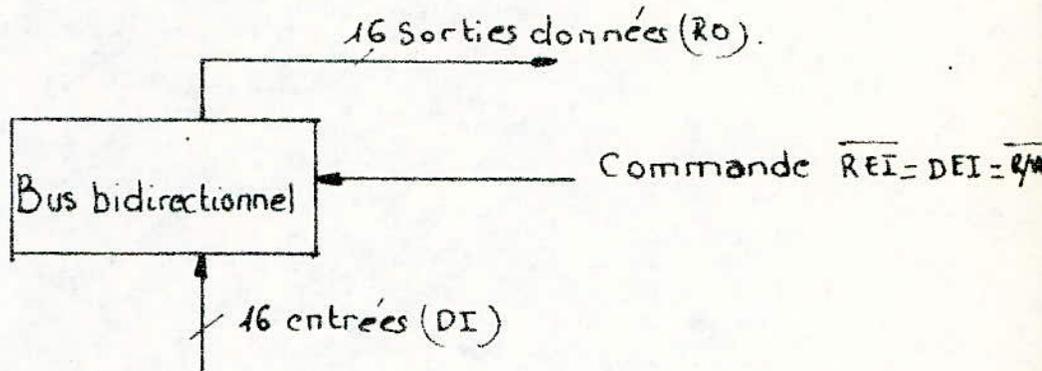
# Organisation de la mémoire 256x16 bits



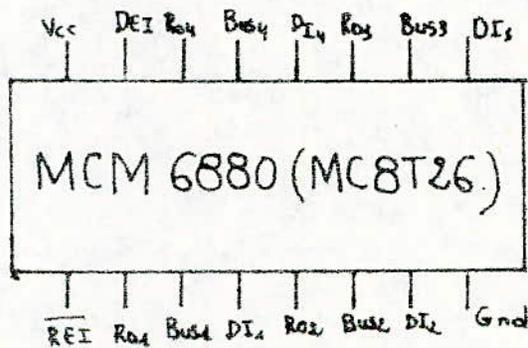
- Fig 6 -



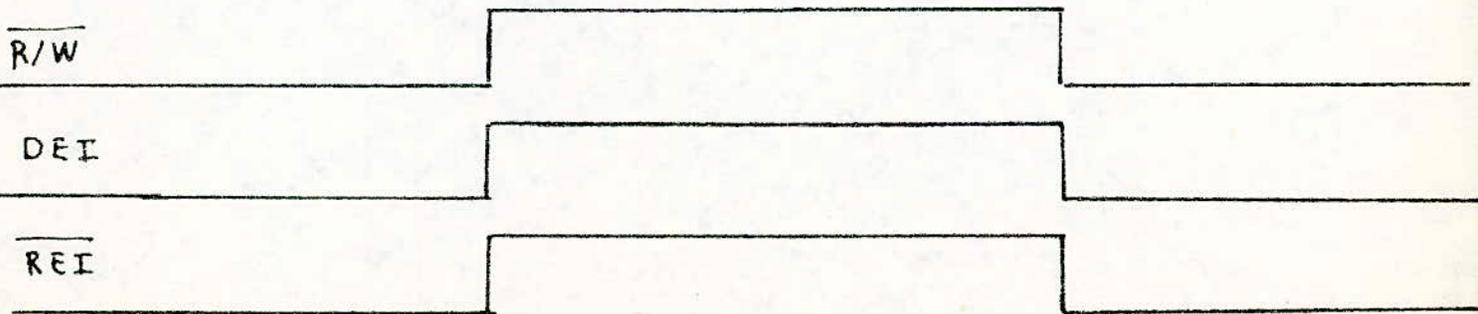
— . Fig: 6-1. —



— . Fig: 6-2. —



— . Fig: 6-3. —



— . Fig: 6-4. —

#### IV - L'ADRESSAGE DES MEMOIRES -

##### 1 - INTRODUCTION -

L'adressage des mémoires consiste à envoyer une information adresse à chaque donnée qui est soit introduite soit extraite de la mémoire. Cette information positionnera la donnée en mémoire. Elle doit être présente à l'entrée de la mémoire dès l'arrivée d'une donnée.

Dans les mémoires à accès aléatoire ou RAM, l'adresse et la validation d'écriture-lecture déterminent la donnée.

L'information adresse est envoyée vers la mémoire par un compteur synchronisé sur des tops d'horloge provenant du système logique à analyser pendant la période d'écriture des données, puis de l'appareil lui-même pendant la période de lecture des données.

L'information adresse sortant du compteur adresse (qu'on notera CTAD) sera de 8 bits pour permettre l'adressage des 256 données de la mémoire pleine.

##### 2 - ANALYSE ET SYNTHESE DES COMPTEURS -

Un système est dit séquentiel si la valeur des variables de sortie dépend à la fois des variables d'entrées et de l'état antérieur du système.

Les compteurs sont des systèmes séquentiels qui comme leur nom l'indique, compte les impulsions (variables d'entrées) et les affichent en sortie sous forme binaire selon un certain code.

Il y a deux sortes de compteurs :

- les compteurs synchrones : une impulsion d'horloge fait changer d'état toutes les bascules simultanément.
- les compteurs asynchrones : les bascules changent d'état successivement.

L'analyse et la synthèse des compteurs consiste à étudier puis à réaliser, à partir d'un ensemble de bascules, un système séquentiel bien déterminé.

Les bascules utilisées sont des bascules D, mais souvent des bascules JK.

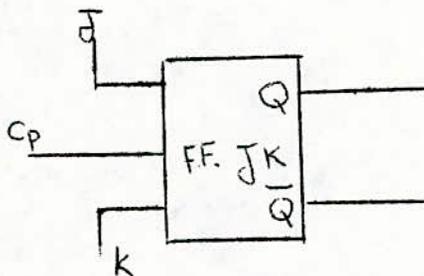
a -- LES BASCULES JK --

Une bascule ou flip flop est un élément disposant de deux entrées et dont les combinaisons déterminent les états des sorties Q et  $\bar{Q}$ . Elles sont de quatre types : RS, JK, D et T.

La bascule JK est une amélioration de la bascule RS, car cette dernière comporte une combinaison interdite à l'entrée qui mène à une situation indéterminée en sortie.

Elle a les caractéristiques suivantes :

J	K	$Q_{t+\Delta}$
0	0	$Q_t$
0	1	0
1	1	$\bar{Q}_t$
1	0	1



Où :  $Q_{t+2}$  est l'état de la sortie  $Q_t$  après une impulsion d'horloge.

A partir de cette table de vérité on tire :

$$Q_{t+2} = \bar{K} Q_t + J \bar{Q}_t$$

$$\overline{Q_{t+2}} = \bar{J} \bar{Q}_t + K Q_t$$

b - ETUDE D'UN COMPTEUR BINAIRE SYNCHRONE MODULE 10 -

Un compteur binaire module 10 est un diviseur de fréquence par 10. De plus c'est un compteur synchrone, c'est à dire que toutes les bascules changent d'état simultanément ; aussi l'entrée horloge de toutes les bascules sont reliées entre elles.

Puisque l'on travaille en binaire, on exprimera tous les chiffres par des nombres de 4 bits A, B, C, et D où A est le bit de plus faible poids et D le bit de plus fort poids.

On aboutit au tableau de la figure 7 .

Les transitions à assurer sont résumés par la table de Karnaugh de la même figure. Les états indifférents notés  $\emptyset$  , sont ceux pour lesquels le niveau 0 ou 1 ne joue aucun rôle.

Les sorties de chaque flip flop peuvent aussi connaître quatre types de transition (fig.8).

Cette dernière table des transitions prépare la réalisation des tables de Karnaugh des quatre flip flop qui vont constituer le compteur module 10 (fig.9 - 10)

3 - APPLICATION A NOTRE ETUDE -

Notre compteur adresse, qu'on notera CTAD, aura pour rôle essentiel d'adresser les 256 données qui constituent la mémoire pleine.

imp. me	Etat présent				Etat futur			
	D	C	B	A	D	C	B	A
1	0	0	0	0	0	0	0	1
2	0	0	0	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	0	1	1	0	1	0	0
5	0	1	0	0	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	1	0	0	1	1	1
8	0	1	1	1	1	0	0	0
9	1	0	0	0	1	0	0	1
10	1	0	0	1	0	0	0	0

Fig 7

Sorties		Tr.	Conditions d'ent-rées		
Qn	Qn+1		J	K	D
0	1	T1	1	φ	1
1	0	T0	φ	1	0
1	1	S1	φ	0	1
0	0	S0	0	φ	0

Fig n° 8

Réalisation d'un compteur synchrone modulo 10

Fig 9

B/A C	00	01	11	10
00	T1	T0	T0	T1
01	T1	T0	T0	T1
11	φ	φ	φ	φ
10	T1	Tφ	φ	φ

Flip flop A

$$J_A = \bar{A}$$

$$K_A = A$$

B/A C	00	01	11	10
00	S0	T1	T0	S1
01	S0	T1	T0	S1
11	φ	φ	φ	φ
10	S0	S0	φ	φ

Flip flop B

$$J_B = A\bar{D}$$

$$K_B = A\bar{D}$$

B/A C	00	01	11	10
00	S0	S0	T1	S0
01	S1	S1	T0	S1
11	φ	φ	φ	φ
10	S0	S0	φ	φ

Flip flop C

$$J_C = AB$$

$$K_C = AB$$

B/A C	00	01	11	10
00	S0	S0	S0	S0
01	S0	S0	T1	S0
11	φ	φ	φ	φ
10	S1	T0	φ	φ

Flip flop D

$$J_D = ABC$$

$$K_D = A$$

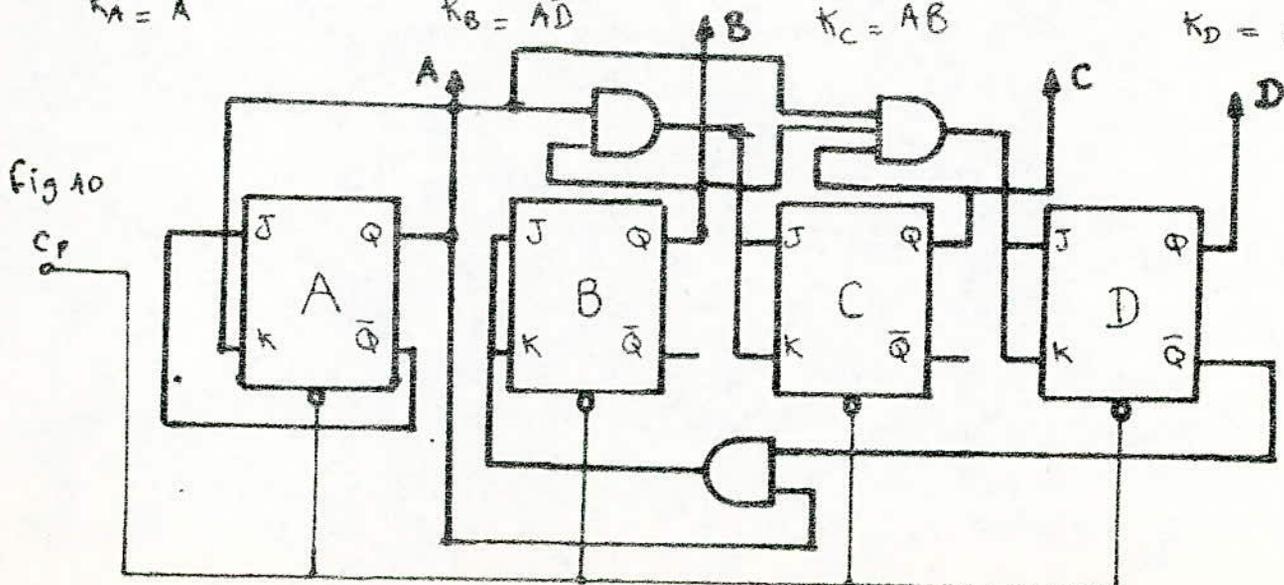


Fig 10

Nous disposerons donc d'un compteur binaire synchrone module 256 qui donne des informations adresse de 8 bits.

La réalisation du compteur module 256 à l'aide de bascules présente un assez grand nombre d'interconnexions et de longs calculs. Pour éviter cela, nous avons utilisé des circuits intégrés MSI du type SN74193 qui sont conçus de façon à permettre la réalisation aisée de longues chaînes de comptage.

Le circuit SN74193 est un compteur réversible synchrone modulo 16 (fig.11). La mise en cascade de deux SN74193 permet la réalisation d'un compteur module 256.

Toutefois cette liaison est du type asynchrone car ce sont les sorties "Borrow out put" (ou retenue) et "Carry out put" (ou report) qui servent d'entrée de comptage au deuxième circuit SN74193 (fig.12).

#### a - PERIODE D'ECRIURE -

Pendant l'étape d'acquisition des données les impulsions de comptage proviennent du système logique sous test.

L'arrivée d'une adresse en mémoire doit précéder la donnée de 500 ns au minimum pour permettre l'accès à la mémoire (voir fig 4 et 5 du bloc Mémoire).

Les données sont stockées en mémoire les unes après les autres aux adresses envoyées par le compteur adresse.

Les impulsions d'adressage **incrémentent à chaque** fois qu'une donnée arrive, l'adresse à envoyer en mémoire.

Par ailleurs, le compteur doit adresser la première donnée à 0, la deuxième à 1, ... etc, ... , la 256ème donnée à l'adresse 255. Pour cela le compteur adresse est remis à zéro dès qu'un déclenchement de l'écriture des informations est donné.

L'impulsion de mise à zéro du CTAD agira sur les entrées "Clear" des circuits SN74193 : elle provient du circuit de mise en forme de la partie synchronisation (voir chap.I).

Après le stockage de la 256ème donnée à l'adresse 255, une impulsion de "Carry" ou report est envoyée par le CTAD pour ordonner la fin de l'acquisition des informations.

Cette impulsion agira sur le circuit de mise en forme pour permettre l'aiguillage de HL vers CTAD et d'un niveau de lecture vers la mémoire.

Cette impulsion agira aussi sur l'entrée horloge du compteur ligne pour le mettre à l'état 0000 et servira à incrémenter le compteur ligne du bloc visualisation.

#### b - PERIODE DE LECTURE -

Pendant l'étape de visualisation des informations, les impulsions de comptage proviennent de l'appareil lui-même.

Une horloge de lecture est prévue à cet effet.

Nous savons que l'oscilloscope est un appareil permettant de visualiser des phénomènes physiques répétitifs ou périodiques. Le compteur adresse assurera le balayage séquentiel de la mémoire.

Au départ le compteur adresse est remis à zéro. Il est incrémenté au rythme de l'horloge de lecture HL et passe par ses 256 états différents. Durant toute cette période la mémoire est constamment balayée pour permettre aux informations de passer sur l'écran de l'oscilloscope de façon périodique et pour que l'image soit stable sur l'écran.

La vitesse de balayage doit être au maximum de 25 images par seconde pour éviter tout scintillement de l'image (persistance retineuse de l'oeil).

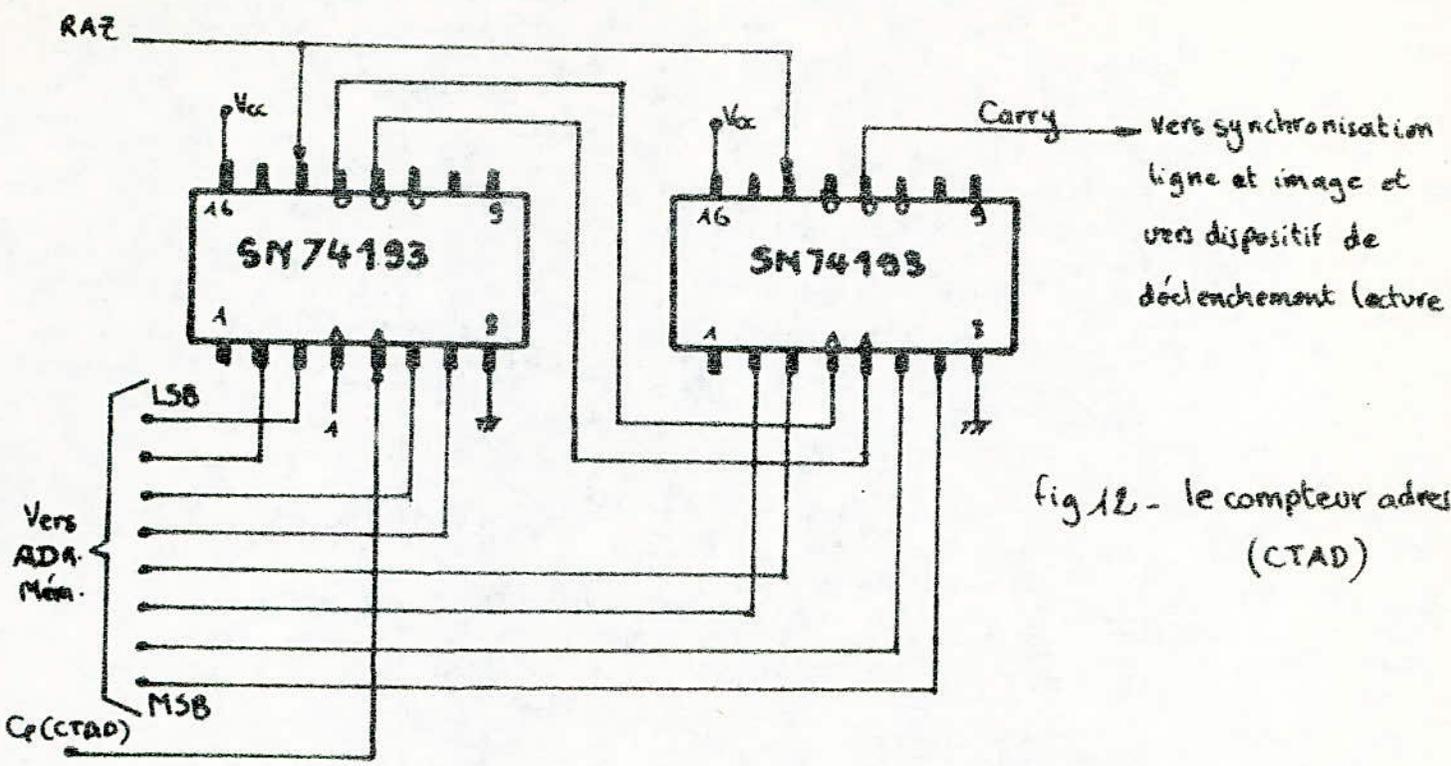


fig 12 - le compteur adresse (CTAD)

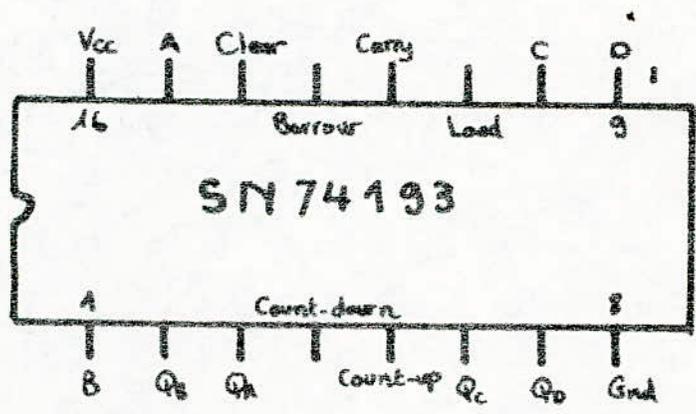


fig 11 - Le compteur synchrone réversible modulo 16 : SN74193

C - CIRCUITS DE VISUALISATION -

I - MULTIPLIXEUR -

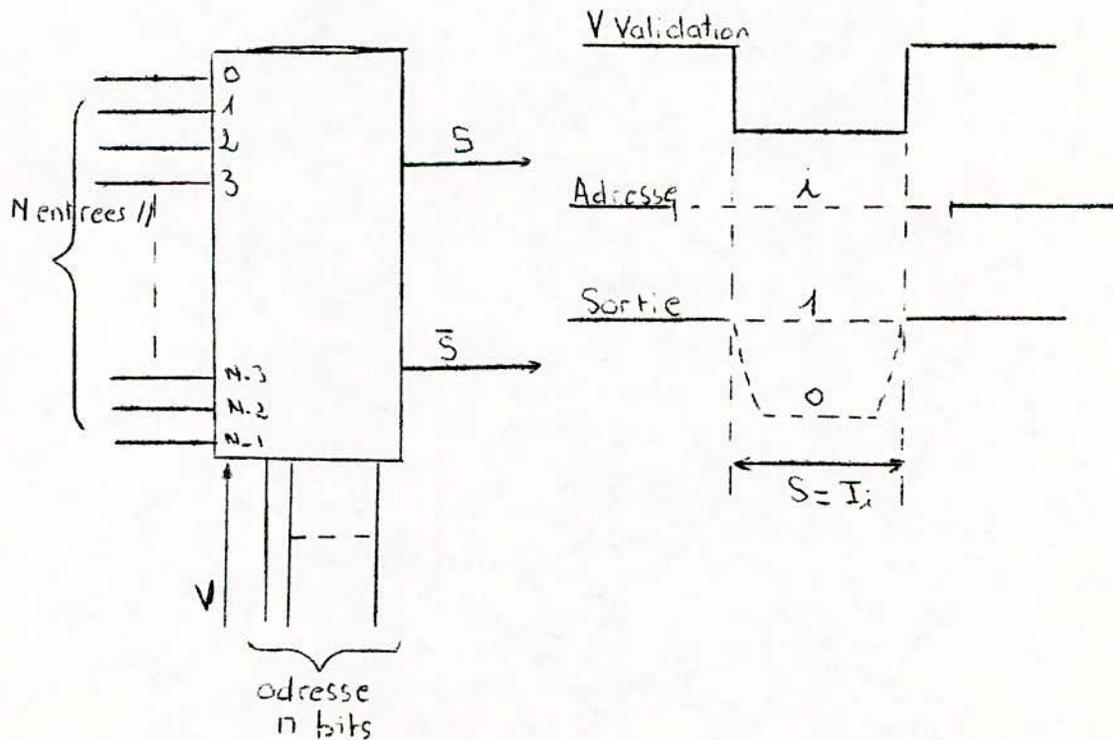
1 - PRINCIPE D'UN MULTIPLIXEUR DIGITAL -

Un multiplexeur est un organe qui reçoit N entrées et transmet par sa sortie S une de ces entrées au choix. Pour faire ce choix le multiplexeur reçoit une adresse de n bits (avec  $N = 2^n$ ). On peut trouver aussi une entrée de validation V.

Si  $V = 1 \Rightarrow$  la sortie  $S = 1$  quelle que soit l'adresse appliquée et quels soient les niveaux des N entrées.

Si  $V = 0 \Rightarrow$  le multiplexeur délivre sur S l'état de l'entrée adressée ou son complément.

La représentation fonctionnelle est donnée par la fig.1.



- fig: 1 -

.. /

2 - Exemple d'un multiplexeur de quatre entrées : ( $4 = 2^2 \Rightarrow$  d'où 2 bits d'adresse sont nécessaires : E et F).

Nous avons à réaliser la fonction suivante :

- $S = I_0$  (entrée n° 0) Si  $E = F = 0$  (adresse 00)
- OU  $S = I_1$  (entrée n° 1) Si  $E = 1$   $F = 0$  (adresse 10).
- OU  $S = I_2$  (entrée n° 2) Si  $E = 0$   $F = 1$  (adresse 01).
- OU  $S = I_3$  (entrée n° 3) Si  $E = 1$   $F = 1$  (adresse 11).

Ce qui s'écrira

$$S = \bar{E} \cdot \bar{F} \cdot I_0 + E \cdot \bar{F} \cdot I_1 + \bar{E} \cdot F \cdot I_2 + E \cdot F \cdot I_3$$

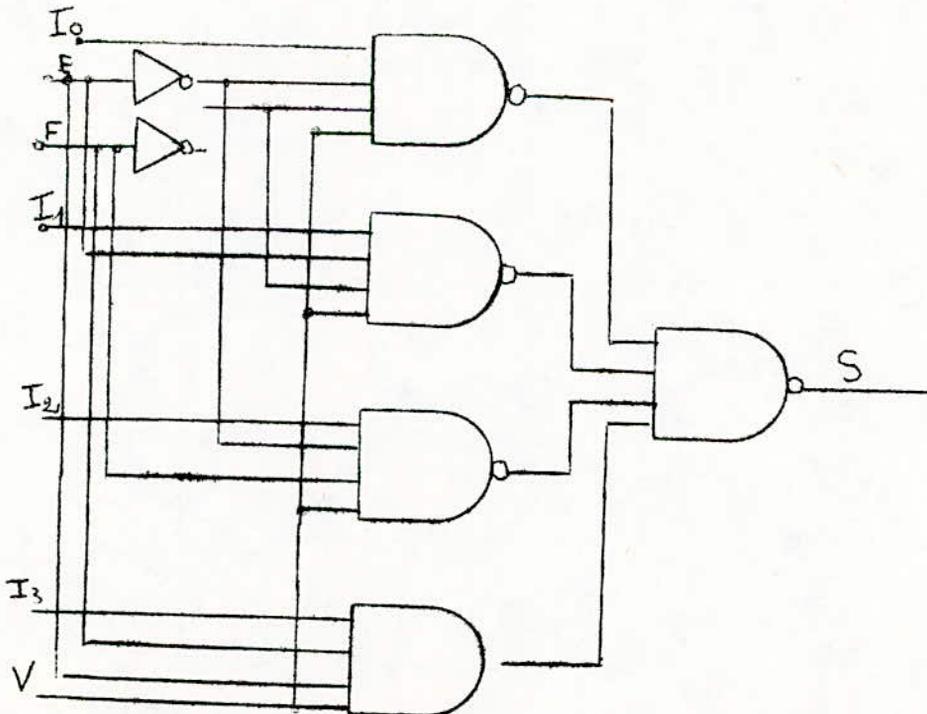
Puisque  $\overline{V X Y Z} = \bar{V} + \bar{X} + \bar{Y} + \bar{Z}$  (théorème de Morgan)

$$\text{et donc } V + X + Y + Z = \overline{\bar{V} \cdot \bar{X} \cdot \bar{Y} \cdot \bar{Z}}$$

il vient

$$S = \overline{\bar{E} \cdot \bar{F} \cdot I_0 + E \cdot \bar{F} \cdot I_1 + \bar{E} \cdot F \cdot I_2 + E \cdot F \cdot I_3}$$

qui pourra être réalisée à l'aide de portes logiques NAND.

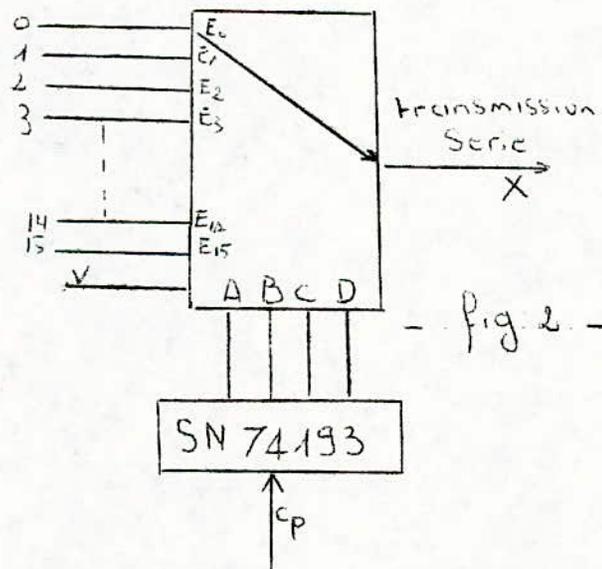


$V=0 \Rightarrow S=0$   
 $V=1 \Rightarrow$  Multiplexage autorisé

On voit à l'aide de cet exemple le nombre assez élevé de connexions à réaliser pour multiplexer seulement quatre entrées. De plus, il faudra 5 portes NAND à quatre entrées et 2 inverseurs. Aussi une plus grande intégration apporte un net progrès tant au point de vue de fiabilité que de l'économie (prix, volume, poids, ...).

### 3 - DESCRIPTION DU 74150 -

Il réalise une transformation parallèle - série grâce à un multiplexage digital associé à un compteur binaire. Il est tout à fait compatible avec les circuits MOS TTL et les circuits DTL. Il sélectionne une des 16 entrées. Il a une entrée strobe (ou validation) reliée à la masse et qui permet de sélectionner ce module. Il a une sortie inversée. Sa puissance de dissipation est de 200 mW (voir fig.2).



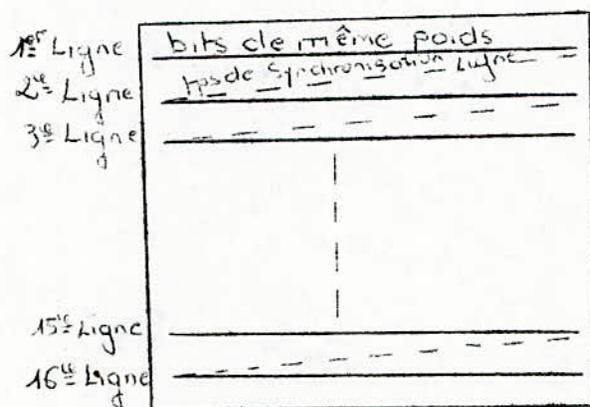
- Schéma du module SN 74150 avec sa commande (SN74193) (voir figure 3).

-- Diagramme de fonctionnement. (voir figure 4).

- Table de vérité (page ).

4 - FONCTIONNEMENT DE NOTRE MULTIPLEXEUR DE VOIES -

En période de lecture des mots de 16 bits sortiront de la mémoire et arriveront en parallèle au multiplexeur. Puisque ce dernier a 16 entrées, la commande des voies devra s'effectuer sur 4 bits de sélection. Ces 4 bits devront donc afficher le numéro de la voie qui sera sélectionnée. Notre multiplexeur aura pour rôle de sélectionner une voie pendant que tous les mots de la mémoire sont lus. On aura alors en sortie une série de bits de même poids qui correspondra à une ligne. (voir figure 5).



- Fig: 5. -

La mémoire devra donc être lue 16 fois pour permettre la sortie de tous les mots stockés ce qui correspondra à la lecture d'une image. La commutation de chaque voie (ou ligne) se fait donc au bout de 256 tops d'horloge de lecture.

C'est pour cela que nous avons opté pour le 74150 qui travaille sur 16 bits et dont la commande est faite à l'aide d'un compteur 4 bits lui-même piloté par une horloge.

Dès que le déclenchement est donné (manuel, extérieur ou reconnaissance d'un mot) une impulsion chargera le compteur ligne et le mettra à l'état 1111 ce sera donc la 16ème ligne qui sera sélectionnée.

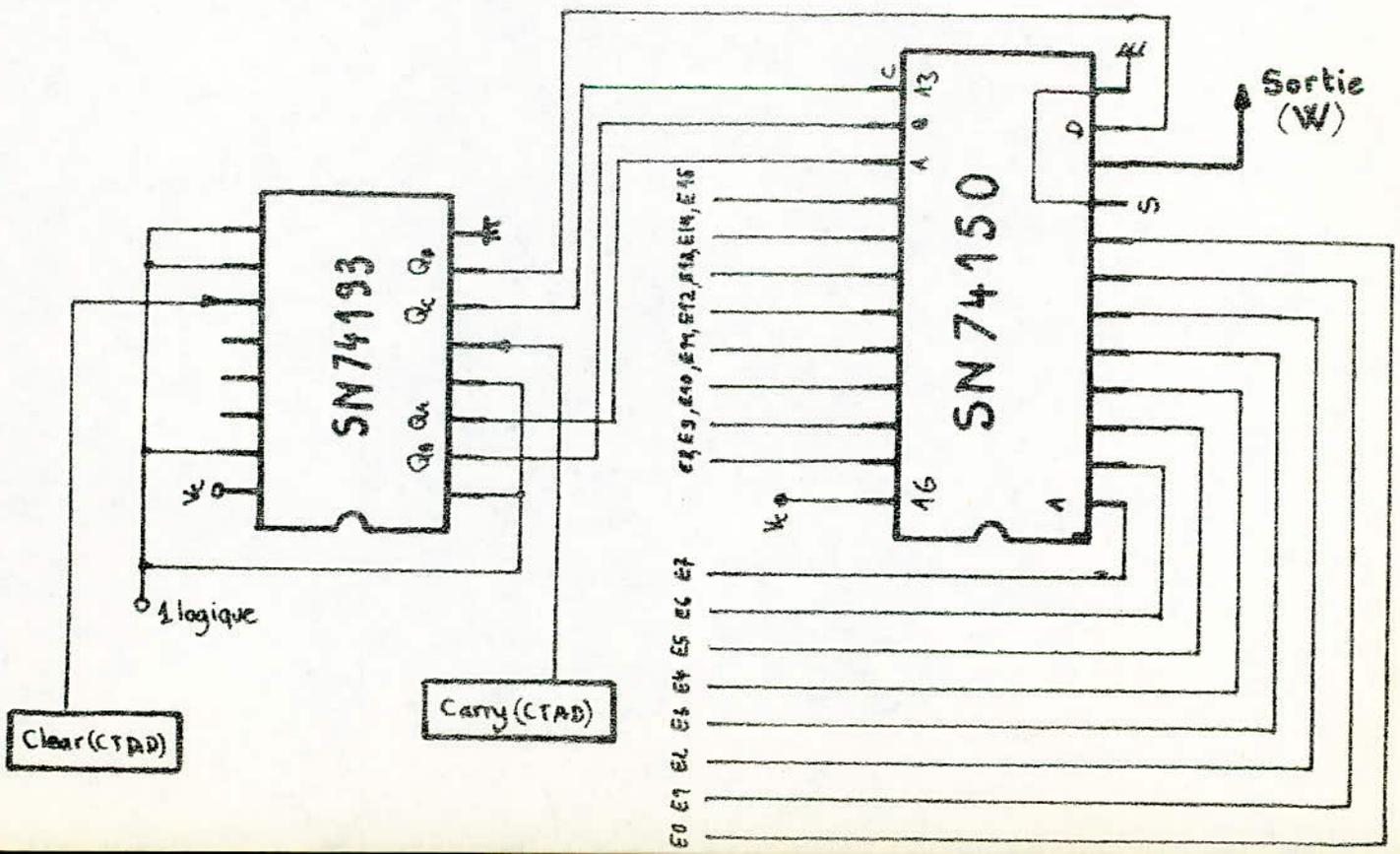
Dès que l'impulsion de fin écriture arrive elle le mettra à l'état 0000 = la première voie est alors sélectionnée. (voir figure 3).

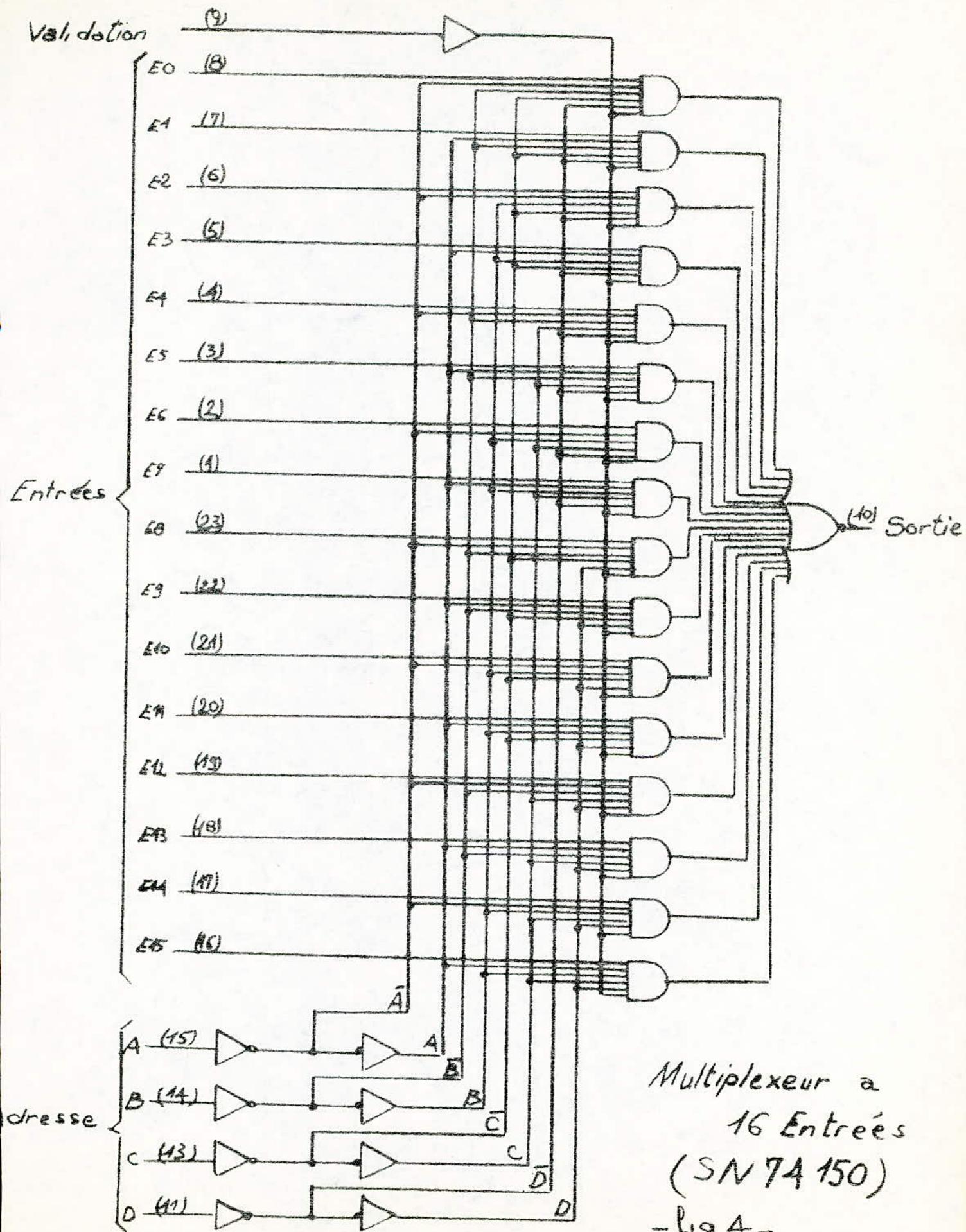
Pendant la lecture, c'est des impulsions de période  $256\tau$  (où  $\tau$  = période de l'horloge lecture) qui piloteront le compteur ligne et permettront la commutation de la première jusqu'à la 16ème ligne ou voie.

Table de vérité du SN74150

Entrées				(S) Strobe ou Validation	Sortie (W)
Commande de sélection					
D	C	B	A		
X	X	X	X	1	1
0	0	0	0	0	E <sub>0</sub>
0	0	0	1	0	E <sub>1</sub>
0	0	1	0	0	E <sub>2</sub>
0	0	1	1	0	E <sub>3</sub>
0	1	0	0	0	E <sub>4</sub>
0	1	0	1	0	E <sub>5</sub>
0	1	1	0	0	E <sub>6</sub>
0	1	1	1	0	E <sub>7</sub>
1	0	0	0	0	E <sub>8</sub>
1	0	0	1	0	E <sub>9</sub>
1	0	1	0	0	E <sub>10</sub>
1	0	1	1	0	E <sub>11</sub>
1	1	0	0	0	E <sub>12</sub>
1	1	0	1	0	E <sub>13</sub>
1	1	1	0	0	E <sub>14</sub>
1	1	1	1	0	E <sub>15</sub>

- Fig 3 - Schéma électrique du multiplexeur et du circuit de commande de sélection.





Multiplexeur à  
16 Entrées  
(SN 74 150)  
-fig 4-

II - BALAYAGE VERTICAL -

1 - INTRODUCTION A LA CONVERSION N/A -

Le balayage vertical consiste à étaler les 16 lignes verticalement sur l'écran de l'oscilloscope. Un convertisseur N/A convient à notre étude.

La conversion numérique analogique consiste à transformer une information disponible sous forme binaire en une information analogique.

Soit donc l'information numérique :

$$N = (a_{n-1}, a_{n-2}, \dots, a_2, a_1, a_0)$$

par définition, il lui correspond une quantité analogique :

$$A = q \cdot (a_{n-1} 2^{n-1} + a_{n-2} 2^{n-2} + \dots, a_1 2^1 + a_0 2^0)$$

$q$  est la quantité élémentaire analogique.

$a_{n-1}$  est le bit de plus fort poids (MSB).

$a_0$  est le bit de plus faible poids ou LSB.

Ainsi à la quantité numérique de 8 bits.

$$N = (01010011).$$

Un convertisseur N/A va faire correspondre une tension ou un courant de sortie dont l'amplitude sera :

$$V_S = A = (0.2^7 + 1.2^6 + 0.2^5 + 1.2^4 + 0.2^3 + 0.2^2 + 1.2^1 + 1.2^0) \cdot q$$

$$V_S = A = 83q$$

$q$  et  $V_S$  ont la même unité.

Remarquons déjà que l'information numérique N est maximum lorsque tous les bits sont à 1 et que l'information analogique maximum qui lui correspond est :

$$V_{\max} = (2^{n-1} + 2^{n-2} + \dots + 2^1 + 2^0) q = (2^n - 1) q.$$

Par contre la valeur minimum autre que 0 ne peut être que

$$V_{\min} = 1 \cdot q = q.$$

Le groupement de n bits ( $a_{n-1}, \dots, a_0$ ) peut donner  $2^n$  expressions différentes puisque  $a_i$  peut prendre deux valeurs (0 et 1), et que chaque rang a un poids bien précis. L'information analogique qui lui correspond après conversion pourra donc prendre les  $2^n$  valeurs comprises entre 0 et  $V_m = (2^n - 1)q$ .

La résolution d'un système est la plus petite valeur, ou incrément minimum, que ce système peut reconnaître ou délivrer, ramenée à la valeur maximum.

Dans le cas d'un convertisseur N/A la valeur analogique qui sépare théoriquement deux valeurs successives est  $V_m = q$ , la valeur maximum que le système peut délivrer est  $V_m = (2^n - 1)q$ . La résolution d'un convertisseur N/A de n bits est donc :

$$r = \frac{1}{2^n - 1} \text{ de la valeur maximum.}$$

Toutes les caractéristiques qui viennent d'être énoncées sont traduites par la figure 3 qui montre la courbe de transfert permettant le passage de l'information numérique à l'information analogique correspondante et inversement.

Cette courbe idéale d'allure discontinue met bien en évidence deux caractéristiques importantes :

- à chaque accroissement + 1 de l'information numérique correspond un accroissement de + q de l'information analogique.

- seul un nombre limité de valeurs analogiques peuvent être délivrées par le convertisseur N/A :  $2^n$  pour une information de n bits.

## 2 - PRINCIPE DU CONVERTISSEUR N/A -

Un amplificateur opérationnel est un circuit analogique possédant en général un très grand gain  $A_v$  en boucle ouverte (de l'ordre de  $10^4$  à  $10^6$ ), une grande impédance d'entrée  $Z_e$  et une faible impédance de sortie  $Z_s$ . Il possède aussi une haute stabilité thermique ( $2 \mu V/^\circ C$ ) et une large bande passante du gain unité ( $f_t$  de l'ordre de 10MHZ).

Ces performances peuvent même être dépassées pour certains type d'amplificateurs, rendent possible la résolution d'opérations mathématique avec une grande précision, notamment la combinaison linéaire de plusieurs tensions analogiques.

Un amplificateur opérationnel monté en contre réaction de courant présente les caractéristiques suivantes :

gain en boucle fermé :

$$g = \frac{VS}{E} = - \frac{R_2}{R_1} \cdot \frac{1}{1 - \frac{1}{A_v B_v}} \quad (1)$$

$$\text{où } \frac{1}{B_v} = 1 + \frac{R_2}{R_1} + \frac{R_2}{Z_e}$$

on peut poser  $\xi = \frac{1}{A_v B_v}$  qui est généralement très petit

l'expression (1) devient :

$$g = - \frac{R_2}{R_1} (1 + \xi) \text{ du second ordre près .}$$

L'admittance d'entrée en boucle fermée vue au point de sommation (A) s'écrit :

$$Y = \frac{1}{Z} = \frac{1}{Z_e} + \frac{1-A_v}{R_2}$$

Si  $A_v \gg 1$  et  $Z_e$  très grand

$$\text{on a : } Z \approx \frac{R_2}{A_v}$$

Ces expressions ont été obtenues par  $Z_s \approx 0$ .

L'impédance d'entrée vue au point de sommation pouvant être très faible, des résistances peu élevées connectées à ce point pourront se comporter comme de véritables générateurs de courant et la somme des courants peut être effectuée avec une grande précision par l'amplificateur.

Le schéma d'un tel convertisseur N/A se présente comme l'indique la figure 1.

On peut exprimer le gain en boucle fermée de ce système. En suivant le même raisonnement que pour  $R_1$  et si tous les interrupteurs sont fermés on a :

$$\frac{V_s}{V_e} = \left( \frac{R_2}{R_1} + \frac{R_2}{2R_1} + \dots + \frac{R_2}{2^{n-1}R_1} \right) \cdot (1 + \dots)$$

avec :

$$\xi = \frac{1}{A_v} \left( 1 + \frac{R_2}{e} + \left( \frac{R_2}{R_1} + \frac{R_2}{2R_1} + \dots + \frac{R_2}{2^{n-1}R_1} \right) \right)$$

Soit :

$$\xi \approx \frac{1}{A_v} \left( 1 + \frac{R_2}{e} - \frac{2R_2}{R_1} \right) \text{ si } n \text{ est grand.}$$

Dans le cas général où les interrupteurs sont dans un certain état quelconque le gain en boucle fermée est :

$$g = \frac{V_s}{V_e} = \left( \frac{a_{n-1}}{1} + \frac{a_{n-2}}{2} + \frac{a_{n-3}}{4} + \dots + \frac{a_0}{2^{n-1}} \right) \frac{R_2}{R_1} (1 + \xi)$$

avec  $a_i = 1$  si l'interrupteur de la ligne  $i$  est fermé.

$a_i = 0$  si l'interrupteur de la ligne  $i$  est ouverte.

On a donc la possibilité de constituer les  $2^n$  tensions de sortie  $V_s = gV_e$ , puisque  $g$  peut prendre  $2^n$  valeurs conformément au contenu de l'information numérique de  $n$  bits ( $a_{n-1}, a_{n-2}, \dots, a_0$ ). L'utilisation de ce type de conversion est pratique dans le cas d'une information à peu de bits. Il y a cependant certaines sources d'erreur de conversion dû à la variation des valeurs des résistances, la résistance "ON" (en interrupteur fermé) de l'interrupteur, et finalement l'amplificateur opérationnel (tension de décalage, ...).

### 3 - ROLE DU CONVERTISSEUR N/A DANS NOTRE ETUDE ET FONCTIONNEMENT -

Le convertisseur numérique analogique doit servir à étaler les 16 lignes de haut en bas sur l'écran : déflexion verticale.

La donnée numérique qu'il doit convertir est donc l'adresse de la ligne sur l'écran. Ainsi la première ligne correspondra au plus bas niveau sur l'écran et la 16ème au plus haut.

Nous devons donc utiliser une information numérique de 4 bits pour convertir l'information en 16 informations analogiques différentes. L'information numérique donnant la ligne doit donc provenir du compteur ligne de l'étage multiplexeur. Nous avons utilisé un convertisseur N/A du type sommateur par amplification opérationnel. L'information numérique, dans le type de convertisseur N/A utilisé, doit commander l'ouverture ou la fermeture d'interrupteurs.

Nous devons donc disposer d'interrupteurs pouvant être commandés par un niveau logique. L'utilisation d'un transistor fonctionnant en commutation c'est à dire en saturé ou bloqué semble convenir, mais la tension de saturation, la résistance "ON" assez importante ne permet pas son emploi dans notre étude.

Le transistor à effet de champ (FET), présentant une résistance d'entrée infinie pratiquement semble approprié malgré une résistance de conduction de l'ordre de 500  $\Omega$ .

Mais nous avons préféré utiliser des interrupteurs intégrés à circuits MOS du type MC14016B.

Leur résistance directe (de conduction) de l'ordre de 500  $\Omega$  semble nuisible. Cependant, les interrupteurs étant en série avec des résistances échelonnées  $2^i R_1$ , nous avons inclus cette valeur de  $R_{ON}$  dans cette échelle de résistance.

La résistance ON du MC14016B est fixe pour une tension d'alimentation fixée du module.

Nous avons donc réalisé le schéma de la figure n°2.

$$\text{Avec } E_V = + 5V \quad D_1 = D_2 = D_3 = D_4 = 1N4148.$$

$$R_1 = 15 \text{ K}\Omega \quad C_1 = C_2 = C_3 = C_4 = 100\text{nF.}$$

$$R_2 = 15 \text{ K}\Omega \quad R = 12 \text{ K}\Omega$$

$$R_3 = 30 \text{ K}\Omega$$

$$R_4 = 60 \text{ K}\Omega$$

$$R_5 = 120 \text{ K}\Omega$$

On a  $q = 0,625$  volt.

L'amplificateur opérationnel utilisé est du type MC1741 avec compensation de fréquence et de température interne.

Si nous appliquons la sortie de l'amplificateur opérationnel à l'entrée verticale d'un oscilloscope nous verrons un signal en marche d'escalier (fig.4). Et si le balayage horizontal est synchronisé sur une marche d'escalier nous verrons sur l'écran de l'oscilloscope 16 traits horizontaux, grâce au phénomène de rémanence du tube cathodique et à la persistance rétinienne. La durée  $T$  d'inscription de chaque trace sera égale à la période de la rampe de balayage horizontal.

Le problème à présent va consister à "moduler" chacune d'elles par des signaux logiques que nous voulons analyser. Il s'agit tout simplement de mélanger les signaux logiques à analyser qui sortent du multiplexeur avec les signaux en marches d'escalier du convertisseur N/A.

Les deux signaux sont synchrones car pour chaque ligne il correspond un niveau constant ou marche d'escaliers.

En additionnant ces deux signaux à l'aide d'un circuit additionneur à amplificateur opérationnel nous obtenons le mélange voulu qui ira vers l'entrée verticale de l'oscilloscope. (fig.2).

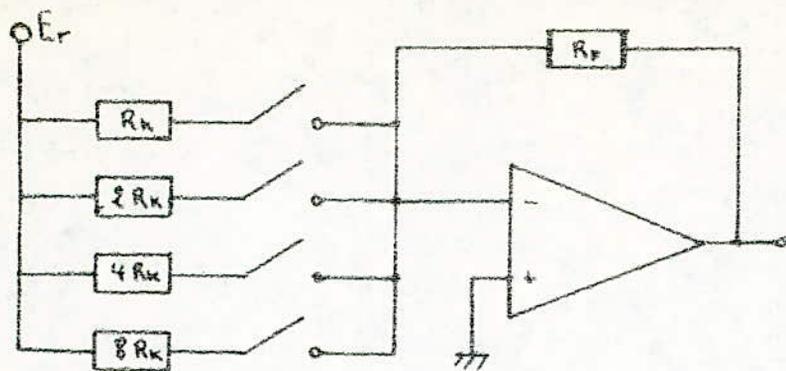


Fig 1. Convertisseur N/A du type sommation par amplificateur opérationnel.

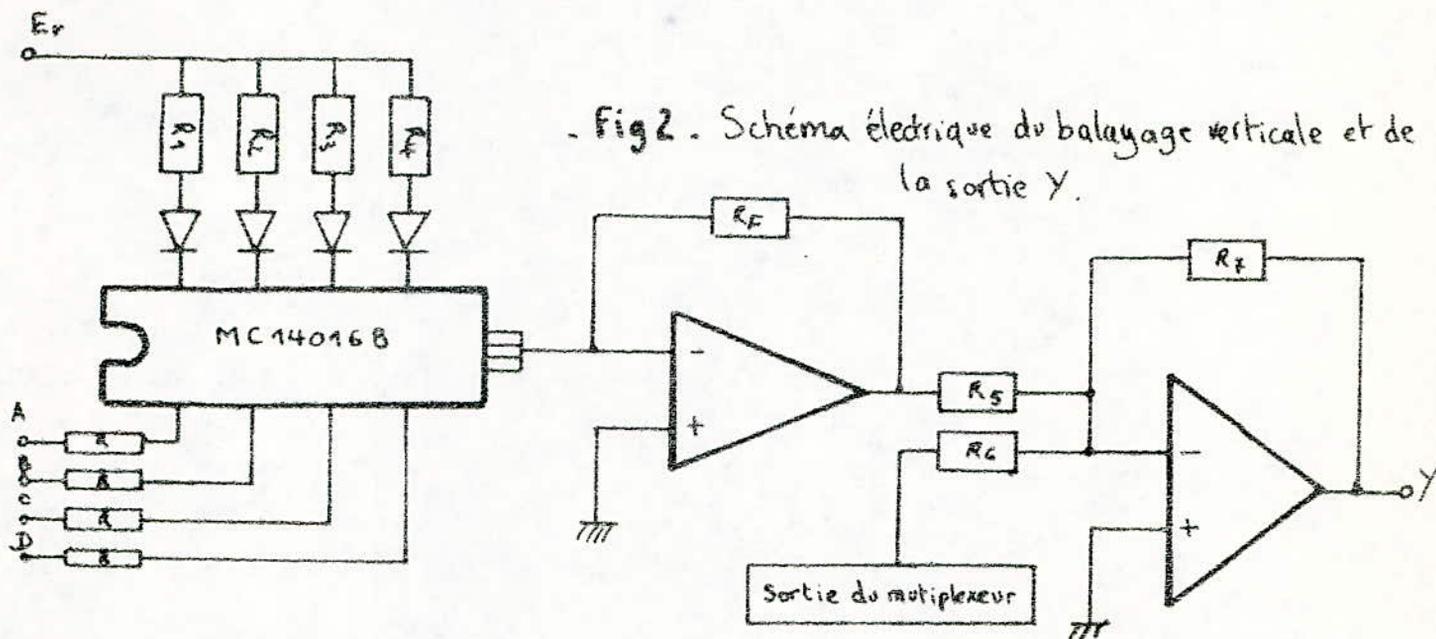
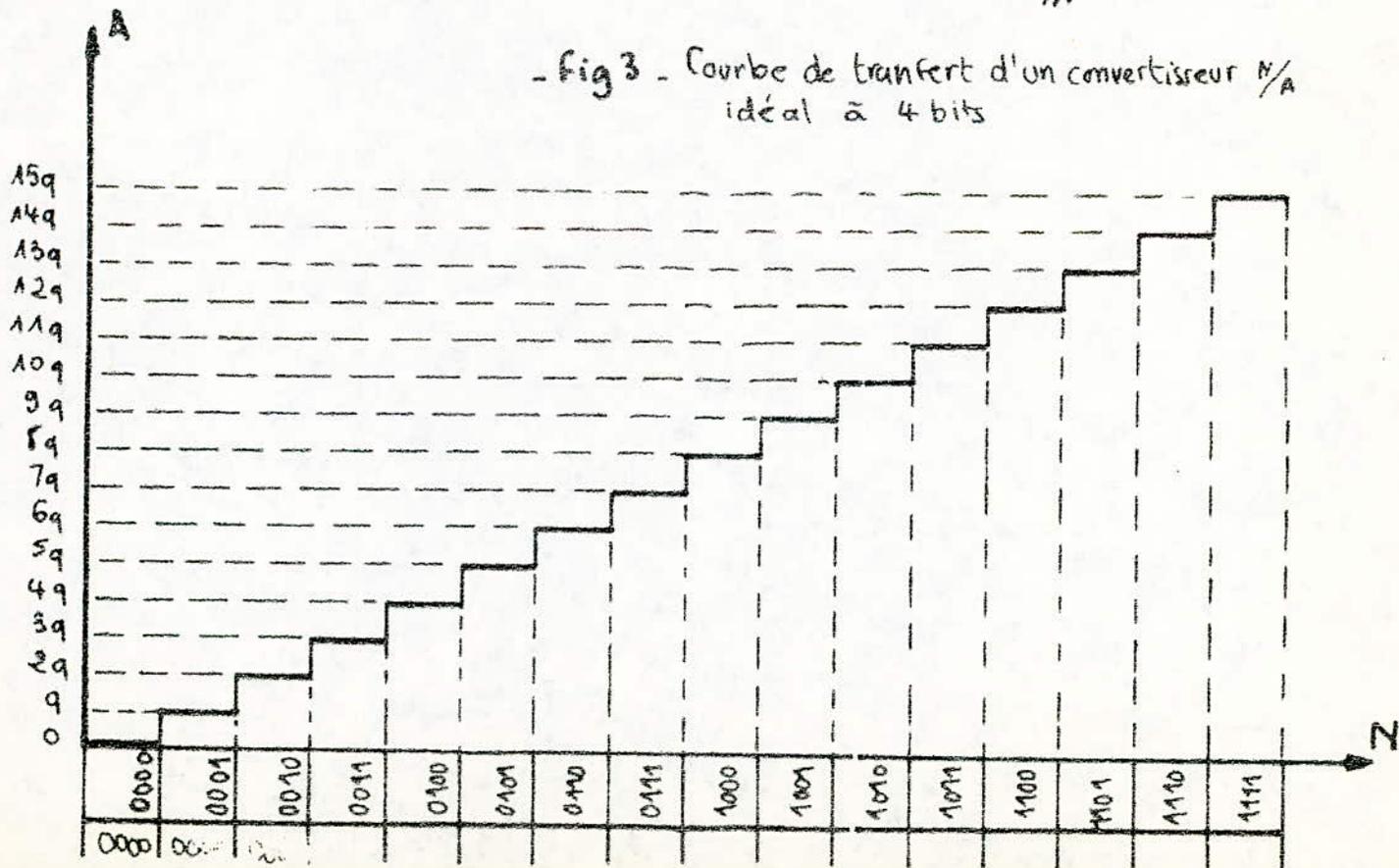


Fig 2. Schéma électrique du balayage verticale et de la sortie Y.

Fig 3. Courbe de transfert d'un convertisseur N/A idéal à 4 bits



III -- BALAYAGE HORIZONTAL --

L'oscilloscope cathodique permet de représenter deux phénomènes dont les fréquences sont dans un rapport entier, l'un en fonction de l'autre sous forme de diagramme cartésien. Ainsi la courbe dépend du rapport des fréquences et du "déphasage" des tensions l'une par rapport à l'autre. Si on veut représenter un phénomène en fonction du temps et en particulier un phénomène périodique, il est nécessaire que le déplacement du spot s'effectue périodiquement à vitesse constante de la gauche vers la droite jusqu'à un certain point et qu'ensuite le faisceau soit ramené pratiquement instantanément à son point de départ. Un tel déplacement est obtenu en appliquant aux plaques de déviation horizontal une tension périodique qui croît linéairement dans le temps et qui, à partir d'une valeur imposée tombe rapidement à zéro. Cette tension de balayage a donc l'allure d'une dent de scie. Ainsi lorsque la fréquence du phénomène à représenter  $U$  vaut  $n$  fois la fréquence de la tension de balayage, l'image sur l'écran est constituée de  $n$  cycles de la tension  $U$ .

La tension en dent de scie assurant le balayage est produite par un générateur de rampe linéaire.

Son fonctionnement est basé sur les considérations suivantes : un condensateur  $C$  est chargé à travers une résistance  $R$  et ensuite se décharge brusquement.

Dans les générateurs de rampe linéaire, la charge ou la décharge correspondant à la rampe s'effectue à courant constant et à tension d'entrée  $V_e$  continue. La trace de retour est obtenue par une charge ou une décharge brutale au moyen d'un dispositif fonctionnant en commutateur. Nous utilisons dans notre étude un :

\* générateur de courant constant à transistors bipolaires.

La caractéristique  $I_c = f(V_{cc})$  d'un transistor pour un courant de base donnée est pratiquement plate dans une zone très importante de la courbe.

Cette propriété est mise en application dans de nombreux montages pour obtenir un courant constant.

Pour notre montage (fig.1), la base du transistor 2N2907A est maintenue à une tension fixe  $V_B$  au moyen d'un réseau diviseur résistif  $R_1$  et résistance des diodes  $D_1$  et  $D_2$ . La résistance  $R_2$  d'émetteur détermine la valeur du courant débité par la source.

Le condensateur est simplement monté comme charge de collecteur du transistor. Pour décharger brusquement le condensateur nous avons prévu un transistor de commutation en parallèle.

Le transistor fonctionnant en régime saturé ou bloqué.

Le transistor étant bloqué, la tension croit linéairement aux bornes de C. Une impulsion envoyée par le circuit de synchronisation à la base du transistor le sature et la capacité court-circuitée se décharge brusquement et une nouvelle rampe linéaire commence.

La base de temps ainsi faite servira pour synchroniser l'oscilloscope. La synchronisation de la rampe est faite par l'impulsion de Carry sortant du monostable qui arrête la lecture pendant le temps de synchronisation ligne.

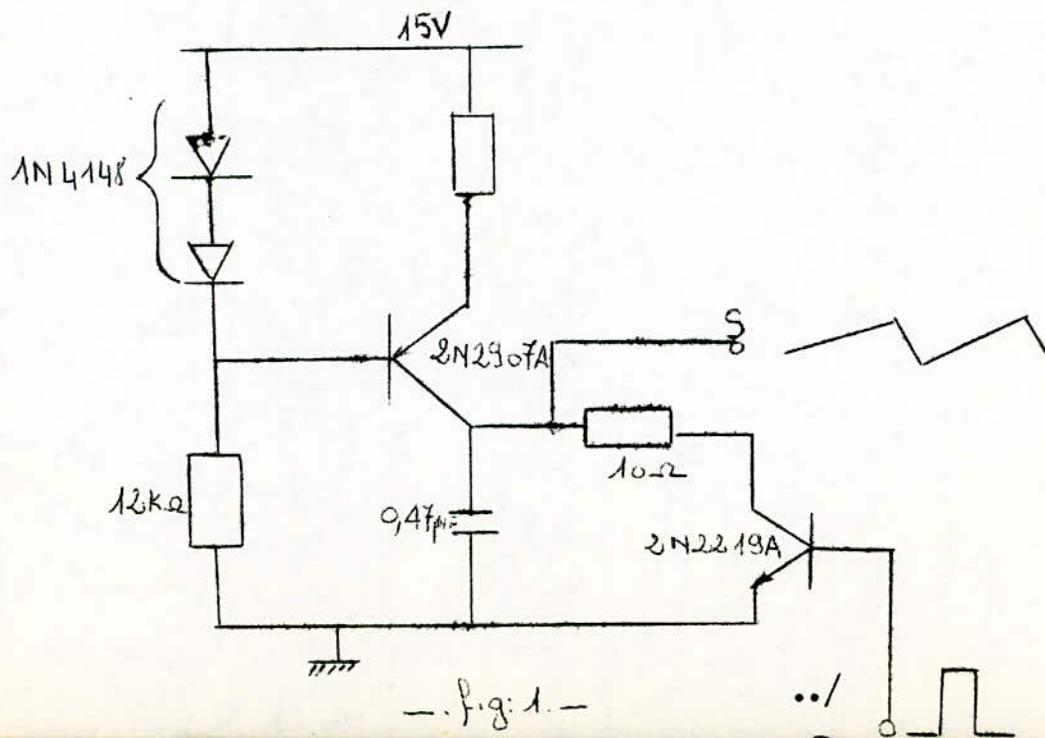
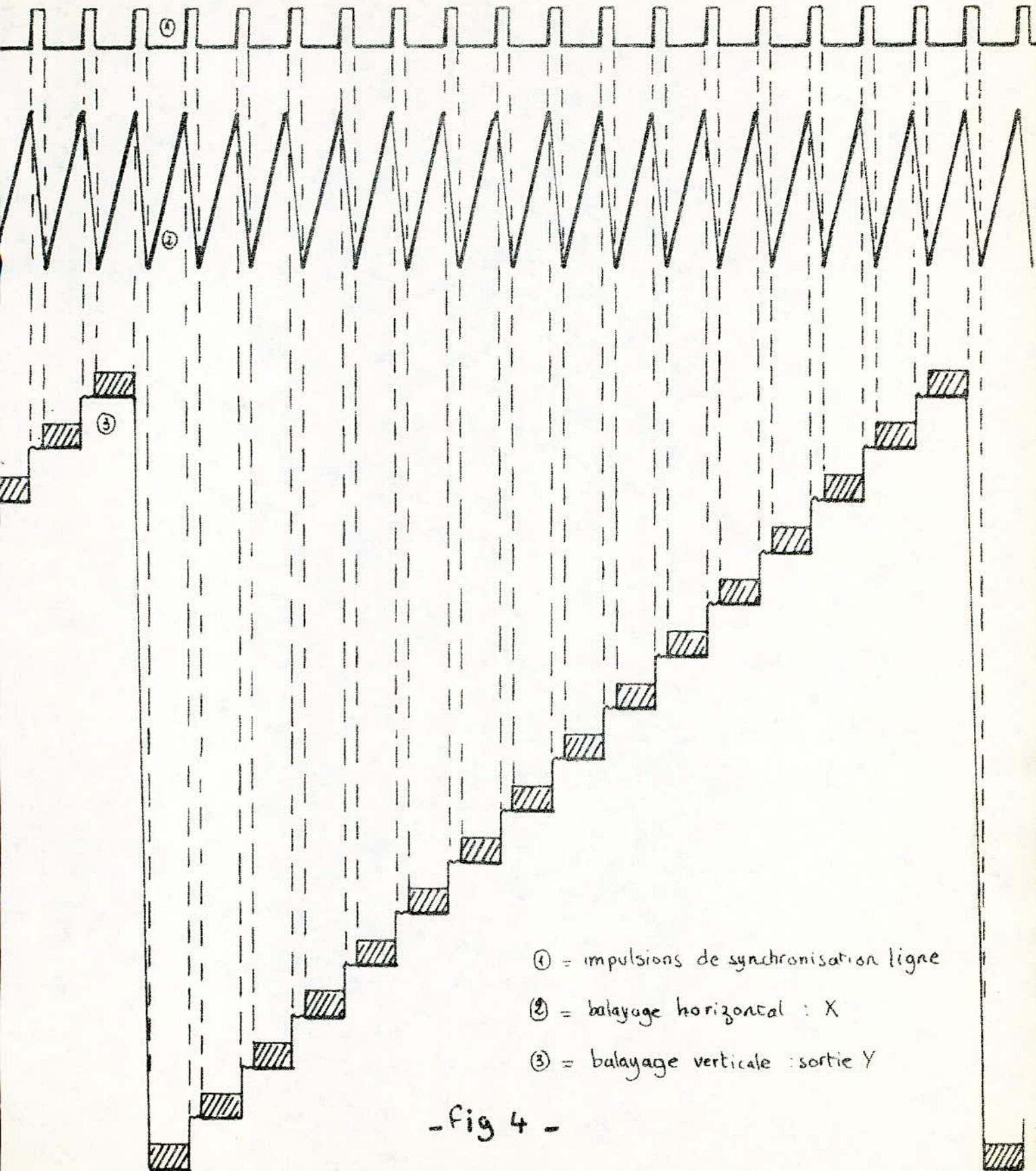


Fig. 1.



- fig 4 -

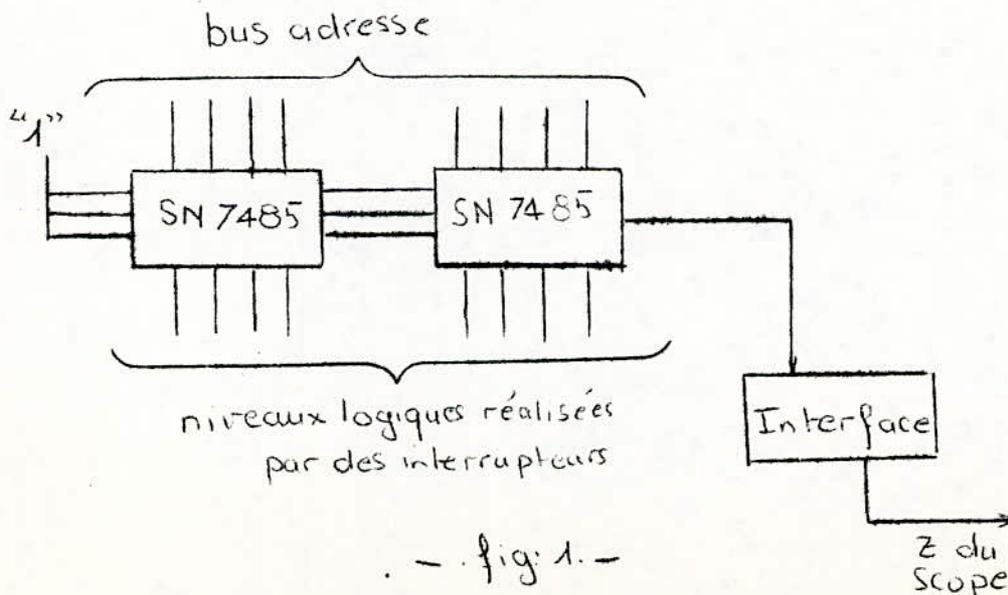
IV - MODULATION DU WHENELT OU BALAYAGE Z -

Les 16 lignes constituant l'image est visible sur l'écran de l'oscilloscope . Les mots sont lus verticalement de haut en bas. En essayant d'analyser ces signaux nous ne saurons pas à quoi correspond un certain mot sur l'écran. Pour cela, nous avons prévu une modulation du Whenelt qui enverra une impulsion de surbrillance sur un mot vertical à une adresse désirée et affichée extérieurement à l'aide d'interrupteurs.

Il s'agit donc d'identifier l'adresse du mot à mettre en évidence sur l'écran. Nous savons que les adresses lors de la lecture défilent vers la mémoire par le bus adresse. Nous recueillons ces adresses pour permettre l'identification du mot à mettre en évidence.

Un circuit comparateur analysant les adresses en provenance du bus adresse et les compare à l'adresse envoyée extérieurement à l'aide d'interrupteurs.

Dès que l'adresse est "reconnue" le circuit envoie une impulsion vers l'oscilloscope. Cette impulsion est un niveau TTL. Il s'agit, dans un autre côté, de la rendre acceptable par l'oscilloscope pour cela, nous prévoyons un interface, qui ramène à un bon niveau et à une durée égale à celle du mot, entre la sortie des circuits comparateurs et l'entrée Whenelt de l'oscilloscope.



D -- CHRONOGRAMME GENERAL (VOIR PLANCHE) --

N°	Correspondance
1	Remise à zéro RAZ
2	$Q_1 \times Q_2 \times Q_3 \times Q_4$
3	Déclenchement manuel : $ARM1 = C_f(D_1)$
4	l'entrée D de la bascule D1
5	l'entrée B du monostable 2
6	la sortie Q du monostable 2
7	la sortie $\bar{Q}$ du monostable 2
8	l'entrée D de la bascule D2
9	l'entrée D de la bascule D3
10	l'horloge externe $\overline{HE}$ (inversée)
11	le niveau d'aiguillage E/L
12	l'horloge externe HE (non inversée)
13	l'entrée horloge du compteur adresse (CTAD) : $C_f(CTAD)$
14	l'horloge interne de lecture HL
15	Ordres de validation écriture-lecture de la mémoire R/W
16	LSB du compteur adresse CTAD
:	
23	MSB du compteur adresse CTAD
24	la sortie report ou CARRY du CTAD
25	la sortie inversée report ou $\overline{CARRY}$ du CTAD
26	la sortie Q du monostable 3 : synchro. ligne
27	la sortie inversée du monostable 3 : synchro. ligne
28	LSB du compteur ligne CTL1
:	
31	MSB du compteur ligne CTL1
32	Sortie X ou balayage horizontal
33	sortie Y ou balayage vertical
34	Modulation du Wehnelt

E -- CONCLUSION : APPLICATIONS ET PERFECTIONNEMENT  
DE L'ANALYSEUR LOGIQUE --

I - APPLICATIONS --

L'utilisation de l'analyseur logique se situe dans le domaine de la conception et la maintenance de systèmes logiques tels que les microprocesseurs, les micro-ordinateurs, ...

La visualisation de signaux en provenance de tels systèmes permet de suivre l'évolution des informations à l'intérieur et de pouvoir améliorer ces systèmes.

La maintenance de systèmes logiques est très délicate du fait de leur dimension et de leur complexité.

L'analyseur logique branché sur un certain point du système permet l'analyse rapide des signaux. L'utilisateur au vu de ces signaux, comparera avec des signaux références et pourra ainsi déterminer le bloc défaillant et cela de manière très rapide.

Outre la conception et la maintenance, l'étude des systèmes logiques est permise par cet appareil. En effet, il permet l'étude du langage machine du système et son évolution.

Il permet aussi de suivre les pas d'un programme quelconque et de déterminer le rôle essentiel de certains blocs du système.

## II - PERFECTIONNEMENT -

L'analyseur logique ainsi réalisé est utilisé pour étudier des systèmes logiques de 16 bits au maximum et d'analyser 256 mots uniquement.

De plus l'évolution du système logique sous test doit être de l'ordre du cycle d'écriture à la mémoire : 500ns.

Donc la fréquence de sortie doit être au maximum de 2 MHz.

Notre analyseur peut fonctionner dans ces limites d'utilisation.

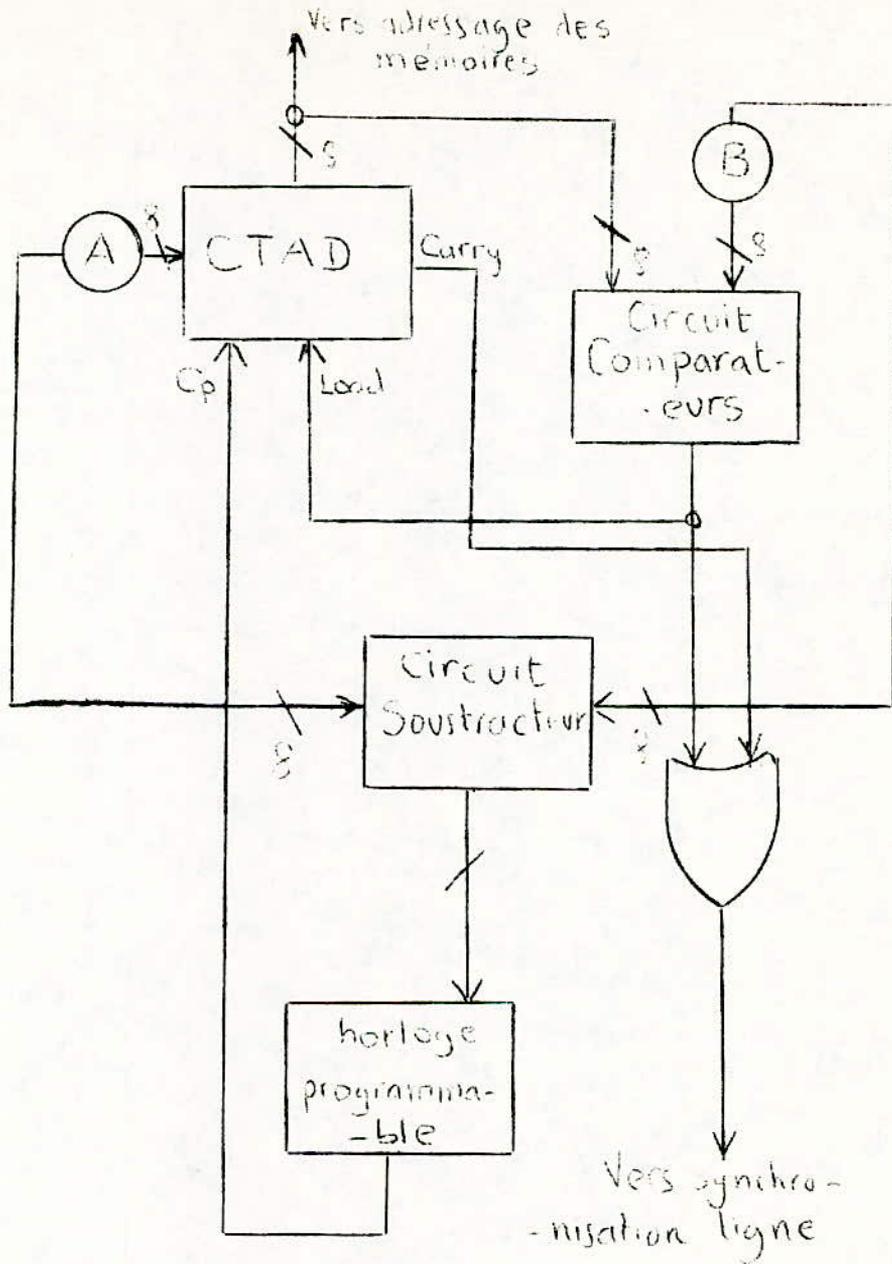
On peut améliorer la performance d'un tel système en agrandissant la mémoire et en augmentant sa rapidité.

L'utilisation de registres à décalage pilotés par une horloge à haute fréquence à quartz permet l'acquisition de données à une vitesse allant jusqu'à 200 MHz.

Le nombre de bits peut aussi être augmenté en organisant ces registres convenablement. On peut arriver ainsi à une mémoire importante.

Il y a un inconvénient majeur dans l'augmentation de la capacité de la mémoire car les mots affichés sur l'écran du scope deviennent illisibles.

Nous pouvons prévoir un dispositif permettant de visualiser une partie des informations stockées en mémoire. Nous donnons ci-dessous le schéma synoptique :



A et B constituent respectivement les adresses de début et de fin de la fenêtre.

Enfin, nous pouvons permettre l'acquisition de niveaux autres que TTL en prévoyant des circuits d'interfaces.

L'étude faite ici n'est pas aussi perfectionnée que celle faite dans les laboratoires TEKTRONIX. Cependant, elle peut rendre d'immenses services dans les limites précitées de son fonctionnement.

La réalisation faite avec un matériel aussi restreint que possible permet d'espérer une amélioration qui pourra faire l'objet d'une future étude.

B I B L I O G R A P H I E

- The TTL DATA BOOK (Texas Instruments).
  - Circuits Intégrés MOS et CMOS. Ed-Radio - H.LILEN.
  - Circuits Intégrés et Techniques Numériques R. DELSOL.
  - Générateurs et Conformateurs de Signaux R. DAMAYE.
  - Semi-Conductor DATA Library MOS MEMORIES (MOTOROLA).
  - Recueils de Notes d'Applications (TEXAS INSTRUMENTS).
  - Les Mémoires Electroniques JEAN-PAULVABRE et GEORGES METZGER.
  - Documentation TEKTRONIX.
- - - - -