

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT ELECTRONIQUE

PROJET DE FIN D'ETUDES

SUJET

CONTRIBUTION à la REALISATION

d'un SYSTEME de VISUALISATION

GRAPHIQUE et ALPHANUMERIQUE

Proposé par :

Mr H. BESSALAH

Etudié par :

B. KAZED

A. HAMIDAT

Dirigé par :

Y. KASSAB

PROMOTION : Janvier 85

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT ELECTRONIQUE

PROJET DE FIN D'ETUDES

SUJET

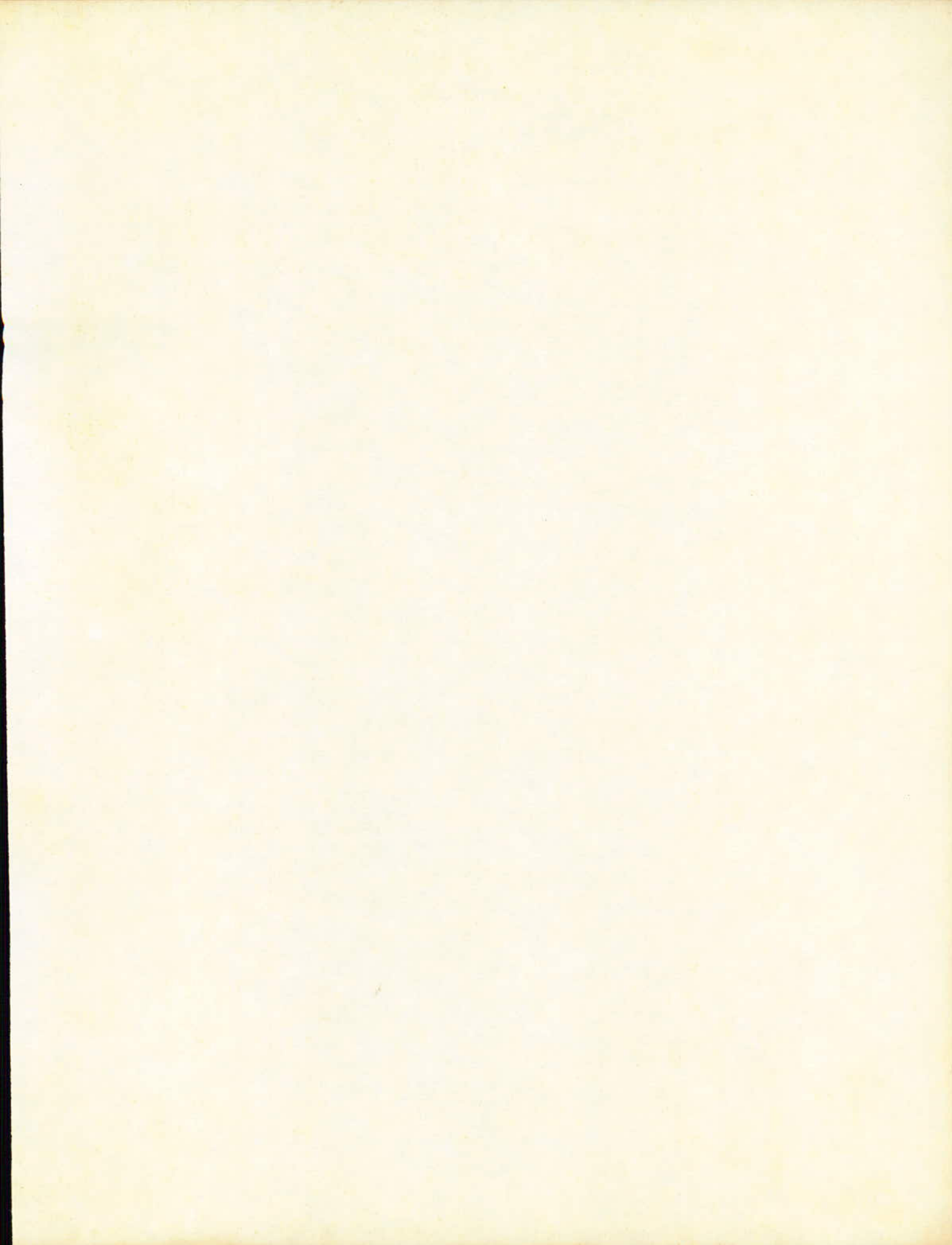
CONTRIBUTION à la REALISATION
d'un SYSTEME de VISUALISATION
GRAPHIQUE et ALPHANUMERIQUE

Proposé par :
Mr H. BESSALAH

Etudié par :
B. KAZED
A. HAMIDAT

Dirigé par :
Y. KASSAB

PROMOTION : Janvier 85



DEDICACES

- A mon père
- A ma mère
- A mes frères et soeurs
- A mon oncle DJEBBOUR Med
- A tous mes amis (es)

H. Abderrahmane

- A mon père
- A ma mère
- A mes frères et soeurs
- A tous mes amis (es).

K. BOUALEM

Remerciements.

Nous tenons à remercier Mr BESSALAH, *chef de labo* du C.D.T.A., pour nous avoir accueilli dans son Centre ainsi que pour avoir mis à notre disposition tous les moyens nécessaires pour la bonne marche de ce projet.

Nous adressons nos plus vifs remerciements à Mr KASSAB, Y. et nous espérons qu'il trouvera ici l'expression de notre sincère reconnaissance pour ses conseils et sa collaboration pendant la réalisation de ce projet.

Nous remercions également toutes les personnes du CDTA et en particulier Mr ZOUAOUI et Mr RAMDA pour leurs aide morale, et matérielle.

Que tous les professeurs qui ont contribué à notre formation trouvent ici l'expression de notre profonde gratitude.

S O M M A I R E

	Pages
INTRODUCTION.....	04
Cahier des charges.....	05
I. Le COPROCESSEUR GRAPHIQUE EF 9365	
A. Principes généraux des contrôleurs d'écran.....	06
A.1 Les écrans et leurs caractéristiques.....	06
1.1 Généralités.....	06
1.2 Le Balayage cavalier.....	06
1.3 Le Balayage télévision.....	07
a. Le Balayage entrelacé.....	07
b. Le Balayage non entrelacé.....	07
2. Le contrôleur d'écran.....	08
2.1 Généralités.....	08
2.2 Le contrôleur graphique EF 9365.....	08
B. Le PROCESSEUR GRAPHIQUE EF 9365.....	08
B.1 Caractéristiques générales du G.D.P (Graphic Display Processor).	
1.1 Interface microprocesseur-processeur graphique.....	09
1.2 Différentes résolutions possibles.....	09
1.3 Génération des signaux de synchronisation.....	11
1.4 Gestion automatique de la mémoire d'image.....	11
1.5 Générateur de caractères programmables.....	11
1.6 Générateur de vecteurs.....	14

1.7 Utilisation du Photostyle.....	15
B.2 Organisation Externe et Interne du G ₃ D ₆ P	
2.1 Organisation externe.....	15
2.2 Description des broches.....	17
2.3 Organisation interne.....	19
2.4 Description des registres.....	21
2.4.1 Registres X et Y.....	22
2.4.2 Registres Δ X et Δ Y.....	23
2.4.3 Registre CSIZE.....	23
2.4.4 Registres XLP et YLP.....	24
2.4.5 Registre CTRL1.....	25
2.4.6 Registre CTRL2.....	25
2.4.7 Registre STATUS.....	27
2.4.8 Registre CMD.....	28

II. REALISATION

A. Etude générale.....	29
A.1 Schéma synoptique.....	30
A.2 Fonctionnement.....	29
B. Partie commande.....	31
B.1 Fonctionnement du séquenceur.....	31
B.2 Adressage de la mémoire d'image.....	32
a. Séparation des adresses lignes et colonnes.....	32
b. Rôles des signaux \overline{ALL} , MSLO,.....,3 et DAD0,.....,DAD6.....	37

C. Organisation et fonctionnement du plan mémoire.....	38
C.1 Organisation de la mémoire d'image.....	38
C.2 Adressage en lecture.....	38
C.3 Adressage en écriture.....	39
C.4 Schéma et fonctionnement du plan mémoire.....	42
C.5 Consommation du plan mémoire.....	42
D. Réalisation du mélangeur.....	44
D.1 Rôle du mélangeur.....	45
D.2 Schéma et fonctionnement.....	45
E. Gestion du G.D.P par le microprocesseur MC6802.....	46
E.1 Description générale du micro-ordinateur	
Le KIT D5 de MOTOROLA.....	46
E.2 Adressage externe du KIT.....	48
E.3 Liaison G.D.P micro-ordinateur.....	50

III. PROGRAMMATION

A. Généralités.....	52
A.1 Tracé de vecteurs.....	52
A.2 Tracé de caractères.....	55
A.3 Effacement d'écran.....	57

- défilement d'un texte.....
- visualisation de quelques dessins.....
- Etude technico-économique
- CONCLUSION
- ANNEXE.

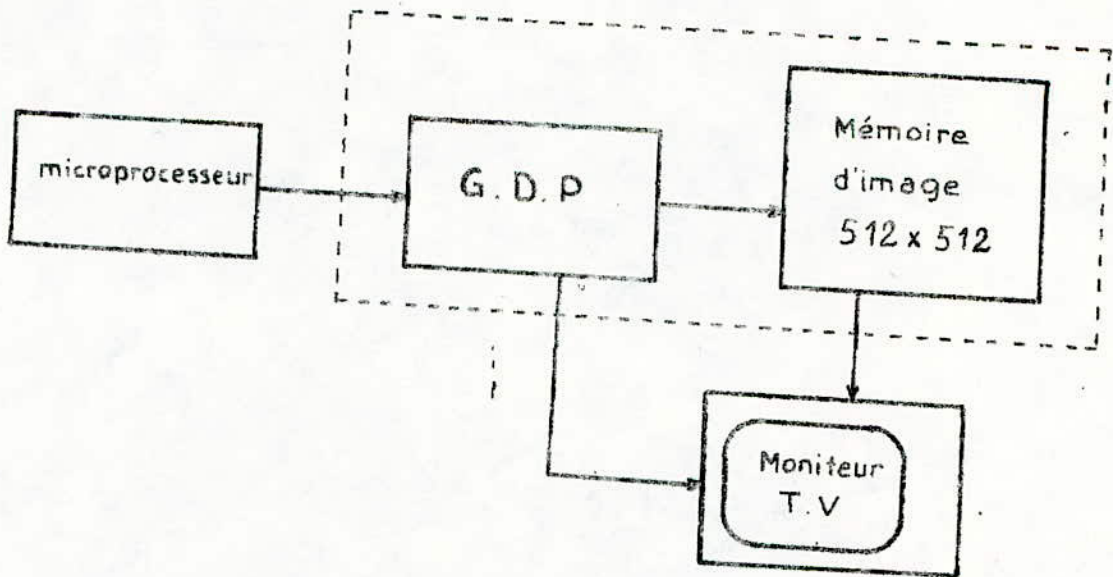
INTRODUCTION

Depuis 1980, date à laquelle l'informatique de gestion s'équipe de terminaux graphiques à écran couleur, un nouveau marché est né : celui des processeurs spécialisés. La consommation de tels composants ne cesse de croître dans le monde de l'informatique ainsi que dans celui de l'industriel. En effet, les tableaux d'affichage, de contrôle ou de surveillance construits à base de voyants (diodes électroluminescentes) sont remplacés par un écran sur lequel s'affichent tous les renseignements désirés. Ainsi ces consoles de visualisation apportent plus d'informations et de souplesse dans leurs échanges avec les opérateurs et mettent en jeu un nombre réduit de circuits grâce aux "processeurs graphiques" qui sont destinés aussi bien aux applications bas de gamme ne nécessitant qu'une résolution faible (256 x 256) et peu de couleurs, qu'aux applications haut de gamme demandant une résolution maximale et une palette de couleurs importante.

Les applications bas de gamme se trouvent principalement dans le domaine des terminaux graphiques couleurs à faible coût, les ordinateurs personnels et les jeux vidéos, les applications haut de gamme sont quant à elles destinées à la CFAO (conception et Fabrication Assistés par Ordinateur), l'affichage tridimensionnel et la visualisation couleur (mode décoration etc.....).

CANISE DES CHARGES.

Disposant d'un recepteur T.V Noir et Blanc, d'un processeur graphique et d'un micro-ordinateur, on doit réaliser un système de visualisation graphique et alpha-numérique.



Système de visualisation graphique et alphanumérique

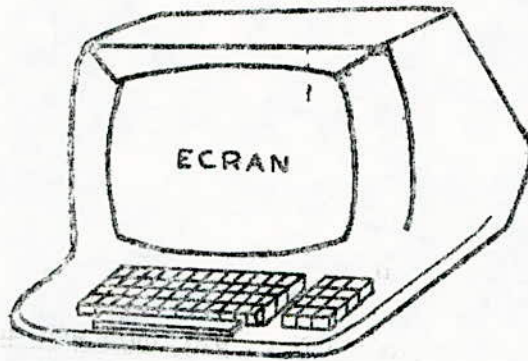
Notre travail consiste donc d'une part à se familiariser avec le processeur graphique (prévu pour adresser des rams dynamiques) et l'adapter aux rams statiques dont nous disposons et d'autre part à réaliser la mémoire d'image, la carte de contrôle G.D.P et enfin effectuer les lizisons entre les blocs de la figure précédente. On ajoutera à la fin quelques exemples de programmes d'utilisation du système.

A. Principes généraux des contrôleurs d'écran.

A.1 Les écrans et leurs caractéristiques.

1.1 Généralités

Pour communiquer avec un ordinateur, l'opérateur doit disposer de moyens performants et surtout simples à utiliser. Actuellement les consoles "Ecran clavier" se révèlent le matériel le mieux adapté, elles sont de plus en plus sophistiquées et utilisent généralement un tube à rayon cathodique pour l'affichage des informations.



Au niveau du balayage de l'écran on distingue deux catégories différentes :

- le balayage cavalier

- le balayage télévision.

1.2 Le balayage cavalier

Le faisceau suit le contour du dessin à afficher à la manière d'une table traçante. Contrairement au balayage télévision, le trait est continu mais les surfaces pleines sont difficiles à obtenir.



— faisceau allumé
- - - faisceau éteint

1.3 Le balayage télévision

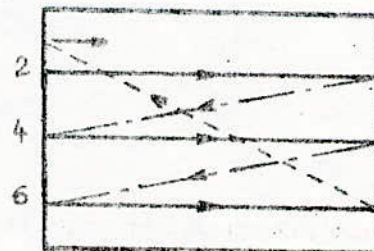
Le moyen le plus répandu et présentant le meilleur rapport performance/prix est le tube à rayon cathodique balayé régulièrement par un faisceau d'électrons, analogue à un tube T.V. le balayage se fait ligne par ligne de gauche vers la droite et de haut en bas, les phases aller du balayage se font à vitesse constante en modulant les grilles de commande du tube cathodique suivant la luminosité des points à afficher sur l'écran, les parties retour doivent être aussi rapides que possible.

a). Le balayage entrelacé

On transmet en premier lieu les lignes impaires en 1/50 de seconde dont l'ensemble constitue la TRAME impaire ensuite viennent les lignes paires constituant la TRAME paire.



trame impaire



trame paire

Balayage entrelacé : une image = trame impaire + trame paire.

—— retour ligne
 - - - - - retour trame (Faisceau éteint)

b). Le balayage non entrelacé

Dans ce cas les lignes paires et impaires forment une seule trame qui n'est autre que l'image complète, une trame est donc une suite de "lignes vidéos" qui sont elles mêmes un ensemble de "points vidéos".

Dans tous les cas la ligne dure 64 μ S, la fréquence trame est celle du secteur d'alimentation.

A.2 Le contrôleur d'écran

2.1 Généralités

Pour déterminer la position du spot sur l'écran, il est nécessaire d'utiliser un compteur ligne et un compteur colonne, ce dernier est incrémenté par une horloge suivant le nombre de points définis par ligne. Tout ceci fait partie de la logique du contrôleur d'écran qui auparavant était en technologie "cablée" et qui maintenant se trouve sous forme de circuits intégrés.

Le contrôleur d'écran graphique travaille au niveau du point. Chaque point peut être allumé ou éteint séparément. Le microprocesseur est chargé de faire les calculs concernant les points à visualiser et inscrit le résultat dans la mémoire de page que partage le contrôleur d'écran. Ce dernier se contente de parcourir et d'afficher le contenu de la mémoire.

2.2 Le contrôleur graphique EF 9365/66.

Le véritable contrôleur graphique est celui qui gère sa propre mémoire d'image et qui permet d'interpréter directement des descriptions graphiques telles que les vecteurs. Contrairement au contrôleur d'écran alphanumérique ou graphique qui partage sa mémoire de page avec le microprocesseur, le contrôleur EF 9365/66 possède sa propre mémoire d'image qu'il se charge d'alimenter. Il traduit les commandes que lui envoie le microprocesseur directement sous forme de points à allumer ou à éteindre sur l'écran, qu'il stocke dans sa mémoire d'image. En parcourant cette mémoire, il affiche et rafraichit périodiquement le graphique sur l'écran.

B. LE PROCESSEUR GRAPHIQUE EF 9365/66.

1. Caractéristiques générales du G.D.P

Les processeurs graphiques EF 9365/66 déchargent totalement le microprocesseur des tâches d'adressage, d'affichage et de rafraichissement de l'écran.

Ils gèrent leur propre mémoire d'image, indépendamment du microprocesseur. Pour cela un programme de base a été intégré dans le circuit lui-même. Ainsi le pro-

5

cesseur graphique peut assurer les fonctions suivantes :

1.1 Interface microprocesseur - processeur graphique.

Le processeur graphique EF 9365/66 est programmable par l'intermédiaire de 11 registres internes. En fait, le processeur occupe 16 adresses consécutives dont seulement 11 sont utilisés. La mémoire d'image gérée par le processeur graphique n'est pas directement accessible par le microprocesseur, seuls 16 registres sont vus du côté du microprocesseur, laissant à ce dernier un espace d'adressage quasi-intact.

Ainsi le processeur graphique peut avoir un total asynchronisme entre ses cycles mémoires et ceux du microprocesseur.

1.2 Différentes résolutions possibles.

Plusieurs résolutions sont possibles suivant les processeurs, le EF 9365 assure une résolution de 512 X 512 en balayage entrelacé ou 256 X 256 et moins en balayage non entrelacé.

Le processeur graphique peut gérer et afficher des images en monochrome (noir et blanc sans aucun niveau de gris) à un pixel correspond 1 bit dans la mémoire d'image.

Dans notre cas le processeur fonctionne en monochrome et la mémoire d'image est formée d'un seul plan de 512 X 512 bits ou 256 K X 1 bit.

Le processeur graphique peut également afficher des images couleurs, dans ce cas, un pixel est représenté par plusieurs bits répartis sur plusieurs plans mémoire à une même adresse. La mémoire du processeur graphique est donc organisée en plusieurs plans sélectionnés par un registre piloté conjointement par le processeur graphique et le microprocesseur. La figure I.1.1 montre le synoptique d'une application construite à partir du processeur graphique EF 9365 et de 4 plans mémoire chacun de ces plans contient 512 X 512 bits.

Ces 4 plans mémoire permettent de coder la couleur sur 4 bits, chaque pixel peut donc prendre 2^4 couleurs différentes soit 16 teintes.

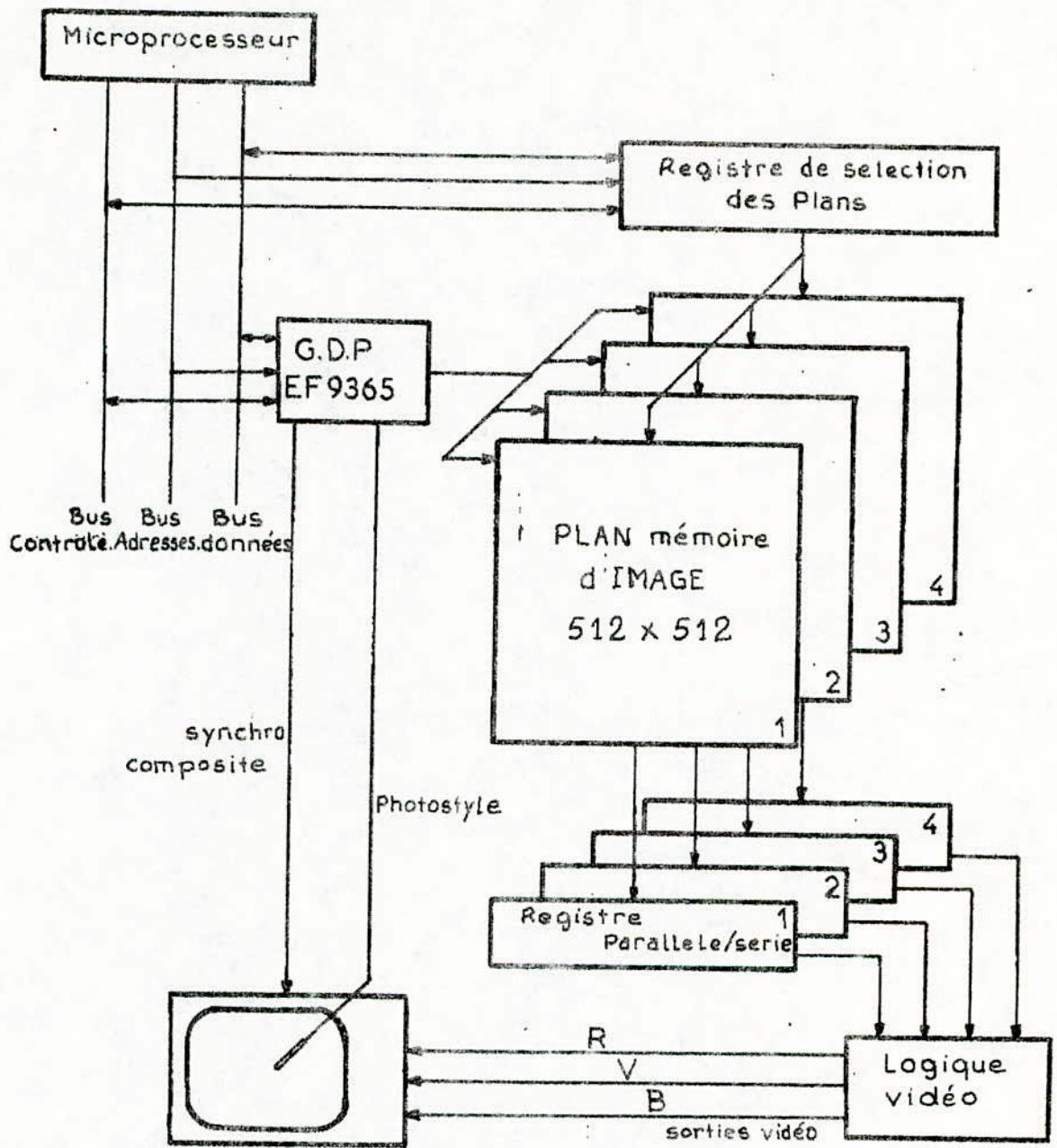


Fig I. 1.1 Synoptique d'une application GDP avec quatre Plans memoire .

1.3 Génération des signaux de synchronisation

Le processeur graphique fournit le signal " SYNC " de synchronisation lignes et trames du moniteur vidéo. Ce signal est aux normes CCIR, 625 lignes 50 Hz pour le EP 9365 en balayage entrelacé. Deux autres signaux sont générés par le GDP pour faciliter l'affichage : le signal "BLK" de blanking c'est à dire de suppression vidéo en dehors de la fenêtre de visualisation et le signal VB de vertical blanking correspondant au retour trame.

1.4 Gestion automatique de la mémoire d'image.

Le processeur graphique contient une logique de rafraichissement automatique des différents plans mémoires d'image constitués des RAM dynamiques. Vu par l'utilisateur, cette mémoire se comporte comme une mémoire statique, car rien n'est à prévoir pour la rafraichir au niveau de la conception du schéma électronique.

Le processeur se charge lui-même de parcourir sa mémoire d'image aussi bien au niveau de la visualisation que de l'écriture, il fait positionner à "0" ou à "1" les bits sélectionnés lors de cette écriture.

Dans le cas de la figure I.1.1 où l'on a plusieurs plans mémoire, le processeur graphique adresse simultanément tous les plans mémoires pour afficher l'image en couleurs.

1.5 Générateur de caractères programmables

Un automate programmable de tracé de caractères est intégré dans le processeur graphique. Il permet d'afficher l'ensemble des caractères ASCII ainsi que deux pavés, l'un rectangulaire et l'autre carré. Chaque caractère est inscrit dans une matrice rectangulaire de 8 X 5 points définis dans une ROM interne. Indépendamment les uns des autres, les caractères peuvent être programmés en taille, c'est-à-dire hauteur et largeur, ainsi qu'en orientation. Quatre orientations sont possibles.

- Caractère droit,

- caractère penché,
- caractère couché,
- caractère couché penché.

Les dernières possibilités servent, par exemple, dans le cas d'un écran cathodique disposé verticalement.

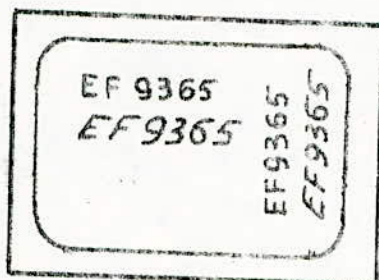


Fig I.1.2

Les facteurs multiplicateurs de taille sont compris entre 1 et 16, la figure I.1.3 montre le jeu de caractères élémentaires inscrits dans la matrice minimale de 8 X 5.

Ainsi, pour écrire une ligne entière ou une portion de ligne, il suffit de déterminer et de fournir au processeur graphique :

- 1° la taille des caractères en hauteur et en largeur.
- 2° leur orientation
- 3° les coordonnées X et Y du point de départ du premier caractère (qui correspond à l'angle inférieur gauche de la matrice dans laquelle est inscrit le caractère).
- 4° l'ordre d'écriture des différents caractères.

Le code ASCII du caractère à écrire est inclus dans l'ordre donné au processeur graphique.

La taille et l'orientation des caractères ne sont donc pas modifiées tout au long de la ligne tant que le contenu des registres correspondant reste le même.

Le processeur graphique reçoit l'ordre et le code ASCII du caractère à écrire, il le traduit directement dans sa mémoire d'image en tenant compte des facteurs d'échelle et d'orientation et il auto-incrémente ses registres X et Y corres-

pondants aux coordonnées du nouveau caractère à écrire, cette incrémentation tient compte de l'intercaractère (distance laissée entre deux caractères).

Fonction lui aussi des facteurs d'échelle.

1.6 Générateur de vecteurs.

Le processeur graphique comporte un générateur de vecteurs rapide pouvant afficher jusqu'à 1.500.000 points/seconde et permettant d'une part de stocker la description d'une image sous forme de vecteurs (grands ou petits), et d'autre part de faire de l'animation très facilement en indiquant uniquement les changements à effectuer sur le dessin de base.

Ainsi une portion de droite est considérée comme un vecteur dont seuls les coordonnées du point de départ X et Y, l'accroissement en valeur absolue ΔX et ΔY , leur signe et la couleur du vecteur suffisent à le décrire totalement.

Deux possibilités de tracé de vecteurs sont données par le générateur de vecteurs interne : tracé de grands vecteurs (ΔX ou $\Delta Y \geq 4$ pixels) pour toute portion de droite du dessin, et tracé de petits vecteurs (ΔX et $\Delta Y < 4$ pixels) pour tout arc ou portion de courbe.

Si le tracé d'un vecteur horizontal ou vertical ne pose aucun problème, celui d'un vecteur légèrement incliné ne peut être qu'approximatif.

L'approximation utilisée est celle définie par J.F BRESENHAM en 1965. C'est l'un des algorithmes les plus répandus dans ce domaine, la figure I.1.4 montre un exemple de tracé d'un vecteur incliné d'origine $X = 0$, $Y = 0$ et d'accroissement $X = 11$ et $Y = 6$

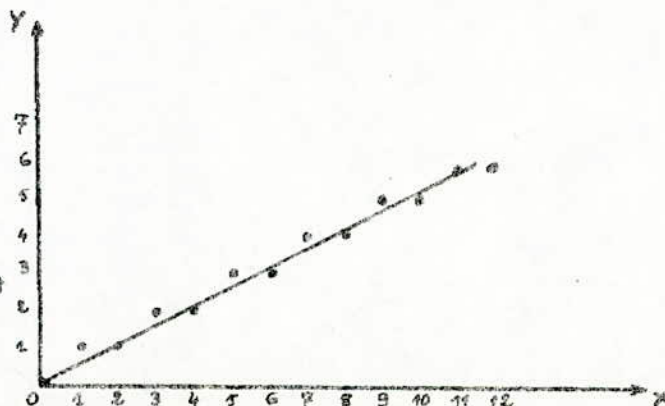


Fig I.1.4
tracé d'un segment
de droite selon
l'algorithme de
BRESENHAM

X	Y
0	0
1	1
2	1
3	2
4	2
5	3
6	3
7	4
8	4
9	5
10	5
11	6
12	6
13	7
14	7

Tous les vecteurs peuvent être tracés selon quatre types de traits différents.



Fig I.1.5 Les quatre types de traits

1.7 Utilisation d'un photostyle

Il se présente sous la forme d'un stylo qu'on pointe sur l'écran pour désigner un objet ou pour tracer une figure. Le photostyle détecte le signal lumineux issu de l'écran pour le convertir en données numériques. Deux commandes permettent d'obtenir dans les registres XLP et YLP l'adresse courante correspondant à la zone pointée par le photostyle.

§ 08 → CMD: armement de la circuiterie du photostyle et envoi d'un flash blanc permettant d'obtenir les coordonnées d'une zone non éclairée sur l'écran.

§ 09 → CMD: armement de la circuiterie du photostyle sans envoi de flash, le photostyle ne doit pointer qu'une zone déjà éclairée sur l'écran.

B.2 Organisation externe et interne du G.D.P.

2.1 Organisation externe

Les processeurs de visualisation graphique haute résolution EP9365/66 sont des circuits monolithiques en technologie MOS à canal N et grille silicium. Ils se présentent en boîtier plastique ou céramique de 40 broches et n'exigent qu'une seule source de tension (+5V). La figure I.2.1 rassemble les différentes broches selon leur fonction et indique dans quel sens elles agissent (Entrées-sorties).

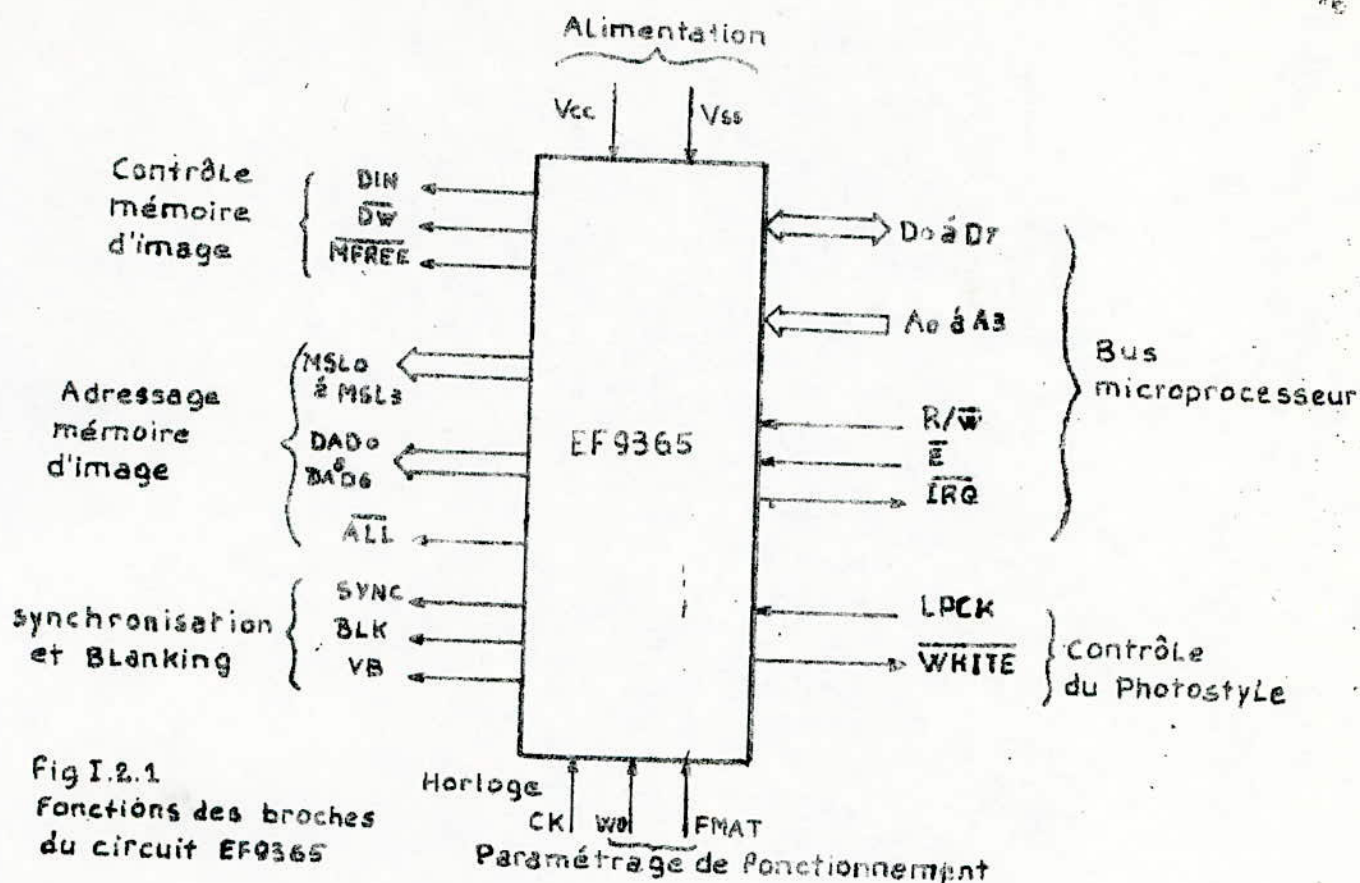


Fig I.2.1
Fonctions des broches
du circuit EF9365

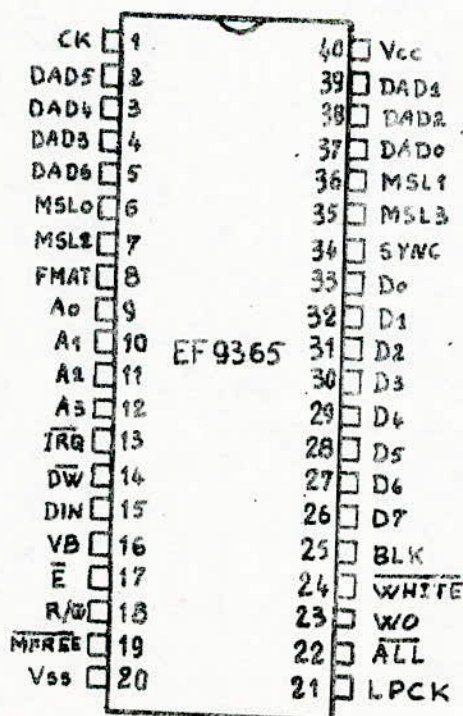


Fig I.2.2 Brochage du circuit EF9365

a. Alimentation, horloge et paramétrage de fonctionnement.

- Alimentation (Vss, Vcc)

Les broches 20 et 40, représentent respectivement la masse et l'entrée + 5V.

- Horloge (CK)

Elle représente l'horloge générale. Tous les automates internes sont modifiés sur le front descendant de ce signal qui permet aussi le multiplexage des adresses mémoires pour que le signal SYNC soit aux normes CCIR (FMAT haut) la fréquence d'entrée CK doit être à 1,75 MHz.

- Format (FMAT)

Doit être connectée à Vcc pour une résolution verticale de 512 lignes (balayage entrelacé) et à Vss pour 256 lignes ou moins (balayage non entrelacé) cette entrée change la forme des signaux de synchronisation, la répartition des adresses DAD et la fonction des sorties MSL.

- Forçage à l'écriture (WO, Write Only).

Quand WO est haut, il n'y a plus visualisation ni rafraichissement des mémoires. Les automates d'écriture peuvent fonctionner sans être interrompus. Le signal ALL est toujours haut.

b Signaux de synchronisation et de blanking.

- Synchronisation du moniteur vidéo (SYNC)

Signal de synchronisation lignes et trames du moniteur vidéo. Si la fréquence de CK est 1,75 MHz et si FMAT est haut, le signal SYNC est aux normes CCIR 625 lignes, 50 KHz.

- Suppression vidéo (BLK)

Ce signal est haut en dehors de la fenêtre de visualisation (écriture ou rafraichissement), il est toujours haut si le bit 2 du registre CTRL1 est à l'état haut, mais est indépendant de l'entrée WO.

Retour trame (VB)

Signal indépendant de NO et du registre CPRL1. Haut pendant le retour trame.

C. Signaux d'adressage de la mémoire d'image.

Adresses de visualisation (DADO à DAD6).

Adresses multiplexées par le signal CK. Prévues pour le rafraichissement automatique des mémoires dynamiques 16 K ou 4 K.

Sélection des boîtiers mémoires (MSL0 à MSL3).

Signaux de sélection du pixel en écriture (voir paragraphe organisation de la mémoire d'image).

Accès à tous les boîtiers mémoires (ALL).

Ce signal permet de différencier les accès mémoire collectifs à tous les boîtiers (visualisation, rafraichissement ou effacement) des accès mémoire à un seul pixel pour l'écriture de vecteurs ou de caractères. Ce signal est à l'état bas pour un accès collectif.

d. Signaux de contrôle de la mémoire d'image

Donnée mémoire d'image (DIN)

Sélection du code de la donnée mémoire correspondant à l'état éteint sur l'écran (actif haut). Pour une application noir et blanc (.1 bit par pixel) DIN peut être directement la donnée d'entrée des mémoires.

Ecriture mémoire d'image (DW)

Signal d'écriture dans la mémoire d'image, actif à l'état bas.

Mémoire disponible (MPFREE).

Signal à l'état ^{bas} lors de la première période de non utilisation des mémoires qui suit l'envoi de la commande OF₁₆. Ce signal permet un échange quelconque avec la case pointée par X et Y sans perturber la visualisation.

e. Signaux du bus microprocesseur

- Bus de données (D0 à D7)

L'ouverture des buffers d'entrée/sortie est commandée par \bar{E} , le sens R/ \bar{W} .

- Bus d'adresses (A0 à A3)

Adresses du registre concerné par l'accès microprocesseur.

- Lecture/écriture (R/ \bar{W})

Signal de lecture/écriture, l'écriture correspond à l'état bas.

- Validation (\bar{E})

Signal de synchronisation et de validation d'échange sur le bus.

- Demande d'interruption (IRQ)

Requête d'interruption vers le microprocesseur programmable par le registre CTRL2.

f. Signaux d'utilisation du photostyle.

- Forçage au niveau blanc (WHITE)

Prévu pour forcer le niveau blanc sur le signal vidéo pour permettre l'utilisation du photostyle. Actif à l'état bas.

- Echantillonnage photostyle (LPCK)

Entrée du photostyle. Un front montant, lorsque le mécanisme est armé, charge dans les registres XLP et YLP l'adresse courante de visualisation et met à l'état haut le bit de poids faible du registre XLP.

2.3 Organisation Interne

Le processeur de visualisation graphique comprend quatre grandes fonctions internes.

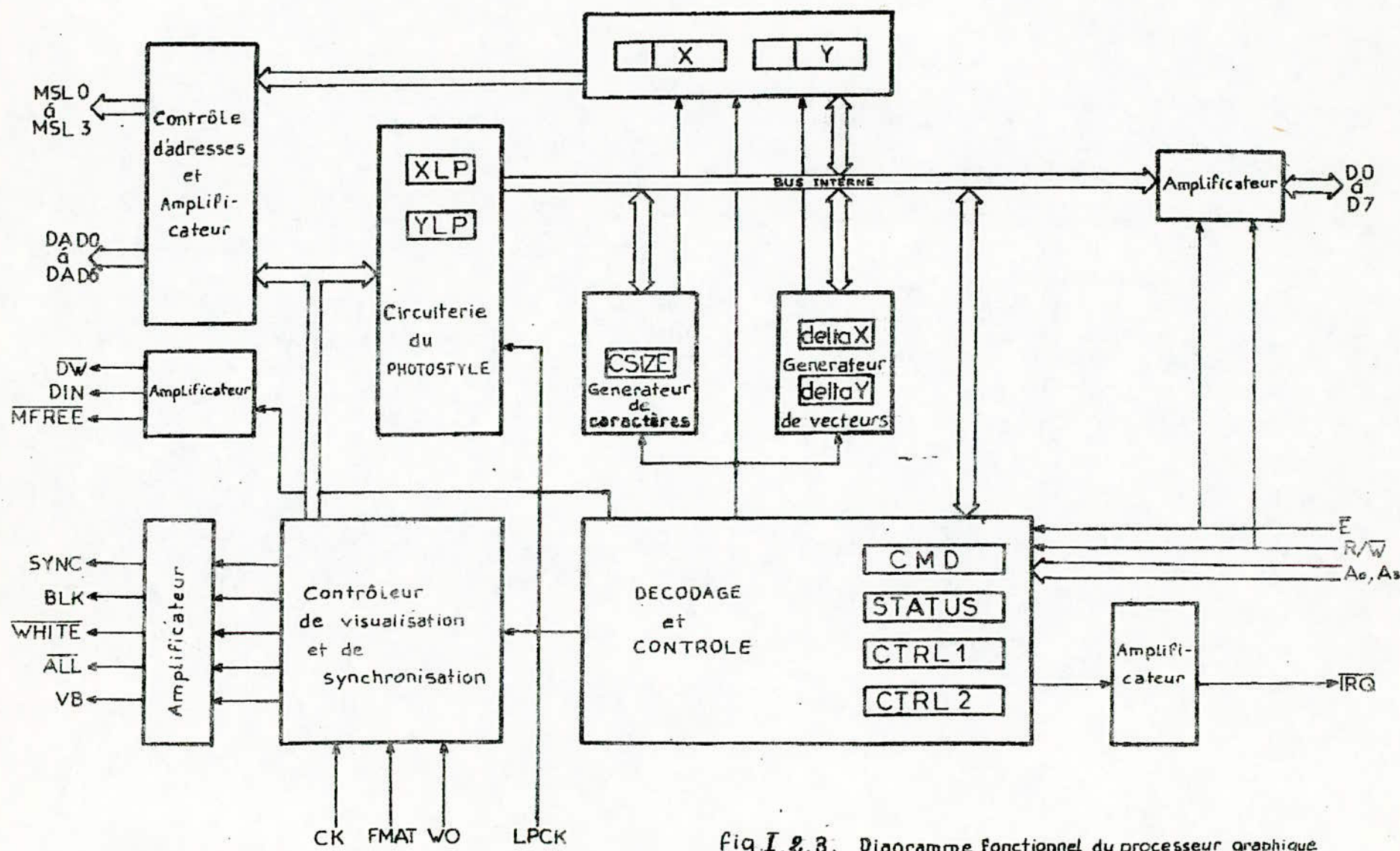


Fig I.2.8. Diagramme fonctionnel du processeur graphique.

- générateur de caractères,
- générateur de vecteurs,
- contrôleur de mémoire (pour sa mémoire d'image)
- contrôleur de visualisation.

Pour les paramétrer selon ses besoins, l'utilisateur dispose de 16 registres. Le contenu de chacun de ces registres sera lu ou écrit par le microprocesseur.

La figure I.2.3 montre l'organisation interne des différents registres du processeur.

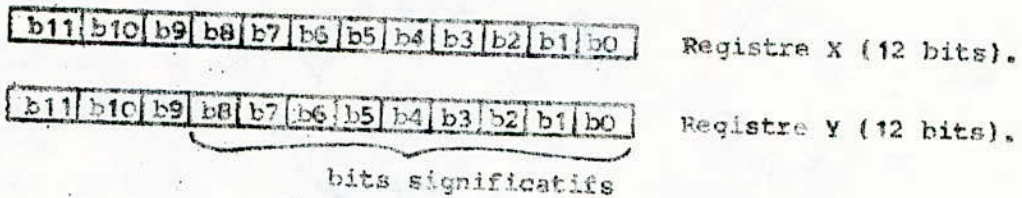
2.4 Description des registres.

Le tableau de la figure I.2.4 donne l'adresse de chaque registre interne.

Fig I.2.4

REGISTRE D'ADRESSE					FONCTION DES REGISTRES		NOMBRE DE BITS
BINAIRE				HEXA	LECTURE	ECRITURE	
A0	A1	A2	A3				
0	0	0	0		STATUS	C M D	8
0	0	0	1	1	CTRL1 (Contrôle de l'écriture et des interruptions)		7
0	0	1	0	2	CTRL2 (Orientation des symboles et types de vecteurs)		4
0	0	1	1	3	CSIZE (Taille des caractères)		8
0	1	0	0	4	Réservé		-
0	1	0	1	5	DELTA X		8
0	1	1	0	6	Réservé		-
0	1	1	1	7	DELTA Y		8
1	0	0	0	8	X Poids Fort		4
1	0	0	1	9	X Poids faible		8
1	0	1	0	A	Y Poids fort		4
1	0	1	1	B	Y Poids faible		8
1	1	0	0	C	XLP		7
1	1	0	1	D	YLP		8
1	1	1	0	E	Réservé		-
1	1	1	1	F	Réservé		-

2.4.1 Registres X et Y



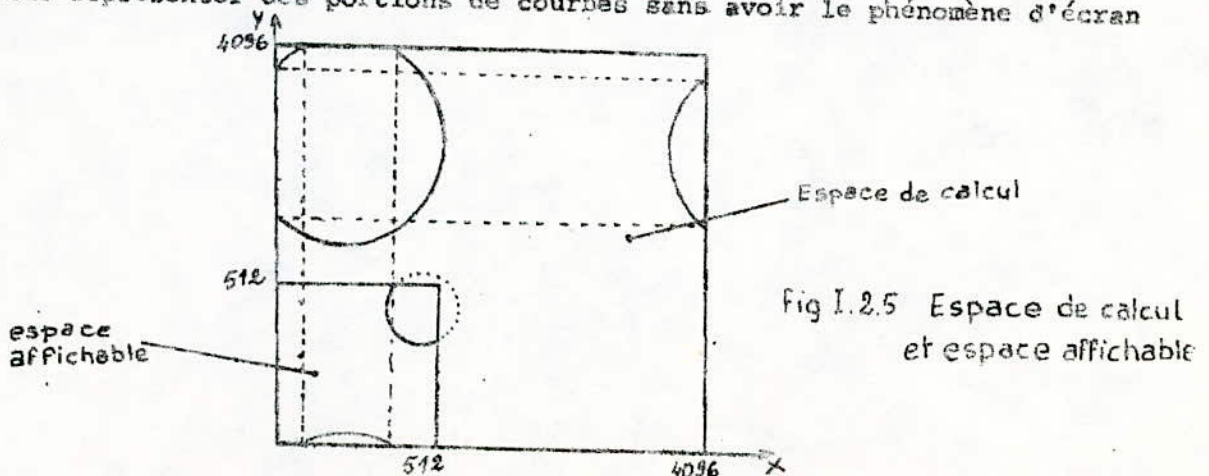
Les registres X et Y sont des registres de 12 bits à lecture-écriture. Ils indiquent les coordonnées du prochain point à écrire dans la mémoire d'image. Ils n'ont aucun rapport avec le balayage de génération du signal vidéo, mais ils pointent l'adresse d'écriture, comme l'adresse de la plume sur une table traçante.

Ces deux registres sont incrémentés ou décréments avant chaque écriture en mémoire d'image par les générateurs internes de vecteurs et de caractères ou bien peuvent être positionnés par une écriture directe du microprocesseur.

Cette adresse d'écriture sur 2 x 12 bits couvre un espace d'adressage de 4096 x 4096 points. Seuls, les bits de poids faible sont utilisés puisque la définition maximum de l'image réellement mémorisée est au plus de 512 x 512 pixels (picture élément).

Les bits de poids ^{fort} soit sont ignorés soit servent à inhiber l'écriture lorsque l'écran réel est considéré comme une fenêtre dans un espace de 4096 x 4096.

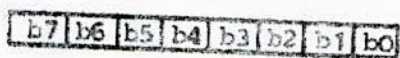
Ceci permet de faire des calculs sur un espace supérieur à l'espace affichable et de pouvoir représenter des portions de courbes sans avoir le phénomène d'écran cyclique.



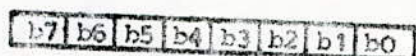
2.4.2 Registres DELTA X et DELTA Y

Les registres DELTA X et DELTA Y sont des registres de 8 bits à lecture-écriture.

Ils indiquent au générateur de vecteurs les projections en X et en Y du prochain vecteur à tracer. Ce sont des valeurs entières non signées. Le tracé d'un vecteur est lancé par une écriture dans le registre de commande CMD.

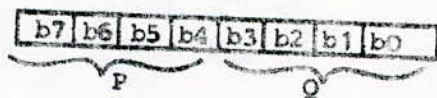


Registre DELTA X (8bits)



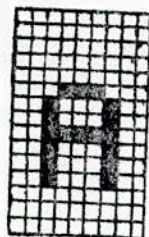
Registre DELTA Y (8 bits)

2.4.3 Registre CSIZE

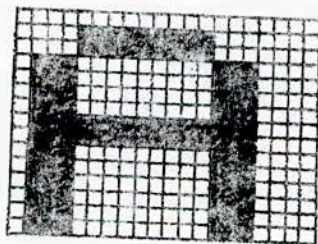


Registre CSIZE (8 bits)

Ce registre à lecture-écriture contient 8 bits partagé en deux parties P et Q de 4 bits chacune, il permet de faire varier la taille des caractères indépendamment selon les deux axes X et Y. P représente le facteur d'échelle suivant X et Q suivant Y, P et Q sont compris entre 1 et 16.



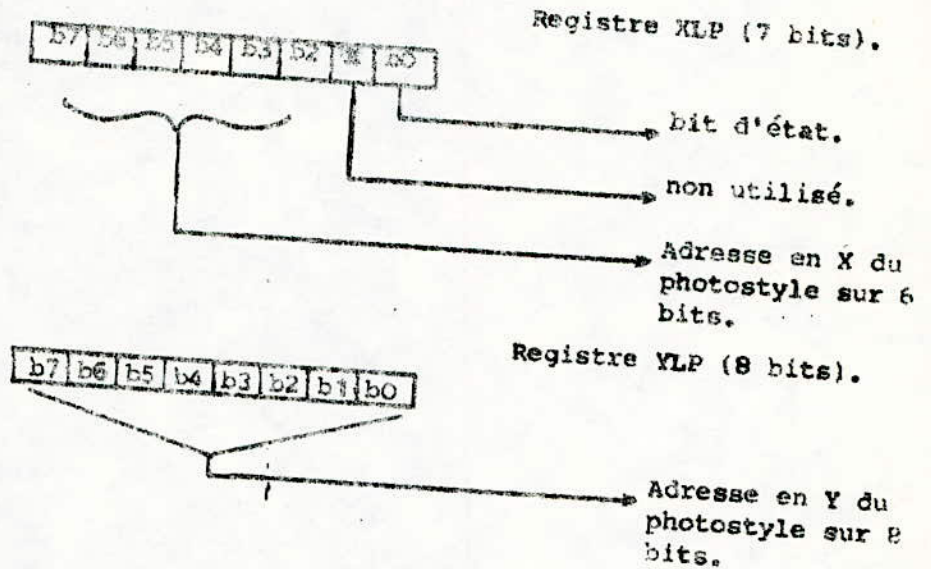
facteurs P = 1
d'échelle Q = 1



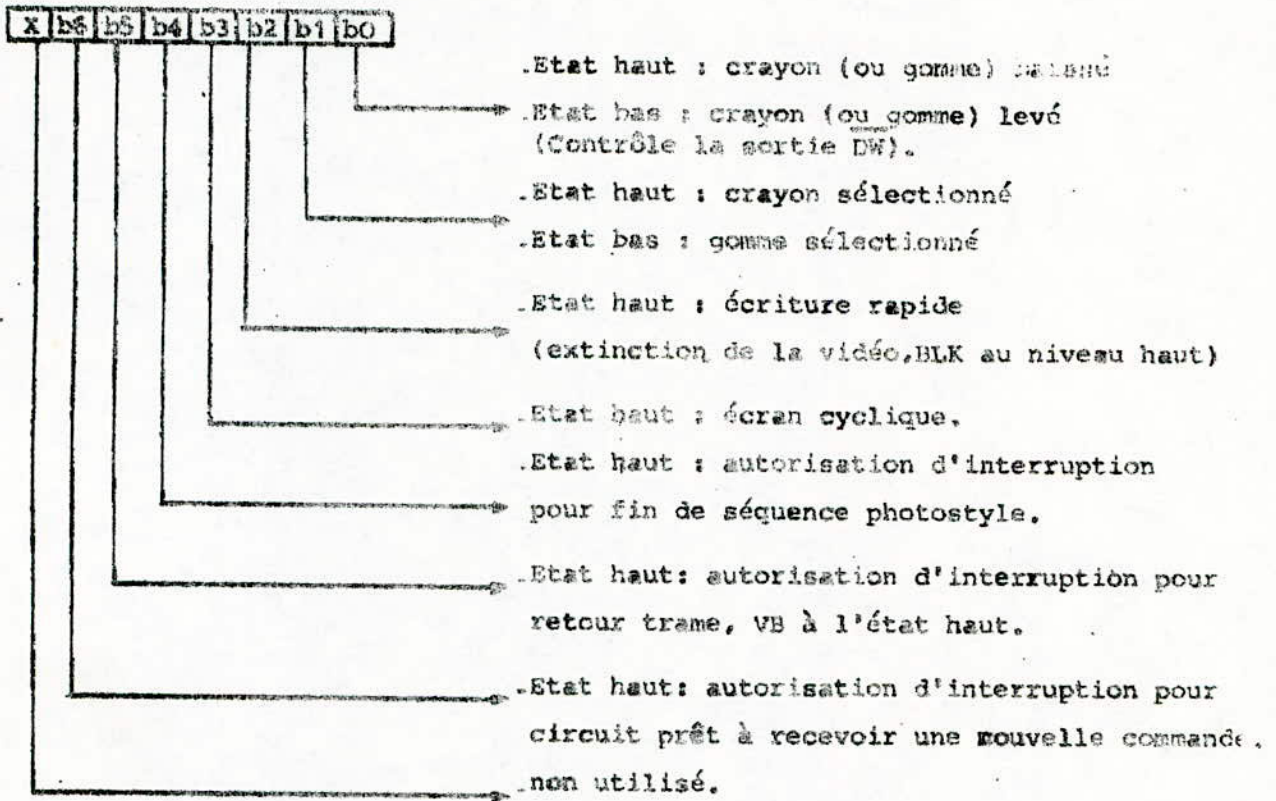
P = 3
Q = 2

Fig I.2.6 Affichage du caractère A avec des facteurs d'échelle différents

2.4.4 Registres XLP et YLP

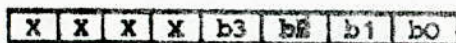


Ces registres de 7 et 8 bits sont des registres à lecture seule. Un front montant sur l'entrée LPCK permet d'obtenir dans ces registres l'adresse échantillonnée par le photostyle. Il positionne par la même occasion le bit d'état b0 du registre XLP à 1, ce bit est remis à 0 lors de la lecture de l'un des deux registres XLP ou YLP.

2.4.5 Registre CTRL1

Ce registre de 7 bits à lecture-écriture permet de paramétrer le fonctionnement général du circuit.

Lors de l'exécution d'une commande de tracé l'écran peut être considéré comme une table traçante sur laquelle se trouve un crayon et une gomme. Ils peuvent être sélectionnés, levés ou baissés à l'aide des 3 premiers bits de ce registre.

2.4.6 Registre CTRL2

Registre CTRL2 (4 bits).

type de trait des vecteurs
Orientation des caractères.

Ce registre de 4 bits à lecture-écriture permet de choisir le type de traits pour le tracé des vecteurs et l'orientation pour le tracé de caractères. Les figures I.2.7 et I.2.8 montrent les différentes possibilités selon le codage de ce registre.

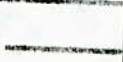
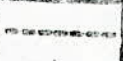

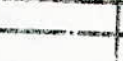
b1	b0	Type	Tracé du vecteur	Observations
0	0	Continu		
0	1	Pointillé		2 points allumés 2 points éteints
1	0	Tiré		4 points allumés 4 points éteints
1	1	mixte		10 points allumés 2 points éteints 2 points allumés 2 points éteints

Figure I.2.7 différents types de traits.





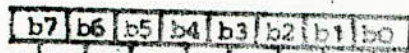
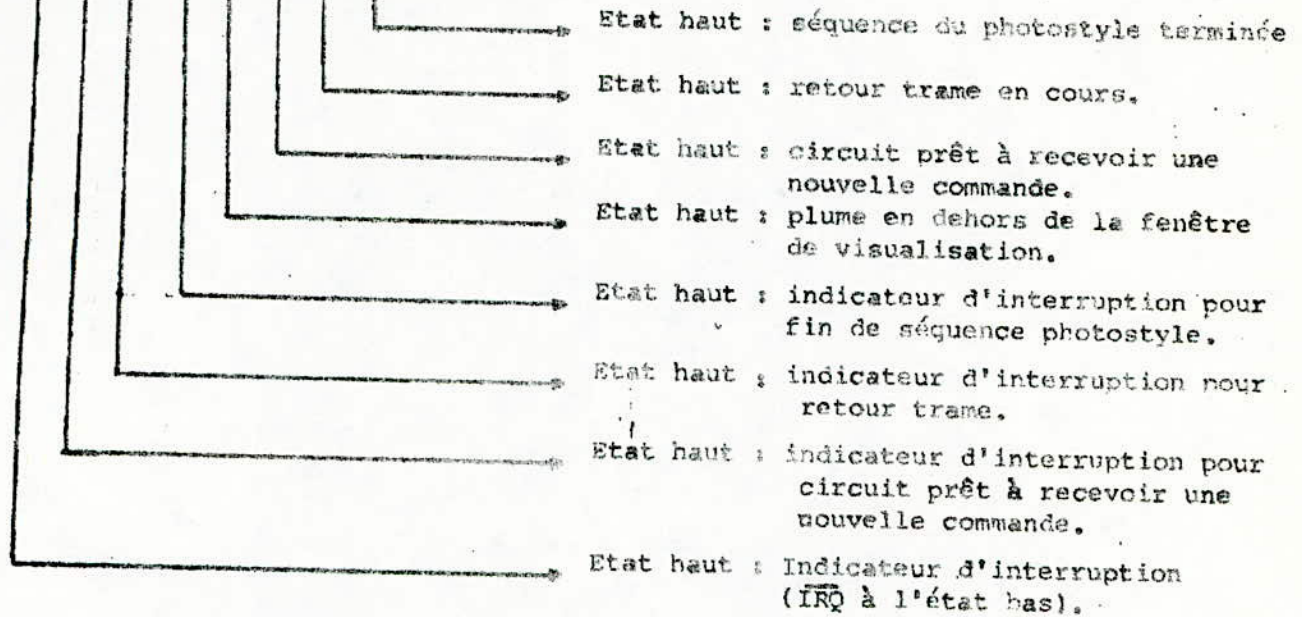
b3	b2	Orientation	Tracé de caractère
0	0	droit	
0	1	penché	
1	0	Couché	
1	1	couché penché	

Figure I.2.8 Différentes orientations des caractères.

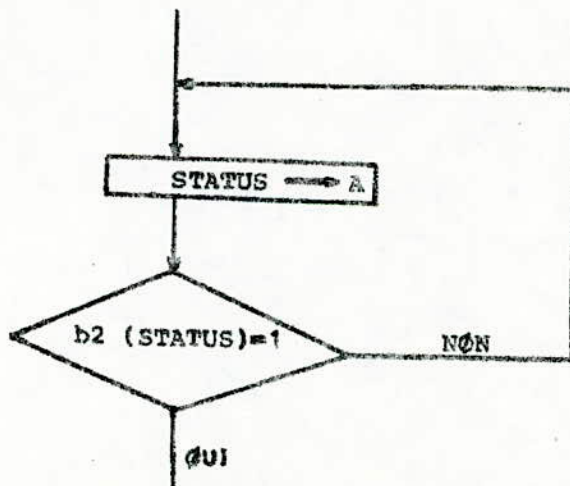
2.4.7 Registre STATUS



Registre STATUS (8 bits).



Ce registre de 8 bits à lecture seule permet de connaître l'état du processeur à un instant donné. Il sert à surveiller la commande en cours d'exécution. Par exemple, il est indispensable de ne pas envoyer au processeur graphique une commande tant qu'il n'a pas terminé la précédente. Cette précaution peut être appliquée, en testant l'état du bit b2 du registre STATUS fig. I.2.9.



chargement du registre STATUS dans l'accumulateur A du microprocesseur.

Test du bit b2 du registre STATUS
 b2 = 0 : le circuit est occupé il faut attendre

b2 = 1 le circuit est disponible pour toute nouvelle commande.

Fig. I.2.9 de disponibilité du circuit.

2.4.8 Registre de commande CMD

b7	b6	b5	b4	b3	b2	b1	b0
----	----	----	----	----	----	----	----

Registre CMD (8 bits).

Ce registre de 8 bits à écriture seule reçoit les ordres du microprocesseur pour déclencher l'exécution d'une commande, le microprocesseur écrit dans le registre CMD du processeur graphique.

Les commandes sont de plusieurs types :

- tracé de vecteur
- tracé de caractère
- effacement de l'écran
- armement de la circuiterie du photostyle
- accès à la mémoire d'image par une circuiterie extérieure
- modification indirecte des autres registres.

Le tableau de la figure 1.2.10 donne en fonction de l'état des bits b0, b1, ..., b7 toutes les commandes disponibles.

b7 b6 b5 b4		0	0	0	0	0	0	0	1	1	1	1	1	1	1	1									
		0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	1								
b3b2b1b0		0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1								
		0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1								
		1	2	3	4	5	6	7	8	9	A	B	C	D	E	F									
0 0 0 0	0	Met à 1 le bit 1 de CTRL1 : " Choix de la plume "	Espace		0	@	P	e	p	PETITS VECTEURS :															
0 0 0 1	1	Met à 0 le bit 1 de CTRL1 : " choix de la gomme "	!	1	A	Q	o	q	<table border="1"> <tr> <td>b7</td> <td>b6b5</td> <td>b4b3</td> <td>b2b1b0</td> </tr> <tr> <td>1</td> <td> ΔX </td> <td> ΔY </td> <td>Direction</td> </tr> </table>							b7	b6b5	b4b3	b2b1b0	1	ΔX	ΔY	Direction		
b7	b6b5	b4b3	b2b1b0																						
1	ΔX	ΔY	Direction																						
0 0 1 0	2	Met à 1 le bit 0 de CTRL1 : " Passage en plume ou gomme baissée "	"	2	B	R	b	r	Dimension :																
0 0 1 1	3	Met à 0 le bit 0 de CTRL1 : " Passage en plume ou gomme levée "	#	3	C	S	c	s	<table border="1"> <tr> <td>ΔX ou ΔY</td> <td>Long. du vecteur</td> </tr> <tr> <td>0 0</td> <td>0 pas</td> </tr> <tr> <td>0 1</td> <td>1 pas</td> </tr> <tr> <td>1 0</td> <td>2 pas</td> </tr> <tr> <td>1 1</td> <td>3 pas</td> </tr> </table>							ΔX ou ΔY	Long. du vecteur	0 0	0 pas	0 1	1 pas	1 0	2 pas	1 1	3 pas
ΔX ou ΔY	Long. du vecteur																								
0 0	0 pas																								
0 1	1 pas																								
1 0	2 pas																								
1 1	3 pas																								
0 1 0 0	4	Effacement de l'écran	\$	4	D	T	d	t	Direction :																
0 1 0 1	5	Remise à 0 des registres X et Y.	%	5	E	U	e	u																	
0 1 1 0	6	Effacement de l'écran et remise à 0 de X et Y	&	6	F	V	f	v																	
0 1 1 1	7	Effacement de l'écran positionnement à 1/16 du registre CSIZE, remise à 0 des autres registres (sauf XLP, YLP)	'	7	G	W	g	w																	
1 0 0 0	8	Initialisation du photostyle (forçage sortie WHITE niveau bas)	(8	H	X	h	x																	
1 0 0 1	9	Initialisation du photostyle.)	9	I	Y	i	y																	
1 0 1 0	A	Lancement du tracé du pavé 5x8	*	:	J	Z	j	z																	
1 0 1 1	B	Lancement du tracé du pavé 4x4	+	;	K	[k	{																	
1 1 0 0	C	Balayage de l'écran avec la plume ou la gomme (suivant CTRL1)	^	<	L	\	l																		
1 1 0 1	D	Remise à 0 du registre X.	-	=	M]	m	}																	
1 1 1 0	E	Remise à 0 du registre Y.	.	>	N	^	n	~																	
1 1 1 1	F	Demande externe d'accès à la mémoire d'image pour le premier cycle libre.	/	?	O	←	o	█																	

Fig 2.10 Résumé des codes de commande

II REALISATION

A. Etude générale

A.1 Schéma synoptique

A.2 Fonctionnement

Le schéma synoptique de la figure II.1 donne une idée générale du fonctionnement dont les détails seront fournis dans les paragraphes qui suivent.

Il s'agit donc de constituer une image numérique, de la stocker dans une mémoire puis la restituer sur l'écran d'un moniteur T.V noir et blanc. Pour toutes ces opérations, le processeur graphique représente l'élément essentiel il doit donc générer tous les signaux de synchronisation, de contrôle et d'adressage de la mémoire d'image, pour cette dernière opération le GDP possède 6 sorties d'adresse multipléées par l'entrée CK, notre mémoire statique ayant des lignes d'adresse de rangées et colonnes distinctes, une séparation de ces dernières est donc nécessaire.

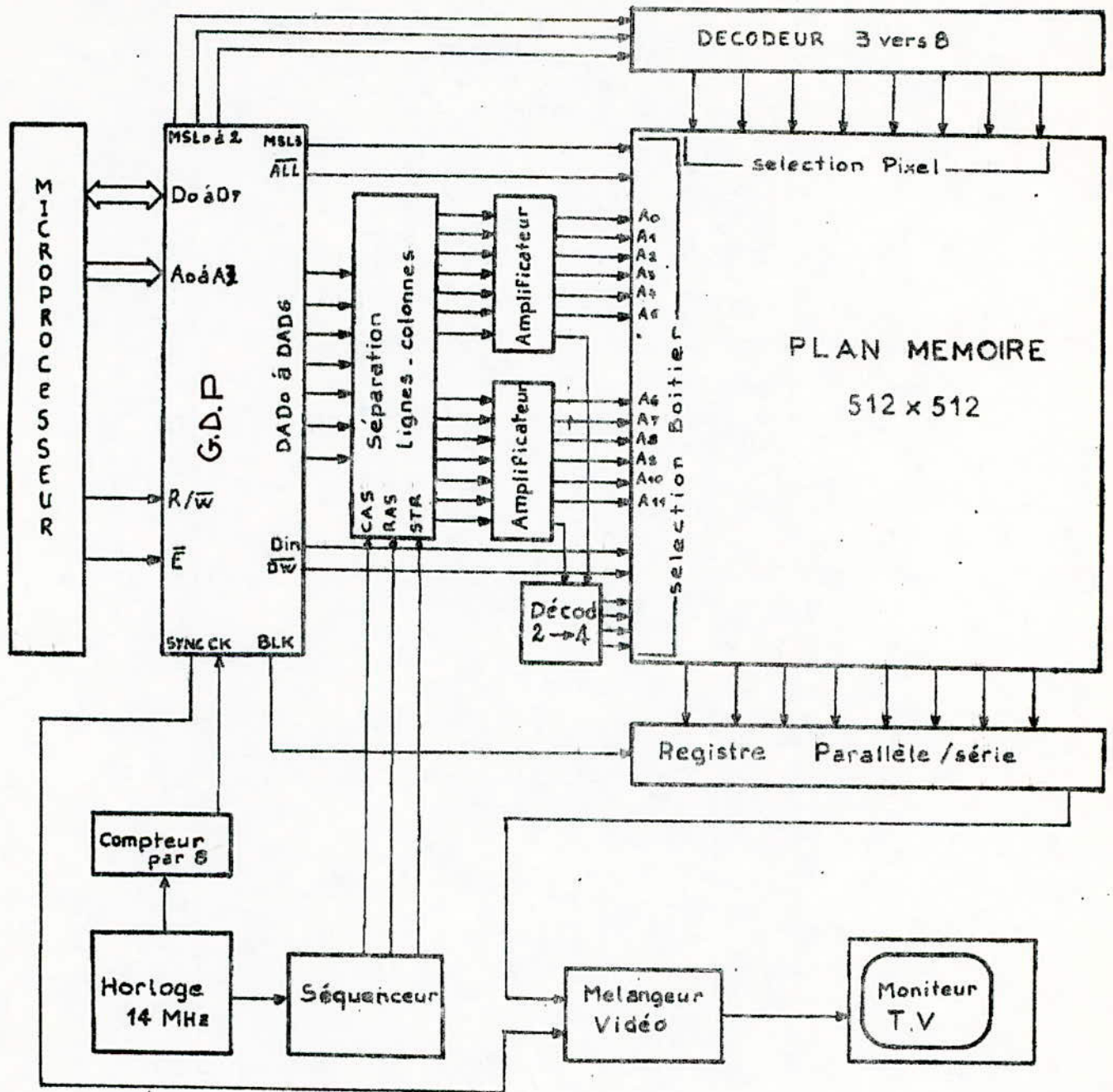


Fig II.1 Schéma synoptique

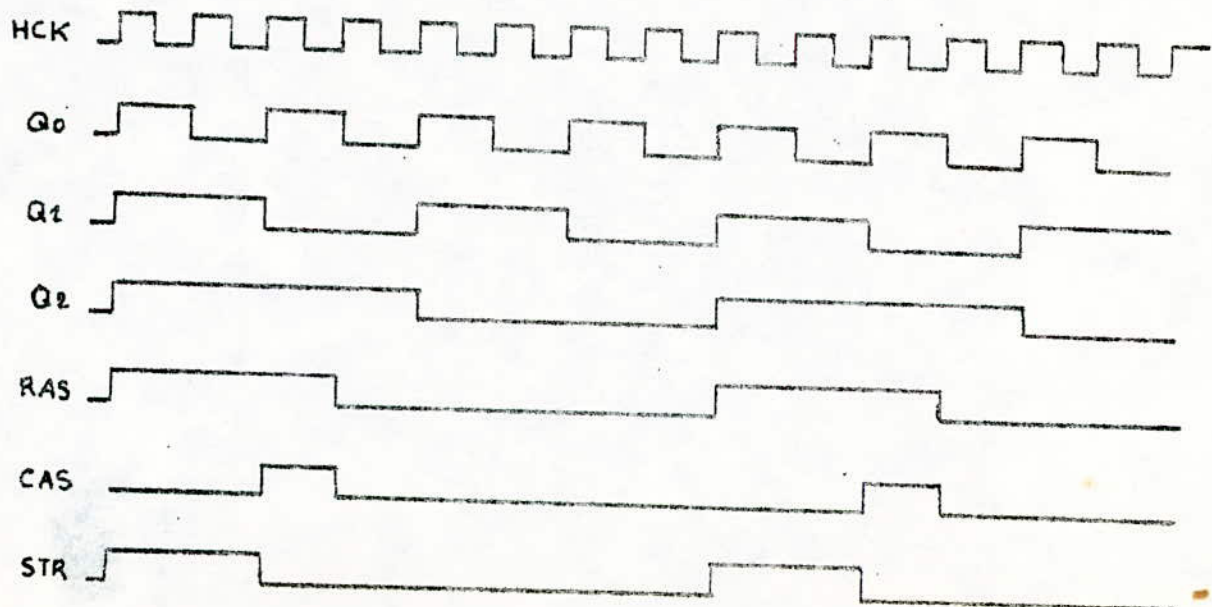
L'écriture dans la mémoire d'image s'effectue pixel par pixel, quand à la lecture elle se fait par groupe de 8 pixels à la fois qui sont sérialisés dans un registre à décalage dont la sortie une fois mélangée avec les tops de synchronisation constitue le signal vidéo-composite nécessaire pour alimenter le moniteur T.V.

B. Partie commande.

B.1 Fonctionnement du séquenceur.

Pour la séparation des adresses lignes et colonnes sortant du processeur graphique, un circuit séquenceur nous délivre les signaux nécessaires pour cette opération. Pour ce faire une horloge de base de fréquence 14MHz attaque un circuit décompteur qui génère à ses sorties 3 signaux, Q0 Q1 et Q2 de fréquences respectives 1,75 MHz, 3,5 MHz et 7MHz, ces derniers après leur passage par des portes logiques nous permettent de choisir les combinaisons formant les signaux utiles notés CAS, RAS et STR dont les fonctions respectives sont: la validation d'entrée des adresses colonnes (column address select), celle des adresses lignes (ROW adress select) et enfin la validation de sortie des signaux d'adresse, de contrôle et de données en même temps (STROBE).

La figure suivante donne le chronogramme des sorties Q0, Q1 et Q2 suivis par ceux des signaux RAS, CAS et STR



On obtient ainsi les fonctions logiques de ces trois derniers signaux.

$$\text{RAS} = Q_2 Q_1 Q_0 + Q_2 Q_1 \bar{Q}_0 + Q_2 \bar{Q}_1 Q_0 = Q_2 Q_1 + Q_1 Q_0$$

$$\text{CAS} = Q_2 \bar{Q}_1 Q_0$$

$$\text{STR} = Q_2 Q_1 Q_0 + Q_2 Q_1 \bar{Q}_0 = Q_2 Q_1$$

Table de vérité.

Q ₂	Q ₁	Q ₀	RAS	CAS	STR
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	1

Fig II.2.

A partir des résultats qu'il doit nous fournir, le circuit séquenceur sera celui donné par le schéma de la figure II.3

Pour pouvoir synchroniser convenablement l'entrée et la sortie des adresses lignes et colonnes le signal STR sera légèrement retardé pour valider la sortie des adresses lignes de même qu'un retard sur CAS sera nécessaire.

B.2 Adressage de la mémoire d'image.

a. Séparation des adresses lignes et colonnes

Sachant que le G.D.F possède un adressage multiplexé on doit procéder à une séparation des adresses lignes et colonnes.

Suivant l'état du signal de son entrée d'horloge CK, le processeur graphique fournit alternativement les adresses lignes (rapides et d'horloge de base 570 ns) pen-

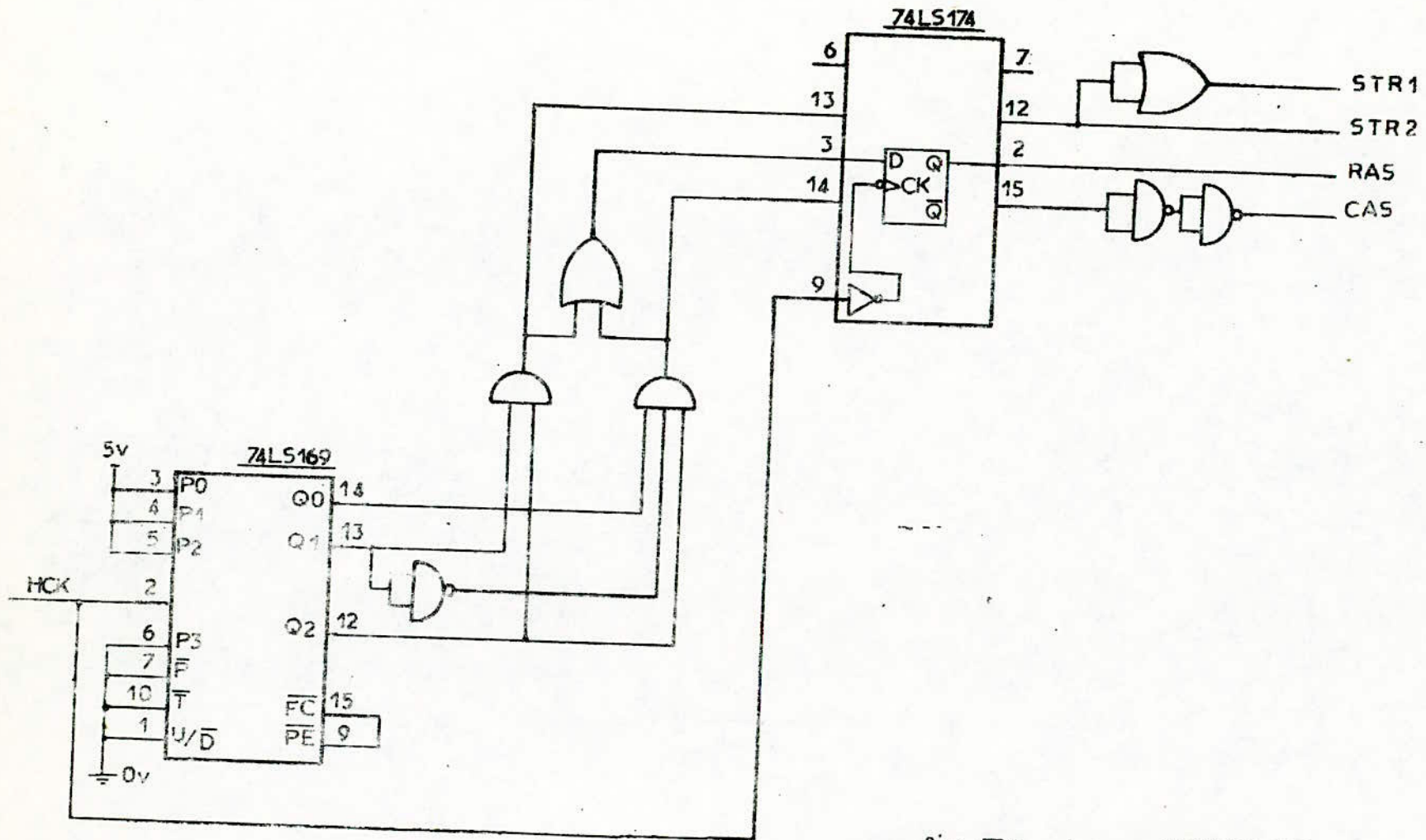
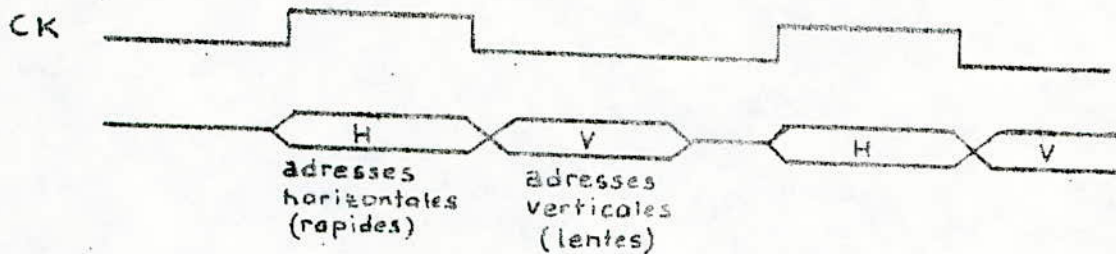


fig:II3 Le SEQUENCEUR

dant l'état haut de CK et les adresses colonnes (lentes et d'horloge de base 64 μ S) pendant l'état bas de CK. Nous prendrons pour entrées d'horloge CK, le signal RAS délivré par le circuit séquenceur.



Pour procéder à la séparation de ces adresses, nous avons utilisé des bascules D type 74LS374 dont les entrées et les sorties sont commandées par les signaux fournis par le séquenceur décrit précédemment.

Les signaux RAS et CAS servent respectivement à valider l'entrée des adresses lignes et colonnes. La sortie de ces bascules est contrôlée par les signaux de synchronisation d'adresses STR1 et STR2 dont l'état haut bloque les adresses à l'intérieur des bascules qui les libèrent à l'arrivée de l'état bas.

Les adresses lignes sont mémorisées dans les bascules au front montant du signal RAS, on bloque l'information pendant l'état haut de STR1 jusqu'à son état bas qui vient en même temps avec le front montant de CAS entraînant la prise en considération et la validation des adresses lentes (voir chronogramme fig II.4).

La commande STR2 sert à séparer 2 adresses successives.

Les sorties de contrôle et de données \overline{DW} et \overline{DIN} de la mémoire d'image ainsi que les sorties \overline{MSLO} , ..., 3, \overline{ALL} et \overline{BLK} (dont les détails et les fonctions seront précisés plus loin) sont disponibles à la sortie d'un autre circuit 74LS 374, ce dernier étant commandé par le signal CAS.

Le chronogramme des signaux cités précédemment est donné par la figure suivante.

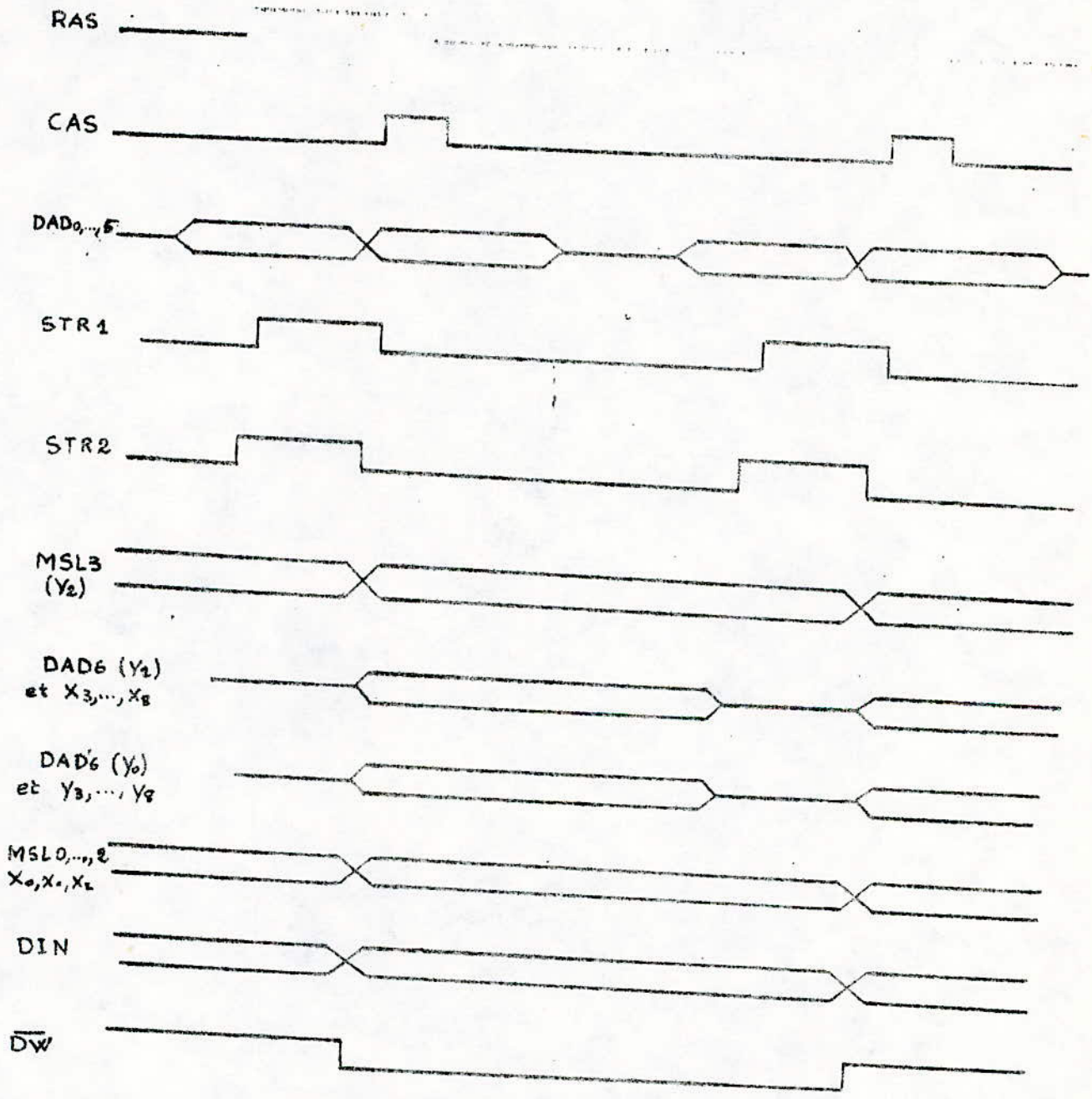


fig.II.4 chronogramme des signaux d'adresse, de controle et de donnée de la mémoire d'image.

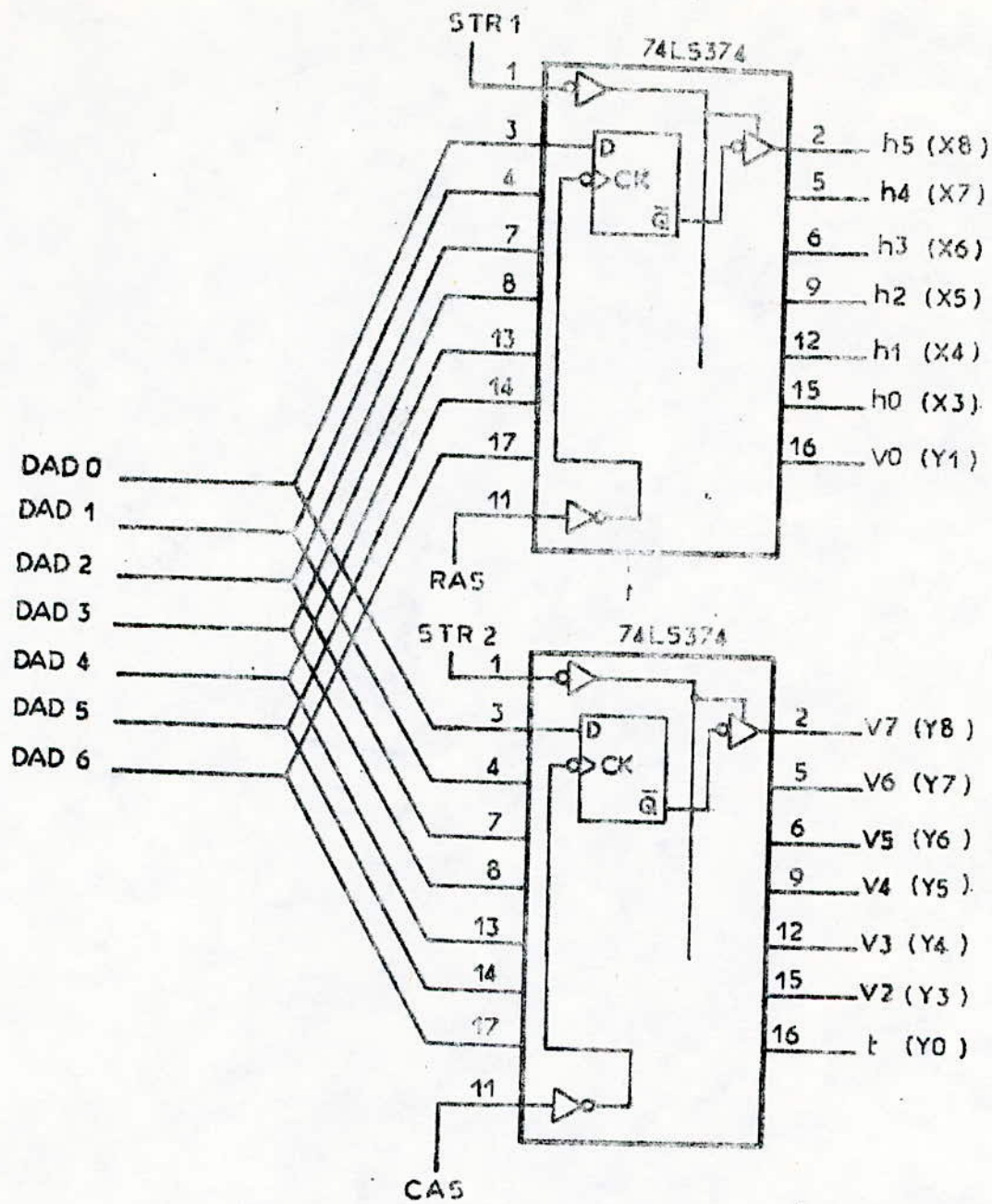


Fig: IIS séparation et synchronisation des adresses

b. Rôles des signaux \overline{ALL} , $MSL_0, \dots, 3$ et $DAD_0, \dots, 6$

L'adressage fourni par le G.D.P pour la lecture et l'écriture dans la mémoire d'image est complètement différent. Effectivement, le temps de lecture d'un d'un pixel (70 ns) étant imposé par la durée d'une ligne (64 μ s), on est amené à lire par paquet de 8 pixels car l'écriture d'un seul pixel dure 570 ns soit 8 fois celle de la lecture. A cet effet les deux états de signal \overline{ALL} nous renseignent sur la nature de l'adressage fourni par le G.D.P : l'état haut indique que l'on a un accès en écriture et l'état bas un accès en lecture. Le tableau ci-dessous nous donne la correspondance entre les signaux DAD, MSL et \overline{ALL} avec l'adressage de la mémoire d'image.

		MSL				DAD								
		\overline{ALL}	CK	0	1	2	3	0	1	2	3	4	5	6
LECTURE	0	0	X0	X1	X2	V1	h5	h4	h3	h2	h1	h0	v0	
		1					v7	v6	v5	v4	v3	v2	t	
ECRIURE	1	0	X0	X1	X2	Y2	X8	X7	X6	X5	X4	X3	Y1	
		1					Y8	Y7	Y6	Y5	Y4	Y3	Y0	

Fig. II.6 tableau de correspondance entre l'adressage du GDP avec les adresses horizontales et verticales.

C. Organisation et fonctionnement du plan mémoire

C.1 Organisation de la mémoire d'image

Pour adapter l'adressage du GDP au plan mémoire, ce dernier a été organisé selon la figure ci-dessous.

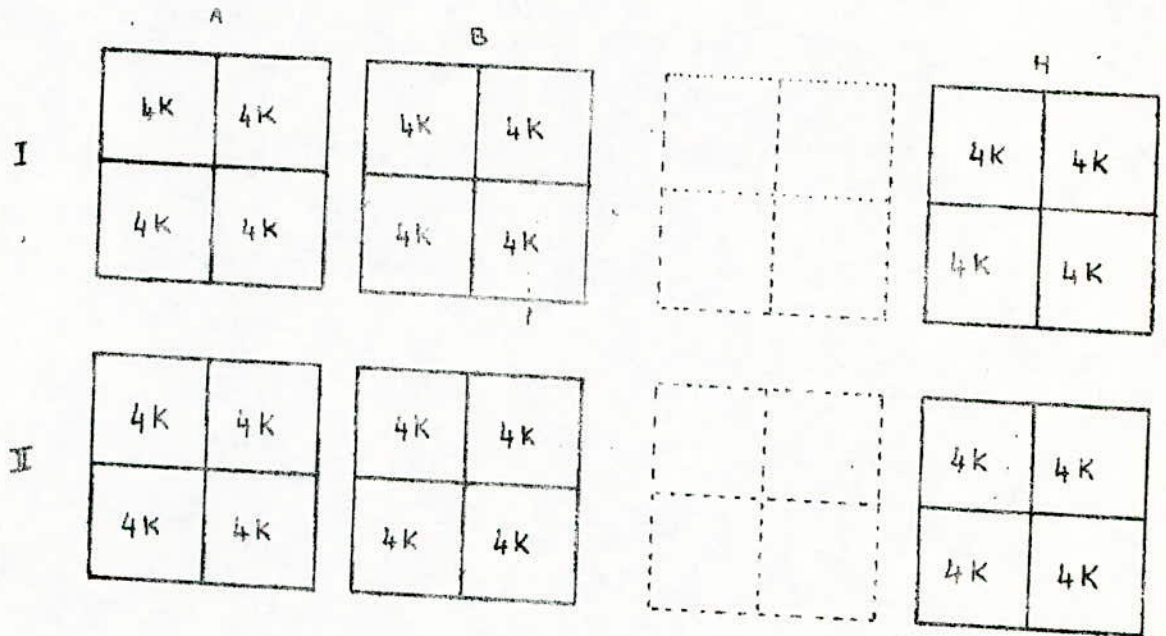


Fig. II.7 Organisation du plan mémoire

La figure II.7 donne une idée générale de l'organisation de la mémoire d'image. Elle est partagée en 8 colonnes A, B, ..., H, composées chacune de 2 parties I et II de 4 pavés, en fait chaque pavé représente une Ram de $4K \times 1$ bit dans le plan mémoire.

C.2 Adressage en lecture ($\overline{ALL} = 0$)

Le G.D.P possède des compteurs internes délivrant les signaux nécessaires pour assurer l'adressage de chaque position du plan mémoire, pour cela il est prévu 6 lignes d'adresses horizontales et 9 lignes d'adresses verticales. Les broches DAD0, ..., DAD5 et MSL3 délivrent selon l'état du signal CK une adresse horizontale suivie de l'adresse verticale correspondante.

Pour avoir une idée plus précise sur l'adressage fourni par le G.D.P, les résultats suivants obtenus à l'aide de l'analyseur logique nous permettent d'interpréter l'état de chaque signal.

1. Adressage en lecture :

	ALL	Lentes								Rapides				Interprétation		
		V7	V6	V5	V4	V3	V2	V1	V0	h5	h4	h3	h2		h1	h0
TRIG:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1 ^{er} Ligne
1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	
2	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	
62	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0	retour ligne
63	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	
TRIG:		0	0	0	0	0	0	0	0	1	1	1	1	1	1	
1	1	1	1	0	1	0	1	1	1	0	1	1	0	1	0	
2	1	1	1	0	1	0	1	1	1	0	1	1	0	1	0	
48	1	1	1	0	1	0	1	1	1	0	1	1	0	1	0	2 ^{ème} ligne
49	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	
50	0	0	0	0	0	0	0	0	1	0	0	0	0	0	1	
51	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	
63	0	0	0	0	0	0	0	0	1	0	0	1	1	1	0	retour ligne
TRIG:	0	0	0	0	0	0	0	0	1	0	0	1	1	1	0	
1	0	0	0	0	0	0	0	0	1	0	0	1	1	1	1	
2	0	0	0	0	0	0	0	0	1	0	1	0	0	0	0	
TRIG:	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	512 ^{ème} ligne
1	1	1	1	0	0	0	1	0	0	1	1	1	1	0	0	
2	1	1	1	0	0	0	1	0	0	1	1	1	1	0	0	
48	1	1	1	0	0	0	1	0	0	1	1	1	1	0	0	
TRIG:	0	1	1	1	1	1	1	1	1	0	0	0	0	0	0	
1	0	1	1	1	1	1	1	1	1	0	0	0	0	0	1	
2	0	1	1	1	1	1	1	1	1	0	0	0	0	1	0	
63	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	

CK	1								0						
	DAE							ALL	DAD						
	6	0	1	2	3	4	5	3	6	0	1	2	3	4	5
t	V7	V6	V5	V4	V3	V2	V1	VO	M5	h4	h3	h2	h1	h0	
ADRESSES Verticales								ADRESSES HORIZONTALES							

Tableau 1 : détails des signaux DAD et MSL3 pour
 $\overline{ALL} = 0$

Sur le tableau 1 les adresses horizontales sont notées h0, ..., h5 et les verticales V0, ..., V7. t occupe la position du bit de poids le plus fort, il représente la parité des lignes, il change dans toutes les trans.

Pour lire le contenu du plan mémoire en procède par groupe de 8 pixels ayant la même adresse dans chaque colonne (fig.II.7), cette adresse étant fixée par les bits h0, ..., h5 et V2, ..., V7 dans chaque Ram, pour compléter cet adressage on doit désigner les 8 boitiers sélectionnés, ceci est réalisé par l'intermédiaire des lignes Vo, t et V1 comme l'indique la figure II.8 ci-dessous.

D'après la position des lignes d'adresses sur le tableau 1, l'ordre de la lecture de toutes les lignes du plan mémoire est donné sur cette même figure.

C.3 Adressage en écriture ($\overline{ALL} = 1$).

L'adresse d'écriture est constituée des 9 bits de poids faible des registres internes X et Y.

X0, X1, X2, X3, X4, X5, X6, X7, X8

Y0, Y1, Y2, Y3, Y4, Y5, Y6, Y7, Y8

2. Adressage en écriture :

L'entrée $\overline{W0}$ du GDP mise à l'état haut permet à celui-ci de fournir les adresses d'écriture d'une manière continue.
 ($\overline{W0}=1$ $\overline{ALL}=1$)

	\overline{ALL}	Lentes								Rapides				Interprétation			
		Y8	Y7	Y6	Y5	Y4	Y3	Y2	Y1	Y0	X8	X7	X6		X5	X4	X3
TRIG:	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1 ^{re} Ligne
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0		
2	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1		
3	1	0	0	0	0	0	0	0	0	0	0	0	0	1	0		
		0	0	0	0	0	0	0	0	0	0	0	0	1	1		
62	1	0	0	0	0	0	0	0	0	1	1	1	1	1	0		
63	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1		
TRIG:	1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	2 ^{ème} Ligne	
1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0		
2	1	0	0	0	0	0	0	0	1	0	0	0	0	0	1		
3	1	0	0	0	0	0	0	0	1	0	0	0	0	1	0		
		0	0	0	0	0	0	0	1	1	1	1	1	1	0		
63	1	0	0	0	0	0	0	0	1	1	1	1	1	1	0		
TRIG:	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1	512 ^{ème} Ligne	
1	1	0	0	0	0	0	0	0	1	1	1	1	1	1	1		
2	1	1	1	1	1	1	1	1	1	0	0	0	0	0	0		
3	1	1	1	1	1	1	1	1	1	0	0	0	0	0	1		
		1	1	1	1	1	1	1	1	1	1	1	1	0	0		
63	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0		
TRIG:	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0		
1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	0		
2	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1		
3	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0		
		1	1	1	1	1	1	1	1	1	1	1	1	1	1		

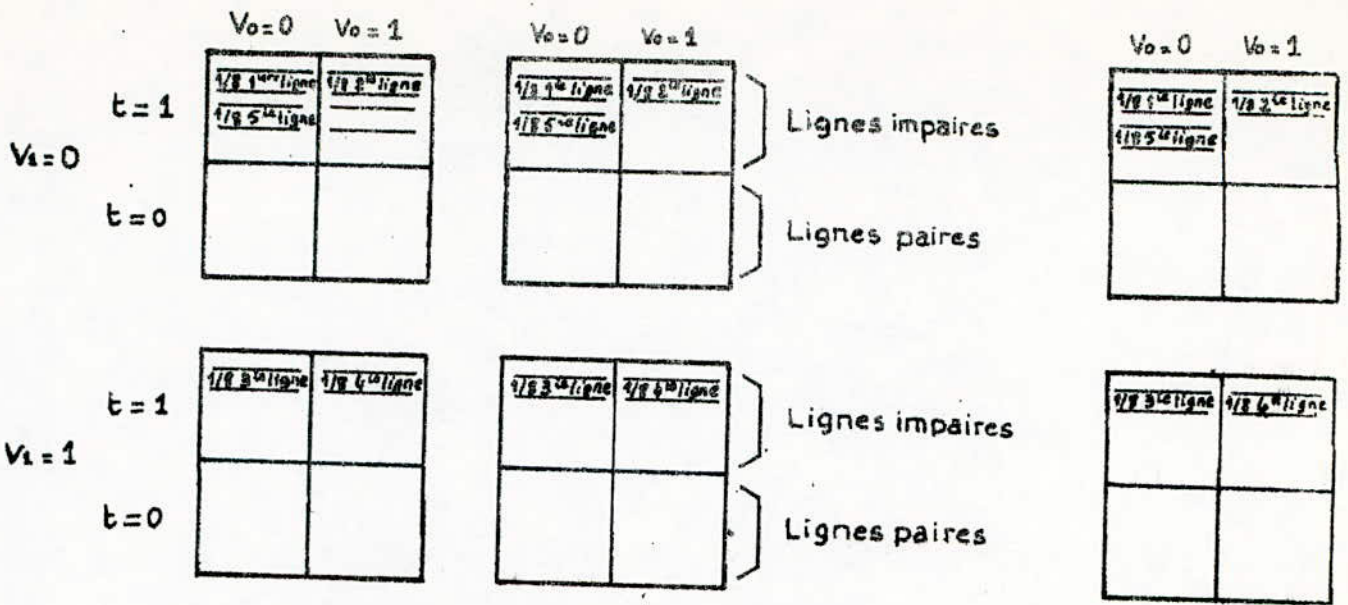


Fig II.8 séquencement des lignes Pendant la lecture

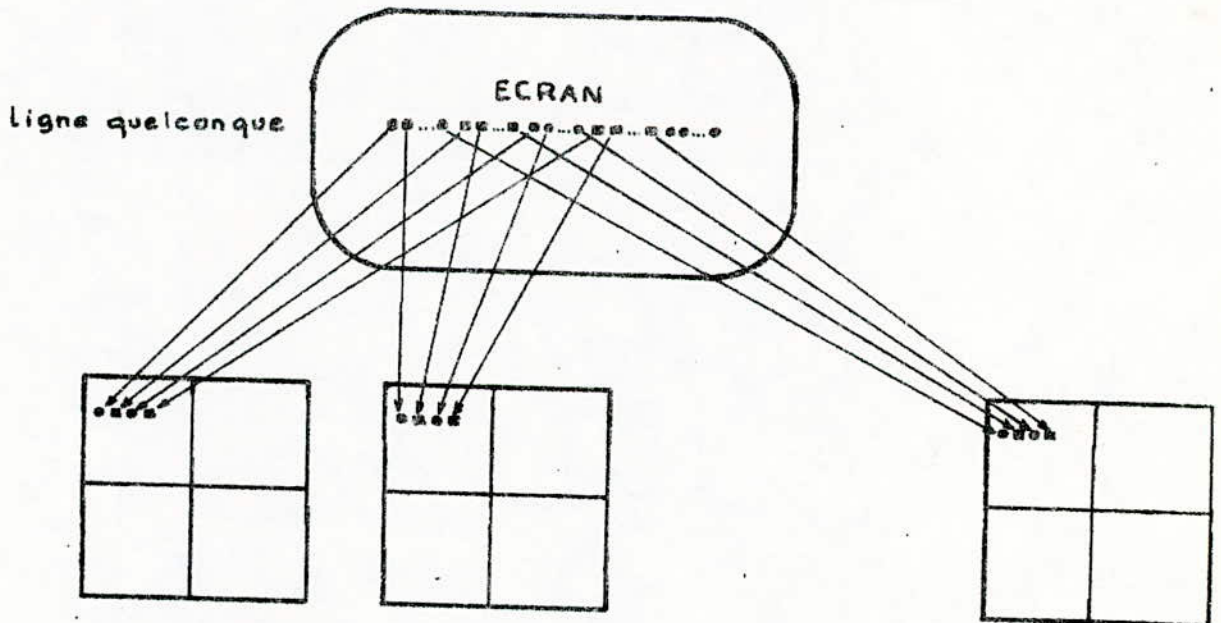


Fig II.9.a. Détails de lecture d'une ligne

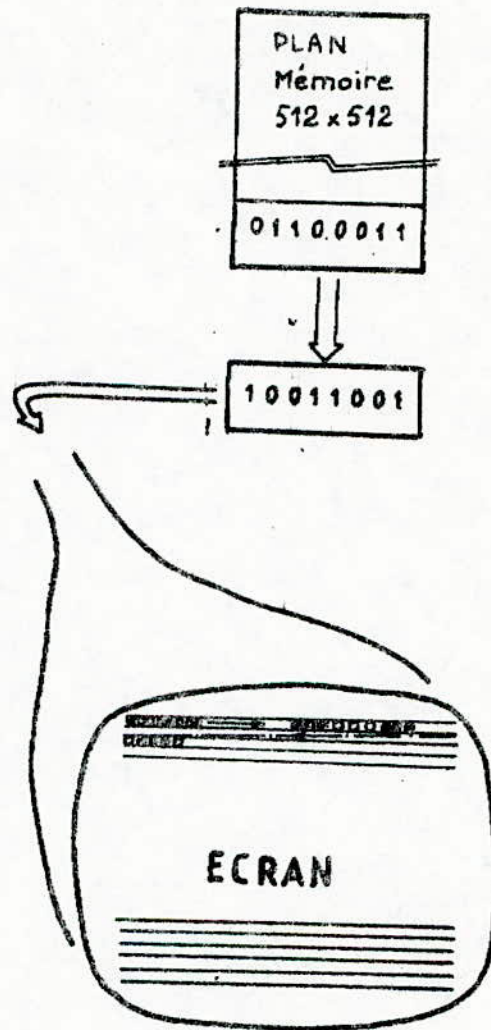


Fig II.9.b Cheminement et transformation
des bits de la mémoire d'image

Le tableau 2 ci-dessous nous montre la correspondance entre les sorties DAD et MSL du G.D.P avec les 9 bits des registres X et Y.

CK	1																
	D A D							MSL	D A D							MSL	
0	1	2	3	4	5	6	3	6	0	1	2	3	4	5	2	1	0
YB	Y7	Y6	Y5	Y4	Y3	Y0	Y2	Y1	X8	X7	X6	X5	X4	X3	X2	X1	X0
A D R E S S E S V E R T I C A L E S								A D R E S S E S H O R I Z O N T A L E S									

Tableau 2 Détails des signaux DAD et MSL pour ALL = 1

Pour respecter le mode entrelacé du balayage T.V lors de la lecture décrit précédemment, l'écriture doit s'effectuer d'une manière directe c'est à dire non entrelacé, ceci est réalisé grâce au bit Y0 issu de la broche DAD6 qui passe du poids le plus fort au poids le plus faible lors de l'écriture, la figure II.10 nous montre l'ordre d'écriture des lignes dans le plan mémoire, sachant que l'écriture de chaque ligne se fait pixel par pixel.

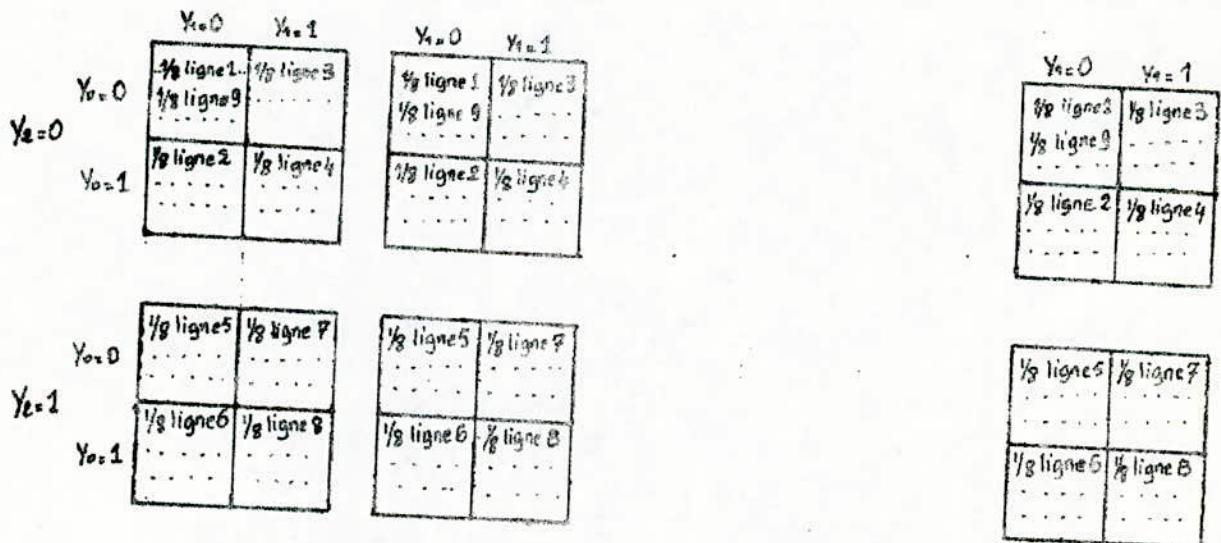


fig. II.10 : séquençement des lignes pendant l'écriture.

C.4 Schéma et fonctionnement du plan mémoire

La figure II.7 montre que le plan mémoire est partagé en huit colonnes (A, B, ..., H) semblables, on va donc choisir les deux premières pour expliquer le fonctionnement qui sera le même pour le reste de la mémoire.

Comme c'est indiqué sur la figure II.7, tous les boîtiers mémoires possèdent la même capacité de $4 K \times 1$ bit, la sélection de chacun d'eux durant les phases de lecture et d'écriture doit être contrôlée par le signal \overline{ALL} dont l'état bas (lecture) permet de valider 8 boîtiers en même temps et l'état haut (écriture) un seul boîtier à la fois.

Le schéma de la figure II.11 ci-dessous montre la sélection d'une Ram parmi les 4 du même groupe à l'aide d'un décodeur 2 vers 4 (le 74LS155) dont les entrées sont V_0 et t si $\overline{ALL} = 0$, Y_1 et Y_0 si $\overline{ALL} = 1$.

Durant l'état bas du signal \overline{ALL} c'est à dire la visualisation, l'accès à tous les boîtiers s'effectue par paquets de 8 sélectionnant ainsi 8 pixels qui entrent simultanément dans un registre à décalage (le 74LS165) pour sortir en série constituant ainsi après avoir été mélangés avec les tops de synchronisation le signal vidéo-composite.

Contrairement à la lecture, l'écriture dans la mémoire d'image s'effectue pixel par pixel, chacun de ces derniers étant sélectionné par les sorties MSL_0 , MSL_1 et MSL_2 qui attaquent un décodeur 3 vers 8 (le 74LS138) validant à sa sortie un bit parmi les 8 disponibles à sa sortie, la sélection d'un boîtier et plus précisément d'un pixel est donc réalisée par le décodeur 2 vers 4, le signal MSL_3 et l'une des combinaisons délivrées par le décodeur 3 vers 8.

C.5 Consommation du plan mémoire.

Quelques caractéristiques de la Ram ET 2147 H1

La 2147 H1 est une mémoire statique de 4096 bits fabriquée en technologie X-MOS à canal N et grille silicium, elle se présente en boîtier plastique de 18 broches.

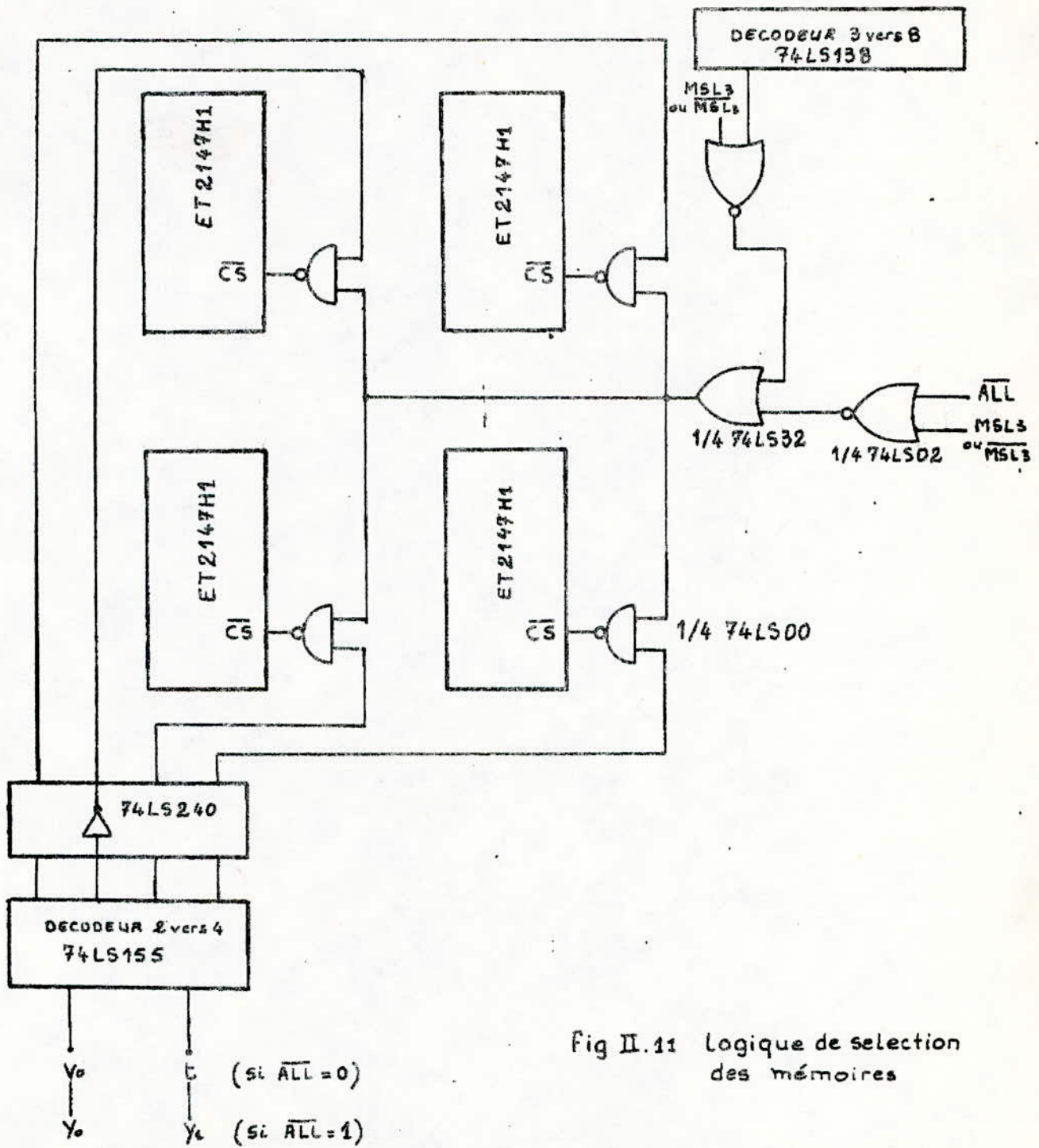


Fig II.11 Logique de selection des mémoires

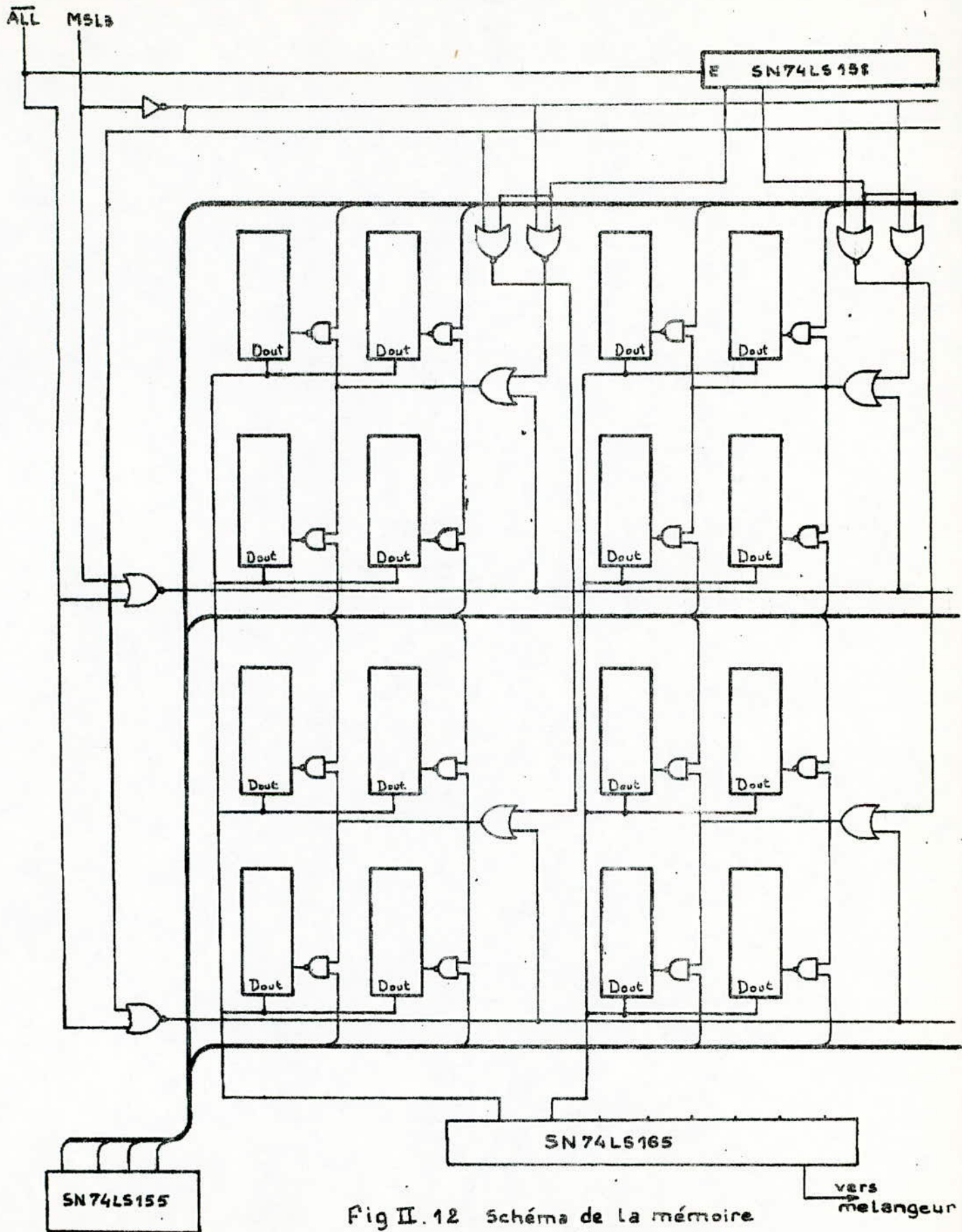


Fig II. 12 Schéma de la mémoire d'image

vers mélangeur

Son brochage ainsi que tous ses caractéristiques sont données en annexe.
 Pour garder une image de 512×512 pixels en mémoire on doit disposer d'une capacité de 512×512 bits soit $256 \text{ K} \times 1 \text{ bit}$, la faible capacité des rams utilisées ($4 \text{ K} \times 1 \text{ bit}$) nous amène à utiliser 64 boitiers pour satisfaire à cette capacité, ce nombre étant relativement important, on doit prévoir une alimentation suffisante pour le fonctionnement du plan mémoire.

Pour cela faisons un calcul approximatif de la consommation totale de la mémoire d'image.

	consommation d'une ram
au repos	30 mA
pendant l'adressage	180 mA

Consommation en lecture

Pendant la phase de lecture, les boitiers sont sélectionnés par groupe de 8 en même temps nous aurons donc.

$$I_{\text{lect}} = 8 \times 180 + 54 \times 30 = 3060 \text{ mA} = \underline{3,06 \text{ A.}}$$

Consommation pendant l'écriture

L'écriture s'effectue pixel par pixel, chaque boitier sera donc validé séparément.

Le courant nécessaire sera alors.

$$I_{\text{Ecr}} = 1 \times 180 + 63 \times 30 = 2070 \text{ mA} = \underline{2,07 \text{ A.}}$$

L'utilisation d'un adressage selectif des rams nous a donc permis de limiter la consommation totale à une valeur ne dépassant pas les 4.A

D. Réalisation du mélangeur

D.1 Rôle du mélangeur

L'image stockée dans le plan mémoire est restituée sur l'écran d'un récepteur T.V noir et blanc, pour ce faire le signal issu du registre à décalage sera mélangé avec les tops de synchronisation lignes et trames délivrés par le G.D.P pour constituer le signal vidéo-composite nécessaire pour attaquer l'amplificateur vidéo du récepteur.

D.2 Schéma et fonctionnement

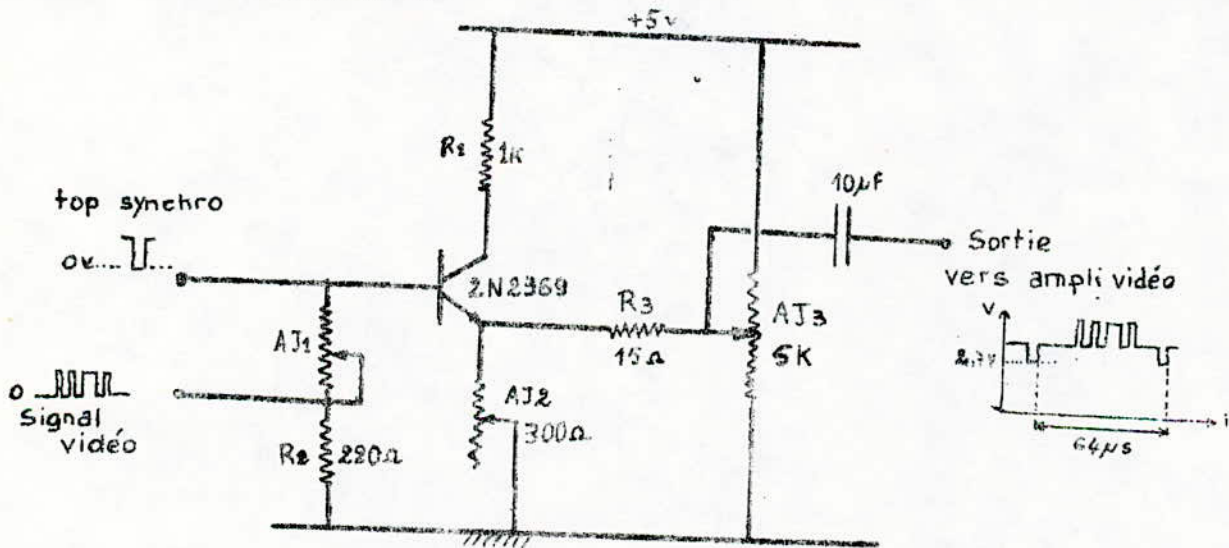


Fig. II.13 Schéma du mélangeur.

Lorsqu'un top de synchronisation arrive sur la base du transistor, celle-ci se trouve au niveau zéro ce qui provoque le blocage de ce transistor. Ceci a pour effet la récupération d'un niveau bas à la sortie, en dehors de ces tops, la base du transistor se trouve à un potentiel positif suffisant pour la polarisation du transistor telle que la forme du signal présent sur la base se retrouve sur son émetteur.

Les résistances ajustables AJ1 et AJ2 servent respectivement à régler le

niveau intermédiaire entre les tops de synchronisation et le signal vidéo et au réglage de l'amplitude totale du signal vidéo composite.

AJ3 permet d'ajouter au signal de sortie une composante continue nécessaire pour l'attaque de l'amplificateur vidéo du moniteur T.V

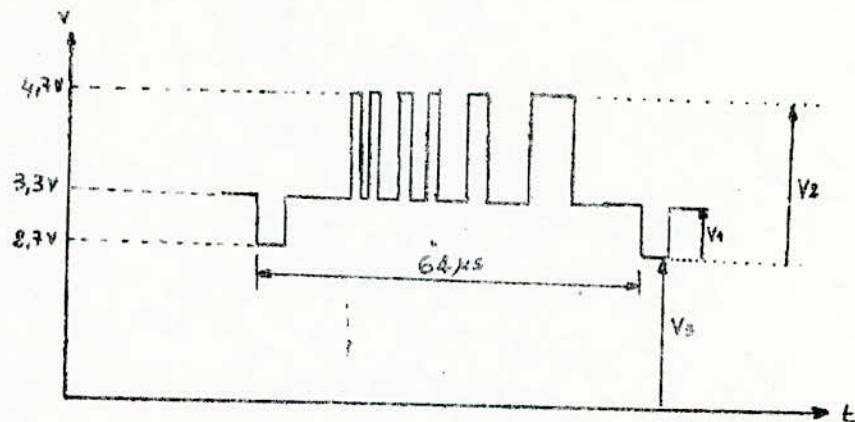


fig. II.14 Signal vidéo composite à l'entrée du moniteur.

- V.1 : réglable à l'aide de AJ 1
- V.2 : réglable à l'aide de AJ 2
- V.3 : réglable à l'aide de AJ 3.

E. Gestion du G.D.P par le microprocesseur MC6802

Le G.D.P possède pour sa programmation 11 registres internes, occupant un espace de 16 adresses, la description et la fonction de chaque registre ont été détaillés dans les paragraphes précédents.

Le moyen de programmation utilisé est un micro-ordinateur conçu autour du microprocesseur MC6802 : Le KIT D 5 de MOTOROLA.

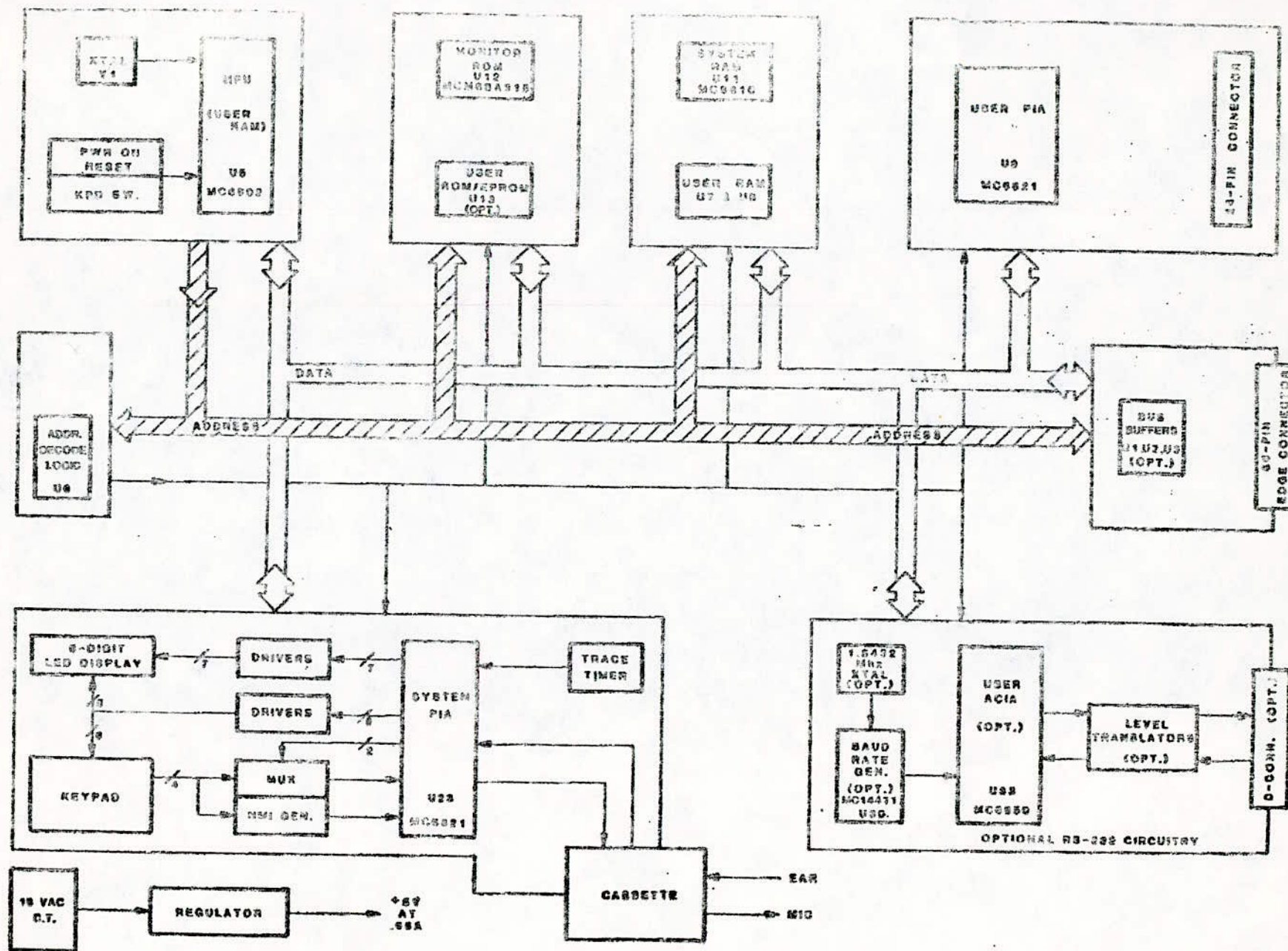


FIGURE 4.1. BLOCK DIAGRAM

E.1 Description générale du micro-ordinateur

Le KIT MEK 6802 DS de MOTOROLA est un micro-ordinateur permettant à l'utilisateur de sinitier à la famille des microprocesseurs MC 6800.

Les 3 composants de base du KIT sont :

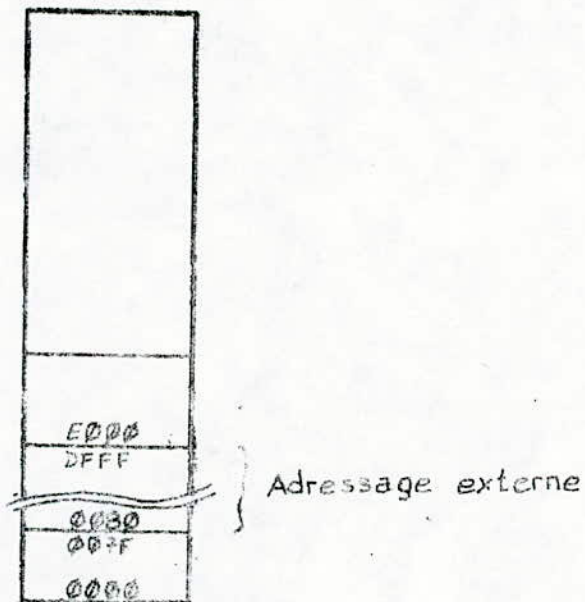
Le MPU 6802 (U5), la ROM "D5BUG" (U12) et le "SYSTEMPIA" (U23).

Le MPU 6802 permet la gestion du KIT sous le contrôle du moniteur contenu dans la ROM "D5BUG".

Le "SYSTEMPIA" permet le dialogue clavier-microprocesseur en entrée et microprocesseur-afficheurs en sortie.

Le langage utilisé sur le KIT est l'assembleur hexadécimal.

E.2 Adressage externe du KIT



Pour cet adressage de capacité 56 K positions mémoires, le KIT utilise pour la validation en sortie ou en entrée du bus de données une porte NAND (U4A) et le C.I DATA BUFFER (U3).

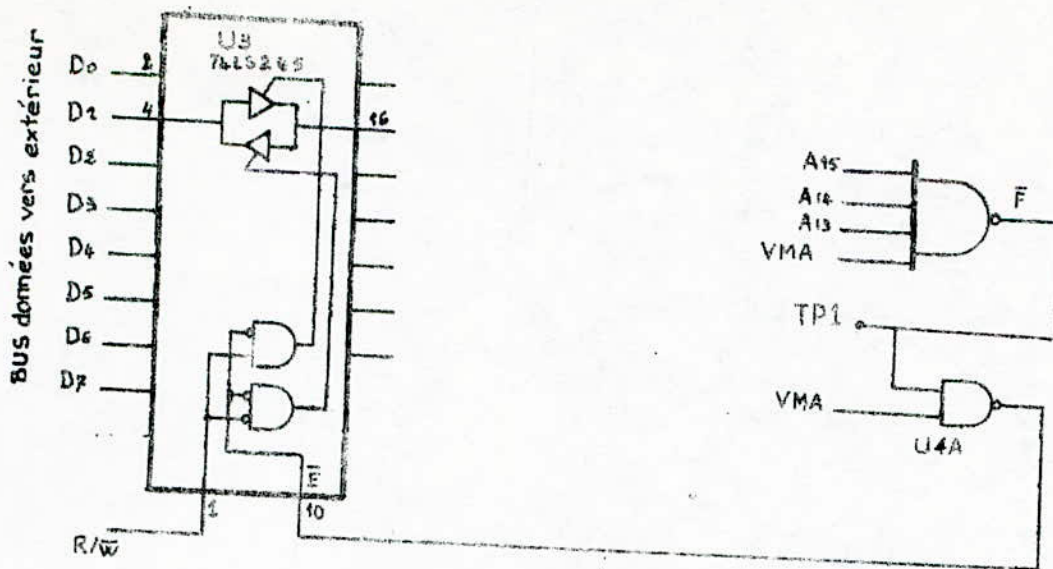


Fig II.15

à la sortie de la porte NAND on a :

$$\begin{aligned}
 f &= \overline{F} \text{ VMA} = \overline{\text{VMA} \cdot \text{A15} \cdot \text{A14} \cdot \text{A13}} \text{ VMA} \\
 &= \text{VMA} (\overline{\text{VMA}} + \overline{\text{A15}} + \overline{\text{A14}} + \overline{\text{A13}}) \\
 &= \text{VMA} \cdot \overline{\text{VMA}} + \text{VMA} (\overline{\text{A15}} + \overline{\text{A14}} + \overline{\text{A13}}) \\
 &= \text{VMA} (\overline{\text{A15}} + \overline{\text{A14}} + \overline{\text{A13}})
 \end{aligned}$$

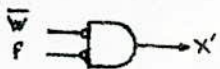
dans U3 : pour une lecture $R/\overline{W} = R = 1$



$$X = R \cdot \overline{f} = R \text{ VMA} (\text{A15} + \text{A14} + \text{A13})$$

Ainsi si l'une des lignes A15, A14 ou A13 est au niveau logique "0", le DATA BUFFER se trouve validé en entrée pour une lecture du bus de données.

Pour une écriture $R/\overline{W} = \overline{W} = "0"$.



$$X' = \overline{W} \cdot \overline{f} = \overline{W} \cdot \text{VMA} (\text{A15} + \text{A14} + \text{A13})$$

La fonction X' valide le DATA BUFFER en sortie pour permettre une écriture sur le bus de données à condition que l'une des lignes A15, A14 ou A13 soit à "0".

Ces conditions doivent être respectées vu que l'adressage externe s'étend de 0000 jusqu'à DFFF, si A15 A14 et A13 sont toutes au niveau "1" on sort de la zone réservée aux adresses externes délimitée par le KIT.

E.3 Liaison G.D.P micro-ordinateur.

La liaison du KIT avec le G.D.P est réalisée selon le schéma de la figure II.16 suivante.

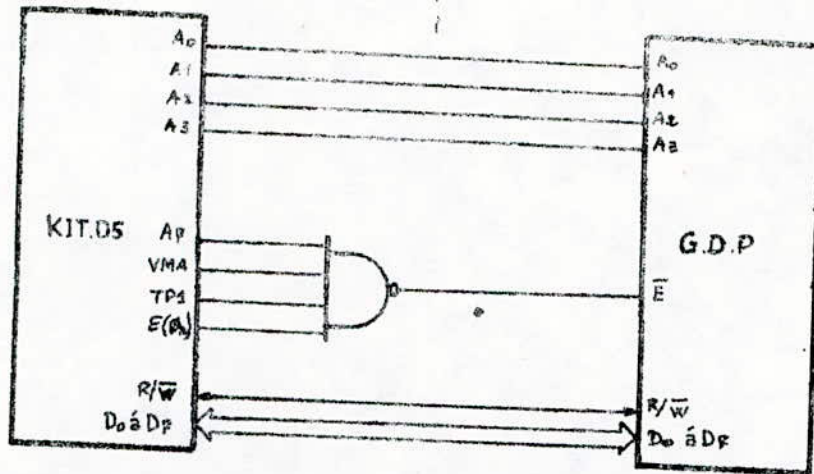


Fig II.16 Liaison
G.D.P-microprocesseur

L'entrée \bar{E} du G.D.P passe à l'état bas uniquement pendant la communication du microprocesseur avec le processeur graphique, celle-ci est conditionnée par les signaux E ($\phi 2$), VMA, A7 et TP1 qui doivent tous être à l'état haut.

- TP1 doit être haut pour respecter l'adressage externe du KIT.
- A7 doit être aussi à l'état haut pour éviter de chevaucher sur la mémoire interne du microprocesseur qui occupe les adresses comprises entre 0000 et 007F.
- Quant aux sorties VMA et E ($\phi 2$) elles permettent respectivement la validation et la synchronisation des adresses externes et donc un bon adressage vis à vis du microprocesseur.

Toutes ces considérations nous conduisent à dresser le tableau faisant correspondre les registres internes du GDP avec leur adresse délivrées par le KIT.

Adresses	Registres
0080	CMD, STATUS
0081	CTRL1
0082	CTRL2
0083	CSIZE
0084	Réservé
0085	DELTA X
0086	Réservé
0087	DELTA Y
0088	X Poids fort
0089	X Poids faible
008A	Y Poids fort
008B	Y Poids faibles
008C	XLP
008D	YLP
008E	Réservé
008F	Réservé

Tableau 3. Adresses des registres du G.D.P

III. PROGRAMMATION

A. Généralités

Avant de déclencher une commande, le microprocesseur doit s'assurer que le G.D.P est correctement initialisé et surtout libre pour recevoir une nouvelle commande.

Pour l'initialisation, le microprocesseur peut éventuellement modifier les registres de contrôle CTRL1 et CTRL2, les registres de coordonnées X et Y, les registres de projection ΔX et ΔY ou le registre d'échelle CSIZE. Pour cela il doit lire le bit 2 du registre d'état STATUS et attendre que le processeur ait terminé la commande de précédente pour lui donner un nouvel ordre. Pendant le déroulement d'une commande, le microprocesseur est libre d'effectuer toute autre opération. Il ne doit cependant jamais lire ni écrire dans les registres internes utilisés par le processeur graphique.

A.1 Tracé de vecteurs.

Deux sortes de vecteurs peuvent être tracés : des "petits vecteurs" de projections ΔX et $\Delta Y < 4$ pixels et des "grands vecteurs". Le tracé de ces derniers met en jeu les registres CTRL1, CTRL2, X, Y, ΔX , ΔY , et CMD du processeur graphique.

Grands vecteurs

Exemple : soit à tracer le vecteur d'origine .

$X = X_0$, $Y = Y_0$ et d'accroissement

$\Delta X = \Delta X_0$, $\Delta Y = \Delta Y_0$ en trait continu.

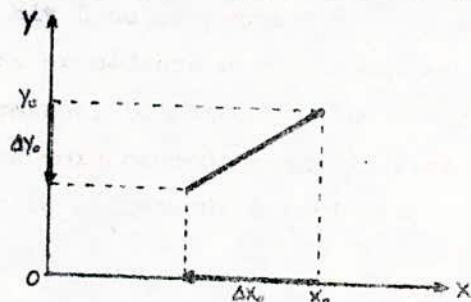


Fig. III.1 : Description d'un grand vecteur.

L'organigramme du tracé de ce vecteur est donné par la figure III.2

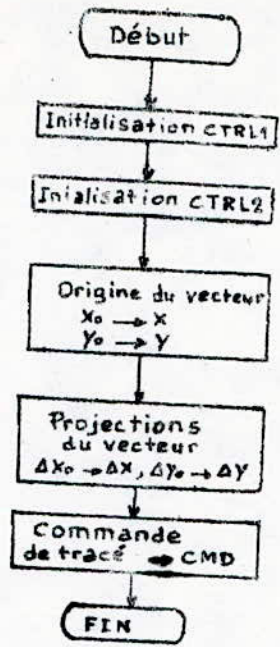


Fig. III.2 Organigramme de tracé d'un grand vecteur.

Petits vecteurs.

Exemple : Soit à tracer une portion de courbe à l'aide de quatre petits vecteurs.

Origine X = 8
Y = 18

- | | |
|-----------|----------|
| Vecteur 1 | X1 = 1 |
| | Y1 = - 4 |
| Vecteur 2 | X2 = 2 |
| | X3 = - 3 |
| Vecteur 3 | X3 = 2 |
| | Y3 = - 2 |
| Vecteur 4 | X3 = 3 |
| | Y4 = - 1 |

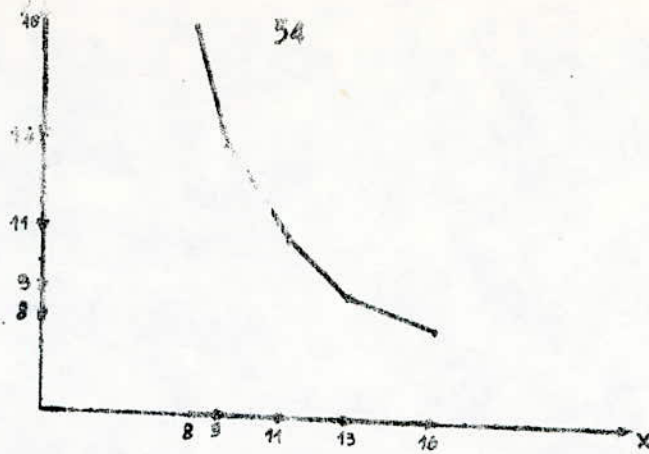


Fig. III.3 Description d'une portion de courbe.

Dans le tracé des petits vecteurs, les registres ΔX et ΔY ne sont plus pris en compte. C'est l'ordre de commande inscrit dans le registre CMD qui indique ses projections. L'organigramme se simplifie et le nombre d'instructions pour exécuter ce tracé se trouve réduit.

La figure III.4 représente l'organigramme de tracé de l'exemple considéré. Contrairement au tracé des grands vecteurs, les deux registres X et Y ne sont plus chargés avant chaque commande, mais dans tous les cas l'utilisateur doit s'assurer de la fin de l'exécution de la commande en cours avant de donner un nouvel ordre.

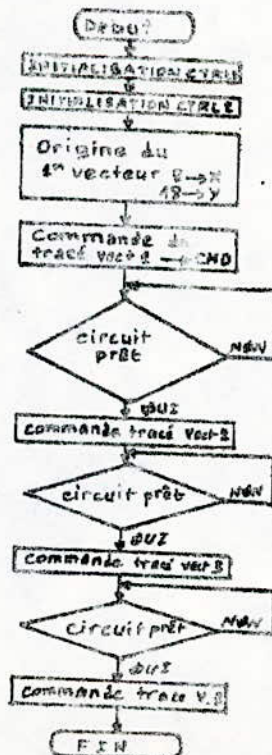


Fig. III.4 Organigramme de tracé d'une portion de courbe

A.2 Tracé de caractères.

Le générateur de caractères du processeur graphique se charge lui-même de traduire sous forme de bits à 0 ou à 1 dans la mémoire d'image, les pixels constituant le caractère à afficher. Le code ASCII de ce dernier est transmis dans le registre de commandes CMD (Voir fig. I.2.10). Mais il faut initialiser au préalable les registres CTRL1, CTRL2 et CSIZE. L'origine (abscisse et ordonnée) du premier caractère à écrire sera chargée dans les registres X et Y.

L'organigramme de la figure III.6 traduit l'exemple de tracé des caractères A, B, C, D, E, F, G, H de la façon indiquée par la figure III.5 suivante.

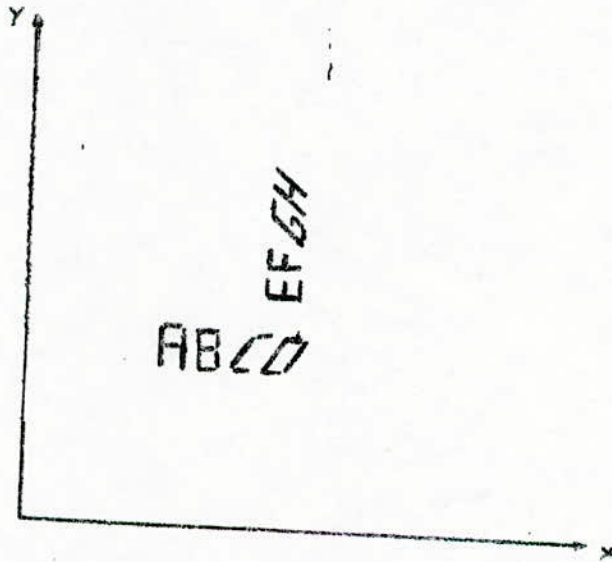


fig. III.5 tracé des caractères.

* Tracé des pavés 5 x 8 et 4 x 4

Hormis les 96 caractères du code ASCII disponibles dans la mémoire ROM du circuit, le processeur possède deux autres caractères pleins appelés "pavés".

Ils peuvent servir à remplir des zones uniformes sur l'écran.

Les registres d'échelle CSIZE et de direction CTRL2 sont actifs sur les deux pavés, ce qui offre une très grande souplesse d'utilisation.

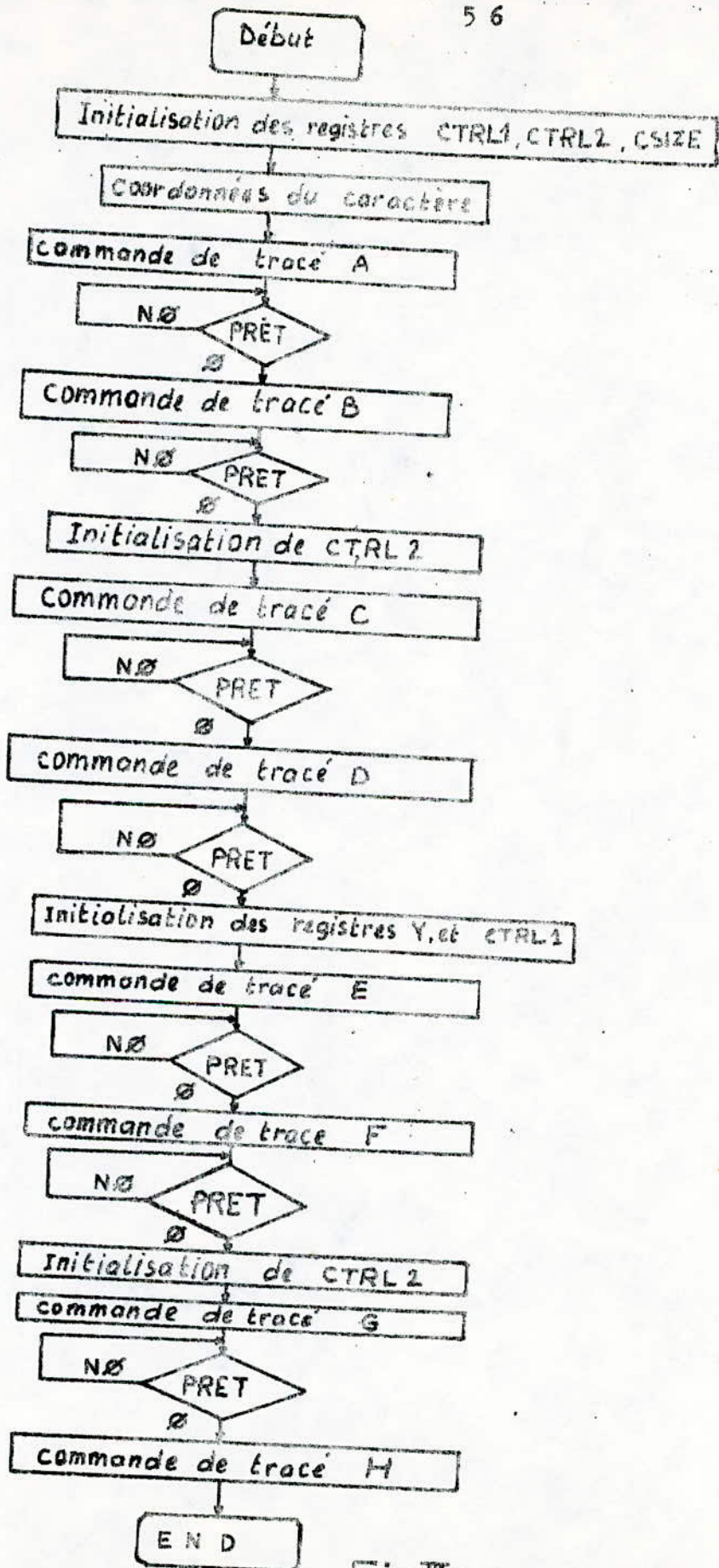


Fig. III 6 Organigramme de tracé des caractères.

Les pavés disponibles sont donc de taille :

Pavé 1 : 5P x 8Q

Pavé 2 : 4P x 4Q

A.3 Effacement d'écran.

Quatre commandes d'effacement de l'écran sont disponibles, chacune d'elles positionne entre autre toute la mémoire d'image à l'état correspondant à "vidéo-noire" (sauf pour la commande OC)

- \$ 04 → CMD : effacement simple de l'écran.
- \$ 05 → CMD : effacement de l'écran et remise à zéro des registres X et Y.
- \$ 07 → CMD : effacement de l'écran et initialisation des autres registres.

\$ 11 → CSIZE

0 → X

0 → Y

0 → X

0 → Y

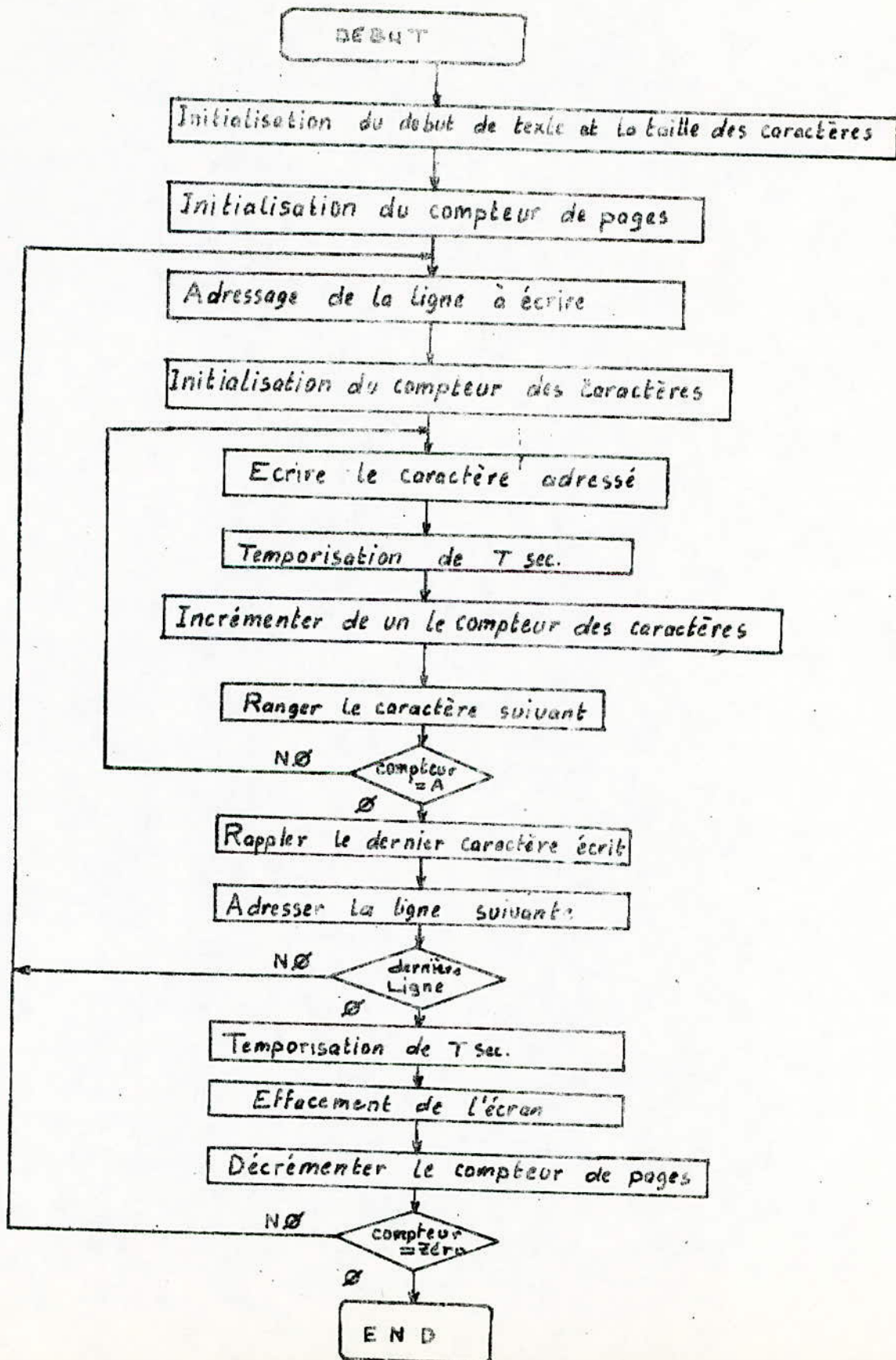
- \$ 0C → CMD : effacement avec plume ou gomme baissée (suivant CTRL?)

A.4 Modification indirecte des registres.

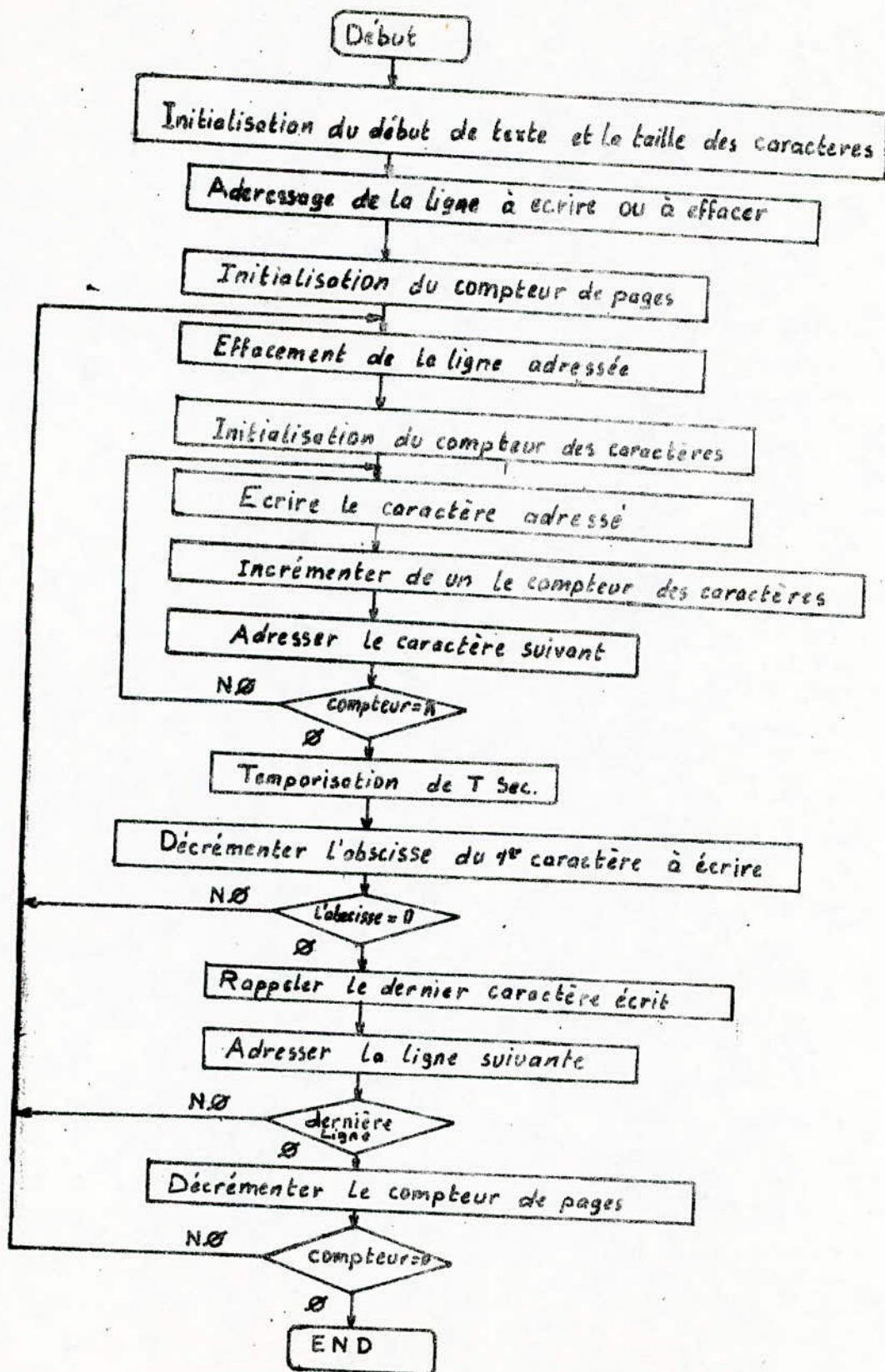
Certains registres peuvent être initialisés par différentes commandes. Elles sont au nombre de six.

- \$ 00 → CMD : CTRL? (b1) = 1 (plume choisie)
- \$ 01 → CMD : CTRL? (b1) = 0 (Gomme choisie)
- \$ 02 → CMD : CTRL? (b0) = 1 (Crayon ou gomme baissé)
- \$ 03 → CMD : CTRL? (b0) = 0 (Crayon ou gomme levé)
- \$ 0D → CMD : 0 → X (remise à zéro du registre X)
- \$ 0E → CMD : 0 → Y (remise à zéro du registre Y)

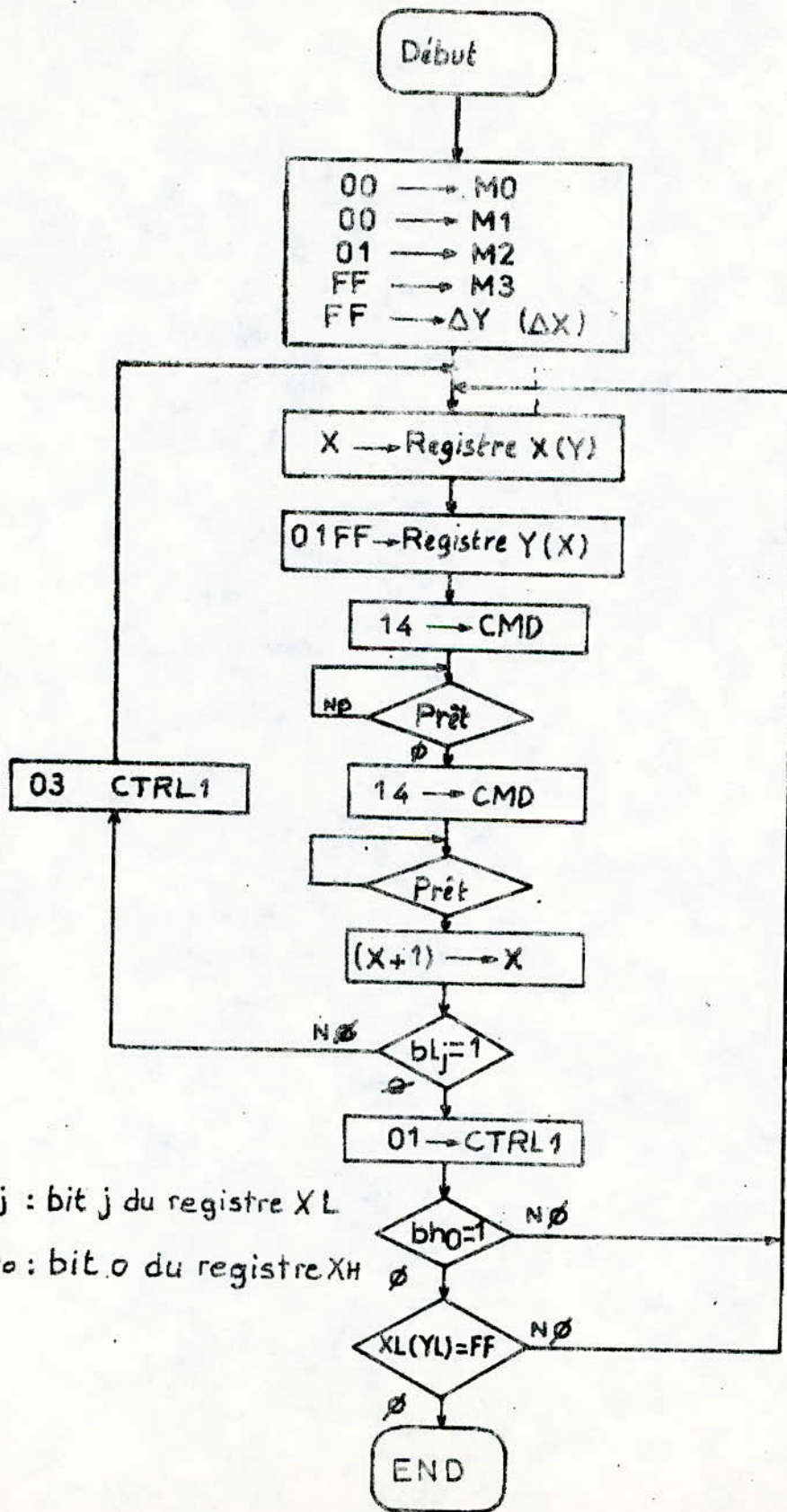
Visualisation d'un texte avec temporisation

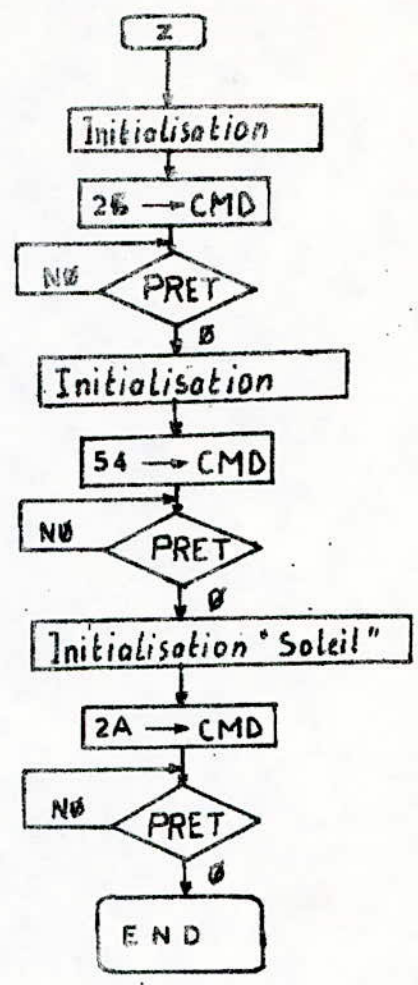
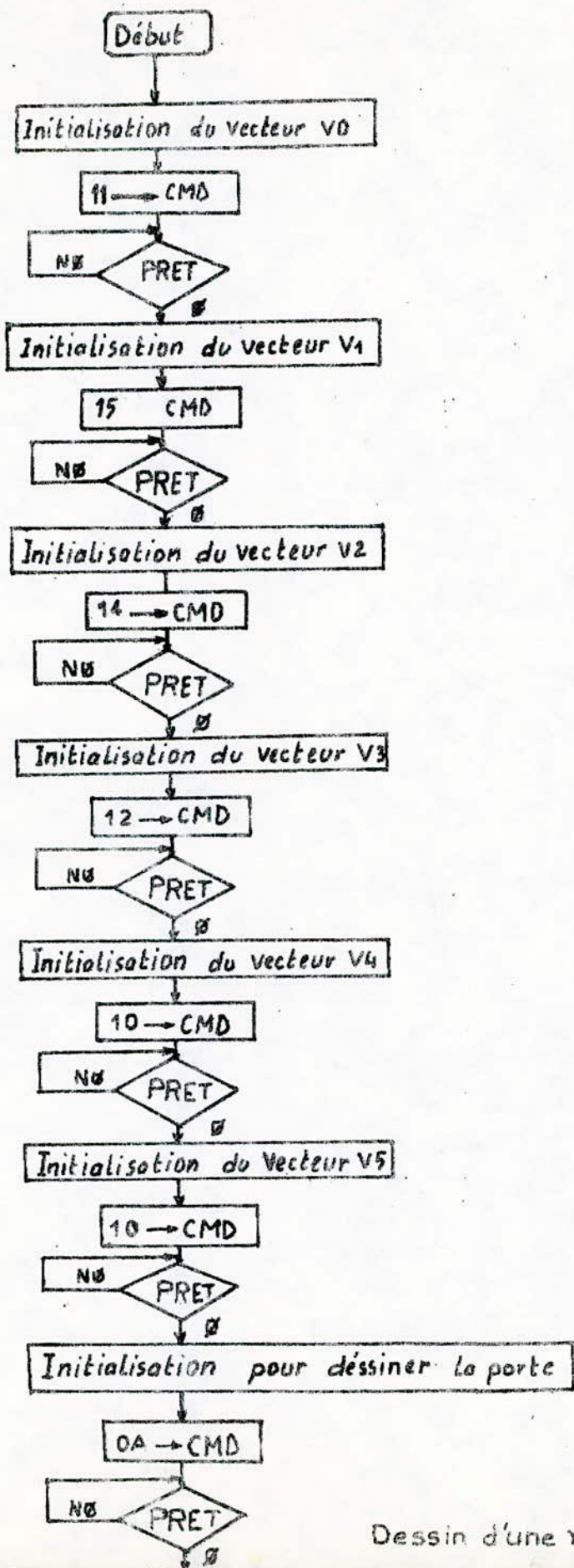


Defilement d'un texte vers la gauche
Ligne par ligne.



Tracé de barres verticales ou Horizontales





Dessin d'une maison

Initialisation

Subroutine "PRET."

E2 00	B6 00 80	Lp	LDA STATUS	Lire le Reg. STATUS
E2 03	85 04		BIT A#04	Est-ce que le bit 2 de STATUS
E2 05	27 F9		BEQ Lp	est à 1?
E2 07	39		RTS	

Subroutine "EFF."

E3 10	B6 03		LDA A#03	select. de la plume baissée
E3 12	B7 00 81		STA ACTRL1	
E3 15	86 0C		LDA A#0C	
E3 17	B7 00 80		STA ACMD	
E3 1A	B6 00 80	Lp	LDA STATUS	Lire Le Reg. STATUS.
E3 1D	85 04		BIT A#04	Est-ce que le bit 2 de STATUS
E3 1F	27 F9		BEQ Lp	est égale à 1?
E3 21	39		RTS	

Ecriture et Défilement d'un texte vers la gauche.

E0 10	86 00		LDA A#00	
E0 12	B7 00 82		STA ACTRL2	
E0 15	86 88		LDA A#88	choix de la taille du caract.
E0 17	B7 00 83		STA ACSIZE	
E0 1A	CE E1 20		LDX #E120	charger l'adresse du début
E0 1D	FF E0 00		STX E000	de texte.
E0 20	86 04		LDA A#04	Init. du compteur de pages.
E0 22	B7 E0 0B		STAA E00B	
E0 25	CE 01 A0	saît.	LDX #01A0	chargé de l'adresse de la
E0 28	FF E0 06		STX E006	1 ^{re} ligne à écrire ou eff.
E0 2B	CE 01 E0	Lp6	LDX #01E0	
E0 2E	FF E0 02		STX E002	
E0 31	7F E0 04	Lp3	CLR E004	Init. du compteur de pages
E0 34	86 01		LDA A#01	
E0 36	B7 E0 05		STAA E005	
E0 39	CE 00 00	Lp1	LDX #0000	
E0 3C	FF 00 88		STX Reg.X	
E0 3F	86 01		LDA A#01	selection de la gomme baissée.
E0 41	B7 00 81		STA ACTRL1	
E0 44	FE E0 06		LDX E006	Ranger l'adresse de la ligne
E0 47	FF 00 8A		STX Reg.Y	dans le Reg.Y
E0 4A	86 0A		LDA A#0A	
E0 4C	B7 00 80		STA ACMD	Ecriture du pavé SPX80.
E0 4F	BD E2 00		JSR "PRET"	Le G.D.P
E0 52	7C E0 04		INC E004	Incr. Le compt. de pages.

EO 55	B6	EO 04	LDA E004	
EO 58	81	0B	CMPA #0B	Est. ce que 11 pavés sont
EO 5A	26	E3	BNE Lp1	tracés
EO 5C	7F	EO 04	CLR EO 04	Init. du compt. de pavés.
EO 5F	B6	EO 05	LDA AEO05	
EO 62	81	00	CMPA #00	
EO 64	27	0C	BEQ Lp1	
EO 66	CE	00 28	LDX #0028	
EO 69	FF	00 88	STX Reg. X	
EO 6C	7A	EO 05	DEC EO 05	
EO 6F	7E	EO 3F	JMP Lp1	
EO 72	7F	EO 0E	Lp1 CLR E00E	Init. du compt. des caract.
EO 75	86	03	LDA A#03	Select. de la plume baissée.
EO 77	B7	00 81	STA ACTRL1	
EO 7A	FE	EO 02	LDX EO 02	
EO 7D	FF	00 88	STX Reg. X	
EO 80	FE	EO 00	LDX EO 00	
EO 83	A6	00	Lp2 LDA ADD, X	
EO 85	FF	EO 0C	STX EO 0C	
EO 88	FE	EO 06	LDX EO 06	
EO 8B	FF	00 8A	STX Reg. Y	
EO 8E	87	00 80	STA A CMD	tracé du caract. codé
EO 91	BD	E2 00	JSR "PRET"	
EO 94	FE	EO 0C	LDX EO 0C	
EO 97	08		INX	
EO 98	FF	EO 08	STX E008	
EO 9B	7C	EO 0E	INC E00E	Incr. du compt. des caract.
EO 9E	B6	EO 0E	LDA E00E	
EO A1	81	0A	CMPA #0A	Est. ce que 10 caract. sont
EO A3	26	DE	BNE Lp2	tracés ?
EO A5	CE	01 FF	LDX #01FF	
EO A8	BD	F1 79	JSR "OLYX"	La sous-prog. temporisation.
EO AB	B6	EO 03	LDA AEO 03	
EO AE	80	20	SUB A #20	hétérologie à gauche des caract.
EO 80	87	EO 03	STA EO 03	de 20 pixels.
EO B3	81	00	CMPA #00	
EO B5	27	03	BEQ Lp3	
EO B7	7E	EO 31	JMP Lp3	
EO BA	FE	EO 02	Lp3 LDX EO 02	
EO BB	8C	00 00	CPX #0000	
EO C0	27	0B	BEQ Lp4	
EO C2	7F	EO 02	CLR EO 02	
EO C5	86	EO	LDA A#EO	
EO C7	87	EO 03	STA EO 03	
EO CA	7E	EO 31	JMP Lp3	

E0 C6	86	E0	07	LDA	E0 07	
E0 D0	80	50		SUB	A#50	
E0 D2	87	E0	07	STA	E0 07	
E0 D5	81	B0		CMP	A#B0	
E0 D7	26	03		BNE	Lp5	
E0 D9	7F	E0	06	CLR	E0 06	
E0 DC	FE	E0	08	Lp5 LDX	E0 08	
E0 DF	FF	E0	00	STX	E0 00	
E0 E2	FE	E0	06	LDX	E0 06	
E0 E5	8C	00	10	CPX	# 00 10	Est. ce que la dernière
E0 E8	27	03		BEQ	Lp6	ligne est écrite?
E0 EA	7E	E0	2B	JMP	Lp6	
E0 ED	86	04		Lp6 LDA	A#04	
E0 EF	87	E0	0A	STA	E0 0A	
E0 F2	CE	FF	FF	Lp7 LDX	#FFFF	
E0 F5	BD	F1	79	JSR	"DLYX"	Temporisation de
E0 F8	7A	E0	0A	DEC	E0 0A	4x0.5 sec.
E0 FB	86	E0	0A	LDA	E0 0A	
E0 FE	81	00		CMP	A#00	
E1 00	26	F0		BNE	Lp7	
E1 02	8D	E3	10	JSR	"E33"	
E1 05	7A	E0	0B	DEC	E0 0B	Déc. le compt. de pages.
E1 08	86	E0	0B	LDA	E0 0B	
E1 0B	81	00		CMP	A#00	Est. ce que la dernière
E1 0D	27	03		BEQ	Lp7	page est écrite?
E1 0F	7E	E0	25	JMP	"suit"	
E1 12	3F			SWI		

Ecriture d'un texte avec temporisation

E330	86	00		LDA	A#00	
E332	87	00	82	STA	ACTRL2	
E335	86	88		LDA	A#88	choix de la taille du
E337	87	00	83	STA	ACSIZE	caractère.
E33A	CE	E1	20	LDX	#E1 20	chargé de l'adresse
E33D	FF	E0	00	STX	E0 00	du début de texte.
E340	86	04		LDA	A#04	Init. du compt. de pages
E342	87	E0	0B	STA	A E0 0B	
E345	CE	01	A0	suit. LDX	#01 A0	L'adresse de la 1 ^{re} ligne
E348	FF	E0	06	STX	E0 06	à écrire.
E34B	CE	00	00	Lp4 LDX	#00 00	L'abscisse du 1 ^{er} caract.
E34E	FF	E0	02	STX	E0 02	à écrire
E351	7F	E0	0E	CLR	E0 0E	Init. du compt. des caract.

E3 54	86 03	LDA A#03	
E3 56	B7 00 81	STA ACTRL1	select. de la plume baissée
E3 59	FE E0 02	LDX E002	
E3 5C	FF 00 88	STX Reg. X	
E3 5F	FE E0 00	LDX E000	
E3 62	A6 00	LDA A00X	
E3 64	FF E0 0C	STX E00C	
E3 67	FE E0 06	LDX E006	
E3 6A	FF 00 8A	STX Reg. Y	
E3 6D	B7 00 8D	STA A CMD	commande écriture du caract.
E3 70	BD E2 00	JSR "PRET"	
E3 73	CE 01 FF	LDX # 01FF	
E3 76	BD F1 79	JSR "DLYX"	Le sous-prog. temporisation.
E3 79	FE E0 0C	LDX E00C	
E3 7C	08	INX	
E3 7D	FF E0 08	STX E008	
E3 80	7C E0 0E	INC E00E	Incr. du compt. des caract.
E3 83	B6 E0 0E	LDA E00E	
E3 86	81 0A	CMP A#0A	
E3 88	27 03	BEG Lp1	Est-ce que les 10 caract. sont tracés
E3 8A	7E E3 62	JMP Lp1	
E3 8D	FE E0 08	LDX E008	
E3 90	FF E0 00	STX E000	
E3 93	B6 E0 07	LDA E007	
E3 96	80 50	SUB A#50	
E3 98	B7 E0 07	STA A E007	
E3 9B	81 B0	CMP A#B0	
E3 9D	26 03	BNE Lp2	
E3 9F	7F E0 06	CLR E006	
E3 A2	FE E0 06	LDX E006	
E3 A5	8C 00 1D	CPX # 001D	Est-ce que la dernière ligne est écrite ?
E3 A8	27 03	BEG Lp3	
E3 AA	7E E3 4B	JMP Lp4	
E3 AD	86 04	LDA A#04	
E3 AF	B7 E0 0A	STA A E00A	Incr. du compt. temporisation.
E3 B2	CE FF FF	LDX # FFFF	
E3 B5	BD F1 79	JSR "DLYX"	Le sous-prog. temporisation.
E3 B8	7A E0 0A	DEC E00A	Déc. Le compt. temporisation
E3 BB	B6 E0 0A	LDA E00A	
E3 BE	81 00	CMP A#00	
E3 C0	26 F0	BNE Lp4	
E3 C2	BD E3 10	JSR "EFF."	Le sous-prog. effacement de l'écran
E3 C5	7A E0 0B	DEC E00B	Déc. le compt. de pages.
E3 C8	B6 E0 0B	LDA E00B	
E3 CB	81 00	CMP A#00	
E3 CD	27 03	BEG Lp5	Est-ce que la dernière page est écrite.
E3 CF	7E E3 45	JMP "SUIT."	
E3 D2	3F	SWI	

Dessin d'une maison à l'aide des vecteurs

ED 00	86 80	LDA A#80		
ED 02	B7 00 85	STA A Reg. ΔX	} Initialisation	
ED 05	86 50	LDA A#50		
ED 07	B7 00 87	STA A Reg. ΔY		
ED 0A	CE 00 40	LDX #00 40		
ED 0B	FF 00 88	STX Reg. X		
ED 10	CE 00 FD	LDX #00FD		
ED 13	FF 00 8A	STX Reg. Y		
ED 16	86 11	LDA A#11		
ED 18	B7 00 80	STA A CMD		
ED 1B	BD E2 00	JSR "PRET"		. commande de tracé du vect.
ED 1E	86 60	LDA A#60	} Initialisation	
ED 20	B7 00 85	STA A Reg. ΔX		
ED 23	86 15	LDA A#15		
ED 25	B7 00 80	STA A CMD		
ED 28	BD E2 00	JSR "PRET"		. commande de tracé du vect.
ED 2B	CE 00 50	LDX #00 50	} Initialisation	
ED 2E	FF 00 88	STX Reg. X		
ED 31	CE 00 F8	LDX #00F8		
ED 34	FF 00 8A	STX Reg. Y		
ED 37	86 A0	LDA A#A0		
ED 39	B7 00 87	STA A Reg. ΔY		
ED 3C	86 14	LDA A#14	} Initialisation	
ED 3E	B7 00 80	STA A CMD		
ED 41	BD E2 00	JSR "PRET"		. commande de tracé du vect.
ED 44	CE 01 10	LDX #0110		
ED 47	FF 00 88	STX Reg. X		
ED 4A	86 12	LDA A#12	} Initialisation	
ED 4C	B7 00 80	STA A CMD		
ED 4F	BD E2 00	JSR "PRET"		. commande de tracé du vect.
ED 52	CE 00 F8	LDX #00 F8		
ED 55	FF 00 8A	STX Reg. Y	} Initialisation	
ED 58	CE 00 40	LDX #00 40		
ED 5B	FF 00 88	STX Reg. X		
ED 5E	86 E0	LDA A#E0		
ED 60	B7 00 85	STA Reg. ΔX		
ED 63	86 10	LDA A#10		
ED 65	B7 00 80	STA A CMD	} Initialisation	
ED 68	BD E2 00	JSR "PRET"		. commande de tracé du vect.
ED 6B	86 20	LDA A#20		
ED 6D	B7 E2 0A	STAA E20A		
ED 70	86 0F	LDA A#0F		
ED 72	B7 00 85	STA A Reg. ΔX	} Initialisation	
ED 75	CE 00 00	LDX #00 00		
ED 78	FF 00 88	STX Reg. X		
ED 7B	CE 00 58	LDX #0058		
		42		

ED7E	FF 0D 88	STX Reg. Y	
ED 81	86 10	LDA A#10	
ED 83	B7 00 80	STA A CMD	
ED 86	BD E2 00	JSR "PRET"	
ED 89	CE 01 FF	LDX #01 FF	
ED 8C	BD F1 79	JSR "DLYX"	Sous-prog. temporisation
ED 8F	7A E2 0A	DEC E2 0A	
E0 92	86 E2 0A	LDA A E2 0A	
ED 95	81 00	CMP A #00	
ED 97	27 03	BEQ Lp1	Le vect. est-il tracé ?
ED 99	7E E0 7A	JMP Lp2	
ED 9C	86 88	Lp1 LDA A#88	
ED 9E	B7 00 83	STA A SIZE	
ED A1	CE 0D C0	LDX #0D C0	
ED A4	FF 0D 88	STX Reg. X	
ED A7	86 0A	LDA A#0A	
ED A9	B7 00 80	STA A CMD	
ED AC	BD E2 00	JSR "PRET"	
ED AF	CE 01 FF	LDX #01 FF	
ED B2	BD F1 79	JSR "DLYX"	Sous-prog. temporisation
ED B5	CE 00 88	LDX #00 88	
ED B8	FF 00 88	STX Reg. X	
ED BB	CE 01 20	LDX #01 20	
ED BE	FF 00 8A	STX Reg. Y	
ED C1	86 2E	LDA A#2E	
ED C3	B7 00 80	STA A CMD	
ED C6	BD E2 00	JSR "PRET"	
ED C9	CE 01 70	LDX #01 70	
ED CC	FF 00 88	STX Reg. X	
ED CF	CE 00 58	LDX #00 58	
ED D2	FF 00 8A	STX Reg. Y	
ED D5	86 88	LDA A#88	
ED D7	B7 00 83	STA A SIZE	
ED DA	86 54	LDA A#54	
ED DC	B7 00 80	STA A CMD	
ED DF	BD E2 00	JSR "PRET"	
ED E2	CE 01 70	LDX #01 70	
ED E5	FF 00 88	STX Reg. X	
ED E8	CE 00 90	LDX #00 90	
ED EB	FF 00 8A	STX Reg. Y	
ED EE	86 26	LDA A#26	
ED FO	B7 00 80	STA A CMD	
ED F3	BD E2 00	JSR "PRET"	
ED F6	CE 01 FF	LDX #01 FF	
ED F9	BD F1 79	JSR "DLYX"	Sous-prog. temporisation

E0FC	CE 0110	LDX #0110
E0FF	FF 008A	STX Reg. Y
E102	CE 0140	LDX #0140
E105	FF 0088	STX Reg. X
E108	86 2A	LDA #2A
E10A	B7 00 80	STA CMD
E10D	3F	SWI

] Initialisation.
 commande de trace étoile.

Mire de bandes verticales (horizontales).

E2 10	7F E2 0A	CLR E2 0A	
E2 13	7F E2 0B	CLR E2 0B	
E2 16	CE 01 FF	LDX #01FF	
E2 19	FF E2 0C	STX E2 0C	
E2 1C	B6 FF	LDA A# FF	
E2 1E	B7 00 85	STA A Reg. AX	Rangement de la project. ΔX
E2 21	B7 00 87	STA A Reg. AY	Rangt de la project. ΔY
E2 24	FE E2 0A	LDX E2 0A	
E2 27	FF 00 88	Lp2 STX Reg. X	
E2 2A	B6 E2 0C	LDA AE2 0C	
E2 2D	B7 00 8A (B7 00 88)	STA A Reg. YH	
E2 30	B6 E2 0D	LDA AE2 0D	
E2 33	B7 00 8B (B7 00 89)	STAA Reg. YL	
E2 36	B6 14 (B6 16)	LDA A# 14	commande de trace un
E2 38	B7 00 8D	STA ACMD	vecteur vertical
E2 3B	BD E2 0D	JSR "PRET"	
E2 3E	B6 14 (B6 16)	LDA A# 14	commande de trace un
E2 4D	B7 00 8D	STA ACMD	vecteur vertical
E2 43	BD E2 0D	JSR "PRET"	
E2 46	08	INX	
E2 47	B6 00 89 (B6 00 8B)	LDA A Reg. XL	
E2 4A	85 40	BIT A# 40	Est-ce que la bande de
E2 4C	26 08	BNE Lp1	a une largeur de 64 pixels?
E2 4E	B6 03	LDA A# 03.	Selection plume baissée.
E2 50	B7 00 81	STAA CTRL1	
E2 53	7E E2 27	JMP Lp2	
E2 56	B6 01	Lp1 LDAA #01.	Selection gomme baissée.
E2 58	B7 00 81	STAA CTRL1	
E2 5B	B6 00 88 (B6 00 8A)	LDAA Reg. XH	
E2 5E	85 01	BIT A# 01	
E2 60	27 C5	BEQ Lp2	
E2 62	B6 00 89 (B6 00 8B)	LDAA Reg. XL	
E2 65	81 FF	CMF A# FF	Est-ce que le dernier
E2 67	26 BE	BNE Lp2	vecteur est tracé.
E2 69	3F	SWI	

ETUDE Technico-économique

Nous allons évaluer dans cette partie le prix de revient du système de ventilation.

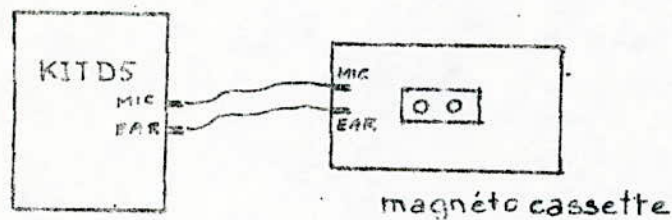
Désignation	Prix unitaire	Nombre	Prix total
G.D.P EF 9365.....	348,00	01	348,00
RAM et 2147 H1.....	47,00	64	3008,00
SN 74LS 374.....	27,00	03	81,00
138.....	9,00	01	9,00
244.....	17,00	01	17,00
240.....	20,00	02	40,00
174.....	9,00	01	9,00
21.....	4,20	03	12,60
00.....	6,00	19	114,00
02.....	4,20	05	21,00
32.....	8,00	05	40,00
165.....	10,00	01	10,00
155.....	9,00	01	9,00
Transistor 2N 2369.....	6,50	01	6,50
Condensateurs 22 nF.....	0,30	24	7,20
Resistances 1 K.....	0,10	01	0,10
15.....	0,10	01	0,10
220.....	0,10	01	0,10
Resistances Ajustables			
300.....	0,20	01	0,20
5 K.....	0,20	01	0,20
1 K.....	0,20	01	0,20
Supports à wrapper			
40 pins.....	24,00	01	24,00
16, 18, 20 pins.....	12,00	106	2272,00
TOTAL			6029,20 FF

Le prix du revient du système réalisé n'est donné qu'à titre d'indication car il est évident qu'en utilisant des Rams dynamiques de 16 K x 1 bit qui, valent nettement moins chère que celle utilisées ce prix peut descendre jusqu'à 2000 FF sans compter le receptr T.V et le micro-ordinateur qui font que ce prix peut aller jusqu'a 5000 FF ce qui reste très raisonnable.

ENREGISTREMENT DE PROGRAMMES SUR CASSETTE

Pour enregistrer les programmes sur cassette, le KIT D5 possède une sortie MIC sur laquelle se branche l'entrée MIC du magnétocassette. L'enregistrement s'effectue une fois avoir donné l'adresse de départ en appuyant sur la touche (P/L) et l'adresse de la fin du programme en appuyant sur la touche GO, on fait actionner ensuite le mécanisme d'enregistrement du magnétocassette et on appuie encore une fois sur la touche GO pour commencer l'enregistrement qui se termine dès que l'on a l'opération de (-) sur le premier afficheur.

L'opération inverse c'est à dire le chargement du programme dans la Ram du KIT s'effectue en branchant l'entrée EAR du KIT avec la sortie correspondante du magnéto il faut ensuite appuyer sur la touche FS, mettre en marche la cassette et appuyer sur la touche (P/L). Dans le cas d'une erreur on aura l'affichage de "FAIL??", si au contraire le programme est correctement chargé on aura l'affichage de (-) qui indique la fin du chargement.



CONCLUSION

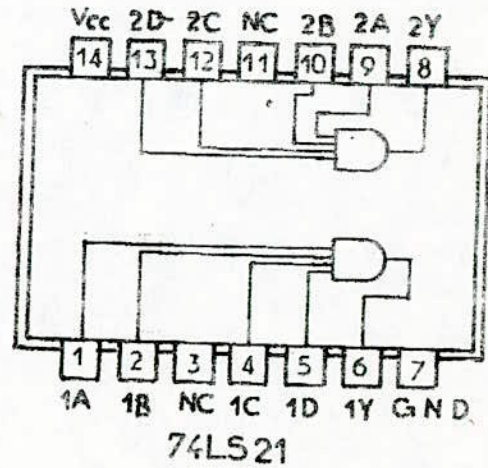
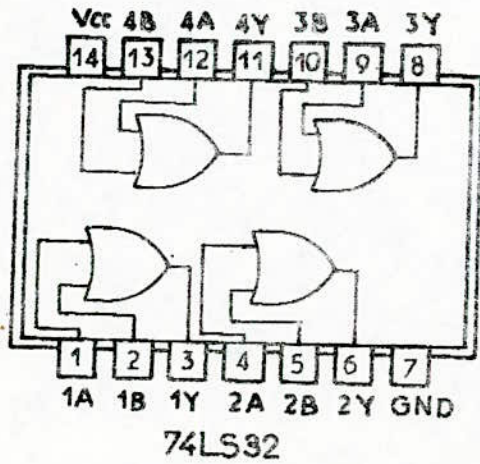
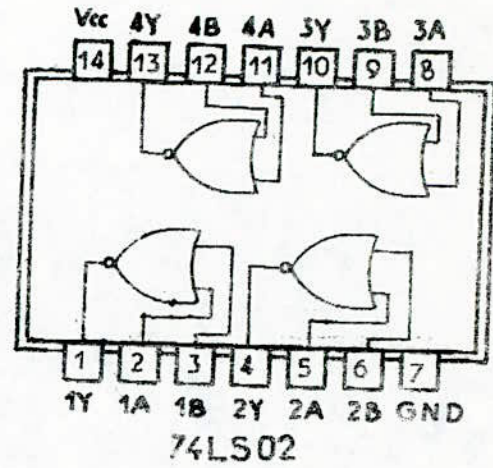
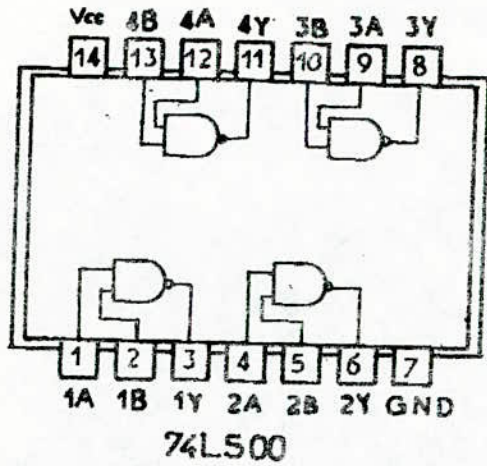
Le système que nous avons réalisé a donné des résultats satisfaisants. Il peut néanmoins être l'objet de quelques améliorations telles que l'élimination totale des bruits qui sont surtout gênant pour l'écriture de caractères ou de vecteurs de petites dimensions. L'apparition de ces bruits peut être attribuée surtout aux capacités parasites des fils vu que toutes les connexions ont été effectuées au wrapping qui est le principal inconvénient étant donné que la fréquence utilisée a une valeur élevée (14 MHz).

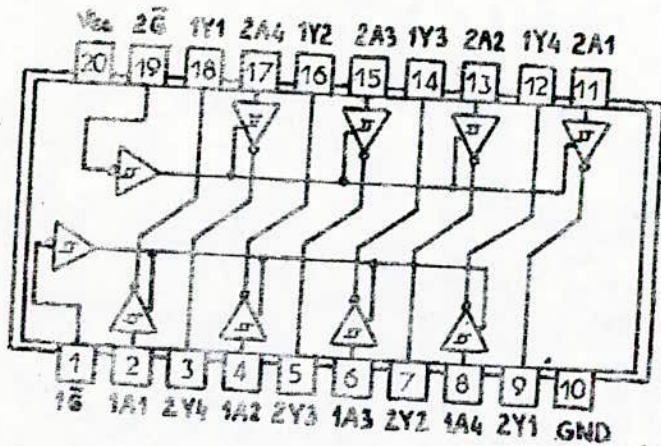
Nous pouvons aussi à partir de ce système envisager le cas d'une extension à l'affichage en couleurs, il suffit pour cela d'augmenter le nombre de plan mémoire et prévoir une logique de sélection de ces plans. Dans ce cas l'utilisation de Rams dynamiques de grande capacité (Exemple les SIP de $4 \times 64 \text{ K} \times 1 \text{ bit} = 512 \times 512 \text{ bits}$) qui est d'ailleurs beaucoup plus simple avec le G.D.P devient nécessaire.

Le processeur graphique grâce à son générateur de vecteurs nous offre aussi la possibilité de fabrication d'un jeu de caractères Arabe et l'intégrer dans une mémoire morte.

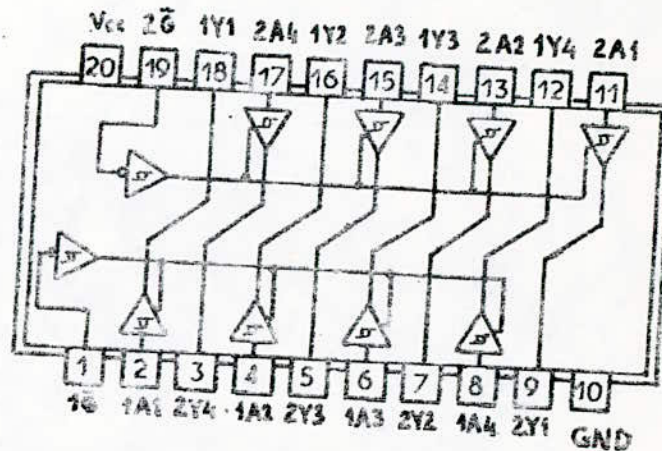
Citons enfin que l'intégration d'un clavier ASCII et l'utilisation d'un microprocesseur tel que le 6809 ou le 68000 nous offre la possibilité de concevoir un micro-ordinateur très "puissant" vu que le G.D.P n'occupe qu'une partie très réduite (16 positions mémoire) dans le champ d'adressage du microprocesseur. Sans oublier que ce système présente comme moyen de visualisation un récepteur de télévision de la Fabrication nationale, il pourra donc une fois mis au point faire l'objet d'une fabrication locale.

A N N E X E

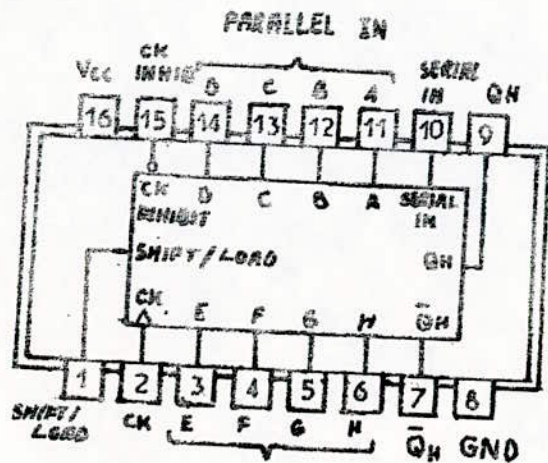




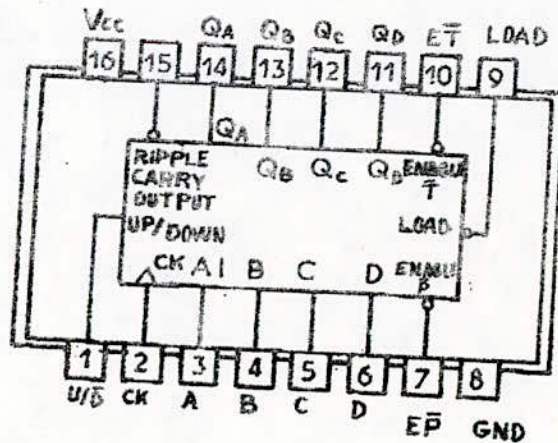
74LS240



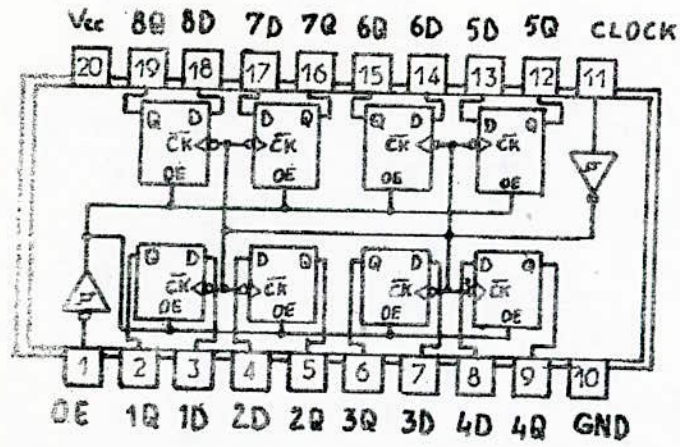
74LS244



74LS165



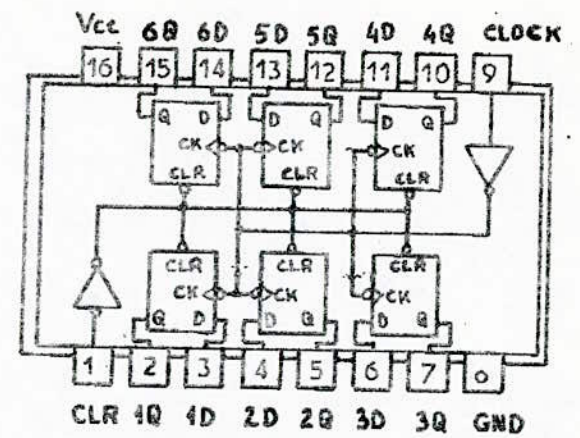
74LS169



74LS374

FUNCTION TABLE

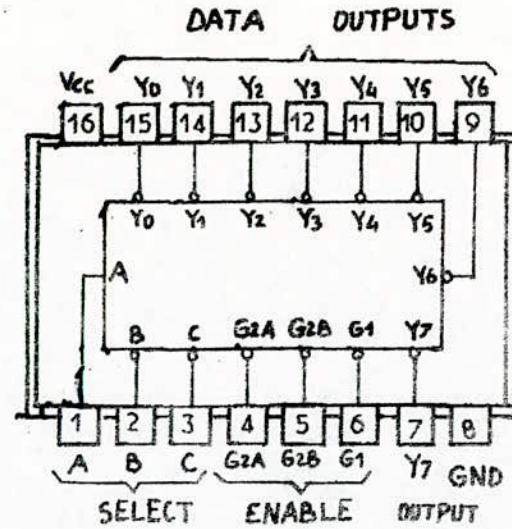
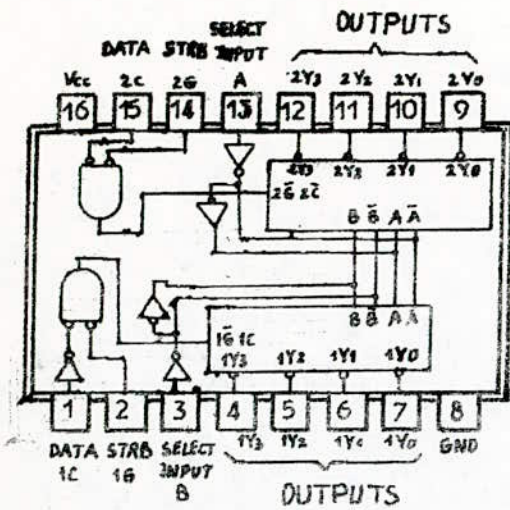
OUTPUT CONTROL	CK	D	OUTPUT
L	↑	H	H
L	↑	L	L
L	L	x	Q ₀
H	x	x	Z



74LS174

FUNCTION TABLE

INPUTS			OUTPUTS
Clear	clock	D	
L	x	x	L
H	↑	H	H
H	↑	L	L
H	L	x	Q ₀



FUNCTION TABLES

2-Line-TO-4-Line DECODER

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		Y ₀	Y ₁	Y ₂	Y ₃
B	A	G	C				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

Décodeur 74LS155

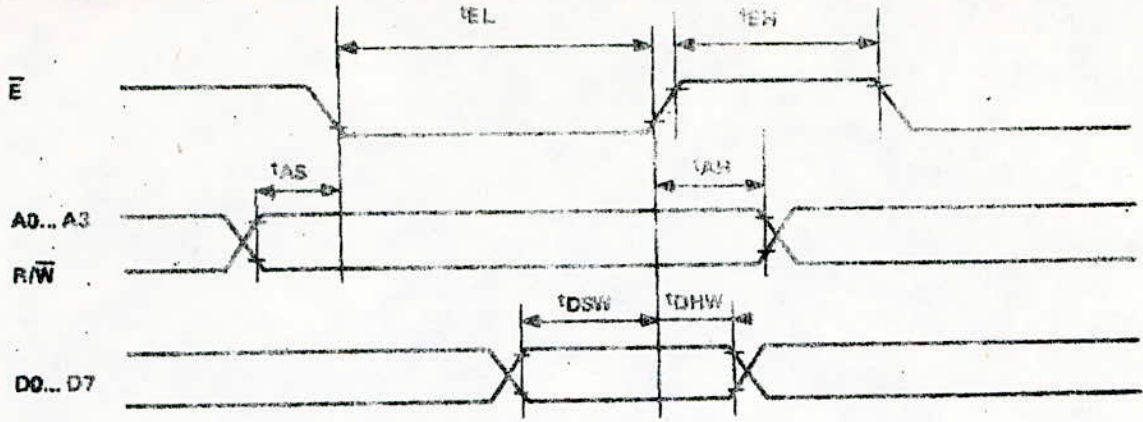
FUNCTION TABLES

3-Line-TO-8-Line DECODER

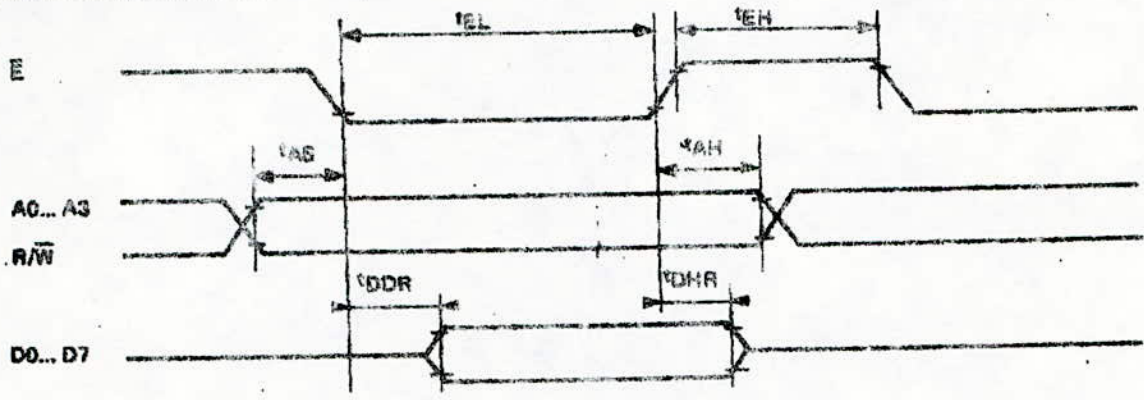
INPUTS				OUTPUTS								
ENABLE		SELECT										
G1	G2	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	L	L	H	H	H	H
H	L	L	L	L	H	H	H	L	L	H	H	H
H	L	L	H	L	H	H	H	L	L	H	H	H
H	L	L	H	H	H	H	H	L	L	H	H	H

Décodeur 74LS138

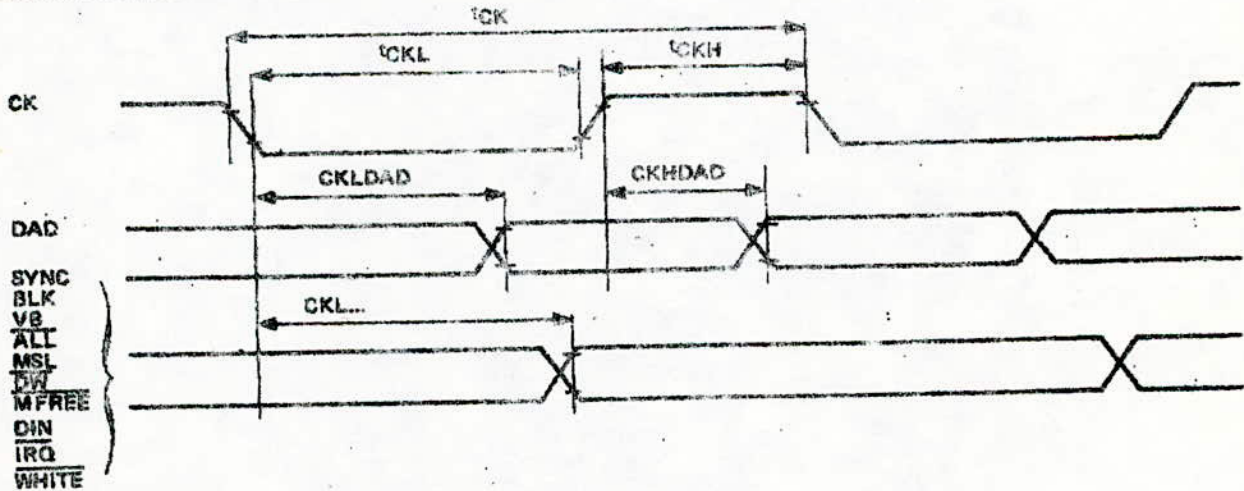
BUS MICROPROCESSEUR, ACCES EN ECRITURE



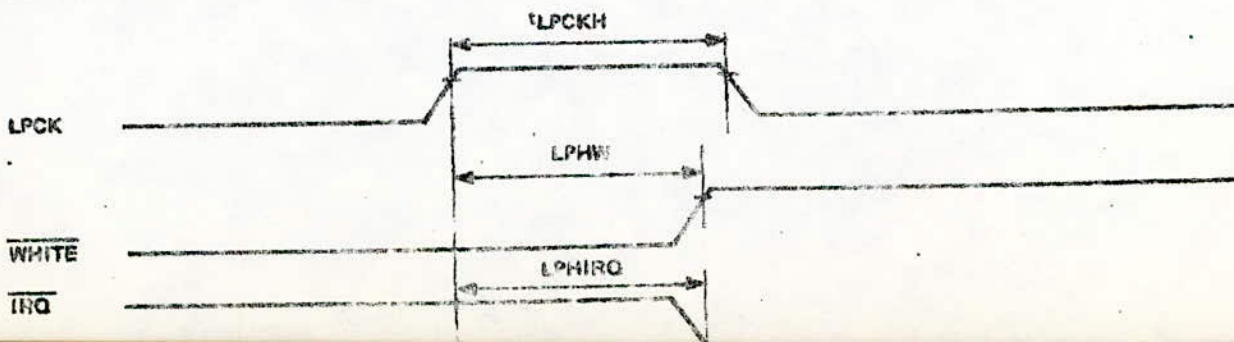
BUS MICROPROCESSEUR, ACCES EN LECTURE



SIGNAUX SYNCHRONES AVEC L'ENTREE CK



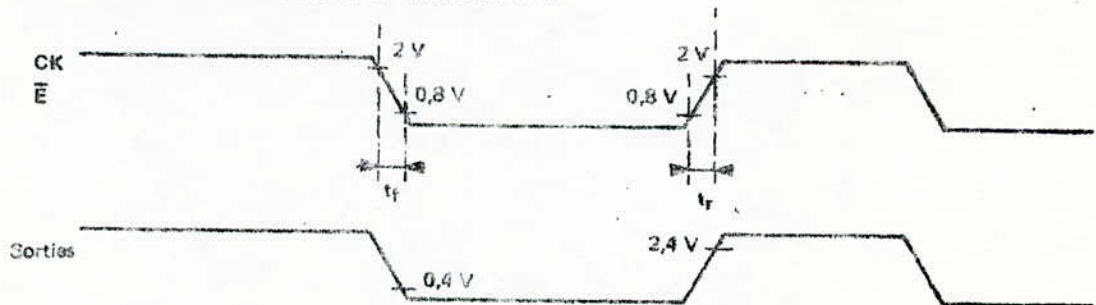
SIGNAUX DU PHOTOSTYLE



CARACTERISTIQUES DE TEMPS DE PROPAGATION ET DE DELAI
 (VDD = 5,0 V ± 5%, VSS = 0V, TA = 0°C à 70°C, sauf spécification contraire)

Temps (ns)	Symbole	Min.	Max.
Période d'horloge	t _{CK}	660	
Largeur CK bas	t _{CKL}	330	
Largeur CK haut	t _{CKH}	100	
CK bas à DAD valide	CKLDAD		320
CK haut à DAD valide	CKHDAD		180
CK bas à SYNC valide	CKLSYNC		300
CK bas à BLK valide	CKLBLK		310
CK bas à VB valide	CKLVB		500
CK bas à ALL valide	CKLALL		300
CK bas à MSL valide	CKLMSL		300
CK bas à DW valide	CKLDW		310
CK bas à MFREE valide	CKLMFR		310
CK bas à DIN valide	CKLDIN		310
CK bas à IRQ valide	CKLIRQ		1500
CK bas à WHITE valide	CKLWHI		310
Largeur E bas	t _{EL}	450	
Précharge E haut	t _{EH}	430	
Temps de préétablissement des adresses	t _{AS}	160	
Temps de maintien des adresses	t _{AH}	10	
Temps de préétablissement des données (écriture)	t _{DSW}	195	
Temps de maintien des données (écriture)	t _{DHW}	10	
Temps d'établissement des données (lecture)	t _{DDR}		320
Temps de maintien des données (lecture)	t _{DHR}	10	
Temps de relâche de IRQ	t _{IR}		1600
LPCK haut à WHITE haut (si commande 08 ₁₆)	LPHW		1600
LPCK haut à IRQ bas	LPHIRQ		1600
Temps de maintien de LPCK haut	t _{LPCKH}	150	
Temps de montée de CK et E	t _r		20
Temps de descente de CK et E	t _f		20

CARACTERISTIQUES DES HORLOGES ET DES SORTIES



TEMPS DE RELACHE D'IRQ



ET2147H/ETL2147H FAMILY. 4096 X 1 Static RAM

Max Access/Current	ET2147H-1	ET2147H-2	ET2147H-3	ETL2147H-3
Access (TAVQV — ns)	35	45	55	55
Active Current (ICC — mA)	180	180	180	125
Standby Current (ISB — mA)	30	30	30	20

General Description

The ET2147H is a 4096-word by 1-bit static random access memory fabricated using N-channel silicon-gate technology X-MOS. All internal circuits are fully static and therefore require no clocks or refreshing for operation. The data is read out nondestructively and has the same polarity as the input data.

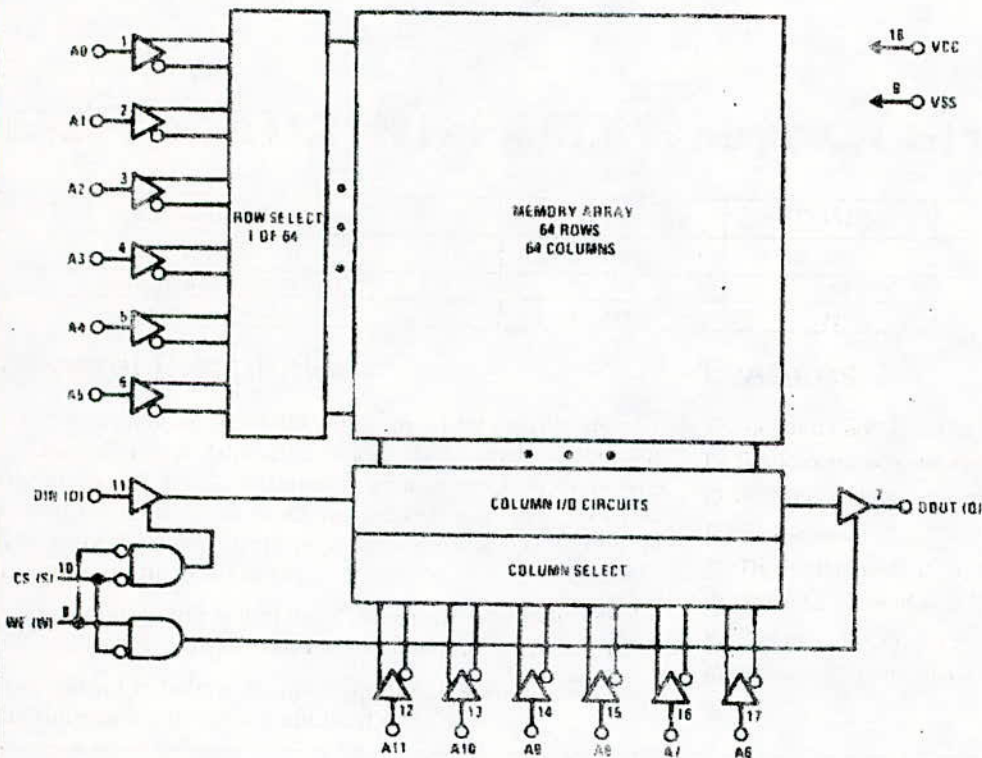
The separate chip select input automatically switches the part to its low power standby mode when it goes high.

The output is held in a high impedance state during write to simplify common I/O applications.

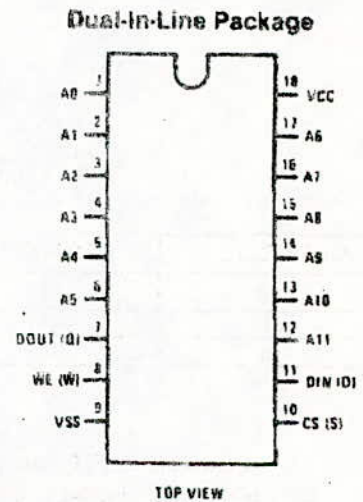
Features

- All inputs and outputs directly TTL compatible
- Static operation - no clocks or refreshing required
- Automatic power down
- High speed - down to 35 ns access time
- Three-state output for bus interface
- Separate Data In and Data Out pins
- Single + 5V supply
- Standard 18-pin dual-in-line package

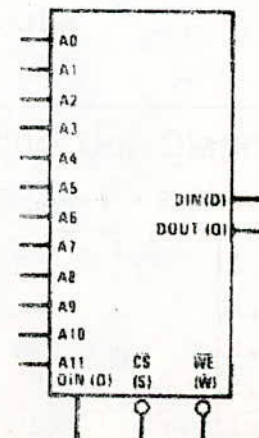
Block Diagram*



Connection Diagram*



Logic Symbol*



Truth Table*

CS (S)	WE (W)	DIN (DI)	DOUT (Q)	Mode	Power
H	X	X	Hi Z	Not Selected	Standby
L	L	H	Hi Z	Write 1	Active
L	L	L	Hi Z	Write 0	Active
L	H	X	DOUT	Read	Active

Pin Names*

- A0-A11 Address Inputs
- \overline{WE} (\overline{W}) Write Enable
- \overline{CS} (\overline{S}) Chip Select
- DIN (DI) Data In
- DOUT (Q) Data Out
- VCC Power (5V)
- VSS Ground

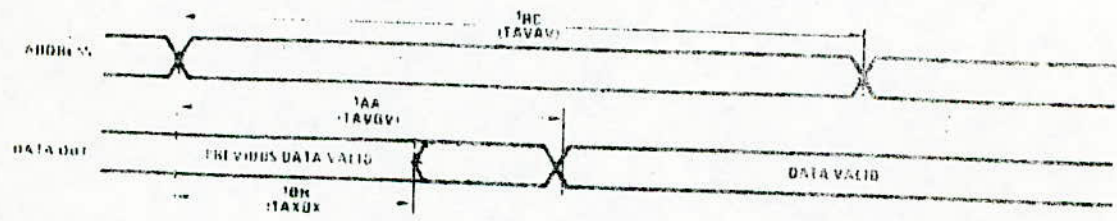
* The symbols in parentheses are proposed industry standard.

Read Cycle AC Electrical Characteristics $T_A = 0^\circ\text{C}$ to 70°C , $V_{CC} = 5\text{V} \pm 10\%$ (Note 1)

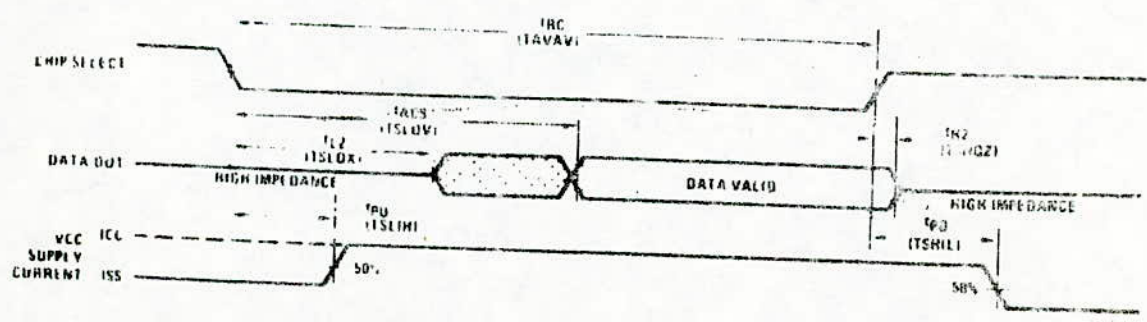
Symbol		Parameter	ET2147H-1		ET2147H-2		ET2147H-3 ETL2147H-3		Units
Alternate	Standard		Min	Max	Min	Max	Min	Max	
t_{RC}	TAVAV		Read Cycle Time	35		45		55	
t_{AA}	TAVOV	Address Access Time		35		45		55	ns
t_{ACS}	ISLQV	Chip Select Access Time (Note 4)		35		45		55	ns
t_{CS}	ISLOX	Chip Select to Output Active (Note 5)	5		5		10		ns
t_{DS}	ISHQZ	Chip Deselect to Output TRI-STATE (Note 5)	0	30	0	30	0	30	ns
t_{OH}	TAXUX	Output Hold from Address Change	5		5		5		ns
t_{PU}	ISLIH	Chip Select to Power-Up	0		0		0		ns
t_{PD}	ISHIL	Chip Deselect to Power-Down		20		20		20	ns

Read Cycle Waveforms*

Read Cycle 1 (Continuous Selection $\overline{CS} = \text{VIL}$, $\overline{WE} = \text{VIH}$)



Read Cycle 2 (Chip Select Switched, $\overline{WE} = \text{VIH}$) (Note 4)



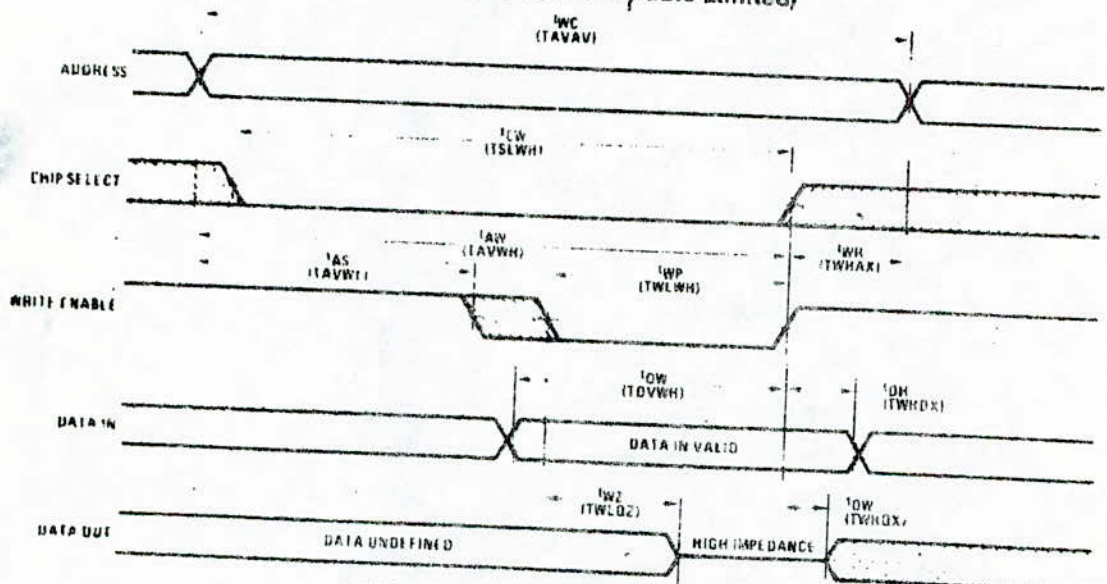
Note 4. Address must be valid coincident with or prior to the chip select transition from high to low.
 Note 5. Measured +50 mV from steady state voltage. This parameter is sampled and not 100% tested.

The symbols in parentheses are proposed industry standard.

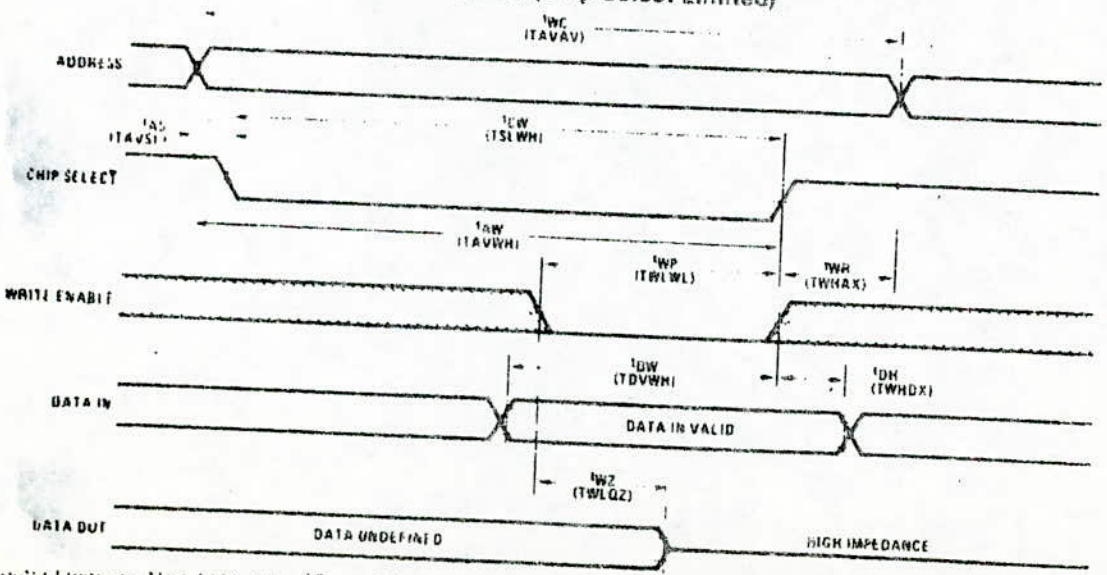
Symbol	Alternate	Standard	Parameter	-1		-2		ETL2147H-3	
				Min	Max	Min	Max	Min	Max
t_{WC}		TAVAV	Write Cycle Time	35		45		45	
t_{CW}		TSLWH	Chip Select to End of Write	35		45		45	
t_{AW}		TAVWH	Address Valid to End of Write	35		45		45	
t_{AS}		TAVSL TAVWL	Address Set-Up Time	0		0		0	
t_{WP}		TWLWH	Write Pulse Width	20		25		25	
t_{WR}		TWHAX	Write Recovery Time	0		0		10	
t_{DW}		TDVWH	Data Set-Up Time	20		25		25	
t_{DH}		TWHDX	Data Hold Time	10		10		10	
t_{WZ}		TWLOZ	Write Enable to Output TRI-STATE (Note 5)	0	20	0	25	0	20
t_{WQ}		TWHQX	Output Active from End of Write (Note 5)	0		0		0	

Write Cycle Waveforms* (Note 6)

Write Cycle 1 (Write Enable Limited)



Write Cycle 2 (Chip Select Limited)



*Note: The output remains TRI-STATE if the CS and WE go high simultaneously. WE or CS or both must be high during the address set-up and hold times. All timing parameters are proposed industry standard.

ET 2147 H1	SN 74 LS 02	ET 2147 H1	ET 2147 H1		ET 2147 H1
ET 2147 H1	SN 74 LS 02	ET 2147 H1	ET 2147 H1	SN 74 LS 02	ET 2147 H1
ET 2147 H1	SN 74 LS 82	ET 2147 H1	ET 2147 H1	SN 74 LS 82	ET 2147 H1
ET 2147 H1	SN 74 LS 00	ET 2147 H1	ET 2147 H1	SN 74 LS 00	ET 2147 H1
ET 2147 H1	SN 74 LS 00	ET 2147 H1	ET 2147 H1	SN 74 LS 00	ET 2147 H1
ET 2147 H1	SN 74 LS 00	ET 2147 H1	ET 2147 H1	SN 74 LS 00	ET 2147 H1
ET 2147 H1	SN 74 LS 00	ET 2147 H1	ET 2147 H1	SN 74 LS 00	ET 2147 H1
ET 2147 H1	SN 74 LS 02	ET 2147 H1	ET 2147 H1	SN 74 LS 02	ET 2147 H1
ET 2147 H1	SN 74 LS 82	ET 2147 H1	ET 2147 H1	SN 74 LS 82	ET 2147 H1
ET 2147 H1	SN 74 LS 00	ET 2147 H1	ET 2147 H1	SN 74 LS 00	ET 2147 H1
ET 2147 H1	SN 74 LS 00	ET 2147 H1	ET 2147 H1	SN 74 LS 00	ET 2147 H1
ET 2147 H1	SN 74 LS 00	ET 2147 H1	ET 2147 H1	SN 74 LS 00	ET 2147 H1
ET 2147 H1	SN 74 LS 00	ET 2147 H1	ET 2147 H1	SN 74 LS 00	ET 2147 H1
ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1
ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1
ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1
ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1	ET 2147 H1

JANVIER 05

NAMIDAT A.
KAZED D.

EN

SEMEMA D'IMPLANTATION
de la carte mémoire d'usage

C.E.N / C.I.T.A

BIBLIOGRAPHIE

le Microprocesseur 6809

ses Périphériques

et le Processeur graphique 9365-66

Par CLAUDE DARDANNE

Edition EYROLLES

Juillet 1982

Document Thomson E F C I S

Manuel d'utilisation du K I T D5

MEK 6802 D5 E

MICROCOMPUTER

EVALUATION BOARD

USER'S MANUAL

Projet de fin d'étu des

SYSTEME INTERACTIF

I Restitution d'image numérique sur Moniteur

T.V Noir et Blanc

Juin 82

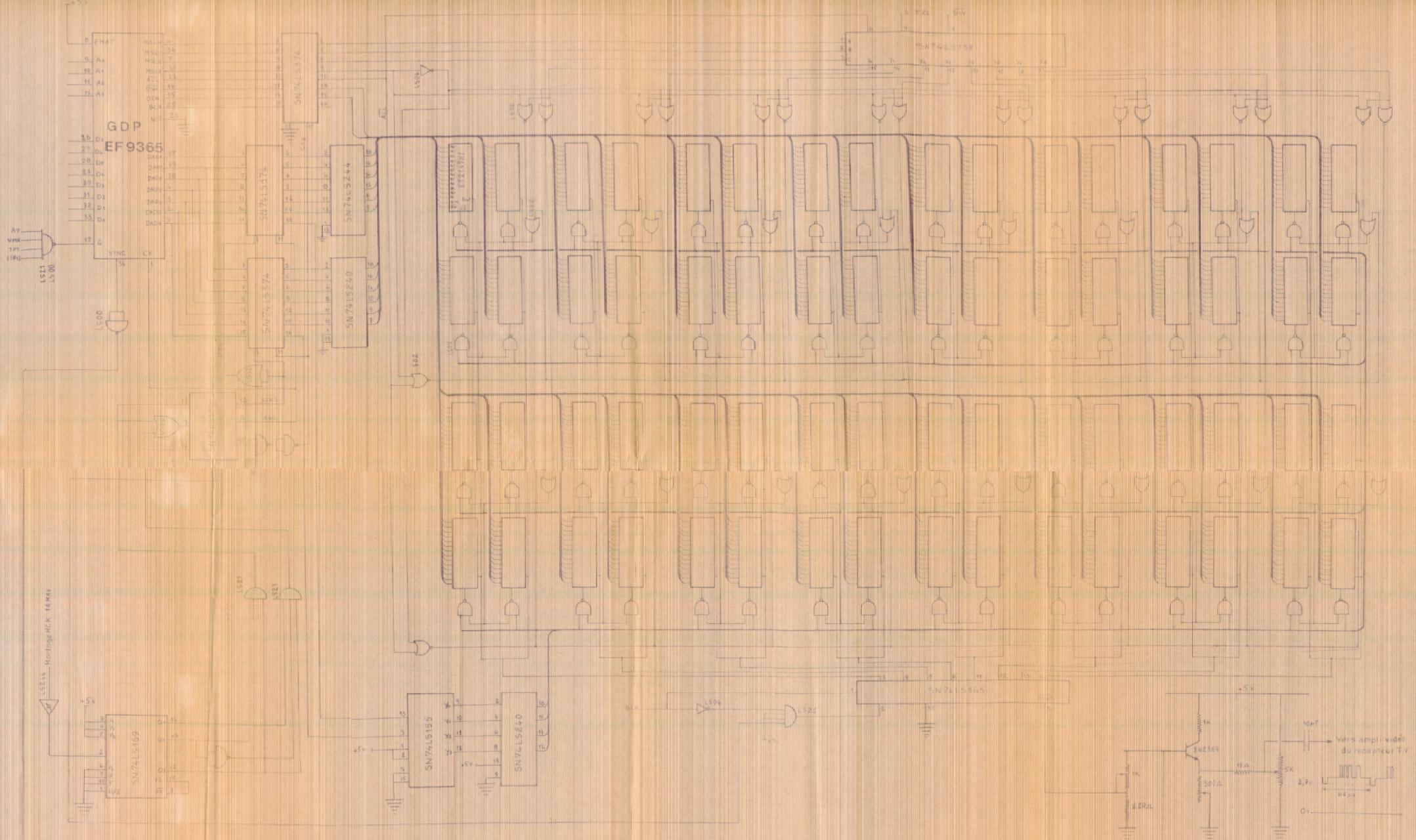
Projet de fin d'études

Etude d'un micro-ordinateur

le KIT D5 de MOTOROLA

basé autour du UP 6802

Janvier 82



CEN/CDTA	ENP	Janvier 85
SYSTEME de VISUALISATION GRAPHIQUE et ALPHANUMERIQUE		KAZED.B HAMIDAT.A
512x512 pixels Sur TV noir & blanc		