

وزارة التعليم والبحث العلمي
MINISTERE DE L'ENSEIGNEMENT ET DE LA RECHERCHE SCIENTIFIQUE

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT D'ELECTRONIQUE



PROJET DE FIN D'ETUDES

SUJET

ETUDE COMPARATIVE D'UN
ASSERVISSEMENT EN POSITION
ANALOGIQUE ET NUMERIQUE

Application : **TABLE TOURNANTE**

Proposé par :

M. OUGUINI R.

Etudié par :

BOUKHTOUCHE F.
MADOUR F.

Dirigé par :

M. OUGUINI R.



PROMOTION : JANVIER 85

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT D' ELECTRONIQUE

PROJET DE FIN D'ETUDES

INGENIORAT D'ETAT EN ELECTRONIQUE

SUJET

ETUDE COMPARATIVE D'UN
ASSERVISSEMENT EN POSITION
ANALOGIQUE ET NUMERIQUE
Application : **TABLE TOURNANTE**

Proposé par :

M. OUIGUINI R.

Etudié par :

BOUKHTOUCHE F.
MADOUR F.

Dirigé par :

M. OUIGUINI R.



PROMOTION : JANVIER 85

~ Dédicaces ~

À mon fils

À mon mari

À mes parents

À mes beaux-parents

. Farida.

Je dédie ce modeste travail

À mon père et à ma mère en reconnaissance
de tous leurs efforts et sacrifices qui m'ont permis
de poursuivre.

À mes frères et sœurs

À tous mes amis.

Fatihoy.

*** REMERCIEMENTS ***

Nous tenons à adresser nos remerciements à notre promoteur Monsieur Rachid OUIGUINI, pour l'aide, l'assistance et les conseils qu'il n'a cessé de nous prodiguer tout au long de ce travail.

Nous ne manquerons pas d'exprimer également nos remerciements à:

Messieurs DJEFAL, HALIMI, BOUARAB, ABDI et KARA, pour leur collaboration et pour le milieu de travail sympathique qu'ils nous ont offert.

Que tous les professeurs qui ont contribué à notre formation trouvent ici l'expression de notre profonde gratitude.

Nos remerciements vont aussi à Monsieur MADOUR et Monsieur CHERFA pour la frappe et la mise en forme de ce polycopié.

-SOMMAIRE-

<u>INTRODUCTION</u>	1
<u>CHAPITRE I</u> : Assérvissement de position analogique	4
1. Position du problème	5
2. Conception d'une chaîne asservie	
2.1 Fonctionnement de la chaîne asservie	6
3. Qualités d'un système asservi	
3.1 Précision	7
3.2 Stabilité	
4. Etude d'un assérvissement de position potentiométrique	
4.1 Conception de la chaîne-Etude théorique	8
4.2 Identification des éléments de la chaîne asservie et établissement analytique des divers fonctions de transfert.	10
4.2.1 Compérateur	11
4.2.2 Potentiomètres	
4.2.3 Atténuateur - Préamplificateur	12
4.2.4 Amplificateur de puissance	13
4.2.5 Moteur électrique	16
4.2.6 Moteur-Réducteur-Charge	18
<u>CHAPITRE II</u> : Analyse de la stabilité	
1. Etude de la F.T.B.F	22
2. Etude de la chaîne ouverte	26
3. Conception de l'assérvissement	28
3.1 Correcteur P.D	
3.2 Correcteur P.I.D	29
<u>CHAPITRE III</u> : Calcul du correcteur	35

1. Position du problème	
2. Calcul des paramètres	39
- Organigrammes	45
- Programmes	46
- Lieux d'EVANS	48
CHAPITRE IV : Asservissement numérique	49
1. Position du problème	50
2. Etude qualitative de la méthode choisie	51
3. Identification des éléments de la chaîne	52
3.1 Liaison μP - P.I.A	53
3.1.1 Adressage des PIA	54
3.1.2 Logique de commande des buffers de données	57
3.2 Liaison PIA-CNA	62
3.2.1 Le CNA : DAC 02	63
3.2.2 Registres tampons	
3.2.3 Paramètres caractéristiques d'un CNA	65
3.3 Liaison P- MC 6840	70
3.4 Codeur à disques	71
3.4.1 Codeur incrémental	72
3.5 Les roues codeuses	75
4. Conception de la chaîne d'asservissement	76
5. Etude des algorithmes	77
5.1 Initialisation	79
5.2 Approche des programmes de calcul	80
- Comparaison binaire $\theta_e - \theta_s$	
- Synthèse du correcteur PID numérique	
- Algorithme de traitement du PID	

CHAPITRE V : Système p rturb  86

CHAPITRE VI : R alisation et test

1. Comp rateur 90
2. Pr amplificateur-Amplificateur 91
3. R gulateur 92
4. R ponse du syst me non corrig  en B.F 93
5. Introduction de la correction dans la B.F 94

CONCLUSION.

I N T R O D U C T I O N

Le développement scientifique et technique permet de nos jours, une simplification et une amélioration du travail de l'homme.

Ainsi, la commande d'opérations mécaniques peut être entièrement automatisée grâce à des procédés utilisant la simulation directe (ou physique) ou la simulation indirecte (ou mathématique).

La première qui est la plus ancienne fait appel aux analogies électromécaniques alors que la seconde réalise sous forme de blocs les différentes fonctions mathématiques (dérivation, intégration,...). Cette dernière est bien plus intéressante car elle s'applique aussi aux systèmes numériques qui ont, sur l'analogique, l'avantage d'être universels et de posséder une très grande précision.

C'est ainsi que la combinaison de la mécanique, de l'électronique, de l'automatique et de l'informatique a donné des ensembles bien plus performants tels : les machines à commande numérique, les centres d'usinage, les robots, les chariots filo-guidés, les machines à mesurer...

Le but du travail qui nous a été confié au laboratoire de robotique du Commissariat aux Energies Nouvelles est l'étude d'un asservissement analogique et numérique de position d'un moteur à courant continu entraînant une charge (table tournante).

Pour parer au manque de fidélité de ce système dont le déplacement commandé doit répondre à un critère de précision et de rapidité donné, nous utilisons la technique de correction par un régulateur P.I.D. ou P.D.

Comme tous les systèmes automatisés, la structure d'une telle commande se décompose en deux ensembles :

1°/ - La partie opérative appelée partie puissance est représentée par la chaîne de commande du déplacement de la table ; il s'agira donc du processus physique à automatiser.

2°/ - La partie commande, représentée par un module électronique pour un asservissement analogique ou par une électronique programmée, a pour fonction de stocker et de traiter les informations provenant du programme de déplacement de la table et des données provenant du processus.

La première partie comprendra quatre (4) chapitres. Le premier donnera un aperçu général sur les asservissements. Nous ferons une étude théorique détaillée de notre système analogique qui permettra de comprendre et d'exploiter les phénomènes physiques observés.

Dans le second, nous étudierons les critères de stabilité et de précision. Nous présenterons dans le troisième, une méthode de calcul des paramètres d'un correcteur et les résultats qui en découlent. Enfin, le quatrième chapitre comprendra la partie test et réalisation.

La seconde partie sera consacrée à l'étude de l'asservissement numérique en proposant une méthode d'analyse et la structure de cet asservissement. Puis, nous ferons une étude du logiciel de cette nouvelle structure qui nous permettra de faire une analyse de la précision et de la stabilité du système non corrigé à l'aide d'un correcteur P.D. - P.I.D.

C H A P I T R E I

ASSERVISSEMENT DE POSITION ANALOGIQUE

I.1 - POSITION DU PROBLEME

Nous désirons commander la position (angle θ_s) d'une table en rotation, celle-ci a été réalisée en vue d'asservir un moteur.

Le moteur dont nous disposons pour notre étude est un moteur électrique à courant continu à aimant permanent donc à flux constant. Il est destiné à faire tourner la table chargée avec une précision et une rapidité donnée.

La table est principalement constituée des éléments suivants :

- un plateau gradué,
- une colonne supportant ce plateau, dans laquelle est monté le dispositif d'entraînement du plateau en rotation,
- une ambase (plateau inférieur) servant de support à l'ensemble.

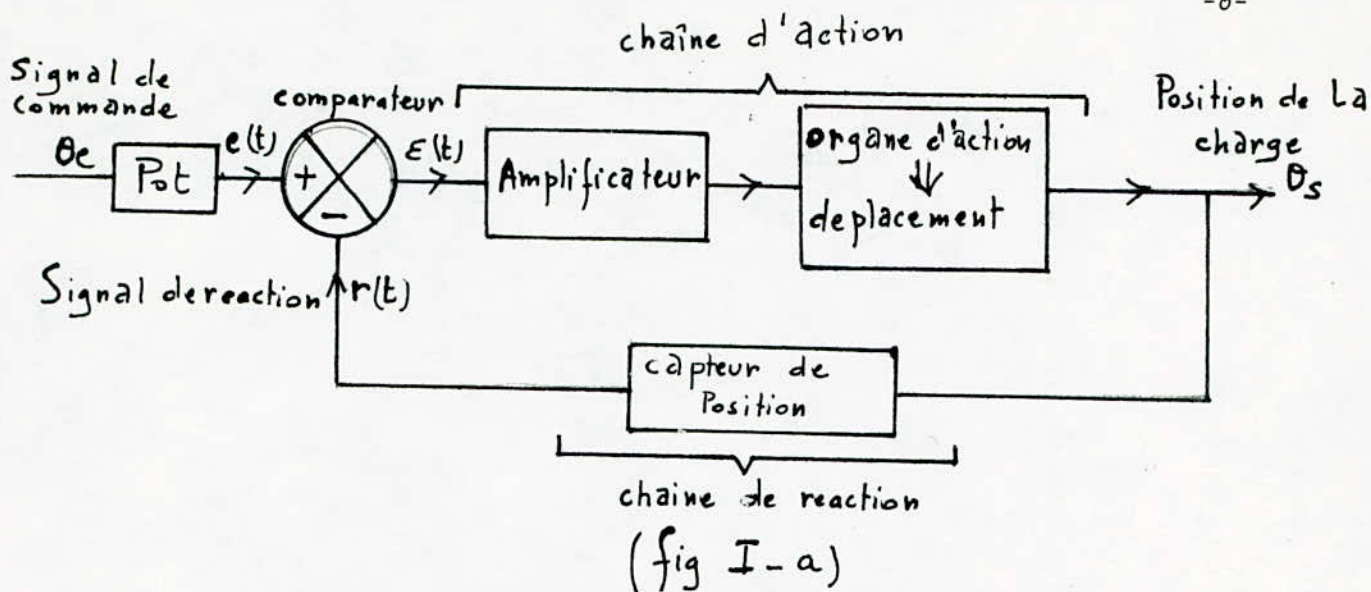
Le dispositif d'entraînement comporte le moteur électrique auquel est lié rigidement un axe guidé par un roulement.

Nous désirons que θ_s prenne à chaque instant une valeur déterminée θ_e . Pour cela, il est nécessaire de comparer ces deux valeurs et d'imposer à leurs différence (erreur) d'être toujours nulle.

Nous aboutissons à un système bouclé. (fig. I.a)

I.2 - CONCEPTION D'UNE CHAINE ASSERVIE

θ_s et θ_e sont comparés, en effet le montage élabore la différence : $\varepsilon(t)$



$$\mathcal{E}(t) = e(t) - r(t) \text{ appelé signal d'erreur.}$$

Ainsi, quoi qu'il arrive (variation de θ_e , perturbation...), le système capte l'erreur et réagit automatiquement de façon à ramener l'erreur à zéro : θ_s est asservi à θ_e .

1.2.1. - FONCTIONNEMENT DE LA CHAÎNE ASSERVIE

Le signal $\mathcal{E}(t)$ amplifié en puissance sous forme électrique permet de déplacer la charge jusqu'à l'annulation de l'écart $\mathcal{E}(t)$.

Aucune tension n'est alors appliquée à l'amplificateur, le moteur est arrêté et la charge occupe une certaine position angulaire. Pour modifier cette position, nous faisons tourner le moteur par action sur θ_e .

L'observation de la position de cette charge déplacée est traduite sous forme d'une tension électrique $r(t)$ par l'intermédiaire du capteur de position; pour ce dernier, toutes les précautions sont prises pour qu'il soit d'une grande fidélité ($r(t)$ doit être une image fidèle de θ_s).

1.3 - QUALITÉS D'UN SYSTÈME ASSERVI

1.3.1. - Précision :

En régime établi, la qualité essentielle d'un système asservi est de donner une erreur aussi faible que possible.

I.3.2 - Stabilité

En régime transitoire, on souhaite un temps de réponse faible, et un degré de stabilité correct.

La partie mécanique figurée en I.a présente un couple résistant (charge mécanique, frottements). Pour que le mouvement soit possible, il faut un couple minimum correspondant à une certaine valeur du signal d'erreur (fig. I.1). Cette erreur est réduite par l'augmentation du gain A de l'amplificateur, $\varepsilon = \frac{U_m}{A} \neq 0$, avec U_m : tension à l'entrée du moteur. Cette augmentation de gain permet aussi d'améliorer le temps de réponse (fig. I.2).

Cependant, dans l'augmentation de gain, nous sommes limités par le risque d'instabilité (fig. I.3).

Pour rester dans le domaine de rapidité et de précision désirées, nous assurons la stabilité par l'introduction d'un terme d'amortissement } ni trop grand ni trop faible de façon que le temps de réponse et le dépassement soient faibles et d'un réseau correcteur qui combine les termes d'erreurs.

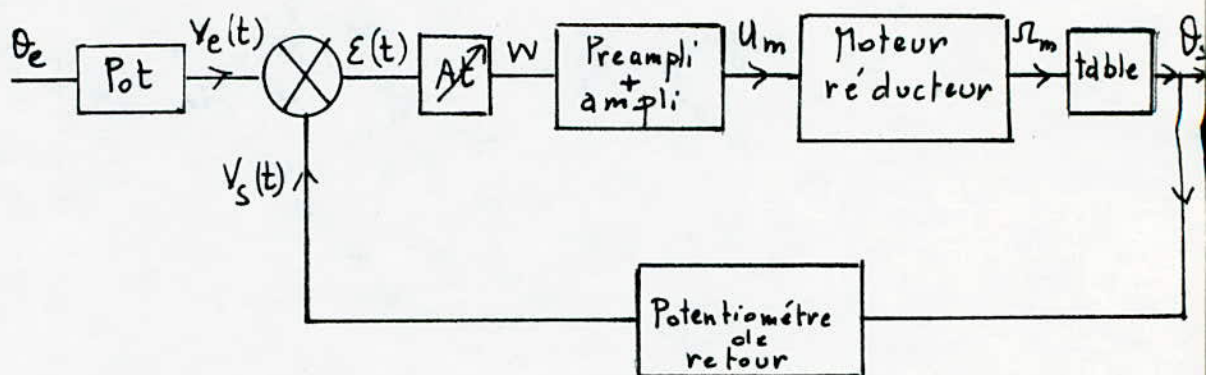
L'étude qualitative que nous venons de faire, nous a permis de voir le principe de certains cervomécanismes et les problèmes qu'ils se posent à leur réalisation.

Par la suite, une étude quantitative nous permettra de comprendre les différents paramètres qui interviennent dans le fonctionnement d'un asservissement.

I.4. ETUDE D'UN ASSERVISSEMENT DE POSITION POTENTIOMETRIQUE.

I.4.1. Conception de la chaîne. Etude théorique :

Fig. 4.1.a Schéma fonctionnel



(fig 4-1-a)

Pot = Potentiomètres entrée-sortie.

At = Atténuateur de gain réglable.

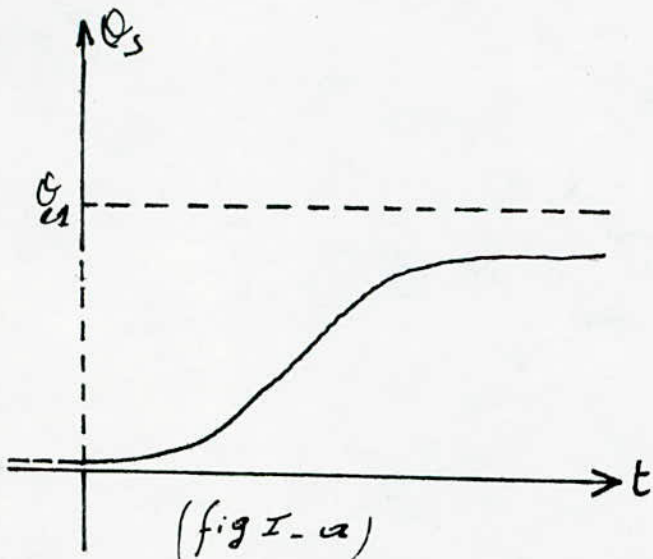
$\epsilon(t) = V_e(t) - V_s(t)$ est la différence entre les potentiels des deux curseurs de potentiomètres.

La chaîne directe est constituée d'un amplificateur de signal d'erreur, d'un moteur alimenté par l'amplificateur et d'une boucle de retour comportant le potentiomètre de retour.

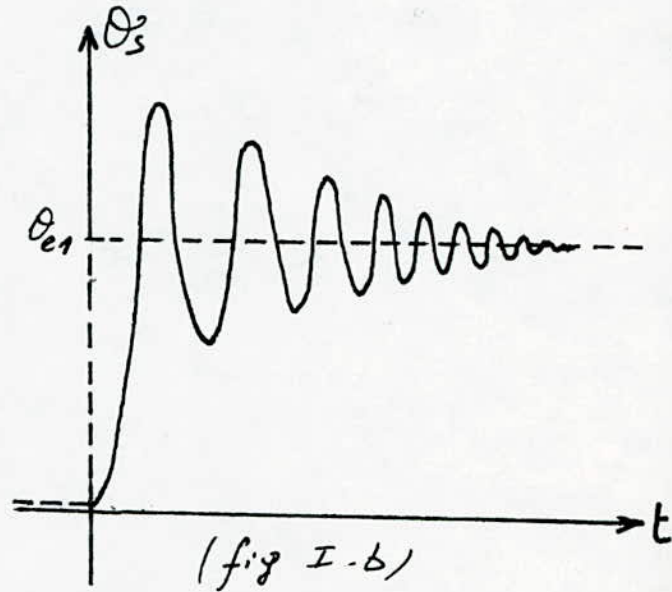
Considérons le système initialement au repos. Les curseurs des potentiomètres ont la même position et la tension d'erreur $V_e - V_s$ est nulle.

Si la position angulaire du potentiomètre d'entrée varie, une erreur naît. Celle-ci est amplifiée et utilisée pour commander le moteur qui développera un couple proportionnel au signal délivré par l'amplificateur.

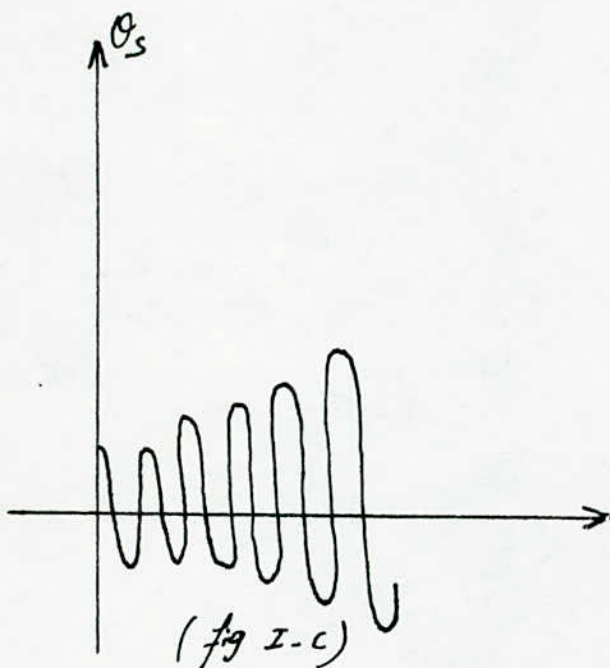
Ce couple fait tourner l'arbre de sortie de telle sorte que la tension d'erreur disparaisse. Le couple s'annule à son tour et les potentiomètres d'entrée et de sortie occupent de nouveau la même position angulaire.



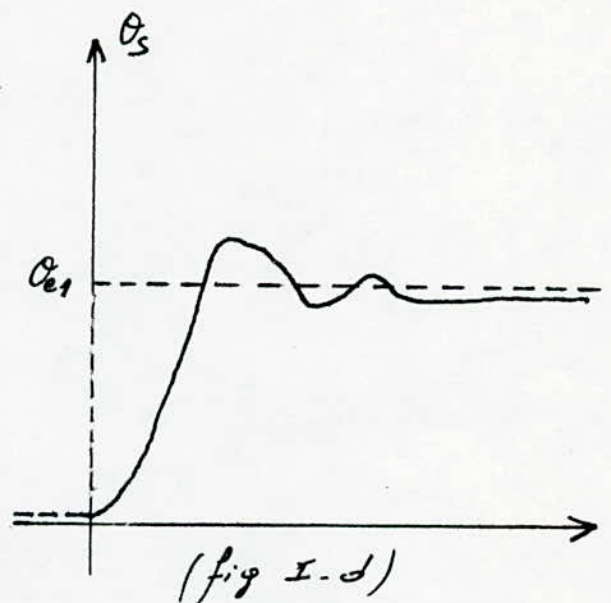
Amplification faible: régime établi peu précis, amortissement trop grand.



forte amplification: grande précision en régime établi, amortissement trop faible.



Amplification trop grande: système instable.

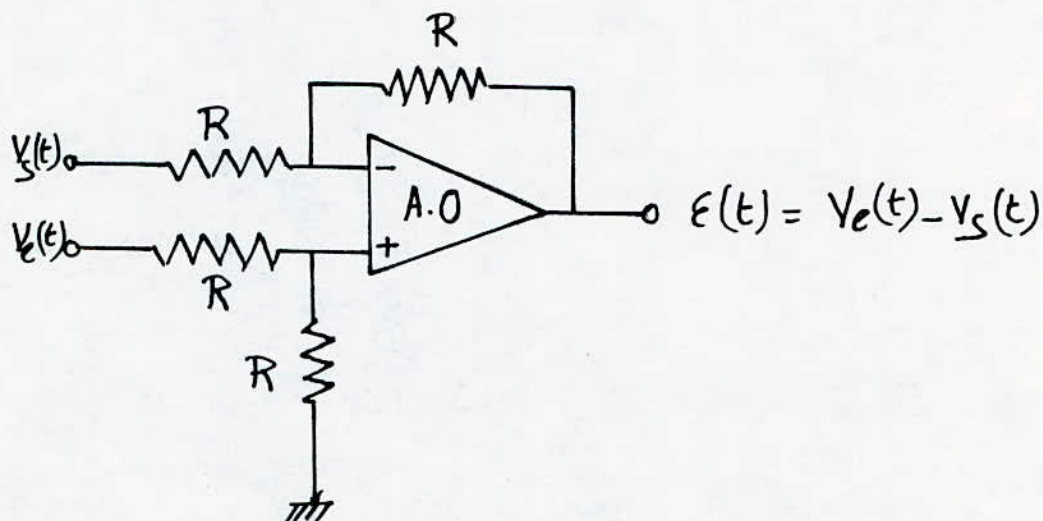


Degré de stabilité correct.

I.4.2. IDENTIFICATION DES ELEMENTS DE LA CHAINE ASSERVIE ET ETABLISSE-
SEMENT ANALYTIQUE DES DIVERSES FONCTIONS DE TRANSFERT.

4.2.1. Compateur :

Il effectue une comparaison des tensions d'entrée et de retour à l'aide d'un amplificateur opérationnel et élabore le signal d'erreur $E(t)$.



(fig 4.2.1.a) schéma du compateur.

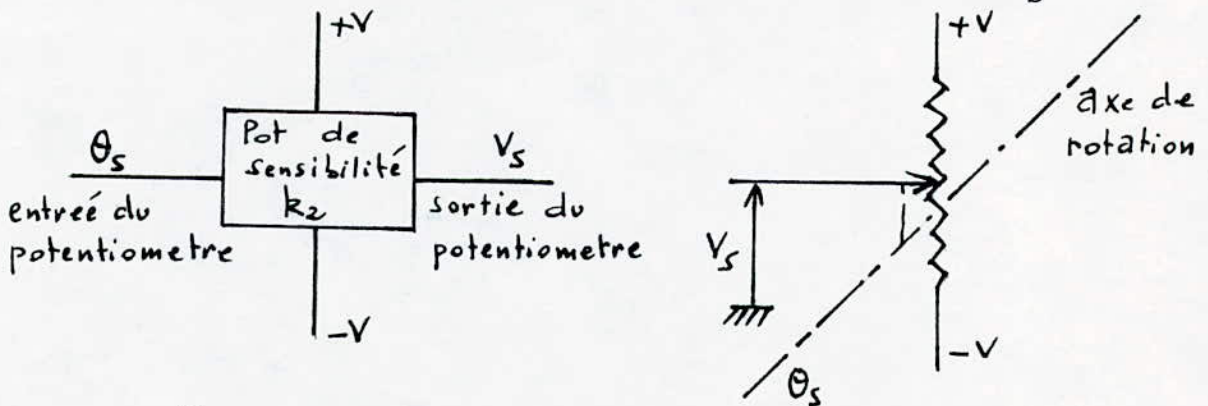
4.2.2. - Potentiomètres

Il existe différents types de potentiomètres, caractérisés par la loi de variation, ceux utilisés dans notre servomécanisme de position sont à variation linéaire et sont alimentés par une source auxiliaire, la loi de variation est alors $\theta = k_2 V$ où K_2 coefficient de proportionnalité caractérise la sensibilité du potentiomètre.

Ils sont rotatifs "multitours" et présentent une piste résistante en arc de cercle un peu inférieur à 360° , sans butée, ce qui permet une rotation continue du curseur non limitée dans un sens ou dans l'autre.

Sur l'axe du moto-réducteur, dont on veut connaître la position angulaire θ_S , on couple mécaniquement l'axe du potentiomètre de retour (qui entraîne le curseur), ainsi on a la conversion des déplacements θ_S en tension U_S .

Toutes les précautions sont prises pour qu'il soit d'une grande fidélité et ne met en jeu que des puissances faibles, son branchement modifiera donc peu la valeur de θ_S .



(fig. 4-2-2. a)

Schema de branchement du potentiometre de retour

Le potentiomètre d'entrée étant identique au potentiomètre de retour.

4.2.3. - Atténuateur et préamplificateur

L'atténuateur est constitué d'un potentiomètre gradué et permettant ainsi un réglage continu de l'atténuation de l'écart $\varepsilon(t)$.

Ce potentiomètre est précédé et suivi d'un amplificateur opérationnel monté en suiveur qui lui confère une impédance d'entrée infinie et une impédance de sortie nulle.

Soit K_1 le gain de cet atténuateur.

K_1 continuellement variable de 0 à 1.

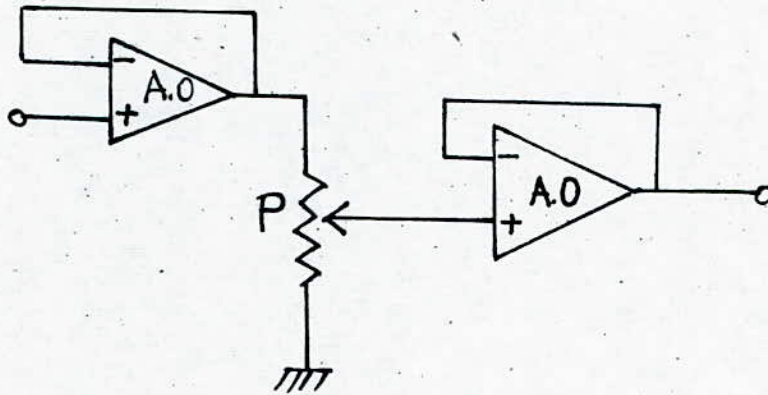
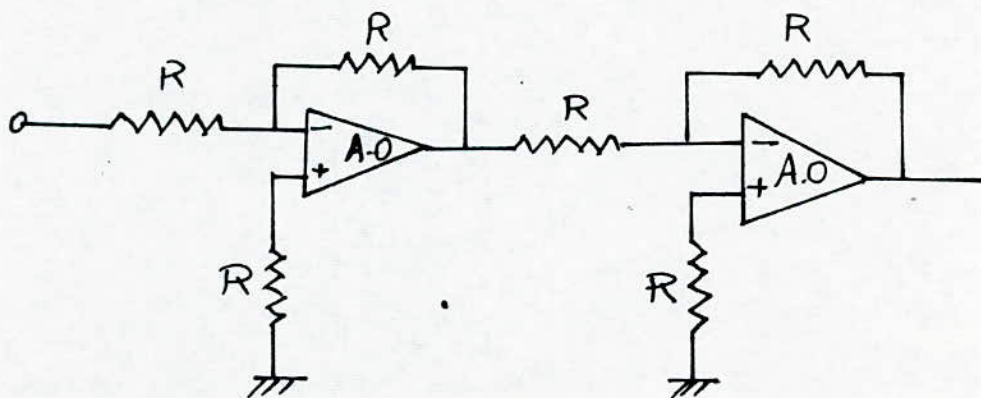


fig (4.2.3.a) Schéma de l'atténuateur

Le préamplificateur a un gain $A = 150$



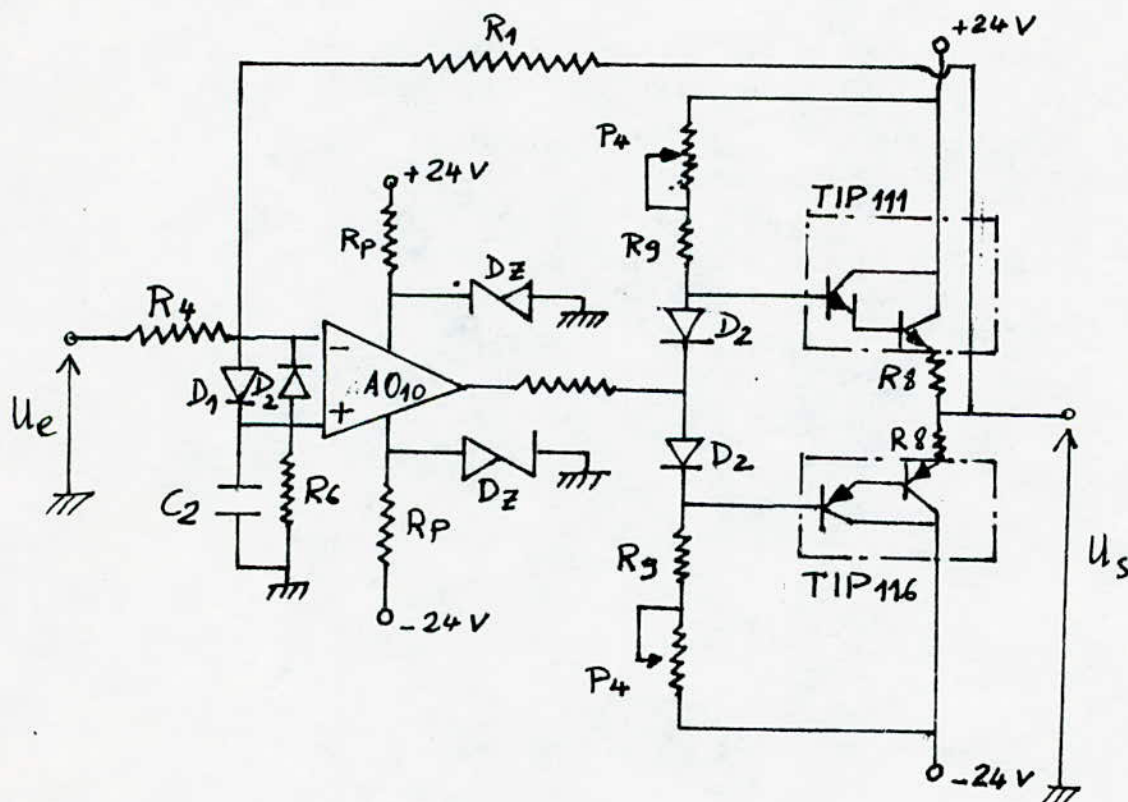
(4.2.3.b) Schéma du préamplificateur

4.2.4. - Amplificateur

L'amplificateur est un amplificateur de courant qui alimente le moteur. Il a un gain en tension égal à 10.

Son rôle est de fournir le courant nécessaire à l'alimentation de l'induit.

Le courant dans la charge (résistance de l'induit) doit changer de signe pour que le moteur tourne dans les deux sens, il faut alors utiliser un montage push-pull.



(fig. 4.2.4.) Schéma de l'amplificateur

Fonctionnement

Le montage push-pull utilisé est réalisé avec des transistors à symétrie complémentaire (TiP 111 et TiP 116).

Ces derniers ont été choisis avec des caractéristiques aussi voisines que possible tout en étant l'un PNP et l'autre NPN.

Les transistors sont polarisés en classe B, pendant l'alternance positive de la tension d'entrée le transistor TiP 111 conduit et fonctionne en amplificateur tandis que son complémentaire le TiP 116 dont la jonction base émetteur est polarisée en inverse ne laisse passer aucun courant.

Durant l'alternance négative, le transistor TiP 116 conduit et le TiP 111 est bloqué.

Les résistances d'émetteur R8, de faible valeur, sont des résistances de protection, ayant pour but d'éviter un éventuel emballement thermique.

Les bases des transistors sont reliées par l'intermédiaire des diodes D₂, polarisées en sens direct par les résistances R_g et P₄. Ces diodes servent à la protection de la distorsion à faible niveau.

Lorsque la tension de commande est nulle, les deux transistors sont justes bloqués ; donc

$$i_{B1} = 0 \text{ et } V_{B1} = 1,2V$$

$$i_{B2} = 0 \text{ et } V_{B2} = + 1,2V$$

$$U_s = 0 \text{ et } I_E = 0$$

Les deux diodes D_2 doivent être conductrices, elles présentent alors entre anode et cathode une tension de seuil de 1,2 V, ceci implique $V_A = 0$. En pratique cette condition est réalisée en ajustant les potentiomètres P_4 .

La résistance R_7 protège le montage de puissance, car elle limite la valeur des courants bases I_{B1} et I_{B2} aux grands signaux.

La tension aux bornes du moteur peut être variée dans le domaine positive et négative et ceci entre les limites données par les tensions d'alimentation $+U_a$ et $-U_a$.

Les diodes Zener D_Z sont destinées à la stabilisation des tensions d'alimentation de l'amplificateur AO_{10} .

La diode Zener est montée en série avec une résistance R_p dont la chute de tension V absorbe les variations de U pour maintenir V_Z constante.

R_p est aussi nécessaire pour limiter le courant dans la diode D_Z . Donc R_p doit être calculée pour que d'une part la tension Zener soit atteinte par les valeurs les plus faibles de U (car autrement il n'y aurait pas de régulation), et que d'autre part, le courant I_Z dans la diode D_Z ne dépasse pas la limite autorisée pour les valeurs les plus élevées de U .

4.2.5. - Moteur électrique :

Le moteur à courant continu utilisé dans notre étude est caractérisé par les données suivantes :

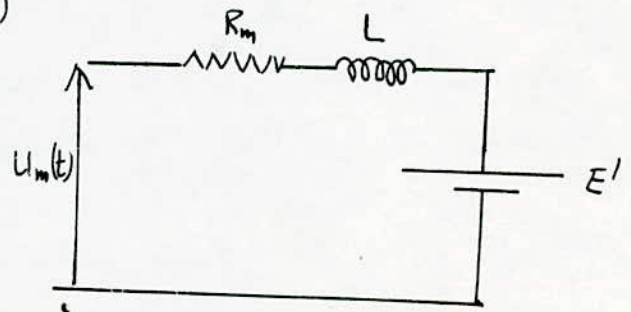
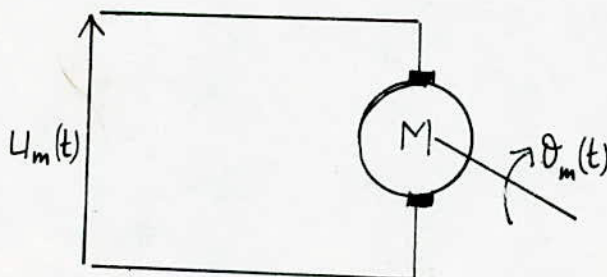
- Vitesse nominale $N_n = 3\ 000\ \text{tr/mn}$
- Tension nominale $U_n = 24\ \text{V}$
- Courant nominal $I_n = 0,9\ \text{A}$
- Puissance absorbée en charge $P_a = 2\ \text{w}$
- Puissance mécanique $P = 13,3\ \text{w}$
- Résistance de l'induit $R_m = 8\ \Omega$
- Moment d'inertie $J_m = 384 \cdot 10^{-7}\ \text{m}^2 \cdot \text{kg}$
- Couple nominal $\Gamma = 0,04\ \text{mN}$
- Constante de couple $k = 0,05\ \text{mN/A}$
- Couple de démarrage $C_d = 0,11\ \text{mN}$
- Cte de temps mécanique $t_m = 0,192\ \text{s}$
- FEM/1000tr/mn $E/1000 = 7\ \text{V}$

L = inductance de l'induit

f = coefficient de frottement visqueux mécanique
supposé négligeable.

Equation électrique

$$U_m(t) = R_m i(t) + L \frac{di(t)}{dt} + k_e \Omega(t) \quad (1)$$



avec $E' = k \Omega_m$ (2)

Equation mécanique

$$\Gamma(t) = J_m \frac{d\Omega(t)}{dt} + f \Omega(t) \quad (3)$$

Equation de couplage

$$\Gamma(t) = k_m i(t) \quad (4)$$

$k_m = k_e = k$ avec k_e : constante de tension du moteur en V/nd
 k_m : constante du couple moteur en mN/A

de (1), (2), (4) et en passant à la transformée de Laplace :

$$\text{on a : } \frac{\Theta_m(P)}{U_m(P)} = \frac{1/k_m}{P[1+T_m P]} \quad (5)$$

Réducteur et charge :

La partie mécanique présente un couple résistant, celui-ci peut être rendu très faible grâce à une démultiplication (rapport $\frac{1}{N} < 1$)

$$\frac{1}{N} = \frac{\Omega (s) \text{ vitesse de l'arbre de sortie}}{\Omega (m) \text{ vitesse de l'arbre moteur}} = \frac{1}{600}$$

L'inertie supplémentaire ramenée au niveau de l'arbre moteur est égale à $\frac{J_c}{N^2}$ où J_c est l'inertie de la charge (table tournante).

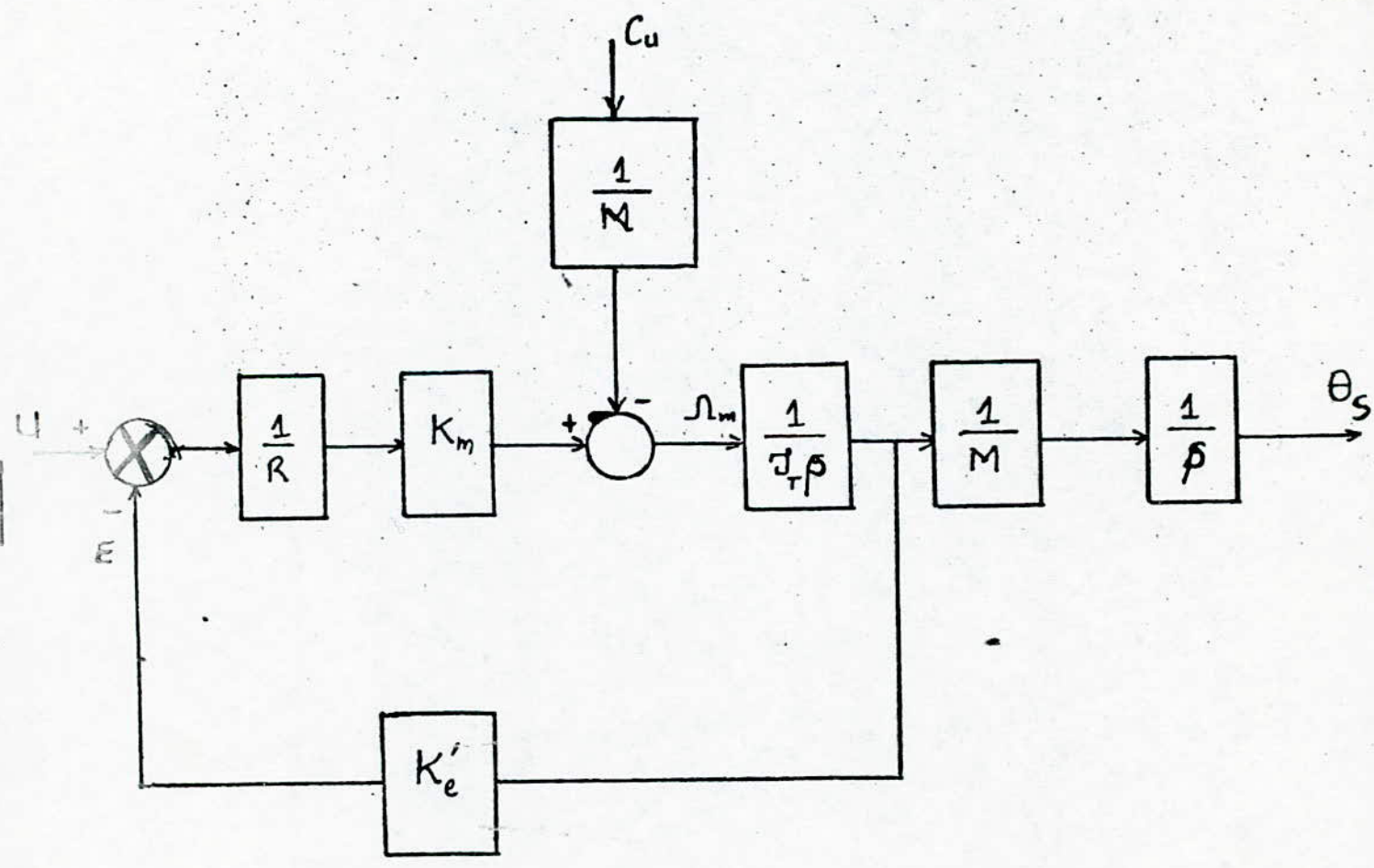
La table entraînée par le moteur décrite au chapitre I est graduée ce qui permet de lire facilement θ_s par rapport à une position initiale.

Ses dimensions sont les suivantes :

- diamètre $D = 50 \text{ cm}$
- épaisseur $e = 1,5 \text{ cm.}$

4.2.6. Moteur - Réducteur - Charge :

On peut schématiser l'ensemble moteur-réducteur-charge de la façon suivante :



Les questions sont les suivantes :

$$\Gamma_m = J_m \frac{d\Omega_m}{dt} + f_m \Omega_m + \frac{\Gamma_c}{N}$$

sur l'arbre récepteur :

$$\Gamma_c = J_c \frac{d\Omega_c}{dt} + f_c \Omega_c + Mr. \frac{d\Omega_c}{dt} + f_L r. \Omega_c + \Gamma_u$$

Γ_c : couple de la charge

Γ_u : couple résistant de la charge

Γ_m : couple moteur

J_T : inertie totale (M.R.C.)

J_c : inertie de la charge

J_m : inertie du moteur

On en déduit
$$\Gamma_m = J_T \frac{d\Omega_m}{dt} + f_T \Omega_m + \frac{\Gamma_u}{N}$$

avec
$$J_T = J_m + \frac{1}{N^2} (J_{table} + J_{pignons} + J_{arbre})$$

Applications numériques :

$$J_{table} = 1655000 \cdot 10^{-7} \text{ kg} \cdot \text{m}^2$$

$$J_{pignon} = 478,76 \cdot 10^{-7} \text{ kg} \cdot \text{m}^2$$

$$J_{arbre} = 444,76 \cdot 10^{-7} \text{ kg} \cdot \text{m}^2$$

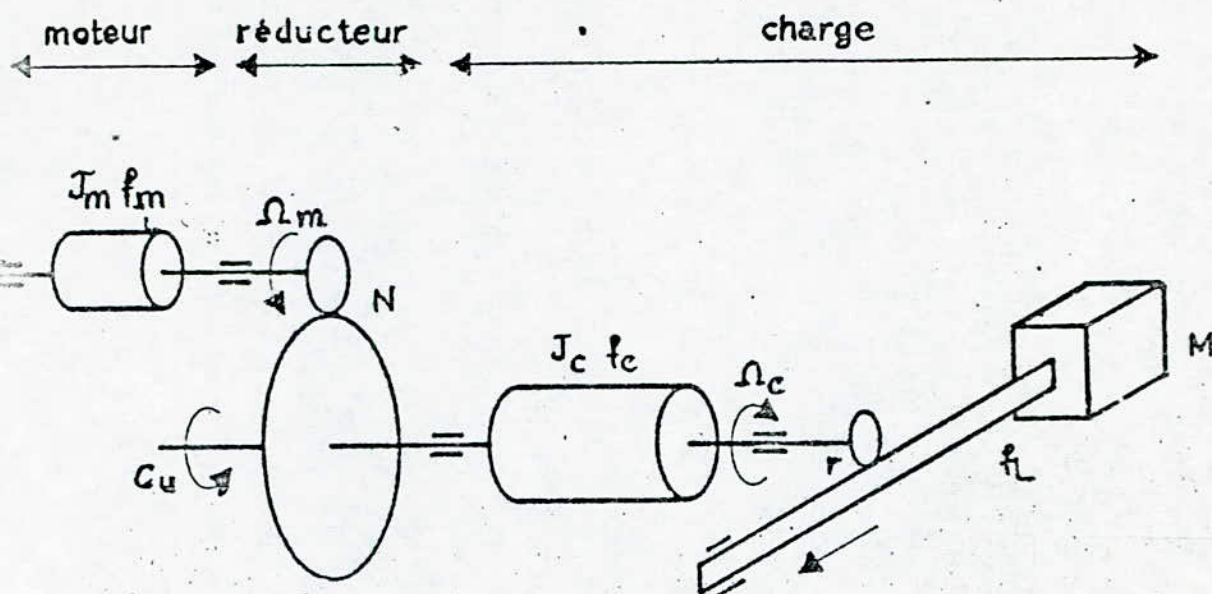
$$J_{masses} = 309,75 \cdot 10^{-7} \text{ kg} \cdot \text{m}^2$$

$$J_{Total} = 394 \cdot 10^{-7} \text{ kg} \cdot \text{m}^2 = J_T$$

Avec $N = 600$.

Le diagramme fonctionnel de l'ensemble moteur-réducteur charge est :

X



En négligeant les frottements, la fonction de transfert de l'ensemble devient :

$$\frac{\Theta_s(p)}{U_m(p)} = \frac{1/N R_m}{p \left(1 + \frac{R_m J_T}{K^2} p \right)}$$

Calcul de la constante de temps mécanique de l'ensemble

$$T_m = \frac{J_T R_m}{K^2}$$

R_m : Résistance rotorique = 8

K : Constante du couple = 0,05 mN/A

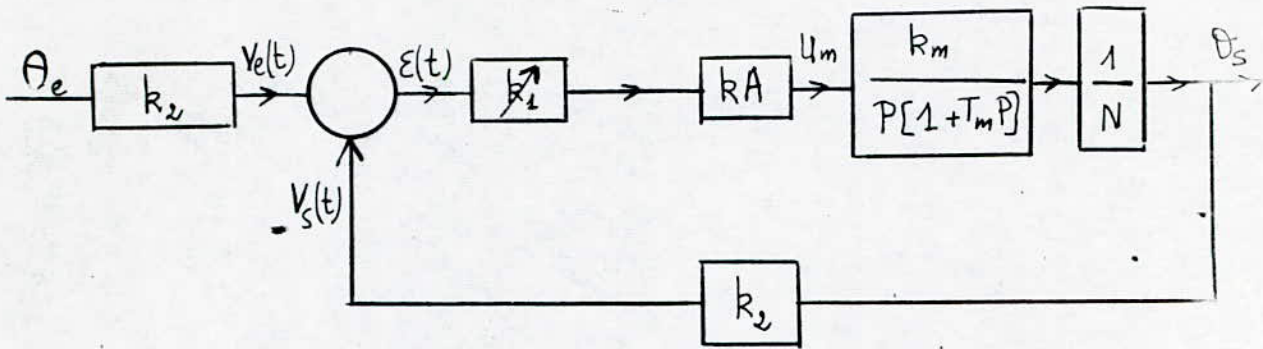
$$T_m = 126 \text{ ms.}$$

CHAPITRE II

ANALYSE DE LA STABILITE

II-1 Etude de la fonction de transfert en boucle fermée :

Le schéma bloc de l'asservissement (fig. I-a) devient alors :



(fig II-1)

Le calcul de la fonction de transfert en boucle fermée donne :

$$\frac{\theta_s(p)}{\theta_e(p)} = \frac{1}{1 + \frac{1}{K} p + \frac{T_m}{K} p^2} \quad (4)$$

avec $K = \frac{k_2 k_1 k A k_m}{N}$

gain statique de la boucle

d'asservissement.

L'identification de cette fonction de transfert avec un modèle du second ordre de la forme :

$$H(p) = \frac{1}{1 + \frac{2\zeta}{\omega_n} p + \frac{p^2}{\omega_n^2}} \quad (2)$$

nous fournissent les expressions de ζ (facteur d'amortissement).

$$\xi = \frac{1}{2\sqrt{KT_m}} \quad (3)$$

et de ω_n (pulsation propre non amortie)

$$\omega_n = \frac{\sqrt{K}}{\sqrt{T_m}} \quad (4)$$

(2) peut s'écrire sous la forme :

$$H(p) = \frac{\omega_n^2}{p^2 + 2\xi\omega_n p + \omega_n^2}$$

en définissant une pulsation réduite $u = \frac{\omega}{\omega_n}$, la courbe du module de gain :

$$A = \frac{1}{\sqrt{(1-u^2)^2 + (2\xi u)^2}} \quad \text{est représentée (fig. 1)}$$

pour $\xi \leq 0,7$ (régime oscillatoire), la courbe présente un maximum $u = \frac{1}{\sqrt{1-2\xi^2}}$ tel que $A_{\max} = \frac{1}{2\xi\sqrt{1-\xi^2}}$

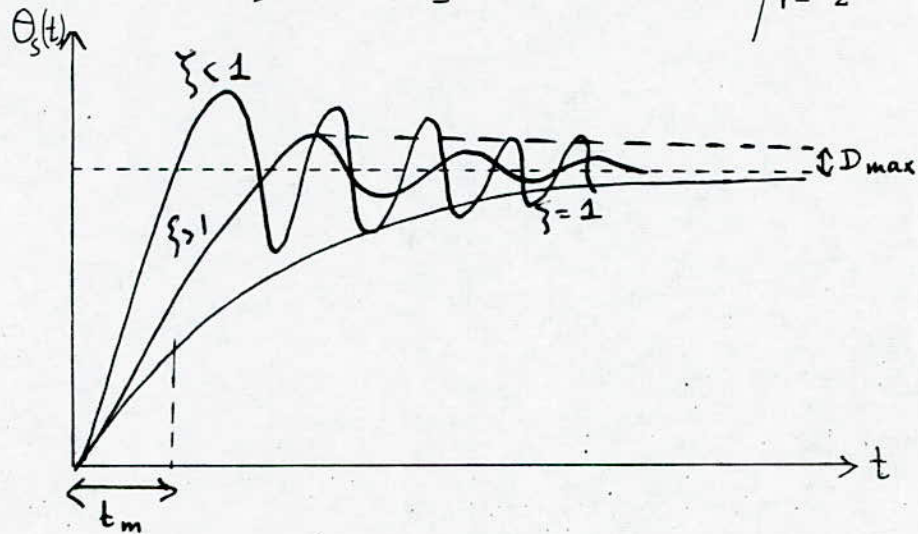
Pour $|\xi| < 1$ le système est oscillatoire

Pour $|\xi| > 1$ le système est aperiodique

Pour $|\xi| = 1$ le système est critique.

L'expression $\theta_s(t)$ de la réponse indicielle d'un tel système est :

$$\theta_s(t) = \mathcal{L}^{-1} \left[\frac{1}{p} H(p) \right] = 1 - \left(\cos \omega t + \frac{\zeta}{\sqrt{1-\zeta^2}} \sin \omega t \right) e^{-\zeta \omega t}$$



L'allure de principe de cette réponse indicielle présente deux grandeurs caractéristiques.

- Le dépassement D_{max}
- Le temps de montée t_m , correspondant au moment où la valeur finale c'est-à-dire $\theta_s(t) = 1$ est atteinte pour la première fois.

Ces deux grandeurs sont fonctions de ω_n et de ζ et sont données par les expressions suivantes :

$$D_{max} = e^{-\frac{\pi \zeta}{\sqrt{1-\zeta^2}}} = e^{-\frac{\pi}{\sqrt{4KT_m-1}}}$$

et

$$t_m = \frac{2T_m}{\sqrt{4KT_m-1}} \left(\pi - \arctg \sqrt{4KT_m-1} \right)$$

REMARQUE :

On voit que le temps de montée est fonction de T_m (constante mécanique de l'ensemble moteur-Réducteur-charge) et que plus T_m est petite, plus rapide est l'intervention du circuit d'asservissement.

Dans notre modèle du second ordre, le seul élément de réglage étant l'atténuateur de gain k_1 , il nous faut donc déterminer la valeur de k_1 qui nous assure un bon amortissement du système dont une des conséquences est un dépassement maximum de $\theta_s(t)$ par rapport à sa valeur finale.

Pour cela, nous avons fixé $\xi = 0,7$.

(3) donne $\xi^2 = \frac{1}{4 k T_m} \implies K = \frac{1}{4 \xi^2 T_m} = 4 \text{ s}^{-1}$

Comme $K = (A k_1 k_2 k k_m) / N$ avec $N = 600$
 $A = 10$
 $k_2 = \frac{18}{\pi} = 0,1 \text{ V/nd}$
 $k_m = 0,05 \text{ mN/A}$
 $k = 150$

$K = 4,95 k_1 = 4 \text{ s}^{-1} \implies \underline{k_1 = 0,8}$

k_1 étant la valeur de l'atténuateur assurant un amortissement $\xi = 0,7$ donc une certaine rapidité du système donnée par T_m et un certain dépassement donné par D_{max} .

II-2 Etude de la chaîne ouverte :

Après avoir déterminé tous les éléments de la chaîne, nous pouvons aborder l'étude harmonique qui donnera des renseignements précieux sur le comportement du système quand il est soumis à une entrée non sinusoïdale. Pour déterminer les caractéristiques du système, nous avons pensé à employer des méthodes essentiellement graphiques qui sont simples et plus directes que la méthode dans le domaine du temps.

L'analyse du système à l'aide de ces méthodes utilise les représentations graphiques de la F.T.B.O., les mesures de stabilité en boucle fermée, sont données en définissant la marge de gain et la marge de phase.

La fonction de transfert calculée précédemment est :

$$\frac{\Theta_m(p)}{U_m(p)} = \frac{1/k_m}{p [1 + T_m p]} \quad (1)$$

D'autre part, le schéma du montage de la chaîne ouverte de la fig. II - 1, donne l'angle de sortie.

$$\Theta_s(p) = \frac{\Theta_m(p)}{N} = \frac{V_s(p)}{k_2} \quad (2)$$

En éliminant $\Theta_m(p)$ entre les opérations (1) et (2) nous aurons

$$\frac{V_s(p)}{U_m(p)} = \frac{K_2}{N} \frac{1/k_m}{P [1 + T_m P]}$$

Comme $U_m = A k_1 k V_e$ avec $A k_1 k =$ gain constant de l'amplificateur assurant un amortissement correct, la fonction de transfert en boucle ouverte $T(p)$ est :

$$T(p) = \frac{V_s(p)}{V_e(p)} = \frac{A k_1 A k_2 k}{k_m N} \frac{1}{P [1 + T_m P]}$$

posons: $\omega_1 = A k_1 k_2 k / k_m N$ et $\omega_2 = \frac{1}{T_m}$

$$\omega_1 = 4 \text{ rad/s}, \quad \omega_2 = 8 \text{ rad/s}$$

nous avons en régime harmonique $T(j\omega) = \frac{1}{j \frac{\omega}{\omega_1} [1 + j \frac{\omega}{\omega_2}]}$

L'analyse de cette fonction de transfert en boucle ouverte à l'aide de la méthode de bode donne les courbes d'amplitudes et de phase représentées page et .

$$\text{avec } T_{db} = 20 \log |T(j\omega)| = -20 \log \left| \frac{\omega}{\omega_1} \right| - 10 \log \left| 1 + \frac{\omega^2}{\omega_2^2} \right|$$

$$\Phi = -\frac{\pi}{2} - \text{Arctg} \frac{f}{f_2}$$

$$f_1 = \frac{\omega_1}{2\pi} = 1,26 \text{ Hz} \quad \text{et} \quad f_2 = \frac{\omega_2}{2\pi} = 0,7 \text{ Hz}$$

On peut noter une fréquence de coupure $f_c = 5,5 \text{ Hz}$

$f_c = 5,5 \text{ Hz}$ et une marge de phase $\varphi_m = 25 \text{ degrés}$.

En général les servomécanismes considèrent un système stable lorsque la marge de phase $\geq \frac{\pi}{4}$, dans notre cas φ_m est insuffisant ce qui se traduit par :

- a) une réponse en fréquence en chaîne fermée à résonance aigüe
- b) une réponse indicielle peu amortie.

Il s'agirait bien sûr de supprimer cette surtension pour pouvoir satisfaire les spécifications de comportement du système asservi. Pour cela on introduit des réseaux de correction dans le système.

II-3 Correction de l'asservissement

Comme nous venons de voir, on est conduit à introduire un correcteur dans la chaîne d'asservissement pour assurer les performances en précision et stabilité.

Le but d'un correcteur est de modifier l'allure du lieu de transfert. Le système est alors compensé.

Il existe un certain nombre de techniques de corrections

- . Correcteur PD
- . Correcteur PI
- . Correcteur PID.

3.1 Correcteur PD

D'après les résultats théoriques obtenus on peut faire une correction dérivée associée à une action proportionnelle PD car un tel correcteur a pour effet d'augmenter la phase de la fonction

de transfert du système non corrigé par rapport à celle du système corrigé et d'augmenter la bande passante du système.

La fonction de transfert d'un tel correcteur est de la forme

$$C(P) = \frac{1}{a} \frac{1 + a TP}{1 + TP} \quad T : \text{constante de temps de dérivation.}$$

3.2. Correcteur PID

Ce correcteur est formé par la combinaison de 3 actions proportionnelle, intégrale, différentielle.

Sa fonction de transfert est de la forme :

$$C(P) = \left(1 + \frac{1}{T_1 P} + T_2 P \right); \quad \begin{array}{l} T_1 : \text{constante de temps} \\ \text{d'intégration} \\ T_2 : \text{constante de temps de} \\ \text{dérivation} \end{array}$$

$$C(P) = K_C \left[P^2 + \frac{P}{T_2} + \frac{1}{T_1 T_2} \right]$$

K_C : constante de proportionnalité.

On pose $a_1 = \frac{1}{T_2}$ et $a_2 = \frac{1}{T_1 T_2}$

$$C(P) = K_C \left[P^2 + a_1 P + a_2 \right]$$

Avec un tel correcteur, on ajoute à la fonction de transfert du système en boucle ouverte un pôle à l'origine, une action dérivée première et une action dérivée seconde.

L'action de ce correcteur dépend de 2 paramètres T_1 et T_2

Il permet d'augmenter le gain statique K , la pulsation de résonance ω_R et la pulsation de coupure ω_c pour un coefficient de surtension Q fixé.

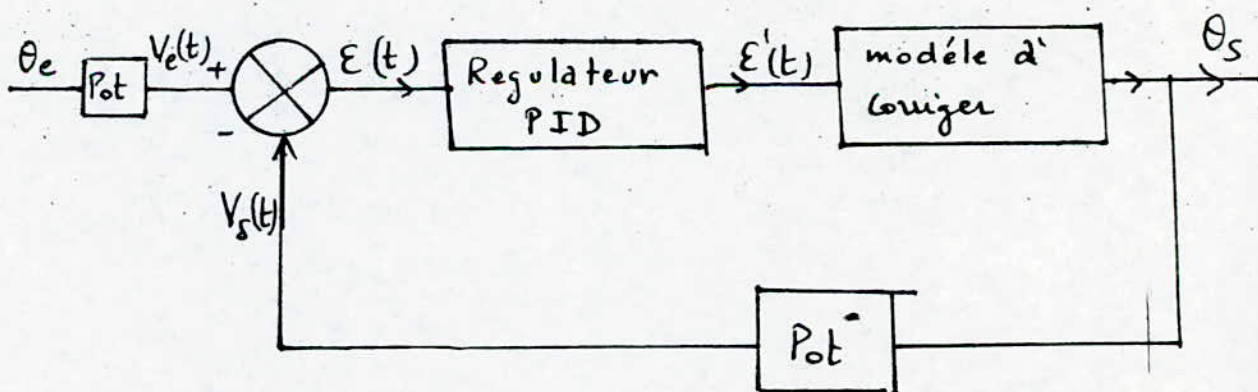
Il autorise donc une augmentation de la précision dynamique et de la précision statique.

Vu les performances de la régulation PID

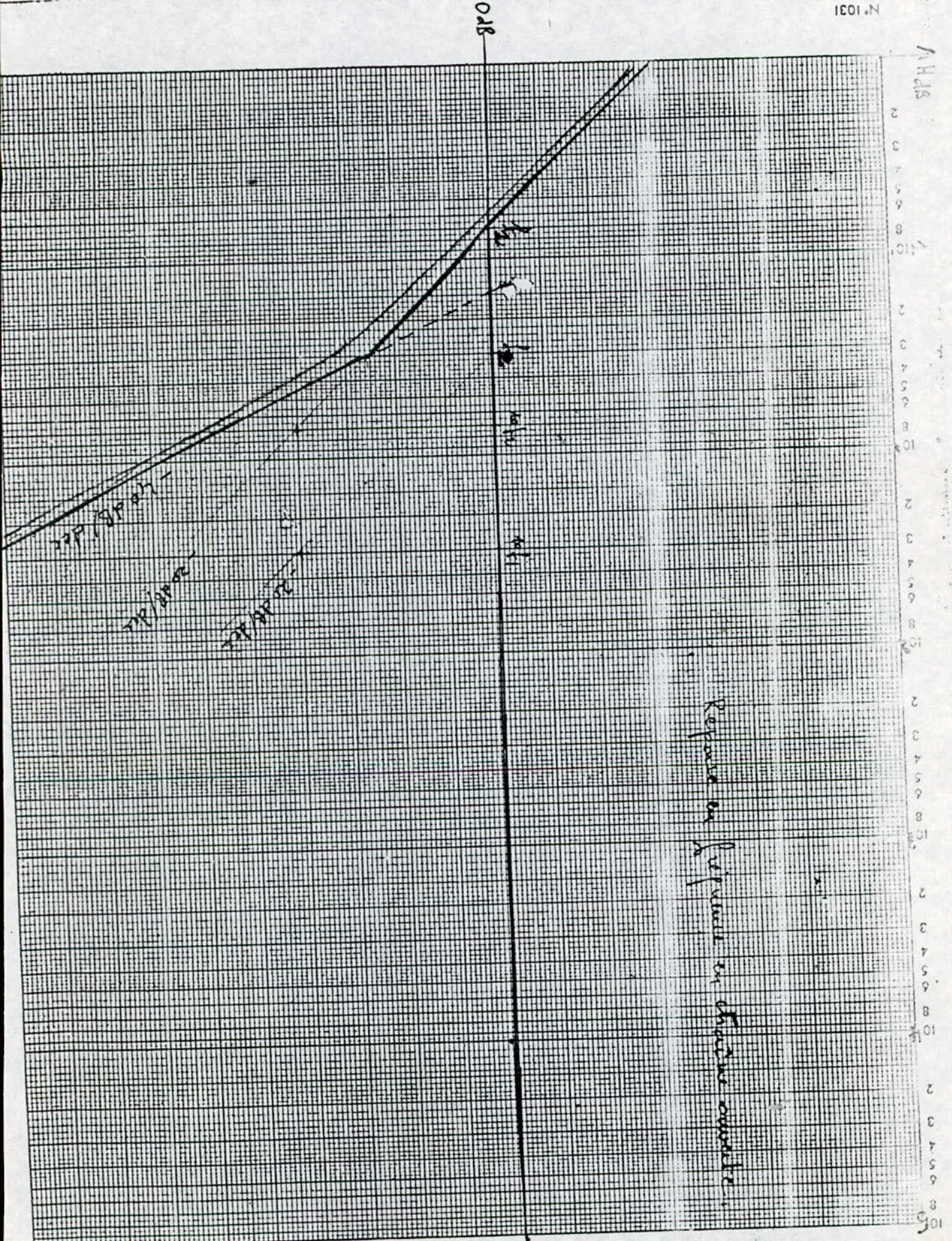
- faible écart maximum
- écart permanent nul
- temps de réponse assez faible.

Nous avons préféré l'utiliser dans notre étude pour la correction du système.

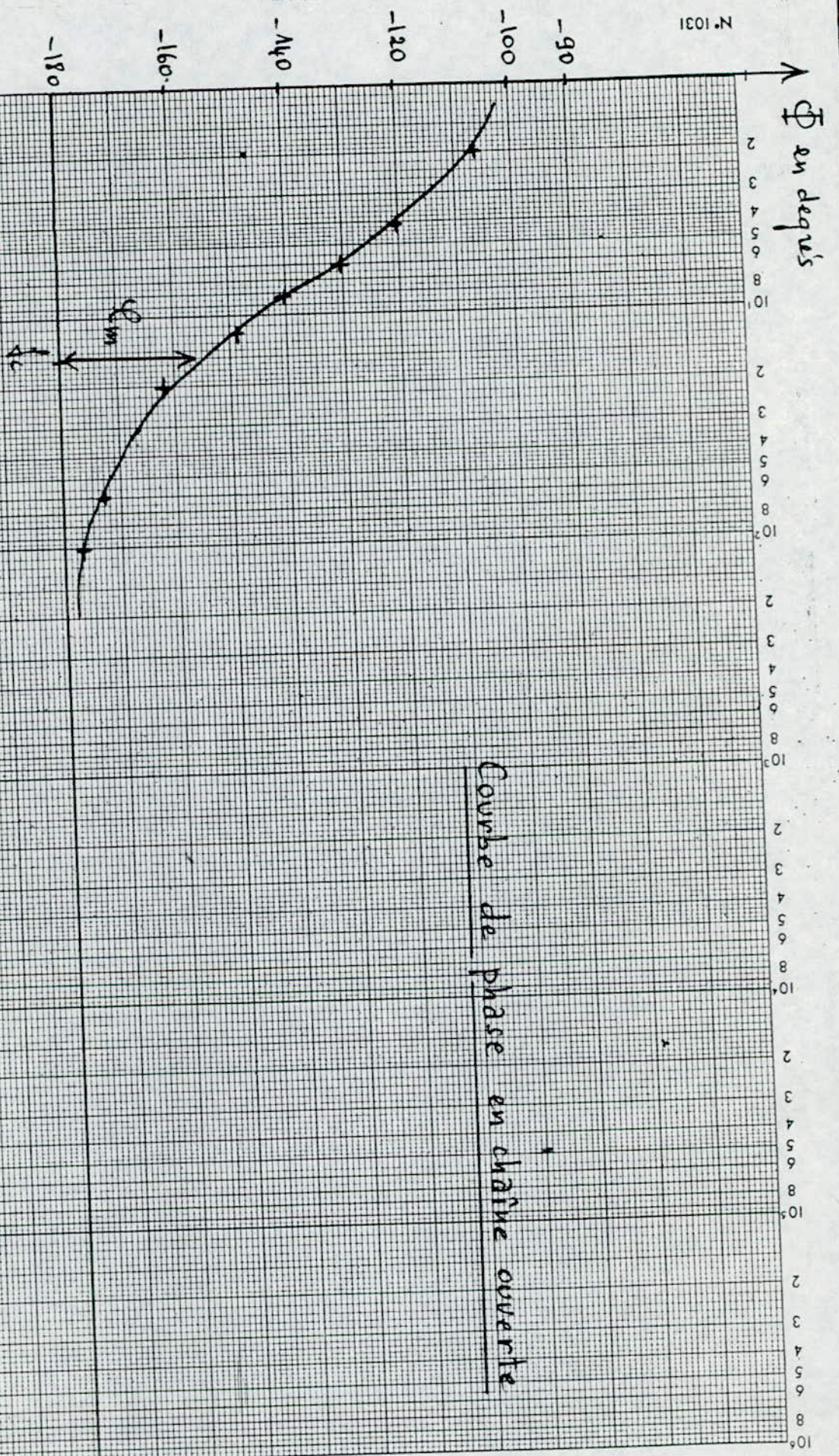
Il sera placé en cascade dans la chaîne d'action de la figure.



(fig. II-2)



N° 1031



Courbe de phase en chaîne ouverte

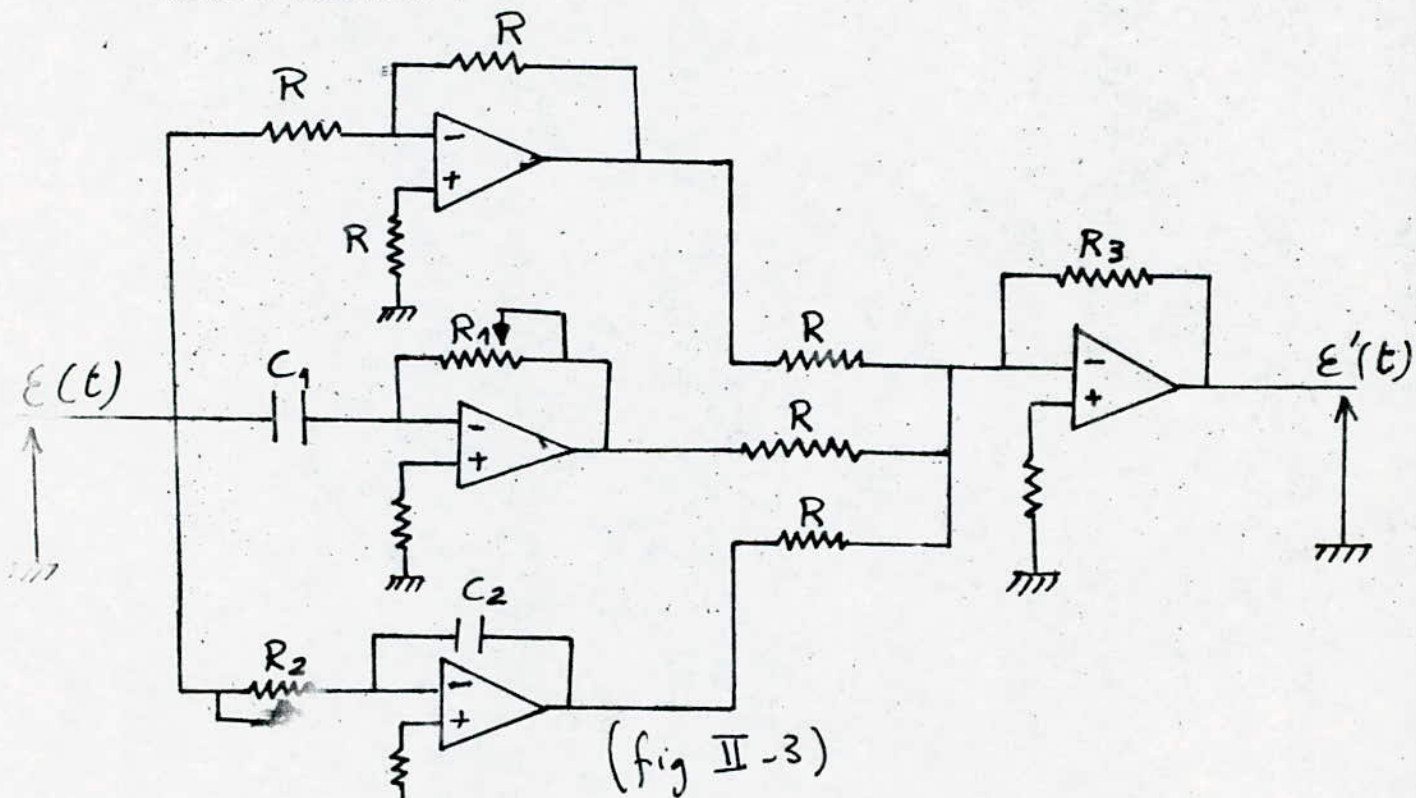
f (Hz)

Ainsi le correcteur modifiera les caractéristiques de la phase de la F.T.B.O. non corrigé d'une façon qui influe favorablement sur les performances du système.

La relation qui lie le signal d'erreur $\mathcal{E}(t)$ et le signal d'erreur corrigé est de la forme :

$$\mathcal{E}'(t) = K_c \left[\mathcal{E}(t) + T_2 \frac{d\mathcal{E}(t)}{dt} + \frac{1}{T_1} \int_0^1 \mathcal{E}(t) dt \right]$$

de façon pratique, on peut réaliser un tel réseau selon le schéma suivant :



$$C(P) = \left(1 + \frac{1}{T_1 P} + T_2 P \right) K_c$$

$$R_1 C_1 = T_2$$

R_1 règle T_2

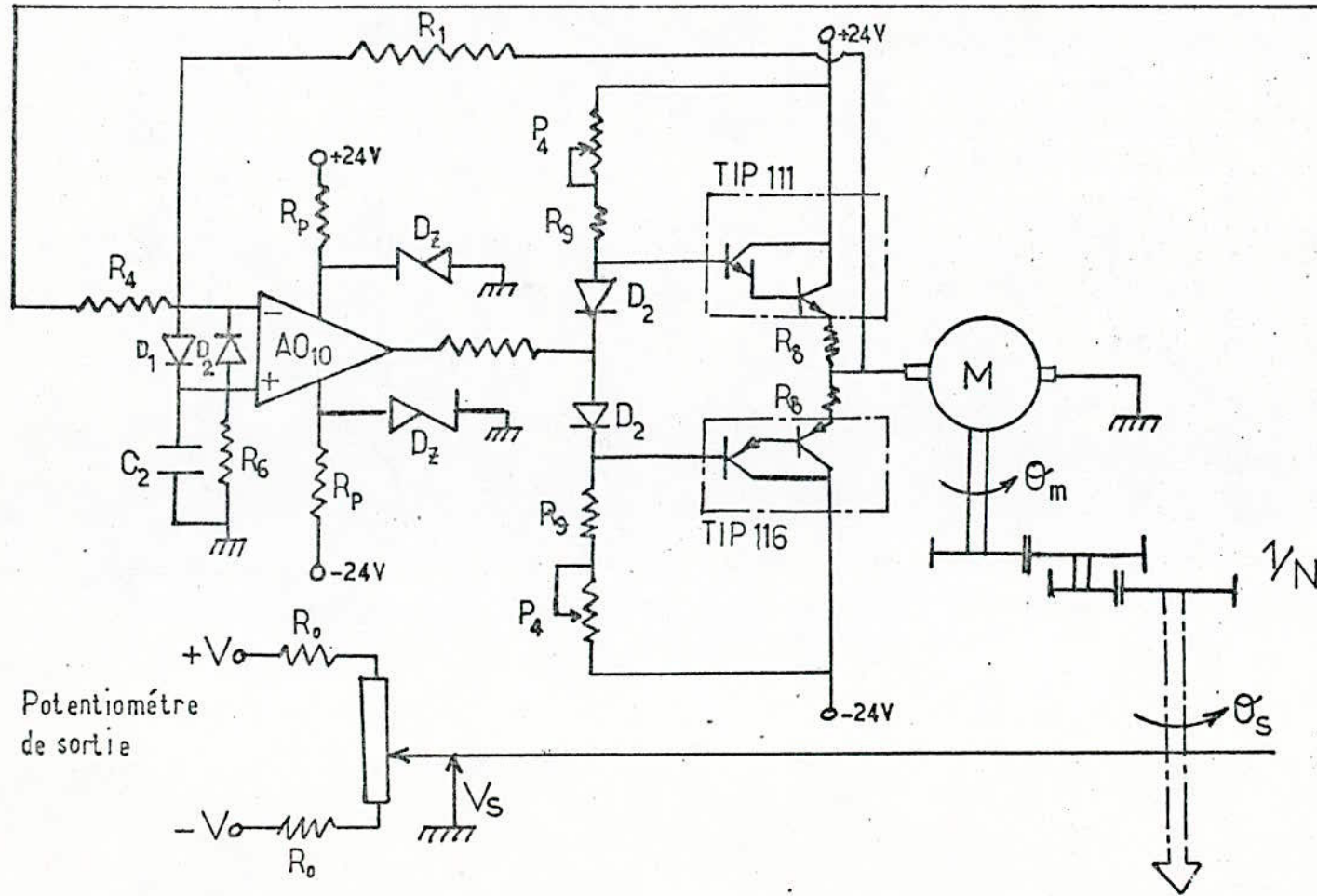
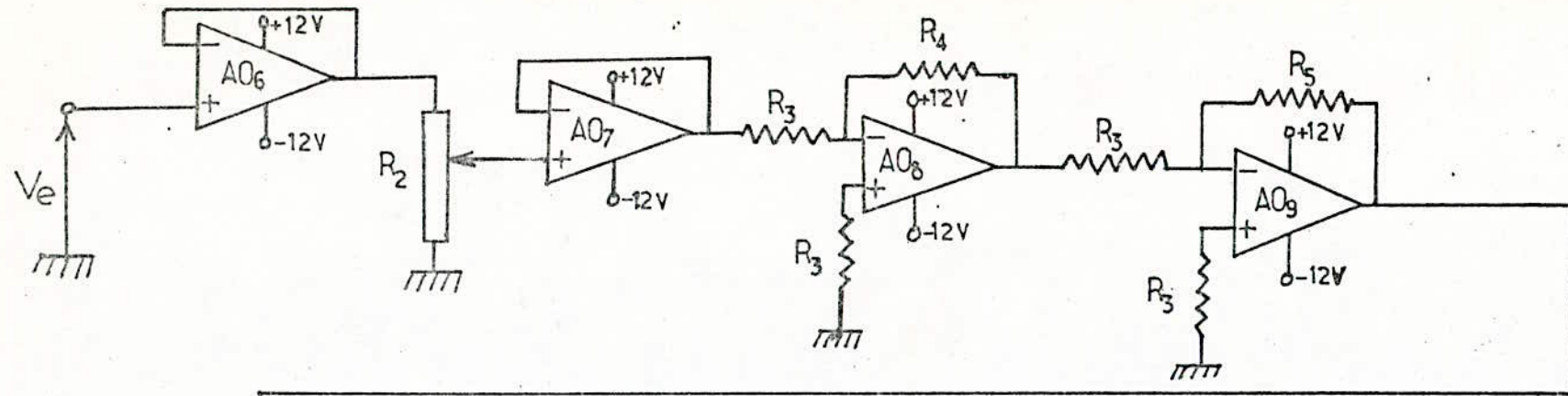
$$R_2 C_2 = T_1$$

R_2 règle R_1

$$K_c = \frac{R_3}{R}$$

R_3 règle K_c

Schéma du montage de la chaîne ouverte



C H A P I T R E 3

C A L C U L D U C O R R E C T E U R

CALCUL DU CORRECTEUR PIDIII.1 Position du problème

Soit un système à retour unitaire (tous les systèmes boucles peuvent être ramenés à un système à retour unitaire) e fonction de transfert en boucle ouverte :

$$T(P) = K \frac{\prod_{i=1}^m (P + z_i)}{\prod_{j=1}^n (P + p_j)} \quad (1)$$

le problème réside dans la recherche des paramètres z_l et p_w d'un correcteur de la forme :

$$D(P) = \frac{\prod_{l=1}^e (P + z_l)}{\prod_{w=1}^v (P + p_w)} \quad (2)$$

qui procure du système en boucle fermée les performances dynamiques et statiques exigées.

Les performances statiques sont caractérisées par le gain de position de vitesse ou d'accélération. Ce gain dépend du nombre de pôles à l'origine.

Si x est le nombre total des pôles à l'origine de la fonction de transfert en boucle ouverte et que y est celui des pôles à l'origine produit par le correcteur, on aura :

$$K_e = \frac{K \prod_{i=1}^m z_i \prod_{l=1}^e z_l}{\prod_{w=y+1}^v p_w \prod_{j=x-y+1}^n p_j} \quad (3)$$

D'autre part, le régime dynamique est caractérisé par la position des pôles de la fonction de transfert en boucle fermée.

Notre système à corriger est du second ordre, il présente les pôles dominants suivants :

$$P_0, P_0^* = -\xi \omega_n \pm j \omega_n \sqrt{1 - \xi^2}$$

Ces racines appartiennent au lieu d'Evans du système corrigé. Elles doivent donc vérifier l'équation caractéristique de ce dernier.

Nous en tirons les relations suivantes qui vont nous permettre de calculer notre correcteur.

$$\frac{1}{K} = \frac{\prod_{i=1}^m |z_i M| \prod_{l=1}^r |z_l M|}{\prod_{j=1}^n |p_j M| \prod_{w=1}^v |p_w M|} \quad (4)$$

Posons :

$$L_S = \frac{\prod_{i=1}^m |z_i M|}{\prod_{j=1}^n |p_j M|} \quad \text{pour le système}$$

et

$$L_C = \frac{\prod_{l=1}^r |z_l M|}{\prod_{w=1}^v |p_w M|} \quad \text{pour le correcteur}$$

on obtient alors la relation suivante :

$$K L_S L_C = 1 \implies K L_S \frac{1}{L_C} = Q$$

De la condition des angles on tire :

$$\sum_{i=1}^m \text{Arg } z_i M - \sum_{j=1}^n \text{Arg } p_j M + \sum_{l=1}^n \text{Arg } z_l M - \sum_{w=1}^v \text{Arg } p_w M = (2\lambda + 1)\pi$$

on pose
$$\gamma_s = \sum_{i=1}^m \text{Arg } z_i M - \sum_{j=1}^n \text{Arg } p_j M$$

$$\gamma_c = \sum_{l=1}^n \text{Arg } z_l M - \sum_{w=1}^v \text{Arg } p_w M$$

on obtient la relation $\gamma = \gamma_c = \pi - \gamma_s$ (6), représentant l'avance ou le retard de phase que doit fournir le correcteur.

Dans la relation (3), caractérisant le régime statique

on pose :

$$E_c = \frac{\prod_{l=1}^n z_l}{\prod_{w=1}^v p_w} \quad \text{et} \quad E_s = \frac{\prod_{i=1}^m z_i}{\prod_{j=1}^n p_j}$$

on obtient
$$K_c = K E_c E_s \quad (7)$$

des équations (5) et (7) on tire
$$K_c \frac{L_s}{E_s} = \frac{E_c}{L_c} \quad (8)$$

E_c étant l'atténuation introduite par le correcteur.

de la relation (5) et (8) on obtient
$$R = Q E_c = K_c \frac{L_s}{E_s} \quad (9)$$

Q, γ, E_c sont des paramètres normalisés qui caractérisent le système et le correcteur.

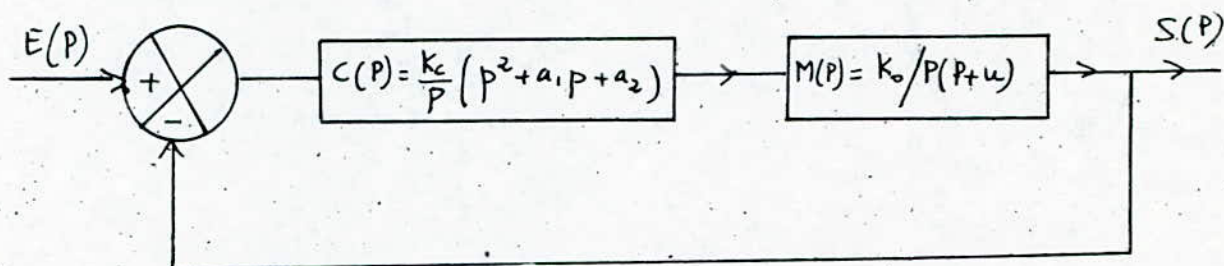
Le problème de la correction trouve donc une même solution, peu importe les singularités du système à corriger, pourvu que les besoins en gain et en phase soient représentés par les mêmes paramètres normalisés.

3.2 : Calcul des paramètres à l'aide de notre modèle

Le modèle à corriger est de la forme $M(P) = \frac{K}{P(P+u)}$

il est très important de remarquer que le modèle n'a que 2 pôles ceci simplifie considérablement le calcul du correcteur.

Notre travail se réduit à l'étude du système représenté par la figure (III-1).



(fig. III - 1)

nous imposons au système un certain gain statique en boucle ouverte K_0 et des pôles dominants $P_0, P_0^* = -\omega_n \zeta \pm j\sqrt{1-\zeta^2}$. De la condition que les pôles P_0 et P_0^* vérifient l'équation caractéristique du système corrigé et de la condition sur le gain statique découlent les valeurs de a_1, a_2, K_0 .

tel que $K_0 = K_c K_d$

$$1 + T(p) = 0 \Rightarrow 1 + (p^2 + a_1 p + a_2) \left(\frac{K_0}{p^2 (P+u)} \right) = 0$$

$$p^3 + p^2 (u + K_0) + K_0 a_1 p + a_2 K_0 = 0 \quad (10)$$

P_0 et P_0^* vérifient l'équation (10) alors on aura

$$p^3 + p^2 (u + K_0) + K_0 a_1 p + a_2 K_0 \text{ divisible par } (p - P_0)(p - P_0^*)$$

Effectuons les divisions et écrivons que les restes doivent être nuls. Il vient deux nouvelles équations :

$$K_0 a_2 + P_0 (K_0 a_1 + P_0 (u + K_0 + P_0)) = 0 \quad (11)$$

et
$$P_0 (u + K_0 + P_0) + K_0 a_1 + P_0^* (P_0^* + u + K_0 + P_0) \quad (12)$$

La relation (12) peut s'écrire en remplaçant P_0 et P_0^* par leur valeur

$$P_0, P_0^* = -\omega_n \xi \pm j\omega_n \sqrt{1 - \xi^2} = x + jy$$

$$K_0 (a_1 + 2x) + 2x (u + 2x) - x^2 - y^2 = 0$$

qui donne
$$K_0 = \frac{x^2 + y^2 - 2x(u + 2x)}{a_1 + 2x} \quad (13)$$

Les relations (7) et (9) s'écrivent dans notre cas :

$$K_e = \frac{K_0 a_2}{u} \quad (14)$$

$$R = \frac{K_e u}{\omega_n^2 e_1} \quad (15)$$

e_1 étant la distance du pôle (-u) à l'un des pôles dominants.

D'autre part, (11) et (12) étant nulles nous pouvons écrire que leur somme l'est aussi, ce qui conduit à l'équation :

$$2k_0 a_2 + (p_0 + p_0^*) \cdot k_0 a_1 + (p^2 + p_0^{*2})(u + k_0) + (p_0^3 + p_0^{*3}) = 0$$

ou

$$2k_0 a_2 + 2x \cdot k_0 a_1 + 2(u + k_0)(x^2 - y^2) + 2x^3 - 6xy^2 = 0 \quad (16)$$

la relation (14) donne :

$$k_0 = \frac{k_e u}{a_2} \quad (17)$$

Portons (17) et (13) dans (16), nous obtenons :

$$a_1 = \frac{(x^2 + y^2)^2 - 2k_e u x}{k_e u - \omega_n^2 u + 2\omega_n^3 \xi}$$

remplaçons $k_e u$ de sa valeur tirée de (15), a_1 devient :

$$a_1 = \frac{\omega_n^2 + 2Re_1 \omega_n \xi}{2\omega_n \xi + Re_1 - u}$$

portons (18) dans (13), nous avons

$$k_0 = Re_1 + 2\xi \omega_n - u \quad (19)$$

donc :

$$a_1 = \frac{\omega_n^2 + 2Re_1 \omega_n \xi}{k_0} = \frac{\omega_n^3 + 2k_e u \xi}{k_0 \omega_n} \quad (20)$$

de (15) on tire Re_1 qu'on reporte dans (19) on obtient une valeur de k_e :

$$k_e = \frac{\omega_n^2}{u} [k_0 - 2\xi \omega_n + u] \quad (21)$$

Enfin, en reportant (21) dans (20) avec les valeurs des paramètres :

$$\omega_n = 6 \text{ rad/s} ; \quad u = \frac{1}{T_m} = 8 \text{ s}^{-1} ; \quad \xi = 0,7$$

on obtient

$$a_1 = \frac{8,4 K_0 + 32,64}{K_0} \quad (22)$$

de la même manière en remplaçant K_e par sa valeur donnée l'équation (21) dans l'équation de a_2 tirée de (15), on obtient:

$$a_2 = \frac{36 K_0 - 590,4}{K_0} \quad (23)$$

Le rapport de a_1 et a_2 donnés par (22) et (23) dans l'équation (10) conduit à l'expression finale :

$$P^3 + P^2 (8 + K_0) + (8,4 K_0 + 32,64)P + 36 K_0 - 590,4 = 0 \quad (24)$$

Les racines de cette équation, pour différentes valeurs du paramètre K_0 sont les pôles de F.T.B.F.

Connaissant la position de ces pôles dans le plan de S ($S = \sigma + j\omega$) ; on détermine facilement le facteur de gain K_0 nécessaire à donner au système et fournissant de meilleurs résultats.

Nous déduirons alors les paramètres du régulateur K_c , T_1 , T_2 qui nous permettrons de le réaliser.

F.T.B.F. du système corrigé

$$H_c(P) = \frac{K_0 (P^2 + a_1 P + a_2)}{P^2 (P + u) + K_0 (P^2 + a_1 P + a_2)}$$

F.T.B.O. du système corrigé

$$T_c(P) = \frac{K_0 (P^2 + a_1 P + a_2)}{P^2 (P + u)}$$

La condition nécessaire et suffisante pour que le système linéaire soit stable est que tous les pôles de $T_c(P)$ aient leur partie réelle négative.

Nous utilisons la méthode des lieux des racines pour la détermination des paramètres du correcteur. C'est une méthode graphique qui s'appuie sur une mesure du degré de stabilité au moyen du facteur d'amortissement ξ .

Le tracé du lieu d'Evans de la T.F.B.O. avec K_0 variant de 1 à 1000 dans (24) est donné par la figure (3.2.a).

En fixant $\xi = 0,7$ on détermine facilement le facteur de gain K_0 nécessaire à donner au système.

Il suffit de tracer la droite issue de l'origine et faisant avec l'axe réel négatif l'angle θ :

$$\theta = \text{Arc cos } \xi \quad \xi = 0,7 \implies \theta = 45^\circ$$

on trouve : $K_0 = 300$ d'où

$$K_c = 8,8$$

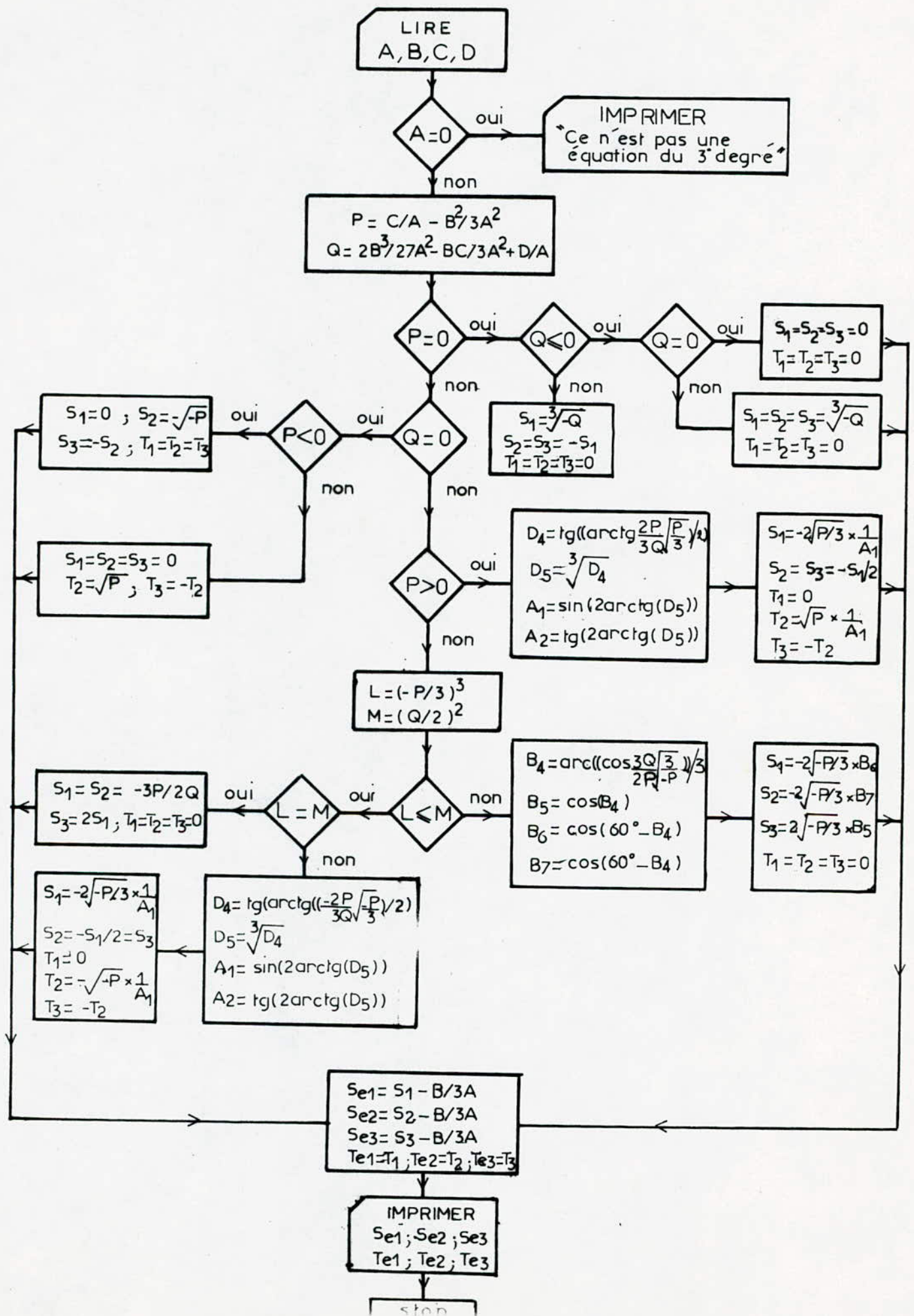
$$T_1 = 0,14$$

$$T_2 = 0,254$$

méthode de résolution de l'équation algébrique du 3° degré.

Algorithme : (voir Annexe)

Organigramme : (voir page suivante)



```

10 DEG
20 FOR K=1 TO 1000 STEP 2
30 A=1
40 B=8+K
50 C=0.4*K+32.64
60 D=35*K-590.4
70 IF A=0 THEN GOTO Et10
80 P=C/A-D^2/(3*A^2)
90 Q=2*B^3/(27*A^3)-B*C/(3*A^2)+D/A
100 IF P=0 THEN
110 IF Q=0 THEN
120 S1=S2=S3=0
130 T2=T3=0
140 GOTO Et4
150 ELSE
160 IF Q<0 THEN
170 Mq=-Q
180 S1=S2=S3=Mq^(1/3)
190 T2=T3=0
200 GOTO Et4
210 ELSE
220 S1=Q^(1/3)
230 S1=S2=S3=-S1
240 T2=T3=0
250 GOTO Et4
260 END IF
270 END IF
280 ELSE
290 IF Q=0 THEN
300 IF P<0 THEN
310 S1=0
320 S2=SQR(-P)
330 S3=-S2
340 T2=T3=0
350 GOTO Et4
360 ELSE
370 S1=S2=S3=0
380 T2=SQR(P)
390 T3=-T2
400 GOTO Et4
410 END IF
420 END IF
430 END IF
440 IF P<0 THEN GOTO Et1
450 C1=2*P/(3*Q)
460 C2=SQR(P/3)
470 D4=TAN(ATN(C1*C2)/2)
480 IF D4>0 THEN GOTO Et2
490 D5=-D4
500 D5=-D5^(1/3)
510 GOTO Et3
520 Et2: !
530 D5=D4^(1/3)
540 Et3: !
550 B2=2*ATN(D5)
560 A1=SIN(B2)
570 A2=TAN(B2)
580 S1=-2*C2*(1/A2)
590 S2=-S1/2
600 T2=SQR(P)*(1/A1)
610 S3=S2
620 T3=-T2

```

```

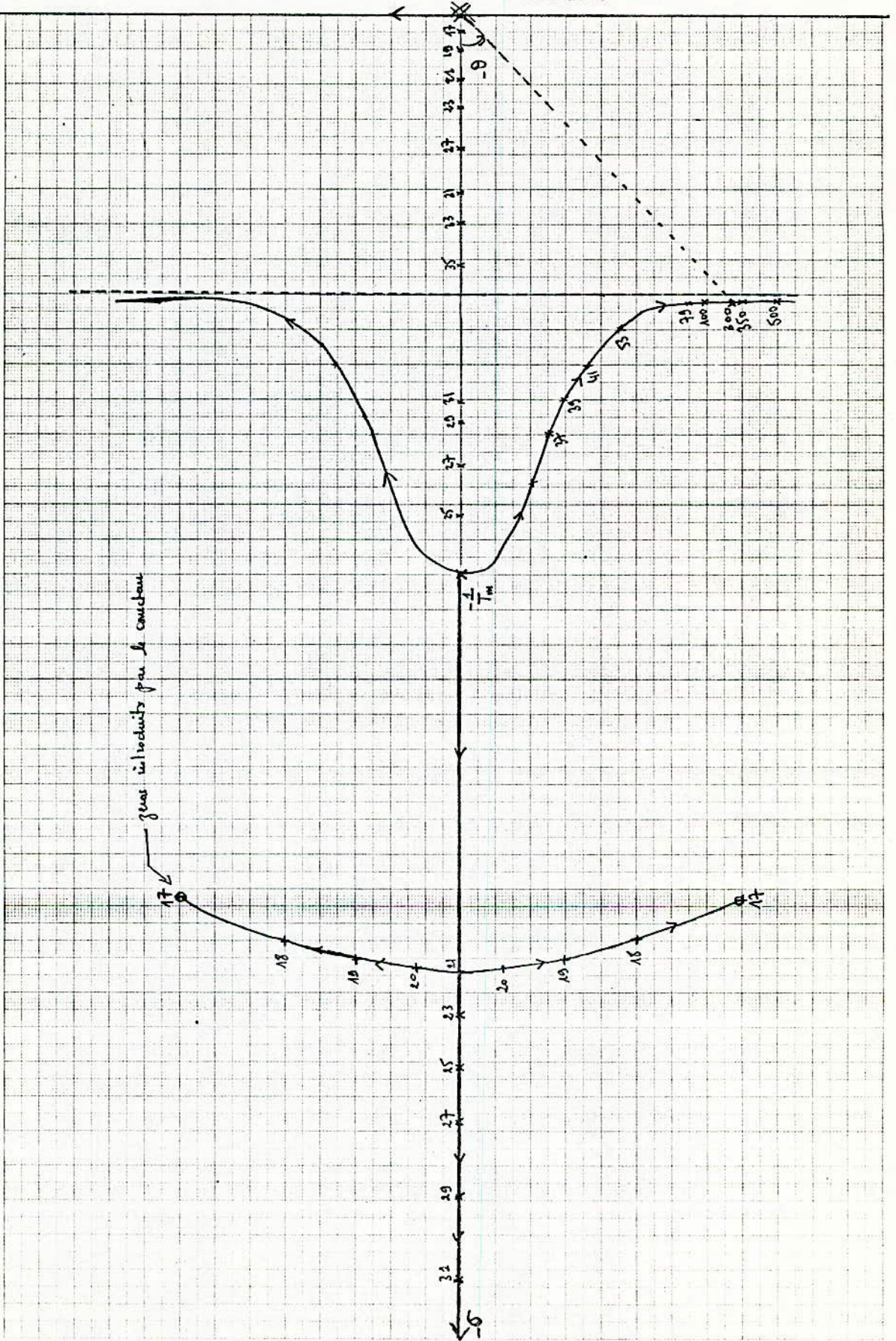
630 GOTO Et4
640 Et1: !
650 L=(-P/3)^3
660 M=(Q/2)^2
670 IF L>=M THEN GOTO Et5
680 C1=-((2*P)/(3*Q))
690 C2=SQR(-P/3)
700 D4=TAN(ASN(C1*C2)/2)
710 IF D4>0 THEN GOTO Et7
720 D5=-D4
730 D5=-D5^(1/3)
740 GOTO Et8
750 Et7: !
760 D5=D4^(1/3)
770 Et8: !
780 B2=2*ATN(D5)
790 A1=SIN(B2)
800 A2=TAN(B2)
810 S1=-2*C2*(1/A1)
820 S2=-S1/2
830 T2=-SQR(-P)*(1/A2)
840 S3=S2
850 T3=-T2
860 GOTO Et4
870 Et5: !
880 IF L=M THEN GOTO Et6
890 B4=ACS(3*Q/(2*P)*SQR(3/-P))/3
900 B5=COS(B4)
910 B6=COS(60-B4)
920 B7=COS(60+B4)
930 S3=2*SQR(-P/3)*B5
940 S1=-2*SQR(-P/3)*B6
950 S2=-2*SQR(-P/3)*B7
960 T2=T3=0
970 GOTO Et4
980 Et6: !
990 S1=-((3*Q)/(2*P))
1000 S2=S1
1010 S3=-((S2*2))
1020 T2=T3=0
1030 Et4: !
1040 Te1=0
1050 Se1=S1-D/(3*A)
1060 Se2=S2-D/(3*A)
1070 Se3=S3-D/(3*A)
1080 Raci1=A*Se1^3+B*Se1^2+C*Se1+D
1090 Raci2=A*(Se2^3-3*Se2*T2^2)+B*(Se2^2-T2^2)+C*Se2+D
1100 Raci3=A*(3*T2*Se2^2-T2^3)+B*(2*Se2*T2)+C*T2
1110 PRINT "*****"
1120 PRINT " SOLUTION DE L'EQUATION :";A;"X^3+";B;"X^2+";C;"X+";D;" (POUR K=";K;)"
1130 PRINT "*****"
1140 PRINT
1150 PRINT USING "2(4A,DDDD.DDDDDDDDD,2X),11A,DD.DDD";"Se1=";Se1;"Te1=";T1;"F(Se1)=" ;Raci1
1160 PRINT USING "2(4A,DDDD.DDDDDDDDD,2X),11A,DD.DDD";"Se2=";Se2;"Te2=";T2;"F(Se2,Te2)=";Raci2
1170 PRINT USING "2(4A,DDDD.DDDDDDDDD,2X),11A,DD.DDD";"Se3=";Se3;"Te3=";T3;"F(Se3,Te3)=";Raci3
1180 PRINT
1190 PRINT
1200 GOTO Et11
1210 Et10: PRINT "Ce n'est pas une equation du 33degre."
1220 Et11: !
1230 NEXT K
1240 END

```

MS-ju

HEWLETT  PACKARD

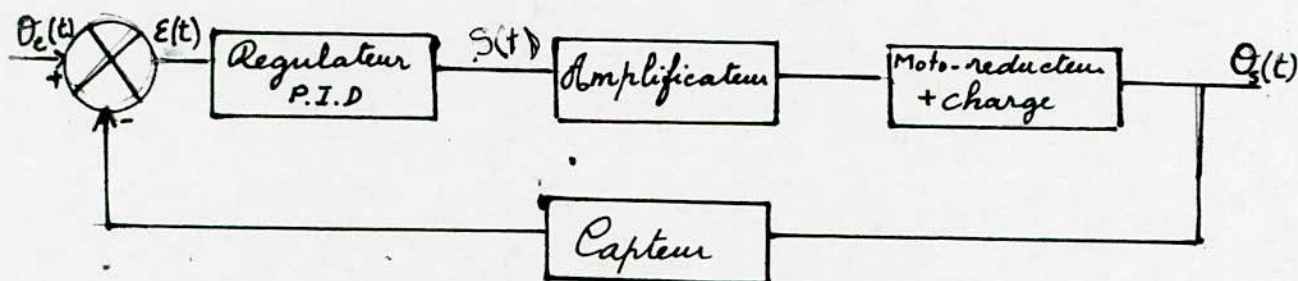
PART No. 9270-1024



gas introduits par le conduit

CHAPITRE IV.

ASSERVISSEMENT NUMERIQUE

1. Position du problème

$$\text{Ecart : } E(t) = \theta_e(t) - r(t)$$

Fig. 1.a Synoptique général d'une boucle d'asservissement.

Il s'agit comme dans la partie analogique d'agir sur le processus de manière à rendre la grandeur $r(t)$ aussi proche que possible de la valeur de consigne $\theta_e(t)$; autrement dit de faire tendre l'écart $E(t)$ vers zéro.

La valeur de consigne est introduite à l'aide de roues codeuses.

La grandeur physique qui caractérise la sortie du processus est transformée en un train d'impulsions par un capteur. Ce train d'impulsions ainsi que la valeur de consigne sont transmis au microprocesseur pour l'élaboration de l'écart

$$E(t) = \theta_e(t) - r(t)$$

Le régulateur PID sera traité par programme ainsi que le comptage du train d'impulsions issues du capteur. L'amplificateur utilisé est le même que celui de la partie analogique. Il est attaqué par un signal analogique. Il sera donc nécessaire de prévoir un convertisseur numérique-analogique

Nous aurons donc à réaliser une carte d'asservissement utilisée comme interface entre un microprocesseur et la partie de la chaîne d'asservissement qui comprend : l'amplificateur, le moto-réducteur chargé de la table et du capteur.

2. Etude qualitative de la méthode choisie :

Avec la conception de divers programmes aidant à l'interfaçage des périphériques avec le microprocesseur, au transfert des données, des états et des signaux de commande, des problèmes peuvent surgir quant à la vitesse de traitement de ces programmes.

Les dispositifs d'entrée-sortie diffèrent par leur vitesse de traitement.

Le microprocesseur que nous utilisons est le MC 6800.

Les périphériques du MC 6800 que nous utilisons sont : le PIA MC 6821 et le temporisateur MC 6840. Ces derniers transfèrent des données au microprocesseur à des intervalles de temps qui leur sont spécifiques.

Pour aborder correctement le traitement par le microprocesseur de la boucle d'asservissement, il sera nécessaire de calculer avec précision la durée "temps réel" de traitement de chacun des périphériques utilisés ainsi que celui des programmes de calcul tels que :

- Programme d'acquisition de la valeur de consigne à l'aide de roues codeuses.
- Programme de traitement pour l'élaboration de l'écart.
- Programme de traitement du régulateur PID.

Le temps de traitement global de la chaîne ne pourra être inférieur à la durée de traitement du PID, du CNA et du traitement de l'écart.

Il est nécessaire de tenir compte des vitesses de traitement moyennes de chacun de ces programmes.

3. Identification des éléments de la chaîne [3]

Un microprocesseur ne peut commander directement un périphérique. Une carte interface composée généralement de plusieurs circuits intégrés est nécessaire entre le microprocesseur et le périphérique.

Cet interface aura pour rôle d'établir une compatibilité entre les lignes d'entrée-sortie du microprocesseur et celles du périphérique.

. Pour transmettre des données vers un périphérique nous disposons de deux modes :

- le mode parallèle
- le mode série.

Les différences qui les distinguent résident dans la vitesse de transmission et dans la taille du bus de liaison (nombre de fils nécessaires).

Dans le cadre de notre travail, nous utilisons le circuit d'interface MC 6820 ou PIA (Peripheral Interface Adaptor) ou encore interface parallèle programmable puisque notre choix de transmission de données est basé sur le mode parallèle.

Nous utilisons 2 circuits MC 6820 : le PIA 1 et le PIA 2.

- Le PIA1 sert à interfacier le convertisseur numérique analogique ou CNA au microprocesseur. Les données arrivant sur ce PIA transitent d'abord par des registres latches. SN 74 LS 75 pour arriver simultanément à l'entrée du CNA. Ce dernier fournit la tension analogique pour attaquer la partie puissance.
- Le PIA2 sert à transmettre la valeur de consigne, désirée et affichée sur les roues codeuses ; au microprocesseur.

Dans la chaîne de retour nous utilisons le temporisateur programmable. MC 6840 ou PTM pour le comptage du train d'impulsions en provenance du capteur.

Nous nous contenterons dans ce chapitre, de donner le rôle de chaque circuit utilisé dans notre réalisation.

Une étude brève de l'organisation de chacun de ces circuits sera présentée en annexe.

3.1. - Liaison microprocesseur - PIA (voir schéma 3a)

Notre interface reçoit durant chaque micro opération

- les 16 lignes d'adresse A_0 à A_{15} ainsi que les signaux ϕ , R/\bar{W} et VMA respectivement d'horloge, de lecture-écriture et d'adresse mémoire validé.

- Les 8 lignes du bus données arrivant du microprocesseur vers chaque PIA.

3.1.1. - Adressage des PIA (voir schéma 3b)

Le système de développement est l'exorciser.

Etant donné l'organisation mémoire (voir schéma 3c) l'espace mémoire réservé au périphérique nous permet de choisir les adresses des PIA.

Nous fixons l'adresse du PIA 1 à BC $\phi\phi$ et celle du PIA 2 à BE $\phi\phi$

Le décodage de ces adresses est réalisé au moyen du circuit de décodage : SN74139. Celui-ci reçoit à ces 2 entrées adresses A_0 et A_1 les lignes du bus d'adresses A_8 et A_9 (voir carte d'asservissement et circuit SN74139 en annexe).

Ce circuit reçoit aussi à son entrée Enable de validation, la sortie d'une porte NAND à 8 entrées SN 74LS30 qui permet de garder à l'état 1 toutes les lignes d'adresses A_{15} , A_{14} , A_{13} , A_{12} , A_{11} , A_{10} ainsi que VMA et $\phi 2$.

La sélection d'un des PIA se fait par l'intermédiaire des 2 sorties du SN74139 \bar{O}_{0a} et \bar{O}_{2a} suivant la table de vérité.

INPUTS			OUTPUTS			
\bar{E}	A_0	A_1	\bar{O}_0	\bar{O}_1	\bar{O}_2	\bar{O}_3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	1	0	1	0	1	1
0	0	1	1	1	0	1
0	1	1	1	1	1	0

X = Indifférent

Table vérité du circuit SN74139.

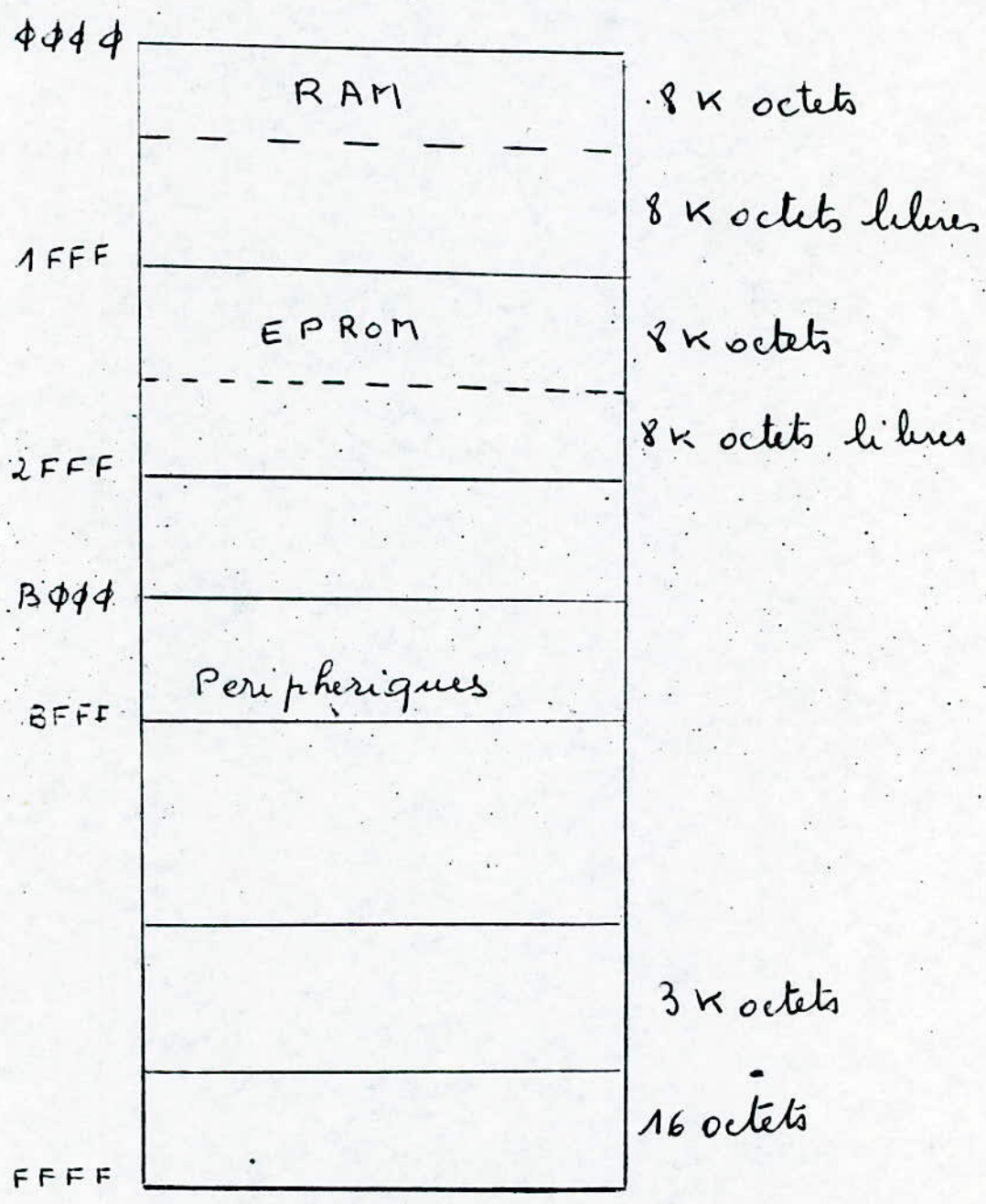


Schéma 3c : ORGANISATION MEMOIRE

On utilise l'interface MC8T95 qui est un interface bidirectionnel en logique 3 états, non inverseur pour protéger le microprocesseur et pour permettre d'isoler le bus adresses ainsi que certaines lignes du bus contrôle lorsqu'ils sont en état haute impédance.

Cet interface, le MC8T95, réalisé en technologie Stocttky permet de limiter le retard dû au passage des signaux dans l'interface.

Etant donné que nous utilisons 11 lignes du bus adresses et 4 lignes du bus contrôle pour adresser entre autre les PIA et que la capacité d'un "8T95 est de 6 lignes de transmission on doit utiliser 3" circuit 8T95.

Les entrées Enable de ces interfaces étant reliées à la masse les lignes d'adresses et de contrôle«bufférisées»à l'aide des "8T95" ne sont jamais à l'état haute impédance.

3.1.2. - Logique de commande des buffers de données

Sur le bus du système, les données sont en logique négative pour en limiter la consommation. Il faudra donc inverser les données à la sortie ou à l'entrée des chips. Pour cela nous utilisons l'interface bidirectionnelle inverseur du type MC8T26 qui est en logique 3 état (voir en annexe le circuit MC8T26)

Les entrées "Driver Enable" et "Receiver Enable" sont validées par des états opposés respectivement 1 et 0.

L'entrée "Receiver Enable" valide l'émission de données du microprocesseur MC 6800 : on a donc une lecture.

L'entrée "Driver Enable" valide la réception des données du périphérique : on a donc une lecture.

- Circuit de lecture écriture :

Ce circuit détermine s'il faut autoriser un transfert ou une réception de données suivant qu'il reçoit un ordre de lecture ou d'écriture.

Les commandes appliquées aux entrées "Driver Enable" et "Receiver Enable" sont synchronisées avec l'horloge ϕ 2 du microprocesseur.

La capacité d'un "8T26" étant de 4 lignes de transmission on devra en utiliser 2 pour bufferiser les 8 lignes du bus données.

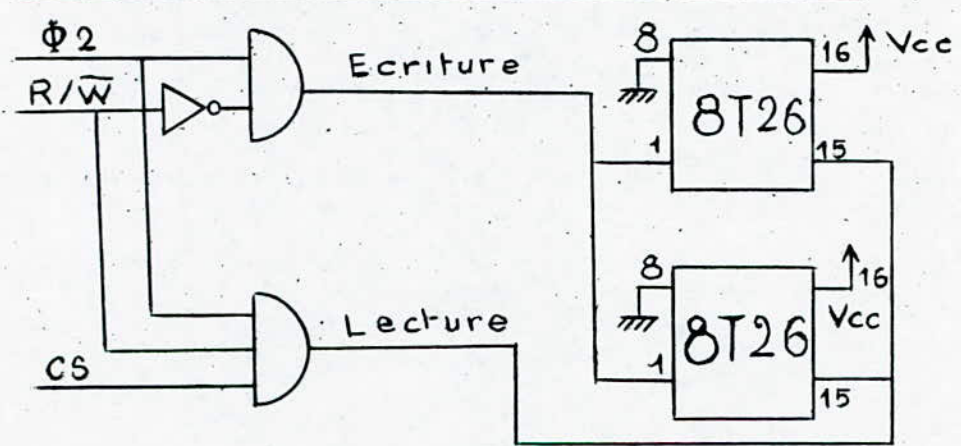
R/\bar{W} permet de fixer le sens de transfert des données.

- Opération d'écriture : Cette opération n'a lieu que si le signal $\Phi 2$ est à l'état haut. ($R/W = 0$).
- Opération de lecture : l'opération de lecture dépend des signaux CS, $\Phi 2$, R/W ; elle synchronise ainsi le transfert des données et la sélection du PIA adressé.

Cette opération n'a lieu que si :

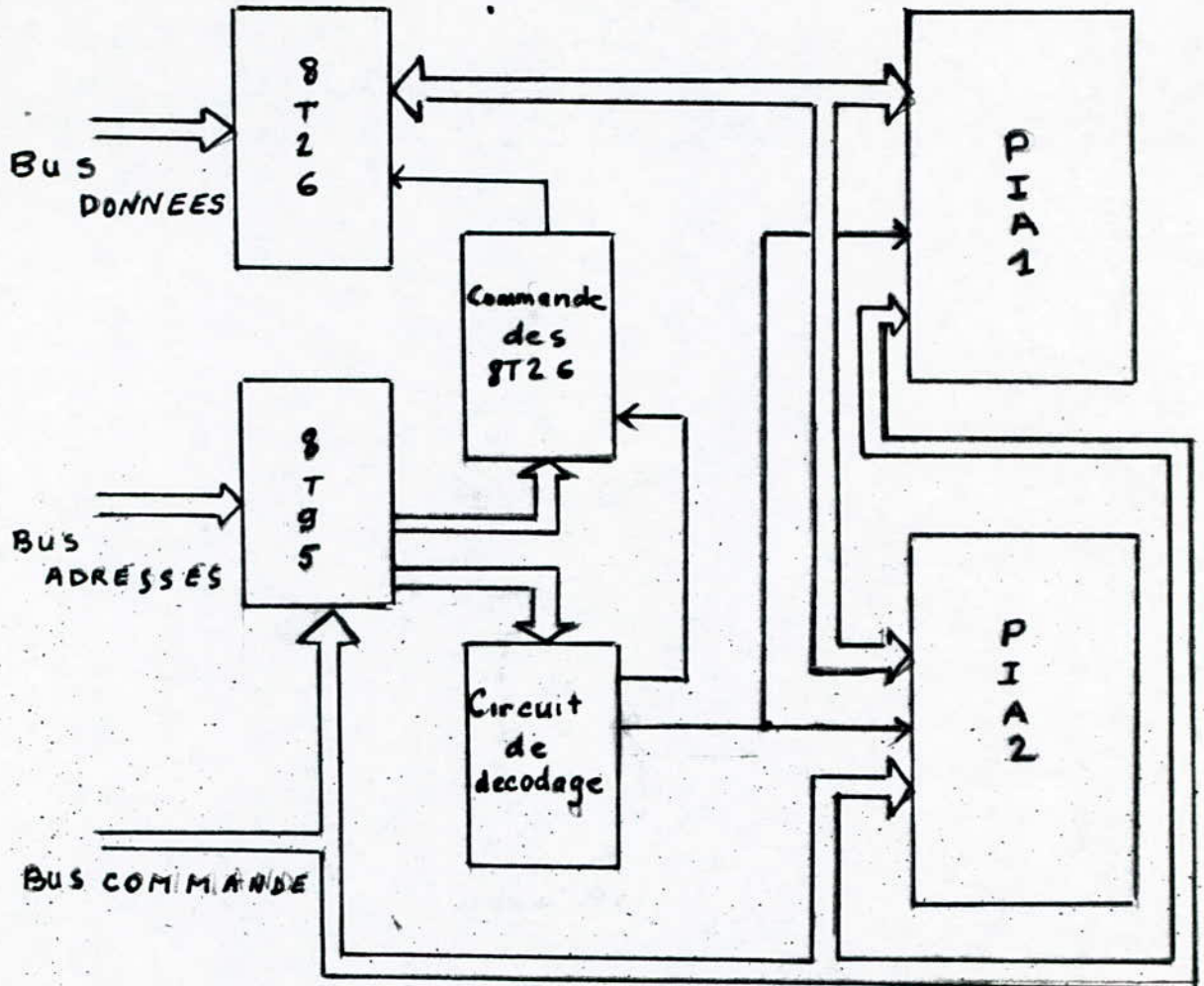
- $\Phi 2$ est à l'état haut
- $R/W = 1$
- Présence du signal CS

Dispositif de validation des buffers MC 8T26



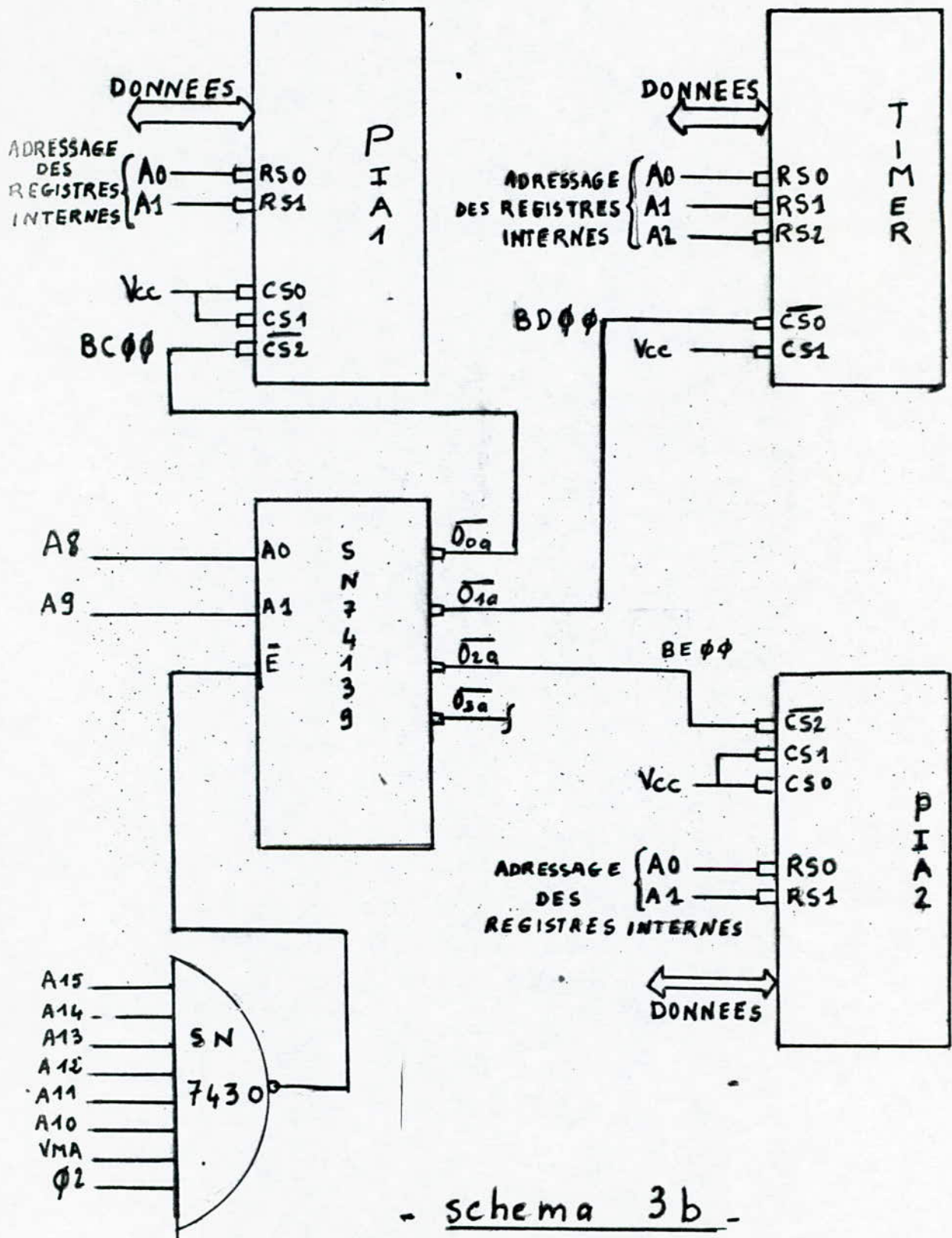
CS	R/\bar{W}	$\Phi 2$	broche 1	broche 15	etat des buffers 8T26
1	0	1	0	0	Ecriture
1	1	1	1	1	Lecture
1	0	0	1	0	Haute Impedance
1	1	0	1	0	Haute Impedance

Table de vérité de la commande 8T26



- Schema 3a -

DECODAGE ET SELECTION D'ADRESSES DES PIA ET DU TIMER



- schema 3b -

3.2. - Liaison PIA/CNA

3.2.1. - Le convertisseur numérique-analogique DAC O2 (voir généralités en annexe).

C'est le CNA que nous utilisons dans notre réalisation ; il est à entrée parallèle direct. Il comporte sur un seul chip tous les éléments d'un convertisseur numérique-analogique à savoir :

- le réseau de résistances
- les commutateurs de courant
- la source de tension de référence
- l'amplificateur de sortie
- l'inverseur permettant le fonctionnement en bipolaire.

a. Principe de conversion : (voir schéma en annexe)

Le DAC O2 est basé sur le principe de conversion en échelle à réseau de résistances R/2R.

. Le réseau R/2R est utilisé pour la pondération des courants.

. Les sources de courant, constituées par des transistors appariés sont connectés par la logique d'entrée soit à la masse (bits d'entrée à 0) soit à une ligne de sommation de courant (bits d'entrée à 1).

. Le courant de sortie alimente un amplificateur courant-tension inverseur ou non inverseur suivant le bit de signe.

- . une source de référence compensée en température est prévue, permettant le fonctionnement automatique du CNA.
- . La tension de référence fournie par l'ensemble diode Zener résistance R_{ref} et l'amplificateur opérationnel permet l'ajustage de la tension de sortie.

Le transistor T1 sert à régler automatiquement la tension sur la base des transistors T2 à T11 en cas de variation de température. Le courant I_{ref} étant imposé et supposé indépendant de la température, la tension de l'émetteur de T1 reste fixe. Si la température varie, la tension de base varie ainsi que celles des bases de T2 à T11 ; ces transistors étant fabriqués sur une même pastille sont très bien appariés et leur tension variera de la même manière pour les 11 transistors. Ainsi, leurs émetteurs resteront toujours au même potentiel et la précision sera maintenue.

Les CNA parallèles accepteront la présence de signaux sur leurs entrées à tout instant ; chaque changement de bit se traduit immédiatement par l'existence d'une nouvelle tension en sortie ; la seule limitation provient des temps de commutation.

Les informations arrivant du PIA1 viennent sur les lignes PA0-PA7, PBO, PB1, puisque le DAC O2 travaille sur 10 bits. Pour bufferiser ces données provenant du port A et du Port B il est nécessaire d'employer des circuits tampons à savoir des SN7475.

Pour ajuster la *pleine* échelle un circuit comprenant un potentiomètre de 10 K et une résistance de 62 K est prévue. L'utilisation de ce diviseur résistif de 72 K minimum est nécessaire pour ajuster le courant de référence et la tension de référence (donnée par le constructeur) qui sont respectivement de 100 uA et de 6,7 V.

3.2.2. Registres tampons (voir schéma en annexe)

Les circuits TTL 74 LS75 sont des registres tampons ou latches utilisés pour mémoriser temporairement l'information ^{binaire}. Ces circuits sont formés de bascules D à verrouillage.

A l'état haut, tous les états à l'entrée D sont transmis à la sortie. Quand l'Enable retourne à l'état bas, elle verrouille la sortie sur le dernier état enregistré.

Les informations présentes à la sortie des PIA se retrouvent aux entrées des bascules D ; ces bascules présentent à leur sortie donc à l'entrée du CNA, les informations qui se trouvent aux entrées D, dès que l'on envoie un niveau haut aux Enables reliées ensemble au Port PB3 du PIA. Lorsque le niveau devient bas, les sorties se verrouillent et gardent l'état pris lors de la commande de verrouillage.

3.2.3. Paramètres caractéristiques d'un CNA

Un convertisseur numérique analogique a des caractéristiques bien précises. Il est donc important de définir ces caractéristiques car ce sont ces grandeurs que fournit le constructeur.

a. La fonction de transfert idéale (sans erreur) d'un CNA

Elle est donnée par :

$$V = V_{ref} \cdot \frac{N}{2^n}$$

V_{ref} représente l'étendue complète de la tension de sortie appelée aussi pleine échelle.

b. La résolution

Cette caractéristique est donnée par le nombre de bits acceptés par le convertisseur. Comme celui-ci peut souvent être rendu unipolaire ou bipolaire en introduisant un décalage de tension sans changer sa constitution profonde, il est normal d'adopter la définition suivante :

La plage totale (P.T.) de la tension de sortie délivrée par le convertisseur étant connue, les n bits signes compris dans le cas d'un fonctionnement bipolaire donnent une résolution analogique de $r = \frac{P.T.}{2^n - 1}$

La résolution est une donnée théorique. Ainsi un convertisseur 10 bits unipolaire de tension 0 à + 10V et un convertisseur 10 bits bipolaire - 5V à + 5V ont la même plage totale (P.T. = 10 V) et tous deux ont une résolution de 9,8mV.

Il se peut très bien que le facteur d'échelle (ou gain) puisse être modifié pour porter la sortie à $\pm 10V$ pour le convertisseur bipolaire. Sa résolution sera toujours de n bits mais en valeur analogique elle aura double $(\frac{20}{1023} V)$.

c. La précision : La précision avec laquelle la conversion N/A est effectuée est l'écart rapporté à la valeur pleine échelle, entre la valeur effectivement obtenue et la valeur théorique c'est-à-dire donnée par :

$$V_s = k.N.E. \text{ ou } k \text{ est un coefficient de gain et}$$

$$E = V_{ref}.$$

Elle est fonction de plusieurs paramètres variant avec la température :

- La linéarité.
 - Le facteur d'échelle.
 - La tension de décalage.
-) (voir figure 3.2.b)

• La tension de décalage : (offset voltage) V_{os}

C'est la tension résiduelle que présente le CNA alors que l'information numérique est ZERO. Cette tension généralement de l'ordre de quelques dizaines à quelques centaines de μV , est introduite par les parties analogiques.

• Le facteur d'échelle

La relation liant la tension de sortie V_s à l'expression numérique N est donc pratiquement :

$$V_s = kEN + V_{os}$$

L'erreur sur le facteur d'échelle ou erreur de gain (sur le gain k) est fonction de la précision avec laquelle ont été réalisés tous les éléments participant à la restitution du signal analogique.

. La linéarité ou non linéarité.

C'est l'écart observé entre la courbe de transfert du convertisseur et la meilleure droite comme le précise le diagramme de la figure 3.2.b. Elle est due aux dispersions de tolérances de chaque composant et de leurs variations en fonction des niveaux de tension. Elle est exprimée en pourcent de la P.T.

d. Coefficient de tension ou sensibilité aux variations d'alimentation.

Le coefficient de tension exprime la variation des alimentations du convertisseur N/A. Ces variations peuvent modifier la valeur E des courants étalons ; les amplificateurs provoquant eux-mêmes une tension de décalage.

Pour chaque alimentation, il y a donc une variation maximum garantie de la tension de sortie, exprimée en p.p.m (partie pour un million) de P.T et un pour cent de variation de la dite tension.

Exemple : sur l'alimentation : ± 12 V

coefficient de tension : ± 1 p.p.m de P.T %

Soit si P.T = 20 V (± 10 V) maximum

$$\Delta V = 10^{-6} \times 20 / \% \cdot V = 20 \text{ V}$$

$$\text{pour } \frac{\Delta V_{12}}{V_{12}} = 1 \%$$

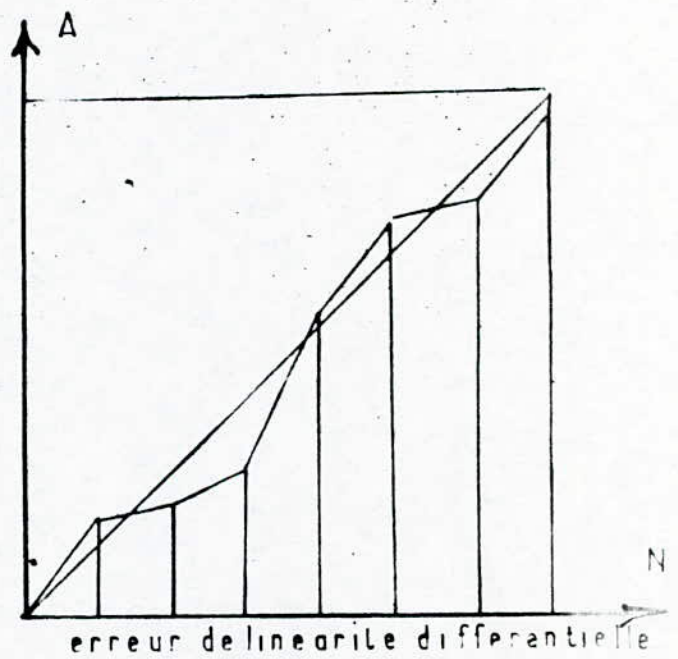
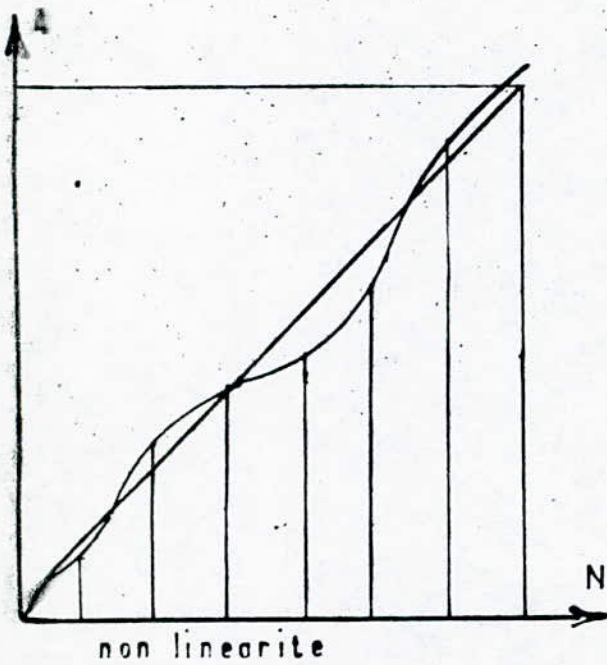
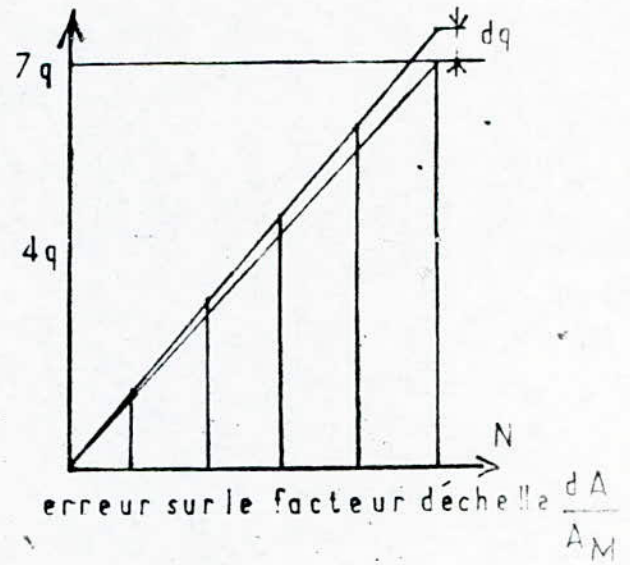
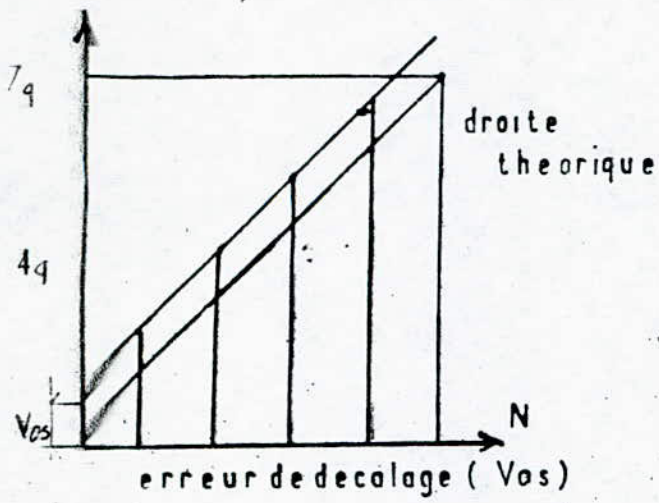


Fig. 3.2.b CNA sources typiques dérivées

e. Temps d'établissement ou temps de conversion (settling time)

C'est le temps nécessaire, après application de l'information N au convertisseur N/A, pour que la tension analogique atteigne sa valeur en régime établi (ou régime continu) avec une précision donnée.

Ce temps est lié à la vitesse de commutation des circuits logiques et des interrupteurs et au temps d'établissement de l'amplificateur. Deux temps d'établissement sont utiles à connaître :

- Le premier est celui pour la P.T donc pour que la tension sortie passe de $-V_{max}$ pour un CNA bipolaire ou de 0 à $+V_{max}$ pour un CNA unipolaire à $+V_{max}$
- Le deuxième est le temps d'établissement observé pour de faibles signaux, c'est-à-dire un V_s faible (généralement $V_s = \text{LSB}$)

Exemple : ^{pour} Un CNA 10 bits doit le temps d'établissement à petits signaux (pour $N = \text{LSB}$) est de $1,5 \mu s = \tau$ minimum, alors que la période de ce convertisseur sera :

$$T = 2^{10} \times 1,5 \cdot 10^{-6} = 0,006 = 6 \text{ms}$$

avec
$$\omega = \frac{2\pi}{T} = \frac{6,28}{1,5} = 4,18 \cdot 10^6 \text{ rd:s}$$

et
$$f = \frac{\omega}{2\pi} = \frac{1}{T} = 0,6 \cdot 10^6 \text{ Hz} = 0,6 \text{MHz}$$

3.3. Liaison microprocesseur - MC 6840

-70-

Les bus donnés, adresses et contrôle sont de la même manière que pour les PIA "bufferisés" à l'aide respectivement des circuits MC 8726 et MC 8T95.

L'adresse fixée pour la sélection du boîtier du MC 6840 est 13 D 0 0 . Le décodage de cette adresse est réalisé à l'aide du même circuit de décodage SN 74139 utilisé dans le chapitre 3.1.1.

La sélection du boîtier du MC 6840 se faisant à l'aide du chip select $\overline{CS0}$ est obtenue à la sortie $\overline{O_{1a}}$ du circuit SN 74139.

L'adressage des registres internes RSO, RS1, RS2 se fait à l'aide des lignes d'adresses A₀, A₁, A₂.

Dans notre cas, nous utilisons le timer 1 du MC 6840 selon le mode de fonctionnement : comptage d'impulsions.

Le train d'impulsions apparaît sur l'entrée C1 du timer 1.

L'entrée G1 reliée à PB6 du PIA 1 permet de valider le temporisateur 1, c'est-à-dire dans notre cas le comptage ou le décomptage du train d'impulsions venant du compteur de position (codeur optique).

3.4 - Le codeur à disque [4]

Le codeur à disque est un exemple de capteur qui effectue directement la conversion d'une grandeur physique en son expression numérique. La grandeur physique est dans ce cas soit la rotation de l'axe d'un moteur chargé ou non chargé, soit la position angulaire de l'objet entraîné (dans notre cas la table tournante).

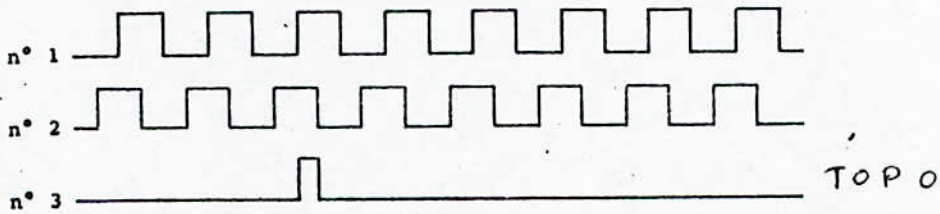
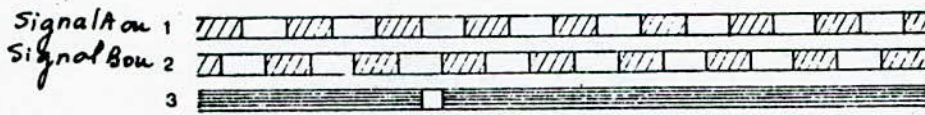
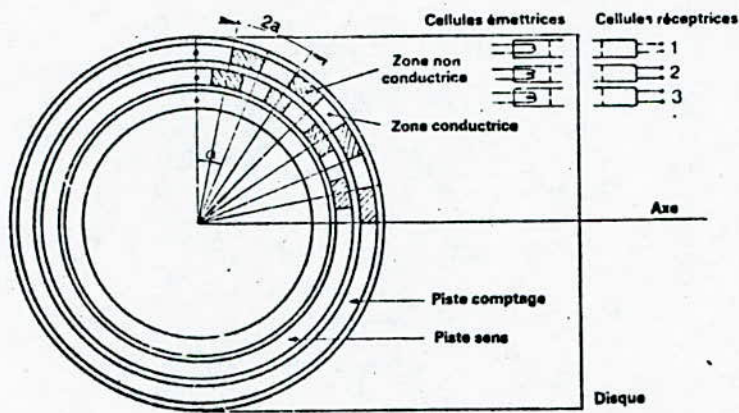
On distingue deux sortes de codeurs à disque :

- 1 - Le codeur incrémental qui délivre une impulsion chaque fois que l'angle θ subit une variation de $360^\circ/N$ dans un sens ou dans l'autre.
Le paramètre N varie entre 2^8 et 2^{12} généralement selon les modèles.
- 2 - Le codeur absolu délivre en permanence l'expression numérique sur n bits, de l'angle θ .

3.4.1. - Codeur incrémental : G IO 40 (générateur d'impulsion optique). [5]

Mode de fonctionnement

Une cellule photoélectrique ou un phototransistor détecte les variations d'éclairement provoqués par le défilement devant une source lumineuse de traits noirs espacés dessinés sur un disque (fig. 3.5.a).



Codeur incremental 2 phases + repère: Fig. 3.5.a

Cette alternance de phases éclairées et sombres se traduit par un train d'impulsions.

Le codeur GIO 40 possède 2 sorties principales chacune générant un certain nombre d'impulsions soit 5 1/2 impulsions.

Ce nombre détermine la résolution du capteur.

Les deux signaux de sortie sont déphasés de 1/4 de pas en décalant par exemple les deux pistes de sortie que l'examen de la différence de phase entre les deux signaux permet de déterminer le sens de rotation de l'arbre moteur.

De plus, une troisième sortie existe, appelée "TOPO" qui produit une seule impulsion par tour, elle servira pour la synchronisation.

L'analyse de la séquence des états simultanés des deux pistes permet de dire en effet si la rotation se fait dans le sens direct ou dans le sens inverse.

Sens de rotation ↻	Sens de rotation ↺
Signal A: 11011010	Signal A: 01011011
Signal B: 01011011 →t	Signal B: 11011010 →t

Une possibilité de détecter le sens de rotation à l'aide du couple signal A - Signal B consiste à utiliser les impulsions dérivées du signal A (impulsion $\frac{dA}{dt}$) et de les orienter vers l'entrée du compteur MC 6840 suivant la phase du signal B (par rapport à A).

L'analyse des signaux A et B montre que les impulsions positives $\frac{dA}{dt}$ ont toujours lieu quand B = 0 et les négatives quand B = 1 ceci pour le sens 1 ; l'inverse est vrai pour l'autre sens de défilement : sens 2 (fig. 3.5.b)

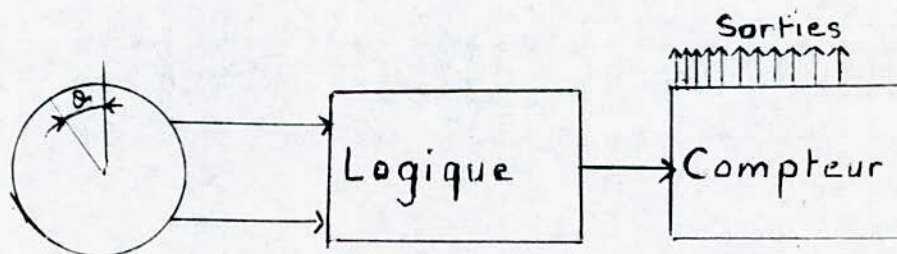
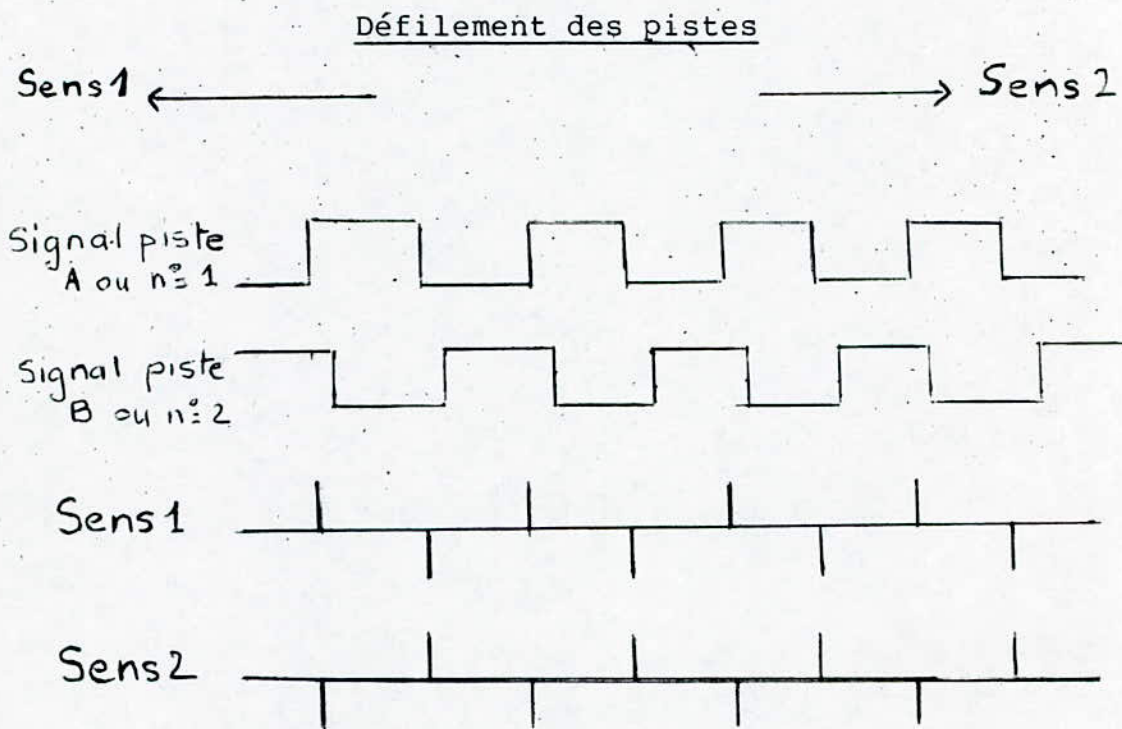
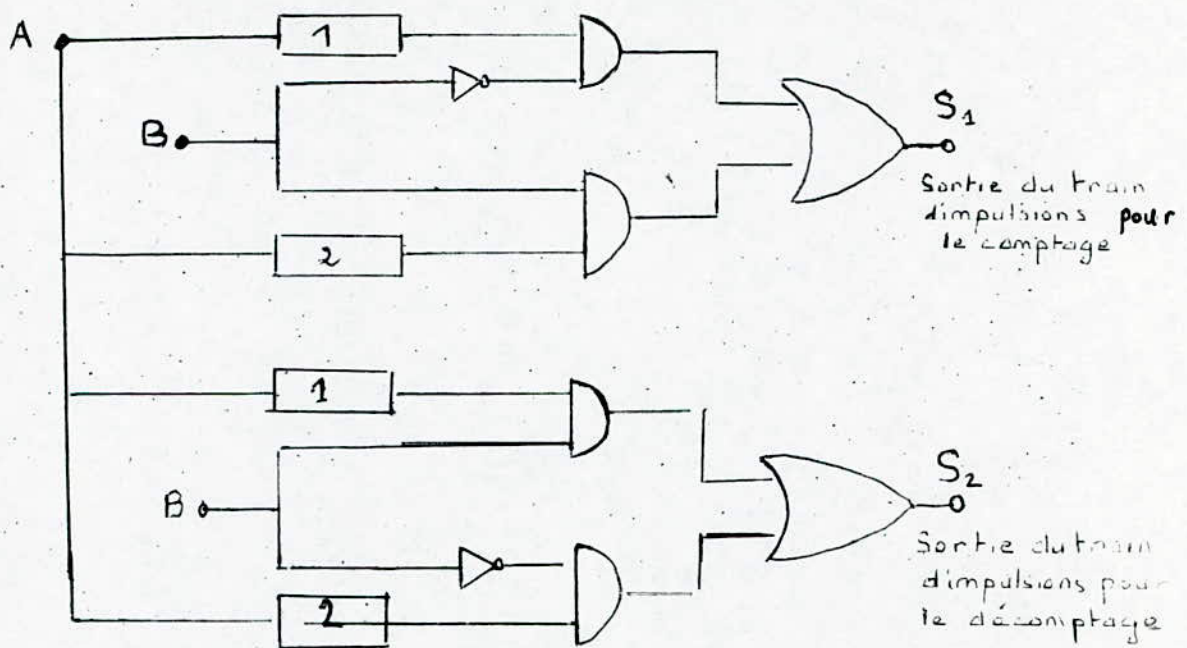


Fig. 3.5.b : codeur incrémental 2 phases et logique associée.

Le compteur recevra les impulsions positives $\frac{dA}{dt}$ quand $B = 0$ et les impulsions négatives $\frac{dA}{dt}$ quand $B = 1$.

La décrémentation ou décomptage commencera lorsque le signal A passera par zéro et dans ce cas le compteur recevra : les impulsions positives $\frac{dA}{dt}$ quand $B = 1$ et les impulsions négatives $\frac{dA}{dt}$ quand $B = 0$. Le circuit logique utilisé est celui de la figure 3.5.c.



- 1 Circuit dérivateur faisant passer $\left(\frac{dA}{dt}\right)_+$ et bloquant $\left(\frac{dA}{dt}\right)_-$
- 2 Circuit dérivateur faisant passer $\left(\frac{dA}{dt}\right)_-$ et bloquant $\left(\frac{dA}{dt}\right)_+$

Fig. 3.5.c : circuit logique pour codeur incrémental à 2 phases.

Les sorties S_1 et S_2 sont envoyées respectivement sur les ports PB4 et PB5 du PIA A - suivant l'état de ces 2 ports l'entrée GATE (reliée au port PB6 du PIA1) va permettre de déclencher le comptage ou le décomptage du train d'impulsion par le TIMER 1.

3.5. Les roues codeuses (voir schéma sur la carte d'asservissement en annexe)

La valeur de consigne est affichée à l'aide de 4 roues codeuses.

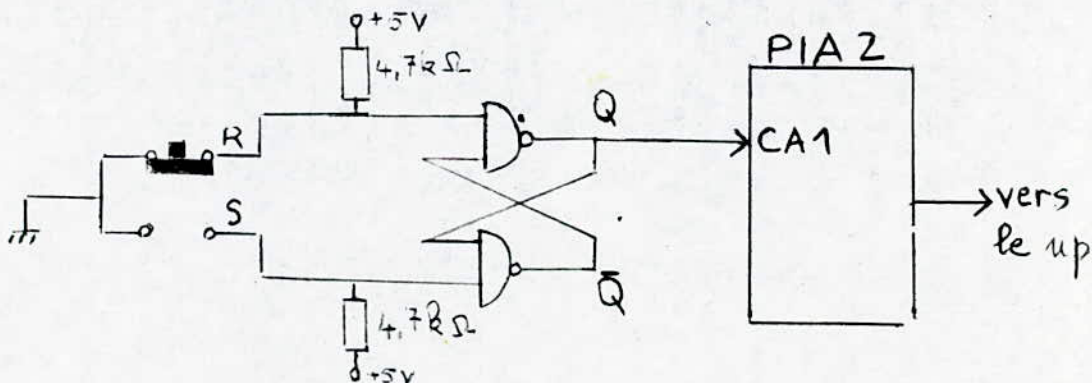
L'une d'elles affiche le signe + ou - pour fixer le sens de rotation. Les trois autres ont une capacité d'affichage de 999 ; chacune d'elles pouvant afficher de 0 jusqu'à 9.

Nous nous tiendrons à l'affichage des angles compris entre - 360 et + 360 c'est-à-dire correspondant à un tour de la table lorsque celle-ci tourne dans un sens ou dans l'autre. Chaque roue codeuse est constituée de 10 commutateurs.

Les roues codeuses sont interfaces au microprocesseur à travers un PIA (PIA2) ; la lecture de ces roues est obtenue par multiplexage.

Les roues codeuses sont également munies d'un bouton poussoir. Ce dernier est relié à l'entrée CA1 du PIA à travers un circuit formé d'une bascule R-S pour éviter les rebondissements.

Une simple pression sur le bouton permet la prise en compte de la consigne chaque fois que l'on jugera nécessaire (ou quand on désirera introduire une nouvelle valeur de consigne).



4. Conception de la chaine d'asservissement :

La carte d'asservissement réalisée est représentée en annexe.

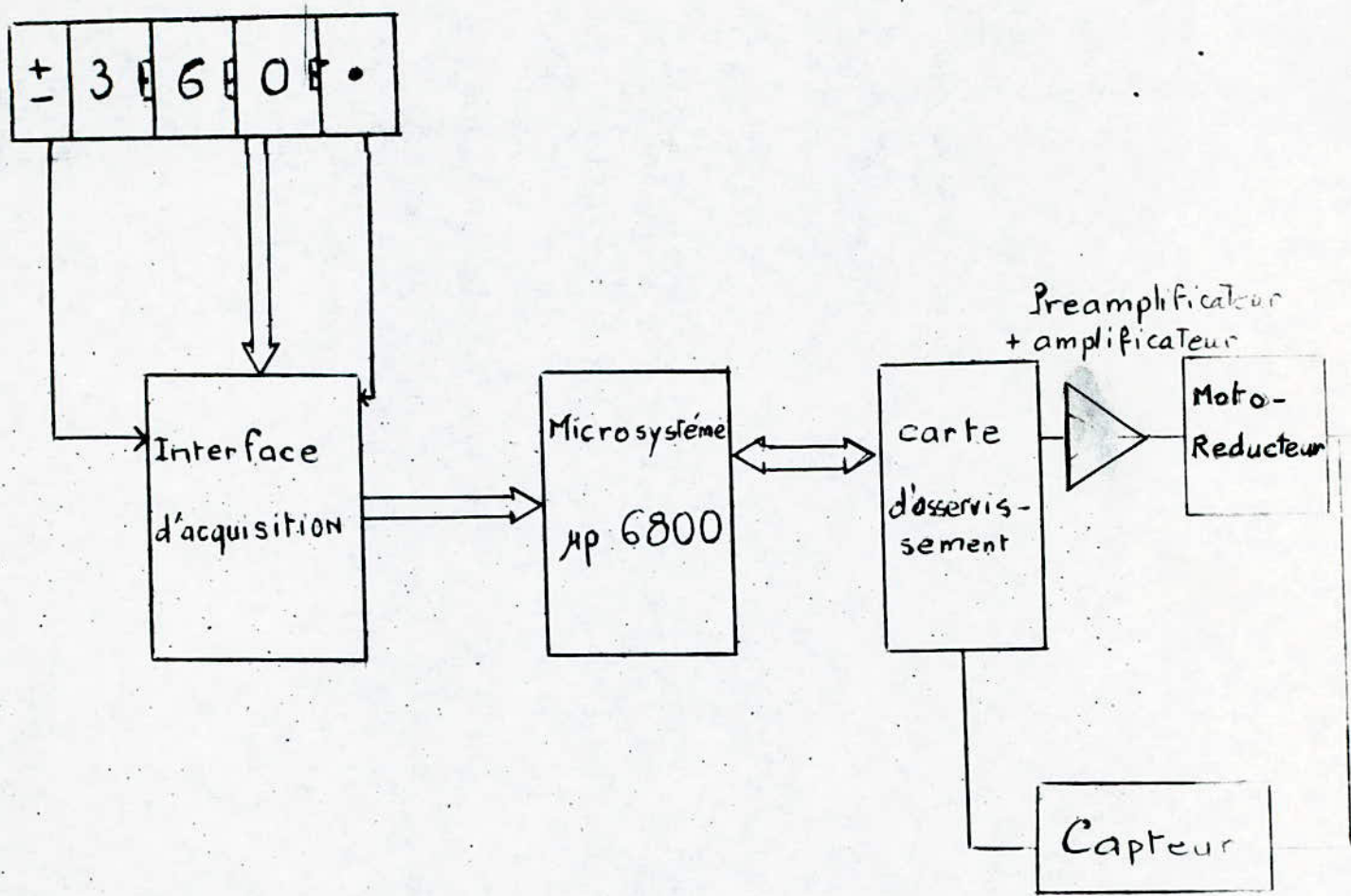


Fig 4a. Commande en position par microcalculateur

5. Etude des algorithmes [6]

Nous présentons dans l'algorithme qui suit une succession d'opérations pour le traitement de la boucle d'asservissement.

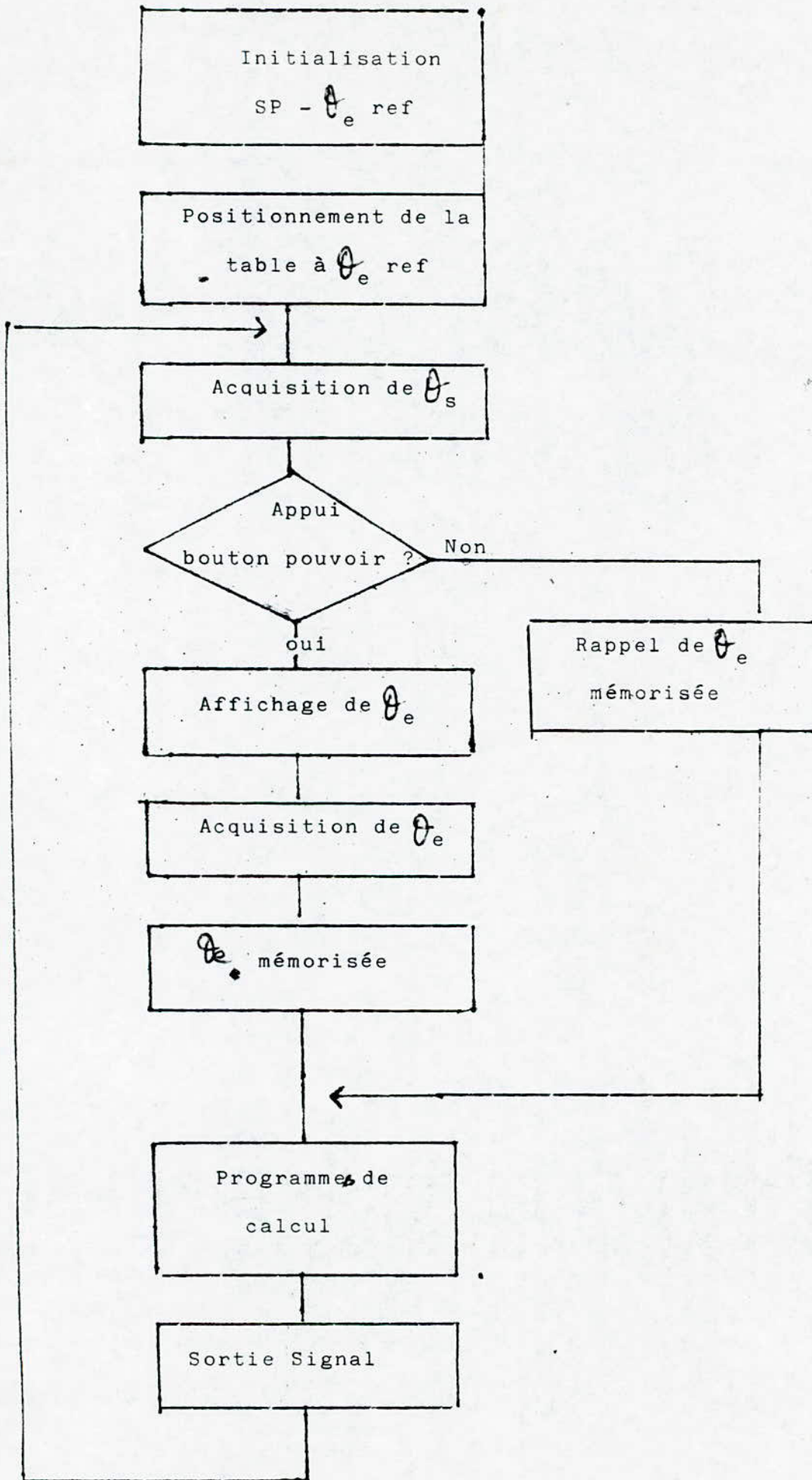
Nous commençons par initialiser le pointeur de pile (SP) la valeur de consigne de référence (θ_e ref) puis tous les circuits utilisés dans d'interface : PIA1, PIA2 et TIMER.

Nous poursuivons par une acquisition et une mémorisation de θ_e ref et de θ_s .

Nous arrivons ensuite aux programmes de calcul :

- Programmes de comparaison binaire $\theta_e - \theta_s$
- Programme du PID
- Programme de comptage du train d'impulsions venant du capteur.

Ainsi nous pouvons obtenir un asservissement en position par microcalculateur. L'étude de la boucle en chaîne ouverte peut permettre de faire l'analyse de la stabilité et de la précision d'un tel système.



Algorithme général de la boucle d'asservissement

5.1. Initialisation

- initialisation du pointeur de pile : S.P

Lorsque par exemple dans le programme principal nous faisons appel à un sous programme, nous devons sauver après incrémentation, l'état du compteur ordinal de façon à pouvoir revenir au programme principal après exécution du sous programme.

- Initialisation de θ_e de référence : θ_e ref

Nous programmons une valeur θ_e de référence de sortie que la table tourmante se positionne à cette valeur lors de la mise en service du système .

- Initialisation des interfaces programmables :

Les adresses de base du PIA 1, du PTM et du PIA2 sont respectivement. BC 00, BD 00 et BE 00.

* Pour le PIA 1 : son initialisation consistera à mettre tous le port A ainsi que les ports PBO, PB1, PB2, PB3 et PB6 du port B en sortie. Elle consistera aussi à mettre les ports PB4 et PB5 du port B en entrée.

* Pour le PIA 2 : son initialisation consistera à mettre tous les ports A et B en entrée sauf PB7 du port B.

* Pour le PTM : l'initialisation consiste à définir son mode de fonctionnement. Elle se fera par une transitoir descendante sur l'entrée GATE

- Acquisition de θ_e :

Si le bouton départ est appuyé, le microprocesseur est interrompu, les ports A et B du PIA2 reçoivent une information binaire des roues codenses. Cette information est ensuite stockée en mémoire.

Si le bouton n'est pas appuyé a la signifie que nous n'affectons par une nouvelle consigne; la valeur de θ_e qui sera prise en

compte pour le calcul qui suit est celle se trouvant déjà en mémoire.

5.2. Approche des programmes de calcul :

- comparaison binaire $\theta_e - \theta_s$:

Pour effectuer la soustraction binaire de deux opérands, le microprocesseur effectue une addition du 1^{er} opérande avec le 2^{ème} opérande complétement à 2.

Si le 1^{er} opérande est plus grand que le deuxième lors de l'exécution de la soustraction, un indicateur d'état de registre de retenue appelé carry prend la valeur 0. Cet indicateur nous servira de bit de signe en l'intégrant comme bit le plus significatif du mot de 10 bits par exemple dans le programme de soustraction.

Exemple :

	Binaire naturel	complément à 2
200	1100 1000	0011 1000
60	0011 1100	1100 0100

200-60 = 200 + complément à 2 de 60

60-200 = 60 + complément à 2 de 200

	200-60		60-200
	1100 1000		0011 1100
+	1100 0100	+	0011 1000
	<u> </u>		<u> </u>
	1000 1100		0111 0100
Retenue :	1	Retenue :	0
Carry :	0	Carry :	1

- Synthèse du correcteur PID

D'après le synoptique général fig. 1a, la réponse impulsionnelle de régulateur $F(t)$ est régie par l'équation :

$$S(t) = F(t) * E(t)$$

* : Produit de convolution.

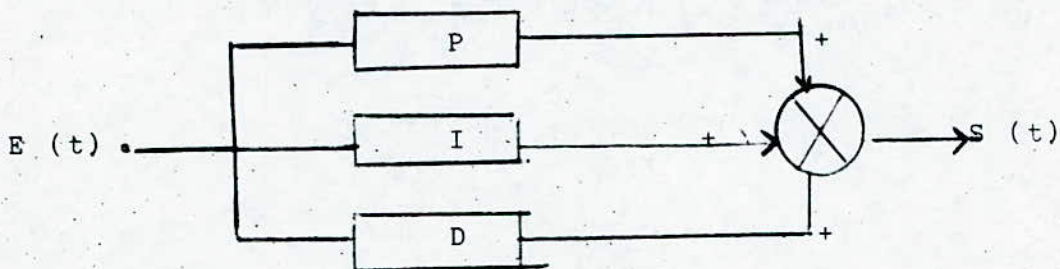
$S(t)$: sortie réelle du processus

$E(t)$: Ecart entre la mesure de retour et la consigne.

Il existe plusieurs sortes de régulateurs PID.

- le PID à structure série
- le PID à structure mixte
- le PID à structure parallèle, que nous avons choisi, dans la partie analogique, et que nous développerons par conséquent.

Etude de la fonction de transfert d'un PID à structure parallèle



Par définition un régulateur PID à structure parallèle est un régulateur où les actions proportionnelles, intégrale et dérivée sont montées en parallèles. La fonction de transfert d'un tel régulateur est :

$$F(P) = K_c + \frac{1}{T_1 P} + T_2 P$$

L'équation temporelle liant l'entrée et la sortie du régulateur est

$$S(t) = K_c E(t) + \frac{1}{T_1} \int_0^t E(t) dt + T_2 \frac{dE(t)}{dt} \quad (1)$$

K_c : sensibilité proportionnelle

T_1 : temps d'intégration

T_2 : temps de dérivation

Pour programmer ce régulateur nous devons discrétiser et quantifier l'erreur $E^*(K)$ de nature numérique.

(1) peut s'écrire :

$$\frac{dS(t)}{dt} = K_c \frac{dE(t)}{dt} + \frac{1}{T_1} E(t) + T_2 \frac{d^2E(t)}{dt^2}$$

Pour effectuer le calcul de $S(t)$ cette équation doit être discrétisée comme suit :

- nous devons procéder à l'approximation :

$$\frac{dX}{dt} = \frac{X(K) - X(K-1)}{T}$$

T : i intervalles séparant deux échantillons successifs (période d'échantillonnage).

* Nous pouvons prendre comme base de temps pour T la période de l'horloge du microprocesseur.

L'équation devient :

$$\frac{S(K) - S(K-1)}{T} = K_c \frac{E(K) - E(K-1)}{T} + \frac{1}{T_1} E(K) + \frac{T_2}{T} \left(\frac{E(K) - E(K-1)}{T} - \frac{E(K-1) - E(K-2)}{T} \right)$$

d'où :

$$S(K) - S(K-1) = K_c (E(K) - E(K-1)) + \frac{T}{T_1} E(K) + \frac{T_2}{T} (E(K) - 2E(K-1) + E(K-2))$$

On obtient :

$$S(K) = \left(K_c + \frac{T}{T_1} + \frac{T_2}{T} \right) E(K) - \left(\frac{2T_2}{T} + K_c \right) E(K-1) + \frac{T_2}{T} E(K-2) + S(K-1)$$

Soit :

$$S(K) = A E(K) - B E(K-1) + C E(K-2) + S(K-1)$$

Avec :

$$A = K_c + \frac{T}{T_1} + \frac{T_2}{T}$$

$$B = \frac{2T_2}{T} + K_c$$

$$C = \frac{T_2}{T}$$

Algorithme de traitement du PID.

1 * Les valeurs de A, B et C seront déterminées par identification. Les valeurs obtenues seront stockées en mémoire.

2 * Acquisition de $E(K)$

3 * Calcul de $Z=C E(K-2)$; $E(K-2)$ mémorisé

4 * Calcul de $Y=-B E(K-1)$; $E(K-1)$ mémorisé

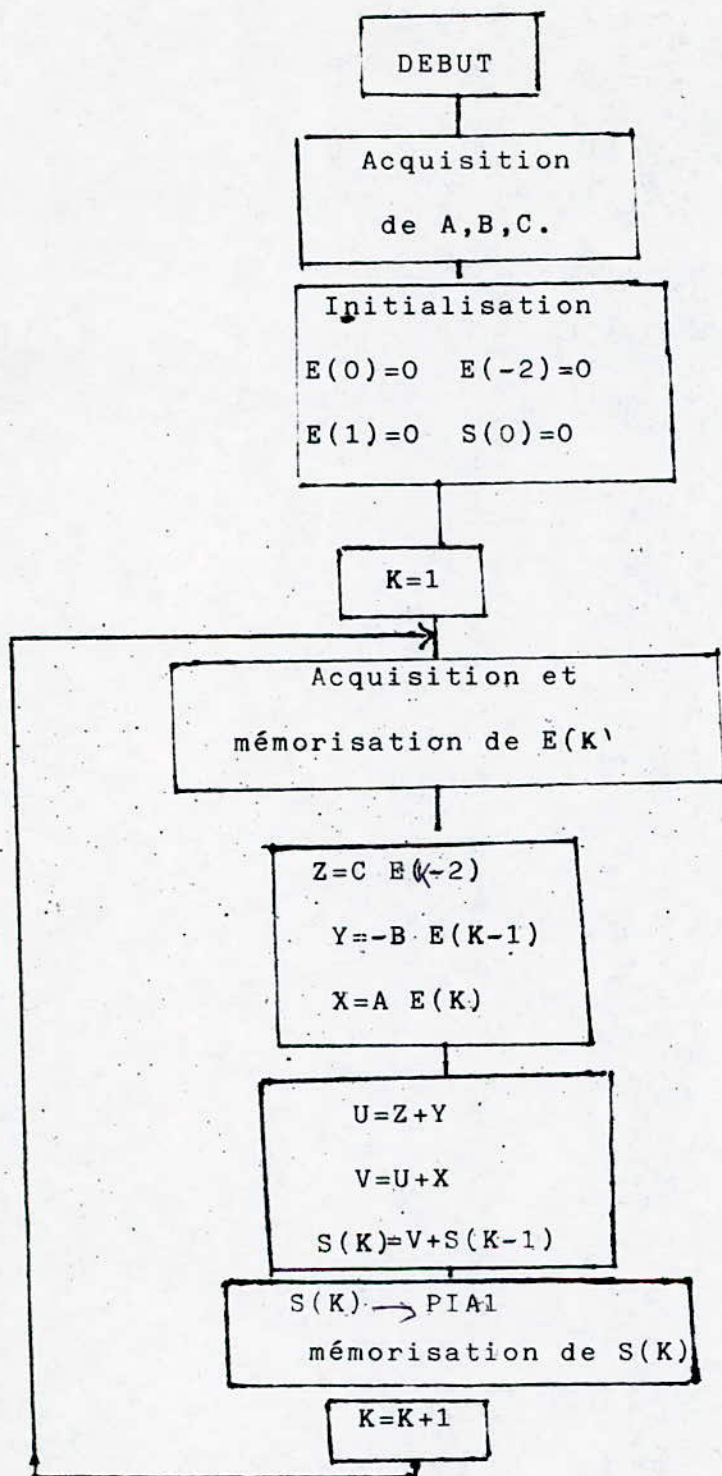
5 * Calcul de $U=Z+Y$

6 * Calcul de $X=A E(K)$

7 * Calcul de $V=U+X$

8 * Calcul de $S(K)=V+S(K-1)$; $S(K-1)$ mémorisé

De cet algorithme nous pouvons dégager l'organigramme général de traitement :



Dans cet organigramme de traitement nous remarquons la présence d'une boucle. Dans celle ci figurent toutes les opérations dont les données varient d'une prise d'échantillon à une autre.

Le programme est donc divisé en deux parties.

1^{ère} partie : Initialisation :

Cette phase comprend :

- a. la programmation des PIA utilisés.
- b. Le programme d'acquisition de θ_e
- c. La programmation du TIMER
- d. Le programme d'acquisition de θ_s
- e. Le programme d'acquisition des constantes de régulation A, B, C et T
- f. L'écriture des conditions initiales de fonctionnement du PID

2^{ème} partie : traitement en "temps réel"

On dit qu'on travaille en "temps réel" dès que les contraintes de temps deviennent un facteur important pour la programmation. Cette phase de programmation s'effectue à chaque prise d'échantillonnage et sa durée d'exécution déterminera la période d'échantillonnage.

Il est donc nécessaire d'optimiser la rapidité du calcul d'où la programmation en "temps réel".

Dans cette phase seront effectuées les opérations suivantes :

- 1°- Acquisition de l'écart
- 2°- Elaboration du calcul

$$S(K) = AE(K) - BE(K-1) + CE(K-2) + S(K-1)$$

Toutes les notions utilisées dans l'étude qui vient d'être faite de l'asservissement analogique s'appliquent à des systèmes idéalisés : les systèmes linéaires.

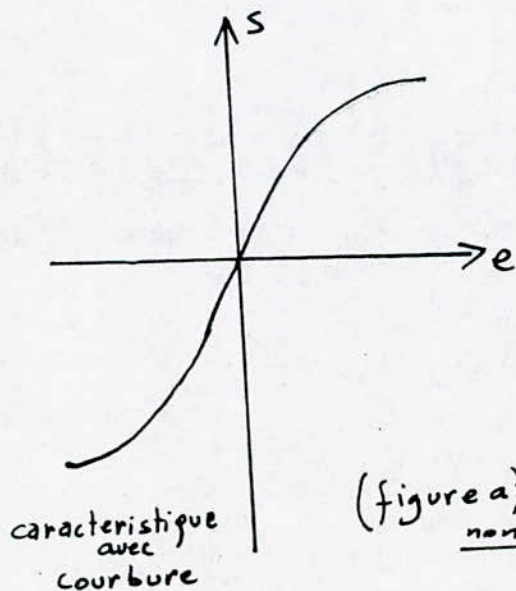
La majorité des systèmes qui peuvent être rencontrés sont sensiblement éloignés de ces derniers.

Les systèmes considérés comme linéaires ne le sont qu'en première approximation et pour tenir compte de leurs caractéristiques réelles nous avons été amenés à examiner les différents types de non linéarités :

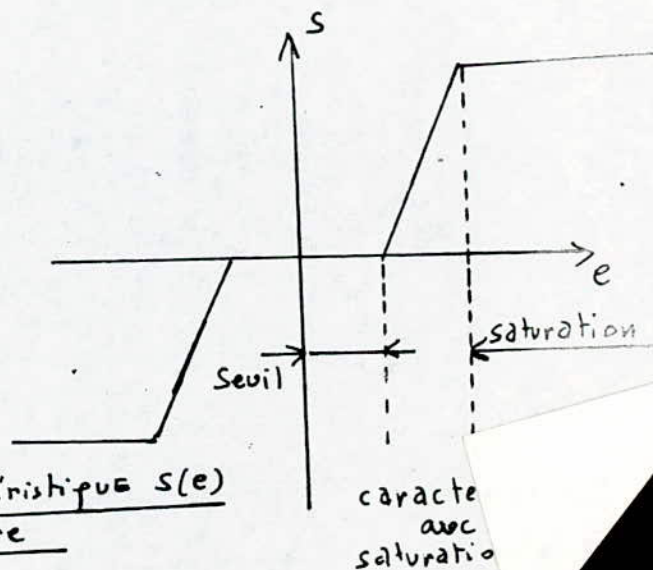
- Les non linéarités accidentelles ; qui résultent d'un certain nombre d'imperfections du matériel ou de la réalisation. Leur effet est le plus souvent défavorable en ce qui concerne les performances du système.

Ces non linéarités peuvent prendre naissance à tous les niveaux de la chaîne d'asservissement.

Sur la caractéristique sortie en fonction de l'entrée (figure a) ces non linéarités se traduisent par la présence d'une courbure ou d'un seuil de saturation ou par un phénomène d'hystérésis.



(figure a) Caractéristique S(e)
non linéaire



Un système dont la caractéristique présente un seuil et une saturation ne peut être considéré comme linéaire que pour des valeurs comprises entre ces 2 limites.

- Il existe un autre type de non linéarité introduite volontairement et faisant partie intégrante du principe de fonctionnement.

L'exemple le plus typique est celui des commandes par tout ou rien (figure b).

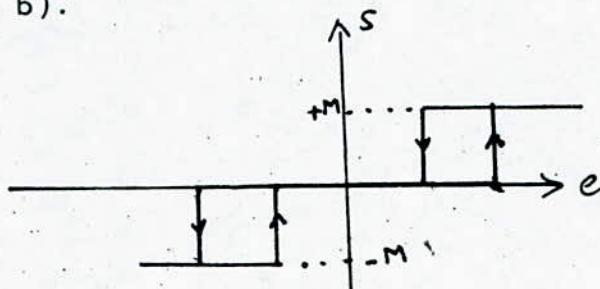
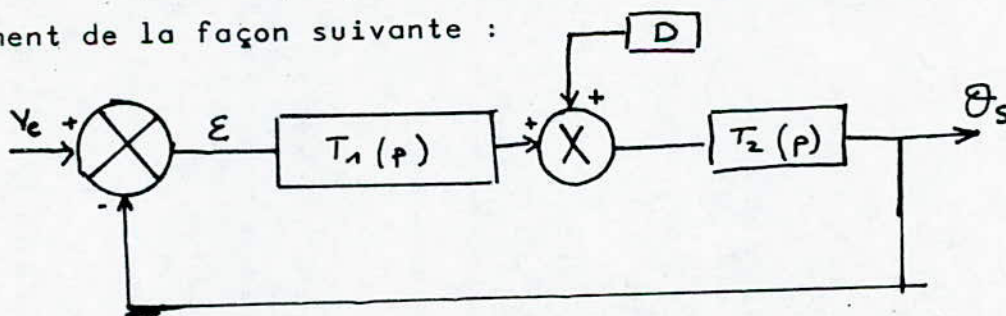


Fig b : Tout ou rien avec seuil et hystérésis

Quelle peut être l'influence d'une perturbation dans le cas où celle ci est introduite à un niveau intermédiaire de la chaîne directe d'asservissement ?

D'une manière générale, on peut représenter la chaîne d'asservissement de la façon suivante :



L'expression de l'ecart sera :

$$\mathcal{E}(P) = \frac{1}{1 + T_1(P)T_2(P)} V_e(P) - \frac{T_2(P)}{1 + T_1(P)T_2(P)} D(P)$$

Cette relation montre :

- D'une part les écarts dûs au fonctionnement en régulateur :

$$V_e(P) = 0 \quad \mathcal{E}_1(P) = \frac{T_2(P)}{1 + T_1 T_2} D(P)$$

- D'autre part, les écarts dûs au fonctionnement en asservissement :

$$\mathcal{E}_2(P) = \frac{1}{1 + T_1 T_2} V_e(P)$$

Elle montre que ces deux F.T., \mathcal{E}_1 et \mathcal{E}_2 ont la même équation caractéristique :

$$1 + T_1 T_2 = 0$$

et par conséquent la même loi de stabilité.

Dans le cas où l'erreur est due aux perturbations, on aura :

$$\mathcal{E}_1(P) = D(P) \frac{T_2}{1 + T_1 T_2} = \frac{D(P)}{T(P)} \cdot \frac{T(P)}{1 + T(P)}$$

avec $T(P) = T_1(P) T_2(P)$ FT en BO.

Dans le cas d'une perturbation en échelon d'amplitude d_0
 en appliquant le théorème de la valeur finale sur la transformée
 de Laplace qui est :

$$E_1(t) = \lim_{t \rightarrow \infty} p E_1(P)$$

$$E_1(t) = \lim_{P \rightarrow 0} P \frac{d_0}{P} \cdot \frac{1}{T_1(P)} \cdot \frac{T(P)}{1+T(P)} = d_0 \lim_{P \rightarrow 0} \frac{1}{T_1(P)} \frac{T(P)}{1+T(P)} .$$

Le terme $\frac{T(P)}{1+T(P)}$ est toujours voisin de 1 lorsque $P \rightarrow 0$. Il l'est
 rigoureusement si $T(p)$ possède au moins une intégration.

Il apparait donc que vis à vis des perturbations, l'existence d'une
 erreur permanente nulle ne dépend que des intégrations des F.T. des
 systèmes situés en amont du point d'application des perturbations.
 Dans le cas où l'erreur existe, elle est inversement proportionnelle
 au gain statique de la partie amont de la chaîne.

-CONCLUSION-

Malgré les quelques difficultés rencontrées lors de la réalisation l'asservissement en position de la table tournante a pu être mené à bien. Les tests réalisés sur le système ont été satisfaisants:

- Le système de régulation a été simulé sur ordinateur et nous a permis de confirmer les valeurs de la constante de proportionnalité et des constantes de temps de dérivation et d'intégration déterminées par la méthode des pôles dominants.
- La structure du régulateur étant déterminante quant aux performances du système, nous avons prévu lors de la réalisation un régulateur à structure variable laissant ainsi la possibilité de sélectionner la structure répondant aux exigences du système à corriger.

Nous avons donc réalisé l'asservissement en position d'une table tournante dont les performances essentielles sont les suivantes:

- Temps de montée : 0,7s
- Dépassement maximum : 0%

Le régulateur PID nous a permis de satisfaire le compromis entre:

- Une bonne stabilité obtenue par l'ajustement du gain statique grâce à l'atténuateur.
- Un degré de stabilité correcte obtenue par l'ajustement des constantes de temps du régulateur.

Les dispositifs analogiques et numériques ayant une sensibilité différente aux perturbations, la commande par microprocesseur apportera une amélioration très nette des performances obtenues pour l'asservissement en position analogique de la table tournante.

La carte numerique n'ayant pas ete testé faute de temps
l'etude comparative n'a pu se faire.

Cependant les dispositifs analogiques et numeriques
presentent une sensibilite differente aux perturbations
L'asservissement par microprocesseur apportera une amelio-
ration tant sur le plan performance que stabilite:

- Les risques de derives seront certainement attenes.
- La correction par le regulateur numerique de par sa structu
structure variable peut se transformer en regulateur
P, PD, PI ou PID par un choix adequat des constantes
A, B, et C par programmation.

Il s'en suivra une regulation plus rigoureuse de l'asser-
vissement en position de la table tournante.

VI REALISATION ET TEST

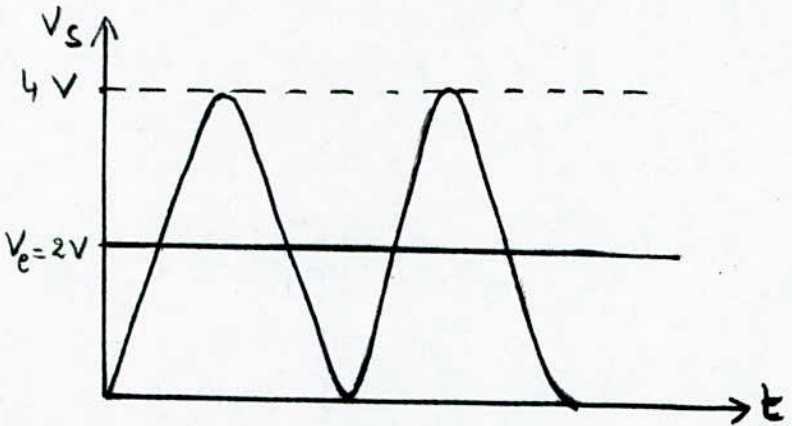
1 - Comparateur

4.2.1.a

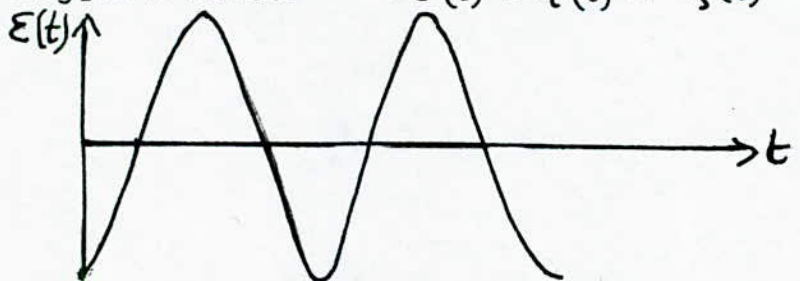
- Le montage de la figure ^{4.2.1.a} du chapitre II, ayant été réalisé, on a pu obtenir les courbes suivantes.

V_S : étant un signal sinusoïdale d'amplitude 4V

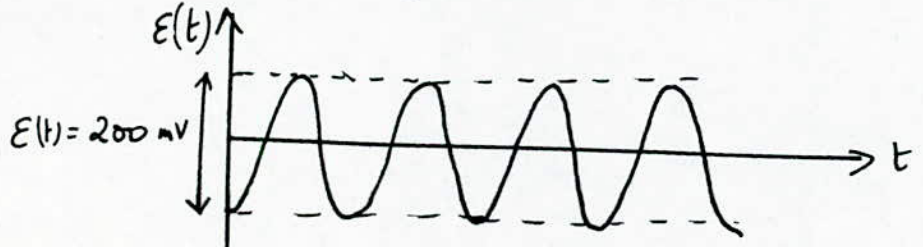
V_E : étant un signal continu d'amplitude 2V.



Ces 2 signaux injectés à l'entrée du comparateur, nous donne un signal d'erreur $\epsilon(t) = V_e(t) - V_S(t)$; de la forme :



- Lorsqu'on injecte 2 signaux sinusoïdaux de même amplitude, on obtient un signal d'erreur sinusoïdale



dont l'amplitude crête à crête est 200 mV.

- En statique ; on obtient une erreur de 25 mV, après réglage de l'offset $\epsilon(t)$ de la figure est évalué à 172 mV.
- A une fréquence $f = 600$ HZ, le comparateur sature à 5V, à $f = 6$ HZ il sature à 15V.

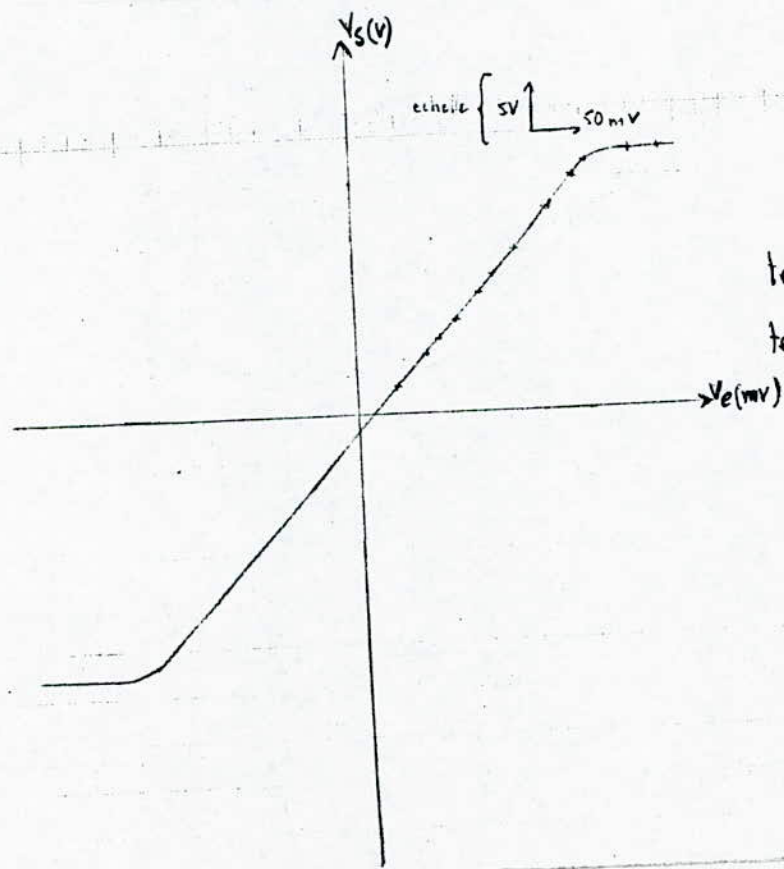
Remarque : le comparateur réalisé évalue donc bien le signal d'écart.

2 - Préamplificateur - Amplificateur de puissance :

Les montages de la figure 4.2.4 ^{et 4.2.3} du chapitre II ayant été réalisés nous en avons déduit les caractéristiques suivantes.

- Caractéristique de transfert :

$U_s = f(U_e)$ à la fréquence $f = 400$ HZ



tension de decalage égale à 15 mV
tension de saturation égale à 28V

Remarque : en grands signaux l'amplificateur présente de la distorsion. La caractéristique de transfert $U_s = f(U_e)$ n'est pas rectiligne et présente un décalage à une d.d.p d'entrée sinusoïdale U_e correspond une d.d.p non sinusoïdale.

- Courbe de réponse de l'amplificateur :

La tension d'entrée étant maintenue constante $U_e = 50\text{mV}$, on obtient une diminution progressive de l'amplitude V_s , en faisant varier la fréquence.

Cette courbe est représentée par la figure VI.a page 95

Remarque : en basse fréquence U_s est constant, à partir de $f = 10\text{kHz}$, U_s diminue quand la fréquence augmente.

Bande passante : $\Delta f = 26\text{kHz}$

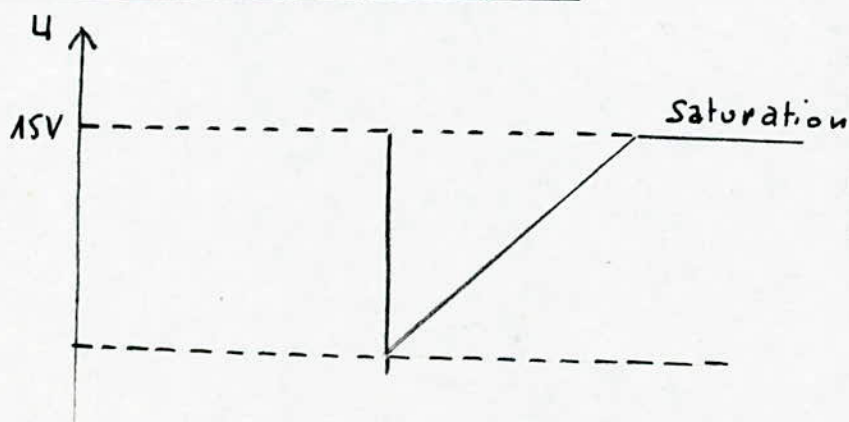
- Réponse de l'amplificateur à un échelon de tension en boucle ouverte : représentée à la figure VI.b page 96

$t_1 < t < t_2$ La table tourne

$t_2 < t < t_3$ La table est immobile.

3 - Régulateur

Réponse indicielle du Régulateur PID



4 - Réponses du système non corrigé, en boucle fermée :

- La figure VI.97 représente la réponse du système à une valeur de consigne θ_e du potentiomètre d'entrée.

Pour $k_1 = 1$ correspond un gain en tension égale à 1500.

Le système est instable, il ne tend pas vers une position d'équilibre mais donne une oscillation permanente de la table.

- Pour k_1 très faible, la réponse du système est représentée par la figure VI.d l'amplification étant très faible, θ_s varie lentement, le régime transitoire est trop lent, amortissement trop grand.

$k_1 = 0,2 \Rightarrow A = 2000 \Rightarrow \xi = 2$

- Pour $k_1 = 0,8$, figure VI.e.

θ_s varie plus vite, le système est stable parce qu'il tend vers une position d'équilibre $\theta_s = \theta_e$.

Néanmoins, il y a un dépassement D qui peut être gênant.

$t_m = 0,2 \text{ s.}$

L'amortissement peut être défini par la valeur du dépassement indiciel, amplitude relative de la première oscillation de la réponse.

On considère habituellement que le degré de stabilité est correct si $D = 20 \%$.

$D = \frac{MoM}{HMo} = \frac{0,4}{18} = 22 \% \Rightarrow \xi = 0,42$

5 - Introduction de la correction dans la boucle fermée :

Nous maintenons constant la valeur de k_1 à 0,8, donc un amortissement $\xi = 0,7$

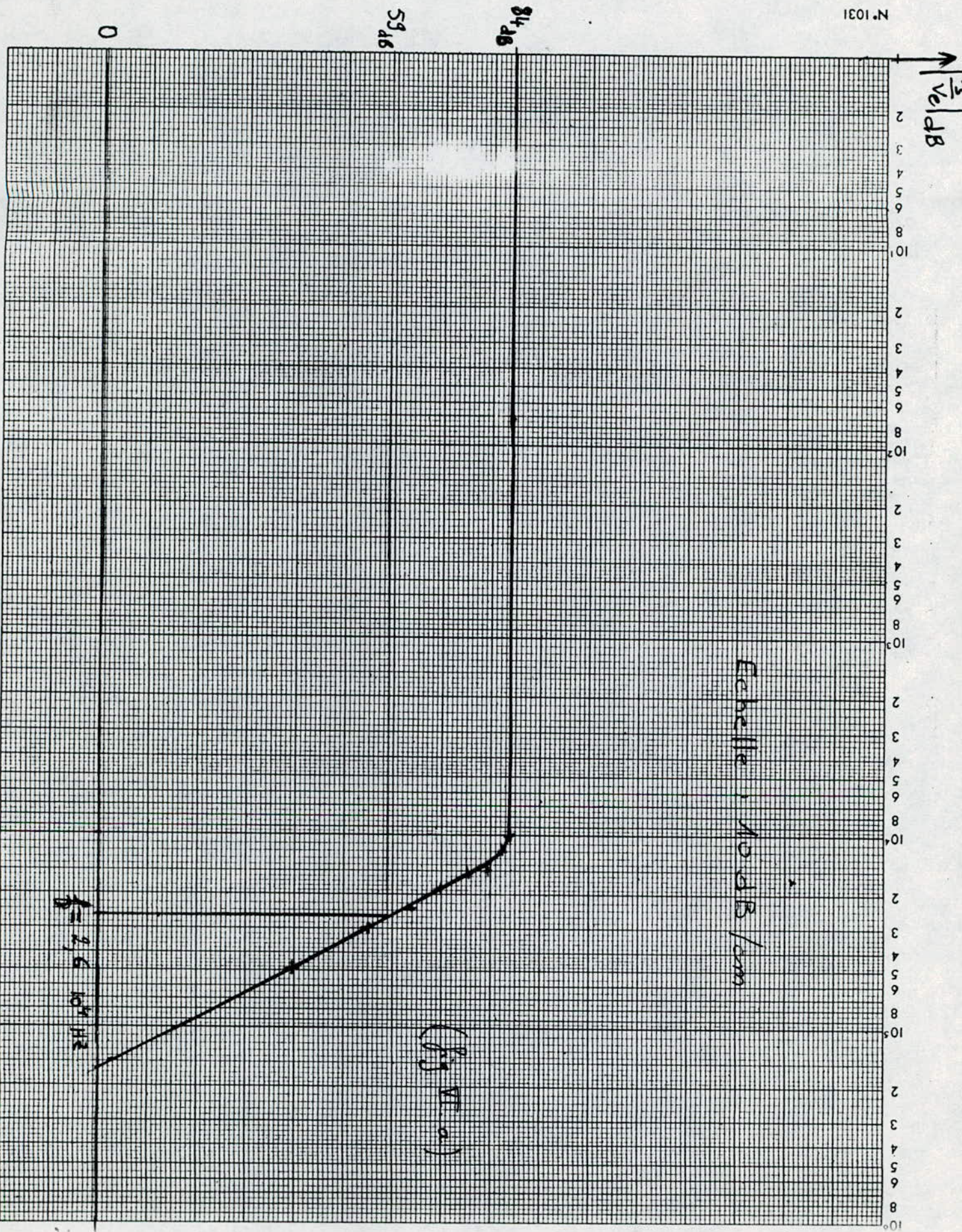
La réponse du système corrigé est donnée par la figure VI.8, page 99

Le temps de montée est: $t_m = 0,7$ s

Le dépassement est: $D = 0\%$

Le système est moins rapide mais plus stable.

N. 1031



Echelle : 10 dB/cm

(Fig. VI a)

f = 2,6 kHz Hz

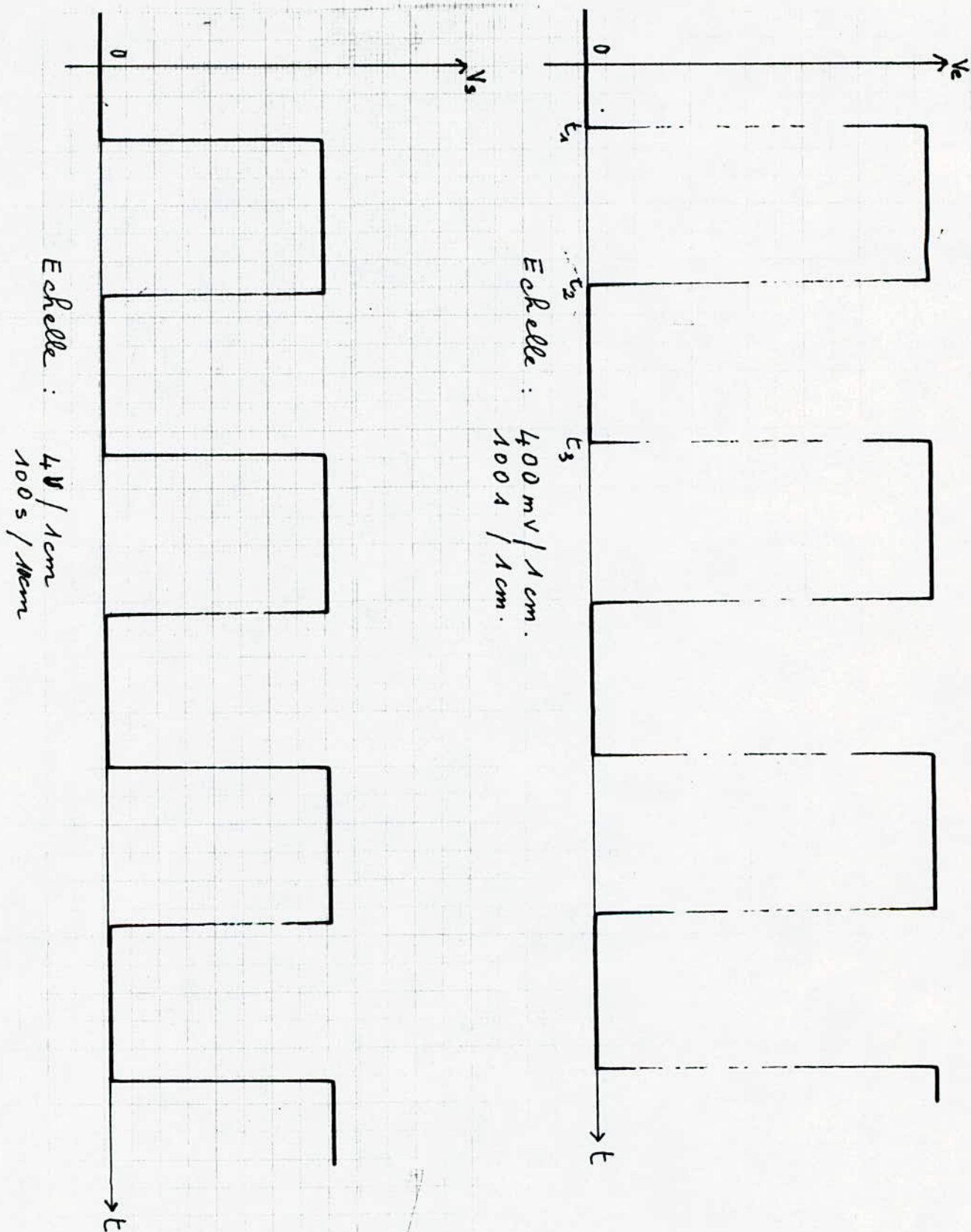
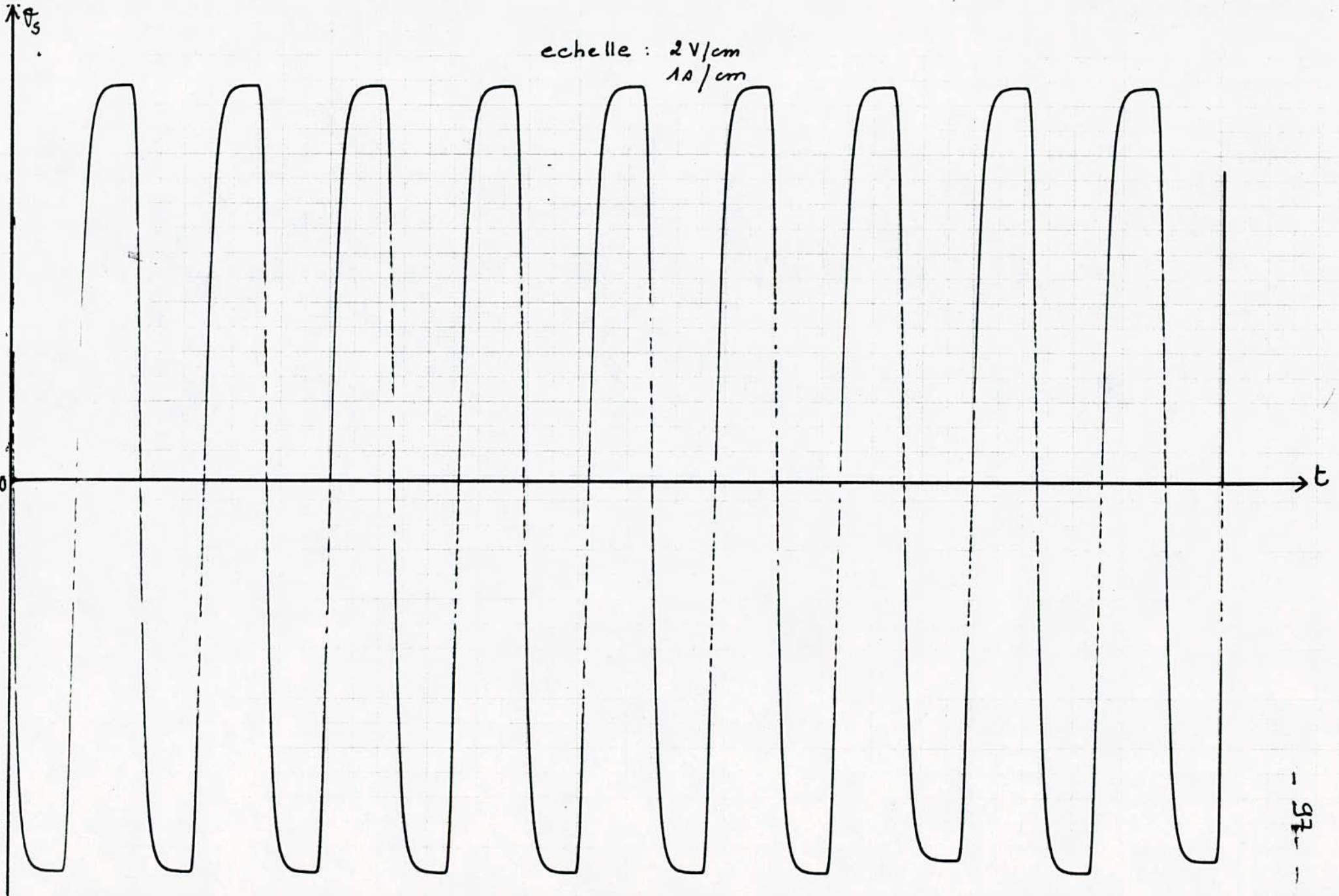


Fig 6.6 Réponse de l'amplificateur en charge.
Système en Boucle ouverte.



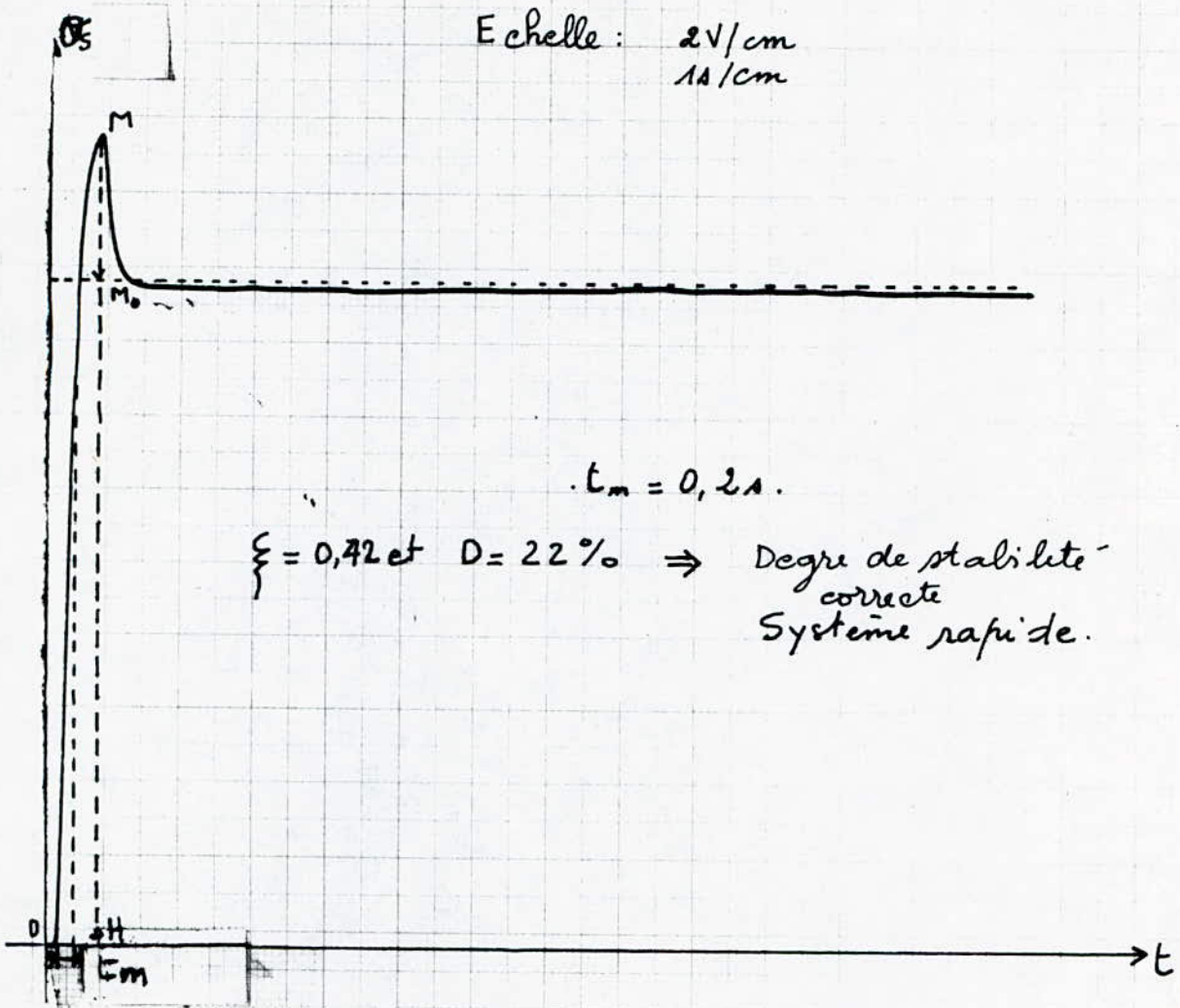
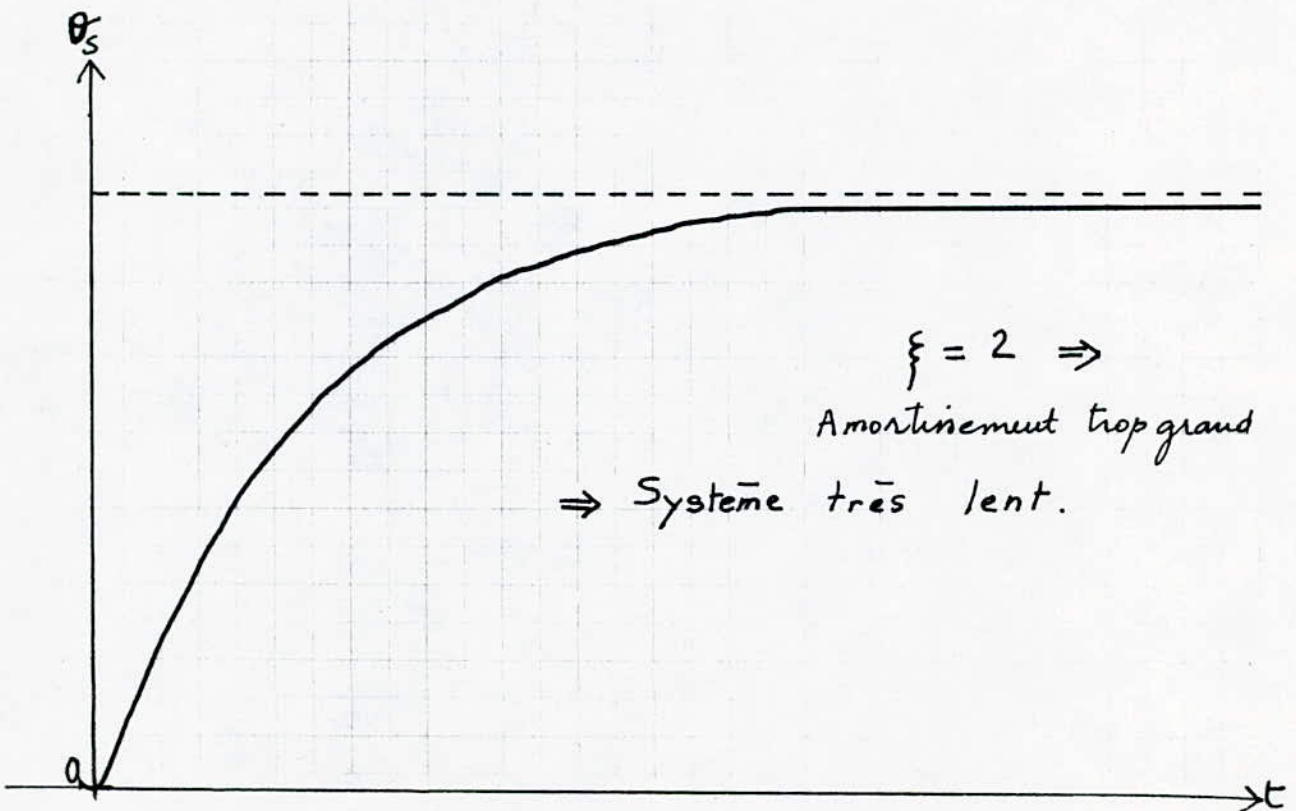


Figure VI e .



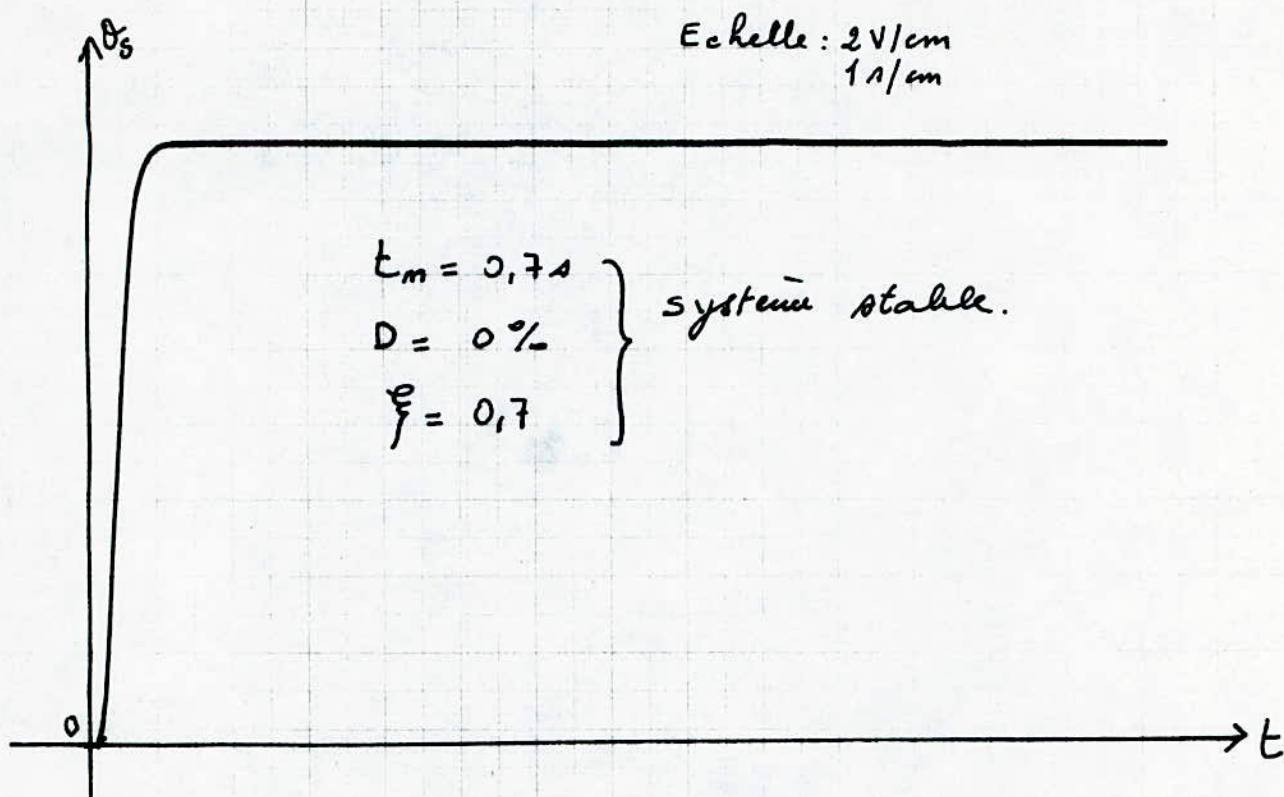


Fig VI f : Réponse du système corrigé en boucle fermée.

-CONCLUSION-

Malgré les quelques difficultés rencontrées lors de la réalisation l'asservissement en position de la table tournante a pu être mené à bien. Les tests réalisés sur le système ont été satisfaisants:

- Le système de régulation a été simulé sur ordinateur et nous a permis de confirmer les valeurs de la constante de proportionnalité et des constantes de temps de dérivation et d'intégration déterminées par la méthode des pôles dominants.
- La structure du régulateur étant déterminante quant aux performances du système, nous avons prévu lors de la réalisation un régulateur à structure variable laissant ainsi la possibilité de sélectionner la structure répondant aux exigences du système à corriger.

Nous avons donc réalisé l'asservissement en position d'une table tournante dont les performances essentielles sont les suivantes:

- Temps de montée : 0,7s
- Dépassement maximum : 0%

Le régulateur PID nous a permis de satisfaire le compromis entre:

- Une bonne stabilité obtenue par l'ajustement du gain statique grâce à l'atténuateur.
- Un degré de stabilité correcte obtenue par l'ajustement des constantes de temps du régulateur.

La carte numerique n'ayant pas ete testé faute de temps
l'étude comparative ne se fera.

Cependant les dispositifs analogiques et numeriques
presentent une sensibilite differente aux perturbations
L'asservissement par microprocesseur apportera une amelio-
ration tant sur le plan performance que stabilite:

- Les risques de derives seront certainement attenes.
- La correction par le regulateur numerique de par sa
structure variable peut se transformer en regulateur
P, PD, PI ou PID par un choix adequat des constantes
A, B, et C par programmation.

Il s'en suivra une regulation plus rigoureuse de l'asser-
vissement en position de la table tournante.

- ANNEXES

LISTE DES COMPOSANTS RELATIVE AU SCHEMA COMPLET DU
MONTAGE DE POSITION POTENTIOMETRIQUE

Résistances :

$$R_e = 1,5 \text{ M}$$

$$R_1 = 100 \text{ k}$$

$$R_2 = 2,7 \text{ k}$$

$$R_3 = 1 \text{ k}$$

$$R_4 = 10 \text{ k}$$

$$R_5 = 15 \text{ k}$$

$$R_6 = 3 \text{ M}$$

$$R_7 = 3,9 \text{ k}$$

$$R_8 = 1$$

$$R_p = 120$$

Condensateurs

$$C_1 = 4,7 \text{ } \mu\text{F} \text{ (100V)}$$

$$C_2 = 100 \text{ } \mu\text{F} \text{ (6,3/10 V)}$$

$$C_3 = 9,4 \text{ } \mu\text{F} \text{ (100 V)}$$

$$C_4 = 0,22 \text{ } \mu\text{F} \text{ (250 V)}$$

$$C_5 = 0,1 \text{ } \mu\text{F} \text{ (250 V)}$$

$$C_4 = 0,22 \text{ } \mu\text{F}$$

$$C_6 = 220 \text{ } \mu\text{F} \text{ (40/65 V)}$$

Drodes

D₁ = 1 N 4002

D₂ = 1 N 4007

Potentiomètres

P₁ = 10 K (Res 5 % ; LIN 0,25 %)

P₂ = 100 k

P₃ = 5 k

P₅ = 50 k

Transistors

TIP 111 : NPN)
TIP 116 : PNP) au silicium

V _{cB} Max	V _{cE} Max	V _{EB} Max	I _{cmax}	P _{tot}	HFE = en courant	I _c pour HFE
80 V	80 V	5 V	2 A	50W	750 MN	2 A

Régulateurs de tension

MC 78 L 15C (Positive Voltage Régulator) (100 MA)

MC 79 L 15C (Négative Voltage Régulator) (100 MA)

C.8.11. — RACINES DE L'ÉQUATION DU TROISIÈME DEGRÉ (Deuxième méthode)

$$Ax^3 + Bx^2 + Cx + D = 0.$$

Si l'on pose :

$$x = z + \frac{B}{3A}$$

$$p = \frac{C}{A} - \frac{B^2}{3A^2}$$

$$q = \frac{2B^3}{27A^3} - \frac{BC}{3A^2} + \frac{D}{A}$$

il vient :

$$z^3 + pz + q = 0.$$

Les racines x_1, x_2 et x_3 sont de la forme :

$$x_1 = a_1 + ib_1$$

$$x_2 = a_2 + ib_2$$

$$x_3 = a_3 + ib_3.$$

SIGNES DE p q		CONDITIONS	CHANGEMENTS de variables	a	b
+	±	néant	$\operatorname{tg} \theta = \frac{2p}{3q} \sqrt{\frac{p}{3}}$ et $\operatorname{tg} \varphi = \sqrt[3]{\frac{q}{\operatorname{tg} \frac{\theta}{2}}}$	$-2 \sqrt{\frac{p}{3}} \frac{1}{\operatorname{tg} 2\varphi}$	0
				$\sqrt{\frac{p}{3}} \frac{1}{\operatorname{tg} 2\varphi}$	$-\sqrt{p} \frac{1}{\sin 2\varphi}$
				$\sqrt{\frac{p}{3}} \frac{1}{\operatorname{tg} 2\varphi}$	$+\sqrt{p} \frac{1}{\sin 2\varphi}$
-	±	$\left(\frac{-p}{27}\right)^3 < \frac{q^2}{4}$	$\sin \theta = -\frac{2p}{3q} \sqrt{\frac{-p}{3}}$ et $\operatorname{tg} \varphi = \sqrt[3]{\frac{q}{\operatorname{tg} \frac{\theta}{2}}}$	$-2 \sqrt{\frac{-p}{3}} \frac{1}{\sin 2\varphi}$	0
				$+\sqrt{\frac{-p}{3}} \frac{1}{\sin 2\varphi}$	$-\sqrt{-p} \frac{1}{\operatorname{tg} 2\varphi}$
				$+\sqrt{\frac{-p}{3}} \frac{1}{\sin 2\varphi}$	$+\sqrt{-p} \frac{1}{\operatorname{tg} 2\varphi}$
±	±	$\left(\frac{-p}{27}\right)^3 = \frac{q^2}{4}$	néant	$-\frac{3q}{2p}$	0
				$-\frac{3q}{2p}$	0
				$\frac{3q}{p}$	0
±	±	$\left(\frac{-p}{27}\right)^3 > \frac{q^2}{4}$	$\cos \varphi = \frac{3q}{2p} \sqrt{\frac{3}{-p}}$	$2 \sqrt{\frac{-p}{3}} \cos \left(60^\circ - \frac{\varphi}{3}\right)$	0
				$2 \sqrt{\frac{-p}{3}} \cos \left(60^\circ + \frac{\varphi}{3}\right)$	0
				$\sqrt{\frac{-p}{3}} \cos \frac{\varphi}{3}$	0

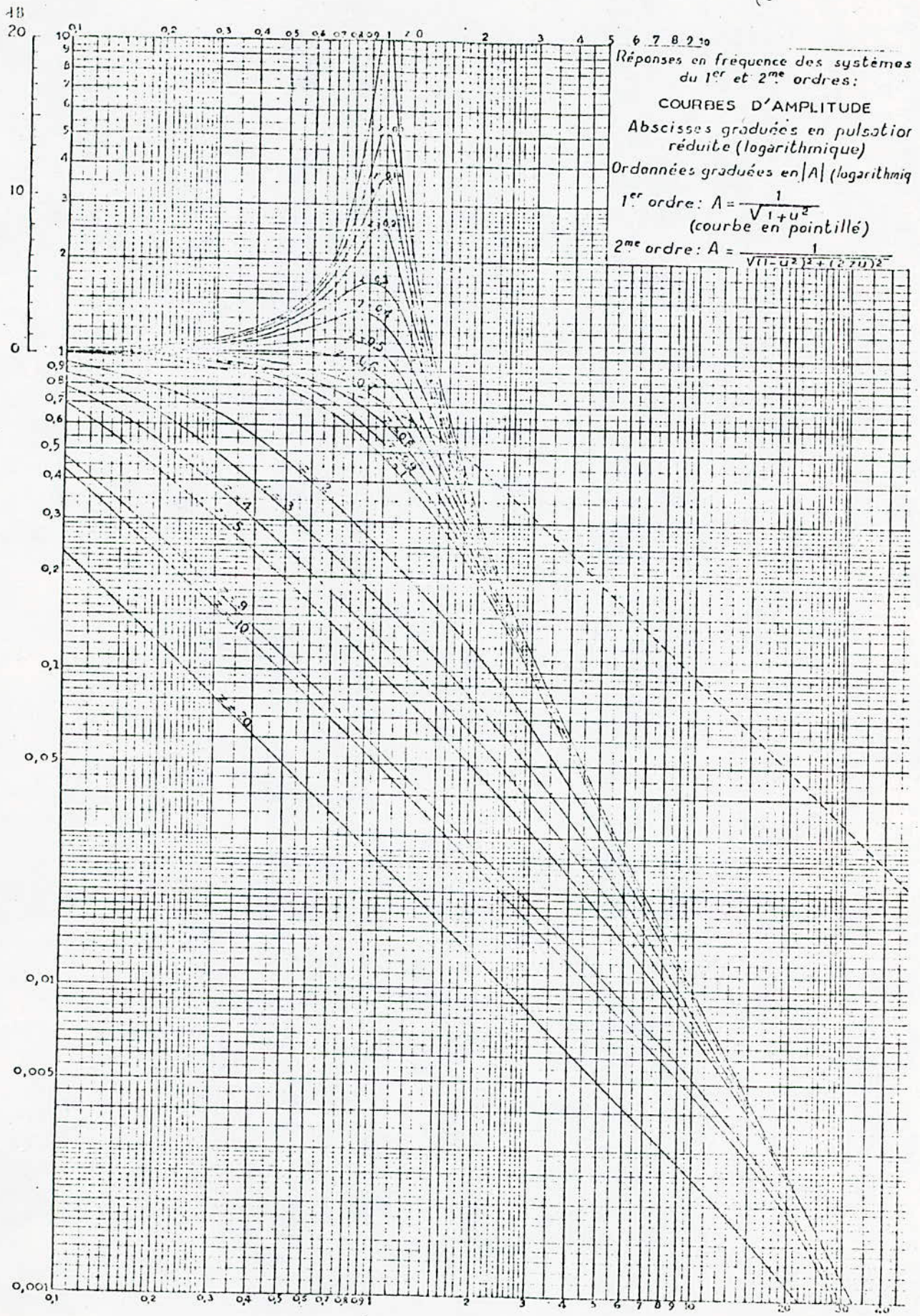
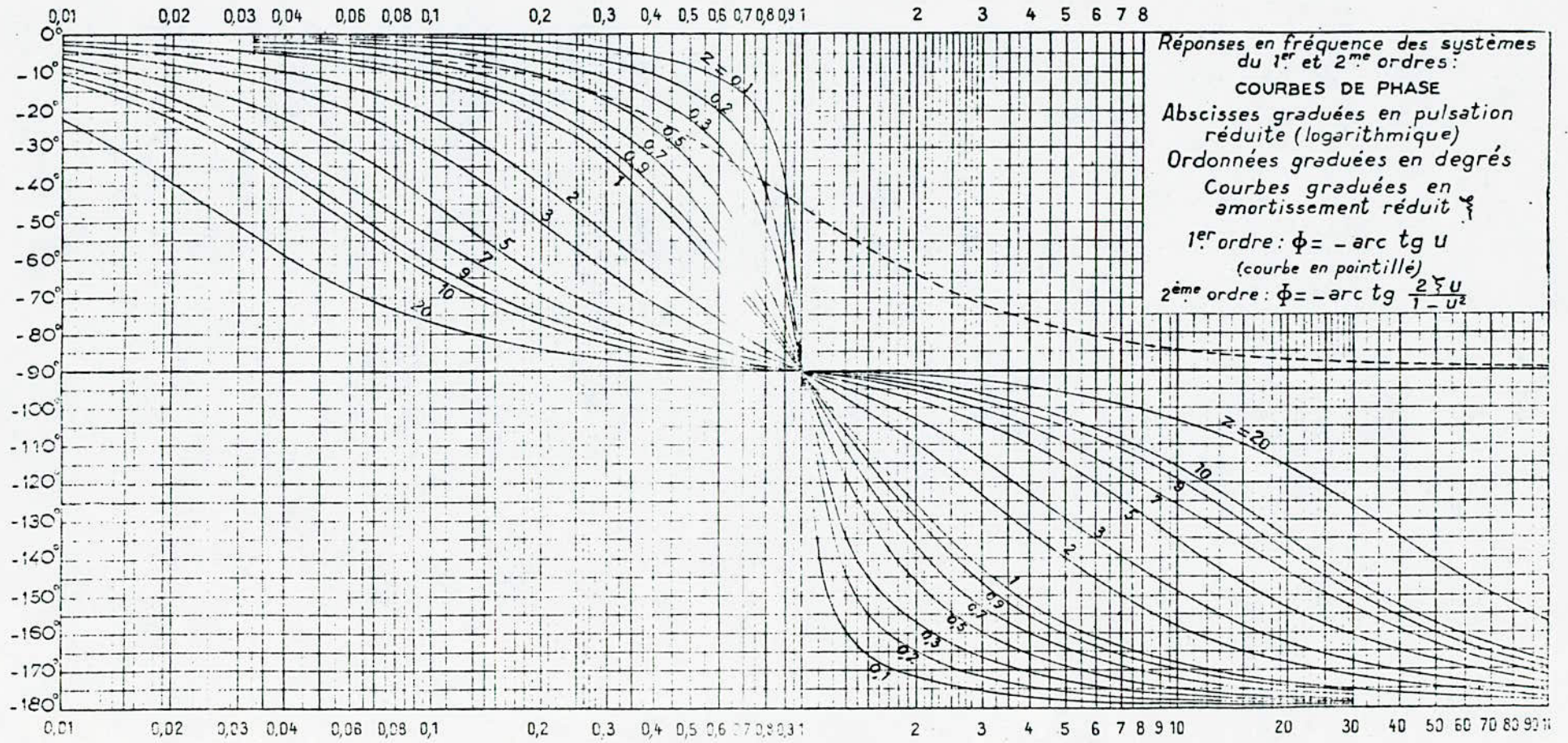
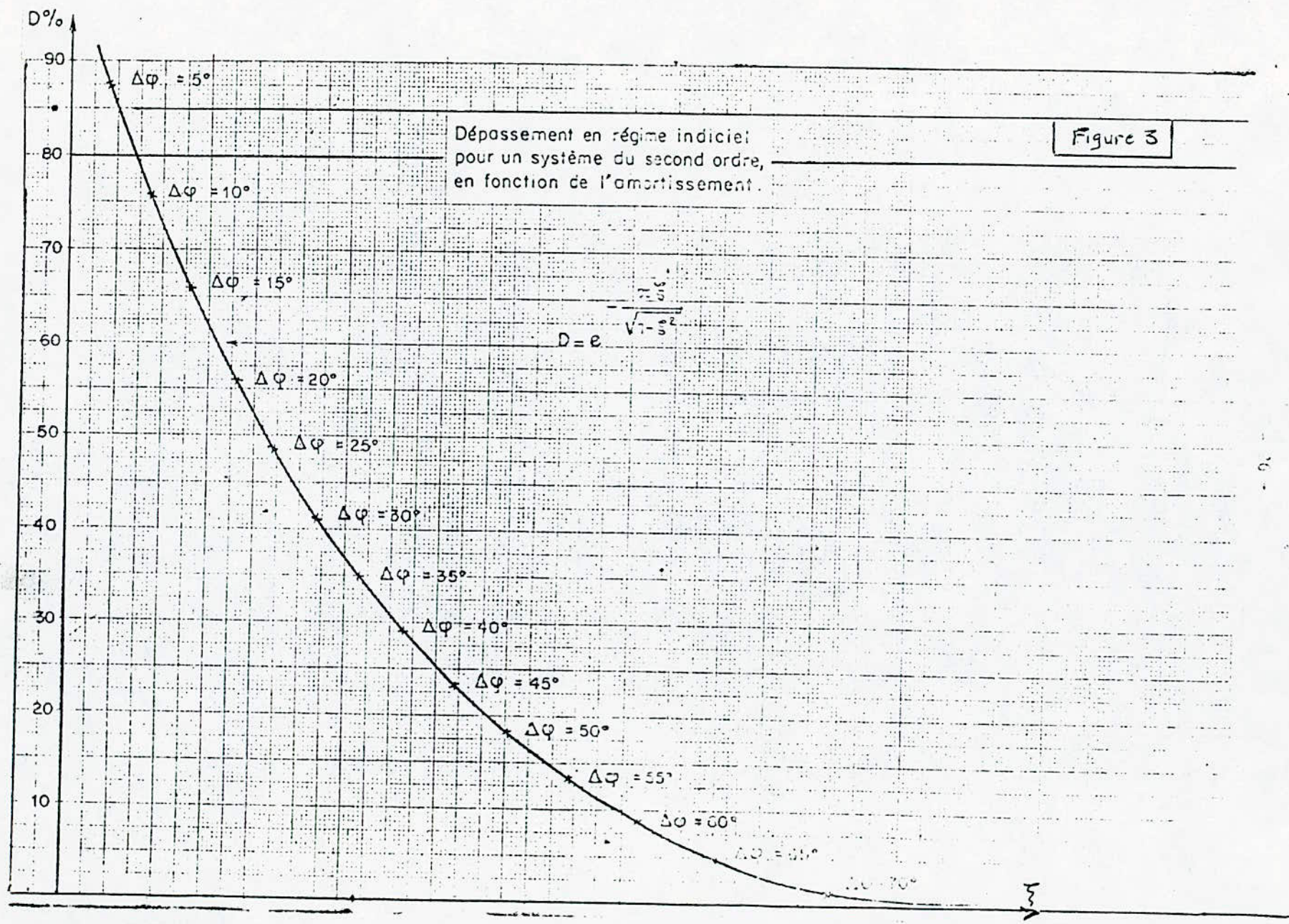


Figure 1

figure 2





I. Le microprocesseur 6800

1/ - Description du 6800

Il se présente sous la forme d'un boîtier céramique ou plastique de quarante broches. Voir figure A.

Dans cette figure les notations utilisées sont :

I R Q (interrupt request) demande d'interruption

V M A (Valid memory address) validation adresse mémoire

N M I (Non maskable interrupt) interruption non masquable

B A (Bus Available) bus disponible

A (Address bus) bus d'adresses

D (Data bus) bus de données

R / W (Read Write) lecture écriture

N C (No connected) non employé

D B E (data bus enable) validation du bus de données

ϕ_1 ϕ_2 (clock phase) phases de l'horloge

T S C (Tri-state control) commande de trois états des tampons

Les liaisons avec les autres circuits se subdivisent en

3 bus :

- Un bus de données de 8 bits
- Un bus d'adresses de 16 bits
- Un bus de signaux de commande de 11 fils

La zone de travail en liaison avec les programmes se situe au niveau des 6 registres internes. Ce sont les seuls registres mis à la disposition de l'utilisateur.

ACCA (Accumulator A) registre de 8 bits à usage général

ACCB registre de 8 bits à usage général

4/ - Les éléments fonctionnels du 6800

Le circuit 6800 est une unité centrale (MPU : microprocessor unit), il comporte les organes fonctionnels suivants :

- une unité arithmétique et logique
- un ensemble de registre
- une logique de commande.

5/ - Les interruptions

Il existe deux sortes d'interruptions :

- impérative : RESET - NMI - SWI
- conditionnelle : IRQ

CC (Condition codes register) registre d'état de 8 bits
PC (Program Counter) compteur programme ou compteur ordinal de 16 bits
IX (Index register) registre d'index de 16 bits
SP (Stack Pointer) pointeur de pile de 16 bits

2/ - Les circuits mémoires

2.a - Mémoires mortes :

ROM (Read Only Memory) mémoire à écriture seule
PROM (Programmable ROM) dont le contenu est programmé par l'utilisateur.

REPROM (Reprogrammable ROM) : par moyen physique (v, impulsions électrique) il est possible d'en effacer le contenu.

2.b - Mémoires vives

Les mémoires RAM sont à lecture/écriture.

3/ - Modes d'adressages

Il existe 6 modes d'adressages :

- implicite
- immédiat
- relatif
- direct
- étendu
- indexe

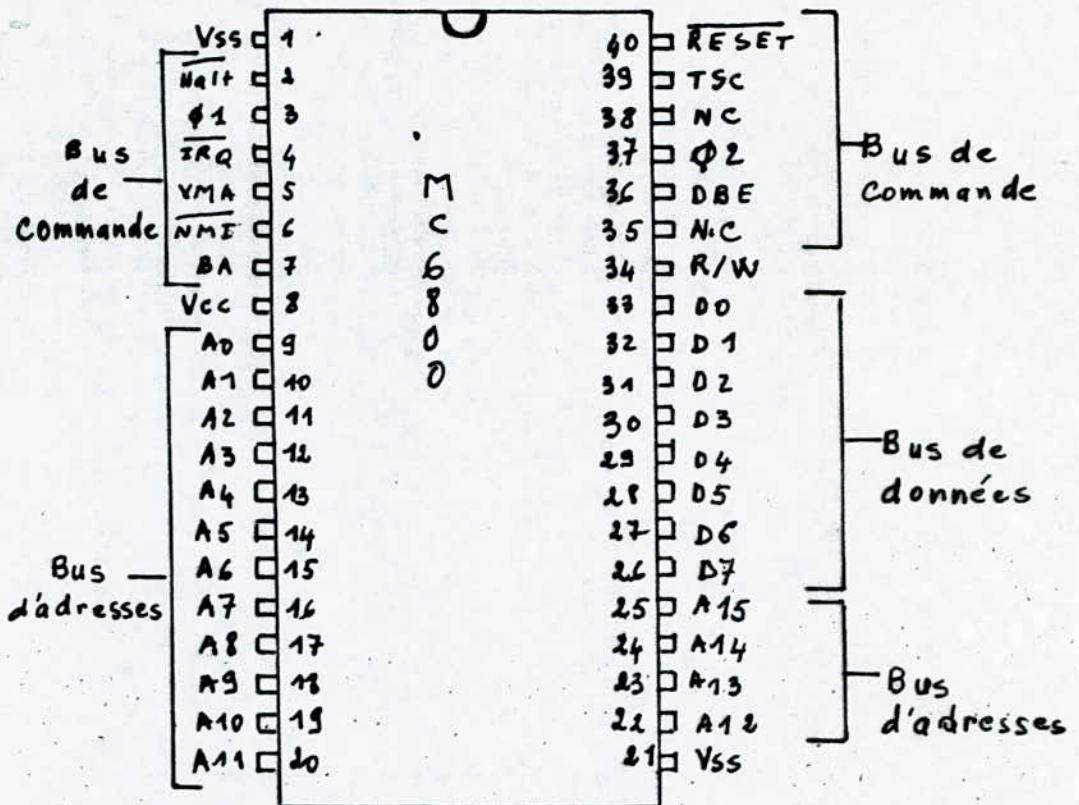


Fig A: Brochage du 6800

II - LE PIA 6820

Le 6820 est un circuit d'interface programmable. Il se présente sous la forme d'un boîtier de 40 broches (voir schéma en annexe). Le PIA comprend 2 parties symétriques : Le Port A et le port B. Chaque port dispose de 8 lignes d'entrée-sortie et de deux lignes de dialogue

PA0... PA7 - CA1 - CA2 pour le port A

PB0... PB7 - CB1 - CB2 pour le port B

Chaque port du PIA contient 3 registres :

Un registre OR image des lignes PO-P7. C'est dans ce registre que le microprocesseur viendra :

- Soit écrire les données à envoyer vers un périphérique si PO-P7 sont programmées en sortie,
- Soit lire les données venant d'un périphérique si les lignes PO-P7 sont programmées en entrée.

Un registre "DDR" de direction des données. Chaque Bit de ce registre permet de définir le sens de travail d'une ligne (PO...P7). Si un bit est à 1 la ligne qui lui correspond est programmée en sortie. Si ce bit est à 0 elle est programmée en entrée.

Un registre de contrôle CR. Il permet de définir le mode de fonctionnement des lignes C1 et C2. Ces lignes étant des lignes de dialogue :

C1 est une entrée qui peut générer une interruption et C2 peut être programmée en entrée ou en sortie.

Le PIA contient donc 6 registres : 2 OR, 2 DDR, 2 CR, et est vu par le microprocesseur comme quatre positions mémoire puisqu'il ne dispose que de deux broches de sélection de registre RSO-RS1. Les registres DDR et OR sont à la même adresse. Le bit 2 du registre de contrôle permet de les identifier :

Si $b_2 = 1$ on a accès à OR

Si $b_2 = 0$ on a accès à DDR

La sélection du boîtier du PIA se fait par trois chip-select CS0-CS1-CS2. Le MC 6820 n'est activé que si :

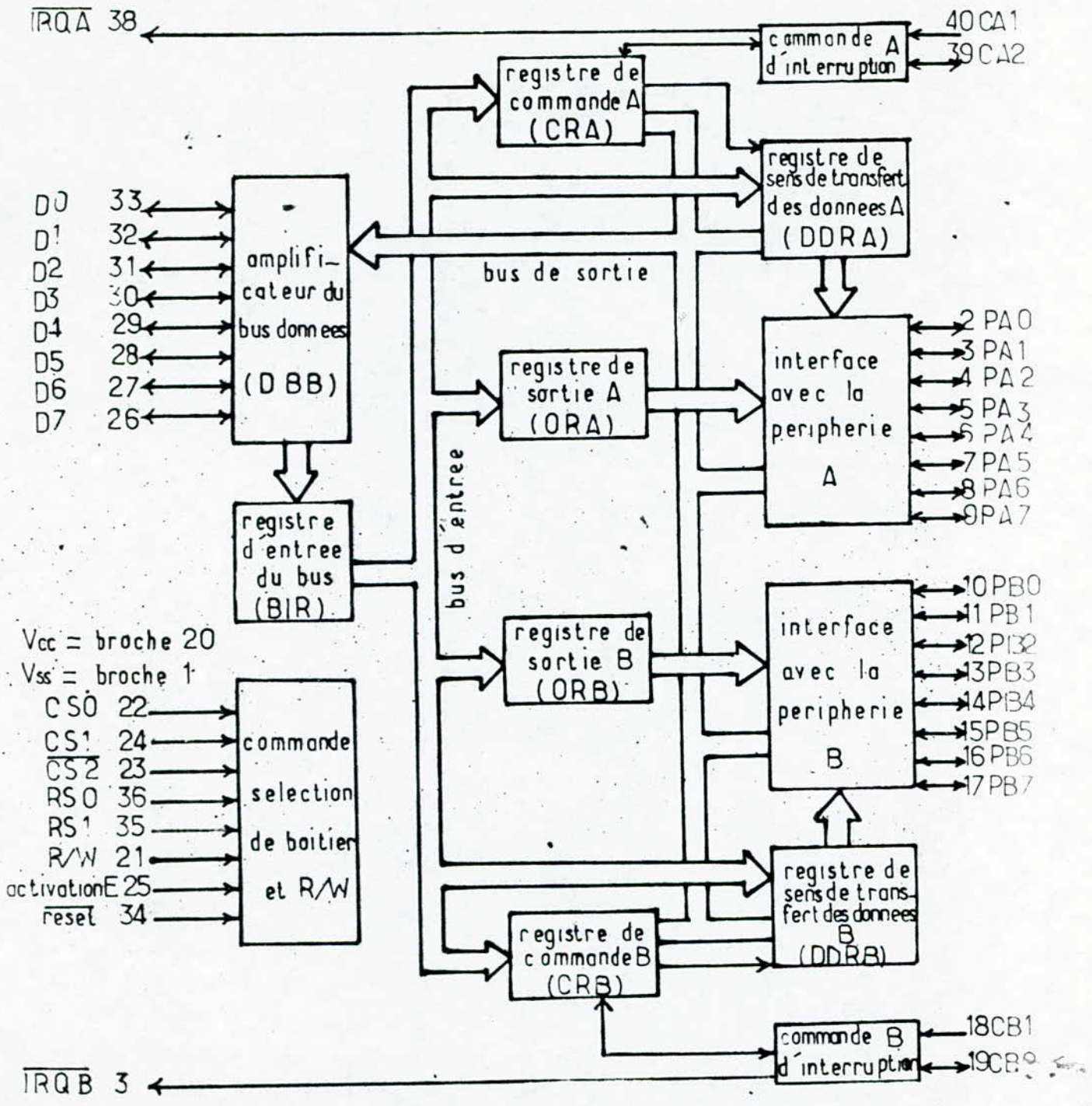
$$\left. \begin{array}{l} \text{CS0} = 1 \\ \text{CS1} = 1 \\ \underline{\text{CS2}} = 0 \end{array} \right\} + 5V$$

Tableau de la sélection des registres internes

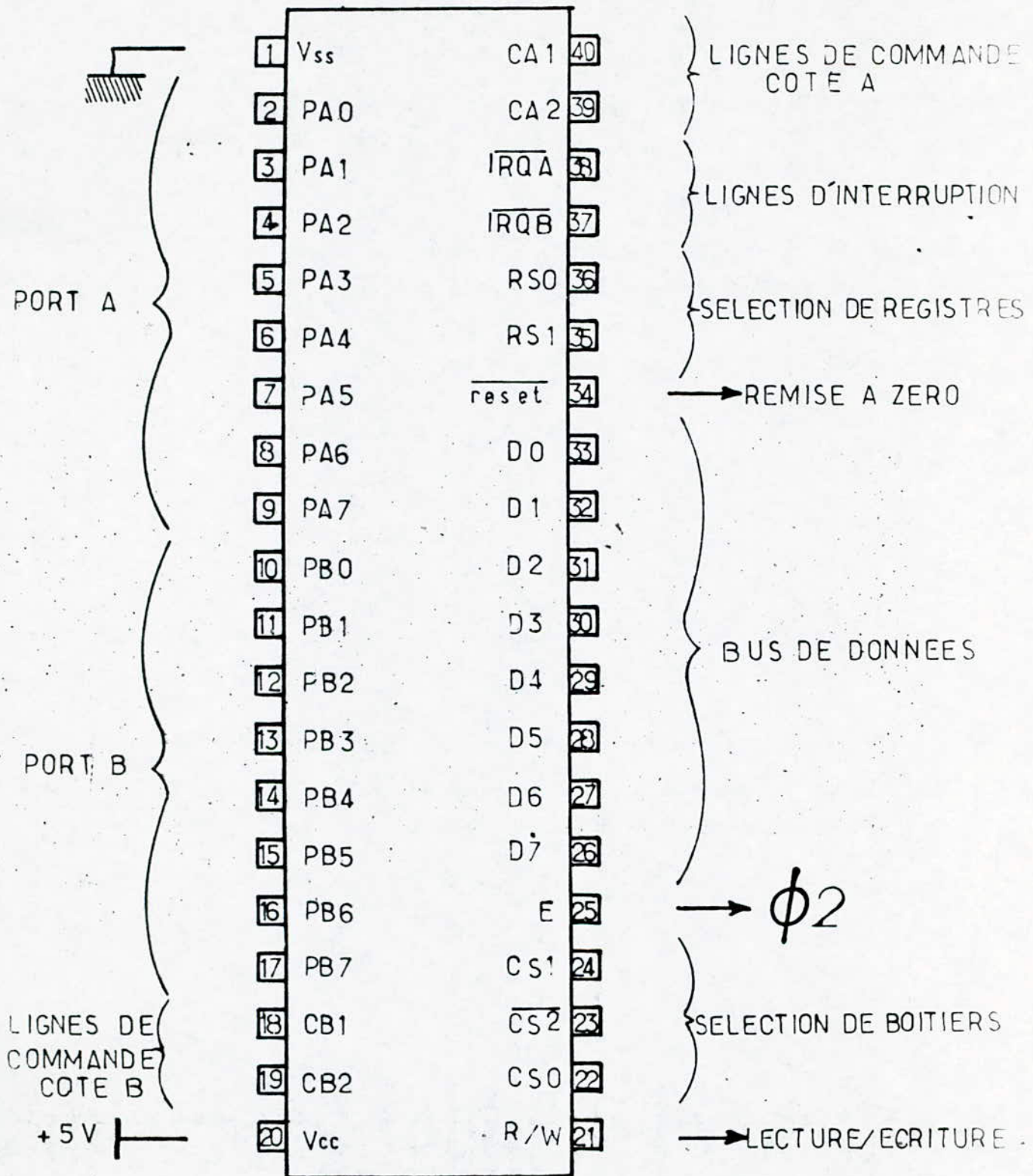
CS0	CS1	CS2	RS0	RS1	b_2	R-S*
1	1	0	0	0	0	DDRA
1	1	0	0	0	1	ORA
1	1	0	1	0	X	CRA
1	1	0	0	1	0	DDRB
1	1	0	0	1	1	ORB
1	1	0	1	1	X	CRB

* : R-S : registres sélectionnés

SYNOPTIQUE INTERNE DU PIA

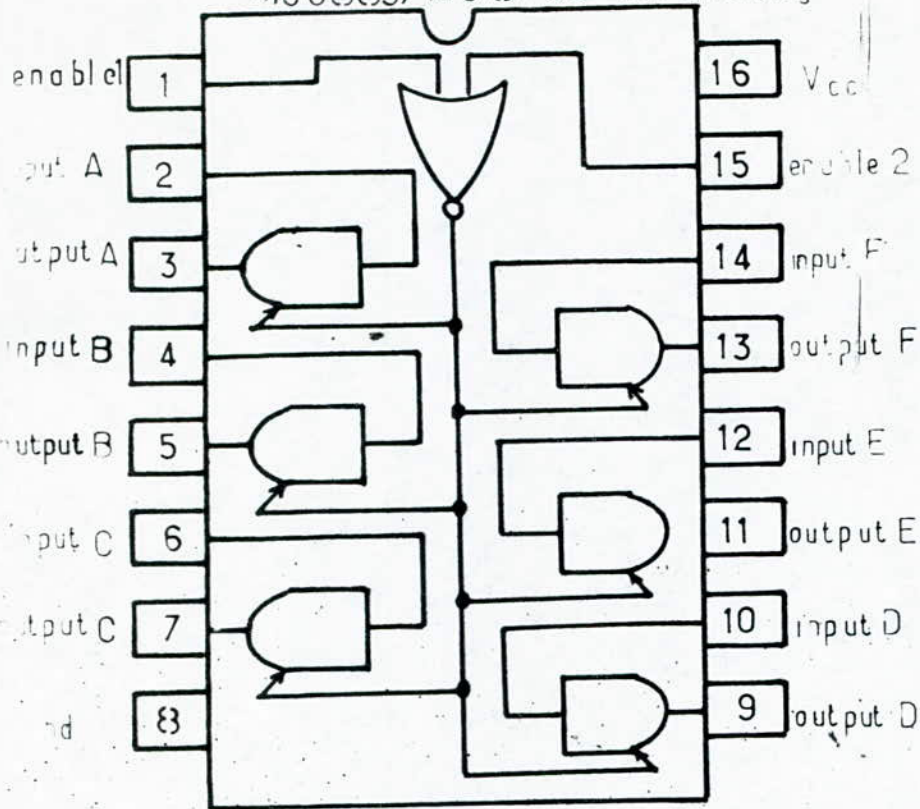


BROCHAGE DU PIA



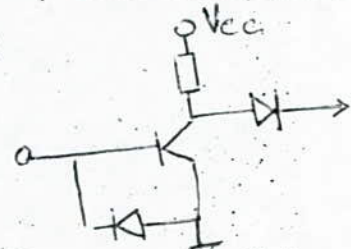
X

MC 68835 / MC 8T 95 non inverting



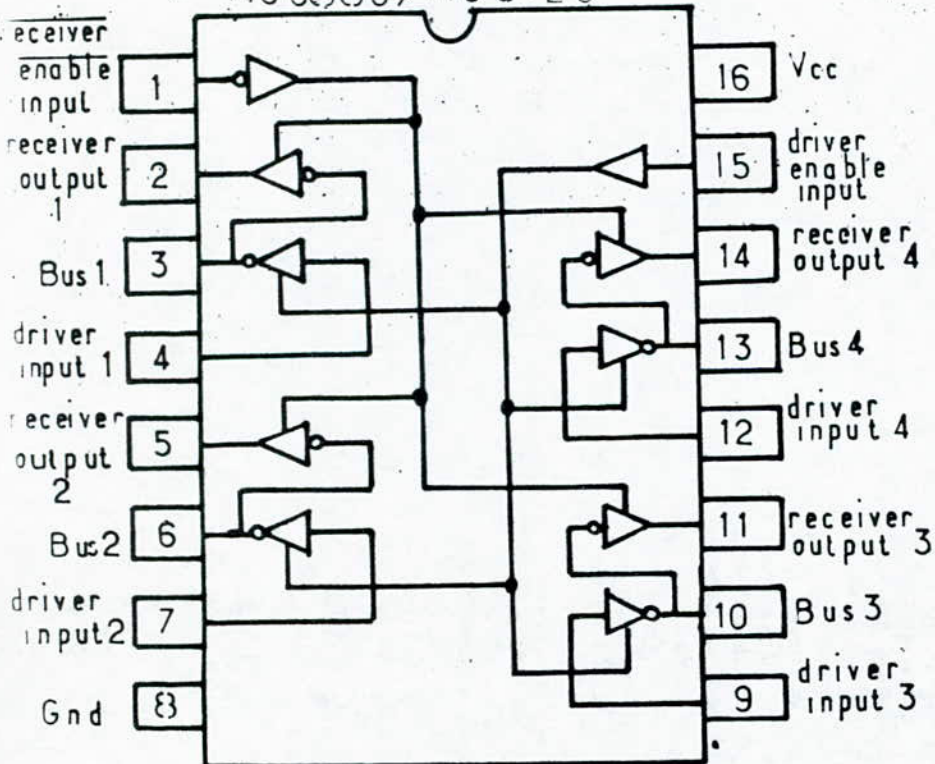
enable1	enable2	entree	sortie
0	0	0	0
0	0	1	1
0	1	X	nz
1	0	Y	nz
1	1	X	nz

INTERFACE 6885

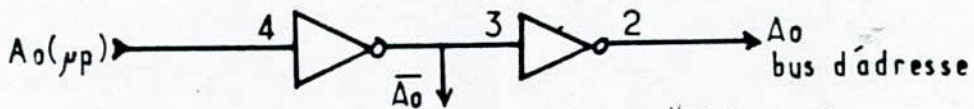


Circuit d'entree equivalent du "8T 95"

MC 68830 / MC 8T 26



INTERFACE 6880



Circuit d'entree equivalent du "8T 26"

III - Le temporisateur programmable MC 6840

Le MC 6840 de MOTOROLA est un temporisateur programmable "PTM" qui contient 3 compteurs 16 bits commandés et contrôlés par le MC 6800 grâce à un registre de commande d'état et de données. Divers modes de fonctionnement peuvent être réalisés par programmation.

3.1. - Description externe

Le PTM se présente sous la forme d'un boîtier à 28 broches se répartissant comme suit :

- 8 lignes bidirectionnelles de données (DO-D7)
- 2 lignes de sélection de boîtier (CS0-CS1)
- 3 lignes de sélection de registre interne (RS0 - RS1 - RS2)
- 1 ligne d'entrée horloge $\phi 2$ (Enable) qui synchronise les transferts μp -PTM.
- 1 ligne de sortie IRQ (demande d'interruption)
- 1 ligne d'entrée reset
- 3 lignes d'entrée d'horloge externes (C1, C2, C3)
- 3 lignes de validation des Enable et de réinitialisation (G1, G2, G3)
- 3 lignes de sortie des compteurs O1, O2, O3

3.2. - Registres le MC 6840 dispose de :

- 3 registres de chargement de 16 bits chacun
- 3 registres de contrôle CR1, CR2, CR3 affectés respectivement aux timers 1, 2 et 3.

X

- 1 registre d'état

Les trois entrées de sélection de registre RSO, RS1, RS2, qui permettent de distinguer selon l'état de R/W les registres à écriture seule ; le bit 0 du registre de contrôle 2 (CR20) permet de différencier les registres de contrôle 1 et 3 qui sont à la même adresse.

Les 7 autres registres à lecture seule auront même adresse mais seront différenciés à l'aide de R/W (qui sera égal à 1 (lecture)).

A0, O1, A2 sont les fils qui permettent d'adresser respectivement RSO, RS1, RS2.

Chacun des trois timers se compose d'un compteur 16 bits et d'un registre de chargement où est stockée la valeur d'initialisation du compteur. L'arrivée d'un ordre d'initialisation dépendant du mode de fonctionnement provoque le positionnement du compteur à la valeur pré-chargée dans le registre. Le compteur s'il est valide, se met ensuite à décompter jusqu'à zéro. Le positionnement d'un bit "Flag" dans le registre d'état signale alors la fin du comptage

- TIME OUT TO-.

X

Les 3 registres de commande CRx3, CRx4, CRx5 définissent le mode de fonctionnement des compteurs.

CRX3	CRX4	CRX5	Mode de fonctionnement
0	X	0	Multiplicateur stable
0	X	1	Monostable
1	0	X	Comparaison de fréquence
1	1	X	Comparaison de largeur d'impulsion

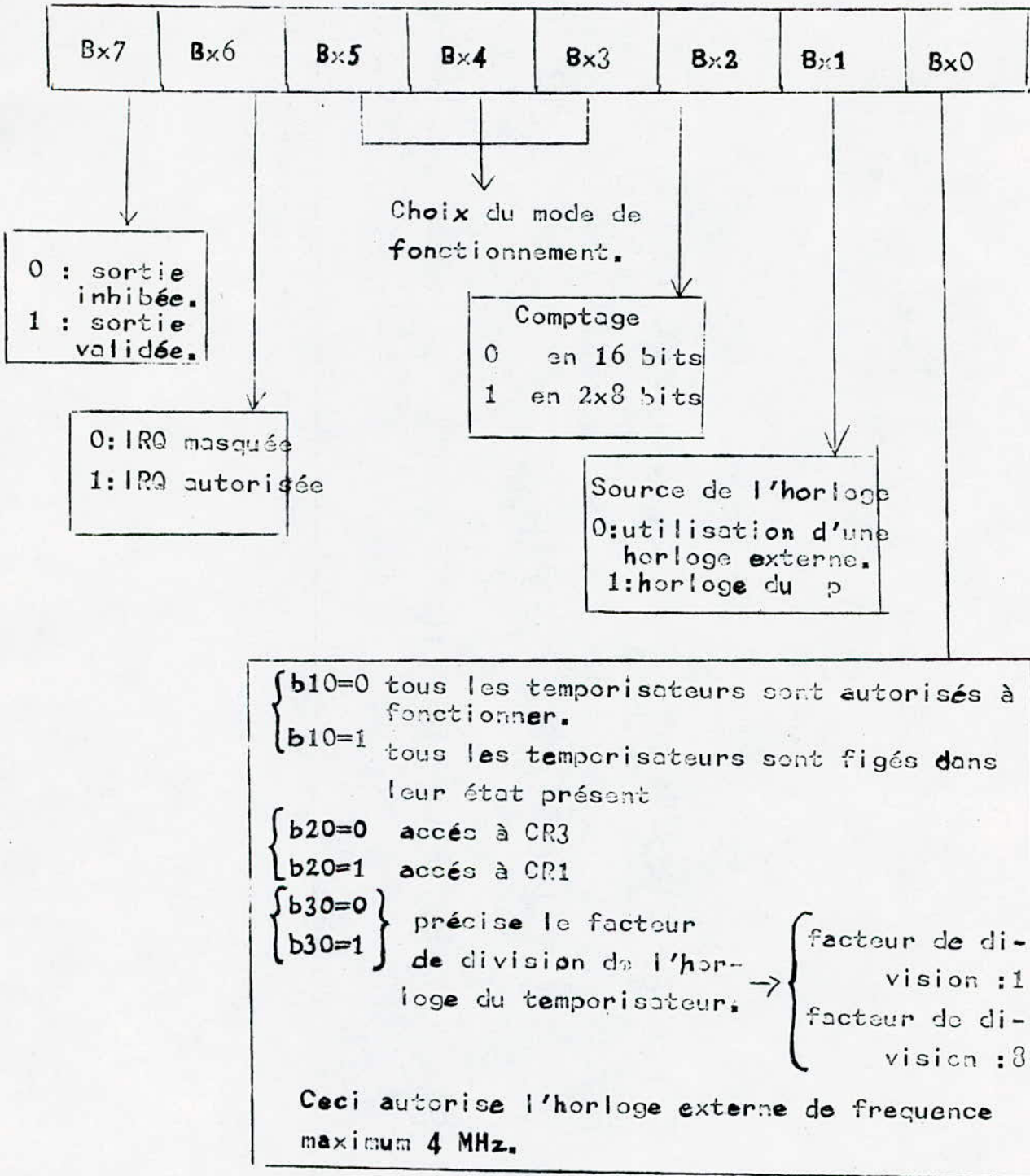
Tableau d'adressage des registres internes.

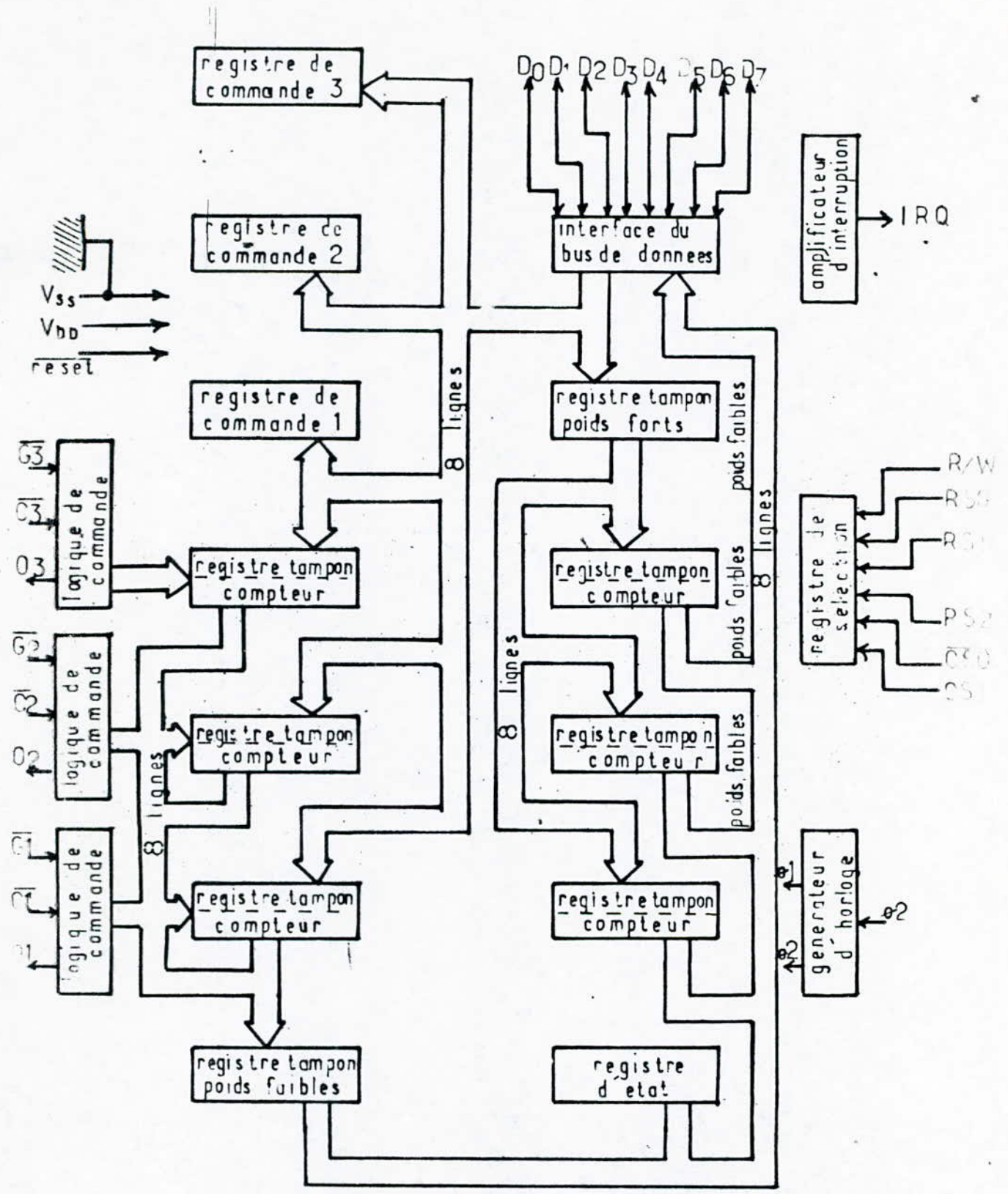
X

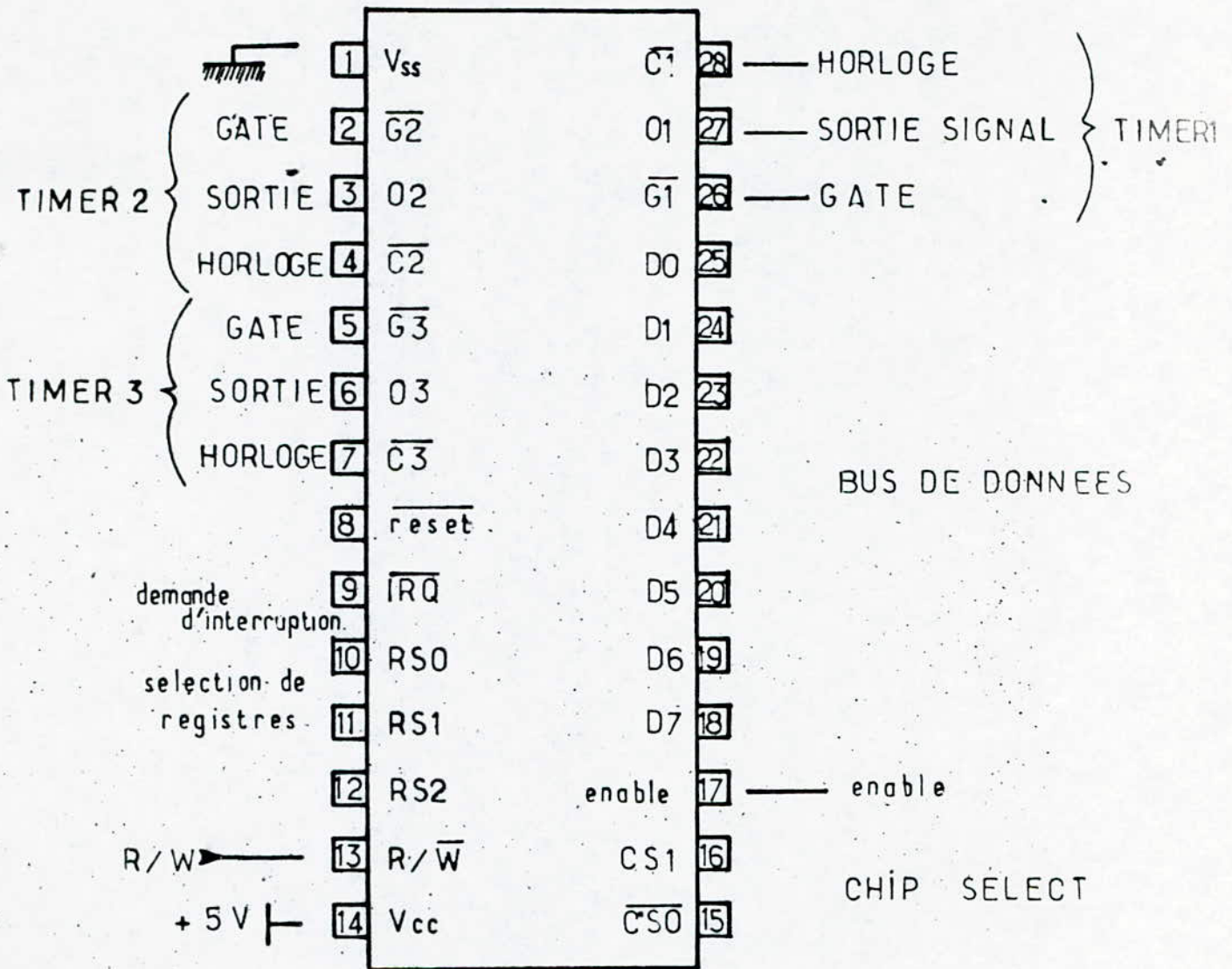
R/W	RS2	RS1	RS0	OPERATION
0	0	0	1	Ecriture CR3 si CR20=0; CR1 si CR20=1
0	0	0	1	Ecriture CR2
0	0	1	0	Ecriture timer 1 poids forts
0	0	1	1	Ecriture timer 1 poids faibles
0	1	0	0	Ecriture timer 2 poids forts
0	1	0	1	Ecriture timer 2 poids faibles
0	1	1	0	Ecriture timer 3 poids forts
0	1	1	1	Ecriture timer 3 poids faibles
1	0	0	0	Pas d'operations
1	0	0	1	Lecture registre d'état
1	0	1	0	Lecture timer 1 poids forts
1	0	1	1	Lecture timer 1 poids faibles
1	1	0	0	Lecture timer 2 poids forts
1	1	0	1	Lecture timer 2 poids faibles
1	1	1	0	Lecture timer 3 poids forts
1	1	1	1	Lecture timer 3 poids faibles

ROLE DES REGISTRES DE CONTROLE CRX (X=1,2,3)

Soit $B_{x7}, B_{x6}, B_{x5}, B_{x4}, B_{x3}, B_{x2}, B_{x1}, B_{x0}$ le contenu des registres:







CONFIGURATION DU BOITIER TIMER 6840

Le convertisseur numérique analogique [4]

La conversion numérique analogique consiste à transformer une information disponible sous forme binaire en une information analogique.

Il existe plusieurs sortes de convertisseur numérique analogique (CNA) :

- certains fournissent une tension de sortie, d'autres un courant

- certains possèdent une référence interne alors que d'autres nécessitent une référence externe.

- certains fournissent une tension de sortie unipolaire tandis que d'autres acceptent des codes bipolaires.

Principe :

Soit N une information numérique

$$N = (a_{n-1}, a_{n-2}, \dots, a_2, a_1, a_0)$$

Par définition il lui correspond une quantité analogique.

$$A = q (a_{n-1} 2^{n-1} + a_{n-2} 2^{n-2} + \dots + a_1 2^1 + \dots + a_0 2^0)$$

q est la quantité analogique élémentaire. Sa valeur est donnée par le constructeur.

a_{n-1} est le bit de plus fort poids ou bit MSB (Most significant bit)

a_0 est le bit de plus faible poids ou bit LSB (Last significant bit).

Ainsi à la quantité numérique N un CNA va faire correspondre une tension ou un courant de sortie dont l'amplitude sera :

$$V_S = A = q (a_{n-1} 2^{n-1} + a_1 2^1 + \dots + a_0 2^0)$$

On remarque que l'information numérique est maximale lorsque tous les bits a_i sont égaux à 1; et que l'information analogique qui lui correspond est :

$$V_m = (2^{n-1} + 2^{n-2} + \dots + 2^1 + 2^0) q = (2^n - 1)q$$

Par contre la valeur analogique minimum autre que 0 ne peut être que :

$$V_M = 1 \cdot q = q$$

En définitive et de manière générale l'expression numérique de n bits :

$$N = (a_{n-1} a_{n-2} \dots a_1 a_0)$$

peut représenter 2^n valeur différentes. L'information analogique qui lui correspond après conversion pourra donc prendre les 2^n valeurs comprises entre 0 et $V_M = (2^n - 1)q$ soit :

$$V_s = i \cdot q \quad 0 \leq i \leq 2^n - 1 \quad (i \text{ entier})$$

La résolution d'un système est la plus petite valeur ou incrément minimum que ce système peut reconnaître ou délivrer, ramené à la valeur maximum. Dans le cas d'un convertisseur N/A, la valeur analogique qui sépare théoriquement deux valeurs consécutives est $V_M = q$ et la valeur maximum que le système peut délivrer est

$$V_M = (2^n - 1) q.$$

La résolution d'un convertisseur N/A de n bits est donc :

$$r = \frac{1}{2^n - 1} \quad (\text{de la valeur maximum})$$

soit quand n est grand pratiquement $\frac{1}{2^n}$

Toutes ces caractéristiques sont traduites par la figure a qui montre la courbe de transfert permettant le passage de l'information numérique à l'information analogique correspondante et inversement.

De cette courbe on peut déduire :

1°/ A chaque accroissement +1 de l'information numérique correspond un accroissement +q de l'information analogique.

2°/ Seul un nombre limité de valeurs analogiques peuvent être délivrées par le convertisseur N/A, 2^n pour une information de n bits.



DAC-02

10 BIT PLUS SIGN VOLTAGE OUTPUT D/A CONVERTER

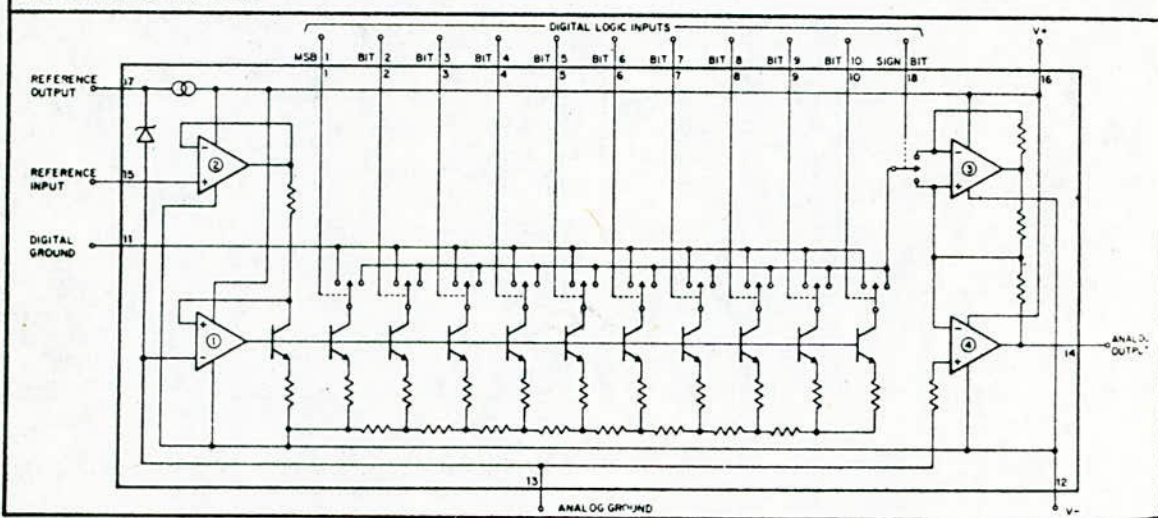
GENERAL DESCRIPTION

The DAC-02 is a complete 10 bit plus sign D/A converter on a single 90 x 163 mil monolithic chip. All elements of a complete sign/magnitude DAC are included — precision voltage reference, current steering logic, current sources, R-2R resistor network, logic controlled polarity switch and high speed internally compensated output op amp. Monotonicity guaranteed over the 0°C to +70°C temperature range is achieved by the untrimmed diffused R-2R resistor ladder network. The buffered reference input is capable of tracking over a wide range of voltages, increasing application flexibility. The wide power supply range, low power consumption, wide logic input compatibility and sign/magnitude coding assure utility in a wide range of applications including CRT displays, data acquisition systems, A/D converters, servo positioning controls, and voice and music digitizing and reconstruction systems.

FEATURES

- Complete Includes Reference and Op Amp
- Compact Single 18 Pin DIP Package
- Bipolar Output Sign/Magnitude Coding
- Monotonicity Guaranteed
- Nonlinearity ±1 LSB
- Fast 1.5 μsec Settling Time
- Stable Full Scale Tempco 60 ppm/°C
- Low Power Consumption 300 mW Max
- TTL, DTL, CMOS Compatible Inputs

SIMPLIFIED SCHEMATIC

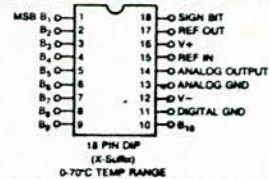


ORDERING INFORMATION

MODEL	MONOTONICITY	FS TEMPCO
DAC-02 ACX1	10 BITS	60 ppm/°C MAX
DAC-02 BCX1	9 BITS	60 ppm/°C MAX
DAC-02 CCX1	8 BITS	60 ppm/°C MAX
DAC-02 DD1	7 BITS	150 ppm/°C MAX

*Suffix X1 indicates ±10V out

PIN CONNECTIONS



OPERATING INSTRUCTIONS

FULL SCALE ADJUSTMENT -- Full Scale output voltage may be trimmed by use of a potentiometer and series resistor as shown; however, best results will be obtained if a low tempco resistor is used or if pot and resistor tempcos match. For best results, Reference Output current should not exceed $100\mu\text{A}$. This dictates the use of a resistive divider of $72\text{K}\Omega$ minimum.

USE WITH EXTERNAL REFERENCES -- Positive-polarity external reference voltages referred to Analog Ground may be applied to the Reference Input terminal to improve full scale tempco, to provide tracking to other system elements, or to slave a number of DAC-02's to the Reference Output of any one of them. This reference voltage should be between $+3\text{V}$ to $+7\text{V}$ for optimum performance.

REFERENCE INPUT BYPASS -- Lowest noise and fastest settling operation will be obtained by bypassing the Reference Input to Analog Ground with a $0.01\mu\text{F}$ disk capacitor.

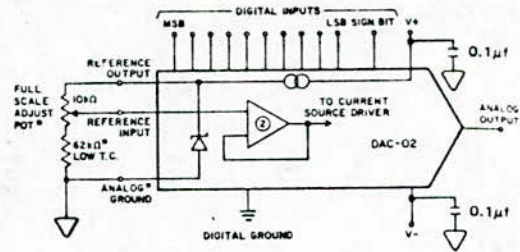
LOWER RESOLUTION APPLICATIONS -- For applications not requiring full 10 bit resolution, unused logic inputs should be tied to ground.

UNIPOLAR OPERATION -- Operation as a 10 bit straight binary converter may be implemented by permanently tying the Sign Bit to $+5\text{V}$ (for positive Full Scale output) or to ground (for negative Full Scale output).

POWER SUPPLIES -- The DAC-02 will operate within specifications for power supplies ranging from $\pm 12\text{V}$ to $\pm 18\text{V}$. Power supplies should be bypassed near the package with a $0.1\mu\text{F}$ disk capacitor. Chip users should connect the substrate to $V-$.

CAPACITIVE LOADING -- The output operational amplifier provides stable operation with capacitive loads up to 100pF

'FULL SCALE ADJUSTMENT CIRCUIT



POSITIVE SIGN/MAGNITUDE CODING TABLE

	SIGN BIT	MSB	LSB
+ FULL RANGE	1	1 1 1 1 1 1 1 1 1 1	
+ HALF SCALE	1	1 0 0 0 0 0 0 0 0 0	
ZERO SCALE (+)	1	0 0 0 0 0 0 0 0 0 0	
ZERO SCALE (-)	0	0 0 0 0 0 0 0 0 0 0	
- HALF SCALE	0	1 0 0 0 0 0 0 0 0 0	
- FULL RANGE	0	1 1 1 1 1 1 1 1 1 1	

****GROUNDING** -- for optimum noise rejection, separate digital and analog grounds have been brought out. Best results will be obtained if these grounds are connected together at one point only, preferably near DAC-02 package, so that the large digital currents do not flow through the analog ground path.

INTERFACING WITH CMOS LOGIC

The DAC-02's logic input stages require about $1\mu\text{A}$ and are capable of operation with inputs between -5 volts and $V+$ less .7 volt. This wide input voltage range allows direct CMOS interfacing in most applications, the exception being where the CMOS logic and D/A converter must use the same positive power supply.

In this special case, a diode should be placed in series with the CMOS driving device's V_{DD} lead as shown in Figure 1. The diode limits V_{DD} to $V+$ less .7 volt--since the output from the CMOS device cannot exceed this value, the DAC's maximum input voltage rule is satisfied. Summarizing: in all applications, the DAC-02 requires either no interfacing components, or at most a single inexpensive diode for full CMOS compatibility.

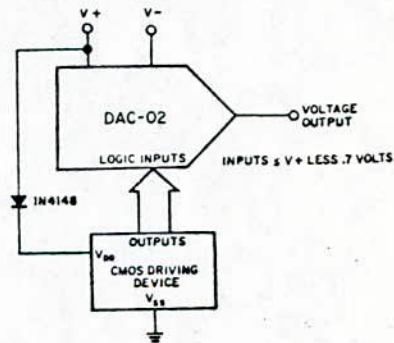


FIGURE 1

ABSOLUTE MAXIMUM RATINGS

Operating Temperature Range	0°C to +70°C	Internal Reference Output Current	300 μ A
Storage Temperature Range	+65°C to +150°C	Reference Input Voltage	0 to +10V
V ₊ Supply to Analog Ground	0 to +18V	Internal Power Dissipation	500mW
V ₋ Supply to Analog Ground	0 to -18V	Lead Soldering Temperature	300°C (60 sec)
Analog Ground to Digital Ground	0 to \pm 0.5V	Output Short Circuit Duration	Indefinite
Logic Inputs to Digital Ground	-5V to (V ₊ - .7V)	(Short circuit may be to ground or either supply.)	

ELECTRICAL CHARACTERISTICS

 These specifications apply for V_S = \pm 15V and over the 0°C to +70°C temperature range, unless otherwise specified.

Parameter	Symbol	Condition	GRADES AC, BC, CC			GRADE DD			Units
			Min	Typ	Max	Min	Typ	Max	
Resolution		Bipolar Output	11	11	11	11	11	11	bits
		Unipolar Output	10	10	10	10	10	10	bits
Monotonicity (See Note 1)		0°C to 70°C							
		Grade AC	10	—	—				bits
		Grade BC	9	—	—				bits
		Grade CC	8	—	—	7	—	—	bits
Nonlinearity (See Note 1)	N _L	0°C to 70°C							
		Grade AC	—	—	\pm 0.1				%
		Grade BC	—	—	\pm 0.1				%
		Grade CC	—	—	\pm 0.2				%
Grade DD						\pm 0.4	%		
Settling Time	t _S	To \pm 1/2 LSB, 10 Volt Step	—	1.5	—	—	1.5	—	μ sec
Full Scale Tempco	T _C	Total, Internal Reference Connected	—	—	\pm 60	—	—	\pm 150	ppm/°C
Full Scale Tempco	T _C	External Reference	—	\pm 30	—	—	\pm 30	—	ppm/°C
Reference Input Bias Current	I _B		—	100	—	—	100	—	nA
Reference Input Impedance	Z _{IN}		—	200	—	—	200	—	M Ω
Reference Input Slew Rate	SR		—	1.5	—	—	1.5	—	V/ μ sec
Reference Output Voltage	V _{REF}		—	6.7	—	—	6.7	—	V
Zero Scale Offset	V _{ZS}	Sign Bit High, All Other Logic Inputs Low	—	\pm 5	\pm 10	—	\pm 5	\pm 10	mV
Zero Scale Symmetry		X1 Models (\pm 10V Full Scale)	—	\pm 1	\pm 5	—	\pm 1	\pm 10	mV
Full Range Bipolar Symmetry		V _{FR+} - V _{FR-}	—	\pm 30	\pm 60	—	\pm 30	\pm 80	mV
Power Supply Sensitivity	P _{SS}	V _S = \pm 12V to \pm 18V	—	\pm 0.015	\pm 0.05	—	\pm 0.015	\pm 0.1	%V _{FS} /V
Power Dissipation	P _D	I _{OUT} = 0	—	225	300	—	225	350	mW
Logic Input Current	I _{IN}	Each Input, -5V to (V ₊ - .7V)	—	1	—	—	1	—	μ A
Logic Input "0"	V _{INL}		—	—	0.8	—	—	0.8	V
Logic Input "1"	V _{INH}		2.0	—	—	2.0	—	—	V
Full Range Output Voltage		(See Note 2)							
		V _{FR+} (Sign Bit High)	+10.0	—	+11.5	+10.0	—	+11.5	V
		V _{FR-} (Sign Bit Low)	-11.5	—	-10.0	-11.5	—	-10.0	V
Positive Supply Current	I ₊		—	7	8.5	—	7	8.5	mA
Negative Supply Current	I ₋		—	-10	11.5	—	-10	-11.5	mA

NOTE 1: This parameter is 100% tested at 0°C, +25°C and +70°C.

 NOTE 2: Reference Output terminal connected directly to Reference Input terminal, R_L = 2K Ω , all logic inputs = 2.0 V.

SN54LS75/SN74LS75 • SN54LS77/SN74LS77

4-BIT D LATCH

Advance Information

DESCRIPTION — The TTL/MSI 54LS/74LS75 and 54LS/74LS77 are latches used as temporary storage for binary information between processing units and input/output or indicator units. Information present at a data (D) input is transferred to the Q output when the Enable is HIGH and the Q output will follow the data input as long as the Enable remains HIGH. When the Enable goes LOW, the information (that was present at the data input at the time the transition occurred) is retained at the Q output until the Enable is permitted to go HIGH.

The 54LS/74LS75 features complementary Q and \bar{Q} output from a 4-bit latch and is available in the 16-pin packages. For higher component density applications the 54LS/74LS77 4-bit latch is available in the 14-pin package with Q outputs omitted.

PIN NAMES

D ₁ -D ₄	Data Inputs	0.5 U.L.	0.25 U.L.
E ₀₋₁	Enable Input Latches 0, 1	2.0 U.L.	1.0 U.L.
E ₂₋₃	Enable Input Latches 2, 3	2.0 U.L.	1.0 U.L.
Q ₁ -Q ₄	Latch Outputs (Note b)	10 U.L.	5(2.5) U.L.
\bar{Q} ₁ - \bar{Q} ₄	Complementary Latch Outputs (Note b)	10 U.L.	5(2.5) U.L.

LOADING (Note a)

	HIGH	LOW
D ₁ -D ₄	0.5 U.L.	0.25 U.L.
E ₀₋₁	2.0 U.L.	1.0 U.L.
E ₂₋₃	2.0 U.L.	1.0 U.L.
Q ₁ -Q ₄	10 U.L.	5(2.5) U.L.
\bar{Q} ₁ - \bar{Q} ₄	10 U.L.	5(2.5) U.L.

Notes

- a. 1 Unit Load (U.L.) = 40 μ A LOW
 b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

TRUTH TABLE

(Each latch)

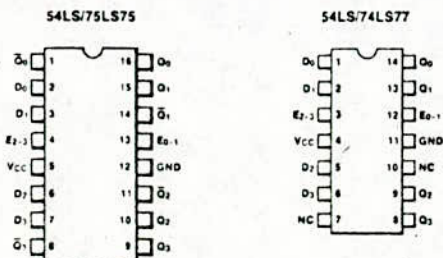
t _n	t _{n+1}
D	Q
H	H
L	L

NOTES

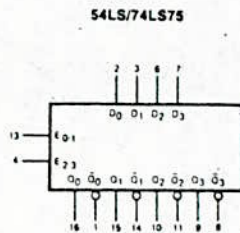
- t_n = bit time before clock negative-going transition
 t_{n+1} = bit time after clock negative-going transition

CONNECTION DIAGRAMS

DIP (TOP VIEW)

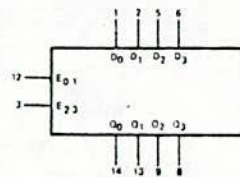


LOGIC SYMBOLS



V_{CC} = Pin 5
 GND = Pin 12

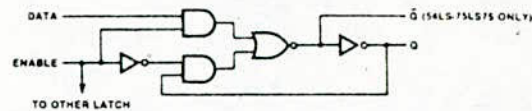
54LS/74LS77



V_{CC} = Pin 4
 GND = Pin 11
 NC = Pin 7, 10

SN54LS75/SN74LS75 • SN54LS77/SN74LS77

LOGIC DIAGRAM



GUARANTEED OPERATING RANGES

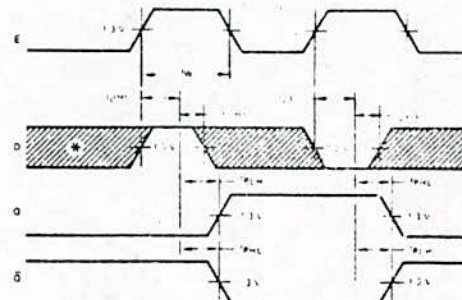
PART NUMBERS	SUPPLY VOLTAGE (V _{CC})			TEMPERATURE
	MIN	TYP	MAX	
SN54LS75X SN54LS77X	4.5 V	5.0 V	5.5 V	-55°C to +125°C
SN74LS75X SN74LS77X	4.75 V	5.0 V	5.25 V	0°C to +70°C

X = package type: W for Flatpak, J for Ceramic Dip, N for Plastic Dip. See Packaging Information Section for packages available on this product.

AC SET-UP REQUIREMENTS: T_A = 25°C

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t _{wCP}	Minimum Enable Pulse Width	20			ns	Fig. 1
t _s	Set-up Time, Data to Enable (HIGH or LOW)	20			ns	Fig. 1
t _h	Hold Time, Data to Enable (HIGH or LOW)	0			ns	Fig. 1

AC WAVEFORMS



*The shaded areas indicate when the input is permitted to change for predictable output performance.

Fig. 1

DEFINITION OF TERMS:

SET-UP TIME (t_s) — is defined as the minimum time required for the correct logic level to be present at the logic input prior to the clock transition from LOW-to-HIGH in order to be recognized and transferred to the outputs.

HOLD TIME (t_h) — is defined as the minimum time following the clock transition from LOW-to-HIGH that the logic level must be maintained at the input in order to ensure continued recognition. A negative HOLD TIME indicates that the correct logic level may be released prior to the clock transition from LOW-to-HIGH and still be recognized.

SN54LS75/SN74LS75

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V_{IL}	Input LOW Voltage	54 74		0.7 0.8	V	Guaranteed Input LOW Voltage for All Inputs
V_{CD}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$, $I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	54 74	2.5 2.7	3.4 3.4	V	$V_{CC} = \text{MIN}$, $I_{OH} = -400 \mu\text{A}$ $V_{IN} = V_{IH}$ or V_{IL} per Truth Table
V_{OL}	Output LOW Voltage	54, 74 74		0.25 0.35	0.4 0.5	$I_{OL} = 4.0 \text{ mA}$ $V_{CC} = \text{MIN}$, $V_{IN} = V_{IH}$ $I_{OL} = 8.0 \text{ mA}$ or V_{IL} per Truth Table
I_{IH}	Input HIGH Current D E				20 80	μA $V_{CC} = \text{MAX}$, $V_{IN} = 2.7 \text{ V}$
	Input HIGH Current at MAX Input Voltage D E				0.1 0.4	mA $V_{CC} = \text{MAX}$, $V_{IN} = 10 \text{ V}$
I_{IL}	Input LOW Current D E				-0.4 -1.6	mA $V_{CC} = \text{MAX}$, $V_{IN} = 0.4 \text{ V}$
I_{OS}	Output Short Circuit Current (Note 4)	-20		-100	mA	$V_{CC} = \text{MAX}$, $V_{OUT} = 0 \text{ V}$
I_{CC}	Power Supply Current		6.3	12	mA	$V_{CC} = \text{MAX}$

NOTES

- Conditions for testing, not shown in the Table, are chosen to guarantee operation under "worst case" conditions.
- The specified LIMITS represent the "worst case" value for the parameter. Since these "worst case" values normally occur at the temperature and supply voltage extremes, additional noise immunity and guard banding can be achieved by decreasing the allowable system operating ranges.
- Typical limits are at $V_{CC} = 5.0 \text{ V}$, 25°C , and maximum loading.
- Not more than one output should be shorted at a time.

AC CHARACTERISTICS: $T_A = 25^\circ\text{C}$, $V_{CC} = 5.0 \text{ V}$

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t_{PLH} t_{PHL}	Propagation Delay, D to Q			27 17	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$ Fig. 1
t_{PLH} t_{PHL}	Propagation Delay, D to \bar{Q} (LS75)			20 15	ns	
t_{PLH} t_{PHL}	Propagation Delay, Enable to Q			27 25	ns	
t_{PLH} t_{PHL}	Propagation Delay, Enable to \bar{Q}			30 15	ns	

SN54LS77/SN74LS77

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V_{IL}	Input LOW Voltage	54 74		0.7 0.8	V	Guaranteed Input LOW Voltage for All Inputs
V_{CD}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$, $I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	54 74	2.5 2.7	3.4 3.4	V	$V_{CC} = \text{MIN}$, $I_{OH} = -400 \mu\text{A}$ $V_{IN} = V_{IH}$ or V_{IL} per Truth Table
V_{OL}	Output LOW Voltage	54, 74 74		0.25 0.35	0.4 0.5	$I_{OL} = 4.0 \text{ mA}$ $V_{CC} = \text{MIN}$, $V_{IN} = V_{IH}$ $I_{OL} = 8.0 \text{ mA}$ or V_{IL} per Truth Table
I_{IH}	Input HIGH Current D E				20 80	μA $V_{CC} = \text{MAX}$, $V_{IN} = 2.7 \text{ V}$
	Input HIGH Current at MAX Input Voltage D E				0.1 0.4	mA $V_{CC} = \text{MAX}$, $V_{IN} = 10 \text{ V}$
I_{IL}	Input LOW Current D E				-0.4 -1.6	mA $V_{CC} = \text{MAX}$, $V_{IN} = 0.4 \text{ V}$
I_{OS}	Output Short Circuit Current (Note 4)	-20		-100	mA	$V_{CC} = \text{MAX}$, $V_{OUT} = 0 \text{ V}$
I_{CC}	Power Supply Current		6.3	12	mA	$V_{CC} = \text{MAX}$

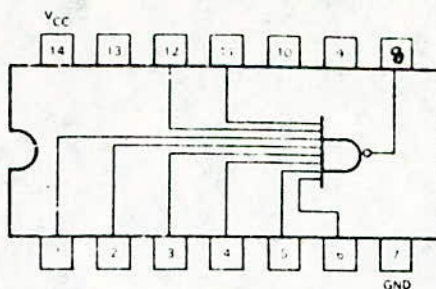
NOTES

- Conditions for testing, not shown in the Table, are chosen to guarantee operation under "worst case" conditions.
- The specified LIMITS represent the "worst case" value for the parameter. Since these "worst case" values normally occur at the temperature and supply voltage extremes, additional noise immunity and guard banding can be achieved by decreasing the allowable system operating ranges.
- Typical limits are at $V_{CC} = 5.0 \text{ V}$, 25°C , and maximum loading.
- Not more than one output should be shorted at a time.

AC CHARACTERISTICS: $T_A = 25^\circ\text{C}$, $V_{CC} = 5.0 \text{ V}$

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t_{PLH} t_{PHL}	Propagation Delay, D to Q			19 17	ns	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$ Fig. 1
t_{PLH} t_{PHL}	Propagation Delay, Enable to Q			18 18	ns	

8-INPUT NAND GATE



GUARANTEED OPERATING RANGES

PART NUMBERS	SUPPLY VOLTAGE			TEMPERATURE
	MIN	TYP	MAX	
SN54LS30X	4.5 V	5.0 V	5.5 V	55°C to 125°C
SN74LS30X	4.75 V	5.0 V	5.25 V	0°C to 70°C

X = package type, W for Flatpak, J for Ceramic Dip, N for Plastic Dip. See Packaging Information Section for packages available on this product.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN	TYP	MAX		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage
V_{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage
		74		0.8		
V_{CD}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN.}, I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	54	2.5	3.4	V	$V_{CC} = \text{MIN.}, I_{OH} = 400 \mu\text{A}, V_{IN} = V_{IL}$
		74	2.7	3.4		
V_{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	$V_{CC} = \text{MIN.}, I_{OL} = 4.0 \text{ mA}, V_{IN} = 2.0 \text{ V}$
		74	0.35	0.5	V	$V_{CC} = \text{MIN.}, I_{OL} = 8.0 \text{ mA}, V_{IN} = 2.0 \text{ V}$
I_{IH}	Input HIGH Current		1.0	20	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.7 \text{ V}$
				0.1	mA	$V_{CC} = \text{MAX.}, V_{IN} = 10 \text{ V}$
I_{IL}	Input LOW Current			-0.4	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$
I_{OS}	Output Short Circuit Current (Note 3)	-15		-100	mA	$V_{CC} = \text{MAX.}, V_{OUT} = 0 \text{ V}$
I_{CCH}	Supply Current HIGH		0.35	0.5	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$
I_{CCL}	Supply Current LOW		0.6	1.1	mA	$V_{CC} = \text{MAX.}, \text{Inputs Open}$

AC CHARACTERISTICS: $T_A = 25^\circ\text{C}$ (See Chapter 1 for Waveforms)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t_{PLH}	Turn Off Delay, Input to Output		7.0	12	ns	$V_{CC} = 5.0 \text{ V}$
t_{PHL}	Turn On Delay, Input to Output		13	20	ns	$C_L = 15 \text{ pF}$

NOTES:

- For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
- Typical limits are at $V_{CC} = 5.0 \text{ V}, T_A = 25^\circ\text{C}$.
- Not more than one output should be shorted at a time.

SN54LS139/SN74LS139

DUAL 1-OF-4 DECODER

DESCRIPTION — The LSTTL/MSI SN54LS139/SN74LS139 is a high speed Dual 1-of-4 Decoder/Demultiplexer. The device has two independent decoders, each accepting two inputs and providing four mutually exclusive active LOW outputs. Each decoder has an active LOW Enable input which can be used as a data input for a 4-output demultiplexer. Each half of the LS139 can be used as a function generator providing all four minterms of two variables. The LS139 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- SCHOTTKY PROCESS FOR HIGH SPEED
- MULTIFUNCTION CAPABILITY
- TWO COMPLETELY INDEPENDENT 1-OF-4 DECODERS
- ACTIVE LOW MUTUALLY EXCLUSIVE OUTPUTS
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS
- FULLY TTL AND CMOS COMPATIBLE

PIN NAMES

A_0, A_1 Address Inputs
 \bar{E} Enable (Active LOW) Input
 $\bar{O}_0 - \bar{O}_3$ Active LOW Outputs (Note b)

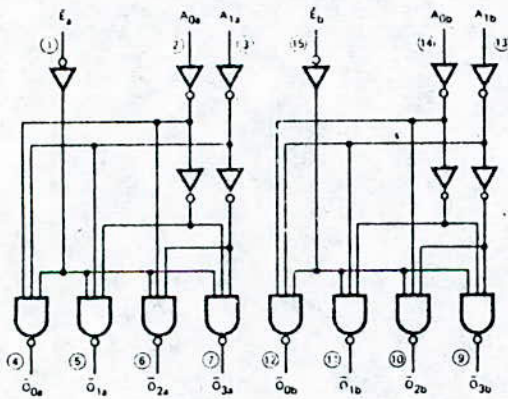
LOADING (Note a)

	HIGH	LOW
A_0, A_1	0.5 U.L.	0.25 U.L.
\bar{E}	0.5 U.L.	0.25 U.L.
$\bar{O}_0 - \bar{O}_3$	10 U.L.	5 (2.5) U.L.

NOTES:

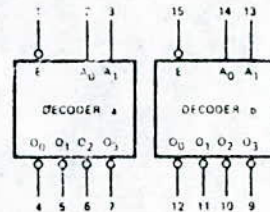
- a. 1 TTL Unit Load (U.L.) = 40 μ A HIGH/1.6 mA LOW
 b. The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

LOGIC DIAGRAM



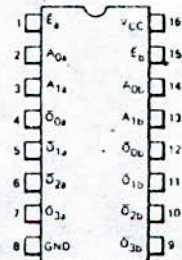
VCC = Pin 16
 GND = Pin 8
 ○ = Pin Numbers

LOGIC SYMBOL



VCC = Pin 16
 GND = Pin 8

CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE: —
 The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Threshold Voltage for All Inputs
V _{IL}	Input LOW Voltage	5.4		0.7	V	Guaranteed Input LOW Threshold Voltage for All Inputs
		7.4		0.8		
V _{CD}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	5.4	2.5	3.4	V	V _{CC} = MIN, I _{OH} = -400 μA V _{IN} = V _{IH} or V _{IL} per Truth Table
		7.4	2.7	3.4		
V _{OL}	Output LOW Voltage	5.4, 7.4	0.25	0.4	V	I _{OL} = 4.0 mA I _{OL} = 8.0 mA V _{CC} = MIN, V _{IN} = V _{IH} or V _{IL} per Truth Table
		7.4	0.35	0.5		
I _{IH}	Input HIGH Current		1.0	20	μA	V _{CC} = MAX, V _{IN} = 2.7 V
				0.1	mA	V _{CC} = MAX, V _{IN} = 10 V
I _{IL}	Input LOW Current			-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{OS}	Output Short Circuit Current (Note 4)	-15		-100	mA	V _{CC} = MAX, V _{OUT} = 0 V
I _{CC}	Power Supply Current		6.8	11	mA	V _{CC} = MAX

NOTES:

1. Conditions for testing, not shown in the Table, are chosen to guarantee operation under "worst case" conditions.
2. The specified LIMITS represent the "worst case" value for the parameter. Since these "worst case" values normally occur at the temperature and supply voltage extremes, additional noise immunity and guard banding can be achieved by decreasing the allowable system operating ranges.
3. Typical limits are at V_{CC} = 5.0 V, 25°C, and maximum loading.
4. Not more than one output should be shorted at a time.

AC CHARACTERISTICS: T_A = 25°C

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t _{PLH} t _{PHL}	Propagation Delay, Address to Output		11 19	18 27	ns	Fig 1 V _{CC} = 5.0 V
t _{PLH} t _{PHL}	Propagation Delay, Enable to Output		9.0 17	15 24	ns	Fig 2 C _L = 15 pF

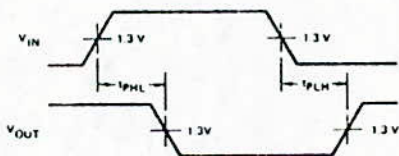


Fig. 1

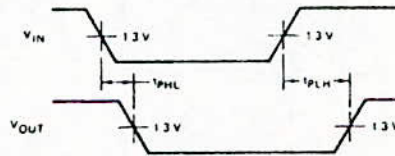


Fig. 2

SN54LS139/SN74LS139

FUNCTIONAL DESCRIPTION - The LS139 is a high speed dual 1-of-4 decoder/demultiplexer fabricated with the Schottky barrier diode process. The device has two independent decoders, each of which accept two binary weighted inputs (A_0, A_1) and provide four mutually exclusive active LOW outputs (\bar{O}_0, \bar{O}_3). Each decoder has an active LOW Enable (\bar{E}). When \bar{E} is HIGH all outputs are forced HIGH. The enable can be used as the data input for a 4-output demultiplexer application.

Each half of the LS139 generates all four minterms of two variables. These four minterms are useful in some applications, replacing multiple gate functions as shown in Fig. a, and thereby reducing the number of packages required in a logic network.

TRUTH TABLE

INPUTS			OUTPUTS			
\bar{E}	A_0	A_1	\bar{O}_0	\bar{O}_1	\bar{O}_2	\bar{O}_3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

H = HIGH Voltage Level
 L = LOW Voltage Level
 X = Don't Care

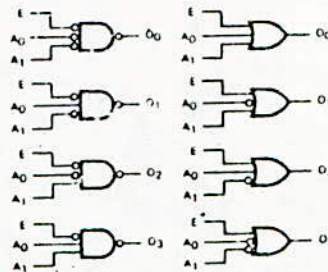


Fig. a

ABSOLUTE MAXIMUM RATINGS (above which the useful life may be impaired)

Storage Temperature	-65°C to +150°C
Temperature (Ambient) Under Bias	-55°C to +125°C
V_{CC} Pin Potential to Ground Pin	-0.5 V to +7.0 V
* Input Voltage (dc)	-0.5 V to +15 V
* Input Current (dc)	-30 mA to +5.0 mA
Voltage Applied to Outputs (Output HIGH)	-0.5 V to +5.5 V
Output Current (dc) (Output LC-W)	+50 mA

* Either Input Voltage limit or Input Current limit is sufficient to protect the inputs.

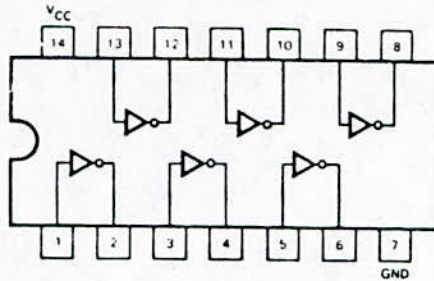
GUARANTEED OPERATING RANGES

PART NUMBERS	SUPPLY VOLTAGE (V_{CC})			TEMPERATURE
	MIN	TYP	MAX	
SN54LS139X	4.5 V	5.0 V	5.5 V	-55°C to +125°C
SN74LS139X	4.75 V	5.0 V	5.25 V	0°C to +70°C

X - package type; W for Flatpak, J for Ceramic Dip, N for Plastic Dip. See Packaging Information Section for packages available on this product

SN54LS04/SN74LS04

HEX INVERTER



GUARANTEED OPERATING RANGES

PART NUMBERS	SUPPLY VOLTAGE			TEMPERATURE
	MIN	TYP	MAX	
SN54LS04X	4.5 V	5.0 V	5.5 V	-55°C to 125°C
SN74LS04X	4.75 V	5.0 V	5.25 V	0°C to 70°C

X = package type, W for Flatpak, J for Ceramic Dip, N for Plastic Dip. See Packaging Information Section for packages available on this product.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN	TYP	MAX		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage
V_{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage
		74		0.8		
V_{CD}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN.}, I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	54	2.5	3.4	V	$V_{CC} = \text{MIN.}, I_{OH} = -400 \mu\text{A}, V_{IN} = V_{IL}$
		74	2.7	3.4		
V_{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	$V_{CC} = \text{MIN.}, I_{OL} = 4.0 \text{ mA}, V_{IN} = 2.0 \text{ V}$
		74	0.35	0.5	V	$V_{CC} = \text{MIN.}, I_{OL} = 8.0 \text{ mA}, V_{IN} = 2.0 \text{ V}$
I_{IH}	Input HIGH Current		1.0	20	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.7 \text{ V}$
				0.1	mA	$V_{CC} = \text{MAX.}, V_{IN} = 10 \text{ V}$
I_{IL}	Input LOW Current			-0.4	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$
I_{OS}	Output Short Circuit Current (Note 3)	-15		-100	mA	$V_{CC} = \text{MAX.}, V_{OUT} = 0 \text{ V}$
I_{CCH}	Supply Current HIGH		1.2	2.4	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$
I_{CCL}	Supply Current LOW		3.6	6.6	mA	$V_{CC} = \text{MAX.}, \text{Inputs Open}$

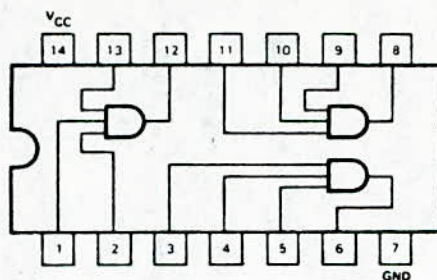
AC CHARACTERISTICS: $T_A = 25^\circ\text{C}$ (See Chapter 1 for Waveforms)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t_{PLH}	Turn Off Delay, Input to Output		5.0	10	ns	$V_{CC} = 5.0 \text{ V}$
t_{PHL}	Turn On Delay, Input to Output		5.0	10	ns	$C_L = 15 \text{ pF}$

NOTES:

- For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
- Typical limits are at $V_{CC} = 5.0 \text{ V}, T_A = 25^\circ\text{C}$.
- Not more than one output should be shorted at a time.

TRIPLE 3-INPUT AND GATE



GUARANTEED OPERATING RANGES

PART NUMBERS	SUPPLY VOLTAGE			TEMPERATURE
	MIN	TYP	MAX	
SN54LS11X	4.5 V	5.0 V	5.5 V	-55°C to 125°C
SN74LS11X	4.75 V	5.0 V	5.25 V	0°C to 70°C

X = package type, W for Flatpak, J for Ceramic Dip, N for Plastic Dip. See Packaging Information Section for packages available on this product.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN	TYP	MAX		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage
V_{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage
		74		0.8		
V_{CD}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN.}, I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	54	2.5	3.4	V	$V_{CC} = \text{MIN.}, I_{OH} = -400 \mu\text{A}, V_{IN} = V_{IH}$
		74	2.7	3.4		
V_{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	$V_{CC} = \text{MIN.}, I_{OL} = 4.0 \text{ mA}, V_{IN} = V_{IL}$
		74	0.35	0.5	V	$V_{CC} = \text{MIN.}, I_{OL} = 8.0 \text{ mA}, V_{IN} = V_{IL}$
I_{IH}	Input HIGH Current		1.0	20	μA	$V_{CC} = \text{MAX.}, V_{IN} = 2.7 \text{ V}$
				0.1	mA	$V_{CC} = \text{MAX.}, V_{IN} = 10 \text{ V}$
I_{IL}	Input LOW Current			-0.4	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0.4 \text{ V}$
I_{OS}	Output Short Circuit Current (Note 3)	15		-100	mA	$V_{CC} = \text{MAX.}, V_{OUT} = 0 \text{ V}$
I_{CCH}	Supply Current HIGH		1.8	3.6	mA	$V_{CC} = \text{MAX.}, \text{Inputs Open}$
I_{CCL}	Supply Current LOW		3.3	6.6	mA	$V_{CC} = \text{MAX.}, V_{IN} = 0 \text{ V}$

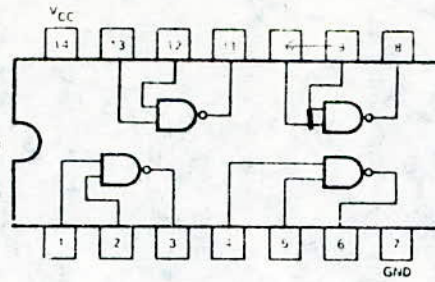
AC CHARACTERISTICS: $T_A = 25^\circ\text{C}$ (See Chapter 1 for Waveforms)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t_{PLH}	Turn Off Delay, Input to Output		8.5	11	ns	$V_{CC} = 5.0 \text{ V}$
t_{PHL}	Turn On Delay, Input to Output		7.5	13	ns	$C_L = 15 \text{ pF}$

NOTES:

- For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
- Typical limits are at $V_{CC} = 5.0 \text{ V}, T_A = 25^\circ\text{C}$.
- Not more than one output should be shorted at a time.

QUAD 2-INPUT NAND GATE



GUARANTEED OPERATING RANGES

PART NUMBERS	SUPPLY VOLTAGE			TEMPERATURE
	MIN	TYP	MAX	
SN54LS00X	4.5 V	5.0 V	5.5 V	55 °C to 125 °C
SN74LS00X	4.75 V	5.0 V	5.25 V	0 °C to 70 °C

X = package type: W for Flatpak, J for Ceramic Dip, N for Plastic Dip. See Packaging Information Section for packages available on this product.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN	TYP	MAX		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage
		74		0.8		
V _{CD}	Input Clamp Diode Voltage		0.65	1.5	V	V _{CC} MIN, I _{IN} 18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.4	V	V _{CC} MIN, I _{OH} 400 μA, V _{IN} V _{IL}
		74	2.7	3.4		
V _{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	V _{CC} MIN, I _{OL} 4.0 mA, V _{IN} 2.0 V
		74	0.35	0.5	V	V _{CC} MIN, I _{OL} 8.0 mA, V _{IN} 2.0 V
I _{IH}	Input HIGH Current		1.0	20	μA	V _{CC} MAX, V _{IN} 2.7 V
				0.1	mA	V _{CC} MAX, V _{IN} 10 V
I _{IL}	Input LOW Current			-0.4	mA	V _{CC} MAX, V _{IN} 0.4 V
I _{OS}	Output Short Circuit Current (Note 3)	15		-100	mA	V _{CC} MAX, V _{OUT} 0 V
I _{CCH}	Supply Current HIGH		0.8	1.6	mA	V _{CC} MAX, V _{IN} 0 V
I _{CCL}	Supply Current LOW		2.4	4.4	mA	V _{CC} MAX, Inputs Open

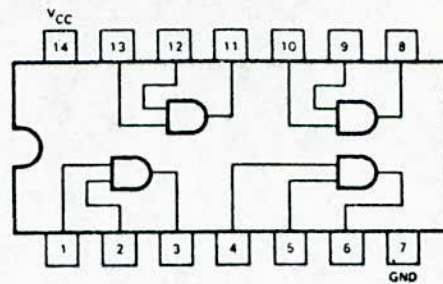
AC CHARACTERISTICS: T_A = 25 °C (See Chapter 1 for Waveforms)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t _{PLH}	Turn Off Delay, Input to Output		5.0	10	ns	V _{CC} 5.0 V
t _{PHL}	Turn On Delay, Input to Output		5.0	10	ns	C _L 15 pF

NOTES:

1. For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
2. Typical limits are at V_{CC} = 5.0 V, T_A = 25 °C.
3. Not more than one output should be shorted at a time.

QUAD 2-INPUT AND GATE



GUARANTEED OPERATING RANGES

PART NUMBERS	SUPPLY VOLTAGE			TEMPERATURE
	MIN	TYP	MAX	
SN54LS08X	4.5 V	5.0 V	5.5 V	-55°C to 125°C
SN74LS08X	4.75 V	5.0 V	5.25 V	0°C to 70°C

X = package type; W for Flatpak, J for Ceramic Dip, N for Plastic Dip. See Packaging Information Section for packages available on this product.

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN	TYP	MAX		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage
V_{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage
		74		0.8		
V_{CD}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$, $I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	54	2.5	3.4	V	$V_{CC} = \text{MIN}$, $I_{OH} = -400 \mu\text{A}$, $V_{IN} = V_{IH}$
		74	2.7	3.4		
V_{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	$V_{CC} = \text{MIN}$, $I_{OL} = 4.0 \text{ mA}$, $V_{IN} = V_{IL}$
		74	0.35	0.5	V	$V_{CC} = \text{MIN}$, $I_{OL} = 8.0 \text{ mA}$, $V_{IN} = V_{IL}$
I_{IH}	Input HIGH Current		1.0	20	μA	$V_{CC} = \text{MAX}$, $V_{IN} = 2.7 \text{ V}$
I_{IL}	Input LOW Current			0.1	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 10 \text{ V}$
I_{IS}	Output Short Circuit Current (Note 3)	-15		-100	mA	$V_{CC} = \text{MAX}$, $V_{OUT} = 0 \text{ V}$
I_{CCH}	Supply Current HIGH		2.4	4.8	mA	$V_{CC} = \text{MAX}$, Inputs Open
I_{CCL}	Supply Current LOW		4.4	8.8	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 0 \text{ V}$

AC CHARACTERISTICS: $T_A = 25^\circ\text{C}$ (See Chapter 1 for Waveforms)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN	TYP	MAX		
t_{PLH}	Turn Off Delay, Input to Output		8.0	11	ns	$V_{CC} = 5.0 \text{ V}$
t_{PHL}	Turn On Delay, Input to Output		7.5	13	ns	$C_L = 15 \text{ pF}$

NOTES:

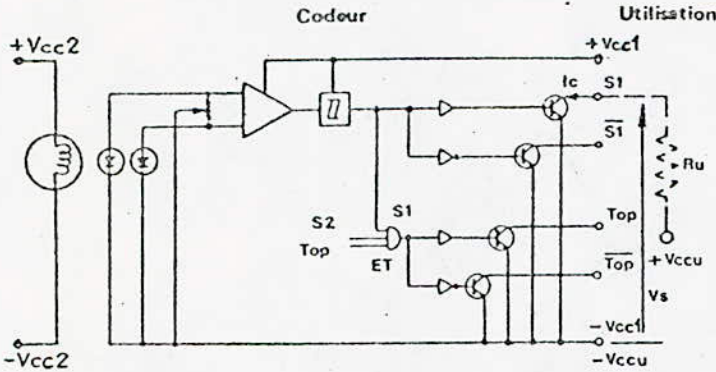
- For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable device type.
- Typical limits are at $V_{CC} = 5.0 \text{ V}$, $T_A = 25^\circ\text{C}$.
- Not more than one output should be shorted at a time.

Définition

Code : 512 incrémental
 Nbre de périodes : 42'
 Résolution : 11'
 Précision moyenne : ± 11'

Caractéristiques électriques
Composition de l'appareil

- 2 voies décalées de 1/4 de période + Top 0.
- Sortie : pour chaque voie signal S et \bar{S} sur transistors en collecteur ouvert.
- Fréquence maximale de lecture : **50 kHz**

Schéma électrique d'une voie

Alimentation Vcc2

- Tension : **5 V ± 5%**
- Tension (si top 0 utilisé) : **5 V ± 1%**
- Consommation : **120 mA**

Alimentation Vcc1

- Tension : **5 V ± 5%**
- Ondulation max. crête à crête : **2%**
- Consommation : **20 mA**

Conditions limites d'emploi des transistors de sortie

- Protection des sorties en cas de court circuit de Ru :

- Permanent pour un défaut sur une seule voie et pour Vccu = 5 V.
- 5 s pour un défaut simultané sur les 3 voies avec Vccu = 16,5 V

- Ic max. : **20 mA**
- Vccu : **≤ 16,5 V**

Caractéristiques des niveaux

- Etat haut : **Vs = Vccu**
- Etat bas (pour Ic absorbé ≤ 14 mA) : **Vs ≤ 0,45 V**

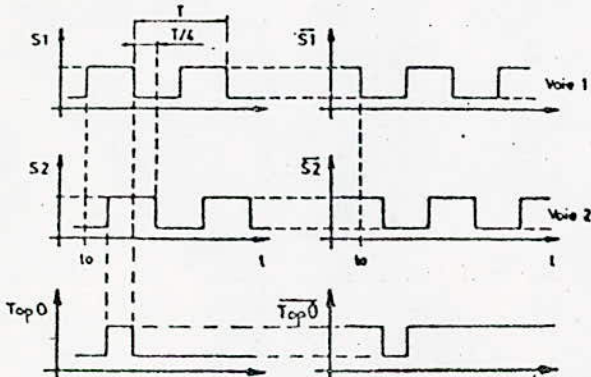
Signaux de sorties


Diagramme pour une rotation de l'axe en sens anti-horaire, appareil vu côté sortie d'axe.

Caractéristiques mécaniques

- Couple de rotation : **≤ 40 cm.cN**
- Moment d'inertie : **3 g.cm²**
- Vitesse maximale de rotation : **6000 tr/mn**
- Charge maximale admissible sur l'axe (1N ≈ 0,1 kgf) : **10 N**
- Durée de vie des roulements à charge maximale :
 - A 100 tr/mn : **2.10⁶ heures**
 - A 6000 tr/mn : **3.10⁴ heures**
- Masse : **150 g**
- Encombrement : voir dessin au verso
- Fixation : **vit ou type synchro, voir au verso**
- Sorties : **par fils longueur 1,00 m**

Environnement

- Températures limites :
 - Emploi : **- 20°C à + 70°C**
 - Stockage : **- 20°C à + 70°C**

Repérage des sorties sur le connecteur

FONCTION	COULEUR DES FILS
+ Vcc2	Rouge/Blanc
- Vcc2	Bleu/Blanc
+ Vcc1	Rouge
- Vcc1	Bleu
Sortie S voie 1	Orange
Sortie S voie 2	Jaune
Sortie S top 0	Noir
Sortie \bar{S} voie 1	Orange/Blanc
Sortie \bar{S} voie 2	Jaune/Blanc
Sortie \bar{S} top 0	Noir/Blanc

les sorties non utilisées seront reliées à -Vcc1

B I B L I O G R A P H I E

- (1) : Francis Milsant : "Asservissements linéaires" Tome I et II
Collection Ingénieur E.E.A. EYROLLES.
- (2) : H. Bühler : "Electronique de réglage et de commande "
Collection Dunod.
- (3) : G. Rivelin : "Microprocesseur 6800 à 6809" Dunod.
- (4) : R. Delsol : "Circuits intégrés et techniques numériques"
Edition Cepadues.
- (5) : R. Coiffet et M. Chironze : "Elements de robotique".
- (6) : L'ingénieur et le technicien de l'enseignement technique
(ITET) n° 220.
- (7) : J. Distefano, AR Stublerud, I.J Williams
" Systèmes asservis" Série Schaum Tome I et II.
- (8) : J. Mainguenaud "Cours Automatique - Systèmes asservis
continus" Tome I et II.
- (9) : Algorithmisation d'études d'un asservissement par les pôles.
(Projet de fin d'études promotion Juin 1978).

CARTE D'ASSERVISSEMENT

NOMENCLATURE

INTERFACE PROGRAMMABLE PARALLELE	PIA	MC 6821
TEMPORISATEUR PROGRAMMABLE	PTM	MC 6820
CONVERTISSEUR NUMERIQUE ANALOGIQUE	CNA	DAC 02
REGISTRES TAMPONS OU LATCHS		SN74LS 75
BUFFERS DE DONNEES		MC8T 26
BUFFERS D'ADRESSES		MC8T 95
CIRCUIT DE DECODAGE D'ADRESSES		SN74LS 150
PORTE NAND A 8 ENTREES		SN74LS 30
PORTE INVERSEUSE		SN74LS 04
PORTE OR		SN74LS 32
PORTE AND A 3 ENTREES		SN74LS 31
PORTE NAND A 2 ENTREES		SN74LS 00
PORTE AND A 2 ENTREES		SN74LS 08

