

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

**PROJET DE FIN D'ETUDES**

SUJET

CONCEPTION ET REALISATION  
D'UN GENERATEUR  
D'IMPULSIONS PROGRAMMABLE

Proposé par :

M. SINTES Philippe

Etudié par :

MM. HIMED Braham  
KARA Khaled

Dirigé par :

M. SINTES Philippe



PROMOTION : JUIN 84



## ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : ELECTRONIQUE

### PROJET DE FIN D'ETUDES

#### SUJET

CONCEPTION ET REALISATION  
D'UN GENERATEUR  
D'IMPULSIONS PROGRAMMABLE

Proposé par :

M. SINTES Philippe

Etudié par :

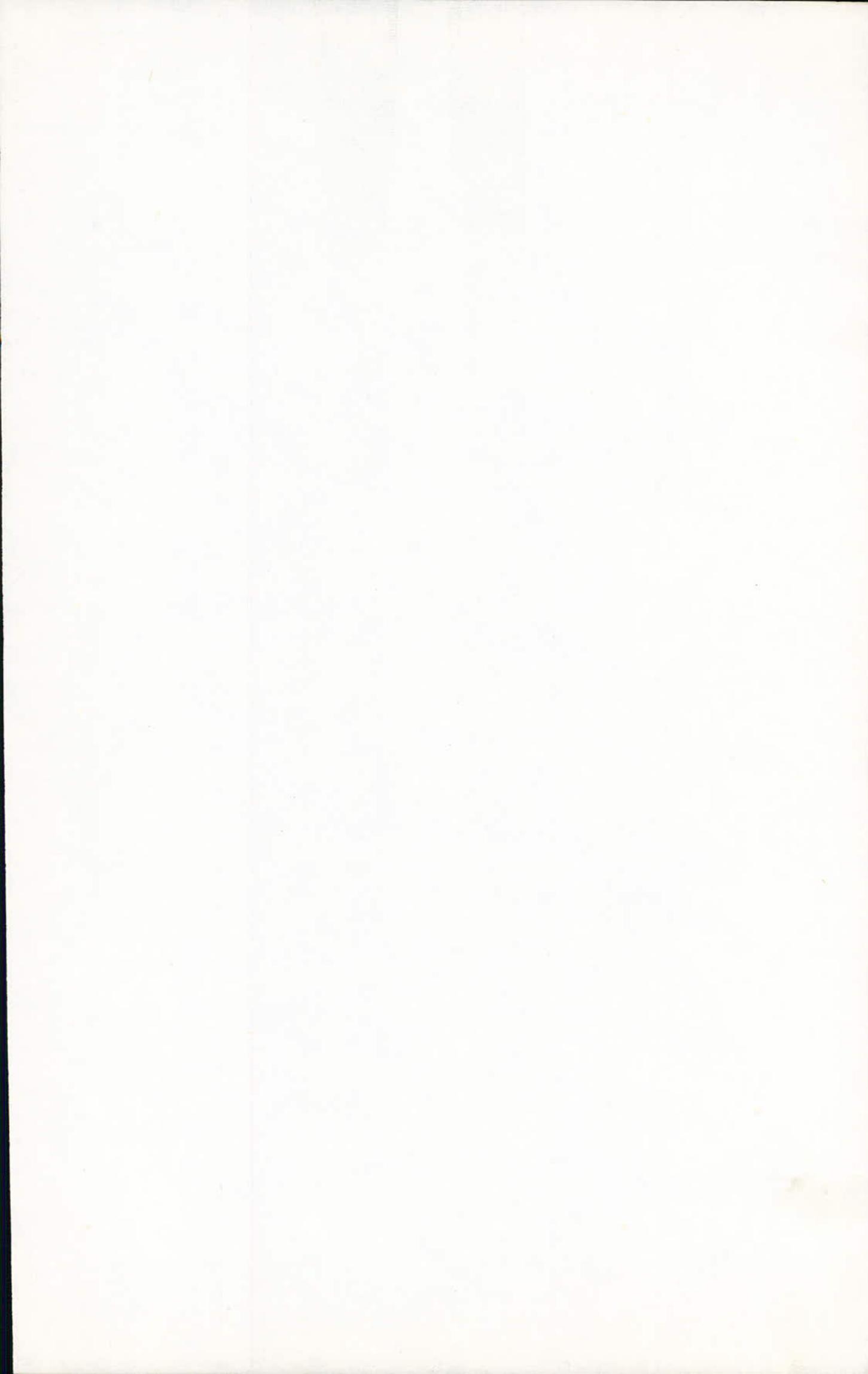
MM. HIMED Braham  
KARA Khaled

Dirigé par

M. SINTES Philippe



PROMOTION : JUIN 84



## DEDICACES

A mon père  
A ma mère  
A mes frères et à ma sœur  
A ma belle sœur et à mes neveux  
A tous mes amis (es)

H. BRAHAM

A ma famille  
A tous mes amis

K. KHALED

- R E M E R C I E M E N T S -

Nous tenons à remercier M. PHILIPPE SINTES,  
notre promoteur pour ses conseils et pour toute l'aide  
matérielle qu'il nous a apportée.

Nous remercions également également MM. MEHENNI  
et AKSAS d'avoir mis à notre disposition le laboratoire de  
Fen 175 et pour leurs conseils judicieux.

Que tous ceux qui ont contribué de près ou de  
loin à la réalisation de ce modeste travail, trouvent ici  
l'expression de nos sincères remerciements.

# S O M M A I R E

## INTRODUCTION

### I. BUT DU PROJET

#### CAHIER DE\$ CHARGES

### II. REALISATION

#### A. CIRCUIT D'HORLOGE ET DE REMISE A ZERO

##### A.1. Circuit d'horloge

##### A.2. Circuit de remise à zéro

#### B. ELABORATION DE I.P.P (intervalle pulse à pulse)

##### B.1. Principe d'élaboration

##### B.2. Description des circuits utilisés

###### B.2.1. Circuit intégré SN.74 LS.192

###### B.2.2. Roue codeuse

##### B.3. Fonctionnement

###### B.3.1. Fonctionnement avec un décompteur

###### B.3.2. Fonctionnement avec 3 décompteurs

###### B.3.3. Fonctionnement du monostable

##### B.4. Autre procédé d'élaboration

#### C. ELABORATION DE BR, CTR, PE

##### C.1. Principe d'élaboration

##### C.2. Description du circuit utilisé

##### C.3. Fonctionnement

#### D. ELABORATION DE LA RAFALE R.A.P.

##### D.1. Principe d'élaboration

###### D.1.1. Obtention de la durée. d

###### D.1.2. Obtention de l'espacement. e

###### D.1.3. Obtention du nombre. n

##### D.2. Schéma avec exemple de fonctionnement

#### E. SCHEMA COMPLET, MISE EN BOITIER

##### E.1. Schéma de câblage

##### E.2. Mise en boitier

#### F. RESULTATS EXPERIMENTAUX

### III. APPLICATION

#### A. CADENCEUR DE RADAR

##### A.1. Principe du radar

A.1.1. Schéma synoptique

A.1.2. Description

A.1.3. Fonctionnement

##### A.2. Utilisation du générateur

A.2.1. Rôle du générateur

A.2.2. Exemple d'application

#### B. GENERATEUR D'IMPULSION PROGRAMMABLE DE LABORATOIRE

### C O N C L U S I O N

#### BIBLIOGRAPHIE

#### A N N E X E

## TABLE DES FIGURES

### CHAPITRE II

- Figure. 1 : Circuit d'horloge
- Figure. 2 : Circuite de remise à zéro
- Figure. 3 : Schéma symbolique du compteur décompteur SN. 74.LS.192
- Figure. 4 : Fonctionnement avec un seul décompteur
- Figure. 5 : Chronogramme des signaux du montage de la figure 4
- Figure. 6 : Utilisation d'un monostable
- Figure. 7 : Elaboration de I.P.P.
- Figure. 8 : Chronogramme des signaux du montage de la figure 7
- Figure. 9 : Utilisation d'une porte NOR
- Figure.10 : Autre procédé d'élaboration de I.P.P.
- Figure.11 : Décomposition de BR
- Figure.12 : Obtention de S1
- Figure.13 : Chronogramme des signaux du montage de la figure 12
- Figure.14 : Synchronisation des signaux S1 - S2
- Figure.15 : Elaboration de BR, CTR, PE
- Figure.16 : Elaboration de BR, CTR, PE  
chronogramme des signaux
- Figure.17 : Obtention de d
- Figure.18 : Bascule T
- Figure.19 : OU exclusif
- Figure.20 : Inversion du signal d'horloge
- Figure.21 : Obtention de n
- Figure.22 : Chronogramme des signaux sans la remise à zéro
- Figure.23 : Obtention de RAP
- Figure.24 : Chronogramme des signaux du montage de la figure 23
- Figure.25 : Signalisation de dépassement
- Figure.26 : Schéma de câblage
- Figure.27 : Schéma d'implantation
- Figure.28 : Boitier
- Figure.29 : Résultats expérimentaux

### CHAPITRE. III

- Figure. 1 : Synoptique du radar
- Figure. 2 : Succession dans le temps des impulsions d'un radar.

INTRODUCTION

En électronique, on distingue deux types de signaux.

- Signaux sinusoïdaux : leur forme est sinusoïdale et permanente
- Signaux impulsionnels : leur forme est quelconque sur un intervalle de temps limité.

L'étude des signaux et de leur traitement par le calcul, conduit à deux conceptions du signal électronique.

a) l'une considère que le signal le plus simple qui puisse exister est le signal sinusoïdal.

Il est la seule notion de base à laquelle tout doit se ramener.

En faisant la somme de signaux sinusoïdaux en série de Fourier, on obtient la représentation de n'importe quel signal périodique.

En faisant la somme de signaux sinusoïdaux en intégrale de Fourier, on obtient la représentation de n'importe quelle impulsion : c'est le domaine de l'électronique sinusoïdale.

b) L'autre considère que le signal le plus simple est le signal échelon. N'importe quel signal peut-être la somme de plusieurs échelon : c'est le domaine de l'électronique des impulsions.

La technique des impulsions s'est beaucoup développée . ces dernière années et notamment dans le domaine de la transmission de l'information (Radar, Télévision, machines à calculer digitales, multiplex...). En effet, ce procédé présente plusieurs avantages à savoir : très bonne stabilité aux parasites atmosphériques, possibilité de grande puissance d'émission, emploi de fréquences élevées...

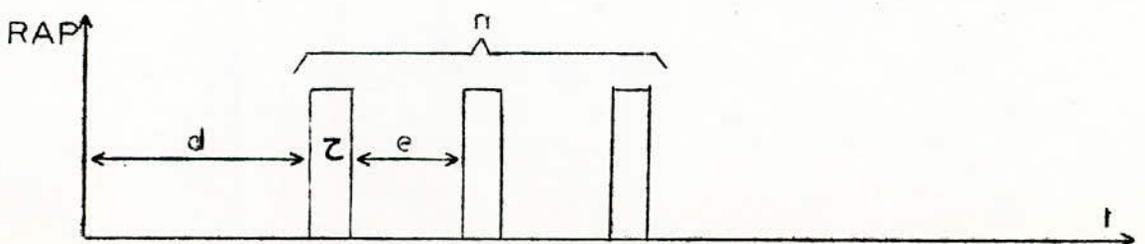
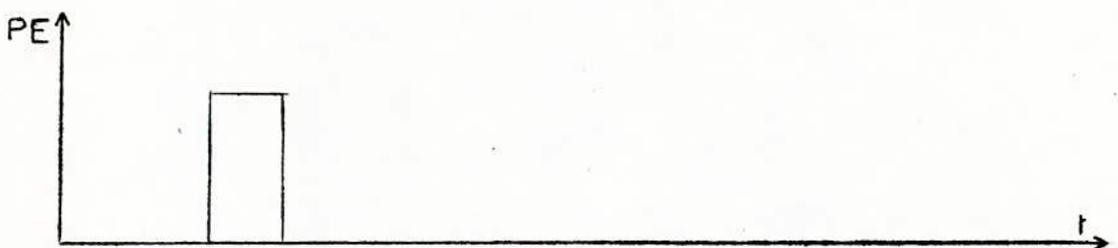
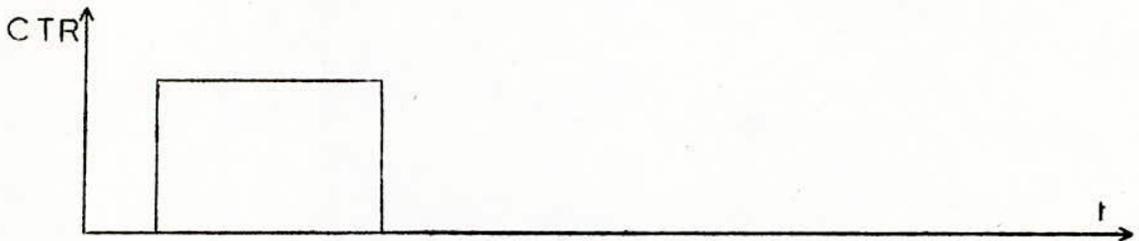
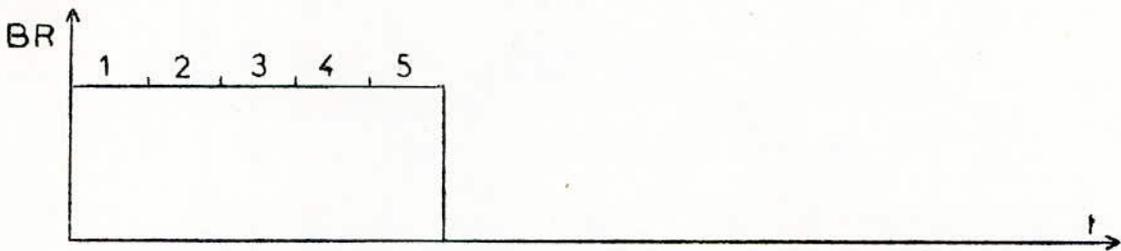
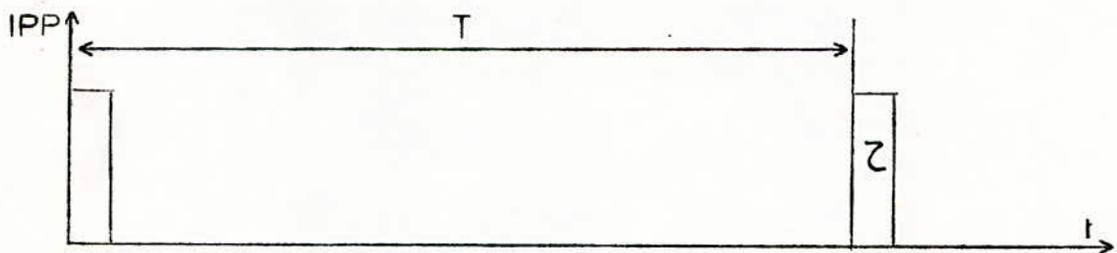
L'avènement des circuits intégrés et des systèmes microprogrammés a donné une nouvelle dimension à ces procédés, et joue un rôle déterminant dans la réalisation des divers circuits. Leur volume est nettement plus réduit et leur précision encore meilleure. Le travail qui nous a été confié entre dans ce sens

### I. BUT DU PROJET - CAHIER DES CHARGES

Le but de notre projet est la conception et la réalisation d'un générateur d'impulsions programmable. Il peut servir à l'étude de certains circuits électroniques dans un laboratoire et peut-être utilisé comme cadenceur dans un équipement **radar**.

Ce générateur devra délivrer les signaux suivants :

- un signal d'horloge de fréquence - 1.MHZ
- les signaux qu'on appelle IPP, PE, BR, CTR, RAP et qui ont les formes suivantes :



T est variable de 1 à 999  $\mu$ s

1er palier fixe de 5  $\mu$ s

2ème palier variable de 0 à 9  $\mu$ s

3ème palier variable de 0 à 99  $\mu$ s

4ème palier fixe de 5  $\mu$ s

5ème palier variable de 0 à 9  $\mu$ s

C est fixe et égale à 0,5  $\mu$ s

Pour le signal R.A.P.

d est variable de 1 à 99  $\mu$ s

e est variable de 1 à 99  $\mu$ s

n est variable de 0 à 99  $\mu$ s

Notre projet consiste en la réalisation de ce générateur avec les contraintes suivantes :

- élaboration des signaux, ci-dessus (niveau T.T.L)
- mise à zéro automatique à la mise sous tension et manuellement à volonté.
- sorties sur fiches B.N.C.
- programmation par roue codeuse
- affichage de dépassement par led
- coffret métallique et technique Wrapping

## II. REALISATION

### A. CIRCUIT D'HORLOGE ET DE REMISE A ZERO

#### A.1. Circuit d'horloge

L'horloge est réalisée à partir du circuit intégré SN.74.LS.321 dont le schéma interne et les principales caractéristiques sont données en annexe.

C'est un oscillateur pilote commandé par un quartz. Il permet d'avoir en ses différentes sorties un signal de fréquence F, F/2 et F/4.

F : Fréquence du quartz.

Dans le cas où un quartz est utilisé, il faut connecter entre les broches 1 et 2 une self d'inductance comprise entre 5 et 100  $\mu\text{H}$  avec un coefficient de qualité QL variant de 30 à 40 ou une résistance de  $130\Omega$  (dans notre cas, nous disposons d'une self de 68  $\mu\text{H}$ ).

La fréquence avec laquelle nous allons travailler étant de 1 MHz et le quartz dont nous disposons étant de 4 MHz, on utilise la sortie F/4.

Comme le signal doit être appliqué à plusieurs circuits, il est nécessaire de l'amplifier. A cet effet, le signal provenant de la broche F/4, passe dans un buffer (1/2 7440) avant d'être appliqué aux décompteurs.

Le schéma d'un tel circuit est donné en Fig. 1.

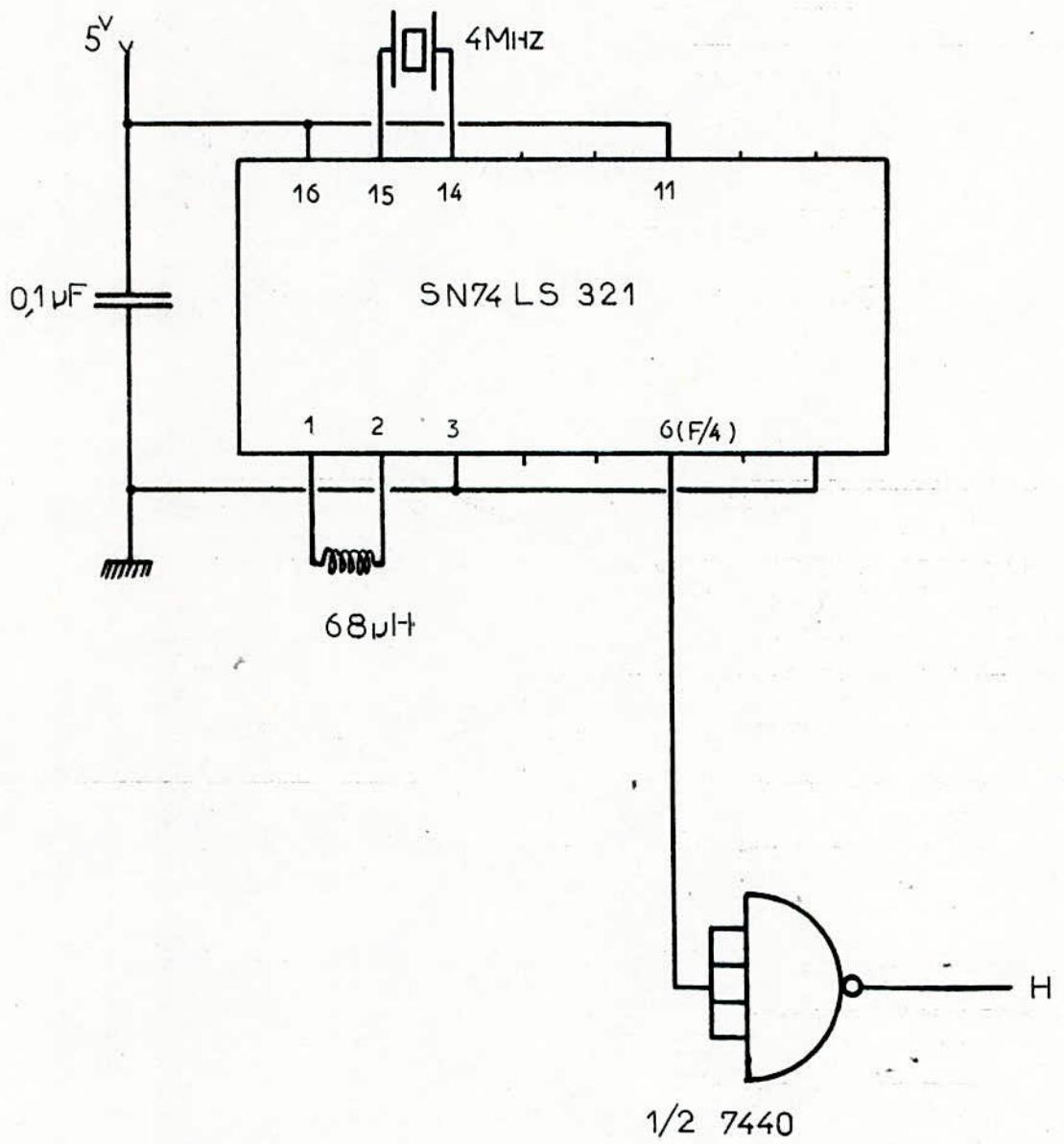


FIG. 1 -CIRCUIT D'HORLOGE

## A.2. Circuit de remise à zéro

Lors de la mise sous tension, les différents compteurs peuvent se trouver dans un état quelconque, faussant par la suite l'opération de comptage et de décomptage. Pour éviter cela, il est nécessaire de remettre à zéro l'état des compteurs à la mise sous tension. Le montage de la figure 2, réalise cette fonction. Il fournit une impulsion de courte durée à la fermeture de l'interrupteur de mise en marche. Son principe de fonctionnement est le suivant :

A la mise sous tension, l'entrée supérieure de la porte NAND (1/2 7440) se trouve à l'état logique haut. Une armature du condensateur C est portée au potentiel + E (5V). L'autre armature qui était à 0 initialement, va monter pratiquement à + E saturant par la suite le transistor T. La capacité va se charger par le courant qui traverse R 4 et le courant qui passe par R 2 à la base du transistor T. Le condensateur pendant sa charge maintient la saturation de T. Le potentiel de son collecteur se trouve à un état logique bas.

Comme le collecteur est relié directement à l'entrée d'une porte NAND, la sortie de celle-ci se trouve à l'état haut permettant la remise à zéro des décompteurs.

Lorsque la charge de C est suffisamment poussée pour que le courant passant dans R 4 n'y détermine plus qu'une chute de tension inférieure à 0,7v, le transistor T se rebloque. Son collecteur se trouve à un état haut et la sortie du NAND sera donc à 0.

Ainsi, la remise à zéro aura durée le temps de charge du condensateur.

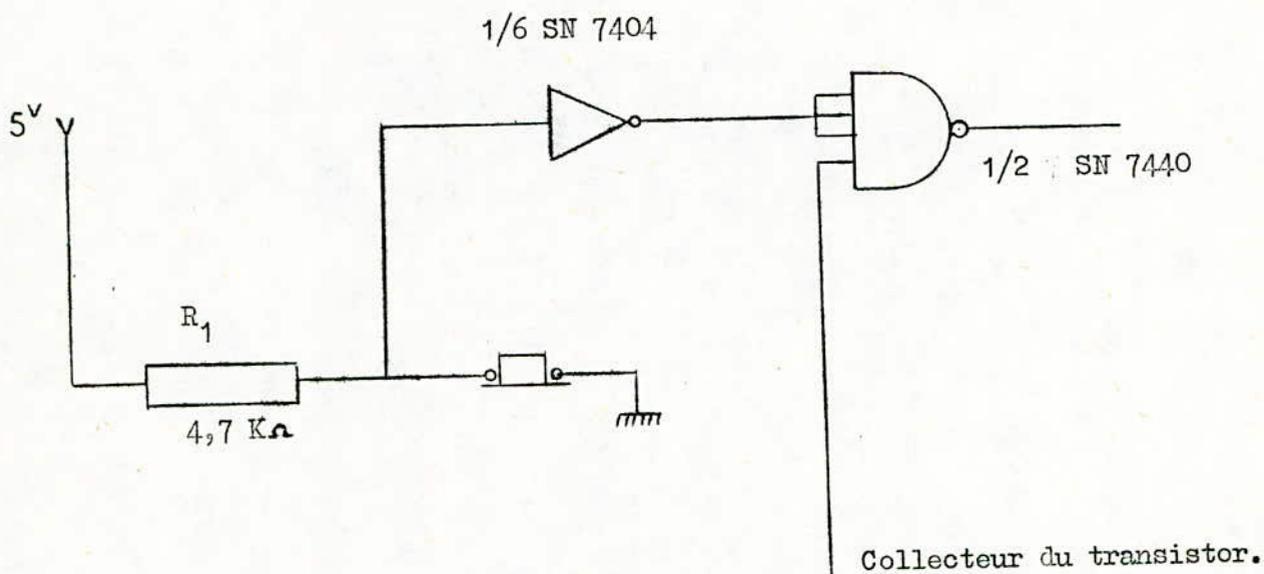
Une remise à zéro manuelle a été prévue par bouton poussoir. Si on appuie sur le bouton poussoir, l'entrée supérieure du NAND se met à zéro.

La sortie de celle-ci se trouvant alors à 1, va initialiser les différents décompteurs.

Quand la tension E est coupée, pour prévoir une décharge relativement rapide du condensateur, une diode est insérée entre la masse et une borne du condensateur par l'intermédiaire d'une résistance. Cette résistance limite la valeur crête du courant dans la diode, si la tension se trouve brutalement coupée.

REMARQUE :

Le bouton poussoir que nous avons utilisé est du type "travail" De ce fait, l'entrée supérieure de la porte NAND se trouve toujours à zéro et la sortie se trouve tout le temps à 1. Pour avoir la configuration désirée, on a placé un inverseur comme indiqué sur le schéma suivant :



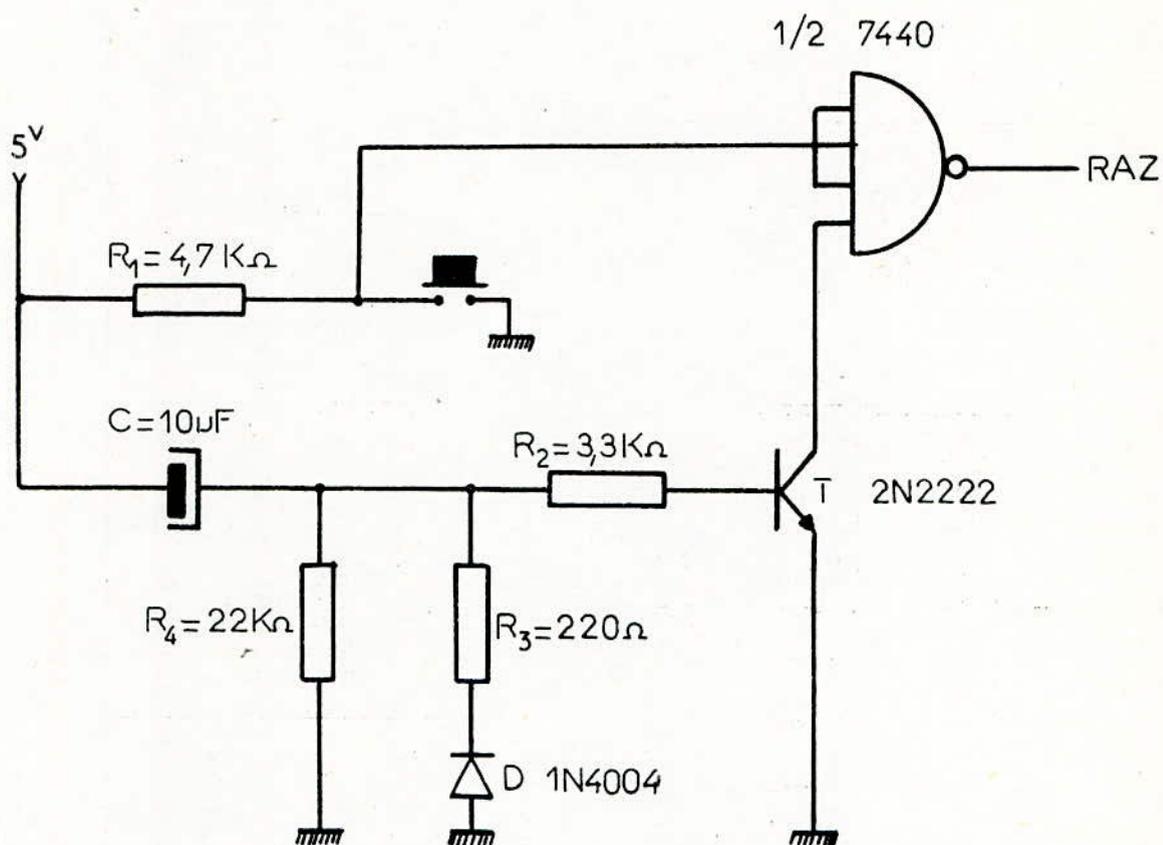
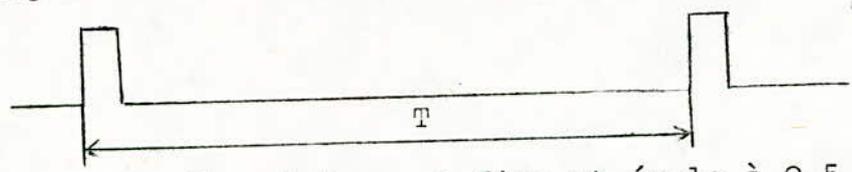


FIG.2.CIRCUIT DE REMISE A ZERO

B. ELABORATION DE I.P.P (intervalle pulse à pulse)

Le signal I.P.P est un signal périodique ayant la forme suivante.



La durée de l'impulsion est fixe et égale à 0,5  $\mu$ s, la période est programmable par roue codeuse et pouvant varier de 1 à 999  $\mu$ s.

Le niveau de l'impulsion est le niveau T.T.L 5v.

B.1. Principe d'élaboration

Le signal I.P.P. est obtenu à partir du signal d'horloge de 1.MHZ et ceci en utilisant des compteurs.

Le principe consiste à faire charger des compteurs par la valeur désirée de la période et les faire vider de leur contenu (ramener toutes les sorties à zéro) au rythme du signal d'horloge.

Pour réaliser cela, il faudra utiliser des compteurs programmables.

Les compteurs utilisés sont du type SN.74.LS.192.

Chaque compteur est une décade, c'est-à-dire qu'il permet le comptage de 0 à 9 ou le décomptage de 9 à 0.

Comme le compteur compte de 0 à 9 et que la période T doit varier de 1 à 999  $\mu$ s, il faudra donc utiliser 3 compteurs dont les entrées DCBA sont commandées par une roue codeuse.

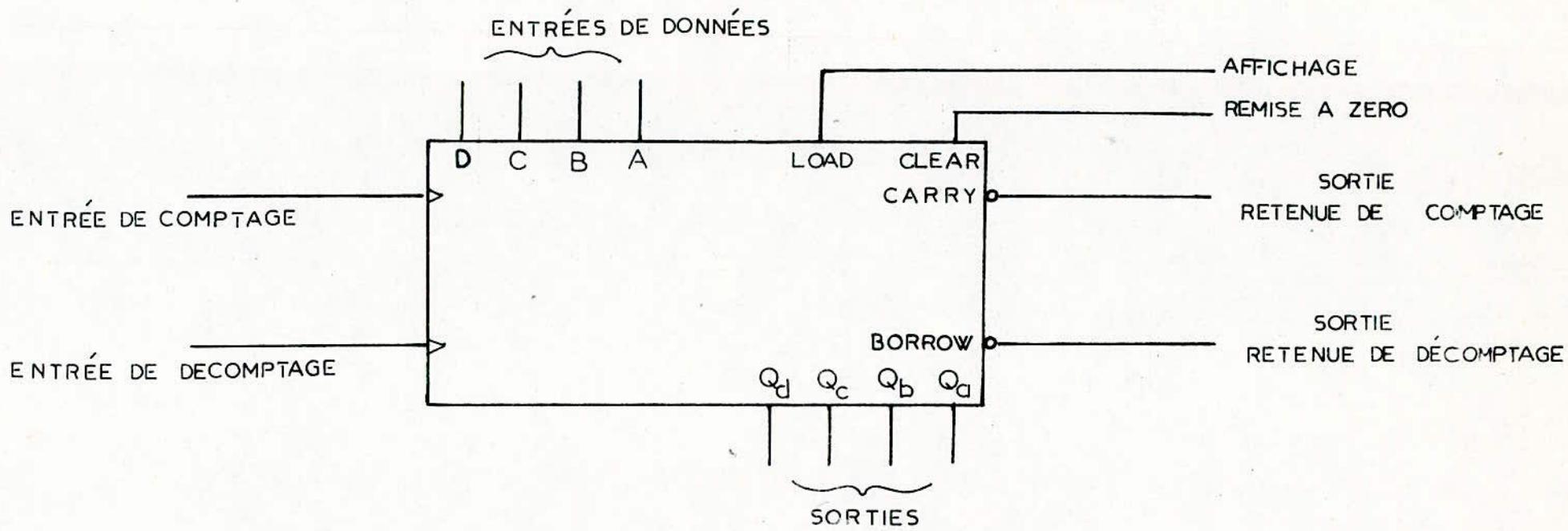
B.2. Description des circuits utilisés

B.2.1. Circuit intégré SN.74 LS 192

Le circuit intégré SN.74 LS.192 dont le schéma interne et les différents chronogrammes de fonctionnement sont donnés en annexe, est un compteur décompteur DCB à 4 étages à retenue synchrone et affichage asynchrone .

Il présente 4 entrées d'affichage (DCBA) et une entrée de commande (Load) ainsi qu'une commande de mise à zéro (cléar).

Les sorties de retenue (Carry)et report (Borrow) permettent d'attaquer d'autres compteurs décompteurs en cascade.



FIG\_ 3 \_SCHEMA SYMBOLIQUE DU COMPTEUR DECOMPTEUR SN 74LS192

B.2.2. Roue codeuse

Une roue codeuse comme son nom l'indique est un codeur décimal-Binaire. La table de vérité est la suivante :

Table de vérité

N	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

### B.3. Fonctionnement

Le principe d'élaboration de I.P.P est d'utiliser les circuits SN.74.LS.192 en fonctionnement décompteur.

A l'entrée de décomptage est appliqué le signal d'horloge.

L'entrée de comptage est maintenu à un niveau logique haut(5v).

Le décompteur ainsi réalisé ne donne pas un signal périodique en sa sortie Borrow.

Pour avoir un signal périodique, il faudra que les sorties du décompteur passent à la valeur affichée aux entrées, dès que le borrow passe à 0.

Il suffit pour cela de relier la sortie Borrow à l'entrée d'affichage Load. Ainsi dès que le signal Borrow passe à 0 (voir chronogramme) il y aura affichage. Le front descendant du Borrow se faisant exactement au front descendant de l'horloge, le décompteur ne commence à décompter qu'au prochain front montant du signal d'horloge.

#### B.3.1. Fonctionnement avec un seul décompteur

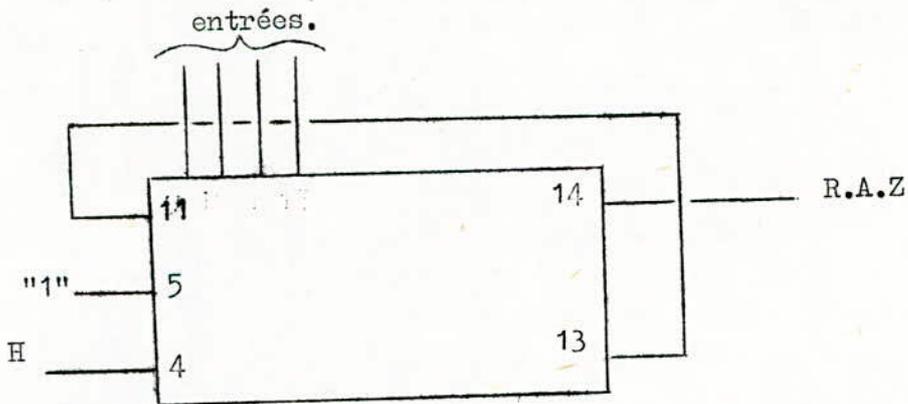


Fig. - 4 -

L'impulsion de remise à zéro permet d'initialiser le décompteur. Supposons qu'aux entrées DCBA est affichée la valeur 3 (0011) en DCB.

A la mise sous tension, les sorties QA, QB, QC, QD du décompteurs sont mises à zéro. Le signal Borrow, d'après son expression logique ( $B = H + QA + QB + QC + QD$ ) (voir annexe) va suivre le signal d'horloge. Ainsi au 1er front descendant du signal d'horloge (instant  $t_0$  sur le chronogramme), il y aura affichage.

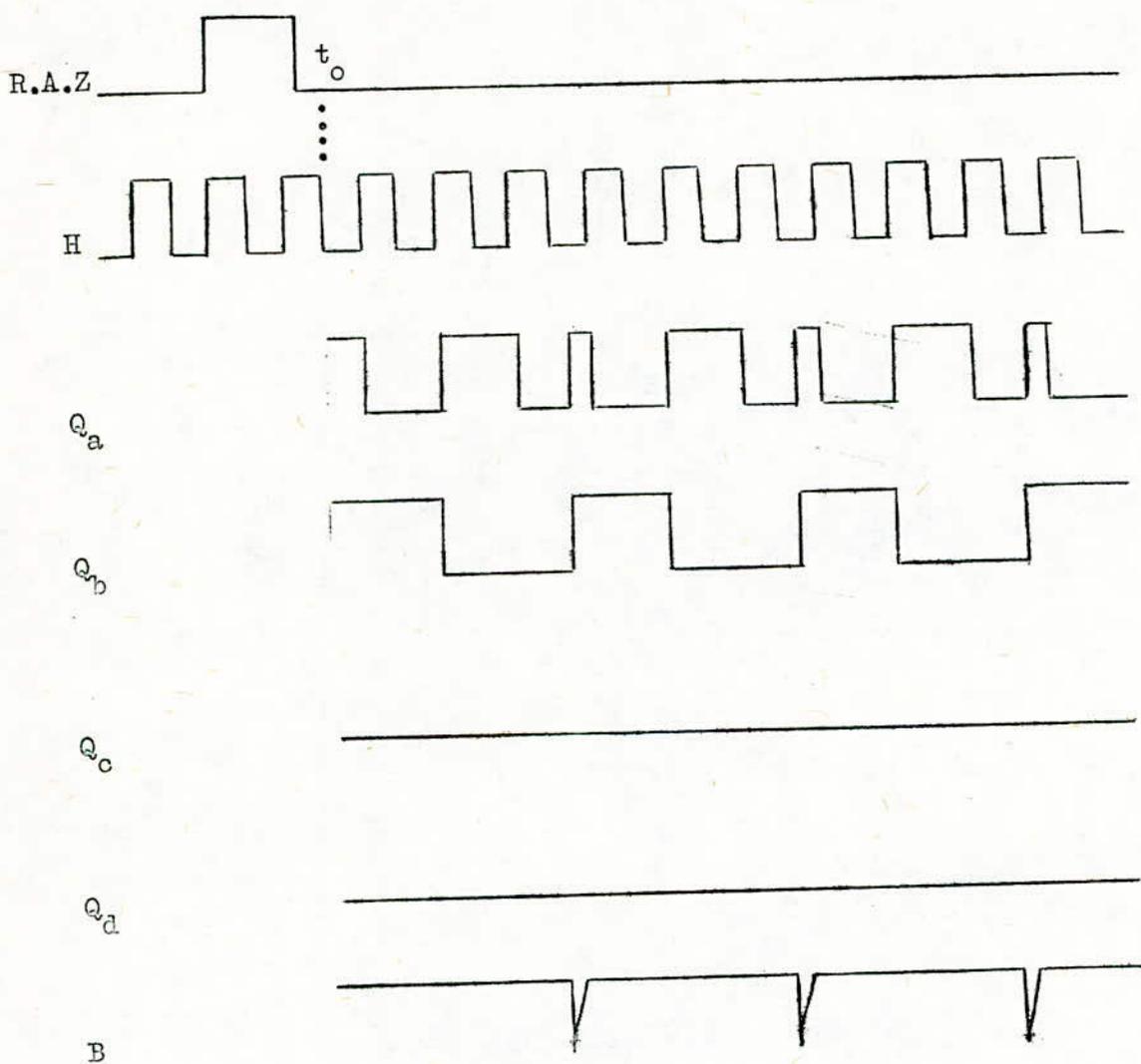


Fig. - 5 -

- Chronogramme des signaux du montage de la figure n° 4.

On voit donc que si l'on affiche 3 sur les entrées DCBA le signal Borrow sera périodique de période  $3 \mu\text{s}$  (la fréquence du signal d'horloge étant de  $1 \text{ MHz}$ ).

Pour avoir le signal I.P.P, il faut déclencher un monostable détecteur de front descendant dont la durée de l'état instable, vaut  $0,5 \mu\text{s}$  Fig.6.

Avec un seul compteur, la période maximale que l'on peut avoir est de  $9 \mu\text{s}$ , d'où l'utilisation de deux autres décompteurs en cascade.

### B.3.2. Fonctionnement avec 3 décompteurs

Pour atteindre la période de  $999 \mu\text{s}$ , il faut utiliser 3 décompteurs. La sortie Borrow du décompteur des unités doit être reliée à l'entrée de décomptage du compteur des dizaines. La sortie Borrow de celui-ci, doit être reliée à l'entrée de comptage du compteur des centaines. L'affichage se fait pour les 3 compteurs avec le Borrow du compteur des centaines.

Le schéma général est celui de la figure 7

### B.3.3. Fonctionnement du monostable

Le monostable utilisé est un détecteur de front descendant son schéma de principe est le suivant :

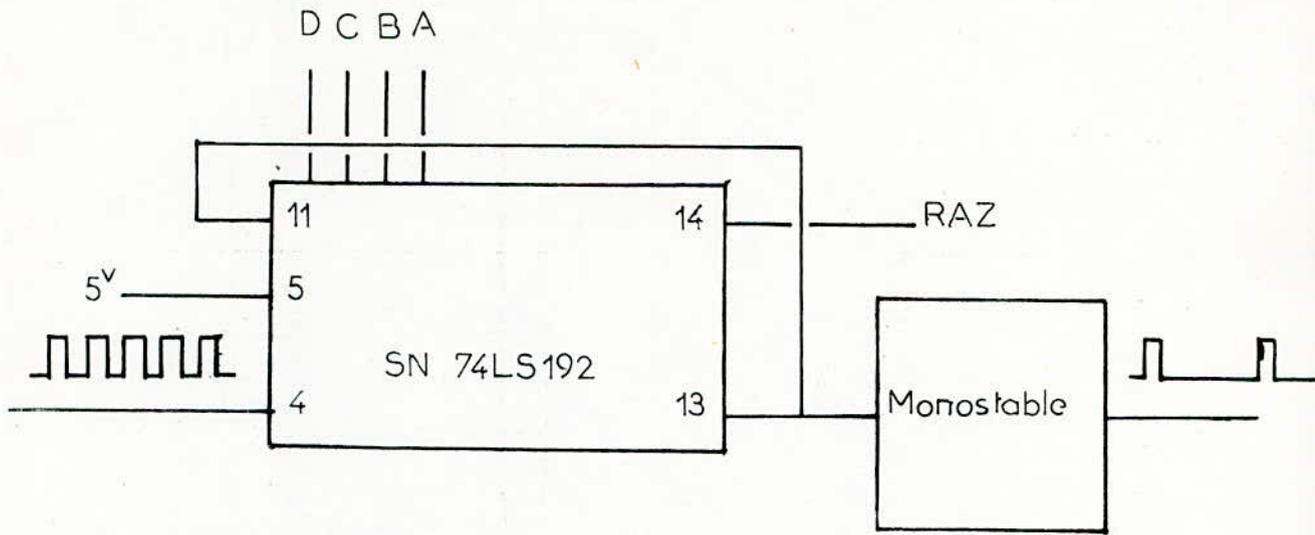


FIG. 6 \_ UTILISATION D'UN MONOSTABLE

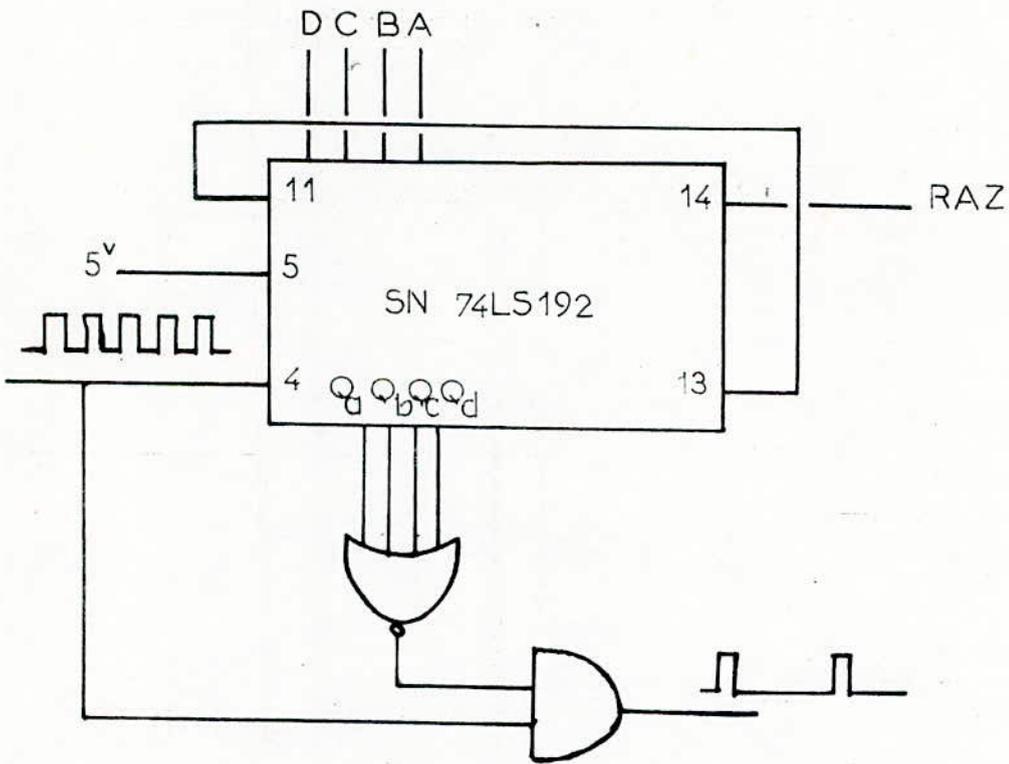
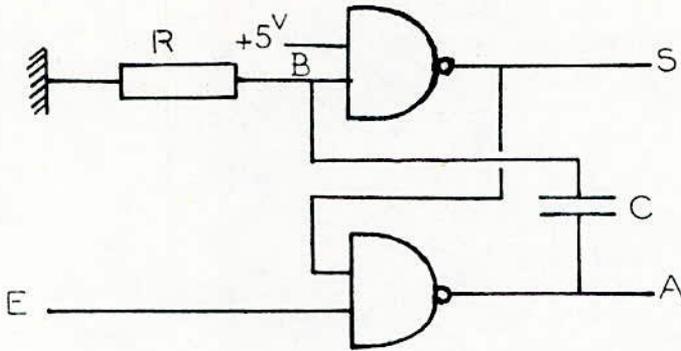
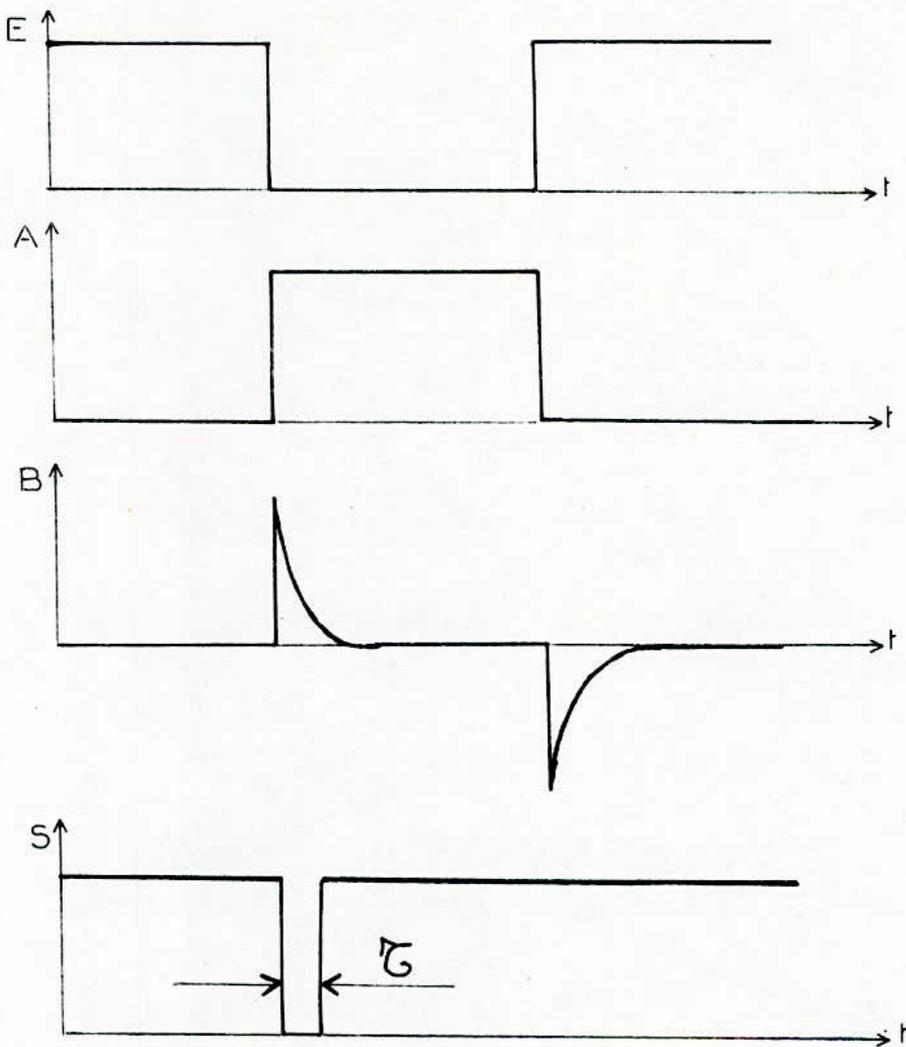


FIG. 9 \_ UTILISATION D'UNE PORTE NOR



Le fonctionnement du monostable est décrit par le diagramme des temps suivant :



Le signal S est obtenu en faisant l'opération logique

$$S = \overline{1.B}$$

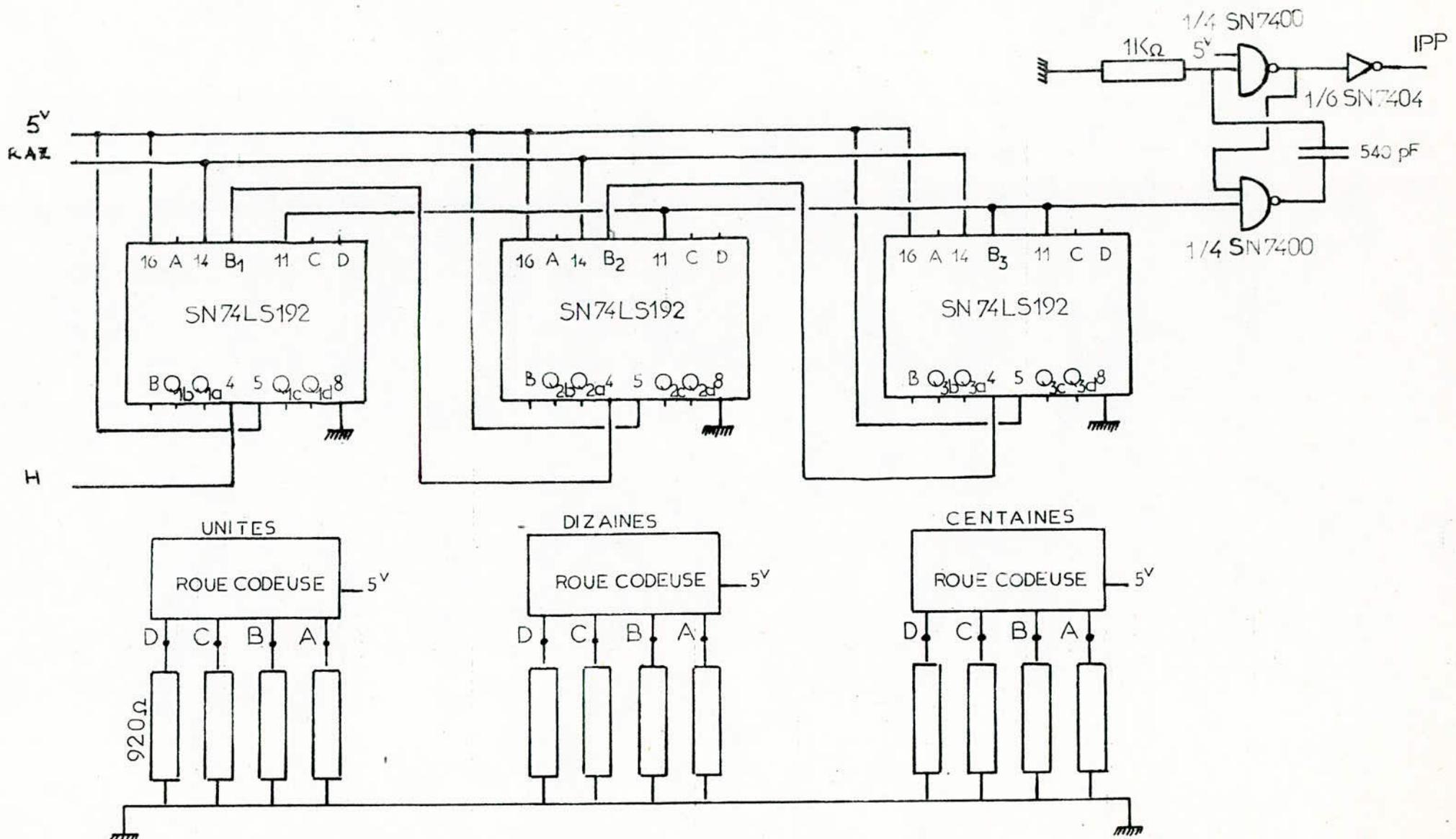


FIG. 7. ELABORATION DE IPP

La durée  $\bar{C}$  est sensiblement égale à R.C.

Si on prend  $C = 540 \mu F$ , la résistance R vaudra - 1 K $\Omega$ .

Pour mieux ajuster la durée T à 0,5  $\mu s$ , on a utilisé une résistance variable de 2,2 K $\Omega$ .

Pour illustrer ce qui a été dit, choisissons la combinaison 133.

3. sur celui des unités

1. sur celui des dizaines

Le chronogramme des signaux est donné en figure 8.

#### B.4. Autre procédé d'élaboration

On peut aussi utiliser les sorties QA, QB, QC, QD.

Pour obtenir le signal I.P.P.

Comme le Borrow n'apparaît que lorsque toutes les sorties sont à zéro et l'horloge aussi, on peut alors utiliser une porte NOR comme indiquée sur la figure 6.

On n'aura en sortie de la porte NOR un "1" que si toutes ses entrées sont à 0.

Si nous faisons la multiplication logique de l'horloge avec la sortie de la porte NOR, on aura le signal I.P.P, désiré avec une durée de l'impulsion égale à 0,5  $\mu s$  et une période variable de 1 à 9  $\mu s$ .

Pour avoir une période variant de 1 à 999  $\mu s$ , il faut utiliser 3 portes NOR comme l'indique le schéma de la Fig. 10

Nous avons adopté la première solution (celle utilisant le monostable) pour deux raisons :

- facilité de câblage
- emploi minimum de portes logiques.

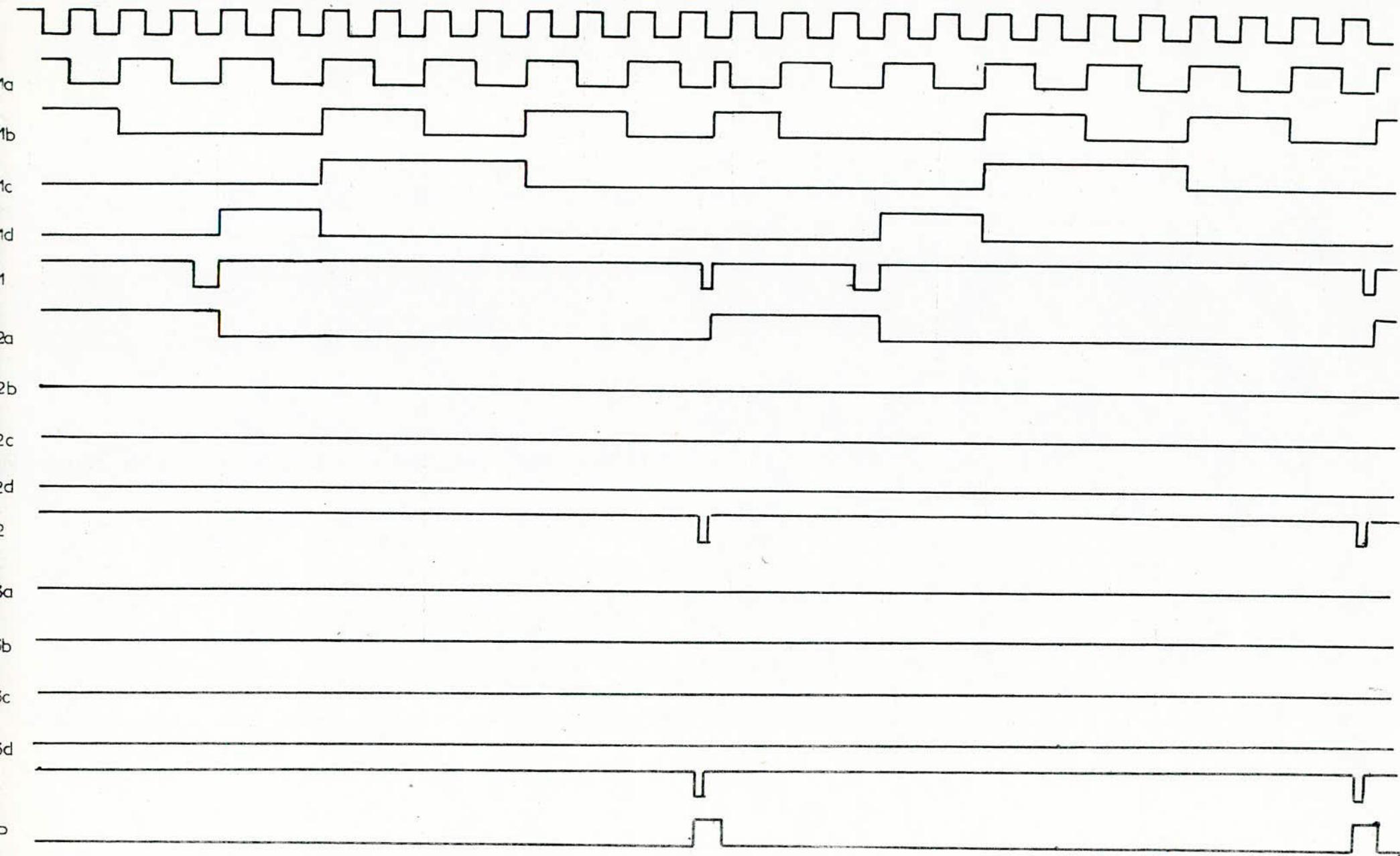


FIG. 8 \_ ELABORATION DE IPP CHRONOGRAMME DES SIGNAUX

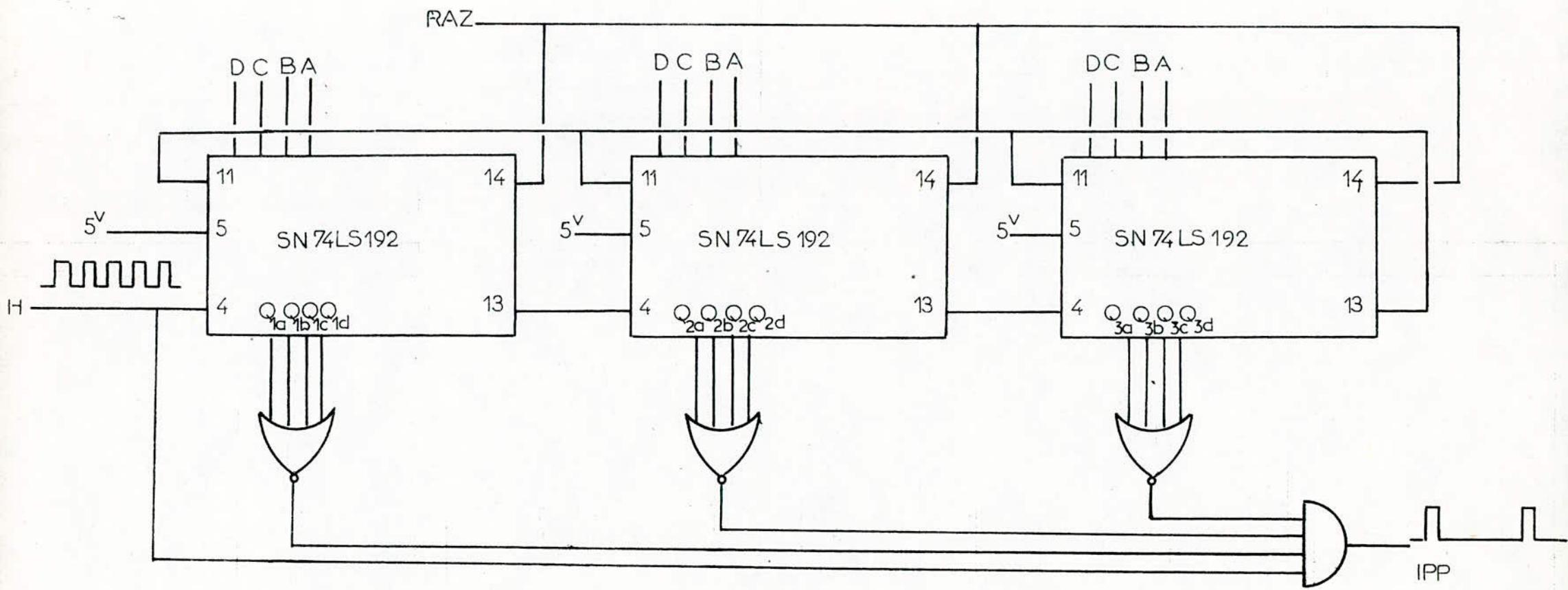
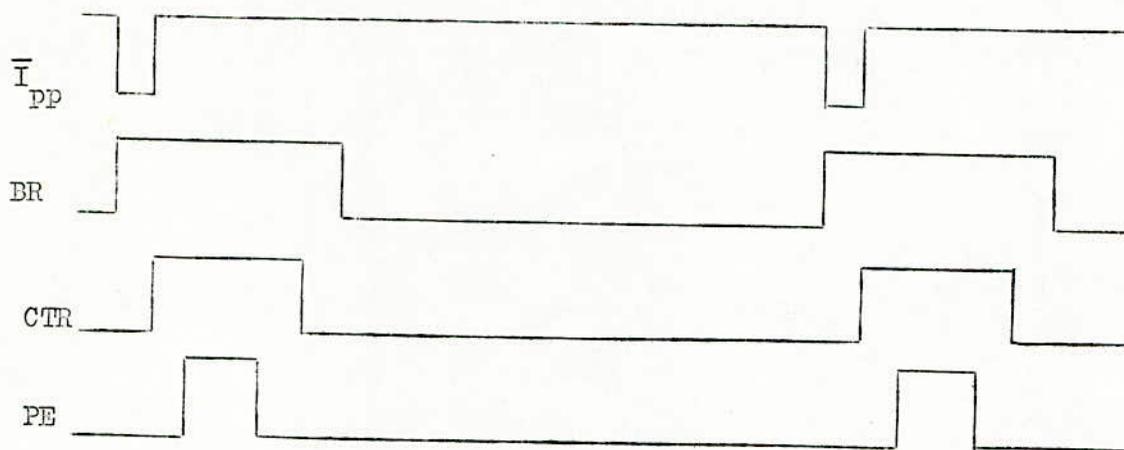


FIG.10 \_AUTRE PROCEDÉ D'ELABORATION DE IPP

### C. ELABORATION DES SIGNAUX BR. CTR. PE

Ces signaux ont les formes suivantes.



Les trois signaux étant dépendants, ils doivent être générés en même temps.

La période T est celle du signal I.P.P.

Pour chaque signal la largeur d'impulsion est programmable par roue codeuse.

#### C.1. Principe d'élaboration

L'analyse du signal BR donne la décomposition suivante :

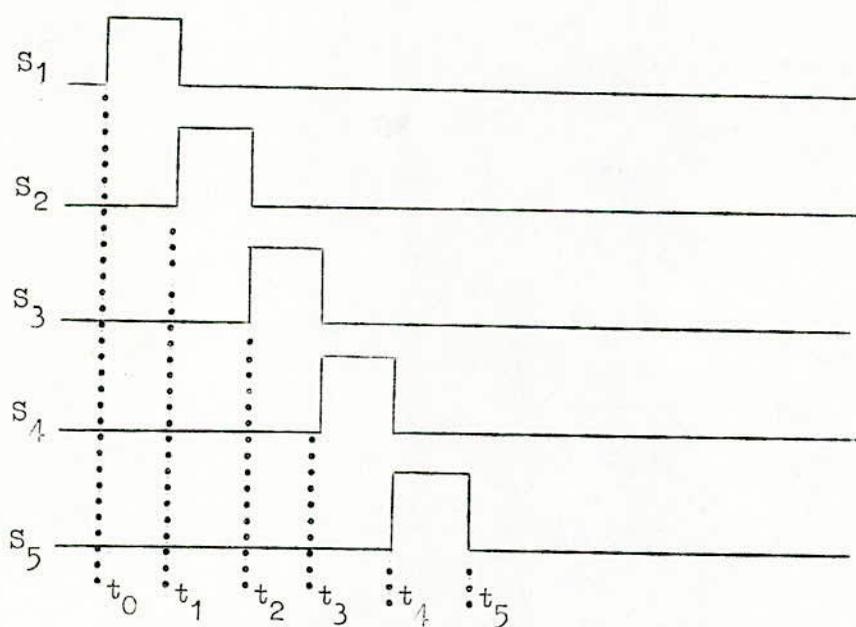


Fig. N° 11. Décomposition de BR.

La durée de l'impulsion du signal

S.1 est fixe et égale à 5  $\mu$ s

S.2 est variable de 1 à 9  $\mu$ s

S.3 est variable de 1 à 99  $\mu$ s

S.4 est fixe et égale à 5  $\mu$ s

S.5 est variable de 1 à 9  $\mu$ s

L'élaboration de ces signaux nécessite encore l'utilisation de circuits SN.74.LS.192.

Le principe repose sur le blocage de l'horloge, lorsque le contenu du décompteur passe de la valeur N programmée à zéro.

Nous avons vu précédemment qu'à la sortie 1 3 du circuit SN.74.LS.192, le signal a pour expression logique.

$$B = h + QA + QB + QC + QD \quad (1)$$

h : signal à l'entrée 4 du décompteur QA, QB; QC, QD : sorties du décompteur.

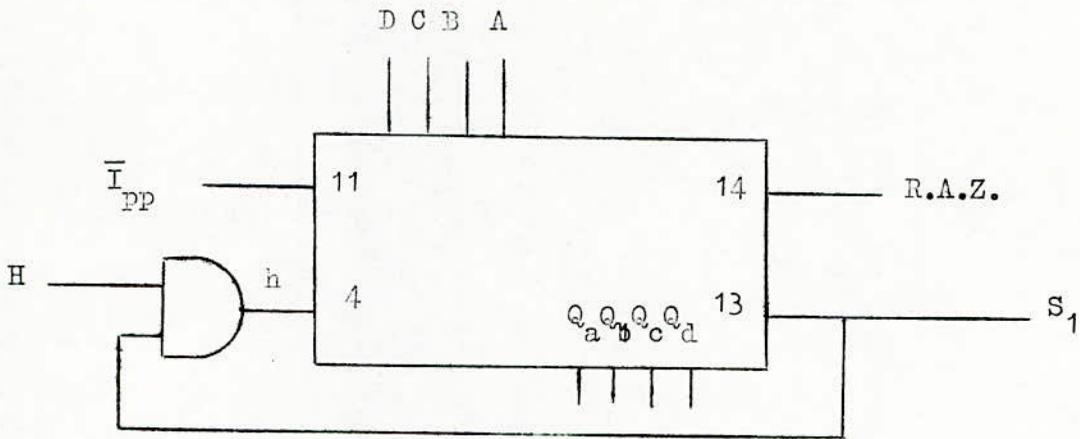
B : retenue de décomptage (Borrow)

On peut garder le Borrow à 0 en agissant sur h.

En effet, si l'on fait la multiplication logique de l'horloge avec le Borrow du décompteur et on applique le résultat de la multiplication à l'entrée 4 du décompteur, l'horloge ne passera que si le Borrow est au niveau logique haut. S'il passe à zéro, l'horloge sera interrompue et le décompteur se trouve "bloqué" c'est-à-dire que ses sorties resteront figées sur la valeur zéro.

Comme l'entrée de décomptage reçoit un niveau logique bas (résultat de la multiplication  $0 \times H$ ) et les sorties sont à zéro, le Borrow d'après (1) reste à zéro tant qu'aucune impulsion d'affichage n'apparaît à l'entrée 11 du décompteur.

Le montage est le suivant



- Fig. N° 12 - Obtention de  $S_1$

programmons le décompteur à 5 et voyons le fonctionnement à l'aide du chronogramme des signaux.

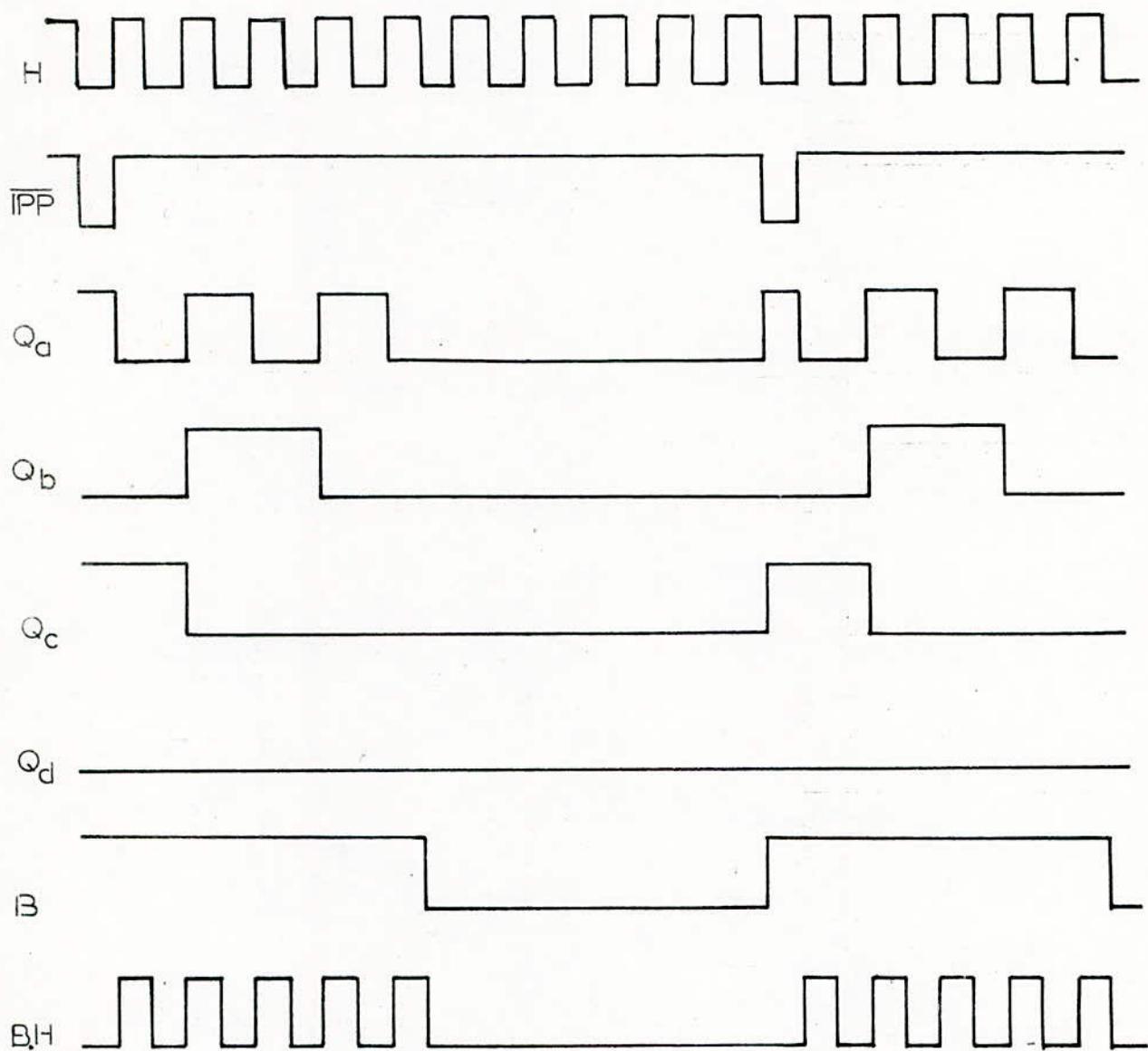


FIG.13 . CHRONOGRAMME DES SIGNAUX DU  
MONTAGE DE LA FIGURE 12

On voit d'après le chronogramme que lorsque le décompteur est passé de la valeur programmée à 0, le Borrow demeure à zéro jusqu'à une nouvelle impulsion d'affichage  $\overline{I.P.P.}$ .

En opérant de cette façon, on obtient les signaux S1, S2, S3, S4, S5.

Pour qu'il y ait une parfaite synchronisation entre les cinq signaux, il faut que le décompteur donnant S2 ne commence à décompter que lorsque celui donnant S1 aurait terminé.

Il suffit donc pour cela d'appliquer le Borrow inversé du 1er décompteur (donnant S1) à une porte ET avec l'horloge et le Borrow du 2ème décompteur (donnant S2) voir Fig. 111.

On fera de même pour les autres décompteurs. Le décompteur n ne commence à décompter que lorsque le décompteur n-1 aura terminé. L'obtention de BR, CTR, PE se fera de la façon suivante.

Le signal BR peut-être obtenu en faisant l'addition logique des cinq signaux.

$$BR = S1 + S2 + S3 + S4 + S5$$

Le signal CTR peut-être obtenu en faisant l'addition logique des signaux S2, S3, S4.

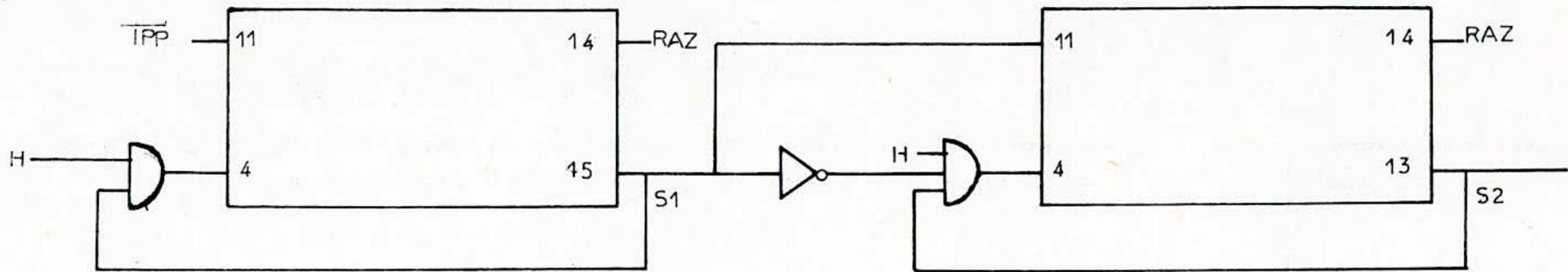
$$CTR = S2 + S3 + S4.$$

Le signal PE n'est autre que le signal S3. En générant ainsi les trois signaux, un problème de transitions se pose.

Comme le signal S2 apparait avec un léger retard par rapport à S1 ( $S_n$  par rapport à  $S_{n-1}$  -  $n = 2 \div 5$ )

Il y aura des transitions rapides (passages de 1 à 0) visibles sur les signaux BR et CTR.

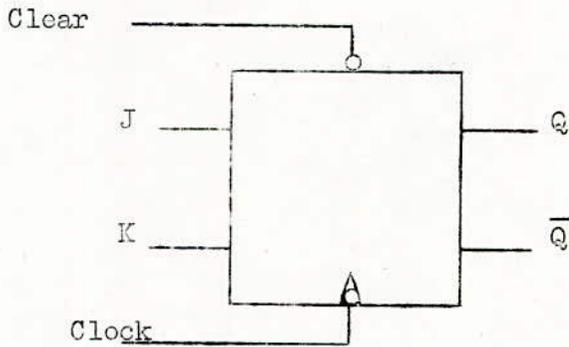
Pour palier à cet inconvénient, nous avons été amenés à utiliser des bascules JK.



FIG\_14 \_SYNCHRONISATION DES SIGNAUX S1 S2

**B.2. Description du circuit SN. 7473**

Le circuit SN 7473 est une double bascule JK dont le schéma interne est donné en annexe.



La bascule réagit au front descendant du signal d'horloge. Pour la remettre à zéro, il faut appliquer un niveau logique bas sur l'entrée clear.

Le fonctionnement de la bascule peut se résumer par le tableau suivant :

clear	Clock	J	K	Q	$\bar{Q}$
0	X	X	X	0	1
1		0	0	$Q^0$	$\bar{Q}^0$
1		1	0	1	0
1		1	1	$\bar{Q}^0$	$Q^0$
1		0	1	0	1

La bascule réagit au front descendant du signal d'horloge. Pour la remettre à zéro, il faut appliquer un niveau logique bas sur l'entrée clear.

Le fonctionnement de la bascule peut se résumer par le tableau suivant :

**B.2. Description du circuit SN. 7473**

Le circuit SN 7473 est une double bascule JK dont le schéma interne est donné en annexe.

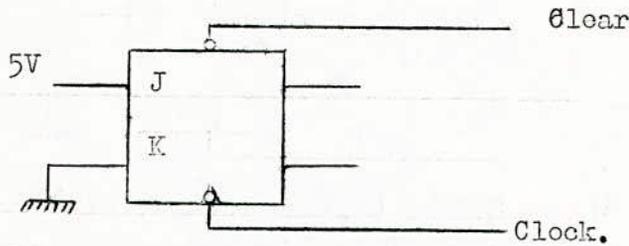
clear	Clock	J	K	Q	$\bar{Q}$
0	X	X	X	0	1
1		0	0	$Q^0$	$\bar{Q}^0$
1		1	0	1	0
1		1	1	$\bar{Q}^0$	$Q^0$
1		0	1	0	1

### C.3. Fonctionnement

Le principe consiste à mettre à 1 des bascules JK à des instants précis et de les remettre à zéro après un certain temps déterminé.

En reliant l'entrée J à 5v et K à la masse, la mise à 1 de la bascule se fait dès l'apparition d'un front descendant à l'entrée clock (à cet instant l'entrée clear doit être à un niveau logique haut).

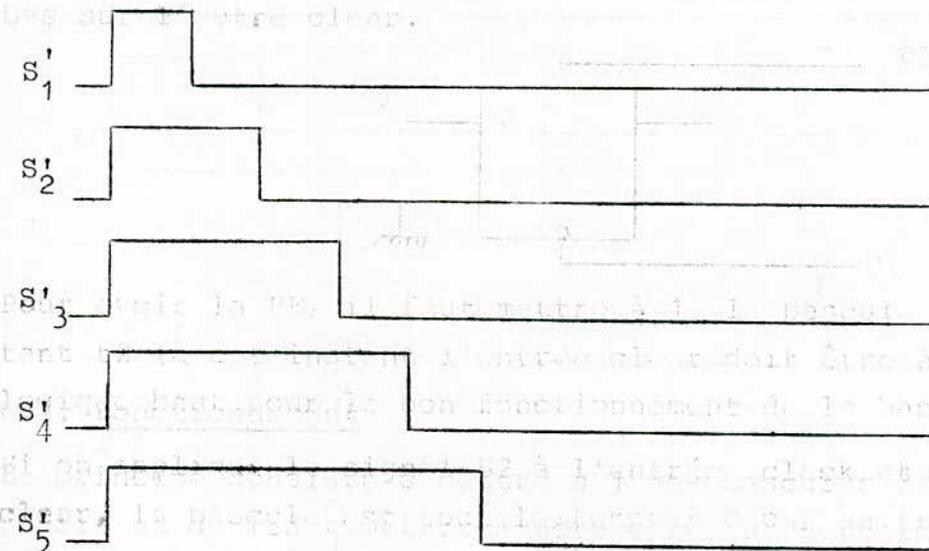
Pour remettre la bascule à zéro, il faut appliquer un niveau bas sur l'autre clear.



Pour avoir la PE, il faut mettre à 1, la bascule JK à l'instant t2 (à cet instant l'entrée clear doit être à un niveau logique haut pour le bon fonctionnement de la bascule).

Si on applique le signal S2 à l'entrée clock et S3 à l'entrée clear, la bascule est tout le temps à 0 car au front descendant de S2, S3 était encore à zéro à cause du retard que prend S3 sur S2. Pour avoir une mise à 1, il faudra qu'au front descendant du signal S2 (clock) celui de la remise à zéro S3, soit à 1, d'où l'idée du chargement avec I.P.P. L'affichage se fait en même temps pour tous les décompteurs, les signaux auront alors les formes suivantes :

Pour remettre la bascule à zéro, il faut appliquer un niveau bas sur l'autre clear.



Si on applique S'2 à l'entrée clock et S'3 à l'entrée clear, la bascule donnant PE se met à 1 au front descendant de S'2 (S'3 étant à 1 en ce moment).

Pour avoir CTR, on applique à l'entrée clock d'une bascule JK le signal S'1 et à l'entrée clear le signal S'4.

Le signal BR n'est autre que le signal S'5.

Le schéma général est celui de la Fig. 15

Remarques ;

1. Puisque la durée de S'5 est variable par roue codeuse, on peut alors passer par la valeur 0 et S'5 reste constamment à zéro malgré que l'on ait affiché des durées différentes de zéro sur les décompteurs donnant S'2 et S'3. Un moyen d'éviter cela est de faire l'addition logique de S'4 (durée fixe) avec S'5 et prendre le signal BR à la sortie de la porte OR.
2. La durée de S'2 étant variable, on peut alors passer par la valeur 0 et à ce moment la bascule donnant PE ne se met pas à 1 bien que l'on ait programmé une durée différente de zéro sur les décompteurs donnant S'3. Il faut, pour remédier à cela faire l'addition logique de S'1 avec S'2 et appliquer le résultat à l'entrée clock de la bascule.

La remise à zéro se fait sans problème par le signal S'3.

3. Supposons que la durée de la pulse d'émission est  $OpS$ , la durée de CTR et BR serait faussée si on ne fait pas l'opération logique  $\overline{S'1 + S'2 + S'3}$ .  
et l'appliquer à l'entrée de la porte ET du décompteur donnant S'4.

Le schéma d'ensemble de la fig. 15 tient compte de toutes ces remarques.

Les signaux BR, CTR, PE dépendent de I.P.P, on ne peut alors programmer pour BR une durée supérieure à l'intervalle I.P.P. Il faut trouver un dispositif qui donne  $BR = 0, CTR = 0, PE = 0$  lorsque l'intervalle I.P.P est dépassé.

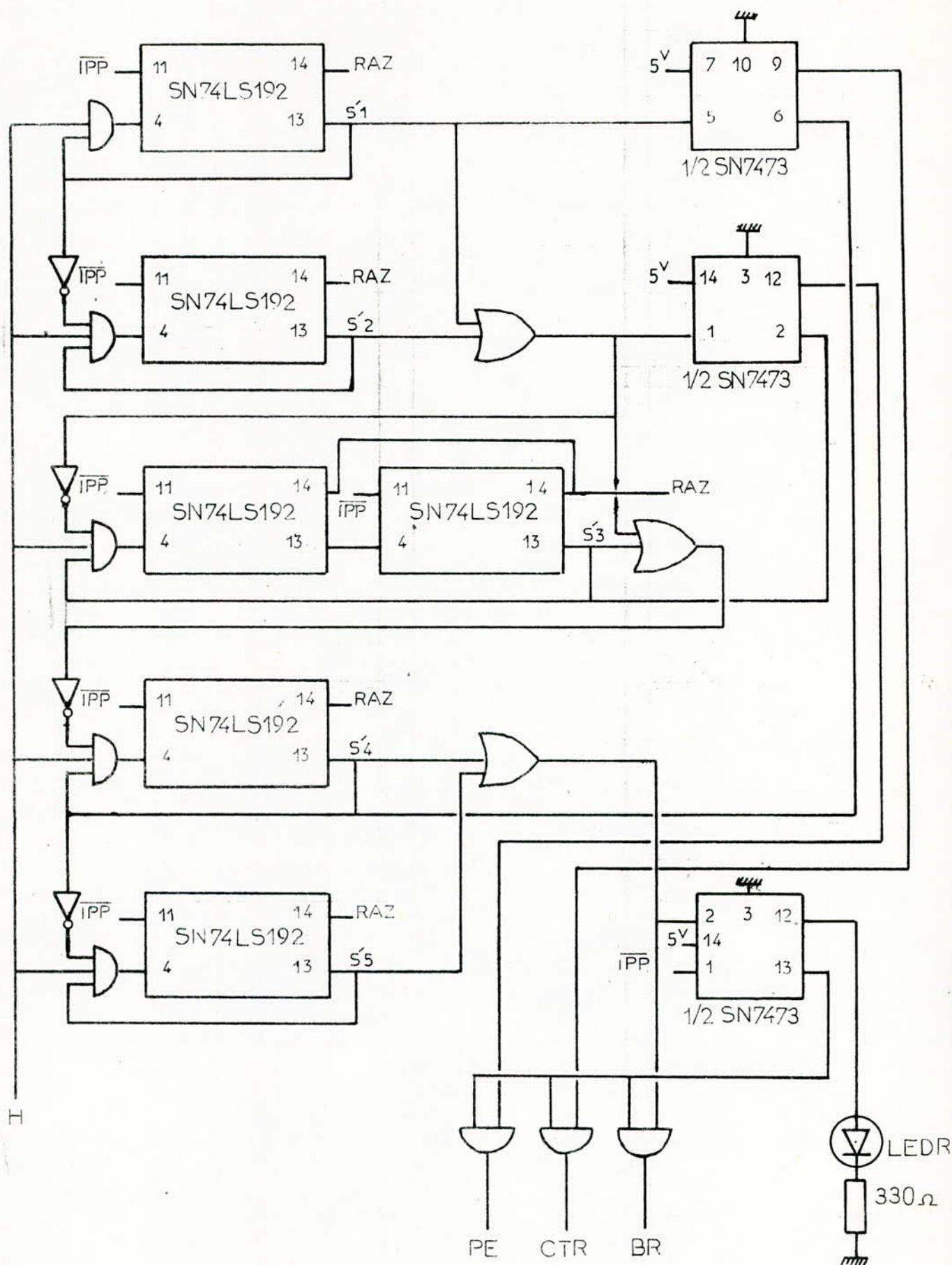


FIG.15.ELABORATION DE BR\_CTR\_PE

Une bascule JK peut résoudre le problème. Cette bascule sera utilisée de la même façon que les deux précédentes avec comme signal d'horloge  $\overline{I.P.P.}$  et comme signal de remise à zéro BR.

Au 1er Front descendant de  $\overline{I.P.P.}$ , BR est encore à zéro (à cause du retard) la bascule est à l'état 0 et la sortie  $\overline{Q}$  est à 1.

Si au 2ème front descendant de  $\overline{I.P.P.}$  BR vaut 1 (cas d'un dépassement), la bascule se met à 1 et la sortie  $\overline{Q}$  se met à 0.

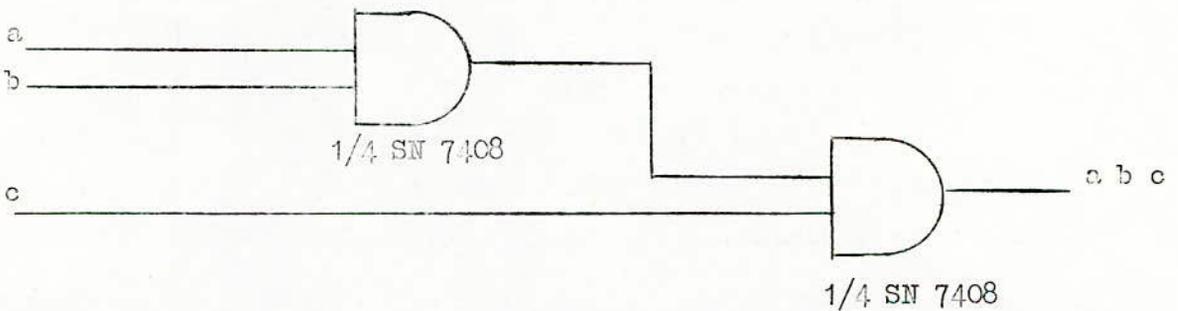
Comme les sorties BR, CTR, PE sont prises sur des portes ET avec la sortie  $\overline{Q}$ , BR, CTR, PE sont à zéro.

Pour signaler le dépassement à l'utilisateur une led rouge est placée sur la sortie Q de la bascule. Lorsqu'il y a un dépassement Q se met à un et la led s'allume.

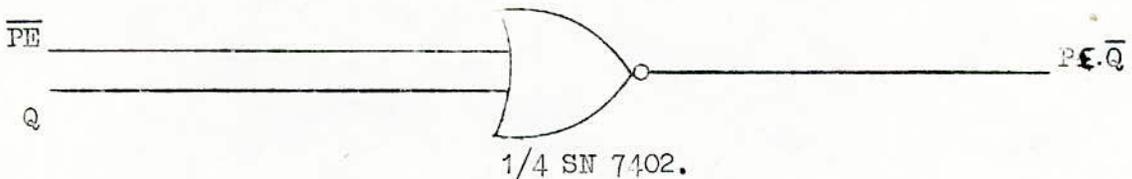
**NB :**

Ne disposant pas de portes OR, nous avons utilisé des portes NOR avec des inverseurs.

Pour réaliser une porte ET à trois entrées, nous avons utilisé deux portes ET (1/2 7408) comme suit.



La porte ET donnant PE est réalisée à partir d'une port OR



EXEMPLE DE FONCTIONNEMENT

On veut avoir pour

PE une durée de 10  $\mu$ s

CTR une durée de 20  $\mu$ s

BR une durée de 30  $\mu$ s

La période de I.P.P. est de 40  $\mu$ s.

Pour avoir la PE à 10  $\mu$ s, il faut afficher sur les décompteurs donnant S'3 la valeur 10.

Pour avoir CTR à 20  $\mu$ s, on affiche sur le décompteur donnant S'2 la valeur 5.

Pour avoir BR à 30  $\mu$ s, il faut afficher sur le dernier décompteur la valeur 5.

Le chronogramme des signaux est donné en fig. 16

EXEMPLE DE FONCTIONNEMENT

On veut avoir pour

PE une durée de 10  $\mu$ s

CTR une durée de 20  $\mu$ s

BR une durée de 30  $\mu$ s

La période de I.P.P. est de 40  $\mu$ s.

Pour avoir la PE à 10  $\mu$ s, il faut afficher sur les décompteurs donnant S'3 la valeur 10.

Pour avoir CTR à 20  $\mu$ s, on affiche sur le décompteur donnant S'2 la valeur 5.

Pour avoir BR à 30  $\mu$ s, il faut afficher sur le dernier décompteur la valeur 5.

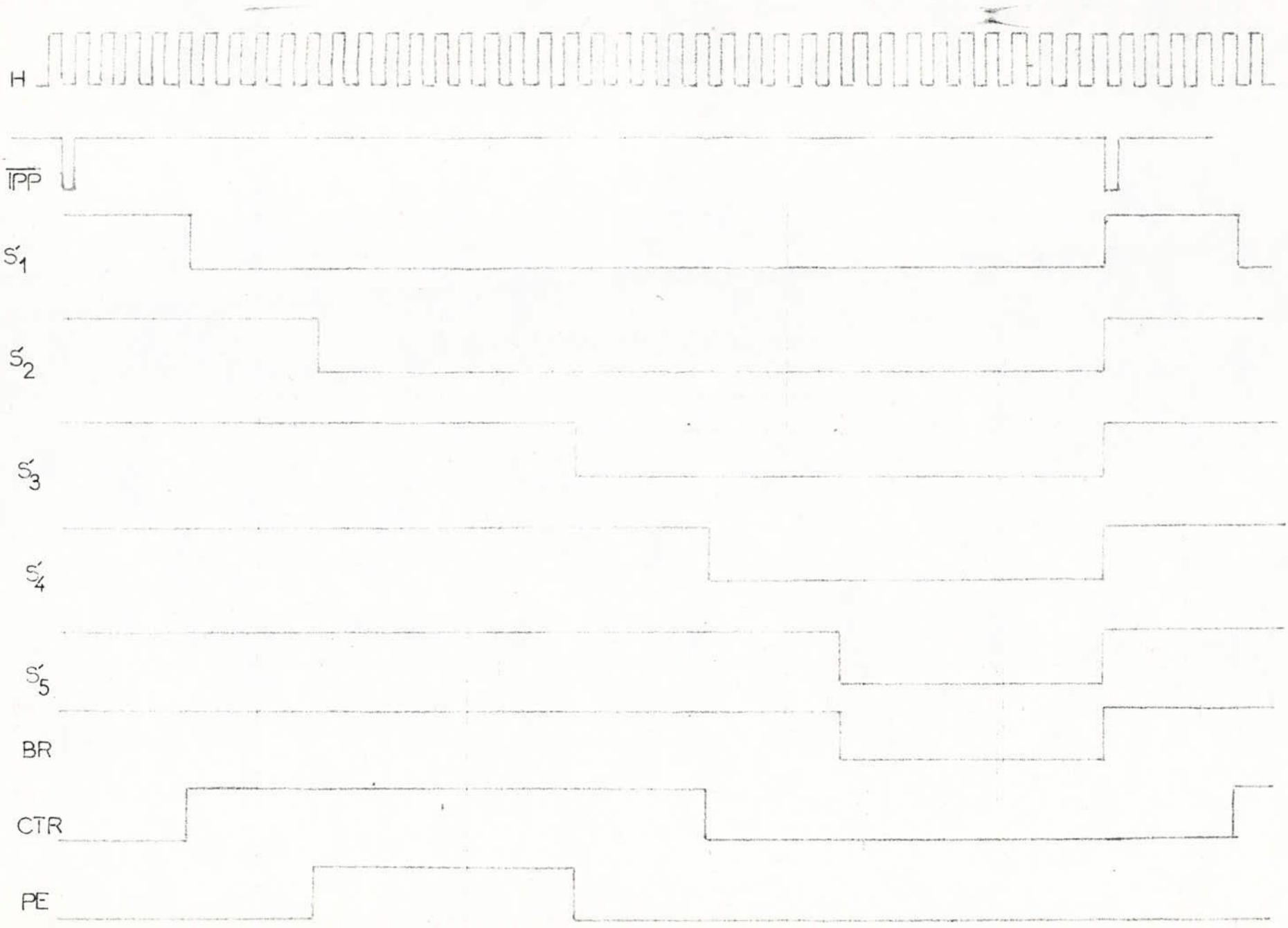
EXEMPLE DE FONCTIONNEMENT

On veut avoir pour

PE une durée de 10  $\mu$ s

CTR une durée de 20  $\mu$ s

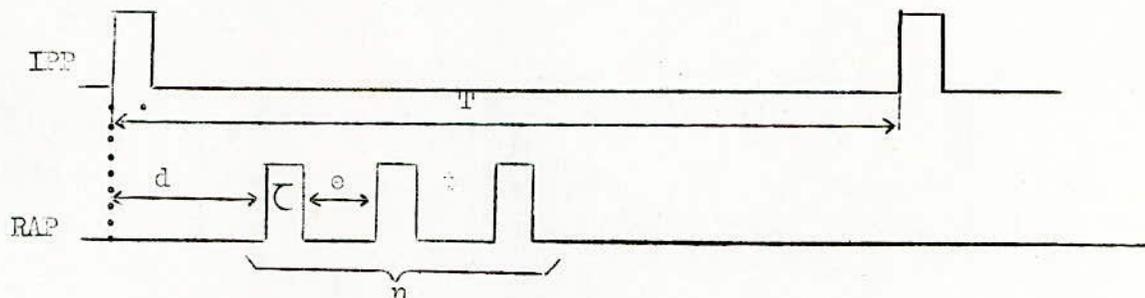
BR une durée de 30  $\mu$ s



FIG\_16 \_ELABORATION DE BR\_CTR\_PE CHRONOGRAMME DES SIGNAUX

## D - ELABORATION DE LA RAFALE DE PORTE

La rafale de porte (que l'on désignera par RAP) est un signal qui a la forme suivante



La période T du signal est celle de Ipp.

La durée d est programmable par roue codeuse et peut varier de 1 à 99  $\mu\text{s}$ . L'espacement entre les impulsions e est aussi programmable par roue codeuse et peut varier de 1 à 99  $\mu\text{s}$ .

Le nombre n d'impulsions varie aussi de 1 à 99.

La largeur d'impulsion  $\tau$  est fixe et égale à 0,5  $\mu\text{s}$ .

Le niveau de l'impulsion est le niveau T.T.L ( $5^V$ ).

### D.1 - Principe d'élaboration

Le signal RAP est obtenu à partir du signal d'horloge (1 MHz). Nous avons utilisé les circuits SN 74 LS 192 fonctionnant toujours en décompteur (l'horloge est appliquée à l'entrée 4 du circuit).

L'élaboration de la RAP s'est faite en 3 étapes.

Dans un premier temps ; nous avons généré le palier d, dans un second temps les impulsions avec un espacement e programmable et enfin, nous avons compté le nombre n d'impulsions désirées.

#### D.1.1 - Obtention de la durée d

La génération des impulsions ne devait commencer qu'à partir d'une durée d. Le principe de son obtention est le même que celui vu au sous chapitre précédent concernant les signaux S'1, S'2, S'3, S'4, et S'5, à savoir bloquer l'horloge et donc

le compteur une fois que son contenu est passé de la valeur d'affichée à zéro ou maintenir le borrow d'un compteur à zéro une fois qu'il est passé de 1 à 0. Il ne reprendra l'état haut que lorsque l'entrée d'affichage reçoit un front descendant. Pour faire varier la durée de 1 à 99  $\mu$ s, il faut utiliser 2 circuits SN 74, LS 192.

Le schéma est donné en fig. 17.

Un exemple de fonctionnement avec les chronogrammes des signaux a été traité précédemment fig. 13.

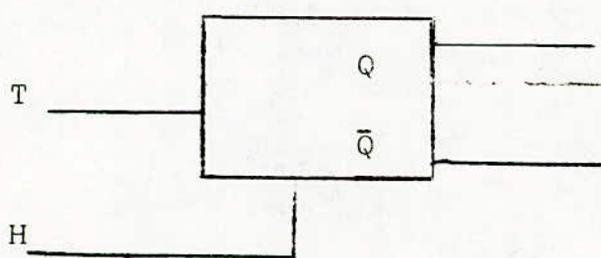
D. 1.2 - obtention de e

L'obtention de e repose sur le principe d'inversion du signal d'horloge à chaque front descendant du signal d'affichage.

L'inversion du signal d'horloge nécessite l'emploi d'une bascule T et d'un ou exclusif. La bascule T change d'état à chaque front descendant du signal d'affichage.

Le ou exclusif permet le passage de H ou  $\bar{H}$  à l'entrée de décomptage des circuits donnant l'espacement e.

TABLE DE VERITE D'UNE BASCULTE T.



T	Qt
0	Q <sub>-</sub>
1	$\bar{Q}$ -

fig. 18 bascule T

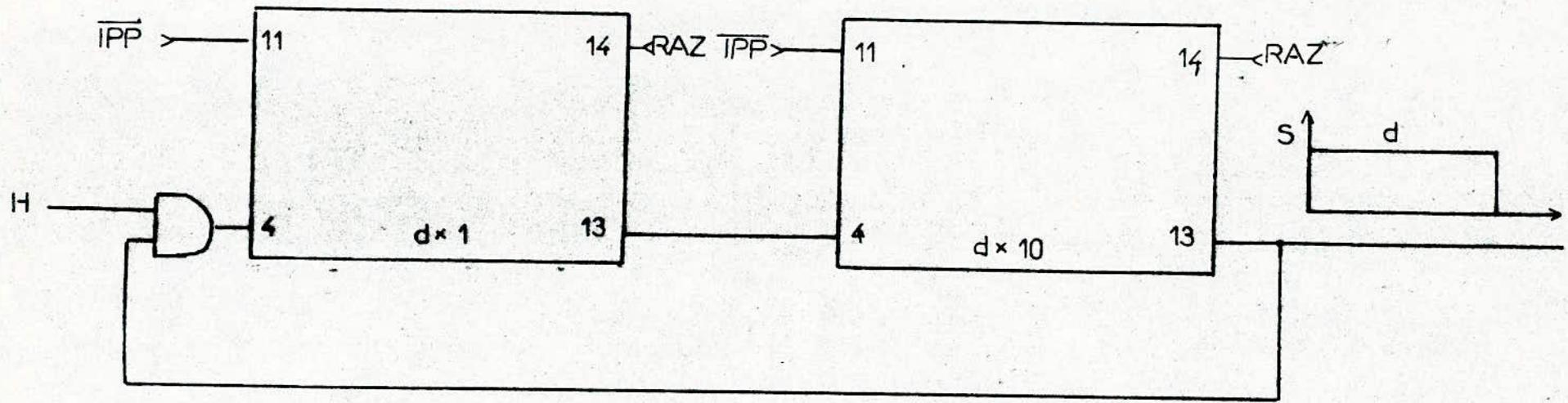
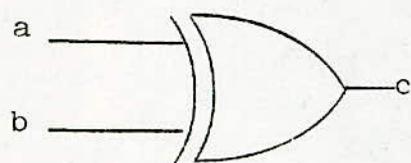


FIG.17 \_OBTENTION DE d

TABLE DE VERITE D'UN OU EXCLUSIF



a	b	c
0	0	0
0	1	1
1	0	1
1	1	0

$C = \bar{a}b + a\bar{b}$

Fig. 19 OU EXCLUSIF

Si  $a = 1 \implies C = \bar{b}$

Si  $a = 0 \implies C = b$

En considérant  $a = Q =$  sortie de la bascule T

$b = H =$  signal d'horloge

Suivant l'état de la bascule c'est à dire Q, la sortie du OU exclusif donne H ou  $\bar{H}$ .

La bascule T utilisée est une bascule J.K du type SN 74 73 dont les entrées J et K sont reliées à + 5V

Le signal d'horloge de la bascule est le signal d'affichage des circuits donnant e.

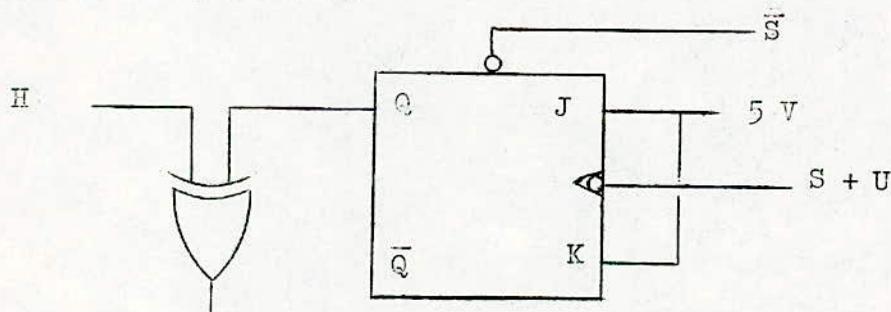


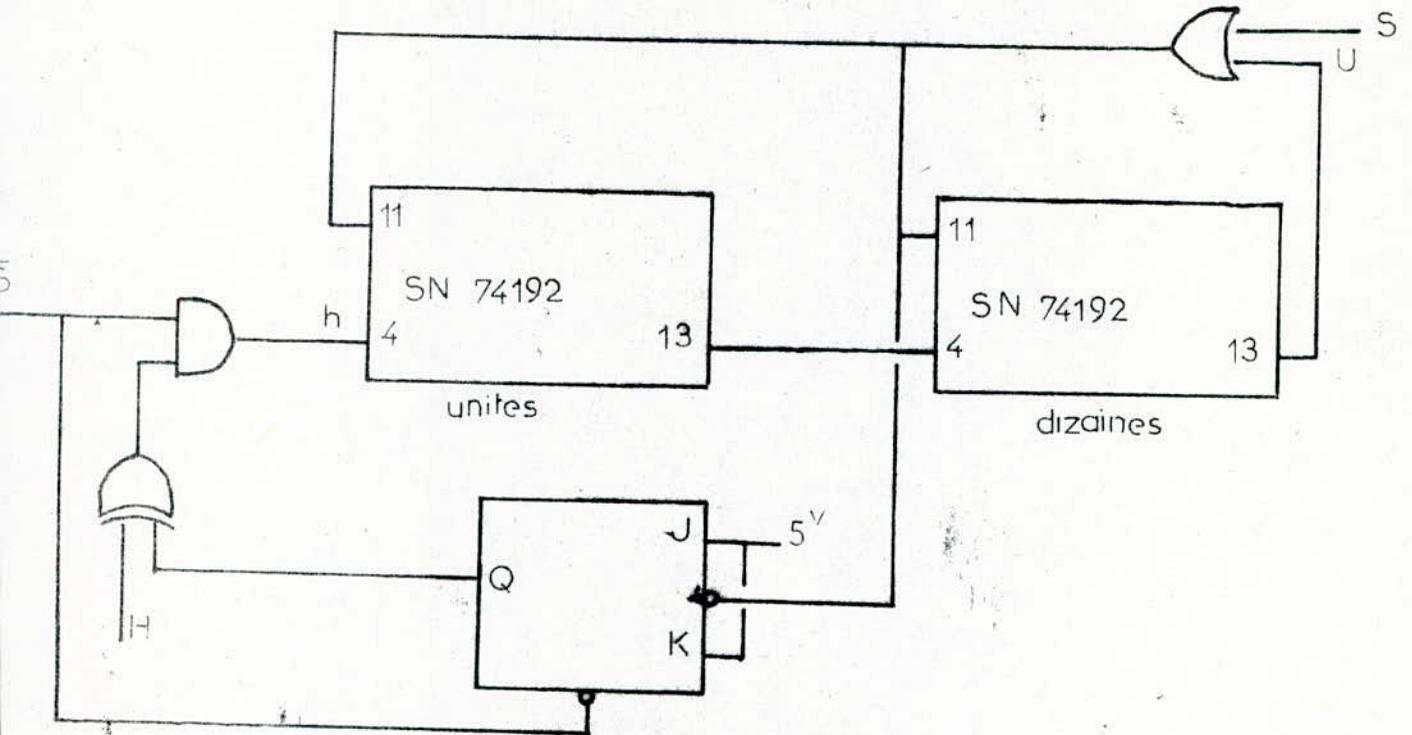
Fig. 20 inversion du signal d'horloge.

Les circuits utilisés sont toujours du type SN.74.LS.192, fonctionnant en décompteur.

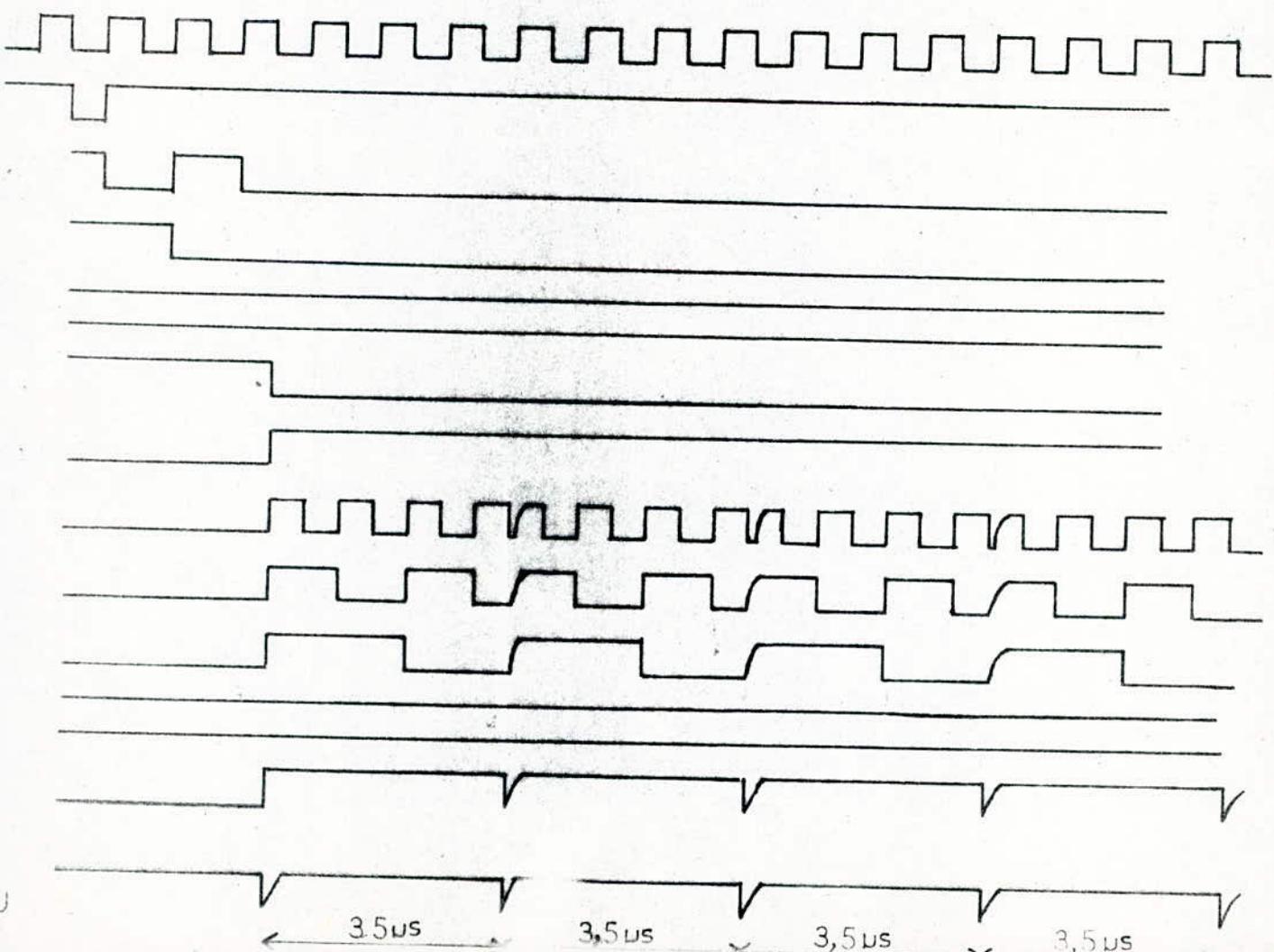
L'espacement doit être régulier, il faut donc reboucler le décompteur sur lui même pour un nouvel affichage. Pour avoir la durée  $d$ , il faut que les circuits donnant  $e$ , ne commencent à fonctionner que lorsque ceux donnant  $d$ , auront décompté la valeur programmée.

La remise à zéro de la bascule est obtenue à partir de  $\bar{S}$ .

On aura ainsi le montage suivant :

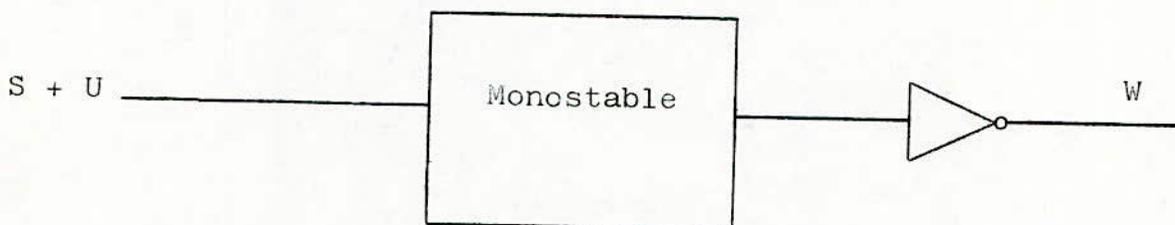


Le fonctionnement d'un tel montage est illustré par le diagramme des temps suivant avec d et e programmés à 3

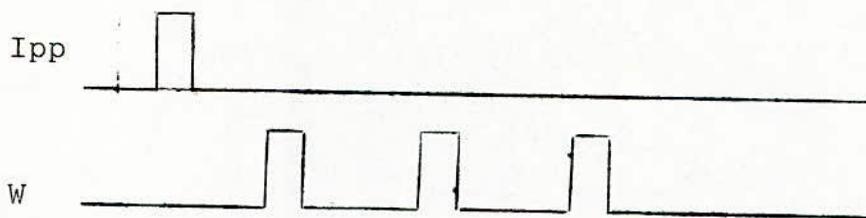


L'intervalle entre les impulsions étant de  $3,5 \mu\text{s}$ , pour avoir le signal désiré, c'est à dire un signal avec une durée de l'impulsion égale de  $0,5 \mu\text{s}$  et un espacement de  $3 \mu\text{s}$ , il faut utiliser un monostable détecteur de front descendant. (on a choisit le même que celui utilisé lors de l'élaboration de  $I_{pp}$ ).

Ainsi à chaque front descendant du signal, le monostable donne une impulsion de durée égale à  $0,5 \mu\text{s}$ .



La sortie du monostable inversée donne



On a ainsi obtenu un train d'impulsions de durée  $d = 3 \mu\text{s}$  et d'espacement  $e = 3 \mu\text{s}$ . Le nombre d'impulsions ainsi générées est illimité. Le rôle de la dernière partie est de limiter les impulsions à un nombre bien déterminé.

#### D.1.3 - Obtention de n

L'obtention de n est simple, elle nécessite l'emploi de deux (2) circuits SN 74 LS 192 fonctionnant en décompteur.

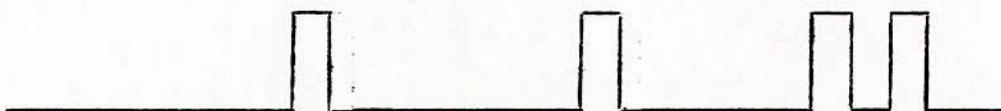
Leur fonctionnement est le même que celui des circuits donnant d. La valeur n désirée d'impulsions est programmée aux entrées DCBA du décompteur et au rythme de signal inversé provenant du

monostable, le contenu du décompteur se vide. Une fois que le borrow passe à zéro, on bloque le signal d'horloge (provenant du monostable inversé) et cela en utilisant un opérateur logique ET, comme l'indique la fig. 21.

Lorsque le borrow du décompteur des dizaines donnant n passe à zéro, il faut aussi remettre ceux donnant e à zéro sinon la durée d serait faussée. En effet, le borrow du décompteur donnant e est toujours maintenu à 1 (voir chronogramme fig. 22). L'affichage des données ne se fait plus au front descendant du borrow du décompteur donnant d, mais on libère l'horloge des décompteurs donnant e et ils décomptent donc la valeur programmée.

La RAP pourrait être la sortie monostable inversée mais en remettant les compteurs à zéro et en bloquant l'horloge, le borrow passe à zéro, il y a apparition d'un front descendant qui sera détecté par le monostable.

En sa sortie inversée apparaîtra le signal suivant :



$d = 3 \mu s$

$e = 3 \mu s$

$n = 3$  impulsions.

Pour éliminer la dernière impulsion (non désirée), on fait la multiplication logique de la sortie monostable inversée avec le borrow du décompteur donnant n.

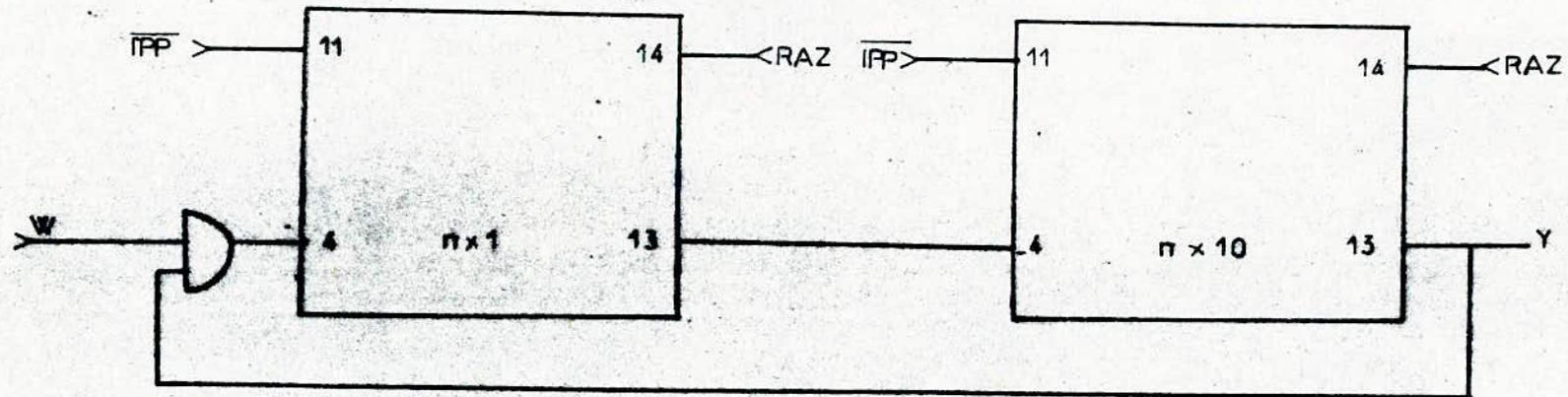


FIG. 21 - OBTENTION DE  $n$  (nombre d'impulsions)

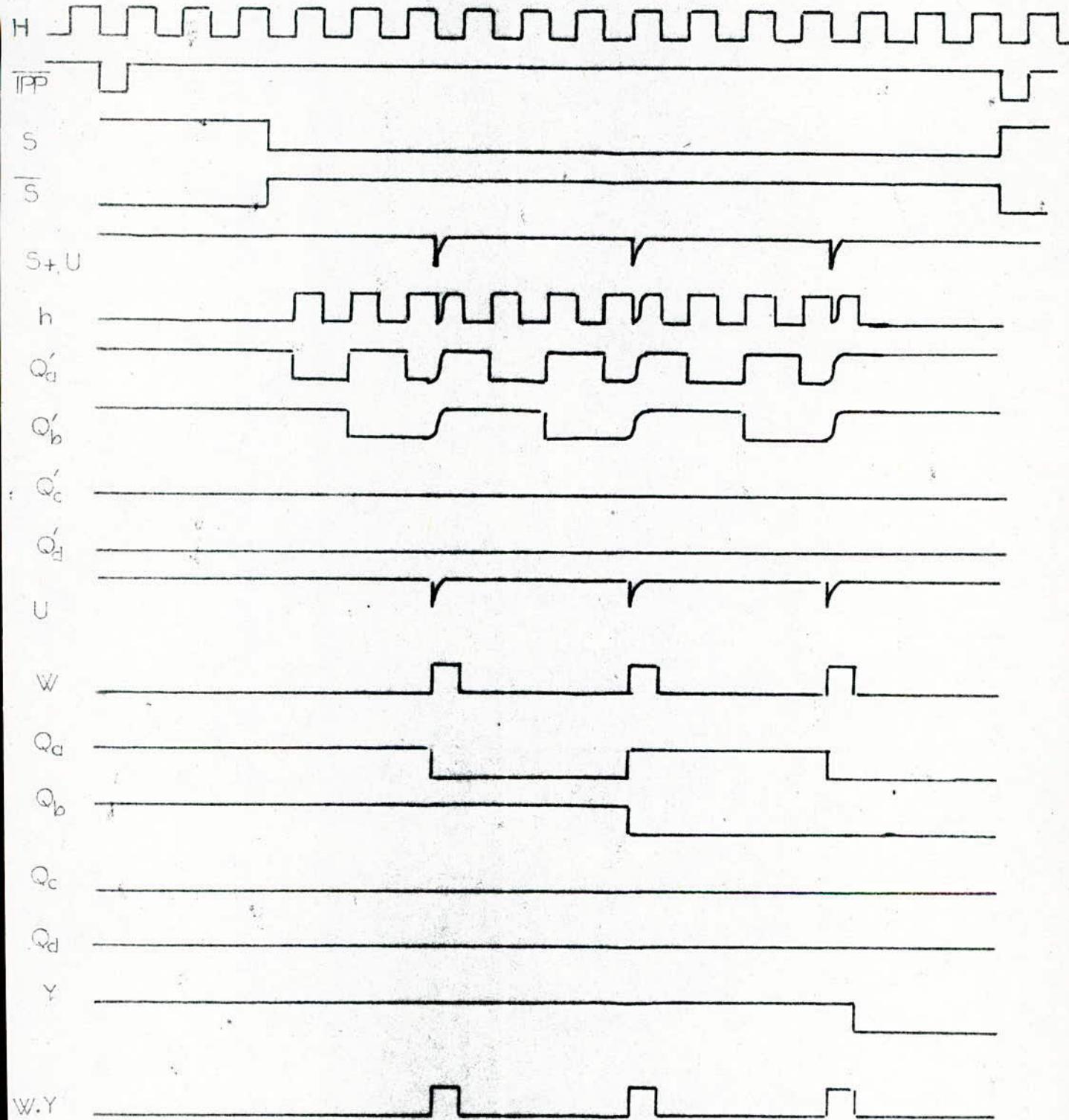
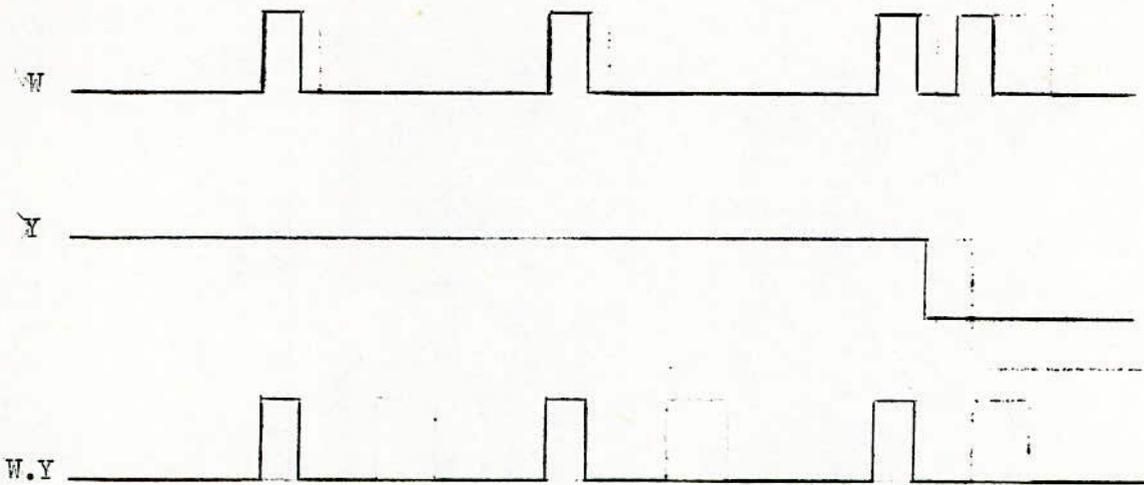


FIG. 22 \_ CHRONOGRAMME DES SIGNAUX  
 DANS LE CAS OU LES DECOMPTEURS DONNANT E (espacement)  
 NE SONT PAS REMIS A ZÉRO.

On aura les signaux suivants :



D.2 - Schéma avec un exemple de fonctionnement.

Le schéma général est donnée en fig. 23

La rafale de porte est obtenue à l'entrée 4 des décompteurs donant n .

Un exemple de fonctionnement est donné en fig .24

avec  $d = e = 3 \mu s$  et  $n = 4$ .

On voit d'après les chronogrammes qu'on ne peut programmer un nombre n pour lequel l'intervalle  $I_{pp}$  soit dépassé, il faut alors trouver un moyen d'indiquer à l'utilisateur que le nombre  $\overline{n}$  qu'il a programmé ne peut être contenu dans l'intervalle  $I_{pp}$ .

On remarque d'après les chronogrammes que si  $n=6$ , le borrow Y resterait constamment à 1. On peut alors utiliser une bascule JK, pour laquelle le signal d'horloge est  $\overline{I_{pp}}$  et le signal de remise à zéro Y.

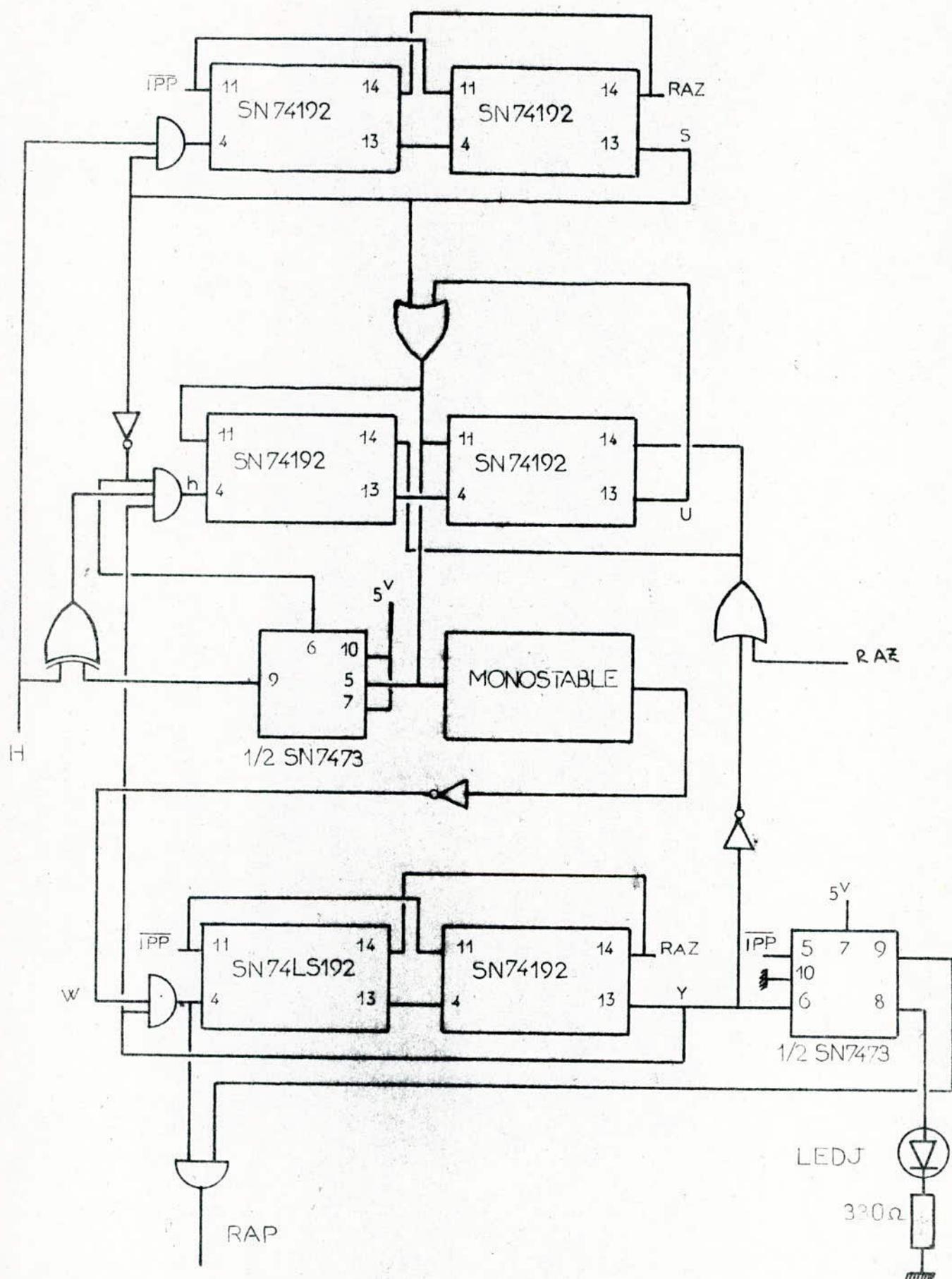


FIG. 23. ELABORATION DE LA RAP

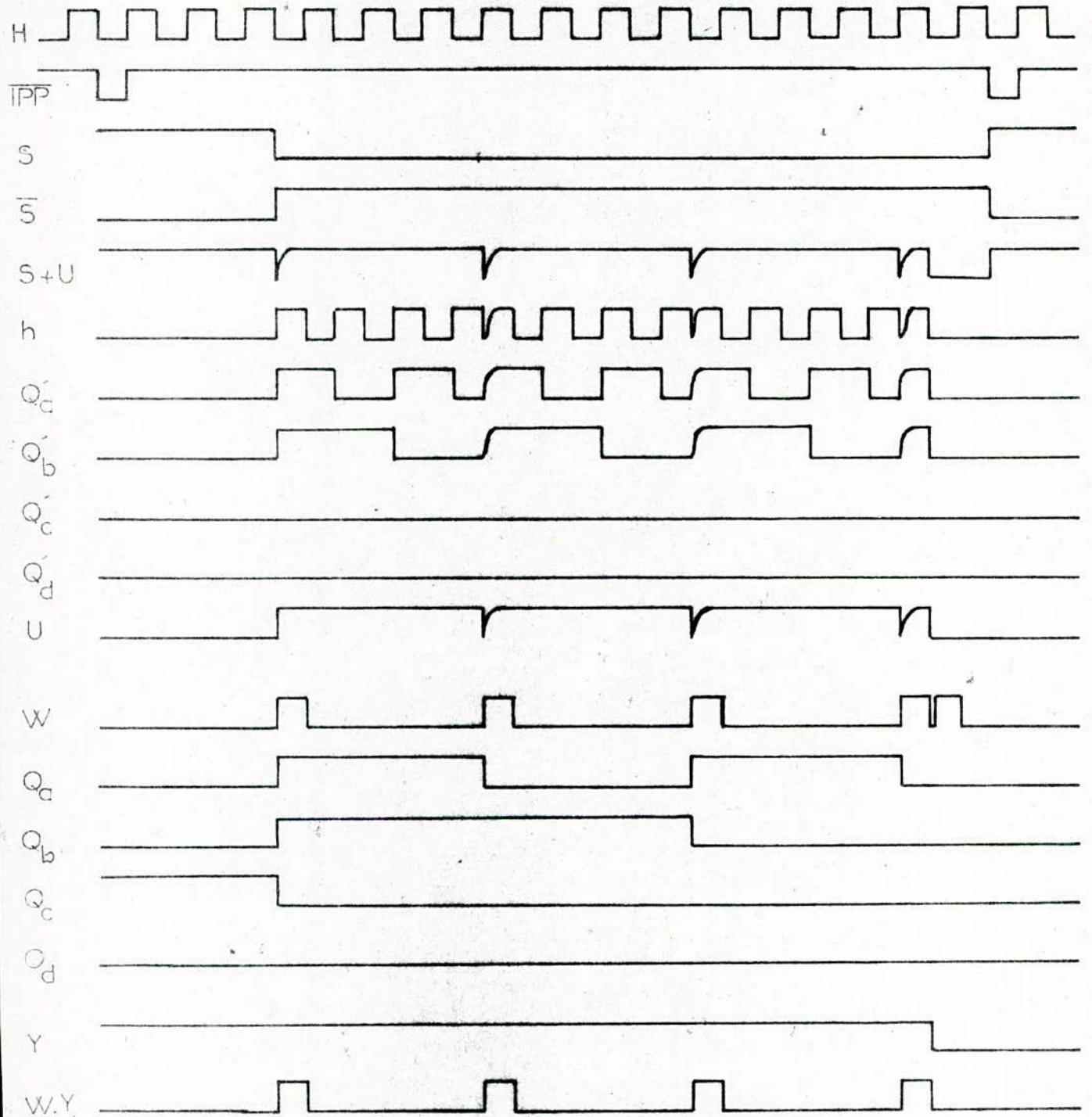


FIG. 24. CHRONOGRAMME DES SIGNAUX

DU MONTAGE DE LA FIGURE 23

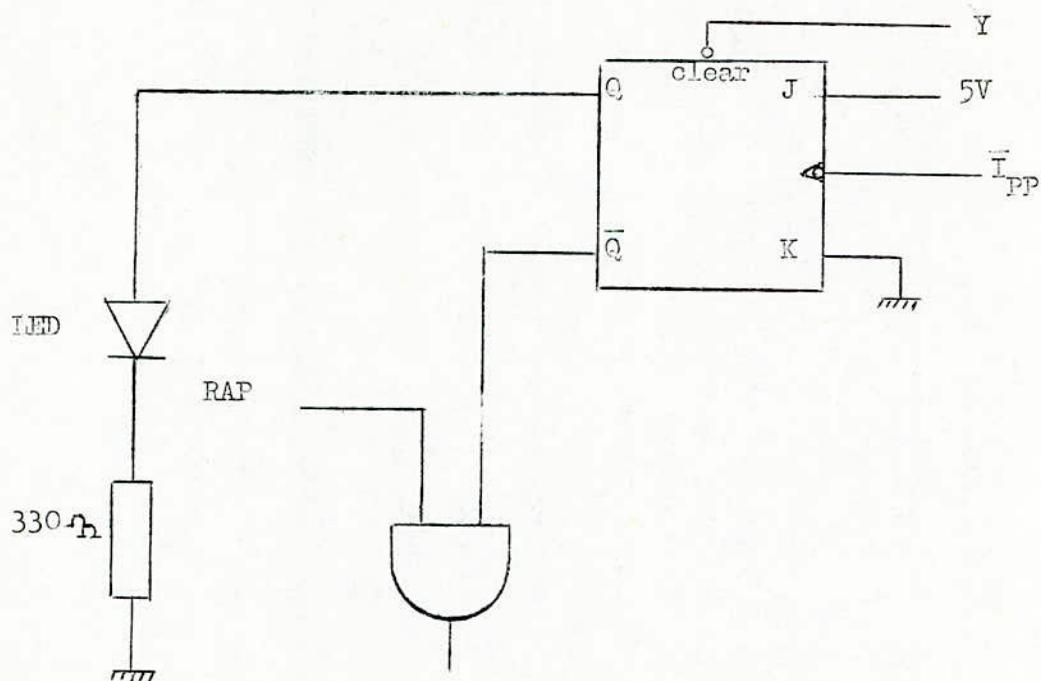


Fig. 25 - signalisation du dépassement.

Si  $n = 6$ , au 2ème front descendant de  $\overline{I_{PP}}$ , la bascule se met à 1 allumant par la suite 1 led jaune et donnant  $RAP = 0$ .

Le schéma général est celui de la fig. 23.

## E - SCHEMA DE CABLAGE ET MISE EN BOITIER

### E.1 - Schéma de câblage

Le schéma de câblage du générateur est donné en fig. 26. Les roues codeuses n'ont pas été représentées dont le but de ne pas l'encombrer.

Pour retrouver les différents éléments du schéma de câblage sur la plaquette, nous avons donné le schéma d'implantation en fig. 27.

Le câblage a été fait en technique wrapping.

#### REMARQUE :

Le chargement des données se fait au front descendant de  $\overline{Ipp}$ . Ce front descendant est le même que celui du borrow  $B_3$ . Dans la réalisation nous avons amplifié le signal  $B_3$  et nous l'avons appliqué aux décompteurs nécessitant un chargement par  $\overline{Ipp}$ .

Les signaux élaborés n'étant pas totalement parfaits (du point de vue forme), nous les avons fait passer dans un buffer du type MC 8 T95

### E.2 - Mise en boîtier

Le boîtier utilisé est un boîtier métallique.

fig. 28.

La face avant comporte les indications suivantes :

n rap : programmation du nombre d'impulsions de la RAP  
d rap : programmation de la durée d de la RAP  
e rap : programmation de l'espacement e de la RAP  
p. e : programmation de la durée de PE  
p. av )  
      ) : voir signal B.R  
p. ar )

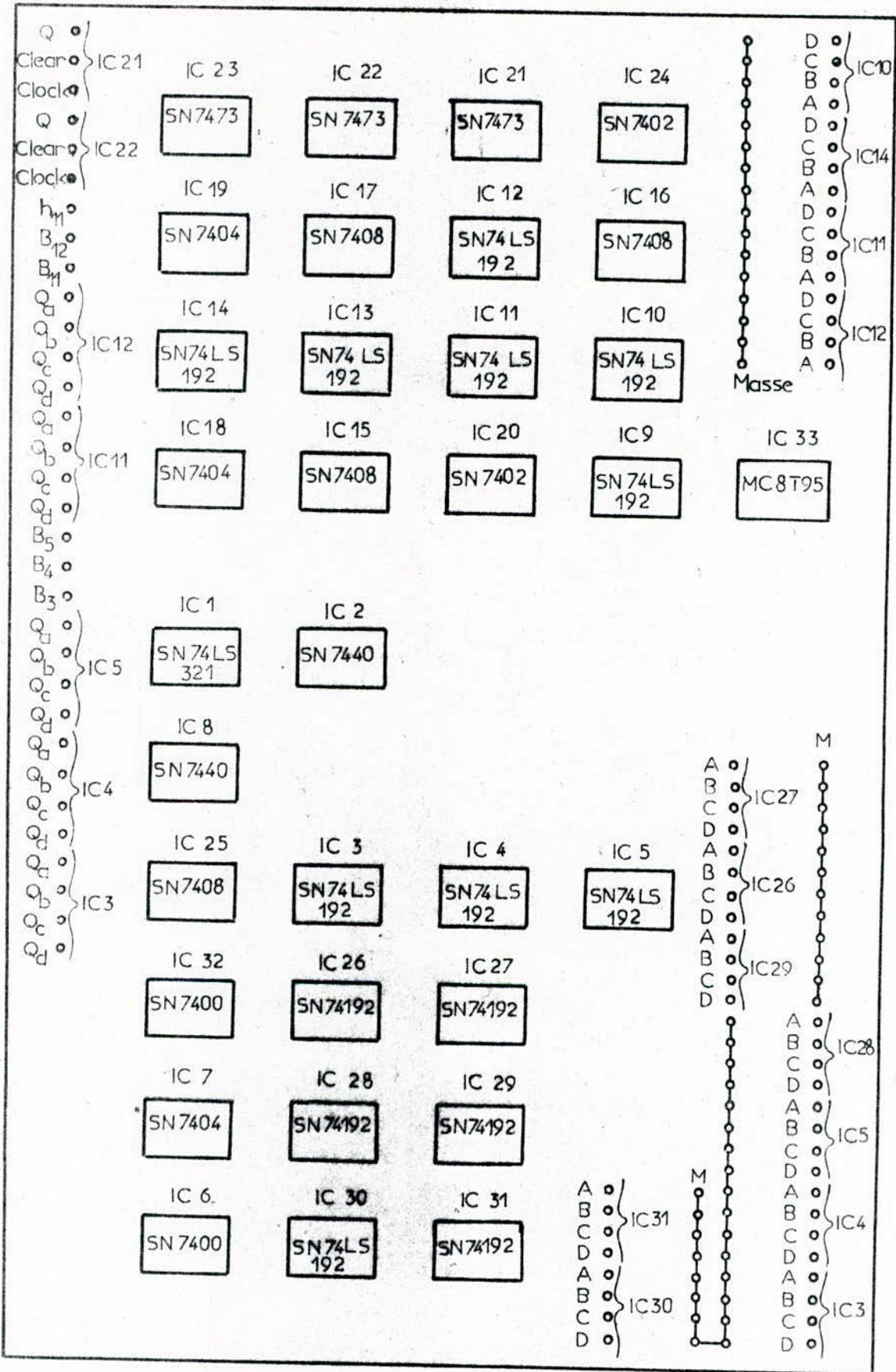


FIG.27.SCHEMA D'IMPLANTATION.  
VUE COTÉ CABLAGE

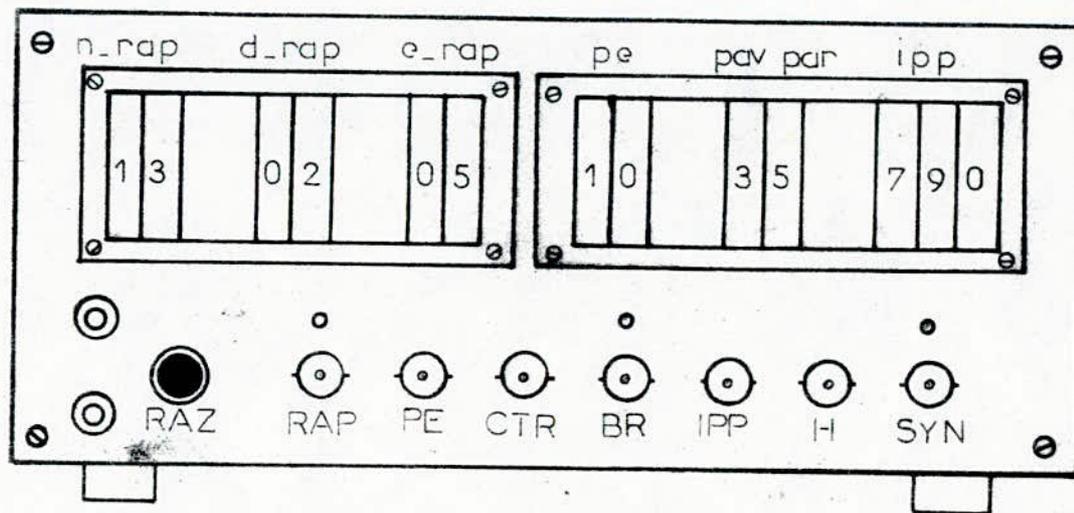
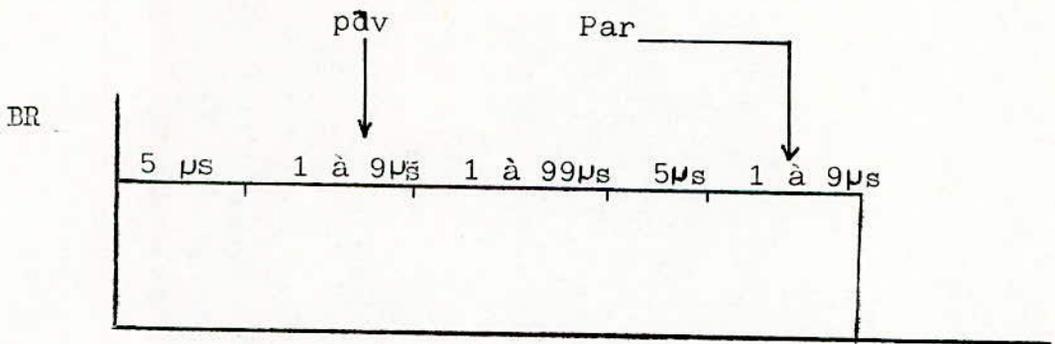


Fig 28. Boitier - Face avant -



ipp : programmation de la période de Ipp

RAZ : remise à zéro manuelle qu'on applique à chaque fois que l'on change de programmation de durée.

Aux sorties des prises BNC, on peut avoir les signaux

- Ipp :
- CTR :
- B.R :
- P.E :
- H : (signal d'horloge)
- RAP :
- SYN : (signal de synchronisation).

La led verte s'allume dès que l'appareil est mis sous tension.  
La led rouge s'allume dans le cas d'un dépassement du signal BR  
La led jaune s'allume dans le cas où le nombre n ne peut être contenu dans l'intervalle Ipp.

2 fiches pour l'alimentation.

La consommation maximale (lorsque toutes les roues indiquent 7) est de 1,2 A sous 5<sup>V</sup>.

F - RESULTATS EXPERIMENTAUX

Les différents signaux élaborés ont été relevé directement de l'oscilloscope avec une sonde au 1/10.

Le matériel utilisé est le suivant :

- oscilloscope HAMEG HM 512
- alimentation stabilisée MC 4020 C.

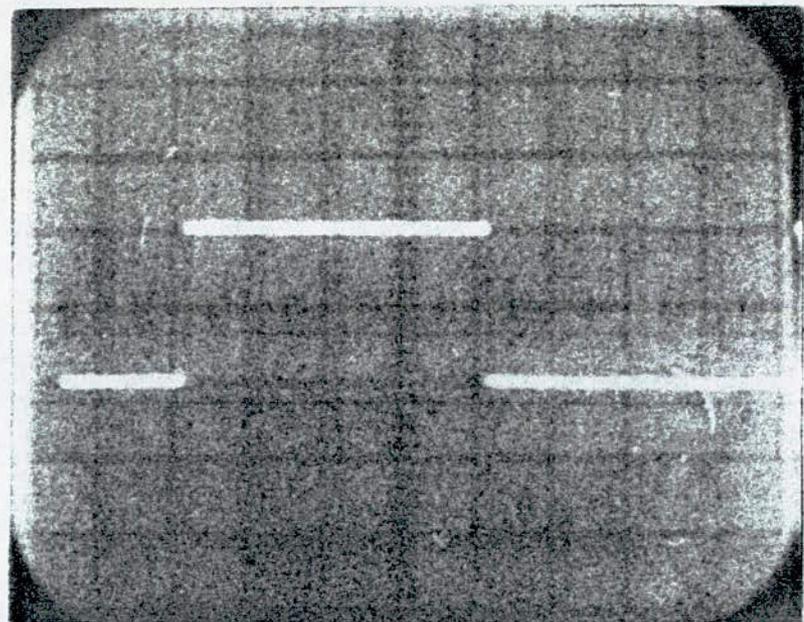


Fig-29A- CTR 10 $\mu$ s/div 0.2v/div

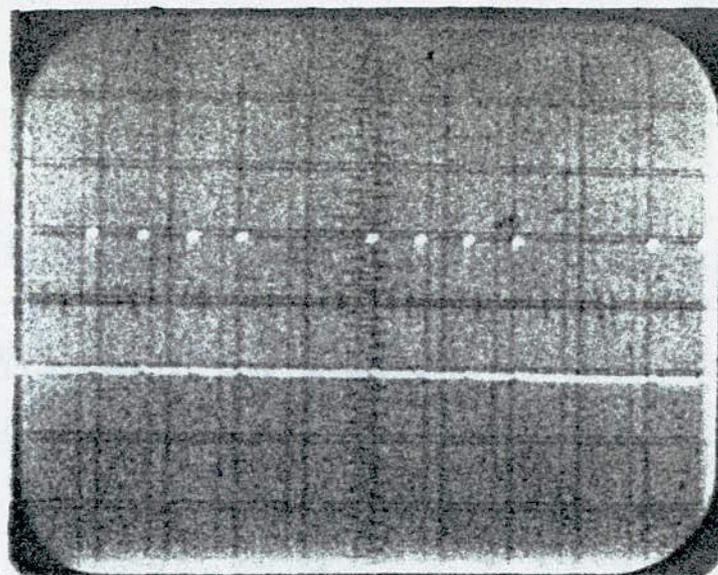


Fig-29B- RAP 5 $\mu$ s/div 0.2v/div

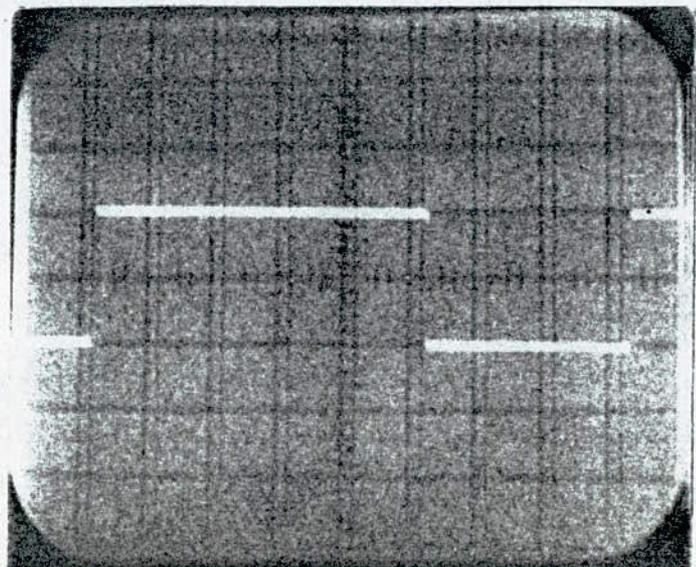


Fig-29C- BR 10 $\mu$ s/div 0.2v/div

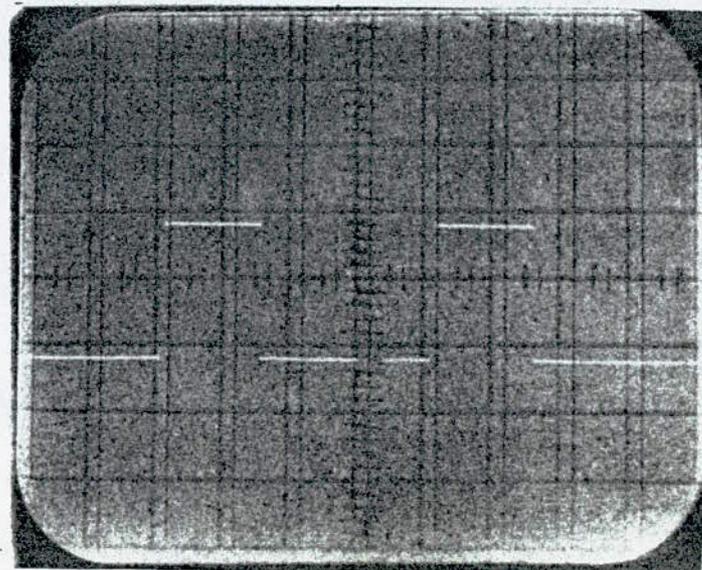


Fig-29D- PE 20 $\mu$ s/div 0.2v/div

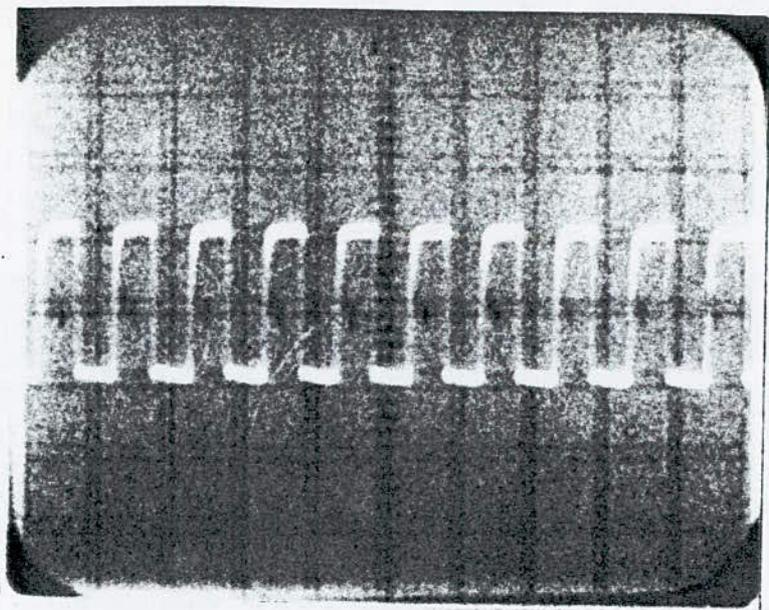


Fig.29E. H 0.5 $\mu$ s/div 0.2v/div

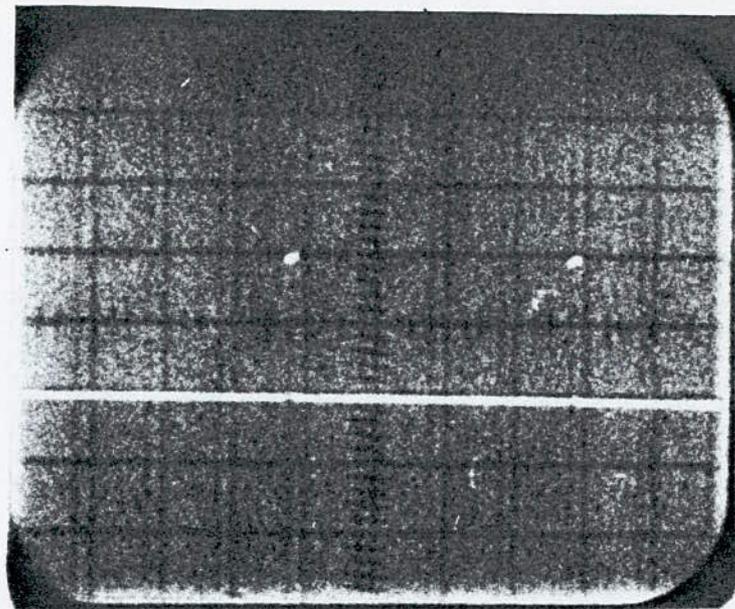


Fig.29F. IPP 5 $\mu$ s/div 0.2v/div

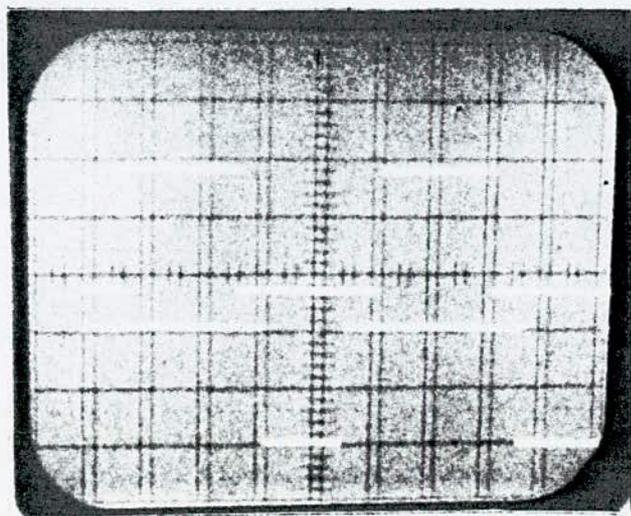


Fig.29G. CTR.BR 10 $\mu$ s/div 0.2v/div

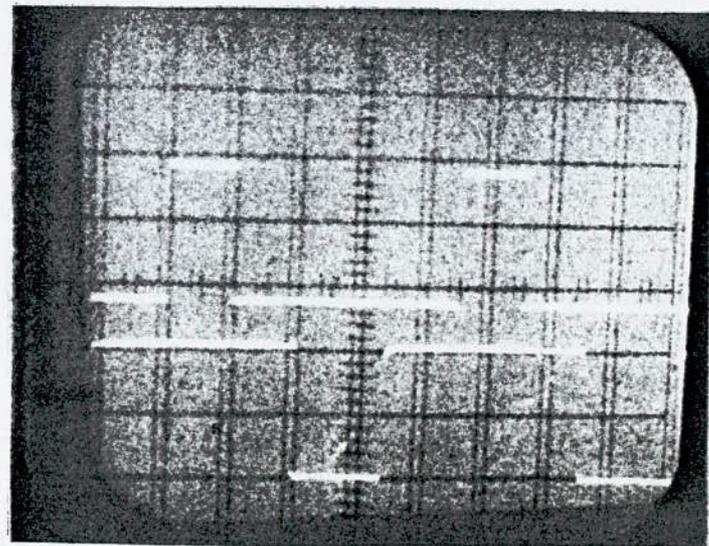


Fig.29H. BE.BR 10 $\mu$ s/div 0.2v/div

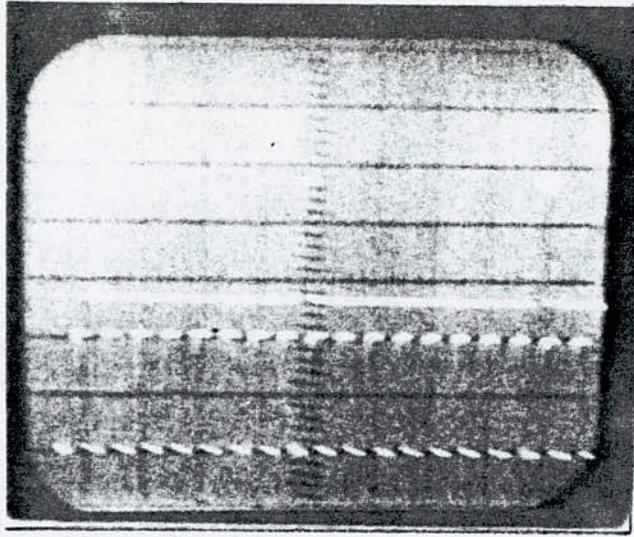


fig.29I. IPP.H 2 $\mu$ s/div 0.2v/div

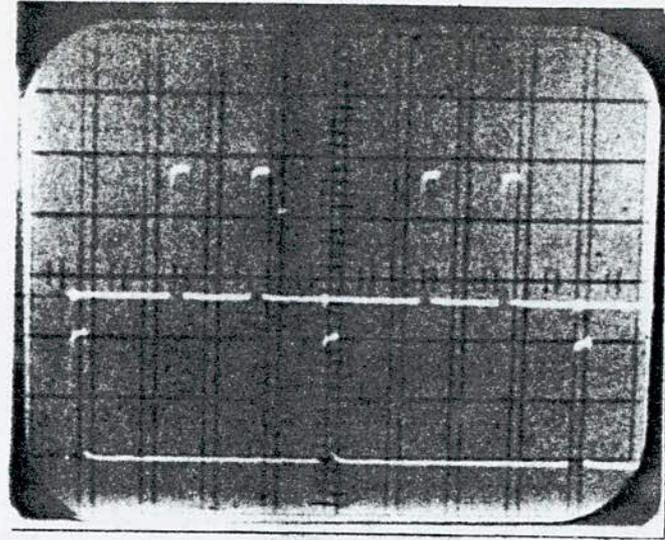


fig.29J. RAP.IPP 2 $\mu$ s/div 0.2v/div

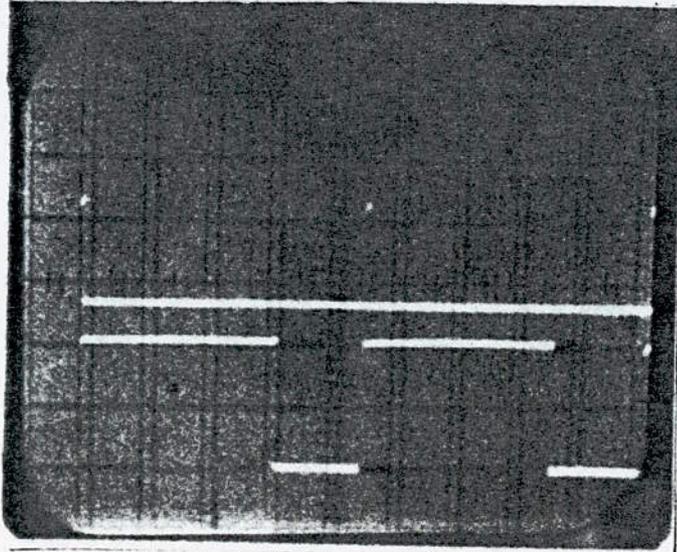


fig.29K. IPP.BR 10 $\mu$ s/div 0.2v/div

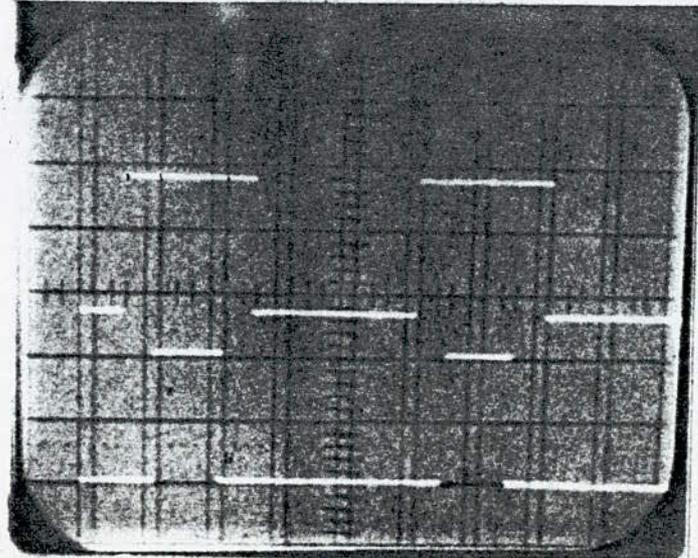


fig.29L. CTR.PE 10 $\mu$ s/div 0.2v/div

### III - APPLICATIONS

Le générateur ainsi réalisé peut être utilisé comme cadenseur dans un système Radar. Il peut aussi servir à l'étude de certains circuits électroniques au laboratoire.

A - cadenseur de radar :

Pour connaître la fonction d'un générateur d'impulsions dans un système RADAR, il est utile de rappeler brièvement le principe de fonctionnement du radar.

A.1 - principe du radar

C'est un appareil inventé dans le but de détecter grâce à des ondes hertziennes, un obstacle lointain et de déterminer la distance de cet obstacle par rapport à l'antenne du radar.

A.1.1 - schéma synoptique

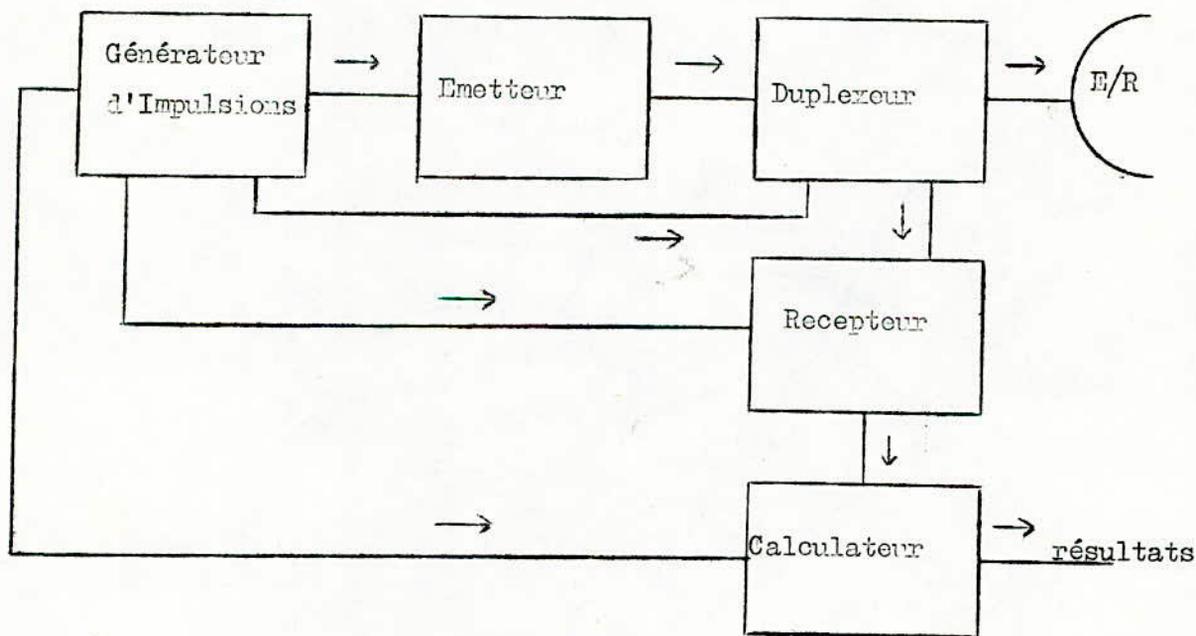


fig. 1 synoptique.

### A.1.2 - Description

Un système radar comporte :

- un émetteur qui fournit à l'antenne des signaux de très haute fréquence. Ces signaux sont modulés par des impulsions de très courte durée qui se produisent avec une certaine fréquence de récurrence FR.
- un récepteur qui est destiné à détecter et amplifier le signal réfléchi par l'obstacle.
- un duplexeur (dans le cas où l'on utilise une seule antenne pour l'émission et la réception) qui évite pendant la durée de l'émission qu'une fraction suffisante de l'énergie ne détériore le récepteur.
- un dispositif de traitement (calculateur)
- enfin un générateur d'impulsions qui synchronise les dispositifs précédemment cités.

### A.1.3 - fonctionnement

Des impulsions brèves de durée  $\tau$ , modulant un signal H.F sont émises par une antenne de très grande directivité. Après réflexion sur l'obstacle, le signal réfléchi appelé "écho" est capté par l'antenne qui a émis les impulsions puis est transmis à un récepteur qui (après détection et amplification) restitue une impulsion de durée  $\tau$ . Ainsi à chaque impulsion émise, correspond une impulsion de même forme qui apparaît avec un retard  $\theta$ . Il est alors possible de mesurer la distance  $d$  qui sépare l'obstacle de l'antenne par l'expression.

$$d = \frac{\theta \cdot C}{2}$$

$\theta$  : durée du parcours aller retour de l'onde  
 $c$  : vitesse de la lumière.

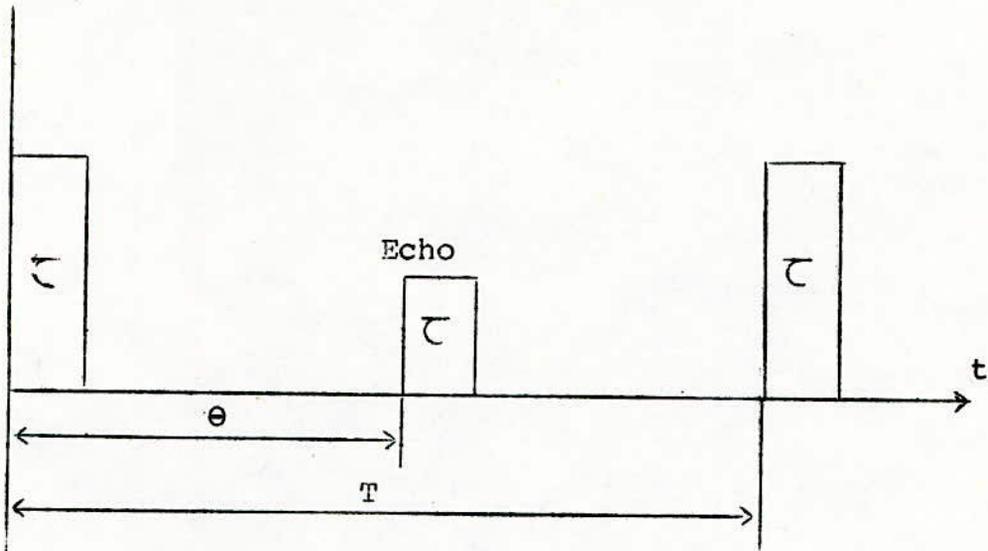


Fig. 2 succession dans le temps des impulsions.  
d'un radar

$T$  : temps de récurrence  
 $\tau$  : durée de l'impulsion.

## A.2 - utilisation du générateur

### A.2.1 - rôle du générateur

Pour assurer le bon fonctionnement du radar, une synchronisation entre les différents blocs (constituant le schéma synoptique) est nécessaire.

En effet, lorsque les impulsions de durée  $\tau$  sont émises, le récepteur doit être fermé et l'antenne doit être branchée sur l'émetteur.

Le générateur d'impulsions appelé dans ce cas cadenseur de radar, fournit les différents signaux nécessaires à la bonne marche du système radar.

Il fournit :

- à l'émetteur le signal modulant (PE)
- au récepteur un signal de mise hors service (BR)(blocage récepteur).
- au duplexeur un signal de commande de transmission/réception (CTR)
- au calculateur des rafales de signaux exploitées dans les opérations de traitement du signal (nécessaires car l'écho est en général noyé dans du bruit).

La période de recurrence T ou cadence d'émission est déterminée par Ipp. (intervalle pulse à pulse).

La période de recurrence des impulsions émises ainsi que leur durée sont variables, l'utilisateur peut au besoin faire varier la cadence d'émission en agissant sur la période du signal Ipp.

#### A.2.2 - Exemple d'utilisation

La durée de l'impulsion et la période de recurrence doivent être choisies de telle façon que l'écho se situe entre 2 impulsions fig. 2.

A titre d'exemple, nous avons choisi

$$\tau = 5 \mu s$$

$$T = 800 \mu s.$$

Notons tout de suite que ces valeurs sont prises à titre d'exemple, l'utilisateur doit en fonction de la distance d déterminer les valeurs de T et  $\tau$ .

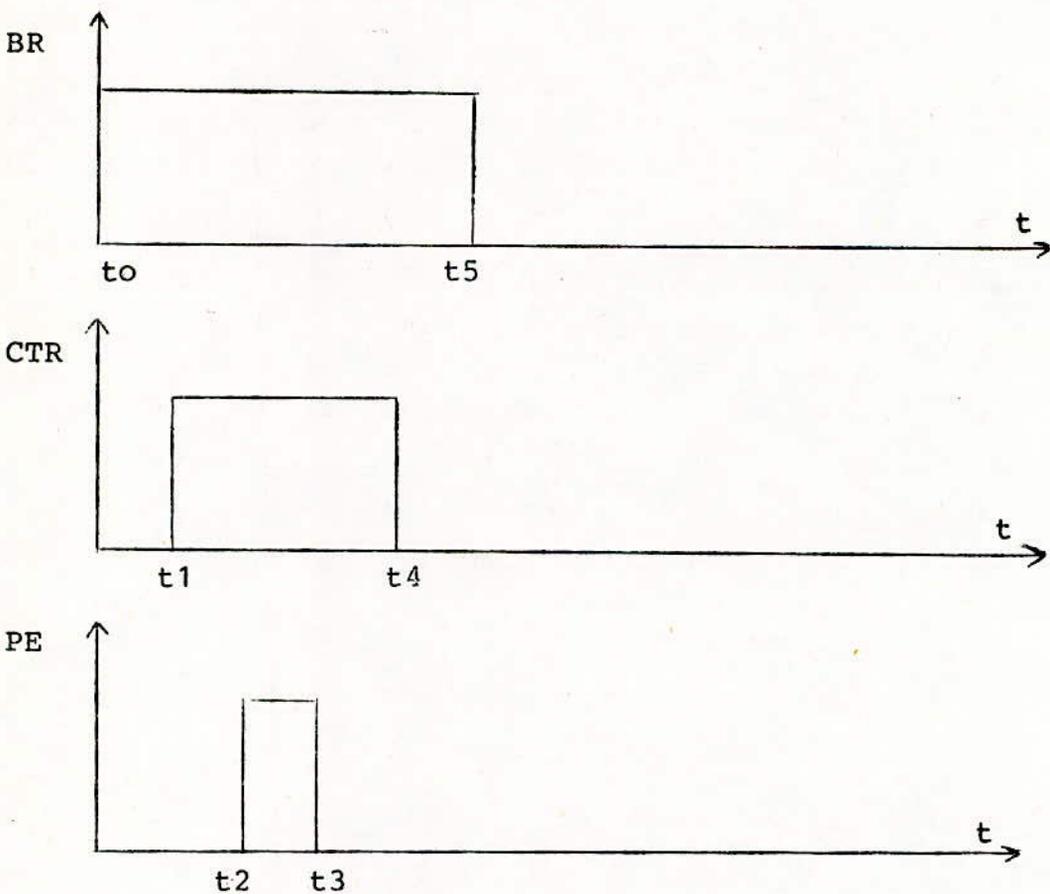
Si  $\theta > T$  (figure 2) il y a une ambiguïté dans la mesure puisque l'on ne sait pas quelle impulsion d'émission prendre comme référence.

T doit être supérieur à  $\theta$  et  $\tau$  inférieur à  $\theta$ . Si on programme pour les paliers avant et arrière une durée respective de 5  $\mu$ s et pour PE 5  $\mu$ s, la durée du signal BR sera (voir E.2)

$$5 + 5 + 5 + 5 + 5 = 25 \mu\text{s}.$$

La durée de CTR sera :

$$5 + 5 + 5 = 15 \mu\text{s}$$



Lorsque l'émission a lieu, le récepteur est fermé (intervalle  $(T_0, T_5)$ ). L'antenne est connectée sur l'émetteur ( $t_1, t_4$ ). Une fois que l'impulsion est émise, il faut ouvrir le récepteur (instant  $t_5$ ).

L'antenne est connectée sur le récepteur à l'instant  $t_4$ .

Si l'utilisateur programme une durée  $T$  (période de  $I_{pp}$ ) inférieure à la durée de  $BR$ , le récepteur reste toujours fermé alors qu'il existe un signal modulant (PE). Il y aura émission sans qu'il y ait réception, d'où gaspillage d'énergie. Un dispositif a été prévu pour ces cas là. En effet, si la durée de  $BR$  est supérieure à  $I_{pp}$ , les signaux  $CTR$ ,  $PE$ ,  $BR$  valent zéro et une led rouge s'allume indiquant à l'utilisateur la fausse manœuvre. Il devra alors changer de combinaisons.

#### B - Utilisation au laboratoire

Cegénérateur peut être conçu pour l'utilisation en travaux pratiques comme étude des sous tystèmes d'un ensemble programmable.

Par exemple : études des compteurs, de l'horloge, de fonctions logiques etc...

Différentes sorties sont prévues sur l'extrémité arrière de la carte et permettant l'utilisation de l'appareil en T.P. La notice restant à définir.

- 12 sorties des compteurs donnant Ipp
- B<sub>3</sub> )
- B<sub>4</sub> ) borrow des décompteurs donnant Ipp (IC<sub>3</sub>, IC<sub>4</sub>, IC<sub>5</sub>)
- B<sub>5</sub> )
  
- 8 sorties des compteurs donnant PE
- H<sub>11</sub> entrée d'horloge de IC<sub>11</sub>
- B<sub>11</sub> )
- B<sub>12</sub> ) borrow des décompteurs donnant PE (IC<sub>11</sub>, IC<sub>12</sub>)
  
- Clock )
- Clear ) de la bascule JK (½ IC<sub>22</sub>)
- Q )
  
- clock )
- clear ) de la bascule T (½ IC<sub>21</sub>)
- Q )

## C O N C L U S I O N

Le travail que nous avons réalisé, peut être jugé satisfaisant, car si nous analysons les différents signaux générés, nous pouvons dire que :

- leur durée ainsi que leur période sont très précises la mesure au fréquencesmètre a donné de très bons résultats.
- leur forme par contre n'est pas totalement parfaite, l'utilisation d'un buffer s'est avéré nécessaire.

Il était souhaitable du moment que la maquette était mise en boîtier de lui incorporer une alimentation stabilisée, malheureusement, la non disponibilité d'un transformateur et le manque de temps ne nous ont pas permis d'atteindre ce but.

Nous avons surtout appris que la réalisation d'une maquette n'est pas chose aisée, notamment en H.F où la longueur des fils devient très importante. Les temps de réponse que l'on néglige souvent peuvent fausser complètement le résultat escompté.

Nous pensons enfin que nous avons réalisé une maquette qui pourra être utilisée par des étudiants tant en graduation qu'en post-graduation.

- BIBLIOGRAPHIE -

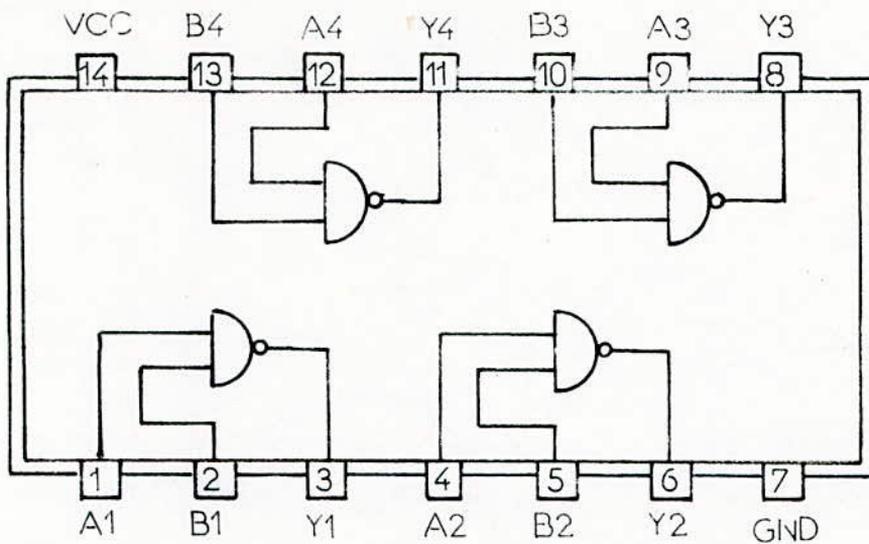
1. J.P. OEHMICHEN  
Emploi rationnel des circuits intégrés  
Editions - Radio - Paris 1974
2. J. AUVRAY  
Electronique des signaux échantillonnés et numériques  
Dunod - 1979
3. J.M. BERNARD, J. HUGON  
De la logique câblée aux microprocesseurs  
Eyrolles - 1982
4. MICHEL H. CARPENTIER  
Radar - Concepts nouveaux  
Dunod - 1966 - 2ème Edition
5. Technique de l'ingénieur

---

**ANNEXE**

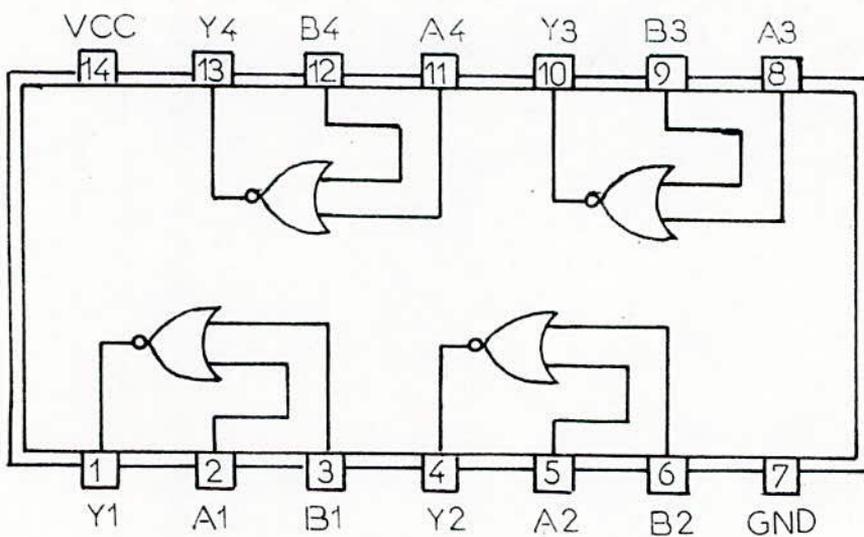
CIRCUIT SN 7400

$$Y = \overline{AB}$$

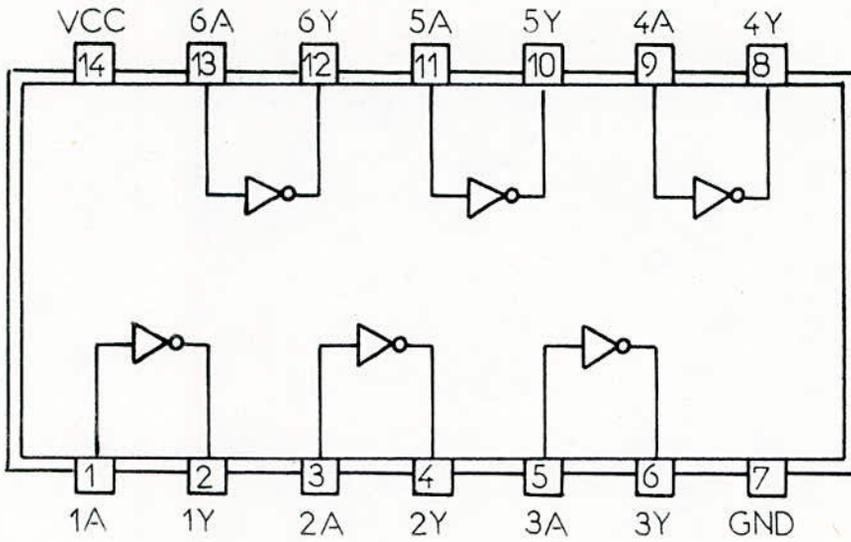


CIRCUIT SN 7402

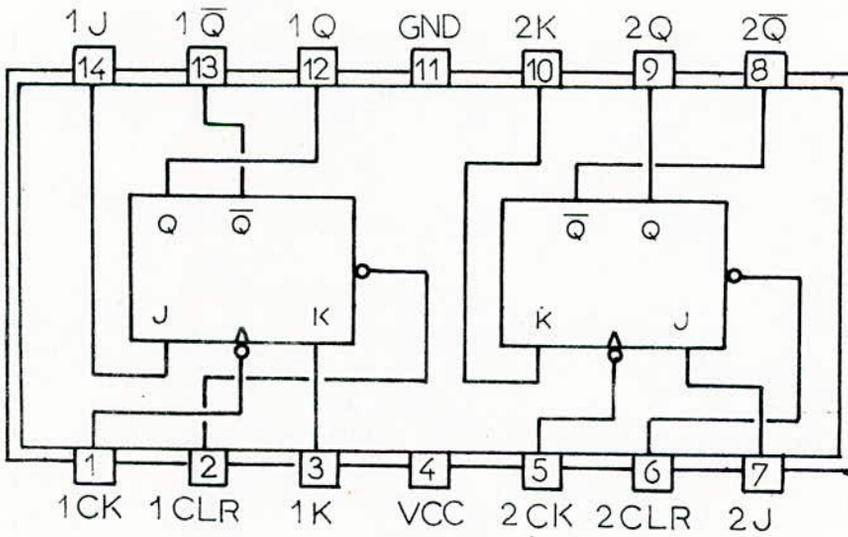
$$Y = \overline{A+B}$$



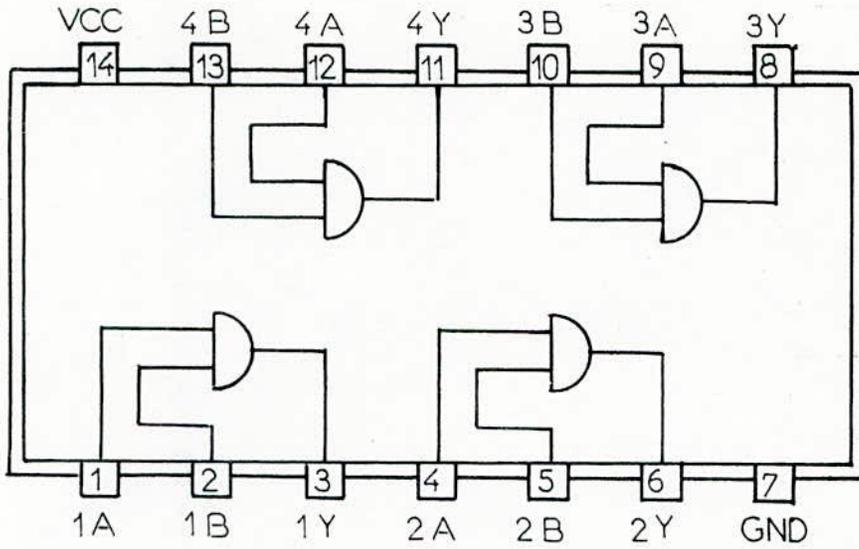
CIRCUIT SN 7404  $Y = \bar{A}$



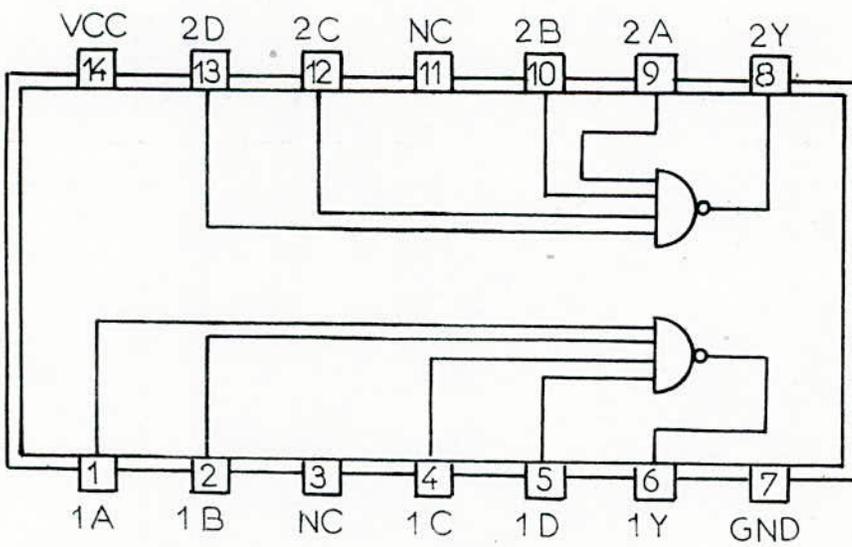
CIRCUIT SN 7473



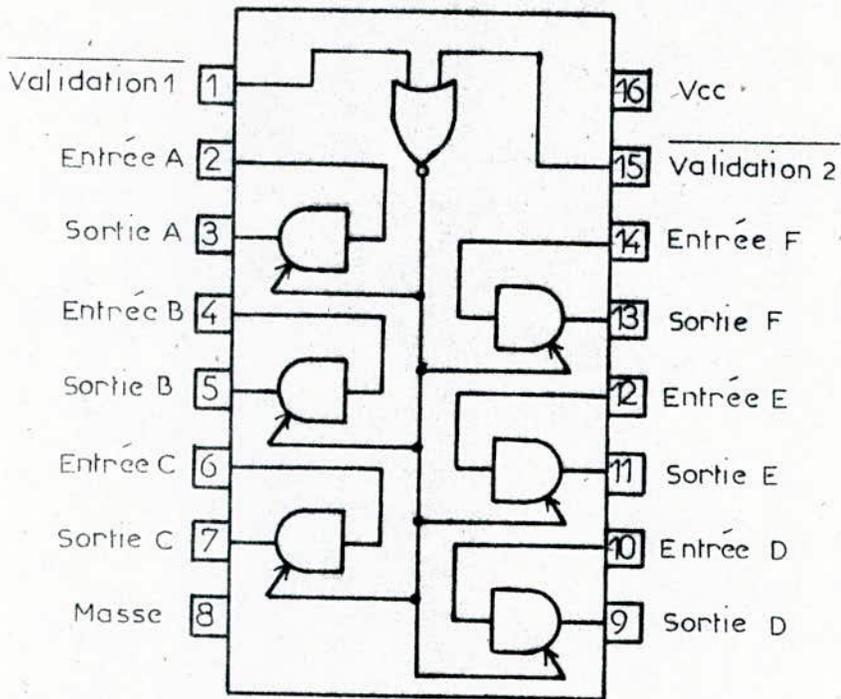
CIRCUIT SN 7408  $Y = AB$



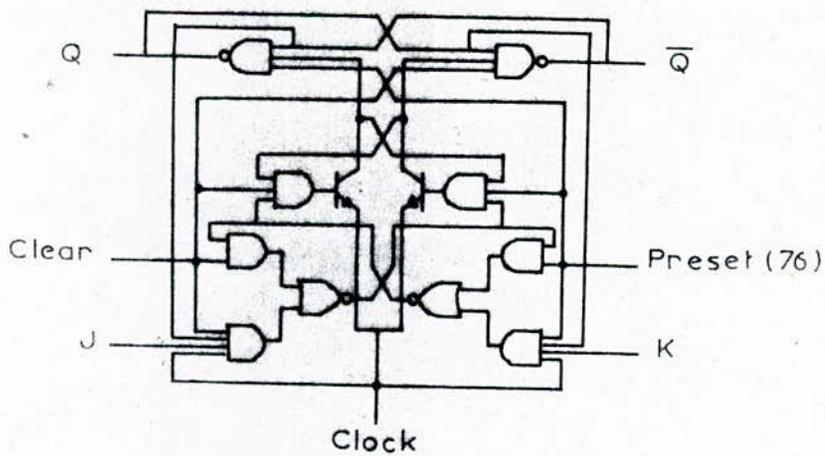
CIRCUIT SN 7440  $Y = \overline{ABCD}$



### CIRCUIT MC 8T95

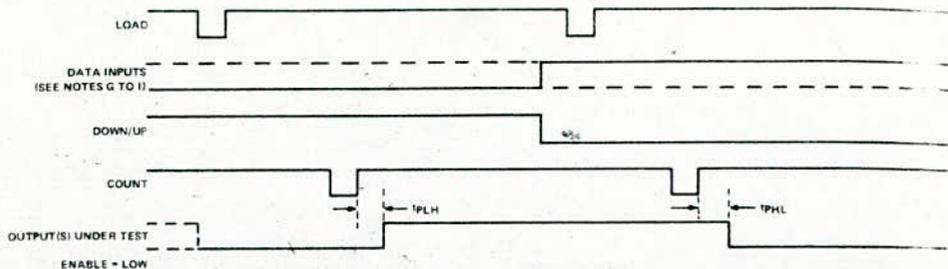


### SCHEMA INTERNE DU CIRCUIT SN 7473



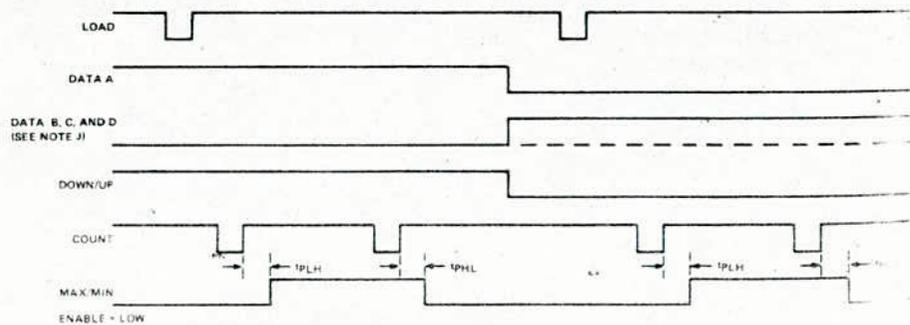
PARAMETER MEASUREMENT INFORMATION

switching characteristics (continued)



NOTES: G. To test  $Q_A$ ,  $Q_B$ , and  $Q_C$  outputs of '190 and 'LS190: Data inputs A, B, and C are shown by the solid line. Data input D is shown by the dashed line.  
 H. To test  $Q_D$  output of '190 and 'LS190: Data inputs A and D are shown by the solid line. Data inputs B and C are held at the low logic level.  
 I. To test  $Q_A$ ,  $Q_B$ ,  $Q_C$ , and  $Q_D$  outputs of '191 and 'LS191: All four data inputs are shown by the solid line.

FIGURE 6—CLOCK TO OUTPUT



NOTE J: Data inputs B and C are shown by the dashed line for the '190 and 'LS190 and the solid line for the '191 and 'LS191. Data input D is shown by the solid line for both devices.

FIGURE 7—CLOCK TO MAX/MIN

- Cascading Circuitry Provided Internally
- Synchronous Operation
- Individual Preset to Each Flip-Flop
- Fully Independent Clear Input

TYPES	TYPICAL MAXIMUM COUNT	TYPICAL FREQUENCY	TYPICAL POWER DISSIPATION
'192, '193	32	32 MHz	325 mW
'LS192, 'LS193	32	32 MHz	95 mW

description

These monolithic circuits are synchronous reversible (up/down) counters having a complexity of 55 equivalent gates. The '192, and 'LS192 circuits are BCD counters and the '193 and 'LS193 are 4-bit binary counters. Synchronous operation is provided by having all flip-flops clocked simultaneously so that the outputs change coincidentally with each other when so instructed by the steering logic. This mode of operation eliminates the output counting spikes which are normally associated with asynchronous (ripple-clock) counters.

The outputs of the four master-slave flip-flops are triggered by a low-to-high-level transition of either count (clock) input. The direction of counting is determined by which count input is pulsed while the other count input is high.

All four counters are fully programmable; that is, each output may be preset to either level by entering the desired data at the data inputs while the load input is low. The output will change to agree with the data inputs independently of the count pulses. This feature allows the counters to be used as modulo-N dividers by simply modifying the count length with the preset inputs.

A clear input has been provided which forces all outputs to the low level when a high level is applied. The clear function is independent of the count and load inputs. The clear, count, and load inputs are buffered to lower the drive requirements. This reduces the number of clock drivers, etc., required for long words.

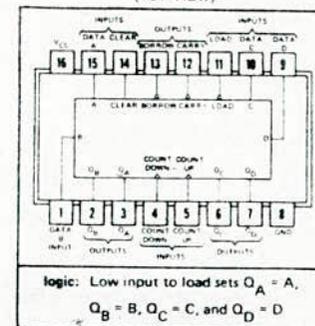
These counters were designed to be cascaded without the need for external circuitry. Both borrow and carry outputs are available to cascade both the up- and down-counting functions. The borrow output produces a pulse equal in width to the count-down input when the counter underflows. Similarly, the carry output produces a pulse equal in width to the count-up input when an overflow condition exists. The counters can then be easily cascaded by feeding the borrow and carry outputs to the count-down and count-up inputs respectively of the succeeding counter.

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

	SN54'	SN54LS'	SN74'	SN74LS'	UNIT
Supply voltage, $V_{CC}$ (see Note 1)	7	7	7	7	V
Input voltage	5.5	7	5.5	7	V
Operating free-air temperature range	-55 to 125		0 to 70		$^{\circ}$ C
Storage temperature range	-65 to 150		-65 to 150		$^{\circ}$ C

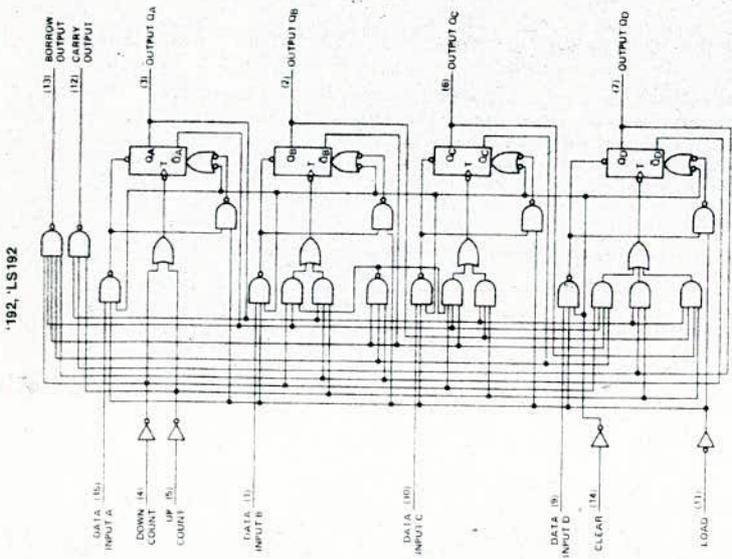
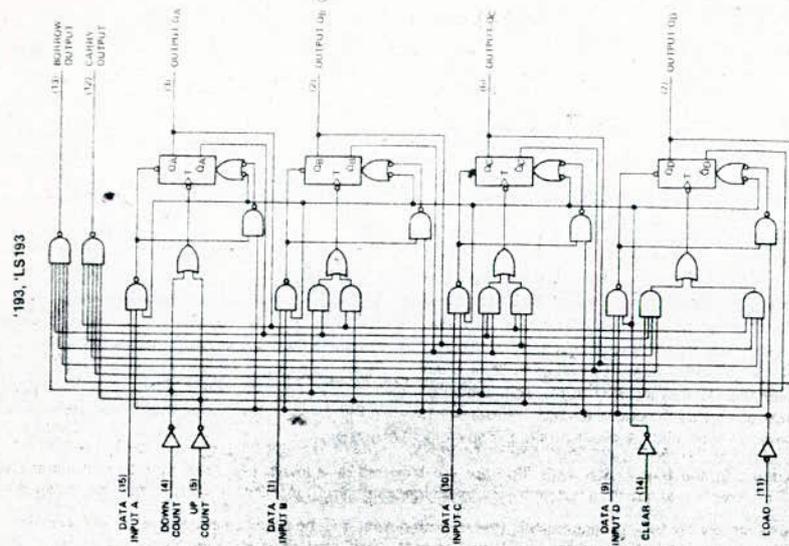
NOTE 1: Voltage values are with respect to network ground terminal.

SN54', SN54LS'... J OR W PACKAGE  
 SN74', SN74LS'... J OR N PACKAGE  
 (TOP VIEW)



logic: Low input to load sets  $Q_A = A$ ,  
 $Q_B = B$ ,  $Q_C = C$ , and  $Q_D = D$

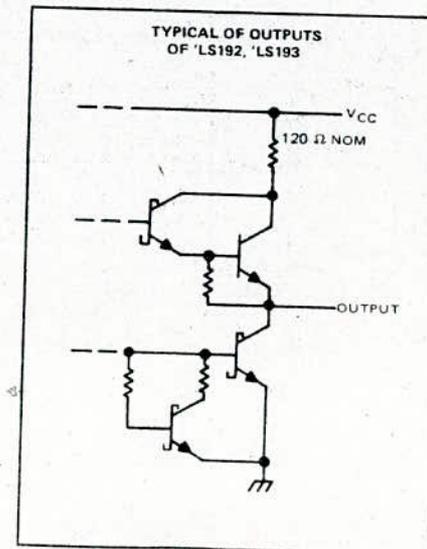
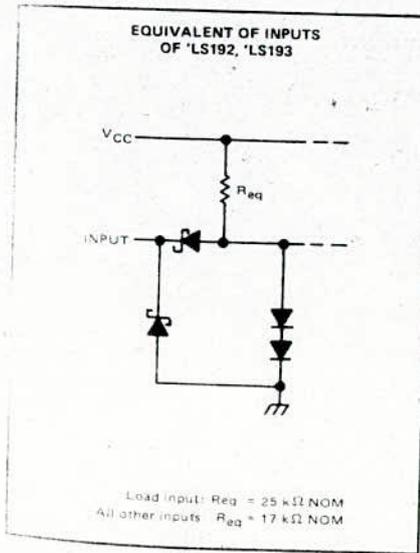
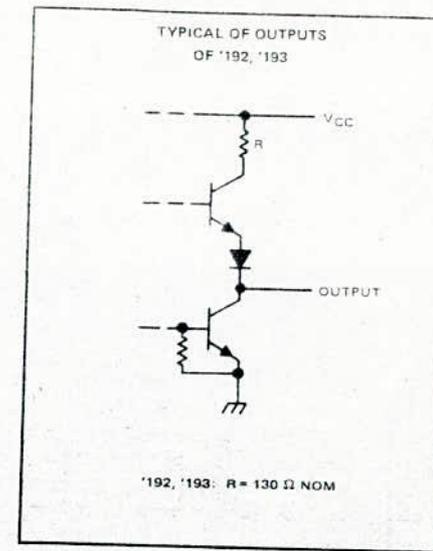
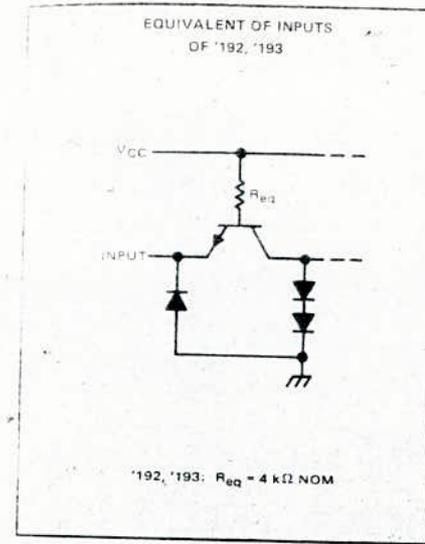
functional block diagrams



Dynamic input activated by a transition from a high level to a low level.

REVISED OCTOBER 1976

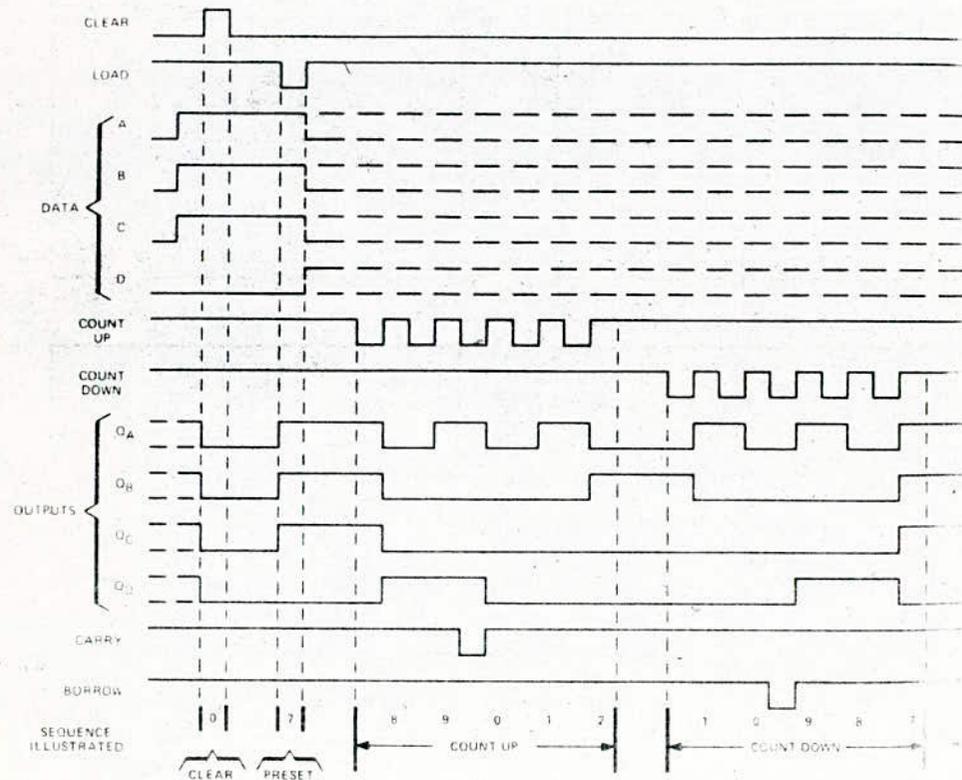
Logic of inputs and outputs



typical clear, load, and count sequences

Illustrated below is the following sequence:

1. Clear outputs to zero.
2. Load (preset) to BCD seven.
3. Count up to eight, nine, carry, zero, one, and two.
4. Count down to one, zero, borrow, nine, eight, and seven.

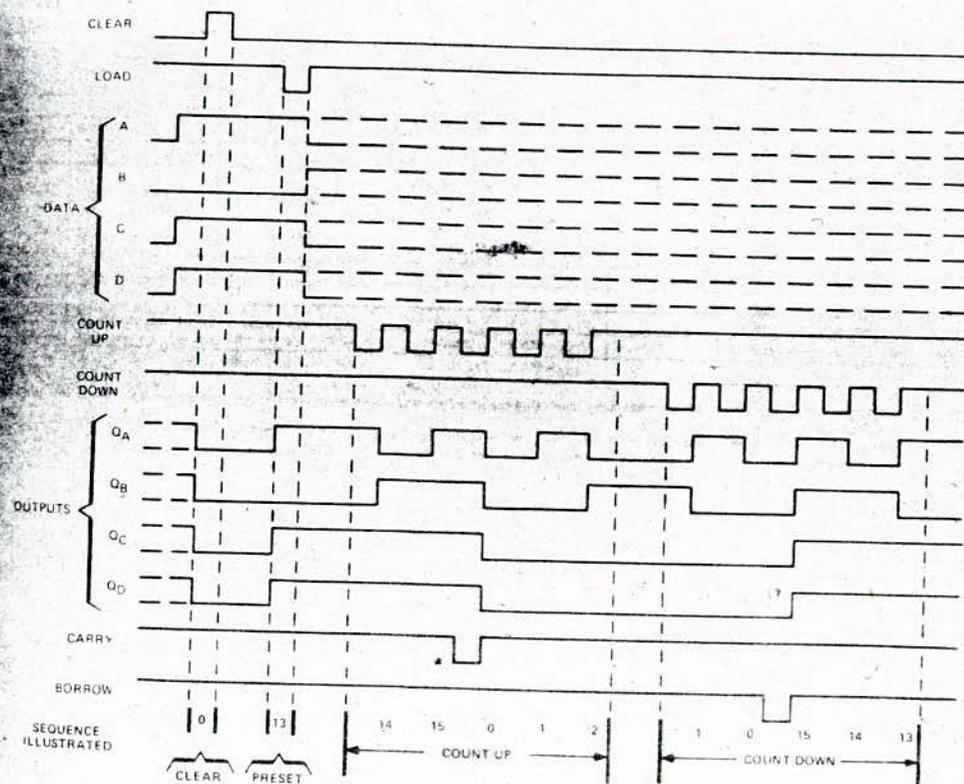


NOTES: A. Clear overrides load, data, and count inputs.  
 B. When counting up, count-down input must be high; when counting down, count-up input must be high.

typical clear, load, and count sequences

Illustrated below is the following sequence:

1. Clear outputs to zero.
2. Load (preset) to binary thirteen.
3. Count up to fourteen, fifteen, carry, zero, one, and two.
4. Count down to one, zero, borrow, fifteen, fourteen, and thirteen.



NOTES: A. Clear overrides load, data, and count inputs.  
 B. When counting up, count-down input must be high; when counting down, count-up input must be high.

TYPES SN54192, SN54193, SN74192, SN74193  
 SYNCHRONOUS 4-BIT UP/DOWN COUNTERS (DUAL CLOCK WITH CLEAR)

recommended operating conditions

	SN54192 SN54193			SN74192 SN74193			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$	-400			-400			$\mu A$
Low-level output current, $I_{OL}$	16			16			$\mu A$
Clock frequency, $f_{clock}$	0	25	0	25	0	25	MHz
Width of any input pulse, $t_W$	20			20			ns
Data setup time, $t_{su}$ (see Figure 1)	20			20			ns
Data hold time, $t_h$	0			0			ns
Operating free-air temperature, $T_A$	-55	125	0	70	0	70	$^{\circ}C$

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54192 SN54193			SN74192 SN74193			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$V_{IH}$ High-level input voltage		2			2			V
$V_{IL}$ Low-level input voltage		0.8			0.8			V
$V_{IK}$ Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -12 \text{ mA}$	-1.5			-1.5			V
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OH} = -400 \mu A$	2.4	3.4		2.4	3.4		V
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = 0.8 \text{ V}, I_{OL} = 16 \text{ mA}$	0.2	0.4		0.2	0.4		V
$I_I$ Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 5.5 \text{ V}$	1			1			mA
$I_{IH}$ High-level input current	$V_{CC} = \text{MAX}, V_I = 2.4 \text{ V}$	40			40			$\mu A$
$I_{IL}$ Low-level input current	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$	-1.6			-1.6			mA
$I_{OS}$ Short-circuit output current‡	$V_{CC} = \text{MAX}$	-20	-65		-18	-65		mA
$I_{CC}$ Supply current	$V_{CC} = \text{MAX}$ , See Note 2	65	89		65	102		mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.  
 ‡ All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}C$ .  
 § Not more than one output should be shorted at a time.  
 NOTE 2:  $I_{CC}$  is measured with all outputs open, clear and load inputs grounded, and all other inputs at 4.5 V.

switching characteristics,  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}C$

PARAMETER‡	FROM INPUT	TO OUTPUT	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$f_{max}$				25	32		MHz
$t_{PLH}$	Count-up	Carry	$C_L = 15 \text{ pF}, R_L = 400 \Omega$ , See Figures 1 and 2	17	26		ns
$t_{PHL}$				16	24		ns
$t_{PLH}$	Count-down	Borrow		16	24		ns
$t_{PHL}$				16	24		ns
$t_{PLH}$	Either Count	Q		25	38		ns
$t_{PHL}$				31	47		ns
$t_{PLH}$	Load	Q		27	40		ns
$t_{PHL}$				29	40		ns
$t_{PHL}$	Clear	Q		22	35		ns

‡  $f_{max}$  = maximum clock frequency  
 $t_{PLH}$  = propagation delay time, low-to-high-level output  
 $t_{PHL}$  = propagation delay time, high-to-low-level output

TYPES SN54LS192, SN54LS193, SN74LS192, SN74LS193  
 SYNCHRONOUS 4-BIT UP/DOWN COUNTERS (DUAL CLOCK WITH CLEAR)

REVISED DECEMBER 1982

recommended operating conditions

	SN54LS192 SN54LS193			SN74LS192 SN74LS193			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, $V_{CC}$	4.5	5	5.5	4.75	5	5.25	V
High-level output current, $I_{OH}$	-400			-400			$\mu A$
Low-level output current, $I_{OL}$	4			8			mA
Clock frequency, $f_{clock}$	0	25	0	25	0	25	MHz
Width of any input pulse, $t_W$	20			20			ns
Clear inactive-state setup time	40			40			ns
Data setup time, $t_{su}$ (see Figure 1)	20			20			ns
Data hold time, $t_h$	5			5			ns
Operating free-air temperature range, $T_A$	-55	125	0	70	0	70	$^{\circ}C$

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS192 SN54LS193			SN74LS192 SN74LS193			UNIT
		MIN	TYP‡	MAX	MIN	TYP‡	MAX	
$V_{IH}$ High-level input voltage		2			2			V
$V_{IL}$ Low-level input voltage		0.7			0.8			V
$V_{IK}$ Input clamp voltage	$V_{CC} = \text{MIN}, I_I = -18 \text{ mA}$	-1.5			-1.5			V
$V_{OH}$ High-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}, I_{OH} = -400 \mu A$	2.5	3.4		2.7	3.4		V
$V_{OL}$ Low-level output voltage	$V_{CC} = \text{MIN}, V_{IH} = 2 \text{ V}, V_{IL} = V_{IL \text{ max}}$	0.25	0.4		0.15	0.4		V
Input current at maximum input voltage	$V_{CC} = \text{MAX}, V_I = 7 \text{ V}$	0.1			0.1			mA
$I_{IH}$ High-level input current	$V_{CC} = \text{MAX}, V_I = 2.7 \text{ V}$	20			20			$\mu A$
$I_{IL}$ Low-level input current	$V_{CC} = \text{MAX}, V_I = 0.4 \text{ V}$	-0.4			-0.4			mA
$I_{OS}$ Short-circuit output current‡	$V_{CC} = \text{MAX}$	-20	-100		-20	-100		mA
$I_{CC}$ Supply current	$V_{CC} = \text{MAX}$ , See Note 2	19	34		19	34		mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions for the applicable type.  
 ‡ All typical values are at  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}C$ .  
 § Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second.  
 NOTE 2:  $I_{CC}$  is measured with all outputs open, clear and load inputs grounded, and all other inputs at 4.5 V.

switching characteristics,  $V_{CC} = 5 \text{ V}, T_A = 25^{\circ}C$

PARAMETER‡	FROM INPUT	TO OUTPUT	TEST CONDITIONS	MIN	TYP	MAX	UNIT
$f_{max}$				25	32		MHz
$t_{PLH}$	Count-up	Carry	$C_L = 15 \text{ pF}, R_L = 2 \text{ k}\Omega$ , See Figures 1 and 2	17	26		ns
$t_{PHL}$				18	24		ns
$t_{PLH}$	Count-down	Borrow		16	24		ns
$t_{PHL}$				15	24		ns
$t_{PLH}$	Either Count	Q		27	38		ns
$t_{PHL}$				30	47		ns
$t_{PLH}$	Load	Q		24	40		ns
$t_{PHL}$				25	40		ns
$t_{PHL}$	Clear	Q		23	35		ns

‡  $f_{max}$  = maximum clock frequency  
 $t_{PLH}$  = propagation delay time, low-to-high-level output  
 $t_{PHL}$  = propagation delay time, high-to-low-level output

## 'LS320

- Crystal-Controlled Oscillator Operation from 1 MHz to 20 MHz
- 2-Phase Driver Outputs

## 'LS321

- Similar to 'LS320 But Includes f/2 and f/4 Count-Down Outputs

## description

The 'LS320 is a crystal-controlled oscillator/clock driver. It features complementary standard and high-current driver outputs. A synchronization flip-flop is included.

The driver outputs, F' and F have very-low impedance and can be used to drive highly capacitive TTL-level lines. If the driver outputs are not used, then the VCC terminal can be left open.

The 'LS321 is identical to the 'LS320 except it additionally features two count-down outputs, F/2 and F/4.

These circuits were designed for series resonant crystal control of frequency, and capacitive control is not recommended. If a fundamental crystal is used an inductor of 5 to 100  $\mu$ H with a  $Q_s$  of 30 to 40, or a resistor of 130  $\Omega$ , is required to be connected between the tank 1 and tank 2 inputs. If a third overtone crystal is used, a tuned tank is necessary. The XTAL 1 and XTAL 2 inputs have an input capacitance of 30 to 32 pF.

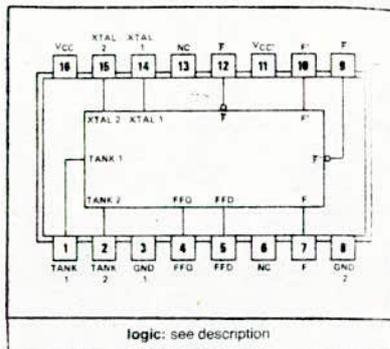
Interaction of the driver outputs with the other outputs limits useful frequencies as shown in the frequency limits table.

The SN54LS320 and SN54LS321 are characterized for operation over the full military temperature range of  $-55^\circ\text{C}$  to  $125^\circ\text{C}$ . The SN74LS320 and SN74LS321 are characterized for operation from  $0^\circ\text{C}$  to  $70^\circ\text{C}$ .

## FREQUENCY LIMITS

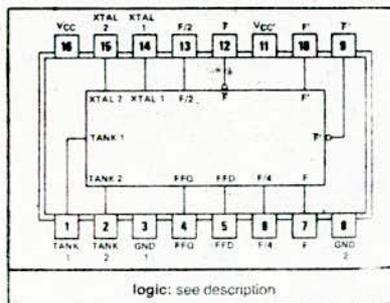
OUTPUTS IN USE	VCC	VCC'	f <sub>max</sub>
Driver outputs only	5 V	5 V	20 MHz
Other outputs only	5 V	Open	20 MHz
Driver and any other outputs	5 V	5 V	10 MHz

SN54LS320 . . . J OR W PACKAGE  
SN74LS320 . . . J OR N PACKAGE  
(TOP VIEW)



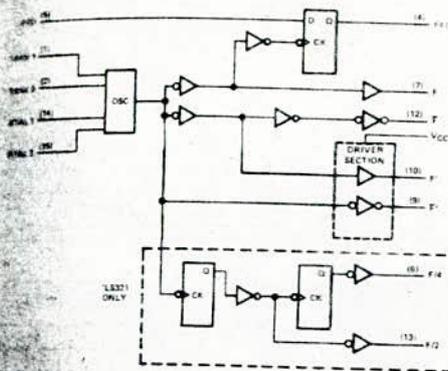
NC - No internal connection

SN54LS321 . . . J OR W PACKAGE  
SN74LS321 . . . J OR N PACKAGE  
(TOP VIEW)

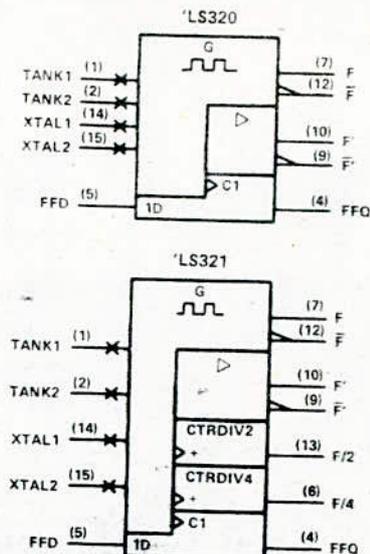


logic: see description

## functional block diagram (positive logic)



## logic symbols



## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, VCC (see Note 1)	7 V
Supply voltage, VCC'	7 V
Input voltage to FFD terminal	-0.5 V to 7 V
Operating free-air temperature range: SN54LS320, SN54LS321	$-55^\circ\text{C}$ to $125^\circ\text{C}$
SN74LS320, SN74LS321	$0^\circ\text{C}$ to $70^\circ\text{C}$
Storage temperature range	$-65^\circ\text{C}$ to $150^\circ\text{C}$

NOTE 1: Voltage values are with respect to network ground terminals.

## recommended operating conditions

	SN54LS320 SN54LS321			SN74LS320 SN74LS321			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, VCC	4.5	5	5.5	4.75	5	5.25	V
Supply voltage, VCC'	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I <sub>OH</sub>	F' or F'			-12			-24
	F, F', F/2, F/4			-0.4			-0.4
Low-level output current, I <sub>OL</sub>	F' or F'			12			24
	F, F', F/2, F/4			4			8
Output frequency, f <sub>out</sub>	F/2 ('LS321)			0.5			10
	F/4 ('LS321)			0.25			5
Operating free-air temperature, T <sub>A</sub>	F or F'			1			20
				-55			125
				0			70

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS†	SN54LS320 SN54LS321		SN74LS320 SN74LS321		UNIT		
		MIN	TYP‡	MAX	MIN		TYP‡	MAX
V <sub>IH</sub>	High-level input voltage	2				2	V	
V <sub>IL</sub>	Low-level input voltage					0.7	0.8	V
V <sub>IK</sub>	Input clamp voltage	V <sub>CC</sub> = MIN, V <sub>CC'</sub> = MIN, I <sub>I</sub> = -18 mA				-1.5	-1.5	V
V <sub>OH</sub>	High-level output voltage	F, $\bar{F}$	V <sub>CC</sub> = 4.5 V, V <sub>CC'</sub> = 4.5 V, I <sub>OH</sub> = -12 mA	2.5	3.3	2.7	3.3	V
			V <sub>CC</sub> = 4.75 V, V <sub>CC'</sub> = 4.75 V, I <sub>OH</sub> = -24 mA					
V <sub>OL</sub>	Low-level output voltage	F, $\bar{F}$	V <sub>CC</sub> = MIN, V <sub>CC'</sub> = MIN, I <sub>OL</sub> = 12 mA	0.25	0.4	0.25	0.4	V
			I <sub>OL</sub> = 24 mA			0.35	0.5	
			I <sub>OL</sub> = 4 mA	0.25	0.4	0.25	0.4	
	Others	V <sub>CC</sub> = MIN, V <sub>IL</sub> = V <sub>IL max</sub> , I <sub>OL</sub> = 8 mA			0.35	0.5		
I <sub>I</sub>	Input current at maximum input voltage	V <sub>CC</sub> = MAX, V <sub>I</sub> = 7 V			0.1	0.1	mA	
I <sub>IH</sub>	High-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 2.7 V			20	20	μA	
I <sub>IL</sub>	Low-level input current	V <sub>CC</sub> = MAX, V <sub>I</sub> = 0.4 V			-0.4	-0.4	mA	
I <sub>OS</sub>	Short-circuit output current‡	V <sub>CC</sub> = MAX	-20	-100	-20	-100	mA	
I <sub>CC</sub>	Supply current from V <sub>CC</sub>	V <sub>CC</sub> = MAX, FFD at GND	'LS320	42	70	42	70	mA
			'LS321	47	75	47	75	
I <sub>CC'</sub>	Supply current from V <sub>CC'</sub>	V <sub>CC</sub> = MAX, V <sub>CC'</sub> = MAX, FFD at GND	4	8	4	8	mA	

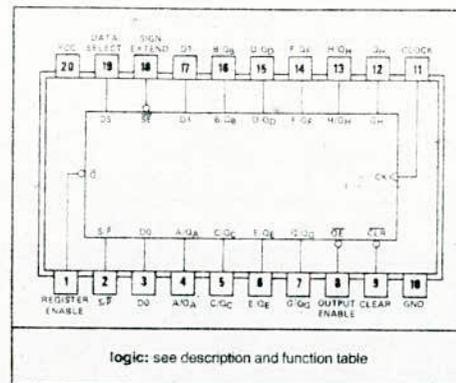
† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V<sub>CC</sub> = 5 V, V<sub>CC'</sub> = 5 V, and T<sub>A</sub> = 25°C.§ Not more than one output should be shorted at a time, and duration of the short-circuit should not exceed one second. Outputs F and  $\bar{F}$  do not have short-circuit protection and these limits do not apply.switching characteristics, V<sub>CC</sub> = 5 V, V<sub>CC'</sub> = 5 V, T<sub>A</sub> = 25°C

PARAMETER	OUTPUTS	TEST CONDITIONS§	'LS320		'LS321		UNIT
			MIN	TYP	MAX	MIN	
f <sub>max</sub>	F/2	C <sub>L</sub> = 100 pF			10	15	MHz
	F/4				5	7.5	
	All others		20	30	20	30	
t <sub>r</sub>	F, $\bar{F}$	C <sub>L</sub> = 50 pF	6	12	6	12	ns
		C <sub>L</sub> = 100 pF	7	14	7	14	
		C <sub>L</sub> = 200 pF	7	14	7	14	
	Others	C <sub>L</sub> = 50 pF	11	22	11	22	
		C <sub>L</sub> = 100 pF	25	40	25	40	
		C <sub>L</sub> = 200 pF	45	70	45	70	
t <sub>f</sub>	F, $\bar{F}$	C <sub>L</sub> = 50 pF	5	10	5	10	ns
		C <sub>L</sub> = 100 pF	5	10	5	10	
		C <sub>L</sub> = 200 pF	6	12	6	12	
	Others	C <sub>L</sub> = 50 pF	6	12	6	12	
		C <sub>L</sub> = 100 pF	10	20	10	20	
		C <sub>L</sub> = 200 pF	17	30	17	30	

§ Load circuit and voltage waveforms are shown on page 3-11.

- Multiplexed Inputs/Outputs Provide Improved Bit Density
- 3 State Outputs Drive Bus Lines Directly
- Sign Extend Function
- Direct Overriding Clear
- Equivalent to 25LS22

SN54LS322A ... J PACKAGE  
SN74LS322A ... J OR N PACKAGE  
(TOP VIEW)

## Description

These low-power Schottky eight-bit shift registers feature multiplexed input/output data ports to achieve full eight-bit data handling in a single 20-pin package. Serial data may be entered into the shift-right register through either the D0 or the D1 input as selected by the data select input. A serial output (Q<sub>H</sub>) is also provided to facilitate expansion. Synchronous parallel loading is accomplished by taking both the register enable and the S/P inputs low. This places the three-state input/output ports in the data input mode. Data are entered on the low-to-high transition of the clock. The data extend function repeats the sign in the Q<sub>A</sub> flip-flop during shifting. A direct overriding clear input clears the internal registers when taken low whether the outputs are enabled or off. The output enable does not interfere with synchronous operation of the register.

FUNCTION TABLE

OPERATION	INPUTS							INPUTS/OUTPUTS				OUTPUT
	CLEAR	REGISTER ENABLE	S/P	SIGN EXTEND	DATA SELECT	OUTPUT ENABLE	CLOCK	A/Q <sub>A</sub>	B/Q <sub>B</sub>	C/Q <sub>C</sub> ... H/Q <sub>H</sub>	Q <sub>H</sub>	
Clear	L	H	X	X	X	L	X	L	L	L	L	L
	L	X	X	X	X	L	X	L	L	L	L	L
Hold	H	H	X	X	X	L	X	Q <sub>A0</sub>	Q <sub>B0</sub>	Q <sub>C0</sub>	Q <sub>H0</sub>	Q <sub>H0</sub>
Shift Right	H	L	H	H	L	L	↑	D0	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Gn</sub>	Q <sub>Gn</sub>
	H	L	H	H	H	L	↑	D1	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Gn</sub>	Q <sub>Gn</sub>
Sign Extend Load	H	L	H	L	X	L	↑	Q <sub>An</sub>	Q <sub>An</sub>	Q <sub>Bn</sub>	Q <sub>Gn</sub>	Q <sub>Gn</sub>
	H	L	L	X	X	X	↑	a	b	c	h	h

When the output enable is high, the eight input/output terminals are disabled to the high-impedance state; however, sequential operation and clearing of the register is not affected. If both the register enable input and the S/P input are low while the clear input is low, the register is cleared while the eight input/output terminals are disabled to the high-impedance state.

↑ High level (steady state)

↓ Low level (steady state)

↑↓ Irrelevant (any input, including transitions)

↑↓ Transition from low to high level

Q<sub>A0</sub> ... Q<sub>H0</sub> = the level of Q<sub>A</sub> through Q<sub>H</sub>, respectively, before the indicated steady state conditions were establishedQ<sub>An</sub> ... Q<sub>Hn</sub> = the level of Q<sub>A</sub> through Q<sub>H</sub>, respectively, before the most recent ↑ transition of the clock

D0, D1 = the level of steady state inputs at inputs D0 and D1 respectively

a ... h = the level of steady state inputs at inputs A through H respectively

