

الشعبية
REPUBLIQUE

الجمهورية الجزائرية
DEMOCRATIQUE ET POPULAIRE

25/84

وزارة التعليم والبحث العلمي
Ministère de l'Enseignement et de la Recherche Scientifique

المدرسة الوطنية المتعددة التقنيات
ECOLE NATIONALE POLYTECHNIQUE D'ALGER

DEPARTEMENT D'ELECTRONIQUE

PROJET DE FIN D'ETUDES
ETUDIE AU CDTA - LABO : SERELEC
DIPLOME D'INGENIEUR

THEME

**Etude et Réalisation
d'une Centrale de Sécurité**

Sujet proposé par : Mr A. BOURKEB

Etudié par :

Melle GUENDOZ Hassina

Mr BENAKKI Abdelkrim

Promotion Janvier 1984



الجمهورية الجزائرية الديمقراطية الشعبية
REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

—»O«—

وزارة التعليم والبحث العلمي
Ministère de l'Enseignement et de la Recherche Scientifique

—»O«—

المدرسة الوطنية المتعددة التقنيات
ECOLE NATIONALE POLYTECHNIQUE D'ALGER

—»O«—

DEPARTEMENT D'ELECTRONIQUE

—»O«—

PROJET DE FIN D'ETUDES
ETUDIE AU CDTA - LABO : SERELEC
DIPLOME D'INGENIEUR

THEME

المدرسة الوطنية للعلوم الهندسية
المكتبة
Etude et Réalisation
ECOLE NATIONALE POLYTECHNIQUE
d'une Centrale de Sécurité

Sujet proposé par : Mr A. BOURKEB

Etudié par :

Melle GUENDOZ Hassina

Mr BENAKKI Abdelkrim

Promotion Janvier 1984



DEDICACES

- A LA MEMOIRE DE MON PERE TOMBE AU
CHAMP D'HONNEUR.

- A MA MERE

- A MA SOEUR ET MON FRERE

- A TOUS MES ONCLES

- A TOUS MES AMIS (ES).

Making
f

A MA FAMILLE
ET TOUS MES AMIS (ES).

R E M E R C I E M E N T S

Nous tenons d'abord à exprimer notre entière gratitude à nos parents pour leur sacrifice et leurs encouragements.

Nous exprimons notre reconnaissance à tous les **Pro** fesseurs ayant contribué à notre formation.

Nous remercions M. A. BOURKEB pour nous avoir accepté au sein de son laboratoire où règne une ambiance **sympatique**, et pour l'aide qu'il nous a fourni.

Nos sincères remerciements vont aussi à M. SAIDJ pour sa gentillesse et les conseils utiles qu'il nous a donnés.

Que tout le personnel du laboratoire d'électronique du CEN trouvent ici l'expression de notre pleine reconnaissance pour leur aide aussi petite soit-elle.

I T O M M A I R E

- INTRODUCTION :
- 1) Nécessité des systèmes de sécurité
 - 2) Généralités sur les systèmes de sécurité
 - 3) Organisation du système de sécurité proposé

CHAPITRE I/ - Structure de la Centrale de Sécurité.

I Etude et réalisation de la Carte Unité Centrale.

I 1 Constitution et rôle de la carte Unité Centrale

I 2 Etude des composants du module MPU

I 21 Microprocesseur MC 6800

I 22 Horloge MC 6871 A

I 23 Circuits d'extension.

I 3 Logique de commande et de contrôle

I 31 Circuit de lecture et d'écriture

I 32 Circuit de reinitialisation automatique

I 33 Circuit de rafraichissement dynamique

II Etude du Système de Visualisation .

II 1 Composants de ce système

II 2 Etude de la carte de visualisation

II 3 Mode de visualisation d'un texte

II 4 Traitement de l'information avant visualisation.

III Unité de Stockage.

III 1 Nécessité d'une unité de stockage

III 3 Constitution de l'unité de stockage.

/...

CHAPITRE II / Mode d'Echange d'information entre la
Centrale et les Zones.

- I 1 Rôle de la Carte Interface ACIA
- I 2 Rappels sur l'ACIA et la Norme RS 232
- I 3 Mode d'Echange d'informations
- I 4 Détails sur le mode d'échange.

II Simulation

C O N C L U S I O N :

- ANNEXE : - MC 6800 (Brochage, Synoptique)
- MC 8 T 97, MC 3 T 26 (brochage, table de vérité)
 - l'ACIA (MC 6850)
 - Principe de fonctionnement du Monostable
MC 1455 (RESTART AUTOMATIQUE)
 - Programme de simulation
 - Les 2 Faces du circuit imprimé (MPU).

I N T R O D U C T I O N

1) = NECESSITE DES SYSTEMES DE SECURITE /

L'utilisation d'installations et équipements de plus en plus onéreux par les techniques modernes, ainsi que la protection du personnel opérant dans un milieu dangereux, imposent des dispositifs de sécurité efficaces et souvent d'une grande complexité.

Ainsi au Commissariat aux Energies Nouvelles (CEN), où se déroulent des expériences mettant en jeu des réactions nucléaires (radio activité α , β , rayons gamma, neutrons), un intérêt particulier est accordé à ce genre de dispositif.

Dans ce sens, le laboratoire d'électronique du CEN nous a confié l'étude et la réalisation d'un système de sécurité centralisé basé sur une technique de micro processing.

2) = GENERALITES SUR LES SYSTEMES DE SECURITE :

Un système de sécurité doit répondre aux critères suivants:

- Fiabilité
- Rapidité
- Efficacité
- Faible consommation
- Souple d'utilisation.

/.....

Il existe différents types de systèmes de sécurité, certains font appel à des méthodes très simples et rudimentaires (par exemple : un fusible, une alarme antivol nécessitant juste une logique, un système à contact, à relais etc...).

D'autres par contre, plus évolués, nécessitent une saisie de données suivie d'un traitement et d'une décision (commande) d'ou opportunité de l'utilisation **du microprocesseur**.

De par sa souplesse d'utilisation et sa fiabilité, le microprocesseur représente le moyen le plus rapide et le plus sûr pour les applications en temps réel.

Un système centralisé permet de converger les différents types de détection vers un dispositif unique de réception, de traitement et de réaction.

L'orientation vers le microprocesseur pour la réalisation de ce système nous paraît évidente.

3) = ORGANISATION DU SYSTEME DE SECURITE PROPOSE :

* (A) Problème posé :

Ce système de sécurité centralisé a été conçu pour répondre aux objectifs suivants :

- celui du contrôle de l'acheminement des informations des zones vers la centrale de sécurité.
- d'informer sur le niveau de sécurité de chaque zone.

Pour cela, la centrale de sécurité doit donner à chaque instant l'état de plusieurs zones et actionner les commandes adéquates.

Différents détecteurs sont placés au niveau de chaque zone. Toute détection d'anomalie sera recensée par un "Contrôleur de zone" et envoyé à la centrale qui décidera de la situation. (Un ACIA permettra le dialogue entre la Centrale et chaque zone).

Pour s'affranchir des problèmes d'adaptation de niveau dû à l'éloignement, on applique aux niveaux électriques des signaux échangés la norme "RS 232" (ou V 24) adapté à cette liaison série asynchrone.

Notre travail se limite à l'étude et la réalisation d'une centrale de sécurité.

Le plan d'étude comporte deux parties :

- une partie Hardware qui consiste en une mise au point de la centrale.
- la partie software qui se résume en une simulation.

* (B) Intérêt d'une centralisation :

Une centralisation permet :

- D'avoir d'un seul coup d'oeil une vue d'ensemble sur le niveau de sécurité général du centre.
- De décider, de déclencher et de coordonner les réactions dans un minimum de temps.

/...

- De gagner de la place en regroupant les alarmes et de mieux les protéger.
- D'accélérer les dépannages et la maintenance car tous les matériels sont regroupés au même endroit.

Cependant, une centralisation peut parfois entraîner des coûts d'équipements élevés.

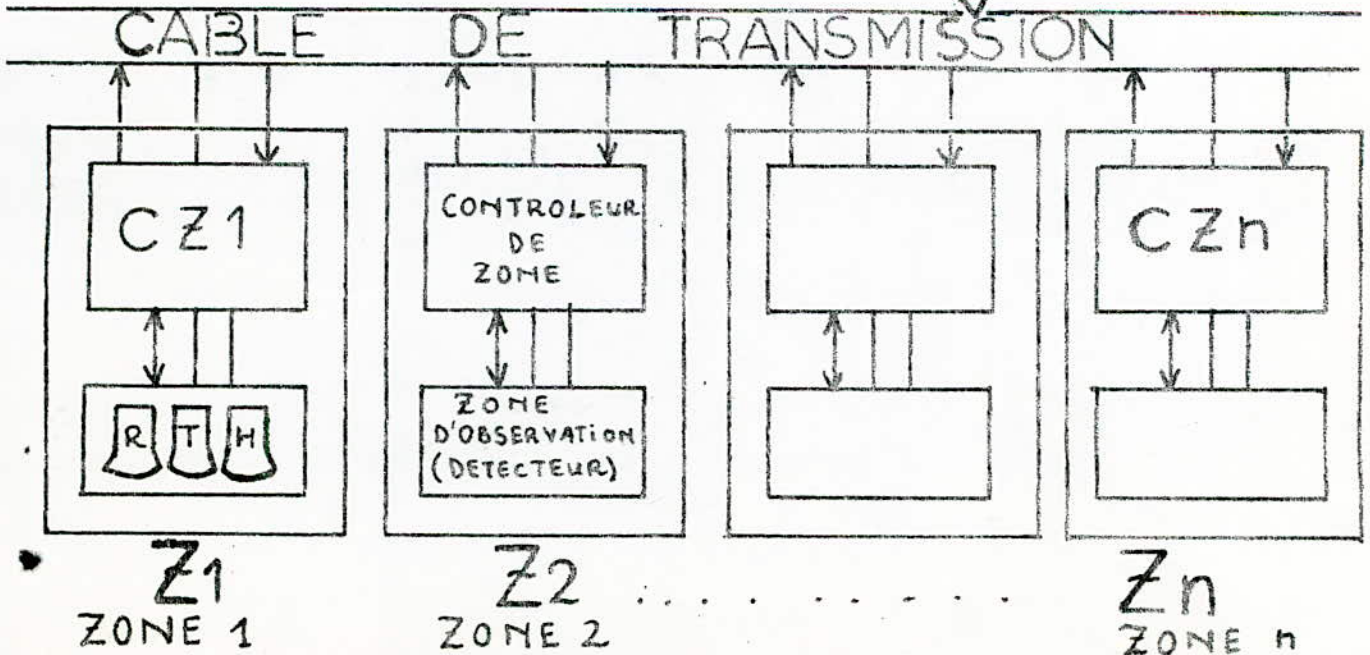
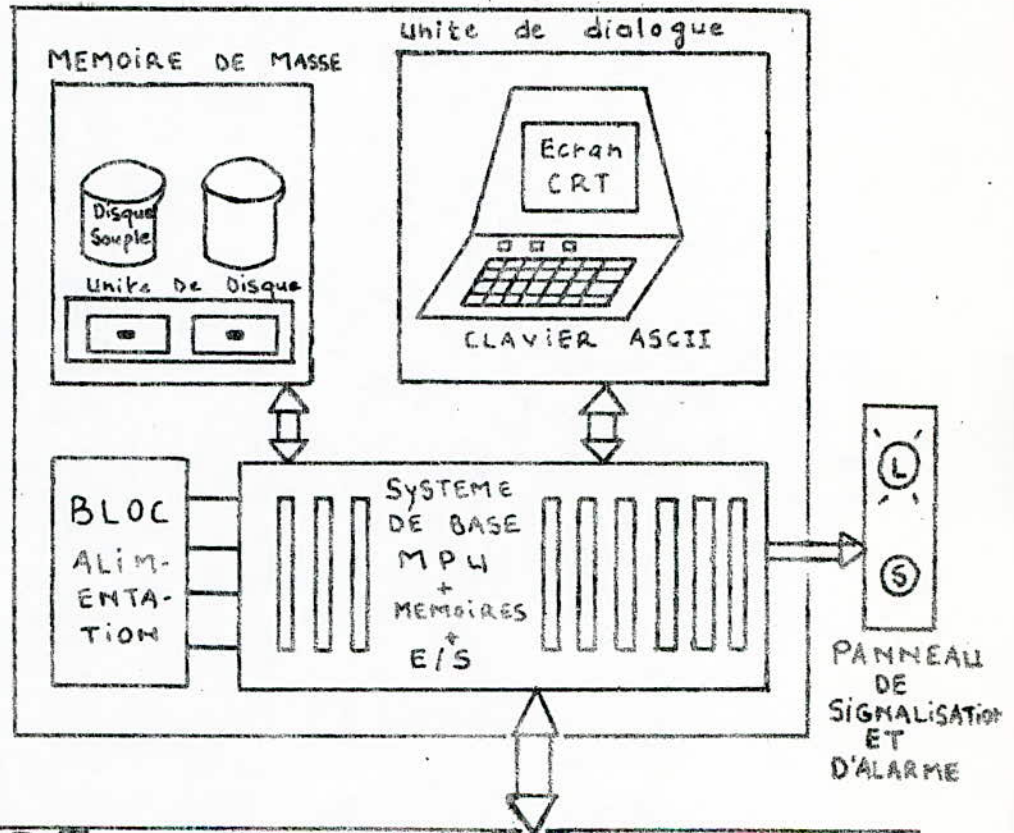
Pour éclaircir tout ce qui a été énuméré, un schéma sur l'organisation du système de sécurité est donné par la fig. 1.

/...

ORGANISATION DU SYSTEME DE SECURITE (FIG 1)

CENTRALE DE SECURITE

- L : LAMPE
- S : SIRENE
- R : Detecteur de Rayonnement
- T : Detecteur de Temperature
- H : Detecteur d'Humidité



CHAPITRE I : STRUCTURE DE LA CENTRALE DE SECURITE :

La centrale de sécurité comprend :

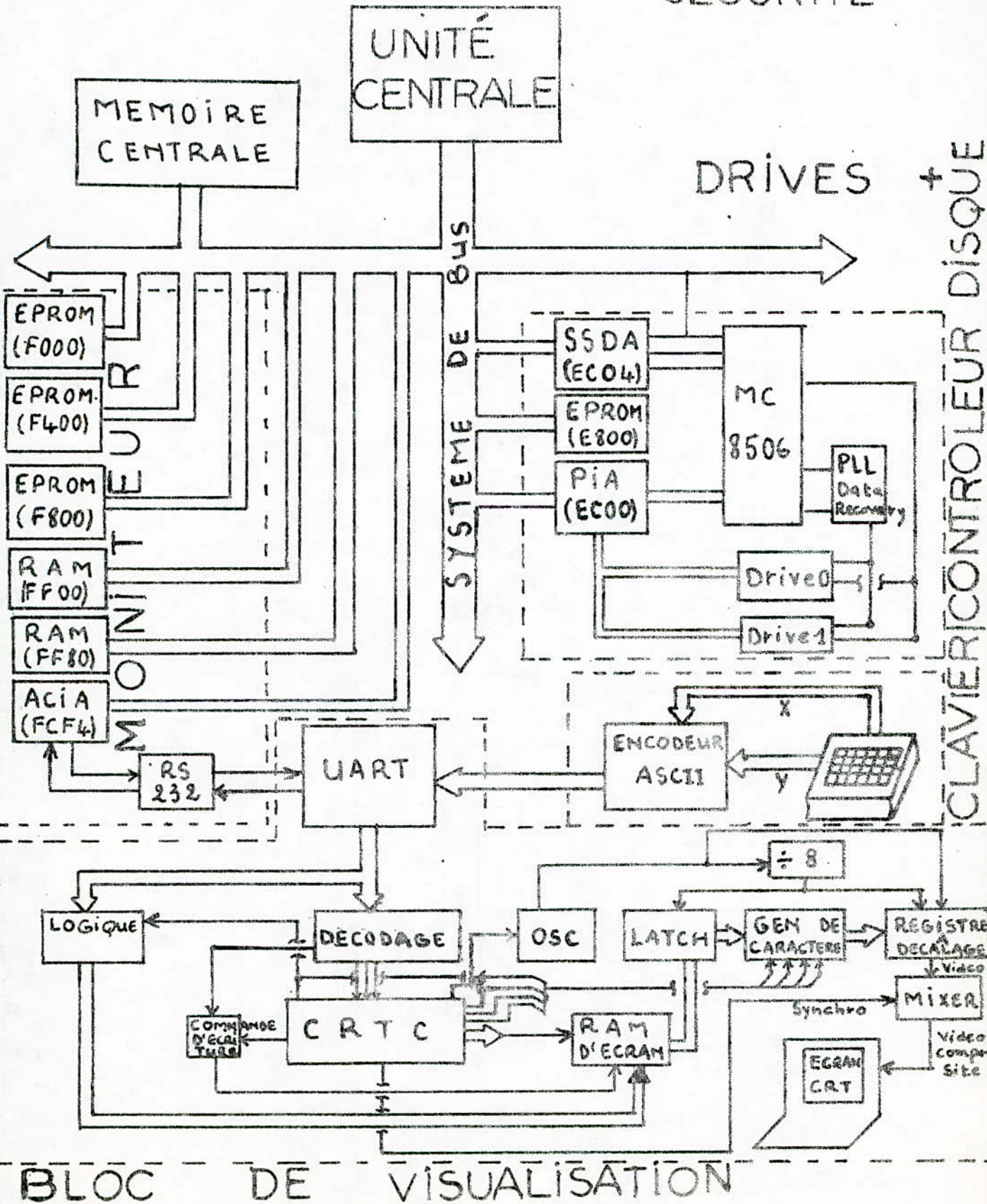
- Une carte unité centrale permettant le traitement des informations associée à une carte contenant un moniteur de base résidant en mémoire morte (EPROM), ainsi qu'un ACIA réalisant la liaison avec l'unité de dialogue (clavier + Ecran CRT + Module de visualisation).
- Une carte permettant la visualisation d'un texte sur écran associée à une consôle de visualisation et un clavier ASCII.
- Une carte contrôleur disque en liaison avec deux lecteurs de disques souples (ou Drives).
- Deux cartes mémoires Dynamiques ayant chacune une capacité de 16 K bytes, représentant la mémoire de travail du microprocesseur.

Elle a essentiellement pour rôle de stocker des programmes en cours d'exécution, et des données en cours de traitement

- Une carte interface entre la centrale et les différentes zones comprenant autant d'ACIA que de zones à surveiller.
- Une alimentation + 5 Volts et + 12 Volts pour les différentes cartes.

/...

STRUCTURE DE LA CENTRALE DE SECURITE (FIG 2)



Toutes ces cartes s'enfichent sur des connecteurs standards reliés à une "carte mère" ou "carte Bus Fond de Panier".

Sur ces connecteurs sont présents tous les signaux composants le bus d'adresse, de données et de commande, ainsi que, des signaux supplémentaires nécessaires au fonctionnement de certains modules comme le module mémoire Dynamique.

Parmi ces signaux, ceux qui réalisent les rafraichissements tels que (RR, RG) et d'autres pour la synchronisation avec les mémoires lentes tels que (MR, MC) etc...

- Une alimentation + 24 Volts, pour les unités de disques souples.

Et enfin un pupitre support de tous les modules qui ont été cités.

Un schéma synoptique de la centrale est donné par la fig;2.

I - ETUDE ET REALISATION DE LA CARTE UNITE CENTRALE

I - 1 Constitution et rôle de la carte unité centrale :

Le module MPU comprend une unité centrale (MC 6800).

Une horloge associée (MC 6871 A) ainsi que des circuits d'extension (amplificateurs de Bus MC 8 T 26, MC 8 T 97) assurant le raccordement sur le bus système ou pourront être connectés d'autres cartes.

Une logique de contrôle et de commande de ces amplificateurs de bus.

/...

Un circuit (Monostable MC 1455) permet un **Restart** automatique (Demarrage du système) après mise sous tension.

Et enfin un circuit de rafraichissement de mémoire dynamique. Ce module permet sous contrôle de programmes stockés en mémoires, et au rythme des impulsions d'horloge, de réaliser un certain nombre d'opérations (traitement, gestion de mémoires et des organes d'entrées/sorties).

Un schéma synoptique de ce module est fourni par la fig. 3.

I - 2 Etude des Composants du module MPU :

I 21 Le microprocesseur MC 6800 :

Le MC 6800 est un produit de la deuxième (2ème) génération (74 - 75) dont les caractéristiques sont connues, nous citerons brièvement les points essentiels.

En annexe est fourni le brochage et l'organisation interne de ce microprocesseur.

Le MC 6800 réalisé en technologie N MOS nécessite une tension d'alimentation (+ 5 Volts) et sa consommation varie autour de 0,25 W.

Les caractéristiques électriques externes sont compatibles TTL.

Il travaille à une fréquence de 1 MHz et dispose pour son logiciel de 72 instructions différentes dont chacune peut être définie selon un ou plusieurs modes d'adressage.

/...

Les échanges avec l'extérieur se font par l'intermédiaire de bus, on distingue :

- Un bus données : bidirectionnel permettant une capacité de traitement de 8 Bits.
- Un bus adresse : Unidirectionnel disposant de 16 Bits capables d'adresser **64 K octets** (1 K - OCTET = 1024 Octets).
- Un bus de contrôle : qui englobe les signaux suivants :

a) les signaux sortants :

* VMA (Valid Memory Adress) = A l'état haut, indiqué aux circuits périphériques qu'il y a une adresse valide sur le bus adresse (généralement utilisé pour la sélection de circuit).

* BA (Bus Available) : Généralement, il est à l'état bas, à l'état haut, il indique que le microprocesseur est à l'arrêt et le bus adresse est disponible. Ceci, arrive quand la ligne HALT passe à 0 ou quand le microprocesseur est dans l'état WAIT (attente d'interruption).

* DBE (Data Bus Enable) : A l'état haut, indique que les sorties du Bus données sont disponibles.

b) Signaux entrants :

* RESET : Sert à mettre à l'état initial et démarrer le système.

* IRQ : A l'état bas, indique une demande d'interruption au microprocesseur.

* NMI : Demande d'interruption - non masquable donc prioritaire par rapport à IRQ.

* HALT : A l'état bas arrête le microprocesseur (sans agir sur son horloge) en le deconnectant du bus système, le signal BA sera mis à 1 et le signal VMA à 0.

Il est utilisé pour des applications nécessitant une DMA (Direct Memory Access.).

I 22 Horloge MC 6871 A :

Le MC 6800 ne dispose pas de générateur d'horloge interne, aussi il doit être piloté par un oscillateur externe qui délivre deux signaux de fréquence identique mais déphasés et sans recouvrement ($\emptyset 1$, $\emptyset 2$).

Le MC 6871 A renferme un quartz et un oscillateur donnant une fréquence de 1 MHz les signaux générés par cette horloge sont :

- $\emptyset 1$ et $\emptyset 2$ (N MOS) : nécessaire au MC 6800
- $\emptyset 2$ (TTL) : nécessaire aux éléments de support et à la logique de commande inhérente.
- MR (Memory Ready) cette commande prolonge l'état haut de $\emptyset 2$ (ou bas de $\emptyset 1$), c'est un signal de synchro dans le cas d'utilisation de mémoires lentes.

Lorsque le MPU adresse une mémoire lente (temps d'accès supérieur à celui autorisé), le circuit d'horloge reçoit un niveau haut (1) sur l'entrée MR. L'horloge maintient alors $\emptyset 1$ (N MOS) et $\emptyset 2$ (N MOS) dans l'état respectif 0 et 1. Après reconnaissance d'adresse, la mémoire agit en conséquence sur MR (le met à 0) pour que le microprocesseur puisse se synchroniser sur son propre rythme.

Le prolongement de $\emptyset 2$ à 1 ne doit pas dépasser 9 ns pour assurer le rafraichissement des registres internes du microprocesseur.

- MC (Memory Clock): Signal de sélection de mémoire
- 2 Fc : 2 fois la fréquence d'horloge
- Hold : Permet de prolonger l'état haut de $\emptyset 1$ (N MOS). Il sert pour le rafraichissement des mémoires dynamiques et la DMA par vol de cycle.

I 23 Circuits d'extensions : (Amplis de bus ou Buffers) :

La sortance des circuits N MOS étant limitée à 10 entrées de la même famille; il est nécessaire de placer

des circuits d'extensions de bus (ou Ampli de Bus). Ces circuits sont à trois (3) états permettant ainsi une déconnection du microprocesseur pour les applications DMA.

En fonctionnement normal, les amplificateurs du Bus adresse et commande sont actifs en permanence. Par contre les amplificateurs du bus de données nécessitent une logique de commande en lecture ou écriture afin de déterminer le sens de transfert des informations. Le rôle essentiel de ces circuits est d'amplifier en courant les signaux issus du microprocesseur.

I 231 : Interface Adresse (MC 8 T 97) (Voir brochage et table de vérité en annexe).

Les lignes d'adresse étant au nombre de seize (16) et unidirectionnelles on a besoin de trois buffers 8 T 97 (chacun ayant une capacité de 6 Lignes). Ces circuits sont munis de la possibilité d'être mis en haute impédance soit directement par TSC (Three state control), soit indirectement par Halt qui met la sortie BA à l'état Haut (1)

(a) - Circuit de contrôle trois états (TSC) :

Le microprocesseur est muni d'une entrée TSC (brêche 39) qui est mise à la masse pour assurer son fonctionnement.

Un circuit de contrôle 3 états (TSC) est commandé par le microprocesseur (BA) en agissant sur Halt et par un signal externe TSC.

Lorsque le TSC est à 1, le bus adresse et la ligne R/W sont à l'état haute impédance. Toute opération est donc interdite.

Pour permettre le fonctionnement du MPU, il faut que le TSC externe soit à la masse (Ceci est réalisé par un strap).

(b) - Signal d'activation de l'interface adresse : (BSEN) :

TABLE DE VERITE :	BA	:	TSC (externe)	:	BSEN
	0	:	0	:	1
	0	:	1	:	0
	1	:	0	:	0
	1	:	1	:	0

$$\underline{\underline{BSEN = \overline{TSC} \overline{BA}}}$$

REMARQUES : Par action conjointe sur TSC il faut agir sur le générateur d'horloge (sur Ø1 et Ø2 pour les maintenir à 1 et 0) si l'on veut faire de la DMA.

Seulement, cette DMA est limitée par le rafraichissement nécessaire aux registres internes du micro, cependant, elle réalise des transferts avec un bon temps de réponse.

I 232 Interface données (MC 8T26) (voir brochage table de vérité en annexe):

Dans un ordre de lecture les données sont entrantes et dans un ordre d'écriture, les données sont sortantes.

Les interfaces de données doivent être bidirectionnels, le nombre de lignes de données disponibles par boîtier est de huit (8) donc deux 8 T 26 suffisent.

I 3 - Logique de Commande et de contrôle :

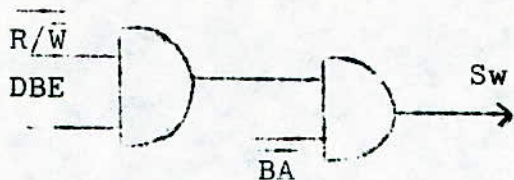
I 3.1 Circuit de lecture écriture :

Ce circuit reçoit un ordre de lecture ou d'écriture et autorise une entrée ou une sortie de données en agissant sur les interfaces de données.

a) Opération d'écriture : (sortie de données).

Signaux à validés : (R/\bar{W} = 0
(DBE (OU Ø2) = 1
(BA = 0
(

SW = $\overline{R/\bar{W}}$ DBE \bar{BA}



Vers la commande d'activation du sens sortant des Buffers de données.

b) Opération de lecture : (entrée de données)

Signaux à validés (R/W = 1
(Ø2 = 1



Vers la commande d'activation du sens entrant des Buffers de données.

$$SR = R/\bar{W} \cdot \bar{\emptyset 2}$$

Dans le cas des 8 T 26, le signal d'activation de l'entrée des données doit être au niveau bas. Le signal SR doit être inversé et le buffer sera attaqué par \bar{SR} .

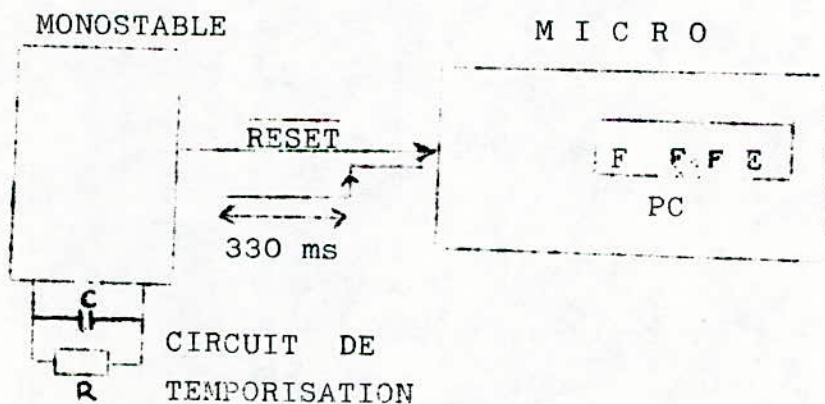
I 32 Circuit de Reinitialisation automatique :

Après chaque mise sous tension de l'appareil

et quand le niveau minimum de tension requis (4,75 V) est atteint, le microprocesseur en recevant un signal RESET de niveau logique 0 exécute une routine d'initialisation.

Un circuit conçu autour d'un monostable (MC 1455) permet de réaliser un RESET automatique, la durée de l'impulsion RESET dépend de deux composants de temporisation (R et C).

La durée de l'impulsion RESET est $t = 1,1 T = 1,1 RC$ elle est calculée de telle façon qu'elle assure une routine complète de reinitialisation ($t = 330\text{MS}$).



Le schéma interne, et les circuits externes associés au monostable MC 1455 ainsi que les chronogrammes et son principe de fonctionnement sont donnés en annexe.

Une reinitialisation manuelle est fournie par la carte moniteur associé à la carte unité centrale.

I 33 Circuit de Raffraichissement Dynamique :

a) Nécessité des rafraichissements :

L'utilisation des mémoires RAM Dynamique necessite un circuit de rafraichissement.

Les mémoires RAM dynamiques stockent des bits d'information comme des charges de condensateurs. Une capacité est nécessaire pour chaque bit, une opération de lecture décharge la capacité.

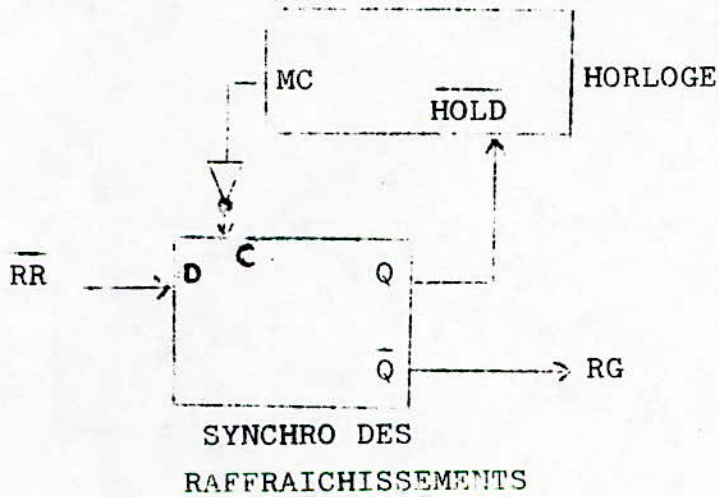
Une reecriture est donc nécessaire pour préserver le contenu de la RAM, mais les fuites dans les circuits MOS déchargent la RAM en quelques ms. Ainsi la charge doit être restaurée toutes les 2 ms : c'est le rafraichissement de la RAM.

Les RAM dynamiques sont en général utilisés pour des applications nécessitant des capacités mémoires importantes (plus de 8 K bytes) vu leur faible consommation.

b) Principe de fonctionnement :

La demande de rafraichissement est formulée à l'aide de la commande \overline{RR} (Refresh request), \overline{RR} est synchronisé avec le signal \overline{MC} au moyen d'une bascule D, dont la sortie Q attaque l'horloge sur son entrée \overline{Hold} .

Le rafraichissement n'ayant lieu que si les mémoires sont au repos, donc pendant ϕ_2 à l'état bas. si la demande de rafraichissement est prise en compte, la bascule D de synchro renvoie par l'intermédiaire de sa sortie \bar{Q} un signal RG (Refresh Grant) autorisant ainsi le rafraichissement.

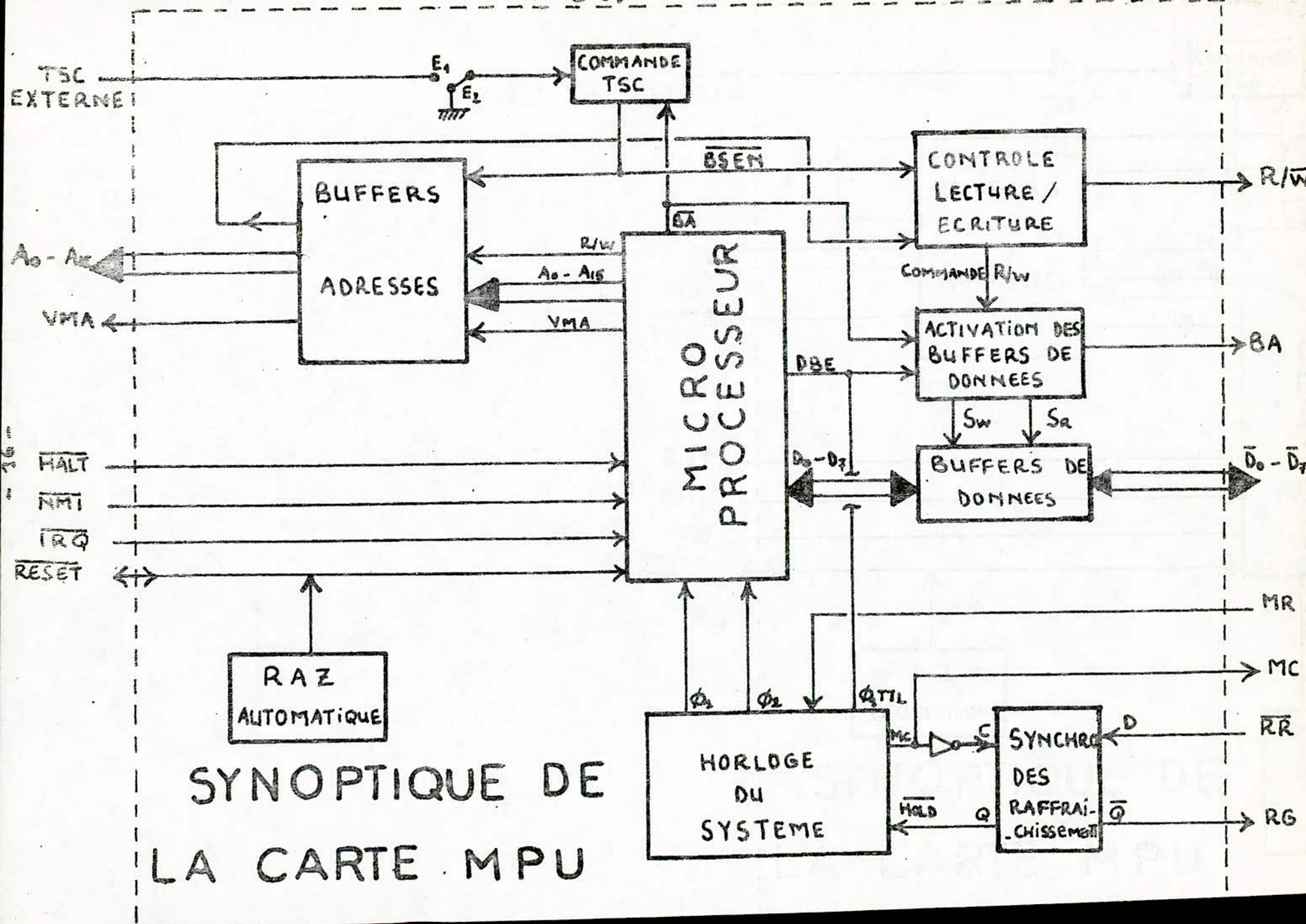


AUTORISATION DES RAFFRAICHISSEMENTS

RG

	\bar{RR}	0	1		
\bar{MC}		0	X		
		1	X		

RG



SYNOPTIQUE DE LA CARTE MPU

II - ETUDE DU SYSTEME DE VISUALISATION DE LA CENTRALE :

La centrale de sécurité est dotée d'un terminal vidéo permettant la visualisation de l'état de chaque zone où sont placés les différents détecteurs.

La visualisation d'un texte sur écran est gérée par un processeur spécialisé (CRTC).

La mémoire RAM d'écran ne fait pas partie de la mémoire centrale. L'unité centrale se trouve ainsi dégagée des tâches de gestion de la visualisation.

II 1 Composants de ce système :

Le système de visualisation comporte :

- un clavier ASCII permettant de coder l'information devant être traitée et visualisé.

Il se subdivise en deux parties :

a) Un générateur de code ASCII formant la partie électronique (Encodeur).

b) Les touches du clavier ainsi qu'un bouton poussoir du type inverseur pour le Restart manuelle, un autre inverseur I 1 pour la sélection du mode de travail de la centrale (en local ou en Line), et enfin un interrupteur permettant de choisir deux vitesses de transmission (V1 ou V2), cet ensemble formant la partie mécanique du clavier.

/...

- Une carte permettant d'établir la comptabilité entre les entrées/Sorties (E/S) du processeur et du périphérique (clavier - console de visualisation).

- Un écran TV avec une entrée vidéo.

L'unité de dialogue (cad le clavier + la carte de visualisation + écran TV) assure dans notre cas, l'échange d'informations (conversation) entre l'opérateur et le microprocesseur.

II 2 Etude de la Carte de Visualisation :

Par la suite on expliquera comment se font ces échanges, pour le moment nous essayerons de mettre en évidence le rôle de chaque élément de la carte de visualisation. Celle-ci comporte :

- A l'entrée un élément (UART : Universal Asynchronous Receiver Transmitter) permettant la conversion parallèle - série des informations arrivant du clavier, pour être acheminées vers l'unité centrale (pour un éventuel traitement et chargement en mémoire centrale), et série parallèle des informations arrivant de l'unité centrale (transitant par ACIA) pour être visualisés sur écran TV. Un schéma fonctionnel est donné par fig. 4.

- Une EPROM de decodage (MCM 2708 de 1 K x 8 Bits).

Chaque caractère ASCII est codé sous forme de 4 Bits c_0, c_1, c_2, c_3 représentant les 4 bits de poids faible du bus de données ($D_0 = C_0, D_1 = C_1, D_2 = C_2, D_3 = C_3$) les 4 autres bits de poids fort étant à la masse. Donc 128 bytes (octets) seulement parmi les 1024 disponibles sont utilisés vu le nombre de caractères ASCII à

coder, la combinaison des 4 bits (C0, C1 C2, C3) permet de reconnaître les différentes touches du clavier comme étant :

- * soit un caractère à visualiser
- * soit un mouvement du curseur
- * soit une information à ignorer

- Le CRTC (SFF 96364) circuit réalisant le rôle de contrôleur d'écran, ses fonctions sont les suivantes :

- * Génération de la synchronisation TV (standard CCIR 625 lignes).
- * Raffraichissement de l'écran.
- * Gestion complète du curseur
- * Balayage des lignes de caractère (par l'intermédiaire du compteur de visualisation intégré dans le CRTC).
- * Commande de lecture et d'écriture par la sortie W (broche 17).
- * Blanchissement de ligne ou de page (grâce à R02 du compteur de visualisation).
- * Affichage de 1024 caractères sur écran sous forme de 16 lignes de 64 caractères.
- * Enchaînement de plusieurs pages.

- Deux mémoires RAM pour le raffraichissement de l'écran (2114 de 1 K x 4 Bits). Elles permettent le stockage de 1024 caractères affichables sur l'écran.

Un circuit tampon ou LATCH (SN 74100) qui verrouille ou libère l'information présente à ses entrées suivant que le niveau de l'entrée horloge soit respectivement à 1 ou 0.

- Une EPROM (MC 2708) : Formant le générateur de caractères. Pour un caractère du code ASCII présent sur les 7 Bits de poids fort du bus adresse de l'EPROM, les 3 Bits de poids faible sont attaqués par les sorties du compteur de visualisation (R00, R01, R02) qui balayera les huit combinaisons. Donc un caractère du code ASCII occupera 8 positions mémoire (8 octets).

Ces 8 bytes génèrent les signaux nécessairement à la représentation du caractère sur écran.

- Un registre à décalage (SN 74 165) permettant de serialiser l'information présente à son entrée (information issue du bus donnée de l'EPROM Générateur de caractères), afin de la transmettre à l'entrée vidéo du récepteur TV.

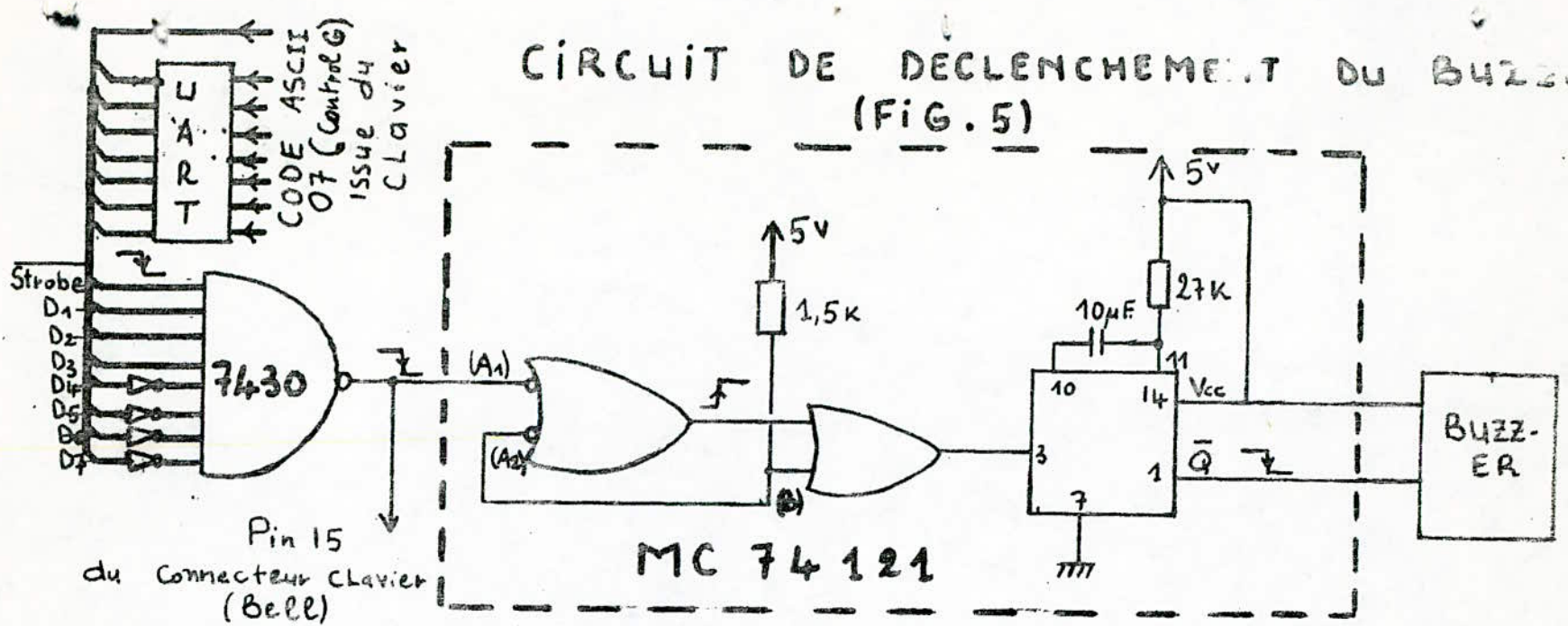
- Un Baud rate (14 411) permettant de sélectionner la vitesse de transmission compatible avec le périphérique.

- Un circuit de déclenchement du buzzer :

Ce circuit peut se déclencher de deux manières :

* soit par enfoncement d'une touche du clavier ne correspondant pas à un caractère hexadecimal, le code 07 est alors généré par l'unité centrale.

CIRCUIT DE DECLENCHEMENT DU BUZZER (FIG. 5)



A ₁	A ₂	B	Q	\bar{Q}
0	∅	1	0	1
∅	0	1	0	1
∅	∅	0	0	1
1	1	∅	0	1
1	↓	1	∩	∪
↓	1	1	∩	∪
↓	↓	1	∩	∪
0	∅	↑	∩	∪
∅	0	↑	∩	∪

TABLE DE VERITÉ
DU MC 74 121

* soit en appuyant sur la touche correspondant au code 07 qui permet de déclencher le buzzer cad "control G".

Le schéma de ce circuit est donné par la fig. 5, il utilise essentiellement une porte NAND à 8 entrées et un monostable SN 74 121 dont la table de vérité est donnée avec la fig. 5.

A l'état normal, la sortie de la porte NAND est à 1, quand le code 07 se présente à ses entrées, sa sortie bascule à 0. Le monostable se trouve alors dans la configuration $A_2 = 1$, A_1 , $B = 1$ sa sortie Q bascule alors à 0 actionnant ainsi le buzzer.

Le signal STROBE presene à l'une des entrées dela NAND, remet la sortie de celle-ci à 1 et arrête l'action du buzzer.

Un schéma synoptique de cette carte est donné par la fig 6.

II 3 Mode de Visualisation d'un texte sur l'écran :

A chaque action sur une touche de clavier un code caractère ASCII est générée sous forme d'une combinaison de 7 Bits parallèle validés par la ligne STROBE. Ce code passe dans l'UART qui permettra sa conversion parallèle - série et série - parallèle. En parallèle ce code entre dans l'EPROM qui le decodera en générant en sortie 4 Bits C_0 , C_1 , C_2 , C_3 . Si ce code correspond à un caractère à visualiser (C_0 , C_1 , C_2 , $C_3 = 1, 1, 1, 1$), le bloc RAM sera sélectionné en écriture permettant l'inscription de ce code à l'adresse générée par les lignes adresses du CRTC. Le passage de la

ligne W du CRTC à zéro (0), 4 μ s plus tard sélectionne les RAM en lecture, d'où sortie de l'information (code caractère ASCII).

Cette information passe dans le LATCH qui la libérera ou verrouillera suivant le front du signal LOAD fourni par un compteur diviseur par 8.

L'information à la sortie du LATCH passe dans l'EPROM générateur de caractères, permettant la représentation de chaque caractère selon une matrice 5 x 7 (7 Lignes de 5 colonnes).

Les 5 Bits parallèle à la sortie de l'EPROM (un bit correspond à un point sur écran) seront sérialisés par un registre à décalage à une fréquence de 6,5 MHz (fourni par un oscillateur).

Chaque balayage d'une ligne TV présentera à l'écran les 5 points relatifs à tous les caractères de la ligne, au 2ème balayage, la prochaine rangée de points, et ceci jusqu'à visualiser les 64 caractères de la 1ère ligne d'écran.

L'information serialisée peut être produite sur deux (2) sorties :

- QH = Vidéo directe (caractère blanc sur fond noir)
- QH = vidéo inverse (caractère noir sur fond blanc).

Toute l'image nécessite d'être rafraîchie 50 fois/s (50 HZ) pour éviter le scintillement. Il est donc nécessaire de lire les 1024 positions mémoires du bloc RAM quelque soit leur contenu et les afficher sur écran.

* cas du mouvement du curseur = (C3 = 0)

- L'entrée W des RAM est à 1 (sélectionnée en lecture)
- les 8 T 95 sont bloqués

C0, C1, C2 prennent différentes valeurs suivant la nature du mouvement du curseur. (voir table 1). Le CRTC agit directement sur le curseur sans autorisation d'écriture.

* ordre d'effacement =

En mettant la ligne R02 du compteur visu du CRTC à 0 , on envoie un zéro sur les portes AND (7408) ce qui forcera la caractère noir dans les cases mémoires concernées.

II 4 Traitement de l'information avant visualisation :

L'information entrant en parallèle dans l'UART et issue du clavier, est convertie en série. Cette information sera transférée en mémoire centrale pour traitement et reviendra à l'UART pour la visualisation grâce à l'ACIA et le moniteur de base résidant en EPROM, associé à la carte unité centrale.

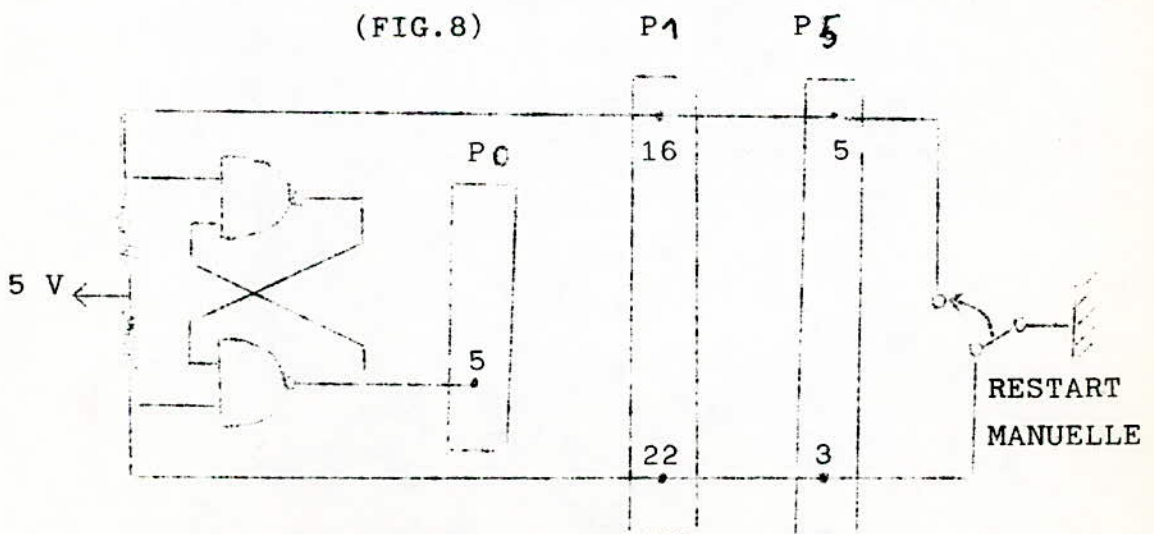
La liaison entre l'UART et l'ACIA est bidirectionnelle en simultané (Full Duplex). Les informations transitent dans les deux sens simultanément.

Le moniteur contient entre autre deux subroutines (FA 7 F et FA 14), FA 7 F permet le transfert vers la mémoire centrale des informations présentes dans le registre réception de l'ACIA.

FA 14 par contre permet le transfert des informations de la mémoire centrale vers le registre émission de l'ACIA (voir organigramme de la fig. 7).

II 5 Circuit de reinitialisation manuelle :

Un Restart manuelle réalisé par un simple bouton poussoir du type inverseur au niveau du clavier permet le démarrage du système. Ce bouton poussoir est connecté à un dispositif antirebond permettant d'envoyer un niveau logique bas sur la ligne RESET. (voir fig. 8).

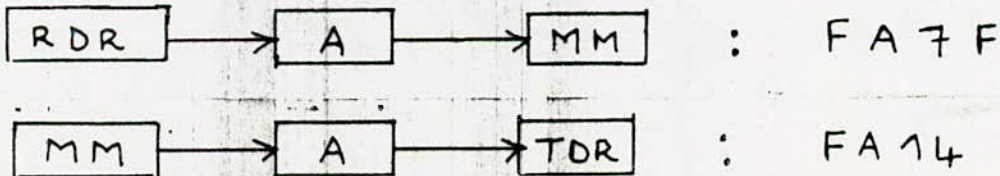
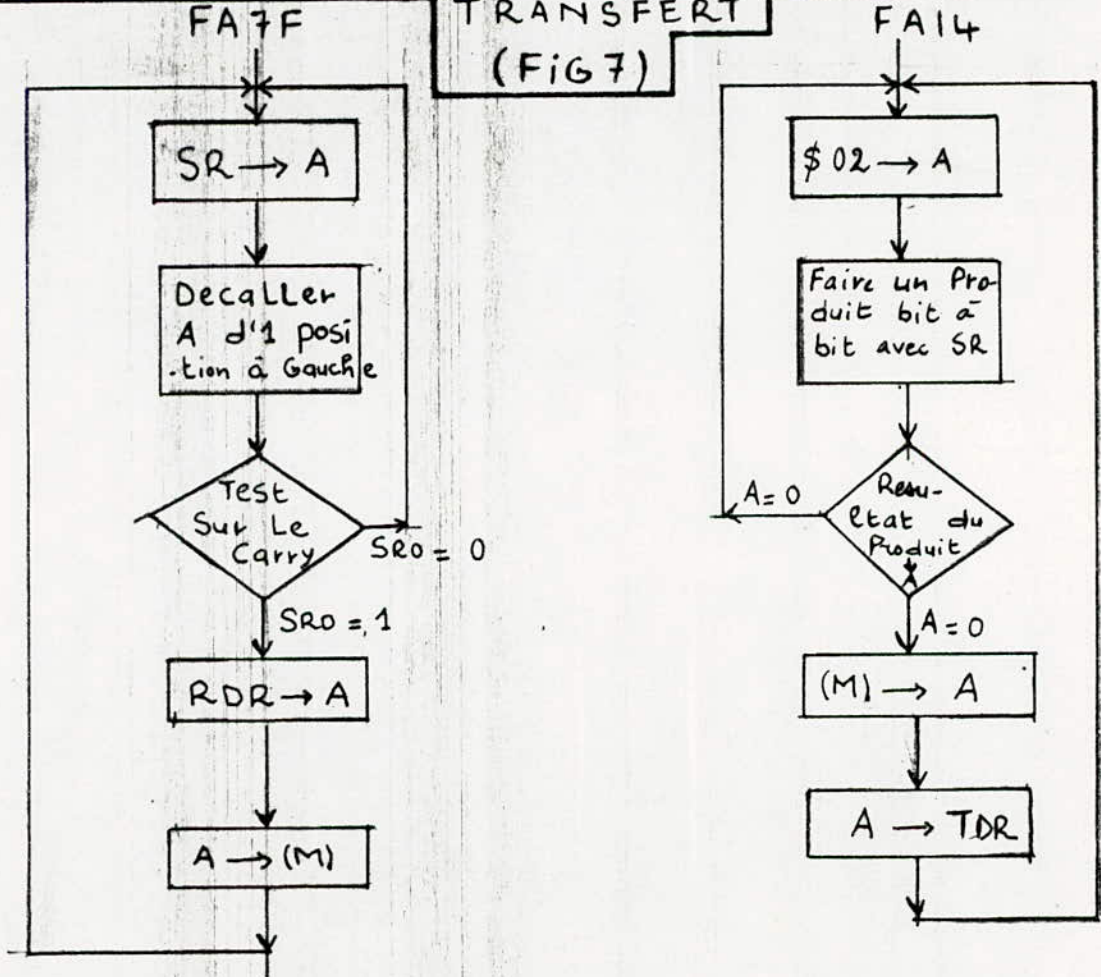


P0:	Connecteur	43	Brôches (M.P.U.)
P1:	Connecteur	50	Brôches (Moniteur)
P5:	Connecteur	20	Brôches (Clavier).

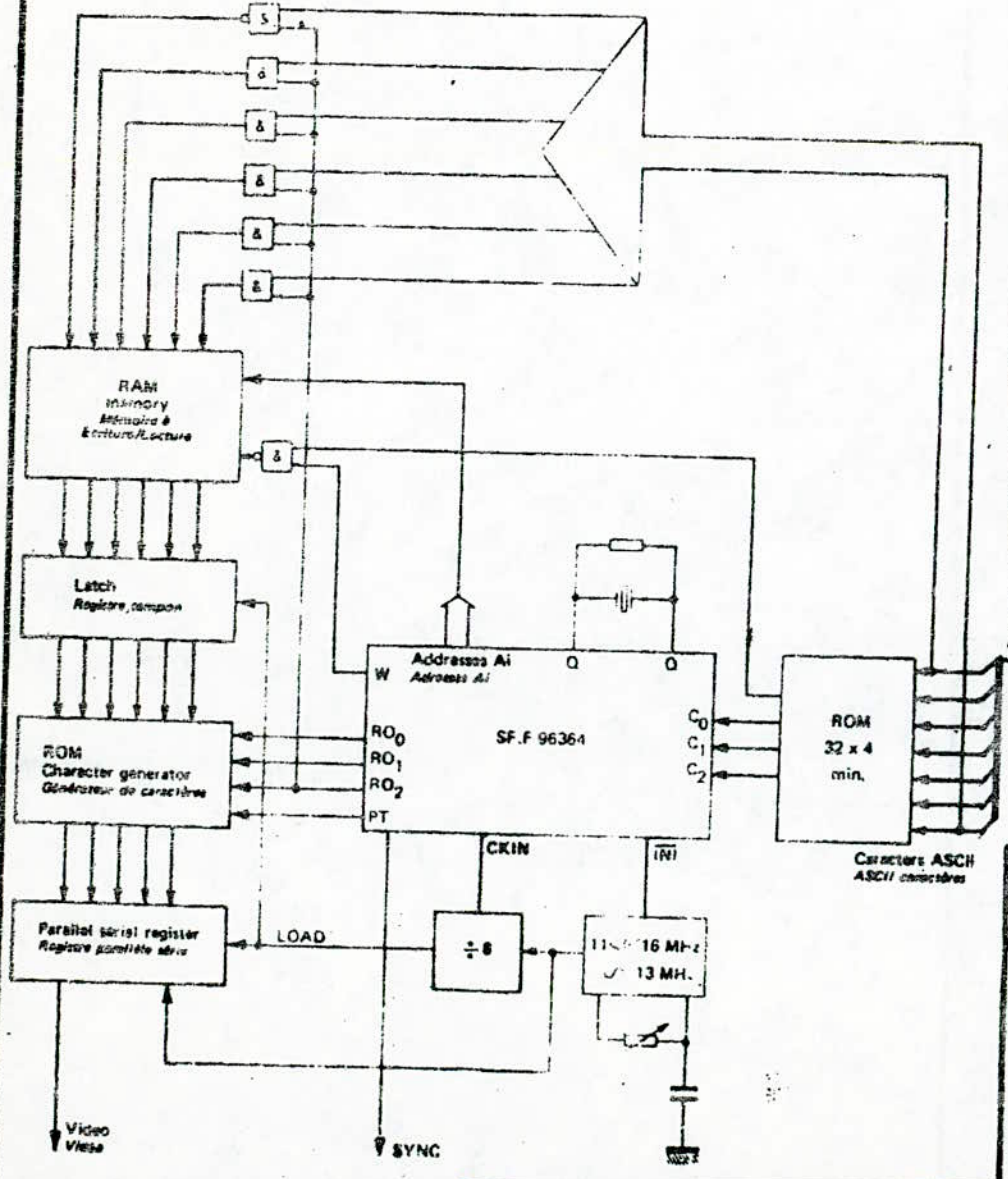
TABLE 1				
	C ₂ C ₁ C ₀	Durée d'exécution ms		
* Page erase and cursor home (top-left)	0 0 0	132		Effacement de page avec retour du curseur en haut à gauche
End of line erase and cursor return (at left)	0 0 1	8,3		Effacement de fin de ligne avec retour du curseur à gauche
Line feed (cursor down)	0 1 0	8,3		Déplacement du curseur d'une position en bas
* Inhibition of the character sent	0 1 1	8,3		* Inhibition du caractère en voye
Cursor left (one position)	1 0 0	8,3		Déplacement du curseur d'une position à gauche
Erase of cursor-line	1 0 1	8,3		Effacement de la ligne courante du curseur
Cursor up (one position)	1 1 0	8,3		Déplacement du curseur d'une position en haut
Normal character	1 1 1	8,3		Caractère normal

* In order to suppress parasite character
Destiné à supprimer les caractères parasites

ORGANIGRAMME DES SOUBROUTINES DE TRANSFERT (FIG 7)

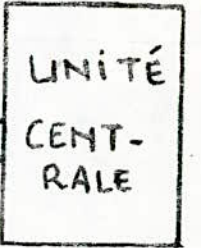
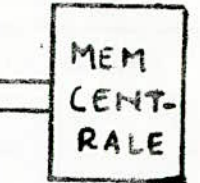
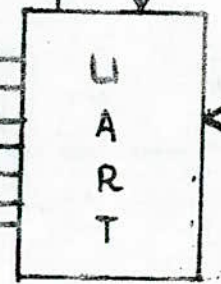
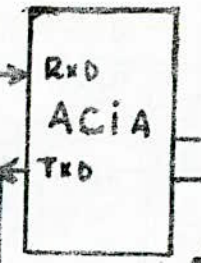


GENERAL SCHEMATIC
SCHEMA GENERAL (FIG 6)



INFO À TRAITER

INFO À VISUALISER



Liaison UART - ACIA
(FIG 4)

III UNITE DE STOCKAGE :

III 1 Nécessité d'une unité de stockage :

Notre centrale est conçue pour un traitement en temps réel. Elle doit de ce fait être connectée "en ligne" avec les différentes zones.

Cependant, nous devons prévoir le cas où l'opérateur au niveau de la centrale, qui doit prendre compte les états de chaque zone, au fur et à mesure de leur arrivée, est absent. Pour cela un traitement "Hors ligne" interviendra :

- Les informations ne sont pas traitées immédiatement, mais stockées provisoirement sur un support intermédiaire (disquette).

L'opérateur qui est "Hors ligne" prendra connaissance du message à son retour et demandera son traitement.

Il est à remarquer que lorsque la centrale travaille "en ligne", l'enregistrement des informations peut être utile. En effet la mise en archive de tous les messages permettra des recherches ultérieures et des statistiques.

Cet enregistrement se fait sur disquette, car elle présente des avantages déterminants du point de vue de l'accès et de la rapidité, alliés à une grande capacité de stockage et à un coût très supportable.

Une touche du clavier (prévue au niveau de la centrale) permettra de connecter celle-ci "en ligne" ou "Hors ligne".

/...

III 2 Constitution de l'Unité de Stockage :
(Voir schéma bloc de la fig. 2).

L 'unité de stockage comprend :

- 2 lecteurs de disques souples (ou drives) comportant une partie mécanique et une partie électronique.

- Une carte "Contrôleur disque" qui contient :

* L'EPROM E 800 (début d'adresse) contenant le "bootstrap" permettant de charger en mémoire centrale le programme de gestion du périphérique (Drive).

Ce programme appelé M DOS (Motorola Disk operating system) se trouve initialement sur disquette.

* Le circuit de récupération de données PLL qui permet de décoder les informations et de générer un signal d'horloge de synchronisation, par une séparation des données.

* Le SSDA (MC 6852) : Interface entre le drive et l'unité centrale, il réalise la synchronisation des opérations de lecture et d'écriture, la serialisation des données écrites et la deserialisation des données lues.

*Le PIA (MC 6820) s'interfaçant avec le drive pour permettre à l'unité centrale de contrôler les fonctions du drive, et ainsi de la renseigner sur les états des éléments du drive.

/...

* Un bloc (MC 8506) permettant une bonne détection d'erreur et utilisant comme type code le CRC (code redondant cyclique).

C H A P I T R E II : MODE D'ECHANGE D'INFORMATIONS :

ENTRE LA CENTRALE ET LES ZONES

I 1 Rôle de la carte interface ACIA (MC 6850) :

Chaque zone communiquant avec la centrale, comporte un "contrôleur de zone" qui traite les états de chaque détecteur avant de les faire converger.

La distance entre la zone et la centrale pouvant aller de plusieurs dizaines de mètres à quelques centaines de mètres, une liaison série est toute indiquée pour l'acheminement des informations.

Une carte ACIA contenant autant d'ACIA que de zones à surveiller jouera le rôle d'interface entre la centrale et les "contrôleurs de zones".

Chaque zone communique avec la centrale par trois (3) lignes (émission, réception, commun.).

L'ACIA étant la pièce maîtresse du mode d'échange, nous avons jugé utile de donner quelques détails sur le "ship" MC 6850.

/...

I 2 Rappels sur l'ACIA et la Norme RS 232 :

I 21 MC 6850

L'ACIA est un circuit d'interface qui réalise la mise au format des données et la commande des communications série asynchrone. L'organisation interne de l'ACIA et les détails sur ses différents registres sont donnés en annexe.

Ce genre de liaison série, a été prévu initialement pour connecter entre eux deux équipements informatiques relativement éloignés (quelques mètres à plusieurs centaines de m), comme c'est le cas pour notre liaison centrale-"contrôleur de zone". Les entrées/sorties (E/S) de l'ACIA sont compatibles TTL, cet éloignement compromet à l'allure des signaux TTL échangés, en effet :

- un signal TTL est un signal rectangulaire dont les flancs doivent être très raides, pour rester le moins longtemps possible dans la bande interdite (0,8 V - 2 V).

Une liaison longue présente une capacité parasite non négligeable (plusieurs centaines de PF). Un signal TTL, après un parcours suffisamment long, dans de telles conditions arrive fortement déformé, ses flancs sont exponentiels et son amplitude est réduite.

Signal TTL
Normal



Allure après
un long parcours

Pour s'affranchir de ces problèmes et conserver à la liaison série asynchrone son intérêt, on applique aux niveaux électriques échangés la norme RS 232 (ou V 24).

I 22 Norme RS 232 (Voir schéma en annexe) :

Les signaux TTL sortant de l'ACIA de la centrale passent dans un adaptateur de niveau (MC 1488) avant d'être envoyé sur le câble de liaison, les signaux arrivant sur le câble passent eux aussi, dans un adaptateur de niveau (MC 1489) pour être remis aux normes TTL et être appliqués à l'ACIA du "Contrôleur de zone".

Les niveaux sur la RS 232 sont définis comme suit :

- A l'émission le signal a une amplitude variant de + 15 V à - 15 V, compte tenu des alimentations disponibles la valeur généralement utilisé est de + 12 V à - 12 V.
- A la réception, les circuits d'interface RS 232 reconnaissant comme niveau bas tout signal inférieur à - 3 V et comme niveau haut tout signal supérieur à + 3 V.

Le courant maximum circulant dans la ligne est limité côté émission à 10 mA par les circuits d'interface.

La logique utilisée sur la ligne RS 232 est une logique négative c,a,d, qu'un niveau haut TTL correspond à un niveau bas RS 232 et réciproquement un niveau bas TTL correspond à un niveau haut RS 232. Cela signifie que les circuits d'interface RS 232 tant à l'émission qu'à la réception remplissent, en plus de leur fonction de conversion de niveau, la fonction d'inverseur.

Le brochage des circuits réalisant l'interface RS 232 (MC 1488 et MC 1489) et leur mise en oeuvre dans une liaison série asynchrone est donnée en annexe par les fig. 16, 17, 18 (voir annexe).

- Le MC 1488 est le circuit d'émission RS 232, il dispose de deux brôches d'alimentation qui peuvent admettre jusqu'à + 15 V et à - 15 V.

Trois de ces portes disposent de deux (2) entrées, la 4ème porte n'ayant qu'une seule entrée.

- Le MC 1489 est le circuit de réception, il admet donc des signaux RS 232 pour les convertir en signaux TTL. IL dispose d'une seule alimentation + 5 V ; ses entrées admettent des signaux qui peuvent aller de + 30 V à - 30 V d'amplitude, et ses seuils de basculement sont de + 1,5 V à - 1,5 V. Les portes qu'il contient sont des inverseuses et disposent toutes d'une entrée dite "Contrôle de Reponse" (CR) qui n'est quasiment jamais utilisé (en l'air).

/...

I 3 Mode d'Echange d'informations :

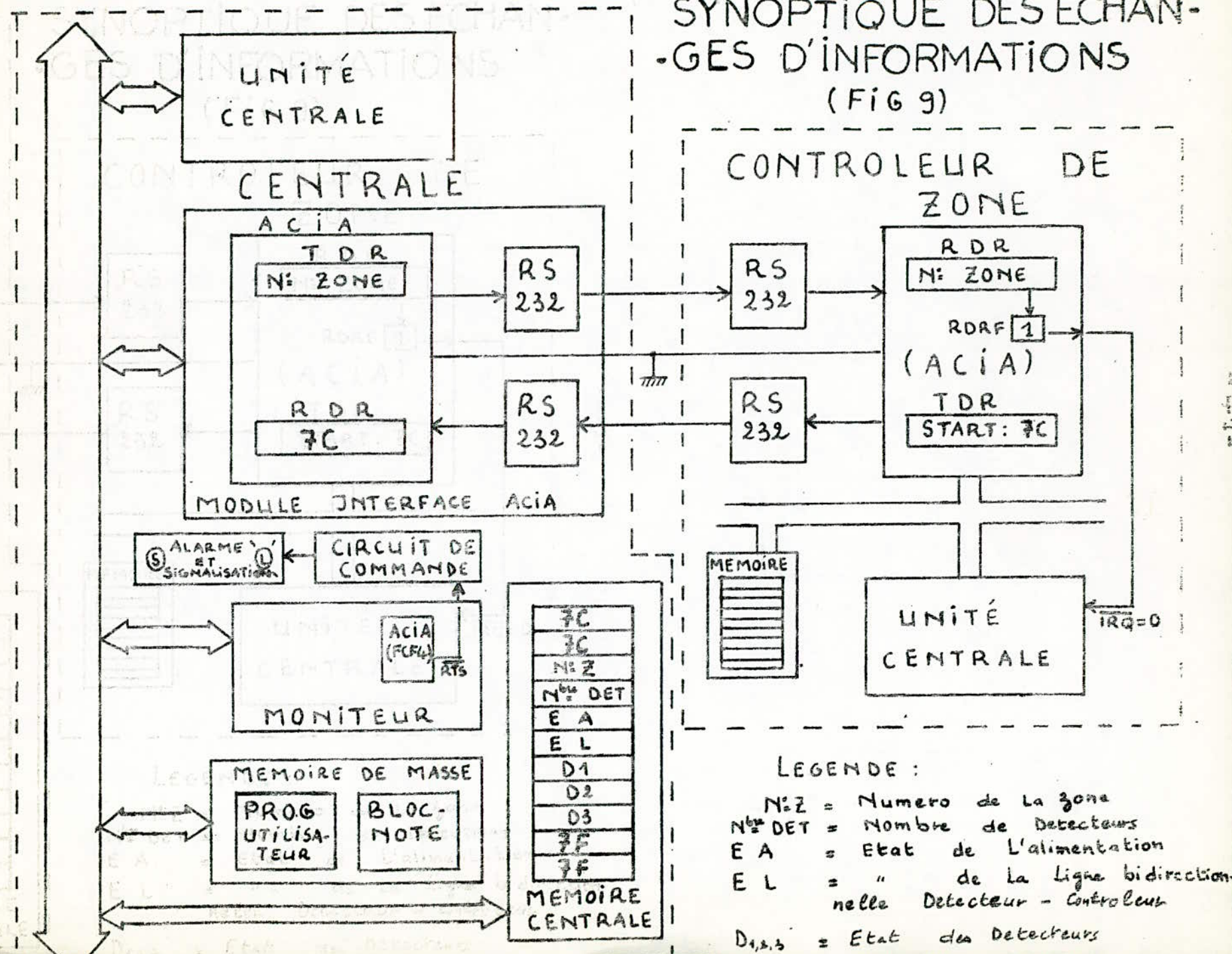
Une schématisation est donnée par la fig. 9 tout d'abord il faut préciser que dans notre étude on a prévu le contrôle de trois types de détecteurs (rayonnement température, humidité), cependant, une extension à d'autres types de détecteurs est toujours possible. Ceci dit, notre centrale scrutera les différentes zones par mode d'interruption. Pour cela le numéro de la zone à contrôler sera placé dans le registre émission de l'ACIA (TDR) correspondant au niveau de la centrale.

Ce numéro sera alors envoyé au registre réception de l'ACIA du "Contrôleur de zone" (voir fig.9) correspondant et interrompt ce dernier (c a d que l'ACIA du CZ ayant son registre réception plein mettra le bit STO du registre d'Etat (RDRF) à 1, ce qui déclenche une demande d'interruption). Le "Contrôleur de zone" termine l'exécution de l'instruction en cours avant de prendre en considération la demande d'interruption.

Après reconnaissance de celle-ci, le Contrôleur de zone exécutera une séquence d'interruption en lisant le vecteur d'interruption.

Après exécution de cette séquence, le "contrôleur de zone" commence le transfert vers la centrale de toutes mes informations qu'il a enregistré durant les cycles précédents.

FIG 9
 SYNOPTIQUE DES ECHANGES D'INFORMATIONS
 (FIG 9)



Chaque fois qu'un transfert d'informations intervient, on est amené à résoudre différents problèmes susceptibles de survenir.

Pour cela on définit une trame composée de 11 bytes (octets) formant le message qui est défini comme suit :

- 1er octet : code delimitateur début de trame (7 C)
- 2ème octet : code delimitateur début de trame (7 C)
- 3ème octet : Donnera le numéro de la zone à surveiller ce qui permettra de vérifier que la zone demandée a bien été sélectionnée.
- 4ème octet : renseigne sur le nombre de détecteurs que contient la zone.
- 5ème octet : permet de contrôler l'état de l'alimentation du contrôleur de zone" (7 D).
- 6ème octet : renseigne sur l'état de la ligne de dialogue entre le "contrôleur de zone" et les détecteurs (7 E).
- 7ème , 8ème, 9ème octet : renseigne sur l'état des trois détecteurs choisis pour notre application .
(D1 = R, D2 = T, D3 = H).
- 10ème octet : delimitateur code de fin de trame (7 F)
- 11ème octet : delimitateur code de fin de trame (7 F)

/....

Pour les délimiteurs "code début ou fin de trame" on a utilisé deux bytes pour une question de sécurité, c a d afin d'être sûr que l'information comprise entre les délimiteurs est bien conforme au message envoyé par le "contrôleur de zone". Donc le message utile sera constitué de 6 bytes, les 5 bytes restant de la trame sont occupés par les codes délimiteurs et par l'adresse désignée par centrale (N° de zone).

I 4 Détails sur le mode d'échange :

En envoyant au "CZ" une demande d'interruption, la centrale marque un temps d'attente laissant ainsi le temps au "CZ" de lui transférer les informations enregistrées. Si elle ne reçoit aucun message après le délai autorisé, elle adressera la zone à nouveau. Après un nombre défini de demande (10 fois par ex.), si la centrale ne trouve toujours rien dans son registre, elle concluera que la ligne qui la relie à la zone est coupée ou que le "CZ" est défaillant et passe à la zone suivante :

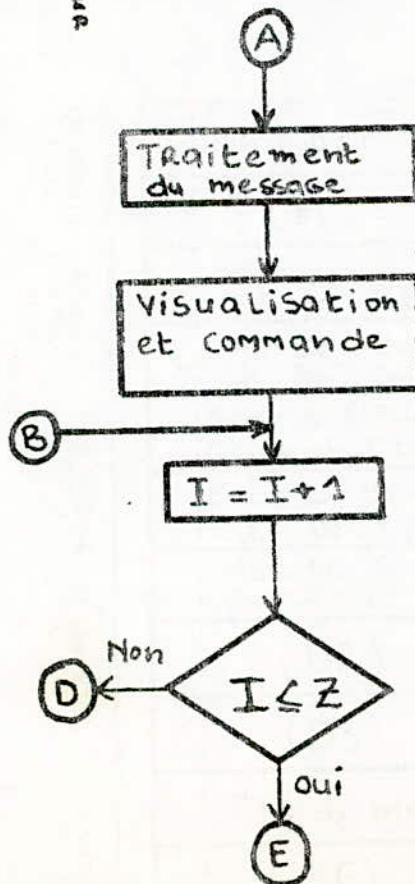
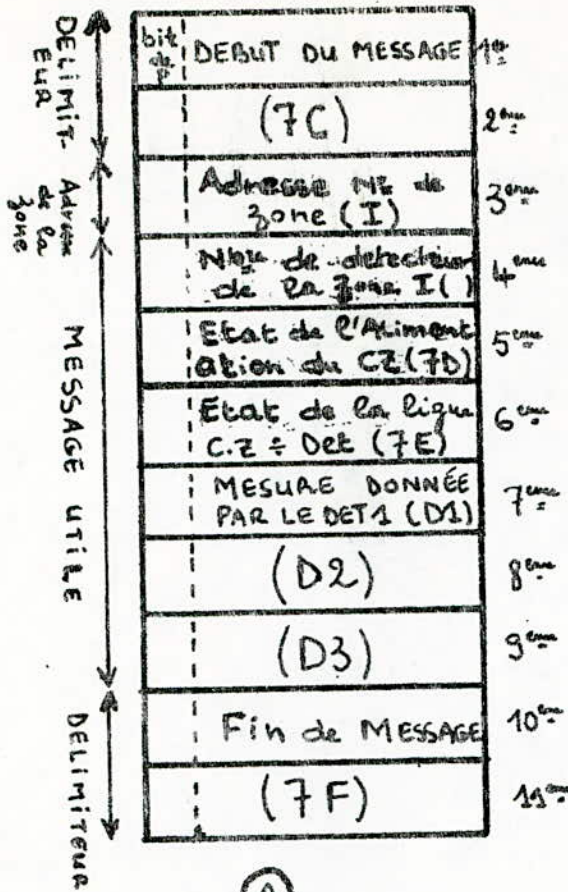
Si un octet arrive dans le registre réception de l'ACIA de la centrale. Celle-ci vérifie que le byte du message et compatible à celui qui a été envoyé. Pour déceler les éventuelles erreurs de transmission, on utilise la méthode la plus simple qui consiste en un contrôle de parité.

/...

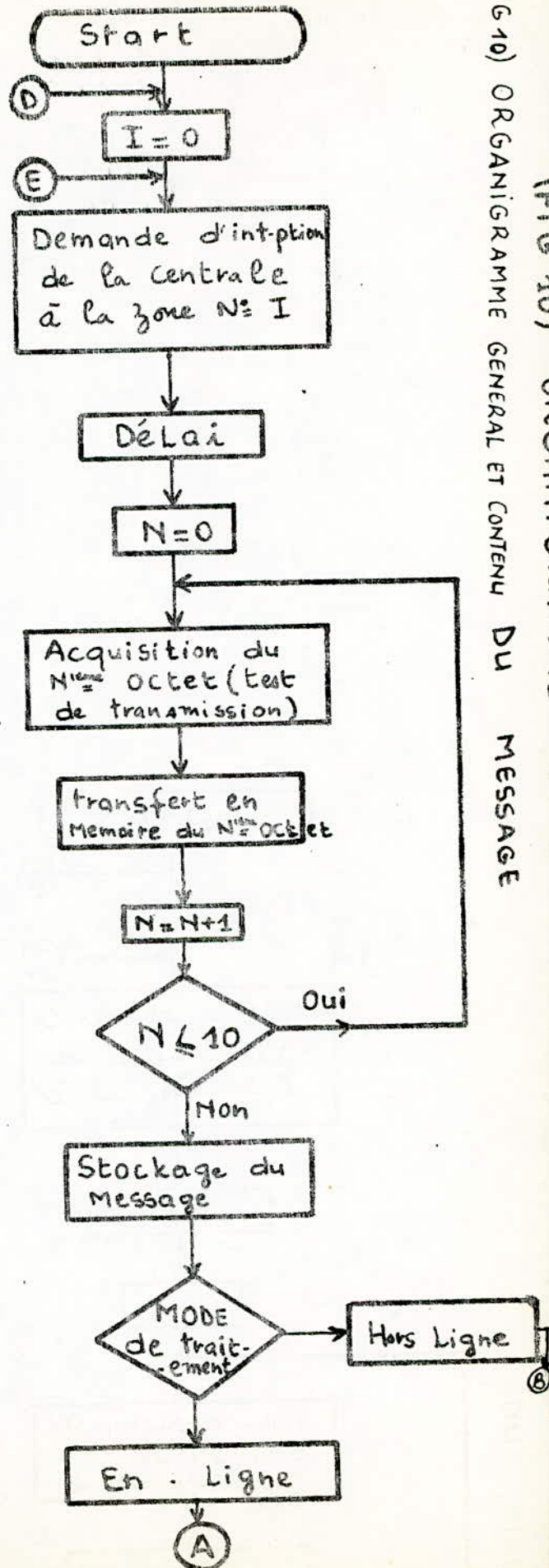
Un bit de chaque octet sera réservé au bit de parité - si erreur, la centrale adressera à nouveau la zone pour retransmission du caractère erroné et ceci un certain nombre de fois (10 fois par ex.). Si après ces 10 demandes, l'erreur persiste toujours, elle conclura que la ligne n'est pas bonne et passera à la zone suivante. Si le caractère reçu est compatible avec celui qui a été envoyé, la centrale testera cet octet (s'il ne correspond pas au message utile) et l'enverra en mémoire s'il est bon . elle reprendra alors le même travail avec le deuxième byte et ainsi de suite jusqu'au onzième. Le message sera stocké sur disquette puis suivant que la centrale soit connectée "en ligne" ou "hors ligne", suivra le traitement ou non de ce message. Traitement suivi de visualisation et de déclenchement de commande).

La centrale adressera ensuite la zone ~~suivan~~ suivante et fera le même travail qu'avec la première et ~~ai~~ ainsi jusqu'à la dernière zone. Une fois terminé avec cette dernière, elle reviendra à la première et la boule recommencera.

L'organigramme général est donné par la fig. 10, celui qui est détaillé par la fig. 11, et le programme est en annexe.

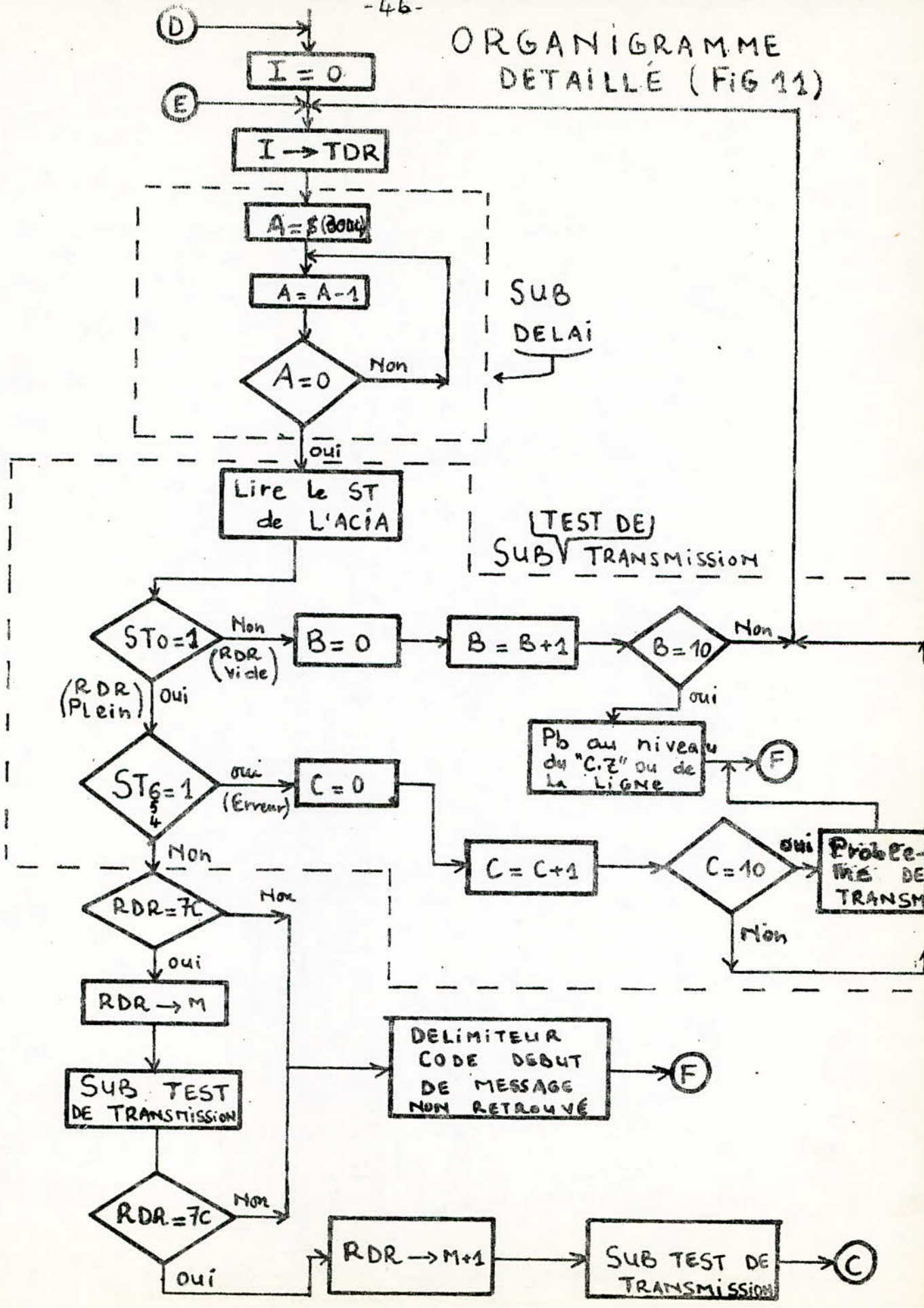


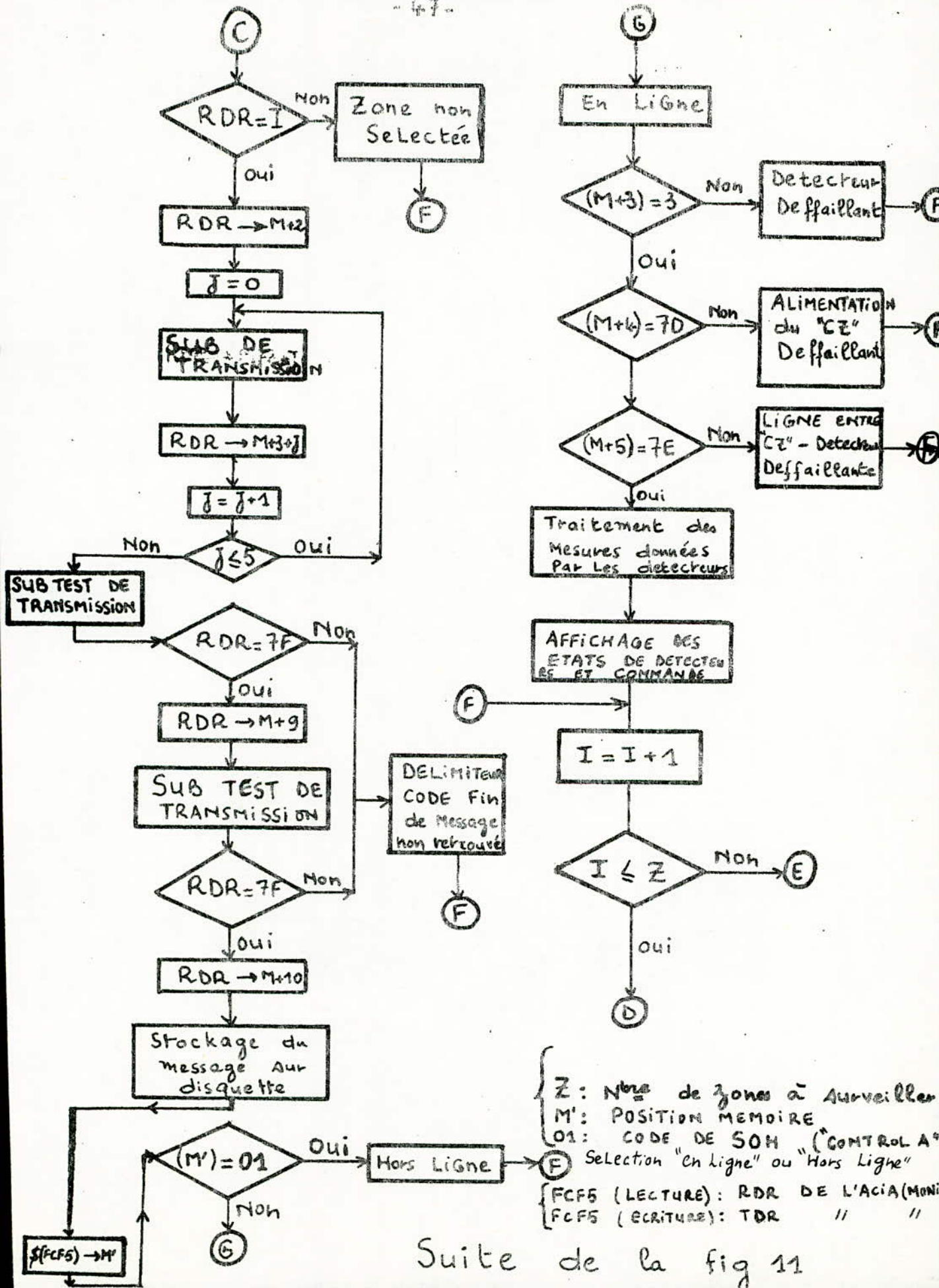
Z : n° de zones à contrôler



(FIG 10) ORGANIGRAMME GENERAL ET CONTENU DU MESSAGE

ORGANIGRAMME DETAILLÉ (FIG 11)





Z: Nombre de zones à surveiller
 M': POSITION MEMOIRE
 01: CODE DE SOH ("CONTROL A")
 Selection "en ligne" ou "Hors Ligne"
 {FCFS (LECTURE): RDR DE L'ACIA (MONI)
 {FCFS (ECRITURE): TOR " "

Suite de la fig 11

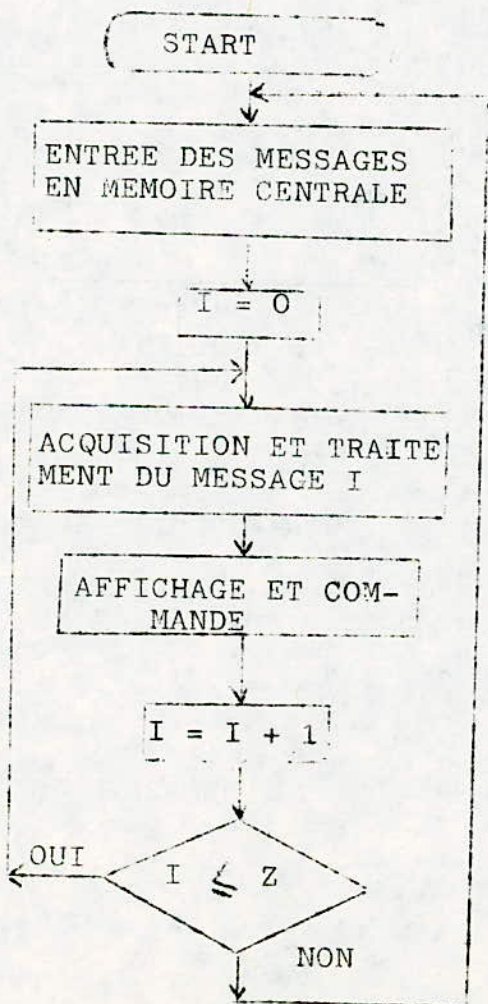
II S I M U L A T I O N :

Les Contrôleurs de zone devant nous envoyés les informations de chaque détecteur, n'étant pas disponibles, nous ferons un programme simulant ces Contrôleurs.

Ainsi en mémoire centrale seront présents les différents messages (normalement envoyés par les C.Z à la centrale).

Après acquisition des messages, la centrale les traitera et agira en conséquence sur les commandes (Alarme - Signalisation).

ORGANIGRAMME PRINCIPAL



Z = Nbre. de zone à contrôler

Z peut aller jusqu'à 128
(Codé sur 7 BITS).

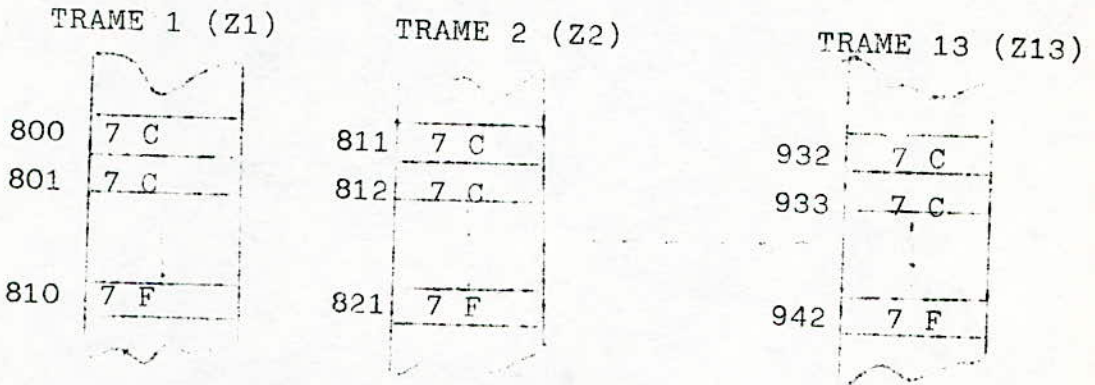
Dans notre application on
s'est limité à Z = 13

I = Numéro de la zone.

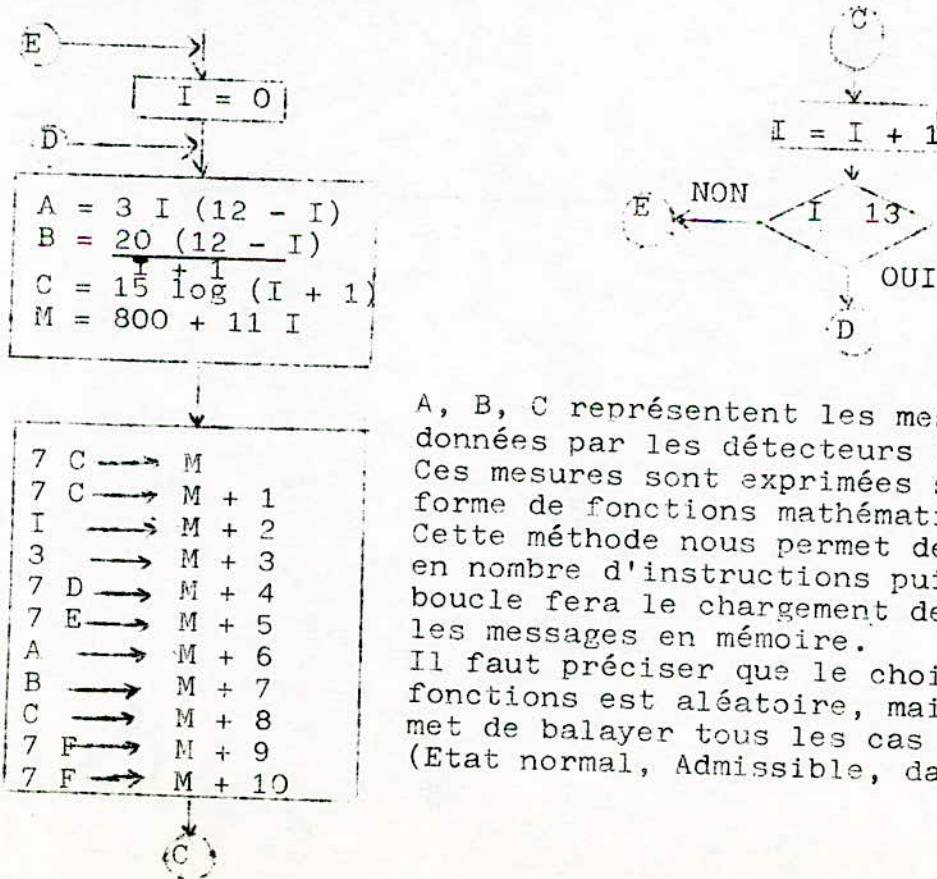
A) ENTREES DES MESSAGES EN MEMOIRE CENTRALE :

On introduira en mémoire centrale 13 messages (cas de 13 zones), chaque message occupera 11 positions mémoires (11 Bytes).

* OCCUPATION MEMOIRE



* ORGANIGRAMME D'ENTREE DES DONNEES



A, B, C représentent les mesures données par les détecteurs (R, T, H,). Ces mesures sont exprimées sous forme de fonctions mathématiques. Cette méthode nous permet de gagner en nombre d'instructions puisqu'une boucle fera le chargement de tous les messages en mémoire. Il faut préciser que le choix de ces fonctions est aléatoire, mais permet de balayer tous les cas possibles/ (Etat normal, Admissible, dangereux).

B) Acquisition et traitement du message :

Etant donné que nous ne recevons pas de message, il est inutile de faire les tests sur la transmission. Donc on ne peut pas conclure si un "CZ" est défaillant ou si la ligne est coupée ou mauvaise.

Nous avons dans cette partie simulation, à traiter uniquement le message utile (de la procédure de transmission ou trame que nous avons défini précédemment), sans avoir à nous préoccuper de la synchronisation caractère (reconnaissance du début et de la fin du message). Avant de faire ce traitement nous ferons un test nous signalant l'état " on line" ou "off line". Pour cela nous avons choisi une touche du clavier (contrôle A) de code (01). Avant de quitter son poste l'observateur doit appuyer sur cette touche. Notre programme se chargera de transférer ce code dans une position mémoire (M').

Si (M') = 01 "off line"
Si (M') ≠ 01 "on line"

- Traitement des mesures données par les 3 détecteurs :

Mesures (R = Rayonnement 7ème OCTET
(T = Température 8ème OCTET
(H = Humidité 9ème OCTET
(

Les mesures A, B, C données par chaque détecteur sera comparée à deux seuils (seuil normal et seuil admissible)

(RN = 70 Rem TN = 45° HN = 10%

(RA = 100 Rem TA = 55° HA = 40%

Si $A < (\text{seuil})_N \Rightarrow$ Etat normal (vert)
Si $(\text{seuil})_N < A < (\text{seuil})_A \Rightarrow$ Etat admissible (orange)
Si $A > (\text{seuil})_A \Rightarrow$ Danger (Rouge).

C) Visualisation et Commande :

* VISUALISATION :

L'Etat de chaque zone apparait par l'affichage d'un V (vert), O (orange), R (rouge), suivant le cas dans une case d'un tableau visualisé sur écran. (L'Etat de chaque zone dépendante des mesures fournies par les détecteurs).

Si l'alimentation du "CZ" ou la ligne qui le relie aux détecteurs est défailante ou si des détecteurs fonctionnent mal, un affichage le mentionnera.

Commande (Sirène et Lampe Rouge) :

Un panneau placé au niveau de notre centrale comporte une sirène et une lampe rouge. Ceci permet une signalisation évidente d'un danger (pour le voyant rouge) et l'avertissement à distance (sirène).

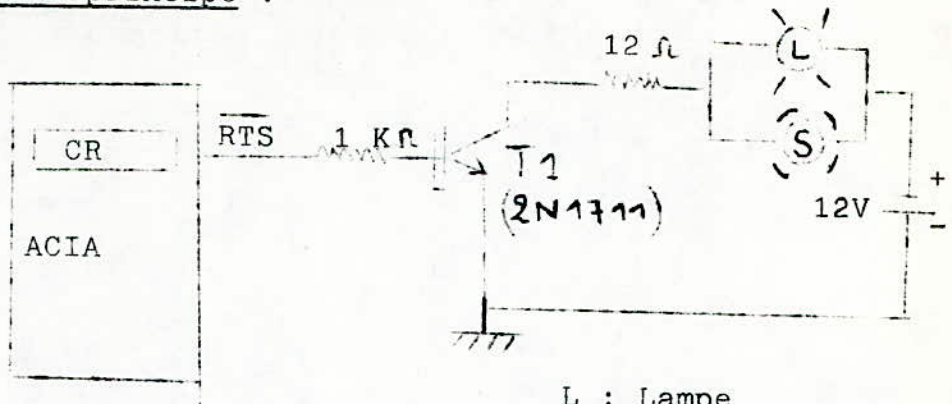
Si un orange (O) ou un rouge (R) apparait dans une case quelconque du tableau, une subroutine permettra le déclenchement d'un circuit commandant cette sirène et cette lampe pendant un certain temps (DELAI).

- L'orange fera clignoter la lampe et actionnera la sirène par intermittance (attention : prévention d'un danger).

- le rouge fera fonctionner d'une manière continue la lampe et la sirène (DANGER).

Nous avons utilisé la ligne $\overline{\text{RTS}}$ de l'ACIA (associée au module CPU). Cette ligne servira à bloquer ($\overline{\text{RTS}} = 0$) ou saturer ($\overline{\text{RTS}} = 1$) un transistor T1.

Schéma de principe :



L : Lampe
 S : Sirène
 $R_L // R_S = 8 \Omega$

Par programmation du registre de contrôle de l'ACIA, on mettra à "1" ou à "0" la ligne RTS

- * (CR5, CR6) = (1,0) $\overline{\text{RTS}} = 0$
- * (CR5, CR6) = (0,1) $\overline{\text{RTS}} = 1$

- Le Baud rate est utilisé en diviseur par 16 (CR0, CR1) = (1,0).

- la transmission se fait par insertion d'un bit stop dans un mot de longueur 7 Bits (parité paire) :
 (CR2, CR3, CR4) = (0,1,0).

	CR7	CR6	CR5	CR4	CR3	CR2	CR1	CR0	$\overline{\text{RTS}}$
§ 29	0	0	1	0	1	0	0	1	$= 0$
§ 49	0	1	0	0	1	0	0	1	$= 1$

Le registre de contrôle de cet ACIA occupe la position mémoire FC F4.

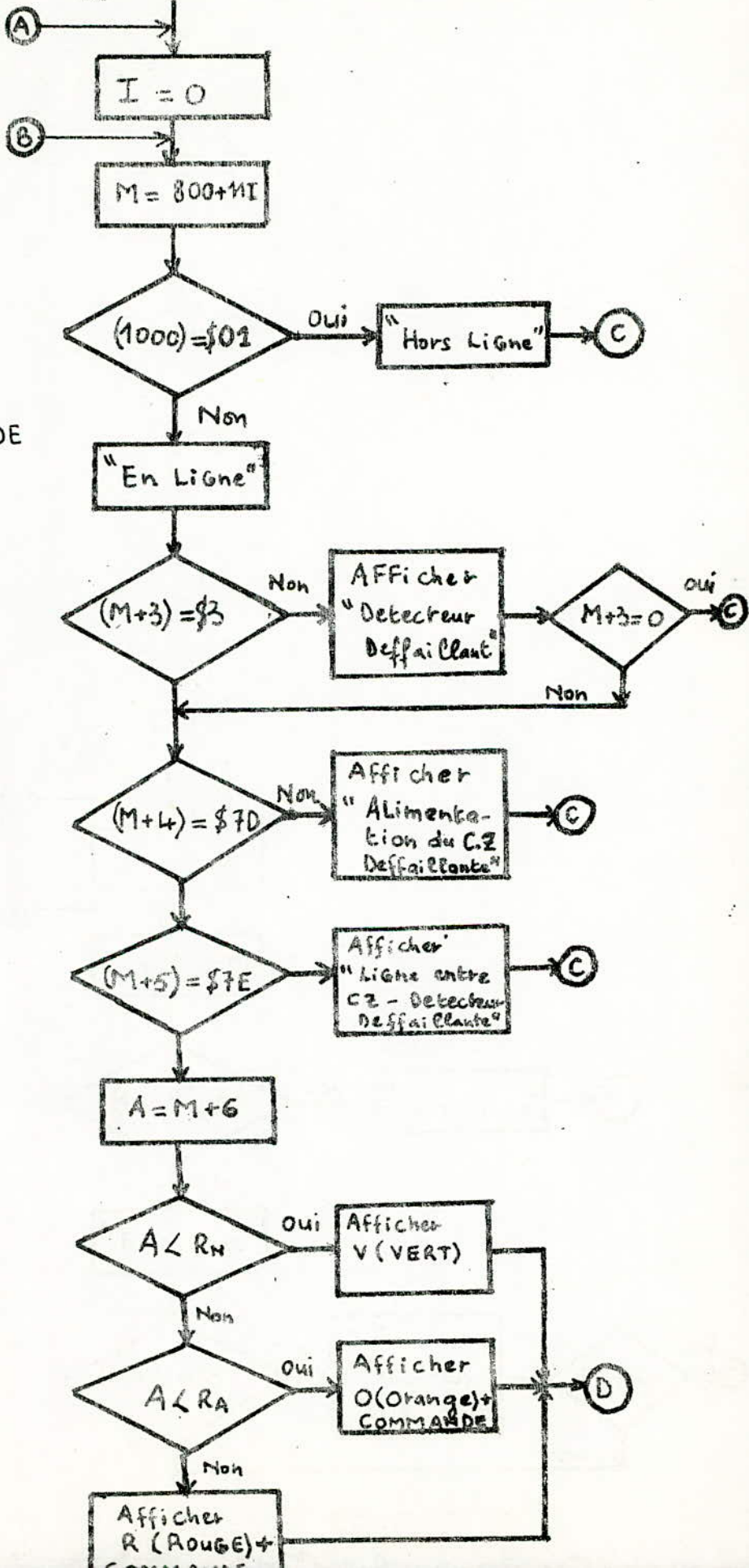
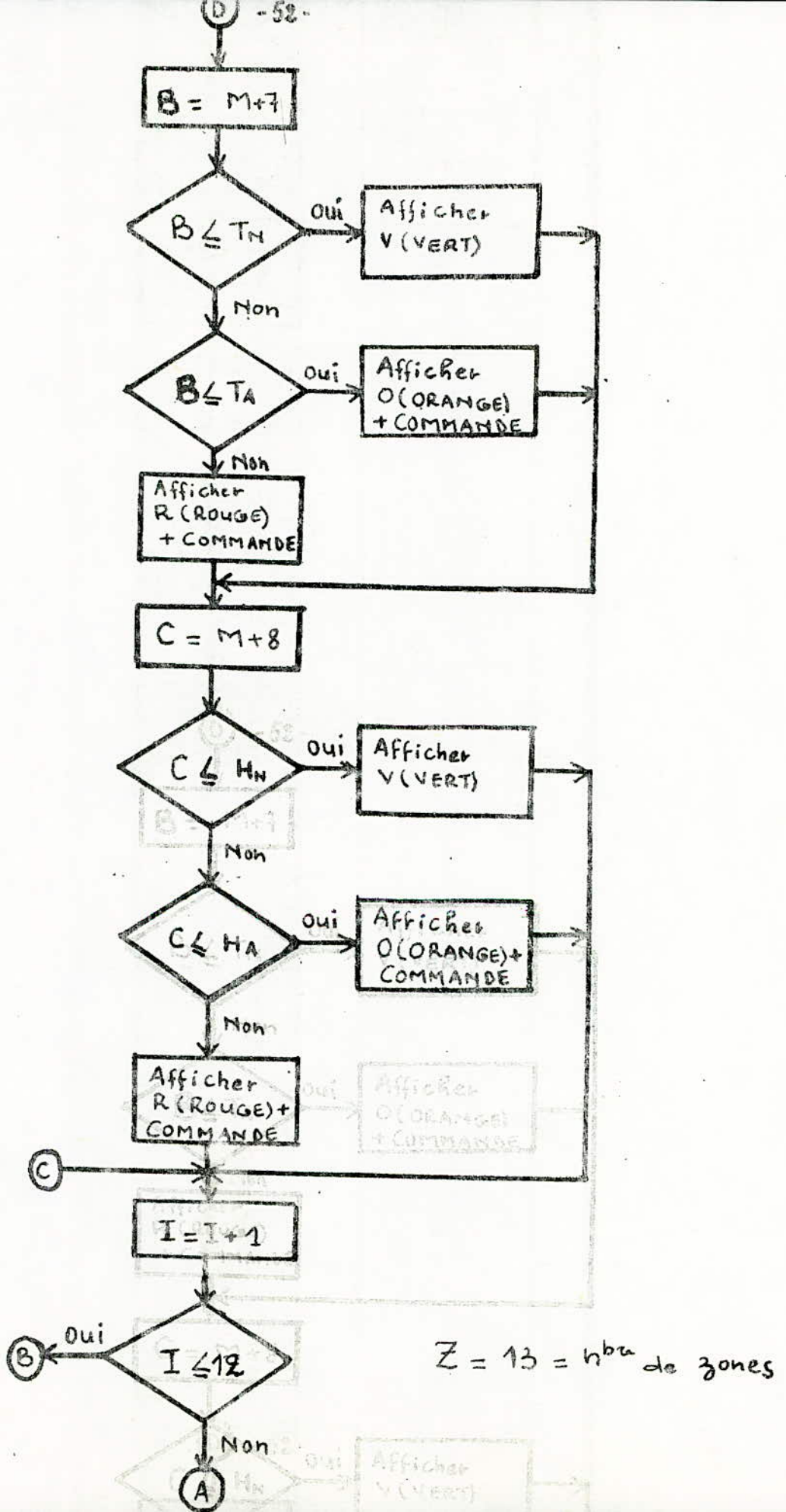


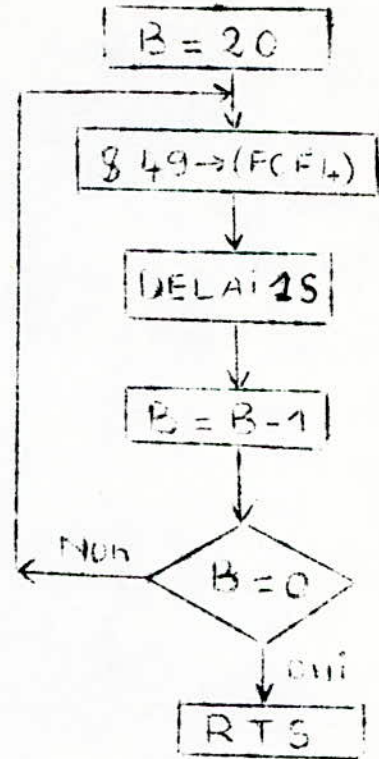
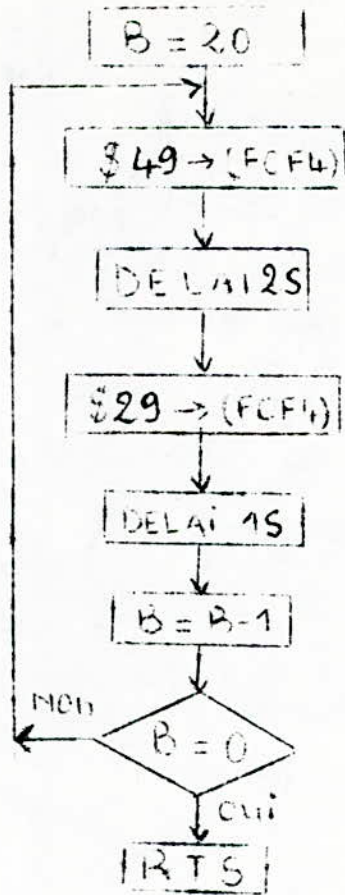
Fig 12 - B

ORGANIGRAMME DE TRAITEMENT DU MESSAGE UTILE



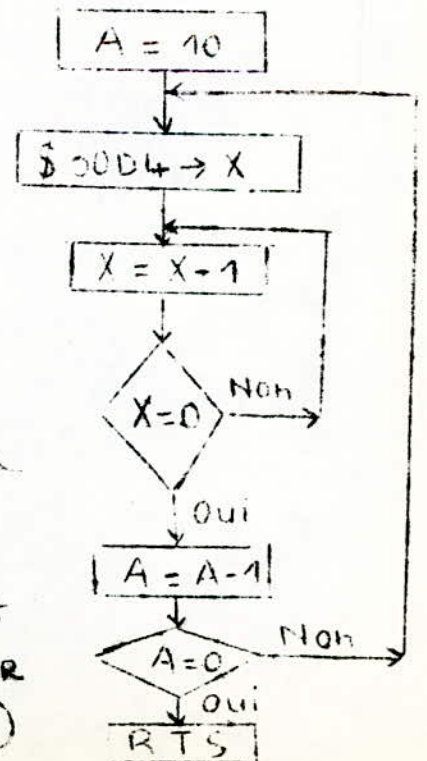
Subroutines de déclenchement des commandes

* "SUB ORANGE" * "SUB ROUGE"



* DELAI 1S (TEMP 1)

TEMPORISATION
DE 100 ms



DELAI 2S (TEMP 2)
même organigramme que
Temp 1 seulement il faut
charger L'ACCUMULATEUR
A avec 20 (ou S 14)

II O N C L U S I O N

Arrivés au terme de ce semestre, on se rend compte que les nombreuses difficultés dans la conception d'un système de sécurité centralisé ne pourraient être résolues en si peu de temps.

Face à certaines de ces difficultés nous avons essayé de trouver une solution de compromis entre le Hard, Le Soft et Le Coût qu'elle apporte.

De plus ce système ainsi conçu peut évoluer par apport de certaines modifications ne remettant pas en cause son architecture (extension du système).

Ces modifications peuvent consister en l'adjonction d'une unité supplémentaire ou le changement d'une unité par un modèle plus rapide. Par exemple dans le domaine de la radioprotection, un analyseur multicanaux serait utile au niveau de la centrale puisqu'il permet de fournir un spectre d'énergie du rayonnement nucléaire.

Au niveau des programmes, une amélioration pourrait être apportée par un test approfondi et une analyse de tous les incidents.

Nous espérons que ces améliorations seraient apportées dans les années à venir et rendront notre système plus efficace dans le domaine de la sécurité.

+

A N N E X E

+

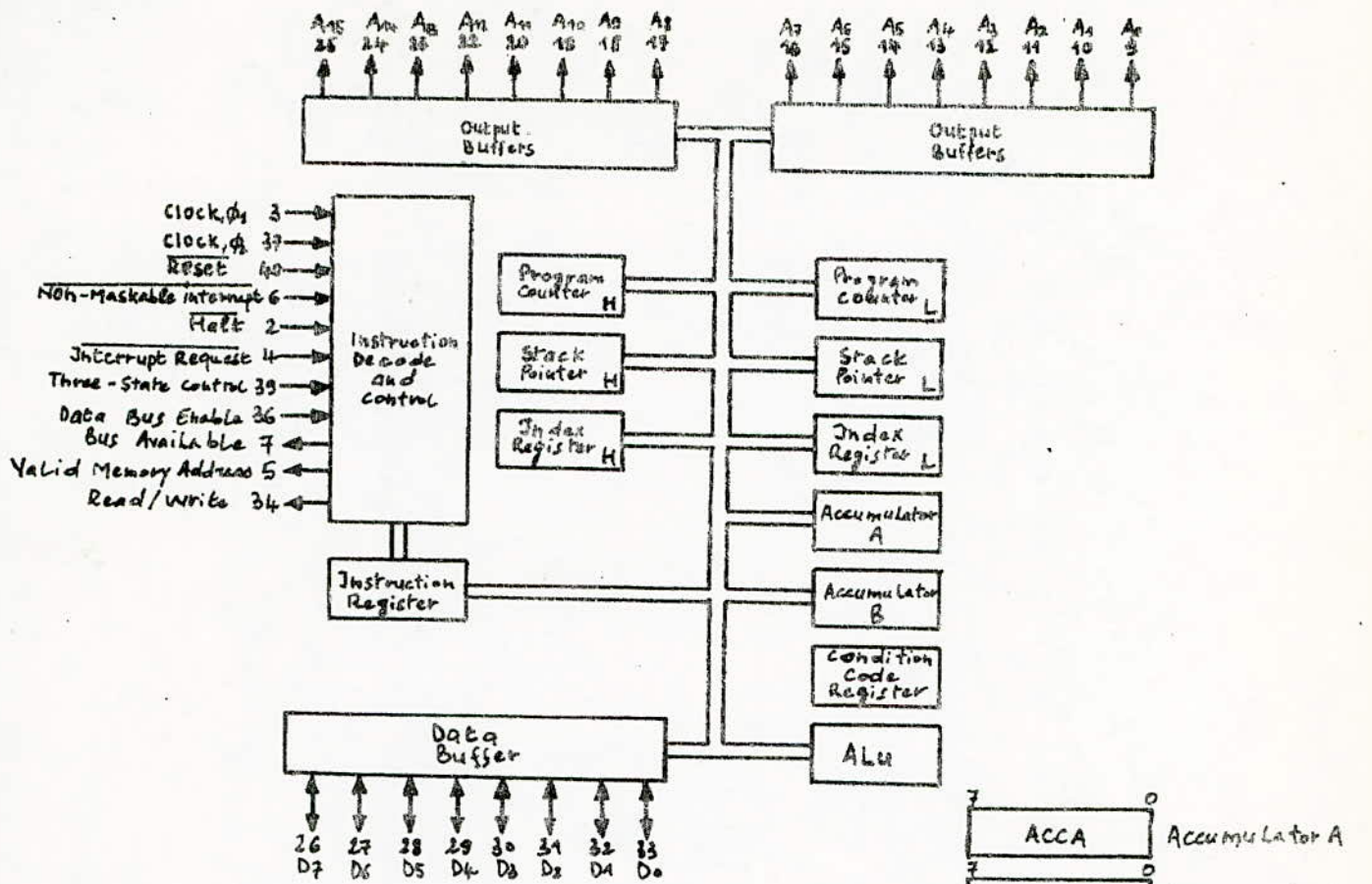
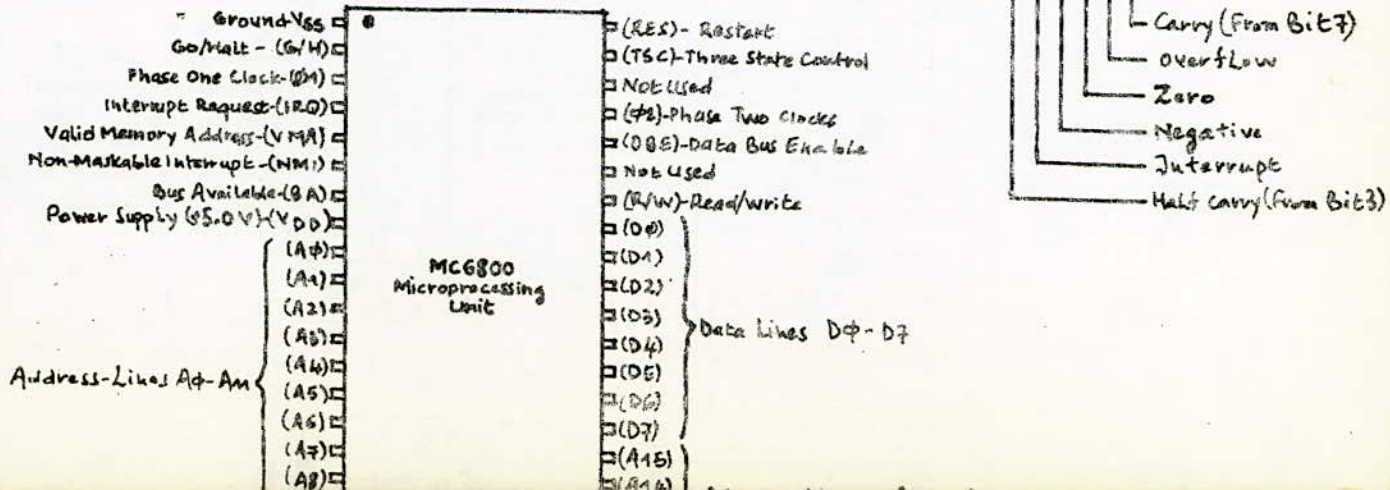
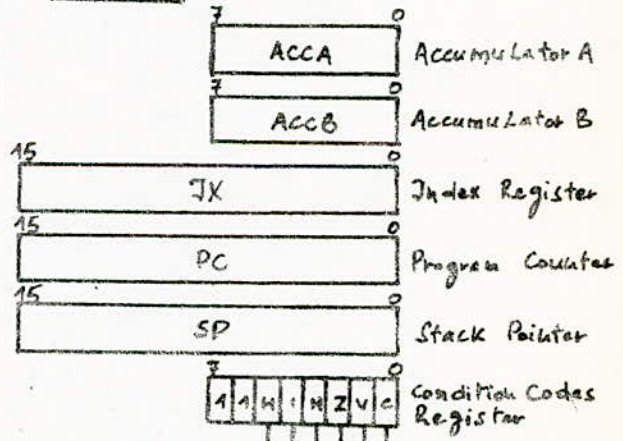


Fig 13-Le 6800 Synoptique, brochage et detail des Registres



MC 8T97

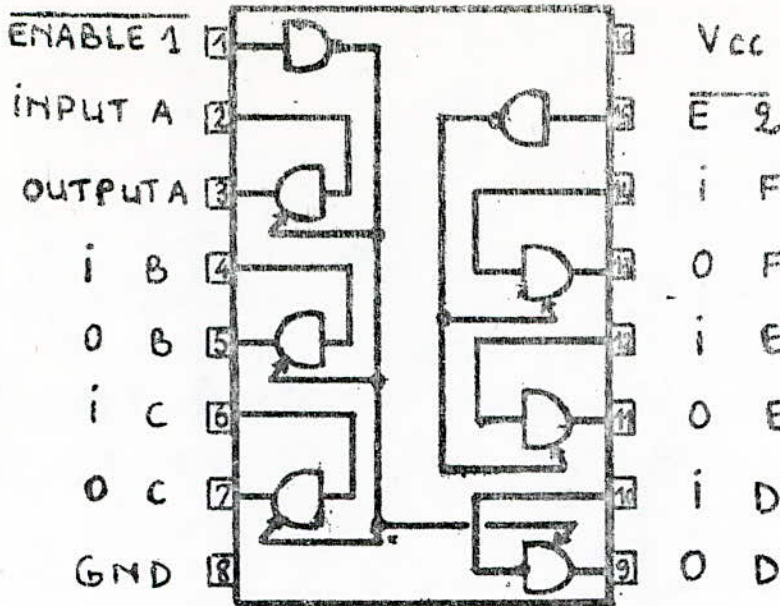


TABLE DE VERITÉ

S_w	S_R	$P_{in 1}$	$P_{in 15}$	
1			P	26
0			Z	
	1	P		8T
	0	Z		

	E_1 ou E_2	INPUT	OUTPUT
8T97	L	L	L
	L	H	H
	H	x	Z

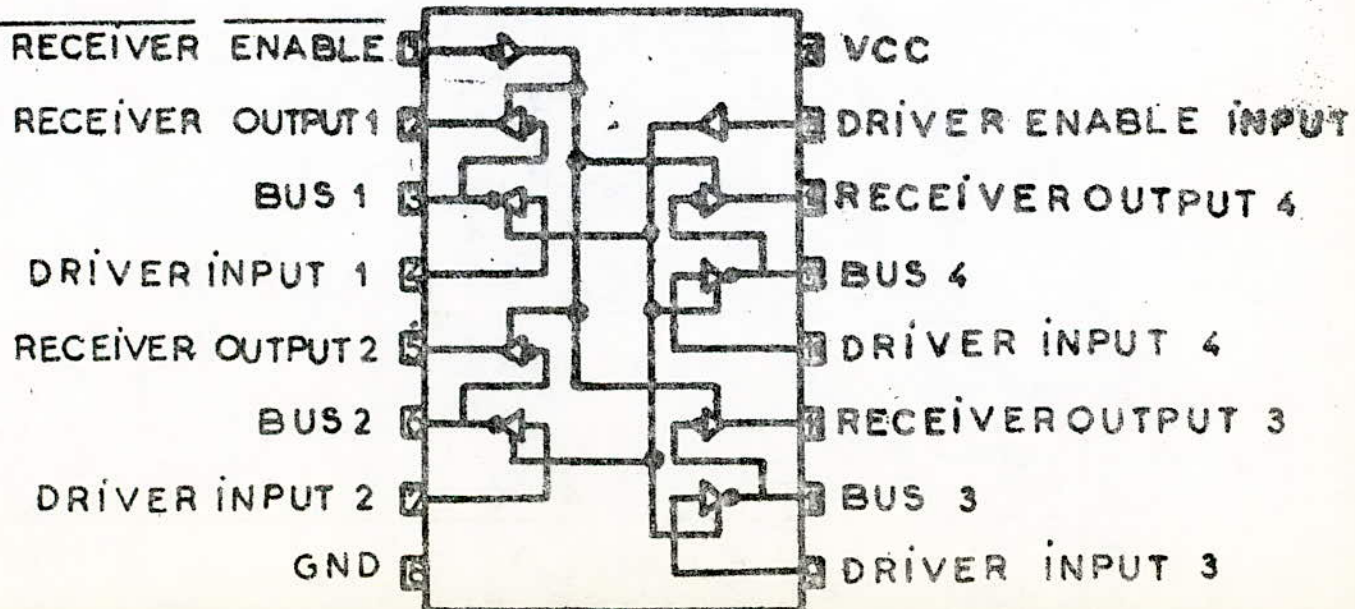
$H = 1$
 $L = 0$
 $Z =$ Haute impédance
 $P =$ Transfert de données

$$S_w = \overline{Q_2} \overline{R/\overline{w}} \overline{BA}$$

$$S_R = \overline{Q_2} R/\overline{w}$$

MC 8T26

$$E_1 = E_2 = \overline{BSEN}$$



- L'Interface Série Asynchrone ACIA (MC 6850) :

L'ACIA est en circuit d'interface entre l'unité centrale et un périphérique travaillant en mode série asynchrone.

L'ACIA est relié au système par les entrées de sélection (RS), d'activation ($\emptyset 2$), la ligne de lecture écriture (R/\bar{W}), une ligne d'interruption (\overline{IRQ}) et un bus données 8 Bits.

L'interface série est constitué côté périphérique, d'une entrée série (R x D) et d'une sortie série (T x D) avec horloges indépendantes et trois lignes de commande de périphérique/modem. (voir fig. 15).

L'ACIA possède 4 registres accessibles au microprocesseur, deux en lecture, le registre d'Etat (SR) et le registre de données reçues (RDR), deux en écriture, le registre de contrôle (CR) et le registre données à transmettre (TDR). La ligne RS et l'état du signal R/\bar{W} déterminent le registre sélectionné comme le montre la fig. 19.

Un schéma fonctionnel et deux tables sur le contenu des registres sont donnés par la fig. 14 et les tables 2 et 3.

La configuration fonctionnelle de l'ACIA est programmée (Via le bus données) pendant la mise à l'état initial du système. Le registre de commande (ou de contrôle) programmable permet d'indiquer la longueur des mots, le rapport de division d'horloge, la commande de transmission, la commande de réception et celle d'interruption. Un registre d'Etat permet d'observer l'état courant du transmetteur et du récepteur.

FIG 14 - ACIA EXPANDED BLOCK DIAGRAM

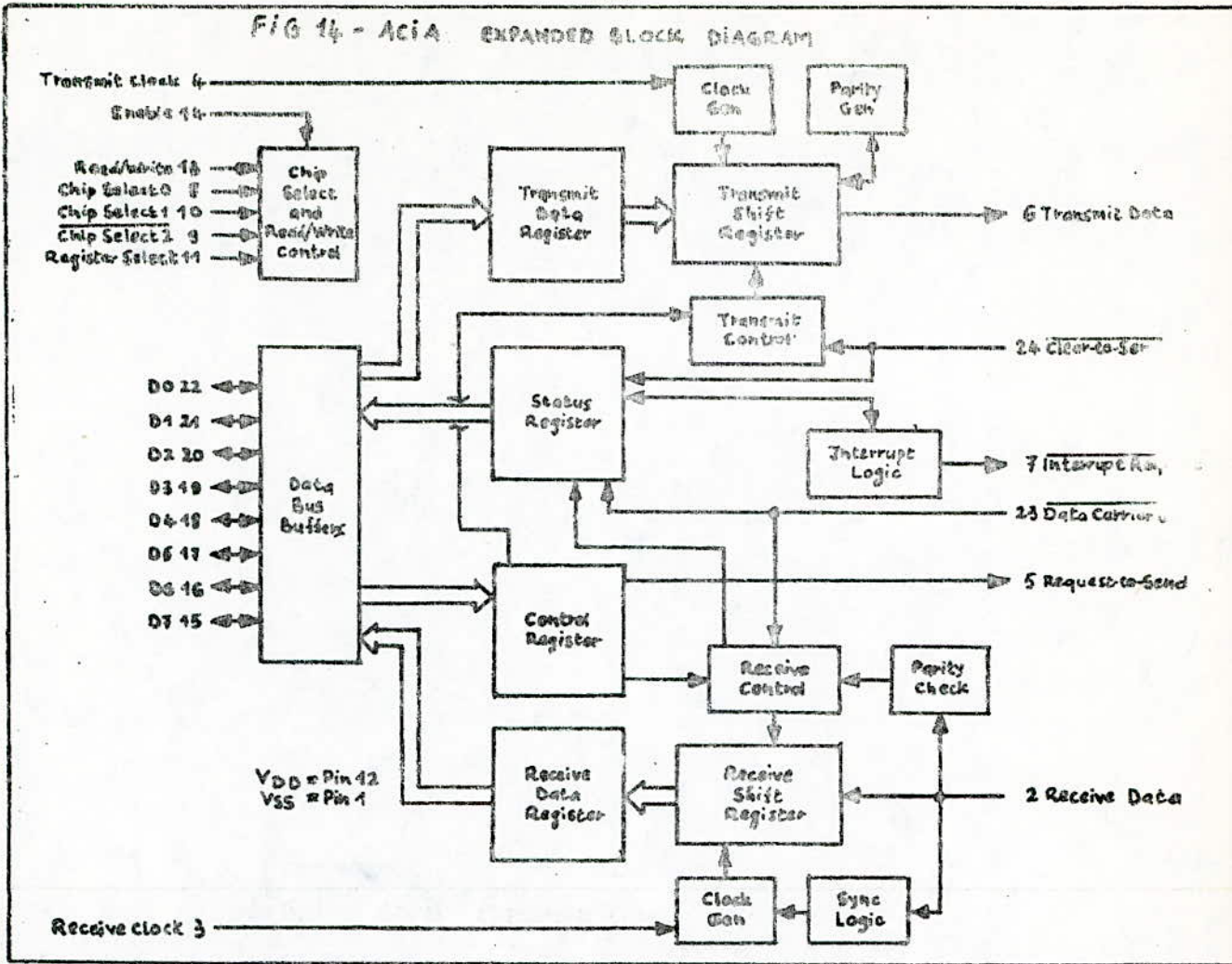
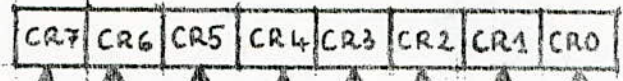


TABLE 3 - DEFINITION OF ACIA REGISTER CONTENTS

Data Bus Line Number	Buffer Address			
	RS = R/W	RS = R/W	RS = R/W	RS = R/W
	Transmit Data Register (Write Only)	Receive Data Register (Read Only)	Control Register (Write Only)	Status Register (Read Only)
0	Data Bit 0*	Data Bit 0	Counter Divide Select 1 (C.R.0)	Receive Data Register Full (R.D.R.F)
1	Data Bit 1	Data Bit 1	Counter Divide Select 2 (C.A.1)	Transmit Data Register Empty (T.D.R.E)
2	Data Bit 2	Data Bit 2	Word Select 4 (C.R.3)	Data Carrier Detect (S.C.B)
3	Data Bit 3	Data Bit 3	Word Select 2 (C.R.8)	Clear-to-Send (C.T.S)
4	Data Bit 4	Data Bit 4	Word Select 3 (C.R.4)	Framing Error (F.E)
5	Data Bit 5	Data Bit 5	Transmit Control 1 (C.R.5)	Receiver Overrun (O.V.R.M)
6	Data Bit 6	Data Bit 6	Transmit Control 2 (C.R.6)	Parity Error (P.E)
7	Data Bit 7***	Data Bit 7**	Receive Interrupt Enable (C.R.7)	Interrupt Request (I.R.Q)

* Loading bit, LSB = Bit 0
 ** Data bit will be zero in 7-bit plus parity modes.
 *** Data bit is "don't care" in 7-bit plus parity modes.

ALIA CONTROL AND STATUS REGISTERS (TABLE 2)



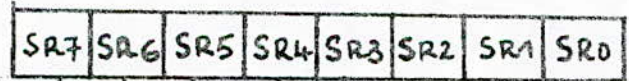
Function	CR7
Interrupt from receive section is disabled	0
Interrupt from receive section is Enabled	1

CR1	CR0	Function
0	0	÷ 1
0	1	÷ 16
1	0	÷ 64
1	1	Master Reset

RTS Low
RTS Low
RTS High
RTS Low

Function	CR6	CR5
Transmitting Interrupt Disabled	0	0
Transmitting Interrupt Enabled	0	1
Transmitting Interrupt Disabled	1	0
Transmits a break level on the TDO. Transmitting Interrupt Disabled	1	1

CR4	CR3	CR2	Function
0	0	0	7 bits + even Parity + 2 Stop Bits
0	0	1	7 bits + odd Parity + 2 Stop Bits
0	1	0	7 bits + even Parity + 1 Stop Bit
0	1	1	7 bits + odd Parity + 1 Stop Bit
1	0	0	8 bits + 2 Stop Bits
1	0	1	8 bits + 1 Stop Bit
1	1	0	8 bits + even Parity + 1 Stop Bit
1	1	1	8 bits + odd Parity + 1 Stop Bit



Function	PE
Error of Parity	1
Not Error	0

RDRF	RDR
0	Empty
1	Full

Judicate of Int	IRQ
Not Int	0
Interruption	1

Function	OVRN
Correct Reception	0
one or more characters Lost	1

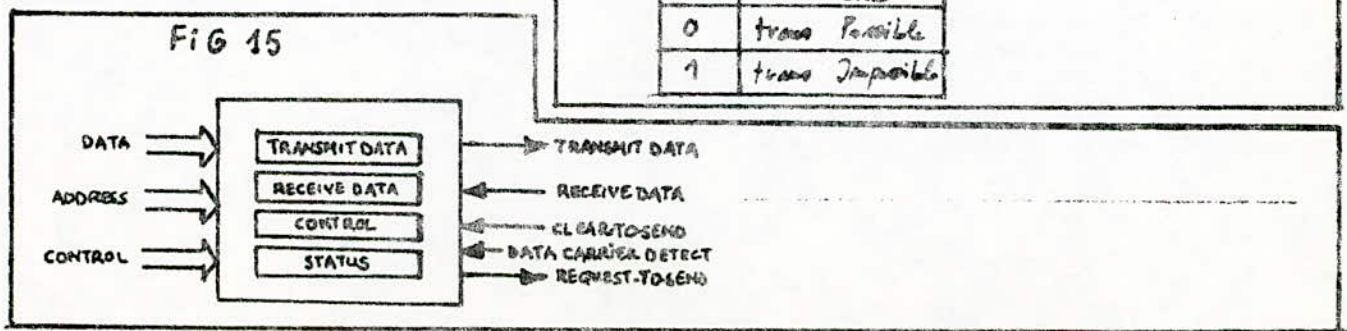
TDRF	TDR
0	Full
1	Empty

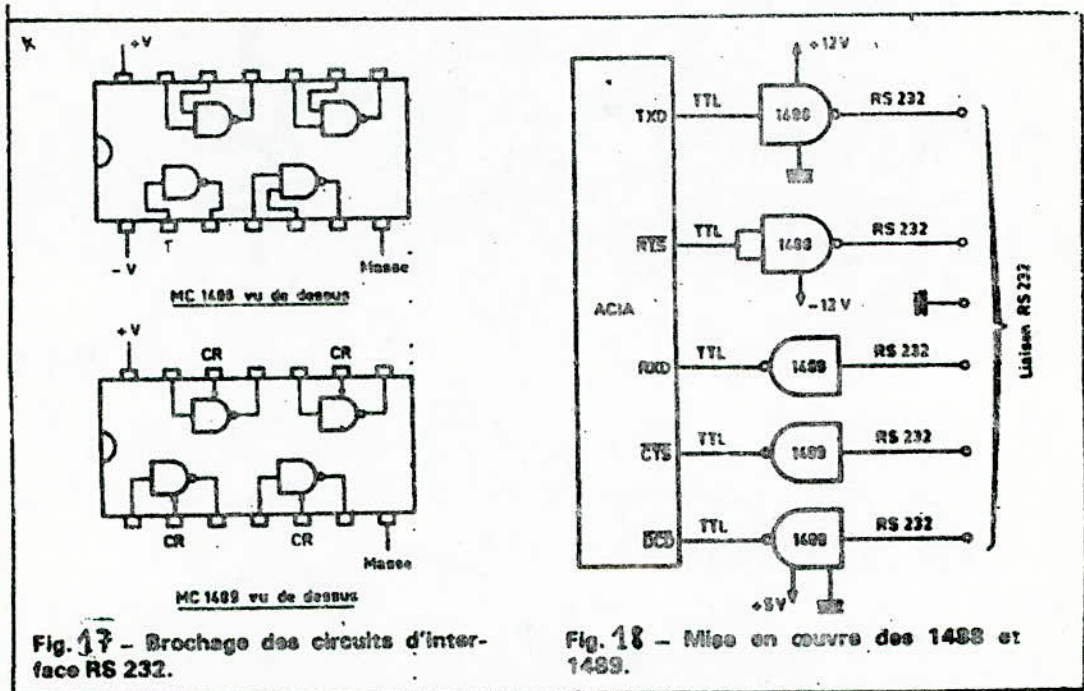
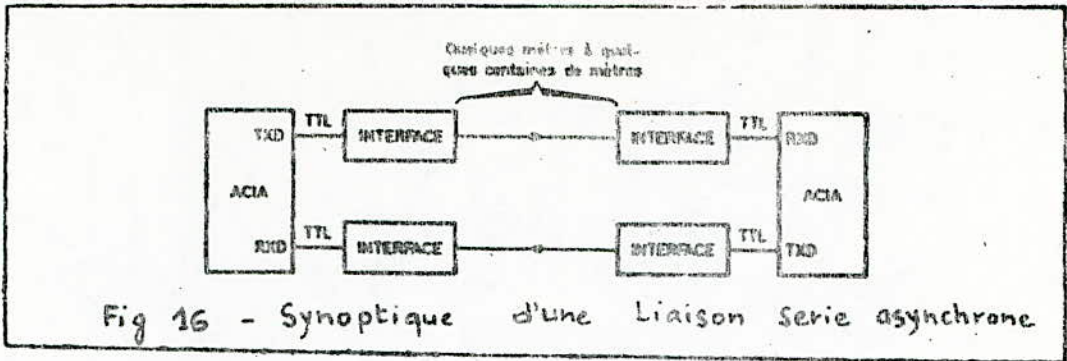
Function	FE
Not Error	0
Error	1

DCD	Data Carrier in Reception
0	Present
1	Not Present

ETS	Transmit Error
0	trans Possible
1	trans Impossible

FIG 15





RS	R/W	Registre sélectionné	Accès en
0	0	Registre de contrôle	Ecriture
0	1	Registre d'état	Lecture
1	0	Registre d'émission	Ecriture
1	1	Registre de réception	Lecture

Fig.19 - Mode d'accès aux registres internes de l'ACIA

- Principe de Fonctionnement du MC 1455 (Monostable Utilisé pour le RESTART AUTOMATIQUE).

Le schéma interne du 1455 avec les circuits externes associés lui donnant la configuration d'un monostable, ainsi que le Diagramme des temps sont donnés par la fig. 20.

Ce monostable utilise deux comparateurs qui attaquent respectivement les entrées R et S du bascule RS.

La sortie Q de cette bascule passant par un inverseur attaque l'entrée RESET du MC 6800.

La sortie \bar{Q} attaque la base d'un transistor de commutation dont le collecteur (Pin 7) est ramené sur l'entrée positive du 1er comparateur.

Le principe de fonctionnement d'un ampli opérationnel monté en comparateur est le suivant : lorsque le niveau de l'entrée positive est supérieur à celui de l'entrée négative, la sortie est au niveau logique haut, dans le cas contraire elle est au niveau bas.

Lors d'une mise sous tension, grâce à trois résistances de même valeur R, nous avons des tensions constantes en $V_5 = \frac{2E}{3}$ et $V_A = \frac{E}{3}$ ceux sont les tensions de référence.

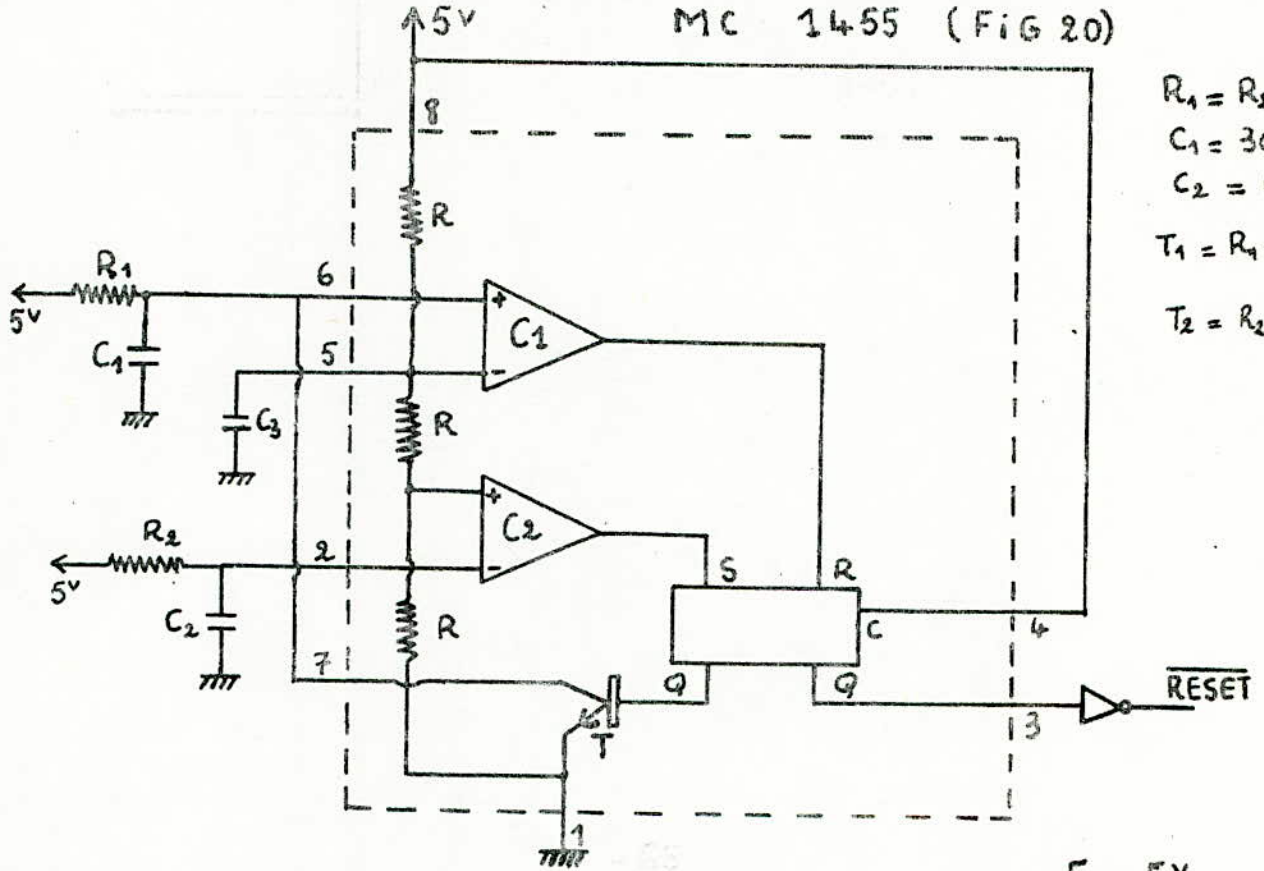
L'entrée V6 du 1er comparateur étant inférieur à $V_{ref\ 1} = V5$, la sortie de ce dernier appliqué à R est donc nulle, tandis que l'entrée positive $V_A = \frac{E}{3}$ étant supérieur à V2, la sortie du 2ème comparateur appliqué à S est au niveau haut. L'état de R au niveau bas dure $t = 1,1 T = 330$ ms ($T = R1\ C1$) tandis que celui de S au niveau haut $0,4 T' = 40$ ms ($T'' = R2\ C2$).

Nous avons donc à la sortie Q de la bascule RS un niveau haut, et un niveau bas sur \overline{Q} bloque le transistor T.

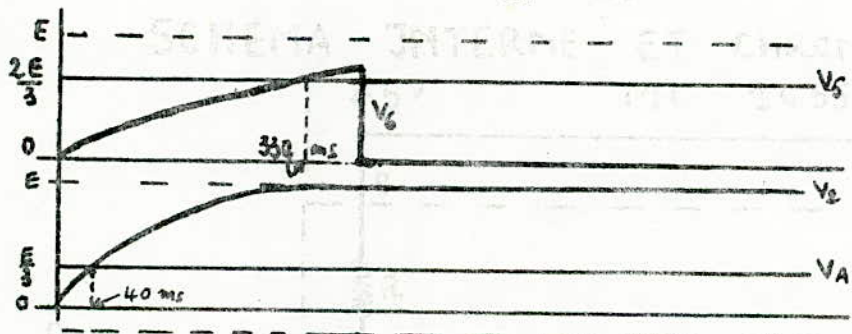
La tension V2 augmente jusqu'à dépasser $\frac{E}{3}$ ce qui amène la sortie du 2ème comparateur à zéro ($S = 0$ après 40 ms). Ceci ne change nullement l'état de la sortie Q qui est au niveau haut.

Après $1,1 T$ cad 330 ms, V6 devient supérieur à V5 amenant la sortie du 1er comparateur à un ($R = 1$). Le passage de R $\overline{\uparrow}$ (de zéro à un) remet Q au niveau bas, donc Q au niveau haut saturant par la même le transistor T, qui remet V6 à zéro par l'intermédiaire de son collecteur, remettant ainsi la sortie du 1er comparateur à zéro ($R = 0$) sans changer l'état de Q.

SCHEMA INTERNE ET CHRONOGRAMME DU MC 1455 (FIG 20)

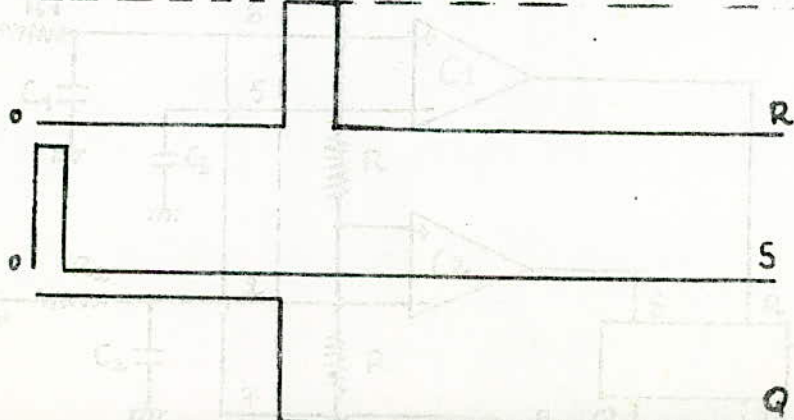


$R_1 = R_2 = 1M$
 $C_1 = 300nF$
 $C_2 = C_3 = 10$
 $T_1 = R_1 C_1 = 300$
 $T_2 = R_2 C_2 = 10$



$E = 5V$

$V_5 = 2E/3$
 $V_6 = E(1 - e^{-t/T_1})$
 $V_5 = V_6 \Rightarrow t = 1,1 T_1 = 330ms$
 $V_A = E/3$
 $V_2 = E(1 - e^{-t/T_2})$
 $V_A = V_2 \Rightarrow t = 0,4 T_2 = 40ms$



S	R	Q_{t+2}
0	0	Q_t
0	1	0
1	0	1
1	1	Φ

Programme

On suppose (cas de 13 zones) que les ACIA de la carte interface entre la centrale et les zones, occupent le champ mémoire suivant :

premier ACIA = \$ 4000 - \$ 4001
Deuxième ACIA = \$ 4002 - \$ 4003
⋮
treizième ACIA = \$ 4024 - \$ 4025

Pour notre programmation nous avons utilisé le langage BASIC et les sous-routines sont en machine pour la rapidité de traitement :

```
5 FOR I = 0 TO 12
10 POKE ($ 4000 + 2I, $ 03) Initialisation de l'ACIA
                             MASTER RESET.
15 POKE ($ 4003 + 2I, $ 19) programmation du CIR.
20 L = $ 02
25 X = L AND PEEK ($ 4000) Test sur TDR
30 IF X = 0 GOTO 25 TDR plein ou recommence
35 POKE ($ 4001 + 2I, I) TDR vide, on le charge
                             avec I (N° de zone).
40 POKE ($ 500, 2I)
45 POKE ($ 450, $ 00) } Compteur } voir SUB TEST.
50 POKE ($ 451, $ 00)
55 POKE ($ 260, $ 40)
60 CALL DELAI Attente de la centrale. (100ms)
65 CALL TEST Test sur le message transmis.
70 GO SUB RETOUR
75 IF PEEK ($ 4001 + 2I) = $ 7C GOTO 85 TEST sur le
```

Start ←

```

80 GOTO I(N° de ligne de NEXT I) Si start non repéré, passer à la zone suivante
85 POKE ($600, $7C) Sinon transfère le contenu de ROR en MM
90 CALL TEST
95 GO SUB RETOUR
100 IF PEEK ($4001 + 2I) = $7C GOTO 110
105 GOTO "I"
110 POKE ($601, $7C)
115 CALL TEST
120 GO SUB RETOUR
125 IF PEEK ($4001 + 2I) = I GOTO 135
130 GOTO "I"
135 POKE ($602, I)
140 FOR J = 0 TO 5
145 CALL TEST
150 GO SUB RETOUR
155 Y = PEEK ($4001 + 2I)
160 POKE ($603 + J, Y)
165 NEXT J
170 CALL TEST
175 GO SUB RETOUR
180 IF PEEK ($4001 + 2I) = $7F GOTO 195
185 GOTO "I"
190 POKE ($609, $7F)
195 CALL TEST
200 GO SUB RETOUR
205 IF PEEK ($4001 + 2I) = $7F GOTO 215
210 GOTO "I"
215 POKE ($60A, $7F)
220 GO SUB STORAGE (Sauvegarde du message de la zone N=I)
225 IF PEEK ($F05) = $01 GOTO "J" (Test ON ou OFF Line)
230 GOTO "L" : L = N° de ligne du traitement du message utile

```

Deuxième START à tester.

La zone I est-elle bien sélectionnée? Si oui transfère son N° en MM.

Transfert du message utile en MM.

Test au END du message. Sinon repère passer à la zone suivante

Le traitement du message utile avec l'affichage et les commandes sera développé dans la partie simulation.

Subroutines

SUB TEST

"Z" deffailant = mise à zéro de \$452
Pb de Transmission = " " " \$453

\$800

LDAB \$500

STAB \$259

LDX \$259

LDA A 0, X

ANDA # \$01

BNE LP

INC \$450

LDAB \$450

CPAB # 10

BNE ST1

CLR \$452

BRA IT

LP

ANDA # \$70

BNE LP1

INC \$451

LDAB \$451

CPAB # 10

BNE ST2

CLR \$453

BRA IT

ST1

LDA A # \$01

STAA \$700

LP1

RTS

IT

LDA A # \$03

STAA \$700

RTS

Chargement de
l'Accu A avec
le contenu du SR
de l'ACIA.

test sur RDRF (ST0)

Si RDR vide :

Redemander une transmission
10 fois.

→ après 10 demandes : "Z" deffailant
Passer à la zone suivante.

Test sur les ennuis de transmission
PE (ST6), FE (ST4), OVRN (ST5)

si le message reçu présente une
erreur que de parité, de format ou
de recouvrement, demande une
retransmission

Après 10 demandes si erreur ⇒ zone suivante

~~initialisation~~

conditions permettant le retour
au programme principal.

SUB RETOUR :

IF PEEK (\$700) = \$01 GOTO 35

IF PEEK (\$700) = \$03 GOTO "I" → Poke (\$700, \$00)

.....

5 ! REM " ENTREE DES MESSAGES"

10 ! FOR I=0 TO 12

15 ! A=3*I*(12-I)

20 ! B=20*(12-I)/(Z+1)

25 ! C=15 LOG (I+1)

30 ! POKE (800+11I,\$7C)

35 ! POKE (801+11I,\$7C)

40 ! POKE (802+11I,I)

45 ! POKE (803+11I,3)

50 ! POKE (804+11I,\$7D)

55 ! POKE (805+11I,\$7E)

60 ! POKE (806+11I,A)

65 ! POKE (807+11I,B)

70 ! POKE (808+11I,C)

75 ! POKE (809+11I,\$7F)

80 ! POKE (810+11I,\$7F)

Mesure du detecteur 1

" " " 2

" " " 3

Mettre (\$7C) dans la pos mem 800+11I

Chargement
du
message I
en mémoire
centrale

150! REM " traitement des Etats de la zone"

155! K=PEEK (803+11I)

160! IF K=3 GOTO 180

165! PRINT "Nbre de det.défaillant de la zone"; I;"est";3-K

170! CALL TEMP 2

175! IF K=0 GOTO 555

180! K=PEEK (804+11I)

185! IF K=\$ 7D GOTO 205

190! PRINT " ALIM DU C.Z N°";I;"est mauvaise"

195! CALL TEMP 2

200! GO TO 555

205! K=PEEK(805+11I)

210! IF K=\$7E GOTO 250

215! PRINT "Ligne d'infos entre C.Z et DET est défaillante dans la zone";I" } Test sur l'état de l'alimentation du C.Z

220! CALL TEMP 2

225! GO TO 555

Test sur
l'état de
la ligne C.Z
-Det

250! REM " Affichage du tableau"

255! FOR Y=1 TO 5

260! PRINT CFR\$(12)

265! NEXT Y

Effacement de l'écran et retour du spot en haut à gauche

270! FOR E=1 TO 59

Boucle répétitive de 59 itérations

275! PRINT CHR\$(42);

Affichage du caractère dont le code ASCII est 42*

280! NEXT E

Appel d'une nouvelle boucle

285! PRINT CHR\$(29)

Retour du curseur au début de la ligne

290! FOR G=1 TO 5

Boucle de 5 itérations

295! PRINT " * ";

Affichage de *:

300! NEXT G

Appel d'une nouvelle boucle

305! PRINT TAB (24);

Déplacement du curseur de 24 pos. à partir de la gauche

310! PRINT TAB (50);

315! FOR F=1 TO 5

307! PRINT "CEN 84 SECURITÉ";

```

325 ! PRINT " :*";
330 ! NEXT F
335 ! PRINT CHR$(29)
340 ! PRINT " :*";
345 ! FOR H=1 TO 57
350 ! PRINT CHR$(45);
355 ! NEXT H
360 ! PRINT CHR$(42)
365 ! PRINT " *:D/Z:";
370 ! FOR U=1 TO 9
375 ! PRINT "Z";U;" :";
380 ! NEXT U
385 ! PRINT"Z10;Z11;Z12;Z13:*)"
390 ! GO SUB 740
395 ! PRINT " *:R  :";
400 ! GO SUB 740
405 ! PRINT " *:T  :";
410 ! GO SUB 740
415 ! PRINT " *:F  :";
420 ! GO SUB 740
425 ! FOR L=1 TO 59
430 ! PRINT CHR$(42) ;
435 ! NEXT L
475 ! REM" TRAITEMENT ET COMMANDE"
480 ! PRINT CHR$(28)
485 ! FOR R=1 TO 3
490 ! FOR J=1 TO 2+R
495 ! PRINT CHR$(27)
500 ! NEXT J
505 ! IF R > 1 GOTO 600
510 ! A=PEEK(806+11I)
515 ! FOR W=1 TO 7+4*I
520 ! PRINT CHR$(09);
525 ! NEXT W
530 ! IF R > 1 GOTO 615
535 ! IF A > 70 GOTO 565
540 ! PRINT"V"
545 ! PRINT CHR$(28)
550 ! NEXT R
555 ! NEXT I
560 ! GO TO 5
565 ! IF A > 100 GOTO 585
570 ! PRINT "0"
575 ! CALL ORANGE
580 ! GO TO 545
585 ! PRINT "R"
590 ! CALL ROUGE
595 ! GO TO 545
600 ! IF R > 2 GOTO 640
605 ! B=PEEK(807+11I)
610 ! GO TO 515
615 ! IF R > 2 GOTO 650
620 ! IF A > 45 GOTO 630
625 ! GO TO 540
630 ! IF A > 55 GOTO 585
635 ! GO TO 570

```

Afficher le caractère dont le code ASCII est 45(-

Saut au sous-programme qui commence à la ligne 740

Retour du curseur en haut à gauche
Boucle permettant de balayer les trois détecteurs

Déscente du curseur d'une position

Pour le det 2 aller à la ligne 600
Prise en compte de la mesure du DET 1

Retour du curseur d'une position à droite

Test de la mesure de D1/au (seuil)N
Afficher un vert si D1 de la zone I est Seuil N

Passage au prochain det
Passage à la zone suivante
Branchement au S-Prog d'entrée des messages
Test de la mesure de D1/au seuil Admissible
Afficher un orange

Afficher un rouge
Appel de la subroutine de commande
Passage au detecteur suivant
Si on est au 3eme det, saut à la ligne 640
Prise en compte de la mesure du D2
Reinitialisation du spot
Passage au traitement du 3eme Det

} TRAITEMENT DE LA MESURE DU D2

```

640 ! C=PEEK ($ 808 + 11I)
645 ! GO TO 515
650 ! IF A > 10GOTO 660
655 ! GO TO 540
660 ! IF A 40 GOTO 585
665 ! GO TO 570

```

Prise en compte de la mesure D3
Réinitialisation du curseur

} TRAITEMENT DE LA MESURE DU D3

```

740 ! PRINT "*:";
745 ! FOR Q=1 TO 14
750 ! PRINT "—:";
755 ! NEXT Q
760 ! PRINT CHR$(42)
765 ! FOR X=1 TO 13
770 ! PRINT "  :";
775 ! NEXT X
780 ! PRINT CHR$(42)
785 ! RETURN

```

```

LP1 SUB ORANGE
    LDA B#314
    LDAA#349
    STAA $FCF4
    BSR $1500 (Delai 2s)
    LDAA#329
    STAA $FCF4
    BSR $1600 ( Delai 1 s)
    DEC B
    BNE LP1

```

```

SUB RCUGE
LDA B#314
LDAA#349
STAA $FCF4
BSR $1600
DEC B
BNE LP2
RTS

```

```

LP6 Delai 2s ( Debut adresse 1500)TEMP2
    LDAA#314
    LDX#33004
LP5 DEX
    BNE LP5
    DEC A
    BNE LP6
    RTS

```

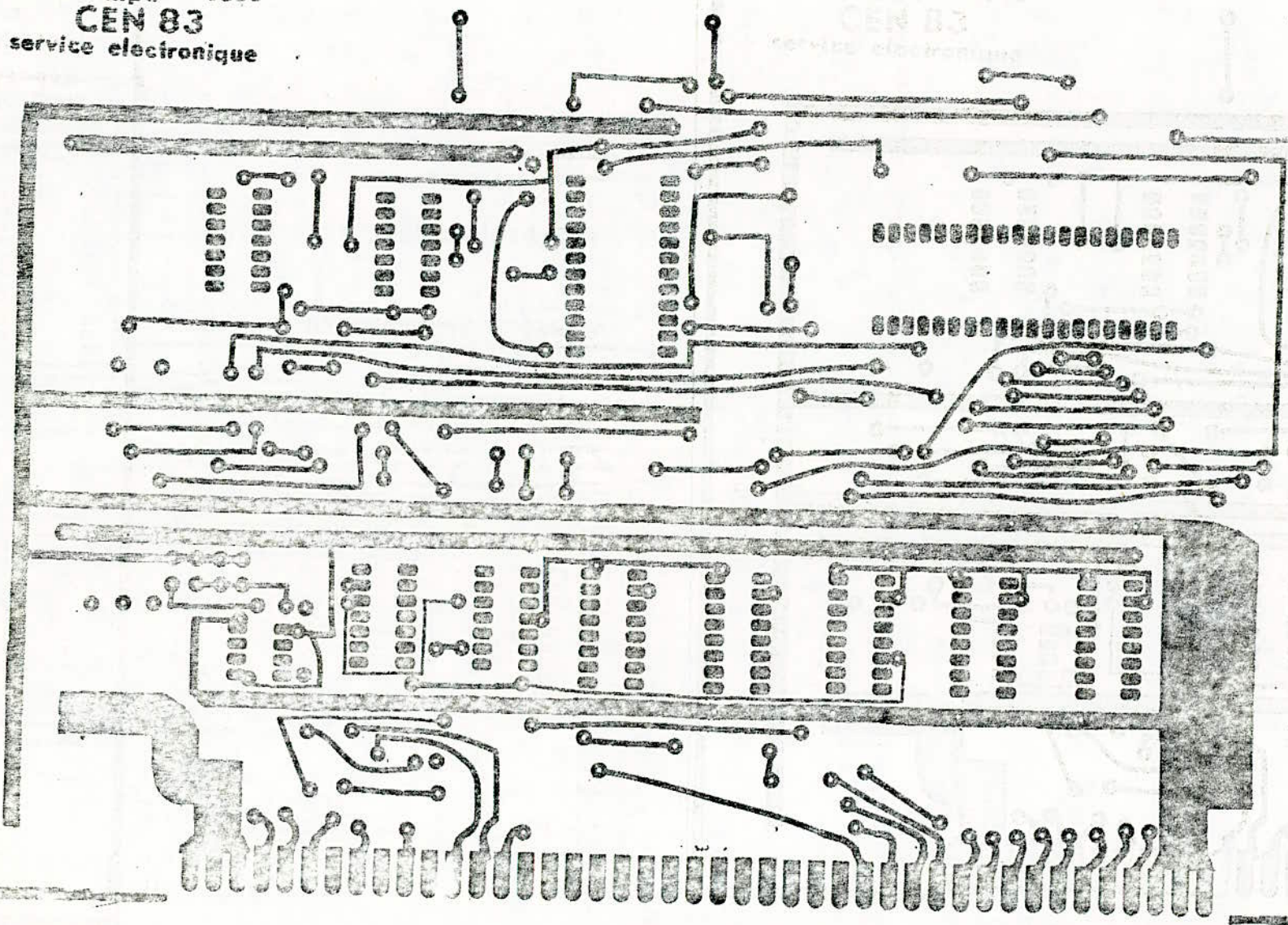
```

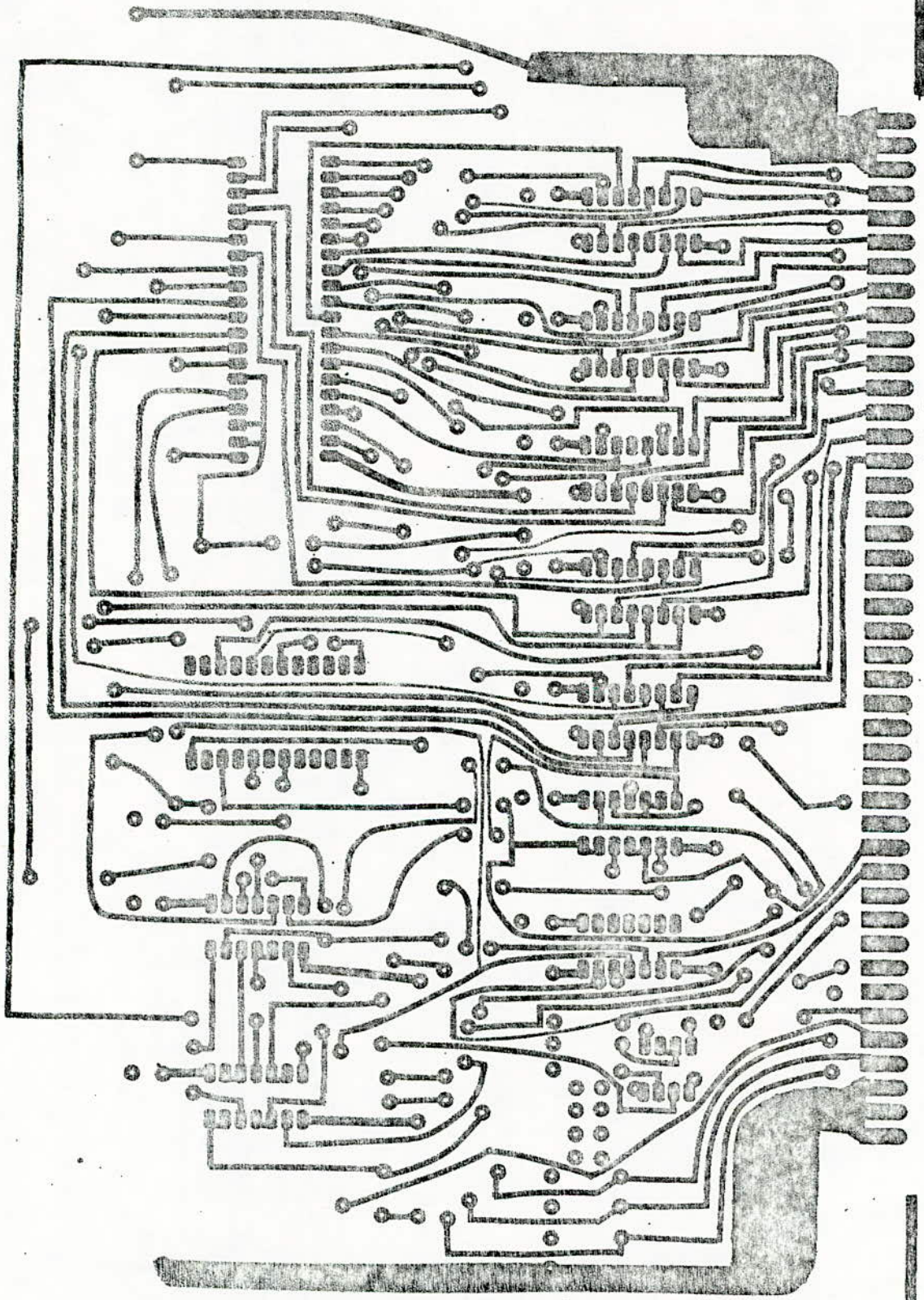
LP4 Delai 1s ( Debut adresse 1600) TEMP 1
    LDAA# A
    LDX#33004
LP3 DEX
    BNE LP3
    DEC A
    BNE LP4
    RTS

```

carte mpu 6800
CEN 83
service electronique

face 1
composant
benakki
guendouz





2-21 14 3

B I B L I O G R A P H I E

- MICROPROCESSEUR SFF 96 800 ET LES CIRCUITS ASSOCIES (THOMSON-CSF) 1978

- THESE : ETUDE ET REALISATION D'UN TERMINAL VIDEO (NAFA, KHOUAS)

- REVUES DE LA SECURITE (N°)

- HAUT PARLEUR : N° 1693 (JUN 83)
 N° 1694 (JUILLET 83).

- DATA SHEET MOTOROLA

- DATA BOOK TTL