

UNIVERSITÉ D'ALGER

ÉCOLE NATIONALE POLYTECHNIQUE

DÉPARTEMENT ÉLECTRICITÉ

المدرسة الوطنية للعلوم الهندسية
PROJET DE FIN D'ÉTUDES
ÉCOLE NATIONALE POLYTECHNIQUE
BIBLIOTHÈQUE

LE TRANSISTOR

المدرسة الوطنية للعلوم الهندسية
المشكلة
MOS

Fascicule:3

TECHNOLOGIES MOS

Proposé par:

Ahmed ZERGUERRAS

Étudié par:

Mohamed BENALI

JE DEDIE CETTE THESE

- A mes parents
- A mes grands - parents
- A mon oncle B. HANDI
- A mes frères
- A mes soeurs
- A mon beau frère A. BOUKHELFA
- A mon cousin B. BELLOUTI
- A toute la famille
- A tous mes amis
- A tous mes camarades de promotion

REMERCIEMENTS

Nous voudrions adresser notre sincère reconnaissance à :
Monsieur Le Professeur A. ZERGUERRAS pour les conseils
qu'il nous a prodigués et son aide à l'élaboration de
cette thèse.

Nous voudrions remercier aussi Monsieur le Professeur
V. KOULECHOV qui nous a beaucoup aidé.

Il nous est agréable de pouvoir vous exprimer nos
vifs remerciements et notre profond respect.

TABLE DES MATIERES

=====

I -	INTRODUCTION.....	3
II -	FABRICATION DU MOS (Classique).....	4
III -	QUELQUES PROBLEMES DE LA TECHNOLOGIE MOS	
	3-1 Introduction.....	8
	3-2 L'interface Silicium/Bioxyde de Silicium.....	9
	3-3 Stabilité de la tension de seuil.....	13
	3-4 Autres dielectriques.....	14
	3-5 Canaux parasites d'inversion.....	15
	3-6 Capacités de parasites.....	16
	3-7 Conclusion.....	18
IV -	TECHNOLOGIE DE FABRICATION DES TRANSISTORS MOS	
1-	Description des diverses technologie :.....	9
	1-1 Utilisation du nitrure de silicium	19
	1-2 Grille en silicium.....	22
	1-3 Structures a grille au silicium et isolant au nitrure	26
	1-4 Structures à grille au molybdène ou grille réfractaire	27
	1-5 MOS à canal N.....	31
	1-6 MOS complémentaire : C/MOS.....	33 ✓
2 -	Technique LOCOS.....	41
3 -	Transistors à couches minces monocristallines.....	43
	3-1 Circuits intégrés sur substrat isolant (SOS).....	44

3-2 MOS à couche mince sur substrat isolant.....	46
3-3 Réduction de la capacité de drain.....	51
4 - Implantation ionique	
4-1 Introduction.....	52
4-2 Principe de l'implantation ionique.....	52
4-3 Fabrication des MOS implantés (I MOS).....	56
4-4 Ajustage de la tension de seuil.....	58
4-5 Modification de la tension de seuil d'oxyde épais..	59
4-6 Technologie IDEAL.....	61
4-7 Conclusion.....	62
V - CONCLUSION.....	63

I - INTRODUCTION

La Technologie MOS connaît depuis plusieurs années aux USA une progression spectaculaire. En Europe, le marché a démarré avec un certain retard, mais sa progression très rapide est comparable à celle que l'on connaît aux USA grâce à ces progrès de la Technologie MOS, les circuits intégrés MOS, sont aujourd'hui appliqués dans des secteurs extrêmement variés, tels que les calculateurs de poches, les mémoires, le vaste domaine de l'informatique, celui de l'instrumentation de mesure, ect...

L'expression "Technologie MOS" est devenue un terme générique qui recouvre une diversité de procédés proprement extraordinaire. Variété telle que l'utilisateur se trouve toujours confronté avec le problème souvent difficile du choix de la Technologie à employer. La Technologie est, en effet extrêmement vivante, elle progresse vite tant dans le domaine de la complexité des circuits que dans celui des performances (rapidité, puissance consommée) et de la fiabilité.

Au cours de notre étude, nous essayons de faire une description rapide des diverses technologies et de développer par la suite quelques technologies de fabrication des CI/MOS. La plupart sont fondées sur le procédé planar, inventé par Fairchild en 1960, et possèdent beaucoup de traits communs.

II - FABRICATION : DU MOS

Avant d'étudier les diverses Technologies, on va étudier la fabrication d'un CI/MOS, canal P, à enrichissement, selon la Technologie MTOS (Métal, thick oxide, Silicon) élaborée par Général Instrument dès 1965.

On part d'un cylindre de silicium monocristallin très pur de 2 à 5 cm de diamètre. Il est débité en tranche portant le nom américain de Wafer. Un CI occupant de 0,5 x 0,5 mm à 2 x 2 mm environ, un Wafer pourra en regrouper plusieurs centaines; l'éclat de Silicium qui constitue un CI élémentaire s'appelle la puce.

Le processus de fabrication (fig. 1) est le suivant :

- Le Substrat de Silicium type N, est oxydé sur toute sa surface sur une épaisseur de 1200 Å, par envoi de vapeur d'eau dans un four à 1200°C .
- On recouvre la surface oxydée, d'une laque photosensible (le photoresist) , étalée par centrifugation, puis durcie par cuisson (90 °c).
- On applique le masque sur la laque et l'on procède à l'insolation , généralement en Ultraviolet. Les endroits non protégés (où le masque est transparent) sont polymérisés. Le procédé est appliqué photogravure.
- Elimination de la laque non polymérisée dans un dissolvant , et apparition de l'oxyde de Silicium selon motifs reproduisant fidèlement ceux du masque.
- Ouverture des fenêtres, par desoxydation dans une solution de l'acide fluorhydrique, HF. L'oxyde protégé par la laque n'est pas attaqué.

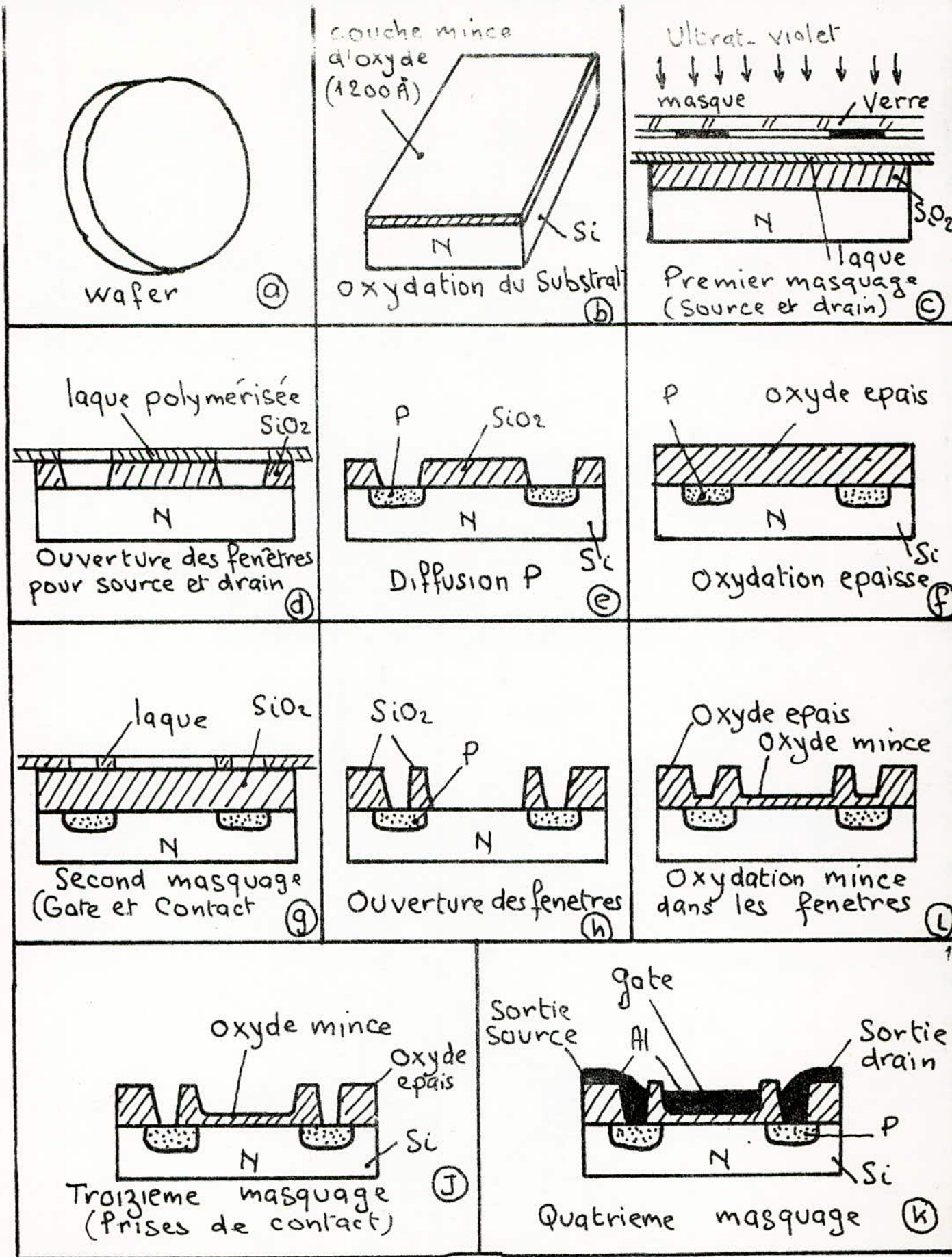


Fig 1 - Processus de fabrication d'un CI/MOS canal P, à enrichissement (selon la technologie MTOS élaborée par GI)

- A travers ces fenêtres, on procède au dopage par diffusion c'est une opération à haute température (1100°C environ) assurée dans un four et très délicate à mener : Les impuretés, dans ce cas type P, véhiculées par un gaz se déposent dans les fenêtres pour doper le Silicium.

- La surface est ré-oxydée. Une couche épaisse de 1,4 μm est créée.

- Une seconde opération de photogravure dégage la zone de gate et les prises de contact drain et source. L'oxyde épais est éliminé et remplacé par une couche mince d'oxyde (0,1 à 0,2 μm)

- Par un troisième masquage, on libère les prises de contact drain et source.

- Métallisation par évaporation sous vide de l'aluminium une couche mince d'aluminium est alors déposée sur toute la surface du Wafer.

- Un quatrième et dernier masquage intervient pour n'en laisser subsister que ce qui est nécessaire pour l'établissement des inter connexions.

- Découper la pastille en circuit élémentaires au moyen d'une pointe au diamant.

- Souder les circuits élémentaires dans un boîtier

- Relier les plots d'aluminium du circuit aux sorties du boîtier par des fils d'or fixés par thermocompression.

Ainsi si l'on compare ce processus à celui qui mène à l'élaboration des transistors bipolaires on constate que :

- On n'a pas besoin de créer des caissons d'isolement. Or ceux-ci occupent environ 30% de la surface du substrat en bipolaire.

- On n'a pas besoin d'épitaxie.

- Une seule opération de diffusion suffit, alors qu'il en faut quatre pour les CIBipolaires (au moins).

On n'a pu établir qu'il suffisait de 38 opérations dont 2 à haute température pour réaliser un CI/MOS contre 130 pour un CIBipolaire, dont 10 à haute température. Ces dernières tendent à dégrader les caractéristiques?

D'autre part, le gain d'un MOS dépend essentiellement de sa géométrie et non des caractéristiques de diffusion. Enbipolaire au contraire, ce sont les niveaux de dopage, donc, de diffusion qui déterminent le gain.

III - QUELQUES PROBLEMES DE LA TECHNOLOGIE MOS

31 - Introduction :

C'est le rôle de tous ceux qui sont concernés par la technologie MOS de réaliser des transistors et des circuits intégrés possédant certaines propriétés spécifiques, ayant un comportement stable et garantissant des taux élevés de production. Les conditions spécifiées déterminent les diverses étapes du processus de fabrication, depuis la géométrie de structure jusqu'au choix des techniques d'oxydation, de gravure, de diffusion et autres processus de fabrication d'un transistor MOS. Certains des problèmes qui en découlent sont décrits plus loin.

Un exemple typique d'une propriété dépendant de la géométrie de structure et des processus technologique est la pente du transistor MOS.

Dans l'article, comportement en continu, traité dans la partie I on montre que la pente est proportionnelle à :

$$K = \mu \text{ Cox} \frac{1}{L} \quad (1) \quad \begin{array}{l} \mu \text{ - mobilité des porteurs de charges} \\ \text{Cox} \text{ - capacité formée par la grille par unité de surface.} \end{array}$$

La mobilité dépend de la nature du semiconducteur constituant le transistor MOS. Pour des raisons pratiques, on utilise presque invariablement le silicium. L'une de ces raisons est qu'il est relativement simple d'appliquer les couches isolantes nécessaires au silicium par oxydation.

Si on voudrait avoir une pente maximale, il est nécessaire que Cox soit élevée (Voir lequat (1)), dans ce but la couche d'oxyde sous la porte est rendue aussi mince que possible.

L'épaisseur minimale dépend principalement du champ de rupture (environ 10^3 v/ Microns) ; des valeurs pratiques sont fréquemment comprises entre 0,05 et 0,25 microns.

En principe une limite supérieure est attribuée à la largeur du canal du fait des dimensions des copeaux de silicium. Il est facile d'obtenir une largeur de quelques millimètres; en prenant des mesures spéciales, on peut réaliser des canaux de quelques centimètres de largeur (Transistor MOS pour amplification de puissance).

On peut rendre très petite la Longueur du canal sans courir le risque de "percement" c'est à dire le passage du courant entre source et drain hors du canal (fig. 1).

En plus de la pente K, les capacités parasites jouent un rôle important dans les transistors rapides. Les canaux parasites donnent naissance à des transistors MOS indésirables. De même les défauts de surface qui sont présents à l'interface Si-SiO₂ ont un effet important sur la tension de seuil, c'est à dire la tension de porte minimale pour former un canal.

3 - 2 l'interface Silicium / Bioxyde de Silicium

Les défauts de surface peuvent avoir une influence beaucoup plus grande sur la tension de seuil que le potentiel de contact et le dopage du substrat, ils peuvent la décaler de plusieurs dizaines de volts alors que les décalage dûs à des différences de potentiel de contact entre métaux dissemblables et à la variation du dopage du substrat utilisé en pratique, ne se montent qu'à quelques volts. Ces défauts sont de deux sortes :

a-"état de surface", c'est à dire des états pouvant échanger une charge avec le silicium et que l'on peut décrire en termes physiques comme des états quantiques avec un niveau d'énergie entre la valence et la bande de conduction.

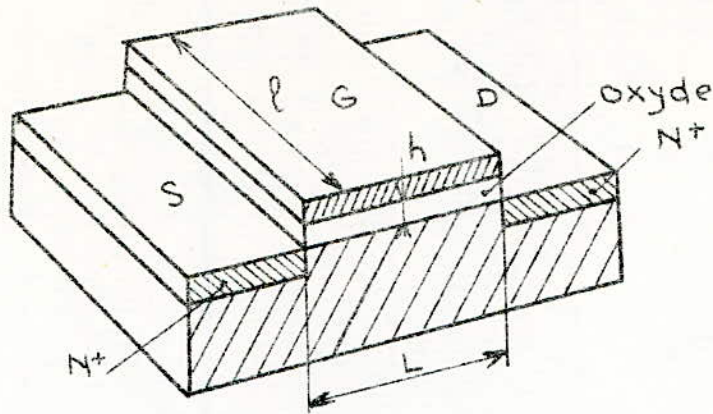


fig.1 Representation schematique d'un transistor MOS, sur un substrat type p, où:

S = source	L = longueur du canal
D = Drain	l = largeur du canal
G = Grille	h = epaisseur de l'oxyde

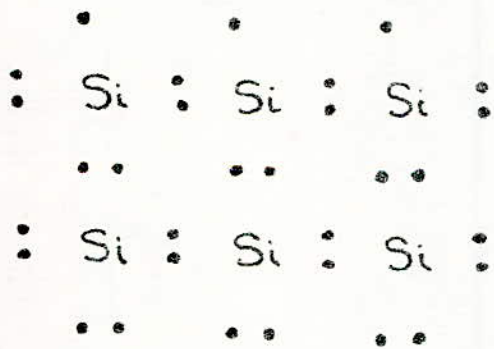


fig 2a. A la surface du cristal chaque atome a theoriquement un electron non apairé.

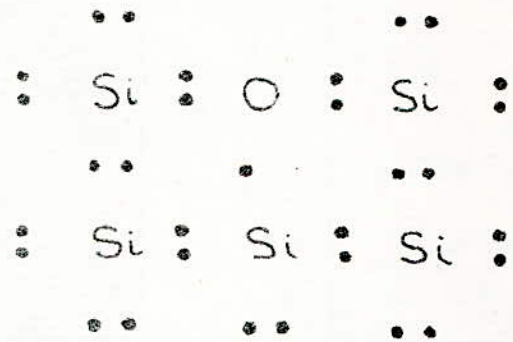


fig.2b. Lorsque la surface est recouverte de SiO₂, les reseaux des deux substances ne concordent pas exactement.

b- Charge d'oxyde / charges positives fixes (donneurs ionisés) près de l'interface et probablement dans l'oxyde. Nous allons considérer les deux types de défauts tour à tour.

3-2-1 états de surface

Lorsque le réseau cristallin se termine brusquement à la surface d'une lamelle silicium, on peut s'attendre à ce qu'un grand nombre de liaisons non saturées se trouvent à cet endroit, chaque atome dans la couche extérieure d'atomes de silicium ayant en principe un électron non apparié (fig. 2a). Si le silicium est oxydé le nombre de liaisons non saturées est naturellement plus faible, mais il n'est pas égale à zéro parcequ'il n'y a probablement pas de liaison précise entre réseau Si et SiO₂ (fig 2b). On peut concevoir que les liaisons de silicium non saturées peuvent agir non seulement comme donneurs d'électrons ou pièges pour les trous mais aussi comme piège pour les électrons. Suivant les tensions appliquées dans les mesures, il y a une tendance pour les électrons ou les trous à se concentrer à l'interface silicium oxyde; pour une forte concentration des électrons, les défauts sont principalement des niveaux accepteurs, alors que pour les trous il s'agit surtout de niveaux donneurs.

Pour un transistor MOS à canal N, la tension appliquée à la grille est positive. Donc il y a une diminution de la concentration des trous près de la surface du silicium et une augmentation de celle des électrons. Les états accepteurs tendent à devenir négatifs. L'apparition d'une charge négative dans les états de surface signifie que la charge mobile pénétrant dans la masse du silicium est plus faible que la totalité de charge induite. Par suite

la tension de seuil nécessaire à l'inversion est plus élevée que prévu.

L'influence des états de surface étant très grande sur la tension de seuil, on fait subir aux lamelles revêtues d'oxyde des traitements dans des atmosphères gazeuses (l'hydrogène ou l'azote humide). La température étant maintenue assez basse (450°C) par rapport à la température normale de croissance de SiO₂ (1000°C ou plus). Il suffit souvent de très peu de vapeur d'eau pour réduire le nombre d'états de surface.

3-2-2 Charge positive sur l'interface oxyde-silicium

Les transistors MOS à canal N, ont même une tension de seuil négative après traitement dans l'hydrogène ou l'azote humide, en d'autres termes ils ont déjà un canal d'inversion lorsque la tension de grille est zéro. Le phénomène ne peut être expliqué en fonction des états de surface décrits étant donné que ceux-ci ont pour effet réel de s'opposer à l'inversion. On pense généralement que l'effet mentionné peut être attribué à la présence dans l'oxyde de centres à charge positive, immédiatement adjacents à la surface du silicium.

La valeur de la charge d'oxyde, de même que le nombre d'états de surface décrits plus haut, dépendent de la structure de l'interface. Les impuretés ont une influence importante particulièrement le sodium. La présence de sodium au cours de l'oxydation peut avoir une grande influence sur la valeur de la charge. La plus grande partie du sodium se trouve dans la couche supérieure de l'oxyde, mais il y en a aussi une accumulation à l'interface avec le silicium, la présence de sodium et d'autres impuretés peut avoir diverses causes.

Les impuretés peuvent provenir des produits chimiques utilisés ou des tubes de quartz dans lesquels ont lieu les oxydations. Une autre source importante peut être la poussière; si celle-ci se dépose sur les tubes de quartz chauds les ions de sodium peuvent facilement pénétrer dans le tube par diffusion et se mélanger au gaz oxydant. Pour un bon traitement, il faut donc utiliser des produits chimiques purs et assurer la protection des tubes de quartz contre la poussière. Une forte charge d'oxyde donne lieu à un décalage important de la tension de seuil. Pour obtenir une faible charge d'oxyde on doit terminer l'oxydation par passage dans un gaz non oxydant. Le chauffage dans l'hydrogène, particulièrement à une température moins élevée (600°C) peut provoquer une diminution de la charge.

3 - 3 STABILITE DE LA TENSION DE SEUIL :

La tension de seuil peut varier en cours d'utilisation. Cette variation peut être le résultat à la fois d'une modification du nombre des états de surface et d'une variation de la charge d'oxyde; en fait, il s'agit habituellement de la dernière cause. a haute température (100 à 300°C), il y a une migration d'ions vers l'oxyde, lorsque la porte est positive par rapport au silicium. La tension de seuil peut se décaler de beaucoup de volts et toujours dans le sens négatif, ce qui se rapporte à l'apparition de charge positive d'oxyde près de l'interface. Nous avons déjà précisé que la plus grande partie de sodium se trouve dans la couche supérieure de l'oxyde. En appliquant une tension positive à la porte la totalité de sodium est dirigée vers l'interface oxyde - silicium; la concentration en charges positives élémentaires est ainsi augmentée, d'ou un décalage assez important de la tension de seuil (quelques dizaines de volts).

Cela démontre encore la nécessité d'une perfection des conditions au cours de la croissance de l'oxyde, mais cela n'est pas suffisant. Dans les techniques de photogravure utilisées après l'oxydation, et au cours de la métallisation, la surface de l'oxyde peut se contaminer aisément. Si l'on prend des soins scrupuleux,

au cours de ces opérations, on peut réaliser des transistors MOS dont la tension de seuil ne se décale pas de plus d'une fraction de volt par application d'un champ 100v/microns, même à une température de 300°C. Cependant, le risque d'incident est si grand qu'on adopte généralement une autre solution qui consiste à recouvrir la couche SiO₂ par un autre diélectrique offrant un passage beaucoup plus difficile aux ions.

3-4 AUTRES DIELECTRIQUES :

Le but principal du dépôt d'une deuxième couche isolante sur le silicium oxydé est de s'opposer à la migration d'ions de l'électrode métallique dans l'oxyde.

Le verre phosphate s'oppose de façon très efficace à la migration des ions sodium de sorte que jusqu'à 200°C environ, les instabilités peuvent se maintenir à une fraction de volt. On obtient cette couche en chauffant la lamelle de silicium oxydé dans une vapeur de P₂O₅. Une réaction a lieu avec le SiO₂ dont la couche supérieure se transforme en un oxyde mixte vitreux. Mais on a de grandes difficultés lorsque les couches d'oxyde sont très minces parce que, si le verre phosphaté est trop mince (moins de 20 nm environ), il y a risque de réaction local avec le métal à travers la couche.

La meilleure couche isolante connue jusqu'ici pour bloquer la conduction ionique est peut être le nitrure de silicium. On peut l'appliquer à la couche SiO₂ par réaction de silane ou de chlorure de silicium avec l'ammoniaque à une température de 800 à 1000°C. Une mince couche est suffisante (10 à 20 nm). L'inconvénient du nitrure de silicium est qu'une faible conduction élec-

nique est possible, ce qui peut donner naissance à de lents effets d'instabilité (décalage dû à l'accumulation de charge à l'interface nitrure ^{oxydé} . Pour minimiser l'effet, il est nécessaire de rendre la nitrure beaucoup plus mince que l'oxyde sous-jacent. L'alumine ($Al_2 O_3$) est un autre bon isolant, on obtient par exemple à $900^\circ C$ à partir de $Al Cl_3$ et CO_2 dans une atmosphère d'hydrogène. Il a été indiqué que l'application de la couche d'alumine donne lieu à un décalage positif de la tension de seuil. L'utilisation de $Si_3 N_4$ ou de $Al_2 O_3$ offre l'avantage supplémentaire d'une constante diélectrique plus élevée que celle de $Si O_2$. On peut rendre la couche isolante un peu plus épaisse pour la même valeur de capacité au bénéfice de la tension de perçement. En pratique cependant, la couche de $Si O_2$ sous le $Si_3 N_4$ ou $Al_2 O_3$ est relativement épaisse afin d'éviter les effets de décalage lent. L'avantage de la constante diélectrique est alors minimal.

3-5 CANAUX PARASITES D'INVERSIONS :

Même lorsqu'on évite toute migration de charges dans la couche isolante, les transistors MOS peuvent encore présenter des effets d'instabilité très gênants. C'est le cas dans les circuits intégrés, lorsqu'on veut connecter les diverses électrodes à d'autres éléments par dessus la couche isolante. On assiste alors à la création de canaux parasites, et par conséquent de MOS indésirable (fig.3a).

Le remède consiste à s'assurer qu'aux endroits où des canaux parasite peuvent apparaître, la tension de seuil soit plus élevée que le potentiel qui puisse se manifester sur l'oxyde. Dans ce

but, une couche épaisse isolante dans la zone intéressée, peut être suffisante. Mais une couche trop épaisse présente des inconvénients sérieux : les angles vifs créent des points faibles pour la métallisation (points de rupture)(fig.3b). Une méthode mise au point par Philips, élimine presque complètement cet inconvénient. Cette méthode basée sur l'oxydation locale d'une surface de silicium, a pour nom de technique LOCOS (Local Oxidation Of Silicon) (fig.3c).

3-6 CAPACITES PARASITES :

La technique LOCOS assure un moyen très efficace de réduire les capacités parasites dûes au câblage.

Dans un transistor MOS, une capacité parasite est souvent formée par le chevauchement de la porte et des zones source et drain.

Dans la méthode classique pour la fabrication d'un MOS, le chevauchement de quelques microns est difficile à éviter.

L'une des méthodes pour diminuer cette capacité parasite consiste à appliquer l'électrode métallique avant les zones à doper. Ces zones peuvent être réalisées soit par diffusion, soit par implantation ionique, en utilisant l'effet de masque du métal (fig.4a).

On utilise souvent une couche d'oxyde épaisse pour réduire les capacités parasites. La structure de la figure 4b a été obtenue en revouvrant la totalité de la surface d'une épaisse couche d'oxyde après la diffusion. L'oxyde épais est éliminé de la zone du canal et remplacé par l'oxyde mince. Ace moment, la porte repose partiellement sur l'oxyde épais et, de ce fait, la contribution de cette partie à la capacité parasite est donc faible. Mais il est

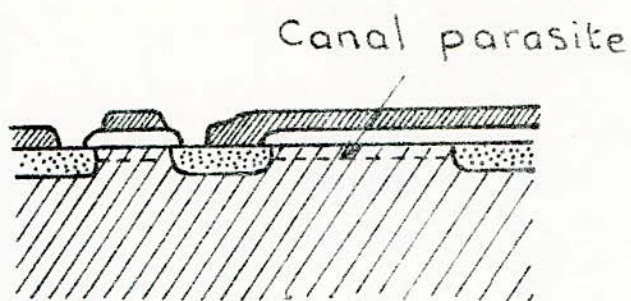


fig. 3a formation de canal parasite sous le câblage.

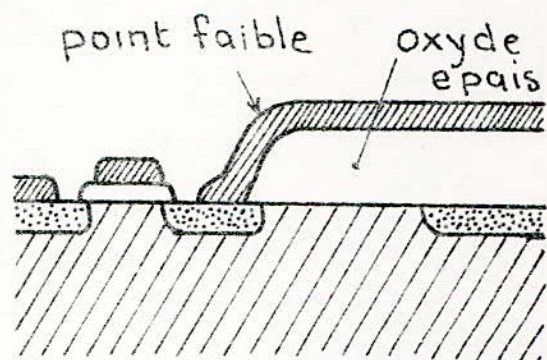


fig. 3b. Oxydation epaisse sous le câblage.

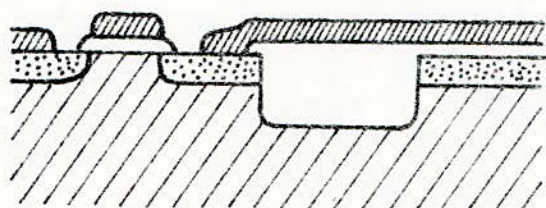


fig. 3c. Oxydation locale avec la technique LOCOS.

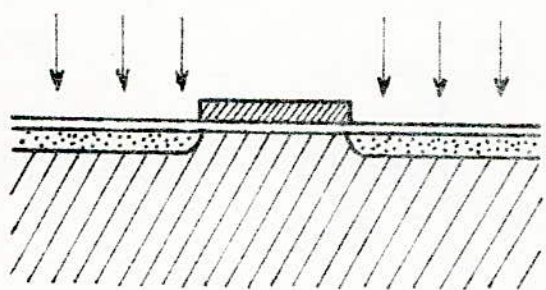


fig. 4a. Porte servant de masque à la formation des zones drain et source.

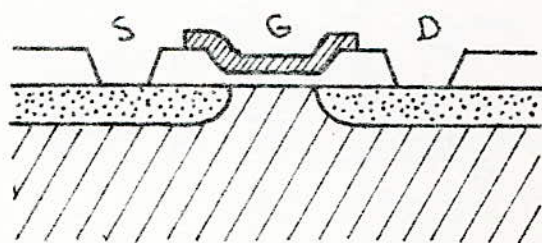


fig. 4b Hors de zone du canal la porte repose sur l'oxyde epais.

nécessaire de pratiquer le trou à l'endroit précis de l'oxyde épais.

Il existe d'autres méthodes qui permettent de diminuer la capacité parasite et que nous étudierons au cours des diverses technologies de fabrication.

3-7 CONCLUSION :

Nous avons déjà vu que la présence d'états de surface s'oppose à la formation d'inversion. Les canaux parasites pourraient donc être aussi évités en incorporant un nombre suffisant d'états de surface à ces endroits. Cependant cela doit être effectué localement, sans quoi il en résulterait des troubles dans les Transistors MOS.

L'oxyde épais est aussi utilisé pour minimiser les capacités parasites et pour éviter la formation de canaux parasites sous le câblage des circuits intégrés MOS. La technique LOCOS rend possible l'inclusion d'un oxyde plus épais dans le silicium, évitant ainsi les défauts de métallisation, lesquels constituent des points faibles.

IV - TECHNOLOGIES DE FABRICATION DES TRANSISTOR-MOS

Le MOS étudié auparavant, à enrichissement et canal P est classique si l'on peut dire.

Sa tension de seuil V_T est de l'ordre de 4 à 5v; il est alimenté par des tensions typiques $V_d = -13v$ et $V_g = -27v$ et fournit des niveaux logiques de l'ordre de 0v pour le zéro et de -10 à -13v pour le un (logique négative).

Les températures de fonctionnement de ce même MOS vont de -20 à 85°C et sa fréquence de travail en logique ne dépasse pas 1 MHz.

On constate donc que:

- Les tensions d'alimentation ne sont pas les mêmes que celles des CI bipolaire (+5v, +6v, et +12v).
- Les niveaux logiques sont également différents (0 et 3,5v en bipolaire DTL et TTL).
- Les températures de fonctionnement n'atteignent pas la gamme "militaire" : -55 à +125°C.
- La fréquence de travail reste faible (30 MHz par exemple en TTL 500 MHz en ECL).

On donc cherché à améliorer ces caractéristiques en recourant à d'autres technologies examinées ici.

DESCRIPTION DES DIVERSES TECHNOLOGIES :

1-1 UTILISATION DU NITRURE DE SILICIUM -

Le nitrure de silicium s'oppose à la conduction ionique et bénéficie d'une constante diélectrique supérieure de près du double de celle du dioxyde de silicium, 7,5 au lieu de 3,9 environ, à épaisseur égale, il peut supporter des champs électriques plus élevés, c'est à dire qu'il résistera à la même tension sous une

épaisseur moindre.

En réduisant l'épaisseur de l'isolant, on réduit du même coup la tension de seuil : de 4 à 5v, elle peut passer à 2v environ.

Donc les tensions d'alimentation peuvent aussi être réduites.

La formule donnant la tension de seuil est :

$$V_T = W_{ms} + 2 V_i + \frac{Q_{ox} - Q_a}{C_{ox}} \quad (1) \quad \text{Voir Fasc. r 22 ou :}$$

- W_{ms} est le potentiel de contact qui exprime la différence de travail à fournir pour extraire un électron de la grille et un électron de substrat.

- V_i est la différence de potentiel de fermi.

- Q_{ox} est la densité de charges dans l'oxyde au voisinage ^{de} la surface de silicium. Elle induit une charge ($-Q_{ox}$) dans le silicium

- Q_a est la charge de la couche d'appauvrissement (voir r31 FasI)

- C_{ox} est la capacité par unité de surface de l'oxyde de grille.

Le nitrure peut s'opposer à la migration des ions sodium jusqu'à environ 200°C, ce qui permet de faire travailler les nouveaux dispositifs MOS jusqu'à 125°C sans risque de dérive.

- FABRICATION :

Pour fabriquer un CI/MOS au nitrure, on réalise un sandwich de nitrure et de dioxyde de silicium, comme le montre la figure(1). On applique la couche de nitrure sur une couche SiO_2 , parce qu'on ne peut déposer directement le nitrure sur le silicium. En effet une faible conduction électronique est possible dans le nitrure de silicium et cela ferait apparaître des charges indésirables près de l'interface. L'effet est plus marqué aux intensités de champs élevées. Pour minimiser l'effet, il est nécessaire de rendre le nitrure beaucoup plus mince que l'oxyde sous-jacent.

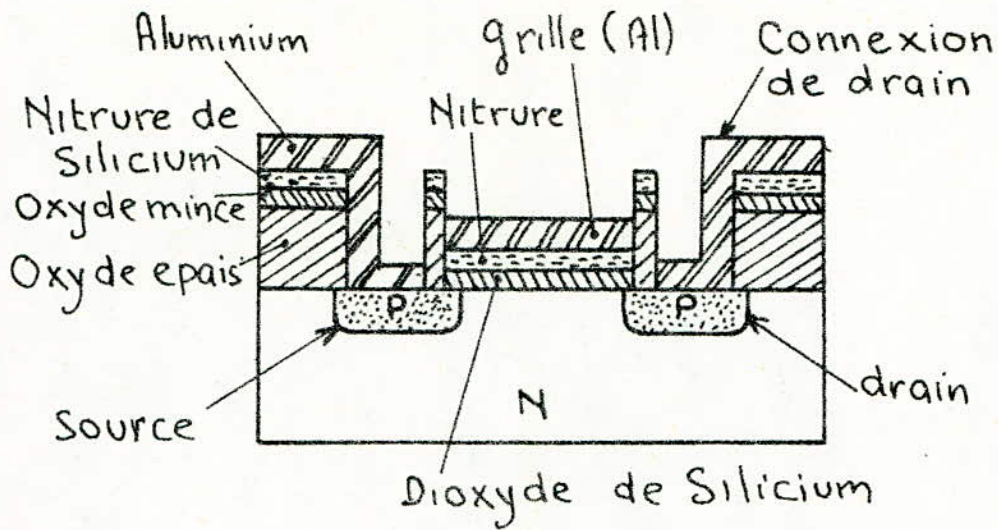


fig.1. Structure d'un element MOS de la famille MTNS

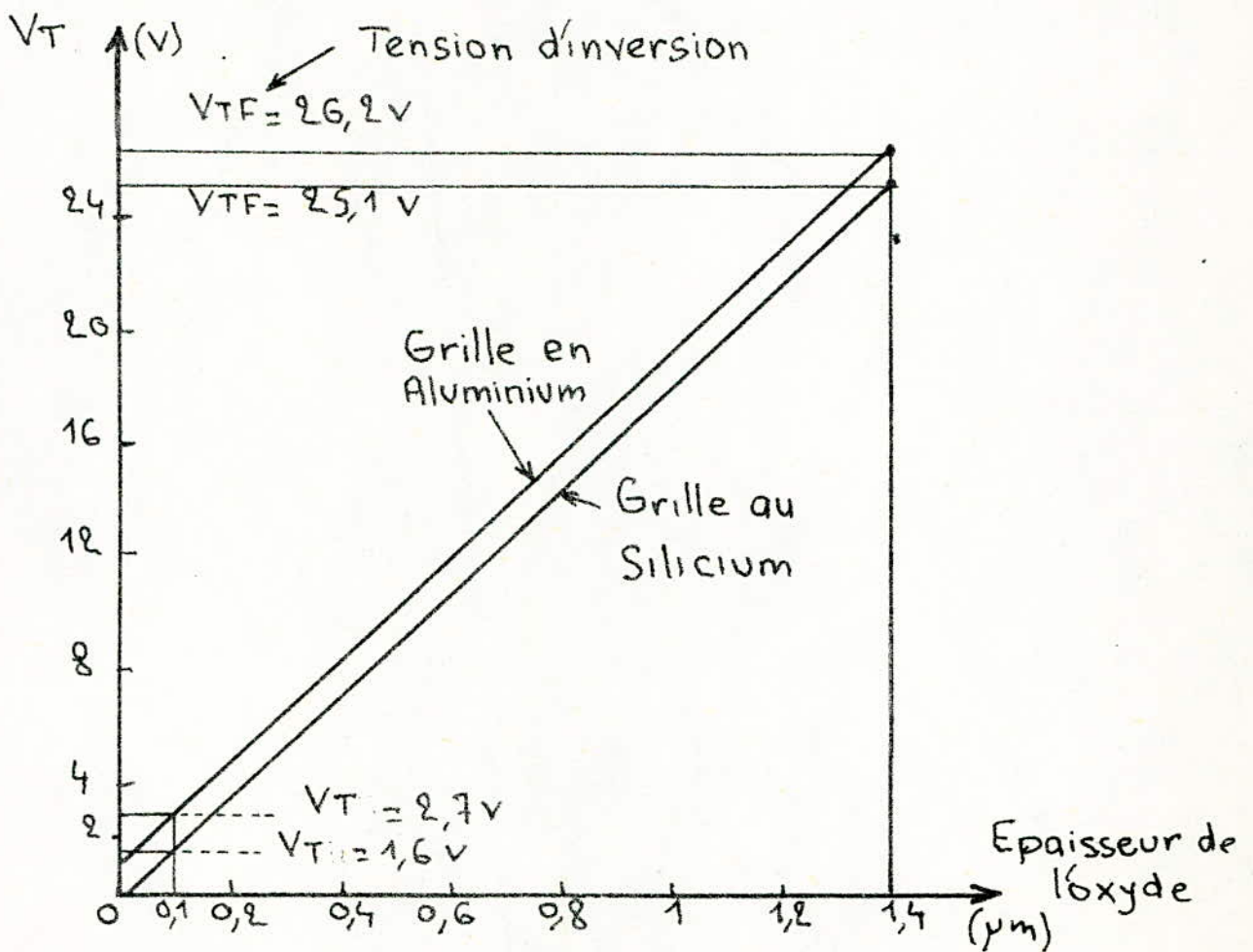


fig. 2.1. la grille au Silicium fortement dopée permet d'abaisser la tension de seuil du MOS

Les premiers CI au nitrure ont été commercialisés dès 1969 par Général Instrument sous la dénomination de MTNS (Métal, Thick oxide, Nitride, Silicon).

1-2 GRILLE EN SILICIUM :

Cette technologie consiste à remplacer la classique grille en aluminium par une grille en silicium polycristallin. Car la tension de seuil, comme le montre la formule (1) dépend aussi de la nature de la grille.

En effet, on constate que pour réduire la tension de seuil, il faut réduire le potentiel de contact W_{ms} . Dans le cas classique d'un substrat de type N (MOS canal P), la tension de seuil est négative. En prenant une grille fortement dopée P (comme il est naturel puisque cette grille servira de masque aux diffusions source et drain qui sont P), W_{ms}^a comme valeur $+ 0,8v$ au lieu de $-0,3v$ et contribue donc à diminuer la valeur absolue de seuil, par rapport à la technologie grille aluminium, le gain est de l'ordre de $1,1v$, résultat tout à fait confirmé par l'expérience.

Ainsi, une tension de seuil de $3v$ obtenue avec un excellent MOS à grille "normal" en aluminium, passe à $3 - 1,1 = 1,9v$ si l'on réalise la grille en silicium.

La figure 2-1 compare les tensions de seuil obtenues avec des MOS à grille en aluminium et à grille en silicium en fonction de l'épaisseur de la couche d'oxyde. On y trouvera également la valeur de la tension d'inversion VTF; tension qui appliquée à la métallisation au dessus de la couche épaisse d'oxyde, provoque la création d'un canal de MOS parasite.

Or, avec les MOS classique, le rapport tension d'inversion sur

tension de seuil est de l'ordre de 10. Elle passe ici à environ 15, ce qui est bien plus favorable.

1-2-1 FABRICATION :

Le processus de fabrication d'un MOS à gat en silicium est développé dans la figure 2.2 selon la méthode élaborée dès 1967 par Fairchild.

On part d'un substrat N sur lequel on fait croître une couche épaisse d'oxyde : puis on ouvre des fenêtres, une par transistor à fabriquer, et l'on remplace l'oxyde épais par l'oxyde mince : c'est là qu'intervient le premier masquage (fig. 22. a).

Après quoi, toute la surface du substrat est recouverte de silicium polycristallin (fig. 22. b).

L'oxyde mince et le silicium polycristallin sont éliminés, sauf à l'emplacement de la grille (second masquage fig. 22. c).

La diffusion du bore est immédiatement assurée, sans masquage supplémentaire (fig. 22. d).

On voit que dans la technique de la grille en silicium le chevauchement grille et zones, drain et source, n'existe presque plus, d'où il s'ensuit une réduction notable des capacités parasites. De plus, le bore qui diffuse relativement vite dans le silicium laisse pratiquement intact l'oxyde de silicium. Cette diffusion vise non seulement à créer le drain et la source, mais également à doper la grille pour l'amener à une faible résistivité, d'environ $1 \Omega \cdot \text{cm}$.

On procède à une nouvelle oxydation et un troisième masquage qui prépare le dégagement des prises de contact de drain et de source (fig. 22e).

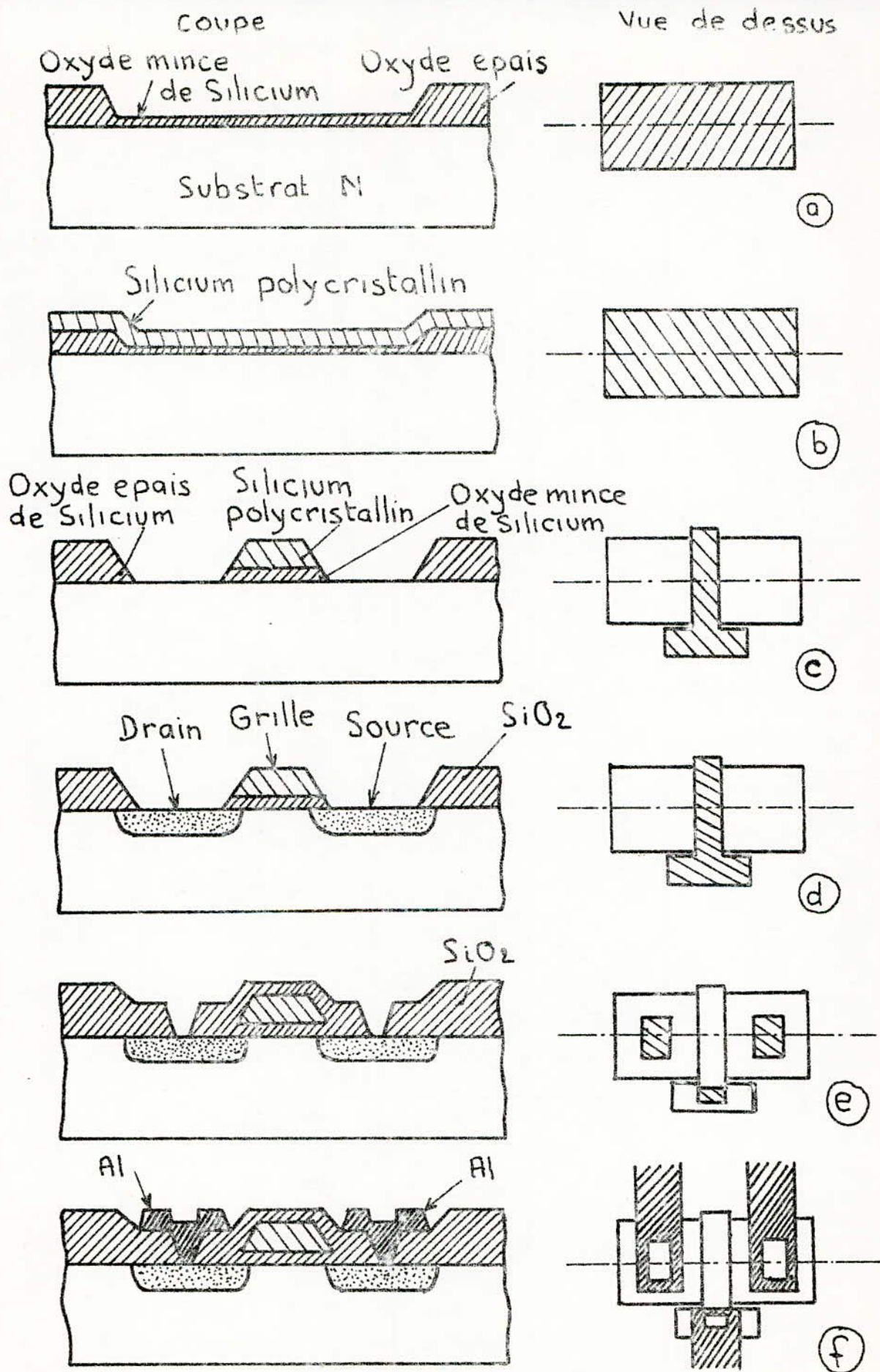


Fig 2.2 fabrication d'un MOS à grille au Silicium.

Une couche d'aluminium est alors déposée sur toute la surface du substrat, un quatrième et dernier masquage intervenant pour n'en laisser subsister que ce qui est nécessaire au second plan d'interconnexions (fig. 22f), le premier plan étant constitué par la connexion de grille.

1-2-2 AVANTAGES:

Cette technologie procure de nombreux avantages :

1) Les rendements sont ici supérieurs à ceux obtenus avec la technologie fondamentale parce que l'oxyde de grille, point sensible de l'élément, est aussitôt recouvert par du silicium qui le protège de toute contamination ultérieure.

2) Le recouvrement de la grille sur les zones drain et source est réduit au micromètre, alors qu'il est normalement de 5 à 10 microns avec la technologie de base.

La diffusion est assurée après la réalisation de grille: on dit que les électrodes sont auto-alignées.

3) La grille peut, de plus, être plus courte. Les capacités sont réduites d'où augmentation sensible des fréquences de travail.

4) La tension de seuil est abaissée à 2v environ, on peut réduire les tensions d'alimentation.

5) On a vu que le procédé de fabrication fournit deux couches d'interconnexions. C'est là une qualité des plus appréciables en LSI (l'intégration à grande échelle).

Il n'est donc pas étonnant que cette technologie tende, au moins chez certains constructeurs, à remplacer purement et simplement les technologies classiques, dont elle couvre toutes les applications, en apportant en général de sérieux avantages, tant sur le

plan des performances que sur celui de degré d'intégration.

Ajoutons que certains fabricants recouvrent le Wafer d'une dernière couche d'oxyde afin de "passiver" les CI, c'est à dire de les protéger contre toute contamination.

1-3 STRUCTURE A GRILLE AU SILICIUM ET ISOLANT AU NITRURE :

On peut évidemment réaliser des circuits intégrés en combinant les deux technologies précédentes. Le processus de fabrication est le même que celui de la grille en silicium décrit plus haut, mais avec comme couche isolante, de l'oxyde et du nitrure de silicium.

Intel corporation a réalisé des circuits intégrés selon le processus suivant :

On part d'un substrat de type N, oxydé sur toute sa surface selon une épaisseur d'environ 1 micron, puis on ouvre des fenêtres correspondant aux transistors et l'on fait croître une couche mince d'oxyde de l'ordre de 0,1 micron .

Après quoi, toute la surface du substrat est recouverte d'une mince couche de nitrure de silicium, puis de silicium polycristallin.

On procède à l'ouverture de fenêtres de source et de drain après un second masquage. Le nitrure de silicium ne subsiste plus alors qu'à l'emplacement de la grille. Puis le bore est diffusé; chaque transistor offre, à ce moment l'aspect de la figure 3a

La suite des opérations est logique: une nouvelle oxydation et un masquage qui prépare le dégagement des prises de contact de drain et de source. Un dépôt d'aluminium et un masquage mènent à la vue en coupe de la figure 3b.

Enfin une dernière croissance de silice, avec un masquage qui libère les prises de contact, sert à protéger l'ensemble de la surface des CI.

On obtient ainsi un transistor MOS dont les qualités héritent des deux technologies. En plus d'une tension de seuil d'alimentation plus faible, nous avons tous les avantages obtenus avec la technologie grille en silicium.

Si l'on voulait d'ailleurs résumer l'action de cette double technologie sur les capacités du transistor, il faudrait noter que :

- La capacité de grille est réduite de moitié environ .
- La capacité Miller de réaction, due au recouvrement de la grille sur le drain, est réduite de 10.
- La capacité de jonction de drain est réduite (capacité due à l'aluminium des connexions), la surface de jonction étant réduite de 30 à 40 %.

1-4 STRUCTURE A GATE AUMOLYBDENE OU A GRILLE REFRACTAIRE :

La technologie MOS à grille réfractaire utilise comme matériaux constituant la grille, un métal, molybdène ou tungstène, présentant un point de fusion élevé. C'est une variante de la technique "Silicon Gate", dans laquelle le silicium polycristallin est remplacé par un métal. L'intérêt de cette nouvelle technologie est double : d'une part, elle rend moins critiques certaines étapes du processus d'élaboration (ce qui est un facteur d'augmentation du rendement de fabrication) et elle permet d'autre part d'améliorer notablement les performances des circuits pour ce qui est de la rapidité et de la fiabilité.

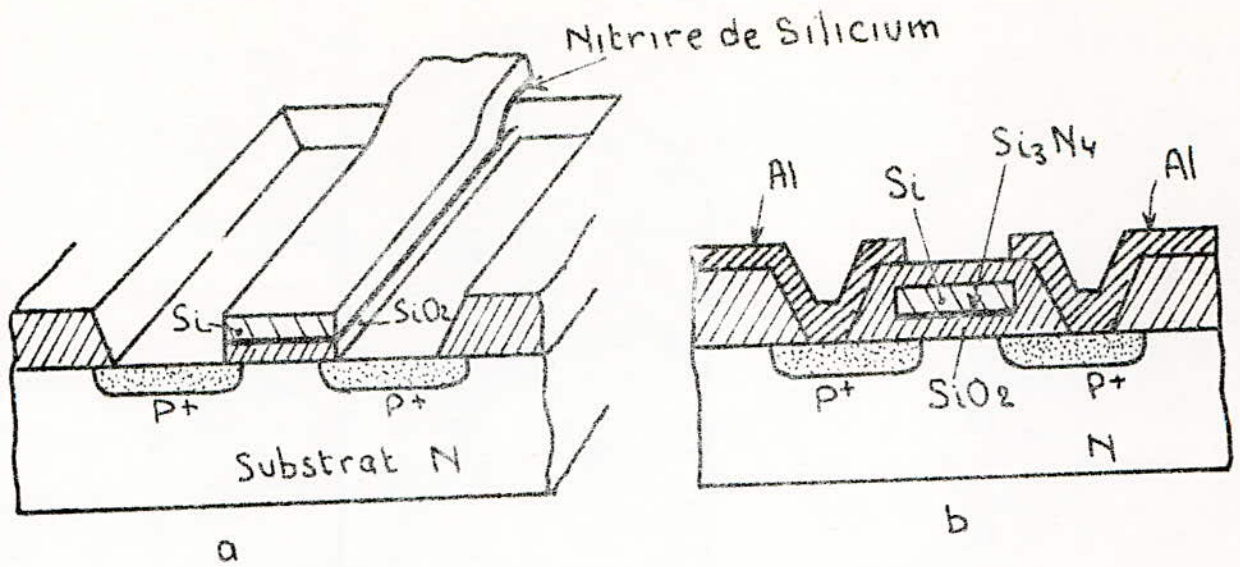


fig. 3. Fabrication d'un MOS à grille en Silicium polycristallin avec dielectrique au nitrure-dioxyde de Silicium.

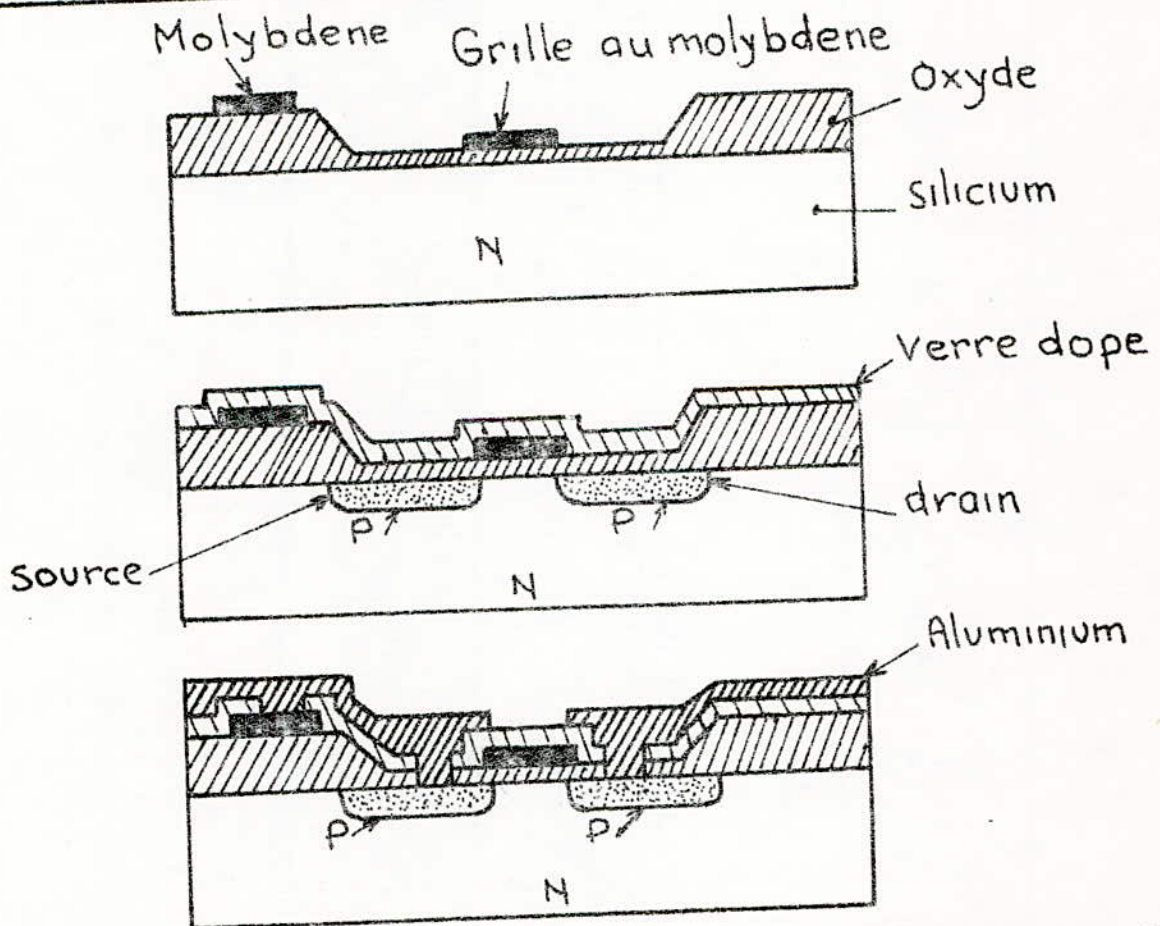


fig. 4. Trois etapes importantes dans la fabrication d'un MOS à grille au molybdène, dit: R/MOS

Le R/MOS à grille au molybdène était annoncé par Général Electric en 1971. Dans les R/MOS (R venant de refractory), la grille procure un auto-alignement des électrodes (comme avec la grille au silicium) et de deux niveaux d'interconnexions. Le processus de fabrication est le suivant :

On part d'un substrat de silicium (type N, orienté "1.1.1"). On lui fait subir un polissage micano-chimique et un nettoyage poussé avant d'être oxydé en atmosphère d'oxygène sec, sur une épaisseur de 1,3 microns. Des fenêtres sont ouvertes puis refermées avec une couche mince d'oxyde (0,1 microns). Une couche de molybdène est ensuite déposée sur l'oxyde, puis ôtée sauf à l'emplacement de la grille et du premier niveau d'interconnexions (fig 4). Ensuite un verre dopé au bore est déposé sur l'ensemble et une diffusion est assurée (vers 1100°C). Notons à ce propos, que le point de fusion du molybdène est de 2600°C. Le bore diffuse à travers la couche mince d'oxyde, le molybdène comme la couche épaisse d'oxyde constituant un barrage infranchissable. Ainsi sont formés les drain et source.

Enfin, les contacts sont ouverts et les interconnexions (second niveau) assurées avec de l'aluminium. Quatre masquages auront été nécessaires.

On voit bien qu'il s'agit d'une technique très voisine de la technologie "grille de silicium". Bien entendu, outre qu'il doit avoir un point de fusion supérieur à la plus haute température rencontrée au cours du processus de fabrication, le métal utilisé doit présenter (et conserver au moins jusqu'à cette température) deux propriétés essentielles :

- Avoir un coefficient de dilatation thermique voisin de celui du silicium afin de ne pas développer de contraintes mécaniques nuisibles à son adhérence ou aux qualités des jonctions.
- Etre chimiquement inerte vis à vis de la silice.

Le molybdène ou le tungstène répondent bien à ces conditions (d'où la dénomination de technologie "métaux réfractaires").

AVANTAGES :

- Le métal réfractaire n'est pas attaqué par les réactifs habituellement utilisés pour graver la silice et réciproquement la silice est inerte vis à vis des bains de décapage du métal. Silice et métal peuvent donc jouer le rôle de barrière qui arrête automatiquement la gravure à la profondeur désirée.
- D'autre part, le problème des coupures des connexions au franchissement des reliefs n'existe pas avec le molybdène ou le tungstène (cet avantage considérable sur les autres techniques étant très probablement dû à la ténacité exceptionnelle et à la faible valeur du coefficient de dilatation des métaux réfractaire), d'où l'élaboration de multiples niveaux d'interconnexions, même si les circuits présentent des " marches importantes".
- Dans le domaine des performances, nous avons une meilleure fiabilité dû à l'absence de coupure des interconnexions.
- Nous avons aussi une faible capacité de recouvrement et une faible résistance électrique des connexions enterrées. Il y a ainsi un rapport voisin de 300 entre les constantes de temps de connexions en molybdène et en silicium polycristallin. Puisque les constantes de temps sont réduites, les fréquences de travail s'accroissent.

- Avec les R/MOS, la tension de seuil est également ramenée à 1,5 à 2,5v pour une densité d'intégration accrue comme on le conçoit avec ce processus à auto-alignement.

1-5 MOS A CANAL N :

Toutes les technologies décrites précédemment, font appel à des éléments à canal P. Or, ceux à canal N semblent offrir des propriétés bien plus intéressantes.

- Dans les MOS à canal N, la conduction est assurée par des porteurs négatifs, des électrons, dont la mobilité est de 2 à 3 fois supérieure à celle des porteurs positifs, les trous.

- Donc la résistance d'un canal N est deux fois moindre que celle d'un canal P, de même géométrie.

- A caractéristiques égales, la surface occupée par un MOS à canal N est la moitié de celle occupée par un MOS à canal P. La densité d'intégration est donc fortement accrue.

- Puisque la résistance de canal est réduite, et que la capacité qui dépend de la géométrie est également réduite, donc la constante de temps RC est réduite. La vitesse de travail est très sensiblement accrue.

Mais si, les MOS à canal N sont rapides et permettent un niveau d'intégration élevé, ils sont par contre d'une technique de fabrication très délicate, et c'est pour cela qu'ils n'eurent aucun succès dans la course aux circuits complexes. Les CI/MOS ont fait presque exclusivement (jusqu'en 1970) usage de MOS à canal P (à l'exception des C/MOS que l'on verra plus loin).

Dans la fabrication des MOS à canal N, les contaminants, qui cau-

sent les pires difficultés aux producteurs de circuits intégrés, sont chargés positivement, et des ions positifs parasites tendent à s'accumuler à l'interface oxyde-silicium; cette charge (Q_0) provoque un décalage de la tension de seuil qui tend à débloquent le MOS à enrichissement s'il est à canal N.

D'autre part, la charge fixe Q_{ox} , positive, à l'interface oxyde silicium, résulte directement du processus de fabrication et décale elle aussi la tension de seuil.

Ces charges existe également dans les MOS à canal P, mais là, les ions + sont attirés vers l'interface aluminium-oxyde par la charge négative de la grille et n'affectent guère la tension de seuil ils ont plutôt tendance à l'accroître sensiblement, mais ce défaut est ^{moins} gênant que le phénomène inverse qui débloquent un MOS qu'on souhaiterait bloqué. C'est donc bien parce qu'ils sont plus faciles à produire que les MOS à canal P ont été très largement intégrés. Mais cette situation tend à évoluer, car dès 1971, HEWLETT - Packard équipait ses calculatrices avec des mémoires mortes 4096 bits à CI/MOS à canal N de sa propre fabrication.

- FABRICATION D'UN MOS A CANAL N A DOUBLE DIFFUSION (D/MOS)

C'est signatics qui a mis au point le processus à double diffusion (D/MOS) et l'a annoncé en Décembre 1970. Avec les D/MOS, on crée aussi bien des éléments à déplétion qu'à enrichissement et ils sont capables de performances tout à fait exceptionnelle, puisqu'ils peuvent travailler à plus de 1 GHz. Ils viennent de donner naissance à de premiers CI applicables à la commutation en télécommunications. Avec le début 1975 est commercialisé le

premier commutateur téléphonique de 16 bits.

Il est évident que le temps de transit des charges dans le canal d'un transistor MOS influe directement sur la fréquence à laquelle il peut travailler. Plus le canal est court, et plus ce temps de propagation est bref.

Le canal classique a une longueur comprise entre 6 et 10 microns par contre, la longueur de canal d'un D/MOS n'est que de 1 micron. Ce résultat est obtenu à l'aide d'une diffusion supplémentaire (fig.5), qui réduit à l'extrême la longueur utile du canal. La longueur du canal est en effet, la différence entre les diffusions P et N⁺. L'élément est fabriqué sur un substrat N-épitaxial à partir de : deux diffusion P et N réalisées à travers les mêmes fenêtres du côté source, une seule diffusion du côté drain. Le dopage P détermine la tension de seuil.

Ce MOS à canal N, avec la résistance de canal R on faible et les capacités parasites faibles, occupe une surface très réduite et se prête à une forte densité d'intégration. Avec les D/MOS, une fréquence de 10 GHz aurait été obtenue en laboratoire.

1-6 MOS COMPLEMENTAIRES : C/MOS

En plaçant sur un même substrat des MOS à enrichissement à canal P et canal N, RCA a créé, dès 1968, la première famille à MOS complémentaire (C/MOS).

Il s'agit-là d'une famille qui bat actuellement tous les records en matière de faible consommation; de vitesse modérée, mais dotée d'une large immunité au bruit et d'une simplicité importante elle ne demande qu'une seule tension d'alimentation .

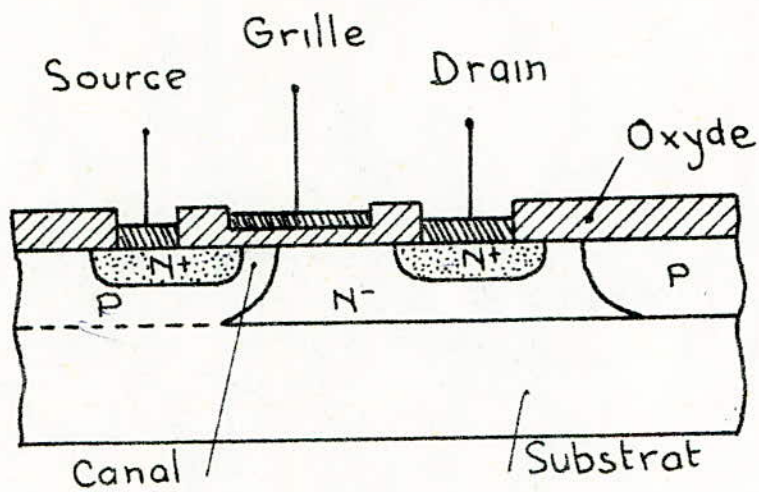


fig-5 Structure D/MOS Signetics
MOS à canal N à double diffusion

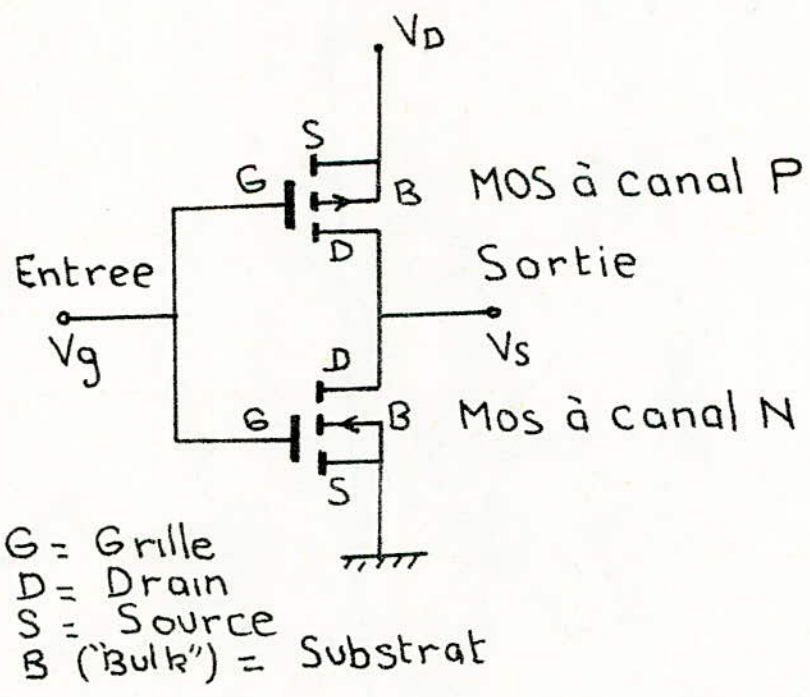


fig6 L'inverseur fondamental en MOS
complementaires

Dans sa forme la plus simple, l'inverseur fondamental de la famille C/MOS est représenté fig.6 .

- Quand une tension nulle (zéro logique) est appliquée à l'entrée le VGS du MOS à canal P est égal à la tension d'alimentation VDD de ce fait, ce MOS est conducteur.

A l'inverse, le VGS du MOS à canal N est nul, et celui-ci est bloqué. La sortie est donc égale à VDD (un logique).

- Quand la tension d'entrée VG est égal VDD, le MOS à canal N est conducteur et le MOS P est bloqué: la sortie est à la masse (zéro logique).

Les deux transistors n'étaient pas simultanément conducteurs, le circuit ne consomme rien à l'état stable (hormis un inévitable, mais un très faible courant de fuite). En commutation la consommation est réduite à la charge et à la décharge de la capacité de structure des MOS suivants :

La consommation d'un élément C/MOS répond à la formule.

$$P \text{ totale} = P \text{ statique} + CL VDD^2 F \quad (1)$$

où :

- P statique : Puissance consommée à un état stable
(en dehors des commutations)
- CL : Capacité qui charge l'étage
- VDD : Tension d'alimentation
- F : Fréquence des commutateurs

Donc la puissance consommée croît avec la fréquence. Mais une porte C MOS consomme des nanowatts jusqu'à 100 KHz et toujours moins d'un milliwatt jusqu'à 2 MHz. A 1 MHz, une porte CMOS consomme 0,1 mw c'est à dire 100 fois moins qu'une logique bipolaire
(1) Voir Fassicule I (2^e partie § 1.4.4)

TTL classique et 10 fois moins qu'une logique MOS à canal P.

Les CMOS sont principalement intéressants pour les applications LSI. De toutes les technologies MOS la technologie CMOS offre le meilleur degré de compatibilité.

1-6-1 FABRICATION

Le substrat utilisé est le silicium dopé N, à orientation cristalline " 1.0.0 " (fig. 6.1)

La première opération (fig.6.1) consiste à diffuser une zone P, à travers une ouverture dans l'oxyde, dans laquelle sera produit le MOS à canal N. Une diffusion P⁺ crée ensuite les source et drain du MOS à canal P, ainsi que la zone "arrêt de canal" pour le MOS à canal N.

Après un procédé d'oxydation et de photogravure, une opération similaire de diffusion N⁺, crée les source et drain du MOS à canal N, et la zone arrêt de canal autour du MOS à canal P.

Après une oxydation épaisse et une ouverture des fenêtres, on fait croître l'oxyde qui sera retenu pour les grilles des éléments N et P sur une épaisseur de 1000 Å environ.

La métallisation est ensuite assurée de façon habituelle.

Les diffusions d'arrêt de canal, appelées anneaux de garde entourent totalement les composants pour prévenir toute fuite éventuelle.

1-6-2 FABRICATION DES C/MOS SELON LA TECHNOLOGIE LOCMOS :

Le terme LOCMOS, contraction de LOCOS et de CMOS, est une nouvel-

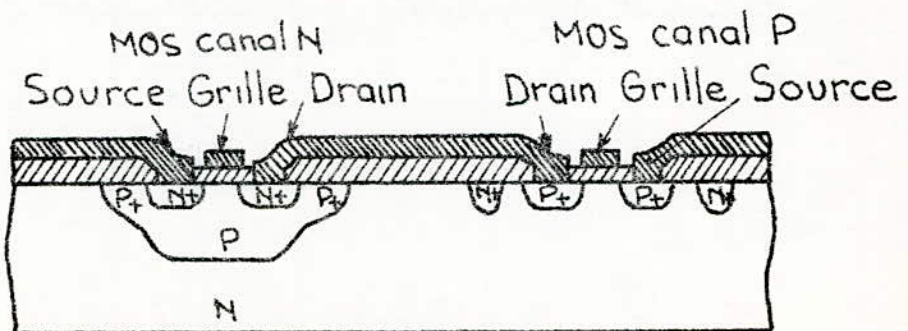
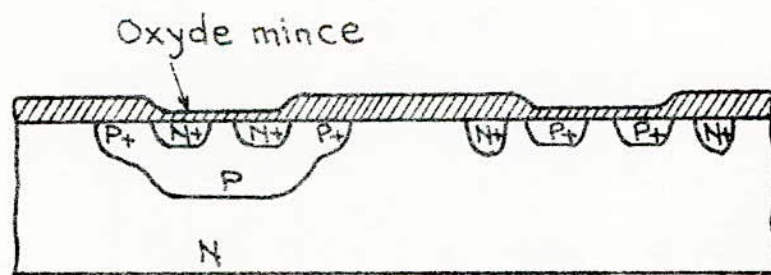
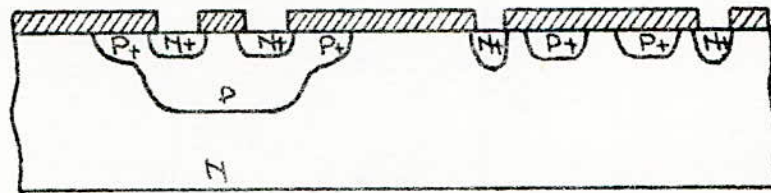
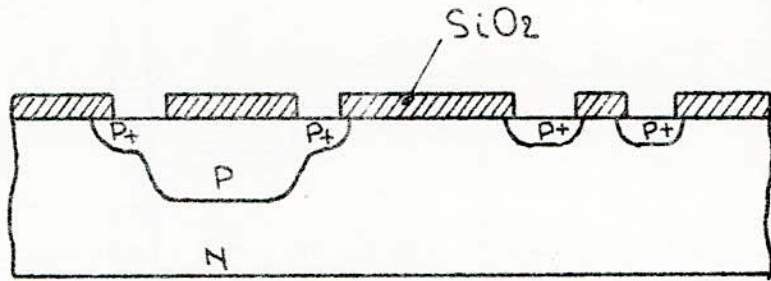
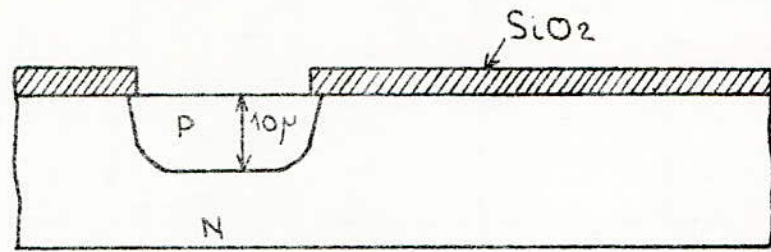


fig. 6.1 Fabrication d'un C/MOS conventionnel

le technologie MOS complémentaires où l'isolement entre les transistors est réalisé par le procédé LOCOS qui consiste à isoler dès le début du cycle de fabrication, certaines zones du substrat de silicium.

Les inconvénients de la technologie actuelle CMOS (grande consommation de surface et vitesse relativement basse) sont éliminés dans le procédé LOCMOS par l'utilisation d'une oxydation localisée et la suppression de diffusion d'arrêt de canal. L'utilisation d'une grille en silicium polycristallin conduit à l'auto-alignement.

Le procédé de fabrication élaboré par Philips en 1973, est le suivant, (fig.6.2)

Le substrat de silicium de type N (orientation "100") est recouvert d'une mince couche de nitrure de silicium. Cette couche est éliminée à l'endroit où l'oxydation est prévue.

Ensuite, on fait croître thermiquement une couche d'oxyde de 1,8 microns d'épaisseur, fig(6.2 a) (voir technique LOCOS au même chapitre).

Aux endroits où est prévu le caisson P, la couche de nitrure de silicium est retirée et la diffusion est effectuée (fig. 6.2b)

Tout le nitrure de silicium restant est éliminé, et on fait croître l'oxyde de grille et ensuite, le silicium polycristallin pour les grilles est déposé et dopé par diffusion au phosphore.

Après quoi, le motif est obtenu par photogravure (fig. 6.2c).

Les fenêtres des source et drain de type P sont alors ouvertes, la diffusion de bore est effectuée et une couche mince d'oxyde est formée (fig. 6.2d).

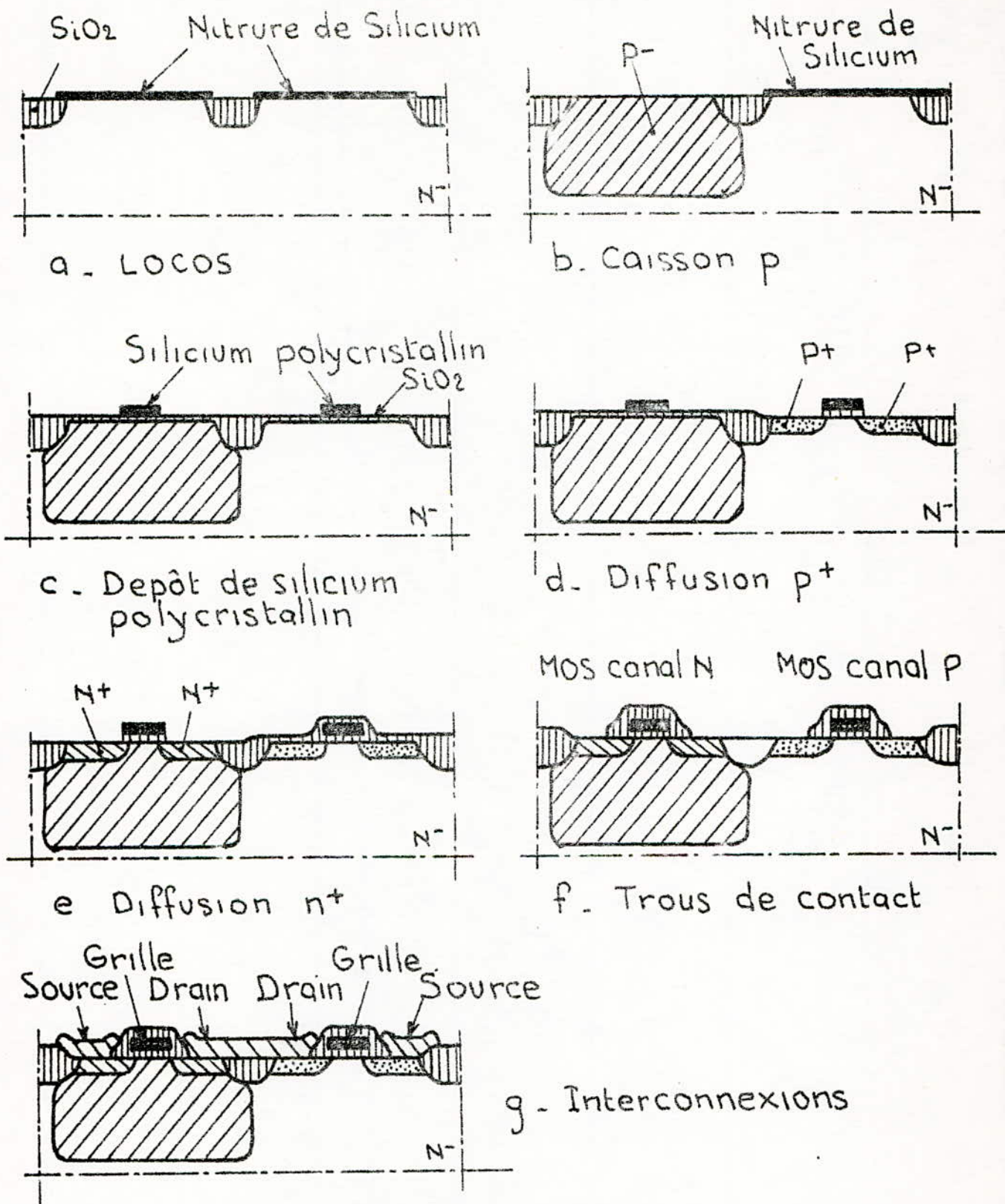


fig 6.2 Processus de fabrication Selon la technologie LOCOS.

Les fenêtres de source et drain de type N sont ouvertes, et le phosphore est diffusé (fig. 6.2e)

Une couche épaisse d'oxyde est déposée et les fenêtres de contacts ouvertes (fig. 6.2 f).

De l'aluminium est déposé sur la lame de silicium, et le réseau d'interconnexions est gravé (fig. 6.2 g). On termine par le dépôt d'une couche de verre de protection et par l'ouverture de fenêtres pour les plots de contacts.

- AVANTAGES DE LA TECHNOLOGIE LOC MOS :

Cette technologie réduit des surfaces inactives et des surfaces de jonctions.

- Les surfaces actives pour les canaux N et P aussi bien que le caisson P sont bien définies dans la même étape de masquage; ainsi il n'y a pas à prévoir d'autres tolérances d'alignement.

- L'alignement pour les trous de contact est moins critique; puisqu'ils peuvent déborder sur l'oxyde adjacent. Ceci permet de diminuer la surface des jonctions.

- Suppression des diffusions d'arrêt de canal.

- Pas de marche d'oxydation importante, ce qui pour l'aluminium diminue le risque de discontinuité.

- La tension de seuil est de

- 1,5v pour le canal P

+ 1,5v pour la canal N

- L'utilisation de dopage au phosphore pour les grilles (silicium) à la fois pour les canaux N et les canaux P, réduit la dispersion dans la différence des travaux de sortie, et améliore la stabilité des tension de seuil. Ceci abaisse également la résistance

serie des conducteurs.

Avec cette technique LOCMOS, de grandes vitesses internes peuvent être obtenues. On obtient aussi une grande densité d'intégration. Par exemple un quadruple registre à décalage statique de 64 bits contenant plus de 3000 transistors demande seulement 9 mm².

2 TECHNIQUE LOCOS :

La surface tourmentée des circuits intégrés met en relief des angles vifs qui créent des points fragiles pour la métallisation. A l'extrémités des couches épaisses d'oxyde, des microcraquelures pourront se produire, donc les coupures du circuit d'aluminium, ce qui est contraire au rendement et à la fiabilité.

Pour éviter ces points éventuels de rupture, une méthode a été mise au point par Philips. Elle est basée sur l'oxydation locale d'une surface de silicium masquée par une couche de nitrure de silicium. Cette méthode à laquelle on a donné le nom technique LOCOS (Local Oxidation of Silicon), offre aussi des avantages pour d'autres circuits MOS.

La façon dont la couche incluse d'oxyde est produite est illustrée à la figure 2-1. Le processus est le suivant :

a - Une couche de nitrure de silicium et une couche d'oxyde sont formées successivement sur le silicium. Le nitrure est difficile à attaquer par l'acide fluorhydrique, le réactif généralement utilisé dans les techniques de photogravure pour les couches de SiO₂. Il peut être attaqué par l'acide phosphorique chaud, mais les photolaques ne peuvent le supporter. Et c'est l'élément SiO₂

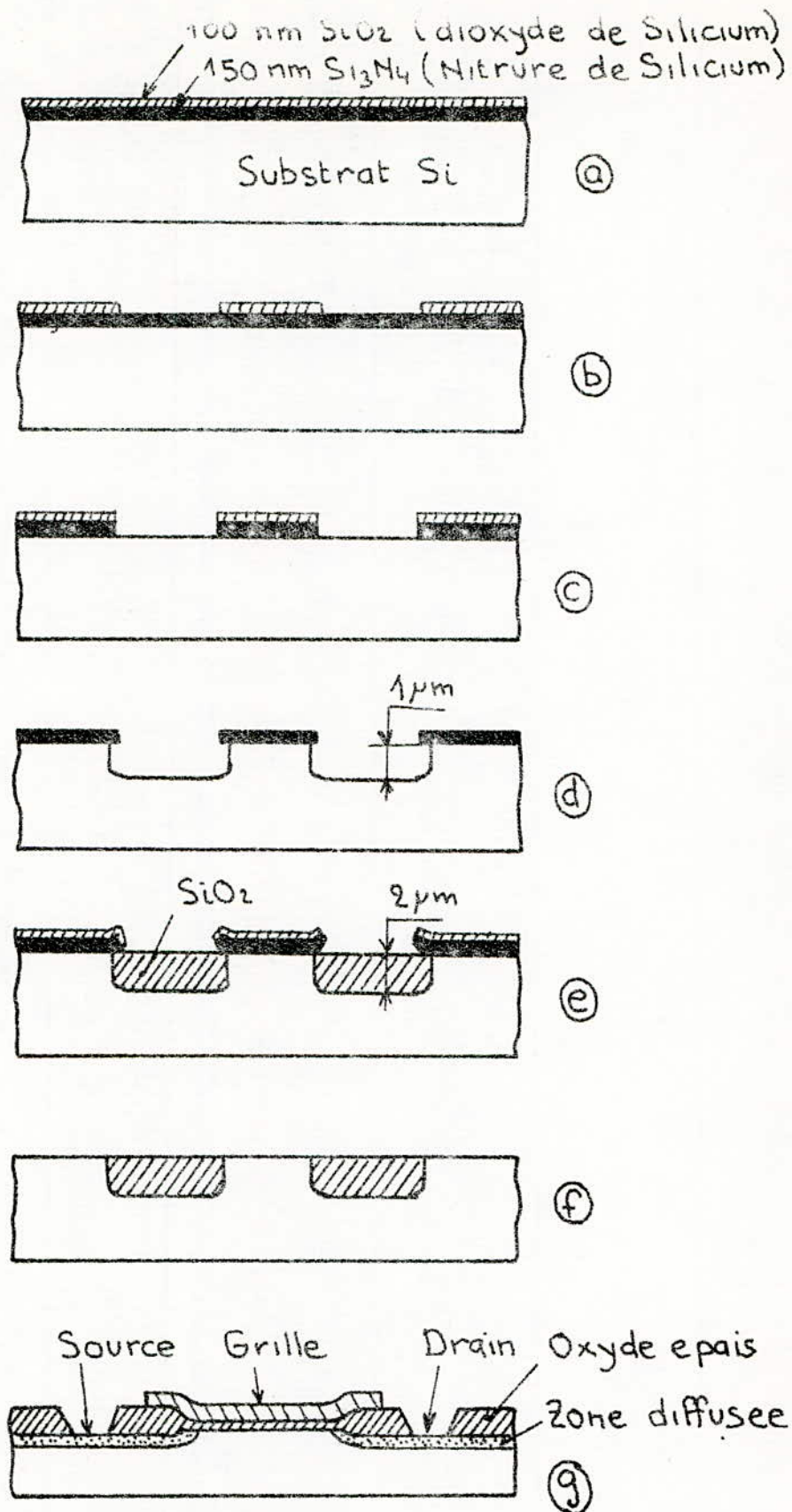


fig 2.1 Realisation d'une Structure LOCOS

qui servira de masque.

b- Puis une série d'ouvertures sont pratiquées dans le SiO_2 par la technique classique de photogravure.

c- Ensuite le nitrure est attaqué à l'acide phosphorique chaud, le SiO_2 servant de masque.

d- Dans les ouvertures, le silicium est alors attaqué et aminci jusqu'à une profondeur d'environ 1 micron.

e- L'oxydation est alors effectuée jusqu'à ce que les creux soient complètement remplis de SiO_2 . La croissance de l'oxyde se manifeste au dépens du silicium sous-jacent et la couche d'oxyde formée est épaisse de presque 2 microns. Le nitrure n'est oxydé que superficiellement.

f- Tout le nitrure de silicium est attaqué par l'acide phosphorique chaud.

Dans les îlots de silicium ainsi formés sur la surface, on peut réaliser des transistors MOS comme le montre le dernier schéma de la figure g.

3- TRANSISTORS A COUCHES MINCES MONOCRISTALLINES

Les transistors MOS et les circuits intégrés à transistors MOS sont habituellement produits selon la technique planar à partir de plaquettes de silicium monocristallin ayant une épaisseur minimale de 100 microns; mais depuis un certain temps, on obtient d'intéressants résultats avec des plaquettes de silicium bien moins épaisses encore : de 1 à 2 microns par exemple, que l'on monte sur un substrat isolant de manière à les manipuler plus facilement.

3-1 CIRCUITS INTEGRES SUR SUBSTRATS ISOLANT (S O S)

Dans la technologie silicium sur substrat isolant, on a songé à remplacer l'habituel silicium (semiconducteur) par un matériau isolant dont le réseau cristallin ressemble le plus à celui du silicium: ce sera le saphir, variété bleue de couridon, soit la spinelle... qui est un aluminote naturel du magnésium.

C'est pourquoi cette technologie porte le nom de SOS (silicon on sapphire ou silicon on spinel).

3-1-1 PROCESSUS DE FABRICATION :

Les qualités des couches de silicium semblent très liées à la préparation du substrat isolant. Il est nécessaire d'effectuer un polissage mécanique (profondeur inférieure à 1 micron) et chimique (attaque sous hydrogène à 1200°C pour le saphir ou la spinelle de type verneuil) soigné de celui-ci pour avoir une bonne structure de la couche.

Les dépôts des couches s'effectuent à partir du système silane-hydrogène ou chlorure de silicium-hydrogène à des températures de 1000 à 1100°C, avec des vitesses de dépôt élevées (supérieur à 2 microns/mn). en second lieu, il n'est aucunement difficile de ronger par attaque chimique toute l'épaisseur de certaines parties de la couche de silicium. Par exemple les divers éléments d'un circuit peuvent être isolés l'un de l'autre pour former des îlots séparés selon la figure 3-1.

Sur ces îlots sont ensuite produits les composants, par exemple le MOS à canal N de la figure (3-1). Constate qu'avec les SOS, la structure est Parfaitement organisée , les capacités parasi-

tes étant fortement réduites, les fuites et les éléments parasites inexistantes.

3-1-2 RESULTATS OBTENUS :

En recourant à cette technique, introduite tout d'abord par automatics, mais en lui adjoignant son système à MOS complémentaires, RCA pouvait annoncer la mise au point d'un registre à décalage de 50 bits, comprenant 420 MOS et travaillant de 50 à 100 MHz.

En mars 1971, dans les laboratoires de RCA, on annonçait un CMOS/SOS ~~avec~~ rapide qu'un circuit ECL (logique bipolaire, non saturée), mais consommant 5000 fois moins que celui-là.

La structure RCA est réalisée sur un film de silicium de 1 micron déposé sur du saphir. La grille au silicium polycristallin sert à aligner les électrodes, donc à raccourcir la longueur du canal, ce qui explique également les rapidités atteintes.

3-1-3 INCONVENIENTS :

Cette méthode ne reste pas idéale sous tous ses aspects : le silicium dont la croissance se fait sur le saphir ou sur les autres matériaux mentionnés ne répond pas entièrement aux qualités que l'on exige du matériau de départ dans le procédé Planar: il présente trop de défauts cristallins. La couche de silicium obtenue est très contaminée à l'interface silicium-isolant et à l'interface silicium-gaz. Ces couches sont certainement disloquées, tout au moins à l'interface silicium-substrat isolant, ce qui conduit à des valeurs moyennes des mobilités dans les couches assez faibles.

3-2 MOS A COUCHE MINCE SUR SUBSTRAT ISOLANT :

Il est encore possible de produire des MOS sur un substrat isolant selon la technologie préconisée, par Philips, et permettant de produire des pellicules minces de silicium de haute qualité. On fait d'abord croître une couche épitaxiale d'une épaisseur de quelques microns sur un substrat de silicium, puis on élimine ce substrat provisoire. Cela peut être mené à bien grâce à un procédé exceptionnellement net d'attaque électrochimique, mis au point par H.J.A Van Dijk. Ce procédé permet d'éliminer le silicium selon un mode sélectif, lequel dépend du degré de dopage. La qualité cristalline de la couche épitaxiale n'est affectée en rien par l'attaque.

3-2-1 LE PROCÉDE D'ATTAQUE ET LES OPERATIONS ULTERIEURS :

Si nous immergeons une anode de silicium dans une solution diluée d'acide fluorhydrique, le silicium peut être éliminé sélectivement par attaque. Un certain nombre de facteurs déterminent cette action : les plus importants sont le type de conduction du silicium utilisé, la concentration du dopant et la valeur de la tension appliquée. On peut exploiter l'effet de l'attaque sélective pour enlever les couches épitaxiales du substrat ou support sur lequel on les fait croître. Cela est possible si le substrat est plus fortement dopé que le silicium de croissance épitaxiale. Dans des conditions bien appropriées, le mécanisme d'attaque se freine "automatiquement" à la limite de la portion de matériau à croissance épitaxiale. Les meilleurs résultats ont été obtenus au moyen de combinaisons N^+ - P et N^+ - N .

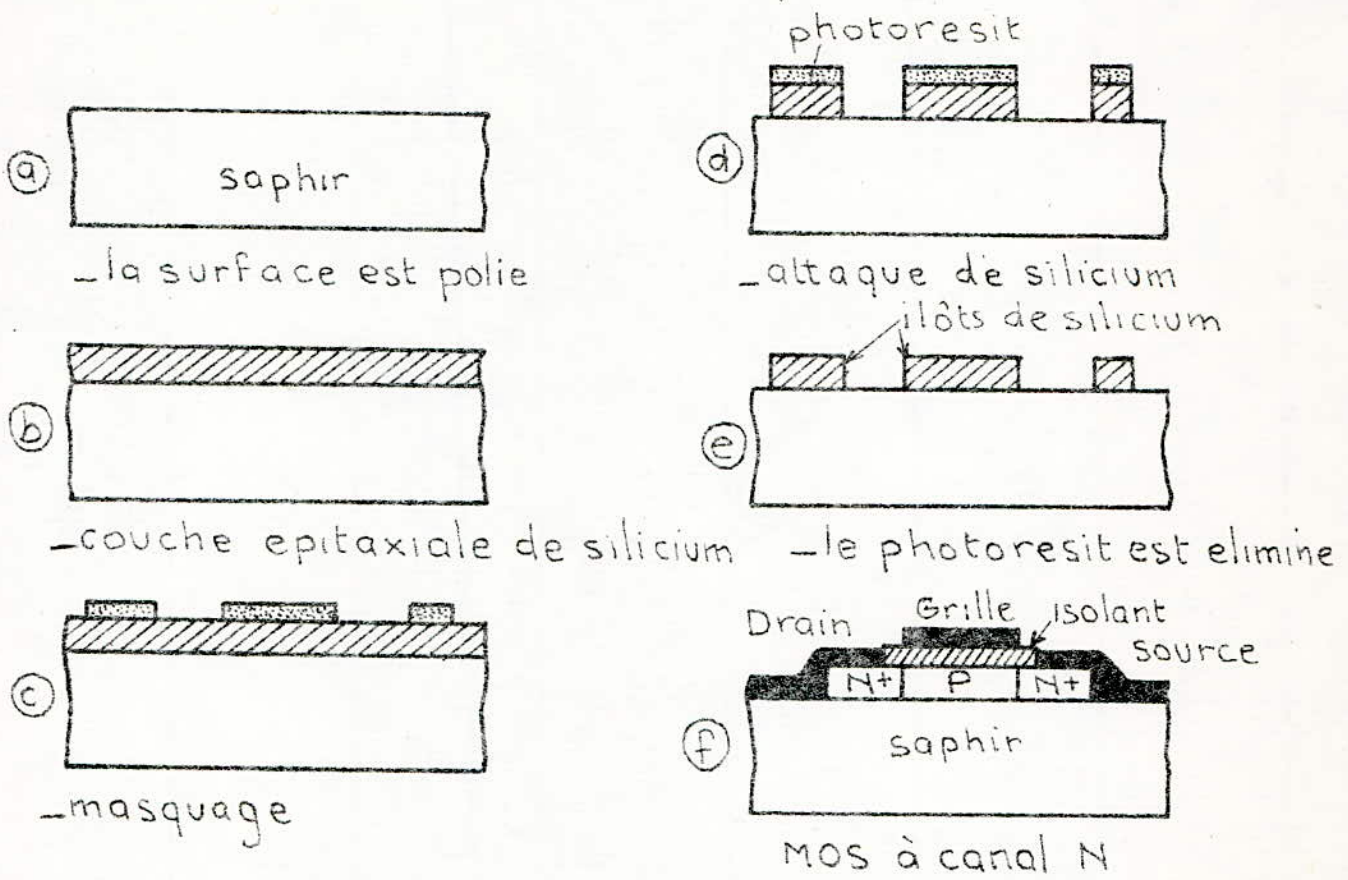


Fig.3.1 Etapes de fabrication d'un CI sur substrat isolant.

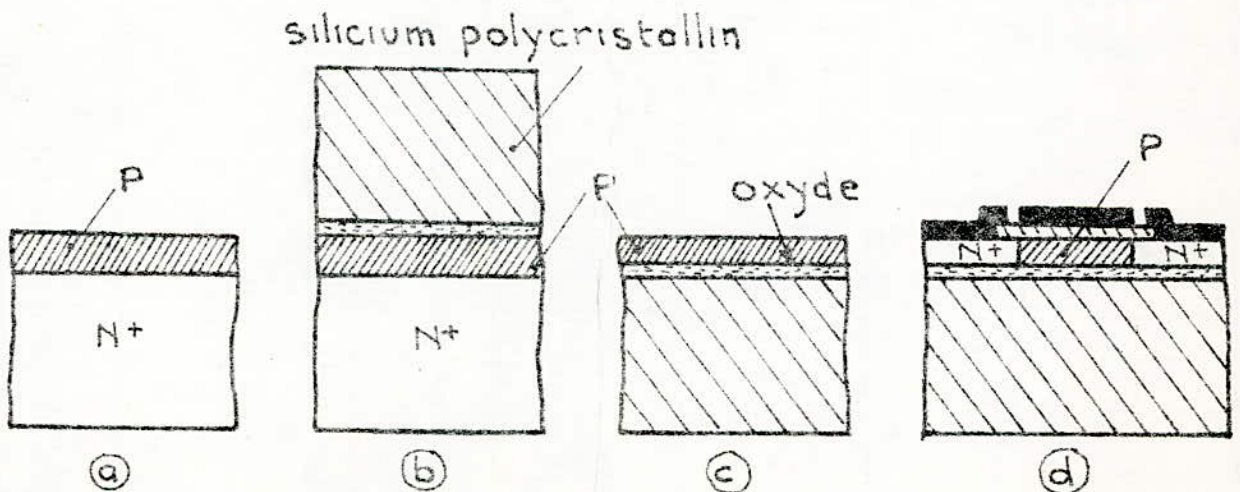


Fig.3.2.1 l'une des methodes employées pour produire des Transistors MOS dans des couches minces.

Les combinaisons $P^+ - N$ et $P^+ - P$ ont aussi été étudiées, mais elles conviennent moins bien, leur surface résultante restant alors quelque peu inégale.

L'attaque électrochimique est suivie d'une attaque chimique ordinaire. Cela est nécessaire car dans la région limite étroite comprise entre le substrat et la région épitaxiale, la concentration du dopage produit une transition diffuse au lieu de former une jonction nette.

En raison de l'influence de la concentration du dopage sur la mécanisme d'attaque électrochimique, il reste impossible de préserver une couche homogène de silicium si l'on emploie seulement cette méthode. Ainsi, avec la combinaison $N^+ - P$, une couche de silicium du type N (qui est extrêmement mince) reste encore à l'arrière de la surface de la région du type P, cette couche est enlevée par l'opération d'attaque chimique. On utilise aussi une telle attaque s'il est nécessaire de graver en profondeur jusqu'à un site dans lequel se trouve des zones de diffusion fortement dopées (fig. 3.2.2).

Les couches de silicium peuvent être éliminées par attaque pour atteindre une épaisseur de 0,5 micron. Remarquons sur ce point que l'épaisseur minimale de la couche n'est pas déterminée par le procédé d'attaque employé mais, principalement par les irrégularités d'épaisseur et de dopage de la couche épitaxiale.

Un substrat isolant peut être employé de diverses manières.

La figure 3-2-1 montre la méthode dans laquelle la couche isolante est appliquée avant l'attaque. Le processus est le suivant:

a- On fait croître une couche mince épitaxiale de silicium type P

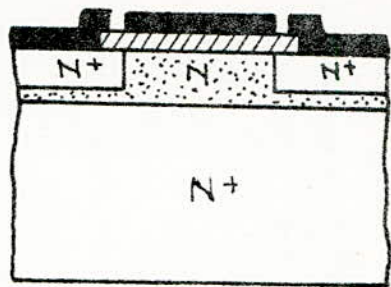
sur une plaquette monocristalline de silicium N^+ .

b- On oxyde la couche épitaxiale et l'on fait évaporer sur elle du silicium polycristallin, d'une épaisseur de 200 microns. Le substrat est assez robuste pour tenir convenablement pendant les différentes opérations qu'il faut encore entreprendre, en particulier l'attaque électrochimique et la diffusion à haute température.

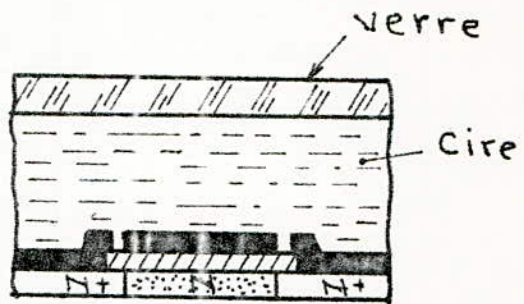
c- La couche N^+ est éliminée par l'attaque électrochimique. Cette attaque est sélective, elle cesse aux limites de la région épitaxiale. Une attaque chimique complète cette opération (remarquer l'inversion haut pour bas de la figure).

d- Les transistors MOS sont produits sur la couche de silicium par la méthode habituelle de masquage et des techniques de diffusion. La figure 3-2-2 représente une seconde méthode. L'application du substrat isolant constitue ici la dernière étape. Le procédé représenté par cette figure est le suivant :

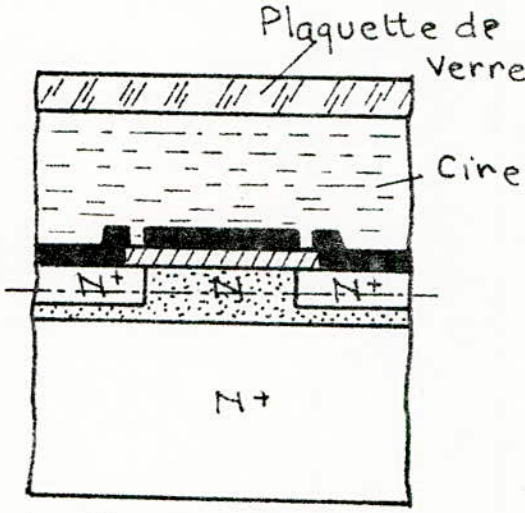
- a)- Après une croissance épitaxiale de silicium N sur le silicium N^+ on produit les parties actives du transistor. L'exemple que nous donnons est celui d'un transistor MOS sans jonction P - N.
- b)- La partie active du transistor est protégée temporairement par de la cire et une plaquette de verre.
- c)- Le substrat (N^+) est éliminé par attaque électrochimique, le silicium est enlevé par gravure chimique jusqu'à la ligne discontinue en (b). Une gravure antérieure (pendant l'opération a) permet (dans l'opération c) de séparer les MOS individuellement.
- d)- On enlève le verre, puis la cire par dissolution.



a. fabrication du MOS



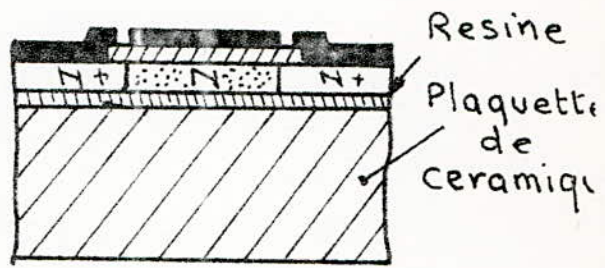
c. Le substrat est éliminé



b. Protection



d. Protection éliminée



e. Fixation du MOS

f. 3.2.2 Variante, pour fabriquer des MOS dans couches minces.

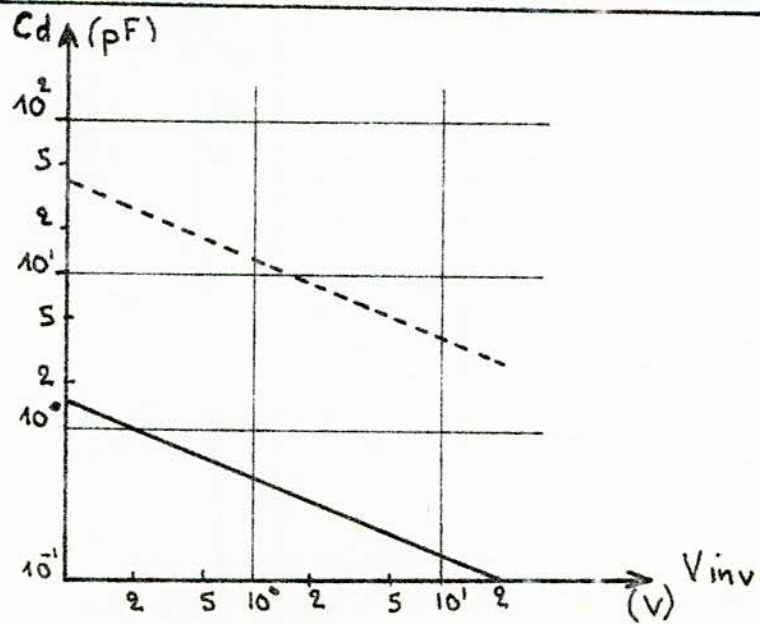


fig. 3.3 Capacité de drain C_d d'un MOS N+P.N+ d'une épaisseur de 3µm en fonction de la polarisation inverse.

e)- Le transistor est fixé sur une plaquette de céramique au moyen d'une résine polymère.

3-3 REDUCTION DE LA CAPACITE DE DRAIN :

En produisant un transistor MOS dans une couche mince. Il peut être établi de telle sorte qu'il n'y ait pas de jonction P. N sous le drain (fig. 3.21 d). Seules les parois latérales du drain vont donc contribuer à la capacité de la jonction P.N. A la figure 3-3 on compare les capacités de drain d'un transistor à canal P avant et après l'attaque chimique. La figure permet de voir que la capacité finale est 30 fois plus réduite, ce qui correspond à la décroissance de l'aire de la jonction obtenue après diminution de l'épaisseur de la plaquette (par la seconde méthode).

4 - IMPLANTATION IONIQUE :

4 - 1 INTRODUCTION :

Au cours de ces dernières années, on s'est vivement intéressé à une nouvelle méthode de dopage qui utilise les ions du dopant, porteurs d'énergie. Les ions nécessaires sont accélérés dans un champ électrique, puis lancés sur la cible semiconductrice dans laquelle ils s'implantent.

L'implantation ionique est passée à la chaîne de production surtout dans le domaine de la réalisation des circuits intégrés à transistors MOS. En effet l'utilisation de l'implantation ionique correspond à des conditions d'implantation simples (une seule implantation généralement). D'autre part, elle peut être appliquée à toutes les technologies décrites précédemment, sans remettre en cause l'ensemble du processus technologique.

A l'heure actuelle, l'implantation ionique n'est plus limitée à la technologie MOS seulement, mais permet aussi la fabrication de très nombreux types de composants : transistors bipolaire, diodes à avalanches, résistances élevées pour CI, etc...

4-2 PRINCIPE DE L'IMPLANTATION IONIQUE :

Les ions, issus d'une source haute fréquence dans laquelle est ionisé du trichlorure de bore ou de phosphore suivant le dopage, sont accélérés dans un accélérateur qui leur communique une énergie très importante, variant suivant les cas de quelques kiloelectronvolts à quelques centaines de kiloelectronvolts. Les ions focalisés passent dans un séparateur de masse qui sert de trimagnétique. Le faisceau d'ions est alors soumis à un balayage

électrostatique XY et permet d'obtenir une zone implantée homogène sur la pastille de silicium qui reste à température ambiante. Plusieurs pastilles de silicium sont placées dans une chambre à cible pivotante et serviront successivement de cible au faisceau d'ions (fig. 4-1).

Ce mode d'introduction des impuretés dans le substrat à doper caractérise les divers avantages de l'implantation ionique.

- Indépendance dose - énergie :

La dose, c'est à dire la quantité d'ions implantés et l'énergie des ions qui détermine la profondeur d'implantation sont deux paramètres indépendants. Ce qui laisse plus de liberté à l'expérimentateur qui peut agir sur :

- l'énergie des ions par contrôle de la tension d'accélération
- la dose d'ions par unité de surface.

Ces deux degrés de liberté sont un avantage sérieux pour obtenir des couches faiblement dopées en vue de réaliser des résistances de grande valeur ou des transistors MOS à tension de seuil ajustable. Ils permettent une grande souplesse pour l'obtention d'un profil déterminé par avance.

La figure 4-2 illustre comment, par variation de l'énergie des ions et du temps d'implantation, on peut obtenir un dopage à concentration uniforme sur une profondeur donnée.

- PRÉCISION :

La dose peut être mesurée exactement. En effet la quantité d'ions implantés est déterminée à partir de la mesure du courant d'ions sur la cible. Donc la précision obtenue ici est

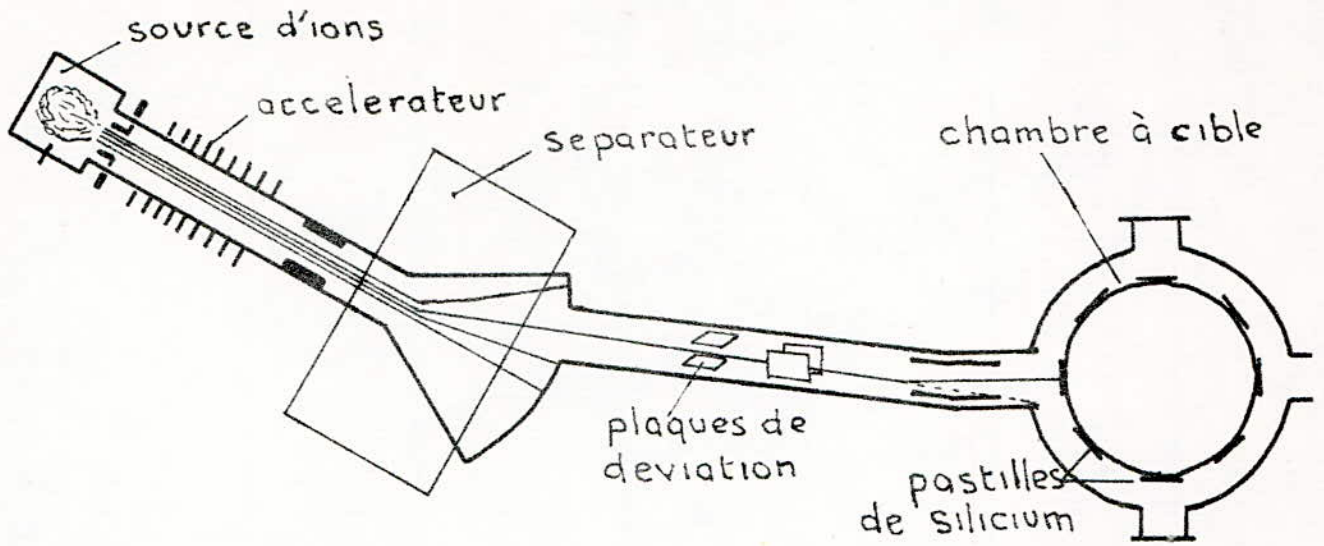


fig 4.1 schéma de l'implanteur ionique.

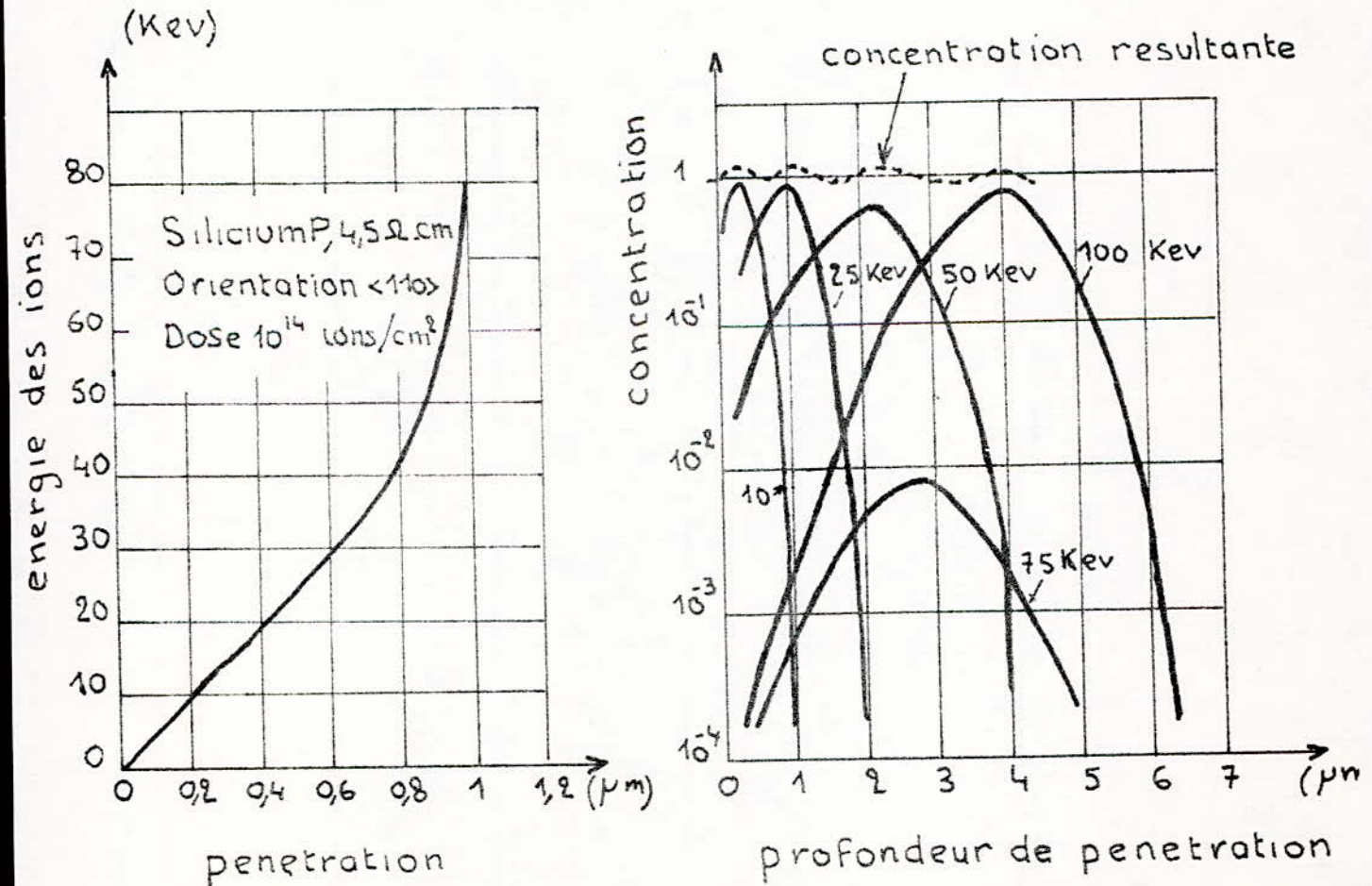


fig 4.2 Exemple de penetration des ions en fonction de leur energie (a). Concentration uniforme par combinaison des fais.-ceux d'energies differentes(b).

* bien plus supérieure à celle obtenue avec les techniques classiques.

- PROCESSUS basse température:

L'implantation des ions peut s'effectuer à basse température. La pénétration des ions dans le substrat à doper ne dépend pas de la température et peut s'effectuer par exemple à la température ambiante.

Pour éliminer les défauts dus au bombardement et au passage des ions sur des sites électriquement actifs, on procède à un recuit sous des températures variant entre 500°C et 900°C et qui sont faibles comparées à celles nécessitées pour la diffusion thermique classique.

- DIRECTIVITE du dopage :

Il faut encore souligner l'excellente précision obtenue sur les dimensions des zones implantées; celle-ci dépend :

- du diamètre du faisceau (20 à 500 Å)
- de la dispersion du faisceau due au rebondissement des particules incidentes (500 à 1000 Å).

L'implantation d'une zone définie par un masque correspond fidèlement aux fenêtres dans le masque sans effet "buvard" comme celui rencontré en diffusion thermique classique.

- DOPAGE au travers des couches :

Des ions d'énergie suffisante peuvent traverser une couche d'épaisseur faible devant leur parcours et doper le substrat situé au dessous. On pourra ainsi doper le silicium à travers une fine couche d'oxyde.

Ces divers avantages peuvent être mis à profit pour la réalisa-

tion de nombreux dispositifs. Nous nous intéressons ici particulièrement au cas des transistors MOS.

4-3 FABRICATION DES MOS IMPLANTES (I/MOS) :

Pour le fonctionnement en hautes fréquences, un transistor MOS doit avoir une étroite séparation source - drain pour présenter une fréquence de coupure élevée. Afin de diminuer les pertes de puissance, il faut également réduire la capacité parasite drain substrat qui shunte les bornes de sortie. De plus, si l'on veut pouvoir utiliser tout le gain du dispositif, la capacité de réaction doit être faible. La capacité du drain d'un transistor MOS dépend de son aire et de la largeur de la couche d'appauvrissement drain-substrat, tandis que la capacité de réaction est déterminée par l'aire de recouvrement porte drain.

4-3-1 TRANSISTOR MOS AUTO-ALIGNE :

L'auto-alignement permet de minimiser la capacité parasite due au recouvrement grille-drain. Un transistor MOS à canal P à faible capacité de réaction est représenté à la figure 4-3 a. Le transistor est produit en disposant une porte métallique entre deux régions de contact à diffusion P⁺, largement espacées dans le silicium. On bombarde alors ce dispositif par des ions accepteurs ayant une énergie suffisante pour pénétrer dans l'oxyde de la porte et implanter sous cet oxyde des régions P⁺. Toutefois, les ions n'ont pas une énergie suffisante pour traverser le métal de porte. Ainsi, on prolonge les régions de contact P⁺ jusqu'à une position située directement au dessous de la porte. Cette opération d'auto-alignement ne nécessite pas d'opération

de gravure supplémentaire et n'entraîne aucune modification du processus de fabrication de base.

La portée moyenne des ions de bore se situe juste au dessous de l'interface silicium-oxyde de silicium quand on implante à 35keV à travers une épaisseur d'oxyde de 0,12 micron.

Si on utilise l'aluminium comme métal de porte, la plus forte température admissible pour le recuit est de 500°C. A des températures plus élevées, la diffusion de l'aluminium dans l'oxyde de porte deviendrait notable.

La faible capacité de réaction des dispositifs MOS auto-alignés (recouvrement porte - drain typique de 0,25 micron) permet de les utiliser aux fréquences élevées sans neutrodynage. Par exemple les MOS à canal N auto-alignés, fabriqués par Philips, ont un canal de 3 microns de longueur et une fréquence maximale d'oscillation de 800 MHz.

4-3-2 MOS à déplétion :

On dispose encore d'un moyen pour augmenter les fréquences : il consiste à réduire la capacité de la couche d'appauvrissement de drain qui est en parallèle sur la sortie du transistor quand il fonctionne suivant le mode source-substrat en commun.

Une structure de transistor MOS à canal N, étudiée pour réduire la capacité parasite de drain, est représentée à la figure 4.3 b. La plus grande portion de la jonction de drain est immergée dans une couche épitaxiale à haute résistivité tandis que le canal est situé dans une région à plus fort dopage obtenu par implantation. La zone d'appauvrissement du drain sera large dans la couche épitaxiale à forte résistivité et la capacité de drain va

donc rester faible. Si la tension de drain est assez forte, la couche d'appauvrissement va s'étendre sur toute la longueur et le courant entre source et drain cesse alors d'être commandé par la tension de grille.

Cette condition de perçage va se produire à de faibles tensions drain lorsque l'on emploie de faibles distances source-drain et un substrat à haute résistivité.

En situant la canal dans une couche implantée plus profondément que la jonction formée par l'opération d'auto-alignement, la largeur de la zone d'appauvrissement, dans la région du canal, va être beaucoup plus étroite et la tension de perçage est donc augmentée jusqu'à une valeur déterminée par la distance entre les régions de contact diffusées.

La couche P a été produite en bombardant le substrat par $7,5 \cdot 10^{12}$ ions bore/cm² à 100 kev, dans une couche P-épitaxiale de 15 microns.

En comparant les deux transistors auto-alignés, mais dont l'un est sans couche implantée, avec des longueurs de canal de 3 microns, la fréquence maximale passe à 1 GHz au lieu de 800 MHz. En effet aux fréquences élevées, la faible capacité de drain de la structure à couche implantée retarde la décroissance du gain et donne une fréquence plus élevée.

4-4 AJUSTAGE de la tension de seuil :

Avant la métallisation, on contrôle le dopage du substrat dans le canal par l'implantation d'ions à travers l'oxyde fin de grille. Dans l'expression de la tension de seuil V_t , on modifie la Valeur du terme $\frac{Q_a}{C_{ox}}$ par implantation d'impuretés dans le canal.

Quand on introduit des atomes de type accepteur dans le substrat comme le bore, la tension de seuil est déplacée vers les valeurs positives: dans le cas d'atomes donneurs tel le phosphore, au contraire la tension de seuil est déplacée vers les valeurs négatives. On peut ainsi diminuer ou augmenter la tension de seuil d'une structure MOS canal P comme celle d'une structure à canal N. Le choix des conditions d'implantation dépendra de l'épaisseur d'oxyde de la nature de l'ion et de la variation de seuil recherchée. Seules les régions de grille recouvertes d'oxyde fin doivent être traversées, la tension de seuil parasite d'oxyde épais, n'est pas modifiée. On pourra ainsi modifier le rapport V_t oxyde épais sur V_t oxyde fin indépendamment des épaisseurs d'oxyde mises en jeu, c'est à dire sans changer le processus technologique de base.

4-5 MODIFICATION de la tension de seuil d'oxyde épais :

On peut aussi modifier le rapport tension de seuil d'oxyde épais à tension de seuil d'oxyde fin, en agissant sur la concentration du substrat en surface, sous l'oxyde épais il s'agit plus d'implanter les ions directement à travers l'oxyde épais, car cela poserait des problèmes d'énergie et de précision d'épaisseur. Pour cela les ions sont implantés directement dans le silicium en dehors des zones de source grille et drain.

L'augmentation de la tension de seuil d'oxyde épais est de 15 v environ, lorsqu'on enrichit le substrat de 10^{15} ions/cm³ à 10^{16} ions/cm³ pour une épaisseur d'oxyde de 1,7 micron.

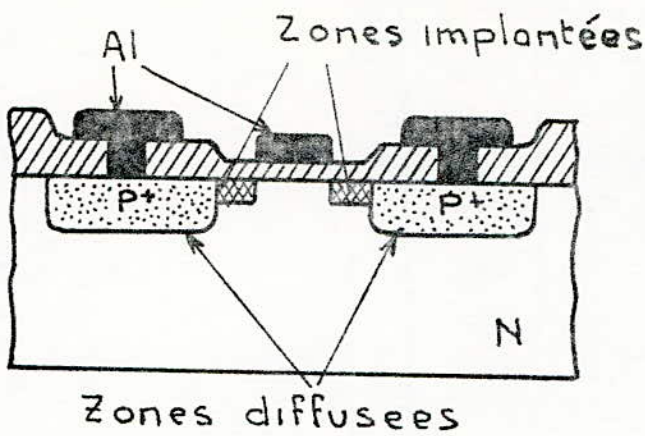


fig 4.3 a MOS autoalignée (selon la technique du LETI)

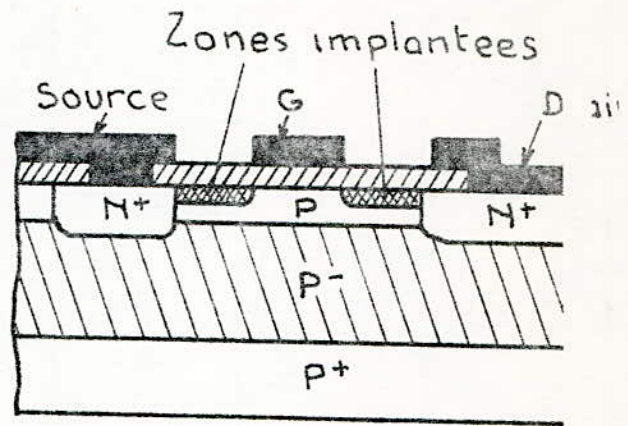


fig 4.3 b MOS avec structure autoalignée. Le canal est situé dans la couche implantée (technique Philips).

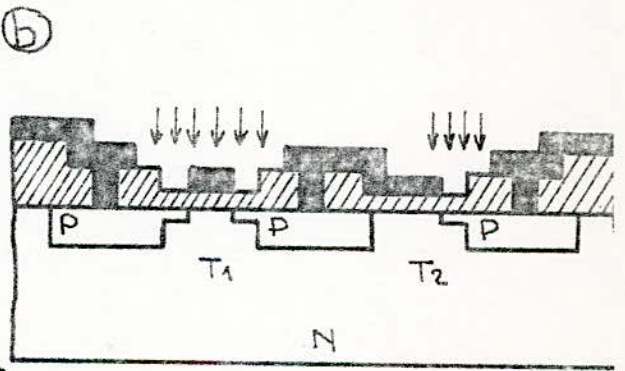
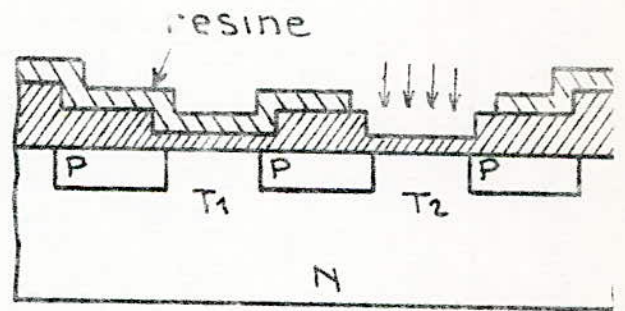
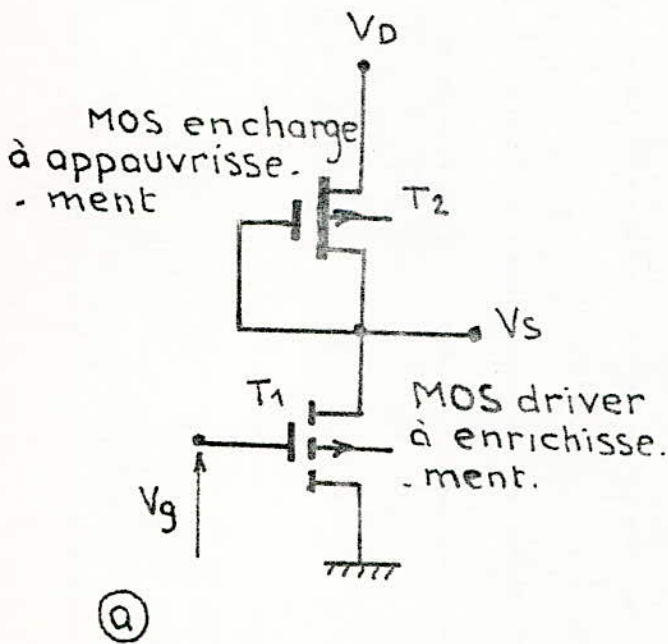


fig 4.4 Technologie à depletion enrichissement IDEAL.

4-6 TECHNOLOGIE IDEAL (étudiée au LETI) :

Une possibilité qu'offre l'implantation ionique, c'est de créer des MOS à canal P aussi bien à enrichissement qu'à déplétion sur le même substrat et dont la grille est auto-alignée. Le processus de base est un processus classique à grille d'aluminium auquel on a ajouté deux opérations d'implantation : l'ajustement de tension de seuil et l'alignement de grille.

La structure du circuit élémentaire et les principales étapes technologiques sont présentées à la figure 4.4.

L'utilisation d'un driver à enrichissement chargé par un MOS à déplétion (fig. 4.4.a) dans un inverseur classique est extrêmement intéressante. En effet si la charge active est à déplétion, on a le MOS à déplétion qui reste conducteur en l'absence de tension grille-source, on peut donc connecter la grille à la source et l'on a plus besoin d'une tension séparée V_g . La charge restant en permanence conductrice, la tension de sortie passe plus rapidement à V_d .

Les schémas de la figure 4.4 représentent les principales étapes technologiques. Après la réalisation de la grille, l'implantation selective du canal du transistor MOS de charge est effectuée en utilisant un masque de résine. Celle-ci est ensuite éliminée et le dispositif est métallisé, puis subit l'implantation d'auto-alignement (ions bore fig. 4.4.c).

Les valeurs des tensions de seuil sur un substrat N 10^{19} hms $-100-$ sont de $-1,9$ v pour le transistor de commande (qui fonctionne en enrichissement) et de $+ 2,5$ v pour le transistor MOS de charge (qui fonctionne en déplétion).

Dans les laboratoires du LETI, un circuit de 99 inverseurs bouclés en anneau, a été réalisé et qui a permis d'évaluer le facteur de mérite de cette technologie. Le résultat obtenu est de 1,5 PJ par porte. Cette valeur est à comparer aux 20 PJ par porte obtenus en technologie MOS classique. Le gain important ainsi obtenu est dû à la fois à l'amélioration apportée par l'auto-alignement des grilles et à celle apportée par la charge à déplétion.

Dans un circuit intégré complexe présentant des capacités d'interconnexions plus élevées, l'amélioration apportée par cette technologie dépend de la gamme de fréquence de fonctionnement considérée.

Les performances obtenues (rapidité, consommation), la simplicité du processus de fabrication et la souplesse de conception des circuits affirment la position de la technologie IDEAL vis-à-vis des techniques classiques.

4-7 CONCLUSION :

Dans la technologie MOS, les modifications introduites par ce nouveau procédé de dopage, demeurent compatibles avec le processus initial et qu'elles ne concernent, d'autre part, que des points précis et limités.

Les opérations d'ajustage de tension de seuil d'oxyde fin, d'auto-alignement, de contrôle de tension de seuil d'oxyde épais, etc..., ne constituent pas un bouleversement dans le processus technologique.

Elles demeurent des étapes localisées qui permettent de valoriser les performances de la technologie classique en apportant beaucoup de souplesse dans l'ajustement de ses paramètres.

V. CONCLUSION :

Contrairement à ce qui se passe pour les technologies bipolaires ce n'est pas la course à l'intégration qui a été le moteur principal de l'évolution technologique. Dans le cas du MOS, le niveau d'intégration était acquis assez tôt et les points sur lesquels ont porté les efforts des fabricants furent les suivants :

- la compatibilité
- la rapidité
- la consommation

C'est en jouant sur les principaux facteurs technologiques et en améliorant constamment les techniques de réalisation, que s'est déroulée cette évolution. Depuis l'apparition du premier transistor MOS, l'évolution a été la suivante :

- premier MOS à canal P (111)
- passage à l'orientation (100)
- apparition des CMOS
- utilisation du nitrure
- naissance des techniques d'auto-alignement
- apparition de l'implantation ionique
- démarrage industriel des CMOS
- réalisation des MOS à canal N
- apparition des circuits sur substrat isolant.

Depuis l'apparition des CMOS, la concurrence entre les circuits TTL et CMOS est acharnée. Les premiers conservent encore l'avantage en raison de l'expérience acquise, de la variété des fonctions proposées, et de leur rapidité. Toutefois il est certain qu'à

longue échéance, peut être même vers 1980, le marché de la TTL commencera à décroître fortement au profit des CMOS. D'autre part à l'avantage des CMOS, il faut ajouter que le quasi totalité des constructeurs viennent de baisser de 50% le prix de leurs circuits CMOS.

L'évolution des technologies de fabrication a permis de réduire la surface d'un composant élémentaire sur la puce d'un circuit intégré, mais cette réduction est essentiellement liée au progrès de la technique de masquage. En 1964, on travaillait sur les masques avec une précision de l'ordre de 20 microns. En 1973, beaucoup de circuits avaient des masques d'une précision de 5 microns. Aujourd'hui, les circuits les plus modernes nécessitent des masques d'une précision de 2 microns et l'on envisage dans les mois qui viennent de passer à une précision de l'ordre du micron. Les techniques les plus avancées dans ce domaine font, comme dans les microscopes électroniques, appel au faisceau d'électrons. Thomson CSF a ainsi réalisé des dispositifs de masquage électronique dont la précision est de 0,1 micron. Tout ceci fait que les moyens manuels de dessin des masques sont de plus en plus saturés et deviendront très vite impraticables. Il est aussi devenu nécessaire de mettre rapidement en place un système automatique de dessin des masques, qui assure en outre une meilleure qualité que le dessin manuel.

D'autre part il y a aussi une autre évolution qui concerne l'isolation entre les composants intégrés sur une puce. Celle-ci était traditionnellement obtenue jusqu'à 1970 en polarisant des jonctions de sortes qu'elles soient isolantes. Philips a mis au point

de
une technique d'isolation par oxyde silicium (LOCOS) et LOC MOS
quand elle est appliquée aux circuits CMOS).

Dernière voie de recherche concernant l'isolation des circuits
la technique SOS (Silicon on Sapphire). Dans ce cas les circuits
sont déposés sur des îlots qui sont placés sur un substrat iso-
lant. L'isolation entre composants est ainsi excellente puisqu'il
sont entourés d'air. Actuellement SOS est très controversée.
Récemment, Rockwell a dû abandonner la fabrication de son micro-
processeur en technologie SOS. Cet abandon a créé une méfiance en-
vers le SOS chez les éventuels utilisateurs.

Dernier sujet de recherche en pleine évolution la technique de do-
page des matériaux dans le substrat de silicium. Leur plus inté-
ressante conséquence est l'apparition sur le marché depuis un an
environ des circuits MOS canal N. Le MOS à canal N, qui est la ve-
dette actuellement n'a été rendu possible qu'avec la maîtrise de
la propriété de l'oxyde au cours de fabrication. Ces circuits per-
mettent d'intégrés deux fois plus de composants que les MOS à ca-
nal P, il sont plus rapides et permettent de réaliser les circuits
les plus complexes (microprocesseurs).

La micro-électronique a effectué en quelques années des progrès
considérables. En 1971, le circuit canal P à grille (Al) rassem-
blait 250 MOS sur 6mm^2 . En 1974, il a été possible d'en regrouper
2000 sur $15,2\text{mm}^2$. En 3 ans, la densité d'intégration a été quad-
ruple. Il faut reconnaître que l'implantation ionique aide beau-
coup les fabricants dans ce domaine.

- B I B L I O G R A P H I E -

- Techniques Philips, revue bimestrielle Philips
(Dunod, Paris), N° 6 1970

- Circuits integrés MOS, par H. LILEN, éditions
Radio, Paris

- L'ONDE ELECTRIQUE volume 54 n° 1 Janvier 1974
Implantation ionique par J. BERNARD Ingénieur au LETI
LOCMOS par B.M.M BRANDT - W. STEINMAIER et
A.J STRACHAN Ingénieurs à la Société Philips

- L'ONDE ELECTRIQUE volume 54 n° 3 Mars 1974

- Ainsi que la documentation des fabricants de CIMOS