

UNIVERSITE D'ALGER

2/74

1 ex

ECOLE NATIONALE POLYTECHNIQUE

Département Electronique

THESE DE FIN D'ETUDES



الجمهورية الجزائرية الديمقراطية الشعبية
الجامعة الوطنية للعلوم الهندسية
الهندسة الإلكترونية
ETUDE ET REALISATION
D'UN GENERATEUR DE COMBINAISONS
PSEUDO-ALEATOIRES
AVEC UN REGISTRE A DECALAGE
DE 16 BITS
BIBLIOTHEQUE

Proposé par :

Mme G. MONDON

Etudié et Réalisé par :

Mr BELKHAMZA Nour-Eddine

الجمهورية الجزائرية الديمقراطية الشعبية
الجامعة الوطنية للعلوم الهندسية
الهندسة الإلكترونية
ECOLE NATIONALE POLYTECHNIQUE
BIBLIOTHEQUE

Promotion 1969-74

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

قَدْ مِنْ حَرَّمَ زِينَةَ اللَّهِ
الَّتِي أَخْرَجَ لِعِبَادِهِ وَالطَّيِّبَاتِ
مِنَ الرِّزْقِ قَدْ هِيَ لِلَّذِينَ آمَنُوا
فِي الْحَيَاةِ الدُّنْيَا خَالِصَةٌ يَوْمَ
الْقِيَامَةِ كَذَلِكَ نَقُصُّ عَلَيْكَ

لِقَوْمٍ يَعْلَمُونَ .

A MA FAMILLE

....MES AMIS.

Je dédie cette thèse à ma grande famille
et à tous ceux qui me sont chers.

L'Amour de DIEU est le plus grand!

-- II INTRODUCTION --

-----ooo000ooo-----

L'unité arithmétique d'une machine à calculer peut être conçue de plusieurs façons. Du point de vue mode de fonctionnement elle peut travailler en mode parallèle où tous les bits d'un mot sont traités en même temps, ou travailler en mode série où le mot est traité bit après bit. Evidemment le temps d'exécution d'une opération arithmétique est différent dans les deux (2) cas.

Dans la conception moderne d'un ordinateur l'unité arithmétique est faite pour travailler en mode mixte c'est à dire série-parallèle.

Pour simplifier le problème on peut dire que l'élément de base d'un ordinateur est la simple bascule électronique.

On ne resonnera plus sur des schémas électroniques purs mais sur des fonctions élémentaires logiques qu'on nommera opérateurs logiques et cela pour faciliter la conception des machines.

Le but de ce travail est de faire comprendre au lecteur le fonctionnement d'un registre travaillant en mode synchrone, d'une part et de lui faire découvrir son rôle important dans une machine, d'autre part.

Depuis son introduction en machine jusqu'à sa sortie, une information passe par différents registres de traitement. Tous les bits du mot subissent des transformations divers en série ou en parallèle.

Pour entrer sans tarder dans le sujet on peut dire que dans les pages suivantes on va voir le principe de base d'une bascule électronique à transistors. On ne parlera pas des circuits logiques magnétiques.

On verra brièvement les différents types de bascules. Après cela viendra l'étude des registres à décalage en mode synchrone.

On donnera les grands principes pour la formation des combinaisons pseudo-aléatoires. On n'étudera pas bien sûr la théorie des fonctions aléatoires, mais juste ce qu'il faut pour comprendre le principe de génération et le rôle important de ces fonctions digitales qu'on peut évidemment convertir en fonctions analogiques.

On parlera des transferts entre registres. Après cette étude théorique viendront les applications pratiques. On pourra manipuler sur la maquette qui sera la réalisation pratique définitive le registre à décalage de seize (16) bits. On y effectuera différentes applications vues dans l'études théorique.

- LES BASCULES -

INTRODUCTION / :

Les Bascules sont des éléments qui peuvent stocker une information sous forme de niveau de tension. Elles ont en général deux (2) états stables qui peuvent représenter les deux (2) digits binaires "I" ou "0". Et cela par les deux (2) niveaux de tension 0 VOLT ou V VOLTS auxquels on approprie les deux (2) valeurs logiques 0 et I. Une fois qu'une bascule est dans un état quelconque, elle reste dans cet état jusqu'à ce qu'un ordre commande le changement d'état. L'état futur de la bascule peut dépendre de l'état antérieur de celle-ci, on a alors un fonctionnement séquentiel. On a ainsi une mémoire élémentaire. On va étudier sommairement quelques bascules de base.

BASCULE J.K SIMPLE / :

Cette Bascule à Deux (2) entrées J et K et 2 sorties Q et \bar{Q} . On peut dresser la table de vérité de cette bascule en tenant compte des entrées J et K et de l'état antérieur de la sortie Q.

- Si la bascule est au niveau "0" un niveau "I" sur l'entrée J fait changer l'état de la bascule à "I" quelque soit le niveau de K.
- Si la bascule est au niveau "I" un niveau "I" sur l'entrée K fait changer l'état de la bascule à "0" quelque soit le niveau de J.

A partir de la table de vérité on peut écrire les équations suivantes

Qt	J	K	Qt + I
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

TABLE DE VERITE - J.K -

$$Qt + I = \bar{Q}t \cdot \bar{J} \cdot \bar{K} + \bar{Q}t \cdot J \cdot \bar{K} + \bar{Q}t \cdot \bar{J} \cdot K + \bar{Q}t \cdot J \cdot K$$

$$Qt + I = \bar{Q}t \cdot \bar{J} \cdot \bar{K} + \bar{Q}t \cdot \bar{J} \cdot K + \bar{Q}t \cdot J \cdot \bar{K} + \bar{Q}t \cdot J \cdot K$$

On simplifie.

$$Qt + I = \bar{Q}t J (\bar{K} + K) + (\bar{J} + J) \bar{Q}t \bar{K}$$

$$Qt + I = \bar{Q}t J + \bar{Q}t \bar{K}$$

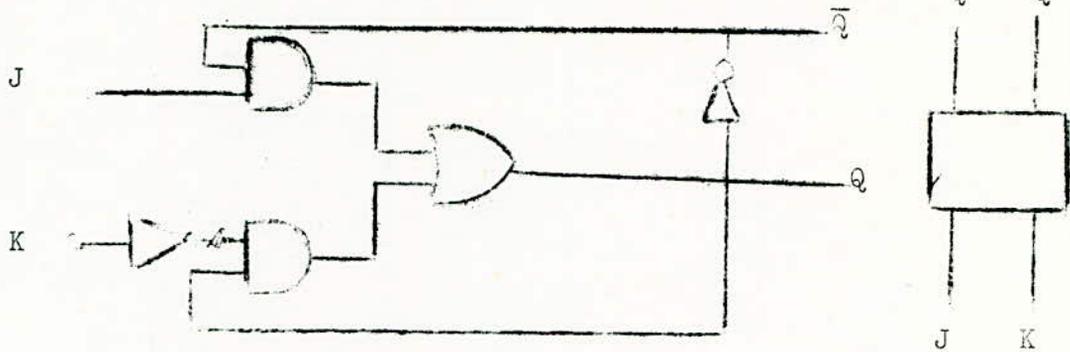
De la même façon a :

$$\overline{Qt + I} = \bar{J} \bar{Q}t + K Qt$$

On a donc pour les deux (2) sorties.

Qt + I = J $\bar{Q}t$ + \bar{K} Qt
$\overline{Qt + I} = \bar{J} \bar{Q}t + K Qt$

On peut tracer un schéma logique possible de cette bascule.



UNE REPRESENTATION LOGIQUE J.K

SYMBOLE

BASCULE R.S. SIMPLE / :

La Bascule R.S simple est une bascule J.K particulière. La particularité est qu'on impose une condition aux deux (2) entrées R.S. = 0 c'est à dire qu'on ne peut pas avoir R = S = 1 en même temps.

- Si la bascule est à l'état "0", elle change d'état à 1 que si S = 1.
- Si la bascule est à l'état "1", elle change d'état à 0 que si R = 1.

Qt	R	S	Qt+ 1
0	0	0	0
0	0	1	1
0	1	0	0
1	0	0	1
1	0	1	1
1	1	0	0

TABLE DE VERITE - R. S -

On écrit les equations de la Bascule.

$$Q_{t+1} = \bar{Q}_t \bar{R} S + Q_t \bar{S} \bar{R} + Q_t \bar{R} S$$

$$\overline{Q_{t+1}} = \bar{Q}_t \bar{R} S + \bar{Q}_t R \bar{S} + Q_t R \bar{S}$$

Après simplification on a

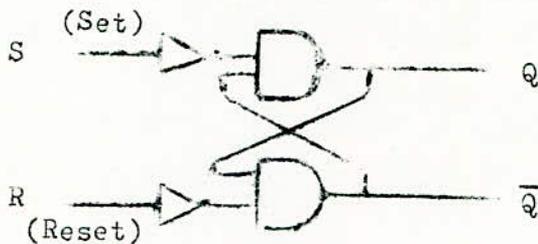
$$\begin{array}{l} Q_{t+1} = S + \bar{R} Q_t \\ \overline{Q_{t+1}} = R + \bar{S} \overline{Q_t} \end{array}$$

On transforme les deux equations precedentes

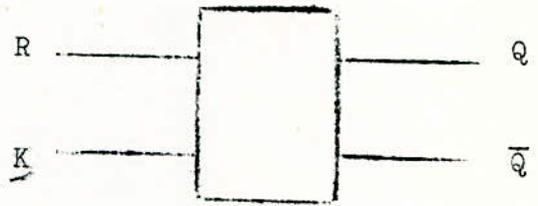
$$Q_{t+1} = S + \bar{R} Q_t = \overline{\bar{S} \bar{R} Q_t} = \bar{S} / (\bar{R}/Q_t)$$

et $\overline{Q_{t+1}} = R + \bar{S} \overline{Q_t} = \overline{\bar{R} \bar{S} \overline{Q_t}} = \bar{R} / (\bar{S}/\overline{Q_t})$

On peut cabler un schema logique avec des operateurs NAND.



SCHEMA LOGIQUE R.S.



SYMBOLE

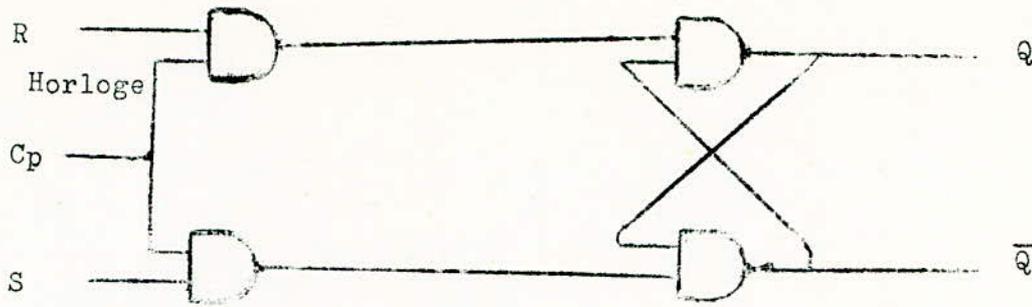
Les deux bascules qu'on vient d'etudier changent d'Etat dès qu'un niveau est appliqué sur l'une des entrées; elles sont asynchrones.

Le changement d'Etat peut être commandé par une impulsion d'horloge on obtient donc des systemes synchrones. On n'étudiera que la bascule R.S synchrone et la Bascule D synchrone.

BASCULE R.S. SYNCHRONE :

Cette fois-ci la bascule change d'Etat que sur commande de l'horloge même si les niveaux des entres sont presents.

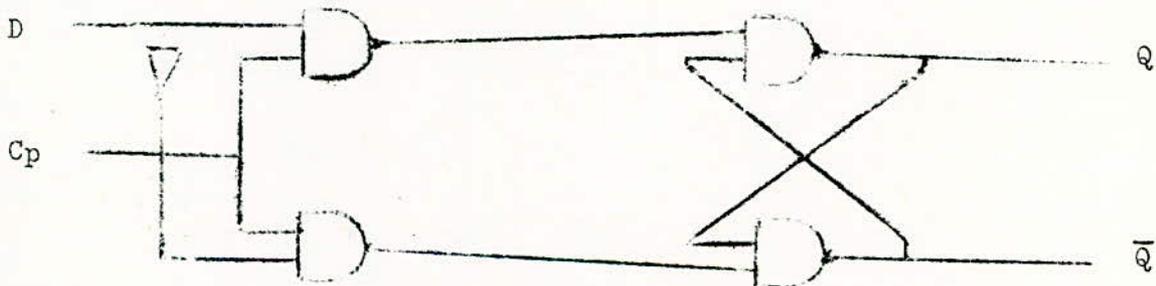
Le schema de principe est le suivant. (le même).



BASCULE R.S. SYNCHRONE

REMARQUE :

Si on ne dispose que d'un niveau logique, on peut l'utiliser pour les deux entrées R et S. On obtient alors la Bascule du type D qui est une mémoire très pratique.

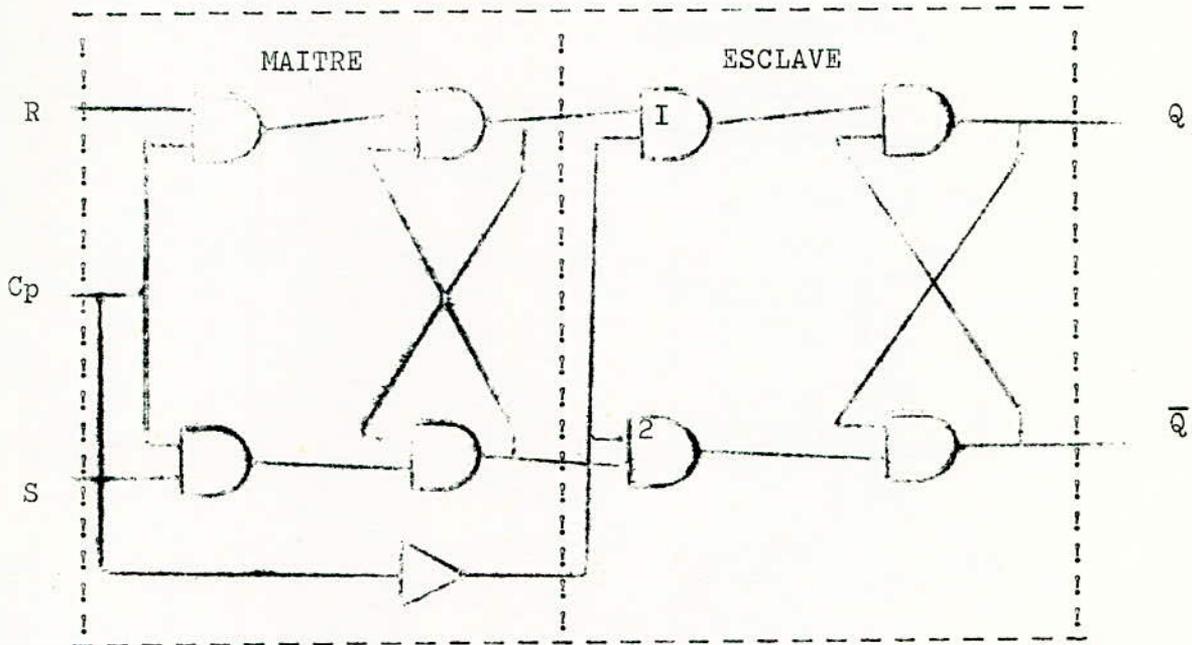


BASCULE TYPE " D " SYNCHRONE

BASCULE R.S. MAITRE ESCLAVE:

L'importance d'une bascule maître-esclave apparaîtra lors de l'étude des Registres à décalage. Pour le moment étudions brièvement son fonctionnement. C'est en fait 2 bascules élémentaires synchrones faites pour travailler en 2 temps. Le top de synchronisation de la deuxième bascule est l'inverse de celui de la première. Lorsque une bascule travaille l'autre est au repos. La 1ère reçoit l'information en présence du top d'horloge, cette première mémoire est dite "MAITRE". Pendant ce temps, la bascule esclave n'est pas en relation avec son maître car les portes 1 et 2 sont fermées.

L'information est donc dans la première bascule.
 Lorsque l'horloge revient à "0" les portes 1 et 2 s'ouvrent,
 l'information passe donc dans la deuxième bascule.



BASCULE MAITRE ESCLAVE E.S.

Le fonctionnement se fait avec une grande sécurité
 sans alevs possibles. On peut tracer un diagramme classique
 de fonctionnement qui est valable pour toutes les bascules
 du type "MAITRE-ESCLAVE".

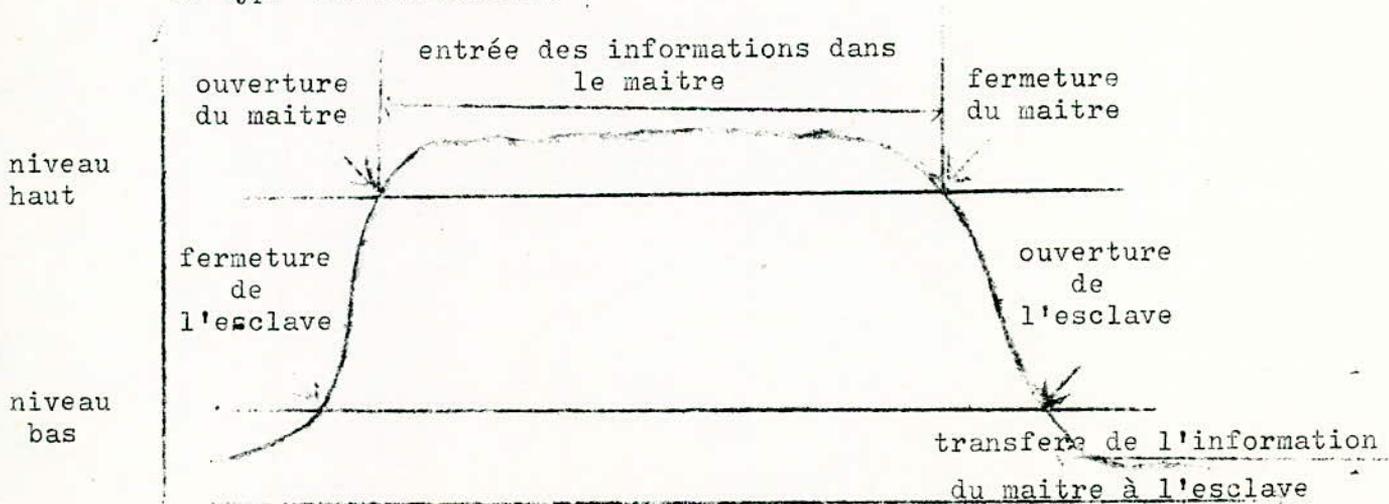
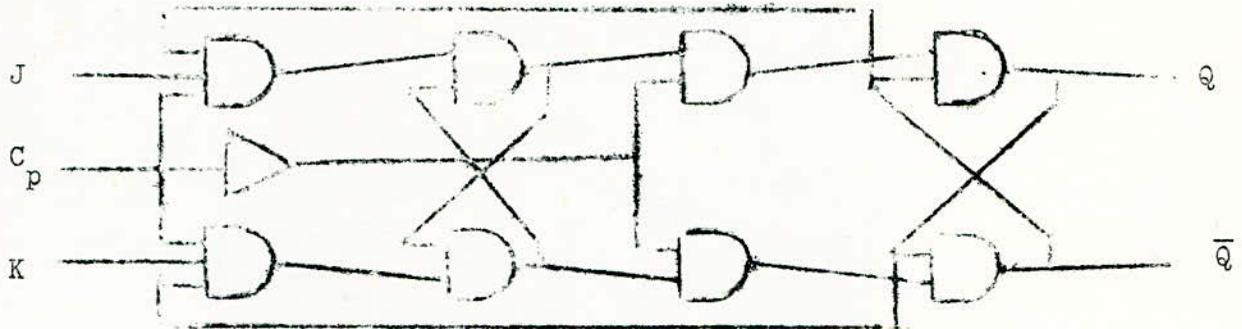


DIAGRAMME DE FONCTIONNEMENT D'UNE BASCULE MAITRE ESCLAVE

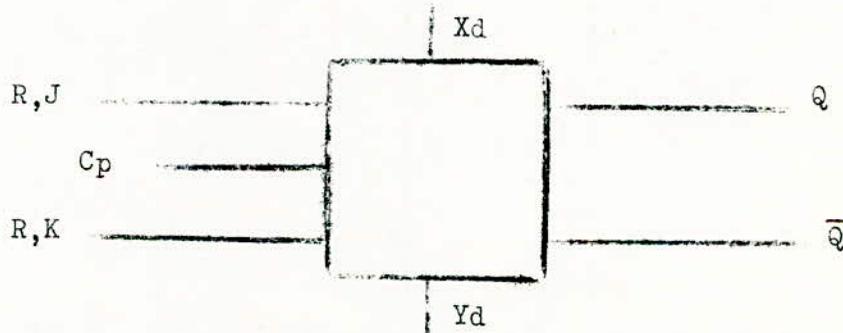
C'est le genre de Bascule à niveau. Le basculement a lieu lorsque le top horloge ait atteint un certain niveau. Donc ni la forme ni les fronts du signal Cp n'a de l'importance sauf son amplitude. On ne peut pas omettre de signaler la bascule JK maitre esclave qui a aussi son importance.



BASCULE J.K. MAITRE ESCLAVE

Dans le même principe on peut réaliser une bascule maitre esclave du type D. Il existe d'autres types de bascule dont l'étude est aussi simple que celle des précédentes, il est donc inutile d'en dire plus. Cependant il faut noter une évolution dans la technologie et le fonctionnement. Il existe des bascules qui possèdent des entrées de mise à 1 (Preset) et des entrées de remise à zéro (CLEAR).

Il existe aussi des bascules qui ont des entrées de forçage. C'est des entrées qui sont indépendantes de l'horloge. Donc elles peuvent changer l'état d'une bascule sans la présence de l'impulsion d'horloge. On signale les bascules R.S. - J.K, avec entrées de forçage Xd, Yd



BASCULE AVEC ENTREES DE FORCAGE Xd, Yd

Les différentes bascules existent en circuit intégré dans des pastilles enfichables. Dans la famille T T L on a.

- S N 74 H 71 BASCULE J K MAITRE ESCLAVE
- S N 74 H 72 BASCULE J K MAITRE ESCLAVE
- S N 74 H 74 BASCULE D
- S N 74 L 71 BASCULE R S MAITRE ESCLAVE

RESUME DES FONCTIONS BASCULES :

En résumé de cette étude on peut garder le tableau ci-dessous.

	BASCULE J.K	BASCULE R.S.
Q_{t+1}	$J\bar{Q}_t + \bar{K} Q_t$	$S + \bar{R} Q_t$
\bar{Q}_{t+1}	$\bar{J}Q_t + K Q_t$	$R + \bar{S} \bar{Q}_t$

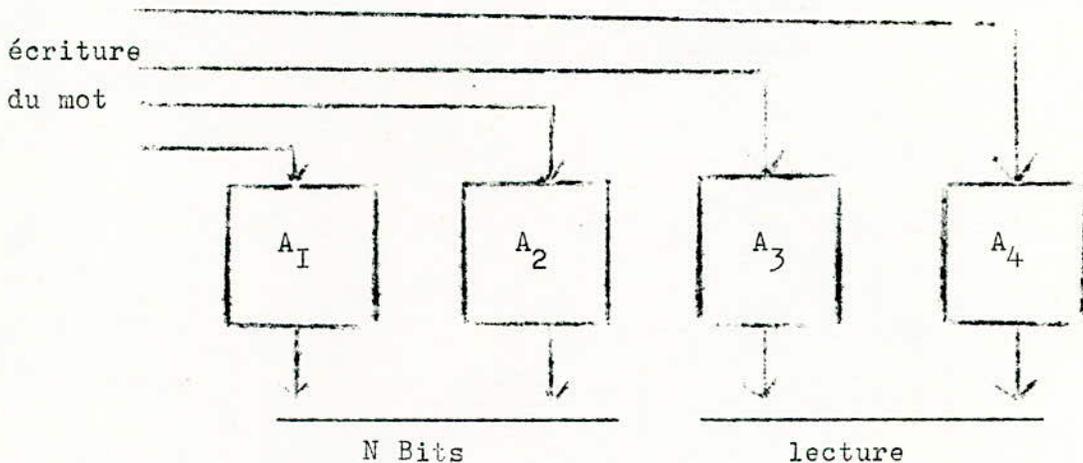
/)/OTIONS SUR LES REGISTRES/

DEFINITION D'UN REGISTRE :

L'Etude des bascules a été faite en vue de bien comprendre le fonctionnement d'un registre.

L'Elément essentiel d'un registre est la bascule on peut dire qu'un registre est un ensemble de bascules montées en serie. La sortie d'une bascule est reliée à l'entrée de la bascule suivante et ainsi de suite. On definit alors la capacité d'un registre qui est le nombre maximum de bascule.

Il est facile de comprendre maintenant qu'on peut stocker un mot de plusieurs bits dans un registre, chaque bit occupant ainsi une bascule; il faut autant de bascules que de bits.



Pour pouvoir utiliser rationnellement le registre on realise l'interconnexion entre bascules à l'aide de portes. l'Utilisation est plus souple et très variée.

REGISTRE A DECALAGE :

Supposant qu'on peut decaler d'une position un mot déjà stocké vers la gauche ou vers la droite. On réalise ainsi une fonction très importante. Le décalage est évidemment commandé par des impulsions d'horloge et à chaque top d'horloge le mot est décalé dans un sens ou dans l'autre.

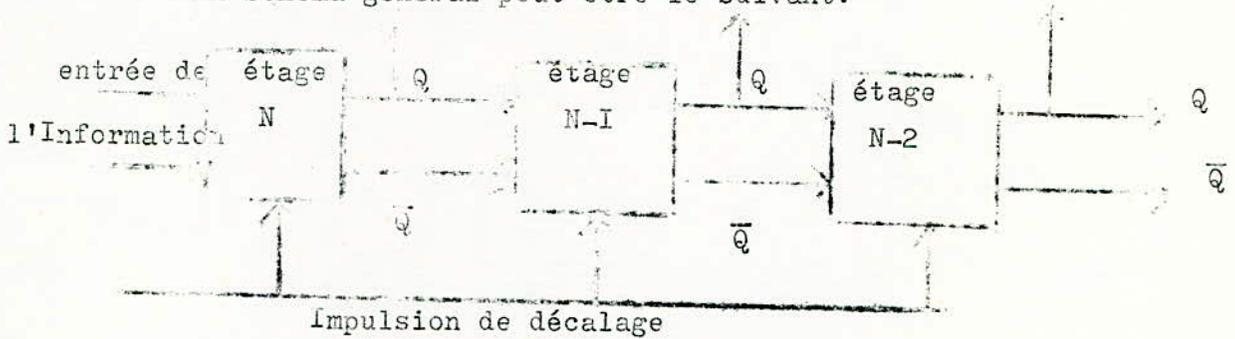
Avec un registre on doit pouvoir faire les operations suivantes;

- Ecriture en parallele; c'est à dire que tous les bits sont introduits en même temps et lecture en parallele ou en série.

- Ecriture en serie, c'est à dire qu'on introduit le mot bit apres bit et décalage en même temps, et lecture en parallele ou en série. On caracterise donc un registre par sa capacité et son mode d'accès.

- (Mode de lecture et d'écriture).

Un schema général peut être le suivant.



SYNOPTIQUE D'UN REGISTRE A DECALAGE.

Il est à remarquer que les bascules sont synchrones le système est donc séquentiel on a l'équation générale de la bascule i à chaque impulsion, $(X_i)_{t+1} = (X_{i-1})_t$

Si la sortie du registre est reliée à son entrée on a un registre à décalage circulaire. Dans le cas d'un registre à 4 étages on a le tableau suivant des états à chaque top d'horloge

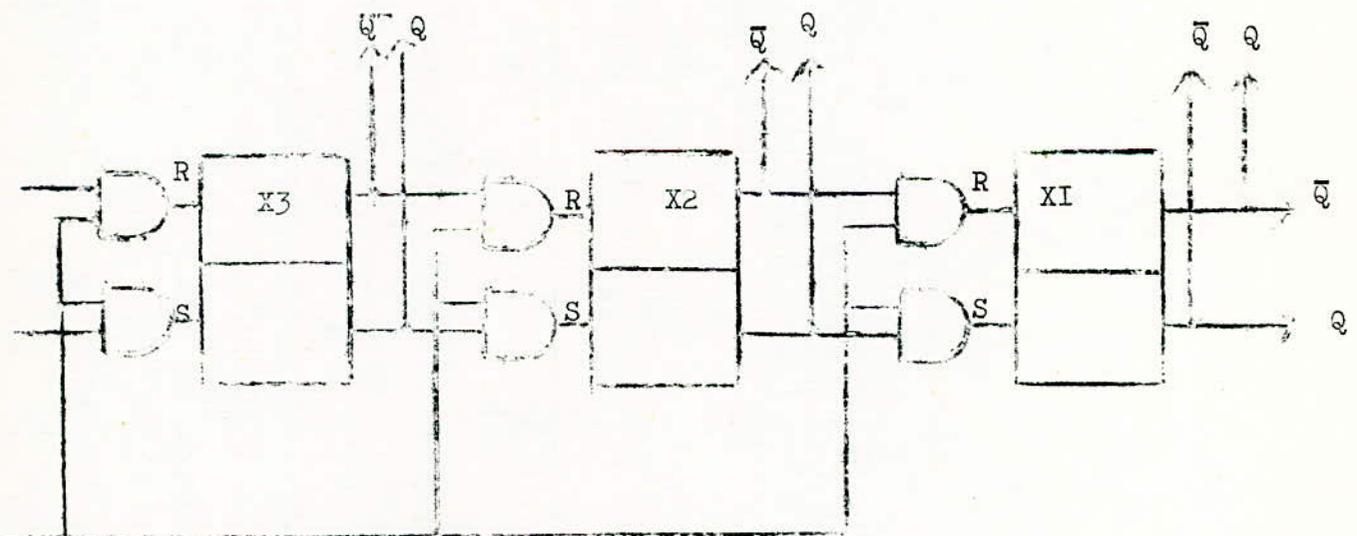
$(X_1 X_2 X_3 X_4)_t$	$(X_1 X_2 X_3 X_4)_{t+1}$
0 0 0 0	0 0 0 0
0 0 0 1	1 0 0 0
0 0 1 0	0 0 0 1
0 0 1 1	1 0 0 1
0 1 0 0	0 0 1 0
0 1 0 1	1 0 1 0
0 1 1 0	0 0 1 1
0 1 1 1	1 0 1 1

1 0 0 0	0 1 0 0
1 0 0 1	1 1 0 0
1 0 1 0	0 1 0 1
1 0 1 1	1 1 0 1
1 1 0 0	0 1 1 0
1 1 0 1	1 1 1 0
1 1 1 0	0 1 1 1
1 1 1 1	1 1 1 1

TABEAU DES ETATS D'UN REGISTRE A 4 ETAGES A DECALAGE.

REALISATION DE REGISTRE A DECALAGE :

L'Element de registre le plus répandu est la bascule R,S. les entrées R,S. sont commandées par des portes E.T. Exemple :



TOP D'HORLOGE

-EXEMPLE DE REGISTRE A DECALAGE -

Dans ce cas il faut que l'impulsion de décalage ait une durée plus grande que le temps de réponse de la bascule. Mais pour éviter les aleas possible, de fonctionnement on utilise des bascules R.S. ou J.K. maitres esclaves. On a ainsi un fonctionnement en deux phases.

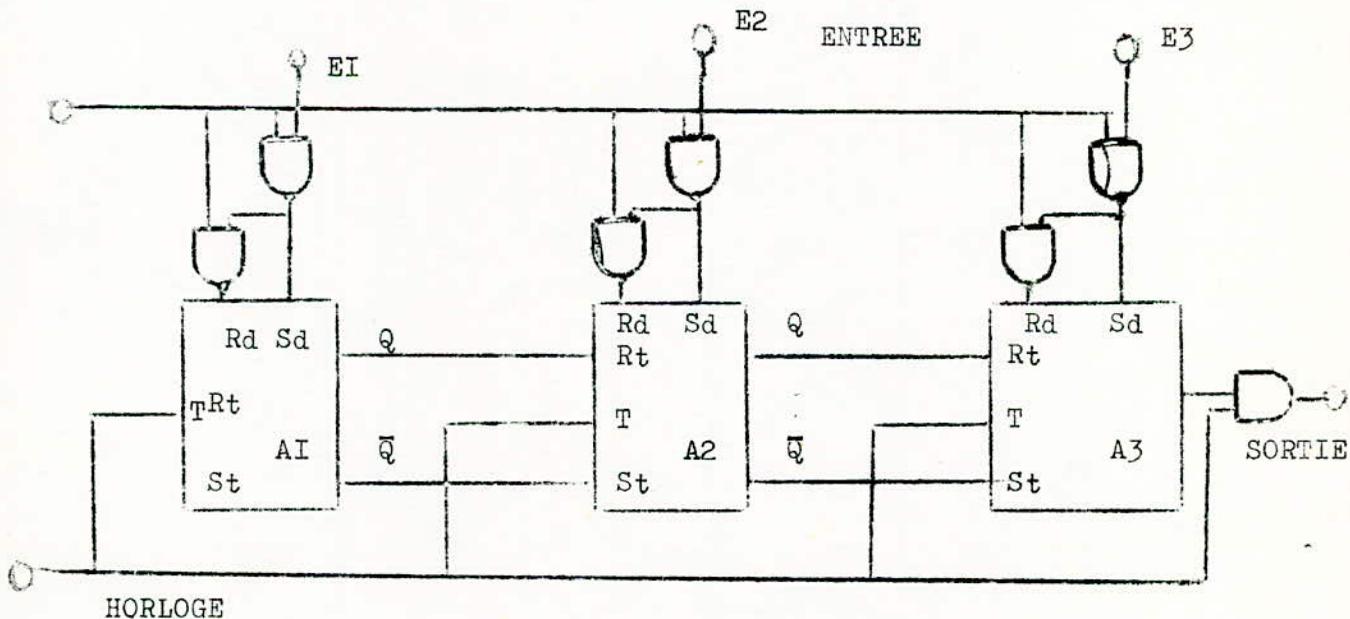
En circuit intégré, un élément de registre se fait en générale avec des circuits Ni a transistor planar à couplage direct.

PASSAGE SERIE PARALLELE ET PARALLELE SERIE :

Ces transformations sont d'une importance capitale dans un ordinateur. On a toujours besoin d'un passage de l'information de la forme série à la forme parallèle ou vis versa. On utilise évidemment les registres à décalage qui se prêtent facilement à ces fonctions.

PASSAGE PARALLELE - SERIE .

Pour cette opération on dispose de plusieurs schemas possibles. Et puisqu'on a l'occasion d'utiliser des bascules R.S maitres esclaves avec entrées de forçage Rd Sd on s'en prive pas. Un schema possible est donné ci-dessous.



On a les équations suivantes pour les entrées de forçage

$$Rd = \overline{O_i} - \overline{O_i} \overline{E_n}$$

$$Sd = \overline{O_i} - \overline{E_n}$$

L'inscription en parallèle a lieu lorsque $O_i = 1$ on a donc

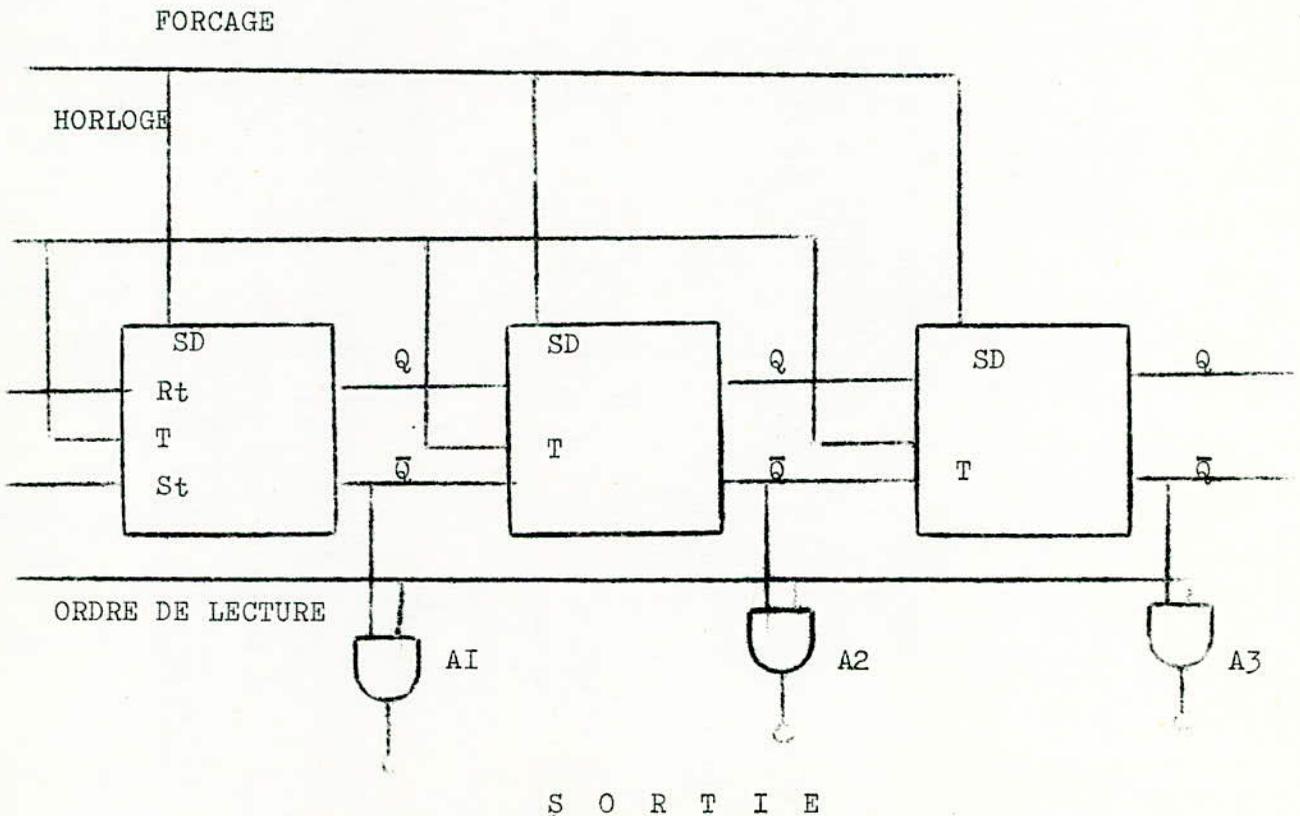
$$Rd = E_n \text{ et } Sd = \overline{E_n}$$

La sortie en série se fait à l'aide de l'horloge T de décalage à travers une porte E.T. Il faut remarquer dans cet exemple que la sortie se fait dans l'ordre suivant.

E3, E2, E1,

PASSAGE SERIE-PARALLELE.

De même on a de nombreux schemas possibles. On retient le suivant avec les mêmes bascules. On note qu'il faut mettre tous les éléments à zéro avant l'écriture en série.



L'information arrive par l'entrée serie du registre, à chaque impulsion d'horloge il y a progression de chaque bit. Le premier bit introduit se trouve donc dans la dernière bascule à droite et le dernier bit est donc dans la bascule à gauche. On dispose donc de tous les bits en parallèle A1, A2, A3,.....:.
dés qu'on ordonne la lecture.

QUELQUES REGISTRES EN CIRCUIT INTEGRES.

Dans la famille T T L de TEXAS instrument on a

- S N 7491 8 BITS ENTREE SERIE / SORTIE SERIE
- S N 7494 4 BITS ENTREE SERIE PARALLELE / SORTIE SERIE
- S N 7495 4 BITS ENTREE SERIE PARALLELE / SORTIE PARALLELE
- S N 7496 5 BITS ENTREE SERIE PARALLELE / SORTIE SERIE PARALLELE

" Les registres à décalage constituent des mémoires vives à accès séquentiel. Ils forment en quelque sorte une ligne à retard électronique."

"AUTOMATISME N°4"

/ APPLICATION PRATIQUE DES REGISTRE./

On commence par étudier le fonctionnement parallele.
TRANSFERTS PARALLELES ENTRE REGISTRE.

On veut transférer le contenu d'un registre A dans le registre B sur l'ordre d'une commande T (transfer).

$$(A) \Rightarrow (B)$$

Le registre B est dans un état quelconque, on dresse le tableau de vérité de l'opération transfert. Puisqu'on utilise des bascules R.S. On dresse d'abord la table de vérité de cette bascule qu'on a déjà étudié, mais en ne tenant compte cette fois ci que des entrées qui changent l'état de la bascule ou qui garde son état antérieur.

Qt	R	S	Qt + I
0	∅	0	0
0	0	I	I
I	I	0	0
I	0	∅	I

T	AiT	Bit	Bi(t+I)	Ri	Si
I	0	0	0	∅	0
I	I	0	I	0	I
I	0	I	0	I	0
I	I	I	I	0	∅

- TABLEAU DE VERITE DE TRANSFERT.-

Si on voit la première ligne du tableau de vérité de transfert on voit que Bi doit passer de 0 à 0 c'est à dire ne pas changer d'état $Bit = Bi(t+I) = 0$ si on voit la première ligne de la table de vérité de la bascule RS on voit que si on veut que la bascule garde son état stable 0 ($Qt = Qt+I = 0$) Il faut que $R = \emptyset$ et $S = 0$ c'est qu'on a écrit sur le tableau de vérité de transfert.

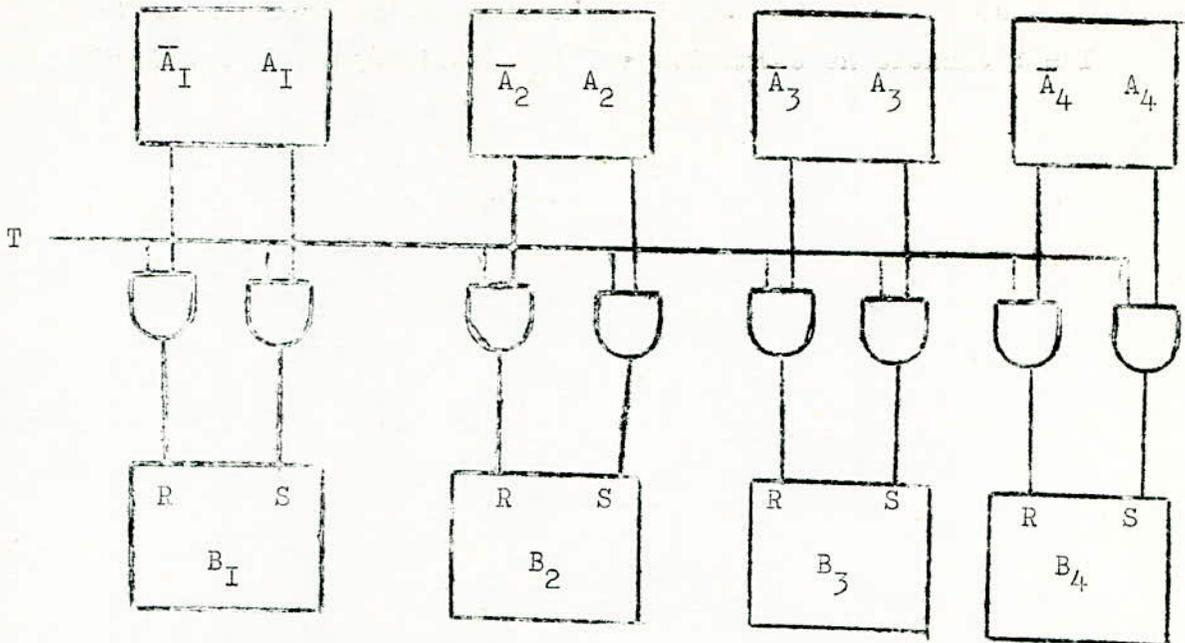
Si on prend pour ∅ la valeur I pour éliminer les aléas possibles les équations s'écrivent.

$$Ri = T \bar{A}_i \bar{B}_i + T \bar{A}_i B_i = T \bar{A}_i (\bar{B}_i + B_i) = T \bar{A}_i$$

$$Si = T A_i \bar{B}_i + T A_i B_i = T A_i$$

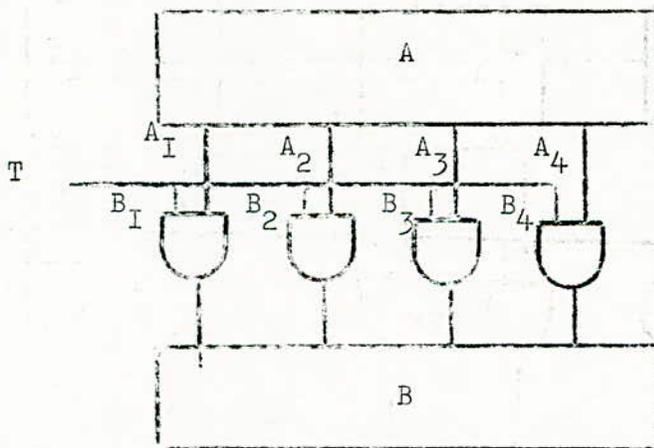
On doit avoir

$Ri = T \bar{A}_i$
$Si = T A_i$



TRANSFERT (A) \Rightarrow B

Pour le SN 7495 N c'est encore plus facile car on ne dispose q'une entrée et d'une sortie pour chaque bascule, on entre donc directement par une seule porte ET.



On peut transférer le complément du contenu de A et cela en utilisant des portes N AND (A) \Rightarrow B
SOMME MODULO 2 ENTRE 2 REGISTRE.

On peut faire toutes sortes d'opérations entre registres et mettre le résultat dans l'un d'eux. On dresse le tableau habituel. Les équations sont les suivantes en prenant $\emptyset = I$

$$R_i = T \bar{A}_i \bar{B}_i + T A_i B_i$$

$$R_i = T(\bar{A}_i \bar{B}_i + A_i B_i)$$

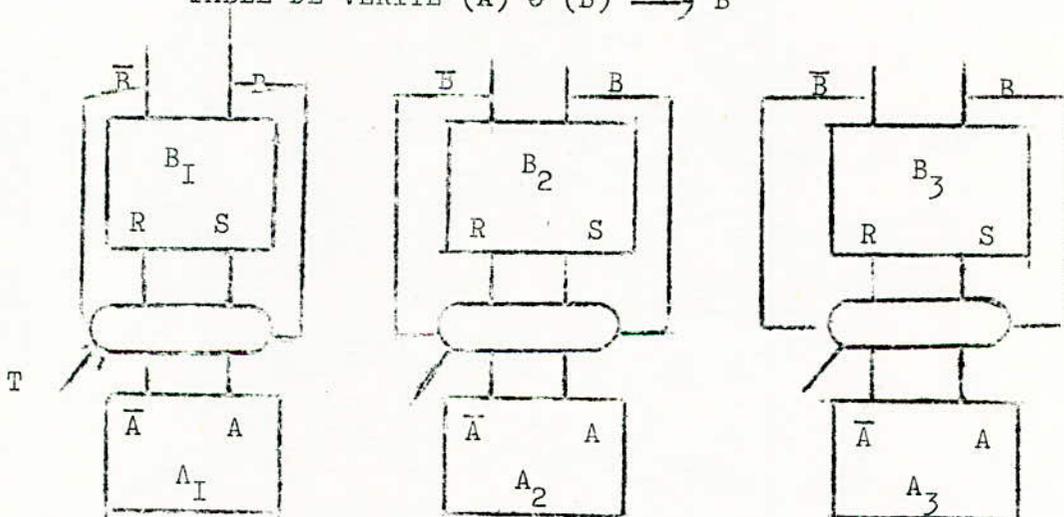
$$S_i = T \bar{A}_i B_i + T A_i \bar{B}_i$$

$$S_i = T(\bar{A}_i B_i + A_i \bar{B}_i)$$

$$\bar{S}_i = T(A_i + B_i)$$

T	A _i t	B _i t	B _i (t+1)	R _i	S _i
I	0	0	0	∅	0
I	0	I	I	0	∅
I	I	0	I	0	I
I	I	I	0	I	0

TABLE DE VERITE (A) ⊕ (B) → B



ADDITION LOGIQUE ENTRE DEUX (2) REGISTRES.

L'addition logique entre deux (2) registres et aussi une opération importante dans les unités de calcul. On fait l'addition poids par poids des deux (2) registres A et B le résultat est transféré dans le registre B.

$$(A) + (B) \rightarrow B$$

Les registres sont constitués par des bascules R.S On dresse la table de vérité de l'addition.

T	A _i (t)	B _i (t)	B _i (t+1)	R _i	S _i
I	0	0	0	∅	0
I	0	I	I	0	∅
I	I	0	I	0	I
I	I	I	I	0	∅

TABLE DE VERITE DE L'ADDITION LOGIQUE.

En lisant la table on tire les equations logiques :

$$R_i = 0$$

$$S_i = T A_i \bar{B}_i + T A_i B_i + T \bar{A}_i B_i$$

$$S_i = T A_i + T \bar{A}_i B_i$$

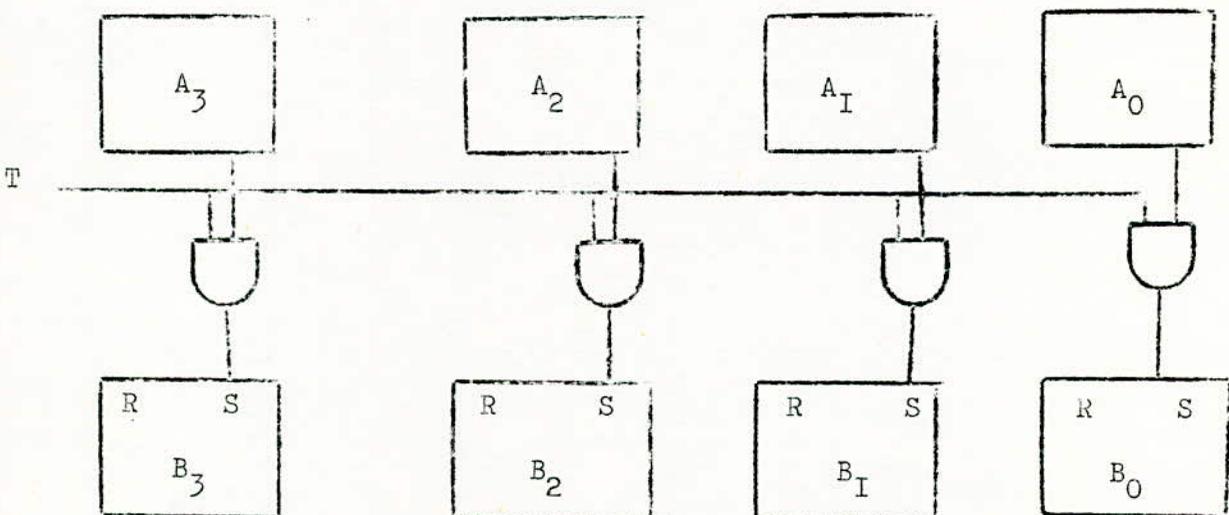
Si on prend $S_i = 0$ au lieu de \emptyset pour la deuxieme ligne on a :

$$S_i = T A_i$$

donc

$$\begin{array}{l} R_i = 0 \\ S_i = T A_i \end{array}$$

Le schema logique est le suivant :



ADDITION LOGIQUE ENTRE A ET B

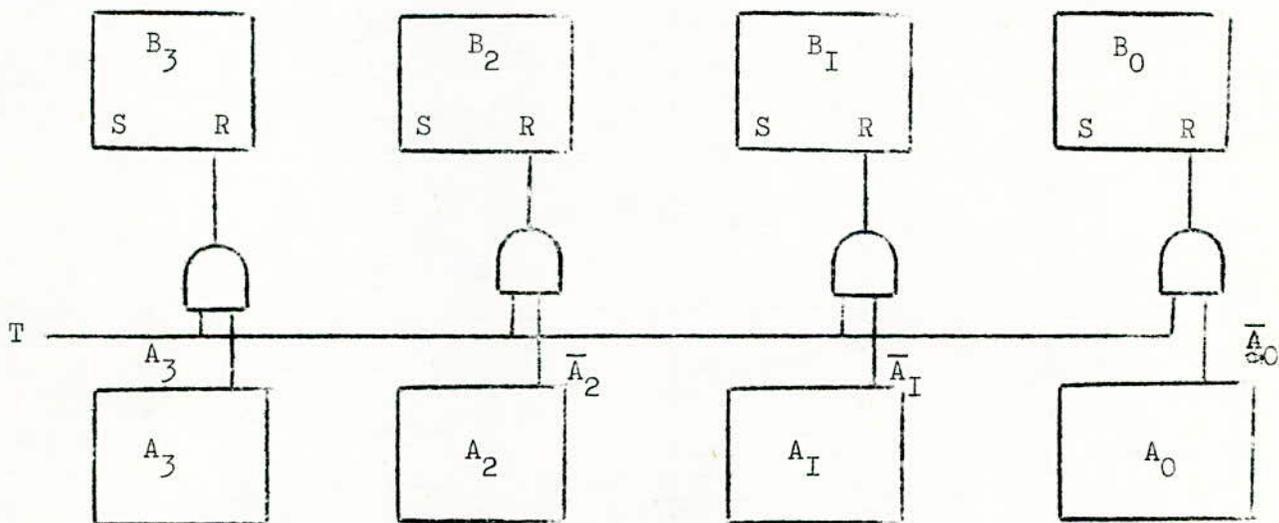
MULTIPLICATION LOGIQUE (A). (B) ---) B

De la même façon la multiplication logique entre deux (2) registres poids par poids. On dresse la table de vérité par la même méthode.

T	A _i t	B _i t	B _i (t+1)	R _i	S _i
I	0	0	0	∅	0
I	0	I	0	I	0
I	I	0	0	∅	0
I	I	I	I	0	∅

On tire les équations

$$\begin{aligned} &: S_i = 0 : \\ &: R_i = T \bar{A}_i : \end{aligned}$$



SCHEMA LOGIQUE DE L'OPERATION (A). (B) ---e B

TRANSFERT SERIE ENTRE REGISTRES ET OPERATION SERIE.

Comme on a exploité l'entrée parallèle et la sortie parallèle d'un registre, on exploite aussi le fonctionnement série. Et c'est là l'application primordiale des registres à décalage en temps qu'élément fonctionnel d'un ordinateur.

On peut faire des opérations logiques en série et en mettant le résultat dans un des registres. On va donner quelques exemples de transfert avec opérations logiques.

ADDITION MODULO DEUX (2) SERIE ENTRE DEUX (2) REGISTRES.

Les deux (2) nombres additionner sont dans deux (2) registres A et B. On fait l'addition modulo deux (2) bit après bit 2 par 2 et mettant le résultat dans A par exemple et cela sur commande d'un niveau T. On représente les états des deux (2) dernières bascules des registres et de la bascule résultat.

A_0	B_0	A_{3t}	A_{3t+1}	R	S
0	0	0	0	∅	0
0	0	I	0	I	0
0	I	0	I	0	I
0	I	I	I	0	∅
I	0	0	I	0	I
I	0	I	I	0	∅
I	I	0	0	∅	0
I	I	I	0	I	0

$A \oplus B \text{ -----) } A$

A₀ B₀

A ₃	00	01	11	10
0	∅	0	∅	0
1	1	0	1	0

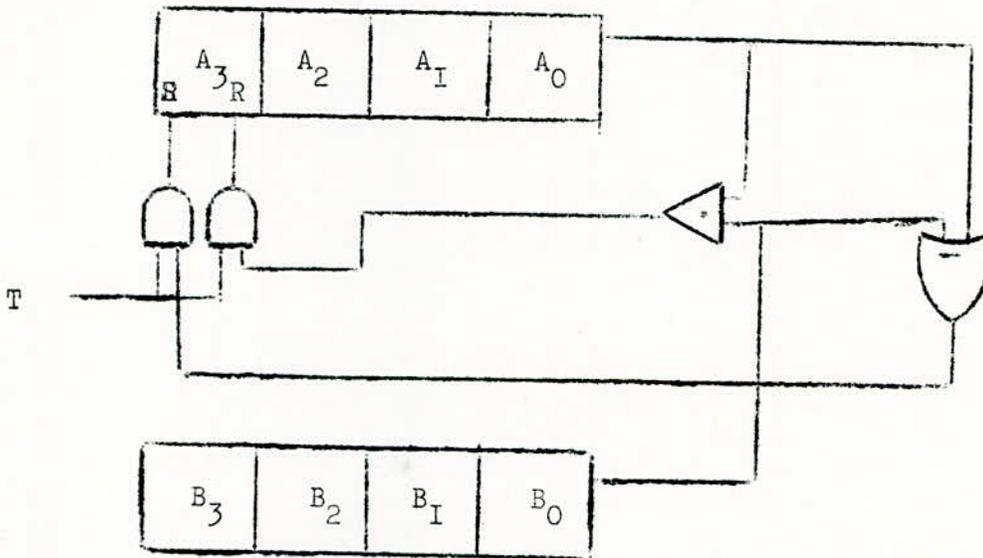
A ₃	00	01	11	10
0	0	1	0	1
1	0	∅	0	∅

$$S_3 = (A_0 \oplus B_0) T$$

$$R_3 = (A_0 B_0 + \overline{A_0} \overline{B_0}) T$$

$$R_3 = (A_0 \cdot B_0) T$$

On a le schema suivant :



SCHEMA LOGIQUE DE L'OPERATION A ⊕ B == -⊖ A

En pratique c'est plus facile car on ne dispose que d'une entrée et d'une sortie (dans notre cas de réalisations).

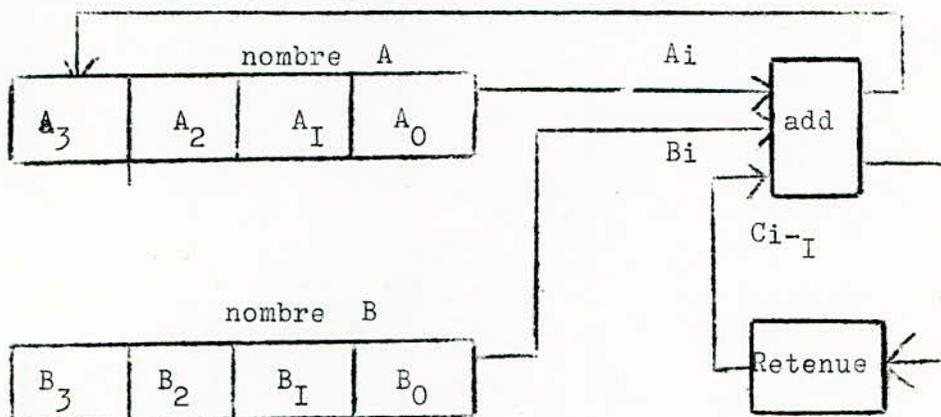
LA MULTIPLICATION SERIE.

Cette fois ci on fait une multiplication serie entre deux (2) registre A et B, le résultat de la même façon est transféré dans le registre A. On dresse le tableau de fonctionnement en utilisant toujours des bascules R.S. Il est a remarquer qu'on peut utiliser n'importe quelle bascule.

On peut réaliser ainsi toutes sortes d'opérations logiques et quelques opérations arithmétiques en utilisant astucieusement les différents registres. On donne l'exemple d'un additionneur arithmétique à 4 bits de 2 nombres positifs.

ADDITIONNEUR A 4 BITS.

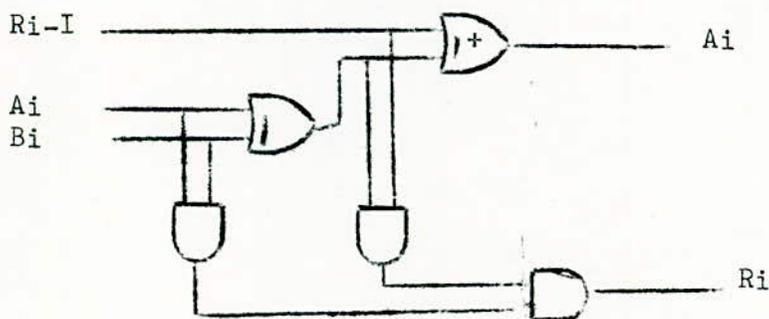
Les deux (2) nombres à additionner sont dans deux (2) registres sous forme de quatres (4) bits chacun. On utilise une bascule pour mémoriser la retenue puisqu'on va additionner en serie. le principe est très simple.



On réalise très simplement d'additionneur à l'aide de portes élémentaires les équations d'un additionneur sont :

$$a_i = A_i \oplus B_i \oplus R_{i-1}$$

$$R_i = A_i B_i + R_{i-1} (A_i \oplus B_i)$$



ADDITIONNEUR

On peut réaliser de la même façon d'autres opérations élémentaires comme la soustraction, la comparaison

On verra pratiquement quelques une de ces opérations.

COMBINAISON SPEUDO-ALEATOIRE.

INTRODUCTION /

Dans la nature les phénomènes aléatoires sont très nombreux. On peut dans la majorité des cas quantifier cet aléas par une quantité probable.

On utilise alors le calcul des probabilités. Par exemple dans le jet d'une pièce de monnaie il y a la même chance d'avoir le côté pile et le côté face. De plus la probabilité d'avoir pile N fois consecutives est la même que celle d'avoir face N fois consecutives lorsque N tend vers l'infinie.

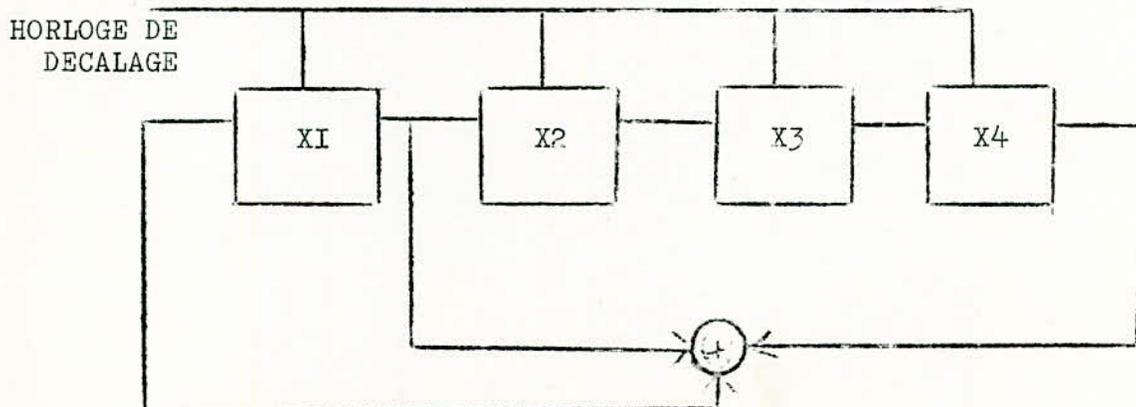
On a ainsi une distribution aleatoire binaire.

Au niveau de la simulation on peut élaborer un signal électrique qui possède les même propriétés sur un nombre fini d'essais.

PRINCIPE DE GENERATION DE SEQUENCE PSEUDO-ALEATOIRE

Le principe est très simple dès qu'on a compris le fonctionnement d'un registre a décalage.

Etant donné un registre a décalage à N étages c'est à dire à N éléments de bascules. On dote ce registre d'une contre réaction à l'aide d'un opérateur logique soit un additionneur modulo 2. Et qu'on réinjecte à l'entrée du registre on donne l'exemple d'un registre à 4 étages.



Il faut remarque que les bits Xi de contre réaction sont pris à un niveau quelcônque du registre et en nombre quel que ce qui donne une large étendue de combinaisons. Pour continuer sur l'exemple précédent on prend comme contre réaction l'addition modulo 2 du premier et du dernier digits du registre qu'on réinjecte à l'entrée.

On dresse la table des états du registres à chaque top d'horloge et cela en partant du niveau logique "I" de toutes les bascules.

H	X1	X2	X3	X4	X1(+)X4	DECIMAL	PP AU Nb DE I
0	I	I	I	I	0	15	4
1	0	I	I	I	I	7	3
2	I	0	I	I	0	11	3
3	0	I	0	I	I	5	2
4	I	0	I	0	I	10	2
5	I	I	0	I	0	13	3
6	0	I	I	0	0	6	2
7	0	0	I	I	I	3	2
8	I	0	0	I	0	9	2
9	0	I	0	0	0	4	1
10	0	0	I	0	0	2	1
11	0	0	0	I	I	1	1
12	I	0	0	0	I	8	1
13	I	I	0	0	I	12	2
14	I	I	I	0	I	14	3
15	I	I	I	I	0	15	4

On remarque qu'on n'obtient jamais l'état 0000 qui est un état stable. Au bout du 15^{ème} top d'horloge le registre revient à son état initial il a décrit alors un cycle. Le nombre de séquences est :

$$I5 = 2^4 - 1 \text{ qui est la longueur}$$

Maximale du cycle.

Le nombre d'Etat I est

$$2^{4-I} = 8$$

Le nombre d'Etat 0 est :

$$2^{(4-I)} - 1 = 7$$

D'une façon plus générale on a :

- NOMBRE DE SEQUENCES : $2^n - 1$
- NOMBRE D'ETATS I : $2^{(n-I)}$
- NOMBRE D'ETATS 0 : $2^{(n-I)} - 1$

On peut utiliser ce générateur comme à réaction linéaire et cela en faisant un décodage approprié.

Ce genre de compteur à réaction est pratique pour des séquences très longues dans la mesure ou le décodage est facile à réaliser. L'application de ceci est très variée et on ne s'étendra pas plus longuement car ce n'est pas là le but de notre étude. Mais il est à noter qu'une fois le choix des étages de réaction sont choisis, la séquence est unique, c'est à dire qu'on peut prévoir l'état futur du registre une fois connu l'état de départ. En plus c'est la même séquence qui se répète après la période définie. On peut en outre changer les combinaisons pseudo-aleatoires en changeant le câblage de contre réaction.

COMBINAISON A 16 BITS :

Le principe étant le même, on choisit le dernier et le premier bits comme bits de réaction.

Pour 16 bits on a $2^{16} - 1 = 65536$ séquences.

On voit l'importance de cette longueur de la période. Si la fréquence de l'horloge est grande et si le registre peut travailler à cette fréquence on recueille les combinaisons en parallèle à cette fréquence qu'on peut alors utiliser.

On a $2^{15} = 32768$ états "I"

et $2^{15} - 1 = 32767$ ETATS "0"

LES EQUATIONS DU REGISTRE SONT :

$$(X_i)_{t+1} = (X_i)_t (+) (X_{i6})_t$$

et

$$(X_i)_{t+1} = (X_{i-1})_t \text{ pour } i = 2, 3, 4, \dots, 16$$

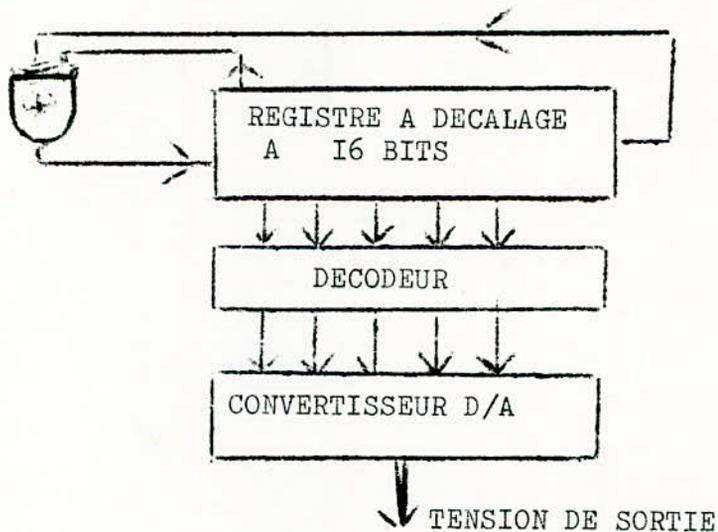
On donne les 18 premières combinaisons dans le tableau suivant

Pour étudier la distribution des fonctions pseudo-aléatoires il faut avoir toutes les combinaisons. Mais ce qui est plus intéressant à voir c'est la conversion digitale analogique de ces combinaisons.

TRANSFORMATION DES SEQUENCES PSEUDO-ALEATOIRES EN BRUIT ANALOGIQUE.

(conversion digitale analogique)

Le schéma suivant donne le principe de conversion.



La tension de sortie a des caractéristiques bien définies qui dépendent de la logique de décalage.

On peut obtenir une tension qui sera proportionnelle au nombre 1 ou de 0 décodés. On a aussi les caractéristiques d'un décodage binaire décimal si le décodeur détecte à chaque pas le nombre décimal correspondant; on obtient alors une distribution aléatoire rectangulaire.

H	X1	X2	X3	X4	X5	X6	X7	X8	X9	X10	X11	X12	X13	X14	X15	X16	X1+X16
0	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	O
1	O	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I	I
2	I	O	I	I	I	I	I	I	I	I	I	I	I	I	I	I	O
3	O	I	O	I	I	I	I	I	I	I	I	I	I	I	I	I	I
4	I	O	I	O	I	I	I	I	I	I	I	I	I	I	I	I	O
5	O	I	O	I	O	I	I	I	I	I	I	I	I	I	I	I	I
6	I	O	I	O	I	O	I	I	I	I	I	I	I	I	I	I	O
7	O	I	O	I	O	I	O	I	I	I	I	I	I	I	I	I	I
8	I	O	I	O	I	O	I	O	I	I	I	I	I	I	I	I	O
9	O	I	O	I	O	I	O	I	O	I	I	I	I	I	I	I	I
10	I	O	I	O	I	O	I	O	I	O	I	I	I	I	I	I	O
11	O	I	O	I	O	I	O	I	O	I	O	I	I	I	I	I	I
12	I	O	I	O	I	O	I	O	I	O	I	O	I	I	I	I	O
13	O	I	O	I	O	I	O	I	O	I	O	I	O	I	I	I	I
14	I	O	I	O	I	O	I	O	I	O	I	O	I	O	I	I	O
15	O	I	O	I	O	I	O	I	O	I	O	I	O	I	O	I	I
16	I	O	I	O	I	O	I	O	I	O	I	O	I	O	I	O	I
17	I	I	O	I	O	I	O	I	O	I	O	I	O	I	O	I	O
18	O	I	I	O	I	O	I	O	I	O	I	O	I	O	I	O	O

TABLEAU PARTIEL DES ETATS DU GENERATEURS PSEUDO-ALEATOIRES A 16 BITS

Pour faire la conversion digitable analogique d'une séquence il faut un certain temps et qu'on peut calculer. Pour un mot de 16 bits, la fréquence de décalage du registre étant F le temps de conversion est alors

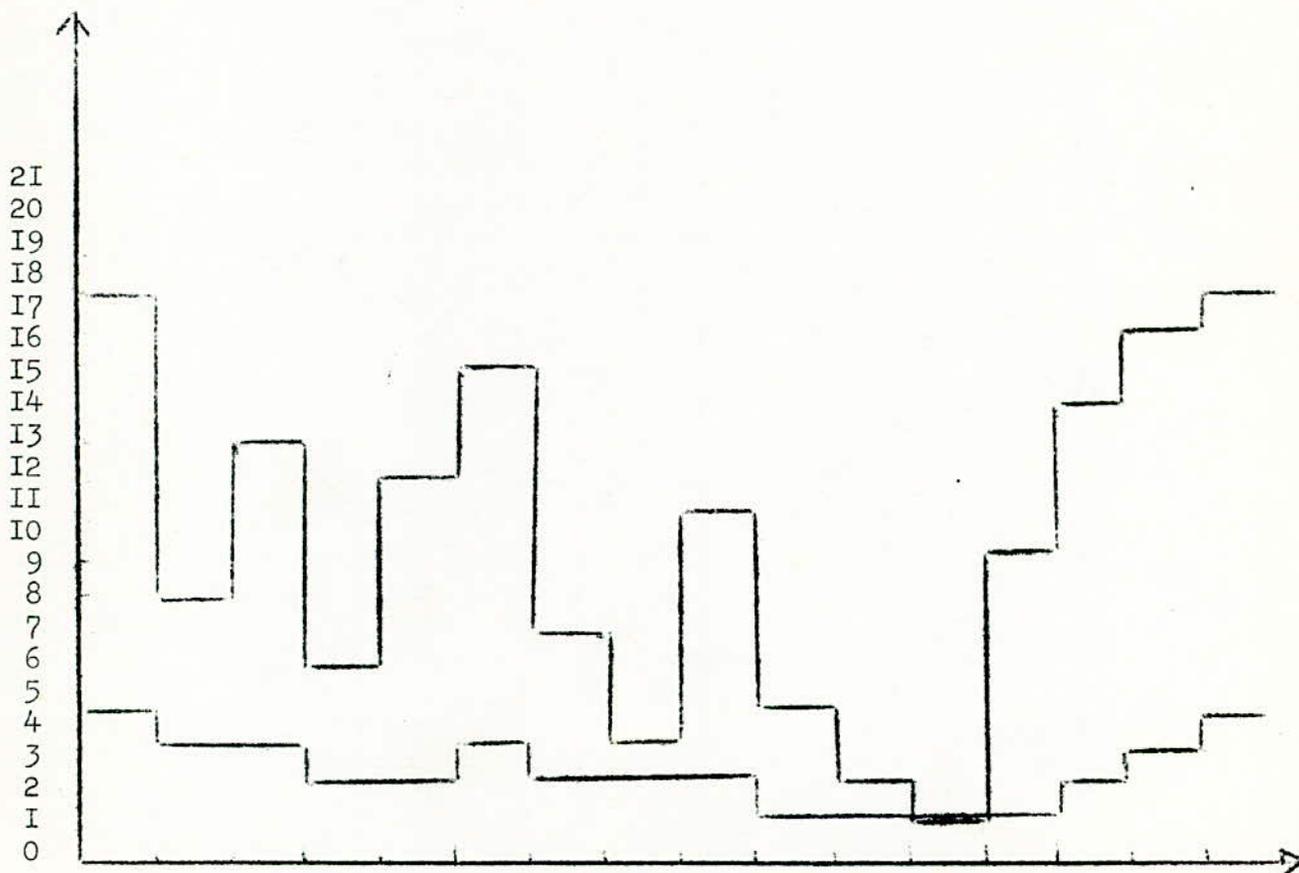
$$f = \frac{F}{16} \quad T = \frac{1}{F} \quad t = \frac{16}{F} = 16 T$$

Si la fréquence de décalage est de 160 Khz on a

$$T = \frac{1}{160} 10^{-4}$$

et $t = 100$ micros. Pour une plus grande fréquence il est évident que le temps est plus court.

Le graphe ci-dessous donne la conversion rectangulaire et la conversion proportionnelle au nombre de 1 décodé.



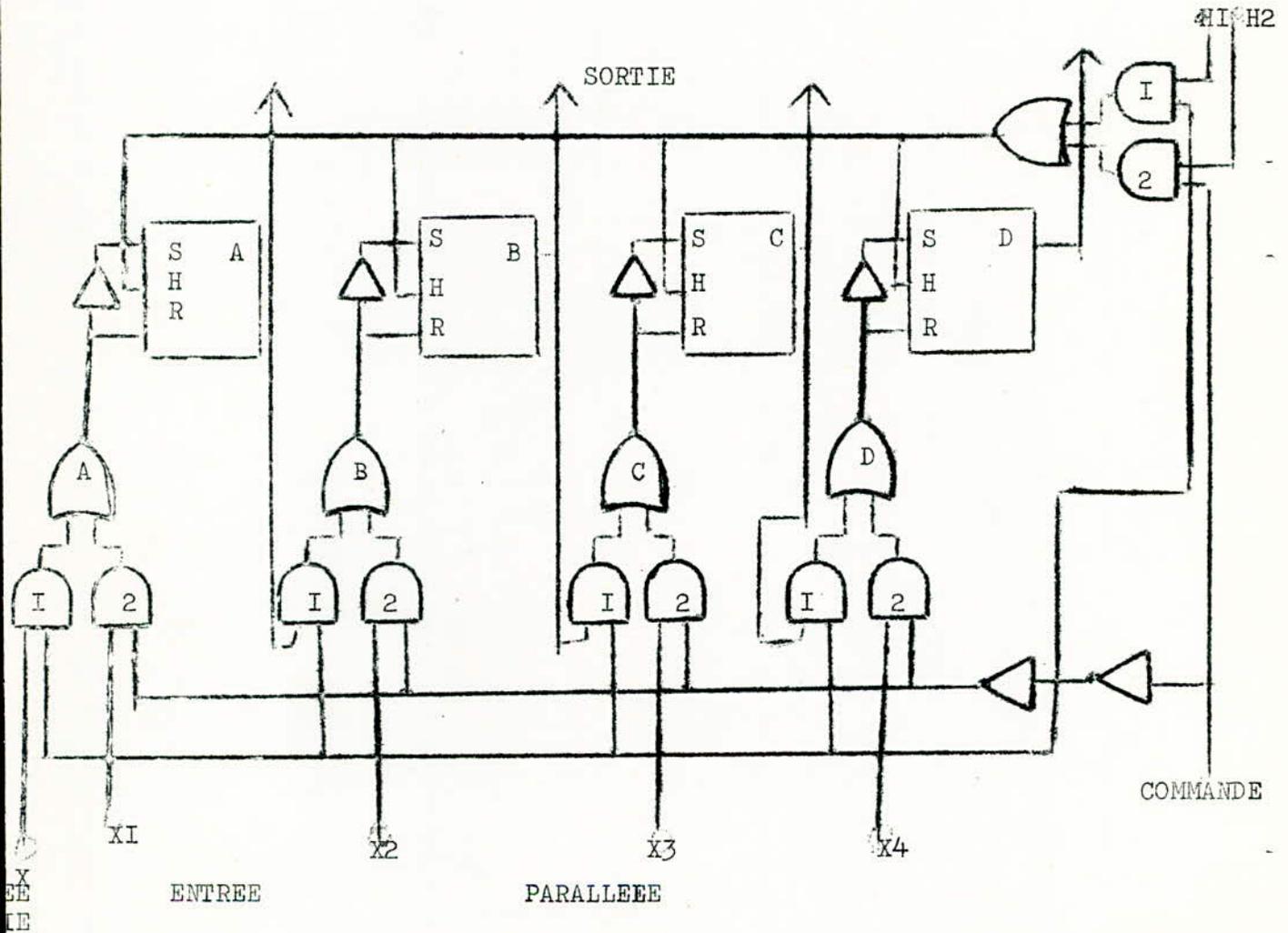
DISTRIBUTION RECTANGULAIRE ALEATOIRE (BINAIRE - DECIMALE)
DISTRIBUTION PROPORTIONNELLE AU NOMBRE DE 1 DECODE.

/ PARTIE REALISATION PRATIQUE /

/LE REGISTRE A DECALAGE SN 7495 N/

FONCTIONNEMENT:

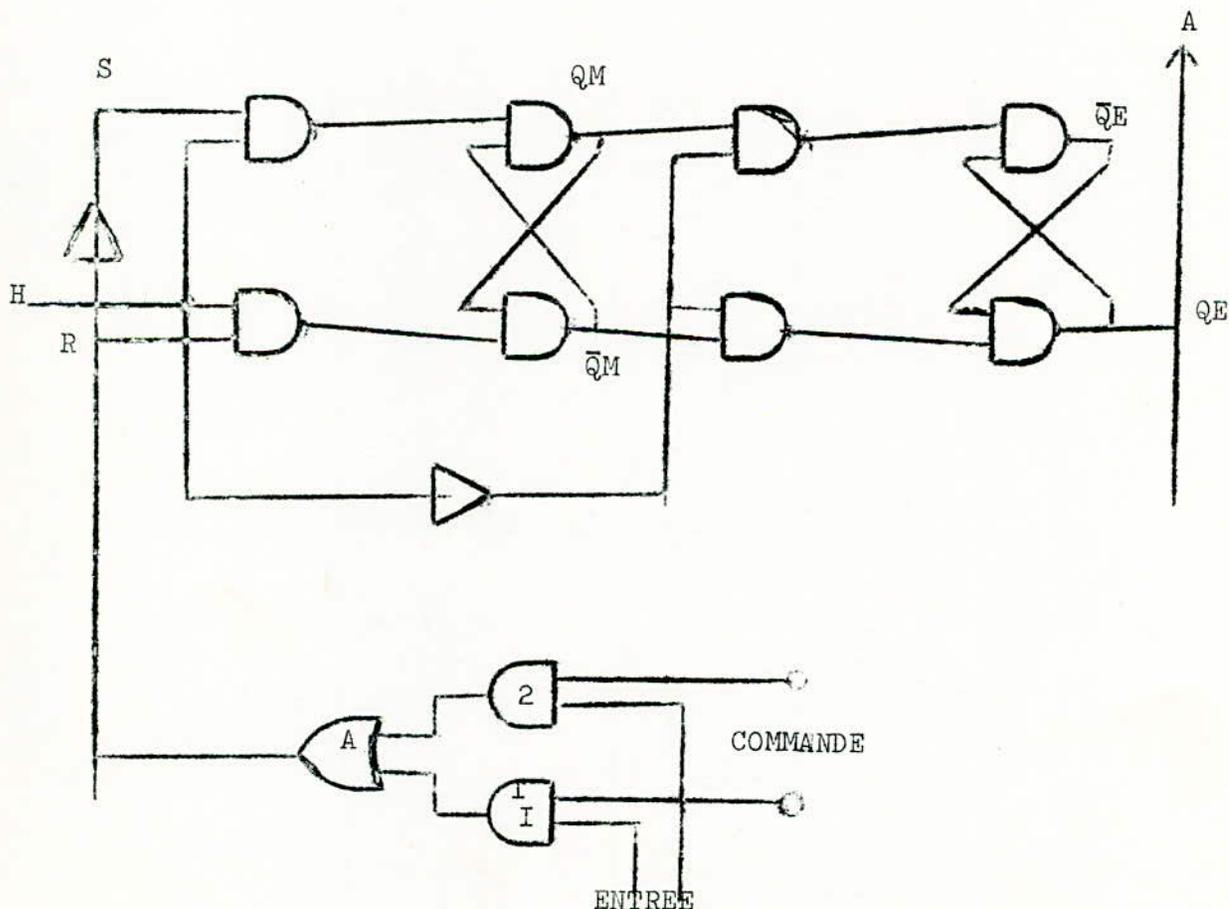
L'élément maître de la réalisation est le registre SN 7495 N qui est un registre à 4 bits. On peut entrer en parallèle et sortir en parallèle ou en série, entrée en série et sortie en parallèle ou en série. Pour cela il faut donc un décalage à droite qui est câblé à l'intérieur. On fait un câblage externe à l'aide de portes Pour faire le décalage à gauche.



Les bascules R.S sont du type maitre esclave donc le fonctionnement doit être parfait. Pour entrer en parallele il faut que les portes marquées 2 soient ouvertes donc on doit avoir, la commande du mode de fonctionnement au niveau 1. On note qu'il existe la relation $R S = 0$ pour les 2 entrées de la bascule.

Pour entrer en serie et décaler à droite il faut que les portes marquées 1 soient ouvertes donc la commande du mode de fonctionnement soit au niveau 0. L'information entre par la borne marquée "ENTREE SERIE " Elle est mise en mémoire dans le maitre dés que le niveau de l'horloge I du décalage droite est haut. Lorsque le niveau de l'horloge I passe à 0 l'esclave s'ouvre et l'information apparait en sortie.

On refait la même operation pour obtenir le décalage à droite. On donne le schema complet d'une cellule et sa commande .



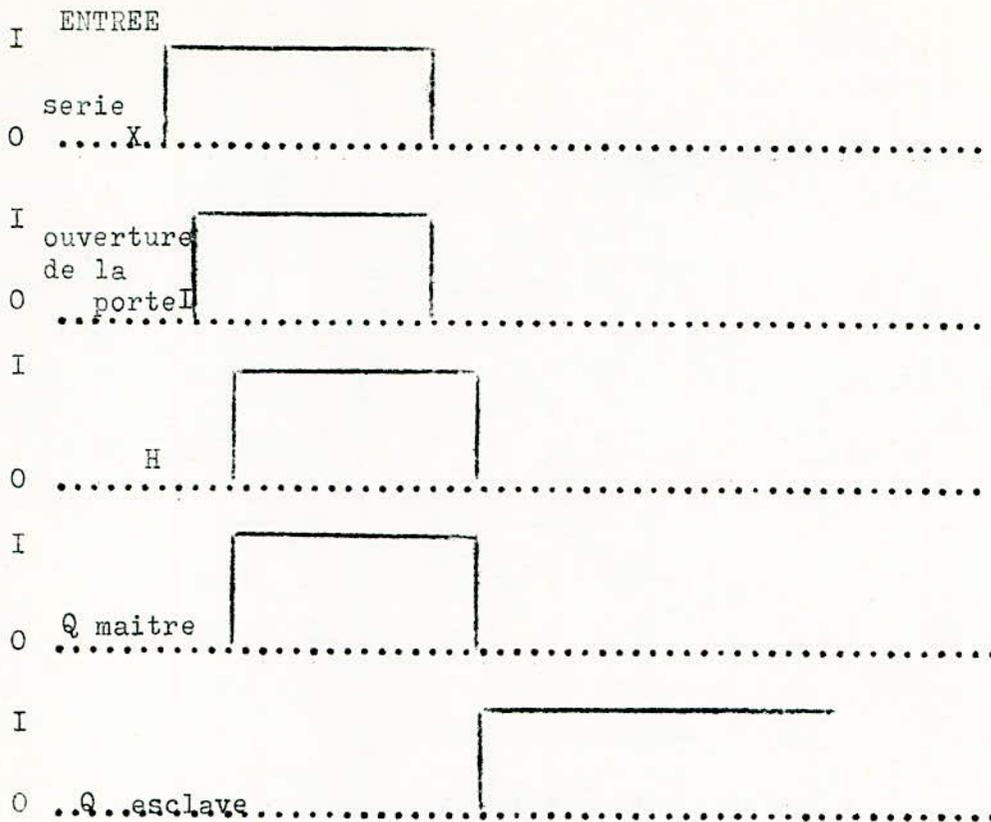


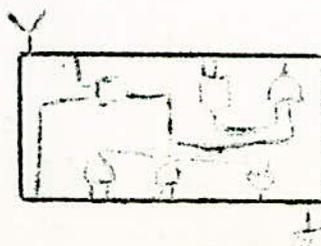
DIAGRAMME DES PHASES DU SYSTEME

Les principales caractéristiques du SN 7495 N sont :

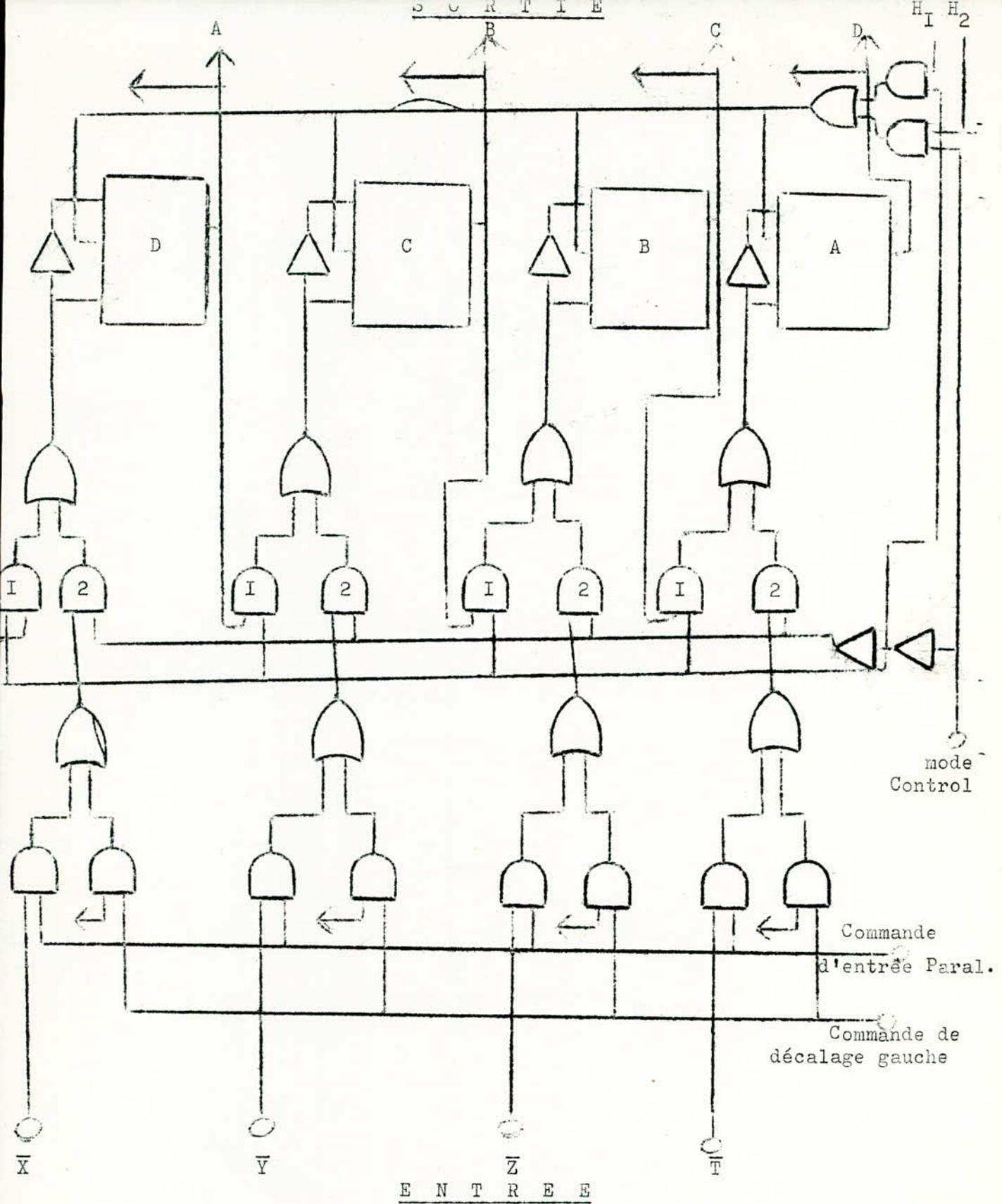
- TEMPS DE PROPAGATION 25 NS.
- PUISSANCE DE DISSIPATION 250 MW
- FREQUENCE MAXIMALE DE TRAVAIL 31 MHz.

DECALAGE GAUCHE :

Pour le décalage à gauche on fait un câblage externe avec des portes logiques. On voit que pour l'entrée en parallèle les informations sont présentées inversées. Les circuits de commande du décalage gauche sont des circuits intégrés SN 74 H 51, dont l'implantation est la suivante.



IMPLANTATION DU SN 74H51



LE REGISTRE SN 7495 N AVEC SA COMMANDE EXTERIEURE POUR LE DECALAGE A GAUCHE

Pour 16 Bits on cable 4 registres SN 7495 identiques avec les mêmes commandes.

Les entrées des données dont des niveaux de tensions, ils sont accessibles à la sorties de 16 interrupteurs.

Les commandes sont de quatres sortes.

-La commande d'entrée en parallele qui est aussi un niveau de tension pour ouvrir des portes?.

-La commande de décalage gauche, est un niveau de tension pour ouvrir d'autres portes.

-La commande du mode de fonctionnement sert aussi a ouvrir des p portes.

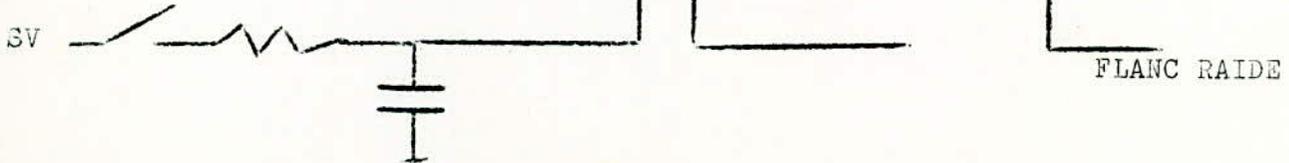
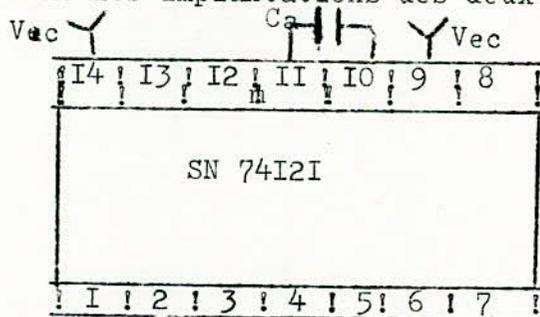
Ces 3 niveaux sont accessibles sur des interrupteurs.

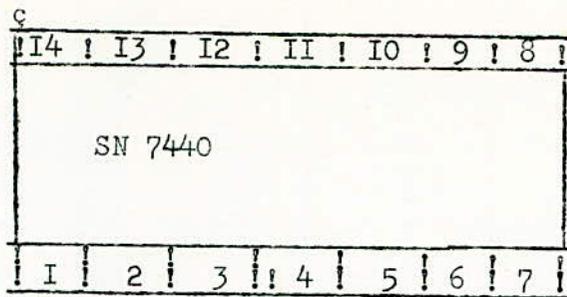
-La commande d'horloge de décalage est un monostable SN 74I2I pour éliminer les parasites. Il est commandé par un interrupteur.

Cela à pour but d'obtenir des flancs très raides pour le basculement, car le décalage à lieu sur les flancs négatifs très raides. Si les flancs ne sont pas raides il n'y aura pas de décalage.

Pour pouvoir basculer tout le registre il faut une plus grande puissance, on fait donc passer l'impulsion à travers un NAND Buffer SN 7440.

On donne les implantations des deux circuits intégrés.





MOQUETTE :

- Les supports des circuits intégrés sont soudés sur une plaquette type "UNIVERSELLE" Les liaisons sont faites avec des fils gainés très fins.

- Les lampes et les interrupteurs sont plantés sur une plaque de plexis.

- L'allumage des lampes se fait à l'aide de transistors de commutation 2N2222 qui sont soudés sur une plaque normale/

- Les liaisons extérieurs sont faites avec des fils gainés
 Tout le montage est dans une boîte en plexis donc accessible à la vue de l'extérieur, il est alimenté par une tension de 5 V.

LISTE DU MATERIEL UTILISE

- 4 X SN 7495 N - REGISTRES A DECALAGE
- 8 X SN 74H5I - COMMANDE DE DECALAGE GAUCHE
- 2 X SN 7404 - INVERSEURS.
- 1 X SN 7400 - OPERATEUR NAND.
- 1 X SN 7440 - OPERATEUR NAND BUFFER.
- 1 X SN 74I2I - MONOSTABLE.
- 1/4 SN 7486 - OPERATEUR "OU EX"
- 18 LAMPES -
- 18 TRANSISTORES- 2N 2222
- 18 RESISTANCES -
- 80 COSSSES. -

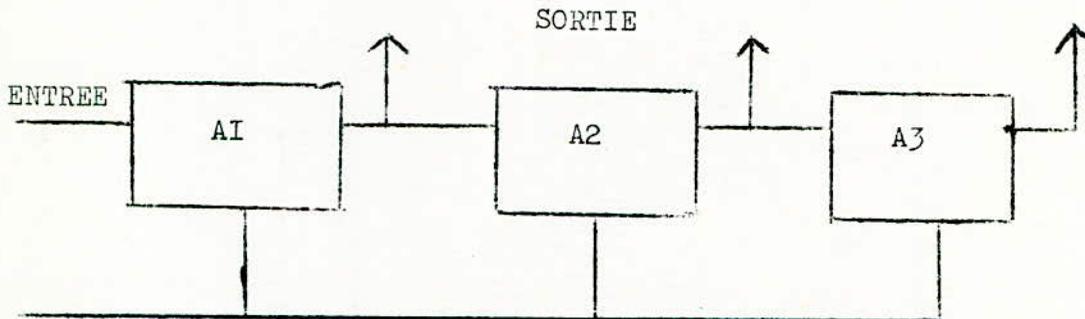
TRAVAUX PRATIQUES PROPOSES

BUT :

Le But de ce T.P est de découvrir la structure d'un registre à décalage ainsi que son fonctionnement.

RAPPEL THEORIQUE :

On rappelle qu'un registre à décalage est une suite de bascules placées en serie. Chaque bascule possède une entrée, une sortie et une entrée horloge de décalage. Ceci est schématisé ci-dessous.



Pour avoir une étude plus détaillée on peut consulter le Polycop.

TRAVAIL A FAIRE :

1/ - Incrire des séries de nombres et voir l'affichage correspondant sur les lampes. Et cela après avoir bien compris le mode d'inscription en parallele ci-dessous.

- Mettre la commande d'entrée en parallele et le mode control au niveau "I"

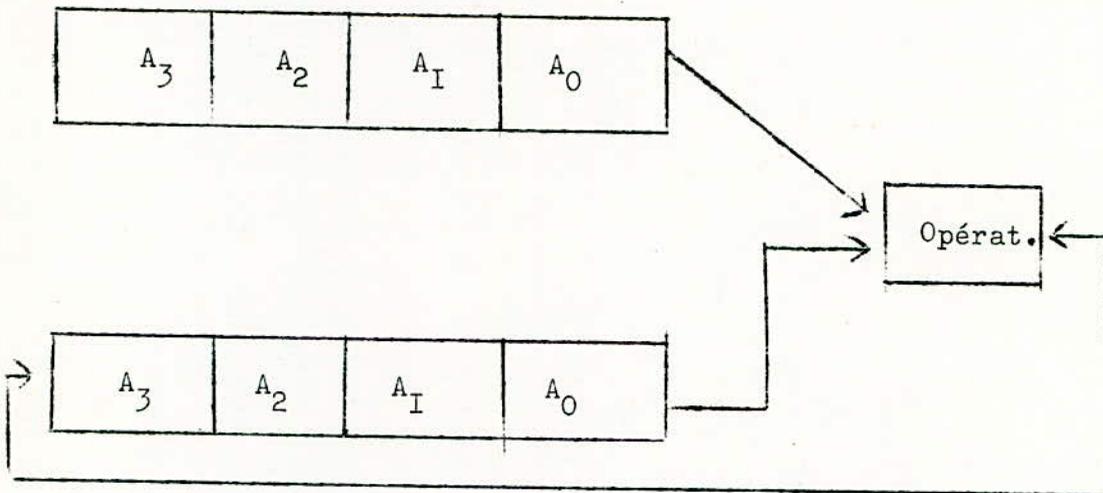
- Actionner l'horloge de décalage; il ya inscription. Les niveaux d'entrées doivent être présents avant le top horloge.

2/ - Incrire un nombre et le décaler à droite puis à gauche. (Attention aux commandes)

3/ . Afficher un nombre de quatre bits (A) d'une part et un autre nombre de quatre (4) bits (B) d'autre part. Connecter les suites à l'aide de portes disponibles de telle façon à faire (A) . (B) et mettre le résultat en A. Et cela en série c'est a dire bit après bit.

4/ . Avec le même proceder faire l'opération (A) ⊕ (B). et mettre le résultat dans A.

5/ . Additionner deux (2) nombres de quatre (4) bits chacun et mettre le résultat dans un des registre A ou B. Réserver une bascule pour mettre en mémoire la retenue. Cabler l'additionneur a part. Toutes ces opérations se font suivant le schéma général.



MULTIPLICATION OU DIVISION D'UN NOMBRE PAR DEUX(2) :

On rappelle que pour multiplier un nombre en binaire par (2) deux on le déplace à gauche et pour le diviser on le déplace vers la droite. Faites cette opération.

On peut imaginer toutes sortes d'opérations qu'on peut faire à l'aide de ce registre.

/ SIMULATION /

ENTREE PARALLELE.

On présente les données en parallèle. Le mode de fonctionnement et la commande d'entrée en parallèle sont à "I". Il ya inscription en parallèle à l'aide du top d'horloge. On remarque que la sortie en parallèle se fait sur le front négatif du top d'horloge. L'information reste en parallèle même si tous les niveaux de commandes sont à zéro.

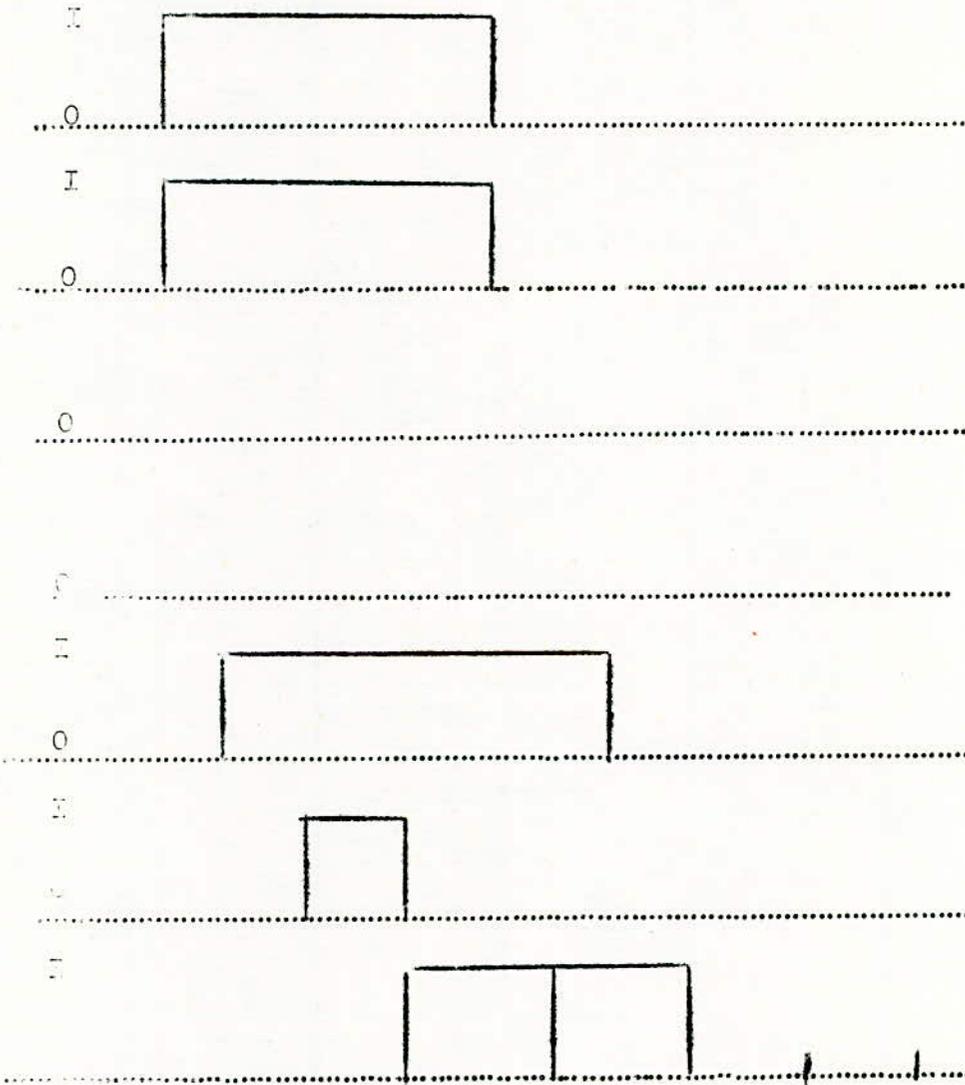


DIAGRAMME DES PHASES

CONCLUSION

=====

Le domaine des machines à calculer est très vaste alors qu'on a touché ici à une infime partie qui est le registre à décalage.

On pense qu'on a atteint le but qu'on s'est fixé qui est celui de comprendre la structure d'un registre et surtout le fonctionnement synchrone d'un système logique.

/ BIBLIOGRAPHIE /

REVUES : - RADIO PLAN.
- AUTOMATISME .

LIVRES : - G. BOULAYE: LOGIQUE ET ORGANES DES
CALCULATRICES NUMERIQUES.
- R. LYON-CAEN : CIRCUITS LOGIQUES INTEGRES.
- PETICLER : TRAITE DES ORDINATEURS.

