

8/84

2 axe

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT : **ELECTRONIQUE** .

PROJET DE FIN D'ETUDES

SUJET

**ÉTUDE ET RÉALISATION
D'UN INTERFACE
GRAPHIQUE**

Proposé par : M^r BOURKEB

Etudié par : M^{elles} D.L. BENKACI
ET L. HAÏDER

Dirigé par :
M^r BOURKEB



MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHÉ SCIENTIFIQUE

ECOLE NATIONALE POLYTECHNIQUE D'ALGER
DEPARTEMENT D'ELECTRONIQUE

- C E N -

C.D.T.A SERVICE ELECTRONIQUE

PROJET DE FIN D'ETUDES
DIPLOME D'INGENIEUR

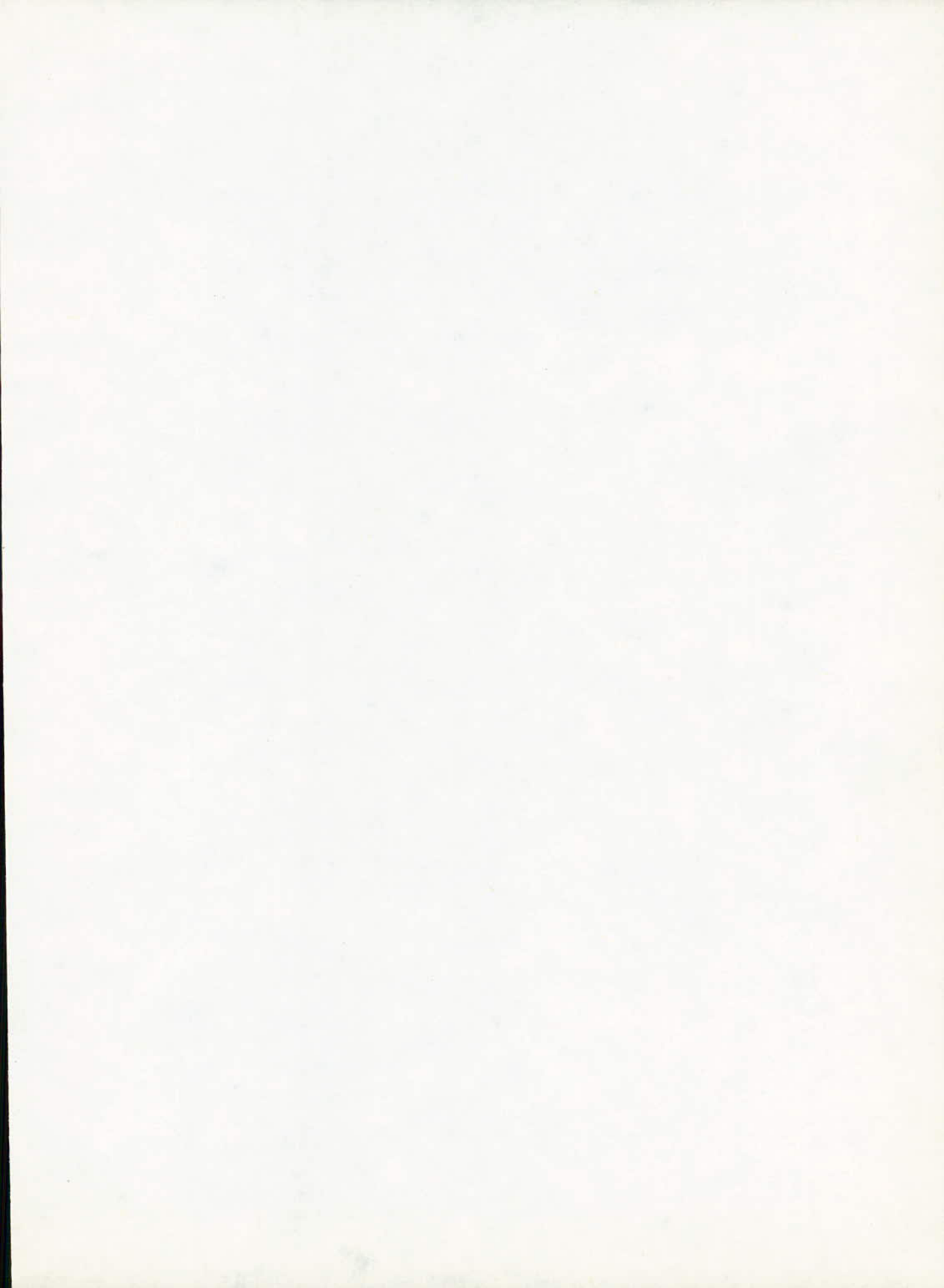
SUJET

ETUDE ET REALISATION D'UN
INTERFACE GRAPHIQUE

Proposé Par
A. BOURKEB

Etudié Par Melles
D. L. BENKACI
L. HAIDER

JANVIER 1984



DEDICACES

A ma grand-mère
A mes parents
A ma soeur jumelle NADIA
A mon frère AMINE
A mes soeurs NABILA et KARIMA
A mes Amis (es)

LEILA

A mon père
A ma mère
A mes frères et soeurs
A mon oncle
A ma tante
A mon beau-frère
A ma belle soeur
A mes Amis (es)
EN particulier NACIBA
NACERA et SAMIA

D.LOUISA

REMERCIEMENTS

Nous remercions MR BOURKEB pour nous avoir accueilli au sein de son service, pour nous avoir proposé un sujet intéressant et nous avoir permis de travailler dans d'assez bonnes conditions;

Nos remerciements vont aussi à toute l'équipe du laboratoire du service électronique pour le milieu de travail sympathique qu'ils nous ont offert.

Nous tenons à remercier particulièrement MR SAIDJ pour l'aide nécessaire qu'il nous a fournie ainsi que pour les conseils et les encouragements prodigués tout au long du semestre.

Enfin nous remercions tous ceux qui ont contribué de près ou de loin à notre formation sans oublier le précieux concours de MONSIEUR BENKACI BOUSSAD pour leur contribution à la mise en forme de ce fascicule.

* PLAN *

I. INTRODUCTION.

II. GENERALITÉS.

- Les systèmes d'affichage graphique.
- Méthodes de visualisation.
- Modes d'affichage

III. ORGANISATION DU SYSTEME.

- A. Unite centrale.
- B. Moniteur de visualisation
- C. INTERFACE.
 - Introduction.
 - L'interface d'entree-sortie parallele ou PIA
- a. - Liaison microprocesseur PIA.
 - Adressage des PIA
 - Circuit de decodage
- b. - Liaison PIA. CNA. Visu
 - Generalites.
 - Le convertisseur numerique analogique DAC 02
 - Principe de conversion du DAC 02
 - Memoire tampon
 - Attenuation de la tension de sortie des DAC 02
 - Commande de la visu

IV LOGICIEL DE GESTION DE L'INTERFACE

- Commentaires.
- Organigramme générale pour l'affichage en mode alphanumérique
- sous-routine de l'organigramme.
- conclusion
- Annexe

INTRODUCTION

Dans le domaine de la visualisation il existe des dispositifs permettant la restitution d'informations sous différents modes. Ces modes peuvent être alphanumériques, semi graphiques; L'affirmation selon laquelle une figure en dit autant que mille mots s'applique particulièrement bien au domaine des systèmes graphiques de visualisation.

L'évolution technologique récente en particulier celle des microprocesseurs a permis une large application du graphisme dans différents domaines tels que la C.A.O (conception assistée par ordinateur) la simulation (définitions en annexe). Dans son application le graphisme permet en général le tracé de:

- COURBES
- PLANS ARCHITECTURAUX
- USINAGE DE PIÈCES MÉCANIQUES
- SCHEMAS ÉLECTRIQUES

Le but du travail qui nous a été confié est l'étude et la réalisation d'un interface graphique entre un système de développement à base du MC 6800 et un support de visualisation à écran rémanent.

Ce système muni d'un certain logiciel permettra à son utilisateur l'emploi des modes alphanumérique et graphique.

GENERALITES

DES SYSTEMES D'AFFICHAGES GRAPHIQUES

Les affichages à tubes cathodiques, d'abord dispositifs à simple tracé par points, régénéré par calculateur, se sont perfectionnés jusqu'à avoir aujourd'hui la capacité d'afficher des caractères alphanumériques des vecteurs et des cercles, produit par des moyens propres à l'appareil, et régénérés à partir d'un module de mémoire interne.

Les moyens propres à la machine et permettant la génération de fonctions encore plus complexes ont été remplacés par des techniques de logiciel .

Cela a conduit à des systèmes d'affichages graphiques perfectionnés incorporant leur propre minicalculateur un besoin fréquent consiste par exemple à établir, en procédant pas à pas des courbes de haute qualité passant par des points de données assez distants, mais sans temps calculateur ni temps de système de stockage excessifs . Ce problème se présente dans les situations de simulation, ou les minicalculateurs sont utilisés pour résoudre un grand nombre d'équations différentielles.

Lorsque le pas utilisé est petit, les points du tracé en vue de la solution sont resserrés , ce qui permet pour l'affichage de les joindre par des lignes droites, mais le temps total nécessaire à la simulation peut être excessif.

Lorsque les points deviennent plus écartés et le temps plus bref pour arriver à la solution des segments de droite deviennent inacceptables c'est la qu'une technique perfectionnée d'ajustement de courbe est nécessaire.

METHODES DE VISUALISATION

Dans le domaine des échanges ou de dialogues entre l'homme et la machine, on peut utiliser différents supports de visualisation permettant aussi bien l'alphanumérique que le graphique

ON DISTINGUE

Des supports de visualisation à écran cathodique, nécessitant l'emploi d'une mémoire de rafraichissement d'écran, permettant la mémorisation des informations. Plus les informations deviennent importantes, plus l'espace mémoire nécessaire sera considérable. Cependant il sera possible de changer une donnée à tout instant, en effaçant le contenu de positions mémoire. De plus de tels écrans sont très avantageux dans le cas d'affichage de texte.

Des support de visualisation à écran rémanent permettant la mémorisation de l'information sans avoir recour à des mémoires de rafraichissement.

Lorsqu' une information est mémoriséé elle reste affichée jusqu'a ce que l'on commande son effacement. un tel écran peut etre très utile dans le cas de tracées de graphes, Cependant il est impossible de changer une information sur l'écran sans avoir au préalable effacé tout l'écran, ce qui dans le cas d'affichage de texte n'est pas très pratique ; Comme nous réalisons un interface, graphique nous avons utilisé un écran rémanent le T 4002.

MODES D'AFFICHAGE

Il existe essentiellement

- Mode alphanumérique
- Mode semi graphique
- Mode graphique

L'affichage peut se faire par point ou par vecteurs.

Dans le cadre de notre réalisation, nous avons procédé à un interfaçage entre une Unité centrale (à base du MC.6800) et un support de visualisation à écran rémanent le T.4002.

A. UNITE CENTRALE.

Le système de développement utilisé et l'exorciser, c'est un micro-ordinateur dont l'Unité centrale est organisée autour de l'Unité microprocesseur MC 6800 (voir annexe).

L'exorciser avec son programme moniteur, l'exburg est utilisé pour évaluer ou mettre au point un programme ou un système en développement.

L'exburg permet à l'utilisateur de :

- * charger son programme dans l'exorciser.
- * vérifier que son programme est bien chargé.
- * sortir le contenu d'une zone mémoire sur télécype.
- * utilisant la fonction MAID il peut tester et dérouler un programme soit en entier soit pas à pas.

B. PRINCIPE DE LA REMANENCE DU MONITEUR DE VISUALISATION.

En plus des fonctions normales d'un oscilloscope, le TG 111 possède une caractéristique qui le distingue des autres oscilloscopes classiques, qui est le pouvoir de mémorisation du tracé de l'écran.

1) - STRUCTURE DU TUBE A MEMOIRE.

Le TG 111 consiste essentiellement en un canon d'écriture avec plaques de déviation, 2 canons d'arrosage uniforme de l'écran avec flux constant, un collimateur pour la mise en forme et l'accélérateur du nuage d'électron, une grille collectrice, une grille mémoire et l'écran phosphorescent.

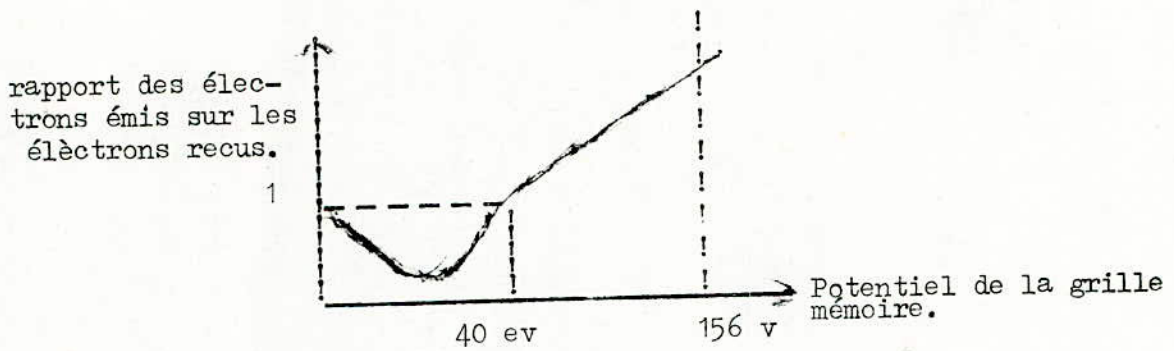
... / ...

2) - PRINCIPE DE LA MEMORISATION.

La tension du collimateur est ajustée de telle façon que le nuage d'électrons du canon d'arrosage arrive à travers la grille et la surface mémoire et touche l'écran avec une petite intensité.

PROPRIETE DE LA SURFACE MEMOIRE

Un côté de la grille mémoire est revêtu d'un matériau non conducteur qui est le support de stockage de l'information le principe de stockage est le suivant.



La courbe qui précède montre la variation du rapport des électrons quittant la surface sur les électrons arrivant sur la surface, et ceci en fonction du potentiel de la grille mémoire.

A une énergie de 40 eV, le nombre d'électrons arrivant est égal à celui des électrons quittant la surface.

Pour une énergie des électrons bombardant la surface mémoire plus grande que 40 ev, le potentiel de la grille mémoire augmente puisque la surface perd beaucoup plus d'électrons qu'elle n'en gagne.

... / ...

Quand le spot d'écriture touche la surface mémoire avec une énergie de plus de 40 ev, le potentiel de la surface mémoire en ce point augmente et atteint approximativement 0v, ce qui permet au champ créé par le potentiel élevé du post-accélérateur de capturer le nuage d'électrons en ces points tel que la trace mise en mémoire apparaisse sur l'écran.

- 3) - L'AMPLIFICATEUR X : amplificateur de signaux, destiné à produire une déflexion horizontale, la tension à l'entrée est limitée à ± 3 V

- 4) - L'AMPLIFICATEUR Y : amplificateur de signaux, destiné à produire une déflexion verticale, la tension à l'entrée est limitée à ± 3 V

- 5) - L'AMPLIFICATEUR Z : amplificateur pour signaux, destiné à envoyer ou à arrêter le faisceau d'écriture.

+ + + + + + + + +
I N T E R F A C E +
+ + + + + + + + +

INTERFACE

Un microprocesseur ne peut commander directement un périphérique, une carte interface composée généralement de plusieurs circuits intégrés est nécessaire entre le microprocesseur et le périphérique. Cet interface aura pour rôle, d'établir une compatibilité entre les lignes entrées-sorties du microprocesseur et celles du périphérique.

Pour transmettre des données vers un périphérique, nous disposons de deux modes

- mode parallèle
- mode série

Les différences qui les distinguent, résident dans la vitesse de transmission et dans la taille du bus de liaison (nombre de fils nécessaires)

Dans le cadre de notre travail nous utilisons le circuit d'interface MC 6821 ou PIA puisque notre choix est basé sur le mode de transmission parallèle des données.

Il est à noter aussi que le moniteur de visualisation traite les informations du type analogique, ce traitement analogique d'une suite de nombres nécessite donc, une conversion numérique - analogique.

L'interface d'entrée-sortie parallèle ou PIA

L'importance de ce circuit dans notre réalisation nous pousse à faire une brève présentation de celui-ci, une étude (d'art) détaillée est en annexe.

Le PIA M C 6821 fournit un moyen universel d'interface des appareils périphériques, il permet de gérer les entrées-sorties relatives aux périphériques et, de synchroniser l'ensemble microordinateur-périphérique.

Organisation interne (voir schéma interne) SCHEMA 1 D

Ce circuit permet de communiquer avec l'extérieur par l'intermédiaire de deux bus bidirectionnels de huit bits ($PA_0 - PA_7$, $PB_0 - PB_7$) ; il est divisé en deux parties symétriques indépendantes : le port A et le port B. Chaque port comprend trois registres

- un registre de données périphériques : O R A (O R B)
- un registre de contrôle : C R A (C R B)
- un registre de direction des données : DDRA (DDRB).

Dans chaque port, les registres OR et DDR représentent une seule position mémoire pour le microprocesseur, la sélection entre les deux est opérée par l'état du bit 2 du registre de contrôle.

Le dialogue avec ce circuit et ce qui est relié aux lignes d'entrées-sorties du PIA se fait donc par des lectures et des écritures à ces quatre positions mémoires

Liaison microprocesseur - PIA (voir schéma) SCHEMA I

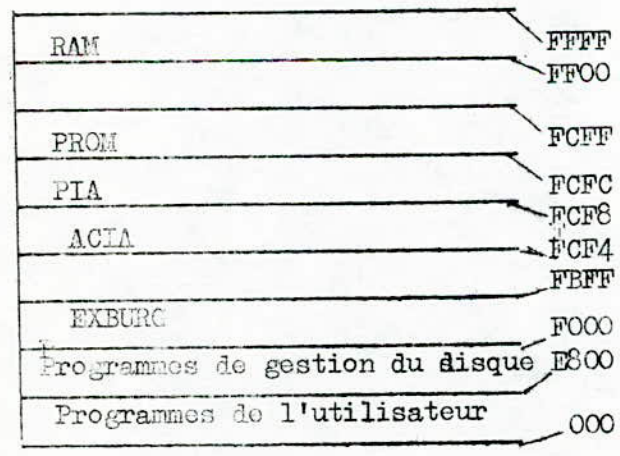
La communication avec le moniteur de visualisation nécessite un certain nombre de lignes qui ne peuvent être fournies par un seul PIA, on est donc amené à utiliser deux PIA pour la réalisation de la carte interface.

Notre interface reçoit durant chaque microopération les 16 kits d'adresse A₀ - A₁₅ ainsi que les signaux ϕ_2 , R/W et VMA respectivement d'horloge, de lecture-écriture et d'adresse mémoire valide.

Les données de chaque PIA sont reliées à D₀ - D₇ du microprocesseur par l'intermédiaire de buffers qui permettent l'adaptation, l'amplification de ces données et; l'orientation du transfert des données car le bus est bidirectionnel.

Adressage des PIA

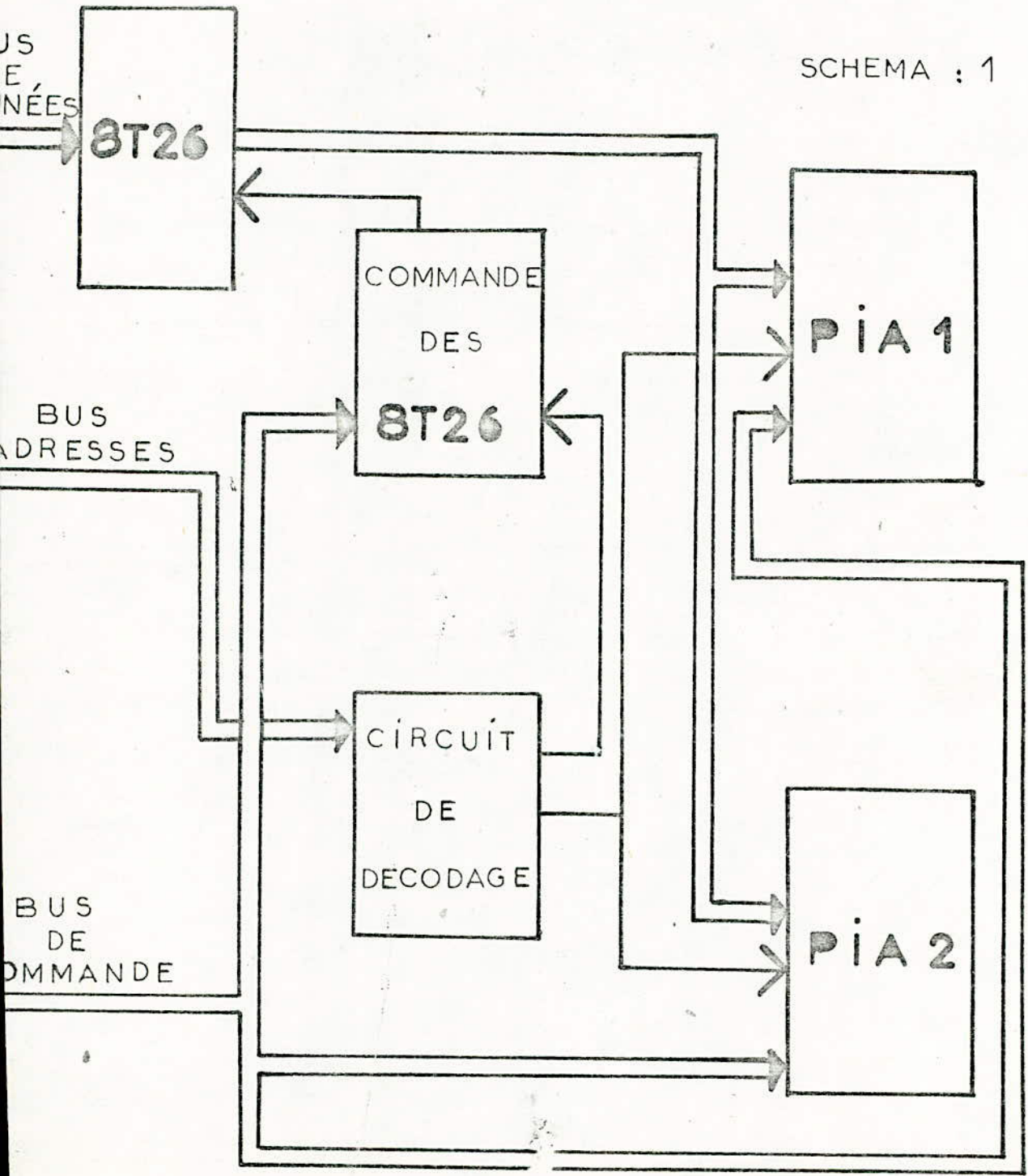
Notre système de développement étant l'exociser ; l'organisation mémoire de ce système est la suivante :



SCHEMA SYNOPTIQUE

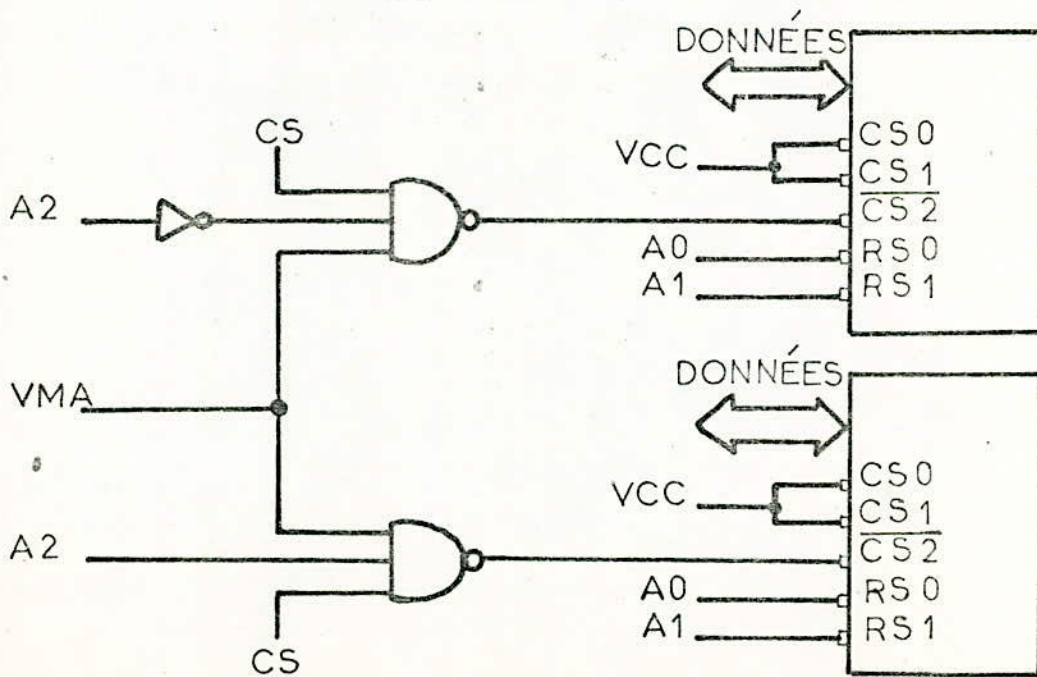
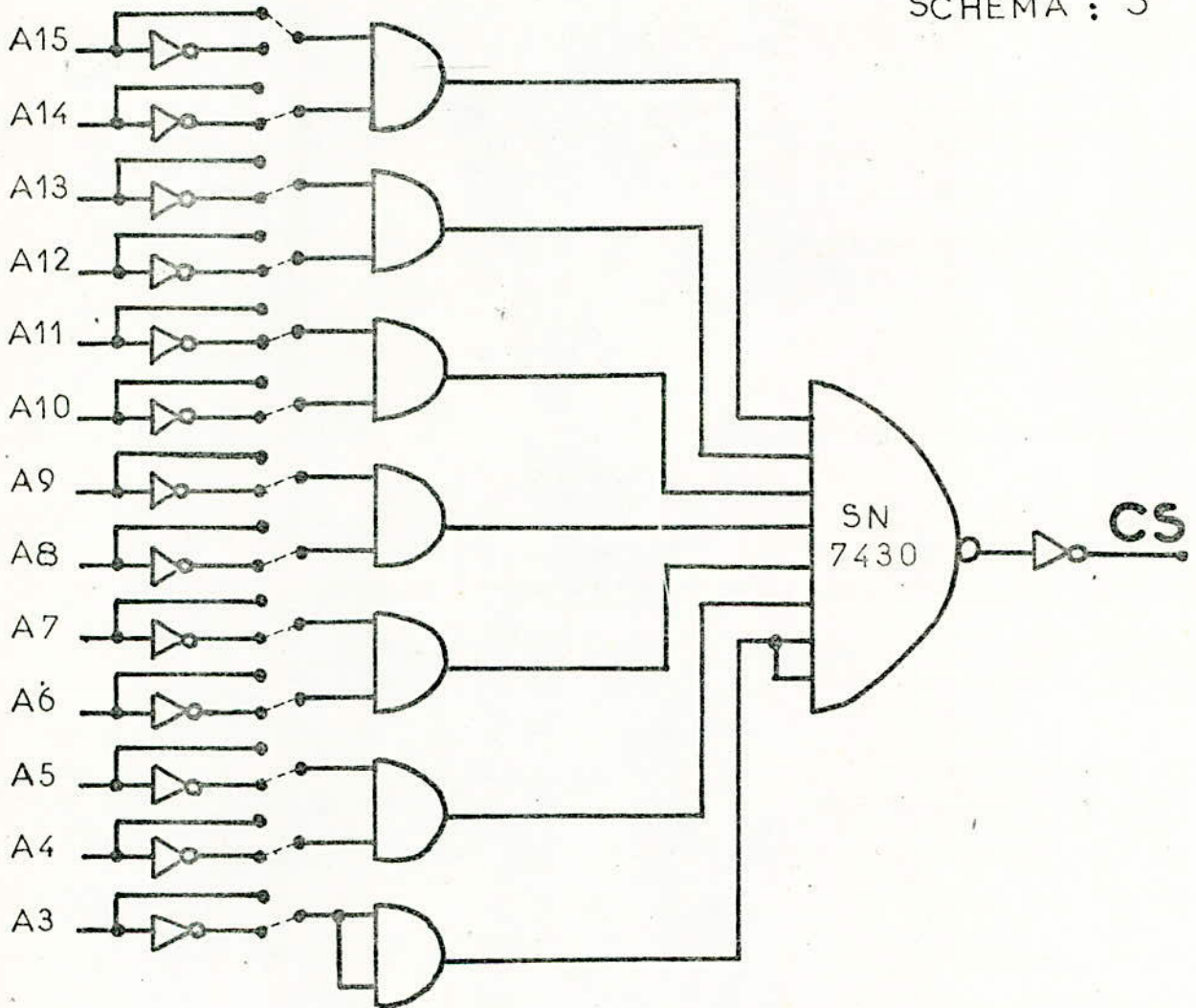
MPU_PIA.

SCHEMA : 1



DÉCODAGE D'ADRESSES

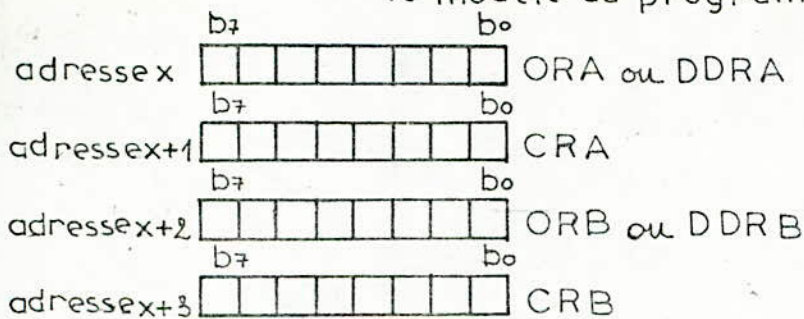
SCHEMA : 3



PIA 1

PIA 2

le modèle du programmeur du PIA



SCHEMA : 2

fonction des bits du registre de contrôle

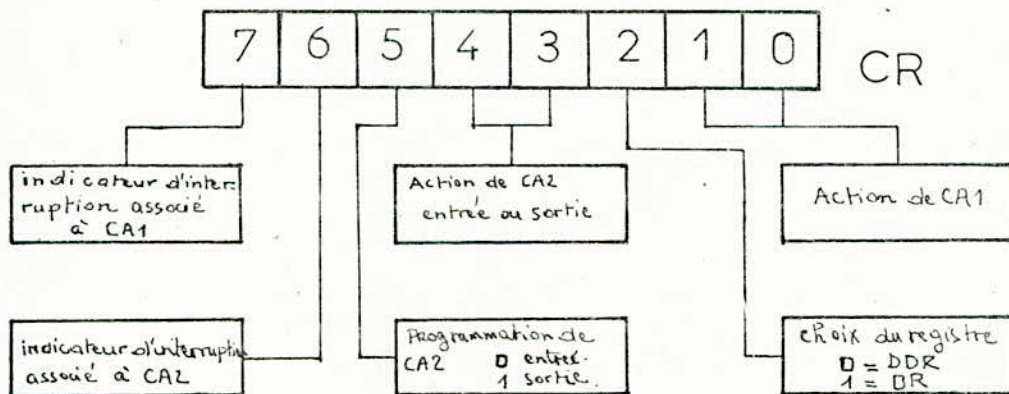


TABLEAU POUR LA SELECTION DES REGISTRES INTERNES

CS0	CS1	$\overline{CS2}$	RS1	RS0	b2	registres sélectionnés
1	1	0	0	0	0	DDRA
1	1	0	0	0	1	ORA
1	1	0	0	1	x	CRA
1	1	0	1	0	0	DDRB
1	1	0	1	0	1	ORB
1	1	0	1	1	x	CRB

Etant donné cette organisation de la mémoire, nous fixerons les adresses comme suit :

PIA (I)	8000	PIA (II)	8004
	8001		8005
	8002		8006
	8003		8007

Le PIA 6821 à trois lignes de sélection ; CS0, CS1 et $\overline{CS2}$ qui permettent de sélectionner le chip.

On remarque (schéma) que pour le PIA (I) le $\overline{A2}$ est constamment à "0", et à l'état "1" pour le PIA (II).

Pour sélectionner nos PIA nous n'utiliserons que le PIA $\overline{CS2}$ en mettant CS0 et CS1 à + 5V.

Le $\overline{A2}$ suivant son état 0 ou 1 est utilisé pour sélectionner un des PIA. Pour adresser les registres internes du PIA, les 2 lignes RSO, RS1 sont reliées respectivement à A0, A1, ce qui place les 4 registres des PIA les uns à la suite des autres.

les 13 lignes d'adresse A3 - A15 représentent les lignes d'entrées du circuit de décodage.

Circuit de décodage

Pour une souplesse d'utilisation de notre interface, nous avons utilisé un adressage translatable (voir schéma).³

Après décodage des lignes A3 - A15 nous obtenons en sortie le signal CS qui suivant son état haut ou bas permet la sélection ou la non sélection d'un des PIA.

Pour décoder nos adresses, nous avons utilisé des portes AND 7408, et une porte NAND à (7430) faute de porte NAND à 13 entrées (7433). VOIR ANNEXE

Sélection des PIA

La sélection d'un des PIA se fait par l'intermédiaire de trois signaux CS, \overline{VMA} , A2 ou $\overline{A2}$.

CS étant à l'état haut

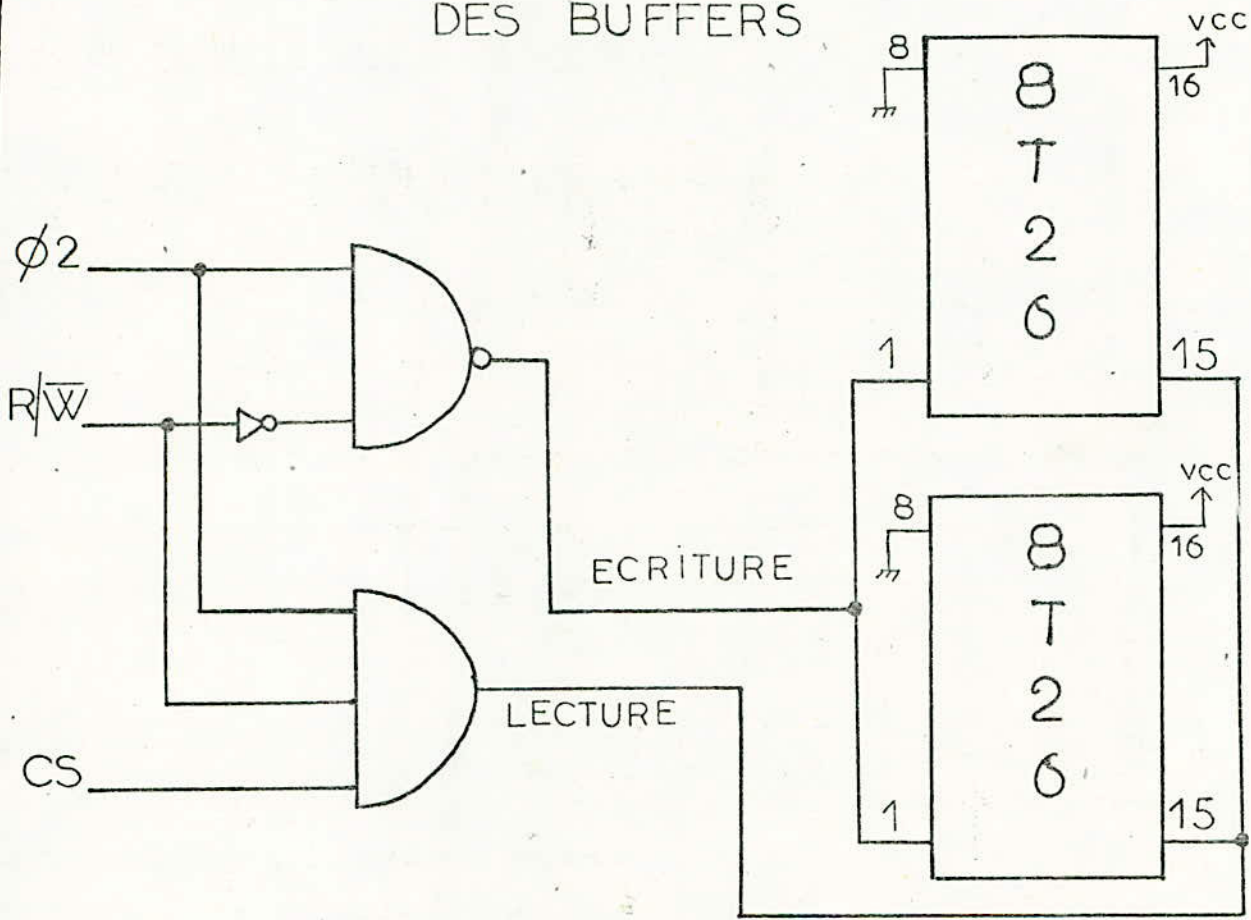
\overline{VMA} à l'état bas (voir schéma).³

Logique de commande des buffers de données

Sur le bus du système, les données sont en logique négative, pour limiter la consommation. Donc il faudra inverser les données à la sortie ou à l'entrée des chips.

DISPOSITIF DE VALIDATION DES BUFFERS

SCHEMA : 4



CS	R/\overline{W}	$\phi 2$	broche "1"	broche "15"	état des buffers 8T26
1	0	1	0	0	ECRITURE
1	1	1	1	1	LECTURE
1	0	0	1	0	HAUTE IMPEDANCE
1	1	0	1	0	HAUTE IMPEDANCE

Comme le bus de données est relativement long et les chips même à l'état haute impédance, représentent un courant de fuite, il faudra donc amplifier le bus données.

On utilisera compte tenu des remarques précédentes un amplificateur à trois états, inverseur qui est le MC 8T26.

Les lignes de données, étant au nombre de 8, deux circuits MC 8T26 sont donc nécessaires.

Le 8T26 doit être commandé de façon à être :

- Passant dans le sens interface - MPU
- Passant dans le sens MPU - interface
- ou à l'état haute impédance.

Une logique de commande est appliquée aux broches "1" et "15" des MC 8T26.

La broche "1" valide la réception de données du périphérique donc l'émission du MC 6800 : dans ce cas on a une écriture.

La broche "15" valide le transfert des données du périphérique donc la réception de données du MC 6800 : on a donc une lecture.

Circuit de l'écriture-lecture :

Ce circuit détermine s'il faut autoriser un transfert ou une réception de données, suivant qu'il reçoit un ordre de lecture ou d'écriture.

Les commandes appliquées aux broches "1" et "15" seront synchronisées avec l'horloge.

R/\bar{W} permet de fixer le sens de transfert des données.

- Opération d'écriture :

L'opération d'écriture n'a lieu que si $R/\bar{W} = 0$ le signal $\phi 1$ à l'état haut. Le signal $\bar{C\bar{W}}$ de commande d'écriture résulte de la réunion de ces deux signaux (voir schéma). 4

$\bar{C\bar{W}}$ valide l'écriture et est appliqué à la broche "1" des 8T26 : $\bar{C\bar{W}} = R/\bar{W} \cdot \phi 1$

- Opération de lecture :

L'opération de lecture dépend des signaux CS, $\phi 2$, R/\bar{W} ainsi elle synchronise le transfert des données et la sélection du PIA adressé.

Cette opération n'a lieu que si :

- $\phi 2$ est l'état haut
- $R/\bar{W} = 1$
- Présence du signal CS (voir schéma) 4

CR valide la lecture est, appliqué à la broche "15"

$$\bar{C\bar{R}} = \phi 2 \cdot R/\bar{W} \cdot CS$$

- Table de vérité de la commande des 8T26 (voir schéma). 4

Liaison PIA - CNA - VISA

Généralités

La conversion numérique analogique :

Les systèmes de traitement de l'information peuvent se décomposer en systèmes analogiques et numériques.

- Les systèmes analogiques ont des paramètres qui varient de façon continue (température, vitesse)
- Les systèmes numériques travaillent sur des variables discrètes appelées nombre.

Convertisseur numérique analogique : CNA

Un convertisseur numérique analogique est un dispositif qui reçoit une information sous forme d'un mot de n bits et qui la transforme en un signal analogique : c'est donc un système hybride.

Un CNA fait correspondre à l'une des 2^n combinaisons binaires possibles à l'entrée (correspondant à un signal d'entrée de n bits) une, parmi 2^n tensions discrètes obtenues à partir d'une tension de référence V_{ref} , la loi de correspondance peut être quelconque, mais habituellement on adopte la relation binaire naturelle et, une variation linéaire

Il existe plusieurs sortes de CNA, certains fournissent une tension et d'autres un courant, certains possèdent une référence interne, alors que pour d'autres il faut l'appliquer extérieurement, certains fournissent une tension de sortie unipolaire, tandis que d'autres acceptent des codes bipolaires, dans certains cas le signal d'entrée peut se présenter sous forme série, dans d'autres cas le signal d'entrée apparaît sous forme parallèle, la conversion des différents bits s'effectue en même temps (cas des CNA parallèles)

Soit N le nombre entier que l'on veut convertir (ou décoder) il peut s'écrire

$$N = d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_0 2^0$$

Par définition il lui correspond, une quantité analogique

$$A = q (d_{n-1} 2^{n-1} + d_{n-2} 2^{n-2} + \dots + d_0 2^0)$$

q est la quantité élémentaire analogique, sa valeur est choisie en fonction de l'utilisation

d_{n-1} est le bit M S B (Most significant bit)

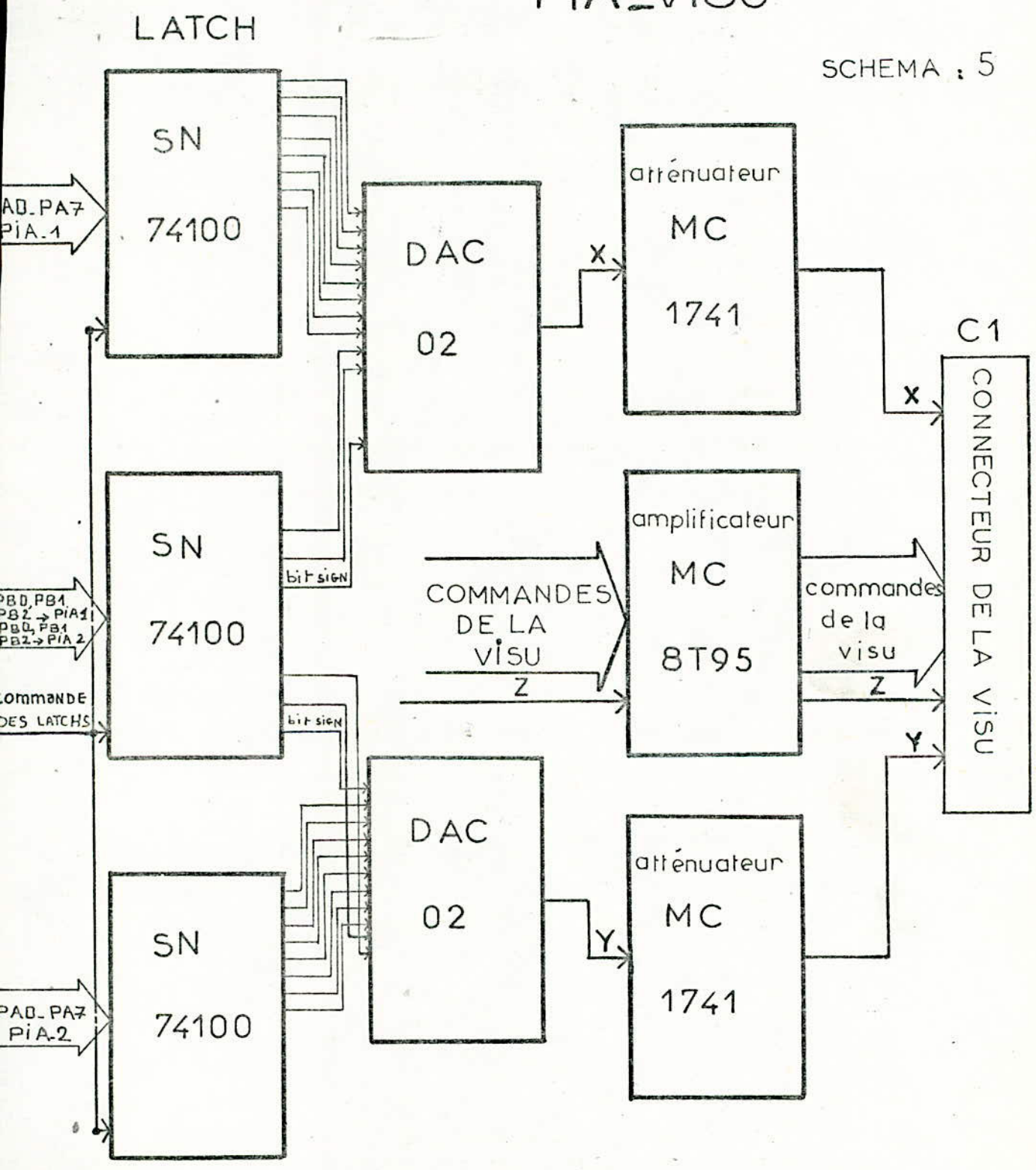
d_0 est le bit L S B (Last significant bit)

.../...

SCHEMA SYNOPTIQUE :

PIA_VISU

SCHEMA : 5



On remarque que l'information numérique N est maximale lorsque tous les bits d_i sont égaux à 1. L'information analogique qui lui correspond sera alors $V_M = (2^{n-1} + 2^{n-2} + \dots + 2^0) \cdot q = (2^n - 1) \cdot q$

La valeur analogique autre que zéro ne peut être que :

$$V_m = 1 \cdot q = q$$

Enfin, comme on l'a déjà précisé, le groupement des n bits peut donner 2^n expressions différents, puisque d_i peut prendre 2 valeurs (0 et 1) et que chaque rang a un poids bien précis.

En définitive, l'expression numérique de n bits :

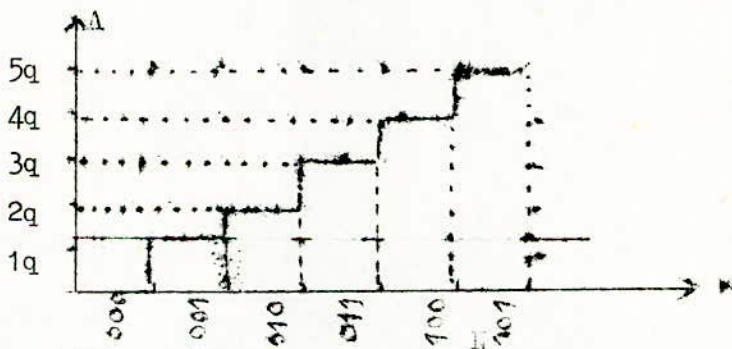
$$N = d_{n-1} d_{n-2} \dots d_1 d_0$$

peut représenter 2^n valeurs différentes. L'expression analogique qui lui correspond, après conversion, pourra donc prendre les 2^n valeurs comprises entre 0 et $v_m = (2^n - 1) \cdot q$ à savoir :

$$0, q, 2q, \dots, (2^n - 1) \cdot q$$

que l'on peut écrire $V_s = i \cdot q$ avec $0 \leq i \leq 2^n - 1$ (i entier)

La figure -dessous représente la courbe de transfert permettant le passage de l'information numérique à l'information analogique correspondante



Cette courbe idéale met bien en évidence deux caractéristiques importante :

- 1) A chaque accroissement + 1 de l'information numérique correspond un accroissement + q de l'information analogique
- 2) Seul un nombre limité de valeurs analogiques peuvent être délivrées par un C N A : 2^n pour une information de n bits

- Paramètres caractéristiques d'un C N A

Un convertisseur numérique analogique a des caractéristiques bien précises, il est donc important de définir ces caractéristiques car ce sont ces grandeurs que fournit le constructeur

a) La fonction de transfert idéale (sans erreur) d'un C N A

Elle est donnée par $V = V_{ref} \cdot \frac{N}{2^n}$ soit $V = V_{ref} \left(\frac{dn_1 - 1}{2} + \frac{dn_2 - 2}{2^2} + \dots + \frac{dn_n}{2^n} \right)$

V_{ref} représente l'étendue complète de la tension de sortie appelée aussi pleine échelle.

b) L'amplitude de la tension max

Elle correspond à la variation maximale de la tension de sortie lorsque tous les bits passent de l'état 0 à l'état 1

- pour un CNA unipolaire

$$V_{max} = V_{ref} \left(\frac{2^n - 1}{2^n} \right) = V_{ref} \left(1 - \frac{1}{2^n} \right)$$

- pour un CNA bipolaire

$$V_{max} = V_{ref} \left(2 - \frac{1}{2^n} \right)$$

en regardant ces 2 expressions et la formule donnant la valeur de la tension V , on s'aperçoit que la tension de sortie ne peut jamais atteindre la valeur V_{ref}

c) La résolution d'un C N A

Cette caractéristique est donnée par le nombre de bits que le convertisseur peut accepter, c'est une donnée théorique, intrinsèque

Pour la définir, on se réfère habituellement à la pleine échelle.

La résolution définit l'amplitude de la plus petite variation de la tension de sortie que l'on peut obtenir, compte tenu du nombre de bits imposé à l'entrée, elle peut donc s'écrire

$$\text{résolution} = \frac{\text{quantum}}{\text{pleine échelle}} = \frac{V_{ref}/2^n}{V_{ref}} = \frac{1}{2^n}$$

Le quantum étant la plus petite quantité discernable $q = \frac{V_{ref}}{2^n}$

d) Le temps de conversion

Il permet de connaître la vitesse d'un C N A, et d'en déduire la fréquence maximale de conversion (c'est à dire le nombre maximal de conversion qu'il peut effectuer par seconde)

.../...

e) - LA DERNIERE CARACTERISTIQUE D'UN CNA EST SA PRECISION :

Elle se définit comme l'écart existant entre la valeur du signal obtenue en sortie et la valeur que prévoit la Théorie ou que l'on peut déduire de la fonction de transfert. La précision s'exprime en % de la pleine échelle, rarement en mv ou μ v.

Dans le cadre de notre réalisation nous avons utilisé un convertisseur parallèle direct (1; mot binaire est directement converti en un signal analogique).

LE CONVERTISSEUR NUMERIQUE - ANALOGIQUE : DAC 02

Le convertisseur DAC 02 est un convertisseur numérique, analogique parallèle direct. Il comporte sur un seul chip, tous les éléments d'un C.N.A. à savoir :

- . Le réseau de résistances
- . Les commutateurs de courant
- . La source de tension de référence
- . L'amplificateur de sortie
- . Un inverseur permettant le fonctionnement en bipolaire

Les caractéristiques principales et son schéma interne figurent sur le schéma. 6

PRINCIPE DE CONVERSION DU DAC 02

Le DAC 02 est basé sur le principe de conversion en échelle à réseau de résistances $R/2R$.

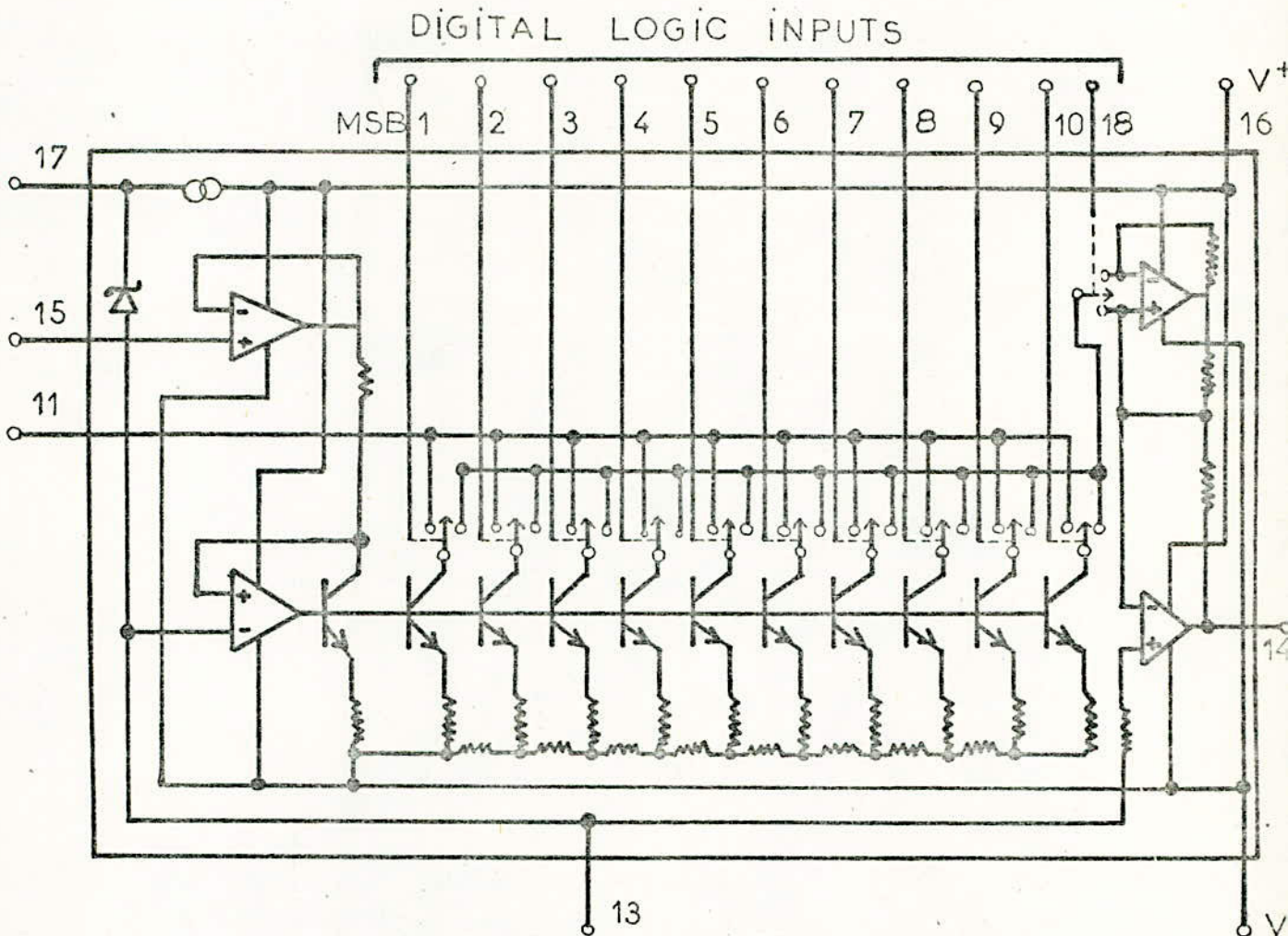
- . Le réseau $R/2R$ est utilisé pour la pondération des courants
- . Les sources de courant, constituées par des transistors appariés sont connectés, par la logique d'entrée soit à la masse (bits d'entrée à 0), soit à une ligne de sommation de courant (bits d'entrée à 1).

.../...

SCHEMA INTERNE D'UN DAC: 10BITS

DAC:02

SCHEMA : 6



- 11: DIGITAL GROUND
- 13: ANALOG GROUND
- 14: ANALOG OUTPUT
- 17: REFERENCE OUTPUT
- 15: REFERENCE INPUT
- 18: BIT DU SIGNE

complete includes reference and Op.Am
 compact single 18 Pin DIP Package
 bipolar output sign/Magnitude Coding
 fast 15µs settling Time
 stable full Scale Tempco 60 ppm/
 low power consumption 300mwMax
 TTL DTL CMOS compatible inputs

Operating Temperature Range	0°C to +70°C	Internal Reference Output Current	300µA
Storage Temperature Range	-65°C to +150°C	Reference Input Voltage	0 to +10V
V+ Supply to Analog Ground	0 to +18V	Internal Power Dissipation	500 mW
V- Supply to Analog Ground	0 to -18V	Lead Soldering Temperature	300°C (60 sec)
Analog Ground to Digital Ground	0 to ±0.5V	Output Short Circuit Duration	Indefinite
Logic Inputs to Digital Ground	-5V to (V+ - .7V)	(Short circuit may be to ground or either supply.)	

PAGE: A.

ELECTRICAL CHARACTERISTICS

These specifications apply for $V_S = \pm 15V$ and over the 0°C to +70°C temperature range, unless otherwise specified.

Parameter	Condition	GRADES AC, BC, CC			GRADE DD			Units
		Min	Typ	Max	Min	Typ	Max	
Resolution	Bipolar Output Unipolar Output	11 10	11 10	11 10	11 10	11 10	11 10	bits bits
Monotonicity (See Note 1)	0°C to 70°C Grade AC Grade BC Grade CC Grade DD	10 9 8	- - -	- - -	- - -	- - -	- - -	bits bits bits bits
Nonlinearity (See Note 1)	0°C to 70°C Grade AC Grade BC Grade CC Grade DD	- - - -	- - - -	+0.1 +0.1 +0.2	- - - -	- - - -	-0.4	% % % %
Settling Time	To ±1/2 LSB, 10 Volt Step	-	1.5	-	-	1.5	-	µsec
Full Scale Tempco	Total, Internal Reference Connected	-	-	+60	-	-	±150	ppm/°C
Full Scale Tempco	External Reference	-	±30	-	-	±30	-	ppm/°C
Reference Input Bias Current		-	100	-	-	100	-	nA
Reference Input Impedance		-	200	-	-	200	-	MΩ
Reference Input Slew Rate		-	1.5	-	-	1.5	-	V/µsec
Reference Output Voltage		-	6.7	-	-	6.7	-	V
Zero Scale Offset	Sign Bit High, All Other Logic Inputs Low	-	±5	±10	-	±5	±10	mV
Zero Scale Symmetry	X2 Models (±5V Full Scale) X1 Models (±10V Full Scale)	-	±1 ±1	±2.5 ±5	-	±1 ±1	±5 ±10	mV mV
Full Scale Bipolar Symmetry	(See Definitions) (See Note 2)	-	±30	±60	-	±30	±80	mV
Power Supply Sensitivity	$V_S = \pm 12V$ to $\pm 18V$	-	±0.015	±0.05	-	±0.015	±0.1	% V_{FS}/V
Power Dissipation	$I_{OUT} = 0$	-	225	300	-	225	350	mW
Logic Input Current	Each Input, -5V to (V+ - .7V)	-	1	-	-	1	-	µA
Logic Input "0"		-	-	0.8	-	-	0.8	V
Logic Input "1"		2.0	-	-	2.0	-	-	V
Full Scale Output Voltage	(See Note 3)							
±10 Volt Models	V_{FS+} (Sign Bit High) V_{FS-} (Sign Bit Low)	+10.0 -11.5	- -	+11.5 -10.0	+10.0 -11.5	- -	+11.5 -10.0	V V
±5 Volt Models	V_{FS+} (Sign Bit High) V_{FS-} (Sign Bit Low)	+5.00 -5.75	- -	+5.75 -5.00	+5.00 -5.75	- -	+5.75 -5.00	V V

- Le courant de sortie alimente un amplificateur courant/Tension inverseur ou non inverseur suivant le bit de signe.
- Une source de référence compensée en température est prévue, permettant le fonctionnement automatique du CMA
- La tension de référence fournie par l'ensemble diode Zener, résistance R réf. et l'ampli opérationnel permet, l'ajustage de la tension de sortie.

Le transistor T1 sert à régler automatiquement la tension sur la base des transistors T2 à T11 en cas de variation de température. Le courant Iref étant imposé et, supposé indépendant de la température, la tension de l'émetteur de T1 reste fixe. Si la température varie, la tension de sa base varie et donc, ainsi celles des bases de T₂ à T₁₁; ces transistors étant fabriqués ensemble sur une même pastille, sont très bien appariés et leur tension VBe variera de la même manière que celle de T1, ainsi leurs émetteurs resteront toujours au même potentiel et, la précision sera maintenue.

Les CMA parallèles acceptent la présence de signaux sur leurs entrées à tout instant ; chaque changement de bit, se traduit immédiatement par l'existence d'une nouvelle tension en sortie, la seule limitation provenant des temps de commutation. Les informations arrivant des PIA viennent sur les lignes PA₀ - PA₇, PBo, PB1, puisque la carte interface est conçue pour 10 bits. Les PIA n'étant pas adressés en même temps, les convertisseurs utilisés n'ayant pas la possibilité de mémoriser les informations, l'emploi de circuits Tampon est donc nécessaire, pour maintenir l'information permanente en sortie de chaque PIA pendant que l'information à l'entrée change. Les Enables des latches utilisés sont reliés ensemble à une même commande CB2 du registre de contrôle d'un PIA (CB2 programmé en sortie) ce qui nous permet, d'obtenir de deux données numériques en même temps, donc présentes en sortie en même temps.

MEMOIRE TAMPON OU LATCH

Les circuits utilisés sont des SN 74 100. Chaque circuit tampon est constitué de bascules D à verrouillage. (voir SCHEMA (4 ANNEXE))

A l'état haut, tous les états à l'entrée D sont transmis à la sortie Q. Quand l'horloge retourne à l'état bas, elle verrouille la sortie sur le dernier état enregistré. Le SN 74 100 contient 8 bascules D ; ces 8 bascules sont groupés par 4, les entrées d'horloge 12 et 23 seront alors reliées ensemble.

Les informations présentes à la sortie des PIA se retrouvent aux entrées des bascules D : ces bascules présentent à leurs sorties q donc, aux entrées des deux CNA, les informations qui se trouvent aux entrées D, dès que l'on envoie un niveau haut aux Enables reliées ensemble à une même commande CB2. Lorsque le niveau devient bas, les sorties se verrouillent et gardent l'état pris lors de la commande de verrouillage.

La carte réalisée est normalement conçue pour un convertisseur 10 bits, à défaut du DAC 02 (AC) 10 bits au niveau du laboratoire "service électronique", nous utilisons le DAC 02 (CC) 8 bits. Cette carte reste aussi valable pour 8 bits, cependant la définition sera moins bonne.

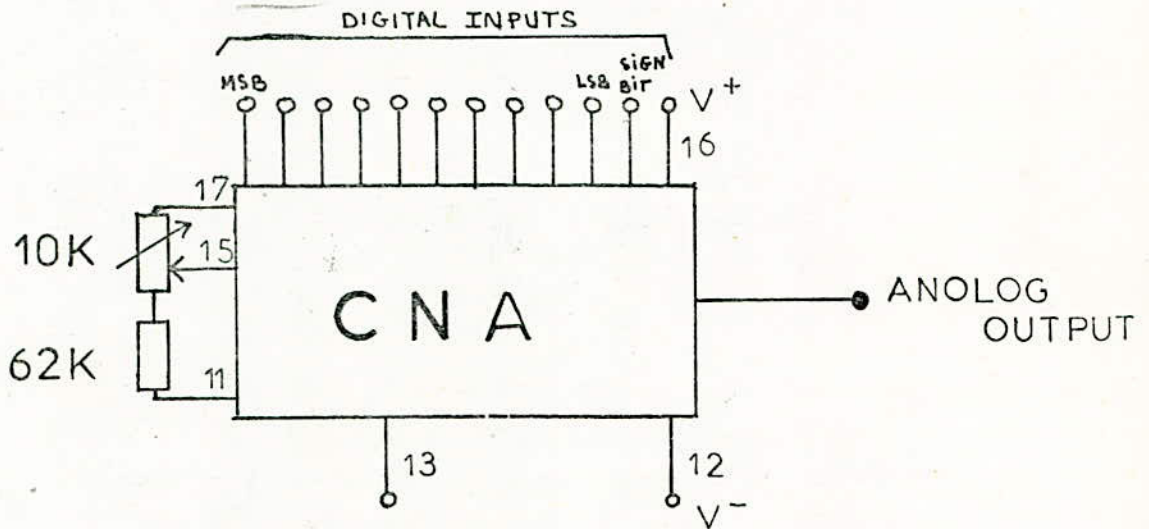
La tension de sortie étant légèrement inférieure à celle de référence, nous l'avons ajusté à + 9V, à l'aide d'un potentiomètre 10 K, en mettant tous les bits à 1 (voir schéma). 7

ATTENUATION DE LA TENSION DE SORTIE

Les tensions analogiques d'entrées sur la visu étant limitées ± 3 V et l'impédance d'entrée de cette visu étant faible, il est nécessaire d'utiliser un atténuateur à faible impédance de sortie .

AJUSTAGE DE LA TENSION DE SORTIE DES CNA

SCHEMA: 7.

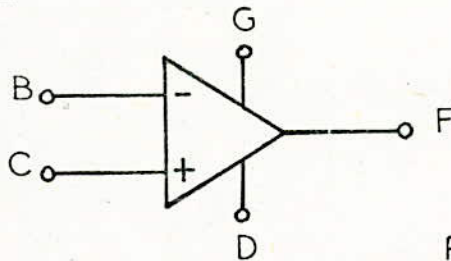
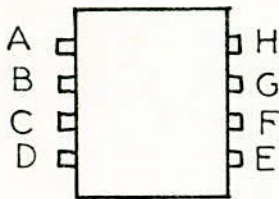


La tension de sortie du CNA peut être ajustée à l'aide du potentiomètre.
Dans notre cas on l'ajuste à 9V.

ATTENUATION DE LA TENSION DE SORTIE DES CNA

On utilise le MC 1741 qui ne nécessite pas de compensation en fréquence.

Brochage du MC 1741:

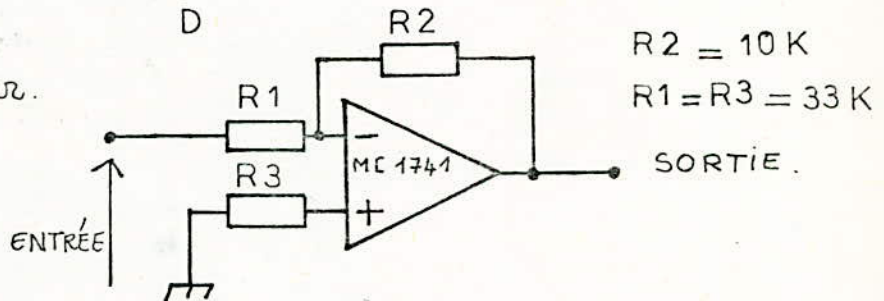


C: entrée non inverseuse.
B: entrée inverseuse.
G: V+
D: V-
F: Sortie.

Z_{in} : impédance d'entrée $\approx 1M\Omega$.
($f = 20Hz$)

Z_o : impédance de sortie $\approx 75\Omega$.
($f = 20Hz$).

$V^+ = +12$ volts, $V^- = -12$ volt.



$R2 = 10K$
 $R1 = R3 = 33K$

En sortie du MC 1741 on obtient $\frac{1}{3}$ de la tension d'entrée.

Le composant utilisé est le circuit intégré μA 741, nécessitant 2 alimentations distinctes. L'une d'elles est positive par rapport à la référence commune des entrées, tandis que l'autre est négative.

Ce circuit peut avoir plusieurs fonctions suivant ses applications

- Amplification
- Atténuation
- Adaptation

Le montage suivant nous permet d'atténuer la Tension de sortie à $\frac{1}{3}$ de sa valeur. (SCHÉMA)

Calcul du gain

L'impédance d'entrée de l'ampli étant très grande; le courant qui traverse R_1 , traverse R_2

Ce qui permet d'écrire $i_1 = i_2$

$$\begin{aligned} V_e &= R_1 i_1 \\ V_s &= R_2 i_2 \quad \rightarrow \quad A = \frac{V_s}{V_e} = - \frac{R_2}{R_1} \end{aligned}$$

Pour avoir $A = \frac{1}{3}$ on prendra $R_1 = 3 R_2$

soit: $R_1 = 33 \text{ K}$

$R_2 = 10 \text{ K}$

Pour l'obtention de tensions positives ou négatives à la sortie de nos convertisseurs, nous utiliserons le bit de signe du D A C qui suivant son état haut ou bas nous permet d'avoir en sortie, une tension négative ou positive.

Commandes de la visu : (T.4002).

Le contrôle de la "visu" se fait à l'aide 6 commandes :

- 1- Z
- 2- Remote ERASE
- 3- INTENSITY 2.
- 4- INTENSITY 3
- 5- $\overline{\text{VIEW}}$
- 6- $\overline{\text{ERASE INTERNAL}}$

Ces commandes sont amplifiées à l'aide du MC 8T95 (qui est un buffer unidirectionnel), avant d'être envoyé vers la visu.

La gestion de la visu se fait par programmation.

Table des commandes :

Commandes		Etats. de réponse
Z	CBU PIA(II)	Haut
$\overline{\text{Remote ERASE}}$	PB5 PIA(I)	BAS
INTENSITY 2	PB3 PIA(I)	Haut
INTENSITY 3	PB4 PIA(I)	Haut
$\overline{\text{VIEW}}$	PB4 PIA(I)	BAS
$\overline{\text{ERASE INTERNAL}}$	PB6 PIA(I)	BAS.

IV). PROGRAMMATION :

Notre programme essentiel concerne l'affichage en mode alphanumérique. Nous avons utilisé l'affichage par point.

Explication de l'organigramme principal :

Dans le cadre de notre réalisation nous avons utilisé des convertisseurs 8 bits. On peut donc avoir 256 sur une ligne élémentaire, et 256 points sur une colonne élémentaire. On a utilisé des matrices 7x9 au lieu de 7x5 pour avoir une meilleure définition du caractère. En prenant en considération l'inter-ligne et l'inter-caractère on obtient des matrices de 16x16 ce qui correspond, à la possibilité d'écrire 16 caractères sur une ligne d'écran et d'obtenir 16 lignes d'écran.

Durant le programme nous avons utilisé 4 registres :

0400 8 bits. Registre colonne.

0401 8 bits. Registre ligne.

0402 16 bits Registre I₁.

0404 16 bits. Registre I₂.

Pour le PIA (I) adresses de 8000 à 8003.

Pour le PIA (II) adresses de 8004 à 8007.

Le CB2 du PIA (I) commande des LATCH, si CB2 = 0 l'information n'arrive pas sur l'écran, si CB2 = 1 l'information arrive sur l'écran.

Le CB2 du PIA (II) représente Z, si CB2 = 0 \rightarrow Z = 0 \rightarrow l'information ne s'affiche pas, si CB2 = 1 \rightarrow Z = 1 \rightarrow l'information s'affiche.

Pour mémoriser l'information il faut mettre intensité à 1 donc : PB3 PIA (I) à 1

On peut prendre un exemple en affichant le 1 par exemple.

```
8 0 0 0 X 0 0 0
7 0 0 X X 0 0 0
6 0 X 0 X 0 0 0
5 0 0 0 X 0 0 0
4 0 0 0 X 0 0 0
3 0 0 0 X 0 0 0
2 0 0 0 X 0 0 0
1 0 0 0 X 0 0 0
0 0 X X X X X X
0 1 2 3 4 5 6
```

Dans la matrice caractères du 1 on charge
les couples de valeurs.

Ponts $(x,y) \rightarrow (1,0), (2,0), (3,0), (4,0), (5,0), (2,7)$
 $(3,1), (3,2), (3,3), (3,4), (3,5), (3,6), (3,7), (3,8)$.

On a considéré les caractères A à Z
les chiffres 0 à 9

et les commandes BS, HT, LF, VT, FF, FS, GS

BS : Retour d'une position à gauche.

BS \rightarrow SB5 : Pour faire un retour d'une position à gauche il faut documenter
le registre colonne d'une position

```
SB5: LDAA 0400
      DEC A
      STAA 0400
      RTS
```

HT : Retour d'une position à droite, on ~~inc~~ incrémente le registre colonne
d'une position.

```
SB6: LDAA 0400
      INC A
      STAA 0400
      RTS
```

LF : ~~Dec~~ Decrémente d'une position, on décrémente d'une position le registre
ligne.

```
SB7: LDAA 0401
      DEC A
      STAA 0401
      RTS.
```

VT: montée d'une position, ou inversement d'une position le registre ligne.

```
SB8: LDAA 0401
      DNCA
      STAA 0401
      RTS
```

FF: Effacement de la page et retour en Haut à gauche.
on met Z à zéro et on remet 00 dans le registre colonne
et 0F dans le registre ligne.

```
SB9: LDAA# $34
      STAA 8007
      CLR 0400
      LDAA# $0F
      STAA 0401
      RTS
```

FS: Retour du curseur en Haut à gauche.

```
SB10: CLR 0400
       LDAA# $0F
       STAA 0401
       RTS
```

GS: retour du curseur au début de ligne.

```
SB11: CLR 0400
       RTS
```

CODE ASCII

Pour la programmation nous avons utilisé le code ASCII. Nous n'en n'utilisons que certains caractères imprimables et certains caractères de commande.
(Ceci concerne le mode alphanumérique).

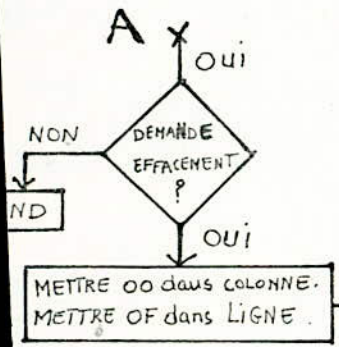
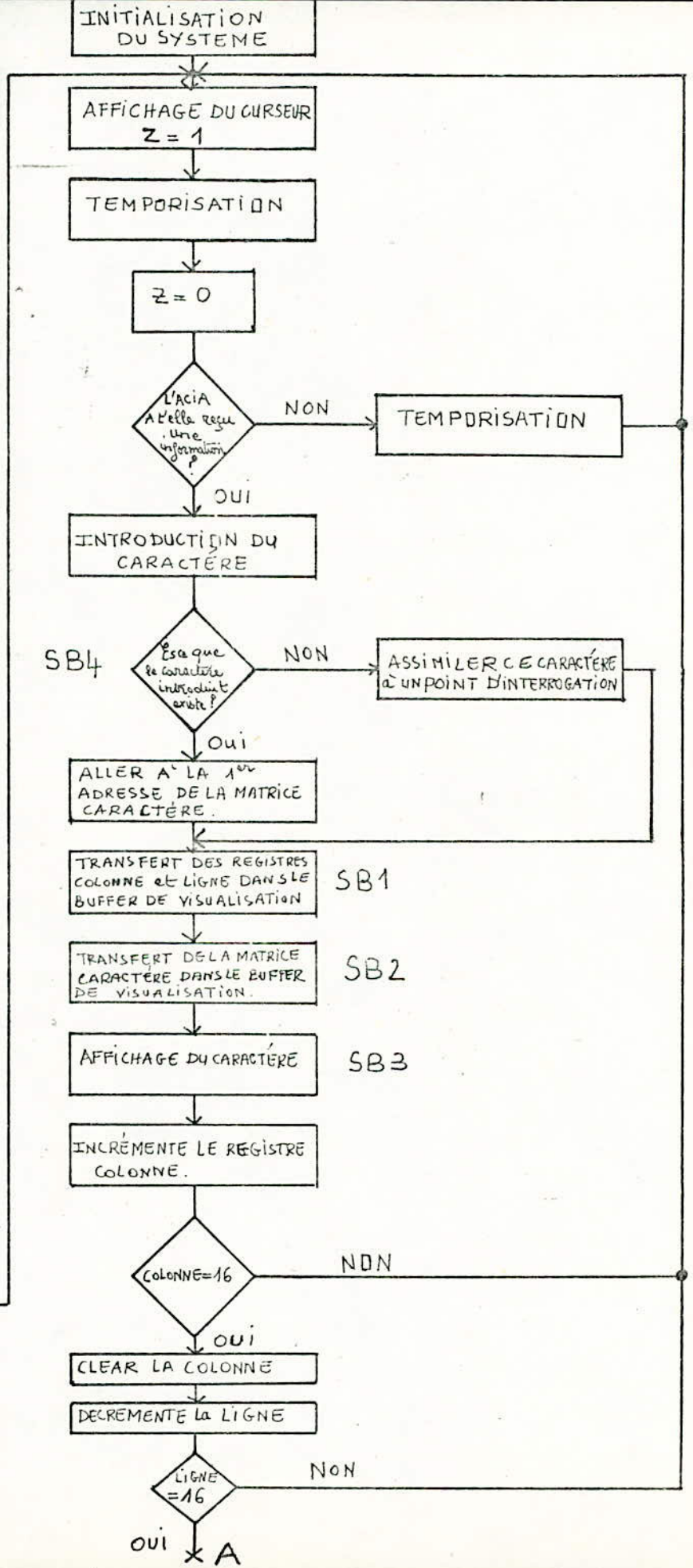
HEX MSD \ HEX LSD	0	1	2	3	4	5	6	7
0	NUL	DLE	SP	0	@	P	'	P
1	SOH	DC1	!	1	A	Q	a	q
2	STX	DC2	"	2	B	R	b	r
3	ETX	DC3	#	3	C	S	c	s
4	EOT	DC4	\$	4	D	T	d	t
5	ENQ	NAK	%	5	E	U	e	u
6	ACK	SYN	&	6	F	V	f	v
7	BEL	ETB	'	7	G	W	g	w
8	BS	CAN	(8	H	X	h	x
9	HT	EM)	9	I	Y	i	y
A	LF	SUB	*	:	J	Z	j	z
B	VT	ESC	+	;	K	[k	{
C	FF	FS	'	<	L	\	l	
D	CR	GS	-	=	M]	m	}
E	SO	RS	.	>	N	^	n	~
F	SI	US	/	?	O	_	o	DEL

HEX MSD = digit hexadécimal de plus fort poids.
HEX LSD = digit hexadécimal de plus faible poids.

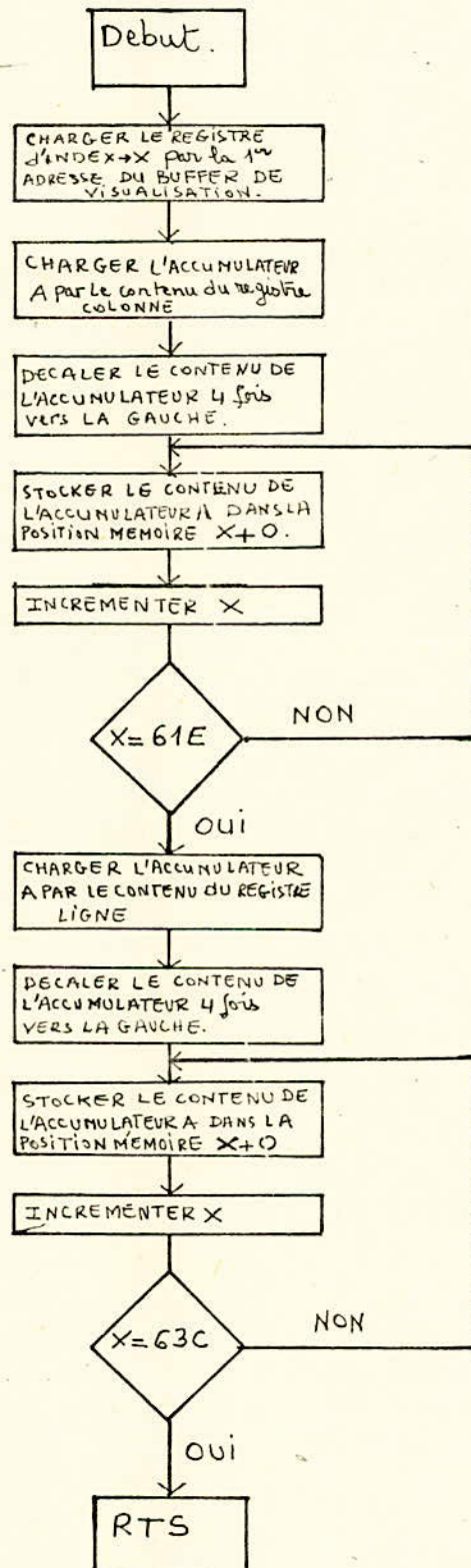
ADRESSES DES MATRICES CARACTERE

A	{ 1000 103B	O	{ 1348 1383.	o	{ 1618 1653
B	{ 103C 1077	P	{ 1384 13BF	1	{ 1654 1689
C	{ 1078 10B3	Q	{ 13C0 13FB	2	{ 1690 16CB
D	{ 10B4 10EF	R	{ 13FC 1437	3	{ 16CC 1707
E	{ 10FO 112B	S	{ 1438 1473	4	{ 1708 1743
F	{ 112C 1167	T	{ 1474 14AF	5	{ 1744 1779
G	{ 1168 11A3	U	{ 14B0 14EB	6	{ 1780 17BB
H	{ 11A4 11DF	V	{ 14EC 1527	7	{ 17BC 17F7
I	{ 11EO 121B	W	{ 1528 1563	8	{ 17F8 1833
J	{ 121C 1257	X	{ 1564 159F	9	{ 1834 1869
K	{ 1258 1293	Y	{ 15A0 15DB	SP	{ 1870 18AB
L	{ 1294 12CF	Z	{ 15DC 1617	curseur	{ 18B3 18EF
M	{ 12D0 130B				
N	{ 130C 1347				

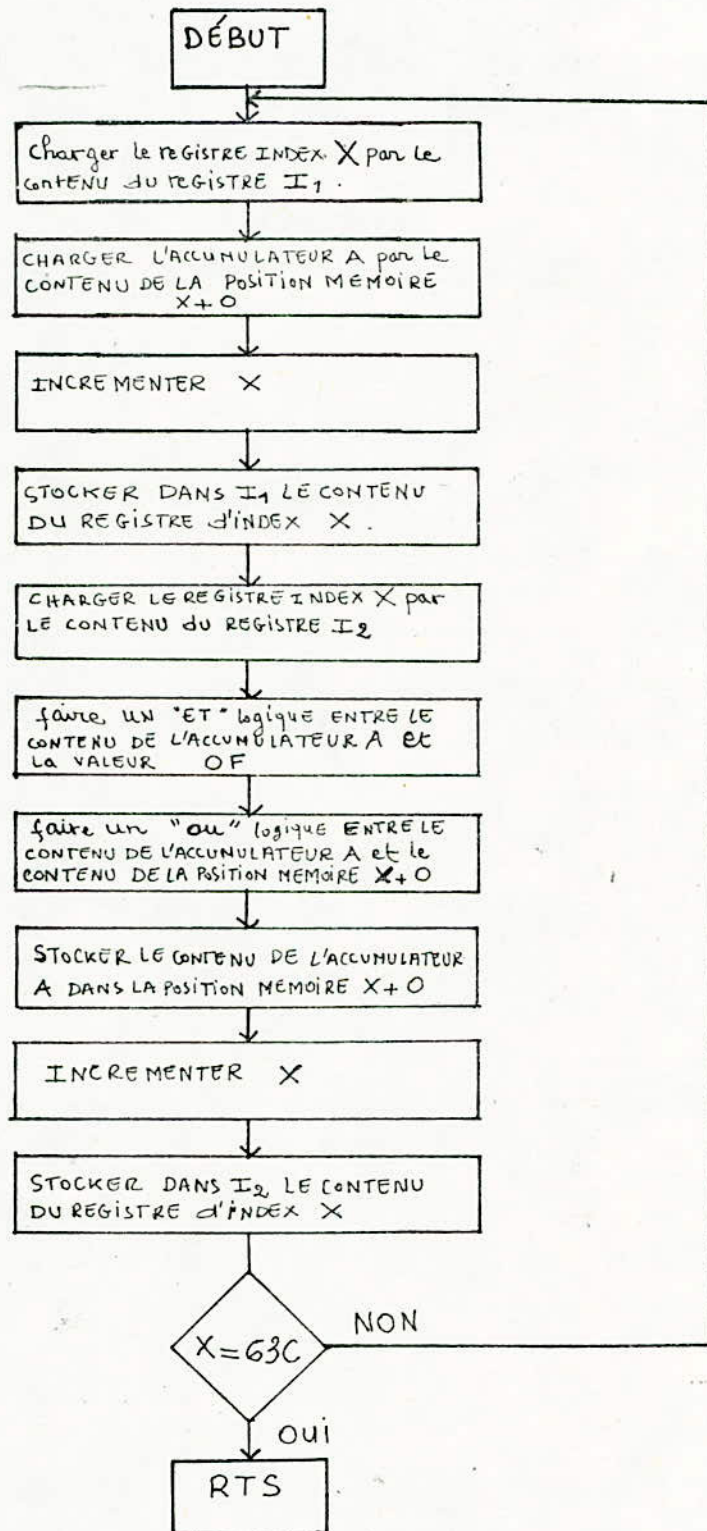
ORGANIGRAMME GÉNÉRALE POUR
L'AFFICHAGE EN MODE
ALPHA NUMÉRIQUE :



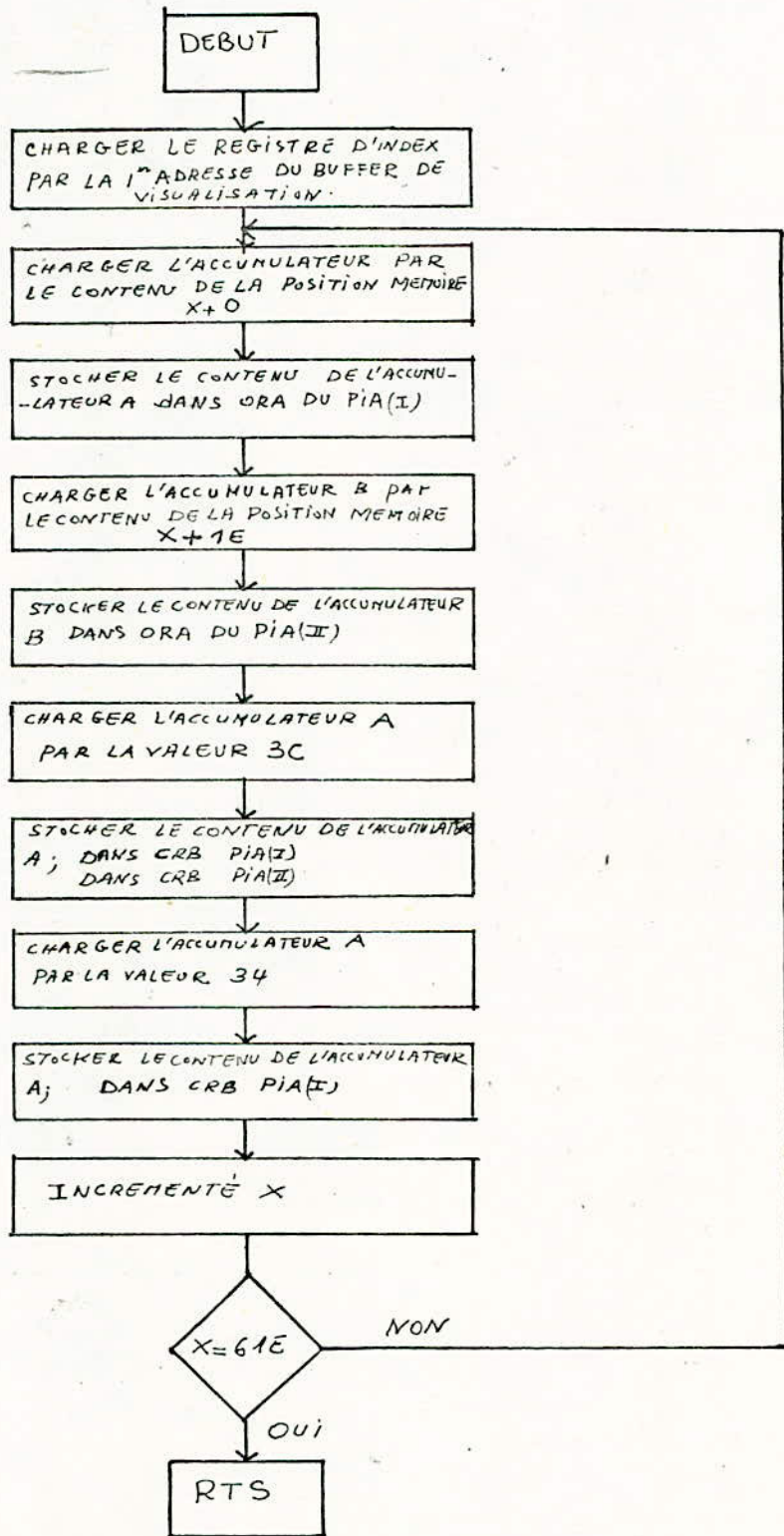
SB1: Subroutine de transport du pas colonne et ligne dans le buffer de visualisation.



SB2: Subroutine de transfert de la matrice caracté dans le buffer de visualisation.



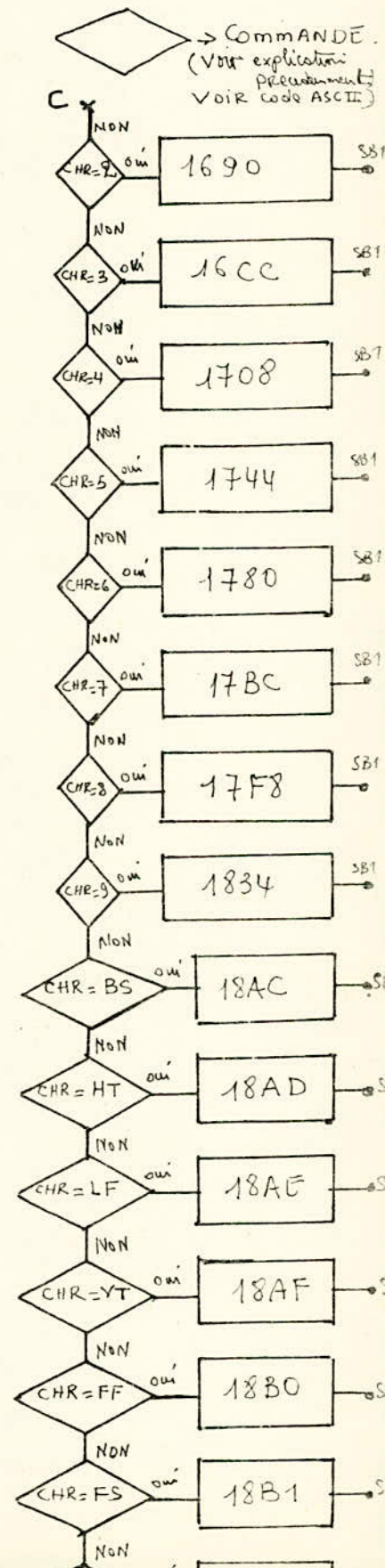
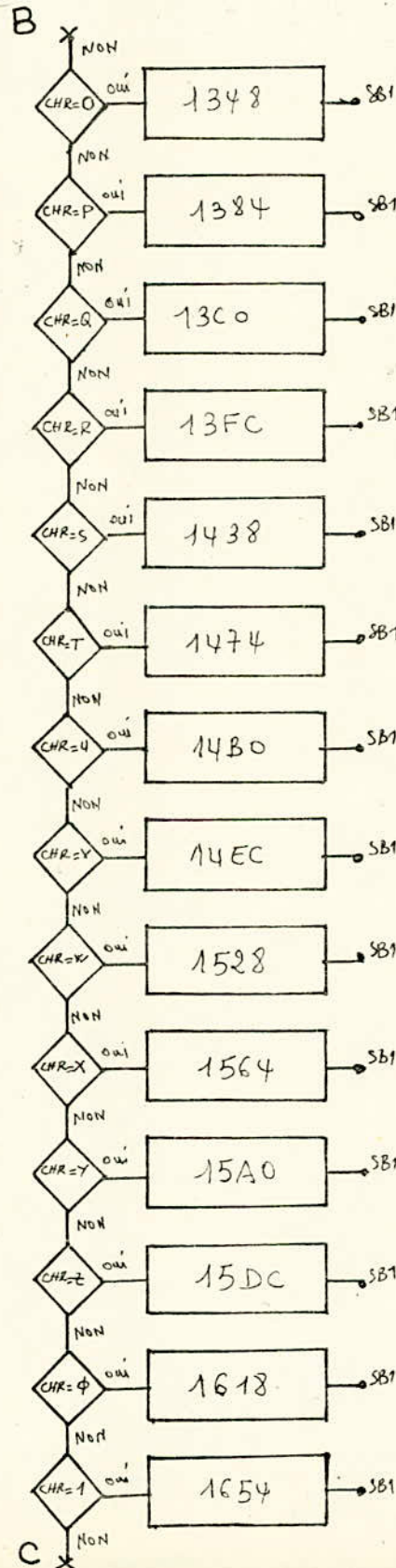
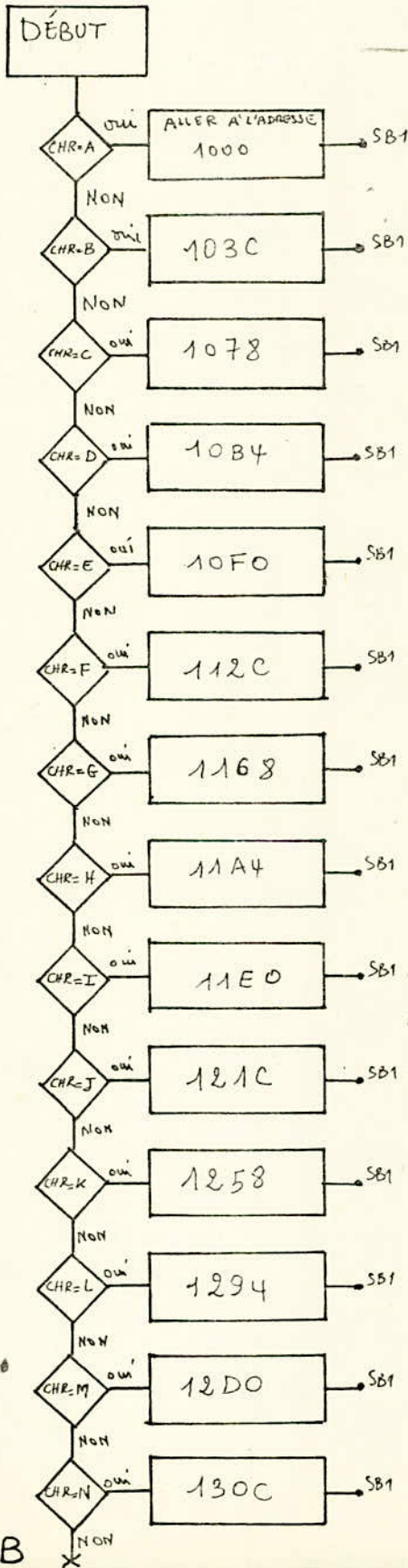
SB3 : Subroutine pour l'affichage d'un caractère.



SB4: Sous-routine Recherche du Caractère.

(CHR = caractère).

◇ → CHR AFFICHABLE



◇ → Commande.
(Voir explication précédemment voir code ASCII)

INITIALISATION DES PIA:

1^{ere} METHODE

LANGAGE ASSEMBLEUR:

CLRA
STAA 8001
STAA 8003
STAA 8005
STAA 8007
COMA
STAA 8000
STAA 8002
STAA 8004
STAA 8006
LDA A # \$ 34
STAA 8001
STAA 8005
STAA 8003
STAA 8007
SWI

LANGAGE MACHINE:

4F
B7 8001
B7 8003
B7 8005
B7 8007
43
B7 8000
B7 8002
B7 8004
B7 8006
86 34
B7 8001
B7 8005
B7 8003
B7 8007
3F

2^{eme} METHODE

LDX FF34
STX 8000
STX 8002
STX 8004
STX 8006

CE FF34
FF 8000
FF 8002
FF 8004
FF 8006

SB1: SUBROUTINE DE TRANSFERT DES REGISTRES LIGNE
ET COLONNE DANS LE BUFFER VISU

LANGAGE ASSEMBLEUR

LANGAGE MACHINE

	LDX	0600	0224 /	CE
	LDAA	0400	0225 /	06
	ASLA		0226 /	00
	ASLA		0227 /	B6
	ASLA		0228 /	04
	ASLA		0229 /	00
LP1	STAA	0,X	022A /	48
	INX		022B /	48
	CPX	061E	022C /	48
	BNE	LP1	022D /	48
	LDAA	0401	022E /	A7
	ASLA		022F /	00
	ASLA		0230 /	08
	ASLA		0231 /	8C
	ASLA		0232 /	06
LP2	STAA	0,X	0233 /	1E
	INX		0234 /	26
	CPX	063C	0235 /	022E; 0 F8
	BNE	LP2	0235 /	F8
	RTS		0236 /	B6
			0237 /	04
			0238 /	01
			0239 /	48
			023A /	48
			023B /	48
			023C /	48
			023D /	A7
			023E /	00
			023F /	08
			0240 /	8C
			0241 /	06
			0242 /	3C
			0243 /	26
			0244 /	023D; 0 F8
			0244 /	F8
			0245 /	39

SB2 : SUBROUTINE DE TRANSFERT DE LA MATRICE CHR
DANS LE BUFFER VISU

LANGAGE ASSEMBLEUR

LANGAGE MACHINE

LP3 LDX 0402
LDAA 0,X
INX
STX 0402
LDX 0404
ANDA \$0F
ORAA 0,X
STAA 0,X
STX 0404
CPX 063C
BNE LP3
RTS

0246 / FE
0247 / 04
0248 / 02
0249 / A6
024A / 00
024B / 08
024C / FF
024D / 04
024E / 02
024F / FE
0250 / 04
0251 / 04
0252 / 84
0253 / 0F
0254 / AA
0255 / 00
0256 / A7
0257 / 00
0258 / 08
0259 / FF
025A / 04
025B / 04
025C / 8C
025D / 06
025E / 3C
025F / 26
0260 / 0246;0
0260 /
0261 / 39

SB3 : SUBROUTINE D'AFFICHAGE D'UN CARACTERE

LANGAGE ASSEMBLEUR

LANGAGE MACHINE

LP4	LDX	0600	0300 / CE
	LDAA	0,X	0301 / 06
	STAA	8004	0302 / 00
	LDAB	1E,X	0303 / A6
	STAB	8000	0304 / 00
	LDAA#	\$ 3C	0305 / B7
	STAA	8007	0306 / 80
	LDAA#	\$ 34	0307 / 04
	STAA	8007	0308 / E6
	INX		0309 / 1E
	CPX		030A / F7
	BNE	LP4	030B / 80
	RTS		030C / 00
			030D / 86
			030E / 3C
			030F / B7
			0310 / 80
			0311 / 07
			0312 / 86
			0313 / 34
			0314 / B7
			0315 / 80
			0316 / 07
			0317 / 08
			0318 / 8C
			0319 / 06
			031A / 1E
			031B / 26
			031C / 0300; 0 E6
			031C / E6
			031D / 39

CONCLUSION :

Ce projet nous à permis de nous familiariser avec la micro-informatique, réalisant ainsi un complément à notre formation. Du point de vue pratique la réalisation d'une carte d'interface nous à permis de nous rendre compte des problèmes qui se posent à l'interfaçage de périphériques avec un système de développement à base de microprocesseur.

Le travail qui nous a été confié est intéressant, du fait qu'il ne s'applique pas à un domaine en particulier.

L'utilisation de convertisseurs 10 bites aurait permis une meilleure définition du caractère ou du graphe.

Nous avons prévu cette éventualité en réalisant une carte valable pour les CNA 8 bits ou 10 bits.

Du point de vue programmation, certains programmes peuvent être mis au point pour des applications au niveau du CEN.

+ A N N E X E +

DEFINITIONS

La C.A.O: La conception assistée par ordinateur est une application de l'informatique et de l'électronique qui permet d'élaborer grâce à l'ordinateur les éléments définissant l'objet à concevoir.

Dans cette optique, la machine manipule les données afin d'aboutir à une forme achevée de conception et traduit sous forme de dessins et d'images, les données nécessaires à la réalisation complète de cet objet.

L'informatique intervient à toutes les étapes de la conception elle permet à l'aérodynamicien de trouver la forme optimale d'une aile d'avion au thermicien de définir les procédés les plus efficaces de refroidissement d'un organe de moteur.

La simulation: Avec l'ordinateur le concept de simulation a pris un aspect nouveau qui en multiplie les applications et la facilité.

Simuler le réel, c'est en concevoir une représentation sur laquelle essais et mesures sont facilement réalisables. La simulation consiste au remplacement fonctionnel d'un équipement matériel par un programme.

L'équipement est alors "simulé" par le logiciel..

Le programme engendre les mêmes sorties que l'équipement en réponses aux mêmes entrées.

A- INTRODUCTION AU MICROPROCESSEUR MC 6800 :

A- 1.- HARDWARE DU 6800 :

A - 1.1.- CAPACTERISTIQUES :

Le MC 6800 est un microprocesseur (monolithique) se présentant sous forme d'un boîtier DIL (duax in line) de 40 broches constituant ses lignes d'entrées et sorties. Ce microprocesseur est un circuit intégré LSI de 2ème génération, réalisé en technologie MOS à canal N (NMOS). Il traite des mots de 8 bits et possède une capacité d'adressage de 64 K mots. Il nécessite une alimentation unique de + 5 V et sa consommation varie autour de 0,25 W. Il travaille à une fréquence de 1 MHz et est doté de la possibilité d'arrêt et d'exécution pas à pas d'un programme.

A- 1.2.- ORGANISATION INTERNE DU MC 6800 :

Le microprocesseur comprend essentiellement :

a)- UNE UNITE ARITHMETIQUE ET LOGIQUE (ALU) :

C'est l'ensemble des circuits combinatoires capables d'effectuer les opérations arithmétiques et logiques nécessaires au traitement des informations.

b)- Une Unité de contrôle et décodage :

Son rôle est de décoder et d'analyser les informations présentes dans le programme et les faire traiter par les organes exécutifs (ALU, ACCU ...) au rythme d'une impulsion d'horloge.

c)- Les registres internes :

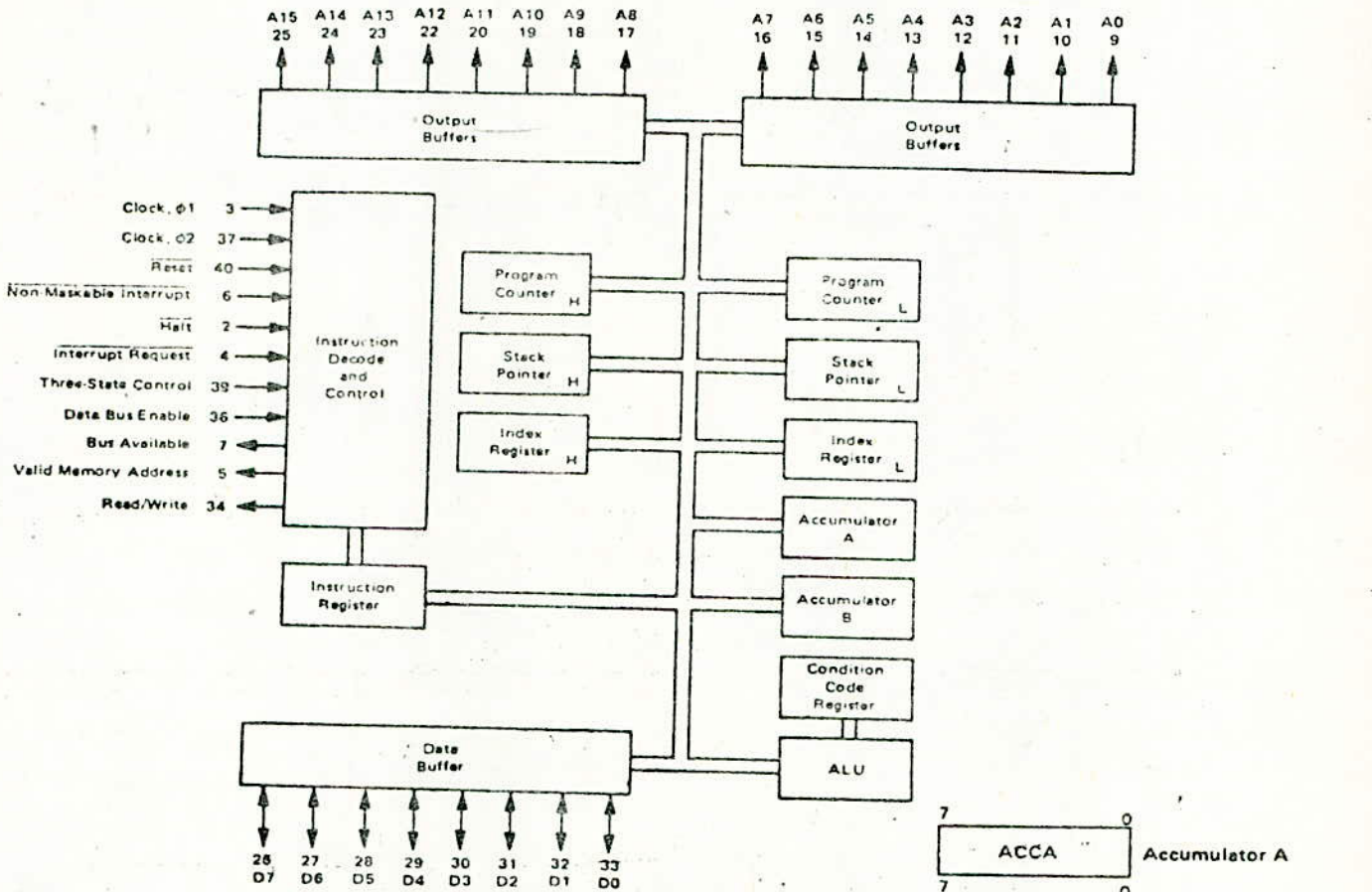
Ils sont au nombre de 7.

. Les accumulateurs A et B :

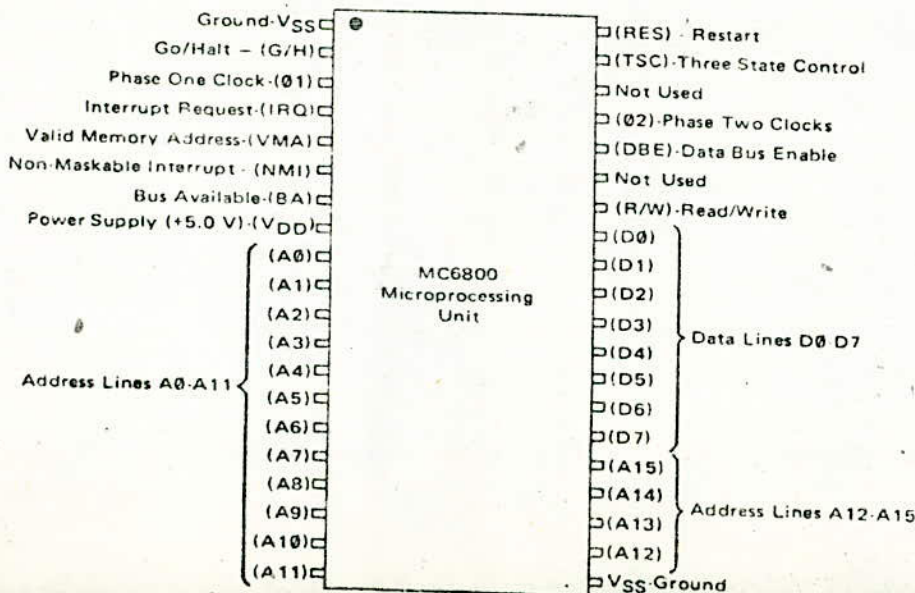
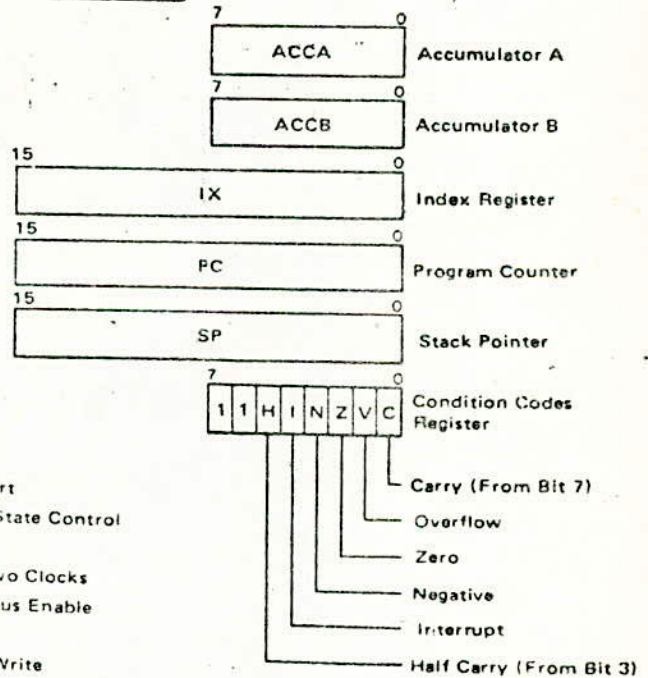
Ce sont des registres à 8 bits où viennent se ranger les données intermédiaires et les résultats nécessaires à l'ALU.

ORGANISATION INTERNE DU MC 6800

SCHEMA:A



- Le 6800 : synoptique, brochage et détail des registres.



. Le compteur ordinal PC (Program counter) :

C'est un registre à 16 bits qui détermine la séquence de l'instruction à exécuter. Il est incrémenté à chaque fois qu'on passe à l'instruction suivante.

. LE Registre d'index :

C'est un registre à 16 bits destiné à contenir une adresse souvent utilisée dans le mode d'adressage indexé.

. Le pointeur de pile SP (Stack pointer) :

Ce registre à 16 bits est utilisé lors d'un passage à un sous programme. Il permet de stocker l'adresse de l'emplacement mémoire du programme initial pour un retour ultérieur.

. Le registre d'instruction (R I) :

C'est un registre à 16 bits où vient se ranger chaque instruction de la mémoire pendant le temps nécessaire à son exécution.

. Le registre d'état CCR (Code condition register) :

Ce registre de 8 bits permet de disposer de 6 informations utiles à la gestion du programme. 5 informations concernent le résultat des opérations effectuées par l'ALU :

- N = résultat négatif.
- Z = résultat nul.
- V = dépassement de capacité (overflow)
- C = retenu (carry)
- H = demie-retenu (half carry)

La 6ème information est le bit de masquage de l'interruption \overline{IRQ} .

Les deux dernières bits sont constamment égaux à 1.

A - 1.3.- LIGNES D'ENTREES ET SORTIES

Pour le fonctionnement correct du MPU, des lignes d'entrées/Sorties sont nécessaires pour accomplir des fonctions spécifiques et déterminer l'état du microprocesseur. Elles se subdivisent en trois ensembles groupés en bus.

a)- BUS DE DONNEES : DO-07.

C'est un bus bidirectionnel de 8 bits fonctionnant en logique 3 états ; c'est lui qui fait transiter les données, c'est-à-dire les opérandes, les résultats de calculs,...

b)- BUS D'ADRESSE : AO-A15

C'est un bus unidirectionnel de 16 bits permettant d'achever 64 K octets et pouvant être mis en haute impédance.

c)- BUS DE CONTROLE ET DE COMMANDE :

Il englobe trois sortes de signaux :

1)- SIGNAUX DE SYNCHRONISATION : $\phi 1$ et $\phi 2$

qui sont les deux phases de l'horloge. Sur ces signaux sont synchronisés l'adressage et le transfert de données.

2)- SIGNAUX DE CONTROLE :

- . R/\bar{W} : (READ/WRITE) de lecture, écriture.
- . VMA : Validation d'adresse mémoire.
- . DBE : Activation du bus de données
- . BA : Disponibilité du bus adresse du microprocesseur
- . TSC : Contrôle 3 états : qui met le bus adresse du microprocesseur et la ligne R/\bar{W} en haute impédance.

3)- SIGNAUX D'INTERRUPTION

- . HALT : Arrêt du microprocesseur pour un temps indéfini
- . RESET : de remise à zéro du microprocesseur
- . $\bar{I}RQ$: de demande d'interruption masquable
- . $\bar{N}M\bar{T}$: d'interruption non masquable

.../...

A.2.- LE LOGICIEL

A.2.1.- JEUX D'INSTRUCTION

Le MC 6800 possède un jeu de 72 instructions d'une longueur de 1 à 3 octets permettant d'effectuer les opérations suivantes :

- Arithmétiques (binaires et décimales)
- Logique (et, ou, ...)
- Décalages (à droite ou à gauche)
- chargement (de certains registres)
- Stockage (en mémoire ou autres)
- Branchements conditionnels ou inconditionnels (JUMP, BEQ, BPL, ...)
- Instructions relatives aux interruptions (SWI, RTS, ...)

La réalisation de toute instruction se décompose en deux temps successifs :

- . La recherche de l'instruction, qui consiste à lire en mémoire l'instruction à exécuter.
- . L'exécution de cette instruction. Ce temps peut être plus ou moins long suivant la complexité de l'instruction. Le minimum de cycles mémoires pour une instruction est de 2 μ s (LDA A), et le maximum de cycles mémoires est 12 μ s (SWI).

A.2.2.- TRADUCTION DU PROGRAMME :

Le programme est rédigé de la façon la plus courante en utilisant un langage ignoré par le microprocesseur, qui est le langage mnémonique. La machine électronique ne comprend que le numérique, on passe donc par une étape de traduction qui est l'assemblage.

L'assemblage est un dictionnaire utilisé pour traduire le code mnémonique en code machine ; c'est un programme enregistré sur un support approprié en langage machine.

A.2.3.- L'ADRESSAGE :

Lorsqu'une instruction fait référence à un opérande, elle peut repérer celui-ci en mémoire de différentes façons appelés modes d'adressage. Par un mode judicieux, il est possible de réduire la longueur du programme, la capacité et le temps d'exécution. Le MC 6800 possède 7 modes d'adressage dont les plus utilisés sont :

. ADRESSAGE IMMEDIAT

L'opérande se trouve dans le 2ème ou 3ème octet de l'instruction selon qu'on s'adresse aux accumulateurs ou aux registres.

. ADRESSAGE DIRECT

C'est le mode d'adressage le plus utilisé. Dans le 2ème octet se trouve l'adresse de l'opérande. On peut adresser les locations de 0 à 255 (instructions à 2 Octets).

. ADRESSAGE INDEXE

L'adresse contenue dans le second octet du bus d'adresse est ajoutée à une valeur particulière du registre d'index. L'adresse résultante est utilisée pour accéder à la position mémoire désirée.

. ADRESSAGE ETENDU

L'adresse est formée par le 2ème et 3ème octet venant après l'instruction. Ce mode d'adressage permet de balayer toutes les mémoires de 0000 à FFFF.

. LES AUTRES MODES

Le mode implicite, le mode relatif et le mode indirect sont rarement utilisés.

TABLEAU 7 - SUITE

NOTES POUR LE REGISTRE D'ÉTAT : (Bit mis à un si le test est vrai et mis à zéro si non)

- 1 (Bit V) Test : Résultat 10000000 ?
- 2 (Bit C) Test : Résultat 00000000 ?
- 3 (Bit C) Test : Valeur décimale du caractère BCD de poids fort plus grand que 9 ? (non remis à zéro si précédemment mis à 1)
- 4 (Bit V) Test : Opérande = 10000000 avant exécution ?
- 5 (Bit V) Test : Opérande = 01111111 avant exécution ?
- 6 (Bit V) Test : Prend la valeur de N_C après décalage ?

SCHEMA : C-

TABLEAU 8 - INSTRUCTIONS SUR LE REGISTRE D'INDEX ET LE POINTEUR DE PILE

Instructions	Mnémonique	Modes d'adressage										Opération arithmétique booléenne	Registre codes condition										
		Immédiat		Direct		Indexé		Etendu		Implicite			S	O	Z	V	C						
		DP	~	#	DP	~	#	DP	~	#	DP		~	#	H	I	N	Z	V	C			
Comparaison de X	CPX	AC	3	3	9C	4	2	AC	6	2	BC	5	3				(1)	(2)	*	*			
Décrémenter de X	DEX													09	4	1	X ← X - 1	*	*	*	*		
Décrémenter du SP	DES													34	4	1	SP ← SP - 1	*	*	*	*		
Incrémenter de X	INX													08	4	1	X ← X + 1	*	*	*	*		
Incrémenter du SP	INS													31	4	1	SP ← SP + 1	*	*	*	*		
Chargement de X	LDX	CE	3	3	DE	4	2	EE	6	2	FE	5	3				M ← X _H (M+1) → X _L	*	*	(3)	(1)	R	*
Chargement du SP	LDS	BE	3	3	9E	4	2	AE	6	2	BE	5	3				M ← SP _H (M+1) → SP _L	*	*	(3)	(1)	R	*
Mise en mémoire de X	STX				DF	5	2	EF	7	2	FF	6	3				X _H ← M, X _L ← (M+1)	*	*	(3)	(1)	R	*
Mise en mémoire du SP	STS				9F	5	2	AF	7	2	BF	6	3				SP _H ← M, SP _L ← (M+1)	*	*	(3)	(1)	R	*
*Transfert X → SP	TXS													35	4	1	X ← SP	*	*	*	*	*	*
Transfert SP → X	TSX													30	4	1	SP ← X	*	*	*	*	*	*

- 1 (Bit N) Test : Bit de signe de l'octet de poids fort = 1 ?
- 2 (Bit V) Test : Dépassement en complément à deux dans la soustraction des octets de poids fort ?
- 3 (Bit N) Test : Résultat négatif ? (bit 15 = 1)

TABLEAU 9 - INSTRUCTION DE SAUT ET DE BRANCHEMENT

Instructions	Mnémonique	Modes d'adressage										Test de branchement	Registre codes condition							
		Relatif		Indexé		Etendu		Implicite		S	O		Z	V	C					
		DP	~	#	DP	~	#	DP	~	#	H		I	N	Z	V	C			
Branch. inconditionnel	BRA	20	4	2										N=1	*	*	*	*	*	*
Branch. si retenue à 0	BCC	24	4	2										C=0	*	*	*	*	*	*
Branch. si retenue à 1	BCS	25	4	2										C=1	*	*	*	*	*	*
Branch. si = 0	BEQ	27	4	2										Z=1	*	*	*	*	*	*
Branch. si < 0	BGE	2C	4	2										N < V = 0	*	*	*	*	*	*
Branch. si > 0	BGT	2E	4	2										Z < (N ⊕ V) = 0	*	*	*	*	*	*
Branch. si supérieur	BHI	22	4	2										C < Z = 0	*	*	*	*	*	*
Branch. si < 0	BLE	2F	4	2										Z < (N ⊕ V) = 1	*	*	*	*	*	*
Branch. si > 0	BLS	23	4	2										C < Z = 1	*	*	*	*	*	*
Branch. si < 0	BLT	20	4	2										N < V = 1	*	*	*	*	*	*
Branch. si négatif	BMI	28	4	2										N=1	*	*	*	*	*	*
Branch. si non égal à 0	BNE	26	4	2										Z=0	*	*	*	*	*	*
Branch. si non dépassement	BVC	28	4	2										V=0	*	*	*	*	*	*
Branch. si dépassement	BVS	25	4	2										V=1	*	*	*	*	*	*
Branch. si positif	BPL	2A	4	2										N=0	*	*	*	*	*	*
Branch. à un sous-program.	BSR	8D	8	2											*	*	*	*	*	*
Saut	JMP				6E	4	2	7E	3	3					*	*	*	*	*	*
Saut à un sous-programme	JSR				AD	8	2	8D	9	3					*	*	*	*	*	*
Non opération	NOP										01	2	1		*	*	*	*	*	*
Retour d'interruption	RTI										76	10	1		*	*	*	*	*	*
Retour de sous-programme	RTS										29	5	1		*	*	*	*	*	*
Interruption programmée	SWI										3F	12	1		*	*	*	*	*	*
Attente d'interruption *	WAI										3E	9	1		*	*	*	*	*	*

*WAI positionne le Bus Adresse et Données et la ligne R/W dans l'état haute impédance tandis que VMA est tenue à l'état bas.

- (1) (Tous) Chargement du registre d'état à partir de la pile (voir opérations spéciales)
- (2) (Bit 1) Mis à un quand arrive une instruction. Si mis à un précédemment, une interruption non-masquable est nécessaire.

A.2.4.- STRUCTURES DE LA PILE

Le MC 6800 dispose d'une pile de registres volatils, qui permet de mémoriser les informations et de les utiliser selon le mode LIFO (Last in, first out) : dernier entré, premier sorti. Le pointeur de pile permet d'adresser les registres de la pile.

1)- GESTION DE LA PILE

Le registre pointeur de pile SP permet la gestion de la pile. Il contient l'adresse de la 1ère position, libre au sommet de la pile. Il est modifié à chaque entrée ou sortie d'information de porte qu'il désigne toujours ce sommet de pile. Si l'on considère une pile descendante en mémoire, les adresses sont décroissantes vers le sommet de la pile, le registre est donc décrémenté à chaque entrée d'information et incrémenté à chaque sortie. Des instructions de stockage en pile (PUSH) ou de sortie en pile (PULL) permettent son utilisation ; mais cette structure est aussi utilisée pour les appels de retours de sous programmes.

2°)- SAUVEGARDE EN PILE

Une pile peut être utilisée pour sauvegarder l'adresse de retour d'un sous programme. Lorsqu'un programme est appelé, l'adresse de retour dans le programme appelant est stockée dans la pile et restituée dans le compteur de programme à la fin du sous-programme.

INTERFACE ADAPTATEUR POUR PERIPHERIQUES

Le circuit E.F. 6821 fournit un moyen universel d'interface des appareils périphériques avec un microprocesseur EF 6800. Ce circuit interface le MPU avec les périphériques par deux bus de données 8 bits bidirectionnels et quatre lignes de contrôle.

Aucune logique externe n'est nécessaire pour interfacer la plupart des périphériques.

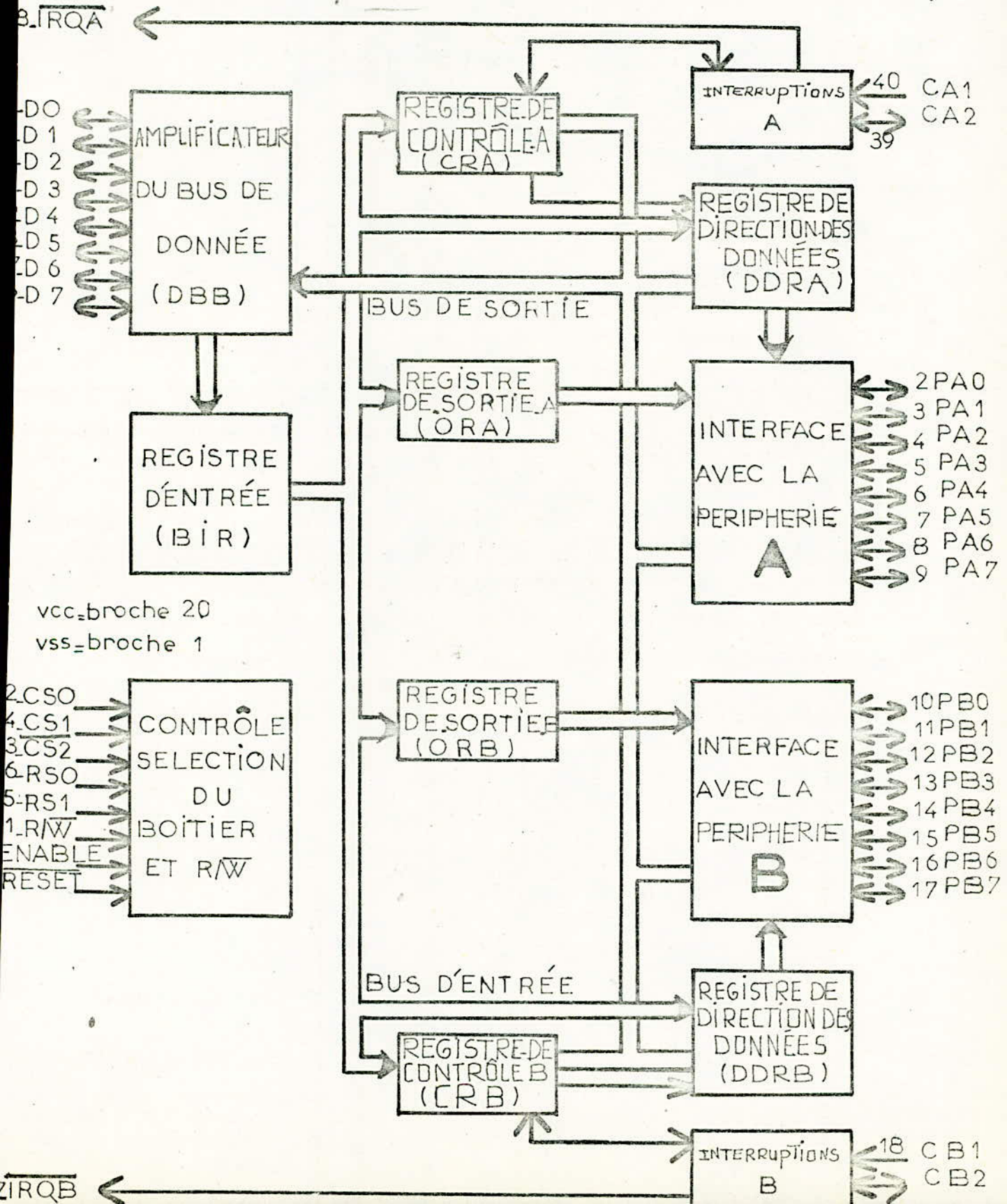
La configuration fonctionnelle du PIA est programmée par le MPU pendant l'initialisation du système. Chacune des lignes de données avec la périphérie peut être programmée pour être utilisée soit en entrée, soit en sortie, et chacune des quatre lignes de contrôle/interruption peut être programmée pour un des modes de fonctionnement possibles. Ceci permet une grande souplesse dans l'utilisation du PIA.

- . Bus de données Bidirectionnel vers le MPU
- . 2 bus de données bidirectionnels vers la périphérie
- . 2 registres de contrôle programmables
- . 2 registres de sens de transfert des données
- . 4 lignes d'entrées d'interruption contrôlables individuellement, dont 2 utilisables comme sorties pour le contrôle de la périphérie
- . Lignes 3 états (haute impédance) et commande de transistors.
- . Interruption contrôlées par programme et possibilité de masquage des interruptions.
- . Possibilité de contrôler des circuits CMOS sur la partie A des lignes vers la périphérie
- . Possibilité de commander deux charges TTL en sortie sur les parties A et B
- . Compatible TTL
- . Fonctionnement statique.

.../...

SCHEMA_FONCTIONNEL DU PIA

SCHEMA : D



SIGNAUX DE LIAISON DU P I A AVEC LE MPU

Le PIA s'interface au microprocesseur (MPU) EF 6800 avec un bus de données 8 bits bidirectionnel, trois lignes de sélection de boîtier, deux lignes de sélection de registres, deux lignes de demande d'interruption, une ligne de lecture écriture R/\bar{W} , une ligne d'horloge (E) et une ligne de mise à l'état initial (RESET). Ces lignes, associées avec la sortie VMA du EF 6800, permettent un contrôle complet du PIA par le MPU. Le VMA peut être utilisé en combinaison avec une ligne d'adresse du MPU pour commander une entrée de sélection du boîtier (CS)

Bus de données bidirectionnel (D0-D7). Les lignes de données bidirectionnelles permettent le transfert de données entre le MPU et le PIA. Les amplificateurs de sortie sont à trois états et restent en état haute impédance sauf quand le MPU effectue ^{une lecture du} P I A.

LIGNE D'HORLOGE E (ENABLE)

L'impulsion d'horloge E est le seul signal de synchronisation fourni au PIA. La synchronisation de tous les autres signaux est faite à partir des fronts montants et descendants de l'impulsion E. Ce signal est généralement produit, à partir de la phase $\phi 2$ du MPU.

ENTREE DE LECTURE / ECRITURE (R/\bar{W})

Ce signal est produit par le microprocesseur pour spécifier le sens de transfert de données sur le bus données. Si le circuit est sélectionné, un état bas sur la ligne R/\bar{W} du P I A valide les amplificateurs d'entrée et la donnée est transférée du MPU au PIA sur le signal E. Un état haut sur la ligne R/\bar{W} prépare le PIA pour un transfert de données sur le bus. Les amplificateurs de sortie sont validés quand l'adresse du PIA et l'impulsion d'horloge E sont présentes.

.../...

- RESET (MISE A L'ETAT INITIAL)

La ligne Reset, active à l'état bas, permet de remettre les registres internes du PIA à zéro. Cette ligne peut être utilisée pour une initialisation lors de la mise sous tension ou pour une réinitialisation pendant le fonctionnement du système.

- ENTREES DE SELECTION DU BOITIER CS0, CS1, CS2 (chip select)

Ces trois signaux d'entrée sont utilisés pour adresser le PIA. CS0 et CS1 doivent être à l'état haut et CS2 à l'état bas, pour que le circuit soit sélectionné. Les transferts de données sont alors effectués sous le contrôle de l'impulsion d'horloge E et de la ligne de lecture / écriture. Les lignes de sélection de boîtier doivent être stables pendant la durée de l'impulsion E. Le circuit n'est pas adressé quand une des lignes de sélection du boîtier est dans l'état inactif.

- ENTREES DE SELECTION DE REGISTRE RS0, RS1

Ces deux lignes sont utilisées pour sélectionner les divers registres internes du PIA. Ces deux lignes sont utilisées en liaison avec les registres de contrôle interne pour sélectionner un des registres qui sera lu ou écrit. Les lignes de sélection des registres et du boîtier doivent être stables durant l'impulsion E pour un cycle de lecture ou d'écriture.

LIGNES D'INTERFACE AVEC LA PERIPHERIE

- LIGNES DE DONNÉES VERS LA PERIPHERIE A : PA₀ - PA₇

Chacune de ces lignes est programmable pour être utilisée soit en entrée soit en sortie, et ceci par l'intermédiaire du registre sens de direction, chaque bit de ce registre correspond à une ligne de donnée. Si le bit est à 1 cette ligne est en sortie, et s'il est à 0 cette ligne est en entrée.

- LIGNES DE DONNEES DE LA PERIPHERIE B : PB₀ - PB₇

Ces lignes sont programmables en sortie ou en entrée, de la même manière que PA₀ - PA₇. Ils sont en logique trois état. Ces lignes sont compatibles TTL et peuvent être utilisées comme source de courant, pour attaquer directement la base d'un transistor.

- LIGNES D'INTERRUPTION CA₁ ET CB₁

CA₁ et CB₁ sont uniquement des lignes d'entrées, qui positionnent les indicateurs d'interruption des registres de contrôle. La transition active des signaux est programmable par les deux registre de contrôle.

- LIGNE DE CONTROLE DE LA PERIPHERIE A : CA₂

Cette ligne est programmable pour être utilisée, soit comme entrée d'interruption, soit comme une sortie de contrôle de la périphérie. Le mode de fonctionnement de cette ligne est programmée par le registre de contrôle A.

- LIGNE DE CONTROLE DE LA PERIPHERIE B : CB₂

La ligne CB₂ est aussi programmable et peut être utilisée soit comme entrée, soit comme sortie. En sortie elle est compatible TTL et peut aussi être utilisée comme source de courant. Le mode de fonctionnement de cette ligne est programmé par le registre de contrôle B.

REGISTRE INTERNES

Le P I A a six registres accessibles au MPU deux registres de données de la périphérie, deux registres sens de transfert des données et deux registres de contrôle. La sélection des registres se fait avec les entrées de sélection des registres RSO, PS 1 Associées aux bits 2 des registres de contrôles.

SCHEMA: E

**TABLEAU 3 - CONTROLE DES ENTREES D'INTERUPTION
CA1 et CB1**

CRA-1 (CRB-1)	CRA-0 (CRB-0)	Transition active de l'entrée d'interruption CA1 (CB1)	Indicateur d'interruption CRA-7 (CRB-7)	Demande d'interruption du MPU IROA (IROB)
0	0	↓Active	Mis à un sur ↓ de CA1 (CB1)	Inhibée - IRO reste à l'état haut
0	1	↓Active	Mis à un sur ↓ de CA1 (CB1)	Passé à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut
1	0	↑Active	Mis à un sur ↑ de CA1 (CB1)	Inhibée - IRO reste à l'état haut
1	1	↑Active	Mis à un sur ↑ de CA1 (CB1)	Passé à l'état bas quand l'indicateur CRA-7 (CRB-7) passe à l'état haut

- 1 ↑ Transition positive
2 ↓ Transition négative
3 L'indicateur d'interruption CRA-7 (CRB-7) est mis à zéro par une lecture du registre données de la périphérie A (B) par le MPU.
4 Si CRA-0 (CRB-0) est à zéro (interruption inhibée) quand l'interruption se produit et est, par la suite, mis à un, IROA (IROB) passe à l'état bas après que CRA-0 (CRB-0) soit à l'état haut.

**TABLEAU 4 - CONTROLE DE CA2 et CB2 COMME ENTREES D'INTERUPTION
CRA-5 (CRB-5) est à zéro**

CRA-5 (CRB-5)	CRA-1 (CRB-4)	CRA-3 (CRB-3)	Transition active de l'entrée d'interruption CA2 (CB2)	Indicateur d'interruption CRA-6 (CRB-6)	Demande d'interruption du MPU IROA (IROB)
0	0	0	↓Active	Mis à un sur ↓ de CA2 (CB2)	Inhibée - IRO reste à l'état haut
0	0	1	↓Active	Mis à un sur ↓ de CA2 (CB2)	Passé à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.
0	1	0	↑Active	Mis à un sur ↑ de CA2 (CB2)	Inhibée - IRO reste à l'état haut
0	1	1	↑Active	Mis à un sur ↑ de CA2 (CB2)	Passé à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.

- Notes: 1 ↑ Transition positive
2 ↓ Transition négative
3 L'indicateur d'interruption CRA-6 (CRB-6) est mis à zéro par une lecture du registre données
4 Si CRA-3 (CRB-3) est à zéro (interruption inhibée) quand l'interruption se produit et est, par la suite, mis à un, IROA (IROB) passe à l'état bas après que CRA-3 (CRB-3) ait été mis à un.

**TABLEAU 5 - CONTROLE DE CA2 COMME SORTIE
CRA-5 est à un**

CRA-5	CRA-4	CRA-3	Mis à zéro CA2	Mis à un
1	0	0	Bas sur la transition négative de la première impulsion E qui suit une lecture du registre données de la périphérie A.	Haut quand l'indicateur d'interruption CRA-7 est mis à un par une transition active du signal CA1.
1	0	1	Bas sur la transition négative de la première impulsion E qui suit une lecture du registre données de la périphérie A.	Haut sur la transition négative de la première impulsion E qui se produit tandis que le circuit est désélecté.
1	1	0	Bas quand CRA-3 est mis à zéro par une écriture du registre de contrôle A.	Toujours bas tant que CRA-3 est à zéro. Passera à l'état haut quand CRA-3 sera mis à un par une écriture du registre de contrôle A.
1	1	1	Toujours haut tant que CRA-3 est à un. Passera à l'état bas quand CRA-3 sera mis à zéro par une écriture du registre de contrôle A.	Haut quand CRA-3 est mis à un par une écriture du registre de contrôle A.

**TABLEAU 5 - CONTROLE DE CB2 COMME SORTIE
CRB-5 est à un**

CRB-5	CRB-4	CRB-3	Mis à zéro CB2	Mis à un
1	0	0	Bas sur la transition positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut quand l'indicateur d'interruption CRB-7 est mis à un par une transition active du signal CB1.
1	0	1	Bas sur la transition positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut sur la transition positive de la première impulsion E qui suit une impulsion E qui était arrivée tandis que le circuit était désélecté.
1	1	0	Bas quand CRB-3 est mis à zéro par une écriture du registre de contrôle B.	Toujours bas tant que CRB-3 est à zéro. Passera à l'état haut quand CRB-3 sera mis à un par une écriture du registre de contrôle B.
1	1	1	Toujours haut tant que CRB-3 est à un. Passera à l'état bas quand CRB-3 sera mis à zéro par une écriture du registre de contrôle B.	Haut quand CRB-3 est mis à un par une écriture du registre de contrôle B.

- REGISTRES SENS DE TRANSFERT : DDRA ET DDRB

Permettent comme vu précédemment de programmer les lignes données A ou B en sortie ou en entrée.

- REGISTRES DE CONTROLE CRA ET CRB

Ces registres de controle permettent au MPU de controler le fonctionnement des 4 lignes de contrôle d'interruption CA1, CA2, CB1, CB2. Ils permettent aussi d'autoriser les interruptions et de contrôler l'état des indicateurs d'interruption. Les bits 6 et 7 ne peuvent que être lus par le MPU, et sont modifiés par des interruptions externes sur les lignes de contrôle d'interruption CA1, CA2, CB1, CB2. Ces bits sont remis à zéro indirectement, par une lecture du registre données de la périphérie de la partie correspondante.

SN 7408

SCHEMA : F

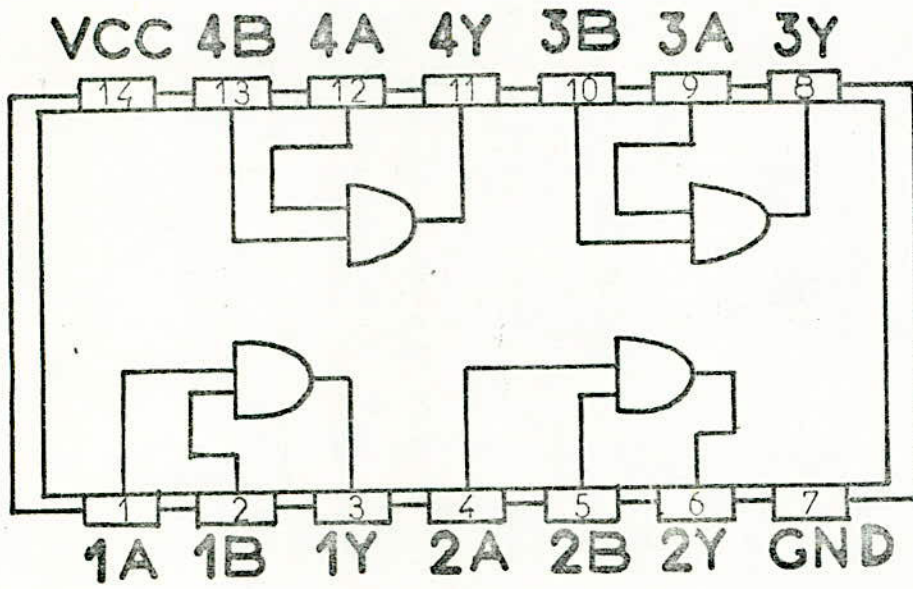


FIGURE : 1

QUADRUPLE 2 INPUT
POSITIVE LOGIC

$$Y = AB$$

SN 7404

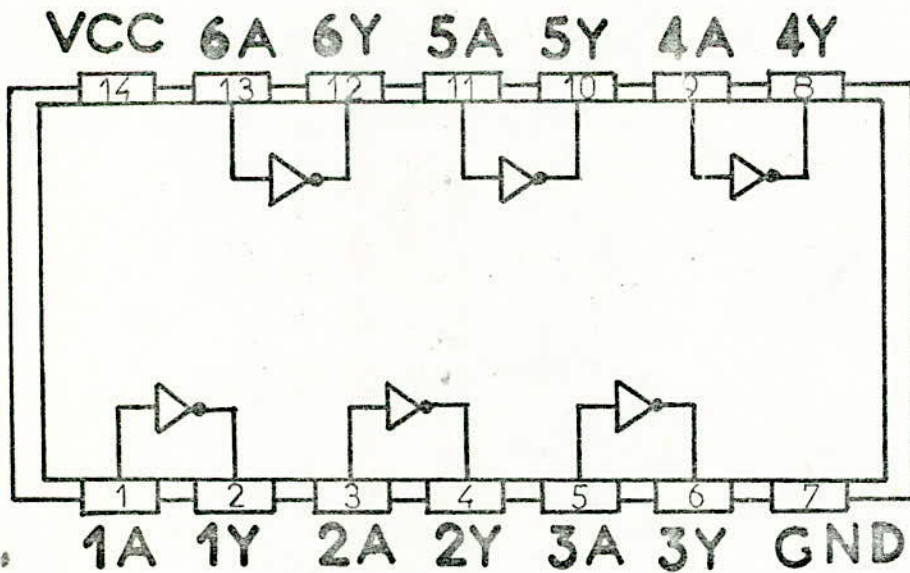


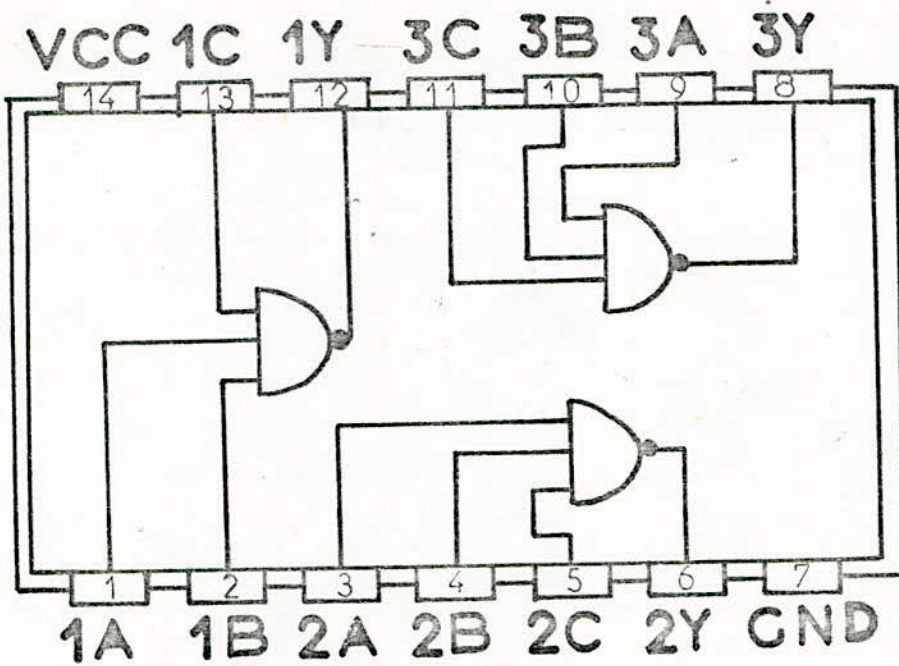
FIGURE : 2

HEX INVERTER
POSITIVE LOGIC

$$Y = \bar{A}$$

SN 7410

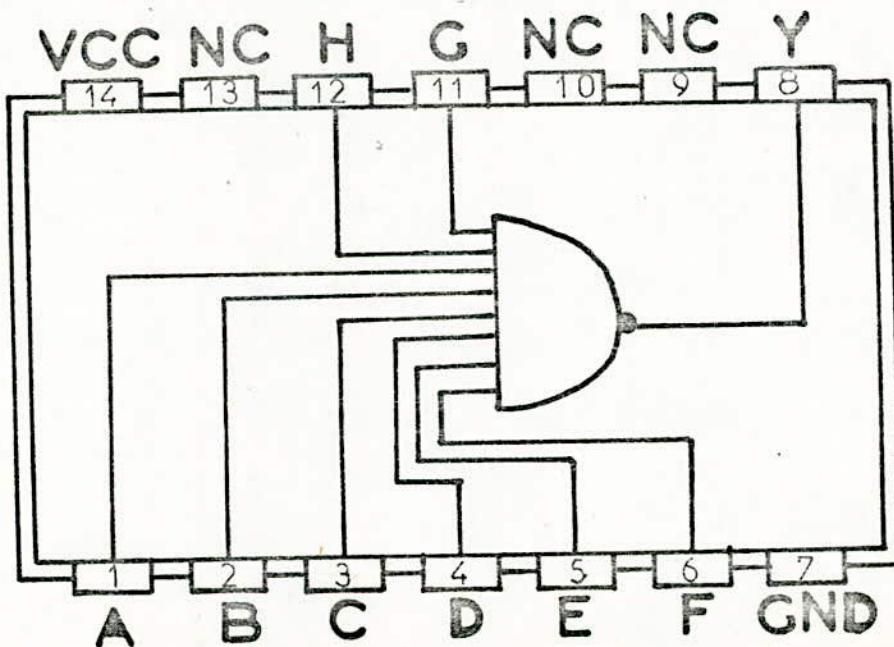
SCHEMATIC



POSITIVE LOGIC

$$Y = \overline{ABC}$$

SN 7430



$$Y = \overline{ABCDEFGH}$$

8 INPUTS POSITIVE LOGIC

SN 74100

SCHEMA : H

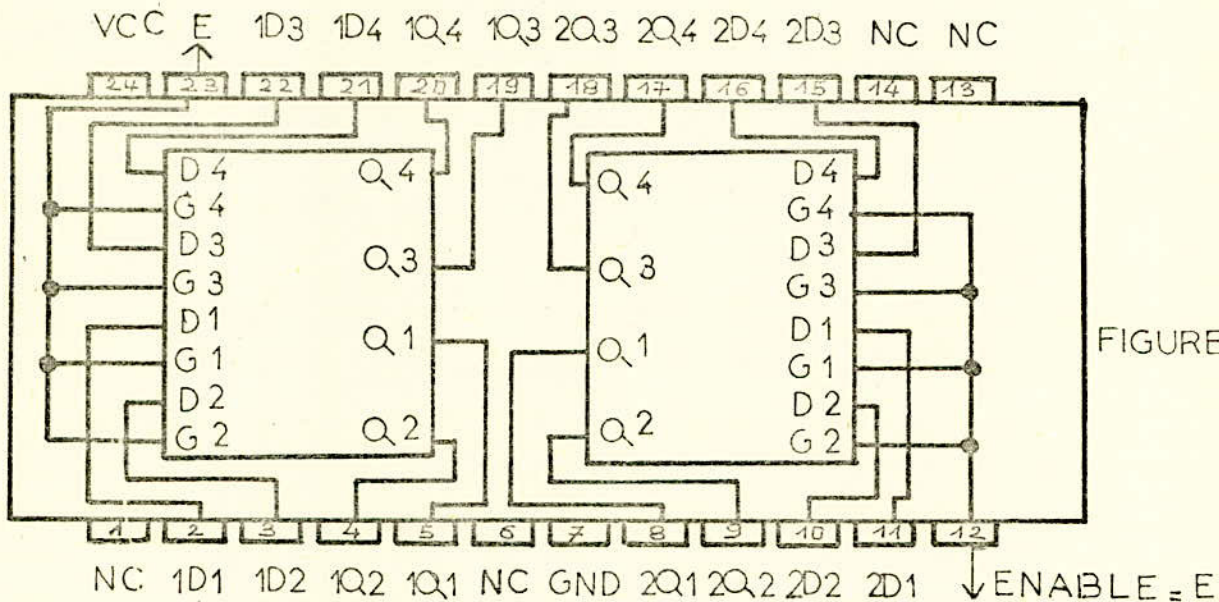
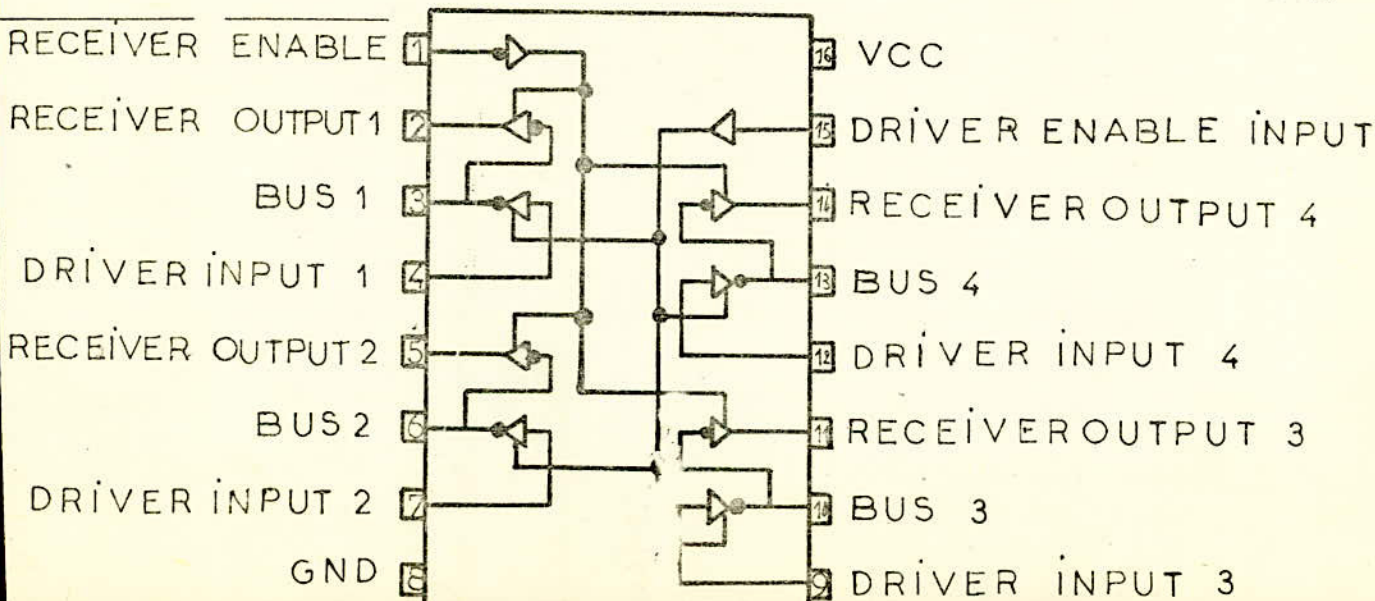


FIGURE: 1

INPUTS		OUTPUTS	
D	G	Q	\bar{Q}
L	H	L	H
H	H	H	L
x	L	Q_0	\bar{Q}_0

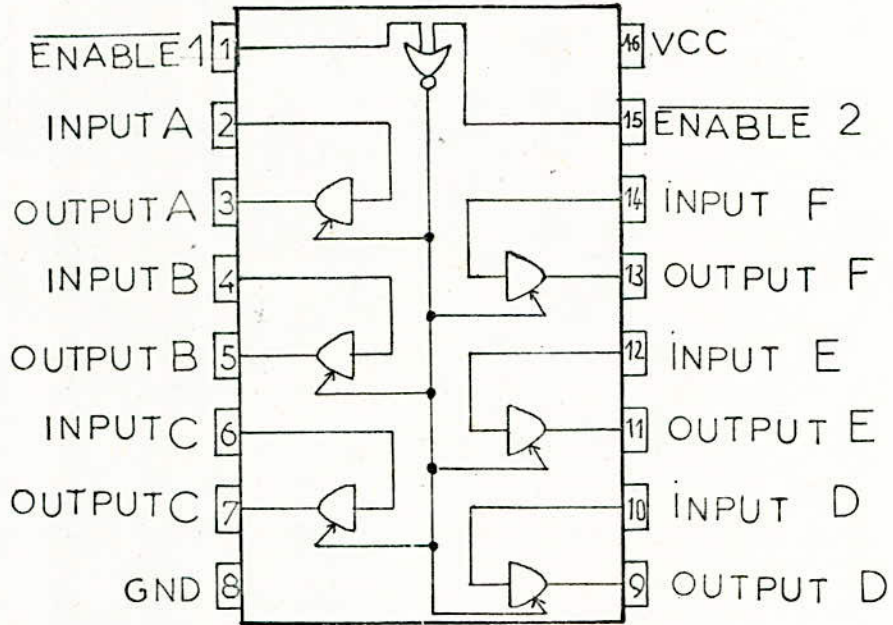
MC 8T26

FIGURE: 2



MC 8T95

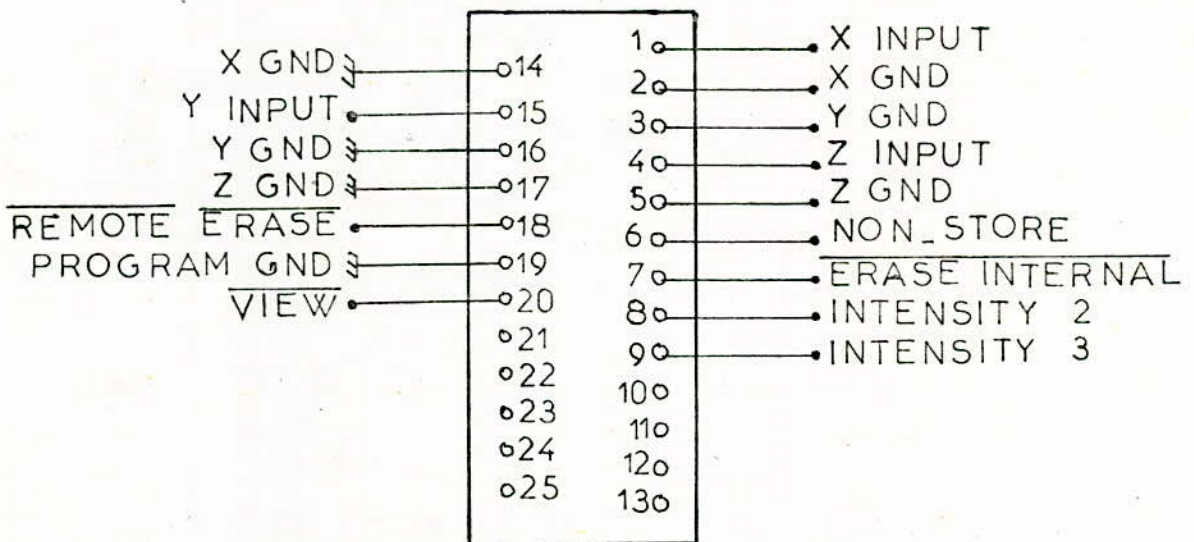
SCHEMA: I



NON_ INVERTING

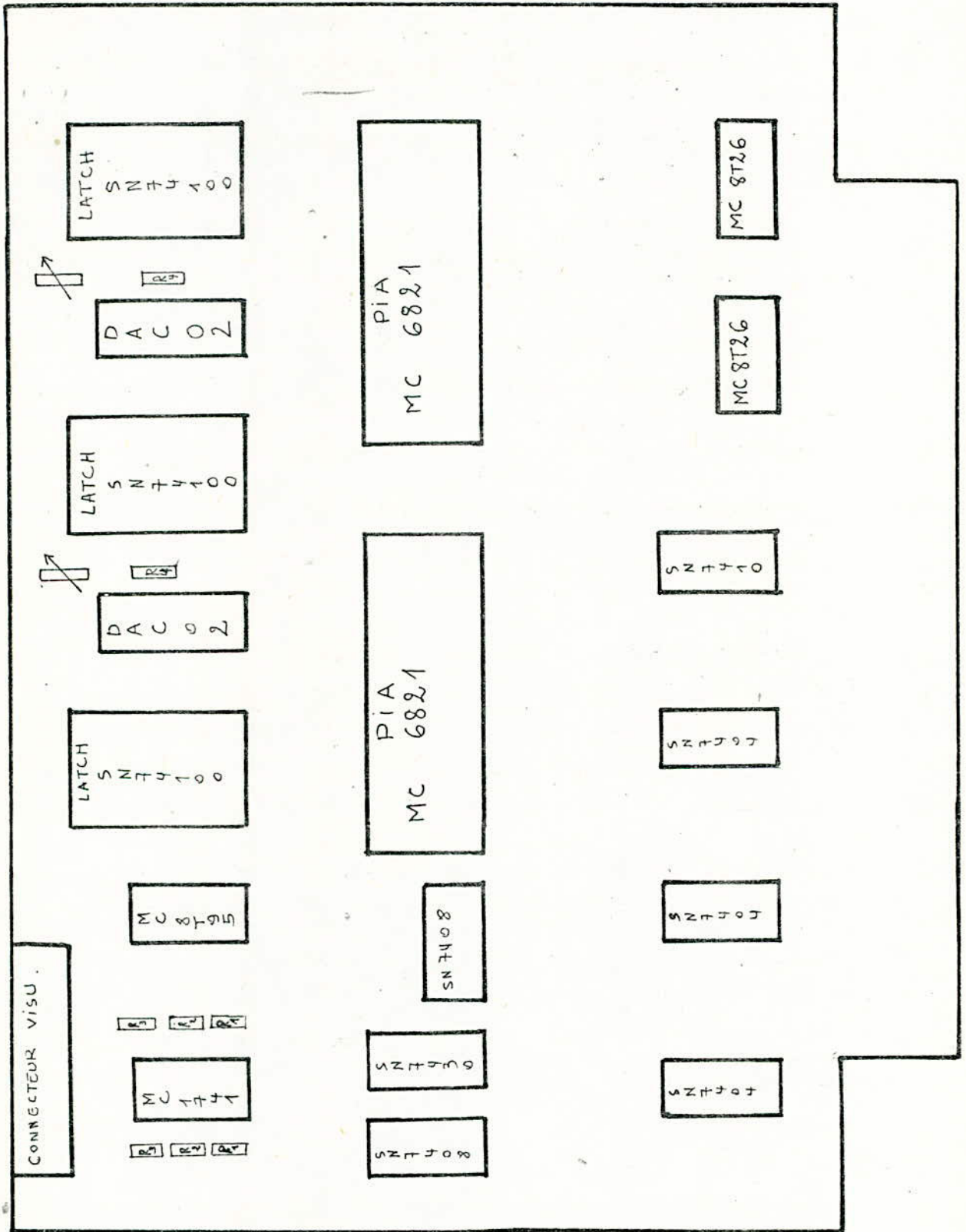
TWO_ INPUT_ ENABLE_ CONTROLS_ ALL_ SIX_ BUFFER

CONNECTEUR DU MONITEUR DE VISUALISATION



C 1

SCHEMA D'IMPLANTATION DES COMPOSANTS SUR LA CARTE INTERFACE.



PROGRAMME pour L'AFFICHAGE en mode
 LANGAGE ASSEMBLEUR ; Alphanumérique

```

LDX      FF34
STX      8000
STX      8002
STX      8004
STX      8006
CLR      0400
LDAA     0F
STAA     0401
LP44 JSR  SB1
LDX      18B3
STX      I1
LP8 JSR  SB2
      JSR  SB3
LDAA     3C
STAA     8007
LDX      0046
LP5 DECX
      CPX  0000
      BNE  LP5
LDAA     34
STAA     8007
LDAA     FCF4
BITA     01
BEQ      LP6
LDX      0046
LP7 DECX
      CPX  0000
      BNE  LP7
      JSR  LP8
LP6 JSR  FA7F
      CMPA 41
      BNE  LP8
LDX      1000
STX      0402
JSR      SB1
JSR      SB2
JSR      SB3
LP8 CMPA 42
      BNE  LP9
LDX      103C
STX      0402
JSR      SB1
  
```

	JSR	SB2
	JSR	SB3
LP9	CMPA	43
	BNE	LP10
	LDX	1078
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP10	CMPA	44
	BNE	LP11
	LDX	10B4
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP11	CMPA	45
	BNE	LP12
	LDX	10F0
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP12	CMPA	46
	BNE	LP13
	LDX	112C
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP13	CMPA	47
	BNE	LP14
	LDX	1168
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP14	CMPA	48
	BNE	LP15
	LDX	11A4
	STX	0402

JSR	SB1
JSR	SB2
JSR	SB3
LP15 CMPA	49 ~
BNE	LP16
LDX	11E0
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP16 CMPA	4A
BNE	LP17
LDX	121C
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP17 CMPA	4B
BNE	LP18
LDX	1258
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP18 CMPA	4C
BNE	LP19
LDX	1294
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP19 CMPA	4D
BNE	LP20
LDX	12D0
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP20 CMPA	4E
BNE	LP21
LDX	130C
STX	0402

JSR	SB1
JSR	SB2
JSR	SB3
LP21 CMPA	4F
BNE	LP22
LDX	1348
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP22 CMPA	50
BNE	LP23
LDX	1384
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP23 CMPA	51
BNE	LP24
LDX	13C0
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP24 CMPA	52
BNE	LP25:
LDX	13FC
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP25 CMPA	53
BNE	LP26
LDX	1438
STX	0402
JSR	SB1
JSR	SB2
JSR	SB3
LP26 CMPA	54
BNE	LP27
LDX	1474
STX	0402
JSR	SB1
JSR	SB2

	JSR	SB3
LP27	CMPA	55
	BNE	LP28
	LDX	14B0
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP28	CMPA	56
	BNE	LP29
	LDX	14EC
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP29	CMPA	57
	BNE	LP30
	LDX	1528
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP30	CMPA	58
	BNE	LP31
	LDX	1564
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP31	CMPA	59
	BNE	LP32
	LDX	15A0
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP32	CMPA	5A
	BNE	LP33
	LDX	15DC
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3

LP33	CMPA	30
	BNE	LP34
	LDX	1618
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP34	CMPA	31
	BNE	LP35
	LDX	1654
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP35	CMPA	32
	BNE	LP36
	LDX	1690
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP36	CMPA	33
	BNE	LP37
	LDX	16CC
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP37	CMPA	34
	BNE	LP38
	LDX	1708
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP38	CMPA	35
	BNE	LP39
	LDX	1744
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP39	CMPA	36

	BNE	LP40
	LDX	1780
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP40	CMPA	37
	BNE	LP41
	LDX	17BC
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP41	CMPA	38
	BNE	LP42
	LDX	17F8
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
LP42	CMPA	39
	BNE	LP43
	LDX	1834
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3
	INC	0400
	LDAA	0400
	CMPA	10
	BNE	LP44
	CLR	0400
	DEC	0401
	LDAA	0401
	CMPA	00
	BNE	LP44
	CLR	0400
	LDAA	0F
	STAA	0401
	JSR	LP44
LP43	LDX	1870
	STX	0402
	JSR	SB1
	JSR	SB2
	JSR	SB3

LANGAGE MACHINE

	CE	FF34
	FF	8000
	FF	8002
	FF	8004
	FF	8006
	7F	0400
	86	0F
	B7	0401
LP44	BD	0224
	CE	18B3
	FF	0402
LP8	BD	0246
	BD	0300
	86	3C
	B7	8007
LP5	CE	0046
	09	
	8C	0000
	26	LP5
	86	34
	B7	8007
	86	FCF4
	85	01
	27	LP6
LP7	CE	0046
	09	
	8C	0000
	26	LP7
	BD	LP8
LP6	BD	FA7F
	81	41
	26	LP8
	CE	1000
	FF	0402
	BD	0224
	BD	0246
	BD	0300
	81	42
	26	LP9
	CE	103C
	FF	0402
	BD	0224

BD 0246
BD 0300
81 43

LP42 81 39
2G LP43
CE 1834
FF 0402
BD 0224
BD 0246
BD 0300
7C 0400
BG 0400
81 10
2G LP44
7F 0400
7A 0401
BG 0401
81 00
2G LP44
7F 0400
8G 0F
B7 0401
BD LP44

LP43 CE 1870
FF 0402
BD 0224
BD 0246
BD 0300

✦ BIBLIOGRAPHIE ✦

TECHNIQUE D'INTERFACE AUX MICROPROCESSEURS ...

... AUSTIN LESEA, RODNAY ZAKS.

PROGRAMMATION DES MICROPROCESSEURS ...

... H LILEN

6800 PROGRAMMATION EN LANGAGE ASSEMBLEUR ...

... LANCEA, LEVENTHAL.

LA CONVERSION NUMERIQUE - ANALOGIQUE ...

... BERNARD LDRIFERNE.

MICROPROCESSEURS ET MEMOIRES

... EFCIS THOMSON

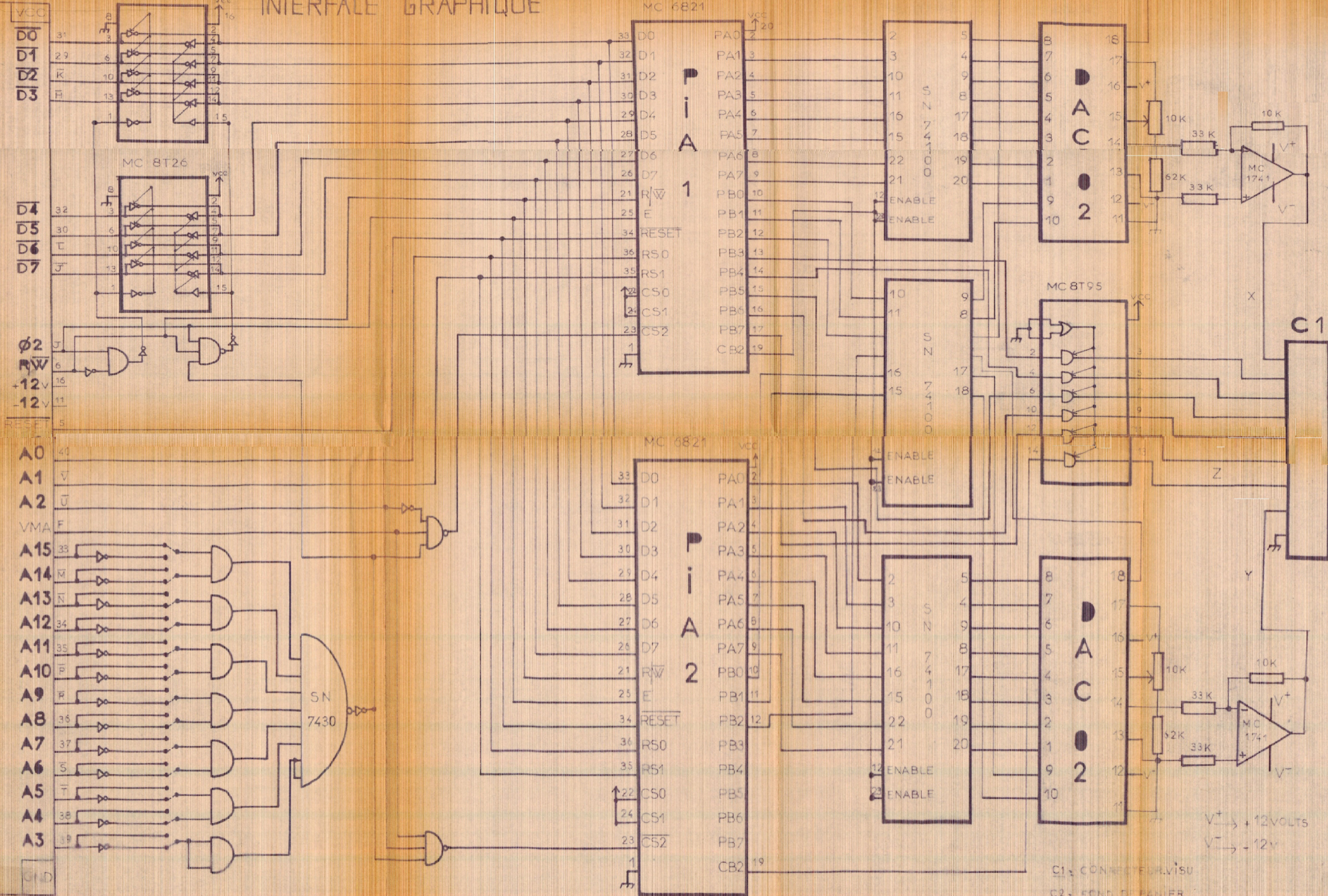
DATA BOOK TTL .

DATA BOOK 1982

INFORMATION DISPLAY ... NOTICE TECHNIQUE.

C2

INTERFACE GRAPHIQUE



V⁺ → +12VOLTS
 V⁻ → -12V

C1: CONNECTED FOR VISU
 C2: FOND DE PAPIER.