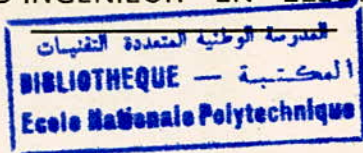


ECOLE NATIONALE POLYTECHNIQUE
ALGER

2er

DEPARTEMENT D'ELECTRONIQUE

FILIERE D'INGENIEUR EN ELECTRONIQUE



PROJET DE FIN D'ETUDES

Thème

PERFECTIONNEMENT D'UN ENREGISTREUR
MICROPROGRAMME DES TROUBLES
DU RYTHME CARDIAQUE

Proposé et suivi par :

Mr A. FARAH

Etudié par :

R. IKNI

A. BOUGUERZI

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTÈRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE

ECOLE NATIONALE POLYTECHNIQUE
ALGER

DEPARTEMENT D'ELECTRONIQUE

FILIERE D'INGENIEUR EN ELECTRONIQUE

PROJET DE FIN D'ETUDES

Thème

PERFECTIONNEMENT D'UN ENREGISTREUR
MICROPROGRAMME DES TROUBLES
DU RYTHME CARDIAQUE

Proposé et suivi par :

Mr A. FARAH

Etudié par :

R. IKNI

A. BOUGUERZI

Janvier 1984

REMERCIEMENTS.

Nous tenons particulièrement à remercier notre promoteur A. FARAH de nous avoir proposé ce sujet et de nous avoir dirigés durant notre travail.

Nos remerciements vont également à :

Mr Y. FLAMAND, professeur à l'U.S.T.H.B.

M^{lle} KAOUA MALIKA, Enseignante à l'EN.P.A.

M^{lle} ZIZI MALIKA, Enseignante à l'EN.P.A.

pour l'aide matérielle et les conseils judicieux qu'ils nous ont fournis.

Enfin nous ne manquerons pas d'exprimer notre profonde gratitude à tous les professeurs de notre cursus universitaire.

TABLE DES MATIERES.

	<u>page.</u>
<u>INTRODUCTION.</u> -----	01
<u>CHAPITRE 1</u> : Activité électrique du cœur et Objectif du DEMAC.	
I Activité électrique du Cœur	02
I Troubles du rythme cardiaque ---	02
II Bases essentielles de l'étude rythme cardiaque - - - - -	04
II Objectif du DEMAC - - - - -	04
<u>CHAPITRE 2</u> : Présentation et étude du DEMAC.	
I Introduction - - - - -	07
I Structure générale du DEMAC ---	07
II Etude du matériel - - - - -	08
1. Présentation du MC 6800 - - - - -	08
2. Mémoires - - - - -	09
3. Le P.I.A. MC 6821. --- - - - - -	11
4. le Timer MC 6840 - - - - -	15
5. L'imprimante DP822 - - - - -	25
6. Pagination mémoire - - - - -	33
7. L'interface analogique/logique ---	33
8. L'interface audio-cassette ---	36
9. schéma et organigramme général de fonctionnement - - - - -	37
IV Etude du logiciel - - - - -	39
1. Logiciel de programmation ---	40
2. logiciel d'analyse de l'ECG ---	42
3. logiciel de dépouillement sur afficheurs - - - - -	45
4. logiciel de gestion de l'interface Cassette - - - - -	47

	<u>page.</u>
5. logiciel de gestion de l'imprimante	50
<u>CHAPITRE 3: perfectionnement du D.E.M.A.C.</u>	
I. Introduction	53
II. Amélioration du logiciel	
1. Initialisation à chaud et à froid	53
2. logiciel d'analyse	56
3. logiciel de dépouillement sur afficheurs	60
4. logiciel de dépouillement sur imprimante	62
III. Mise au point du logiciel	
1. Présentation du TEKTRONIX 8002A	65
2. Procédure de mise au point	69
IV. Amélioration du matériel	
1. Réalisation du DEMAC en circuits imprimés	69
2. L'alimentation	70
3. L'interface analogique/logique	72
<u>Conclusion</u>	75
<u>Annexe</u> : listing du programme de gestion.	
<u>Bibliographie.</u>	

المدرسة الوطنية المتعددة التقنيات
BIBLIOTHEQUE — المكتبة
Ecole Nationale Polytechnique

INTRODUCTION

L'avènement du microprocesseur a suscité une véritable révolution dans l'électronique qui, depuis lors, a envahi pratiquement tous les domaines.

En effet la logique programmée, utilisant le microprocesseur, comme élément de base, s'étend de plus en plus et se prête à remplacer avantageusement la logique câblée. Ceci est dû au fait que la logique programmée jouit des deux caractéristiques suivantes:

1) La souplesse énorme d'utilisation du fait que la quasi totalité des tâches à remplir est gérée par logiciel qui peut être modifiée à tout moment et en un temps réduit

2) La simplicité du matériel

Dans ce sens, et dans le cadre de notre projet de fin d'études il nous a été confié de faire quelques modifications tant au niveau logiciel qu'au niveau matériel sur un appareil microprogrammé, en vue d'améliorer sa fiabilité et ses performances.

L'appareil en question est un détecteur enregistreur d'arythmies cardiaques (DEMAC) réalisé à l'EN.P.A. dans le cadre de la post-graduation et destiné à l'analyse de certains paramètres du signal cardiaque.

Dans un premier chapitre on exposera succinctement des connaissances de bases sur l'activité électrique du Cœur et l'intérêt attaché au DEMAC.

La présentation et l'étude de l'appareil feront l'objet du second chapitre.

Le 3^{ème} chapitre sera consacré à l'exposé des améliorations portées au DEMAC.

CHAPITRE 1

ACTIVITE ELECTRIQUE DU COEUR ET OBJECTIF
DU D.E.M.A.C

I ACTIVITE ELECTRIQUE DU COEUR.

L'ELECTROCARDIOGRAMME :

Le cœur est un muscle creux, constitué d'un ensemble de cellules vivantes organisées en fibres musculaires. Ces cellules, polarisées à l'état de repos, stimulées électriquement par un groupe de cellules contractiles situées dans la partie haute de l'oreillette droite dans la région dite du "noeud sinusal", se dépolarisent et se contractent.

L'enregistrement de cette activité électrique constitue l'électrocardiogramme (ECG). Pour obtenir ce dernier on place des électrodes métalliques en des endroits convenables sur la surface du corps et on amplifie les signaux captés.

Le tracé de l'ECG comporte un certain nombre d'ondes dont la succession reflète la propagation de l'excitation dans le cœur. (figure 1).

II TROUBLES RYTHMIQUES DU COEUR.

Les troubles du rythme cardiaque se classent en 3 grandes catégories :

1/ Les tachycardies : elles correspondent à une accélération de la fréquence cardiaque à plus de 100 battements par minute avec un rythme régulier.

2/ Les bradycardies : correspondent au ralentissement de la fréquence cardiaque à moins de 60 battements par minute avec un rythme régulier.

3/ Les irrégularités rythmiques (Arythmies) :

Les distances entre les ondes de même nature ainsi que leurs amplitudes ne sont plus constantes.

Les irrégularités rythmiques sont très nombreuses, on distingue parmi d'autres :

- Les extra-systoles ventriculaires (ESV).
- Les pauses longues

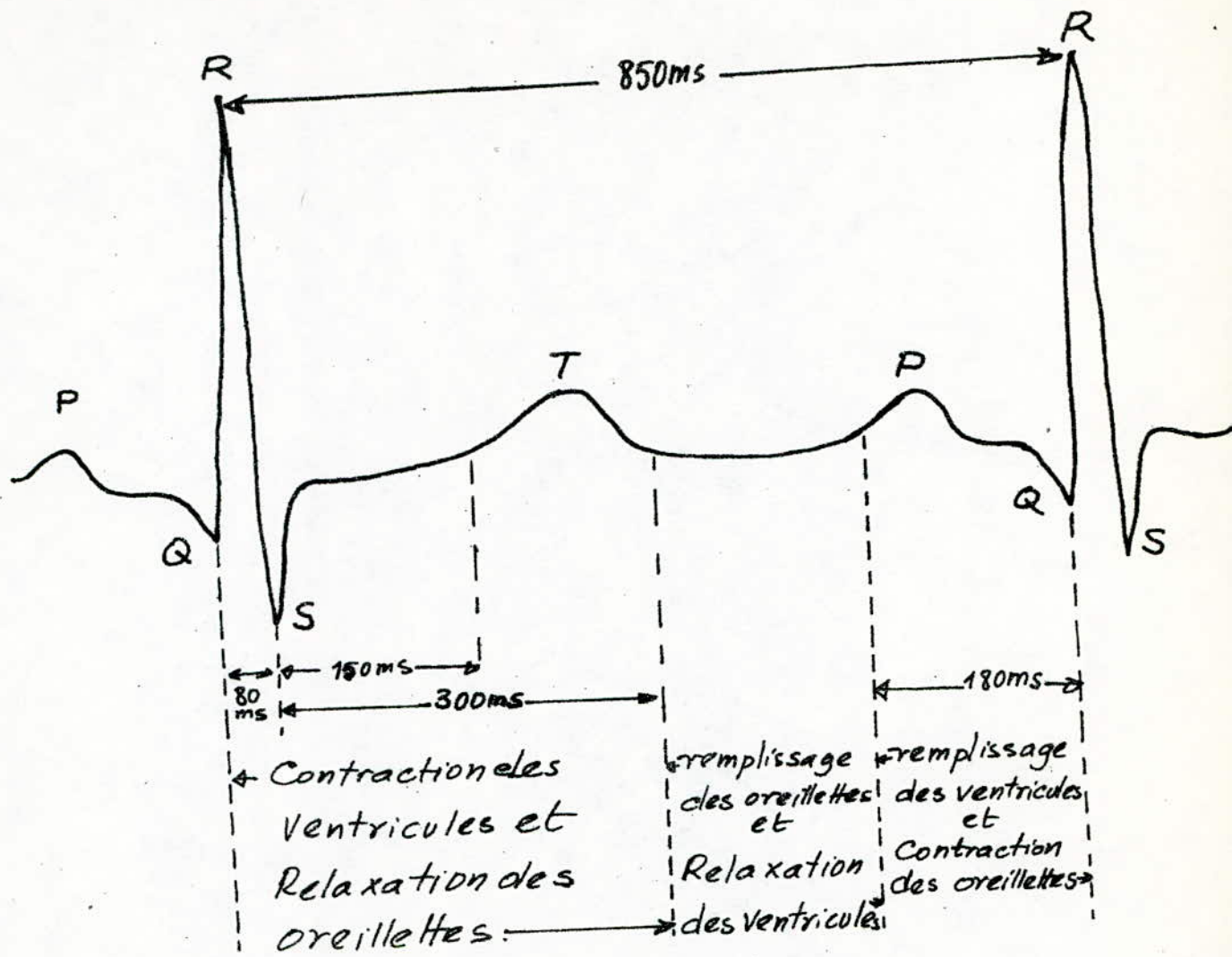


Figure 1: ondes ECG correspondant à un rythme de 70 battements/minute.

- l'absence d'un \bar{a} trois battements par minute.

(Voir figure 2)

III BASES ESSENTIELLES DE L'ETUDE DU RYTHME CARDIAQUE.

L'étude du rythme cardiaque est basée essentiellement sur l'analyse des différents paramètres de l'ECG à savoir :

- le nombre d'ondes R par minute (fréquence cardiaque).
- L'intervalle R-R.
- L'intervalle S-T.
- La durée et la forme des ondes P et T.
- La durée et la forme du complexe QRS.
- Les formes des différentes ondes.

L'analyse et l'étude de quelques paramètres convenablement choisis permettent d'avoir une masse considérable d'informations sur l'activité et le rythme cardiaque.

IV OBJECTIF DU DEMAC.

L'analyse et la mémorisation dans le temps de trois paramètres intéressants du rythme cardiaque font l'objet essentiel du DEMAC.

Ces trois paramètres sont :

- La fréquence cardiaque (nombre d'ondes R/min)
- La période instantannée (d'intervalle R-R).
- Le nombre d'écarts par minute de la période instantannée par rapport à une plage (normale) programmable par l'opérateur.

L'intérêt attaché à l'étude de ces trois paramètres est double :

1 cas pathologique :

- Détection des arythmies cardiaques citées précédemment.

- Etude de l'effet d'un médicament sur le rythme

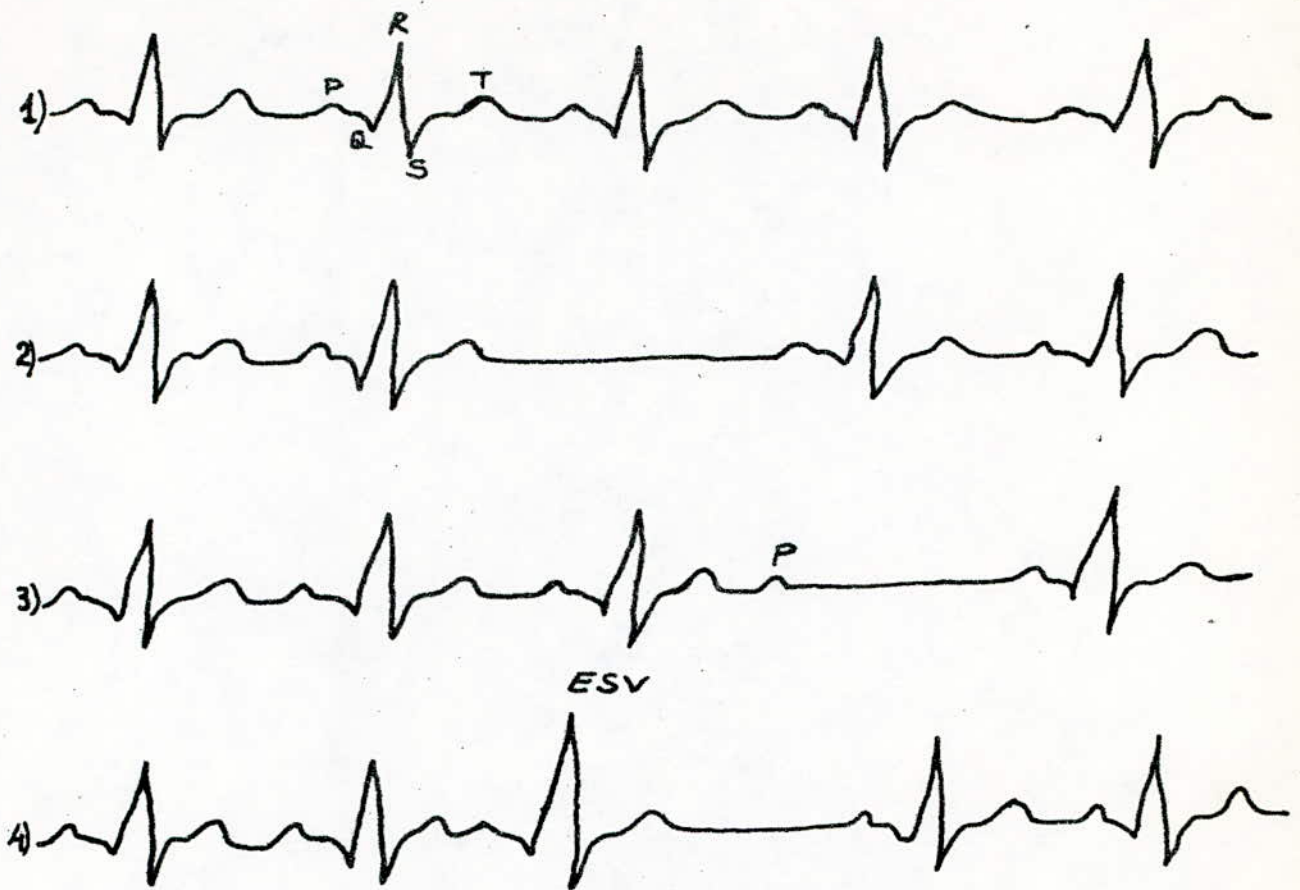


figure 2: Quelques irrégularités du rythme cardiaque.

1) Rythme normal.

2) Absence total d'un battement.

3) Absence du complexe QRST, l'onde P existe.

4) extra systole ventriculaire et pause.

cardiaque.

2/ Cas normal :

- Etude de l'effet des efforts physiques sur le rythme cardiaque.

En analysant les trois paramètres cardiaques cités précédemment, le DEMAC offre certaines possibilités qui constituent ses avantages :

- Pouvoir d'enregistrement continu de longue durée (en moyenne 12 heures).

- Pouvoir de sauvegarder les données cardiaques enregistrées sur une mémoire de masse (cassette commerciale C60), ce qui permet de conserver un fichier d'enregistrement de plusieurs dizaines d'individus dont on a analysé le rythme cardiaque pendant 12 heures en moyenne, sur une telle cassette.

- Pouvoir de dépouillement des résultats sur deux terminaux (Afficheur et imprimante).

CHAPITRE 2

ETUDE ET PRESENTATION DU D.E.M.A.C

I INTRODUCTION.

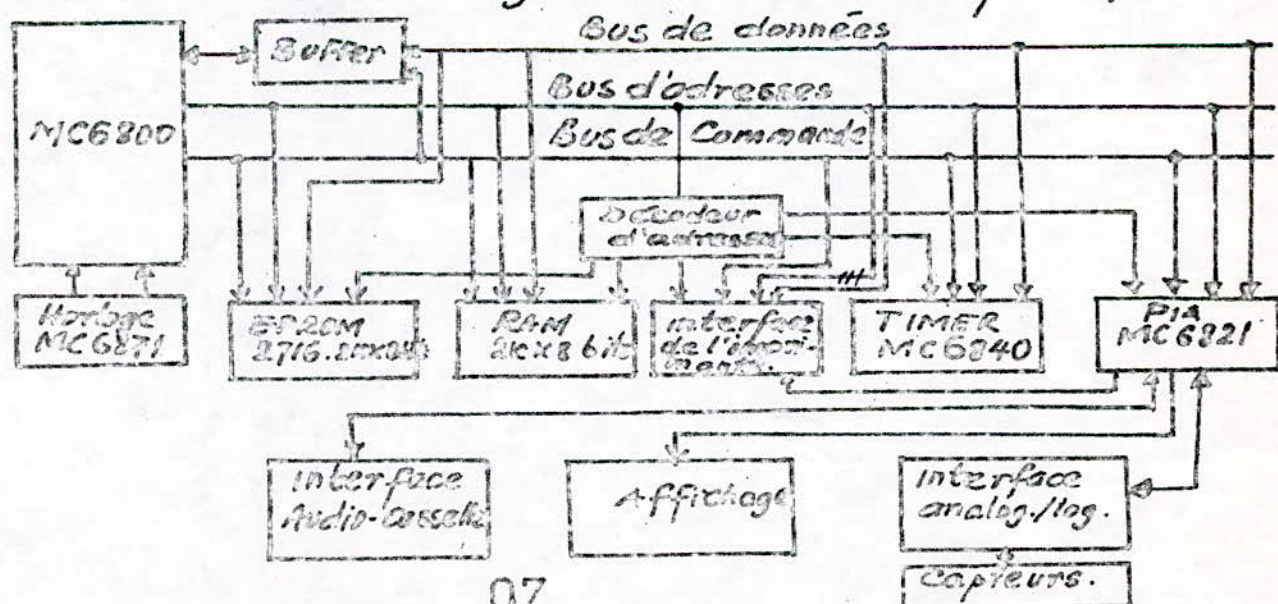
Comme on a indiqué précédemment le DEMAC conçu (prototype d'essai) est destiné à l'acquisition et au traitement de quelques paramètres du signal cardiaque, à rappeler:

- la fréquence cardiaque.
- des périodes instantanées minimale et maximale dans une minute qui sortent d'une plage fixée à volonté (B_1, B_2).
- Le nombre d'écarts par minute de la période instantanée par rapport à l'intervalle (B_1, B_2).

Ces informations précieuses sur l'activité cardiaque enregistrées puis affichées ou imprimées avec leur repérage dans le temps permettent aux médecins, dans le cas pathologique et dans certains cas, d'établir leur diagnostics et leur facilitent le contrôle de l'évolution de l'état du patient. Dans le cas normal le DEMAC peut servir la médecine du sport et celle du travail.

II STRUCTURE GENERALE DU DEMAC.

Le système est conçu autour d'un yprocesseur MC6800. Sa structure générale est donnée par la fig. suivante



III. ETUDE DU MATERIEL.

1. Présentation du MC 6800 :

Le MC 6800 est un microprocesseur monolithique 8 bits, réalisant les fonctions d'unité centrale pour la famille 6800. Il est compatible TTL et ne demande qu'une seule alimentation de +5V.

Il dispose de 3 bus :

1. Bus de données (D_0-D_7) : bidirectionnel et servant au transfert des données.
2. Bus d'adresses (A_0-A_{15}) : unidirectionnel et permet l'accès à un espace mémoire de 64 K octets.
3. Bus de contrôle : composé de 11 lignes
 - R/\bar{W} : pour la lecture l'écriture.
 - VMA : pour la validation d'adresses mémoire.
 - \overline{IRQ} : pour les interruptions masquables.
 - \overline{NMI} : pour les interruptions non masquables.
 - \overline{RESET} : pour la mise à zéro du système.
 - \overline{HALT} : pour l'arrêt du système.
 - ϕ_1 et ϕ_2 : pour les 2 phases de l'horloge.
 - TSC : pour le contrôle des 3 états.
 - DBE : pour l'activation du bus de données.
 - BA : Bus d'adresses disponibles.

Le bus de contrôle permet d'arrêter ou d'initialiser le MPU, et lui structure et facilite le dialogue avec les périphériques.

En outre le MC 6800 contient 6 registres internes :

- 3 registres à 8 bits (Accumulateurs (A et B) et le registre d'état)
- 3 registres à 16 bits (Registre d'index X, Pointeur de pile et le compteur programme PC).

Les 6 registres sont accessibles par programme.

Le jeu d'instruction est composé de 72 instructions de base et les modes d'adressage sont au nombre de 7 (Immédiat, relatif,

direct, étendu, indexé, implicite et accumulateur)

2. MEMOIRES.

1. mémoire vive (RAM):

Elle est destinée à mémoriser les informations cardiaques requises d'une part, d'autre part elle servira, au moment du dé-pouillement à reconstituer le temps pour repérer les informations dans le temps.

Le repérage des données cardiaques dans le temps se fera selon l'agencement suivant:

a) cas où la période instantanée T appartient à l'intervalle (B_1, B_2) : chaque byte indique par sa valeur la fréquence cardiaque (bts/mn), et par sa position par rapport à l'adresse zéro le temps correspondant à la prise de cette information.

b) Cas où la période instantanée sort de la plage (B_1, B_2) : un groupe de 5 bytes successifs mémorise les informations suivantes:

1^{er} byte nul: indiquant qu'il y'a arythmie et qu'il faut prendre les informations suivantes pour une minute:

2^{eme} byte: Contient le nombre d'arythmies enregistrées

3^{eme} byte: Contient la valeur T_1 s'il y'a lieu.

4^{eme} byte: Contient la valeur T_2 s'il y'a lieu.

5^{eme} byte: Indique la fréquence cardiaque

c) cas où l'analyse s'arrête ($T > 2,55$ sec); un groupe de 3 bytes est réservé à cet effet:

- Les 2 premiers nuls indiquant qu'il y'a eu arrêt de l'analyse.

- Le 3^{eme} byte indique le temps d'arrêt correspondant en minutes.

La taille mémoire a été choisie de telle façon qu'on puisse avoir une durée d'enregistrement continu d'au moins 6 heures; ce qui suffit largement les besoins d'utilisation. Cela nécessite, dans le cas le plus défavorable (cas de

présence de troubles en permanence) 1800 bytes en RAM, ce qui imposait une RAM de capacité mémoire d'au moins 2Kx8bits. Pour des raisons du logiciel la RAM choisie (2Kx8bits) a été répartie ainsi:

1. Une pile de 8 bytes pour le sauvegarde des adresses de retour pendant les appels de sous-programmes.
2. une mémoire bloc note de 24 bytes utilisée pour le sauvegarde des données cardiaques temporaires, et pour servir de registres.
3. Le reste (2016 bytes) sera utilisé pour l'enregistrement des informations cardiaques.

7FF à 7FB	pile	
7F7	F (fréquence cardiaque)	} mémorisation temporaire des données cardiaques.
7F6	T ₂ (période max).	
7F5	T ₁ (période min)	
7F4	NA (nombre d'arythmies)	
7F3	A _{1L}	} sauvegarde du registre d'index X pendant la sauvegarde sur cassette et le chargement.
7F2	A _{1H}	
7F1	DE sert à déterminer le passage de "1" à "0" et inversement.	
7F0	Somme mod. 2. contrôle d'une lecture.	
7EF	} utilisés pour la conversion Binaire-BCD et inversement.	
7EE		
7ED		
7EC	B ₂	} (bornes)
7EB	B ₁	
7EA	X _L	} sauvegarde du registre d'index X pendant l'analyse.
7E9	X _H	
7E8		
7E7	H _c	} servent à la reconstitution de l'heure pendant le dépit- lement.
7E6	M _{inc}	
7E5	H _D	} servent au sauvegarde de l'heure de début.
7E4	M _{nd}	
7E3	} zone d'utilité à différents sous-programmes.	
7E2		
7E1		
7E0		
7DF à 000	} mémorisation des données cardiaques.	

figure 2. Répartition de la RAM.

2. mémoire morte:

Elle servira au stockage du programme utilisateur. Une taille mémoire de $2K \times 8$ bits était nécessaire. Pour cet effet une EPROM 2716 tri tension a été utilisée.

3. LE PIA MC6821:

Le PIA MC6821 est un adaptateur programmable, assurant l'échange d'informations entre le MPU (MC6800) et les périphériques.

Il s'interface au MC6800 avec:

- un bus de données ($D_0 - D_7$) bidirectionnel.
- 3 lignes de sélection de boîtier (CS_0, CS_1, CS_2).
- 2 lignes de sélection de registres ($\overline{IRQA}, \overline{IRQB}$).
demande d'interruption
- une ligne de lecture/écriture. (R/\overline{W}).
- une ligne d'horloge (E).
- une ligne d'initialisation (\overline{RESET}).

Ces lignes permettent au MPU le contrôle complet du PIA.

L'interfaçage avec les périphériques est assuré par:

- 2 ports A et B: Chaque port est équipé de 8 lignes bidirectionnelles ($PA_0 - PA_7$ et $PB_0 - PB_7$). Ces 2 ports assurent le transfert des informations dans les 2 sens.
- 4 lignes de contrôle (CA_1, CA_2, CB_1 et CB_2): les lignes CA_1 et CB_1 sont utilisées uniquement en entrée pour une demande d'interruption correspondante à la mise à "1" des bits CA_7 et CB_7 . Tandis que les lignes CA_2 et CB_2 peuvent être utilisées soit en entrée soit en sortie.

1. Registres internes du PIA:

Le MC6821 est organisé en 2 moitiés symétriques A et B. chaque moitié comporte 3 registres à 8 bits chacun:

- a. un registre de données ORA (ORB): il sert de tampon d'échange d'informations.
- b. un registre de sens de transfert des données DDRA (DDR B): chaque bit de ce registre détermine le sens de transfert

de la ligne de donnée correspondante.

$$\begin{cases} (DDRAx) = 1 & \text{la ligne de donnée correspondante en sortie.} \\ (DDRBx) = 0 & \text{la ligne de donnée correspondante en entrée.} \end{cases}$$

c. un registre de contrôle CRA (CRB) : il permet au MPU le contrôle du fonctionnement des lignes de contrôle / interruption CA1, CA2 (CB1, CB2).

Les bits b0 - b5 peuvent être lus ou écrits par le MPU et sont modifiés par les interruptions externes sur les lignes de contrôle tandis que les bits b6 et b7 sont uniquement lus.

L'arrivée sur les lignes (CA1, CA2, CB1 et CB2) d'une interruption externe, ou la lecture des registres ORA (ORB) par le MPU modifie les bits b6 et b7.

[l'état logique de b0 autorise ou masque la demande d'interruption arrivant sur CA1 (CB1)]

$$b_0 = \begin{cases} 0 & \text{les interruptions sont masquées.} \\ 1 & \text{Les interruptions sont autorisées.} \end{cases}$$

[l'état logique de b1 détermine le front actif de l'impulsion de demande d'interruption appliquée sur CA1 (CB1) :

$$b_1 = \begin{cases} 0 & \text{front actif } \bar{z} \\ 1 & \text{front actif } \bar{5} \end{cases}$$

Le bit b2 permet l'adressage des registres ORA (ORB) et DDRA (DDRB). le tableau suivant donne l'adressage de tous les registres :

RS1	RS0	CR2	CR2	Reg. sélectionné.
0	0	1	X	ORA
0	0	0	X	DDRA
0	1	X	X	CRA
1	0	X	1	ORB
1	0	X	0	DDRB
1	1	X	X	CRB

fig 3. Adressage interne de tous les registres du PIA.

Le bit b5 permet de programmer CA2 (CB2) en entrée ou en sortie.

• si b5 = 0 CA2 (CB2) est programmée en entrée, dans ce cas les bits b3, b4 et b6 ont respectivement le même rôle que les bits b0, b1 et b7.

• si $b_5 = 1$ CA2 (CB2) est programmée en sortie. ce cas génère 3 modes de fonctionnement :

- SET/RESET ($b_5 = 1, b_4 = 1, b_3 = 0/1$).
- HANDSHAKING ($b_5 = 1, b_4 = 0, b_3 = 0$).
- Pulse STROBED. ($b_5 = 1, b_4 = 0, b_3 = 1$).

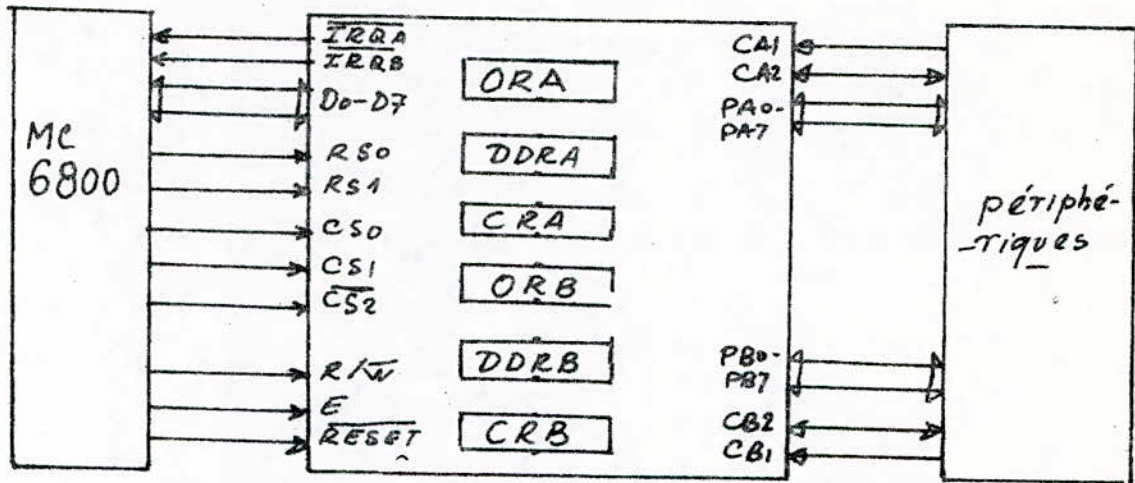


figure 4. schéma fonctionnel de la PIA.

2. programmation du PIA (dans le DEMAC):

le PIA occupe les adresses mémoires suivantes :

8000 : ORA et DDRA.

8001 : CRA.

8002 : ORB et DDRB.

8003 : CRB.

le port B est programmé en sortie (chargement de DDRB par FF) pour faire sortir les informations sur afficheurs.

le port A est programmé de telle façon que PA₀-PA₃, PA₆ et PA₇ soient en entrée et PA₄ en sortie (pour le point virgule de l'affichage).

Les fronts actifs des impulsions de demande d'interruptions arrivant sur CA₁ et CB₁ sont programmés pour qu'ils correspondent aux transitions négatives. ($CEA_1 = CEB_1 = 0$).

* la ligne CB₂ est programmée en entrée ($CRB_5 = 0$)

* la ligne CA₂ est programmée en pulse strobed.

L'échange d'informations DEMAC-opérateur se fait à l'aide de 4 afficheurs hexadécimaux (TILL 311), et opérateur-DEMAC

grâce à une roue codeuse décimal-BCD, 3 touches, 2 boutons poussoirs et 2 commutateurs.

* Les touches (T_1, T_2, T_3) permettent de faire entrer respectivement l'heure de début et les bornes B_1 et B_2 et contribuent à la sélection des modes :

- dépouillement sur afficheurs.
- Sortie sur imprimante.
- Sauvegarde sur cassette.
- Lecture cassette.

* Les 2 boutons poussoirs agissent directement sur le MC 6800 :

- l'une initialise le système à n'importe quel moment.
- l'autre agit sur le \overline{NMZ} et permet par conséquent d'arrêter le processus en cours en attente du choix de l'un des 4 modes cités plus haut.

* La roue codeuse permet de faire entrer les nombres chiffre par chiffre de droite à gauche, le point virgule se place automatiquement. Le code d'affichage opté est le suivant :

- 4 chiffres —————→ H Mn. (heure à l'arrêt près)
- Lettre A et 3 chiffres —————→ Nombre d'arythmies (NA)
- Lettre B et 3 chiffres —————→ Bornes en secondes.
- Lettre C et 3 chiffres —————→ T_1 en sec.
- Lettre D et 3 chiffres —————→ T_2 en sec.
- Lettre F et 3 chiffres —————→ Fréquence cardiaque (bts/min)
- EEEE —————→ Erreur
- BBBB —————→ Commutateurs correctement positionnés
- AAAA —————→ Arrêt de l'analyse.
- BELL —————→ DEMAC prêt.

• 4 chiffres dont le premier est toujours nul → temps d'arrêt en min.

* Les commutateurs (K_1 et K_2) permettent au PIA de passer du mode entrée de données de programmation au mode d'analyse de l'ECG.

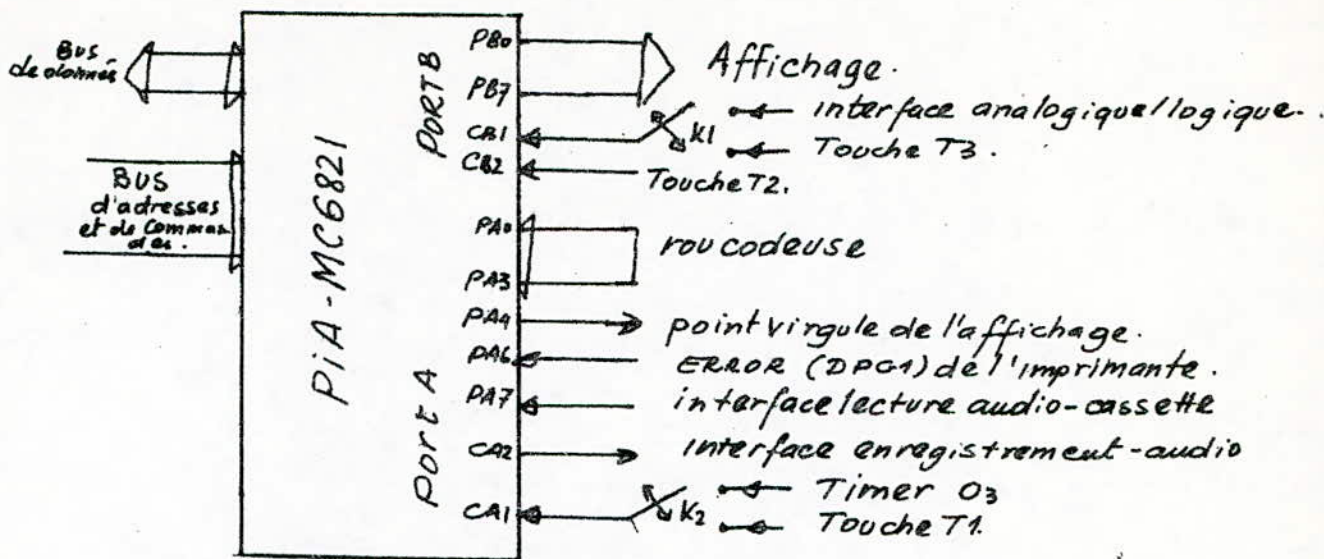


figure 5: schéma synoptique d'interconnexion du PIA avec le MPU, les interfaces et les touches de commande.

4. LE TIMER MC 6840:

Le TIMER MC 6840 est un temporisateur programmable de la famille 6800. Il se compose de 3 compteurs 16 bits, 3 registres de contrôle leur correspondant, et un registre d'état. Les 3 compteurs commandés par logiciel peuvent être programmés pour générer des impulsions et / ou des signaux de sortie.

Le MC 6840 peut être utilisé pour la mesure de fréquence ou d'intervalle de temps, le comptage d'événements et la génération de signaux carrés de durée et de largeur programmables. Les 3 compteurs et leurs registres tampons associés constituent 3 temporisateurs (TM1, TM2, TM3) pouvant être programmés indépendamment pour fonctionner dans des modes différents. Les 3 temporisateurs sont accessibles par le MPU comme n'importe quelle adresse mémoire.

1. DESCRIPTION EXTERNE:

Le MC 6840 est lié au MPU (MC 6800) par:

- * un bus de données (D₀ - D₇): bidirectionnel et contribue à l'échange d'information entre le TIMER et le MPU. Les lignes de bus restent à l'état haute impédance sauf quand le MPU fait une lecture du TIMER.

* 2 lignes de sélection de boîtier. ($\overline{CS0}$, $CS1$).

* 1 ligne de lecture/écriture (R/\overline{W}).

* une ligne de validation $E(\phi_2)$: Cette ligne permet la synchronisation du transfert des données entre le MPU et le TIMER. Elle synchronise aussi les entrées d'horloge externe (\overline{E}), d'initialisation ($\overline{R\overline{E}S\overline{E}T}$) et de déclenchement (\overline{G}) du TIMER.

* 1 ligne $\overline{I\overline{R}Q}$ qui permet, si elle est validée, l'adressage d'interruption au MPU.

* une ligne $\overline{R\overline{E}S\overline{E}T}$: lorsqu'un niveau actif est détecté les actions suivantes ont eu lieu.

a- tous les registres tampons sont prépositionnés à leur valeur maximale de comptage.

b- tous les bits des 3 registres de contrôle sont mis à zéro sauf $CR10$ (bit de réinitialisation interne) qui est mis à "1"

c- tous les compteurs sont chargés par le contenu de leurs registres tampons associés.

d- Toutes les sorties des compteurs (Ox) sont mises à "0" et les horloges externes sont inhibées

e- tous les bits du registre d'état sont mis à zéro.

* trois lignes de sélection des registres internes.

Ces lignes sont utilisées en relation avec la ligne R/\overline{W}

Le tableau suivant donne les modes de sélection des différents registres.

ENTRÉES de Sélection des reg.			OPÉRATIONS	
RS2	RS1	RS0	$R/\overline{W}=0$	$R/\overline{W}=1$
0	0	0	$CR20=0$ écrit. reg. int. 3 $CR20=1$ écrit. reg. int. 2	Pas d'opération
0	0	1	écriture reg. contrôle 2	Lecture reg. d'état
0	0	0	écrit. reg. tampon MSB	Lect. temporisateur 1
0	1	1	écrit. reg. tampon LSB	Lect. temporisateur LSB
1	0	0	écrit. reg. tampon MSB	Lect. temporisateur 2
1	0	1	écrit. reg. tampon LSB	Lect. Temporisateur LSB
1	1	0	écrit. reg. tampon MSB	Lect. Temporisateur 3
1	1	1	écrit. reg. tampon LSB	Lect. Temporisateur LSB

LSB: octet poids faible
MSB: octet poids fort.

fig 6. modes de sélection des différents registres.

Le TIMER dispose en plus de 9 lignes d'entrées-sorties utilisées pour les horloges externes, les déclenchements et les sorties des compteurs. Ces lignes sont:

- 3 lignes d'entrées-horloge ($\bar{C}_1, \bar{C}_2, \bar{C}_3$)

Ces entrées acceptent des signaux TTL asynchrones pour décré-
-rémenter les temporisateurs 1, 2 et 3 respectivement. Un signal injecté
sur l'une de ces entrées est échantillonné par l'horloge ϕ_2 . 3 périodes
de ϕ_2 sont utilisées pour la synchronisation et la prise en compte
de l'horloge externe par le TIMER, la 4^{ème} période décrémente
le compteur correspondant. En plus l'entrée d'horloge externe
 \bar{C}_3 permet de programmer le temporisateur 3 en mode option-
-nel (prédivision par 8). La fréquence maximale des horloges est
imposée par l'horloge ϕ_2 et les temps de préétablissement et
de maintien.

- 3 lignes d'entrées de déclenchement ($\bar{G}_1, \bar{G}_2, \bar{G}_3$):

Ces entrées acceptent aussi des signaux asynchrones TTL
pour déclencher le fonctionnement des temporisateurs
1, 2 et 3 respectivement. Les signaux arrivant sur ces entrées
sont reconnus par le TIMER de la même façon que ceux arri-
-vant sur les entrées horloges et affectent directement les
compteurs 16 bits, par conséquent l'entrée \bar{G}_3 est indépen-
-dante de la sélection du mode "Prédivision par 8".

- 3 lignes de sortie des temporisateurs (O_1, O_2, O_3):

Lorsqu'elles sont validées ces lignes peuvent produire des signaux
dont la forme est définie par le mode de fonctionnement.

2. DESCRIPTION INTERNE:

A. les registres:

Le MC 6840 dispose de

* 3 registres de contrôle (CR_1, CR_2, CR_3) associés aux tempo-
-risateurs (TM_1, TM_2, TM_3)

* 3 registres tampons MSBX ($x=1, 2, 3$) associés aux TM_1, TM_2, TM_3

* 3 registres tampons LSBX associés aux TM_1, TM_2, TM_3 .

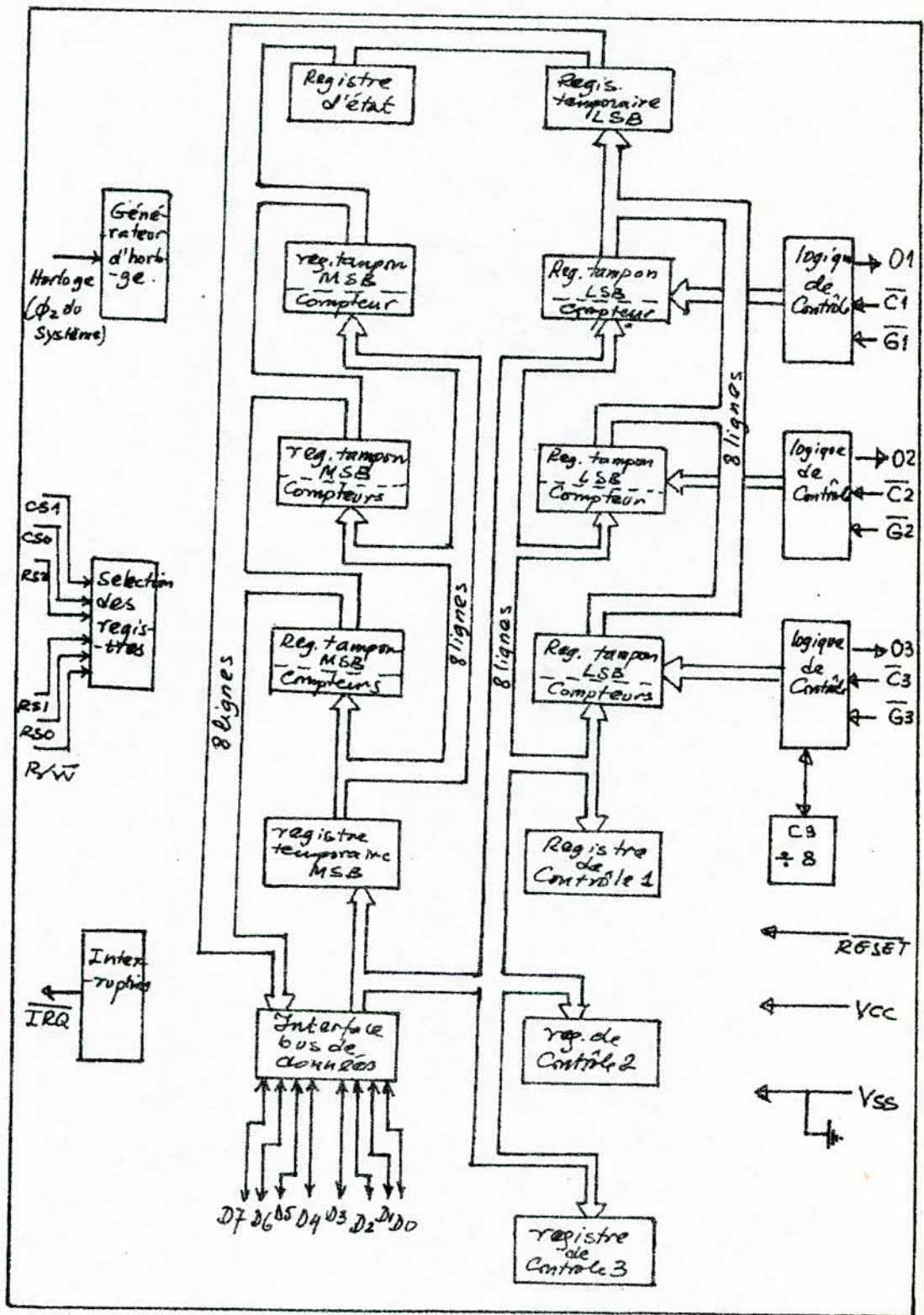


schéma fonctionnel du Timer MC 6840

- * un registre d'état
- * un registre temporaire (Buffer) MSB.
- * un registre temporaire LSB.
- * 3 compteurs 16 bits.

A1 registres de contrôle (CR1, CR2, CR3).

Ces registres à 8 bits chacun sont à écriture seulement. Ils permettent de définir pour chaque temporisateur :

- Le mode de fonctionnement.
- La validation de la ligne \overline{IRQ} et de la sortie.
- L'horloge à utiliser (externe ou interne).

toutefois il existe une exception pour les bits CR10 et CR20 dont les rôles consistent en ce qui suit :

a) le bit CR10 : ce bit s'il est à "0" il permet aux temporisateurs de fonctionner selon les états des autres bits. S'il est à "1" il initialise les compteurs avec les contenus de leurs registres tampons, invalide les horloges et met à zéro toutes les sorties et les bits du registre d'état.

Les registres tampons et de contrôle ne sont pas affectés par l'état logique de ce bit.

b) le bit CR20 : utilisé comme bit d'adressage supplémentaire des registres de contrôle 1 et 3 évidemment lorsque $RS0 = RS1 = RS2 = 0$ (voir fig 6).

c) le bit CR30 : utilisé pour sélectionner ou non la prédivision par 8 qui n'existe que pour TM3.

d) le bit CRx1 (x=1,2,3) : il permet de sélectionner le type d'horloge à utiliser (externe $\overline{\phi}_x$ ou interne ϕ_2) pour le temporisateur correspondant.

e) le bit CRx2 : il indique la façon de traiter le mot contenu dans le registre tampon d'un même temporisateur.

$$CRx2 = \begin{cases} 0 & \text{mot de 16 bits.} \\ 1 & \text{2 mots de 8 bits chacun.} \end{cases}$$

f) bits CRx3, CRx4, CRx5 : la combinaison de ces bits

détermine le mode de fonctionnement du temporisateur correspondant.

Registre de contrôle			modes de fonctionnement du temporis.
CRX3	CRX4	CRX5	
0	*	0	CONTINU.
0	*	1	MOMOCOUR.
1	0	*	Comparaison de fréq.
1	1	*	Comparaison de largeur d'imp.

fig 7 :
modes de fonctionnement.

g) le bit CRX6 : utilisé pour le masquage ou la validation de la ligne d'interruption du temporisateur correspondant.

$$CRX6 = \begin{cases} 0 & \text{masquage de la demande d'interruption.} \\ 1 & \text{démasquage de la demande d'interruption.} \end{cases}$$

h) le bit CRX7 : il sert au masquage ou au démasquage de la sortie Ox.

A2. Registre d'état et indicateurs d'interruption:

C'est un registre à 8 bits à lecture seulement qui contient 4 indicateurs d'interruption (des 4 autres ne sont pas utilisés) les bits 0, 1, 2 sont affectés respectivement aux temporisateurs TM1, TM2, TM3, en tant qu'indicateurs individuels. Le bit 7 est un indicateur commun (Ic)

L'état de Ic est donné par l'équation logique suivante:

$$I_c = I_1 CR16 + I_2 CR26 + I_3 CR36.$$

I_1, I_2 et I_3 étant les indicateurs individuels de TM1, 2, 3 respectivement. La remise à zéro de I_1, I_2 et I_3 peut se faire soit par \overline{RESET} externe soit par \overline{RESET} interne ($CR10=1$)

A3. Registres temporaires (MSB et LSB).

Ce sont des buffers à 8 bits à lecture seulement. le premier sert au stockage temporaire de l'octet de poids fort (MSB) de la donnée ^{à écrire}. le second sert au transfert de l'octet LSB de la donnée à lire.

B. Initialisation des compteurs.

L'initialisation des compteurs a lieu chaque fois

qu'on fait :

- $\overline{RESET} = 0$ initialisation externe. (matérielle)
- $CR10 = 1$ initialisation interne (par logiciel)
- une écriture dans les registres tampons.
- une transition négative sur \overline{G}

Les 2 derniers cas dépendent du mode de fonctionnement des temporisateurs.

C. modes de fonctionnement :

C.1 mode continu : Le bit $CRX2$ permet de choisir le type du signal traité qui peut se présenter sous 2 formes :

- carrée : le mode utilisé est le "normal 16 bits"
- asymétrique : le mode utilisé est le "dual 8 bits"

En mode "Normal 16 bits", Les registres tampons LSB et MSB sont chargés par la valeur N . Lorsque \overline{G} est activé et qu'aucune condition d'initialisation n'apparaît, le compteur se décrémente à chaque période d'horloge. la fin de comptage TO (Time out) a lieu après $(N+1)$ impulsions d'horloge (tous les bits du compteur sont à "0"). T.O. met à "1" l'indicateur individuel d'interruption et change l'état de la sortie du compteur (lorsqu'elle est validée).

En mode "dual 8 bits" l'octet MSB chargé par la valeur M se décrémente chaque fois que le contenu $(L+1)$ a été décrémente jusqu'à zéro (L étant le contenu de LSB). A la période suivante de l'horloge, le LSB est réinitialisé avec le contenu du MSB et se décrémente de 1. La sortie si elle est validée reste à l'état bas jusqu'à ce que le MSB passe à "0", elle passe à l'état haut à l'arrivée de l'impulsion suivante et reste ainsi jusqu'à ce que le MSB et le LSB du compteur passent à zéro.

Cas particuliers :

a. $L = 0$ le temporisateur fonctionne comme en mode

16 bits et la fin de comptage a lieu après $(M+1)$ impulsions.
b. $L=M=0$ La Sortie oscille à une fréquence égale à la moitié de la fréquence de l'horloge.

c.2 mode monocoup (monostable):

Ce mode est identique au mode continu à quelques exceptions près.

c.3. modes de mesure d'intervalles de temps:

Dans ces modes les indicateurs individuels d'interruption sont mis à 1 en fonction des fins de comptage (T.D) et des transitions sur l'entrée \bar{G}_1 . L'initialisation du compteur est aussi affectée par l'état de l'indicateur d'interruption.

c.4. mode de comparaison de fréquence : chacun des temporisateurs peut être programmé pour comparer la période d'une impulsion sur l'entrée \bar{G}_1 avec la période nécessaire pour une fin de comptage.

c.5. mode de comparaison de largeur d'impulsion : ce mode est identique au précédent sauf que la fin de comptage est provoquée par la transition positive sur l'entrée \bar{G}_1 .

2 LE MC 6840 au sein du DEMAC :

Le MC 6840 commandé par programme contribue à la mesure de différents intervalles. Il est programmé de la façon suivante :

TM2 : programmé en multivibrateur délivrant des impulsions d'horloge de période T de 10 msec. qui servira comme unité de temps.

TM1 : programmé en décompteur, il permettra la mesure de la période instantanée séparant 2 impulsions cardiaques.

TM3 : programmé en multivibrateur 2x8 bits avec horloge divisée par 8, de façon à délivrer une impulsion

brève à chaque minute.

Le MC 6840 occupe la zone mémoire 2000 à 2007, répartie comme suit:

2000	CR1 ou CR3 (selon que CR20 = "1 ou 0")
2001	CR2
2002	Poids fort de RG1 (écriture) ou \bar{C}_1 (lecture)
2003	Poids faible de RG1 (écriture) ou \bar{C}_1 (lecture)
2004	Poids fort de RG2 (écriture) ou \bar{C}_2 (lecture)
2005	Poids faible de RG2 (écriture) ou \bar{C}_2 (lecture)
2006	Poids fort de RG3 (écriture) ou \bar{C}_3 (lecture)
2007	Poids faible de RG3 (écriture) ou \bar{C}_3 (lecture)

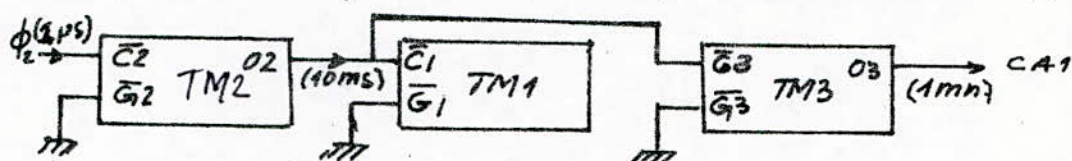


fig. 9: interconnexions du TIMER

Analyse du programme du Timer :

le programme étant le suivant :

```
CLR 2001H.  
LDA A#85H  
STA A2000H  
LDA A#83H.  
STA A2001H  
LDX 1387H.  
STX 2004H.  
LDX #FFH.  
STX 2000H  
LDX #F902H.  
STX 2002H  
CLR 2000H.
```

Analyse instruction par instruction :

```
CLR 2001H → Sélection de CR3 (CR20=0)  
LDA A#85H } cela prépositionne les bits: CR30 à 4'  
STA A2000H } → Sélection de la prédiv. / 8
```

CR31 à "0" → choix de l'horloge externe sur \bar{C}_3 .

CR32 à "1" → Choix du mode 2x8 bits.

CR3,4,5 à "0" → choix du mode Continu.

CR36 à "0" → masquage de la sortie \overline{IRQ} .

CR37 à "1" → validation de la sortie O_3 .

Donc le TM3 est bien programmé en multivibrateur 2x8bits avec horloge externe divisée par 8.

LDA A#83H. } → prépositionnement des bits:

STA A 2001H } CR20 à "1" → Sélection du registre CR1

CR21 à "1" → Sélection de l'horloge interne

Φ_2

CR22 à "0" → choix du mode 16 bits.

CR23,4,5 à "0" → choix du mode Continu.

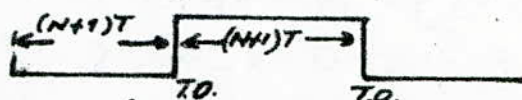
CR26 à "0" → masquage de la sortie \overline{IRQ} .

CR27 à "1" → validation de O_2 .

Donc le TM2 est bien programmé en mode continu avec horloge interne Φ_2 (de période 1µsec.).

LDX #1387H } chargement du compteur 2 par 1387H
STX 2004 } (RG2) = 1387H = (4999)₁₀ = N.

le signal recueilli à la sortie O_2 est de la forme suivante:



la période du signal recueilli t est:

$$t = 2(N+1)T = 2(4999+1)1.0\mu s = 10 \text{ msec.}$$

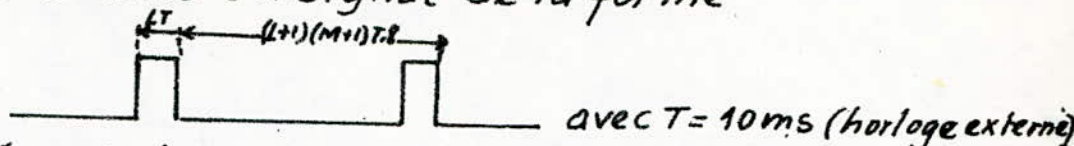
LDX #FFH } chargement du compteur 1 par 255₁₀
STX 2002H } pour être utilisé ultérieurement pour

la mesure de la période instantanée séparant deux impulsions cardiaques (s/prog. traitement impulsion)

LDX F902H. } chargement du Compteur 3 par
STX 2006H } F9H = 24₁₀ dans le MSB

02H = 2₁₀ dans le LSB.

à la sortie on aura un signal de la forme



dont la période $t = (L+1)(M+1)T \cdot 8 = 60 \text{ sec} = 1 \text{ mn}$.

La prédivision par 8 a pour but d'augmenter la période du signal de sortie.

CLR 2000 H → prépositionnement de tous les bits de CR1 à '0' ce qui entraîne la mise en fonctionnement des 3 temporisateurs, le choix de l'horloge externe appliquée à $\overline{C1}$, la sélection du mode Continu et le masquage de \overline{IRQ} et de la sortie O1

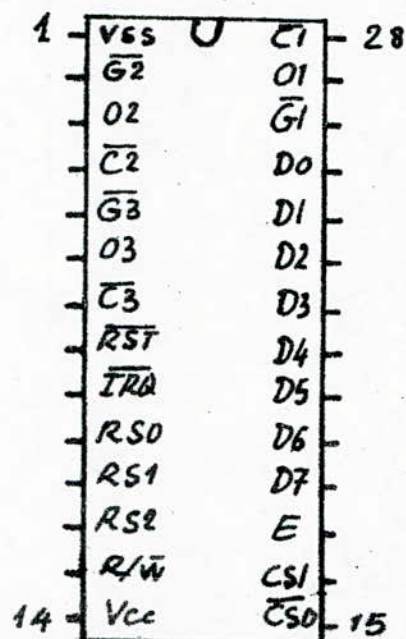


fig.10 brochage du MC6840.

5. L'IMPRIMANTE DP822:

L'imprimante DP822 est un modèle très économique, utilisant le mode d'impression série à 7 aiguilles et à impact. Ses caractéristiques principales sont:

1. Vitesse d'impression 2,5 lignes/sec = 60 caractères/sec.
2. nombre de colonnes 18 ou 24 au choix.
3. matrice d'impression 5x7.

1 Taille des caractères générés:

les figures 11 et 12 donnent les dimensions des caractères imprimés.

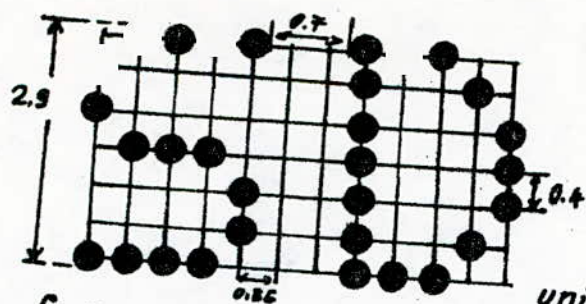


fig.11. cas d'impression de 18 colonnes.

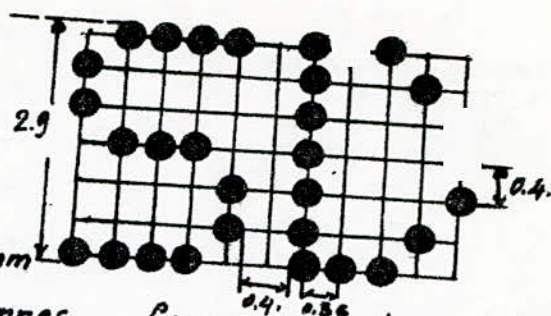


fig.12. cas d'imp. de 21 col.

2 tête d'impression:

la tête d'impression étant composée de 7 aiguilles (électros) qui permettent d'imprimer une multitude de caractères par programme. la figure suivante donne le principe de fonctionnement.

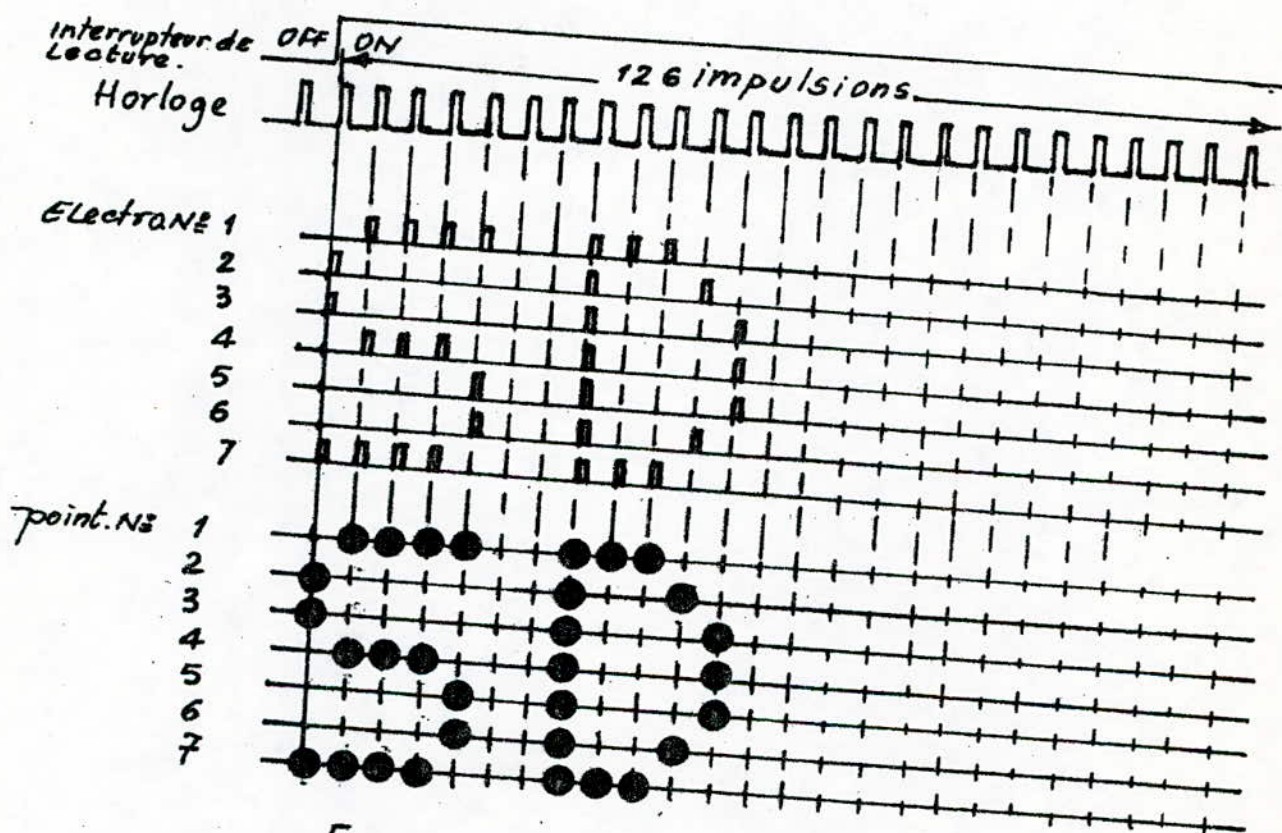


Figure 13. principe de génération de caractères. (cas du mode 18 colonnes).

3. Gestion de l'imprimante:

Connectée à la 822-08 qui comprend toute l'électronique nécessaire à la gestion et au contrôle de la DP822, tel que l'interface DPC-1, la commande du moteur (motor driver), la commande des électros

d'impression etc... , l'imprimante (DP822) peut être complètement contrôlée par un système microprogrammé tel que le DEMAC, et ce à travers les bus de données et de contrôle.

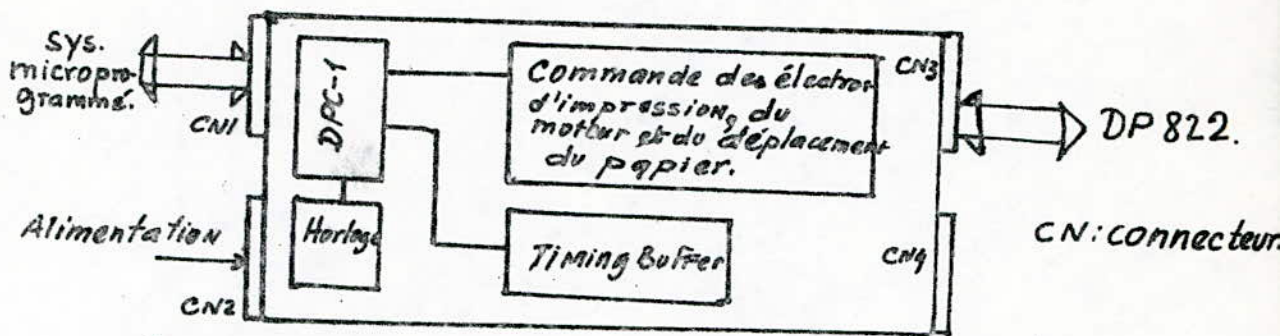


fig. 14. Bloc diagramme de la 822-08.

3.1 L'interface DPC-1:

Le DPC-1 est destiné au contrôle de l'imprimante DP822 à impact. Il interface la DP822 et un microprocesseur 8 bits et dispose d'un buffer d'impression et d'une matrice 5x7 pour la génération des 128 caractères ASCII

description externe:

la figure 15 donne son brochage.

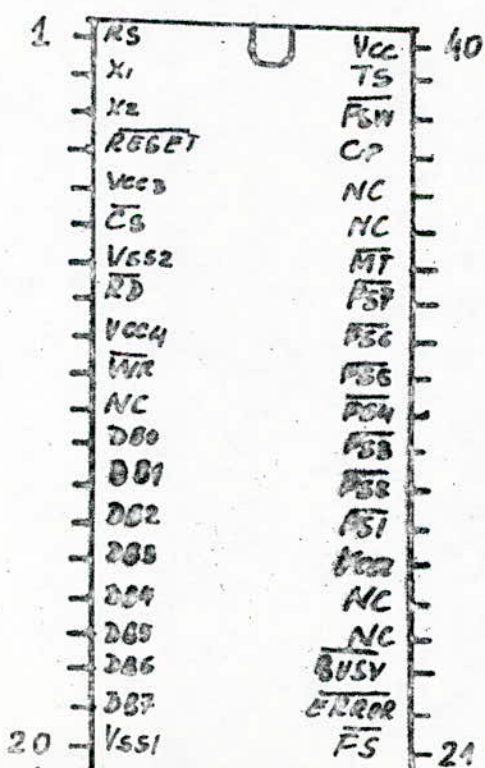


fig. 15. Brochage de la DPC-1

- la ligne RS doit être maintenue à "1" lorsque la tête d'impression est à la position de repos.
- les lignes X1, X2 permettent l'emplacement du cristal (6MHz)
- la ligne \overline{ERROR} : quand un cycle des signaux d'impression dépasse 200 msec. cette ligne est activée.
- le Bus (DB0-DB7): bus de données bidirectionnel.
- le Bus (PS1-PS7): destiné aux électros d'impression.
- la ligne \overline{RD} : utilisée pour

la lecture des états.

- la ligne \overline{WR} : utilisée pour l'écriture des données.
- la ligne \overline{CS} : pour la sélection de boîtier.
- la ligne \overline{FS} : utilisée pour la commande de l'électro. de déplacement du papier (Paper Feed).
- la ligne \overline{MT} : utilisée pour la commande du moteur.
- la ligne CP : pour la sélection du nombre de colonnes.
$$CP = \begin{cases} 1 \rightarrow 24 \text{ Colonnes} \\ 0 \rightarrow 18 \text{ Colonnes.} \end{cases}$$
- la ligne \overline{BUSY} : quand le DPC-1 exécute le transfert des commandes ou des données, cette ligne est activée.
- la ligne \overline{FSW} : utilisée pour le déplacement du papier extérieurement.
- les lignes V_{SS1} et V_{SS2} : doivent être maintenues à 0V.
- les lignes $V_{CC1,2,3,4}$: doivent être maintenues à +5V.

3.2. Fonctionnement.

La DP822 est caractérisée par 2 modes de fonctionnement

* mode local : ce mode est caractérisé à son tour par 2 opérations :

- a) déplacement du papier extérieurement
- b) Auto-test de l'imprimante : une transition négative sur \overline{FSW} met l'imprimante en marche, imprimant par conséquent 3 lignes de caractères ASCII (24H - 5F).

* mode étendu (on-line mode) : la DP822 est contrôlée par le microprocesseur par l'intermédiaire de la DPCA. ce mode peut être décrit dans les opérations suivantes :

a. écriture des données dans le buffer d'impression :

Le buffer d'impression mémorise les données à imprimer. le DPC-1 renvoie le signal \overline{BUSY} durant la réception et la mémorisation d'un caractère.

b. L'impression des données stockées dans le Buffer :

Quand le DPC-1 reçoit la commande d'impression (LF), tous les caractères mémorisés dans le buffer d'impression

sont imprimés.

c. Déplacement de papier (Paper Feed):

Si une commande d'impression est lancée sans l'envoi d'un caractère à imprimer, cette commande est traitée comme étant une commande de déplacement du papier et alors la DP822 défile le papier aussi loquement qu'on le désire (programmable jusqu'à 31 lignes)

d. Lecture des états:

2 Sorties pour les états sont à envisager:

- L'une destinée au bus buffer.
- L'autre est réservée à \overline{Busy} .

Ces 2 sorties sont utilisées par le microprocesseur pour le contrôle du temps d'écriture des données et des commandes.

3.3. Déroulement des opérations.

les actions du DPC-1 sont contrôlées par le microprocesseur grâce aux signaux de commande (\overline{CS} , \overline{RD} et \overline{WR})

\overline{CS}	\overline{WR}	\overline{RD}	Bus de données	opération
0	0	0		interdit
0	0	1	données à imprimer commandes	écriture
0	1	0	Etats.	lecture
0	1	1		pas d'opér.
1	X	X		DPC-1 non valide.

a. lecture des états:

- Signaux de contrôle $\overline{CS} = 0$ $\overline{WR} = 1$ $\overline{RD} = 0$
- FORMAT D_7 D_0
 $X \ X \ X \ X \ X \ \overline{Busy} \ IBF \ X$

$IBF = \begin{cases} 1 \rightarrow \text{bus de données plein.} \\ 0 \rightarrow \text{bus de données vide.} \end{cases}$

$\overline{Busy} = \begin{cases} 1 \rightarrow \text{BUSY (occupé)} \\ 0 \rightarrow \text{prêt.} \end{cases}$

b. écriture des commandes.

• signaux de contrôle $\overline{CS}=0$ $\overline{WR}=0$ $\overline{RD}=0$

• états $IBF=0$ $BUSY=0$

c. commande d'impression.

• Format D_7 D_0
0 0 0 0 1 0 1 0 = (0AH = LF)

Quand "LF" est écrite après le transfert des données à imprimer, La DP822 Commence à imprimer les données et avance le papier d'une ligne, le buffer d'impression et le pointeur sont effacés après l'opération d'impression.

d. contrôle de la commande Reset:

• Format D_7 D_0
0 0 0 1 0 0 0 1 = (11H = DCI)

Quand la commande DC1 est lancée le DPC-1 devient Comme suit:

- Buffer d'impression - - - - "SP" part tout.
- pointeur du buffer d'impression - - - Colonne N:1
- Sortie ERROR - - - - - mise à zéro.

e. écriture des données à imprimer:

• Signaux de contrôle $\overline{CS}=0$ $\overline{WR}=0$ $\overline{RD}=1$

• états $IBF=0$ $BUSY=0$

• Format D_7 D_6 - - - - D_0
 b_7 b_6 - - - - b_0

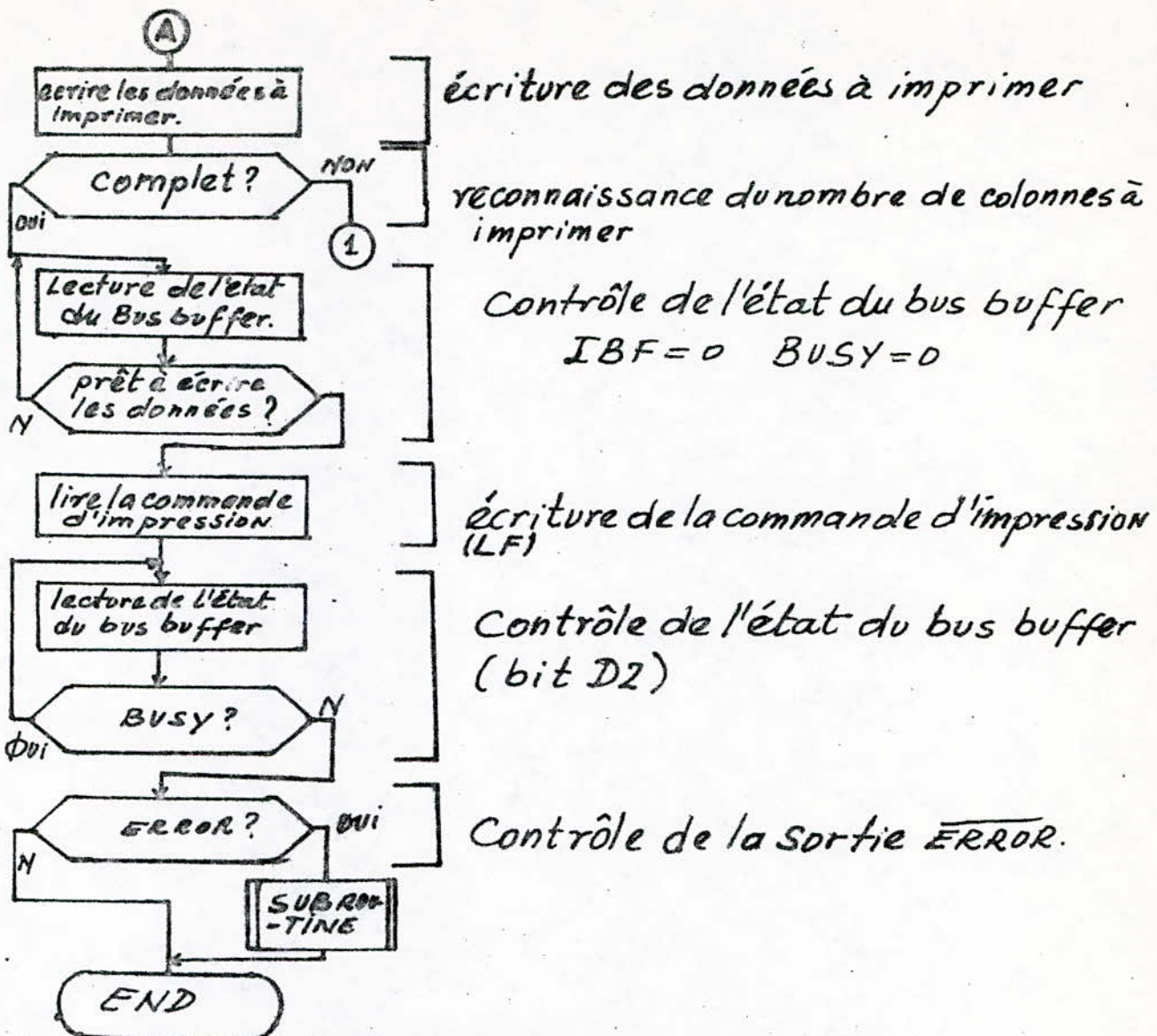
En annexe on trouvera le tableau du code ASCII des caractères générés.

34. Organigrammes d'impression et de déplacement du papier (paperfeed):

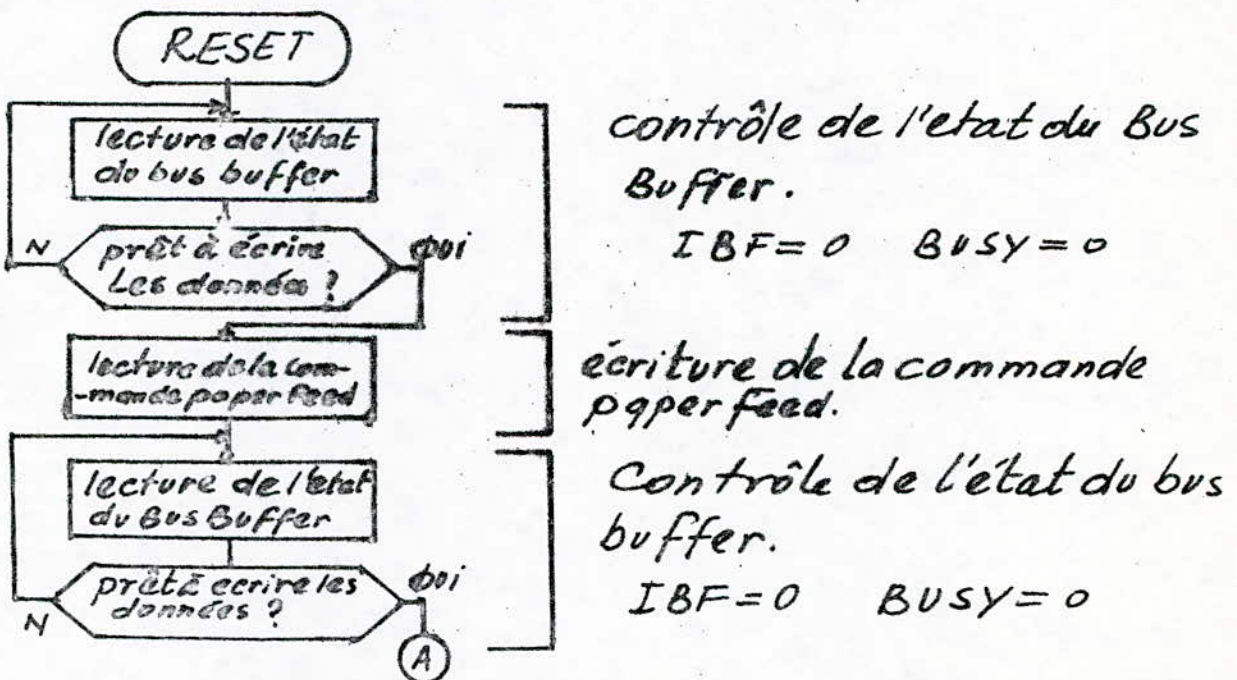
a. impression:

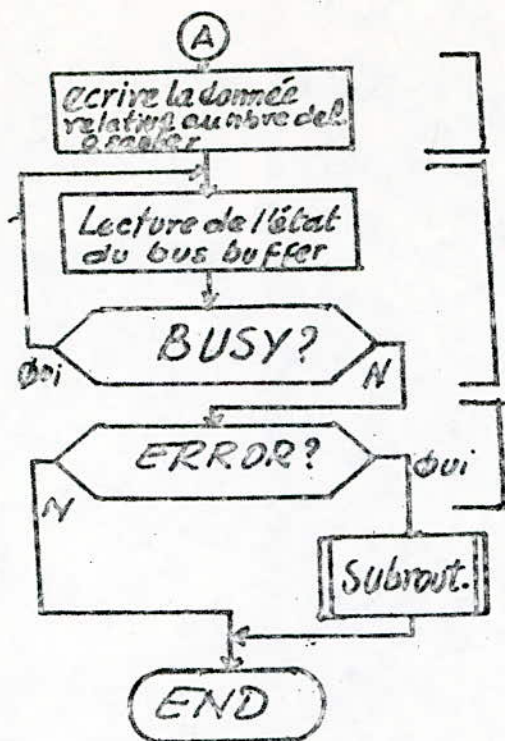


contrôle de l'état du Bus buffer
 $IBF=0$ $BUSY=0$



b. déplacement du papier (Paper Feed).





écriture de la donnée relative au nombre de lignes à sauter.

Contrôle de l'état du bus buffer (bit: D2)

Contrôle de la Sortie \overline{ERROR} .

4 Connexion de l'imprimante au DEMAC:

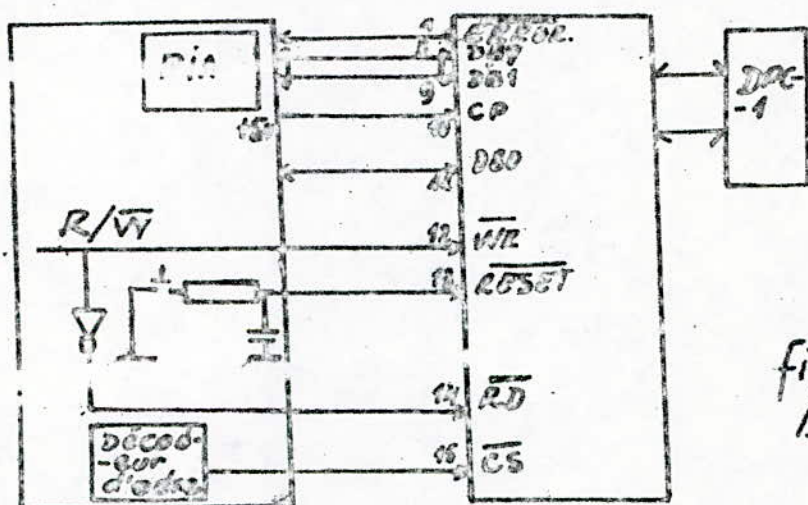


fig.16 connexion de l'interface au DEMAC.

L'interface DPC-1 occupe une seule adresse mémoire (8000).

L'imprimante est programmée de telle façon qu'elle imprime:

- * Les bornes de l'intervalle (B_1 et B_2)
- * L'heure à chaque minute et la fréquence cardiaque correspondante ou éventuellement le temps d'arrêt en minutes sur une même ligne (Format 1)
- * le nombre des arythmies s'il y a lieu, T_1 et T_2 sur une même ligne (Format 2).

le nombre de colonne est fixé à 21 (CP=1).

6. PAGINATION MEMOIRE.

le tableau de la figure suivante donne la pagination mémoire adoptée :

	FFFF.
EPROM	F800
Libre	
imprimante	8400
LIBRE	8003
PIA-6821	8000
Libre	2007
Timer	2000
Libre	07FF
RAM	000

fig. 17 Pagination mémoire.

7. INTERFACE ANALOGIQUE/LOGIQUE.

1. Introduction :

L'interface analogique /logique est destiné à l'acquisition du signal cardiaque soit directement sur le patient grâce aux électrodes, soit à partir de la sortie écouteur d'un magnéto-cassette (dans le cas où l'ECG est pré-enregistré), et à sa mise en forme pour obtenir des impulsions calibrées compatible avec le système.

Pendant l'analyse le microprocesseur prendra en compte ces impulsions comme étant des interruptions \overline{IRQ} .

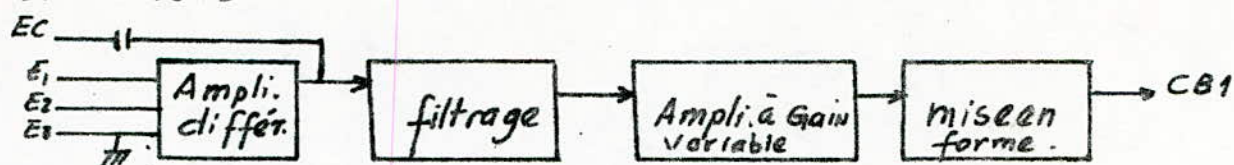
Dans le cas de la prise directe de l'ECG, il faudra utiliser les dériviations qui favorisent l'onde R puisque on s'intéresse uniquement au nombre d'ondes R/mn et à l'intervalle R-R. Ces dériviations sont données dans la référence bibliographique n° 1.

2. chaîne de traitement.

a. synoptique:

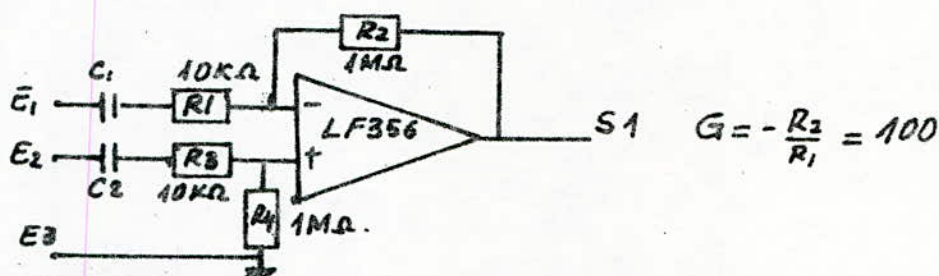
la figure suivante donne le synoptique de la chaîne de

traitement :



b. Circuit d'entrée :

Dans le cas d'une analyse en temps réel, le signal recueilli entre E_1 et E_2 (E_3 sert de référence) est amplifié par un amplificateur différentiel construit autour d'un amplificateur opérationnel LF356 à grande impédance d'entrée et de rapport de rejection R.R.M.C important



le montage adopté répond bien aux exigences de bon fonctionnement puisque son utilisation permet d'affirmer que tous les signaux parasites qui se présentent en phase ou qui sont communs aux 2 bornes d'entrée (E_1 et E_2) sont en grande partie rejetés, Ceci est justifié par le fait que le R.R.M.C de l'Ampli Op. Choisi est assez grand (typique 80dB). De plus on a une bonne adaptation en tension (patient-25mV).

les 2 condensateurs (C_1 et C_2) constituent un filtre très basse fréquence.

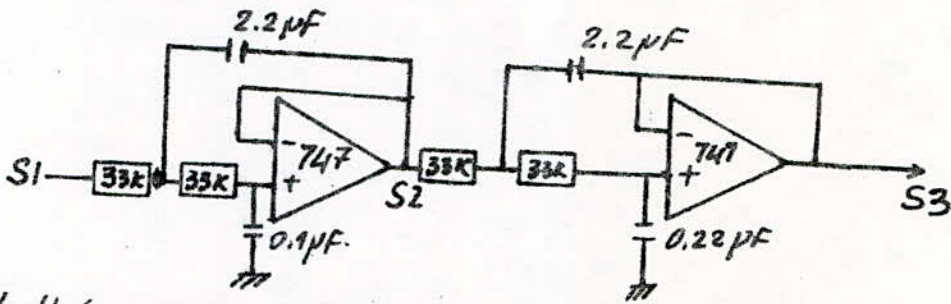
$$f_0 = \frac{1}{2\pi RC} = 1.5 \text{ Hz}$$

Ce filtrage est nécessaire pour supprimer l'effet de pile et les différents bruits dus à la respiration du patient. le blocage de la composante continue de l'EGC n'est pas gênant dans cette application

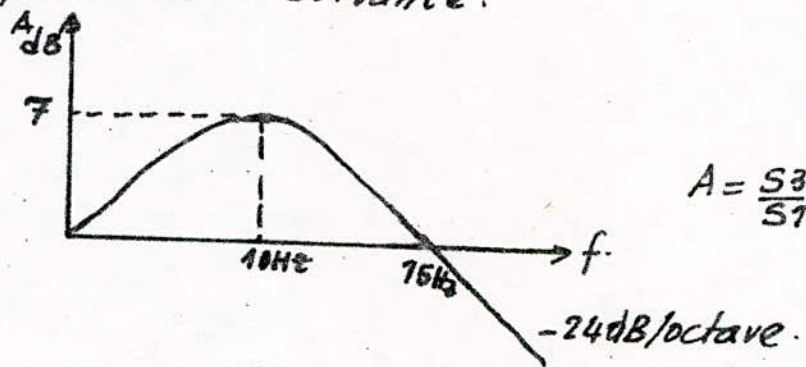
c. Filtrage de la fréquence du secteur :

Un filtre de 4^{ème} ordre est inséré dans la chaîne

de traitement pour filtrer énergiquement les signaux indésirables introduits par les fils de connexion et les électrodes qui se comportent comme des antennes en présence du champ rayonné par le secteur.
 la figure suivante donne la structure choisie (2 filtres actifs de second ordre)

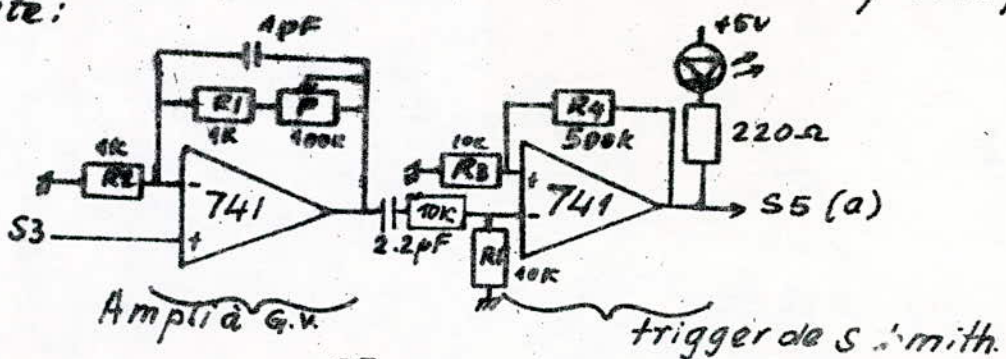


l'atténuation de la fréquence secteur (50Hz) / 15Hz est de 40dB
 la courbe de réponse est la suivante :



d. Amplification finale et mise en forme :

la mise en forme du signal et sa transformation en impulsions compatibles TTL est assurée par un trigger de schmitt. le seuil de ce trigger a été fixé à 100mV et n'a pas pu être baissé à cause des bruits qui viennent des modules composant la partie logique et notamment du MC 6871. le schéma de principe est donné par la figure suivante :



l'ampli à gain variable permet le réglage correct du déclenchement du trigger en fonction des électrodes et des individus.

le seuil du trigger de schmitt $S = \frac{R_3}{R_3 + R_4} V^* \approx 100 \text{ mV}$.

le gain de l'ampli $G = \frac{R_1 + P}{R_2} = 2 + p(2 - 100)$.

la LED permet le contrôle visuel du niveau de l'ECG. ce contrôle peut se faire également au moyen d'un oscilloscope, une sortie est prévue pour cet effet.

8. L'INTERFACE AUDIO-CASSETTE.

cet interface doit remplir deux fonctions:

1. permettre la sauvegarde des données cardiaques enregistrées en RAM sur une mémoire de masse (cassette).
2. permettre le chargement des données cardiaques pré-sauvegardées en cassette dans la RAM du DEMAC en vue de les dépouiller.

* la figure 18 donne le schéma de principe de la partie assurant la première fonction

l'étage d'entrée est composé d'une bascule D montée en diviseur par 2. est assurant l'adaptation dans un sens et dans l'autre.

l'étage de sortie est composé d'un diviseur de tension qui délivrera des impulsions de 50 mV.

* la figure 19 donne le schéma de principe de la seconde partie de l'interface remplissant la fonction de chargement.

l'étage d'entrée est un trigger de Schmitt dont le seuil est fixé à 50 mV. l'étage de sortie est composé d'une bascule D commandée par ϕ_2 TTL (MC 6871) en passe-tout. cette bascule servira à l'adaptation du trigger au PIA.

Principe de fonctionnement de l'interface:

- 1) Sauvegarde sur cassette: l'unité centrale envoie pour chaque bit 8 impulsions de largeur 1 μs et de fréquence

2 KHZ pour un "0" et 4 KHZ pour un "1" et ce à travers la ligne CA2 programmée en pulse strobed. la bascule D transforme ces impulsions en 4 périodes d'un signal carré modulé en FSK. le signal récupéré à la sortie est divisé pour avoir 50mV (cette division est nécessaire pour ne pas saturer les ampli de l'enregistreur).

2) Chargement:

le programme de gestion analyse la durée de 4 périodes et opte pour un "1" ou un "0" suivant qu'elle est supérieure ou inférieure à 3ms.

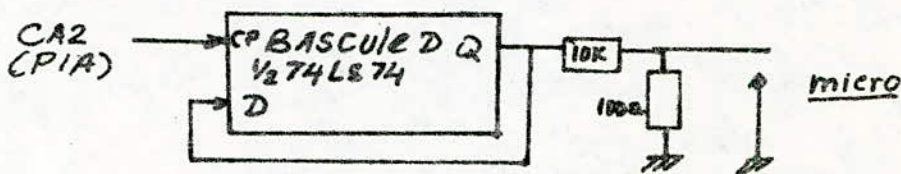


figure.18

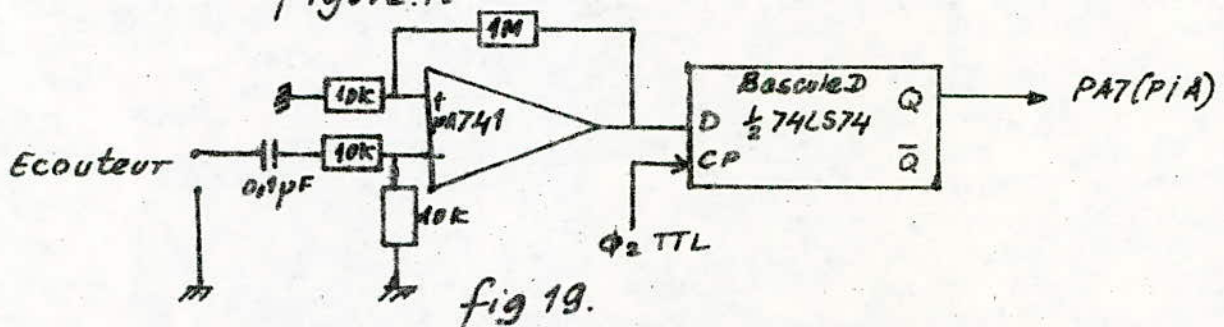


fig 19.

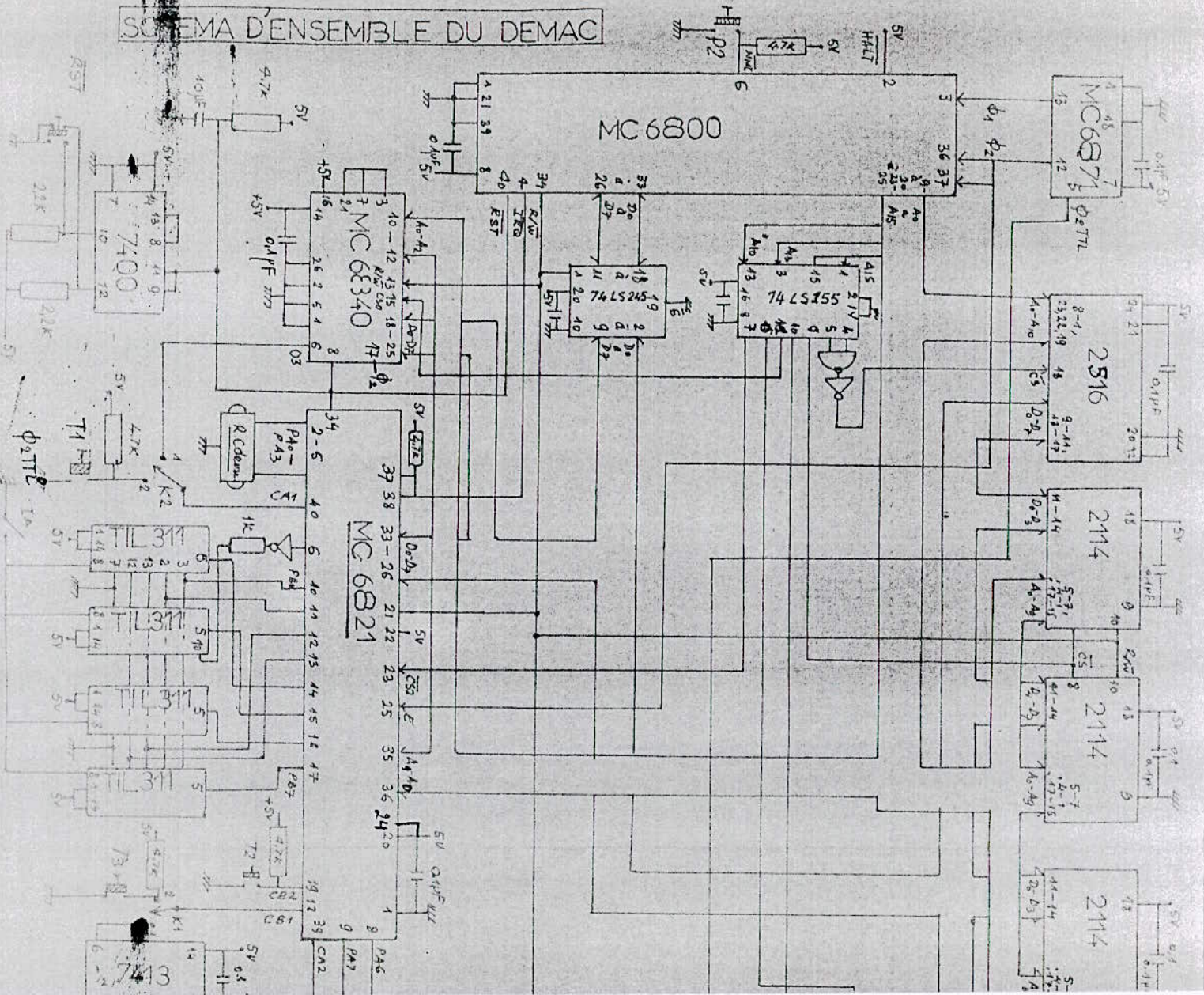
9. SCHEMA ET ORGANIGRAMME GENERAL DE FONCTIONNEMENT.

1. schéma: le DEMAC a été réalisé en Wrapping, son schéma d'ensemble (avec de légères modifications qu'on citera dans le chapitre 3) se trouve sur la pliure suivante. S'appareil dans sa version originale est alimenté par une alimentation tritension 712V et +5V. et consomme une puissance totale de 6 Watts.

2. Fonctionnement:

Dès la mise sous tension le système est initialisé automatiquement (grâce à un circuit RC). le sous programme d'initialisation remet à "0" toute RAM, programme

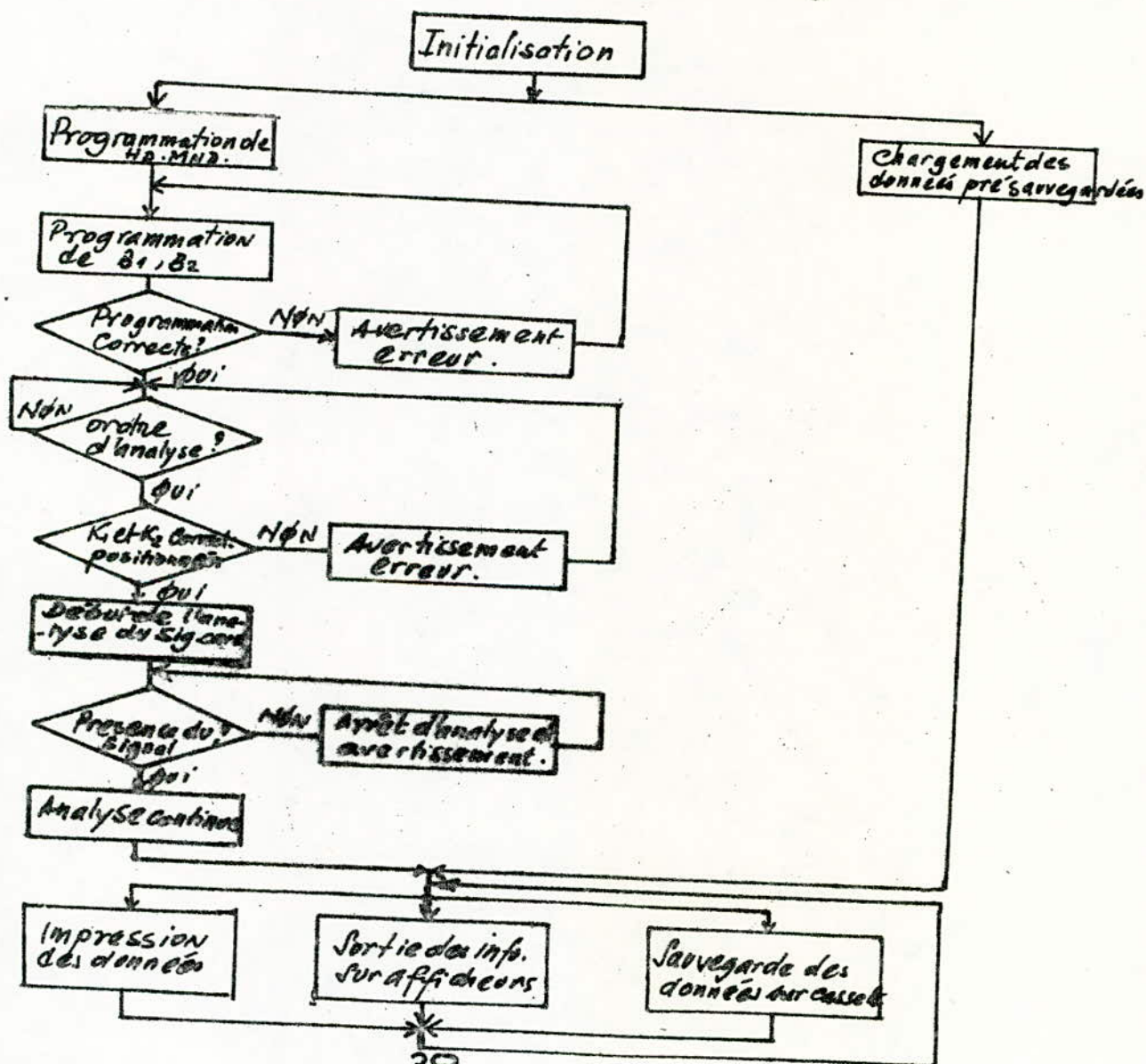
SCHEMA D'ENSEMBLE DU DEMAC



le Timer et le PIA et positionne le pointeur de programme sur le s/programme d'entrée des données de départ. A la fin de la procédure d'initialisation l'affichage BELL apparaît indiquant que le système est prêt pour recevoir les données de programmation.

Après cette phase d'initialisation il faudra ajuster le niveau de l'amplification pour avoir le déclenchement correct de la mise en forme de l'ECG, faire entrer les données de départ (l'Heure, B₁ et B₂) et lancer la phase d'analyse.

Les différentes étapes de fonctionnement peuvent être illustrées par l'organigramme général suivant:



3. Remarques sur le fonctionnement du DEMAC.

1/ dans le cas de dépouillement sur afficheurs, l'avance du pas se fait par la touche T_1 (enfoncée d'une façon brève) l'affichage de l'heure se fait par T_3 .

2/ L'action sur P_2 (\overline{NMI}) nous donne accès au dépouillement. Si après P_2 on agit sur :

* T_1 d'une façon brève : sortie sur afficheurs.

* T_1 d'une façon prolongée (environ une sec.) : sortie sur imprimante.

* T_2 : Sauvegarde sur cassette.

* T_3 : Chargement des données pré-sauvegardées

3/ Les fréquences mesurables par le DEMAC se situent dans la plage (25-255) bts/mn. Cela correspond de toute façon à une plage très raisonnable du fonctionnement du cœur humain.

II ETUDE DU LOGICIEL.

Le logiciel est une partie intégrante très importante du DEMAC. En effet le programme de gestion assure le bon déroulement de tous les processus de fonctionnement et supervise toutes les opérations possibles dans l'appareil; il occupe la quasi-totalité de l'EPROM 2716 (2038/2048 bytes) et se décompose ainsi :

- logiciel de programmation.

- logiciel d'analyse.

- logiciel de dépouillement sur afficheurs.

- logiciel de gestion de l'imprimante.

- logiciel de gestion de l'interface audio-cassette

Les échanges d'information se font grâce aux interruptions \overline{IRQ} , \overline{NMI} et \overline{RESET} (du MC 6800) dont la table de programmation est donnée dans la figure suivante :

RESET	RESETL	FFFF
	RESETH	FFFE
NMI	NMIL	FFFD
	NMIH	FFFC
SWI	SWIL	FFFB
	SWIH	FFFA
IRQ	IRQL	FFF9
	IRQH	FFF8

fig 20 : table de programmation des vecteurs d'interruption.

1. LOGICIEL DE PROGRAMMATION

Ce logiciel effectue les opérations suivantes :

- 1) initialisation du microprocesseur.
- 2) réservation de la pile.
- 3) Remise à zéro de la RAM.
- 4) programmation du Timer et du PIA.

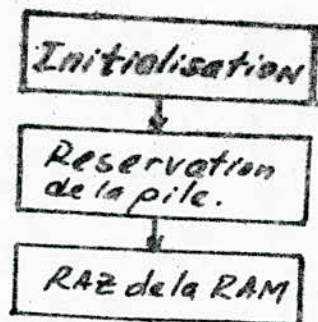
et permet de faire entrer l'heure de début et les bornes de l'intervalle (B_1 et B_2) et vérifie si :

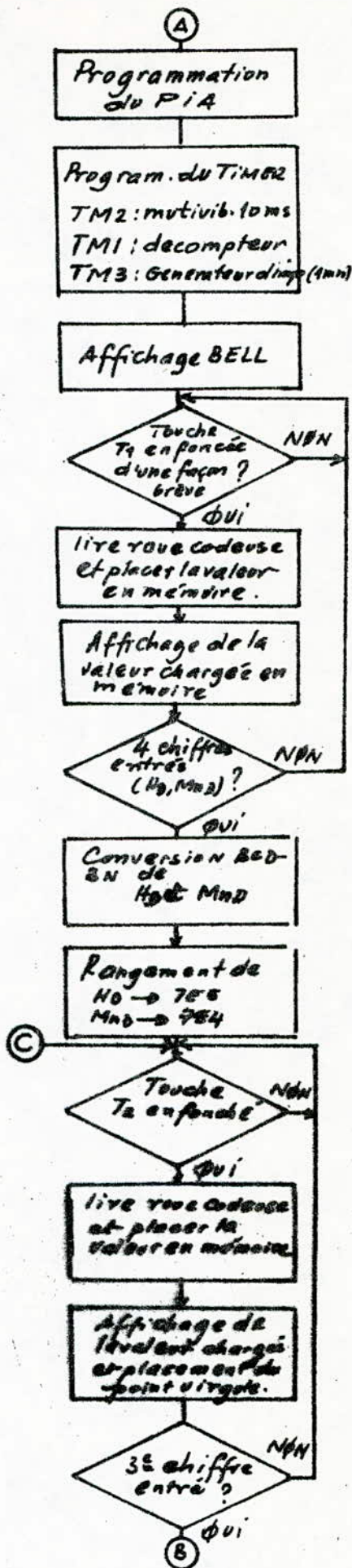
- $B_1 < B_2$ (sinon il avertit).
- les commutateurs d'analyse sont

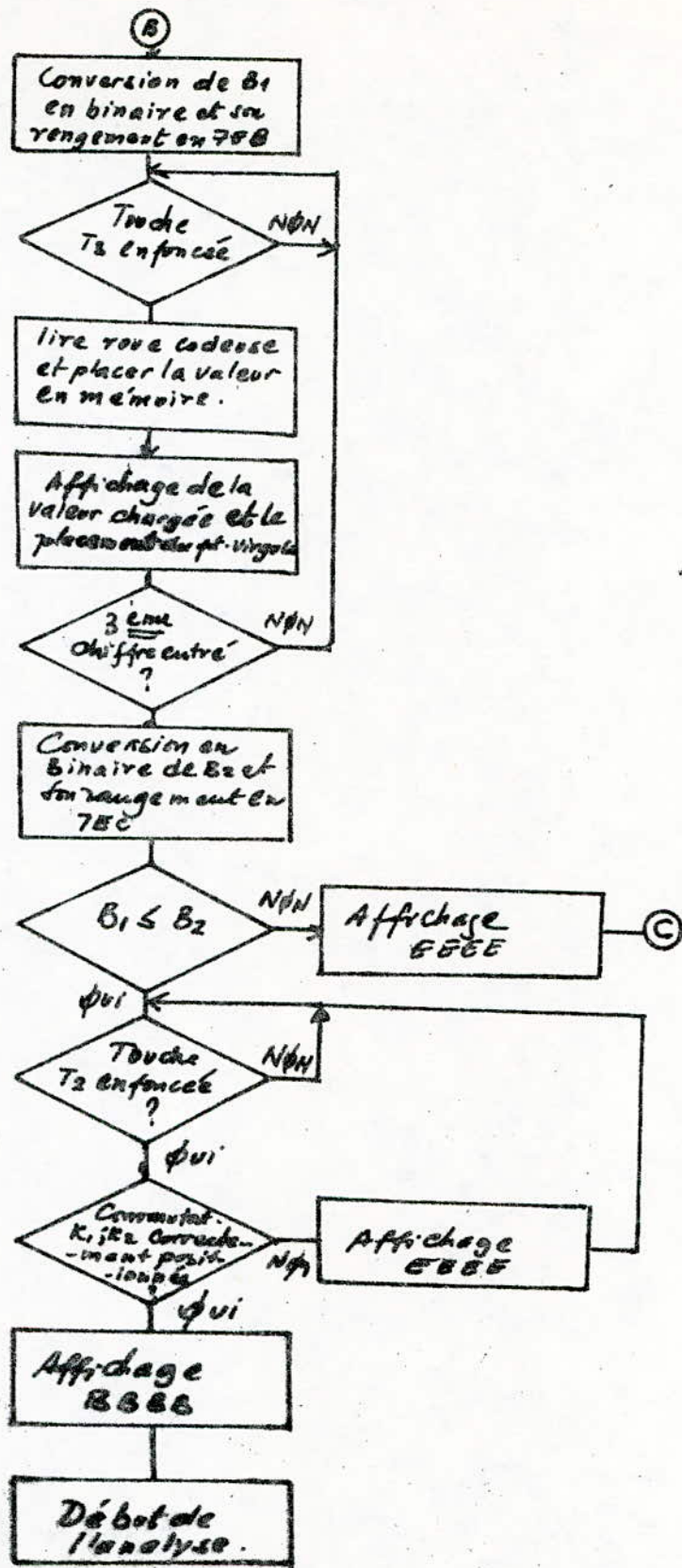
correctement positionnés (après l'entrée des données de départ) Sinon il avertit.

ORGANIGRAMME :

le programme détaillé du logiciel de programmation peut être schématisé par l'organigramme suivant :







2 LOGICIEL D'ANALYSE DE L'E.C.G.

Ce logiciel a pour tâches :

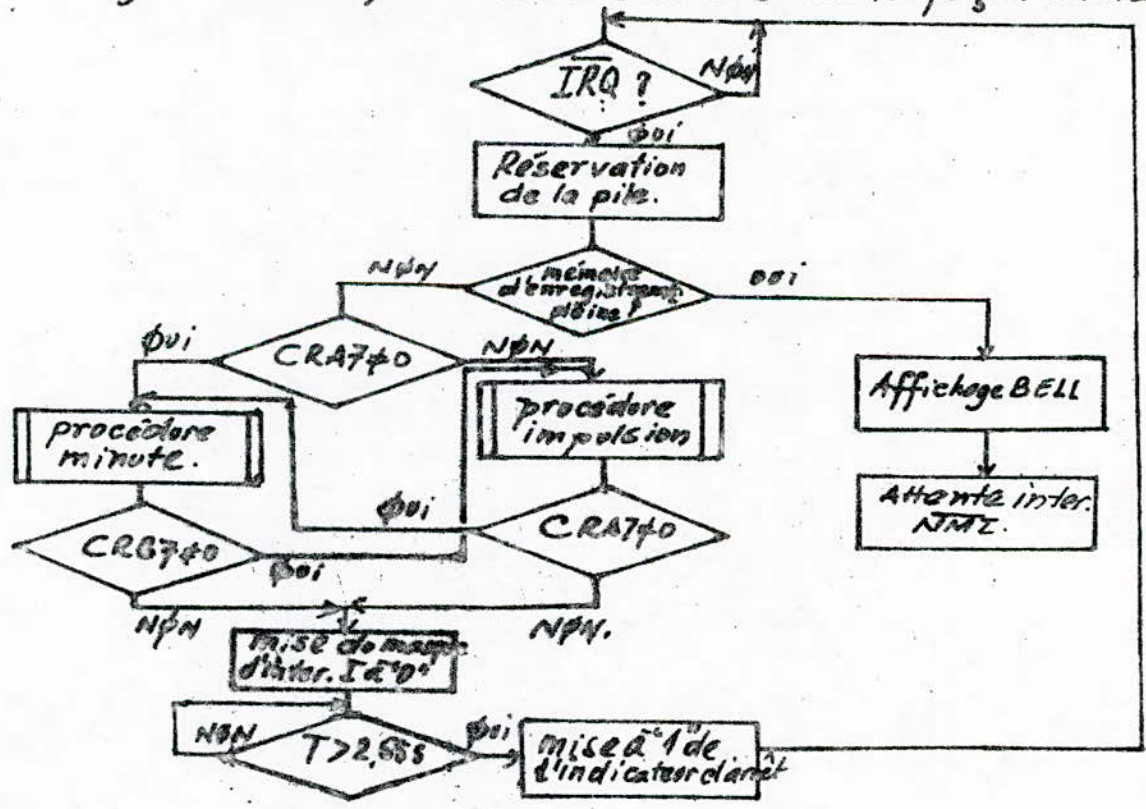
- 1) la mesure de la fréquence cardiaque (bts/mn) et son affichage.

- 2) la mesure de la période instantannée T .
- 3) le comptage du nombre NA des périodes en dehors de la plage (B_1, B_2)
- 4) le placement en mémoire temporaire des valeurs minimale et maximale de T en dehors de (B_1, B_2) .
- 5) le transfert toutes les minutes des données enregistrées en mémoire temporaire dans la RAM d'enregistrement.
- 6) l'avertissement de l'arrêt d'analyse (AAAA) et le comptage du temps correspondant, si la période T dépasse 2,55s.
- 7) le filtrage des ondes dont la période est $< 0.23s$ pour éviter les déclenchement erronés dus à l'onde pour des rythmes rapides.
- 8) La conversion Binaire-BCD.

Ce logiciel est appelé par l'interruption \overline{IRQ} qui peut être déclenchée soit par l'onde R soit par la sortie 03 du Timer.

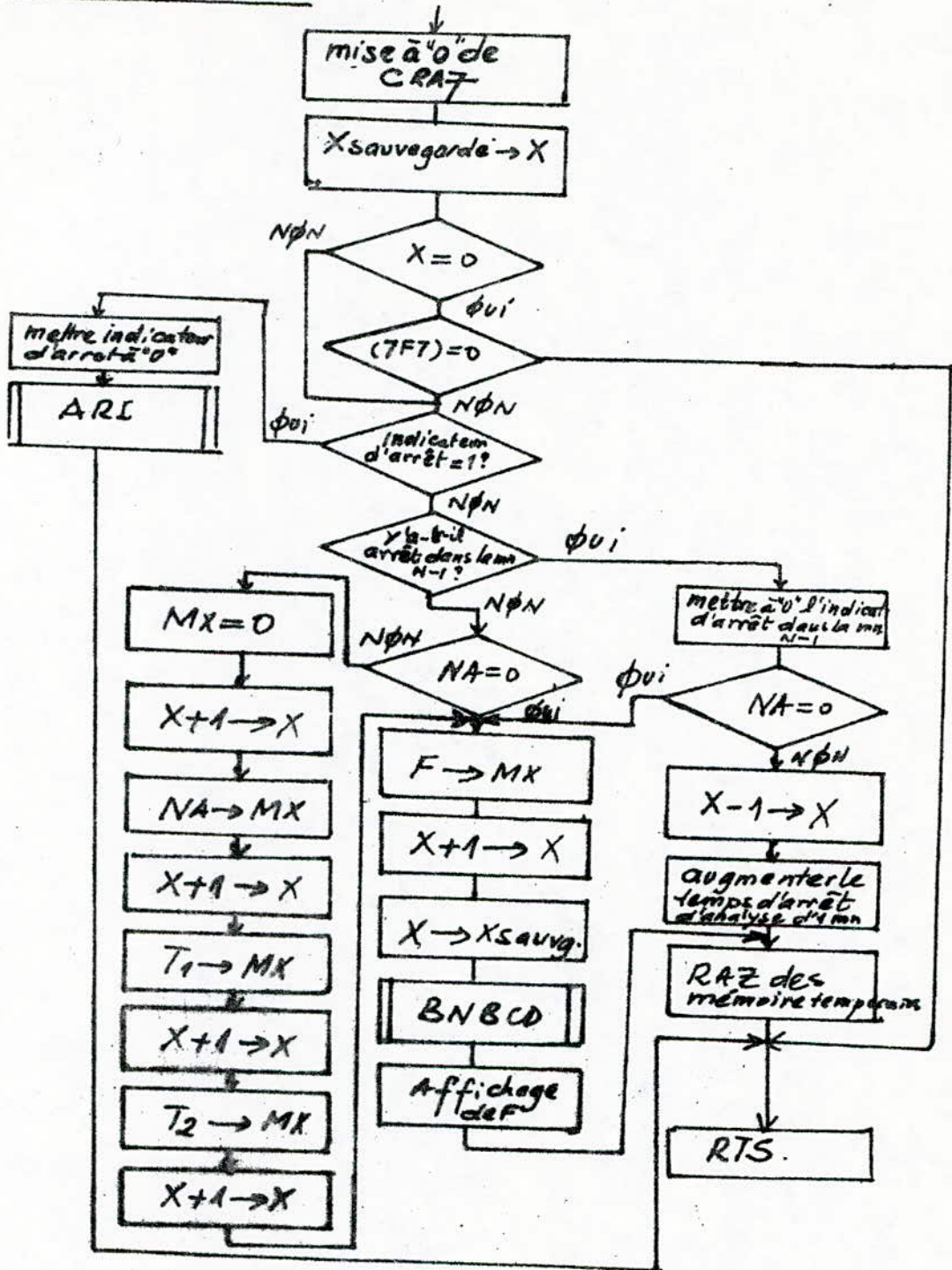
ORGANIGRAMME:

le logiciel d'analyse se schématise de la façon suivante :



les procédures minute et impulsion peuvent être schématisées ainsi :

1/ Procédure minute :



Remarque

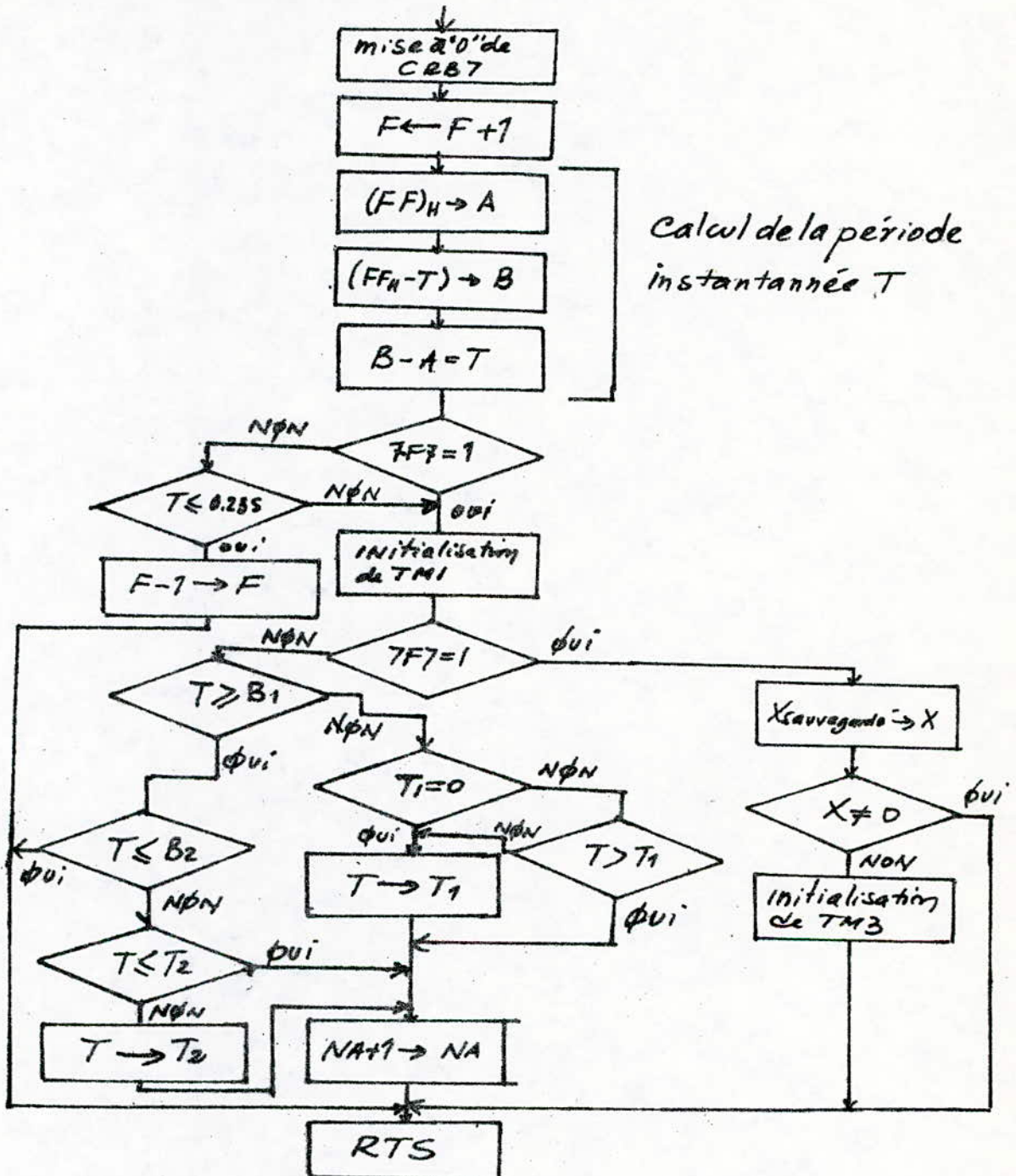
* le sous programme ARI traite le cas où il y'a arrêt de l'analyse. il a pour tâches :

1) la vérification de la qualité des données enregistrées pendant la minute (N-1) : si elles sont acceptables, il les garde

- Si elles sont erronées, il les rejette et traite la minute correspondante (N-1) comme étant un arrêt d'analyse.

2) le comptage du temps d'arrêt d'analyse en minute.

3) Procédure impulsion:



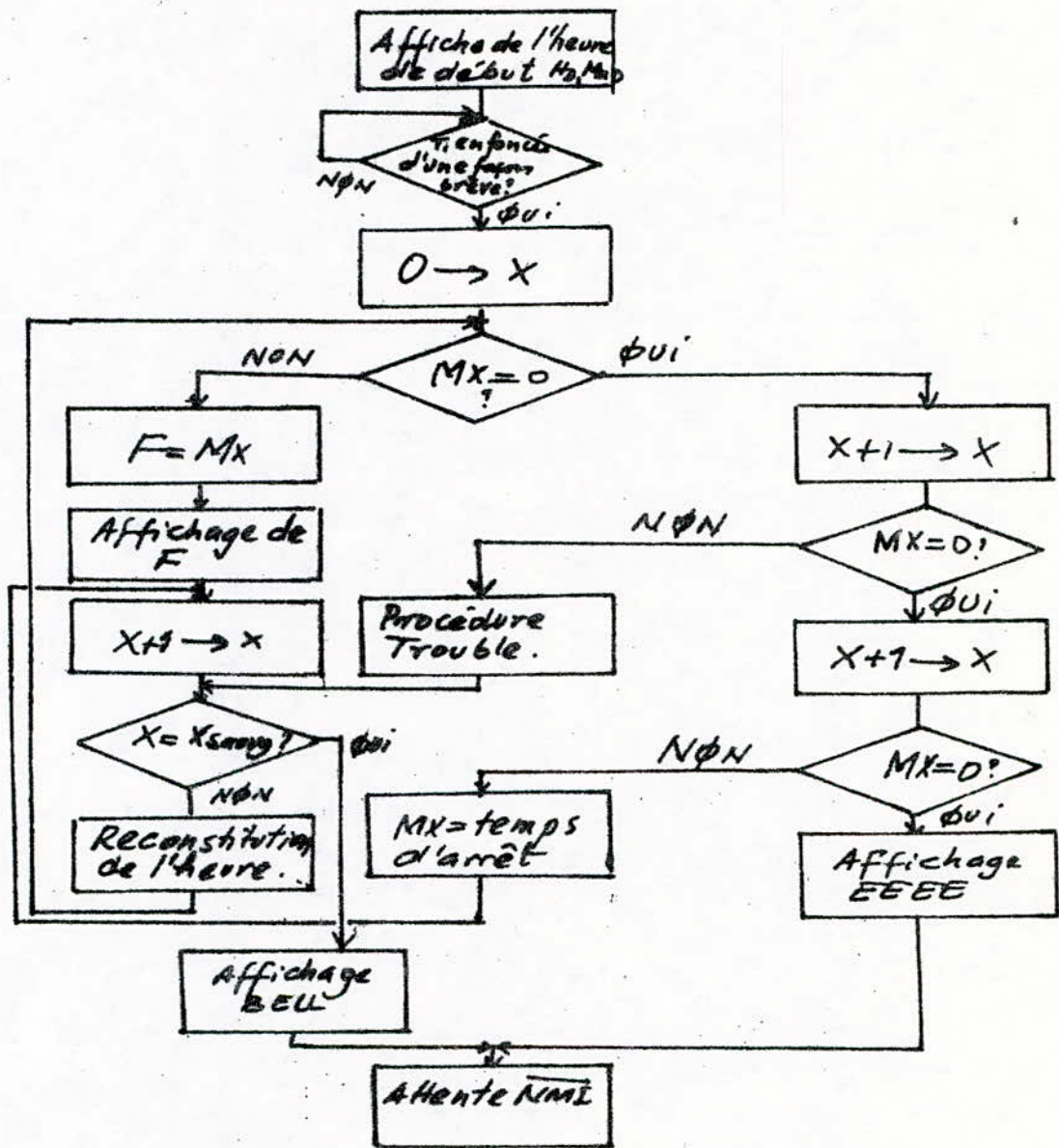
3 LOGICIEL DE DEPOUILLEMENT SUR AFFICHEURS.

Ce logiciel a pour tâches:

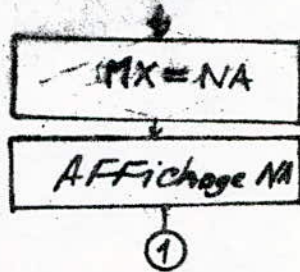
1) la lecture de la mémoire d'enregistrement.

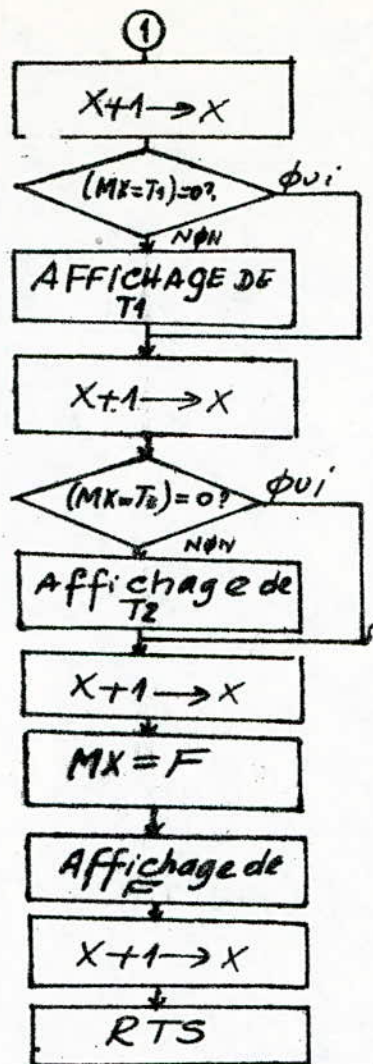
2) Le repérage dans le temps des données enregistrées
 3) L'affichage des données selon le code opté
 Il est appelé par la touche T1 (enfoncée d'une façon brève) après l'interruption \overline{NMI} (Bouton P2).

* ORGANIGRAMME:



• la procédure trouble peut être détaillée ainsi:





4 LOGICIEL DE GESTION DE L'INTERFACE CASSETTE.

Ce logiciel permet :

1) Le sauvegarde des données dans une cassette commerciale.

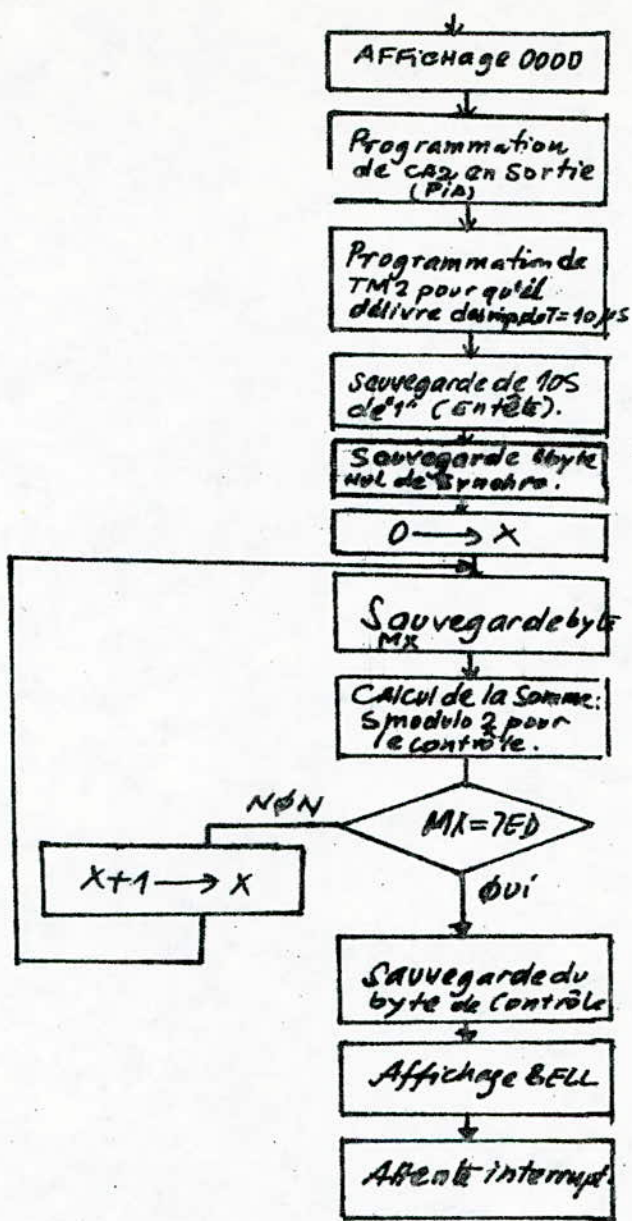
2) Le chargement des données pré-enregistrées sur cassette en mémoire RAM en vue de les dépouiller.

Il se compose de 2 sous programmes :

- Sauvegarde.
- Chargement.

*ORGANIGRAMME.

a) sauvegarde :

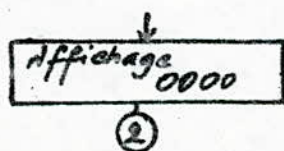


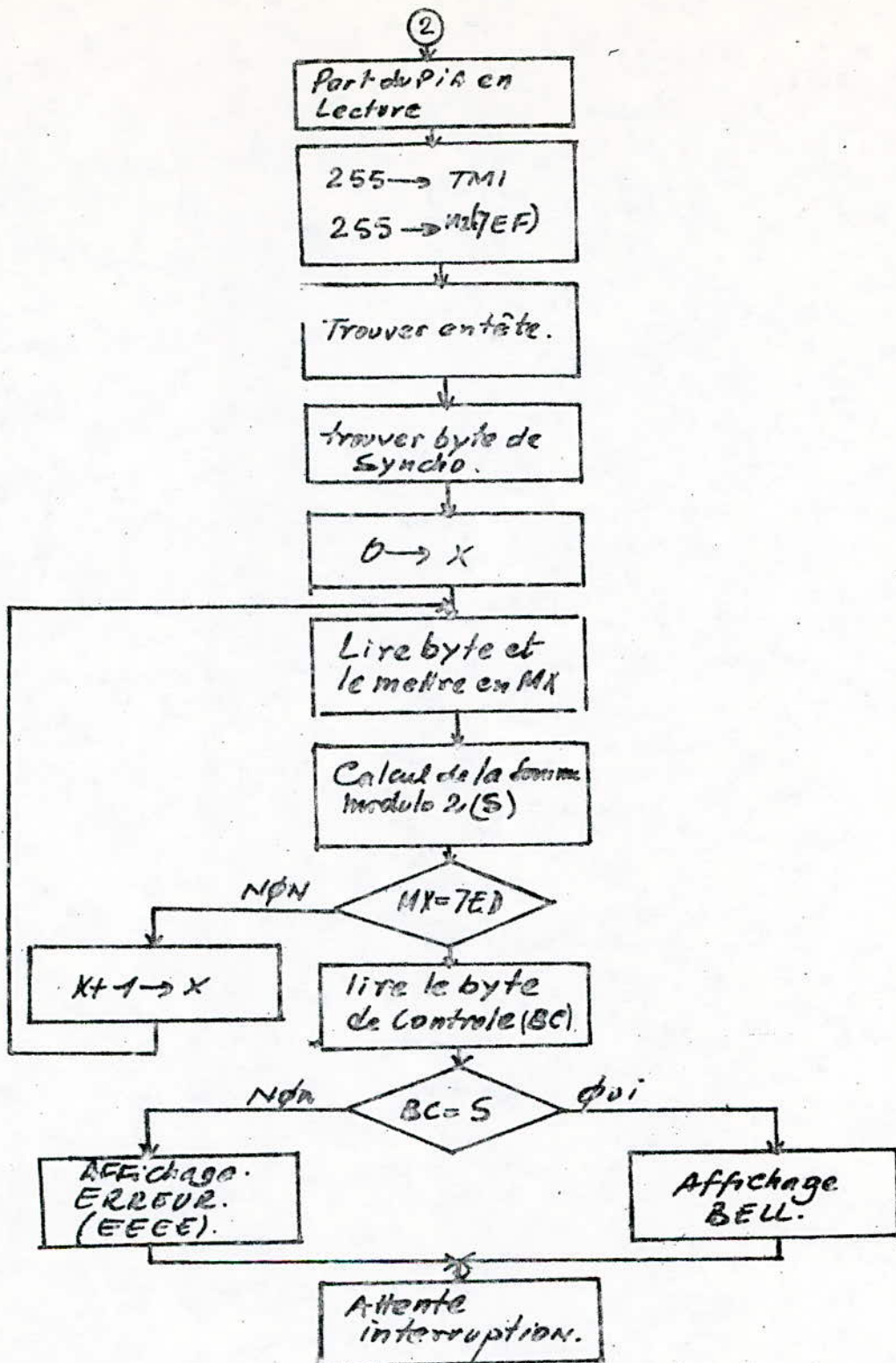
ce s/programme est appelé par la touche T2 après l'interrup-tion $\overline{NM\bar{L}}$ (Bouton poussoir P2).

Remarques:

- 1) Les informations sont codées en fréquence (modulation FSK)
- 2) L'entête est repérée par l'enregistrement de 105 de "1".
- 3) Pour la synchronisation on enregistre un byte nul.
- 4) Toute la RAM d'enregistrement pleine ou non sera chargée.

b/ Chargement.





Remarque:

appelé par T3 (après P2)

- le si programme de chargement cherche l'entête (10A de "1"), le byte de synchronisation et charge les données tout en les soumettant au contrôle qui consiste dans le calcul et la comparaison de la somme modulo 2 de tous les bytes, au byte de contrôle pré-enregistré

5 LOGICIEL DE GESTION DE L'IMPRIMANTE.

ce logiciel doit permettre :

1/ la conversion des données cardiaques en ASCII

2/ l'impression des données :

- B_1 et B_2 (bornes de l'intervalle programmable).

- H : l'heure à la minute près du début d'analyse.

- F : la fréquence cardiaque.

- NA : le nombre d'arythmie.

- T_1 et/ou T_2 (périodes maximale et minimale en dehors de la plage (B_1, B_2))

- A : temps d'arrêt d'analyse en minute.

(Voir figure 2 chapitre 3)

• Ce logiciel est appelé par la touche T_1 enfoncée pendant environ une seconde (après l'interruption \overline{NMI}).

Les sous programmes utilisés sont :

Print : S/programme principal.

CH0 : Chargement d'un caractère dans l'interface DPC-1 de l'imprimante.

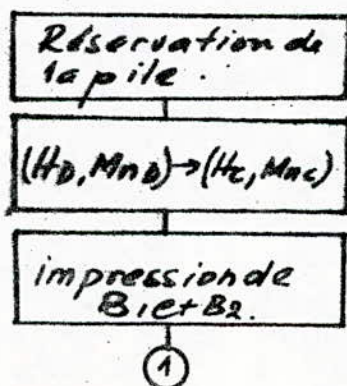
CH1 : Ordre d'impression d'une ligne.

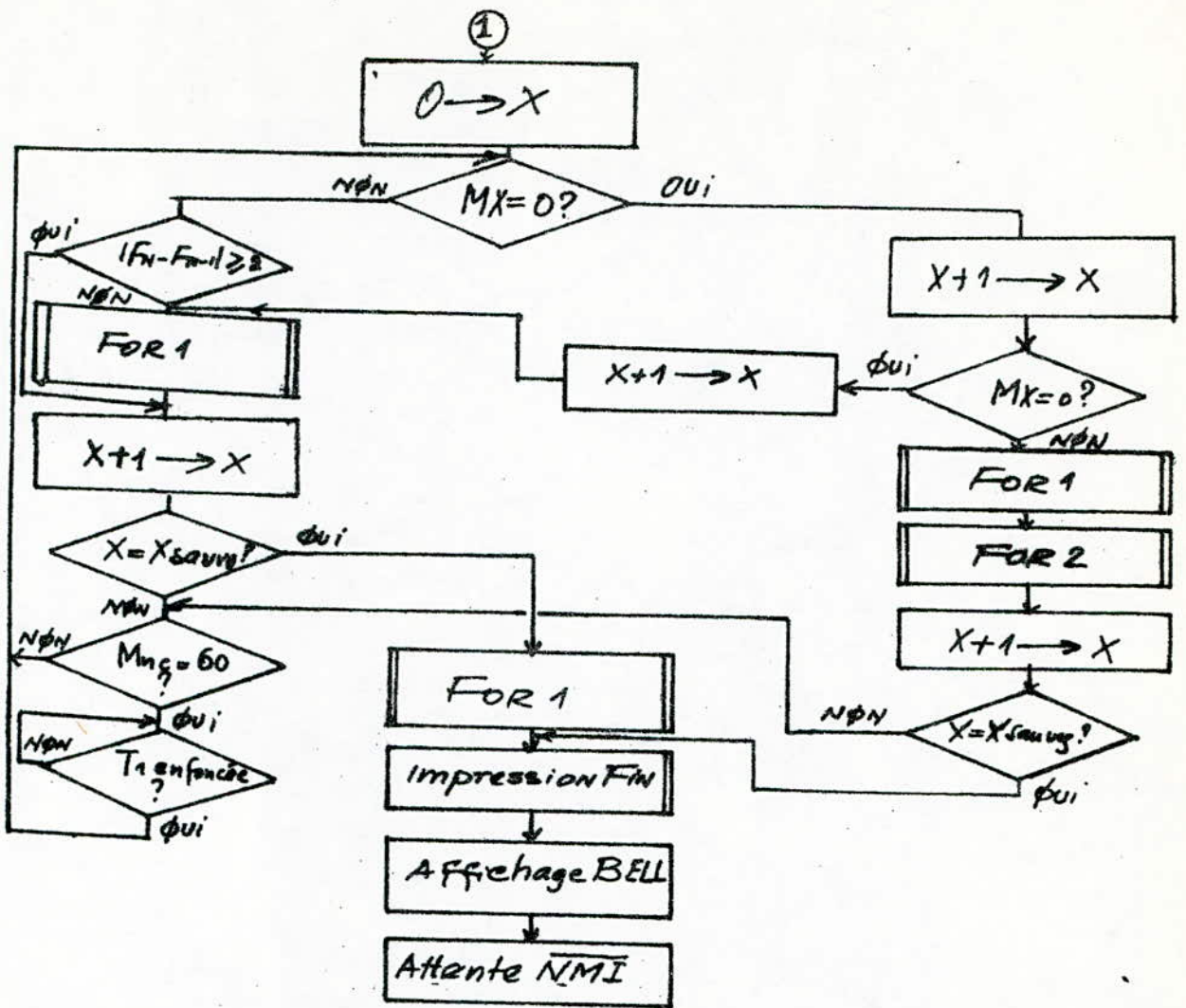
FOR1 : FORMAT 1 (H F ou A)

FOR2 : Format 2 (NA $T_1 < T_2$)

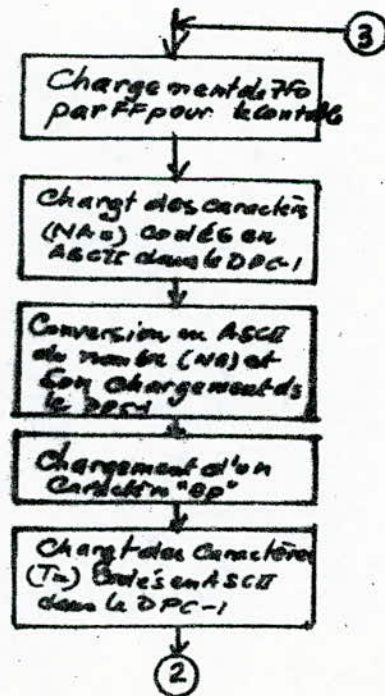
ORGANIGRAMME.

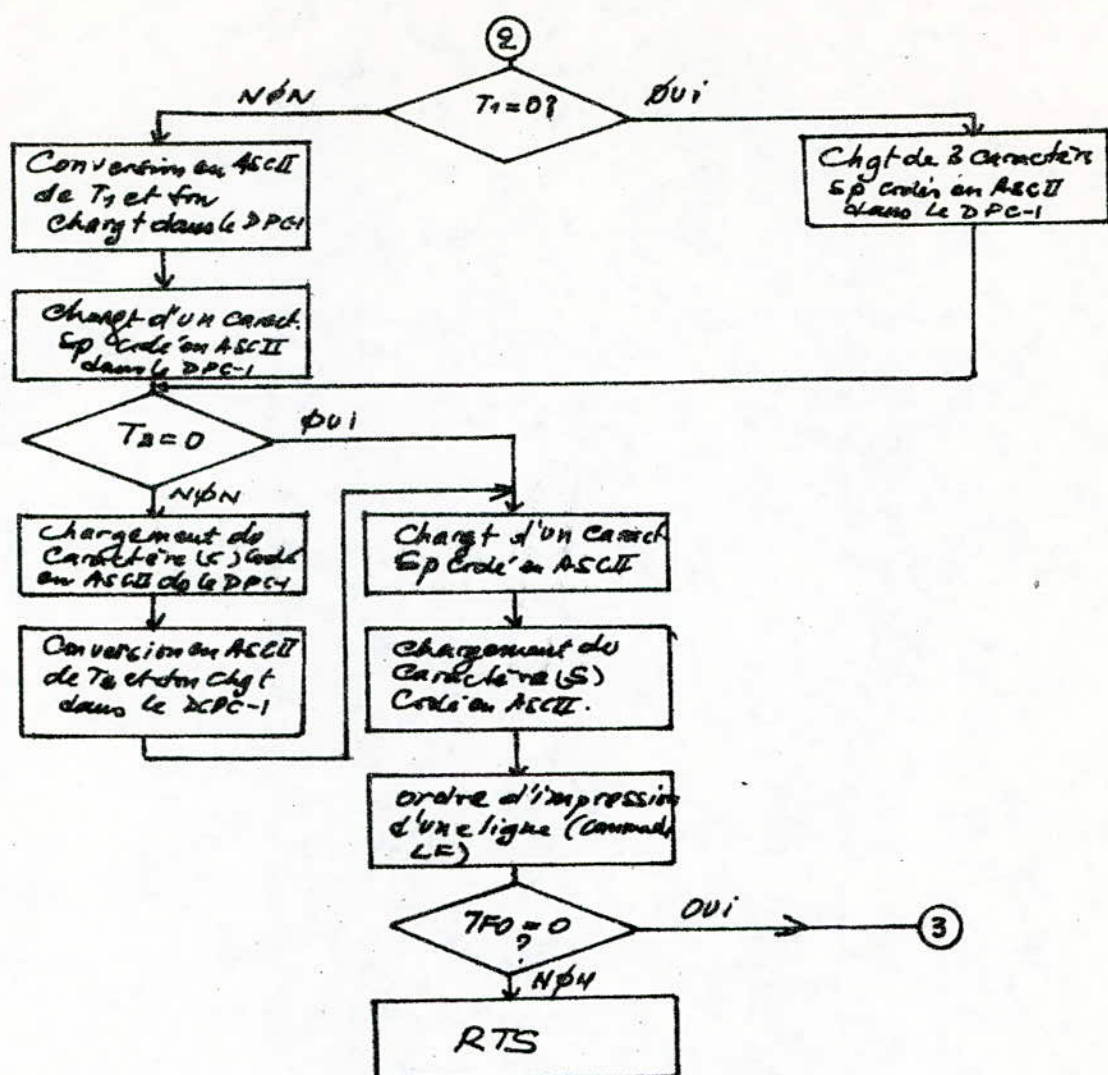
Le logiciel d'impression peut être décrit par l'organigramme suivant :





le s/programme For 2 peut être décrit par l'organigramme suivant:





Remarques:

1/ Le contrôle de l'impression se fait de la manière suivante:

- au début du chargement de chaque ligne on charge un byte de contrôle (TFO) par FF.

- Si une erreur d'impression a lieu au niveau de l'impression (transition négative sur $\overline{\text{error}}$) le byte de contrôle sera remis à zéro (au niveau de l'ordre d'impression) et par conséquent le processus sera relancé de nouveau.

(Comme l'indique l'organigramme)

2/ L'impression se fait heure par heure grâce à la touche T1.

3/ En l'absence d'arythmies ($NA=0$) la fréquence correspondante à la minute n ne sera imprimée que si $|F_{n-1} - F_n| > 2$.

4/ le S/prog^{FORA} imprime soit (H, F), soit (H, A) suivant le cas.

CHAPITRE 3

PERFECTIONNEMENT DU D.E.M.A.C

I INTRODUCTION.

Le DEM c conçu dans sa version originale en Wrapping (Prototype d'essai) n'est pas destiné pour des applications larges. Pour ce faire il faudrait reprendre sa réalisation en circuits imprimés ce qui lui donnera plus de fiabilité et lui permettra d'être exploité largement. Comme n'importe quel autre appareil.

Parallèlement à cette tâche on tentera d'y porter d'autres améliorations qui ont deux aspects :

1) Aspect logiciel.

2) Aspect matériel.

II AMELIORATION DU LOGICIEL.

1 INITIALISATION A CHAUD ET A FROID.

Comme on a vu au chapitre précédant l'action sur le bouton poussoir RESET entraîne la phase d'initialisation qui consiste dans la réservation de la pile, la remise à zéro de la RAM et la programmation du TIMER et du PIA.

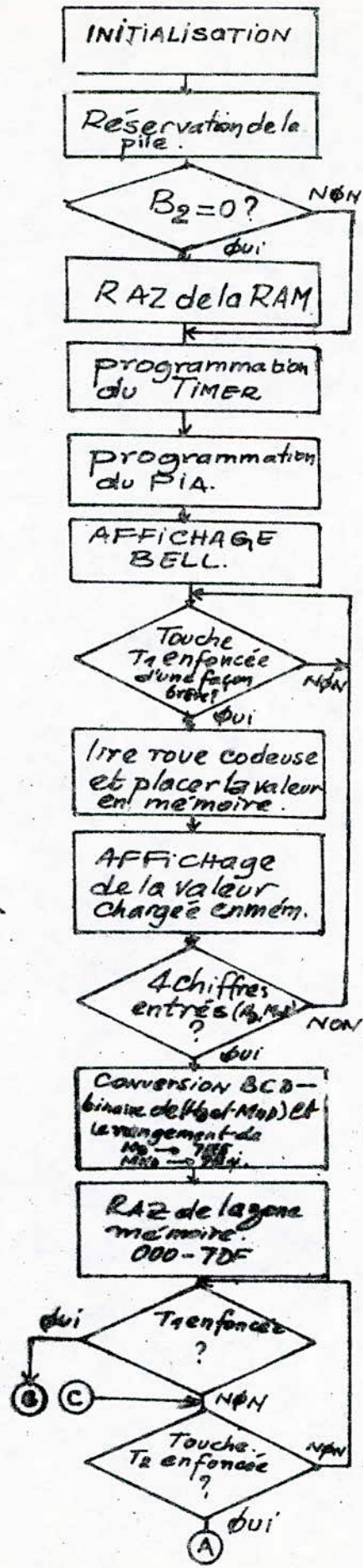
L'inconvénient d'une telle procédure réside dans le fait qu'on devrait obligatoirement reprogrammer les bornes (B_1 et B_2) même s'ils doivent rester inchangées pour l'enregistrement suivant, et c'est généralement le cas, ce qui est un peu gênant pour l'utilisateur.

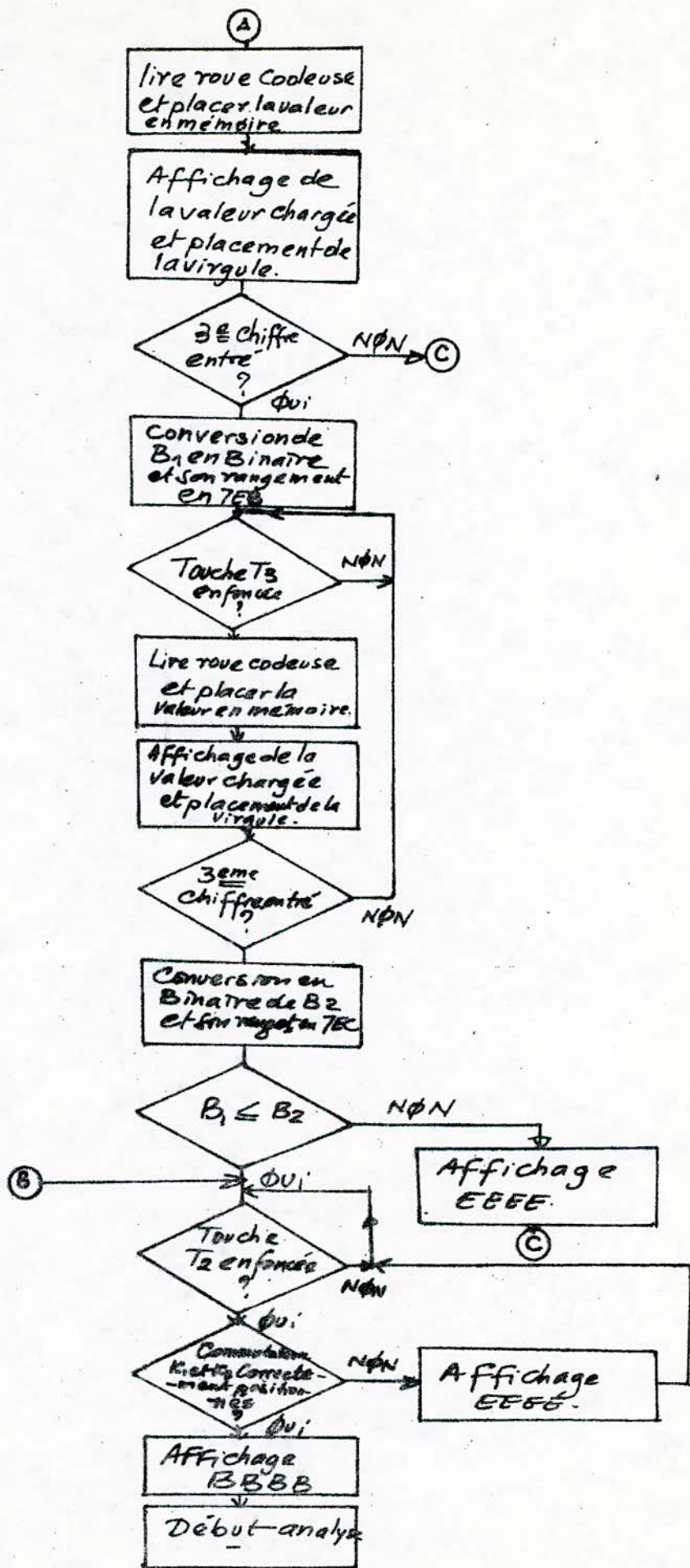
La première retouche à faire est de remédier à cet inconvénient. La solution consiste à faire distinguer deux sortes de réinitialisation :

1/ Réinitialisation à chaud : les bornes pré-programmées restent mémorisées (Conservées).

2/ Réinitialisation à froid : toute la RAM est remise à zéro y compris les bornes.

* Ce perfectionnement se traduit sur l'organigramme comme suit :





Remarques:

1/ si B_2 est nul la RAM est mise toute entière à "0" et on devra suivre l'ancienne procédure.

2/ si B_2 est non nul et c'est généralement le cas, la RAM d'enregistrement (000-7DF) est remise à "0" après la programmation de l'heure de début, à ce stade la touche T_1 nous offre le choix de conserver les valeurs précédentes de B_1 ou B_2 ou de les reprogrammer de nouveau.

2 LOGICIEL D'ANALYSE

Parmi les paramètres cardiaques analysés par le DEMAC, c'était le nombre d'arythmies (NA); Il est évident que ce dernier est la somme du nombre de périodes qui sortent de la plage (B_1, B_2) des deux extrémités. D'où la possibilité de doubler l'information, c'est-à-dire distinguer le nombre des périodes supérieures de celui des périodes inférieures.

On appellera désormais par N_B le nombre des périodes inférieures ($\bar{a} B_1$), et par N_B le nombre des périodes supérieures ($\bar{a} B_2$)

La création d'une nouvelle donnée nécessite:

1) une case mémoire dans le bloc-note pour la mémorisation temporaire.

2) des modifications dans de différents s/programmes.

* Pour la mémorisation temporaire on affectera à la nouvelle donnée (N_B) le byte 7E8 non exploité par le programme d'origine. (voir figure 2 chapitre 2).

* Les différents changements dans le programme de gestion nécessitent éventuellement un certain nombre de cases mémoires en EPROM (de capacité 2K octets), or on ne dispose que de 10 octets (de programme

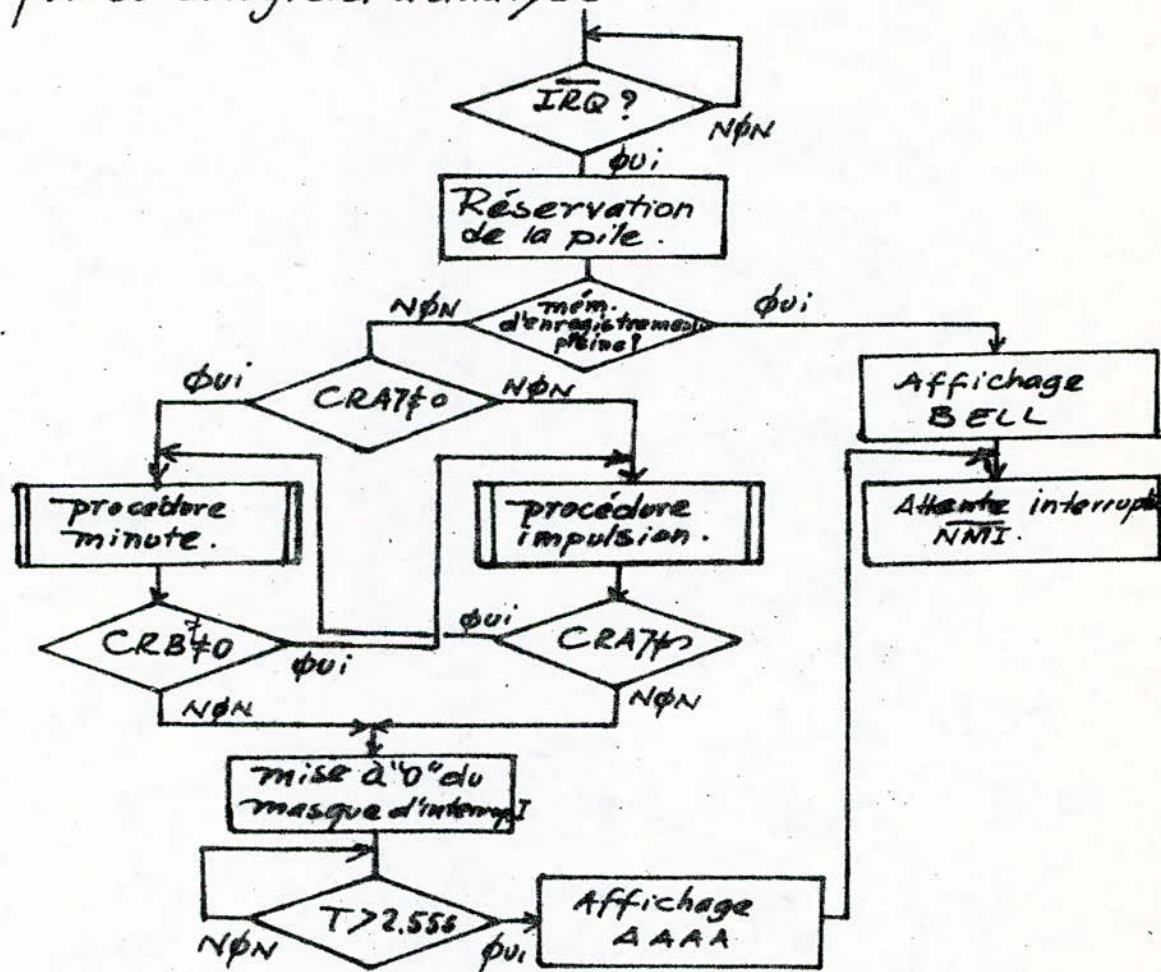
original occupe 2038/2048 bytes)

Pour cela et en vue de nous permettre faire les modifications nécessaires, on a décidé d'annuler le s/programme ARI qui traite le cas de l'arrêt d'analyse. Cependant il faut noter que la suppression d'une telle possibilité ne touche pratiquement pas aux performances du système.

Au niveau du logiciel d'analyse les s/programmes affectés par les changements sont:

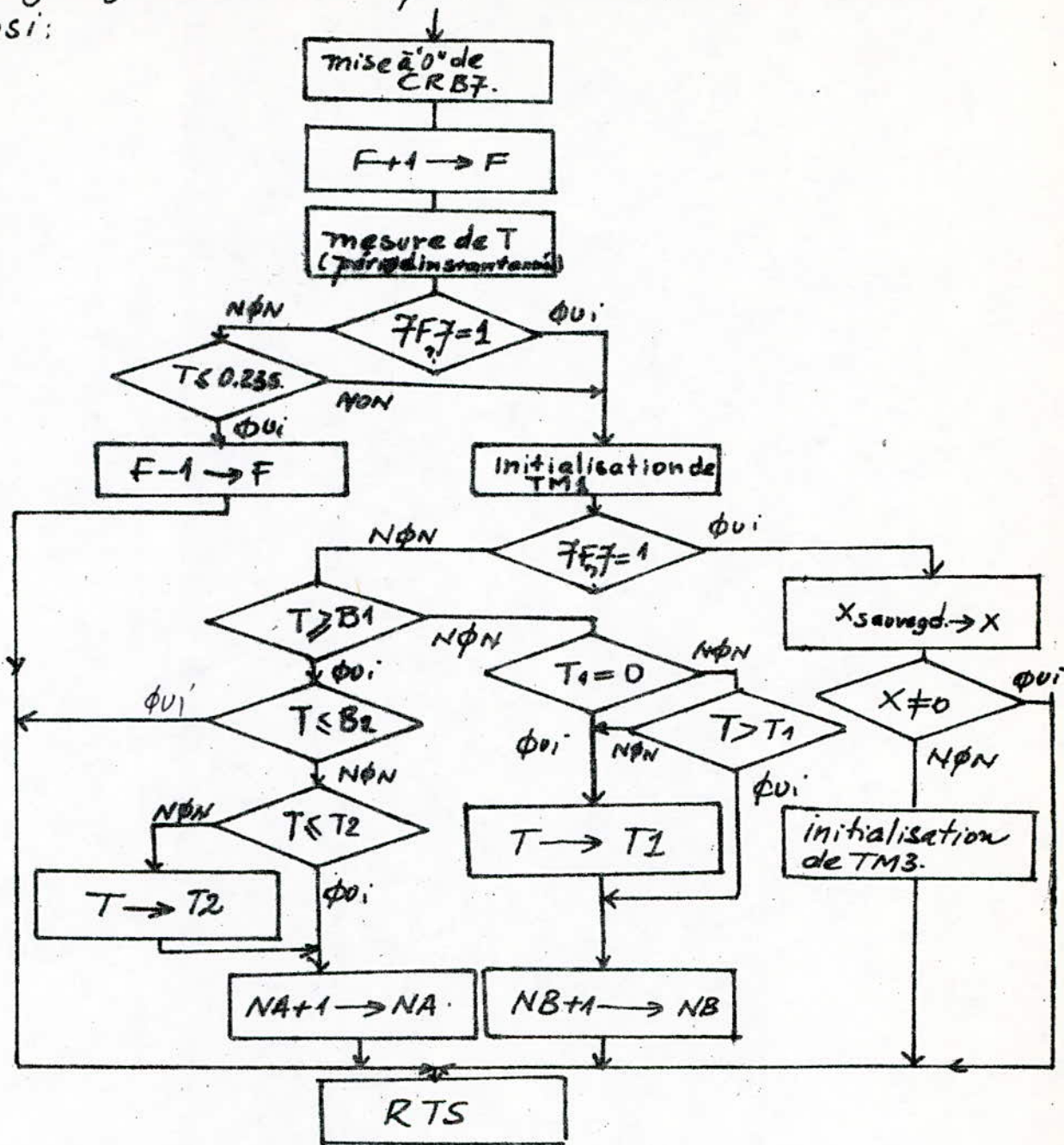
- traitement temps réel (S/prog. principal)
- traitement impulsion.
- traitement minute.

l'organigramme suivant fait apparaître les remaniements portés au logiciel d'analyse :



Remarque: s'il y a arrêt d'analyse le DEMAC avertit par AAAA et se met en attente d'interruption (\overline{NMI})

* L'organigramme de la procédure impulsion devient ainsi :



* procédure minute:

Cette procédure effectue le transfert des informations cardiaques stockées en mémoires temporaires dans la RAM d'enregistrement (toutes les minutes).

Pour des raisons de limitation en capacité mémoire, on a choisit une nouvelle disposition des données cardiaques dans la RAM, qui nous permettra l'utilisation du minimum de cases mémoires en EPROM.

La nouvelle disposition est la suivante :

1) T_1 et T_2 restent dans l'intervalle (B_1, B_2) : Chaque byte indique par sa valeur la fréquence et par sa position par rapport à l'adresse "0" le temps correspondant à la prise de l'information.

2) T_1 et/ou T_2 sortent de l'intervalle (B_1, B_2) :

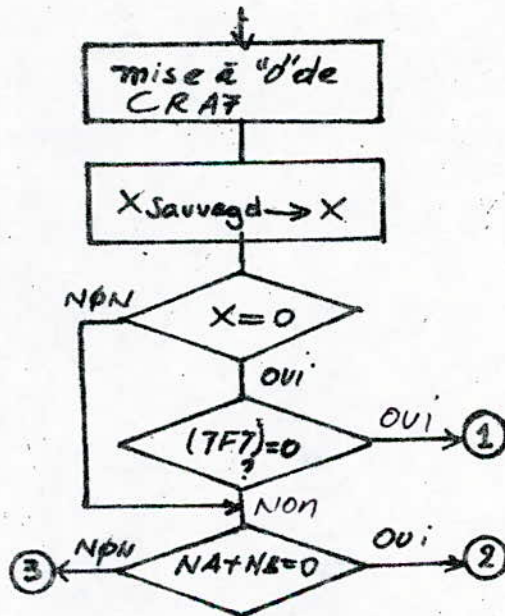
- un byte nul indique qu'il y'a troubles.
- le second byte indique la fréquence cardiaque.
- le 3^e byte Contient NB s'il y'a lieu.
- le 4^e byte Contient T_1 s'il y'a lieu.
- le 5^{eme} byte Contient NA s'il y'a lieu.
- le 6^{eme} byte Contient T_2 s'il y'a lieu.

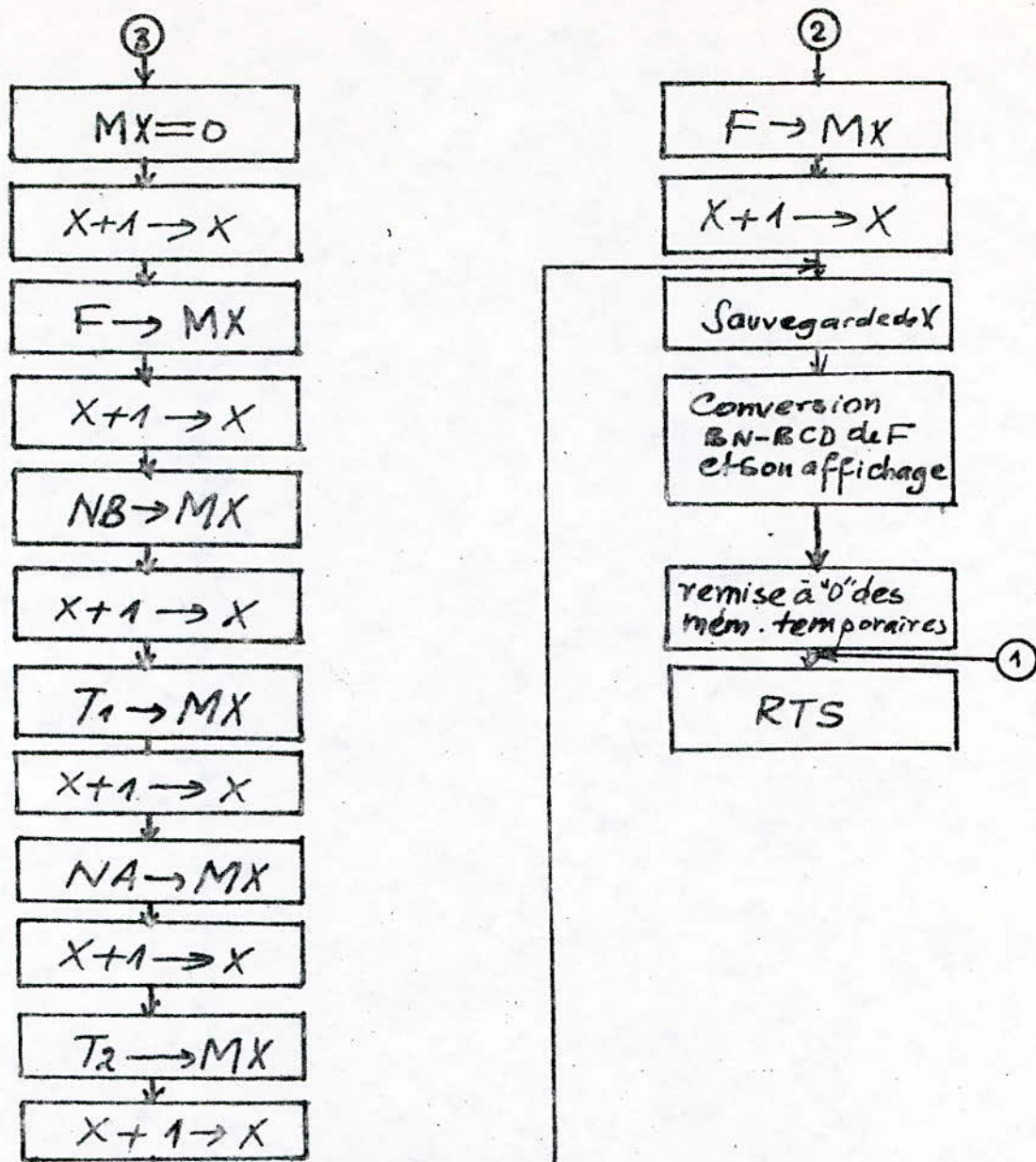
Donc en tout on a un groupe de 6 bytes successifs contenant les données cardiaques pour une minute.

Avec cette nouvelle configuration une durée d'enregistrement continu dans le cas le plus défavorable est de 5h.30mn. (avec la même taille mémoire)

ORGANIGRAMME :

L'organigramme suivant fait apparaître les modifications portées :





3 LOGICIEL DE DEPOUILLEMENT SUR AFFICHEURS.

Compte tenu de l'apport de la nouvelle donnée, le DEMAC devra au dépouillement afficher :

- L'heure de début à la minute près
- Le nombre d'arythmies NB
- La période minimale T_1
- Le nombre d'arythmies NA.
- La période maximale T_2 .
- La fréquence cardiaque F.

Pour pouvoir visualiser l'information NB il faudrait

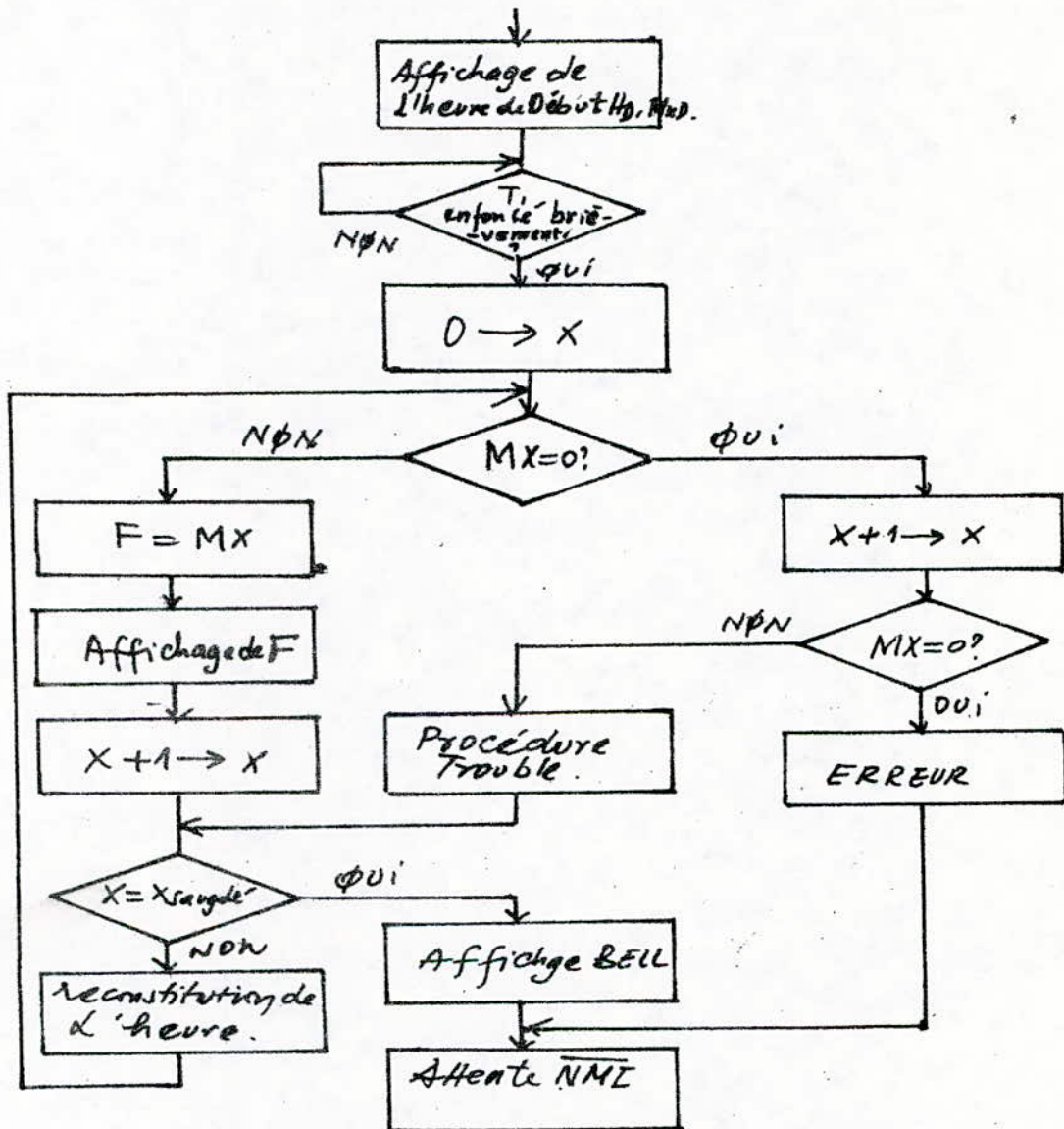
lui opter un code d'affichage approprié. Pour cela on a retenu le code suivant:

- Lettre E et 3 chiffres.

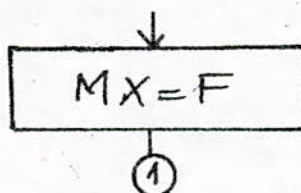
Pour les autres données, le code d'affichage reste inchangé.

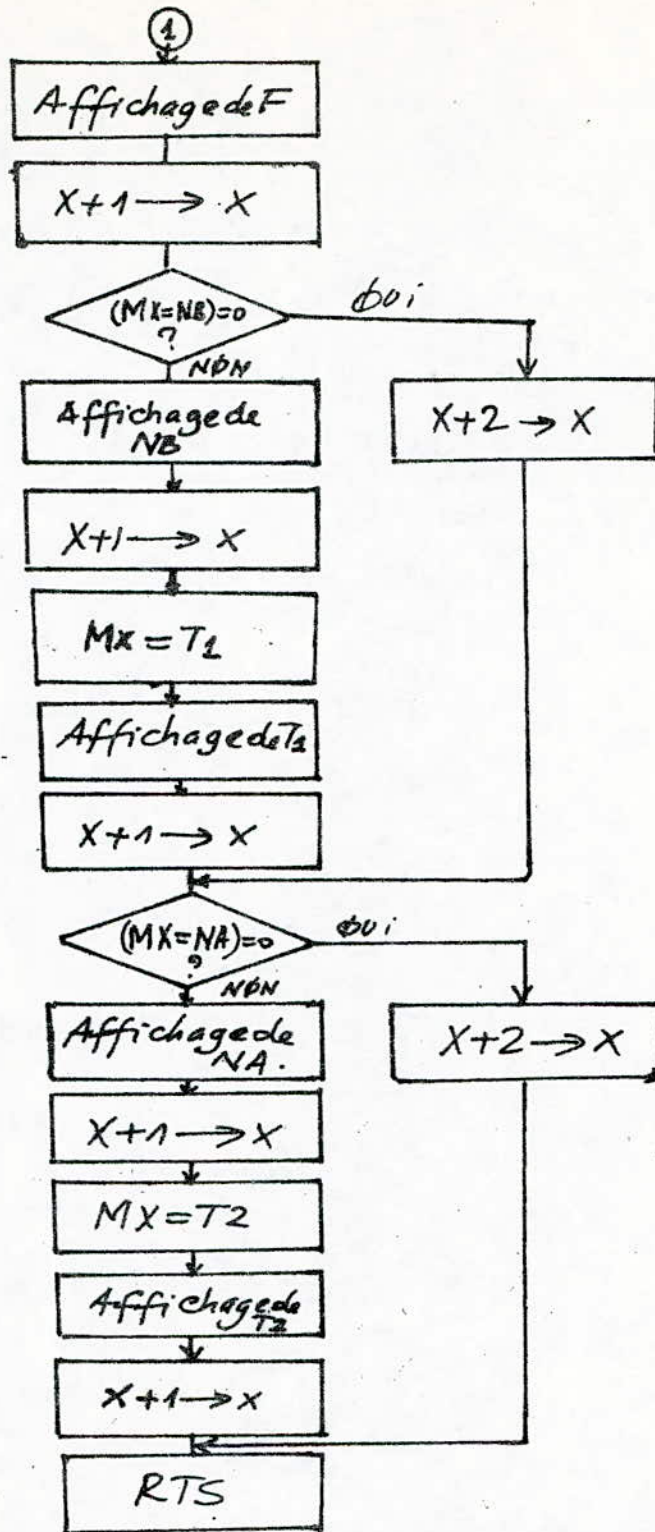
ORGANIGRAMME

Les différentes ~~des~~ modifications portées apparaissent dans l'organigramme suivant:



La procédure trouble devient comme suit:





4. LOGICIEL DE DEPOUILLEMENT SUR IMPRIMANTE.

Le logiciel original doit être modifié de telle sorte qu'il y aura impression de la nouvelle donnée cardiaque dans une reconfiguration convenable. De plus la possibilité d'impression du temps d'arrêt doit être supprimée.

Pour ce faire on a modifié :

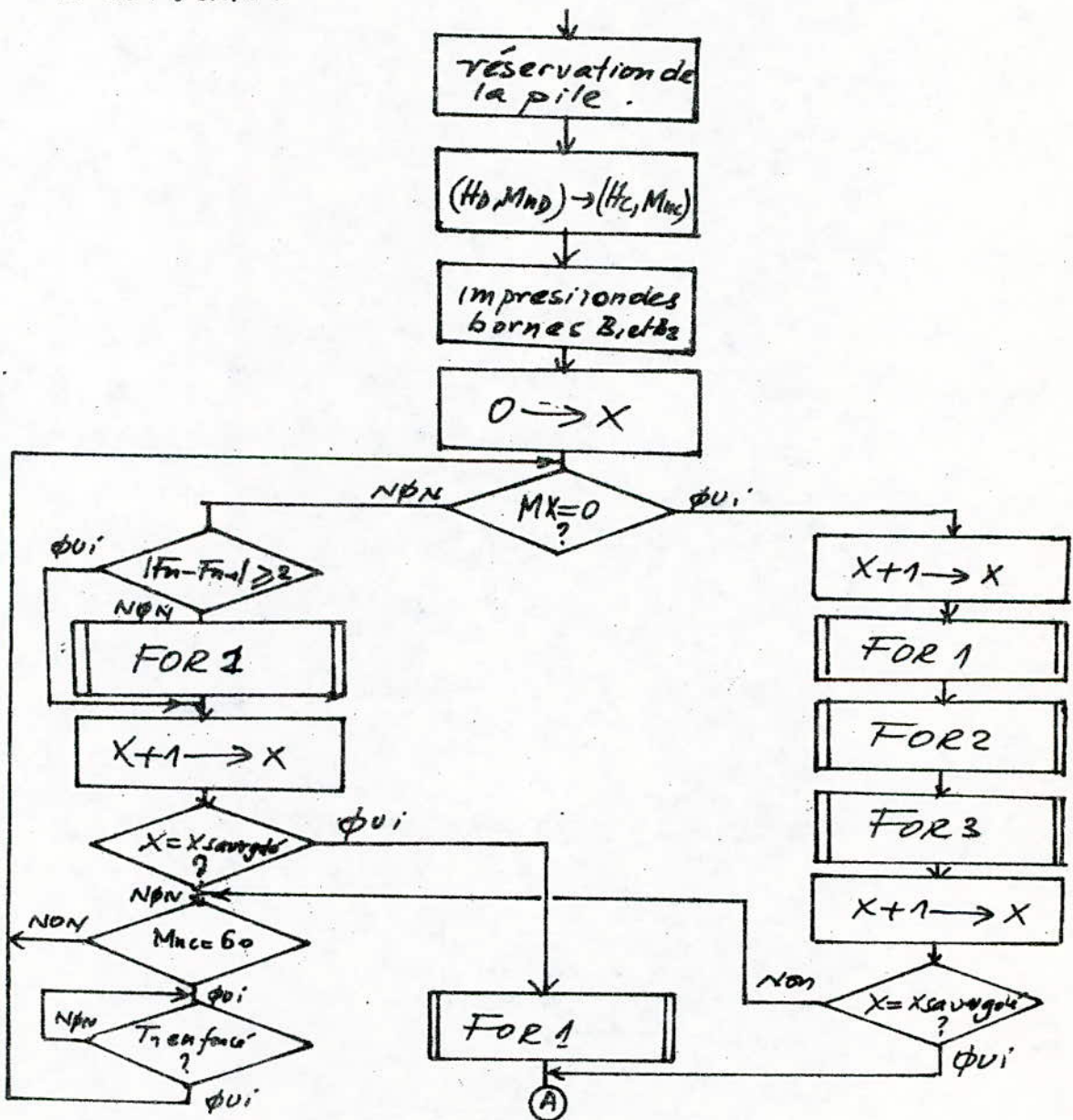
- le s/prog. principal de telle façon que la possibilité d'impression de A disparaisse.

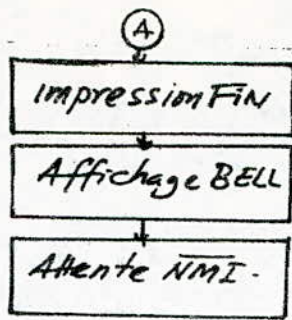
- Le s/prog. FOR2 de telle sorte qu'il y aura impression de NB et T1 sur une même ligne (NB = T1) - et on a créé un nouveau s/prog (FOR3) pour l'impression de NA et T2 sur une autre ligne (NA = T2)

(voir figure 3)

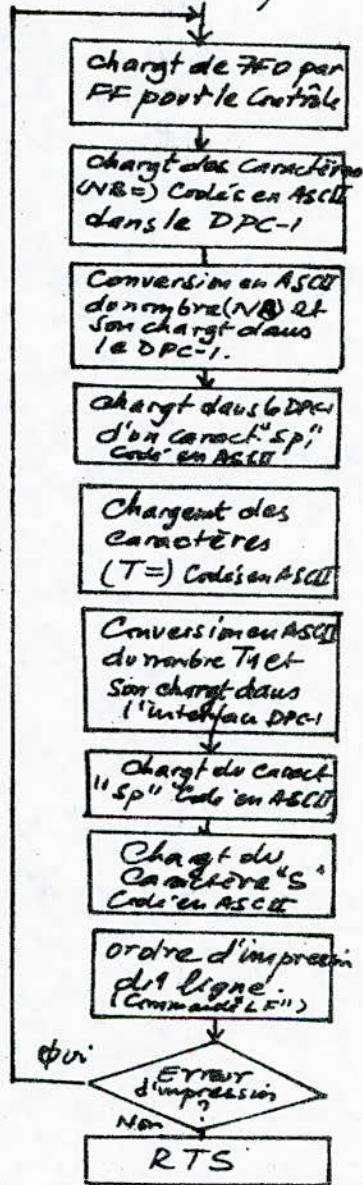
ORGANIGRAMME :

Le logiciel modifié peut être schématisé par l'organigramme suivant :





Le s/prog FOR2 modifié peut être schématisé ainsi:



Remarques:

- 1) En remplaçant NB par NA et T₁ par T₂ dans le s/prog. FOR2, on retrouve le s/prog FOR3. C'est pour cette raison qu'on n'a pas donné l'organigramme détaillé de ce dernier.
- 2) Les s/prog. de sauvegarde sur cassette et de chargement restent inchangés.

III MISE AU POINT DU LOGICIEL.

La mise au point du logiciel ainsi modifié a été élaboré sur le système de développement TEKTRONIX 8002A. Dans ce qui suit nous allons présenter d'une façon résumée ce système en vue de permettre au lecteur d'en avoir un aperçu.

1 PRESENTATION DU TEKTRONIX 8002A.

Le TEKTRONIX 8002A est un système de développement universel (il supporte plusieurs types de processeurs émulateurs identiques aux processeurs des prototypes) qui permet la mise au point d'un prototype de produits à base de processeurs.

A) ARCHITECTURE DU SYSTEME.

Le TEKTRONIX 8002A possède une architecture à processeurs spécialisés par type de fonction, ce qui implique que les fonctions du système sont totalement séparées de celles d'émulation; en particulier le processus d'émulation n'est ralenti par aucune contrainte ou tâche de gestion du système.

Le 8002A est conçu autour d'un processeur système (Le 2650 de signetics) qui a pour fonctions de:

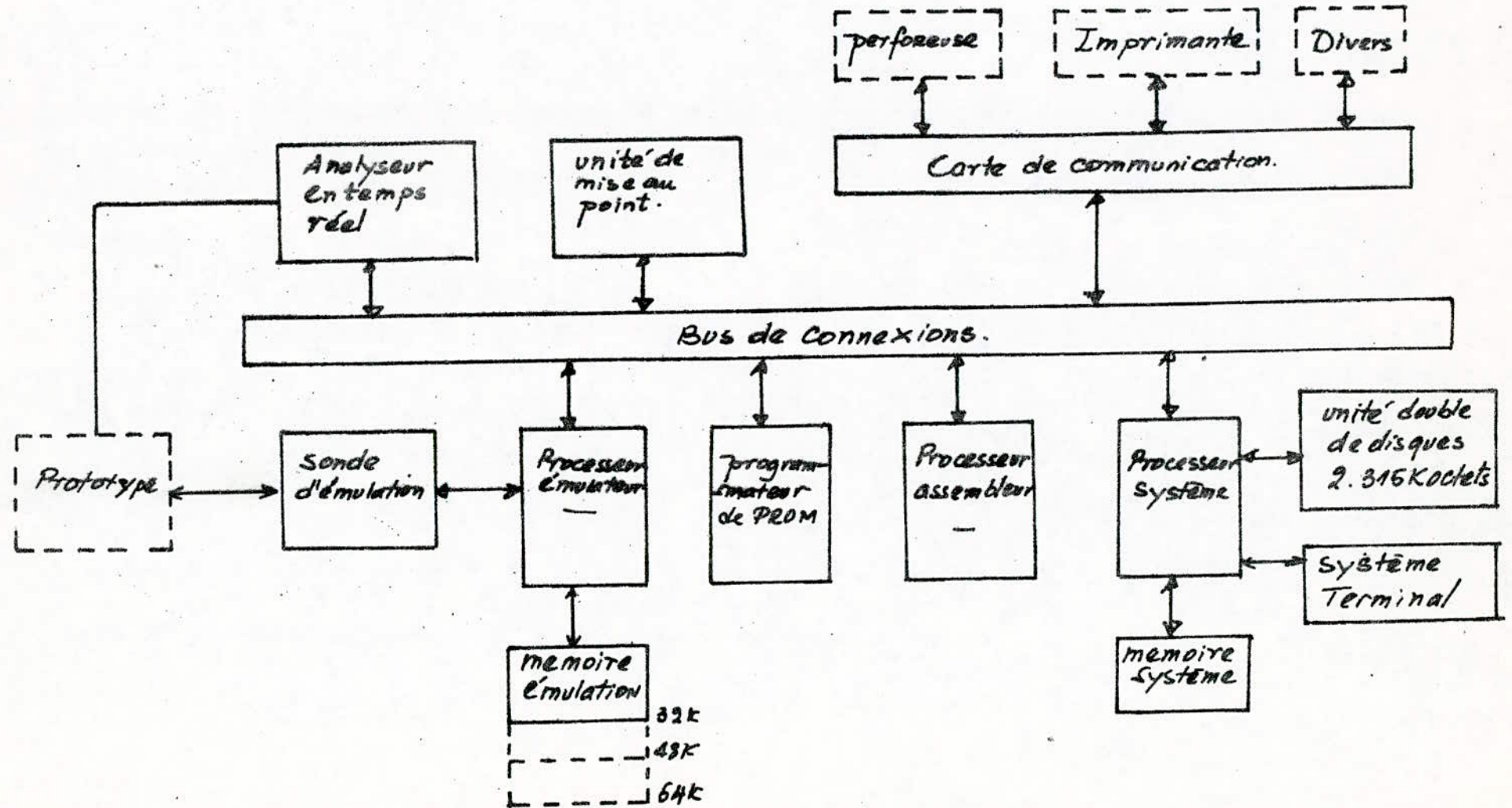
- gérer l'ensemble des activités de la machine et des périphériques.
- gérer le dialogue entre les différents processeurs
- gérer la communication avec la mémoire de masse qui est composée de 2 disquettes souples à travers une liaison de type parallèle.

En plus le 8002 dispose de (voir fig.1)

- 1) une mémoire système composée d'une RAM 16K octets et d'une ROM (Boot-strap) qui sert au chargement du moniteur .DOS et occupant les 256 premiers octets.
- 2) un processeur assembleur (Z80).
- 3) un processeur émulateur qui exécute et assure le

fig.1 ARCHITECTURE DU TEKTRONIX 8002A

99



H=05 00 F=077
 H=05 01 F=071
 NA=001 T=1.01 S
 H=05 02 F=067
 NA=002 T=1.06 S
 H=05 03 F=060
 NA=003 T=1.01 S
 H=05 04 F=070
 NA=004 T=1.06 S
 H=05 05 F=060
 NA=005 T=1.01 S
 H=05 06 F=070
 NA=006 T=1.06 S
 H=05 07 F=067
 NA=007 T=1.01 S
 H=05 08 F=060
 NA=008 T=1.06 S
 H=05 09 F=060
 NA=009 T=1.01 S
 H=05 10 F=060
 NA=010 T=1.06 S
 H=05 11 F=060
 NA=011 T=1.01 S
 H=05 12 F=060
 NA=012 T=1.06 S
 H=05 13 F=060
 NA=013 T=1.01 S
 H=05 14 F=060
 NA=014 T=1.06 S
 H=05 15 F=060
 NA=015 T=1.01 S
 H=05 16 F=060
 NA=016 T=1.06 S
 H=05 17 F=060
 NA=017 T=1.01 S
 H=05 18 F=060
 NA=018 T=1.06 S
 H=05 19 F=060
 NA=019 T=1.01 S
 H=05 20 F=060
 NA=020 T=1.06 S
 H=05 21 F=060
 NA=021 T=1.01 S
 H=05 22 F=060
 NA=022 T=1.06 S
 H=05 23 F=060
 NA=023 T=1.01 S
 H=05 24 F=060
 NA=024 T=1.06 S
 H=05 25 F=060
 NA=025 T=1.01 S
 H=05 26 F=060
 NA=026 T=1.06 S
 H=05 27 F=060
 NA=027 T=1.01 S
 H=05 28 F=060
 NA=028 T=1.06 S
 H=05 29 F=060
 NA=029 T=1.01 S
 H=05 30 F=060
 NA=030 T=1.06 S

H=11 00 F=000
 NA=070 T=2.40 S
 H=11 01 F=005
 NA=054 T=1.11 S
 H=11 02 F=004
 NA=050 T=1.11 S
 H=11 03 F=104
 NA=072 T=0.27 S
 NA=027 T=1.11 S
 H=11 05 F=157
 NA=105 T=0.36 S
 NA=001 T=2.29 S
 H=11 06 F=117
 NA=037 T=0.36 S
 NA=010 T=1.11 S
 H=11 07 F=004
 H=11 08 F=004
 H=11 09 F=007
 H=11 10 F=078
 H=11 21 F=077
 NA=001 T=1.00 S
 H=11 23 F=002
 NA=010 T=0.30 S
 NA=003 T=1.01 S
 H=11 24 F=002
 NA=008 T=0.20 S
 NA=000 T=1.11 S
 H=11 25 F=073
 H=11 26 F=073
 etc.

figure 2: résultats
 d'essai réel sur une
 personne souffrant
 d'un souffle au cœur
 (DEMAC dans sa
 version originale)

figure 3: résultats
 d'essai de 15 mn
 au laboratoire
 (DEMAC modifié)

déverminage des programmes utilisateurs. (plusieurs cartes de processeurs émulateurs différents peuvent y exister, actuellement le 8002 A de l'école ne dispose que du MC 6800).

4) une mémoire utilisateur : de 32k octets et utilisée par les processeurs émulateur et assembleur. et elle est indépendante de la mémoire système.

5) une sonde d'émulation : assurant le lien entre le prototype et le processeur émulateur.

6) une unité de mise au point : qui assure le contrôle du processus d'émulation et des fonctions de mise au point.

7) un analyseur en temps réel : composé d'une carte "mémoire rapide", d'un interface d'acquisition de données et d'une sonde logique à huit entrées. Il a pour rôle de suivre d'une façon dynamique les bus d'adresses, de données ainsi que huit signaux du prototype, et de déceler les éventuelles erreurs de logique.

8) un programmeur de PROM.

9) une carte de communication permettant l'échange d'information avec d'autres systèmes informatiques.

10) un système terminal constitué d'un clavier et d'une console de visualisation permettant le dialogue avec le système.

B) LOGICIEL DU SYSTEME.

Il est constitué de plusieurs modules, on y trouve

- un logiciel de base "TEK.DOS" qui est le moniteur du sys.
- un éditeur de texte qui permet la création et la modification de textes.
- un éditeur de lien : qui permet de réunir en un seul code objet de plusieurs codes objets assemblés séparément et pouvant échanger des variables entre eux.

(On y trouve aussi :

- un programme d'assemblage.
- un programme de déverminage qui permet de

Suivre l'exécution d'un programme utilisateur et de déceler d'éventuelles erreurs de logique.

- un programme de programmation de PROM.
- un programme d'utilisation de l'analyseur en temps réel
- et d'autres programmes spécifiques pour la communication avec les périphériques.

C) L'émulation et ses différents modes:

L'émulation est une technique de contrôle des μ processeurs dans un procédé où l'exécution du logiciel peut être observée et contrôlée. Cette exécution doit être en temps réel, c'est-à-dire que le procédé sous contrôle continue à fonctionner sans ralentissement et sans qu'il y ait d'états d'attente introduits par le système émulateur.

Cette technique peut se faire en trois modes:

1/ mode d'émulation 0 (mode du système):

Dans ce mode toutes les activités prennent place à l'intérieur du système de développement, la mémoire d'émulation est utilisée pour exécuter le programme utilisateur sans faire appel au prototype.

2/ mode d'émulation 1 (mode partiel):

Dans ce cas la sonde d'émulation est insérée à la place du μ processeur du prototype. Le programme est encore exécuté à partir de la mémoire d'émulation, tandis que les fonctions d'entrées/sorties et d'horloge sont assumées par le système prototype, ce qui permet la mise au point du prototype et du logiciel correspondant. Un autre avantage de ce mode est qu'il permet la pagination des positions mémoires d'émulation (8002A) et celles du prototype.

3/ mode d'émulation 2 (mode total):

La sonde d'émulation est encore placée sur le support

du yprocesseur du prototype, tandis que toutes les opérations s'effectuent au sein de ce dernier, c'ad l'emulation utilise les entrées / sorties, l'horloge et la mémoire du prototype.

La mémoire d'emulation n'est pas accessible.

2 PROCEDURE DE MISE AU POINT.

Une fois le logiciel modifié, on est passé à l'emulation avec comme prototype le DEMAC dans sa version originale. le mode d'emulation qui s'impose est évidemment le mode 1.

L'ECG a été simulé par un générateur d'impulsions (PM 5770) pouvant délivrer des impulsions à la cadence du rythme cardiaque.

La mise au point terminée, on a fixé notre programme de gestion (dont le listing se trouve en Annexe) sur une EPROM 2716 monotension grâce à un programmeur d'EPROM 2716 utilisable par le kit 9900 de Texas Instruments. Le programme devient alors résident.

Remarques:

1) Le programme de gestion trop long a dû être divisé en trois modules, pour qu'il soit acceptable par l'assembleur et l'éditeur de lien. Chaque module est divisé en sections: sections propres à chaque module notées "S" et sections communes notées "C".

2) Le listing qui se trouve en Annexe est composé des listings des 3 modules. Les sections communes n'ont pas été reproduites qu'une seule fois.

IV AMELIORATION DU MATERIEL.

1. REALISATION du DEMAC. EN CIRCUITS IMPRIMES.

L'amélioration matérielle la plus importante consiste à reprendre la réalisation du DEMAC en circuits imprimés pour lui permettre plus de fiabilité. Pour des raisons pratiques on a dû concevoir

4 cartes :

- une carte logique : pour le support des différents modules logiques.

- une carte analogique : pour le support de la partie analogique du DEMAC.

- une carte pour le support des afficheurs.

- une carte pour l'ALS.

2 L'ALIMENTATION.

L'utilisation d'une seule alimentation stabilisée à partir du secteur présente au niveau de l'interface analogique/logique un danger pour le patient. En effet s'il y'aura des court-circuits accidentels, l'individu risque de se trouver en contact direct avec le secteur, ce qui peut lui provoquer la mort.

Pour éviter un tel risque on utilisera deux alimentations :

- l'une réalisée à partir du secteur et destinée à l'alimentation de la carte logique du DEMAC qui nécessite un courant d'alimentation d'environ 1 Ampère sous 5V.

Son schéma de principe est donné par la figure 4

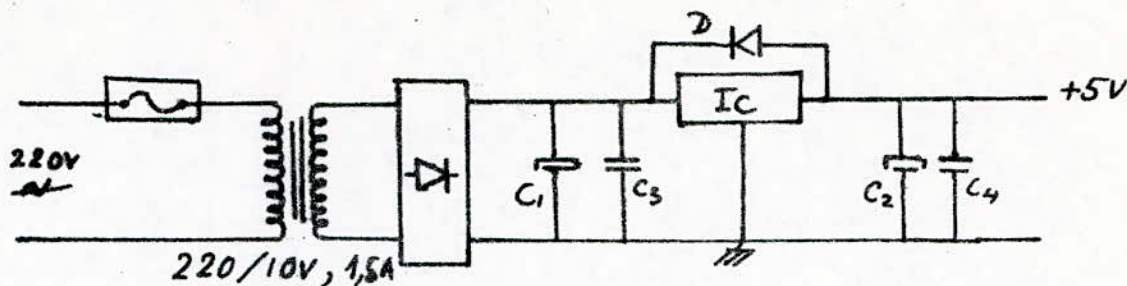
- l'autre réalisée à partir de 2 piles alcalines 9V et destinée à l'alimentation de l'interface analogique/logique ce qui nous permet d'éviter le risque cité plus haut. De plus cette partie n'exige pas une consommation notable ce qui permettra une ^{durée} vie importante pour les piles.

Son schéma de principe est donné par la figure 5.

Durée de vie et test des piles :

En fonctionnement continu, les piles peuvent durer environ 36 heures (en vertu des courbes d'utilisation).

Mais l'utilisation n'est que rarement ^{continue et} assez longue ainsi, autrement dit elle est intermittente, et les piles peuvent en conséquence durer plus (Car elles restituent une partie de leur énergie perdue, pendant les temps de



IC :: SFC 2805

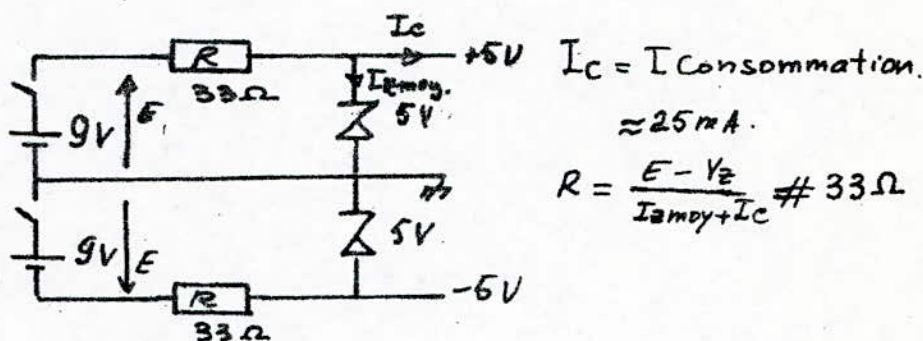
$C_3 = 0,33 \mu F.$

D : 1N4004

$C_4 = 0,1 \mu F.$

$C_1 = C_2 = 2200 \mu F / 16V$

figure 4. schéma de principe de L'ALS.



figures 5. schéma de principe de l'alimentation à piles.

repos). Cependant pour permettre la possibilité de tester l'état des piles on a retenu une méthode simple mais efficace et consiste à injecter un signal continu (de 100mV) prélevé de l'alimentation même, à l'entrée du bloc de mise en forme (voir figure 6). Ceci nous permet d'affirmer que :

- si la LED s'allume : les piles sont encore utilisables
- Si la LED ne s'allume pas : les piles sont usées et il faudrait les changer.

Ce test peut se faire par exemple avant chaque utilisation (en cours de fonctionnement il n'est pas possible car on risque de perturber l'analyse sinon l'arrêter).

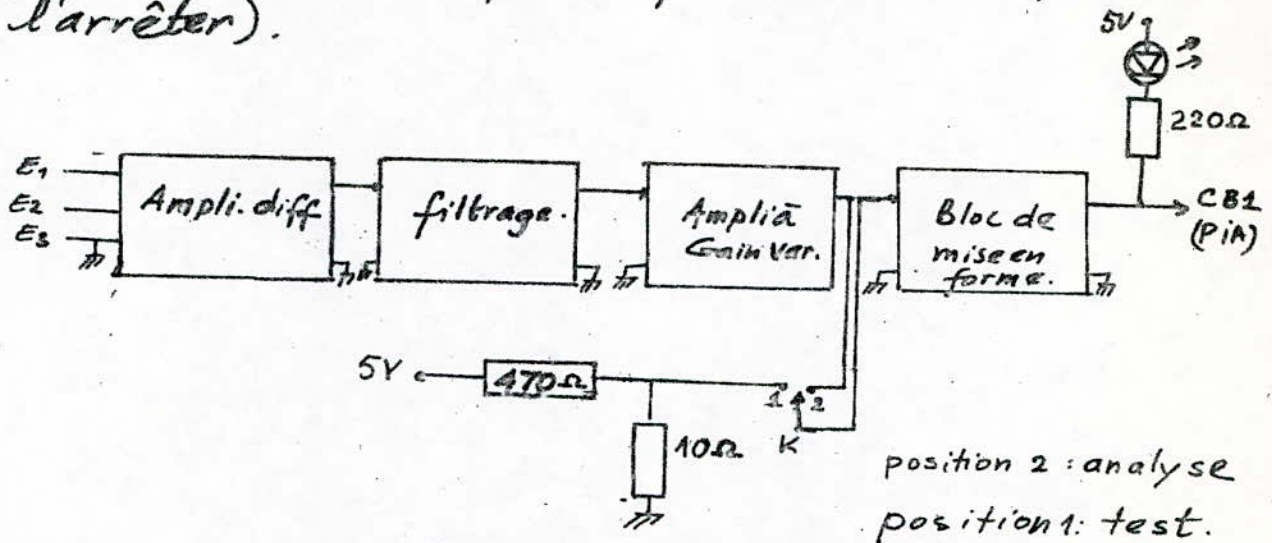


fig 6. test des piles.

Remarque :

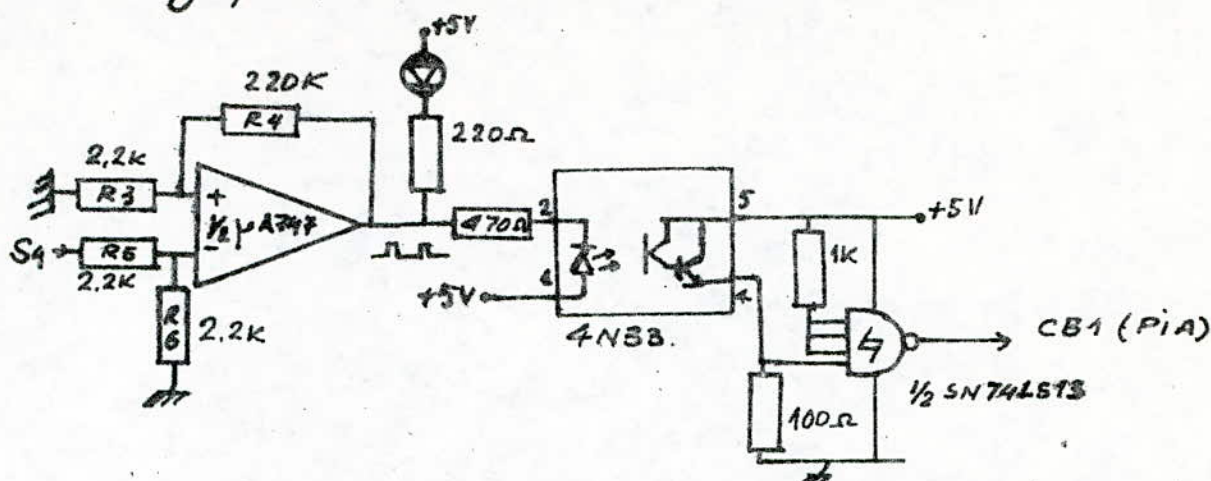
- la répartition des cartes de circuits imprimés joue un certain rôle d'isolation électrique.

3 L'INTERFACE ANALOGIQUE/LOGIQUE.

La liaison entre l'interface analogique/logique et la partie logique est assurée par un photocoupleur (4N33). L'intérêt d'un tel composant est double :

- 1/ il résout le problème d'existence de deux masses différentes
- 2/ il contribue efficacement à l'isolation électrique

et réalise une immunité aux bruits en provenance des modules logiques et notamment du MC 6871 qui est assez bruyant



à la sortie du photocoupleur on aura un signal carré dont la forme est légèrement altérée (limitation de vitesse du composant) et il faudrait le remettre de nouveau en forme. un trigger à 4 entrées (1/2 74LS13) permet ceci.

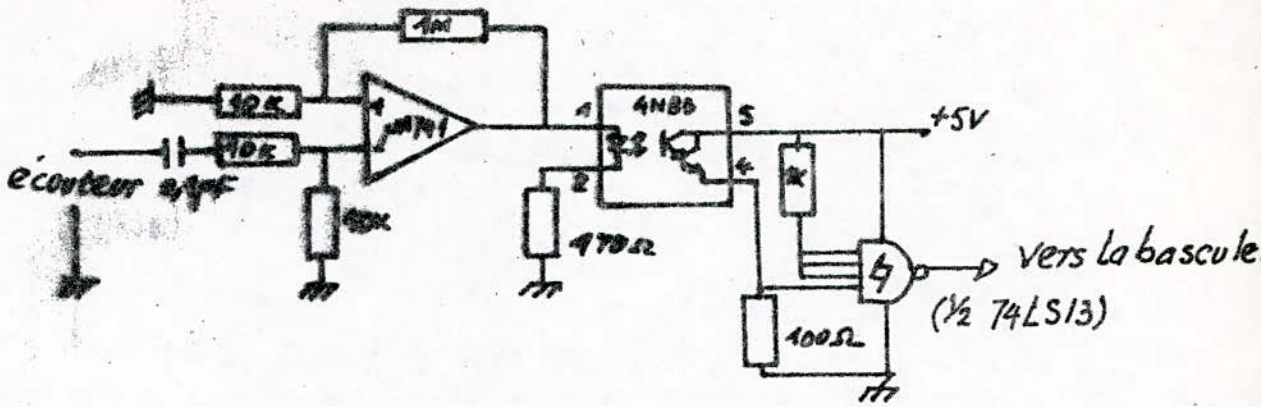
Remarques:

1/ L'insertion du photocoupleur nous permet d'abaisser le seuil du trigger de schmitt qui l'attaque et par là améliorer les performances de l'interface. le nouveau seuil est fixé à 50mV.

$$S = \frac{R_3}{R_3 + R_4} V^+ \approx 50\text{mV. sans tenir}$$

Compte de l'adaptateur d'impédance qui a pour effet de diviser par 2 le signal d'entrée.

2/ L'étage d'entrée de l'interface cassette est composé d'un trigger de schmitt monté autour d'un Ampli.op. qui nécessite 2 alimentations symétriques, et comme L'ALS est monotension (+5V), on devra l'alimenter à partir des piles ce qui nécessite l'emploi d'un second photocoupleur suivi d'un circuit de mise en forme.



3/ Dans les deux cas précédents (cas de l'interface analogique / logique et de l'interface cassette) on ne peut pas se passer des premiers triggers vu les niveaux des seuils de déclenchement voulus qui ne sont pas permis par les seconds triggers (dont les seuils de déclenchement sont fixes). De plus dans le premier cas la LED de contrôle visuel devra ^{être} placée après le photocoupleur, et cependant le test des piles sera dépendant de la mise sous tension de l'appareil, ce qui n'est pas toujours pratique.

CONCLUSION

Ce modeste travail nous a été très bénéfique
il nous a permis surtout de :

- * travailler dans le domaine des micro-
-processeurs (MC 6800).

- * Connaître un système de développe-
-ment (TEKTRONIX 8002A) et les techniques
d'émulation.

- * constater les problèmes posés par
la modification d'un appareil existant.

- * apprécier les avantages de la
logique programmée.

Nous souhaitons, enfin, que le D.E.M.A.L. ainsi repris
soit plus performant et à la hauteur des exigences
d'utilisation.

ANNEXES

1. Listing du programme de gestion

Module 1

Adresse	Opération	Opérande	Commentaire
001			Section S1, Absolote.
002		F800	ORG F800H DEBUT.
003	F800	8E07FF	LDS #7FFH Initialis. Pile
004	F803	8607EC	LDA A 7ECH
005	F806	260B	BNE NFR
006	F808	CE0000	LDX #0H
007	F80B	6F00	RAZ CLR X RAZ mémoire
008	F80D	08	INX
009	F80E	8C0800	CPX #800H
010	F811	26F8	BNE RAZ
011	F813	7F2001	NFR CLR 2001H Début prog. Tim
012	F816	8685	LDA A #85H
013	F818	B72000	STA A 2000H
014	F81B	8683	LDA A #83H
015	F81D	B72001	STA A 2001H
016	F820	CE1387	LDX #1387H
017	F823	FF2004	STX 2004H
018	F826	CE00FF	LDX #FFH
019	F829	FF2002	STX 2002H
020	F82C	CEF902	LDX #F902H
021	F82F	FF2006	STX 2006H
022	F832	7F2000	CLR 2000H
023	F835	7F9001	CLR 9001H Début prog. PIA
024	F838	8610	LDA A #10H
025	F83A	B78000	STA A 8000H
026	F83D	8605	LDA A #05H
027	F83F	B78001	STA A 8001H
028	F842	7F8003	CLR 8003H

029	F845	86FF		LDA	A #FFH	
030	F847	B78002		STA	A 8002H	
031	F84A	8605		LDA	A #05H	
032	F84C	B78003		STA	A 8003H	
033	F84E	BDF971		JSR	BELL	prêt pour données
034	F852	CE07ED		LDX	#7EDH	
035	F855	8680	PH2	LDA	A #80H	
036	F857	B58001	T1	BIT	A 8001H	
037	F85A	27FB		BEQ	T1	
038	F85C	5F		CLR	B	
039	F85D	B67000		LDA	A 8000H	
040	F860	BDF935		JSR	DATA	Entrée Hd. Mnd
041	F863	BDF925		JSR	TP	
042	F866	08		INX		
043	F867	8C07E4		CPX	#7E4H	
044	F86A	26E9		BNE	PH1	
045	F86C	7F07EF		CLR	7EFH	
046	F86F	BDF9A5		JSR	BCDBN	
047	F872	B607ED		LDA	A 7EDH	
048	F875	B707E4		STA	A 7E4H	
049	F878	FED7E2		LDX	7E2H	
050	F87B	FF07ED		STX	7EDH	
051	F87E	BDF9A5		JSR	BCDBN	
052	F871	B607ED		LDA	A 7EDH	
053	F884	B707E5		LDA	A 7E5H	
054	F887	CE0000		LDX	#0H	
055	F88A	6F00	FA	CLR	X	
056	F88C	08		INX		
057	F88D	8C07ED		CPX	#7EDH	
058	F890	26FB		BNE	FA	
059	F892	CE07ED	REF	LDX	#7EDH.	

060	F895	8680	T2	LDA	A#80H	
061	F897	B58001		BIT	A8001H	
062	F89A	264F		BNE	TA1	
063	F89C	8640	RA1	LDA	A#40H	
064	F89E	B58003		BIT	A8003H	
065	F8A1	27F2		BEQ	T2	
066	F8A3	C60B		LDA	B#0BH	
067	F8A5	B68002		LDA	A8002H	
068	F8A8	BDF935		JSR	DATA	Entrée Bmin
069	F8AB	BDF935		JSR	TP	
070	F8AE	08		INX		
071	F8AF	8C07E3		CPX	#7E3H	
072	F8B2	26E8		BNE	RA1	
073	F8B4	8610		LDA	A#10H	
074	F8B6	B78000		STA	A8000H	
075	F8B9	BDF9A5		JSR	BCDBN	
076	F8BC	B607ED		LDA	A7EDH	
077	F8BF	B707EB		STA	A7EBH	
078	F8C2	CED7E0		LDX	#7EDH	
079	F8C5	8680	RA2	LDA	A#80H	
080	F8C7	B58003	T3	BIT	A8003H	
081	F8CA	27FB		BEQ	T3	
082	F8CC	C60B		LDA	B#0BH	
083	F8CE	B68002		LDA	A8002H	
084	F8D1	BDF935		JSR	DATA	Entrée Bmax.
085	F8D4	BDF935		JSR	TP	
086	F8D7	08		INX		
087	F8D8	8C07E3		CPX	#7E3H	
088	F8DB	26E8		BNE	RA2	
089	F8DD	BDF9A5		JSR	BCDBN	
090	F8E0	B607ED		LDA	A7EDH	

091	F8E3	B707EC		STA	A 7ECH	
092	F8E6	B107EB		CMP	A 7EBH	
093	F8E9	233C		BLS	NOK	
094	F8EB	8640	AT1	LDA	A#40H	
095	F8ED	B58 ⁿ 03	AT	BIT	A 8003H	
096	F8F0	27FB		BEQ	AT	
097	F8F2	C680		LDA	B # 30H	
098	F8F4	F58003		BIT	B 8003H	
099	F8F7	2734		BEQ	FAUT	
100	F8F9	F58001		BIT	B 8001H	
101	F8FC	272F		BEQ	FAUT	
102	F8FE	F68002		LDA	B 8002H	
103	F901	F68000		LDA	B 8000H	
104	F904	C60B		LDA	B#08H	BON.
105	F906	F707ED		STA	B 7EDH	
106	F909	F707EE		STA	B 7EEH	
107	F90C	F707EF		STA	B 7EFH	
108	F90F	BDF94D		JSR	AFF	
109	F912	7F8000		CLR	8000H	
110	F915	BDF985		JSR	TP	
111	F918	7F07E9		CLR	7E9H	
112	F91B	7F07EA		CLR	7EAH	
113	F91E	7F07ED		CLR	7EDH	
114	F921	7E07E1		CLR	7E1H	
115	F924	0E		CLI		
116	F925	20F4		BRA	LP	Attente impulsim
117	F927	BDF993	NOK	JSR	ERR	Bmin, Bmax erreur
118	F92A	7EF892		JMP	REF	
119	F92D	F68002	FAUT	LDA	B 8002H	K1 ou K2 ouvert
120	F930	BDF993		JSR	ERR	
121	F933	20B6		BRA	AT1	

122	F935	868000	DATA	LDA	A 8000H	
123	F938	43		COM	A	
124	F939	840F		AND	A#0FH	
125	F938	A700		STA	A X	
126	F93D	8C07E3		CPX	#7E3H	
127	F940	2706		BEQ	ACCB	
128	F942	A70D		STA	A 0DH, X	
129	F944	BDF94D		JSR	AFF	
130	F947	39		RTS		
131	F948	16	ACCB	TAB		
132	F949	BDF94D		JSR	AFF	
133	F94C	39		RTS		
134				Commun C1, Absolute.		
135		F94D		ORG	F94DH	
136	F94D	8670	AFF	LDA	A#70H	
137	F94F	BA07ED		ORA	A 7EDH	
138	F952	B78002		STA	A 8002H	
139	F955	8680		LDA	A#B0H	
140	F957	BA07EE		ORA	A 7EEH	
141	F95A	B78002		STA	A 8002H	
142	F95D	86D0		LDA	A#D0H	
143	F95F	BA07EF		ORA	A 7EFH	
144	F962	B78002		STA	A 8002H	
145	F965	86E0		LDA	A#E0H	
146	F967	1B		ABA		
147	F968	B78002		STA	A 8002H	
148	F96B	86F0		LDA	A#F0H	
149	F96D	B78002		STA	A 8002H	
150	F970	39		RTS		
151	F971	C60B	BELL	LDA	B#0BH	Avertissement.
152	F973	860F		LDA	A#0FH	

153	F975	CE0101		LDX	#0101H	
154	F978	B707EF		STA	A7EFH	
155	F978	FF07ED		STX	7EDH	
156	F97E	BDF94D		JSR	AFF	
157	F981	7F8000		CLR	8000H	
158	F984	39		RTS		
159	F985	FF07F0	TP	STX	7F0H	Temporisation
160	F988	CEFFFF		LDX	#FFFFH	
161	F98B	09	TP1	DEX		
162	F98C	01		NOP		
163	F98D	26FC		BNE	TP1	
164	F98F	FE07F0		LDX	7F0H	
165	F992	39		RTS		
166	F993	C60E	ERR	LDA	B#0EH	Message Error
167	F995	F707EE		STA	B7EEH	
168	F998	F707EF		STA	B7EFH	
169	F99B	F707ED		STA	B7EDH	
170	F99E	BDF94D		JSR	AFF	
171	F9A1	7F8000		CLR	8000H	
172	F9A4	39		RTS		
173				Section S2 Absolute.		
174		F9A5		ORG	F9A5H	
175	F9A5	C60A	BCDBN	LDA	B#0AH	
176	F9A7	B607EE		LDA	A7EEH	
177	F9AA	8DD8		BSR	TS	
178	F9AC	C664		LDA	B#64H	
179	F9AE	B607EF		LDA	A7EFH	
180	F9B1	8D01		BSR	TS	
181	F9B3	39	FINI	RTS		
182	F9B4	27FD	TS	BEQ	FINI	
183	F9B6	37		PSH	B	

184	F9B7	F807ED		ADD	B 7EDH	
185	F9BA			STA	B 7EDH	
186	F9BD	33		PUL	B	
187	F9BE	4A		DEC	A	
188	F9BF	20F3		BRA	TS	
189	F9C1	8E07FF		LDS	# 7FFH	Début prog. Trait.
190	F9C4	B607E9		LDA	A 7E9H	temps réel.
191	F9C7	8107		CMP	A# 07H	
192	F9C9	2607		BNE	NF	
193	F9CB	B607EA		LDA	A 7EAH	
184	F9CE	81DA		CMP	A# DAH	
195	F9D0	2228		BHI	FUL	
196	F9D2	8680	NF	LDA	A# 80H	
197	F9D4	B58001		BIT	A 8001H	
198	F9D7	260C		BNE	BR1	
199	F9D9	BDFAD0E	BR0	JSR	IMP	
200	F9DC	8680		LDA	A# 80H	
201	F9DE	B58001		BIT	A 8001H	
202	F9E1	2602		BNE	BR1	
203	F9E3	200A		BRA	BR2	
204	F9E5	BDFAD69	BR1	JSR	MIN	
205	F9E8	8680		LDA	A# 80H	
206	F9EA	B58003		BIT	A 8003H	
207	F9ED	26EA		BNE	BR0	
208	F9EF	0E	BR2	CLI		
209	F9F0	F62002		LDA	B 2002H	
210	F9F3	F62003		LDA	B 2003H	
211	F9F6	26F7		BNE	BR2	
212	F9F8	BDFAB3		JSR	NULL	
213	F9FB	C60A		LDA	B# 0AH	
214	F9FD	F707ED		STA	B 7EDH	

215	FA00	F707EE		STA	B 7EEH	
216	FA03	F707EF		STA	B 7EFH	
217	FA06	BDF94D		JSR	AFF	
218	FA09	3E		WAI		
219	FA0A	BDF971		JSR	BELL	mém RAM pleine.
220	FA0D	3E		WAI		
221	FA0E	B68002	IMP	LDA	A 8002H	Trait. impulsion
222	FAM	7C07F7		INC	7F7H	
223	FA14	86FF		LDA	A#FFH	
224	FA16	F62002		LDA	B 2002H	
225	FA19	F62003		LDA	B 2003H	
226	FAMC	10		SBA		
227	FA1D	F607F7		LDA	B 7F7H	
228	FA20	C101		CMP	B#01H	
229	FA22	2704		BEQ	Z1	
230	FA24	8117		CMP	A#17H	
231	FA26	2320		BLS	Z0	
232	FA28	CE00FF	Z1	LDX	#FFH	
233	FA2B	FF2002		STX	2002H	
234	FA2E	C101		CMP	B#01H	
235	FA30	271A		BEQ	XTS	
236	FA32	B107EB		CMP	A 7EBH	
237	FA35	2421		BCC	SUP	
238	FA37	F607F5		LDA	B 7F5H	
239	FA3A	2705		BEQ	INF1	
240	FA3C	B107F5		CMP	A 7F5H	
241	FA3F	2203		BHI	INF3	
242	FA41	B707F5	INF1	STA	A 7F5H	
243	FA44	7C07EB	INF3	INC	7EBH	
244	FA47	39		RTS		
245	FA48	7A07F7	Z0	DEC	7F7H	

246	FA4B	39		RTS		
247	FA4C	FED7E9	XTS	LDX	7E9H	
248	FA4F	2617		BNE	RET	
249	FA51	CEF902		LDX	#F902H	
250	FA54	FF2006		STX	2006H	
251	FA57	39		RTS		
252	FA58	B107EC	SUP	CMP	A7ECH	
253	FA5B	230B		BLS	RET	
254	FA5D	B107F6		CMP	A7F6H	
255	FA60	2303		BLS	INF2	
256	FA62	B707F6		STA	A7F6H	
257	FA65	7C07F4	INF2	INC	7F4H	
258	FA68	35	RET	RTS		
259	FA69	B68000	MIN	LDA	A8000H	Tract. minute.
260	FA6C	FED7E9		LDX	7E9H	
261	FA6F	2605		BNE	NP	
262	FA71	F607F7		LDA	B7F7H	
263	FA74	27F2		BEQ	RET	
264	FA76	B607F4	NP	LDA	A7F4H	
265	FA79	F607E8		LDA	B7E8H	
266	FA7C	1B		ABA		
267	FA7D	2723		BEQ	TRF	
268	FA7F	6F00		CLR	X	
269	FA81	08		INX		
270	FA82	B607F7		LDA	A7F7H	
271	FA85	A700		STA	A X	
272	FA87	08		INX		
273	FA88	E700		STA	B X	
274	FA8A	08		INX		
275	FA8B	B607F5		LDA	A7F5H	
276	FA8E	A700		STA	A X	

277	FA90	08		INX	
278	FA91	B607F4		LDA	A 7F4H
279	FA94	A700		STA	A X
280	FA96	08		INX	
281	FA97	B607F6		LDA	A 7F6H
282	FA9A	A700		STA	A X
283	FA9C	08		INX	
284	FA9D	B607F7		LDA	A 7F7H
285	FAA0	2006		BRA	BAB
286	FAA2	B607F7	TRF	LDA	A 7F7H
287	FAA5	A700		STA	A X
288	FAA7	08		INX	
289	FAA8	FF07E9	BAB	STX	7E9H
290	FAAB	BDFAC3		JSR	BNBCD
291	FAAE	C60F		LDA	B #DFH
292	FAB0	BDF04D		JSR	AFF
293	FAB3	7F07F4	NULL	CLR	7F4H
294	FAB6	7F07F5		CLR	7F5H
295	FAB9	7F07F6		CLR	7F6H
296	FABC	7F07F7		CLR	7F7H
297	FABF	7F07E8		CLR	7E8H
298	FAC2	39		RTS	
299				Commun C ₂ Absolute	
300		FAC3		DRG	FAC3H
301	FAC3	7F07EF	BNBCD	CLR	7EFH
302	FAC6	7F07EE		CLR	7EEH
303	FAC9	7F07ED		CLR	7EDH
304	FACC	8163	L1	CMP	A#63H
305	FACE	2307		BLS	L2
306	FAD0	8064		SUB	A#64H
307	FAD2	7C07EF		INC	7EFH

308	FAD5	20F5		BRA	L1
309	FAD7	8109	L2	CMP	A#09H
310	FAD9	2307		BIS	L3
311	FADB	800A		SUB	A#0AH
312	FADD	7C07EE		INC	7EEH
313	FAE0	20F5		BRA	L2
314	FAE2	B707ED	L3	STA	A7EDH
315	FAE5	39		RTS.	

MODULE 2

001				Section S3 Absolute	
002		FAE6		ORG	FAE6H
003	FAE6	8ED7FF		LDS	#7FFH <i>Début de p. Lang.</i>
004	FAE9	BDF971		JSR	BELL
005	FAEC	8680	RSO	LDA	A#80H
006	FAAE	B58001		BIT	A800AH
007	FAF1	2620		BNE	RS1
008	FAF3	8640		LDA	A#40H
009	FAF5	B58003		BIT	A8003H
010	FAF8	2609		BNE	SAUV
011	FAFA	8680		LDA	A#80H
012	FAFC	B58003		BIT	A8003H
013	FAFF	260A		BNE	CHAR
014	FBD1	2DE9		BRA	RSO
015	FB03	BDFC20	SAUV	JSR	SAUVGD
016	FB06	BDF971		JSR	BELL
017	FB08	2DE1		BRA	RSO
018	FB0B	BDFCCA	CHAR	JSR	CHARGT
019	FB0E	BDF971		JSR	BELL
020	FB11	20D9		BRA	RSO

021	FB13	BDF985	RS1	JSR	TP	
022	FB16	B68000		LDA	A 8000H	
023	FB19	7F07F2		CLR	7F2H	
024	FB1C	FED7E4		LDX	7E4H	
025	FB1F	FF07E6		STX	7E6H	Transfert H ₃ → H ₄
026	FB22	CE0190		LDX	#190H	
027	FB25	FF2002		STX	2002H	
028	FB28	FE2002	DEL	LDX	2002H	
029	FB2B	26FB		BNE	DEL	
030	FB2D	8680		LDA	A#80H	
031	FB2F	B58001		BIT	A 8001H	
032	FB32	2631		BNE	AUTO	
033	FB34	BD18F1		JSR	HEUR	début dép pas à pas.
034	FB37	8680		LDA	A#80H	
035	FB39	B58001	UP	BIT	A 8001H	
036	FB3C	27FB		BEQ	UP	
037	FB3E	BDF985		JSR	TP	
038	FB41	CE0000		LDX	#0H	
039	FB44	B68000	PAP	LDA	A 8000H	
040	FB47	A600		LDA	A X	
041	FB49	270F		BEQ	PA1	
042	FB4B	C60F		LDA	A#0FH	
043	FB4D	BDFB81	PA3	JSR	ROUT	
044	FB50	BC07E9		CPX	7E9H	
045	FB53	2635		BNE	POP	
046	FB55	BDF971		JSR	BELL	
047	FB58	2092		BRA	RSD	
048	FB5A	08	PA1	INX		
049	FB5B	A600		LDA	A X	
050	FB5D	2609		BNE	TRB	
051	FB5F	BDF993		JSR	ERR	

052	FB62	7EFAEC		JMP	RSO
053	FB65	BDFD86	AUTO	JSR	PRINT
054	FB68	C6DF	TRB	LDA	B#0FH
055	FB6A	A600		LDA	A X
056	FB6C	BDFB81		JSR	ROUT
057	FB6F	A600		LDA	A X
058	FB71	C60E		LDA	B#0EH
059	FB73	BDFB81		JSR	ROUT
060	FB76	A600		LDA	A X
061	FB78	C60C		LDA	B#0CH
062	FB7A	BDFB81		JSR	ROUT
063	FB7D	A600		LDA	A X
064	FB7F	C60A		LDA	B#0AH
065	FB81	BDFB81		JSR	ROUT
066	FB84	A600		LDA	A X
067	FB86	C60D		LDA	B#0DH
068	FB88	20C3		BRA	PA3
069	FB8A	BDFB90	POP	JSR	CPH
070	FB8D	20B5		BRA	PAP
071	FB8F	39		RTS	
072				Common C3, Absolute.	
073		FB90		ORG	FB90H
074	FB90	7C07E6	CPH	INC	7E6H
075	FB93	863C		LDA	A#3CH
076	FB95	B107E6		CMP	A 7E6H
077	FB98	2701		BER	H1
078	FB9A	39	NH	RTS	
079	FB9B	7F07E6	H1	CLR	7E6H
080	FB9E	7C07E7		INC	7E7H
081	FBA1	8618		LDA	A#18H
082	FBA3	B107E7		CMP	A 7E7H

083	BBA6	26F2		BNE	NH	
084	FBA8	7F07E7		CLR	7E7H	
085	FBA8	B6FF		LDA	A#FFH	
086	FBAD	B707E2		STA	A 7F2H	
087	FBB0	39		RTS		
088				Section S4 Absolute.		
089		FBB1		ORG	FBB1	
090	FBB1	FF07E0	ROUT	STX	7E0H	Routine de visua
091	FBB4	8100		CMP	A#0H	
092	FBB6	272C		BEQ	ZERO	
093	FBB8	BDFAC3		JSR	BNBCD	
094	FBB8	C10C		CMP	B#0CH	
095	FBBD	2709		BEQ	PV1	
096	FBBF	C10D		CMP	B#0DH	
097	FBC1	2705		BEQ	PV1	
098	FBC3	7F8000		CLR	8000H	
099	FBC6	2005		BRA	PV0	
100	FBC8	8610	PV1	LDA	A#10H	
101	FBCA	B78000		STA	A 8000H	
102	FBCD	BDF94D	PV0	JSR	AFF	
103	FBD0	8680	SBH2	LDA	A#80H	
104	FBD2	B58003		BIT	A 8003H	
105	FBD5	260F		BNE	SBH1	
106	FBD7	8680	SBH3	LDA	A#80H	
107	FBD9	B58001		BIT	A 8001H	
108	FBDc	27F2		BEQ	SBH2	
109	FBDf	BDF805		JSR	TP	
110	FBE1	FE07E0		LDX	7E0H	
111	FBE4	08	ZERO	INX		
112	FBE5	39		RTS		
113	FBE6	BDFBF1	SBH1	JSR	HEUR	

114	FBEG	BDF985		JSR	TP	
115	FBEC	B68002		LDA	A 8002H	
116	FBEF	20E6		BRA	SB#3	
117	FBF1	B607E6	HEUR	LDA	A 7E6H	Affichage heure
118	FBF4	BDFAC3		JSR	BNBCD	
119	FBF7	FED7ED		LDX	7EDH	
120	FBFA	B607E7		LDA	A 7E7H	
121	FBFD	BDFAC3		JSR	BNBCD	
122	FC00	B607ED		LDA	A 7EDH	
123	FC03	F607EE		LDA	B 7EEH	
124	FC06	FF07ED		STX	7EDH	
125	FC09	B707EF		STA	A 7EFH	
126	FC0C	BDF94D		JSR	AFF	
127	FC0F	86 F		LDA	A # FFH	
128	FC11	B107F2		CMP	A 7F2H	
129	FC14	2606		BNE	NV4	
130	FC16	8610		LDA	A # 10H	
131	FC18	B78000		STA	A 8000H	
132	FC1B	39		RTS		
133	FC1C	7F8000	NV4	CLR	8000H	
134	FC1F	39		RTS		
135	FC20	5F	SAUV60	CLR	B	
136	FC21	7F07ED		CLR	7EDH	
137	FC24	7F07EE		CLR	7EEH	
138	FC27	7F07EF		CLR	7EFH	
139	FC2A	BDF94D		JSR	AFF	
140	FC2D	BDF985		JSR	TP	
141	FC30	B68002		LDA	A 8002H	
142	FC33	7F8001		CLR	8001H	
143	FC36	7F8000		CLR	8000H	début prog. Sauvgd
144	FC39	862C		LDA	A # 2CH	

145	FC3B	B78001		STA	A 8001H	
146	FC3E	CE0004		LDX	#04H	
147	FC41	FF2004		STX	2004H	
148	FC44	7F07F2		CLR	7F2H	
149	FC47	7F07F3		CLR	7F3H	
150	FC4A	CE1388		LDX	#1388H	
151	FC4D	BDFC79		JSR	INITO	
152	FC50	BDFC95		JSR	HD	10s de 4 (entire)
153	FC53	4F		CLR	A	
154	FC54	BDFC6C		JSR	SBY	byte synchro
155	FC57	FED7F2	S1	LDX	7F2H	
156	FC5A	A800		EOR	A X	
157	FC5C	36		PSH	A	
158	FC5D	A600		LDA	A X	
159	FC5F	BDFC6C		JSR	SBY	
160	FC62	BDFC82		JSR	TF	
161	FC65	32		POL	A	
162	FC66	25EF		BCS	S1	
163	FC68	BDFC6C		JSR	SBY	
164	FC6B	39		RTS		
165	FC6C	CE0008	SBY	LDX	#08H	Saved byte
166	FC6F	48	SB1	ASL	A	
167	FC70	36		PSH	A	
168	FC71	BDFC9D		JSR	SBI	
169	FC74	32		PUL	A	
170	FC75	09		DEX		
171	FC76	26F7		BNE	SB1	
172	FC78	39		RTS		
173	FC79	8680	INITO	LDA	A#60H	
174	FC7B	B72002		STA	A 2002H	
175	FC7E	B72003		STA	A 2003H	

176	FC81	39		RTS	
177	FC82	B607F3	TF	LDA	A 7F3H
178	FC85	81ED		CMP	A #EDH
179	FC87	B607F2		LDA	A 7F2H
180	FC8A	8207		SBC	A #07H
181	FC8C	7C07F3		INC	7F3H
182	FC8F	2603		BNE	RT
183	FC91	7C07F2		INC	7F2H
184	FC94	39	RT	RTS	
185	FC95	0D	HD	SEC	
186	FC96	BDFC9D		JSR	SBI
187	FC99	09		DEX	
188	FC9A	26F9		BNE	HD
189	FC9C	39		RTS	
190	FC9D	C608	SBI	LDA	B #08H <i>Savvd bit</i>
191	FC9F	2403		BCC	SB2
192	FCA1	F707EE		STA	B 7EEH
193	FCA4	B62002	SB2	LDA	A 2002H
194	FCA7	B62003		LDA	A 2003H
195	FCAA	814B		CMP	A #4BH
196	FCAC	22F6		BHI	SB2
197	FCAE	B707EF		STA	A 7EFH
198	FCB1	B607EE		LDA	A 7EEH
199	FCB4	2607		BNE	WT
200	FCB6	B607EF		LDA	A 7EFH
201	FCB9	8132		CMP	A #32H
202	FCBB	22E7		BHI	SB2
203	FCBD	BDFC79	WT	JSR	INITO
204	FCC0	B68000		LDA	A 8000H
205	FCC3	5A		DEC	B
206	FCC4	26DE		BNE	SB2

207	FCC6	7F07EE		CLR	7EEH	
208	FCC9	39		RTS		
209	FCCA	7F8001	CHARGT	CLR	8001H	début prog lect. cas
210	FCCD	7F8000		CLR	8000H	
211	FCDD	8604		LDA	A#04H	
212	FCD2	B78001		STA	A8001H	
213	FCD5	CE0009		LDX	#09H	
214	FCD8	FF2004		STX	2004H	
215	FCDB	5F		CLR	B	
216	FCDC	7F07ED		CLR	7EDH	
217	FCDF	7F07EE		CLR	7EEH	
218	FCE2	7F07EF		CLR	7EFH	
219	FCE5	BDF94D		JSR	AFF	
220	FCE8	7F07F0		CLR	7F0H	
221	FCEB	7F07F2		CLR	7F2H	
222	FCEE	7F07F3		CLR	7F3H	
223	FCF1	BDFD32	FIL0	JSR	INIT	
224	FCF4	B707ED		STA	A7EDH	
225	FCF7	BDFD4F	FIL1	JSR	RBI	Trouverentête
226	FCFA	24F5		BCC	FIL0	
227	FCFC	7A07ED		DEC	7EDH	
228	FCFF	26F6		BNE	FIL1	
229	FDD1	CE1388		LDX	#1388H	
230	FDD4	09	RSY0	DEX		
231	FDD5	2737		BEQ	ERT	
232	FDD7	8608		LDA	A#08H	
233	FDD9	B707ED		STA	A7EDH	
234	FDDC	BDFD4F	RSY1	JSR	RBI	Trouverbyte sync
235	FDDF	25F3		BCS	RSY0	
236	FDM1	7A07ED		DEC	7EDH	
237	FDM4	26F6		BNE	RSY1	

238	FD16	BDFD42	RD2	JSR	RBY	live byte
239	FD19	FE07F2	L	LDX	7F2H	
240	FD1C	A700		STA	A X	
241	FD1E	B807F0		EOR	A7F0H	
242	FD21	B707F0		STA	A7F0H	
243	FD24	BDFC82		JSR	TF	
244	FD27	25ED		BCS	RD2	
245	FD29	BDFD42		JSR	RBY	live Test byte
246	FD2C	B107F0		CMP	A7F0H	Compare Test byte
247	FD2F	260D		BNE	ERT	
248	FD31	39		RTS		
249	FD32	86FF	INIT	LDA	A#FFH	
250	FD34	B72002		STA	A2002H	
251	FD37	B72003		STA	A2003H	
252	FD3A	B707EF		STA	A7EFH	
253	FD3D	39		RTS		
254	FD3E	BDF993	ERT	JSR	ERR	
255	FD41	3E		WAI		
256	FD42	CE0008	RBY	LDX	#08H	live byte
257	FD45	36	RB1	PSH	A	
258	FD46	BDFD4F		JBR	RB1	
259	FD49	32		PUL	A	
260	FD4A	49		RDL	A	
261	FD4B	09		DEX		
262	FD4C	26F7		BNE	RB1	
263	FD4E	39		RTS		
264	FD4F	C608	RB1	LDA	B#08H	live bit
265	FD51	B62002	RB2	LDA	A2002H	
266	FD54	B62003		LDA	A2003H	
267	FD57	B707EE		STA	A7EEH	
268	FD5A	B68000		LDA	A8000H	

269	FD5D	B807F1		EOR	A7F1H	
270	FD60	2AEF		BPL	RB2	
271	FD62	B807F1		EOR	A7F1H	
272	FD65	B707F1		STA	A7F1H	
273	FD68	B607EF		LDA	A7EFH	
274	FD6B	B007EE		SUB	A7EEH	
275	FD6E	8106		CMP	A#06H	
276	FD70	230C		BLS	TZ	
277	FD72	5A		DEC	B	
278	FD73	2609		BNE	TZ	
279	FD75	8669		LDA	A#69H	
280	FD77	B107EE		CMP	A7EEH	
281	FD7A	BDFD32		JSR	INCT	
282	FD7D	39		RTS		
283	FD7E	B607EE	TZ	LDA	A7EEH	
284	FD81	B707EF		STA	A7EFH	
285	FD84	20CB		BRA	RB2	
286	FD86	8E07FF	PRINT	LDS	#7FFH	Début prog imp

MODULE 3

001			Section S5, Absolute.	
002		FD89	ORG FD89H	
003	FD89	FE07E4	LDX 7E4H	
004	FD8C	FF07E6	STX 7E6H	
005	FD8F	86FF	LDA A#FFH	
006	FD91	B707F0	STA A7F0H	
007	FD94	BDFE66	JSR EP3	
008	FD97	8642	LDA A#42H	Impres. bonne
009	FD99	BDFE72	JSR CH0	
010	FD9C	863D	LDA A#3DH	

011	FD9E	BDFE72		JSR	CHO
012	FDA1	B607EB		LDA	A7EBH
013	FDA4	BDFE84		JSR	DAB
014	FDA7	8620		LDA	A#20H
015	FDA9	BDFE72		JSR	CHO
016	FDAC	8653		LDA	A#53H
017	FDAE	BDFE72		JSR	CHO
018	FDB1	BDFE66		JSR	EP3
019	FDB4	B607EC		LDA	A7ECH
020	FDB7	BDFE84		JSR	DAB
021	FDBA	8620		LDA	A#20H
022	FDBC	BDFE72		JSR	CHO
023	FDBF	8653		LDA	A#53H
024	FDC1	BDFE72		JSR	CHO
025	FDC4	BDFE9F		JSR	CH1
026	FDC7	CE0000		LDX	#0H
027	FDCA	A600	DO	LDA	A X
028	FDCC	275A		BEQ	G6
029	FDCE	8C0000		CPX	#0H
030	FDD1	2714		BEQ	G3
031	FDD3	B1D7F7		CMP	A7F7H
032	FDD6	271A		BEQ	G4
033	FDD8	2305		BLS	G1
034	FDDA	7CD7F7		INC	7F7H
035	FDDD	2003		BRA	G2
036	FDDF	7AD7F7	G1	DEC	7F7H
037	FDE2	B1D7F7	G2	CMP	A7F7H
038	FDE5	270B		BEQ	G4
039	FDE7	B707F7	G3	STA	A7F7H
040	FDEA	8646		LDA	A#46H
041	FDEC	B707F1		STA	A7F1H

042	FDEF	BDFEC8		JSR	FOR1	
043	FDF2	BDFB90	G4	JSR	CPH	
044	FDF5	B607E6		LDA	A7E6H	
045	FDF8	260A		BNE	D1	
046	FDFA	8680	D10	LDA	A#80H	
047	FDFC	B58001		BIT	A8001H	
048	FDFE	27F9		BEQ	D10	
049	FED1	B68000		LDA	A8000H	
050	FED4	08	D1	INX		
051	FE05	BC07E9		CPX	7E9H	
052	FE08	26C0		BNE	D0	
053	FEDA	BDFEC8		JSR	FOR1	
054	FE0D	8646	G5	LDA	A#46H	Impres. FIN.
055	FE0F	BDFE72		JSR	CHO	
056	FE12	8649		LDA	A#49H	
057	FE14	BDFE72		JSR	CHO	
058	FE17	864E		LDA	A#4EH	
059	FE19	BDFE72		JSR	CHO	
060	FE1C	BDFE9F		JSR	CH1	
061	FE1F	B607F0		LDA	A7F0H	
062	FE22	27E9		BEQ	G5	
063	FE24	BDF971		JSR	BELL	
064	FE27	3E		WAI		
065	FE28	08	G6	INX	.	
066	FE29	A600		LDA	A X	
067	FE2B	27E0		BEQ	G5	
068	FE2D	B707F7		STA	A7F7H	
069	FE30	08		INX		
070	FE31	A600		LDA	A X	
071	FE33	B707E8		STA	A7E8H	
072	FE36	08		INX		

073	FE37	A600		LDA	A X
074	FE39	B707F5		STA	A 7F5H
075	FE3C	08		INX	
076	FE3D	A600		LDA	A X
077	FE3F	B707F4		STA	A 7F4H
078	FE42	08		INX	
079	FE43	A600		LDA	A X
080	FE45	B7 7F6		STA	A 7F6H
081	FE48	8646		LDA	A#46H
082	FE4A	B707F1		STA	A 7F1H
083	FE4D	BDFEC8		JSR	FOR1
084	FE50	B607E8		LDA	A 7E8H
085	FE53	270B		BEQ	SOFT
086	FE55	BDFE30		JSR	FOR2
087	FE58	B607F4		LDA	A 7F4H
088	FE5B	2603		BNE	SOFT
089	FE5D	7EFD F2		JMP	G4
090	FE60	BDFE72	SOFT	JSR	FOR3
091	FE63	7EFD F2		JMP	G4
092	FE66	8620	EP3	LDA	A #20H
093	FE68	BDFE72		JSR	CHO
094	FE6B	BDFE72		JSR	CHO
095	FE6E	BDFE72		JSR	CHO
096	FE71	39		RTS	
097	FE72	F68400	CHO	LDA	B 8400H
098	FE75	C506		BIT	B #06H
099	FE77	26F9		BNE	CHO
100	FE79	B78400		STA	A 8400H
101	FE7C	39		RTS	
102	FE7D	C630	ASCII	LDA	B #30H Conversion ASCII
103	FE7F	1B		ABA	

104	FE80	BDFE72		JSR	CHO
105	FE83	39		RTS	
106	FE84	BD FAC3	DAB	JSR	BNBCD
107	FE87	B607EF		LDA	A7EFH
108	FE8A	BDFE7D		JSR	ASCI
109	FE8D	862E		LDA	A#2EH
110	FE8F	BDFE72		JSR	CHO
111	FE92	B607EE	DAO	LDA	A7EEH
112	FE95	BDFE7D		JSR	ASCI
113	FE98	B607ED		LDA	A7EDH
114	FE9B	BDFE7D		JSR	ASCI
115	FE9E	39		RTS	
116	FE9F	C6FF	CH1	LDA	B#FFH
117	FEA1	F707FO		STA	B7FOH
118	FEA4	F68400		LDA	B8400H
119	FEA7	C504		BIT	B#04H
120	FEA9	26F4		BNE	CH1
121	FEAB	F78001		CLR	8001H
122	FEAE	C610		LDA	B#10H
123	FEBO	F78000		STA	B8000H
124	FEB3	C605		LDA	B#05H
125	FEB5	F78001		STA	B8001H
126	FEB8	860A		LDA	A#0AH
127	FEBA	878400		STA	A8400H
128	FEBD	F68000		LDA	B8000H
129	FECD	C540		BIT	B#40H
130	FEC2	2603		BNE	NERR
131	FEC4	F707FO		CLR	7FOH
132	FEC7	39	NERR	RTS	
133	FECB	86FF	FOR1	LDA	A#FFH
134	FECA	B707FO		STA	A7FOH

impres. H, F on A

135	FECD	8648		LDA	A#48H
136	FECF	BDFE72		JSR	CHO
137	FED2	863D		LDA	A#3DH
138	FED4	BDFE72		JSR	CHO
139	FED7	B607E7		LDA	A7E7H
140	FEDA	BDFAC3		JSR	BNBCD
141	FEDD	BDFE92		JSR	DAO
142	FEED	8F20		LDA	A#20H
143	FEE2	BDFE72		JSR	CHO
144	FEE5	B607E6		LDA	A7E6H
145	FEE8	BDFAC3		JSR	BNBCD
146	FEED	BDFE92		JSR	DAO
147	FEED	BDFE66		JSR	EP3
148	FEF1	BDFEFD		JSR	PIF
149	FEF4	BDFE9F		JSR	CH1
150	FEF7	B607F0		LDA	A7F0H
151	FEFA	27CC		BEQ	FOR1
152	FEFC	39		RTS	
153	FEFD	B607F1	PIF	LDA	A7F1H
154	FF00	BDFE72		JSR	CHO
155	FF03	863D		LDA	A#3DH
156	FF05	BDFE72		JSR	CHO
157	FF08	B607F7		LDA	A7F7H
158	FF0B	BDFAC3	PIO	JSR	BNBCD
159	FF0E	B607EF		LDA	A7EFH
160	FF11	BDFE7D		JSR	ASCI
161	FF14	B607F6		LDA	A7F6H
162	FF17	B707E0		STA	A7E0H
163	FF1A	B607F7		LDA	A7F7H
164	FF1D	B707E1		STA	A7E1H
165	FF20	BDFE92		JSR	DAO

166	FF23	B607E0	LDA	A 7E0H	
167	FF26	B707F6	STA	A 7F6H	
168	FF29	B607E1	LDA	A 7E1H	
169	FF2C	B707F7	STA	A 7F7H	
170	FF2F	39	RTS		
171	FF30	86FF	FOR2 LDA	A#FFH	Impres. NA, T1
172	FF32	B707F0	STA	A 7F0H	
173	FF35	864E	LDA	A#4EH	
174	FF37	BDFE72	JSR	CHO	
175	FF3A	86.2	LDA	A#42H	
176	FF3C	BDFE72	JSR	CHO	
177	FF3F	863D	LDA	A#3DH	
178	FF41	BDFE72	JSR	CHO	
179	FF44	B607E8	LDA	A 7E8H	
180	FF47	BDFF0B	JSR	PZO	
181	FF4A	8620	LDA	A#20H	
182	FF4C	BDFE72	JSR	CHO	
183	FF4F	8654	LDA	A#54H	
184	FF51	BDFE72	JSR	CHO	
185	FF54	863D	LDA	A#3DH	
186	FF56	BDFE72	JSR	CHO	
187	FF59	B607F5	LDA	A 7F5H	
188	FF5C	BDFE84	JSR	DAB	
189	FF5F	8620	LDA	A#20H	
190	FF61	BDFE72	JSR	CHO	
191	FF64	8653	LDA	A#53H	
192	FF66	BDFE72	JSR	CHO	
193	FF69	BDFE9F	JSR	CH1	
194	FF6C	B607F0	LDA	A 7F0H	
195	FF6F	27BF	BEQ	FOR2	
196	FF71	39	RTS		

197	FF72	86FF	FOR3	LDA	A#FFH	impres. NB, T2
198	FF74	B707F0	S	STA	A7F0H	
199	FF77	864E		LDA	A#4EH	
200	FF79	BDFE72		JSR	CHO	
201	FF7C	8641		LDA	A#41H	
202	FF7E	BDFE72		JSR	CHO	
203	FF82	863D		LDA	A#3DH	
204	FF83	BDFE72		JSR	CHO	
205	FF86	B607F4		LDA	A7F4H	
206	FF89	BDFF0B		JSR	PID	
207	FF8C	8620		LDA	A#20H	
208	FF8E	BDFE72		JSR	CHO	
209	FF91	8654		LDA	A#54H	
210	FF93	BDFE72		JSR	CHO	
211	FF96	863D		LDA	A#3DH	
212	FF98	BDFE72		JSR	CHO	
213	FF9B	B607E6		LDA	A7E6H	
214	FF9E	BDFE84		JSR	DAB	
215	FFA1	8620		LDA	A#20H	
216	FFA3	BDFE72		JSR	CHO	
217	FFA6	8653		LDA	A#53H	
218	FFA8	BDFE72		JSR	CHO	
219	FFAB	BDFE9F		JSR	CH1	
220	FFAE	B607F0		LDA	A7F0H	
221	FFB1	27BF		BEQ	FOR3	
222	FFB3	39		RTS		

2) CODE ASCII (American Standard Code for information interchange)

Il s'agit d'un système de codage des caractères, utilisé particulièrement par les terminaux et imprimantes. Il permet de distinguer 128 caractères :

		bits de poids fort (b ₄ -b ₇)							
		0	1	2	3	4	5	6	7
bits de poids faible (b ₀ -b ₃)	0	NUL	DLE	SP	Ø	@	P		P
	1	SOH	DC1	!	1	A	Q	a	q
	2	STX	DC2	"	2	B	R	b	r
	3	ETX	DC3	#	3	C	S	c	s
	4	EDT	DC4	\$	4	D	T	d	t
	5	ENQ	NAK	%	5	E	U	e	u
	6	ACK	SYN	&	6	F	V	f	v
	7	BEL	ETB	'	7	G	W	g	w
	8	BS	CAN	(8	H	X	h	x
	9	HT	EM)	9	I	Y	i	y
	A	LF	SUB	*	:	J	Z	j	z
	B	VT	ESC	+	;	K	[k	{
	C	FF	FS	,	<	L	/	l	/
	D	CR	GS	-	=	M]	m	}
	E	SO	RS	.	>	N	<	n	≈
	F	SI	US	/	?	O	-	o	DEL

↑ caractères de contrôle ↑

BIBLIOGRAPHIE

- 1/ Thèse de magister A. FARAH.
- 2/ Manuels d'utilisation du TEKTRONIX 8002A.
- 3/ Catalogue microprocesseurs et mémoires EFCIS (1980)
- 4/ Notices techniques sur l'imprimante DP 822 et l'interface DPC-1.
- 5/ procédure de mise au pt de systèmes à microprocesseurs. Sur le TEKTRONIX 8002A. ~~Fin d'études~~ (projet de fin d'études JUIN 81)
 - Etude de la fonde d'emulation sur le TEKTRONIX 8002A. du microproces. MC 6800 (projet de fin d'études JUIN 83)