

45/83

ECOLE NATIONALE POLYTECHNIQUE D'ALGER

DEPARTEMENT D'ELECTRONIQUE

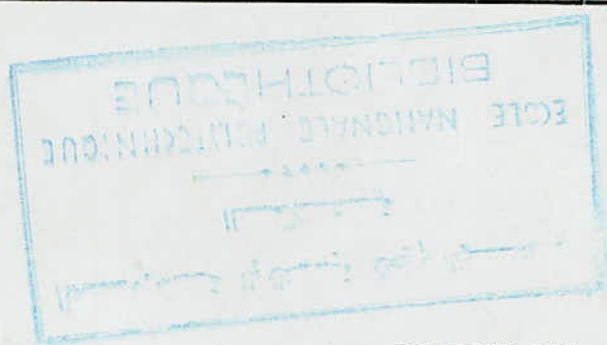
2ex

FILIERE D'INGENIEUR EN ELECTRONIQUE



SUJET

L'accès direct à la mémoire
dans les systèmes à microprocesseur



PROPOSE PAR : J. Herry
SUIVI PAR : A. Saïdj
A. Bourkeb

REALISE PAR : Kamel RAMDANI
Mustapha ROUHA

UNIVERSITE DES SCIENCES ET DE LA TECHNOLOGIE D'ALGER

ECOLE NATIONALE POLYTECHNIQUE D'ALGER

DEPARTEMENT D'ELECTRONIQUE

FILIERE D'INGENIEUR EN ELECTRONIQUE

PROJET DE FIN D'ETUDES

SUJET

**L'accès direct à la mémoire
dans les systèmes à microprocesseur**

**PROPOSE PAR : J. Herry
SUIVI PAR : A. Saïdj
A. Bourkeb**

**REALISE PAR : Kamel RAMDANI
Mustapha ROUHA**

Nous remercions Messieurs SAIDJ, BOURKEB et HERRY pour leurs conseils et l'intérêt qu'ils ont prêté à notre travail.

Nos remerciements vont aussi à toute l'équipe du laboratoire d'électronique pour leur sympathie et leur aide, sans oublier Messieurs JARJOT et HADDAD.

Que tous ceux qui ont contribué à notre formation trouvent dans ce modeste mémoire l'expression de nos vifs remerciements.

Enfin, nous remercions tous nos collègues, amis, parents qui n'ont cessé de nous offrir tout au long de notre travail leur support moral et tous ceux qui nous ont aidés.

- S O M M A I R E -

I N T R O D U C T I O N

C H A P I T R E I -- G E N E R A L I T E S

- I/ Architecture de base d'un microordinateur
- II/ NATURE DES TRANSFERTS D'INFORMATIONS DANS UN MICROORDINATEUR
 - A -- N O D E S D E C O M M A N D E D E S T R A N S F E R T S E / S
 - 1) E/S Programmées
 - 2) E/S Interrupt bles
 - 3) E/S par accès direct à la mémoire (ou DMA).

C H A P I T R E II -- *L'Accès direct à la mémoire.*

- I / D E S C R I P T I O N D U N O D E D M A
- II/ D I F F E R E N T S T Y P E S D E D M A
 - 1) DMA par halt
 - 2) DMA par vol de cycle ou ESC
 - 3) DMA par multiplexage
- III/ C O M P A R A I S O N D E S D I F F E R E N T S M O D E S D M A
- IV / L I A I S O N S D U D M A C A V E C L E S D I V E R S E L E M E N T S
 - 1) Liaisons DMAC -- Mémoires
 - 2) Liaisons DMAC -- Microprocesseur
 - 3) Liaisons DMAC -- périphériques

C H A P I T R E III -- R E A L I S A T I O N D ' U N A C C E S D I R E C T A L A M E M O I R E

- A/ -- H A R D W A R E
 - 1) Schéma synoptique de la carte
 - 2) Description de la carte
 - 2.1. Le DMAC
 - 2.1.1. Présentation du IC 6844
 - 2.1.2. Les registres

2.1.3. Signaux d'interface du DMAC .

2.1.4. Fonctionnement du DMAC .

2.2. Décodeur d'adresses du DMAC .

2.3. Logique de priorité .

2.3.1. Problèmes ^{liés} aux mémoires dynamiques .

2.3.2. Schéma synoptique du dispositif de logique de priorité .

2.4. Logique de Contrôle .

B/ SOFTWARE

1) Programmation du DMAC .

CHAPITRE IV - APPLICATION DE LA CARTE DMA DANS LE MULTITRAITEMENT.

1) Définition .

2) Schéma synoptique du dispositif .

3) Programme .

C O N C L U S I O N

ANNEXE

// INTRODUCTION

La microélectronique connaît actuellement une grande évolution permettant l'application des microprocesseurs dans les différents domaines scientifiques notamment dans le contrôle des processus en temps réel.

Dans ce cas, le microprocesseur reçoit en entrée des signaux et doit fournir des commandes ^{en sortie} pour une surveillance correcte du processus. La gestion de ces échanges s'effectue généralement par l'exécution d'un programme.

En ce qui concerne le laboratoire d'électronique du CEN, une chaîne d'acquisition permet l'obtention de données à partir de sources de rayonnements nucléaires. Leur traitement permet de définir et de visualiser les caractéristiques de l'élément rayonnant.

Certaines sources présentent une activité relativement élevée (taux de comptage de l'ordre de 10^8 désintégrations/s). Ainsi, une grande quantité d'informations est fournie avec une vitesse importante. Le contrôle de ces transferts par l'intermédiaire de l'unité centrale est assez lent, et il est difficile d'assurer la synchronisation entre les divers éléments du microordinateur.

Pour améliorer ce facteur, on emploie une technique où les échanges entre périphérique et mémoire ne sont plus centralisés par le microprocesseur mais par un dispositif permettant l'accès direct à la mémoire ou DMA (Direct memory access).

Le couplage ainsi réalisé par le contrôleur d'accès direct à la mémoire (DMAC) libère l'unité centrale pour effectuer les opérations de traitement.

CHAPITRE I

GENERALITES

I - **Architecture** de base d'un microordinateur

II- Techniques d'entrées /sorties (d'E/S)

1- **Nature** des transferts d'informations dans un microordinateur

2- Modes des commandes des transferts d'E/S.

a) E/S programmées

b) E/S en mode interruptible

c) E/S par accès direct à la mémoire (ou DMA)

CHAPITRE I -- GENERALITES

I / -- ARCHITECTURE DE BASE D'UN MICROORDINATEUR

Pour réaliser un microordinateur, les éléments à adjoindre à un microprocesseur ou unité centrale sont principalement :

- des mémoires
- des circuits d'entrée/Sortie (E/S)
- des bus de liaison
- une logique de contrôle.

Le schéma de la figure 1 illustre avec un minimum de circuits, un microordinateur associé à un contrôleur d'accès direct mémoire construit autour d'un microprocesseur de la famille 6800 de Motorola.

II/ -- TECHNIQUES D'ENTREE/SORTIE

1) Nature des transferts d'informations dans un microordinateur

Dans un microordinateur, trois types d'échanges peuvent être rencontrés :

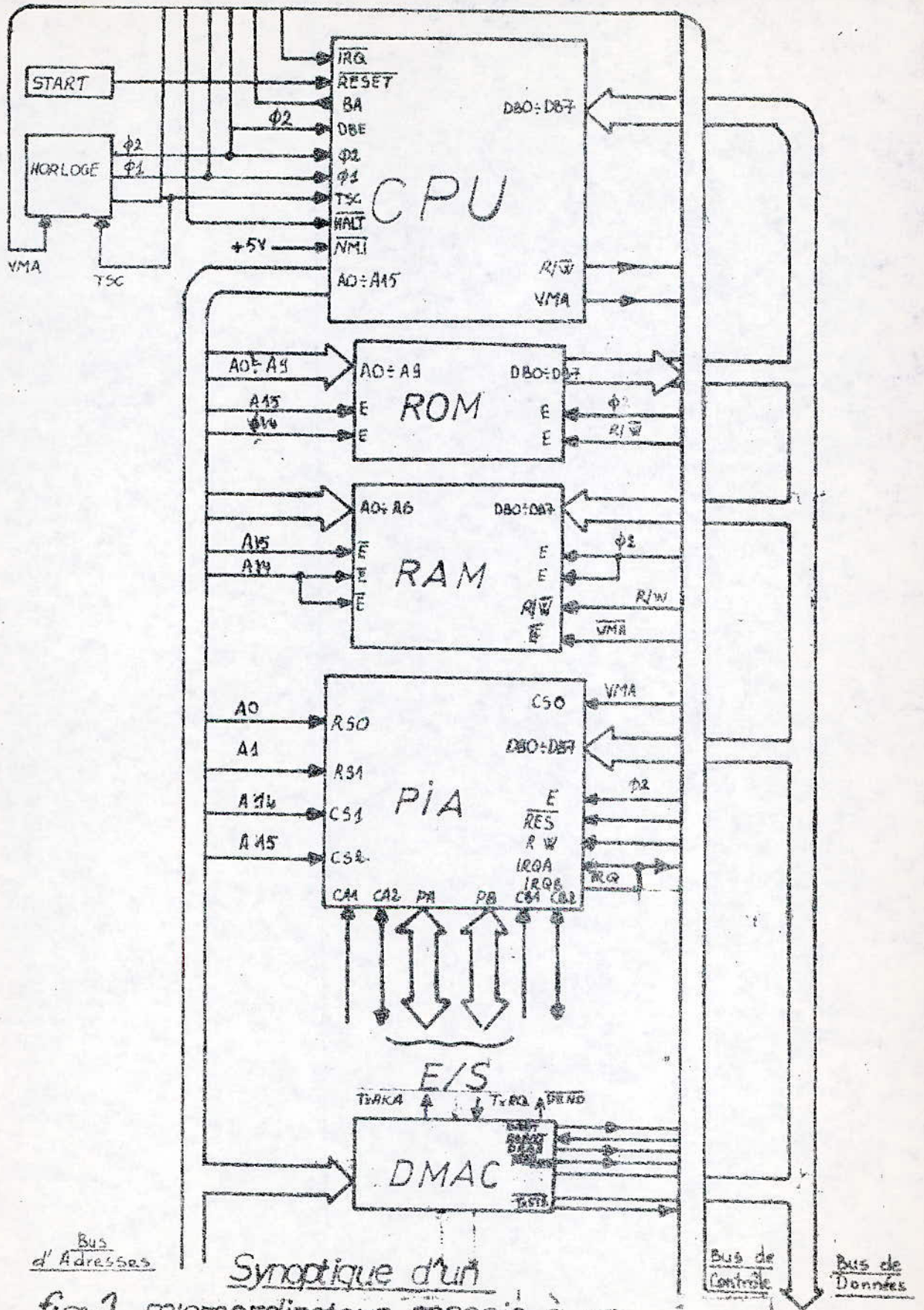
- a) Echanges entre microprocesseur et mémoires
- b) Echanges entre microprocesseur et périphériques
- c) Echanges entre mémoires et périphériques

C'est un cas où les échanges peuvent ne pas être centralisés par le microprocesseur et peuvent s'effectuer en accès direct à la mémoire.

2) Modes de commande des transferts E/S

Le problème rencontré dans l'utilisation des interfaces est de pouvoir gérer les transferts de données en temps réel.

Trois méthodes sont utilisées :



Bus d'Adresses

Synoptique d'un

fig:1 microordinateur associé à un PIA et un DMAC

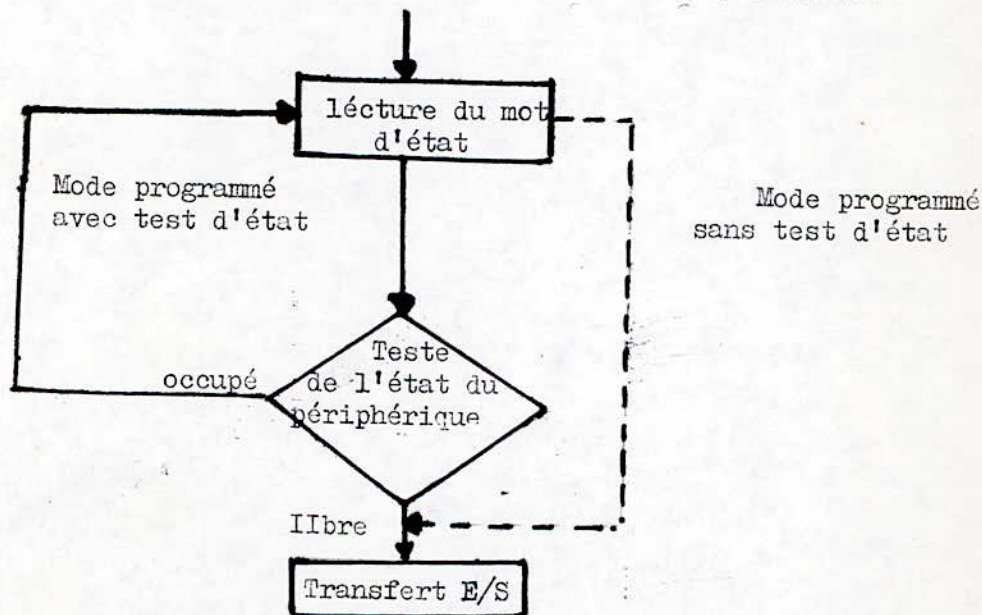
Bus de Controle

Bus de Données

a) E/S programmées ou en mode programme (synchrone)

Dans ce cas, tous les transferts vers les périphériques ou venant d'eux sont effectués par le programme. C'est donc l'unité centrale qui a l'initiative de commander les échanges en rencontrant une instruction de transfert.

Une amélioration possible consiste à aller tester l'état libre ou occupé du périphérique avant d'effectuer le transfert et d'attendre dans le cas où il n'est pas libre.



ORGANIGRAMME D'UN TRANSFERT E/S EN MODE PROGRAMME

b) E/S en mode interruptible ou synchrone

En E/S programmées, le microprocesseur perd beaucoup de temps, en testant à chaque fois l'état libre ou occupé des périphériques.

Dans le mode interruptible, les échanges se font l'initiative des périphériques, par l'envoi d'une demande d'interruption au microprocesseur. Ce dernier effectue le transfert en exécutant le programme relatif aux demandes d'interruption.

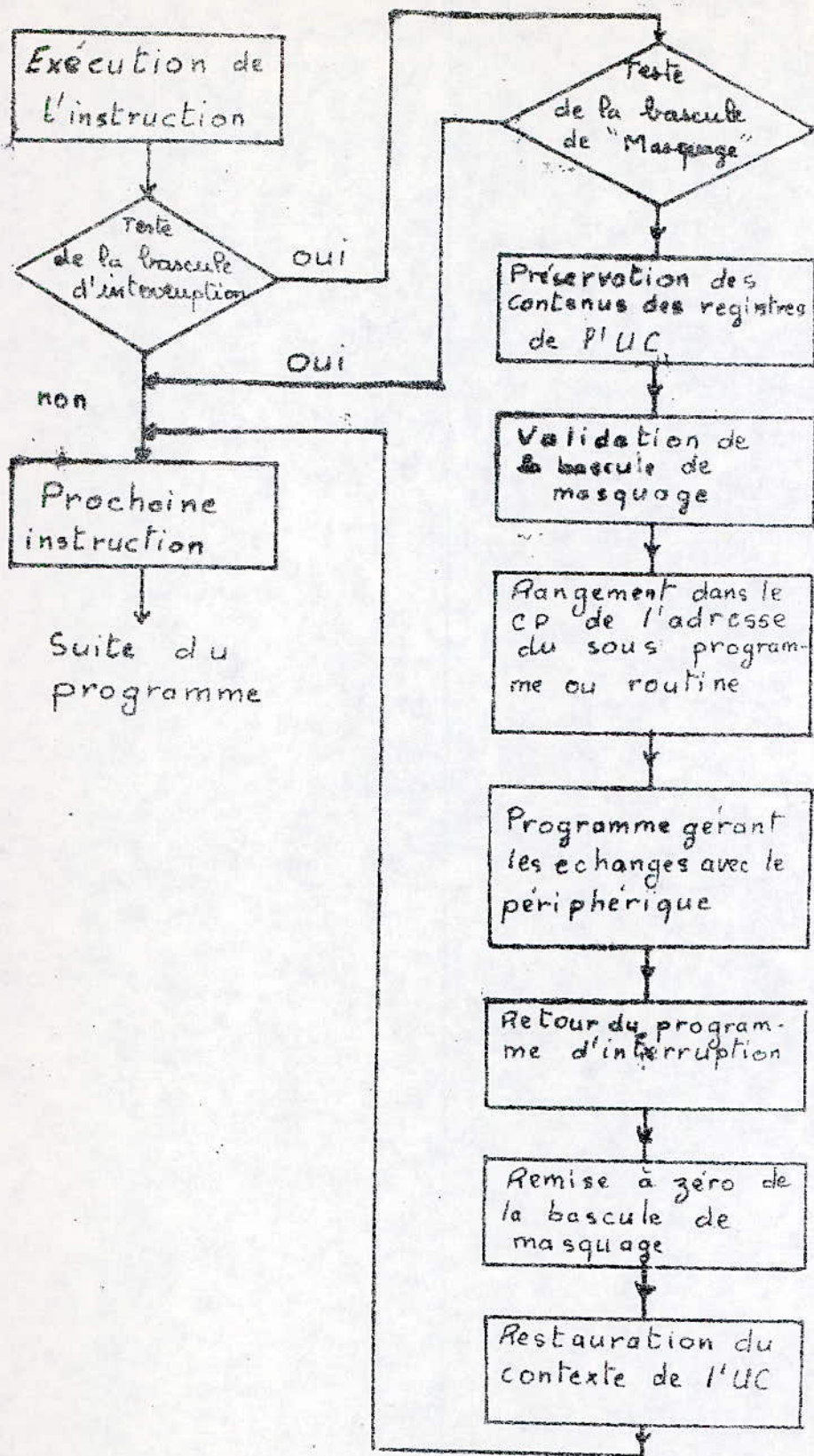


Fig.2 Logique de Contrôle des Interruptions

Dans le cas d'interruptions simultanées, on établit une logique une logique de priorité permettant un traitement ordonné des périphériques (voir organigramme à la figure 2).

c) E/S par accès direct à la mémoire

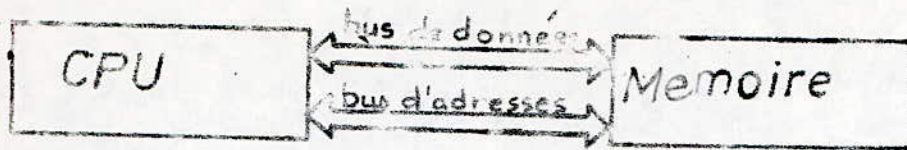
Certaines applications mettent en jeu de nombreux transferts mémoire à cadence très élevée.

La gestion des échanges par l'unité centrale est relativement lente et de ce fait beaucoup d'informations peuvent être perdues (cas du travail en temps réel).

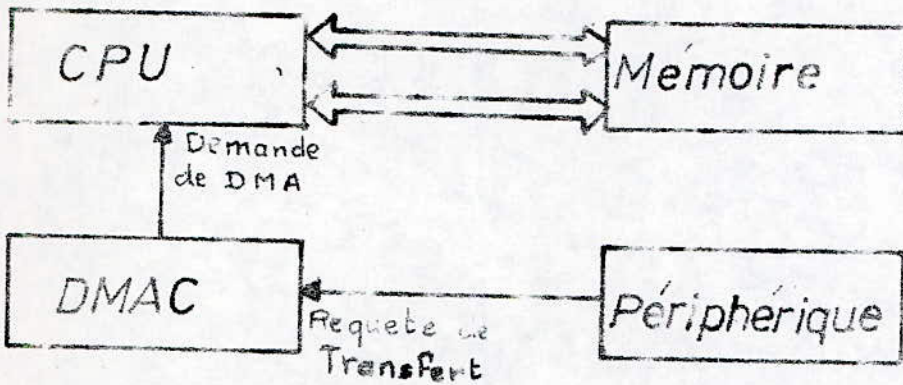
Pour garantir une meilleure synchronisation, on utilise une technique permettant au périphérique d'accéder directement à la mémoire; on améliore ainsi l'efficacité du système.

Pour accéder à la mémoire, le périphérique fait une requête au contrôleur d'accès direct à la mémoire (DMAC) lequel la transmet au microprocesseur. Ce dernier répond en se déconnectant des bus, donnant ainsi le contrôle au DMAC.

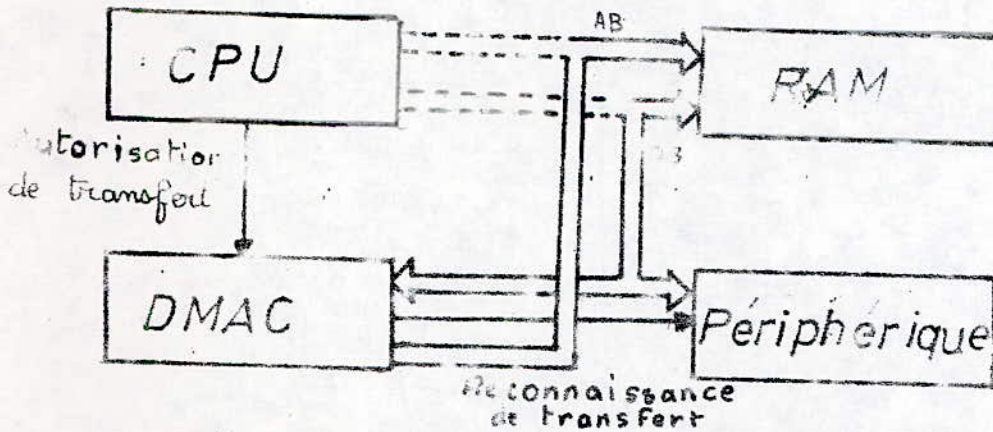
En définitif, l'avantage de cette procédure apparaît lorsque de grandes quantités d'informations doivent être transférées en mémoire à une cadence très élevée qui ne pourrait être atteinte en utilisant le programme de contrôle de l'unité centrale (voir le schéma de principe figure 3).



L'UC accède à la mémoire



Le DMAC interrompt l'UC



Le DMAC prend le contrôle

Fig:3 Principe de DMA

CHAPITRE II

L'ACCES DIRECT A LA MEMOIRE.

I - Description .

II- Les différents types de DMA .

1 - DMA par HALT ou arrêt du microprocesseur .

2 - DMA par vol de cycles ou TSC.

3 - DMA par multiplexage.

III- Comparaison des différents modes DMA.

IV - Liaisons du DMAC avec les divers éléments .

1 - Liaisons DMAC - Mémoires.

2 - Liaisons DMAC - Microprocesseur.

3 - Liaisons DMAC - Périphériques.

I/ - DESCRIPTION

Le DMA (direct memory access - acces direct à la mémoire) est souvent mentionné comme étant une methode pour accélérer le mouvement des données entre les divers éléments d'un système à microprocesseur. Il autorise les périphériques rapides ou une autre unité centrale à accéder à la mémoire du système sans utiliser le temps de travail du microprocesseur.

Il existe toute une gamme de techniques de DMA dont le but est d'améliorer l'efficacité du système. Comme leur nom l'indique toutes ces méthodes permettent un accès direct à la mémoire du microprocesseur pour transférer des données à une vitesse qui ne pourrait être atteinte dans le cas où on utilisait le programme de contrôle de l'unité centrale.

Pour plus de rigueur, presque toutes les procédures de DMA ont une incidence à différents degrés sur le fonctionnement normal de l'unité centrale ce que l'on verra plus loin.

II/ - DIFFERENTS TYPES DE DMA

Trois méthodes de DMA sont utilisées :

- DMA par halt (avec arrêt du microprocesseur)
- DMA par TSC (par vol de cycles) (contrôle des 3 états)
- DMA par multiplexage

Dans tous les cas, l'interface DMA comporte les signaux suivants :

- 16 lignes d'adresses
- 16 lignes de données bidirectionnelles
- les principaux signaux de contrôle suivants :

<u>DMA REQUEST</u>	(demande de DMA)
<u>DMA GRANT</u>	(autorisation de DMA)
<u>Ø2 DMA</u>	
<u>VMA</u>	(valide memory address)
<u>R/W</u>	(lecture/écriture)

1) DMA par Halt

La demande d'accès direct à la mémoire se fait sur l'entrée de contrôle "Halt" du microprocesseur. Ce dernier termine l'instruction en cours d'exécution et se déconnecte des bus d'adresses et de données du fait de la propriété d'anticipation. Aussi, il peut s'écouler un temps relativement long avant l'arrêt de l'unité centrale. Celui-ci peut varier de 2 à 13 μ s dans le cas du 6800.

La réponse du microprocesseur à la commande Halt dans le cas du 6800 est représentée en annexe.

L'arrêt de l'unité centrale est indiqué par le signal BA autorisant ainsi le DMAC à prendre le contrôle des bus (voir Fig. 4) et à effectuer le transfert. Le débit maximum obtenu au cours de cette opération dépend du temps de cycle mémoire.

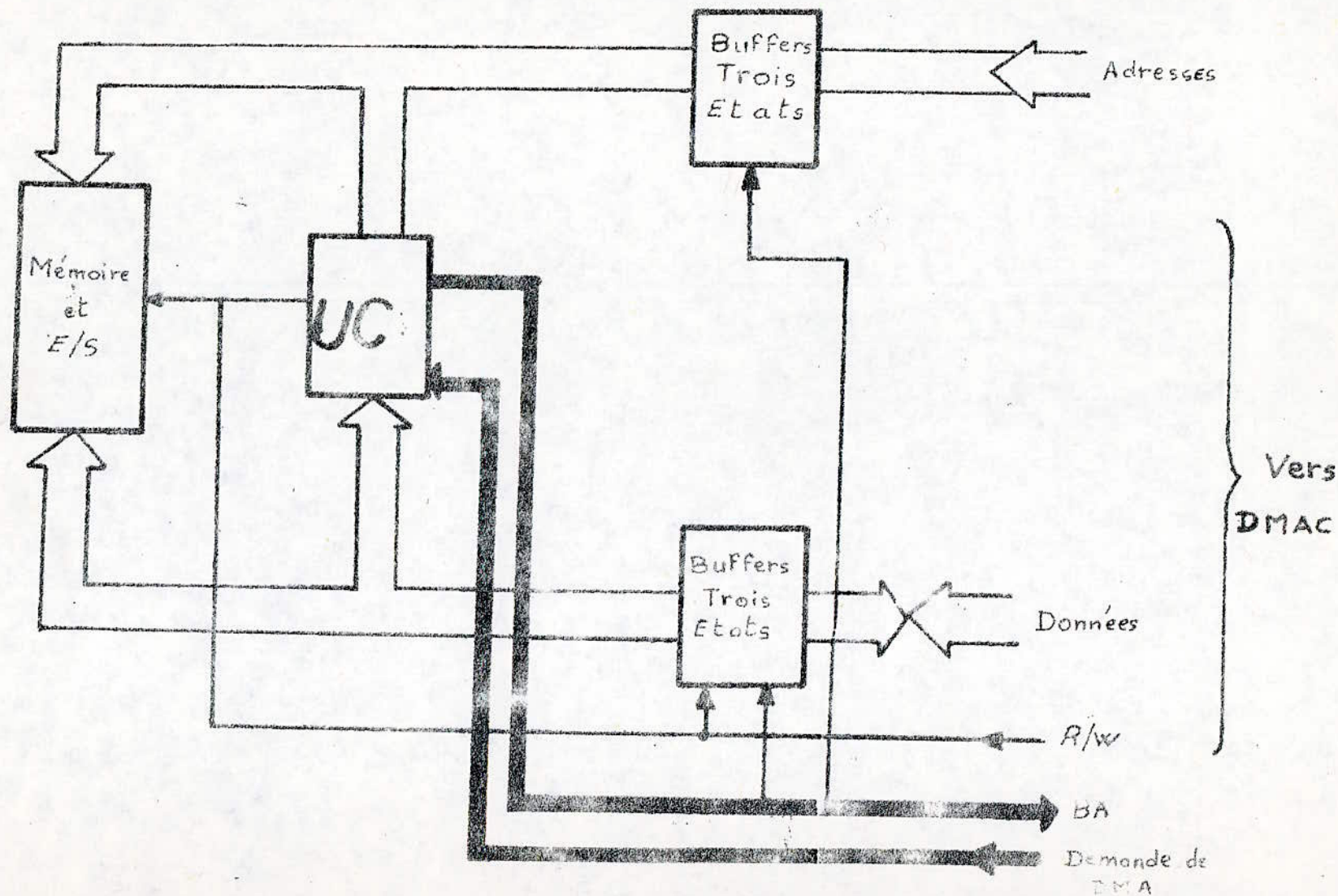


Fig 4: DMA par arrêt de l'UC

2) DMA en mode vol de cycles par TSC (Three state control ou contrôle de 3 états)

Cette possibilité n'existe qu'avec le MC 6800. Cette méthode consiste à ne pas arrêter le microprocesseur mais à le ralentir pour pouvoir, pendant un temps limité, assurer des transferts directs entre un système périphérique et la mémoire.

La demande d'accès direct à la mémoire s'effectue par la broche TSC (voir en annexe la réponse du CPU à la commande TSC).

La prise en compte de cette demande se fait au plus tard après un cycle et provoque au bout de 500 ns au maximum la **déconnection** du microprocesseur des bus d'adresses et de la ligne lecture/écriture (R/W).

L'opération d'accès direct à la mémoire ne peut se prolonger au delà de 4,5 μ s après la demande du fait de la nécessité du rafraîchissement des registres internes du CPU. Pendant toute cette étape on doit maintenir les phases d'horloge $\phi 1$ à l'état logique "1" et $\phi 2$ à "zéro".

La déconnection de l'unité centrale du bus de données **se fait** par le signal DBE (data bus enable) qui est généralement relié à $\phi 2$ et est maintenu à zéro pendant la phase DMA.

Par cette méthode, le débit maximum avec le 6800 est de $4 \cdot 10^5$ octets/s tandis que l'unité centrale effectue un cycle toutes les 5 μ s.

La figure 5 illustre cette technique

2) DMA par multiplexage

Rappelons que le microprocesseur effectue pendant la phase $\phi 1$ des traitements et pendant $\phi 2$ des échanges avec les circuits d'interface d'entrée/sortie et les mémoires.

Durant $\phi 1$, les lignes omnibus sont disponibles et l'accès direct à la mémoire par multiplexage consiste à effectuer un transfert pendant cette phase et redonner à l'unité centrale le contrôle de ces lignes durant $\phi 2$.

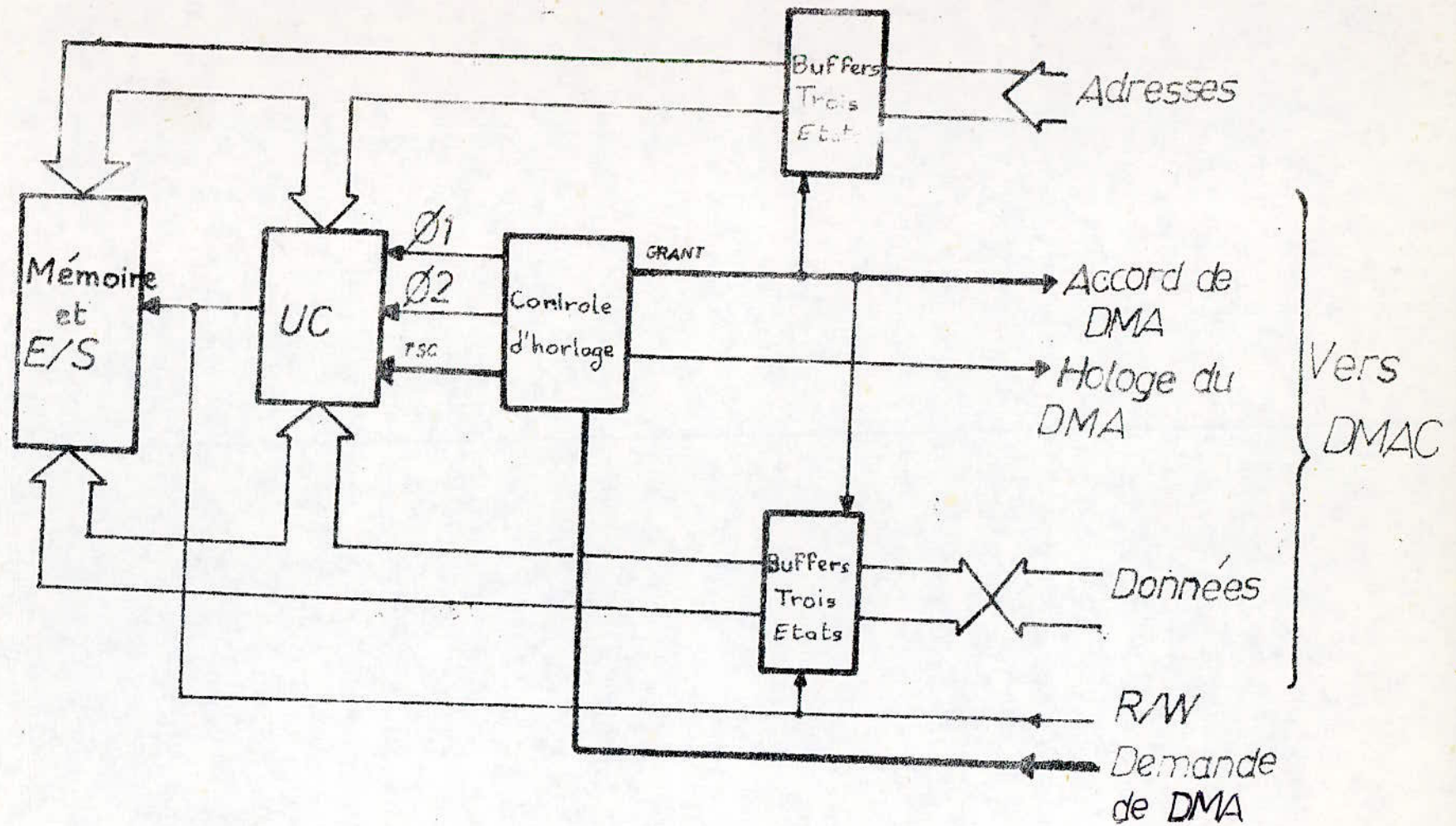


Fig:5 DMA par VOL de Cycles

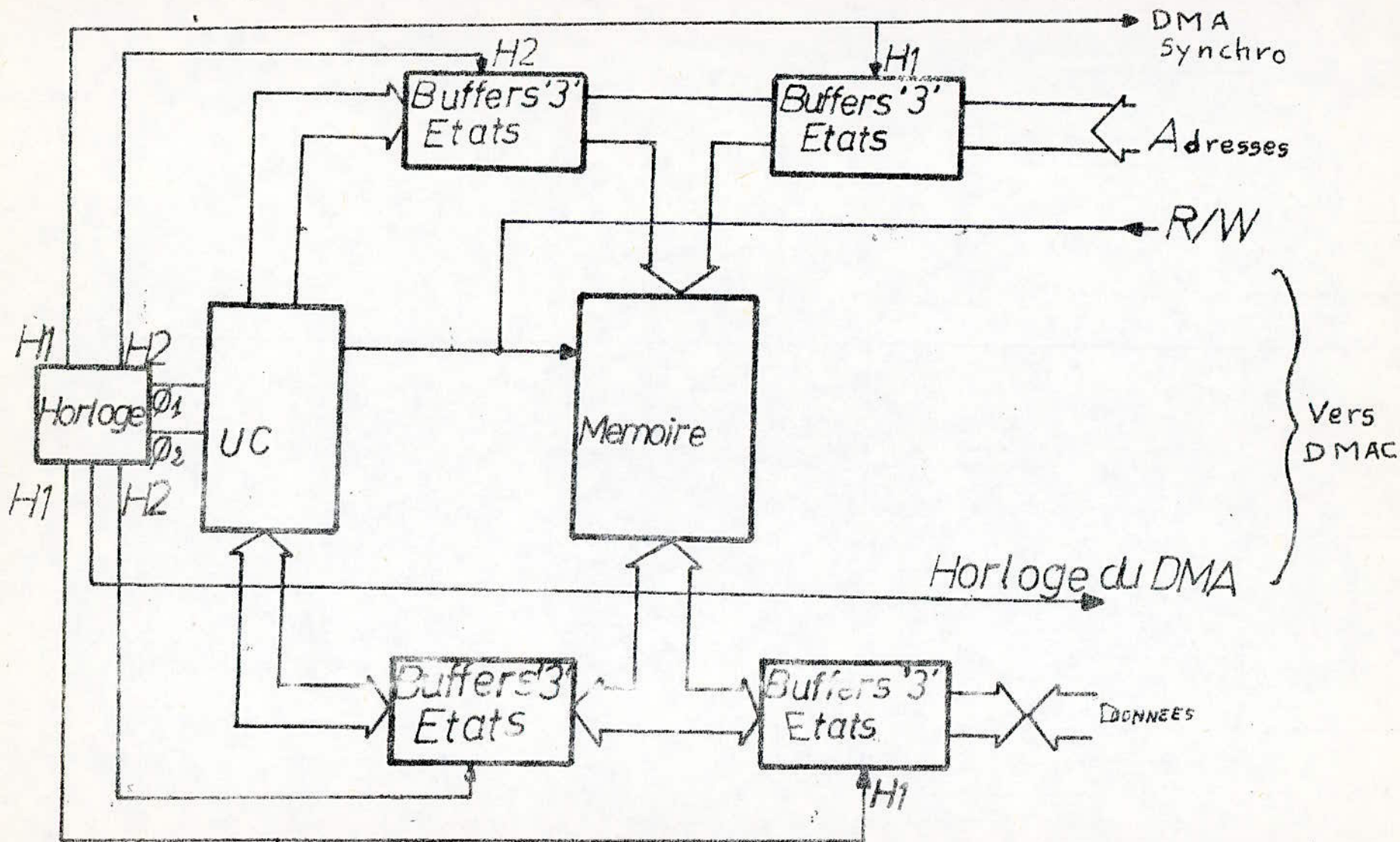


Fig.6 DMA par Multiplexage

Cette méthode implique l'utilisation de mémoires rapides dont le temps de cycle est inférieur à 600 ns, dans le cas du système à microprocesseur à base de 6800, pour avoir un débit maximum. Ce dernier dépend aussi de la fréquence maximum d'horloge de l'unité centrale. Le schéma à la figure 6 illustre cette technique.

III - COMPARAISON DES DIFFERENTS MODES

Le tableau suivant donne schématiquement les grandeurs des caractéristiques relatives aux trois méthodes décrites. On pourrait pour chaque cas appliquer des critères de sélection.

Critères Techniques	Ratio maximum de transfert DMA	Effets sur le CPU	Relative complexité du Hardware
Arrêt du CPU (Halt)	1 octet par cycle	CPU arrêté	Faible
Vol de cycle par TSC	1 octet pour 2,5 us	CPU actif 1 cycle toutes 5 us	Moyenne
DMA Multiplexé	1 octet pour 1,2 us	Cycle CPU ralenti 1 cycle/1,2us	Grande
E/S programmées	1 octet/14 us	—	—

IV - LIAISONS DU CONTROLEUR D'ACCES DIRECT A LA MEMOIRE AVEC LES DIVERS ELEMENTS

1) Liaisons DMAC - Mémoire RAM

Dans les systèmes à microprocesseur, on rencontre plusieurs types de mémoires RAM à savoir :

- les mémoires statiques
- les mémoires dynamiques

Les signaux de validation et de contrôle peuvent différer d'une mémoire à une autre. Certaines caractéristiques de ces mémoires conditionnent le choix du mode DMA.

a) Mémoires statiques

Les mémoires statiques ont l'inconvénient d'avoir une capacité limitée mais présentent l'avantage de garder l'information valide pendant tout le temps de mise sous tension.

b) Mémoires dynamiques

Dans les mémoires dynamiques, l'élément mémoire est la capacité parasite grille-source d'un transistor MOS. Pour maintenir l'état de charge de la capacité on utilise une technique de rafraichissement qui consiste en un envoi d'impulsions de recharge vers les condensateurs déjà "chargés".

Si l'on transmet ces impulsions toutes les 2 ms, au plus, l'information sera sauvegardée.

On rencontre deux techniques de rafraichissement :

- le rafraichissement caché
- le rafraichissement par vol de cycle.

Remarques :

L'opération de rafraichissement est un accès direct à la mémoire spécialisé (DMA spécialisé) s'effectuant à des instants bien déterminés.

Ainsi, un conflit peut survenir pendant l'accès direct à la mémoire par le contrôleur DMA et le rafraichissement.

Pour éviter cette situation préjudiciable, une logique de priorité câblée est établie favorisant ainsi l'opération de rafraichissement en reportant le transfert de données à des phases d'horloge ultérieures.

Le circuit d'horloge joue un rôle important dans le fonctionnement des systèmes à microprocesseur en synchronisant tous les échanges et peut même imposer le mode de DMA à utiliser.

Ceci dans le cas du DMA multiplexé qui exige des mémoires "rapides" et des signaux d'horloge appropriés (H1, H2...) voir figure 6 et du DMA en mode vol de cycles par TSC nécessitant une horloge pouvant rallonger $\phi 1$ et $\phi 2$ lors de la demande de DMA.

2) Liaisons DMAC - microprocesseur

Le schéma de la figure 1 illustre les principales liaisons entre le DMAC et le microprocesseur. Comme déjà indiqué, les échanges de données entre mémoires RAM et périphérique par accès direct ont une incidence sur le fonctionnement normal de l'unité centrale. Elle est soit arrêtée, soit ralentie.

La configuration fonctionnelle du DMAC est programmée via le bus de données par l'intermédiaire de l'unité centrale.

3) Liaisons DMAC - périphérique

Généralement, les périphériques sont gérés par l'unité centrale. En accédant directement à la mémoire, il est nécessaire que le contrôle de ces périphériques soit indépendant du microprocesseur. A cet effet, une logique de contrôle appropriée pourrait être utilisée.

Suivant la nature et les caractéristiques du périphérique, les signaux de commande sont multiples et assez complexes.

Exemples de commandes :

- Commandes de la tête de lecture (disque souple)
- Commandes de moteur (dérouleur de bande floppy disque, ...)
- Contrôle de fausses écritures sur bande ou disque...

CHAPITRE III

REALISATION D'UN ACCES DIRECT A LA MEMOIRE .

A - HARDWARE.

1) Schéma synoptique de la carte DMA .

2) Description de la carte .

2 -1 Le DMAC .

2 -2 Le décodeur d'adresses du DMAC .

2 -3 Logique de priorité .

2 -4 Logique de contrôle .

B - SOFTWARE.

1) Programmation du DMAC .

CHAPITRE III - REALISATION D'UN ACCES DIRECT MEMOIRE

Plusieurs dispositifs permettent l'accès direct à la mémoire comme par exemple le 8257 de Intel, MC 6844 de Motorola...

Le laboratoire d'électronique du CEN utilise comme outil de développement l'EXORciser de Motorola (voir annexe). Pour améliorer les performances de l'EXORciser l'adjonction d'un DMAC s'avère très utile.

Le microordinateur comporte ainsi les éléments suivants :

- Une carte MPU à base du 6800
- Une carte Debug munie du programme Moniteur : Lexbug
- Une ACIA permettant l'emploi d'un teletype
- Une carte mémoire RAM
- Une carte DMA que l'on a réalisée.

A/ -- HARDWARE

1) Schéma synoptique de la carte DMA (voir figure A)

Les éléments essentiels constituant la carte DMA sont :

- le DMAC MC 6844
- le décodeur d'adresse du DMAC
- la logique de priorité
- la logique de contrôle

2) Description de la carte

2.1. Le DMAC MC.6844

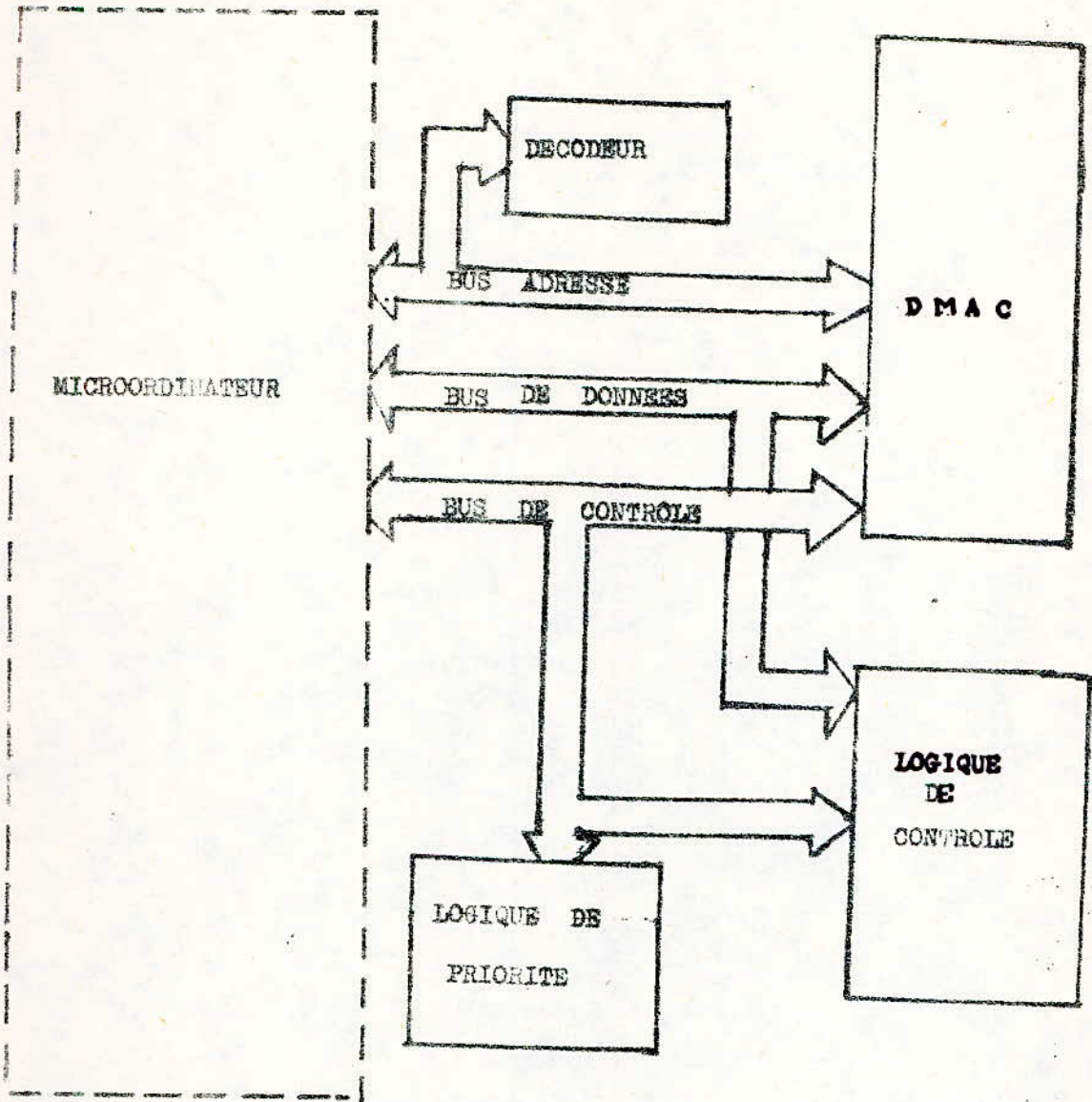
2.1.1. Présentation du DMAC

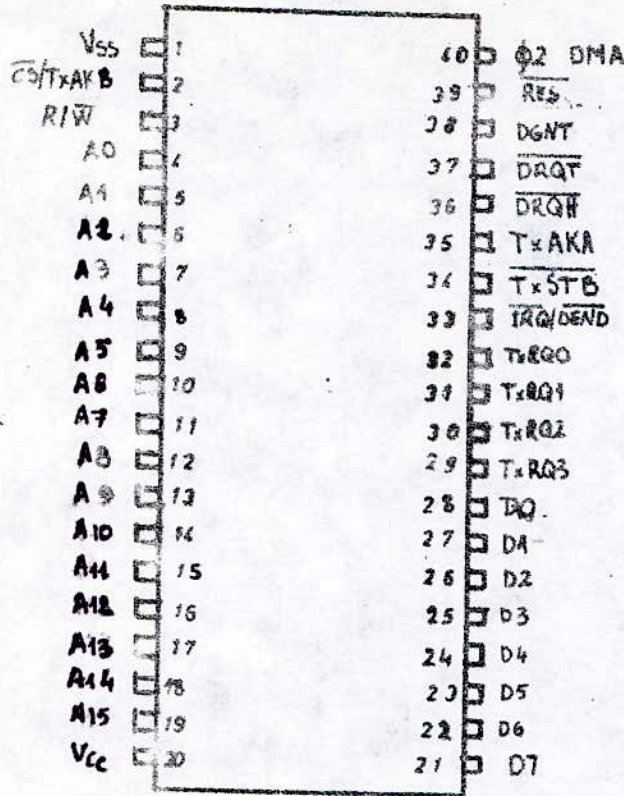
Le contrôleur d'accès direct mémoire effectue le transfert de données entre mémoire et contrôleurs de périphériques. C'est un circuit intégré du type MOS, canal N et utilise un boîtier DIL à 40 broches (voir figure 7a).

L'interface bus comprend :

- sélection
- lecture/écriture
- interruption
- requête et autorisation de transfert
- logique d'interface permettant le transfert de données (fig. 7b)

FIG: A SCHEMA SYNOPTIQUE DE LA CARTE DMA





Brochage du
MC6844

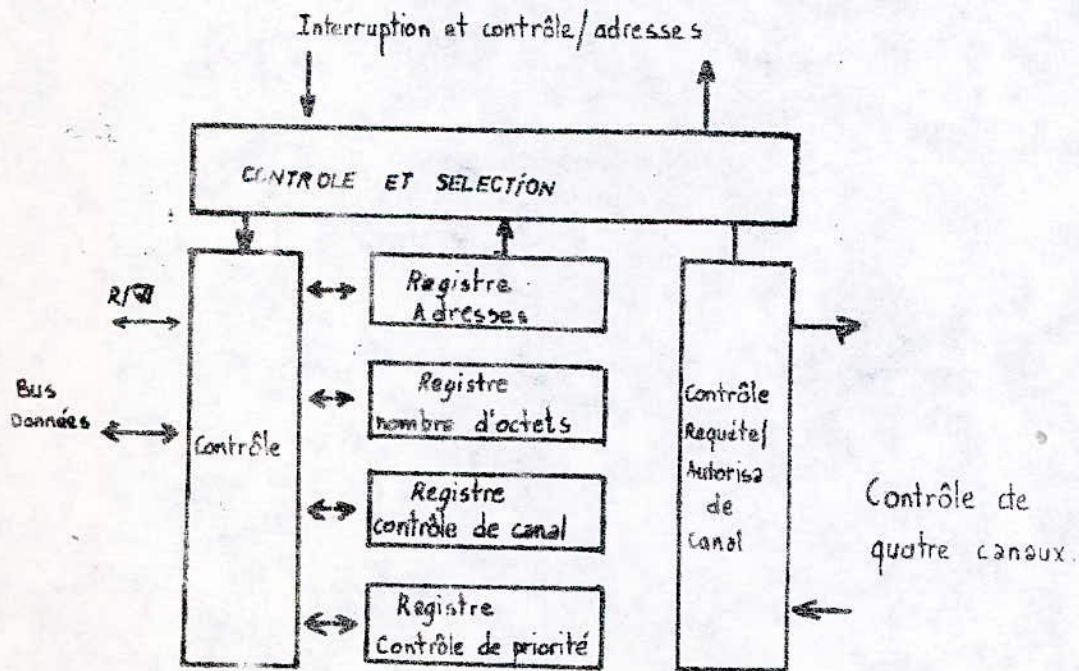


Fig:7 Interface bus du DMAC

La configuration fonctionnelle est programmée via les bus de données. La structure interne permet le contrôle et la manipulation de quatre canaux; chacun d'eux étant configuré séparément.

Des registres programmables fournissent le contrôle individuel du canal et la configuration des modes de transfert, le contrôle des priorités, des interruptions et le chaînage de données.

Parmi les modes de transfert DMA, deux sont possibles sur le 6844. Toutefois, la combinaison des deux définit un troisième "mode" qui sont :

- mode de transfert par vol de cycle par TSC
- mode de transfert par bloc avec arrêt (halt) de l'U.C
- mode de transfert par vol de cycle par Halt

2.1.2. Les registres

Le DMAC possède quinze registres adressables (à lecture/écriture). Chaque canal possède un registre adresse, un registre nombre d'octets, chacun d'eux de longueur 16 bits; un registre contrôle canal à 8 bits. Les trois registres communs aux quatre canaux sont les registres de contrôle de priorité, d'interruption et de chaînage de données.

La figure 9 illustre la structure interne du DMAC.

1) Le Registre adresse (RA)

Avant qu'un transfert ne commence, l'adresse de départ du transfert doit être chargée dans ce registre.

2) Le registre nombre d'octets (RNO)

Ce registre indique le nombre d'octets à transférer pouvant aller jusqu'à 6553 octets. Il est décrémenté au début de chaque cycle DMA.

3) Le registre contrôle canal (R.C.C.)

Le contrôle de chaque transfert DMA d'un canal est programmé dans ce registre. Les bits de ce registre établissent la direction du transfert (R/W), le mode, l'incrémentati on ou la décrémentati on d'adresse après chaque cycle.

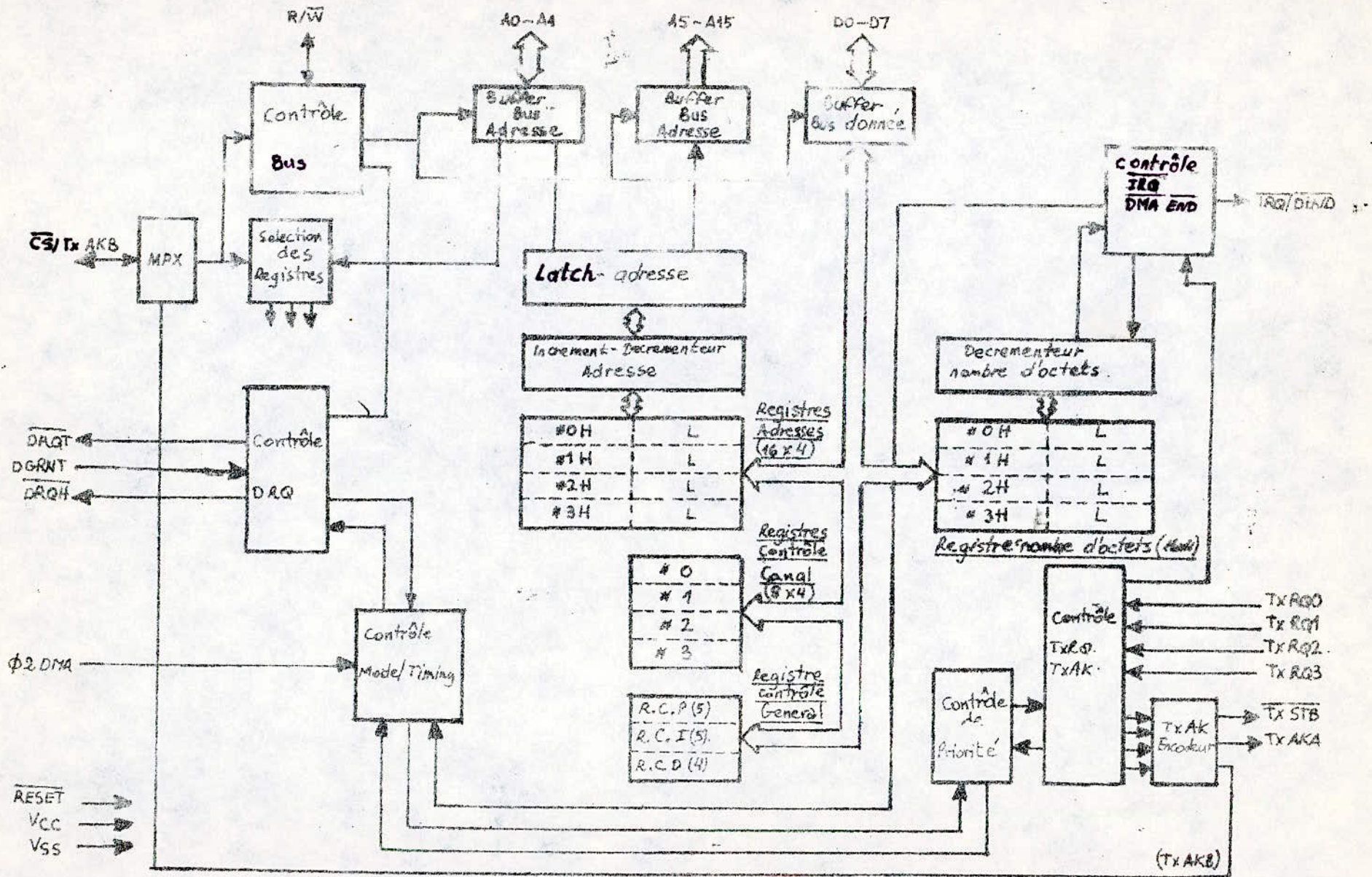


Fig 9 Structure interne du DMAC

4) Le registre contrôle de priorité (R.C.P.)

La validation et la hiérarchisation des requêtes (TXRQ) (priorité fixée ou cyclique) sont faites dans ce registre. Un programme interne de service permet de gérer les priorités. Dans le mode fixé, le canal $\neq 0$ à la priorité la plus élevée, le canal $\neq 1$ la suivante

Le mode cyclique est une permutation des priorités. Initialement la priorité est établie de la même façon qu'en mode fixe. Lorsqu'un canal est servi, il passe à la priorité la plus basse.

5) Registre contrôle d'interruption (R.C.I.)

Il permet de valider les interruptions pour les différents canaux.

6) Registre chaînage de données (R.C.D.)

La lecture ou l'écriture répétitive d'un bloc mémoire peut être réalisée dans la fonction chaînage de données. Dans ce cas, le canal $\neq 3$ ne peut être actif.

La fonction chaînage de données se fait par transfert du contenu des registres adresse et nombre d'octets du canal $\neq 3$ dans les registres respectifs du canal sélectionné. Ce transfert a lieu pendant le cycle d'horloge $\phi 2$ DMA après que le registre nombre d'octets affiche la valeur zéro.

Par ailleurs, il permet la sélection du mode 2 ou 4 canaux (dans ce cas, il n'est pas possible d'utiliser la fonction chaînage de données).

2.1.3. Signaux d'interface du DIAC

1) Signaux d'interface du DIAC avec l'U.C

Le DIAC s'interface avec la famille 6800 par :

- le bus de données (D0 - D7)
- la sélection du boîtier
- cinq lignes d'adresse (A0 - A4)

- la ligne de lecture/écriture (R/W)
- la ligne de remise à zéro (Reset)

Ces signaux en liaison avec la sortie VMA permettent à l'U.C. d'avoir accès au DIAC.

Les quatre autres lignes associées avec l'U.C. et le circuit pilote d'horloge sont :

- DRQT (DMA Request Three State control)
- DRQH (DMA Request Halt Steal Mode)
- DGNT (DMA Grant)
- ϕ 2 DMA

2) Signaux de transfert vers l'U.C.

Le DIAC est synchronisé avec l'U.C. par les deux lignes de sortie correspondant aux demandes de DMA (DRQT, DRQH) et la ligne d'entrée DGNT ou autorisation de DMA.

Le rôle de chacun de ces signaux sera explicité dans le prochain paragraphe.

3) Signaux de transfert issus du contrôleur de périphérique

a) Requête de transfert (TxRQ - 3)

Chacun des quatre canaux possède sa propre ligne de requête de transfert. Le contrôleur de périphérique demande un transfert en plaçant sa ligne TxRQ au niveau haut. Les lignes sont échantillonnées en fonction de la priorité et de la validation établie dans le registre contrôle de priorité.

Pour chaque octet en modes vol de cycle (par TSC et par Halt) et pour le premier octet en mode transfert de bloc, les signaux sont testés sur le front positif de ϕ 2 DMA et le canal de priorité la plus haute est échantillonné.

Dans les octets suivants du transfert du bloc de données par halt le signal TxRQ est testé sur le front descendant de l'horloge ϕ 2 DMA.

4) Signaux de transfert vers le contrôleur de périphérique

Le canal est sélectionné par deux lignes codées. Une ligne d'échantillonnage reconnaît la requête et réalise le transfert (Tx STB).

a) Reconnaissance de transfert A (Tx AKA)

La reconnaissance de transfert A est utilisée avec la ligne CS/Tx AKB (voir b) pour sélectionner le canal à échantillonner pour le transfert et donner le signal fin de DMA.

En mode deux canaux (voir figure 16) seul Tx AKA est employée pour sélectionner le canal $\neq 0$ ou le canal $\neq 1$ et CS/Tx AKB est toujours une entrée.

b) Sélection de boîtier/reconnaissance de transfert B (CS/TxAKB)

Cette ligne est à double usage; elle est utilisée : pour sélectionner le boîtier DMAC (comme entrée) codée avec Tx AKA en mode quatre canaux pour sélectionner le canal (comme sortie)

Le tableau qui suit donne l'ordre d'encodage

CS/TxAKB	Tx AKA	Canal \neq		
0	0	0	} mode 2 canaux	} mode 4 canaux
0	1	1		
1	0	2		
1	1	3		

c) Echantillonnage de transfert (Tx STB)

La ligne Tx STB provoque la reconnaissance de transfert devant être donnée au contrôleur de périphériques et constitue la validation d'adresse en mode DMA (voir schéma fig.15, 16, 17)

e) Lignes d'adresse (A0 - A15)

Ces lignes de sortie sont en état de haute impédance en mode U.C et constituent des sorties positionnées par rapport au contenu du registre adresse du canal en cours d'exécution en mode DMA

2.1.4. Fonctionnement du DMAC

Pour préparer un canal en accès direct, mémoire, le registre adresse doit être chargé avec l'adresse mémoire de début, le registre nombre d'octets avec le nombre d'octets à transférer. La direction, le mode, l'incrémentati on ou la décrémentati on du registre adresse, le contrôle de priorité, la validation des interruptions et le chaînage de données dans les registres correspondants.

1. Modes de transfert

Le transfert en accès direct à la mémoire peut être réalisé de trois façons. La façon choisie est déterminée en fonction de la vitesse de transfert des données requise, le nombre de canaux et la complexité admissible de l'application.

a) Mode de transfert vol de cycle par TSC

Le principe est décrit au chapitre 2 (voir chronogramme fig. 10 et le diagramme de la commande TSC en annexe).

b) Mode de transfert vol de cycle par halt

Cette méthode arrête réellement l'U.C. au lieu d'allonger l'horloge ϕ 1. Ce mode est déclenché par le DMAC forçant la ligne DRQH à l'état bas, conformément à l'organigramme fig. 8 en testant la requête de transfert. Cette ligne est connectée directement à l'entrée Halt du CPU.

La ligne BA constitue l'entrée DGNT vers le DMAC (voir en annexe la commande Halt de l'U. C)

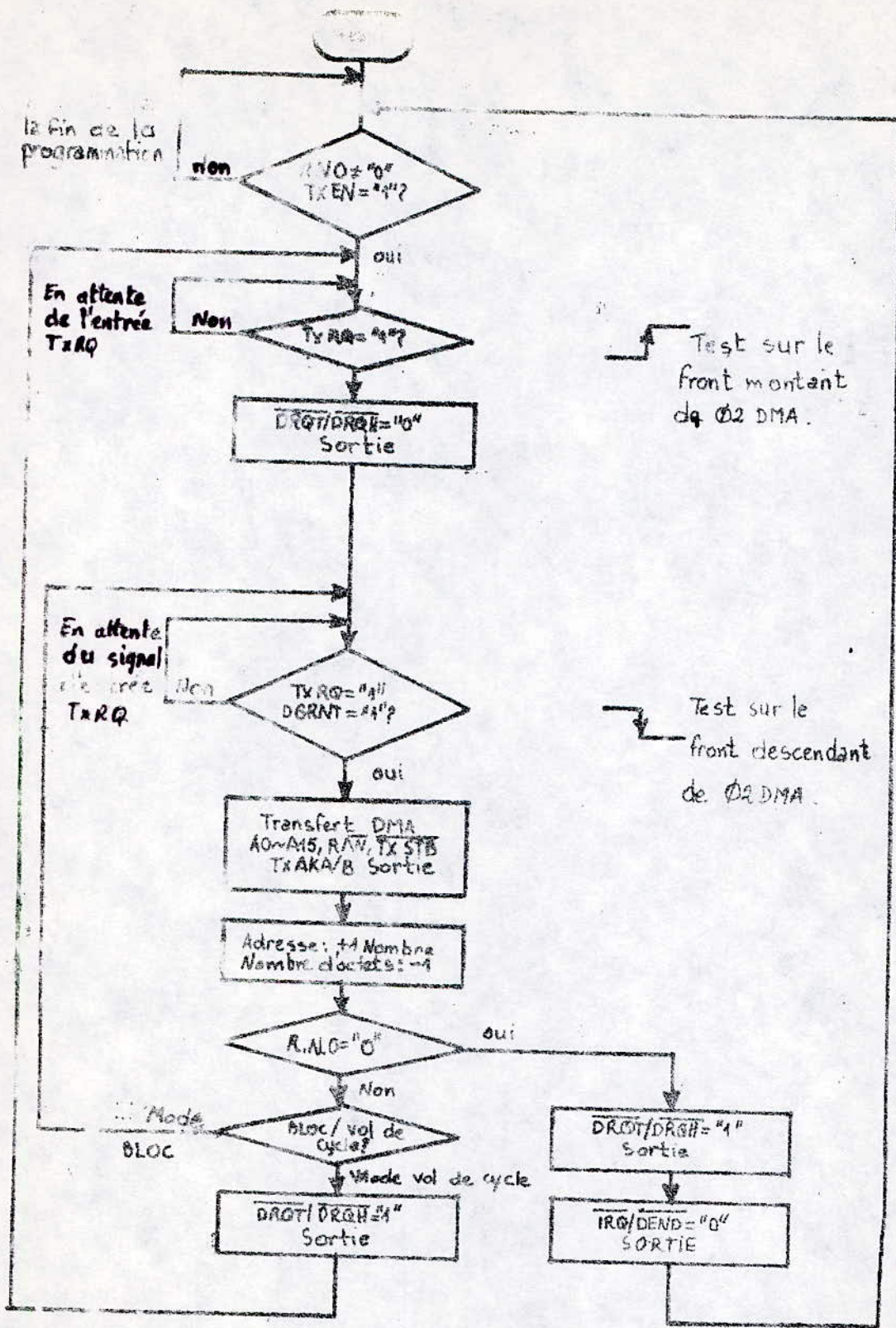


Fig: 8 Schémagramme de fonctionnement du DMAC

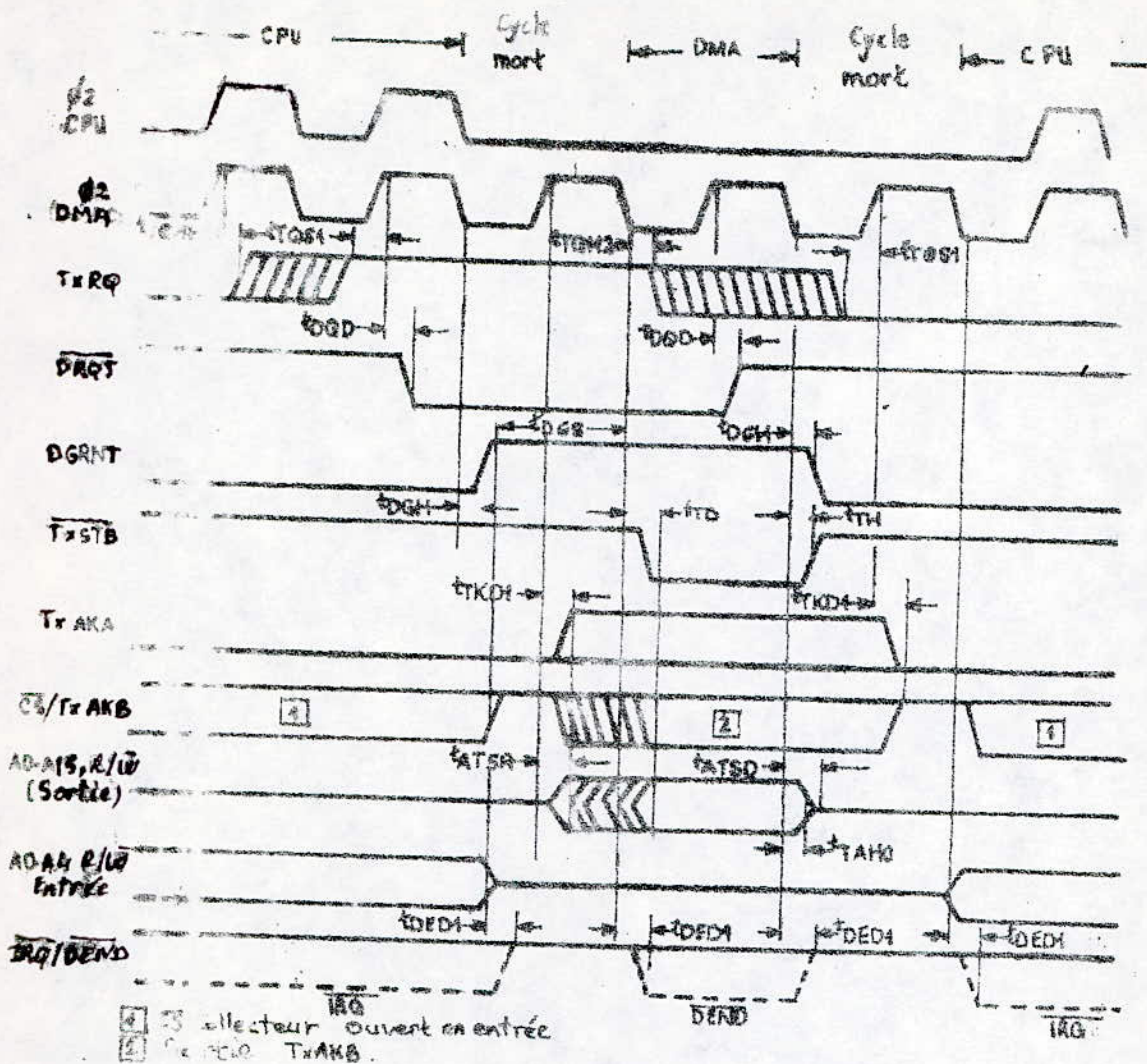
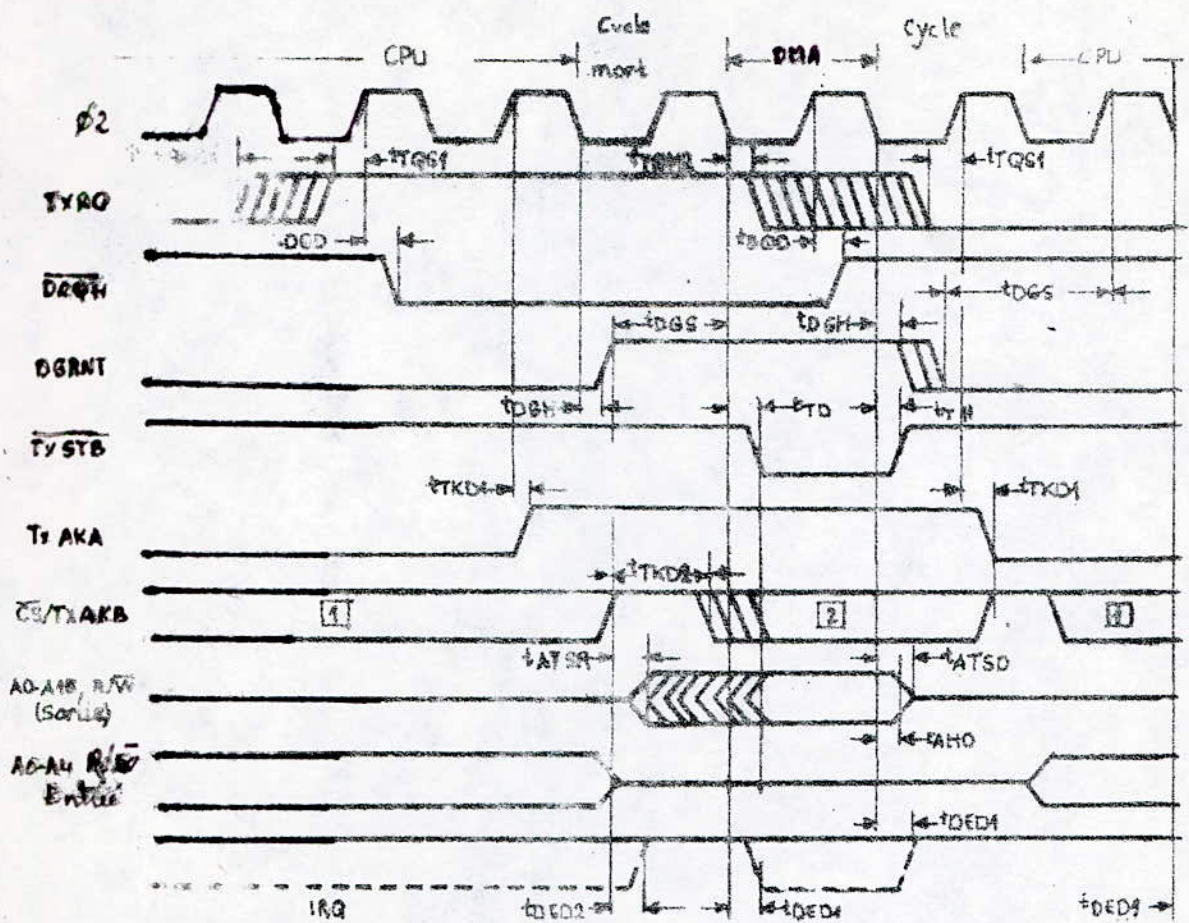


FIG 10 Mode Vol de cycles par TSC



[1] Entrée à collecteur ouvert
 [2] TrAKA Sortie

(La Légende est donnée en annexe)

Fig.11 Mode Vol de cycles par Halt

Lorsque l'U.C. est arrêtée, ses bus d'adresse, de données et R/W sont à l'état haute impédance. Le DMAC fournit alors l'adresse la ligne R/W et le signal $TcSTB$. Après chaque transfert d'un octet, la ligne Halt retourne à l'état haut et l'U.C. reprend le contrôle des bus (voir chronogramme fig. 11).

c) Mode de transfert de bloc (Halt)

Le principe est décrit au chapitre 2, néanmoins ce mode est similaire au précédent excepté que le transfert ne s'arrête pas à un octet.

Ce mode donne une grande vitesse de transfert de données au dépend du MPU (U.C) qui demeure inactif pendant toute l'opération DMA. (voir **chronogramme** figure 12).

Tableau de comparaison des vitesses de transfert

Mode	Temps de réponse (μ S)	Vitesse maximale de transfert (μ S/Oct)	Temps de réponse moyenne (μ S)	vit. maximale moyenne (μ S/Octtet)
Transfert bloc	3,5 \div 15,5*	1	9,5	1
Transfert Halt	3,5 \div 15,5*	5 \div 15 *	9,5	9,5
Transfert TSC	2,5 \div 3,5	4	3	4

* Ces valeurs dépendent du cycle d'instruction en cours d'exécution.

2.2. Décodeur d'adresse du DMAC

a) Le DMAC est sélectionné par l'U.C. lorsque l'entrée CS/Ex AKB est à l'état bas. Les différents registres sont considérés comme étant des positions mémoires.

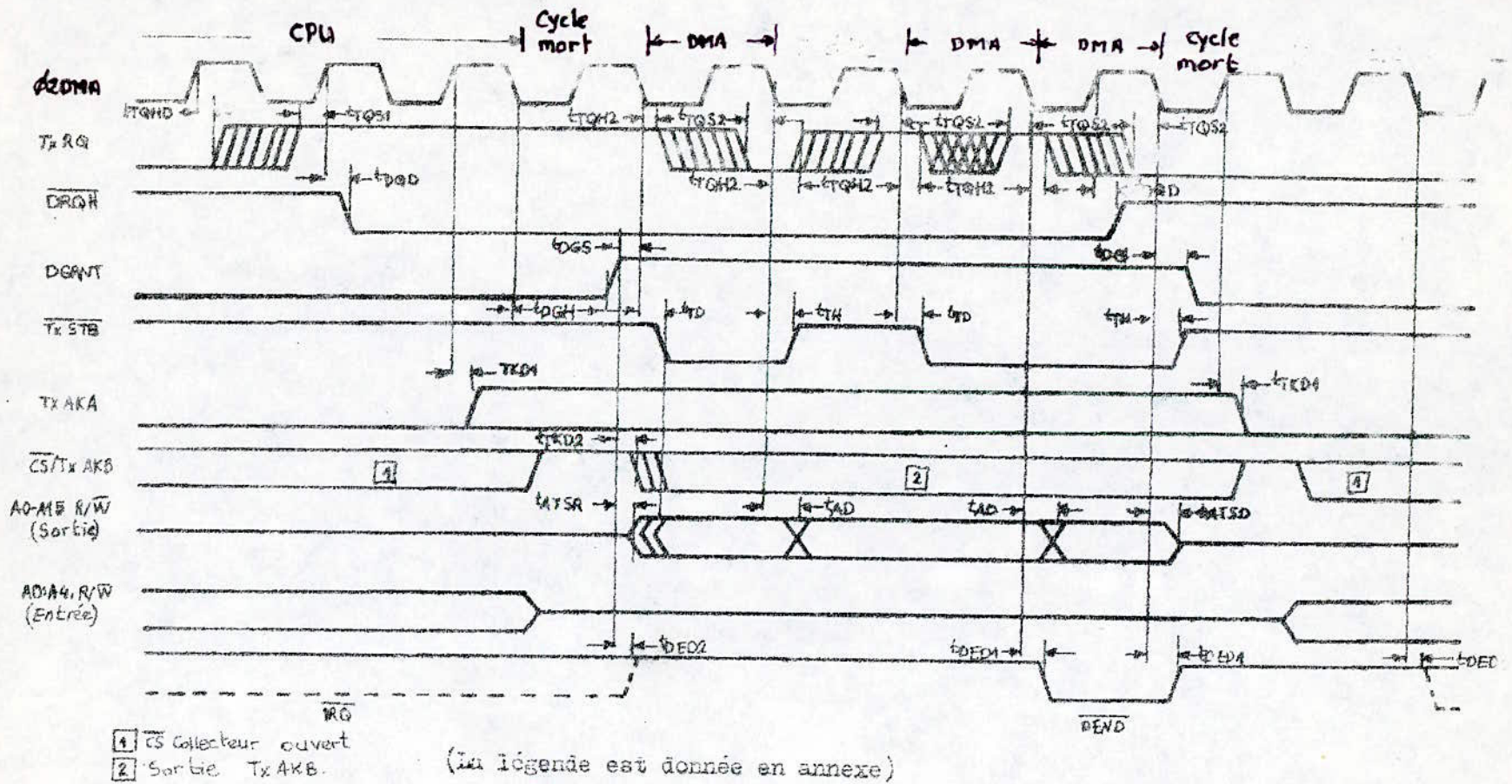


Fig:12 Mode Halt par bloc

En tenant compte de l'organisation mémoire de l'EXORciser les adresses allouées aux différents registres du DMAC sont :
§ EF00, § EF01, ... § EF 1F.

Les lignes d'adresse A0 - A4 sont utilisées à la fois comme lignes d'entrée et de sortie. En mode U.C, ces lignes constituent des entrées pour adresser les registres internes du DMAC.

Par ailleurs, les lignes A 15 - A5 sont employées pour sélectionner le boîtier.

Soit en binaire :

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	1	0	1	1	1	1	0	0	0	0	0	0	0	0
1	1	1	0	1	1	1	1	0	0	0	0	0	0	0	1
1	1	1	0	1	1	1	1	0	0	0	0	0	0	1	0
1	1	1	0	1	1	1	1	0	0	0	1	1	1	1	1

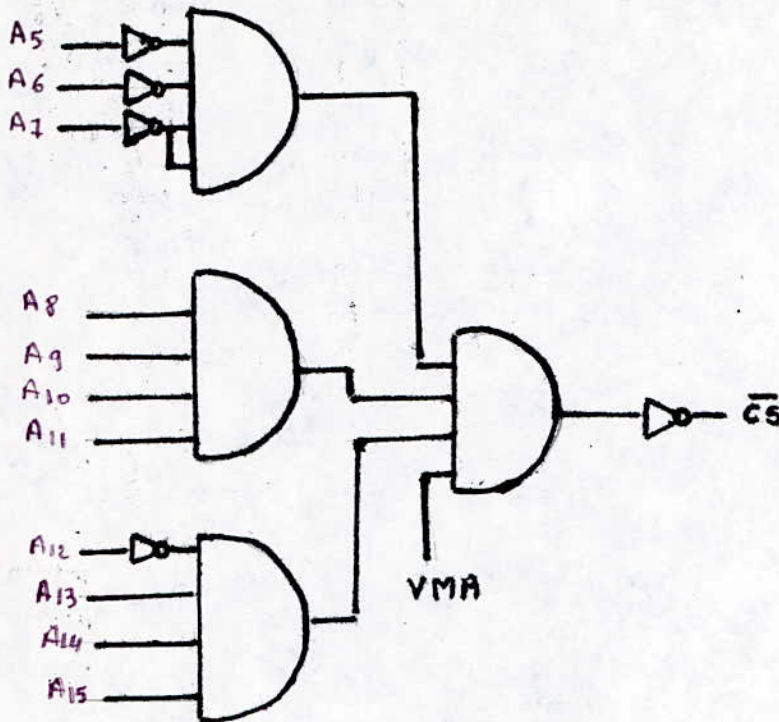
La sélection du boîtier est réalisée à l'aide de la fonction suivante :

$$\overline{CS} = (\overline{A15} \overline{A14} \overline{A13} \overline{A12}) \times (A11 A10 A9 A8) \times (\overline{A7} \overline{A6} \overline{A5})$$

b) Les deux octets qui constituent les registres adresse et nombre d'octets sont mis dans des emplacements mémoire consécutifs, facilitant ainsi l'utilisation du registre index pour leur programmation. Ceci est mentionné dans le tableau suivant :

REGISTRE	Canal	Adresse
Adresse (Poids fort)	0	0
Adresse (Poids faible)	0	1
Nombre d'octets (poids fort)	0	2
Nombre d'octets (poids faible)	0	3
Adresse (Poids fort)	1	4
Adresse (Poids faible)	1	5
Nombre d'octets (poids fort)	1	6
Nombre d'octets (Poids faible)	1	7
Adresse (Poids fort)	2	8
Adresse (Poids faible)	2	9
Nombre d'octets (poids fort)	2	A
Nombre d'octets (poids faible)	2	B
Adresse (Poids fort)	3	C
Adresse (Poids faible)	3	D
Nombre d'octets (poids fort)	3	E
Nombre d'octets (poids faible)	3	F

c) Schéma du décodeur



On utilise le signal VMA pour générer le CS de manière à s'assurer que des sélections erronées ne se produisent.

2.3. Logique de priorité

2.3.1 Problèmes liés aux mémoires dynamiques

La technologie des semi-conducteurs a permis l'augmentation de la densité des modules mémoires dans les systèmes à micro-processeur entraînant le passage du type statique au dynamique.

La mémoire dynamique doit être rafraîchie toutes les quelques millisecondes afin de renouveler la charge de chaque cellule mémoire, effectuant ainsi des cycles de rafraîchissement pendant 1 à 5 % du temps. Cela peut être gênant dans certaines applications en temps réel car la mémoire sera occupée et donc indisponible.

a) Rafraichissement caché ou multiplexé

La recharge des capacités des transistors MOS se fait pendant la phase $\phi 1$ c'est-à-dire durant le traitement des données par l'U.C. (d'où le terme caché). Cette technique n'entrave en aucun cas l'exécution du programme par l'U.C.

b) Rafraichissement par vol de cycle (ou asynchrone)

Ce mode de rafraichissement se fait en rallongeant les signaux d'horloge soit $\phi 2$ à zéro et $\phi 1$ à un.

L'opération a lieu lorsque le compteur ou temporisateur de rafraichissement se trouvant sur la carte mémoire envoie un signal \overline{RR} (Refresh request ou demande de rafraichissement) à l'entrée de l'horloge. Cette dernière répond sur le front descendant de $\phi 2$ par le signal RG (refresh grant) maintenu au niveau haut pendant tout le cycle de rafraichissement, ceci indépendamment de l'état de l'U.C.

Après la fin de l'opération, l'U.C. reprend le contrôle des bus et continue l'exécution du programme.

Une logique de priorité a été réalisée pour éviter que des "conflits" aient lieu entre l'accès direct à la mémoire DMA et l'opération de rafraichissement.

La carte mémoire MEX 6815 qui a été utilisée nécessite un cycle de rafraichissement toutes les 32 US (voir chronogramme figure 13).

2.3.2. Schéma synoptique du circuit de la logique de priorité

a) Ceci est illustré sur la figure 14

b) Principe de fonctionnement

Le signal sortant de la porte "And" (1) est la combinaison des requêtes DMAREQ (\overline{DMAREQ}) et Ref Req (\overline{RR}) activant l'entrée DMA REQ/REF REQ de l'horloge.

Fig. 13 CHRONOGRAMME DE REF REQ ET REF GNT

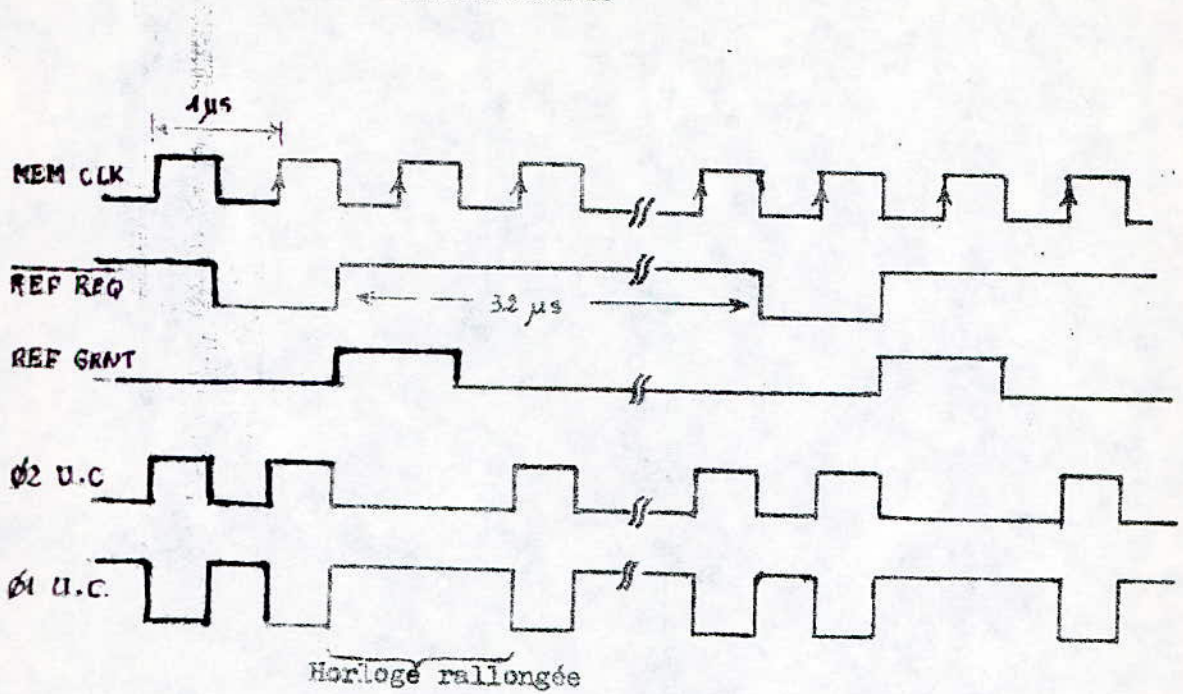
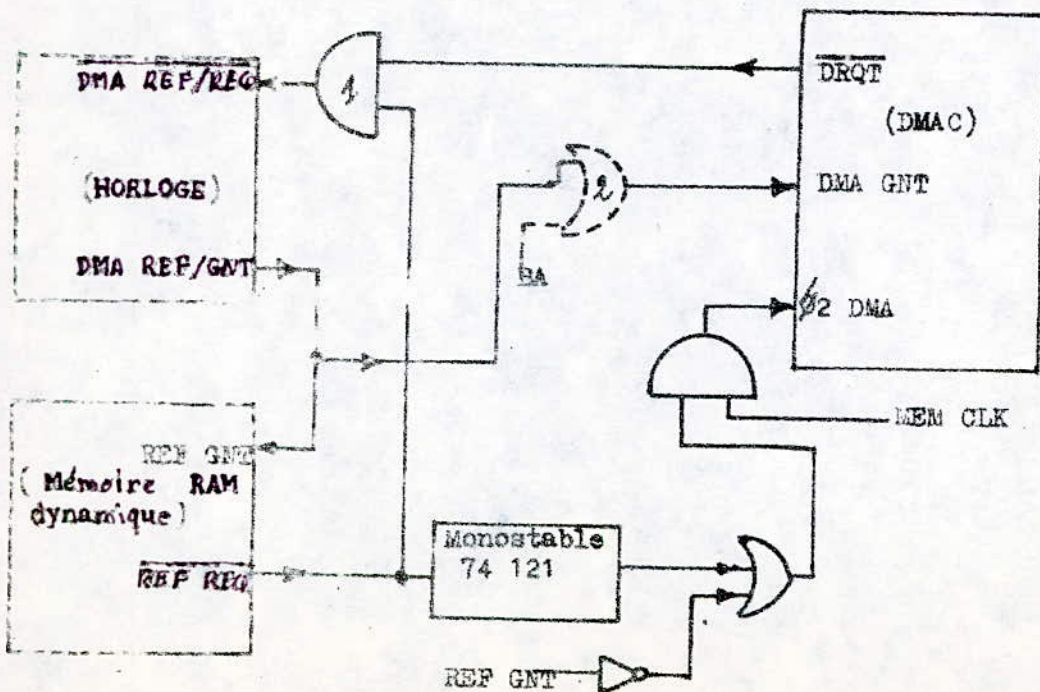


Fig. 14 SCHEMA SYNOPTIQUE DU CIRCUI DE LOGIQUE DE PRIORITE



L'activation de l'une quelconque de ces demandes (ou de 2 demandes simultanées) a pour conséquence de "bloquer" l'horloge. Le temps de réponse relatif à l'autorisation de rafraîchissement ou de DMA dépend du type d'horloge et peut varier de 500 ns à 1 μ s.

Dans notre cas, ce temps correspond à 1 μ s. Un monostable SN 74 121 (voir annexe) est employé pour pallier à ce retard.

Pour éviter une écriture ou une lecture pendant le cycle de rafraîchissement, le signal d'horloge ϕ 2 DMA est conditionné par le signal d'autorisation de rafraîchissement (REF GNT).

Le fonctionnement du DMAC est réalisé grâce au signal d'horloge ϕ 2 DMA qui valide tous les signaux fournis par le DMAC.

À chaque demande de rafraîchissement, le signal ϕ 2 allongé jusqu'à ce que la sortie du monostable revienne à un.

2.4. Logique de contrôle

1) DMAC - Périphériques

La configuration matérielle du DMAC peut s'intégrer dans un système de 1, 2 ou 4 (voir Fig. 15, 16, 17)

- Si les contrôleurs de circuits de périphériques n'utilisent pas le signal fin de DMA (DEND) les portes et le générateur ne sont pas nécessaires.
- La porte à collecteur ouvert sur IRQ sert à éviter les fausses interruptions à partir du signal DEND lorsque les interruptions sont invalidées.
- En mode 4 canaux, la porte CS doit être à collecteur ouvert de sorte que $\overline{\text{CS}}/\text{Tx AKB}$ puisse devenir une sortie
- Pour Tx AKO 3 voir 2 - 1 - (4).

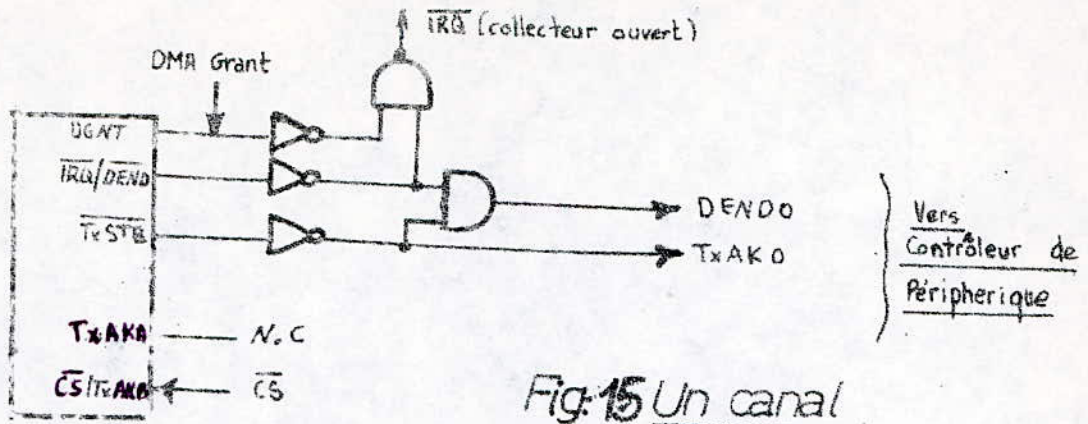


Fig. 15 Un canal

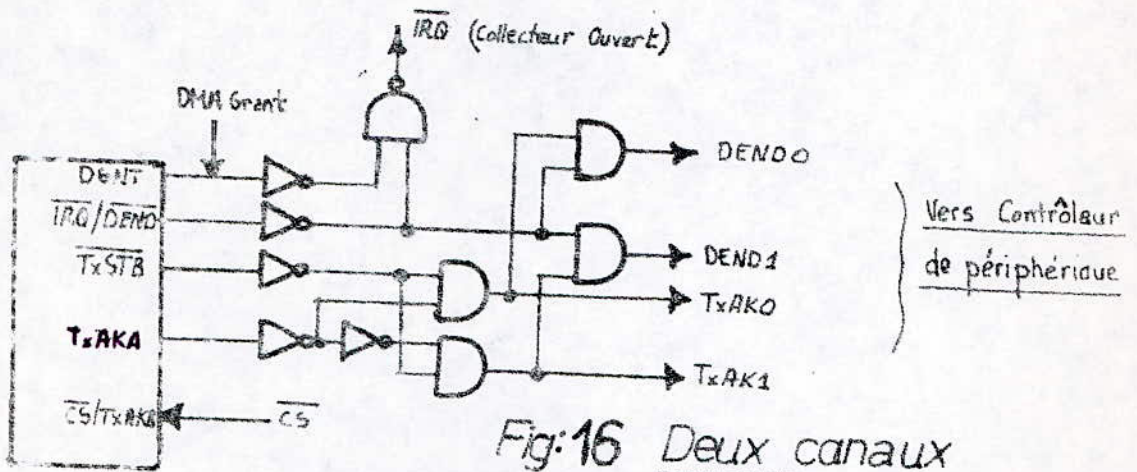


Fig. 16 Deux canaux

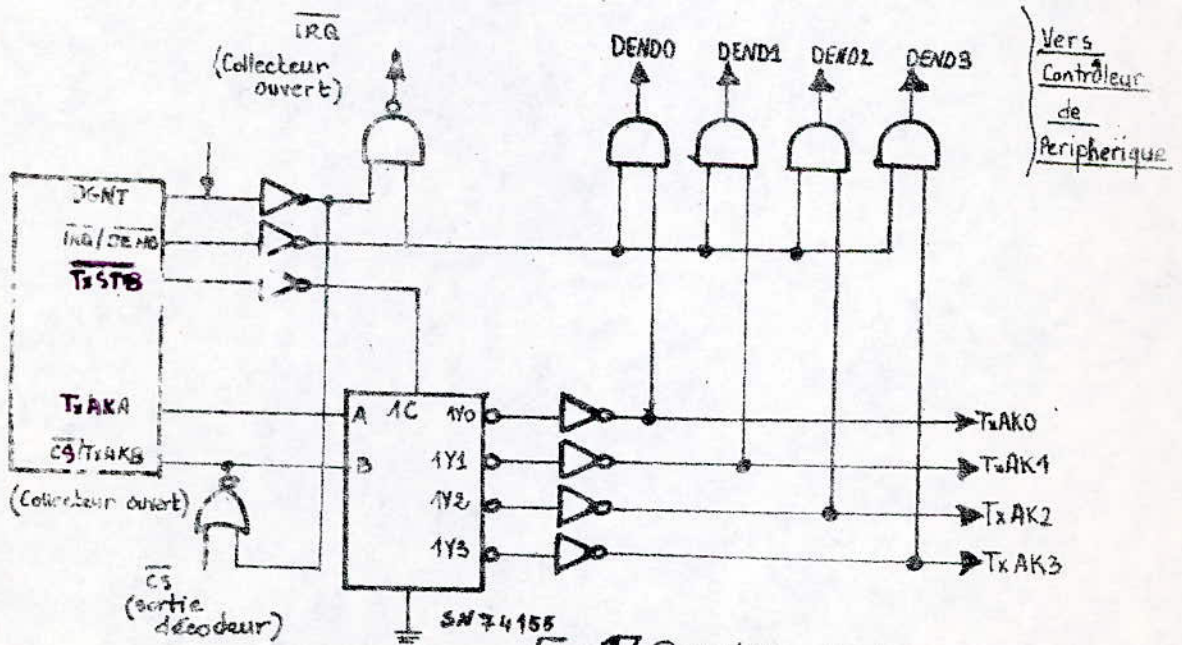


Fig. 17 Quatre canaux

Liaisons DMAC - Contrôleurs de Périphériques

Signaux
Systeme

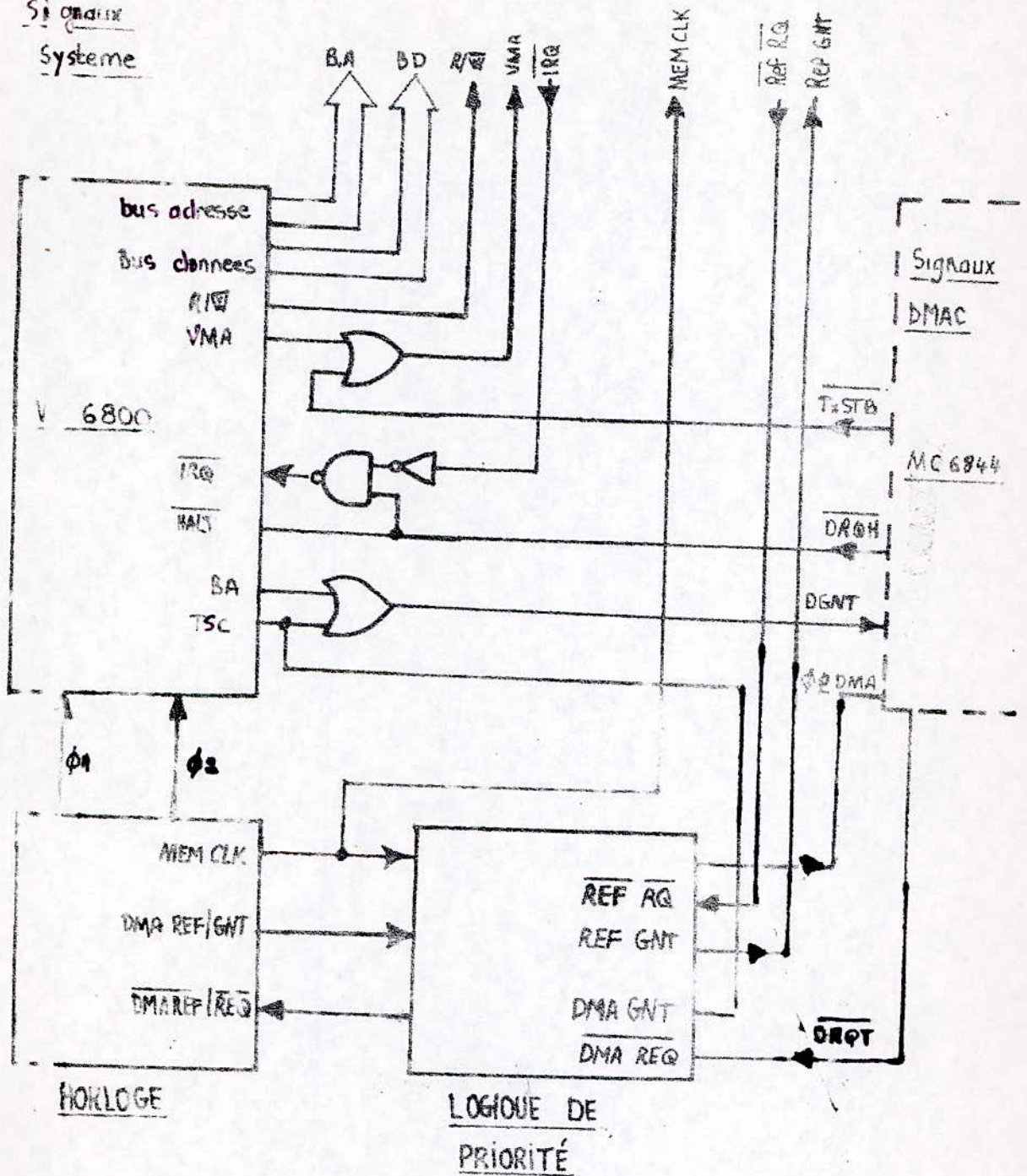


Fig:18 Liaisons DMAC - UC

DMAC -- UC et mémoire

La figure 13 montre une configuration typique.

Les signaux du système sont indiqués en haut et les signaux de contrôle DMA sont représentés à droite. La logique de priorité permet un contrôle adéquat du système en favorisant l'opération de rafraichissement.

La porte "OU" (01) permet le fonctionnement en mode U.C (utilisation de VMA) ou en mode DMA (mis en jeu de Tx STB)

Afin de pouvoir utiliser le système soit en mode vol de cycle par TBC ou halt, le signal DGNT doit être la sortie "OU" (02) du signal BA et du signal autorisation DMA/RUEP GNT du circuit d'horloge.

Les demandes d'interruption (IRQ) sont conditionnées par DRQH seulement dans le cas d'utilisation simultanée du mode transfert par halt et de l'instruction WAIT.

Validation des buffers

Au cours de nos essais, nous avons utilisé un générateur d'impulsions variables pour simuler les requêtes de transferts.

Des amplificateurs de courant bidirectionnels 8 T26, interfacent la périphérique au DMAC.

La validation de ces derniers est réalisée par le dispositif illustré à la figure 20.

Tableau de fonctionnement :

R/ \bar{W}	DGNT	S1	S2	Etat
0	0	0	1	Haute impédance
0	1	0	0	Validation écriture
1	0	0	1	Haute impédance
1	1	1	1	Validation lecture

B/ SOFTWARE

Cette partie concerne essentiellement le MC 6844, seul élément programmable sur la carte. Nous y traiterons la façon d'initialiser le 6844 et de sa préparation pour le transfert.

PROGRAMMATION DU DMAC

La configuration fonctionnelle est réalisée via le bus de données par l'intermédiaire de l'U.C.

1) Programmation du registre contrôle canal

Le tableau (1) donne le rôle de chaque bit.

Bit 0 : Lecture/écriture (R/W)

La direction du transfert est contrôlée par ce bit.

A l'état haut, le contrôleur lit la mémoire

Au niveau bas, il fait une écriture en mémoire.

Bits 1 et 2 :

La combinaison de ces 2 bits, sélectionne la mode de transfert DMA comme l'indique le tableau 2

Bit 3 : A l'état bas, ce bit indique que le registre adresse est incrémenté à chaque transfert d'un *octet*

Au niveau haut, le registre adresse est décrémenté.

Bits 4 et 5 : Sont non utilisés

Bit 6 : C'est un bit d'état à lecture seule. Il est validé lors d'un transfert et il est mis à zéro après une fin de DMA

Bit 7 : C'est un indicateur de fin de DMA (DEND). Il est établi à la fin du transfert du bloc de données. Il est mis à zéro par lecture du registre contrôle canal.

Sachant que le DMAC dispose de quatre registres contrôle canal, l'adresse de ces derniers est la suivante :
(selon l'espace mémoire utilisé)

EF 10	pour le canal	##	0
EF 11	pour le canal	##	1
EF 12	pour le canal	##	2
EF 13	pour le canal	##	3

Les cinq lignes d'adresse de poids faible sont imposées.

2/ Registre contrôle de priorité

Le tableau 1 donne le rôle de chaque bit

Bits 0 3 :

A l'état haut, chaque bit valide la requête de transfert pour le canal correspondant.

Bits 4 6 :

Ces bits sont non utilisés.

Bit 7 :

A l'état haut, la priorité circulaire est validée. Au niveau bas, on utilise la priorité fixée.

L'emplacement mémoire de ce registre est indiqué par les cinq lignes d'adresse de poids faible de EF 14 (14)

3) Registre contrôle d'interruption

Le tableau 1 illustre le rôle de chaque bit.

Bits 0 à 3 :

A l'état haut, chacun de ces bits valide l'interruption pour le canal correspondant. Au niveau bas, l'interruption est masquée.

Bits 4 à 6 :

Ces bits sont inutilisés

Bit 7 :

C'est un indicateur fin de DMA.

Ce bit est à lecture seule. A l'état haut, il indique qu'une requête d'interruption est validée, il est établi par les signaux de fin de DMA dans le registre contrôle canal.

Il est mis à zéro par lecture du registre qui l'a fait s'établir à un.

L'adresse allouée à ce registre est EF.15. Par ailleurs, les cinq lignes d'adresse de poids faible sont imposées.

4) Registre chainage de données :

Le rôle de chaque bit est illustré sur le tableau 1.

Bit 0 :

La fonction chainage de données est validée quand ce bit est à l'état haut.

Bits 1 et 2 :

Ces deux bits permettent la sélection canal sur lequel doit s'effectuer la fonction chainage, comme l'indique le tableau 3.

Bit 3 :

Au niveau haut, le mode quatre canaux est validé et à l'état bas le mode 2 canaux.

Bits 4 à 7 :

Ces bits sont inutilisés.

L'emplacement mémoire correspondant à ce registre est EF. 16.
La même remarque est faite concernant les cinq lignes d'adresse du poids faible de l'adresse.

REGISTRES	BIT 7	BIT 6	BIT 5	BIT 4	BIT 3	BIT 2	BIT 1	BIT 0
REGISTRE CONTROLE CANAL	Indicateur fin de DMA (DEND)	Indicateur occupé/ libre	Non utilisé	Non utilise	Adresse croissate Décroissante	TSC HAIF	Transfert bloc/vol de cycle	Lecture écriture R/W
REGISTRE CONTROLE PRIORITE	Contrôle de rotation	Non utilise	Non utilisé	Non utilisé	Validation requête RE 3	Validation requête RE 2	Validation requête RE 1	Validation requête RE 0
REGISTRE CONTROLE INTERRUPTION	Indicateur DEND/IRQ	Non utilisé	Non utilisé	Non utilisé	Validation interruption IRQ 3	Validation interruption IRQ 2	Validation interruption IRQ 1	Validation interruption IRQ 0
REGISTRE CHAINAGE DE DONNEES	Non utilisé	Non utilisé	Non utilisé	Non utilisé	Sélection deux/quatre canaux	Canal en chainage SélectionA	Canal en chainage SélectionB	Validation chainage de données

TABLEAU 1 LES REGISTRES DE CONTROLE DU DMAC

TABLEAU 2:

SELECTION DE MODE

BIT2	BIT 1	MODE DE TRANSFERT DMA
0	0	Vol de cycle HALT
0	1	Transfert de BLOC (HALT)
1	0	Vol de cycle par TSC
1	1	(interdit)

TABLEAU 3:

SELECTION DE CANAL

DCE Bit 2	DCA Bit 3	CANAL 4
0	0	0
0	1	1
1	0	2
1	1	Interdit

CHAPITRE IV

APPLICATION DE LA CARTE DMA DANS LE MULTITRAITEMENT.

- 1 - Définition
- 2 - Description du dispositif.
- 3 - Programme .

CHAPITRE IV

APPLICATION DE LA CARTE DMA DANS LE MULTITRAITEMENT .

Parmi les réalisations utilisant le DMA, le multitraitement est l'objet de notre application.

a) Définition

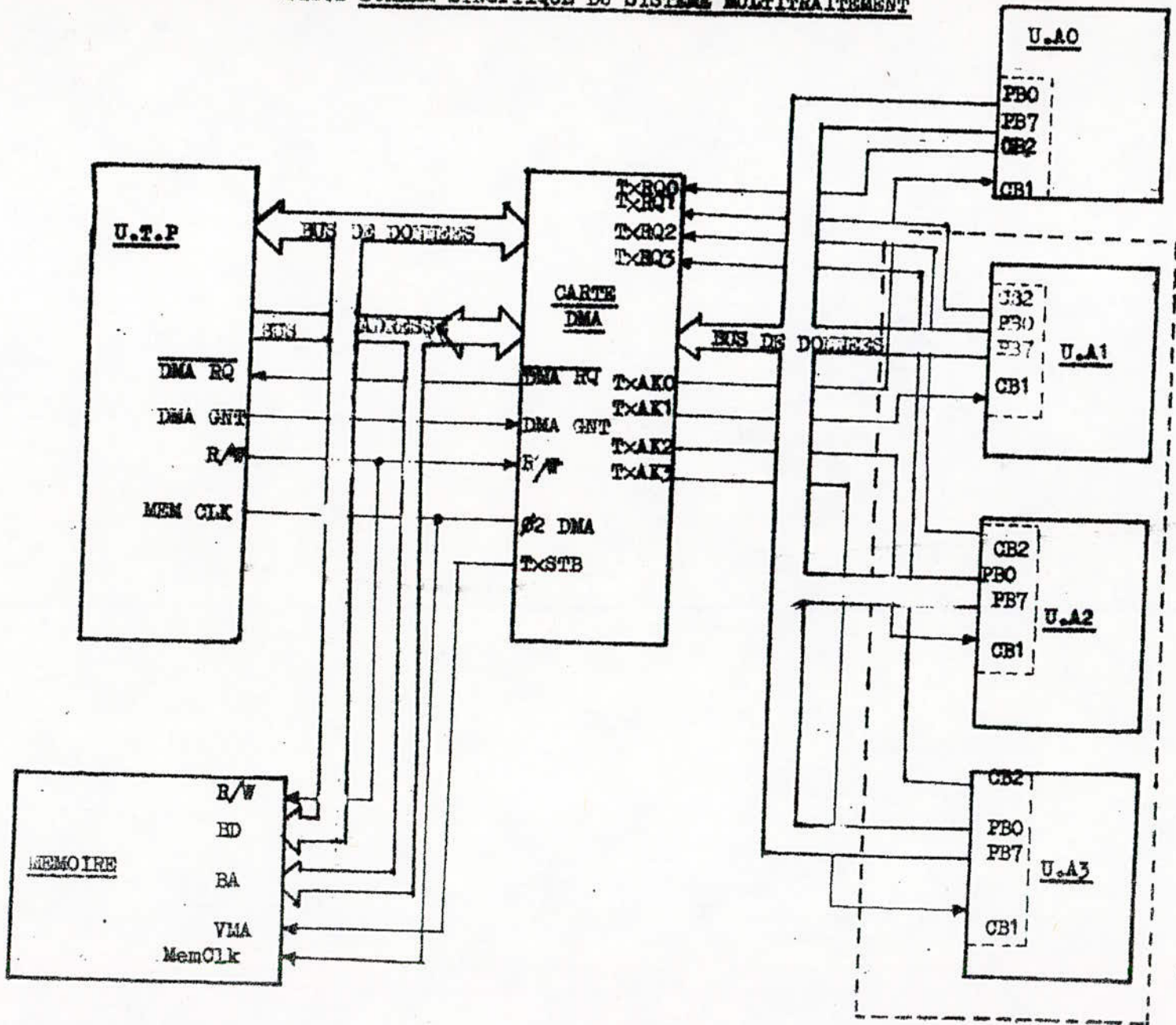
Le multitraitement (multimicroprocessing) est un mode de fonctionnement d'un système de traitement d'informations dans lequel plusieurs unités centrales peuvent travailler simultanément sur un ou plusieurs programmes en ayant accès à des mémoires ou des organes communs.

b) Dans le microordinateur, il n'existe qu'une unité de traitement mais en général plusieurs unités d'échange qui travaillent en simultanéité. L'idée est d'introduire plusieurs unités de traitement dans un même système.

En première approximation, mettre deux ou plusieurs unités de traitement à la place d'une seule revient à augmenter considérablement la fiabilité et la puissance du système, au sens de ses possibilités de traitement dans un temps donné.

Toutefois, l'introduction d'une deuxième unité de traitement entraîne nécessairement l'existence de conflits propres au hardware. Ils résultent du fait que certains éléments sont partagés et qu'ils ne peuvent être strictement au service des deux unités en même temps : il peut s'agir aussi bien des mémoires que des circuits de contrôle élémentaires.

FIG: B SCHEMA SYNOPTIQUE DU SYSTEME MULTITRAITEMENT



Ainsi, les systèmes multimicroprocesseurs et la technique de multitraitement présentent des éléments de difficulté spécifiques dans la conception du hardware et dans l'élaboration des systèmes d'exploitation adaptés.

Au sein du laboratoire d'électronique du CEN, une chaîne d'acquisition de données en mode histogramme, expérimentale de physique nucléaire gérée par un microordinateur permet d'analyser le spectre d'énergie du rayonnement issu d'une réaction nucléaire ou simplement d'une source.

Pour plus de précision dans la manipulation et une plus grande rapidité d'analyse, il est avantageux d'utiliser quatre unités effectuant simultanément l'acquisition sous différents angles. Une cinquième unité, dite principale se charge du traitement des données.

Les caractéristiques du IMAC MC 6844, citées précédemment permettent de réaliser le couplage des quatre chaînes d'acquisition avec la mémoire commune formant ainsi ^{un} multimicroprocesseur. Le schéma illustrant ce dispositif est représenté Fig. B.

c) Principe de fonctionnement

Lorsque les résultats du traitement d'information sont disponibles au niveau des unités U.A0, ..., UA3 et après initialisation des organes d'E/S (PIA), une requête de transfert (TXRØ) est émise par CB2 au contrôleur DMA dont la configuration fonctionnelle est établie par U.T.P.

Après échantillonnage des requêtes, le DMAC active la sortie demande de DMA. L'U.T.P. donne le contrôle des bus au DMAC qui effectue le transfert du canal sélectionné vers la mémoire commune (voir le fonctionnement du DMAC au 2-3-2 (b)) synchronisé par le signal de reconnaissance de transfert (TxAK).

Dans notre réalisation, on s'est limité à l'élaboration d'une liaison entre une unité d'acquisition en mode histogramme et une unité de traitement.

Pour préparer le DMAC à l'opération de transfert, sur le canal ~~1~~ 0, le programme suivant a été adopté pour :

- le mode vol de cycle
- le début d'adresse en 0000
- un transfert de 1000 octets
- une incrémentation d'adresse.

PROGRAMME

Remarques

- 1) A la sortie du microprocesseur les données sont complémentées et amplifiées une première fois à sortie des 8T26 liés au microprocesseur, puis une deuxième fois à l'entrée d'un autre 8T26 relatif à un autre élément du microordinateur (bloc mémoire, PIA, ACIA...)

Dans la structure interne du DMAC (fig 9) résident des Buffers de données et d'adresses, amplificateurs de courant mais non inverseurs. Pour cela dans l'initialisation des registres adresse et nombre d'octets nous devons charger l'accumulateur par la valeur complément à un (1), en utilisant l'instruction de complémentation disponible dans le MC 6800 notée COM.

- 2) Lors d'une séquence de mise sous tension, le DMAC est initialisé via l'entrée RESET. Tous les registres à l'exception des registres d'adresse et nombre d'octets sont mis à l'état logique zéro ("0"). Ceci invalide toutes les requêtes, la fonction chainage de données et masque toutes les interruptions.

Les registres d'adresses , nombre d'octets et contrôle canal doivent être programmés avant que le bit de requête de transfert respectif ne soit validé dans le registre contrôle de priorité.

Programme d'initialisation

Adresse	Langage machine	Assembleur	Commentaires
3000	86 00	LDA A ## 00	Initialisation du registre adresse
3002	C6 00	LDA B ## 00	
3004	43	COM A ##	
3005	53	COM B	
3006	B7 EF00	STA A § EF00	
3009	F7 EF01	STA B § EF01	
300C	86 10	LDA A ## 10	Initialisation du registre nombre d'octets
300E	C6 00	LDA B ## 00	
301D	43	COM A	
3011	53	COM B	
3012	B7 EF02	STA A § EF02	
3015	F7 EF03	STA B § EF03	
3018	86 0C	LDA A ## 0C	Initialisation du registre contrôle canal
301A	43	COM A	
301B	B7 EF10	STA A ## EF10	
301E	86 01	LDA A ## 01	Initialisation du registre contrôle de priorité
3020	43	COM A	
3021	B7 EF14	STA A § EF14	
3024	86 01°	LDA A ## 01	Initialisation du registre contrôle d'interruption
3026	43	COM A	
3027	B7 EF15	STA A § EF15	
302A	86 00	LDA A ## 00	Initialisation du registre chainage de données
302C	43	COM	
302D	B7 EF16	STA A ## EF16	
3030	FE FFF8	LDX § FFF8	Sauvegarde du vecteur
3033	FF 2000	STX § 2000	
3036	CE 3000	LDX ## § 3000	
3039	FF FFF8	STX § FFF8	Chargement du Reg X

Adresses	Langage machine	Assembleur	Commentaires
303C	86 04	LDA A ≠ 04	Indique la fin de communication (E O T)
303E	B7 1000	STA A § 1000	
3041	3F	SWI	Arrêt par Soft
3100	CE 0000	LDX § 0000	Ecriture sur télétipe
3103	ED FA14	JSR § FA14	Saut à la subroutine
3106	FE 2000	LDX § 2000	Réstauration du vecteur d'interruption
3109	FF FFF8	STX § FFF8	
310C	3B	RTI	

Remarque §:

- L'écriture automatique par le télétipe , d'une zone mémoire , se fait en faisant appel à une subroutine de l'exbug dont l'adresse est § FA14.
- E O T : End of text

Programme P I A

Adresses	Langage machine	Assembleur	Commentaires
3200	CE 1000	LDX ≠ § 1000	Chargement du Reg X
3202	4F	CLR A	Mise à zero de Acc A
3203	B7 3220	STA A § 3220	Stocke A dans CRB
3206	86 FF	LDA ≠ § FF	Charge Acc A par FF
3208	B7 3221	STA A § 3221	Stocke A DDRB
320B	86 26	LDA A ≠ § 26	Charge Acc A par 26
320D	B7 3220	STA A § 3220	Stocke ACC A dans CRB
3210	A6 0	LDA A 0,X	Charge Acc A en indéc.
3212	B7 3022	STA A § 3222	Stocke Acc A dans DRB
3215	34	DEX	Décremente Reg X
3216	26 F8	BNE § F8	Se brancker en §321D si
3217	3F	SWI	Arrêt par SOFT

C O N C L U S I O N

L'accès direct à la mémoire est une technique d'entrée/Sortie assez complexe qui exige une grande précision dans la synchronisation des signaux. Ainsi, une attention doit être prise dans l'étude du hardware d'une part et dans le choix du type de mémoire et des circuits associés d'autre part.

Cependant, cette technique fournit de nombreux avantages à savoir :

- un software simplifié
- une vitesse de transfert maximale (2 octets/S pour le 68800)
- la possibilité d'un contrôle de processus en temps réel en augmentant la rapidité de la réponse du système
- une amélioration de l'efficacité du système

Nous achevons ce travail en proposant certaines applications possibles :

a) Il faut noter que cette réalisation n'est pas propre uniquement à l'analyse du rayonnement nucléaire en mode histogramme mais peut être employée dans d'autres domaines scientifiques en prévoyant une adaptation du dispositif d'Entrée/Sortie.

b) Avec une unité Floppy disk (disque souple)

Le floppy disk est un disque revêtu d'une matière magnétique organisée en pistes et secteurs sur lequel sont enregistrées des données. Il fournit un moyen de stockage très économique de grande capacité et à grande vitesse d'accès.

Ce dispositif peut être employé pour conserver les informations correspondants aux spectres d'énergie.

Dans le cas d'une unité Floppy Disk interfacée contrôleur MC 6843 (F.D.C) fournissant l'essentiel pour contrôler et formater le disque, peut s'adapter avec le IMAC MC 6844 pour réaliser les accès directs à la mémoire (voir schéma synoptique).

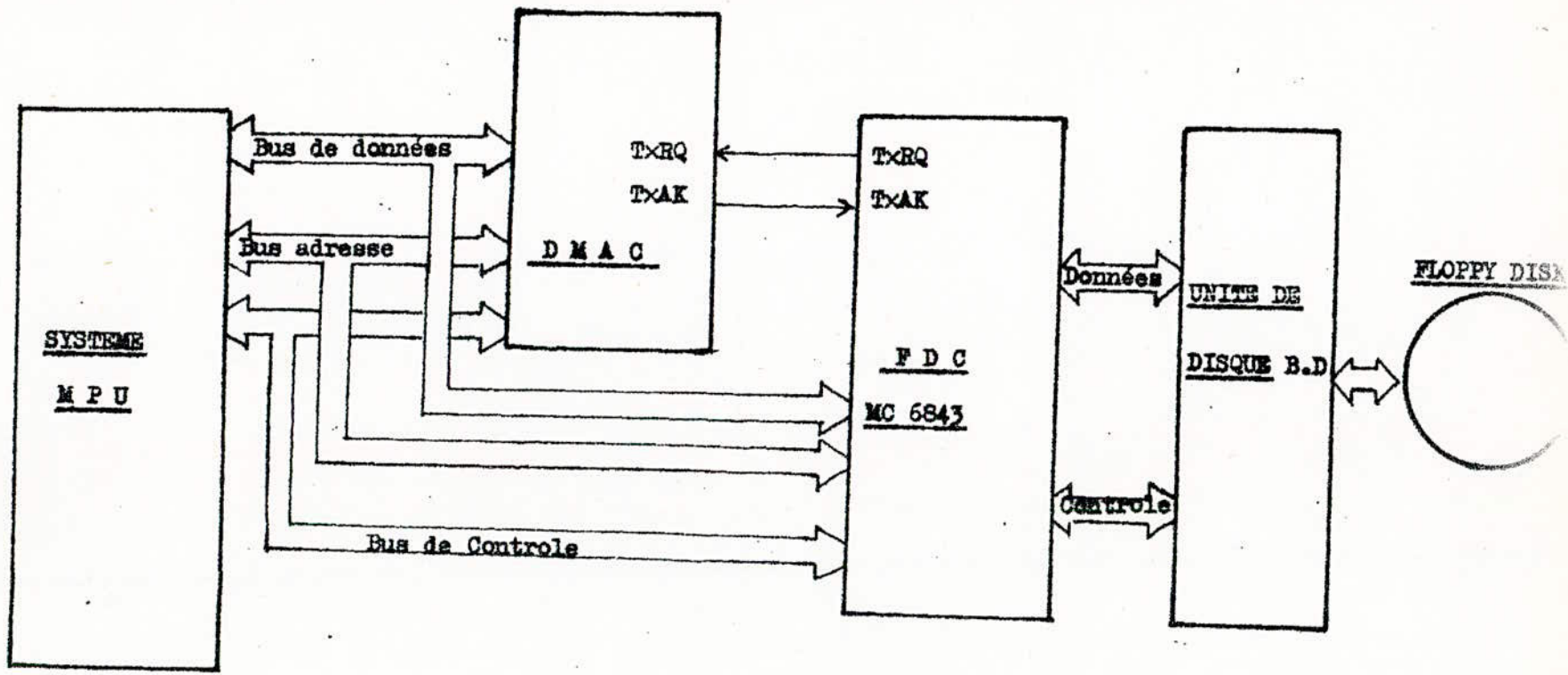


Fig: C

SCHEMA SYNOPTIQUE DE L'INTERFACE FDC- DMAC

Il faut préciser que cette application peut s'étendre à quatre unités.

- c) Le MC 6844 peut s'adapter avec des microprocesseurs très performants comme le 68 000 et le 6809.

Enfin, ce travail nous a permis d'améliorer nos connaissances, de nous familiariser avec les microprocesseurs et de connaître les problèmes liés à l'application des microordinateurs dans le contrôle de processus en temps réel.

//-) N N E X E

MICROPROCESSEUR MC 6800

Le MC 6800 est un microprocesseur monolithique, 8 bits réalisant la fonction d'unité centrale pour la famille 6800.

Il peut adresser 64 K octets de mémoire grâce à ses 16 lignes d'adresses. Le bus de données 8 bits bidirectionnel à sorties trois états permet l'accès direct et les configurations multiprocesseurs.

- Traitement sur 8 bits en parallèle
- Bus d'adresses de 16 bits - espace d'adressage 64 K octets
- 72 instructions - longueur variable
- Redémarrage vectorisé
- Sept modes d'adressage - Direct, relatif, immédiat, indéfini, étendu, implicité et accumulateur
- Pile externe de longueur variable
- Vecteur d'interruption masquable
- Interruption non masquable séparée - registre internes sauvegardés dans la pile
- Six registres internes : deux accumulateurs, un registre d'index, un compteur de programme, un pointeur de pile et un registre d'état.
- Possibilité d'accès direct mémoire (DMA) et de configurations multiprocesseurs
- Fréquence d'horloge jusqu'à 2, 0MHz
- Possibilité d'arrêt et d'exécution pas à pas

DESCRIPTION DES SIGNAUX DU MPU :

- Horloge : 2 phases d'horloge $\phi 1$ et $\phi 2$ sans recouvrement sont nécessaires au fonctionnement du MPU
 - Si $\phi 1$ est à 1 : traitement interne du MPU
 - Si $\phi 2$ est à 1 : Le MPU travaille avec l'extérieur (mémoires, périphérique)
- R/\overline{W} : Cette sortie est à trois états. Indique aux circuits périphériques et mémoires que le MPU est soit dans la lecture $R/\overline{W} = 1$, soit dans l'état d'écriture $R/\overline{W} = 0$. Au repos, l'état normal est haut (1). Elle est en état de haute impédance quand le MPU est à "l'arrêt".

TABLE 6 - HEXADEcimal VALUES OF MACHINE CODES

00	.		40	NEG	A		80	SUB	A	IMM	C0	SUB	B	IMM
01	NOP		41	.			81	CMP	A	IMM	C1	CMP	B	IMM
02	.		42	.			82	SBC	A	IMM	C2	SBC	B	IMM
03	.		43	COM	A		83	.			C3	.		
04	.		44	LSR	A		84	AND	A	IMM	C4	AND	B	IMM
05	.		45	.			85	BIT	A	IMM	C5	BIT	B	IMM
06	TAP		46	ROR	A		86	LDA	A	IMM	C6	LDA	B	IMM
07	TPA		47	ASR	A		87	.			C7	.		
08	INX		48	ASL	A		88	EOR	A	IMM	C8	EOR	B	IMM
09	DEX		49	ROL	A		89	ADC	A	IMM	C9	ADC	B	IMM
0A	CLV		4A	DEC	A		8A	ORA	A	IMM	CA	ORA	B	IMM
0B	SEV		4B	.			8B	ADD	A	IMM	CB	ADD	B	IMM
0C	CLC		4C	INC	A		8C	CPX	A	IMM	CC	.		
0D	SEC		4D	TST	A		8D	BSR		REL	CD	.		
0E	CLI		4E	.			8E	LDS		IMM	CE	LDX		IMM
0F	SEI		4F	CLR	A		8F	.			CF	.		
10	SBA		50	NEG	B		90	SUB	A	DIR	D0	SUB	B	DIR
11	CBA		51	.			91	CMP	A	DIR	D1	CMP	B	DIR
12	.		52	.			92	SBC	A	DIR	D2	SBC	B	DIR
13	.		53	COM	B		93	.			D3	.		
14	.		54	LSR	B		94	AND	A	DIR	D4	AND	B	DIR
15	.		55	.			95	B.T	A	DIR	D5	BIT	B	DIR
16	TAB		56	ROR	B		96	LDA	A	DIR	D6	LDA	B	DIR
17	TBA		57	ASR	B		97	STA	A	DIR	D7	STA	B	DIR
18	.		58	ASL	B		98	EOR	A	DIR	D8	EOR	B	DIR
19	DAA		59	ROL	B		99	ADC	A	DIR	D9	ADC	B	DIR
1A	.		5A	DEC	B		9A	ORA	A	DIR	DA	ORA	B	DIR
1B	ABA		5B	.			9B	ADD	A	DIR	DB	ADD	B	DIR
1C	.		5C	INC	B		9C	CPX		DIR	DC	.		
1D	.		5D	TST	B		9D	.			DD	.		
1E	.		5E	.			9E	LDS		DIR	DE	LDX		DIR
1F	.		5F	CLR	B		9F	STS		DIR	DF	STX		DIR
20	BRA	REL	60	NEG		IND	A0	SUB	A	IND	E0	SUB	B	IND
21	.		61	.			A1	CMP	A	IND	E1	CMP	B	IND
22	BH	REL	62	.			A2	SBC	A	IND	E2	SBC	B	IND
23	BLS	REL	63	COM		IND	A3	.			E3	.		
24	BCC	REL	64	LSR		IND	A4	AND	A	IND	E4	AND	B	IND
25	BCS	REL	65	.			A5	BIT	A	IND	E5	BIT	B	IND
26	BNE	REL	66	ROR		IND	A6	LDA	A	IND	E6	LDA	B	IND
27	BEQ	REL	67	ASR		IND	A7	STA	A	IND	E7	STA	B	IND
28	BVC	REL	68	ASL		IND	A8	EOR	A	IND	E8	EOR	B	IND
29	BVS	REL	69	ROL		IND	A9	ADC	A	IND	E9	ADC	B	IND
2A	BPL	REL	6A	DEC		IND	AA	ORA	A	IND	EA	ORA	B	IND
2B	BMI	REL	6B	.			AB	ADD	A	IND	EB	ADD	B	IND
2C	BGE	REL	6C	INC		IND	AC	CPX		IND	EC	.		
2D	BLT	REL	6D	TST		IND	AD	JSR		IND	ED	.		
2E	BGT	REL	6E	JMP		IND	AE	LDS		IND	EE	LDX		IND
2F	BLE	REL	6F	CLR		IND	AF	STS		IND	EF	STX		IND
30	TSX		70	NEG		EXT	B0	SUB	A	EXT	F0	SUB	B	EXT
31	INS		71	.			B1	CMP	A	EXT	F1	CMP	B	EXT
32	PUL	A	72	.			B2	SBC	A	EXT	F2	SBC	B	EXT
33	PUL	B	73	COM		EXT	B3	.			F3	.		
34	DES		74	LSR		EXT	B4	AND	A	EXT	F4	AND	B	EXT
35	TXS		75	.			B5	BIT	A	EXT	F5	BIT	B	EXT
36	PSH	A	76	ROR		EXT	B6	LDA	A	EXT	F6	LDA	B	EXT
37	PSH	B	77	ASR		EXT	B7	STA	A	EXT	F7	STA	B	EXT
38	.		78	ASL		EXT	B8	EOR	A	EXT	F8	EOR	B	EXT
39	RTS		79	ROL		EXT	B9	ADC	A	EXT	F9	ADC	B	EXT
3A	.		7A	DEC		EXT	BA	ORA	A	EXT	FA	ORA	B	EXT
3B	RTI		7B	.			BB	ADD	A	EXT	FB	ADD	B	EXT
3C	.		7C	INC		EXT	BC	CPX		EXT	FC	.		
3D	.		7D	TST		EXT	BD	JSR		EXT	FD	.		
3E	WAI		7E	JMP		EXT	BE	LDS		EXT	FE	LDX		EXT
3F	SWI		7F	CLR		EXT	BF	STS		EXT	FF	STX		EXT

Notes. 1. Addressing Modes: A = Accumulator A IMM = Immediate
 B = Accumulator B DIR = Direct
 REL = Relative
 IND = Indexed

2. Unassigned code indicated by "

RESET : L'entrée RESET est utilisée pour mettre l'état initial et démarrer le MPU après une mise sous tension; ou après une panne d'alimentation; ou utilisée pour remettre à l'état initial la machine à tout moment. Le passage du niveau haut de cette entrée conduit le MPU à exécuter la séquence de démarrage dont l'adresse de début de programme se trouve en FFFE - FFFF.

IRQ : Cette entrée active au niveau bas, provoque une demande d'interruption. Le MPU termine l'instruction en cours avant de prendre en compte la demande IRQ; ceci si le bit masque d'interruption est à zéro. Alors le MPU sauvegarde ces cinq registres dans la pile; le bit masque d'interruption est mis à 1 pour éviter la prise en compte d'autres interruptions. Le MPU lit le vecteur FFF0 - FFF7 qui contient l'adresse du programme d'interruption.

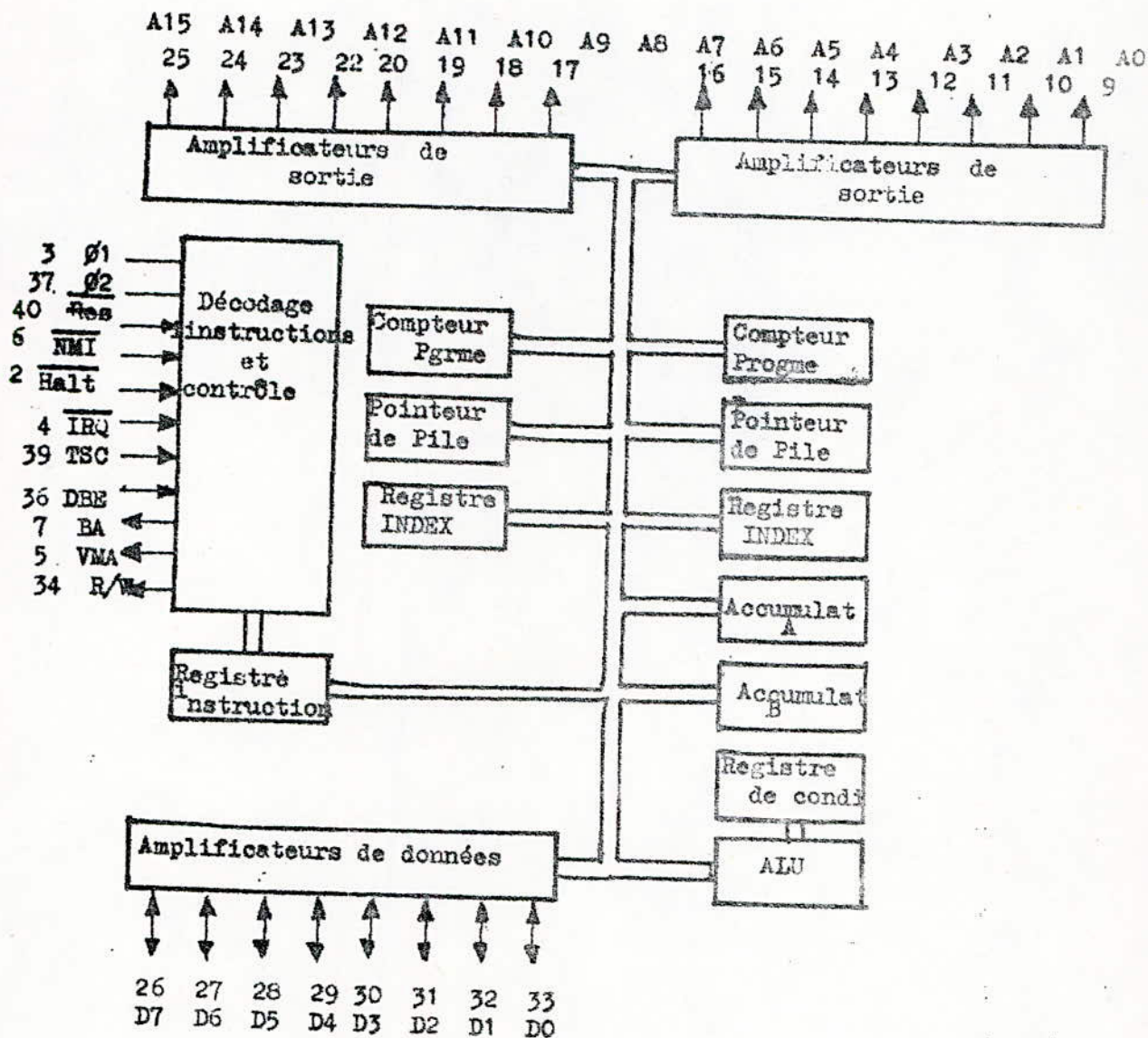
Quand il est nécessaire qu'un autre circuit commande le bus de données dans les applications d'accès direct mémoire par exemple, DBE sera tenu au niveau bas.

REGISTRES INTERNES DU MPU :

Le MPU a 3 registres de 16 bits et 3 registres de 8 bits tous accessibles par programme.

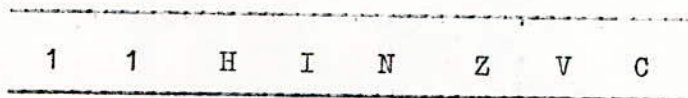
- Compteur programme : registre de 16 bits; contient l'adresse courante dans le programme
- Pointeur de pile : Registre de 16 bits, contient l'adresse de la position disponible d'une pile externe à fonctionnement "dernier entrée" "premier sorti" (LIFO)
- Registre Index : Registre de 16 bits; utilisé pour des transferts de données ou comme index dans le mode adressage indexé.
- Accumulateur A & B : Registres à 8 bits; contiennent les opérandes ou les résultats de l'unité arithmétique et logique.

Schéma fonctionnel du 6800



- Registre code condition :

Ce registre est à 8 bits; contient le bit masque d'interruption et cinq bits indiquant les résultats de l'ALU; négatif (n), zéro (Z) dépassement en complément à 2 (V); retenue du bit 7 (c) et demi retenue (retenue du bit 3) (H). Les bits 6 et 7 sont à 1.



- NMI (Non Masquable Interrupt)

C'est une interruption non masquable, semblable à IRQ, sauf que le MPU sauvegarde les contenus du PC, X, A, B, CC après avoir mis le bit masque d'interruption, se branche au vecteur situé en FFFC - FFFD.

- VMA (Valid memory address)

Elle indique aux périphériques qu'il y a une adresse valide sur le bus adresse (VMA = 1)

Sortie qui n'est pas à 3 états.

- HALT :

Le MPU sera arrêté quand cette entrée sera au niveau bas. Elle permet la commande de l'exécution du programme par une source externe.

Elle est prise en compte qu'après la fin de l'instruction en cours d'exécution (propriété d'anticipation).

- TSC (Three state control)

Lorsqu'elle est activée (niveau 1) met en état de haute impédance le bus adresse et la ligne R/W BA et VMA sont forcés à l'état bas tant que TSC = 1 pour éviter les lectures et écritures intempestives de tout circuit active par VMA. Par ailleurs, les phases d'horloge $\phi 1$ et $\phi 2$ doivent respectivement maintenus à 1 et à zéro.

Le microprocesseur étant un circuit dynamique, les horloges peuvent être arrêtées pendant une durée maximale 9,5 us sinon une perte d'information à l'intérieur du MPU peut se produire. TSC peut être utilisée pour un accès direct mémoire.

- BA (Bus available)

Ce signal est généralement à l'état bas; quand il passe à l'état haut, il indique que le microprocesseur s'est arrêté et que le bus adresse est disponible.

- DBE (Data bus enable)

Ce signal de commande trois états pour le bus données du MPU. Il active les sorties du bus données lorsqu'il est à l'état haut. Cette entrée sera généralement commandée par la phase ϕ 2 de l'horloge.

- Buffer ou amplificateur de bus :

Chaque ligne du bus adresses, données ou de contrôle ne peut commander qu'une charge TTL. Pour délivrer un courant supérieur à cette charge, ces bus sont amplifiés par des buffers 8 T26 ou 8T 95 à 3 états. Ces buffers jouent le rôle d'interface d'adaptation, d'amplification, de protection et surtout d'isoler les bus d'adresses, de données, de lignes de commande ou de contrôle.

- Les buffers 8 T 26 :

Le bus de données doit être amplifié dans les 2 sens; écriture et lecture car selon que le up reçoit ou transmet une donnée, les lignes correspondantes sont entrantes ou sortantes.

L'EXORCISER

L'EXORCISER, avec son programme moniteur, l'Exbug est utilisé pour évaluer ou mettre au point un programme ou un système en développement.

L'Exbug permet à l'utilisateur de :

- * Charger son programme dans l'EXORCISER
- * Vérifier que son programme est bien chargé
- * Sortir le contenu d'une zone mémoire sur télétype (PRNT)
- * Utilisant la fonction MAID (Motorole's Active Interface Debug)

Il peut tester et dérouler un programme soit en entier soit pas à pas

* Fonction Abort :

Si l'utilisateur appuie sur la fonction ABORT, le programme de l'utilisateur est arrêté et le système revient sous Exbug, après avoir affiché les contenus du compteur programme, registre index, accumulateur act B, registre conditions et pointeur de pile, une interruption NMI est utilisée.

* Fonction MAID :

- Cette fonction permet d'examiner le contenu des mémoires
- de calculer la valeur pour l'adressage relatif
- d'examiner et changer la valeur contenue dans les registres internes du MPU
- d'insérer et déplacer un point fin de programme dans le programme (déroulement n instructions par n instructions)
- d'arrêter le programme à une adresse déterminée
- de faire la conversion décimal-octal - hexadécimal

La valeur maximale de cette conversion est 65535 en décimal soit FFFF en hexadécimal.

ORGANISATION MEMOIRE

Le système de développement étant l'exerciser l'organisation est comme suit :

	FFFF
RAM	FF00
	FCFF
PROM	FCFC
PIA	FCF8
ACIA	FCF4
	FBFF
EXBUG	FC00
Pour les programmes de l'utilisateur	
	0000

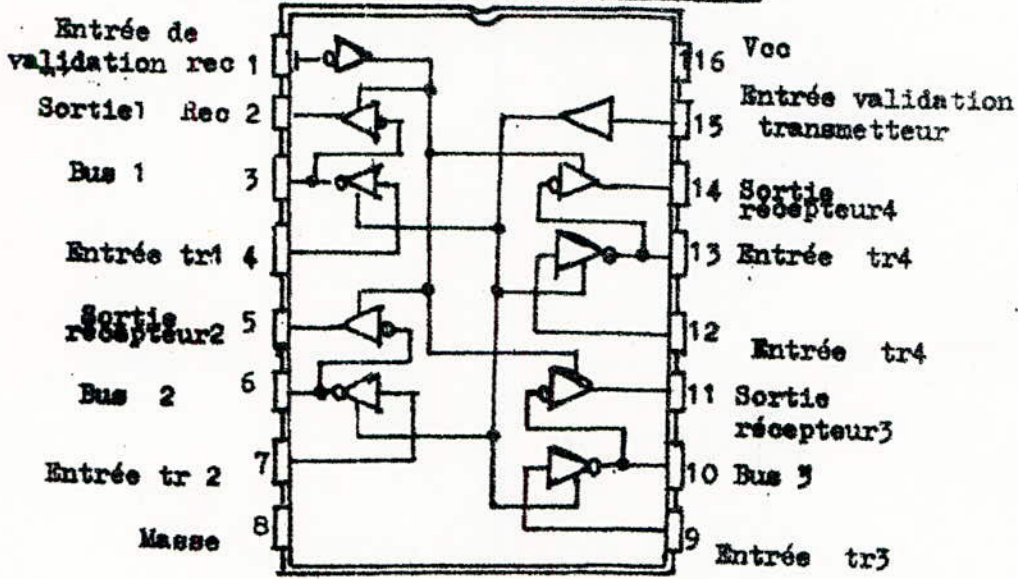
- Tableau des commandes sous MAID

Commande MAID	DESCRIPTION
n/ n/n;0	Affiche le contenu de la mémoire n donne la valeur pour aller de n à n dans l'adressage relatif
n ; V	Insère un arrêt dans l'adresse n
n ; G	Exécute le programme à partir de n
; n	Exécute une instruction à partir de l'instruction pointé par le compteur programme
N	Idem
n ; N	Exécute n instructions à partir de l'instruction pointée par le comp- teur programme
§ n =	Convertie le nombre décimal n en hexadécimal Convertie le nbre hexadécimal n en décimal Convertie le nbre octal n en hexadécimal

Caractéristiques	Symboles	MC 6844		unités
		Min	Max	
\overline{TRQ} Temps de préétablissement $\phi 2$ DMA Front montant $\phi 2$ DMA Front descendant	t_{QS1} t_{QS2}	120 210	— —	ns ns
\overline{TRQ} Temps de maintien $\phi 2$ DMA Front montant $\phi 2$ DMA Front descendant	t_{TQH1} t_{TQS2}	20 20	—	ns ns
DGNT Temps de préétablissement	t_{DGS}	155	—	ns
DGNT Temps de maintien.	t_{DGH}	10	—	ns
Temps d'établissement des adresses en sortie ($\overline{AO:A15}$, R/\overline{W} , \overline{TxSTB})	t_{AD}	—	270	ns
Temps de maintien des adresses en sortie ($\overline{AO:A15}$, R/\overline{W} , \overline{TxSTB})	t_{AHO}	30 35	— —	ns ns
Temps d'établissement des adresses trois états $\overline{AO:A15}$, R/\overline{W}	t_{ATSD}	—	720	ns ns
Temps de recouvrement des adresses en 3 états	t_{ATSR}	—	430	ns
Temps d'établissement \overline{DRQH} , \overline{DRQT}	t_{DQD}	—	375	ns
\overline{TRAK} Temps d'établissement $\phi 2$ DMA Front descendant $\phi 2$ DMA Front montant	t_{TKD1} t_{TKD2}	— —	400 190	ns ns
$\overline{TRQ}/\overline{DENV}$ Temps d'établissement $\phi 2$ DMA Front descendant $\phi 2$ DMA Front montant	t_{DED1} t_{DED2}	— —	300 190	ns ns

Caractéristiques dynamiques du DMAC (LEGENDE)

BUFFER BIDIRECTIONNEL: MC6880 ou 8T26

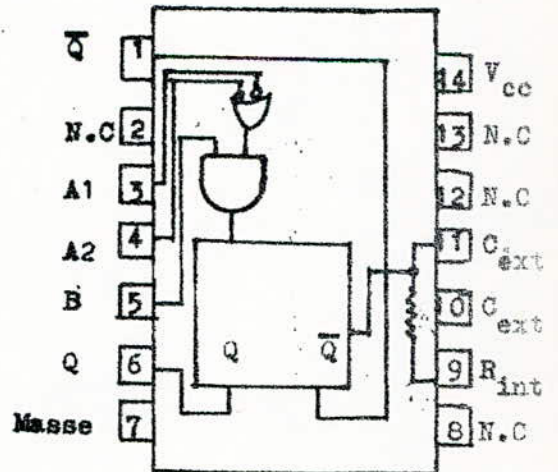


tr=transmetteur
rec= récepteur

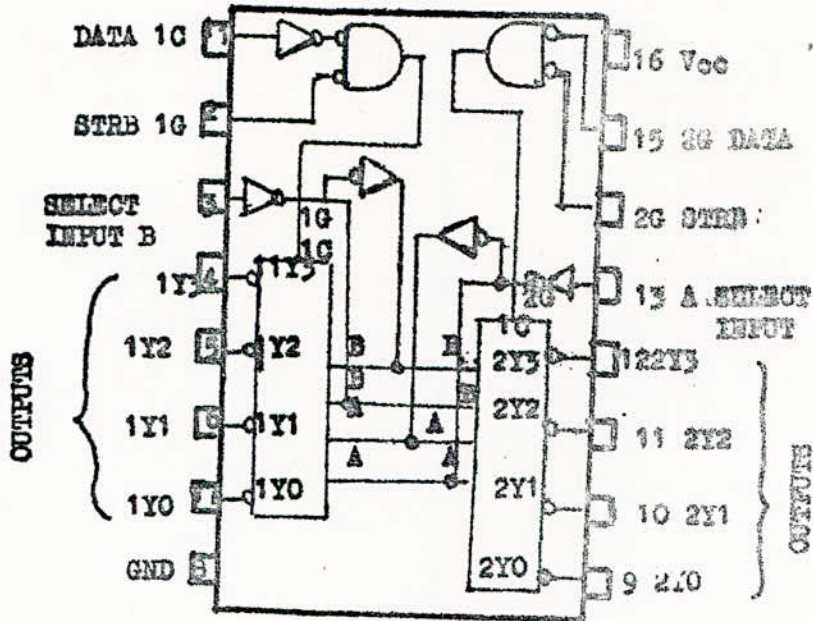
MONOSTABLE 74 121

A1	A2	B	Q	\bar{Q}
L	X	H	L	H
X	L	H	L	H
X	X	L	L	H
H	H	X	L	H
H	↓	H	[Pulse]	[Pulse]
↓	H	H	[Pulse]	[Pulse]
↓	↓	H	[Pulse]	[Pulse]
L	X	↑	[Pulse]	[Pulse]
X	L	↑	[Pulse]	[Pulse]

Table de fonctionnement



DECODEUR - DEMULTIPLEXEUR SE 74 155



INPUTS				OUTPUTS			
SELECT	STROBE	DATA		1Y0	1Y1	1Y2	1Y3
B	A	1G	1C	H	H	H	H
L	L	L	H	L	H	H	H
H	L	L	H	H	H	L	H
L	H	L	H	H	L	H	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		2Y0	2Y1	2Y2	2Y3
B	A	2G	2C	H	H	H	H
L	L	L	L	L	H	H	H
L	H	L	L	H	L	H	H
H	L	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

Diagramme des temps pour la commande trois états

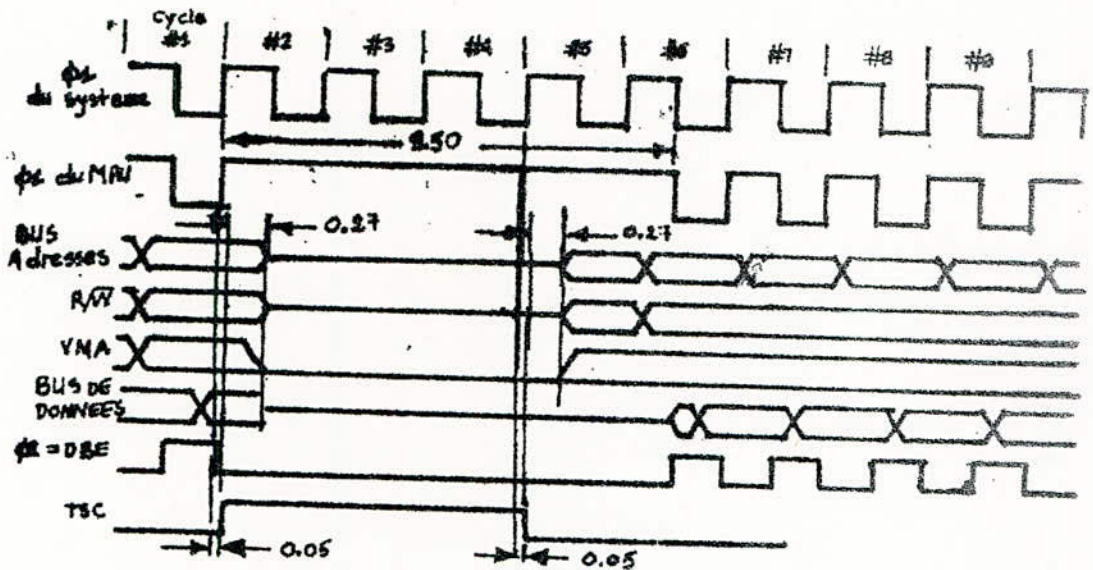
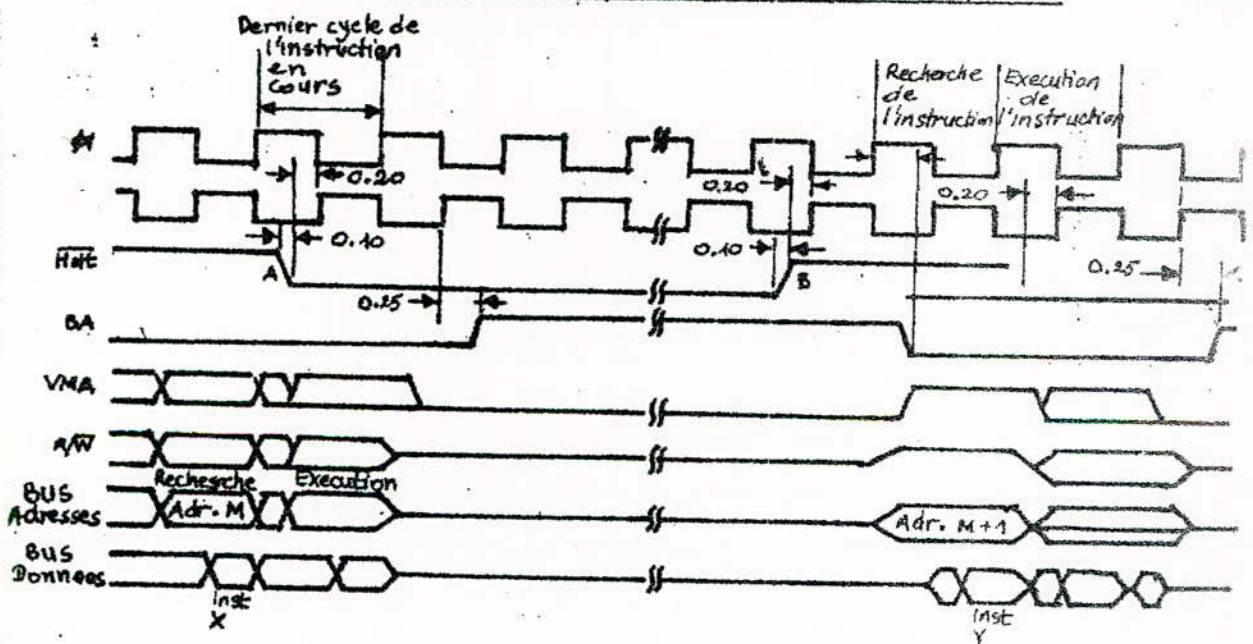


Diagramme des temps pour HALT et l'exécution d'une seule instruction pour la mise au point du système



Bibliographie

- R.LYON-CAEN & J.M. CROZET (Masson 1978)
-Microprocesseurs et microordinateurs
- B. GIROD & R. DUBOIS (Eyrolles 1980)
- Au coeur des microprocesseurs
- R. ZAKS (Sybex 1980)
- Les techniques d'interface aux microprocesseurs
- EFCIS (Thomson - CSF)
- Catalogue sur les microprocesseurs et les
mémoires. (1980)
-Documents techniques. (Motorola 75/80)
- THESE
-Analyseur multicanaux à base du MC 6800
(Juin 1982)

NOTES

- Si la mémoire n'utilise pas le signal de validation VXA (valid memory address) l'emploi d'une autre ligne est nécessaire (ligne \overline{F})
- Si l'instruction WAI et le mode HALT sont mis en jeu simultanément la ligne \overline{TRQ} est déviée, ceci pour favoriser la requête DMA par rapport à \overline{TRQ} .
- L'horloge du MPU ne dispose que d'une entrée relative aux requêtes de rafraichissement, pour pouvoir utiliser le mode TSC, les requêtes RR (refresh request) et DRQT sont combinées à l'aide d'une porte AND, et la ligne RR est déviée (ligne 26).

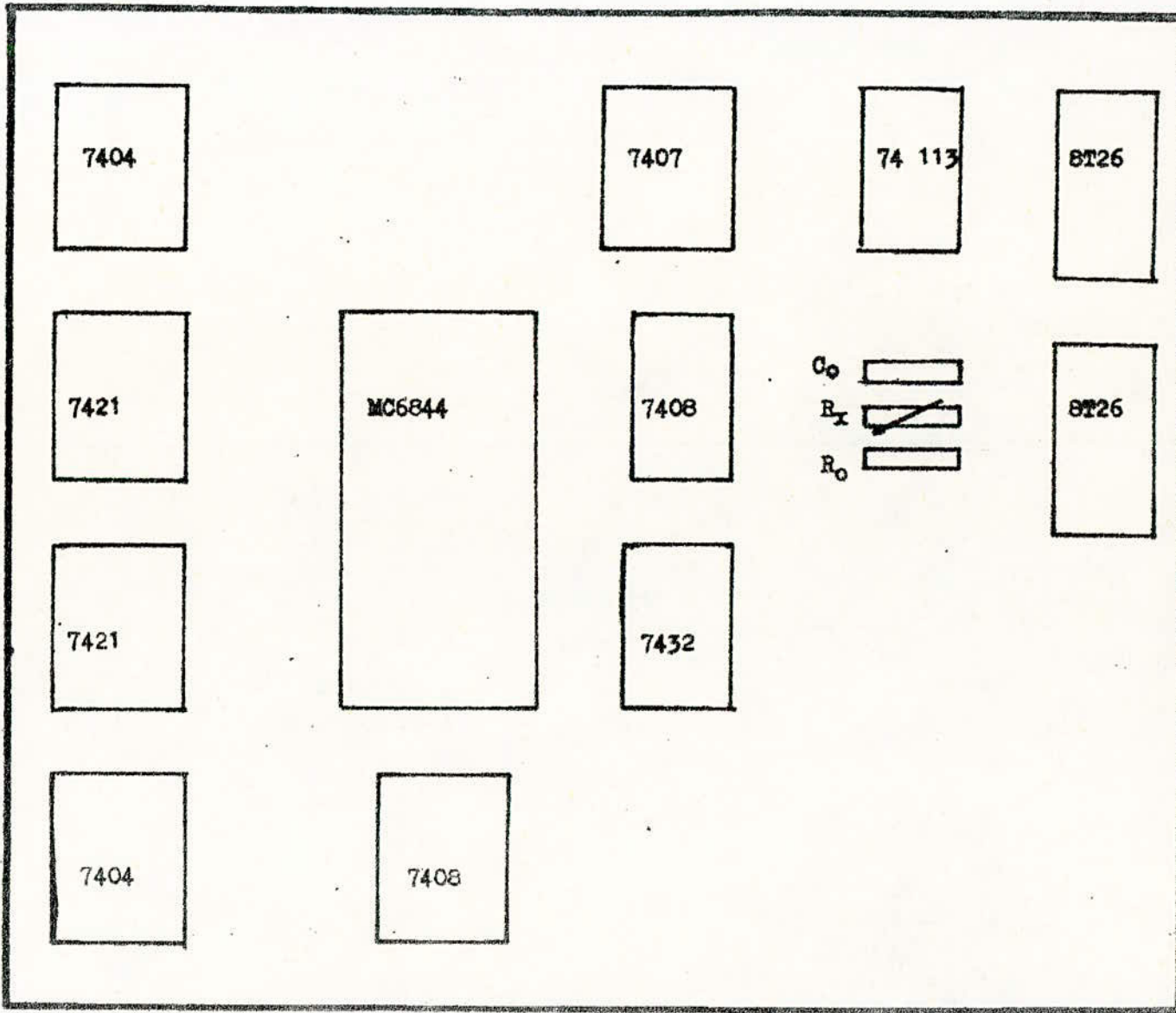


Fig: 19

SCHEMA D'IMPLANTATION DES COMPOSANTS SUR LA CARTE D M A

SCHEMA DE LA CARTE DMA

Compos ^{ts}	REF
B1-B2	8T26
B3	7407
U1	74121
O1	7432
A1-A2	7408
A3-A4	7421
I1-I2	7404
DMAC	MC6844

