

U.S.T.H.B.

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT D'ELECTRONIQUE

PROJET DE FIN D'ETUDES

FILIERE D'INGENIEUR EN ELECTRONIQUE



## **ETUDE DU MICROPROCESSEUR**

### **C. MOS : MC 146805E2**

#### **APPLICATION A LA RADIOPROTECTION**

Sujet proposé par :

Mr. A. BOURKEB

Mr. A. SAIDJ

Suivi par :

Mr. A. SAIDJ

Etudié par :

Melle : BOUDRIES Rafika

Mr : ZOUAOUI EI - hadi

## REMERCIEMENTS .

Nous tenons à exprimer nos plus vifs remerciements à Monsieur SAIDJ pour nous avoir suivi et conseillé tout au long de notre travail. Qu'il veuille bien trouver dans ces lignes l'expression de notre profonde reconnaissance .

Nous remercions Monsieur BOURKEB pour nous avoir proposé ce sujet, Monsieur HERRY et tout le personnel du laboratoire d'électronique pour leur aide et le milieu de travail sympathique qu'il nous ont offert, MM. BENDALI et FELLOUH ainsi que Mesdemoiselles BOUZIDA et HAFID pour leurs explications .

Nous remercions également nos amis, Mademoiselle Adel Nor-El-Hayet et M<sup>r</sup> Hadj Aissa Boualem, pour leur aide matérielle et morale.

Que tous ceux qui ont contribué à l'élaboration de ce travail trouvent ici, l'expression de notre sincère gratitude .

# S O M M A I R E

Introduction .

Chapitre I : PRESENTATION DU MC 146805 E2 .

1-1 Caracteristiques Hardware

1-2 Structure interne .

1-3 Description des fonctions des pins .

1-4 Organisation mémoire .

1-5 Le timer

1-6 Initialisation du MPU .

1-7 Interruptions

1-8 Programmation

. Logiciel

. Modes d'adressage .

1-9 Position du MC 146805E2 dans la famille des microprocesseur

Chapitre II REALISATION DU MICROORDINATEUR DE BASE .

2-1 Schema synoptique du montage .

2-2 La mémoire .

2-3 Démultiplexage des lignes adresses/données .

2-4 Décodage de la mémoire .

2-5 Autres circuits utilisés .

. MC 8T95 .

. Quartz

. Bascule RS .

2-6 Tests .

.../...

## Chapitre III APPLICATION A LA RADIOPROTECTION .

### Introduction .

#### 3.1 Notions sur la radioprotection .

- 1 - Rayonnement
- 2 - Détection
- 3 - Unités et normes de sécurité .
- 4 - Dose d'irradiation .

#### 3.2 Réalisation du circuit de comptage .

- 1 - Schéma synoptique
- 2 - Multiplexeur MC 14051
- 3 - Le comparateur **LM** 339 .
- 4 - Le compteur M 14040 .
- 5 - Traitement du comptage .
- 6 - Programmation .

### Conclusion .

## I N T R O D U C T I O N

Le microprocesseur, de par sa souplesse d'utilisation, couvre un domaine d'application très vaste . Cela explique le très vif intérêt qu'il a soulevé depuis quelques années. La plupart des microprocesseurs monolithiques font appel aux technologies P.MOS et N.MOS. Les derniers en date sont les microprocesseurs C.MOS (complementary Metal Oxyde Semi-conducteur) qui se caractérisent essentiellement par une grande densité d'intégration . Ils offrent également l'avantage d'une grande économie en consommation.

Etant donné ces particularités, les microprocesseurs C.MOS sont utilisés dans l'automatisme, la surveillance de processus industriels, le matériel transportable , etc ...

Dans ce cadre, le laboratoire d'électronique du C.E.N nous a confié l'étude du microprocesseur C.MOS MC 146805E2 , la réalisation d'un microordinateur et son application à la radio protection .

L'accélérateur de particules nucléaires du C.E.N lorsqu'il est en fonctionnement, présente un danger d'irradiation pour le personnel. L'application des normes de sécurité en matière de protection contre les radiations impose la mise en place d'équipements appropriés en fonction de la nature des particules à détecter, de l'intensité possible de rayonnement, des nécessités d'enregistrement, du déclenchement d'alarme à un seuil prédéterminé .

Les chapitres I et II de notre travail sont consacrés à l'étude du MC 146805E2 et à la réalisation du microordinateur basé autour de celui-ci .

.../...

Dans le ~~troisième~~ chapitre nous introduisons des notions sur la radioprotection afin de réaliser le montage de cette application .

Notre système est basé sur le taux de comptage des particules (correspondant à la dose d'irradiation) enregistré par les détecteurs placés dans la salle de l'accélérateur . Le microordinateur effectuera ensuite, la comparaison de ce comptage avec des seuils de dose maximale admissible, et commandera, suivant le résultat de celle-ci, trois signalisations d'alarme (accès autorisé, réglementé , ou interdit ).

PRESENTATION DU MC 146805E2 .

1-1- Caracteristiques Hardware .

Le MC 146805E2 est un microprocesseur de la famille du MC6805; ce MPU se présente sous la forme d'un boîtier DIL(Dual in line) de 40 broches. Ce microprocesseur est un circuit réalisé en technologie CMOS . Il traite des mots de 8 bits et possède une capacité d'adressage de 8 K.octets . IL contient une unité centrale de traitement(CPU) une memoire RAM de 112 octets, 16 lignes bidirectionnelles d'entrées/Sorties, une horloge interne, un timer programmable, un bus multiplexé de données et d'adresses et un bus de commande . La tension d'alimentation peut varier entre 3 v et 6 v . Ce microprocesseur se caracterise par une faible consommation (35mw) .

Son horloge interne est pilotée par un quartz dont la fréquence peut varier de 1 MHz à 5 MHz .

1-2 Structure interne .

Le MC 146805E2 dispose en plus de l'unité centrale(CPU) et de l'unité arithmetique et logique(UAL) propres à chaque microprocesseur des parties suivantes :(voir fig 1a ) .

1-2-1 les registres .

Le MPU contient 5 registres accessibles au programmeur(voir fig- 2 ) . L'ordre d'empilement de ces registres est décrit par la figure 3

Nous allons d'ecrire la fonction et la capacité de chacun de ces registres .

PIN ASSIGNMENTS



Fig.1b - Brochage du MC 146805E2 .

MC146805E2 MICROPROCESSOR BLOCK DIAGRAM

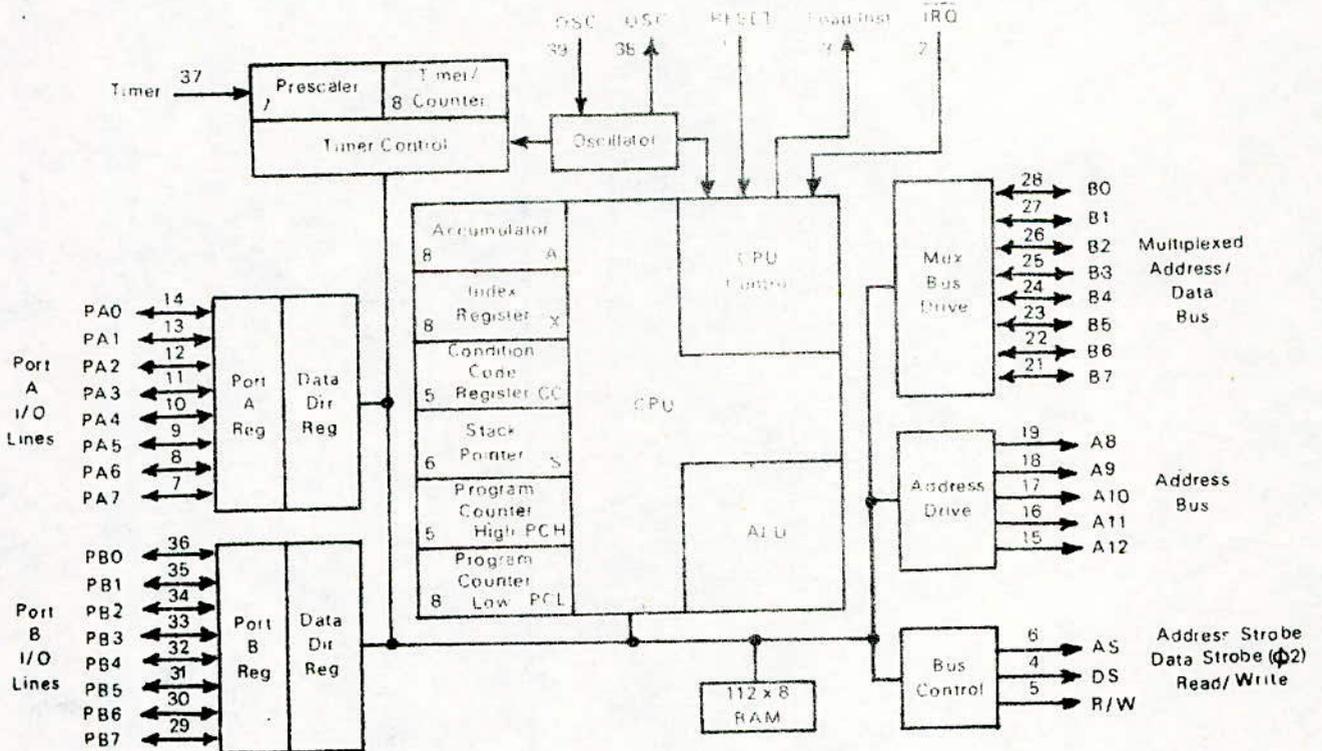


Fig.1a - STRUCTURE INTERNE DU MC 146805E2 .

- Accumulateur (A) : - L'accumulateur est un registre de 8 bits utilisé pour contenir les opérandes et les résultats de calculs arithmétiques ou manipulation de données .
  
  - Registre index (X) :- C'est un registre de 8 bits utilisé dans le mode d'adressage indexé. Il contient une adresse de 8 bits qui peut être additionnée à une valeur de déplacement pour donner une adresse effective. Ce registre peut être aussi utilisé pour des manipulations de données lorsque les instructions de lecture/modification/écriture sont utilisées. On peut l'utiliser comme zone mémoire temporaire lorsqu'il n'est pas utilisé par la séquence en cours d'exécution .
  
  - Compteur programme(P-C) :- Ce registre de 13 bits contient l'adresse de l'instruction suivante à exécuter par le microprocesseur.
  
  - Pointeur de pile (S.P) :- Le pointeur de pile est un registre de 13 bits qui contient l'adresse de la position mémoire suivante disponible sur la pile . Initialement, le pointeur de pile est positionné à l'adresse 007F et est décrémenté lorsque des données sont empilées, et incrémenté lorsque des données sont dépilées .
- Les 7 bits de poids fort du S.P sont mis à 0 000001 en permanence. Lors d'une initialisation du M.P.U(reset automatique ou reset externe), le pointeur de pile est positionné à l'adresse 007F . Pendant les interruptions et les appels de sous-programmes, les données peuvent-être empilées jusqu'à l'emplacement mémoire 0040 .

.../...

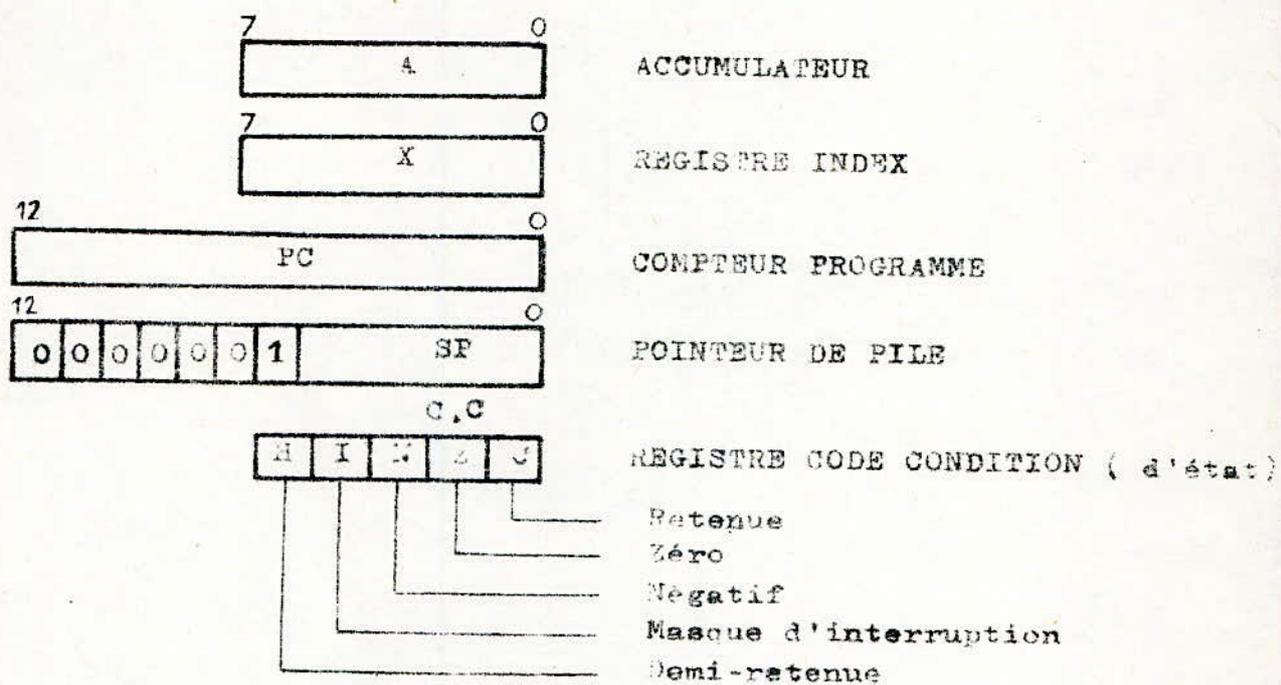


Fig.2 - REGISTRES INTERNES DU PC 14680582.

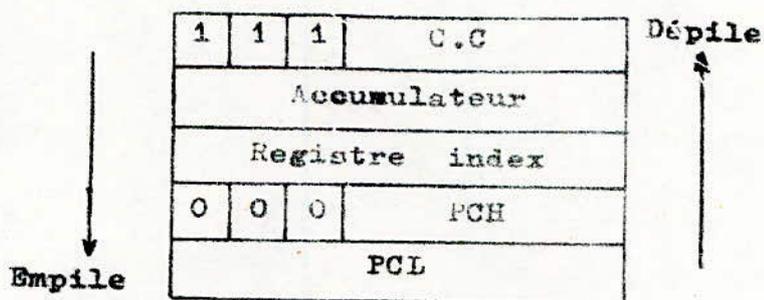


Fig.3 - ORDRE D'EMPILEMENT DES INTERRUPTIONS .

Registre Code Condition (CC) :- C'est un registre de 5 bits dans lequel chaque bit est utilisé comme indicateur de la dernière instruction exécutée . Ces bits peuvent-être testés individuellement par programme et une action spécifique peut être prise en fonction de leur état (fig 2 ) .-

Les bits du CC sont :-

Demi retenue (H) :- Utilisé lors d'opérations arithmétiques (ADD,ADC) pour indiquer une retenue entre les bits 3 et 4 de l'ALU.

Masque d'interruption(I):- Ce bit est mis à 1 pour masquer les interruptions externe et du timer. Si une interruption survient pendant que ce bit est à "1" , elle est mémorisée et est traitée aussitôt que ce bit est mis à "0" .

Négatif (N):- Utilisé pour indiquer que le résultat de la dernière instruction arithmétique ou logique a été négatif .

Zéro (Z):- Utilisé pour indiquer que le resultat de la dernière instruction arithmétique ou logique a été zéro .

Retenue(C):- Utilisé pour indiquer qu'une retenue ou un report en sortie de l'UAL, est survenu lors de la dernière opération arithmétique .

### 1.2.2 La RAM

Le MPU contient une mémoire RAM(Random Access Memory ) organisée en 112 octets . Elle est située à l'adresse 0010 jusqu'à 007F . Les positions memoires comprises entre 0040 et 007F sont réservées pour la pile .

.../...

### 1.2.3 Lignes d'entrées/Sorties .

Le MC 14 6805 E2 comporte deux (02) ports d'entrées/Sorties de 8 lignes chacun (~~port A et port B~~) . Ces lignes sont programmées par l'intermédiaire du registre ~~directions de données(D.D.R)~~ pour être soit entrantes, soit sortantes. ( voir details dans la description des fonctions des pins" Port A, port B" .).

### 1.2.4 Timer

Le M.P.U contient un timer programmable et un précompteur sélectionné par Software. Un registre de controle de 8 bits est associé au timer (timer control register : TCR) et sert à commander les differents modes de celui-ci , ses interruptions et le choix de l'entrée du précompteur .

Le timer étant un élément important du MC 146805 E2 , nous allons le decrire dans le chapitre 1.5 .

### 1-3 DESCRIPTION DES FONCTIONS DES PINS .

Le brochage du MC 14 6805 E2 est donnée par la figure 1 b .

Nous allons décrire les fonctions des 40 pins du MPU .

$V_{DD}$  et  $V_{SS}$  :- Ce sont les entrées d'alimentation du boîtier.  $V_{DD}$  constitue le pin d'alimentation et  $V_{SS}$  la masse .

**IRQ** : Une demande d'interruption externe peut être générée en agissant par un niveau bas ("0") sur ce pin. (voir détails dans la partie Interruptions ) .

**RESET** : Cette entrée permet de démarrer le microprocesseur après une mise sous tension . (détails dans la partie Interruptions ) .

**TIMER** : L'entrée TIMER est utilisée pour décrémenter le timer (temporisateur) interne .

**A S (Adresse Strobe)** :- AS est une sortie utilisée pour indiquer la présence d'une adresse sur le bus multiplexé. Elle est donc utilisée pour démultiplexer les 8 premières bits d'adresse du bus de données. Cette sortie est capable d'attaquer une charge TTL et 130 pF et est disponible une fois tous les 5 cycles d'horloge. (voir timing fig 4 ) .

**D S (Data Srobe)** :- Cette sortie est utilisée pour le transfert des données de ou vers les périphériques ou les mémoires. DS se présente lorsque le MPU fait une lecture ou une écriture de données (voir tableau 1 et le timing de la figure 4 ) . Cette sortie peut attaquer une charge T.T.L et 130 pF .

**R/W (Read/Write)** :- La sortie  $R/\bar{W}$  indique la direction de transfert des données pour la mémoire interne et les registres d'entrées

.../...

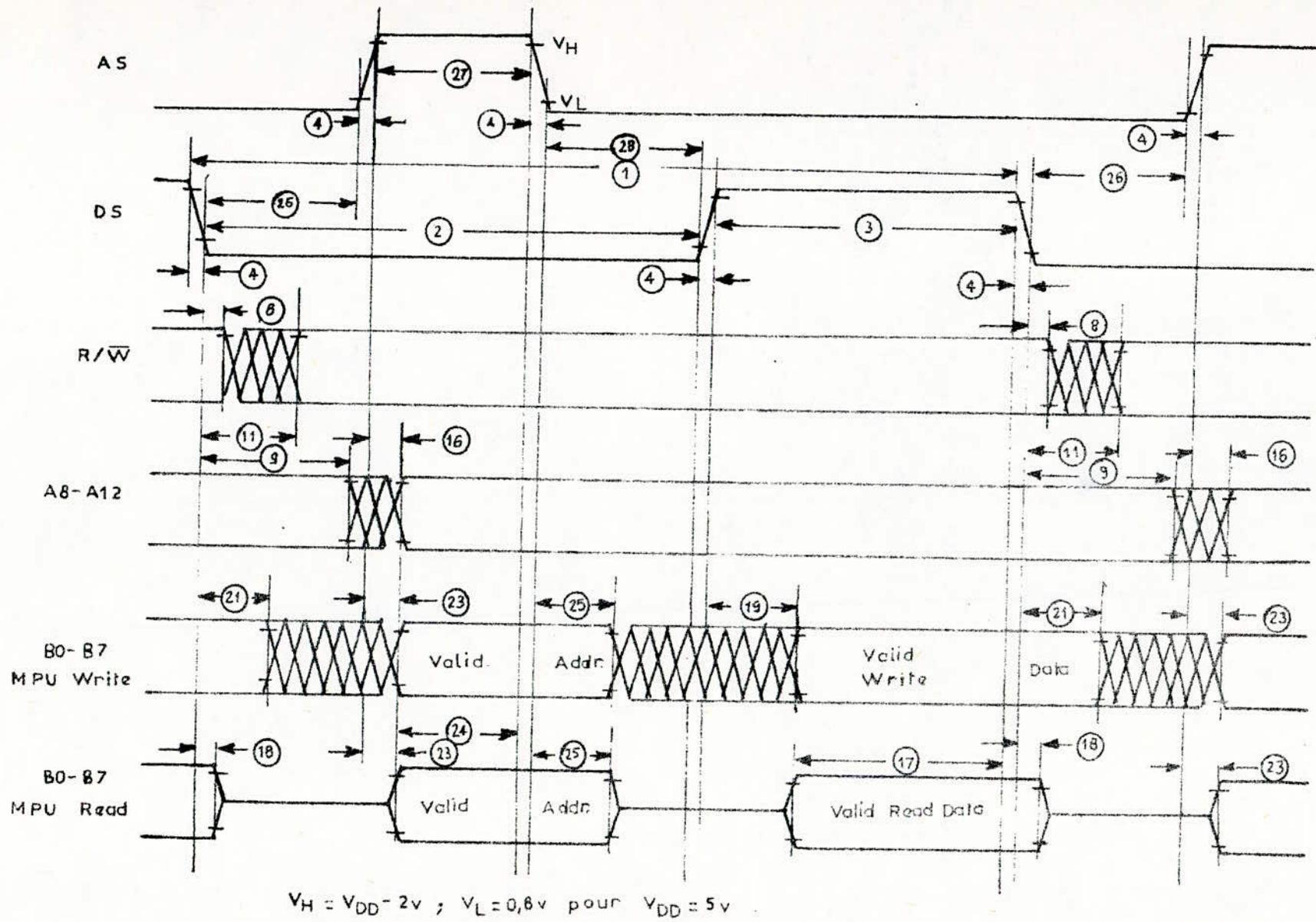


Fig.4 - MC I4680532 BUS TIMING .

NUM	Caractéristiques	symbole	fosc = 5 MHz VDD = 5.0V ± 10% ATT et 130 pF		Unité
			Min	Max	
1	Temps de cycle	t <sub>cyc</sub>	1000	-	ns
2	Largeur de l'impulsion, DS bas	PW <sub>EL</sub>	560	-	ns
3	Largeur de l'impulsion, DS haut	PW <sub>EH</sub>	375	-	ns
4	Transition d'horloge	t <sub>r</sub> , t <sub>f</sub>	-	30	ns
{	Temps de maintien R / $\bar{W}$	t <sub>erwh</sub>	10	-	ns
9	Temps de maintien des adresses non multiplexées	t <sub>ah</sub>	100	-	ns
11	Temps de retard de $\bar{R}/\bar{W}$ à partir du front descendant de DS	t <sub>ad</sub>	-	300	ns
16	Temps de retard des adresses non multiplexées à partir du front montant de AS	t <sub>adh</sub>	0	100	ns
17	Temps d'accès aux données (Lecture)	t <sub>dsr</sub>	115	-	ns
{	Temps de maintien de la lecture des Données	t <sub>dhr</sub>	0	160	ns
19	Temps de retard d'écriture des données	t <sub>ddw</sub>	-	120	ns
21	Temps de maintien d'écriture des données	t <sub>dhw</sub>	55	-	ns
23	Temps de retard des adresses multiplexées à partir du front montant de AS	t <sub>bhd</sub>	0	120	ns
24	Durée de validation des adresses multiplexées au front descendant de AS	t <sub>asl</sub>	55	-	ns
25	Temps de maintien des adresses multiplexées	t <sub>ahl</sub>	60	180	ns
26	Temps de retard entre le front descendant de DS et le front montant de AS	t <sub>asd</sub>	160	-	ns
27	Largeur de l'impulsion, AS haut	PW <sub>ASH</sub>	175	-	ns
{	Temps de retard entre le front descendant de AS et le front montant de DS	t <sub>ased</sub>	160	-	ns

Tableau I : Caractéristiques du timing de la figure 4 .

/Sorties, les périphériques et les mémoires externes. Cette sortie est utilisée pour indiquer au périphérique choisi quand le MPU est prêt pour lire ou écrire la donnée du prochain DS .  $R/\overline{W}$  est capable d'attaquer une charge TTL et 130 pF .

A8 - A12 :- Les lignes de sortie A8 -A12 constituent le bus unidirectionnel d'adresses non multiplexées . Ces lignes peuvent attaquer une charge TTL et 130 pF.

B0-B7 :- Ce sont les lignes multiplexées bidirectionnelles d'adresses et de données . Une adresse ou une données est présente sur ce bus suivant que l'on ait un A.S ou un D.S .

Lorsqu'il y a un échange de données, ces lignes sont bidirectionnelles, et les données sont transférées de ou vers les mémoires ou périphériques suivant l'état du pin  $R/\overline{W}$  .

Ces lignes peuvent aussi attaquer une charge T.T.L et 130 pF .  
(voir timing en annexe)

OSC1 , OSC2 :- Ces broches fournissent l'entrée de commande du circuit horloge intégrée . Un quartz peut être connecté à ces pins et fournir l'oscillateur interne .

PA0.PA7 :- Ces 8 pins constituent les entrées/Sorties du port A.

Chaque ligne est programmée individuellement pour être soit entrante, soit sortante , sous la commande du logiciel par le registre direction des données (DDR).(voir figure 5 ) .

Chaque pin d'entrées/Sorties est programmée en sortie lorsque le bit du D.D.R correspondant est mis à "1", en entrée quand ce bit est mis à "0" .

.../...

Pendant le reset automatique et le reset externe (RESET) toutes les lignes sont mises en entrée. (zero dans le registre DDR).

~~Ces sorties peuvent attaquer une charge standard TTL et 50 pF.~~  
Le registre D.D.R est un registre de lecture et écriture.

PB0-PB7 :- Ces 8 pins constituent les entrées sorties du port B. Ils ont la même description que celle des lignes du port A .

LI (Load instruction) :- Cette sortie est utilisée pour indiquer la progression de recherche du prochain code operation. Le pin LI reste à l'état bas pendant l'interruption externe ou celle du timer .

Pour une operation normale, ce pin n'est <sup>pas</sup> connecte. Cette sortie peut attaquer une charge standard TTL et 50 pF.

Cristal :- Le circuit de la figure 6 est recommandé lors de l'utilisation d'un cristal . L'oscillateur interne doit être pilote par un quartz dont la fréquence de résonance se situe dans le gamme de fréquence spécifiée par  $f_{osc}$  .

Horloge externe :- Si on veut utiliser une horloge externe, celle-ci peut être reliée à l'entrée OSC1 avec OSC2 non connecté (fig 7).

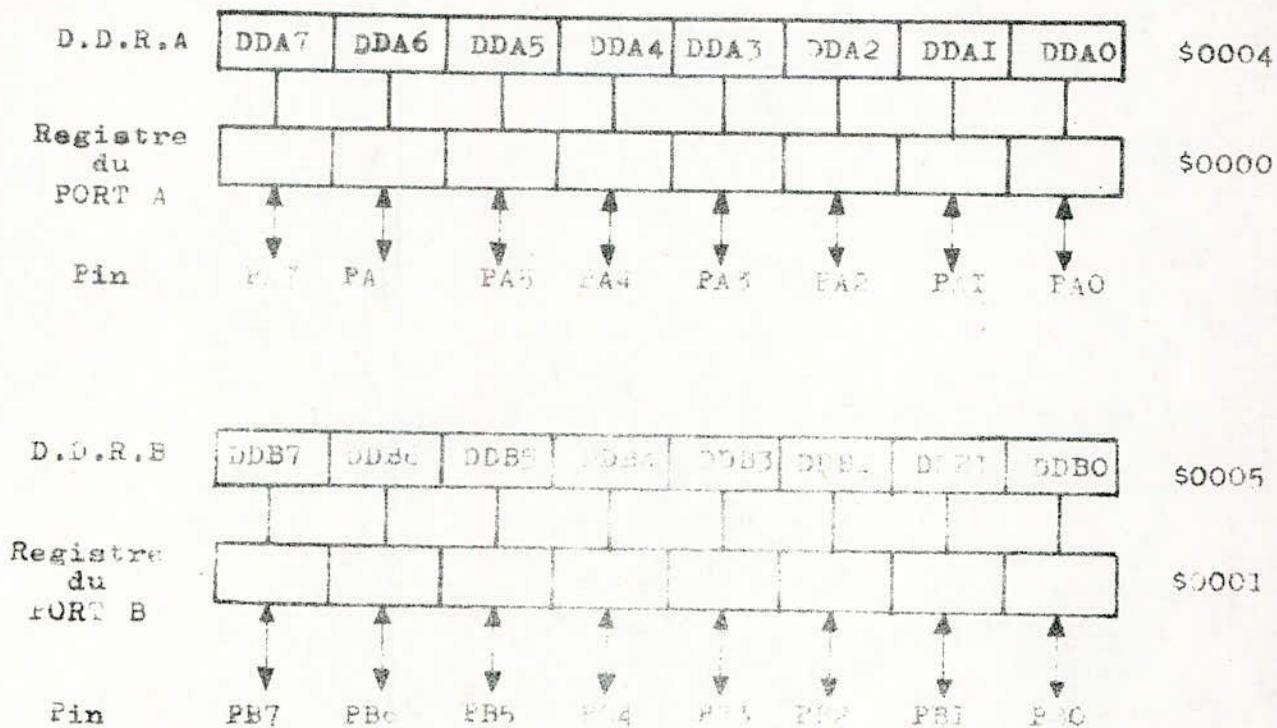


Fig.5 - REGISTRES DES PORTS A ET B.

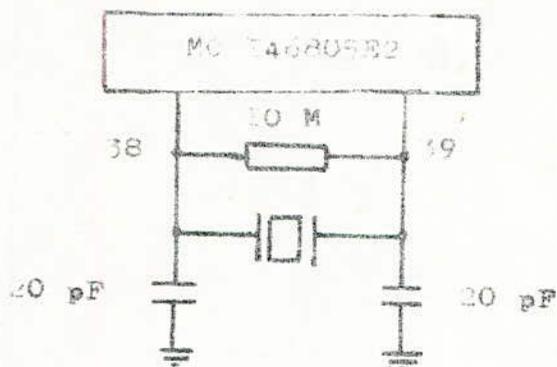


Fig.6 - CIRCUIT UTILISÉ POUR LE QUARTZ.

#### 1-4 Organisation memoire du MC 146805 E2

Le MC 14 6805 E2 a une capacité mémoire de 8 k octets .

Cet espace adresse est divisé en un espace pour la mémoire interne du microprocesseur et un espace pour la mémoire externe.(voir fig . 8) .

La première moitié de la page zéro , c'est à dire les premiers 128 octets de la mémoire, est allouée à la mémoire interne; elle contient les positions mémoires des ports d'entrées/sorties, du timer, et les 112 octets de la RAM .Le MPU peut lire ou écrire dans ces positions .

Les positions mémoires comprises entre 0040 et 007F sont destinées à la pile . La pile sert à sauvegarder les contenus des registres pendant les interruptions et les appels de sous-programmes.Donc un maximum de 64 octets de la RAM est disponible pour l'usage de la pile .

Toutes les positions mémoires se trouvant après 007F font partie de la mémoire externe .

Les positions 1FF6 à 1FFF de l'espace mémoire externe sont réservées pour les vecteurs d'interruptions et Reset(voir tableau 2).

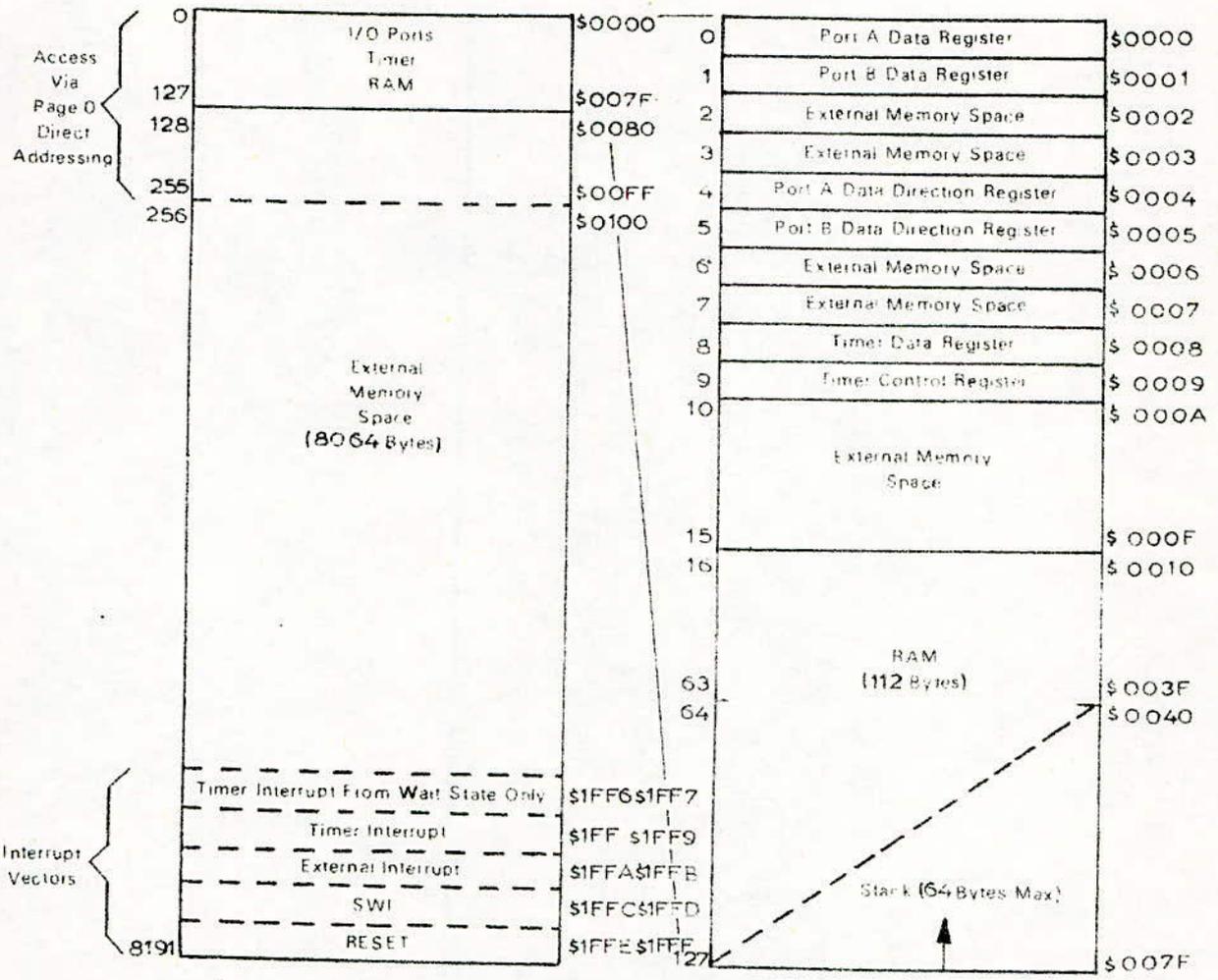


Fig. 8 - CONFIGURATION DE L'ESPACE MEMOIRE DU M.P.U .

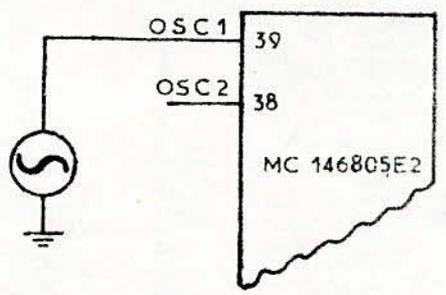


Fig.7 - CONNECTION D'UNE HORLOGE EXTERNE .

## 1-5 Le Timer .

Le timer du M.P.U contient un compteur programmable à 8 bits et un précompteur à 7 bits sélectionné par le software .

Le compteur est chargé sous controle du programme et décompte jusqu'à zéro . Lorsque le compteur décrémente jusqu'à zéro, le bit requête d'interruption du timer c'est-à-dire le bit du registre de controle du timer(TCR7) est mis à 1.

Le précompteur diviseur (7 bits) est utilisé pour prolonger la durée du timer. Les bits 0,1,2 du TCR sont programmés pour choisir la sortie appropriée du précompteur utilisée comme entrée du compteur .

Le compteur peut être lu à n'importe quel moment par le processeur sans perturber la séquence du comptage . Le bit requête d'interruption du timer(TCR7) reste à 1 jusqu'à sa mise à zéro par le Software . Si le bit masque d'interruption du timer(TCR6) et le masque d'interruption du registre code condition(I) sont tous les deux mis à zéro et  $TCR\ 7=1$  , le processeur reçoit une interruption . (Les détails seront traités dans la partie Interruptions).

Le bit TCR 7 peut être utilisé comme un bit indicateur dans un mode d'opération non interrompu , c'est-à-dire , lorsque  $TCR6=1$ .

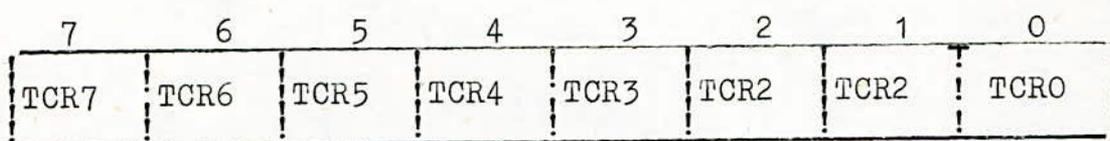
Le processeur ne peut pas écrire à l'interieure ou lire à partir du précompteur; cependant, son contenu peut être mis à zéro par le bit 3 du TCR . ( $TCR\ 3=1$ ) .

Les bits 4 et 5 du registre de controle du timer sont utilisés pour choisir le mode d'entrée du timer. Suivant la valeur écrite dans ces bits on peut avoir trois(03)modes opératoires et un mode de non validation de l'entrée du timer .

.../...

Le Schéma du timer est donné par la figure 9 .

### 1.5.1 Registre de controle du timer (T.C.R).



Le registre de controle du timer sert à commander les différents modes de celui-ci(timer), les interruptions, l'initialisation du précompteur et le choix de l'une de ses 8 entrées comme nous allons le voir.

Tous les bits de ce registre sauf le bit 3 (TCR3) sont des bits à lecture et écriture .

TCR7 : Bit requête d'interruption du timer .

Ce bit est utilisé pour indiquer lorsqu'il est à 1 une interruption du timer .

Il est mis à 1 chaque fois que le compteur décompte jusqu'à zéro, ou sous controle du programme, et est mis à zéro pendant le reset externe, le reset automatique, l'instruction STOP ou par programme .

TCR6 : Bit masque d'interruption du timer .

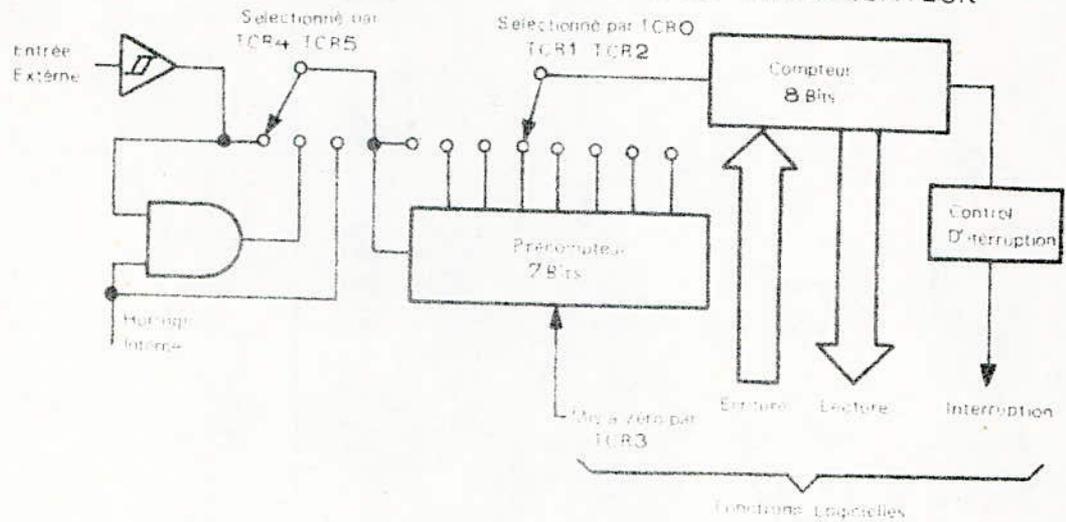
Lorsque ce bit est à 1 , l'interruption du timer n'est pas autorisée . Il est mis à 1 par le reset externe, le reset automatique, l'instruction STOP pu par programme. Ce masque peut être levé par programmation (ie : mis à zéro ; TCR6 = 0).

TCR5 et TCR4 :- Selectionne le mode du timer

TCR3 : Bit d'initialisation du précompteur .

.../...

• figure: 9 - DIAGRAMME FONCTIONNEL DU TEMPORISATEUR



TCR5	TCR4	Description
0	0	Horloge interne vers le Temporisateur
0	1	Le horloge interne et le pin du Temporisateur vers le Temporisateur
1	0	Entrées du Temporisateur inhibées
1	1	Le Pin du Temporisateur vers le Temporisateur

SELECTION DU MODE DU TEMPORISATEUR (TIMER) .

Précompteur			
TCR2	TCR1	TCR0	Resultat
0	0	0	+1
0	0	1	+2
0	1	0	+4
0	1	1	+8
1	0	0	+16
1	0	1	+32
1	1	0	+64
1	1	1	+128

Tableau. 3 - SELECTION DE LA SORTIE DU PRECOMPTEUR .

Ce bit , lorsqu'il est mis à 1, nous permet de mettre à zéro le précompteur .

TCR2,TCR1,TCR0 : Ces bits sont décodés pour sélectionner un des huit (08) emplacements sur le précompteur .

Suivant leur configuration, les entrées vers le timer sont divisées par 1 jusqu'à 128 ( voir tableau 3).

### 1.5.2 Modes d'entrées du timer.- (fig 9).

Comme nous l'avons écrit plus haut, les modes d'entrées du timer sont fonction des configurations des bits 4 et 5 du registre de controle du timer .( TCR4 et TCR5).

Mode 1 :- Si TCR4 et TCR5 sont tous les deux programmés à zéro , l'horloge interne est reliée au timer et le pin d'entrée du timer est non validé. Ce mode d'horloge interne peut être utilisé pour générer des interruptions périodiques .

Mode 2 :- Lorsque TCR4 = 1 et TCR5 = 0 , l'horloge interne et le pin d'entrée TIMER sont reliés à une porte AND, dont la sortie représente l'entrée du timer . L'horloge interne est déclenchée pendant la durée de l'impulsion externe. Ce mode peut être utilisé pour mesurer les largeurs des impulsions externes .

Mode 3 :- Si TCR4 = 0 et TCR5= 1 , toutes les entrées vers le timer sont non validées .

Mode 4 : Si TCR4=1 et TCR5=1 , le pin d'entrée TIMER devient l'entrée vers le timer et l'entrée d'horloge interne vers le timer est inhibée . Ce mode peut donc être utilisé pour compter les évènements externes (fréquences externes) pour générer des interruptions periodiques .

.../...

## 1-6 Initialisation du M.P.U.

Le MC 146805 E2 a deux (02) modes d'interruption (Reset):  
Un pin  $\overline{\text{RESET}}$  externe actif au niveau bas et une fonction reset automatique (Power-on Reset). (voir timing en annexe).

$\overline{\text{RESET}}$  : Le pin  $\overline{\text{RESET}}$  est utilisé pour l'initialisation du microprocesseur et provoque la procédure ordonnée de la mise en route du Software .

Lorsqu'on utilise le mode reset externe, le pin  $\overline{\text{RESET}}$  doit rester au niveau bas pour un temps de cycle. ( ).

Reset automatique (Power-on Reset): Ce mode se présente lors d'une transition positive de  $V_{dd}$  . Il est fourni après 1920 temps de cycle du temps de la première opération d'oscillation .  
(voir timing en annexe).

Chacun des deux (02) modes d'initialisation provoque les effets suivants :

- Le bit requête d'interruption du registre de controle du timer est mis a zero (TCR7 = 0) .
- Le bit masque d'interruption du registre code condition (I) est mis à 1 .
- Le bit masque d'interruption du registre de controle du timer est mis à 1 (TCR6 = 1) .
- Tous les bits des registres de direction des données (D.D.R) des ports A et B sont mis à zéro .
- Le pointeur de pile (S.p) est positionné en 7F .
- Le bus d'adresse est forcé par le vecteur d'initialisation (vecteur reset : 1FFE ; 1FFF) .

Toutes les autres fonctions, de même les registres (ports inclus) (timer, etc..., ne sont pas mis à zéro par la condition d'initialisation .

## 1.7 - INTERRUPTIONS

Le MC 146805 E2 peut être interrompu de 3 manières différentes deux (02) de Hardware (l'interruption du timer et l'interruption externe  $\overline{\text{IRQ}}$ ) et par une instruction d'interruption de Software (Software interrupt).

Lorsqu'une interruption survient, l'exécution du programme en cours est suspendue, l'état présent du microprocesseur est sauvegardé dans la pile.

Chaque interruption a son propre vecteur qui contient l'adresse de la routine à exécuter lorsque celle-ci est générée.

Le tableau 2 donne les différents vecteurs d'interruption et leurs emplacements mémoires.

Les différentes interruptions ont un ordre de priorité, c'est-à-dire qu'une interruption ne peut pas être acceptée lorsque l'interruption qui s'exécute lui est prioritaire.

La priorité des diverses interruptions est la suivante:

- 1 - RESET
- 2 - SWI .
- 3 - Interruption externe ( $\overline{\text{IRQ}}$ ).
- 4 - Interruption du timer .

Nous allons d'écrire dans les détails, les différentes interruptions et les conditions permettant leur exécution.

### 1.7.1 Interruption du timer .

Nous avons vu dans la partie consacrée au timer que lorsque le compteur décrémente jusqu'à zéro le bit requête d'interruption

.../...

(TCR7) est mis à 1 . Si le bit masque d'interruption du timer (TCR6) est à zéro et que le compteur atteint zéro, une requête d'interruption est générée. Cette interruption n'est exécutée (ou acceptée) que si le bit masque d'interruption du registre code condition (I) est à zéro .

Quand l'interruption est reconnue, le microprocesseur sauvegarde son état présent dans la pile et le bit masque d'interruption I est mis à 1 (il va ainsi masquer les interruptions qui peuvent intervenir ) . Le processeur va chercher le vecteur d'interruption du timer dont l'adresse de la routine est spécifiée par le contenu des positions mémoires § 1FF8 et §1FF9 . Le bit TCR7 doit être remis à zéro par le logiciel ( Software).

Après que le programme d'interruption du timer ait été exécuté, le logiciel exécute normalement l'instruction retour d'interruption (R.TI) qui restaure l'état du microprocesseur et continue l'exécution du programme interrompu .

( Voir fig 10 l'organigramme de cette interruption ).

### 1.7.2 Interruption externe .

L'interruption externe se présente lorsque le bit masque d'interruption du registre code condition(I) est mis à zéro et le pin de l'interruption externe (pin  $\overline{IRQ}$  ) est au niveau "bas" .

L'action de l'interruption externe est identique à l'interruption du timer excepté que l'adresse de la routine (vecteur d'interruption ) est spécifiée par les contenus de § 1FFA et § 1FFB .  
( voir figure 10 )

.../...

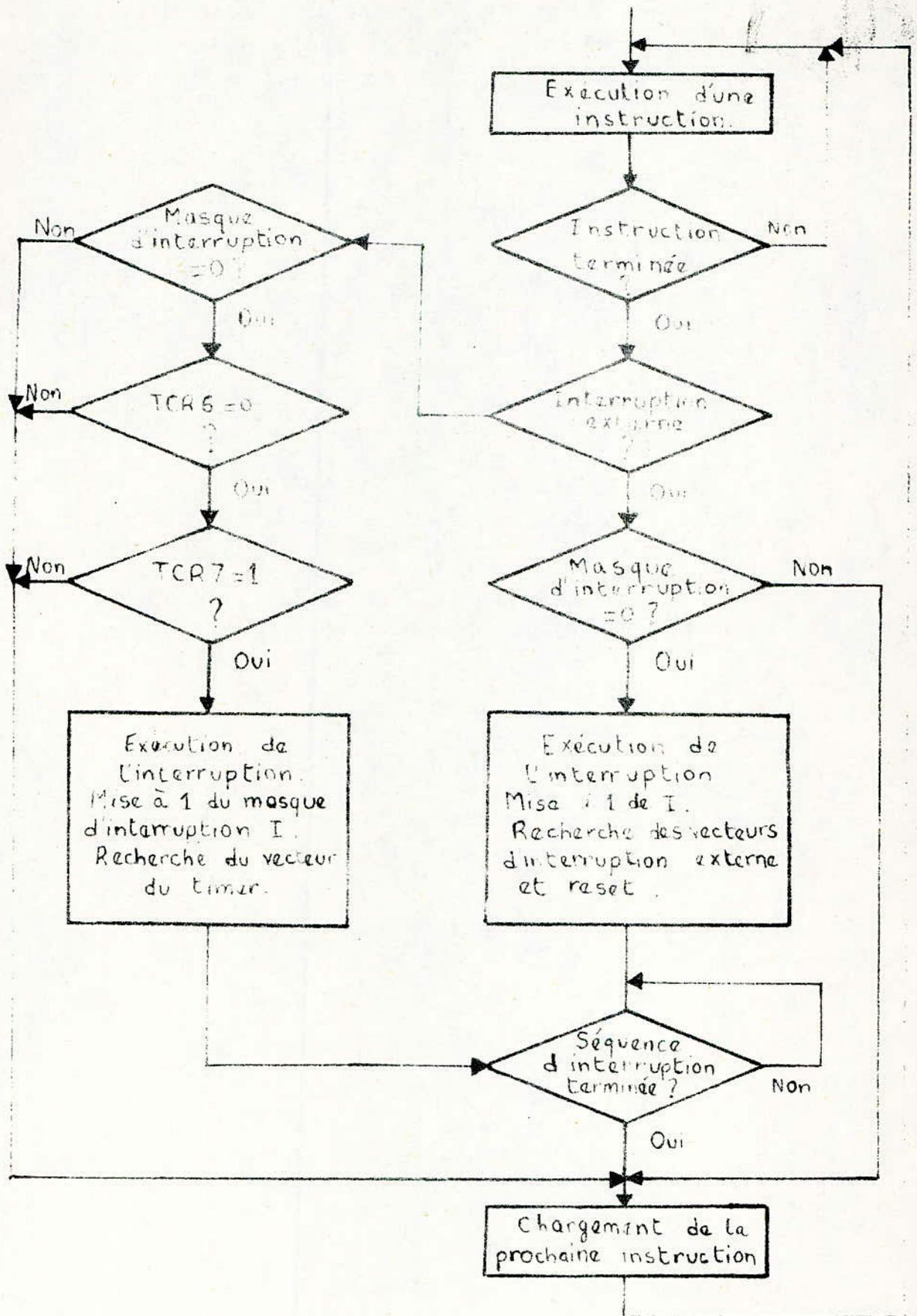


Fig.10 - ORGANIGRAMME DES INTERRUPTIONS DU MC 146805E2 .

1.7.3 Interruption logicielle (SWI) :- L'interruption SWI est une ~~instruction exécutable~~ SWI est une interruption inconditionnelle elle est exécutée sans tenir compte de l'état du bit masque I . L'action sur l'instruction SWI est similaire à l'interruption de Hardware .

L'adresse de la routine SWI est donnée par le contenu des emplacements mémoire § 1FFC et § 1FFD .

#### 1.7.4 RESET :-

Le pin d'entrée RESET lorsqu'il est mis à l'état "bas" et la fonction reset automatique exécutent un programme d'initialisation qu'on a décrit plus haut . L'adresse de la routine d'interruption du RESET est spécifiée par le contenus des positions mémoires § 1FFE et § 1FFF .

Le masque d'interruption I est mis à 1 , ainsi que TCR6 .  
(voir figure 10)

Après avoir décrit les interruptions qui peuvent être générée par le microprocesseur , nous allons voir deux instructions de Software qui peuvent arrêter le processeur .

#### STOP :- (fig 11)

En présence de l'instruction STOP , l'oscillateur interne est bloqué , causant l'arrêt de toutes les horloges (AS,DS,-) à l'état bas)et du timer .

Le bit TCR7 est mis à zéro , le bit TCR6 à 1 et le masque d'interruption est levé (I=0).

.../...

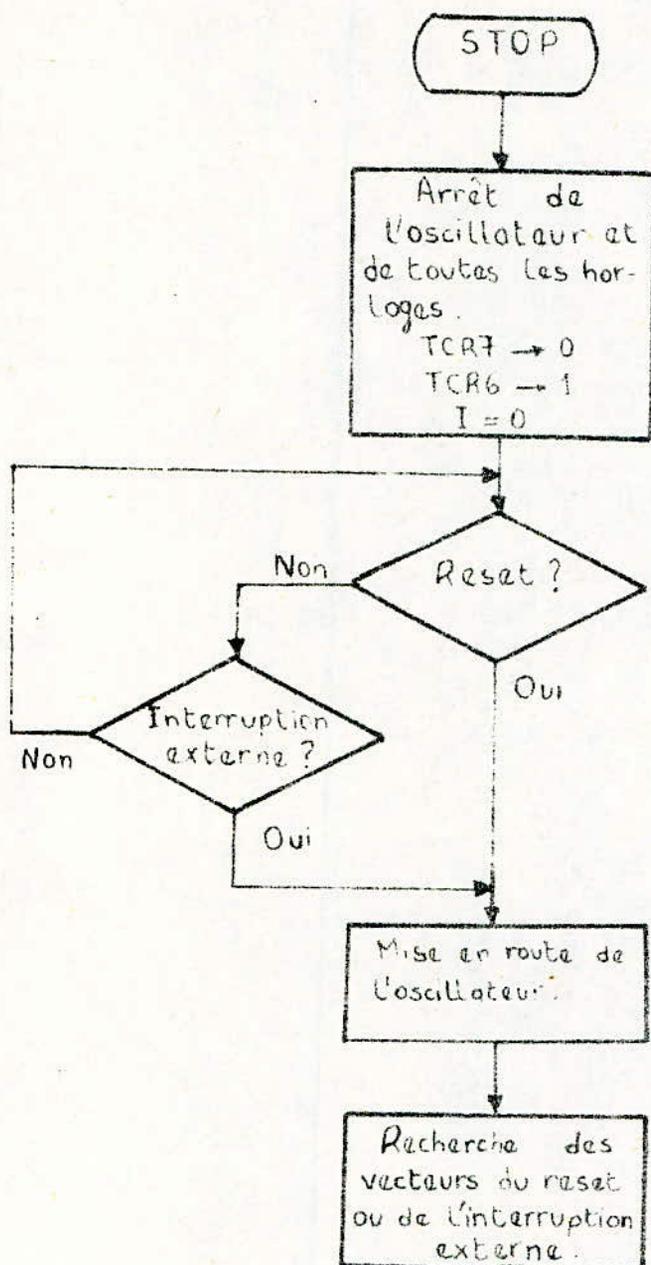


Fig.11 - ORGANIGRAMME DE L'INSTRUCTION STOP .

Adresses des vecteurs	INTERRUPTIONS
IFF6 et IFF7	Interruption du timer(Après un WAIT).
IFF8 et IFF9	Interruption du timer.
IFFA et IFFB	Interruption externe.
IFFC at IFFD	<u>SWI.</u>
IFFE et IFFF	<u>RESET.</u>

Tableau.2 - VECTEURS D'INTERRUPTIONS .

~~Le microprocesseur reste dans le mode STOP jusqu'à ce qu'une~~  
~~interruption externe ou une initialisation (reset) se présente.~~  
L'instruction STOP place le MC 146805 E2 dans un mode de basse  
consommation .

WAIT :- (fig 12) .

En présence de l'instruction WAIT, l'oscillateur n'est pas  
arrêté, l'horloge interne n'est utilisée que pour le timer. Ainsi  
tout le processeur est arrêté sauf le timer auquel est accordé le  
comptage .

La ligne  $R/\bar{W}$  prend l'état haut (Read) , les lignes AS et DS  
sont à l'état bas . Le bit masque d'interruption est mis à zéro .

Le microprocesseur reste dans cet état , jusqu'à une inter-  
ruption externe , du timer ou la présence d'une initialisation (  
reset ) .

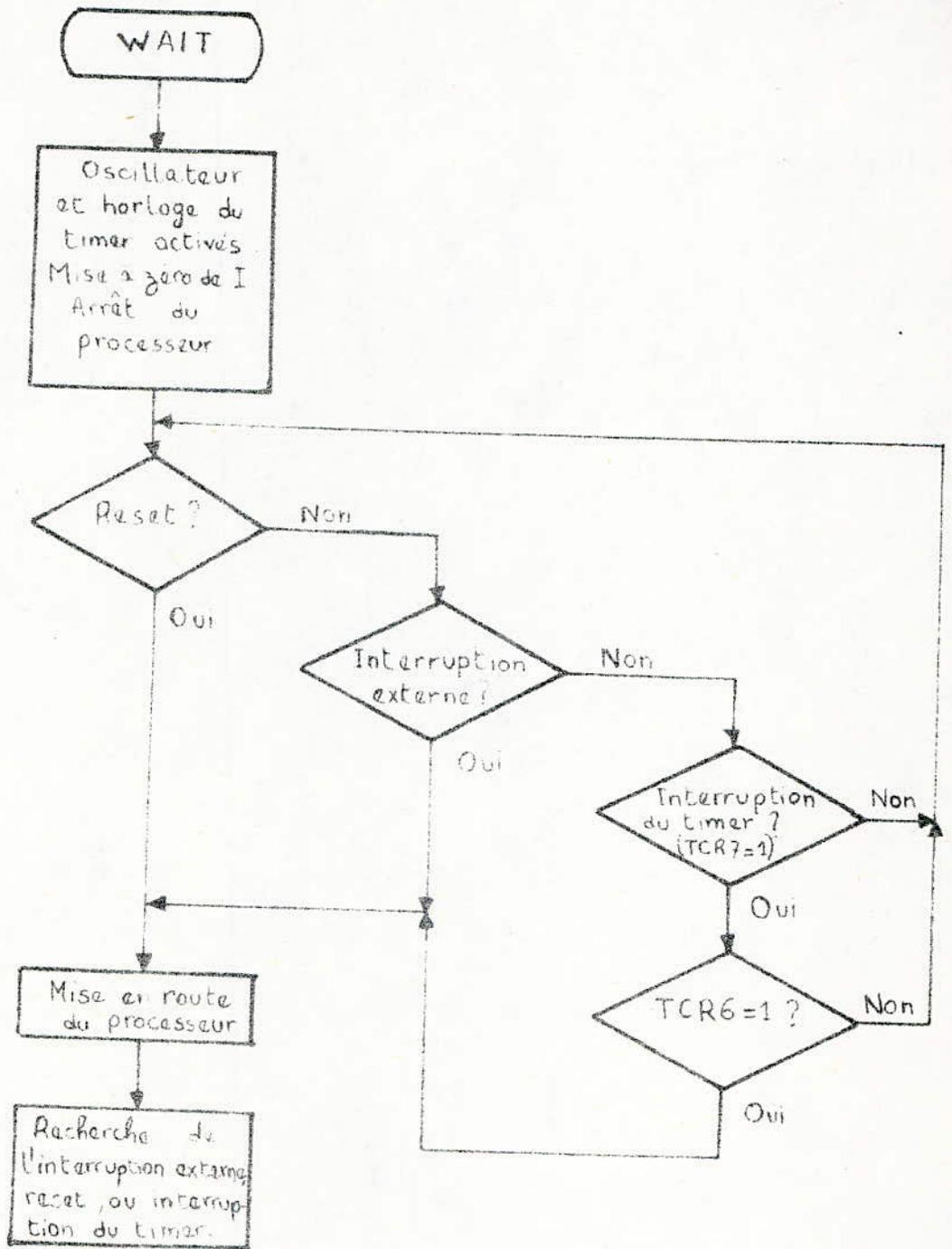


Fig.12 - ORGANIGRAMME DE L'INSTRUCTION WAIT .

## 1-8 Programmation .

### A - Jeu d'instruction du MC 146805 E2 .

Le MC 146805 E2 possède un jeu de 61 instructions de base .

Celles-ci peuvent être classées en cinq (05) types différents :

Registre/mémoire , lecture/modification/écriture, branchement, manipulation de bit et commande. Les paragraphes suivants expliquent brièvement chaque type . Toutes les instructions d'un type donné sont présentées sous forme de tableaux séparés .

#### Instruction registre/mémoire :-

La plupart de ces instructions utilisent deux opérandes. Un opérande est soit l'accumulateur soit le registre index. L'autre opérande s'obtient depuis le mémoire en utilisant l'un des modes d'adressages . Les instructions de sont inconditionnel (JMP) et de sont à un sous programme (JSR) n'ont pas de registre opérande. (tableau 4 ).

#### Instruction de lecture/modification/écriture :-

Ces instructions lisent une position mémoire ou un registre , modifient ou testent leur contenu , et écrivent la nouvelle valeur en mémoire ou en registre . L'instruction de test (TST) de résultat négatif ou nul est une exception parmi ces instructions du fait qu'elle ne réalise pas l'écriture (tableau 5 ).

#### Instructions de branchement :-

Ces instructions provoquent un branchement du programme lorsqu'une condition particulière est réalisée, autrement aucune opération n'est exécutée. Les instructions de branchement sont des instructions à 2 octets - (tableau 6 )

.../...

### Instructions de manipulation de bit :-

Le microprocesseur est capable de mettre à 1 ou à zéro chacun des bits se trouvant dans les 256 premières octets de la mémoire (tous les registres port , DDR des ports, timer, commande du timer et la RAM) . D'autres opérations permettent de réaliser le test de bit et les opérations de branchement dans les 256 positions memoi-res ( voir tableau 7 )

Le bit mise à 1 , le bit mise à zéro, le bit test et les fonc-tions de branchement sont effectifs à l'aide d'une seule instruc-tion .

### Instructions de commande :-

Ces instructions commandent le déroulement des opérations du microprocesseur lors de l'exécution du programme.(voir tableau 8 )

### B. Modes d'adressages.

Le microprocesseur MC 146805 E2 dispose de dix(10) modes d'adressages.

La longueur des instructions varie,selon le mode d'adressage utilisé, de un(01) octets à(03)trois octets .

Les instructions de saut dans le mode d'adressage étendu permettent d'atteindre toute la mémoire . Le tableau 9 montre les modes d'adressage pour chaque instruction .

Le terme adresse effective (EA) est défini comme l'adresse dans laquelle on cherche ou on range les données suivant la nature de l'instruction .

Les dix modes d'adressage du MPU sont décrits ci-dessous.

.../...

TABLE 4 - REGISTER/MEMORY INSTRUCTIONS

Function	Mnemonic	Addressing Modes																	
		Immediate			Direct			Extended			Indexed (No Offset)			Indexed (8-Bit Offset)			Indexed (16-Bit Offset)		
		Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles
Load A from Memory	LDA	A6	2	2	B6	2	3	C6	3	4	F6	1	3	E6	2	4	D6	3	5
Load X from Memory	LDX	AE	2	2	BE	2	3	CE	3	4	FE	1	3	EE	2	4	DE	3	5
Store A in Memory	STA	-	-	-	B7	2	4	C7	3	5	F7	1	4	E7	2	5	D7	3	6
Store X in Memory	STX	-	-	-	BF	2	4	CF	3	5	FF	1	4	EF	2	5	DF	3	6
Add Memory to A	ADD	AB	2	2	BB	2	3	CB	3	4	FB	1	3	EB	2	4	DB	3	5
Add Memory and Carry to A	ADC	A9	2	2	B9	2	3	C9	3	4	F9	1	3	E9	2	4	D9	3	5
Subtract Memory	SUB	A0	2	2	B0	2	3	C0	3	4	F0	1	3	E0	2	4	D0	3	5
Subtract Memory from A with Borrow	SBC	A2	2	2	B2	2	3	C2	3	4	F2	1	3	E2	2	4	D2	3	5
AND Memory to A	AND	A4	2	2	B4	2	3	C4	3	4	F4	1	3	E4	2	4	D4	3	5
OR Memory with A	ORA	AA	2	2	BA	2	3	CA	3	4	FA	1	3	EA	2	4	DA	3	5
Exclusive OR Memory with A	EOR	A8	2	2	B8	2	3	C8	3	4	FB	1	3	EB	2	4	DB	3	5
Arithmetic Compare A with Memory	CMP	A1	2	2	B1	2	3	C1	3	4	F1	1	3	E1	2	4	D1	3	5
Arithmetic Compare X with Memory	CPX	A3	2	2	B3	2	3	C3	3	4	F3	1	3	E3	2	4	D3	3	5
Bit Test Memory with A (Logical Compare)	BIT	A5	2	2	B5	2	3	C5	3	4	F5	1	3	E5	2	4	D5	3	5
Jump Unconditional	JMP	-	-	-	BC	2	2	CC	3	3	FC	1	2	EC	2	3	DC	3	4
Jump to Subroutine	JSB	-	-	-	BD	2	5	CD	3	6	FD	1	5	ED	2	6	DD	3	7

TABLE 5 - READ/MODIFY/WRITE INSTRUCTIONS

Function	Mnemonic	Addressing Modes														
		Inherent (A)			Inherent (X)			Direct			Indexed (No Offset)			Indexed (8-Bit Offset)		
		Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles
Increment	INC	4C	1	3	5C	1	3	7C	2	4	70	1	5	6C	2	6
Decrement	DEC	4A	1	3	5A	1	3	7A	2	4	72	1	5	6A	2	6
Clear	CLR	4F	1	3	5F	1	3	7F	2	4	74	1	5	6F	2	6
Complement	COM	43	1	3	53	1	3	73	2	4	76	1	5	63	2	6
Negate (2's Complement)	NEG	40	1	3	50	1	3	70	2	4	78	1	5	60	2	6
Rotate Left Thru Carry	ROL	49	1	3	59	1	3	79	2	4	7E	1	5	69	2	6
Rotate Right Thru Carry	ROR	46	1	3	56	1	3	76	2	4	7D	1	5	66	2	6
Logical Shift Left	LSL	48	1	3	58	1	3	78	2	4	7B	1	5	68	2	6
Logical Shift Right	LSR	44	1	3	54	1	3	74	2	4	75	1	5	64	2	6
Arithmetic Shift Right	ASR	47	1	3	57	1	3	77	2	4	77	1	5	67	2	6
Test for Negative or Zero	TST	4D	1	3	5D	1	3	7D	2	4	7C	1	5	6D	2	6

TABLE 6 — BRANCH INSTRUCTIONS

Function	Mnemonic	Relative Addressing Mode		
		Op Code	# Bytes	# Cycles
Branch Always	BRA	20	2	3
Branch Never	BRN	21	2	3
Branch IFF Higher	BHI	22	2	3
Branch IFF Lower or Same	BLS	23	2	3
Branch IFF Carry Clear	BCC	24	2	3
Branch IFF Higher or Same	BHS	24	2	3
Branch IFF Carry Set	BCS	25	2	3
Branch IFF Lower	BLO	25	2	3
Branch IFF Not Equal	BNE	26	2	3
Branch IFF Equal	BEQ	27	2	3
Branch IFF Half Carry Clear	BHCC	28	2	3
Branch IFF Half Carry Set	BHCS	29	2	3
Branch IFF Plus	BPL	2A	2	3
Branch IFF Minus	BMI	2B	2	3
Branch IFF Interrupt Mask Bit is Clear	BMC	2C	2	3
Branch IFF Interrupt Mask Bit is Set	BMS	2D	2	3
Branch IFF Interrupt Line is Low	BIL	2E	2	3
Branch IFF Interrupt Line is High	BIH	2F	2	3
Branch to Subroutine	BSR	AD	2	6

TABLE 7 — BIT MANIPULATION INSTRUCTIONS

Function	Mnemonic	Addressing Modes					
		Bit Set/Clear			Bit Test and Branch		
		Op Code	# Bytes	# Cycles	Op Code	# Bytes	# Cycles
Branch IFF Bit n is Set	BRSET n (n=0..7)				2•n	3	5
Branch IFF Bit n is Clear	BRCLR n (n=0..7)				01+2•n	3	5
Set Bit n	BSET n (n=0..7)	10+2•n	2	5	-	-	-
Clear Bit n	BCLR n (n=0..7)	11+2•n	2	5	-	-	-

TABLE 8 — CONTROL INSTRUCTIONS

Function	Mnemonic	Inherent		
		Op Code	# Bytes	# Cycles
Transfer A to X	TAX	97	1	2
Transfer X to A	TXA	9F	1	2
Set Carry Bit	SEC	99	1	2
Clear Carry Bit	CLC	98	1	2
Set Interrupt Mask Bit	SEI	9B	1	2
Clear Interrupt Mask Bit	CLI	9A	1	2
Software Interrupt	SWI	83	1	10
Return from Subroutine	RTS	81	1	6
Return from Interrupt	RTI	80	1	9
Reset Stack Pointer	RSP	9C	1	2
No Operation	NOP	9D	1	2
Stop	STOP	8E	1	2
Wait	WAIT	8F	1	2

TABLE 9 — INSTRUCTION SET

Mnemonic	Addressing Modes									Condition Codes					
	Inherent	Immediate	Direct	Extended	Relative	Indexed (No Offset)	Indexed (8 Bits)	Indexed (16 Bits)	Bit Set/Clear	Bit Test & Branch	H	I	N	Z	C
ADC		X	X	X		X	X	X			?	?	?	?	?
ADD		X	X	X		X	X	X			?	?	?	?	?
AND		X	X	X		X	X	X			?	?	?	?	?
ASL	X		X			X	X				?	?	?	?	?
ASR	X		X			X	X				?	?	?	?	?
BCC					X						?	?	?	?	?
BCLR									X		?	?	?	?	?
BFS					X						?	?	?	?	?
BFO					X						?	?	?	?	?
BHCC					X						?	?	?	?	?
BHCS					X						?	?	?	?	?
BHI					X						?	?	?	?	?
BHS					X						?	?	?	?	?
BIT					X						?	?	?	?	?
BIT		X	X	X		X	X	X			?	?	?	?	?
BLO					X						?	?	?	?	?
BLS					X						?	?	?	?	?
BMC					X						?	?	?	?	?
BMI					X						?	?	?	?	?
BMS					X						?	?	?	?	?
BNE					X						?	?	?	?	?
BPL					X						?	?	?	?	?
BRA					X						?	?	?	?	?
BRN					X						?	?	?	?	?
BRCLR										X	?	?	?	?	?
BRSET										X	?	?	?	?	?
BSET									X		?	?	?	?	?
BSR					X						?	?	?	?	?
CLC	X										?	?	?	?	?
CLI	X										?	?	?	?	?
CLR	X		X			X	X				?	?	?	?	?
CMP		X	X	X		X	X	X			?	?	?	?	?
COM	X		X			X	X				?	?	?	?	?
CPX		X	X	X		X	X	X			?	?	?	?	?
DEC	X		X			X	X				?	?	?	?	?
EOR		X	X	X		X	X	X			?	?	?	?	?
INC	X		X			X	X				?	?	?	?	?
JMP			X	X		X	X	X			?	?	?	?	?
JSR			X	X		X	X	X			?	?	?	?	?
LDA		X	X	X		X	X	X			?	?	?	?	?
LDX		X	X	X		X	X	X			?	?	?	?	?
LSE	X		X			X	X				?	?	?	?	?
LSR	X		X			X	X				?	?	?	?	?
NEG	X		X			X	X				?	?	?	?	?
NOP	X										?	?	?	?	?
ORA		X	X	X		X	X	X			?	?	?	?	?
ROL	X		X			X	X				?	?	?	?	?
ROR	X		X			X	X				?	?	?	?	?
RSP	X										?	?	?	?	?
RTI	X										?	?	?	?	?
RTS	X										?	?	?	?	?
SBC		X	X	X		X	X	X			?	?	?	?	?
SEC	X										?	?	?	?	?
SEI	X										?	?	?	?	?
STA			X	X		X	X	X			?	?	?	?	?
STOP	X										?	?	?	?	?
STX			X	X		X	X	X			?	?	?	?	?
SUB		X	X	X		X	X	X			?	?	?	?	?
SWI	X										?	?	?	?	?
TAX	X										?	?	?	?	?
TST	X		X			X	X				?	?	?	?	?
TXA	X										?	?	?	?	?
WAIT	X										?	?	?	?	?

Condition Code Symbols

- |                           |   |
|---------------------------|---|
| H Half Carry (From Bit 3) | ? Test and Set if True, Cleared Otherwise</td |
| I Interrupt Mask          | ● Not Affected                                |
| N Negative (Sign Bit)     | ? Load CC Register From Stack                 |
| Z Zero                    | 0 Cleared                                     |
| C Carry/Borrow            | 1 Set   |

~~- Inhérent :- Dans cet adressage toute l'information nécessaire pour exécuter l'instruction est contenu dans le mode opération .~~

Les opérations qui spécifient seulement l'index ou l'accumulateur sont incluses dans ce mode d'adressage .

- Immédiat :- Dans l'adressage immédiat , l'opérande est placé dans l'octet qui suit immédiatement le mode opération. Ce mode d'adressage accède à des constantes qui ne changent pas en cours d'exécution du programme . L'adresse effective est le contenu du compteur ordinal(PC).

- Direct :- Dans ce mode d'adressage, l'adresse effective de l'opérande spécifié est contenu dans l'octet qui suit l'octet du code opération .

Cet adressage nous permet d'adresser directement les 256 premières octets(page zéro) en mémoire avec donc une instruction de deux(02) octets .

→ Etendu :- Dans le mode d'adressage étendu, l'adresse effective est le contenu des deux (02) octets suivant le code opération.

Les instructions en adressage étendu portent sur(3) trois octets .

Avec ce mode d'adressage on peut atteindre toute la mémoire du MPU .

- Indexé sans déplacement :- Dans ce mode l'adresse effective est le contenu du registre index . Ainsi, ce mode d'adressage peut accéder aux 256 premiers octets de la mémoire. La longueur de ces instructions occupe seulement un octet .

.../...

~~Indéxé avec déplacement de 8 bits :- L'adresse effective est obtenue en additionnant le contenu de l'octet suivant le code opération au contenu du registre index. Avec ce mode on peut atteindre les 511 premiers emplacements de la mémoire. Ces instructions portent sur deux (02) octets. Le contenu du registre index ne change pas .~~

→ Indéxé avec déplacement de 16 bits :- L'adresse effective est obtenue en additionnant le contenu des deux(02) octets suivant le code opération au registre index .

Relatif :- L'adressage relatif est seulement utilisé pour les instructions de branchement. Dans cet adressage le contenu de l'octet qui suit le code opération est additionné au compteur de programme(PC) Si et seulement si la condition de branchement est utilisée. Autrement le MPU procède à l'exécution de la prochaine instruction . Si le branchement survient le programme se positionne dans l'espace + 129 à 126 octets de l'instruction en cours.

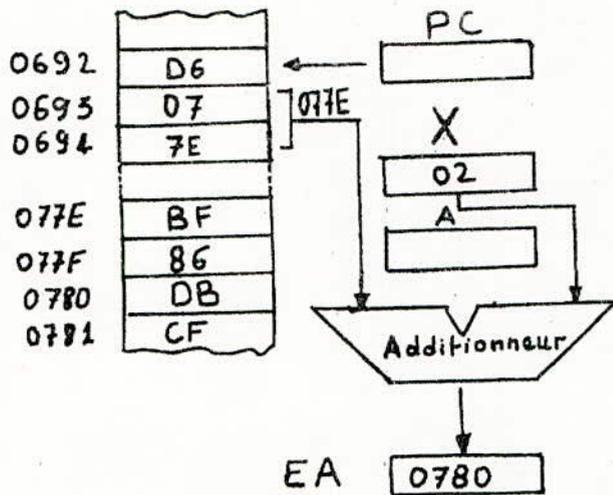
→ Bit mis à 1/mis à 0 :- L'adressage direct et l'adressage de bit sont combinés dans une instruction qui met à 1 ou à zéro les bits de la page zéro et ceux des entrées/Sorties . Dans cet instruction l'octet est spécifié comme une adresse directe dans la position suivant le code opération . On peut ainsi mettre à 1 ou à zéro les bits des 256 premières positions mémoires . L'instruction "bit mis à 1 et mis à zéro " occupe deux octets, l'un pour le code opération (numéro du bit inclu) et le second l'octet de l'adresse qui contient le bit considéré .

.../...

→ Test de bit et de branchement :- Le test de bit et de branchement est une combinaison de l'adressage direct, l'adressage de bit et l'adressage relatif . L'octet devant être testé est adressé par l'octet qui suit le code opération . Le déplacement relatif de 8 bits signé se trouve dans le troisième octet et est additionné au PC si le bit considéré est mis à 1 ou à zéro dans l'emplacement mémoire spécifié . Cette instruction à 3 octets permet de baser le branchement du programme dans les 256 premières positions mémoires.

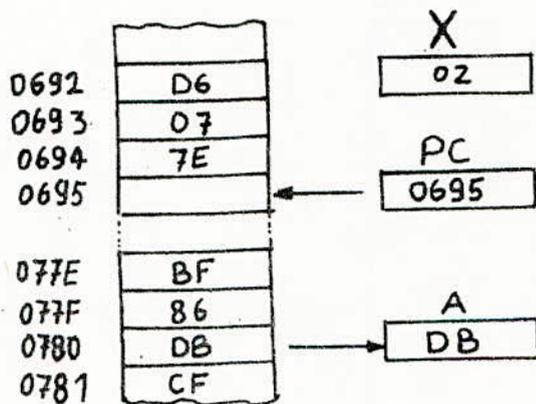
Cet exemple d'instruction consiste à charger l'accumulateur par le contenu d'une adresse qui est la somme du registre(x) et un déplacement de 16 bits égal à \$ 077E = TABL

LDA TABL,X                      0692 D6 077E



PC = \$ 0692  
 PC = PC + 1 = \$ 0693  
 EA = (PC):(PC+1) + X  
      = \$ 077E + \$ 02  
      = \$ 0780

Nouvelle valeur de PC =  
 PC + 2 = \$ 0695



A = (EA) = \$ DB

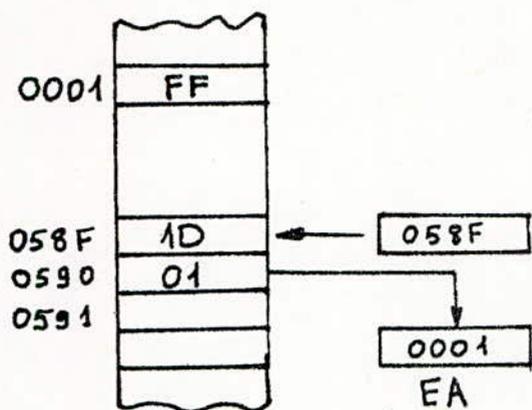
Exemple d'adressage indexé :

Déplacement de 16 bits .

Cet exemple d'instruction consiste à mettre à zéro le bit (6) du PORTB d'adresse \$ 01

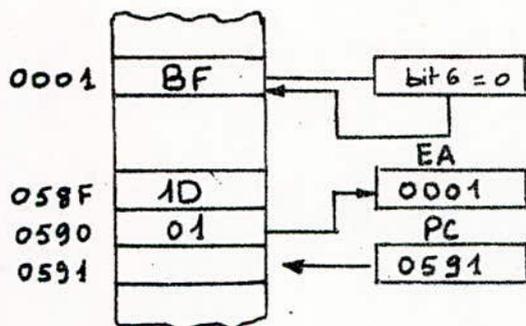
BCLR 6, PORTB      058F 1D 01

Le code opération de BCLR<sub>n</sub> est :  $11 + 2n = 11 + 2 \cdot 6 = 11 + 12 = 23 = 1D$



PC = \$058F  
 PC = PC + 1 = \$0590  
 EA = (PC) + \$0000  
      = \$01 + 0000  
      = 0001

Nouvelle valeur de PC = PC + 1  
                                  = \$0591



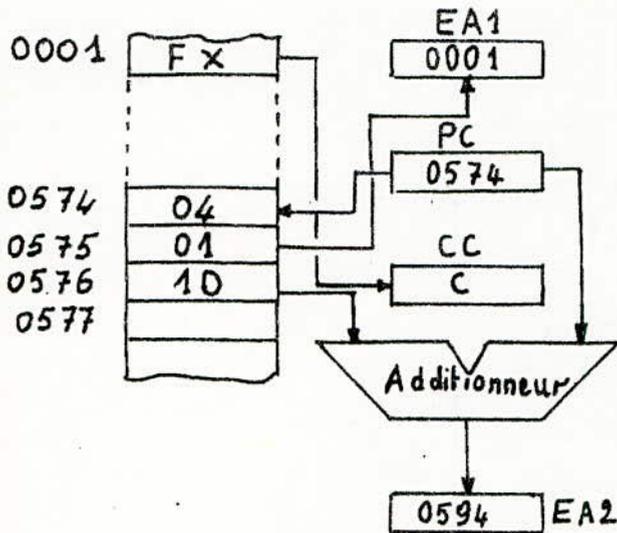
EA = \$0001  
 PC = \$0591  
 Bit 6 du PortB = 0

**EXEMPLE D'ADRESSAGE DE BIT (Bit mis à 1/ mis à zéro) .**

Cet exemple d'instruction consiste à un branchement à l'adresse \$0594 si le bit 2 du Port B d'adresse(01) est à 1.

\$0594 correspond à un déplacement égal 1D = COW

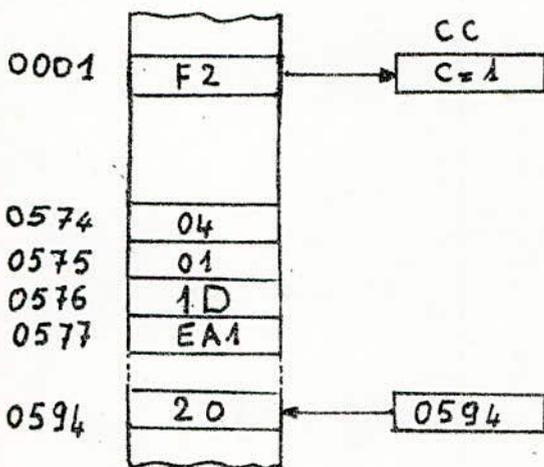
BRSET 2, PORTB, COW      0574   04   01   1D



PC = \$ 0574  
 PC + 1 = \$ 0575  
 EA1 = (PC) = 0001  
 PC = PC + 1 = \$ 0576  
 (PC) = \$ 1D

Nouvelle valeur de PC =  
 PC + 1 = \$ 0577

si il se branche on aura :  
 EA2 = PC + 1D =  
 \$ 0577 + \$ 1D = 0594  
 Nouvelle valeur de PC =  
 EA2 = \$ 0594



C = 1

Exemple d'adressage de bit :

TEST ET BRANCHEMENT .

## 1-9 Position du MC 146805E2 dans la famille des microprocesseurs .

Le MC 146805E2 , conçu par MOTOROLA, est le résultat des progrès réalisés dans le domaine de l'intégration. Nous allons, dans ce qui suit, essayer de faire une comparaison entre ce microprocesseur et ses prédécesseurs pour pouvoir définir les domaines d'application dans lesquels il peut être utilisé .

### 1- Hardware .

Les principaux éléments intéressants qu'on peut noter sont :

- Une tension d'alimentation unique (cas du 8085, Z80, M 6800, MC 6805P2)
- Une RAM de 112 octets : Pour de petites applications, cette capacité mémoire est suffisante pour la manipulation des données. (Le M 6802 et le MC 6805P2 contiennent respectivement une RAM de 128 et 64 octets).
- Une horloge interne commandée par un quartz (cas du M 6802 et du MC 6805P2 ) .
- Deux (02) ports d'entrées/Sorties ( 16 lignes ) .
- Un timer (temporisateur) composé d'un compteur et d'un précompteur. (cas du MC 6805 P2 ) .
- Multiplexage des huit (08) bits de poids faible d'adresses et de données (cas du 8085).

On peut dire que toutes les caractéristiques qui limitent le Hardware signifient la réduction du coût des systèmes à base de ce microprocesseur .

### 2 - Software .

La qualité d'un jeu d'instruction dépend du nombre, de la longueur, et du temps d'exécution de celles-ci .

.../...

Le MC 146805E2 possède 61 instructions de base (Le M 6800 possède 72 , le 8080/78 , le MC 6805P2/59 et le Z 80/150 ).

Deux instructions d'attente WAIT et STOP sont particulières au MC 146805E2 . L'instruction WAI du M 6800 n'est pas identique à WAIT car elle sauvegarde l'état présent du MPU dans la pile . Plusieurs instructions sont ajoutées, réduites ou supprimées .

Le MC 146805E2 ne dispose pas de l'indicateur de dépassement(V) donc toutes les instructions concernant ce dernier sont supprimées, ainsi que toutes celles liées aux manipulations du pointeur de pile ( sauf RSP : initialisation du pointeur de pile) sachant qu'une partie de la RAM interne est réservée pour la pile .

Parmi les instructions ajoutées, nous avons les échanges entre le registre index et l'accumulateur (TXA et TAX ), car ils ont le même format .

- Instructions de manipulation de bits et de branchement .

Le MC 146805E2 possède des instructions qui permettent de tester de mettre à 1 ou à zéro , n'importe quel bit se trouvant dans la page zéro de la mémoire.(voir paragraphe programmation).(cas du MC 6805P2 et du Z 80). Ces instructions sont :

- B SET            Mise à 1 du bit n .
- B CLR            Mise à zéro du bit n .
- BR SET           Branchement si le bit n est à 1 .
- BR CLR           Branchement si le bit n est à zéro .

Deux instructions de branchement sont ajoutées , à savoir :

- BMS              Branchement si le bit I est à 1
- BMC              Branchement si le bit I est à zéro .

.../...

- Le multiplexage du bus d'adresses et de données présente un certain inconvénient du fait qu'il faut ajouter des circuits de démultiplexage . Notons que pour remédier à celà, le constructeur a conçu dernièrement des memoires contenant le circuit de démultiplexage .

Après avoir énoncer les possibilités et les limites du MC 146805E2 , on peut dire qu'il peut être réservé aux domaines où :

- Le problème d'alimentation et de la consommation d'énergie doit être pris en considération (ex: appareils transportable, autonome,...)

- La capacité mémoire nécessaire est faible .

- Le traitement des données doit être fait en temps réel .

Nous illustrons dans le chapitre III un exemple d'application relatif à la radioprotection .

## Chapitre II

### REALISATION DU MICROORDINATEUR DE BASE .

Nous avons vu dans le chapitre 1 , la structure et les particularités du MC 146805E2 . Pour le rendre effectivement utilisable, on doit lui ajouter des mémoires et une logique de contrôle afin de réaliser une structure de microordinateur.

#### II.1. Schéma synoptique du montage.(fig.13).

Le microordinateur de base réalisé autour du MC 146805E2 comprend les éléments suivants :

- Le M.P.U.
- Une mémoire .
- Un circuit de démultiplexage du bus adresses/données .
- Un circuit de décodage de la mémoire .

#### II.2 . LA MEMOIRE .

On peut disposer d'une capacité allant jusqu'à 8K.octets pour le microordinateur réalisé autour du MC 146805E2 .

Nous utilisons dans notre réalisation une mémoire de 2 K.octets constituée par une EPROM (Erasable Programable Read Only Memory )MCM-2716 . Nous n'avons pas ajouté de RAM externe, car celle du microprocesseur est suffisante pour l'application du microordinateur .

La MCM 2716 est une mémoire non volatile de 2K.octets effaçable et reprogrammable. Une fenêtre transparente sur le boîtier permet d'effacer aux ultra-violets le contenu de la mémoire. Ainsi, pour spécialiser le microordinateur dans une autre application , l'utilisateur n'aura qu'à changer le programme de gestion contenu dans cette EPROM .

.../...

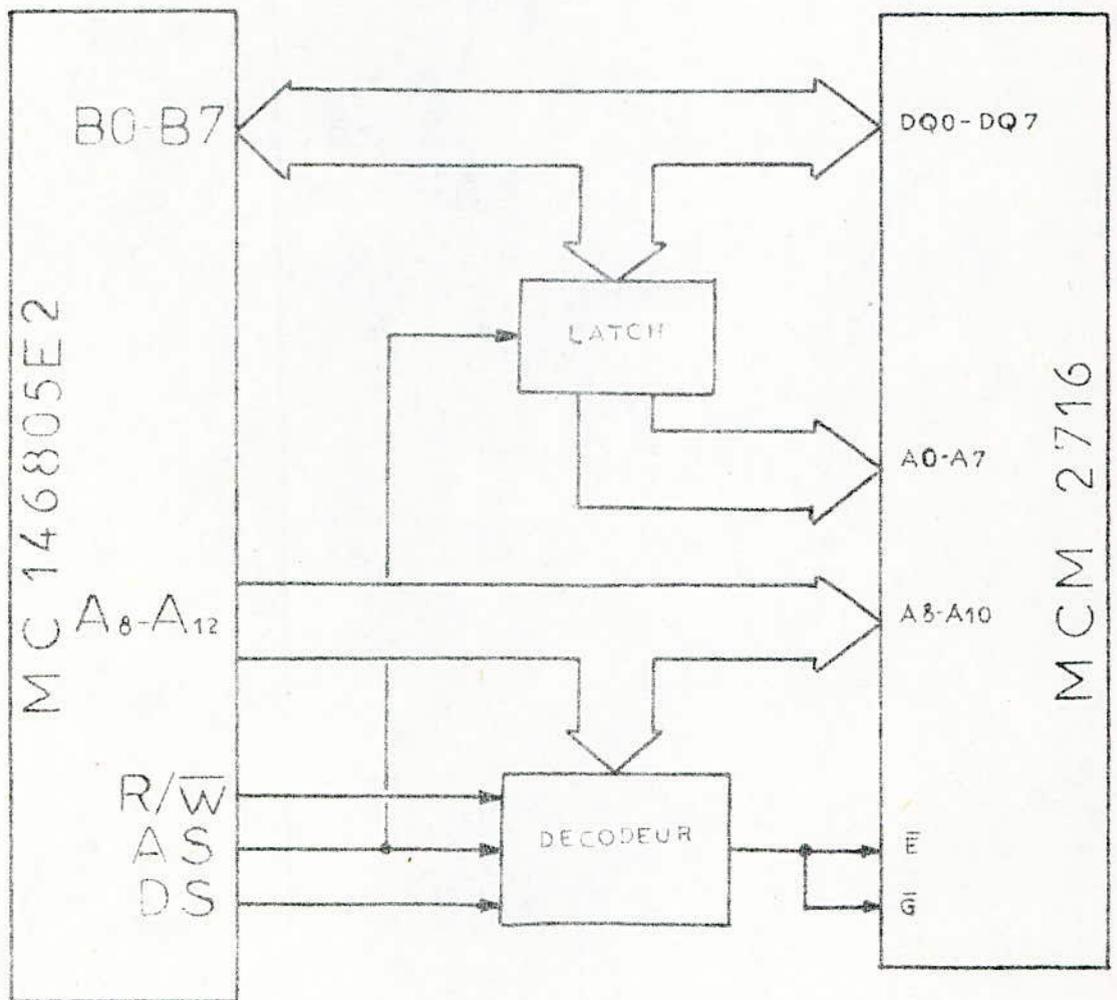


Fig. 13 - SCHEMA SYNOPTIQUE DU MONTAGE .

Caractéristiques de la MCM 2716 :

- Alimentation unique de  $+ 5\text{V} \pm 10\%$  .
- Organisée en 2048 mots de 8 bits .
- Entrée de sélection du boîtier( $\bar{E}$ ) pour l'extension de la mémoire .
- Entrée de validation des sorties ( $\bar{G}$ ) .
- Compatible T.T.L à la lecture et à la programmation .
- Temps d'accès maximum 350 ns .

Le brochage et les différents modes de la MCM 2716 sont donnés en annexe .

## II - 3 DEMULTIPLEXAGE DES LIGNES ADRESSES/DONNÉES .

Le bus B0 - B7 du microprocesseur est un bus multiplexé d'adresses et de données. Nous devons réaliser un démultiplexage au niveau de ce bus pour avoir séparément les lignes adresses et données .

Ce démultiplexage des huit(08) lignes adresses basses se fait à l'aide du circuit LATCH (Bascule à verrouillage). validé par la ligne Address Strobe (AS) .

Circuit LATCH 4 bits ( SN 7475 ).

C'est un circuit permettant le stockage temporaire de l'information binaire . Il est constitué par des bascule de type D . L'information présente à l'entrée des données (D) est transférée à la sortie Q lorsque l'entrée de validation du circuit(Enable) est mise à l'état haut ("1").

Le SN 7475 est utilisé pour des mots de quatre (04) bits(4 entrées)et possède des sorties complémentées Q et  $\bar{Q}$  . Sa tension d'alimentation est de 5 volts .

Le brochage et la table de vérité sont représentés en annexe .

.../...

Le circuit de démultiplexage des lignes adresses (figure 14) , comprend deux (02) circuits LATCH (le bus d'adresse étant de 8 lignes) Les deux (02) SN 7475 seront validés par la sortie Address Strobe (AS).

#### II.4 - DECODAGE DE LA MEMOIRE .

L'EPROM est placée dans la zone mémoire limitée par les adresses \$1800 et \$1FFF . Ce choix a été imposé par la position des cinq (05) vecteurs d'interruptions dont les adresses sont fixées de \$1FF6 à \$1FFF .

Nous avons :

	A <sub>12</sub>	A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
1800	1	1	0	0	0	0	0	0	0	0	0	0	0
1FFF	1	1	1	1	1	1	1	1	1	1	1	1	1

On constate qu'à partir de l'adresse \$1800 , les lignes A<sub>11</sub> et A<sub>12</sub> sont toutes les deux à 1 . Les onze (11) lignes A<sub>0</sub> à A<sub>10</sub> seront utilisées pour sélectionner l'un des 2048 octets de la mémoire . Les deux (02) autres (A<sub>11</sub> et A<sub>12</sub>) vont être combinées pour valider le boi-tier .

L'EPROM devant être sélectionnée pendant une portion de lecture, on utilisera la sortie R/ $\bar{w}$  .

Elle sera donc validée lorsque :

$$A_{11} = A_{12} = R/\bar{w} = 1$$

Le circuit de décodage doit réaliser la fonction suivante :

$$\bar{G} = \bar{A}_{11} \cdot \bar{A}_{12} \cdot R/\bar{w}$$

(  $\bar{G} = \bar{E}$  pour Vpp = Vcc ; modes de l'EPROM en annexe ).

Pour valider l'EPROM , le circuit de décodage va attaquer une bascule D ( voir validation de l'EPROM) dont la sortie  $\bar{Q}$  est reliée à  $\bar{G}$  et  $\bar{E}$  .

.../...

On doit donc inverser la sortie du circuit précédent :

$$D = A_{11} \cdot A_{12} \cdot R/\bar{w}$$

### 1- Validation de l'EPROM .

La MCM 2716 dispose de deux entrées de validation, l'une (  $\bar{E}$  ) pour le boîtier et l'autre (  $\bar{G}$  ) pour les sorties .

Le validation du boîtier est réalisée par le circuit précédent et la ligne AS . Tandis que celle des sorties est effectuée par DS . La combinaison de ces deux (02) types de validation se fait par l'intermédiaire du circuit SN 7474 .

### 2 - Circuit SN 7474 (Flip Flop ).

C'est un boîtier contenant deux(02) Flip Flop . Ce sont des bascules de type D ayant des entrées de mise à "1" et de mise à zéro( Preset, clear ), et des sorties Q et  $\bar{Q}$  , L'information se trouvant à l'entrée (D) est transférée à la sortie Q au front montant du signal de synchronisation appliqué à l'entrée C (clock).

La table de vérité et le brochage du SN 7474 sont donnés en annexe .

### 3 - Principe de Fonctionnement du circuit de décodage .(fig 15).

Les signaux  $\bar{AS}$  et  $\bar{DS}$  vont attaquer les entrées C( clock ) des Flip Flop. Pendant le front descendant du AS , la sortie du circuit de décodage, appliquée en D du premier Flip Flop , va passer en sortie  $\bar{Q}$  et valider l'EPROM .(  $\bar{Q}$  étant reliée à  $\bar{E}$  ) .

La ligne  $\bar{AS}$  est reliée aussi à l'entrée  $\bar{S}$  ( mise à zéro ) du deuxième Flip Flop . Lorsque AS est à l'état "1" ,  $\bar{S}$  va forcer la sortie Q à zéro . Celle-ci étant reliée à  $\bar{R}$  du premier Flip Flop, on obtiendra un zéro en  $\bar{Q}$  d'où la validation de  $\bar{E}$  .

Ace moment, la ligne DS est à l'état bas et n'intervient pas .

.../...

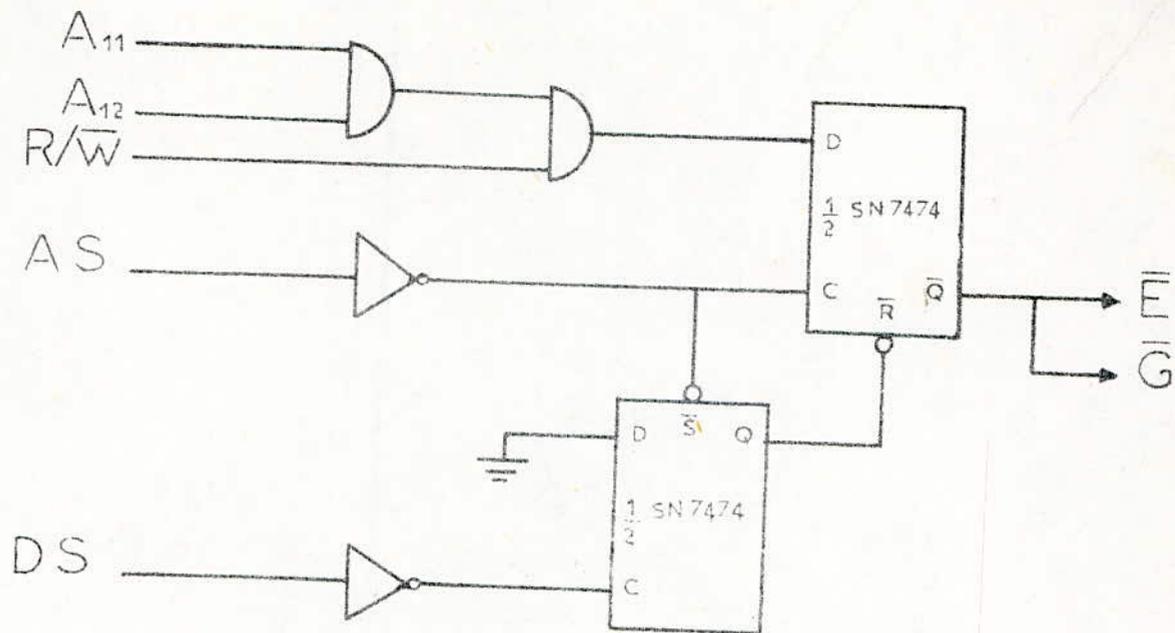


Fig. 15 - CIRCUIT DE DECODAGE .

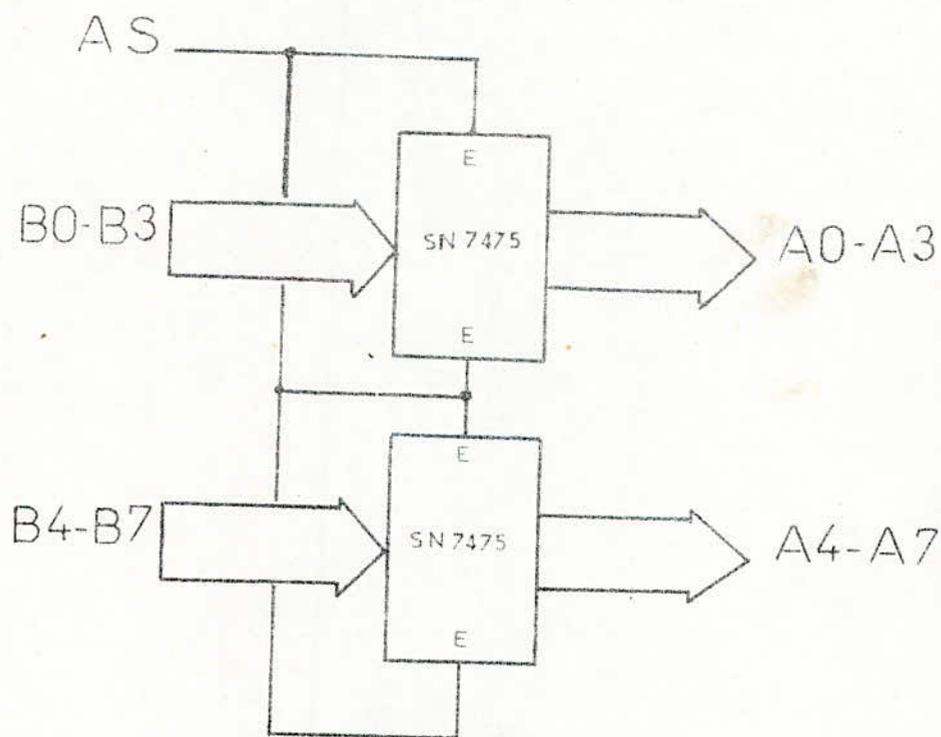


Fig. 14 - CIRCUIT DE DEMULTIPLÉXAGE .

Lorsqu'elle passe par un front descendant, les données étant validées, elle va autoriser le passage du zéro (l'entrée D du deuxième Flip Flop est reliée à la masse) à travers Q qui est reliée à  $\bar{R}$  (mise à 1 du premier Flip Flop) lequel va forcer la sortie  $\bar{Q}$  de ce circuit à zéro (Q étant mis à 1) et valiser ainsi la sortie des données  $\bar{G}$ .

On voit bien d'après le timing de AS et DS (fig.4) que lorsque l'une passe par un front descendant, l'autre va entamer un front montant et vice-versa. Pour cela, les deux (02) entrées de validation  $\bar{E}$  et  $\bar{G}$  sont reliées ensemble.

## II.5 Autres circuits utilisés .

### 1- MC 8T95 .

Le MC 8T95 est un buffer à trois états (0,1, haute impédance). Ce circuit possède six(06) lignes unidirectionnelles de protection et d'amplification. Voir brochage et table de vérité en annexe .

La ligne AS étant utilisée pour le décodage de l'EPROM et la validation des quatre (04) entrées de sélection des LATCH (deux entrées de validation pour chaque boîtier), nous l'avons reliée à une ligne du MC 8T95 .

### 2 - Le quartz

Pour piloter l'oscillateur interne du microprocesseur, nous avons utilisé un quartz de 3,45 MHz disponible .

Le MPU divisant par cinq(05) la fréquence du quartz, nous aurons une fréquence de travail d'environ 0,7 Mhz, donc un temps de cycle de 1,4  $\mu$ S .

### 3 - Bascule RS .

Deux bascules RS déclenchées à l'aide de boutons poussoirs, ont été utilisées pour les pins d'interruption  $\overline{\text{RESET}}$  et  $\overline{\text{IRQ}}$  . Le schéma

.../...

est donné en annexe . Ces bascules sont utilisées pour éviter le rebondissement des impulsions sur les entrées d'interruption .

## II- 6 TESTS -

Pour visualiser l'exécution des programmes introduits dans l'EPROM, nous avons relié les sorties du port B à huit(08) LEDS(les lignes du port B sont programmées sortantes ). Les huit (08) lignes du port A , programmées entrantes, ont été quant à elles reliées à des interrupteurs avec lesquels on choisira la configuration à mettre sur ce port (voir fig 16 ).

Les lignes d'interruption externes ( RESET et IRQ ) ont été utilisées pour l'exécution des programmes introduits dans l'EPROM . Dans le programme de RESET , on initialisera le timer, toutes les lignes du port A entrantes et celles du port B sortantes . Nous avons fait exécuter un programme de transfert du port A dans le port B .

Les instructions du MC 146805E2 n'étant pas compatibles avec celles du M6800 , nous avons eu des difficultés pour vérifier si nos programmes tournaient avant de la écrire dans l'EPROM. Pour pouvoir les vérifier et sans avoir à effacer et reprogrammer l'EPROM, nous avons mis au point un programme qui consiste en l'introduction d'instruction dans la RAM interne du microprocesseur et de les faire à l'aide du montage précédent . L'organigramme est donné par la figure A .

Ce programme sera mis dans l'EPROM .

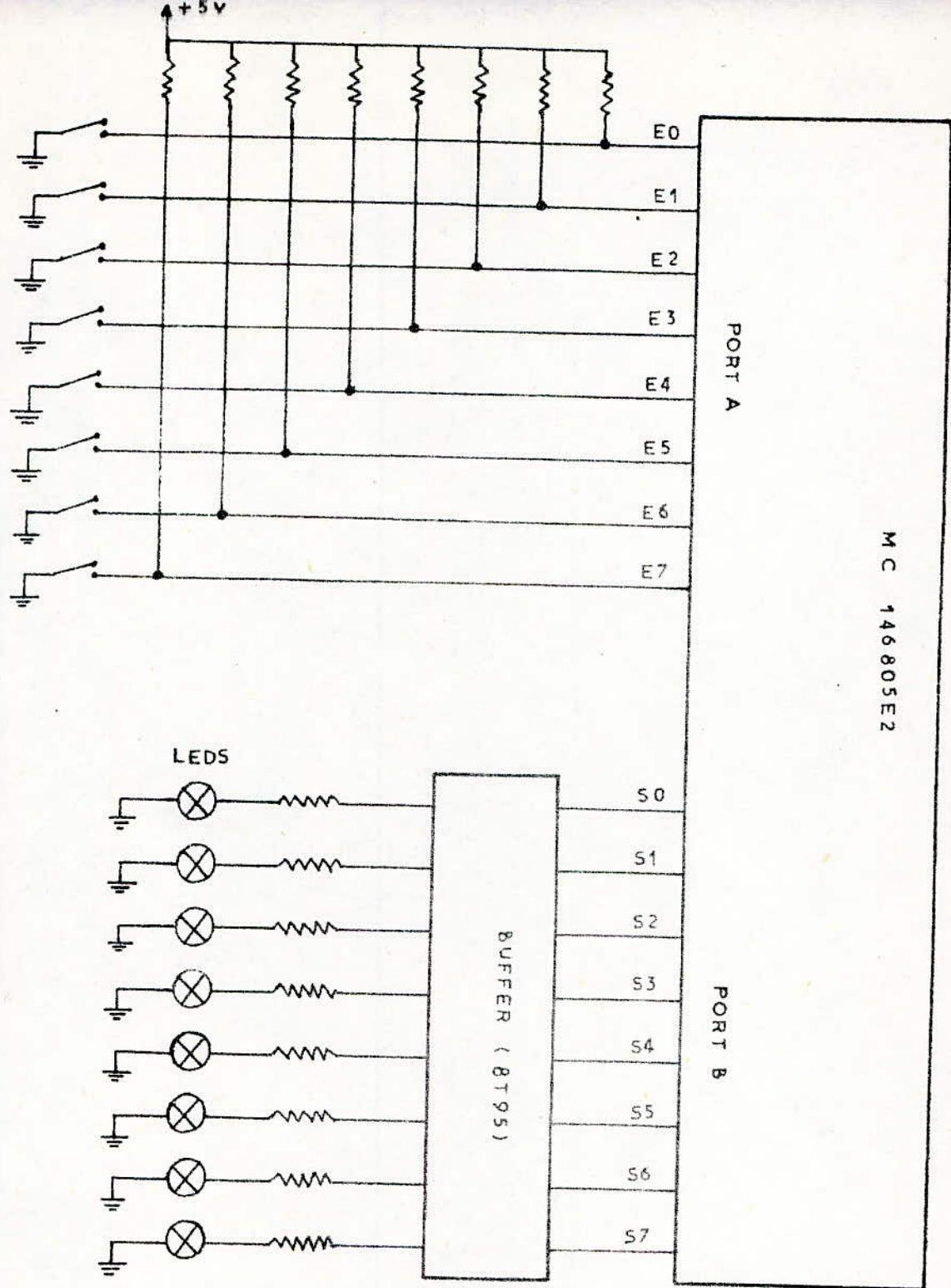


Fig 16 : MONTAGE DE TEST DU MICROORDINATEUR.

Programme RESET.

CLRA	1800	4F	Initialisation des ports A et B .
STA DDRA	1801	B7	Port A entrant .
	1802	04	Port B sortant
LDA <del>#</del> \$FF	1803	A6	
	1804	FF	
STA DDRB	1805	B7	
	1806	05	
CLI	1807	9A	Mise à zéro du bit I du CC .
LDA <del>#</del> \$10	1808	A6	Rangement de \$10 (première
	1809	10	position memoire de la RAM)
STA \$60	180A	B7	à l'adresse \$60 .
	180B	60	
LDA \$61	180C	B6	Changement de l'accumulateur par le
	180D	61	contenu de la position memoire \$61 .
CMP <del>#</del> \$ 82	180E	A1	Comparer le contenu de l'accumulateur
	180F	82	à \$ 82 .
BNE	1810	26	(Acc ) $\neq$ 82 .Branchement
	1811	02	à l'adresse \$ 1814 .
JMP \$10	1812	BC	(Acc) = 82 saut à
	1813	10	l'adresse \$10 .
STOP	1814	8E	STOP (attente de l'interruption <u>IRQ</u> ).
BRA	1815	20	Branchement inconditionnel
	1816	F5	à \$ 180C .

Programme TRQ .

LDX	§60	1818	BE	Changement du contenu de la
		1819	60	position §60 dans le registre
				index .
LDA	Data port A	181A	B6	Changement de l'accumulateur
		181B	00	par les données du port A .
STA	0,X	181C	F7	Rangement du contenu de l'accu-
				mulateur <del>en</del> <u>indexé</u> .
STA	§61	181D	B7	Rangement du contenu de
		181E	61	l'accumulateur dans § 61 .
INC	X	181F	5C	Incrementer l'index X .
STX	§60	1820	BF	Ranger le contenu de X
		1821	60	dans §60 .
RTI		1822	80	Retour d'interruption .

## Chapitre III.

### APPLICATION A LA RADIOPROTECTION.

#### Introduction

L'accélérateur de particules du C.E.N constitue lorsqu'il est en fonctionnement une source de radioactivité, sous forme d'émission de neutrons et de rayonnement gamma, qui peut, dépassant un certain seuil, être dangereuse pour le personnel .

Un système de radioprotection étant indispensable pour le contrôle du taux de radioactivité existant dans l'enceinte de l'accélérateur , nous avons été amené à concevoir un système de sécurité. Ce dernier est basé sur le comptage des impulsions recueillies à la sortie des sondes de détection se trouvant à l'intérieur de la salle de l'accélérateur. Le traitement de ces informations est réalisé par notre microordinateur compte tenu des seuils de dose d'irradiation admissible .

Suivant le résultat du traitement des données ( taux de comptage )enregistrées, le système de sécurité va commander des voyants de signalisation et éventuellement la fermeture des portes d'accès à la salle et une alarme sonore .

Nous allons traiter dans les paragraphes suivants, la nature des rayonnements , les normes de sécurité en matière de radioprotection, du principe de comptage des particules , donc du système de sécurité .

#### III.1 - Notions sur la radioprotection .

##### 1 - Généralités sur le rayonnement .

C'est au sein du noyau de l'atome que se crée l'émission de

.../...

rayonnements . Le noyau se transforme et passe de l'état d'instabilité à l'état stable avec une émission d'un rayonnement alpha, bêta et gamma .

Ces rayonnements émis interagissent avec la matière, sous la forme d'ionisation ou d'excitation ; dans les deux cas il y a transfert d'énergie .

Les neutrons sont produits par de nombreuses réactions nucléaires. Ces réactions peuvent être provoquées par le bombardement de certains noyaux avec des particules lourdes , ou par fission des atomes lourds. Au cours du choc, le neutron change de direction et transfère une partie de son énergie au noyau heurté .

Dans notre système de sécurité, on ne s'intéresse qu'au rayonnement dangereux " gamma " qui se caractérise par la profondeur de pénétration dans la matière et sa facilité de détection par voie externe, et aux neutrons dont la profondeur de pénétration varie suivant l'énergie de la particule. Les neutrons détectés par les sondes ont une énergie moyenne de 1,2 MeV .

## 2 - Détection .

Le principe de la détection est basé sur le transfert d'énergie des gamma et des neutrons, selon des processus variés tels que l'effet Compton ou l'effet photoélectrique .

Le détecteur utilisé dans l'enceinte radioactive que nous nous proposons de surveiller, est une sonde dite à scintillation . Ce type de détecteur est le plus répandu actuellement car il présente un rendement élevé .

A chaque fois qu'un rayonnement (ou particule) traverse le détecteur, celui-ci fournit une impulsion dont l'amplitude est proportionnelle à l'énergie du rayonnement .

.../...

### 3 - Unités et normes de sécurité .

D'une manière générale, l'effet biologique produit par une irradiation dépend de la dose, mais également de la qualité du rayonnement et des conditions d'irradiation .

En radioprotection, la grandeur qui représente le risque éventuel est l'équivalent de dose .

$$H = D \cdot Q$$

Avec : H : l'équivalent de dose en un point donné dans les tissus humains .

Q : facteur de qualité qui tient compte d'une variation du risque éventuel en fonction de la nature du rayonnement .

D : Dose absorbée en un point et qui est définie par le quotient  $d\epsilon$  sur  $dm$  .

$d\epsilon$  : Energie moyenne cédée par le rayonnement incident à la matière .

$dm$  : Masse d'un élément de volume V ,

$$D = \frac{d\epsilon}{dm} ; \text{l'unité de dose est le rad .}$$

$$1 \text{ rad} = 100 \text{ ergs/g} = 0,01 \text{ J/Kg}$$

L'unité de l'équivalent de dose (H) est le rem .

Le rem correspond à une dose absorbée de 1 rad d'un rayonnement de facteur de qualité  $Q = 1$  .

Le Roentgen :

C'est une unité d'exposition (X) aux rayonnements définie comme la quantité de rayonnement gamma (ou rayons X) qui produit dans un centimètre cube d'air une unité électrostatique (U.e.s) de chaque signe .

.../...

1 Roentgen correspond donc à la création d'environ  $2,1 \cdot 10^9$  paires d'ions .

La dose est liée à l'exposition par la relation suivante :

$$D = f \cdot X$$

f : constante qui dépend du rapport des coefficients d'absorption .

Sa valeur est donnée par les tables .

Lorsque D est exprimée en Rad , et X en Roentgen , f est voisin de 1 dans un large domaine d'énergie .

Le risque d'irradiation est lié à la dose absorbée qui est fonction de l'activité de la source :

$$\frac{dX}{dt} / h = \Gamma \cdot \frac{A}{l^2}$$

Cette formule n'est valable que pour le rayonnement électromagnétique ,  $\frac{dX}{dt}$  : le débit d'exposition délivré par une source gamma de petites dimensions .

$\Gamma$  : Constante spécifique de débit d'exposition est une caractéristique dépendant du nombre de gamma émis par désintégration et de leur énergie .

A : Activité de la source en curie .

l : Distance en mètre .

4 - Dose d'irradiation .

La notion de dose maximale admissible n'implique pas l'existence d'une limite au dessous de laquelle le risque est nul, mais admet que ce risque peut être accepté étant donné son importance minime .

.../...

Les seuils de dose nous ont été communiqués par les physiciens du C.E.N. Ce qui nous intéresse pour notre travail, c'est la relation liant les doses d'irradiation détectées par les sondes et le nombre d'impulsions ou de coups enregistrés .

Les photons gamma ont le même effet biologique quelque soit leur énergie . Pour ce qui est des neutrons, les sondes spécialisées dans leur détection sont réglées sur une énergie moyenne de 1,2 MeV .

Le seuil de la dose maximale admissible pour les neutrons et les gamma est fixé à 2,5 m rem/h . Le seuil , au dessous duquel le risque est nul , est de l'ordre de 1 mrem/h.

Le nombre de coups enregistrés par le compteur(taux de comptage) correspondant à chaque seuil en mrem/h a été déterminé expérimentalement par les physiciens du C.E.N.

Dose	Seuils	
	Neutrons	Gamma
2,5 mrem/h	10 coups /S	60 coups /S
1 mrem/h	4 coups /S	24 coups /S

Le temps d'acquisition du comptage relatif à chaque sonde ayant été fixé à 0,4 seconde(voir paragraphe III.2), les seuils  $S_1, S_2$  pour les photons gamma et  $S'_1, S'_2$  pour les neutrons auront pour valeur :

$$S_1 = 10 \text{ coups}/0,4S \quad ; \quad S_2 = 24 \text{ coups}/0,4S$$

$$S'_1 = 2 \text{ coups}/0,4S \quad ; \quad S'_2 = 4 \text{ coups}/0,4S$$

La simulation des sondes est réalisé par un générateur d'impulsions .

### III.2 - Réalisation du circuit de comptage .

1 - Schéma synoptique du montage (voir fig.17).

Le circuit de comptage est constitué par :

- Un multiplexeur analogique à huit (08) voies .
- Un comparateur .
- Un compteur .

Le principe de ce circuit consiste à compter le nombre d'impulsions recueillies à la sortie des sondes . Nous disposons de huit (08) sondes, neutrons et gamma, sélectionnées l'une après l'autre à l'aide du multiplexeur .

Les impulsions analogiques issues des sondes , digitalisées à l'aide d'un comparateur, attaquent l'entrée C(clock) du compteur. Nous allons ainsi effectuer , à chaque fois, le comptage du nombre de particules détectées par la sonde ayant été sélectionnée .

2 - Multiplexeur MC 14051 .

Le MC 14051 est un multiplexeur / démultiplexeur analogique de technologie CMOS . Nous allons voir seulement le principe de multiplexage car c'est la fonction que l'on va utiliser dans notre montage .

Ce multiplexeur dispose de trois (03 ) entrées adresse de sélection (A0,A1,A2 ) , d'une entrée de validation active au niveau bas ( $\bar{E}$  ) , de huit (08) entrées( Y0 - Y7 ) et d'une sortie commune(Z) .

C'est un boîtier de 16 pins . Le brochage , la table de vérité et le diagramme fonctionnel sont donnés en annexe .

.../...

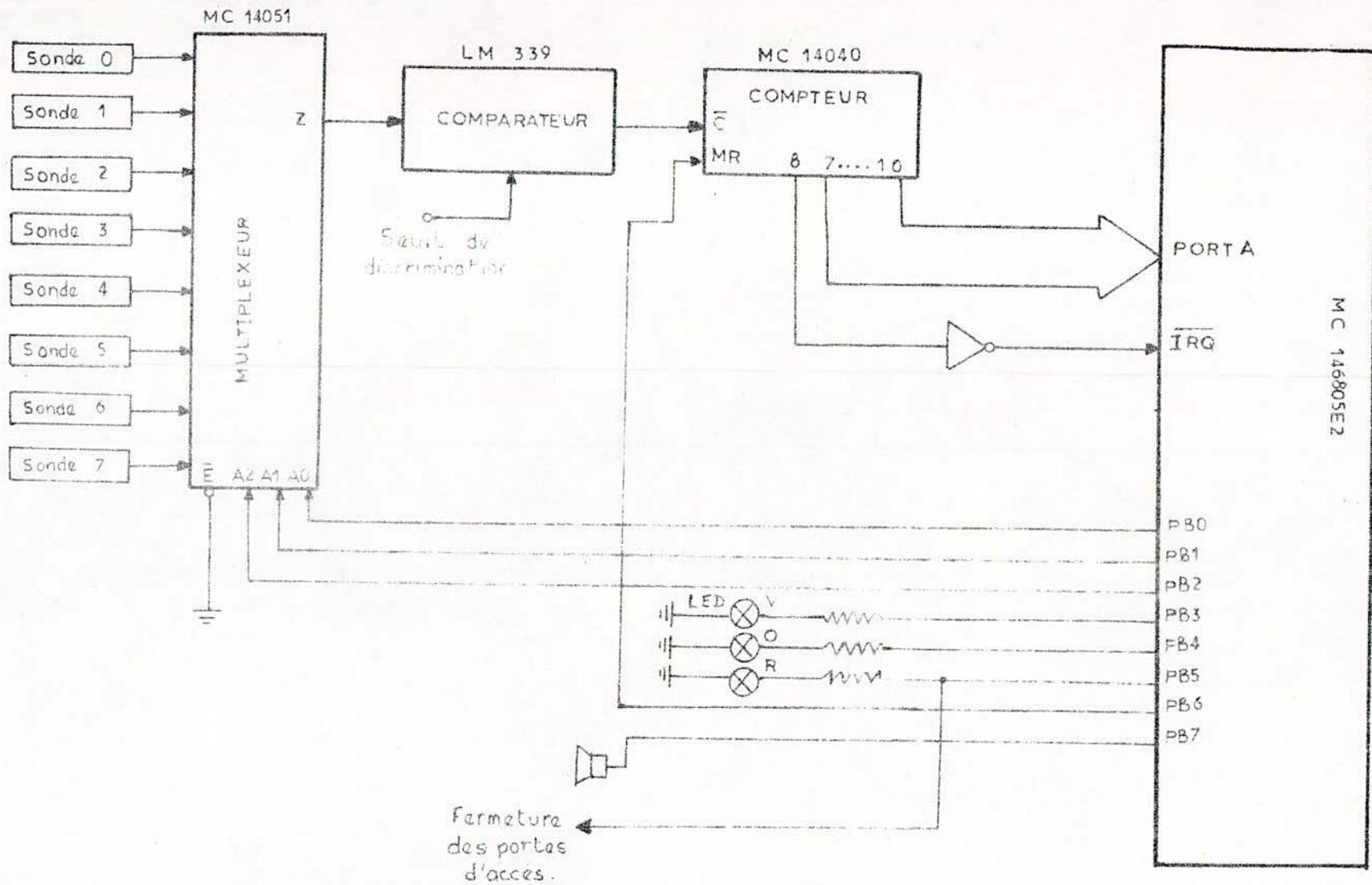


Fig. 17 - SCHEMA SYNOPSISQUE DE CIRCUIT DE COMPTAGE

Le MC 14051 contient huit (08) interrupteurs analogiques. Chacun d'eux est relié d'un côté à une entrée (Y0 -Y7 ), et de l'autre à la sortie Z . Ces interrupteurs sont sélectionnés individuellement par A0,A1,A2 lorsque  $\bar{E}$  est à l'état bas (zéro) . Si l'entrée  $\bar{E}$  est à l'état haut , tous les interrupteurs seront mis à l'état de haute impédance quelque soit la configuration des entrées d'adresse .

$V_{DD}$  et  $V_{SS}$  sont les entrées d'alimentation .  $V_{EE}$  et  $V_{SS}$  sont reliées toutes les deux à la masse .

Sélection de l'entrée du multiplexeur .

Les huit (08) sondes sont reliées aux entrées du multiplexeur. La selection de l'une d'entre elles est réalisée par trois(03) lignes du port B du microprocesseur (P B0,PB1, PB2 ) . Ces lignes sont connectées aux entrées adresse du multiplexeur . Les combinaisons (000 à 111) avec lesquelles on validera cycliquement les huit(08) sondes, sont effectuées par le logiciel .

3 - Le comparateur LM 339 .

On a utilisé ce circuit pour mettre en forme les impulsions issues des sondes . Ces signaux vont attaquer l'entrée(+) du comparateur , tandis que l'entrée (-) sera reliée à un potentiel de référence ajustable au dessous duquel l'impulsion n'est pas prise en compte

Lorsque l'amplitude de l'impulsion d'entrée atteint le seuil( tension de référence ) , la sortie du comparateur donne un front montant et un palier, puis au retour de l'impulsion à nouveau à la tension de référence, le signal de sortie du comparateur amorce son front descendant . On obtiendra ainsi une impulsion carrée en sortie du comparateur .

Le brochage et le montage du comparateur sont représentés par la figure 18 .

.../...

#### 4 - Le compteur MC 14040 .

Le MC 14040 est un compteur binaire à 12 étages, ayant une entrée d'horloge ( $\overline{CP}$ ) , une entrée de remise à zéro (MR) et douze (12) sorties " bufferisées " (Q0 - Q11 ). Le compteur compte toutes les fois que l'entrée d'horloge  $\overline{CP}$  passe d'un niveau haut à un niveau bas (passage de "1" à "zéro" ) . Le compteur est remis à zéro chaque fois que l'entrée MR ( Master Reset ) est à l'état 1 , indépendamment de l'entrée d'horloge  $\overline{CP}$  .

Le brochage et le schéma fonctionnel du compteur sont donnés par la figure 19 .

Les huit (08) premiers bits (0 à 7 ) du compteur seront reliés aux huit(08) lignes du port A du MPU , programmées entrantes, pour le traitement du nombre de coups enregistrés .

#### 5 - Traitement du comptage .

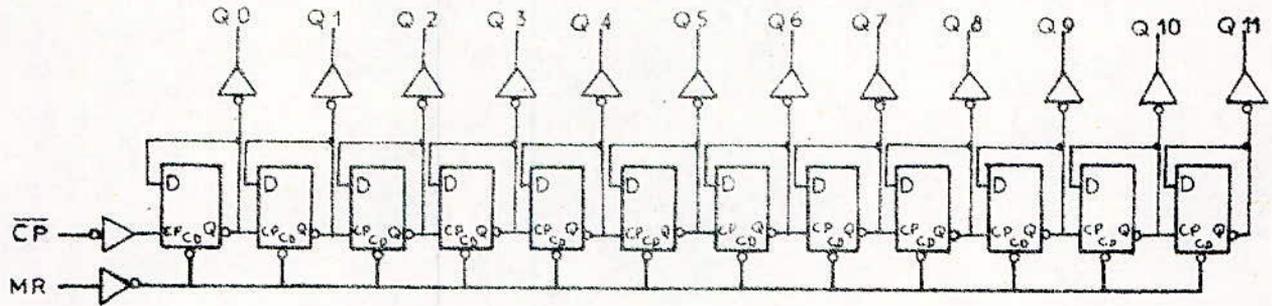
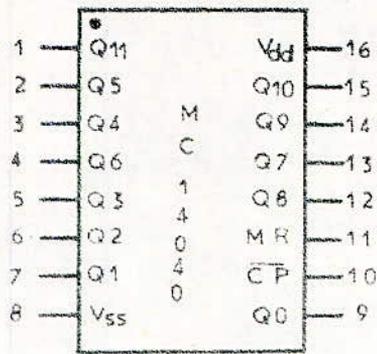
On s'est donc proposé de réaliser un système qui consiste à enregistrer cycliquement les informations (taux de comptage des particules et photons ) d'une série de quatre (04) sondes gamma et quatre (04) sondes pour les neutrons, disposées dans une enceinte radioactive (salle de l'accélérateur de particules ) .

Nous allons comparer le taux de comptage des impulsions issues des sondes gamma à deux seuils de la dose maximale admissible  $S_1$  et  $S_2$  ( $S_2 > S_1$ ) . On aura de la même façon deux seuils  $S'_1$  et  $S'_2$  pour les neutrons ( $S'_2$  supérieur à  $S'_1$ ) .

Si on appelle C le taux de comptage enregistré par une sonde .

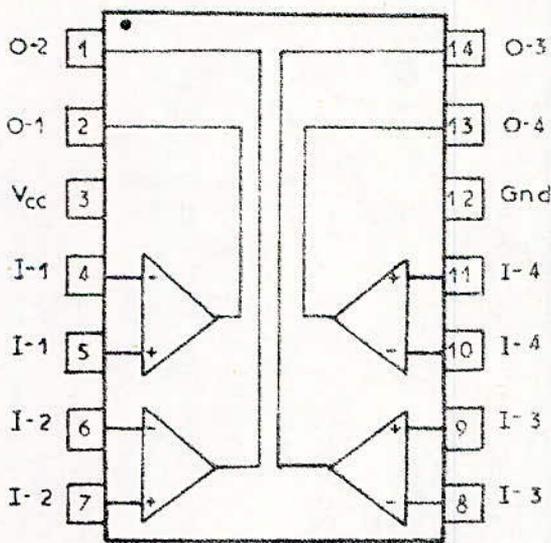
On aura :

.../...



$\overline{CP}$  : Entrée d'horloge ( Transition  $H \rightarrow L$  ) ,  
 MR : Entrée de mise à zéro ( Active à l'état haut ) ,  
 Q0-Q11 : Sorties .

Fig.19 - BROCHAGE ET SCHEMA FONCTIONNEL DU MC 14040 .



I = Entrée ,  
 O = Sortie ,  
 Gnd = Masse .

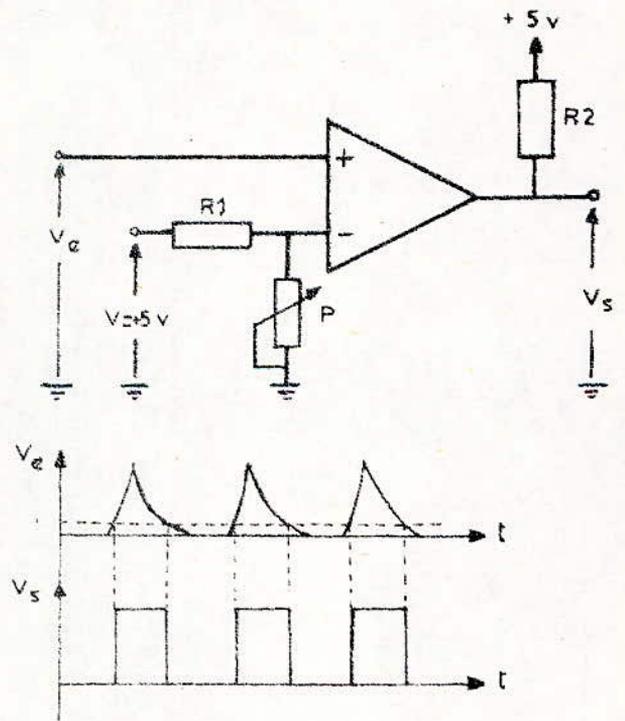


Fig.18 - BROCHAGE ET MONTAGE DU COMPAREUR .

- a -  $C < S_1$  L'entrée dans la salle est autorisée    Voyant vert allumé.
- b -  $S_1 < C < S_2$  L'entrée est réglementée    Voyant orange allumé
- c-  $C > S_2$  L'entrée est interdite    Voyant rouge allumé .

On programme le port B en sortie. Les voyants seront commandés par les lignes PB3, PB4, PB5 .

Les voyants seront donc allumés suivant le résultat de la comparaison du comptage enregistré aux deux seuils.

Les lignes PB0, PB1, PB2 étant utilisées pour la validation cyclique des huit sondes, on numérotera celles-ci de la manière suivante:

Sondes gamma : 0, 1, 2, 3 .

Sondes neutrons : 4, 5, 6, 7 .

La ligne PB6 va initialiser (mettre à zéro) le compteur externe (MC 14040) après chaque fin de comptage, la ligne PB7 va déclencher une alarme sonore, lorsqu'il aura un dépassement du taux de comptage maximum. On commandera dans ce cas le clignotement du voyant rouge relié à PB5, Pour signaler le danger. Ce dépassement sera indiqué par le bit 8 du compteur externe. Ce bit sera relié à l'entrée  $\overline{IRQ}$  à travers un inverseur. Lorsque le bit 8 sera mis à 1, l'interruption  $\overline{IRQ}$  est validée

5 - Programmation ;

1 - Programmation du timer .

Nous programmerons le timer pour un temps de décompte maximum (cf: paragraphe du timer). Le précompteur sera sélectionné de façon telle que pour 128 coups enregistrés à l'entrée du timer, celui-ci ne décompte qu'une seule fois (il divise l'entrée du timer par 128).

Les trois (03) premiers bits du registre de contrôle du timer (TCR) seront mis à 1 :

$$TCRO = TCR1 = TCR2 = 1$$

On chargera le registre de donnée du timer avec  $\$FF$ . Nous avons choisi pour mode d'entrée du timer, le mode horloge interne vers le timer.

$$TCR 4 = TCR 5 = 0$$

L'horloge interne du MPU travaillant avec une fréquence de 0,7 Mhz, on aura un temps de cycle  $t = 1,4 \mu s$ .

Le temps de décompte maximum ( lorsque le compteur décomptera de  $\$FF$  à  $\$00$  ), sera donc de :

$$T = 128 \cdot 256 \cdot 1,4 = 400 \text{ ms}.$$

Chaque sonde sera donc sélectionnée pendant 400 ms. Pendant ce temps, le comptage enregistré pour la sonde antérieure sera traité.

## 2 - Programme principale de traitement.

Avant le programme de traitement des informations, on devra initialiser les différents registres et ports du microprocesseur.

### a - Initialisation des ports.

Le port A sera programmé en entrée :  $DDRA = \$00$

Le port B en sortie :  $DDRB = \$FF$

### b- Initialisation du timer.

- Le registre de contrôle du timer va contenir :

$$TCR = \$0F = 0000 1111$$

car :

TCR 7 = 0 Pas de requête d'interruption.

TCR 6 = 0 Interruption du timer démasquée.

TCR 4 = TCR5 = 0 Mode horloge interne vers le timer.

TCR 3 = 1 Initialisation du précompteur.

TCR 2 = TCR1 = TCRO = 1 Sélection de la sortie du précompteur (  $\div$  par 128) vers le timer.

.../...

- Chargement du registre de données du timer par  $\$$  FF .

C - Initialisation du compteur externe .

La remise à zéro du compteur externe étant commandé par le bit 6 port B (PB6) , on mettra ce bit successivement à "1" puis à zéro car le master reset ( mise à zéro) du compteur est actif à l'état "1".

d - Traitement .

On transfère le contenu du port A ( taux de comptage ) dans l'accumulateur du MPU , puis on comparera cette valeur  $S_1$  et  $S_2$  ou  $S'_1$  ou  $S'_2$  suivant la sonde considérée (gamma ou neutron ).

L'organigramme du programme principal est représenté par la figure 20 L'adresse du début de ce programme est écrite dans le vecteur d'interruption de RESET . L'exécution de cette routine est commandée par la broche RESET .

e - Sous-programme interruption du timer (T.I ).

L'organigramme de cette subroutine est donné en figure 21 . Ce sous programme consiste à valider successivement les huit(08)sons à initialiser le compteur externe et à mettre à zéro le bit 7 du registre de contrôle du timer et le bit I du CC pour autoriser une éventuelle interruption . L'appel de ce sous programme se fait après chaque fin de comptage . Lorsque le compteur du MPU décompte jusqu'à zéro , le microprocesseur reçoit une interruption du timer et exécute le sous programme T.I.

f- Programme IRQ .

Le bit 8 du compteur externe est relié à l'entree IRQ du microprocesseur . En cas de dépassement du comptage maximum(bit 8 = 1 ) , le MPU reçoit une interruption IRQ .

.../...

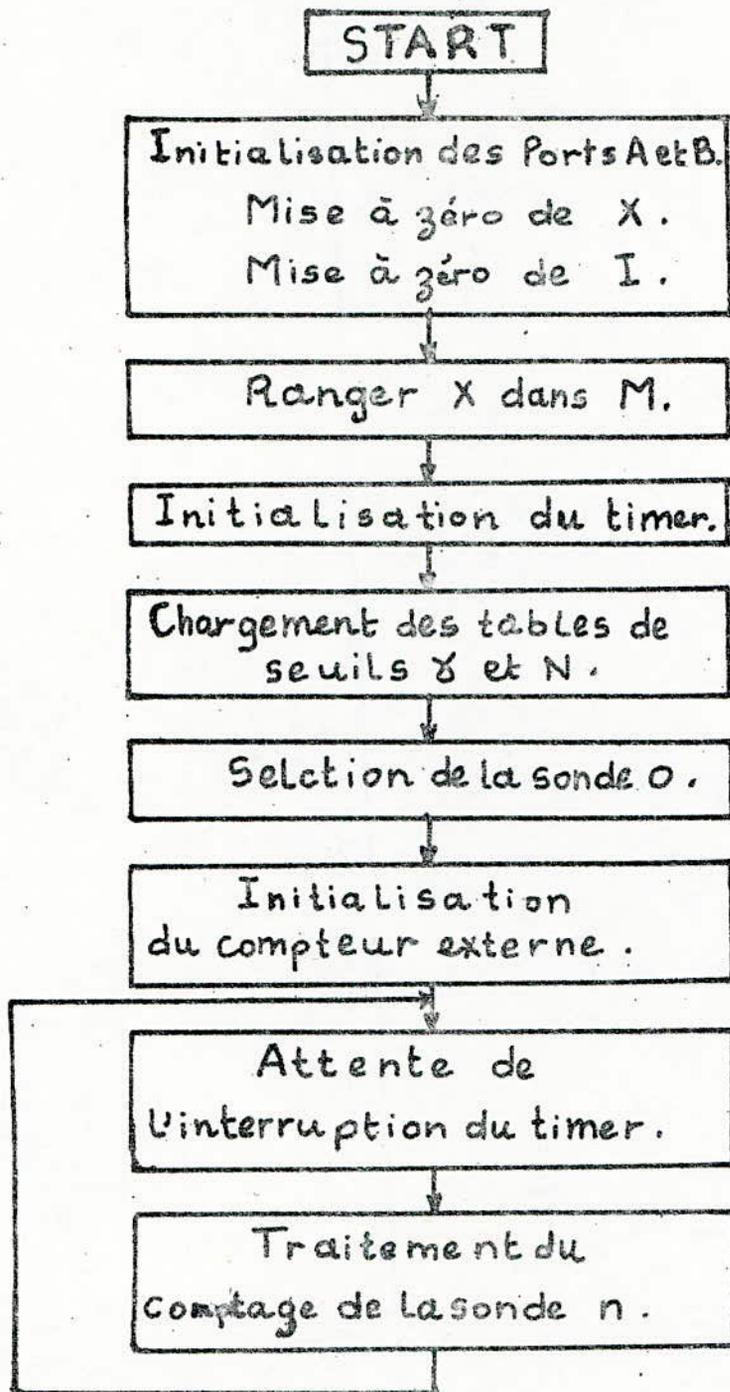
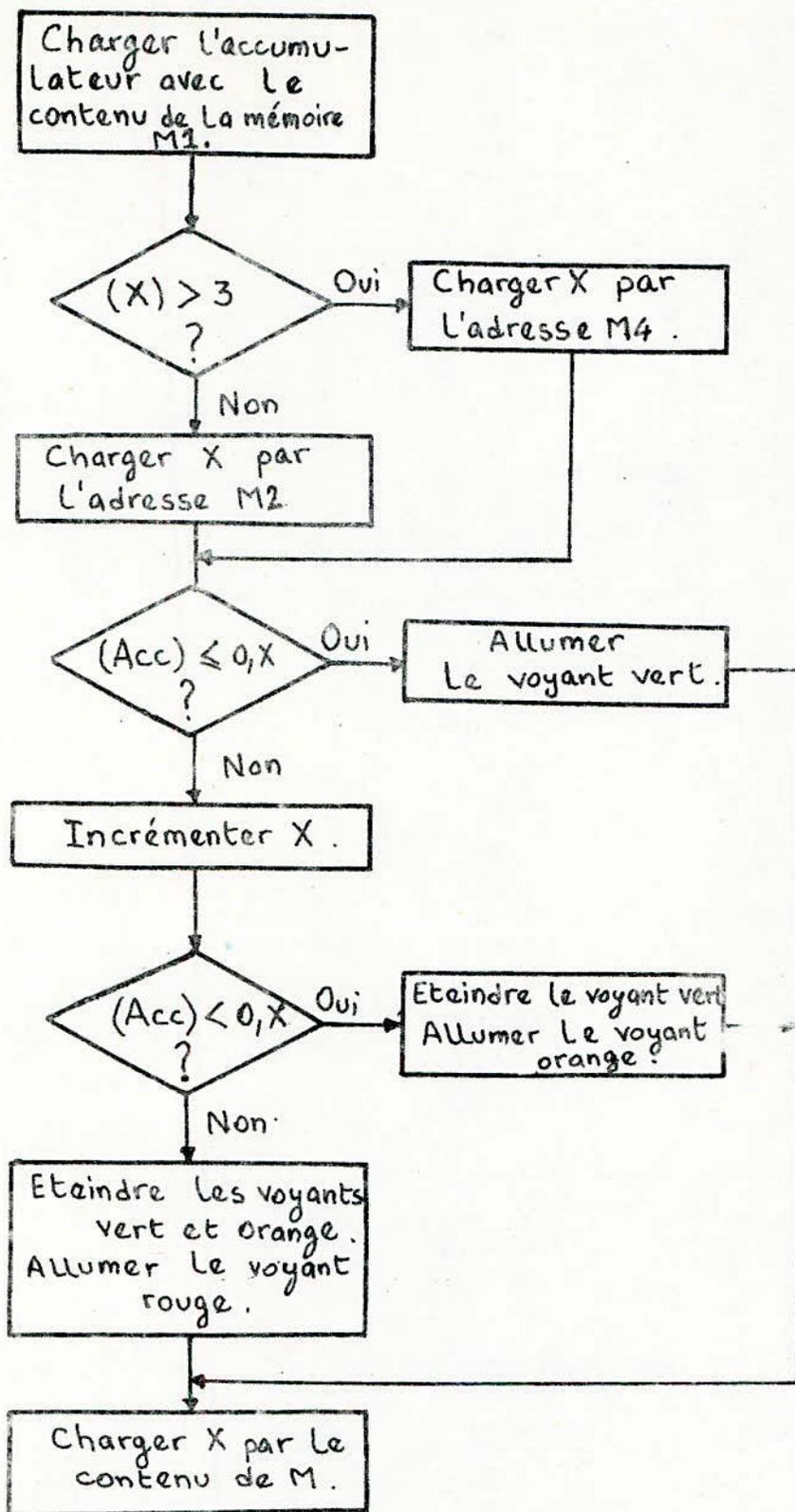


Fig 20 : Organigramme du programme principal.



ORGANIGRAMME DE TRAITEMENT .

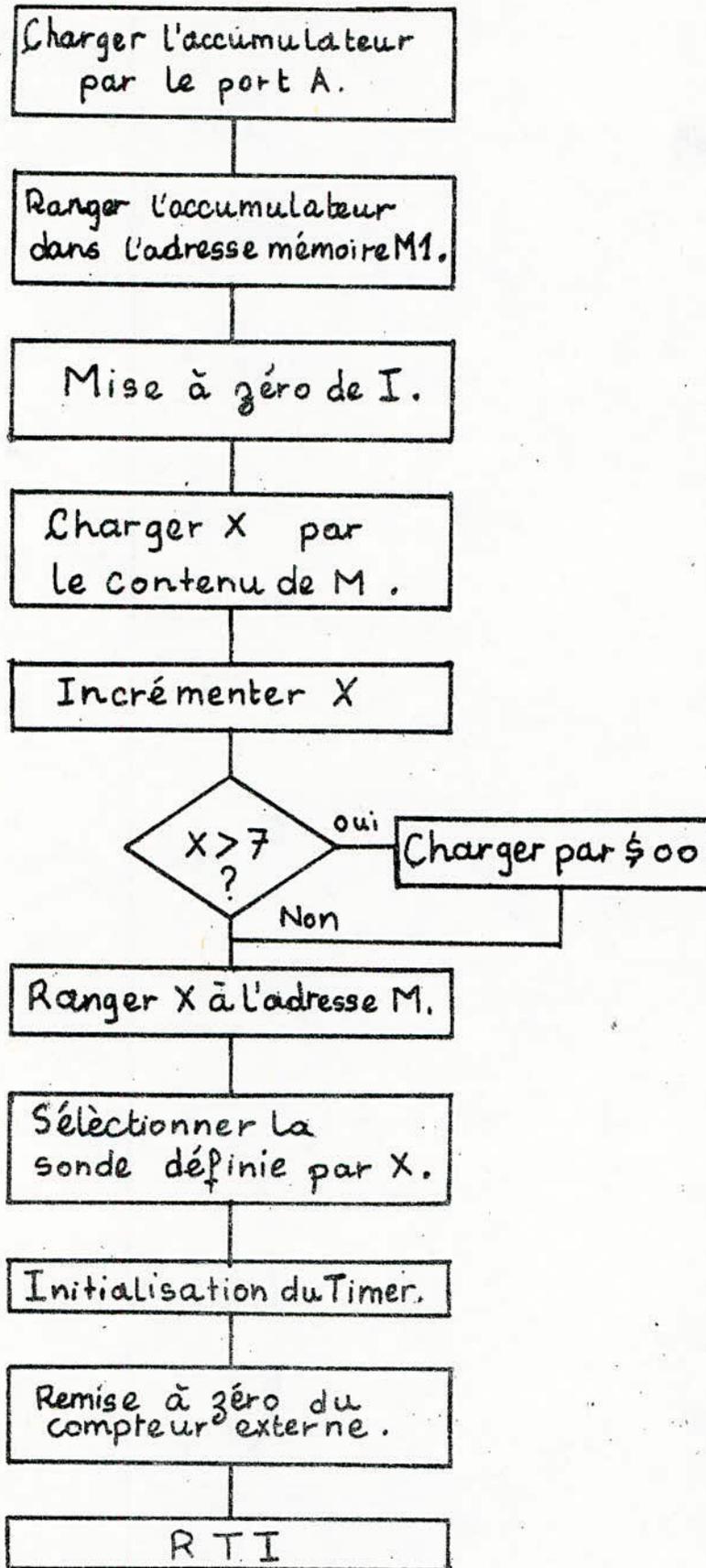


Fig 21: Sous-programme d'interruption du timer.

Le programme de cette interruption consiste à commander le clignotement du voyant rouge et une alarme sonore .

Il mettra donc successivement à 1 et à zéro les bits 5 et 7 du port B .

L'organigramme de ce programme est donné en figure 22 .

- Adresses des mémoires utilisées dans les organigrammes .

Adresses	Memoire utilisée pour :
M = § 10	Le registre X.
M1 = § 11	L'accumulateur.
M2 = § 12	le seuil $S_1 = § 0A$ .
M3 = § 13	le seuil $S_2 = § 18$ .
M4 = § 14	le seuil $S_1 = § 02$ .
M5 = § 15	le seuil $S_2 = § 04$ .

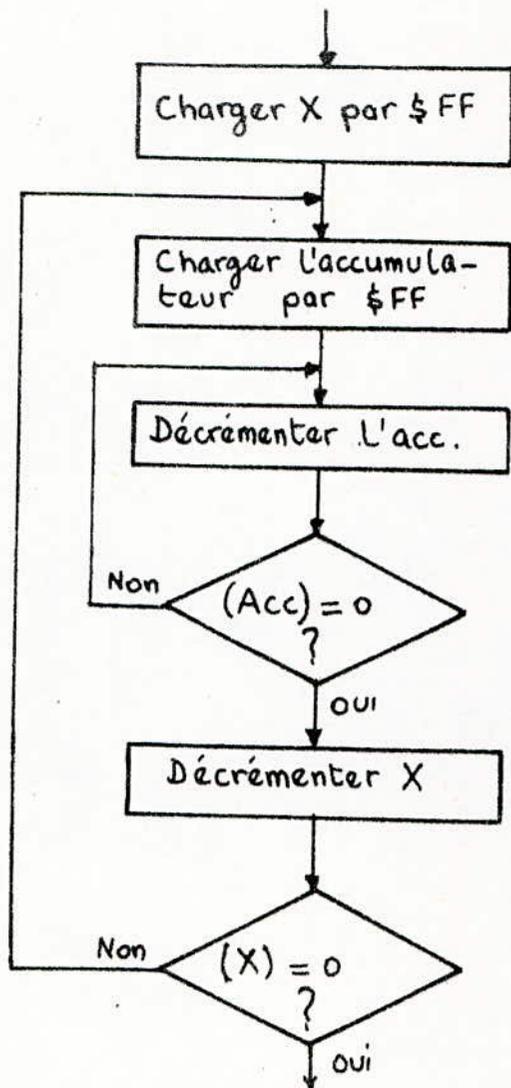
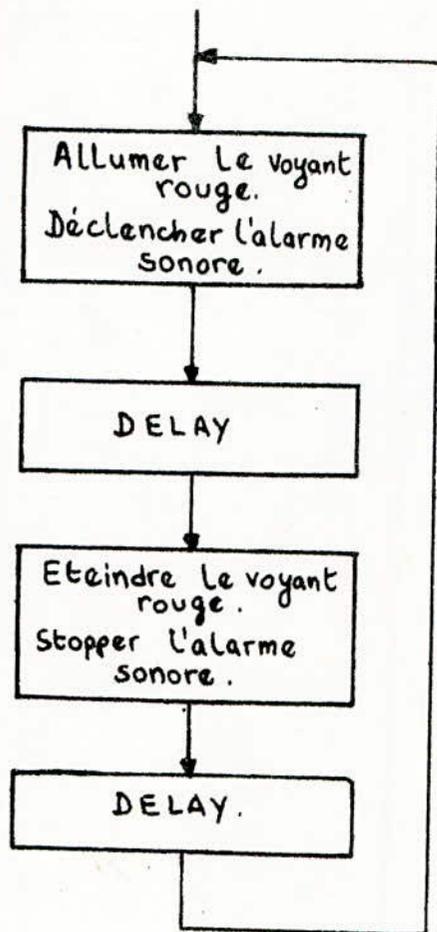


Fig 22: Organigramme du programme IRQ.

Organigramme : DELAY.

Programme principal

Adresses	Langage machine	Assembleur	Commentaires
1800	4F	CLR A	Initialisation du portA entrant, du portB sort- ant .
1801	B7 04	STA \$04	
1803	A6 FF	LDA <del>##</del> \$FF	Mise à zéro de I Mise à zéro de X Ranger X dans l'adresse \$10 de la RAM.
1805	B7 05	STA \$05	
1807	9A	CLI	
1808	5F	CLX	
1809	BF 10	STX \$10	
180B	A6 0A	LDA <del>##</del> \$0A	chargement des seuils dans les positions mé- moires de la RAM .
180D	B7 12	STA \$ 12	
180F	A6 18	LDA <del>##</del> \$18	
1811	B7 13	STA \$ 13	
1813	A6 02	LDA <del>##</del> \$02	
1815	B7 14	STA \$14	
1817	A6 04	LDA <del>##</del> \$04	
1819	B7 15	STA \$15	
181B	A6 0F	LDA <del>##</del> \$0F	
181D	B7 09	STA \$09	
181F	A6 FF	LDA <del>##</del> \$FF	Initialisation du timer
1821	B7 08	STA \$08	
1823	A6 40	LDA <del>##</del> \$40	Remise à zéro du comp- teur externe .
1825	B7 01	STA \$01	
1827	4F	CLR A	T1 chargement de l'accumula- teur par le contenu de la mémoire \$ 11
1828	B7 01	STA \$01	
182A	8F	WAIT	
182B	B6 11	LDA \$ 11	
182D	A3 03	CFX <del>##</del> \$03	
182F	22 04	BHI T2	
1831	AE 12	LDX <del>##</del> \$12	
1833	20 02	BRA T3	
1835	AE 14	T2 LDX <del>##</del> \$14	
1837	F1	T3 CMP 0,X	
1838	23 12	BLS T5	Traitement du taux de comptage enregistré
183A	5C	INC X	
183B	F1	CMP 0,X	Eteindre le voyant vert Eteindre le voyant oran- ge.
183C	25 08	BLO T4	
183E	17 01	BCLR3 \$01	
1840	19 01	BCLR4 \$01	
1842	1A 01	BSET5 \$01	Allumer le voyant rouge.
1844	20 08	BRA T6	

.../...

1846	18 01	T4	BSET4 \$01	Allumer le voyant orange
1848	17 01		BCLR3 \$01	Eteindre le voyant vert
184A	20 02		BRA T6	
184C	16 01	T5	BSET3 \$01	Allumer le voyant vert .
184E	BE 10	T6	LDX \$01	
1850	20 D8		BRA T1	

### Programme d'interruption du timer

Adresses	Langage machine	Assembleur	Commentaires .
1853	B6 00	LDA \$00	Transfert du port A dans l'accumulateur .
1855	B7 11	STA \$ 11	
1857	9A	CLI	
1858	BE 10	LDX \$ 10	
185A	5C	INC X	
185B	A3 07	CPX <del>##</del> \$07	
185D	22 15	BHI S2	
185F	BF 10	S1 STX \$ 10	
1861	B6 10	LDA \$ 10	Masquage du résultat de traitement(bit 3,4,5 )
1863	BA 01	ORA \$ 01	
1865	B7 01	STA \$01	
1867	A6 0F	LDA <del>##</del> \$0F	Initialisation du timer
1869	B7 09	STA \$09	
186B	A6 FF	LDA <del>##</del> FF	
186D	B7 08	STA \$ 08	
186F	1C 01	BSET6 \$01	Remise à zéro du
1871	1D 01	BCLR6 \$01	compteur externe .
1873	80	RTI	
1874	5F	S2 CLX	
1875	20 E8	20 S1	

### Programme IRQ

Adresses	Langage machine	Assembleur	Commentaires
187A	1C 01	BSET6 \$01	
187C	1D 01	BCLR6 \$01	
187E	1A 01	F1 BSET5 \$01	Allumer le voyant rouge
1880	1E 01	BSET7 \$01	Declencher l'alarme sonore.
1882	CD 188C	JSR SPD	
1885	1B 01	BCLR5 \$01	Eteindre le voyant rouge
1887	1F 01	BCLR7 \$01	Stopper l'alarme sonore
1889	CD 188C	JSR SPD	
188C	20 F0	BRA F1	

.../...

Sous programme DELAY

188E	AE	FF	SPD	LDX	<del>##</del>	\$	FF
1890	A6	FF	P2	LDA	<del>##</del>	\$	FF
1892	4A		P3	DEC	A		
1893	A1	00		CMP	<del>##</del>	\$	00
1895	26	FB		BNE	P3		
1897	5A			DEC	X		
1898	A3	00		CPX	<del>##</del>	\$	00
189A	26	F4		BNE	P2		
189C	81			RTS			

Bouche d'attente

## CONCLUSION .

Cette étude nous a permis de nous familiariser avec le microprocesseur C.MOS MC 146805E2 .

L'absence du système de développement de la famille M6805, nous a posé quelques problèmes pour la réalisation du microordinateur et la programmation de celui-ci .

L'avantage du système que nous avons réalisé réside, dans les dimensions réduites de la carte, dans sa faible consommation, donc de la souplesse de son utilisation . Ces qualités, pourtant remarquables, peuvent être améliorées avec l'utilisation de la nouvelle version du microprocesseur C.MOS , à savoir ,le MC 146805G2 . Ce dernier avec sa ROM intégrée de 2 koctets et ses 32 lignes d'entrée/sortie constitue, à lui tout seul, un microordinateur .

Notre réalisation n'est qu'un exemple d'application du microprocesseur C.MOS.Un système ainsi conçu peut, moyennant quelques adaptations concernant les transducteurs et le chargement de l'EPRAM par un programme adéquat, être utilisé dans des domaines très variés.

Nous citons à titre indicatif :

- Construction mécanique : commande de machine-outil .
- Médecine : Surveillance des paramètres physiologiques ( rythme cardiaque, température, ... )
- Commande de feux de signalisation tricolore .

Ce travail constitue une base qui pourrait aider l'utilisateur du MC 146805E2 à concevoir d'autres applications .

B I B L I O G R A P H I E

Microprocesseurs et microordinateurs

R.L . Caen, Crozet. J-M

Masson 1978

Introduction au microprocesseur

C.Pariot

Au coeur des microprocesseurs

D.GIROD,R.DUBOIS

2<sup>eme</sup> édition .

Programmation des microprocesseurs

H.LILEN

2<sup>eme</sup> édition

Notice MOTOROLA du MC 146805E2

Physique Subatomique . Noyaux et particules

L.Valentin

Biophysique des radiations

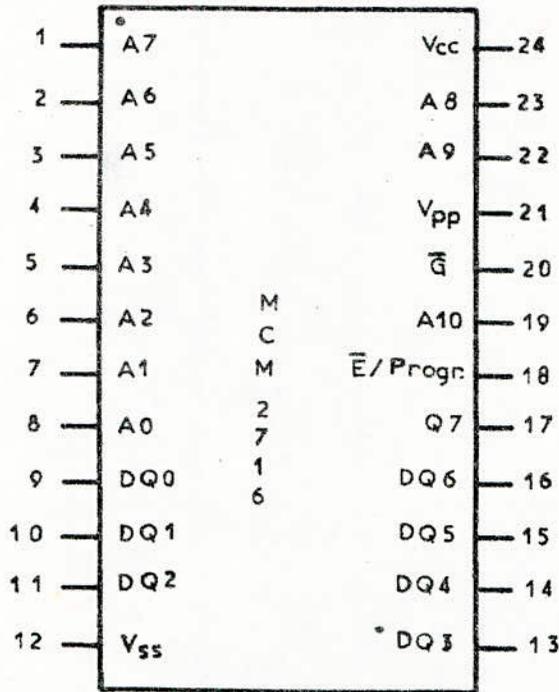
J.DUTREIX,A.DESGRES

Ed.Masson

Revue Electronique Application

N° 19 .

°§°§°§°§°    A N N E X E    °§°§°§°§°



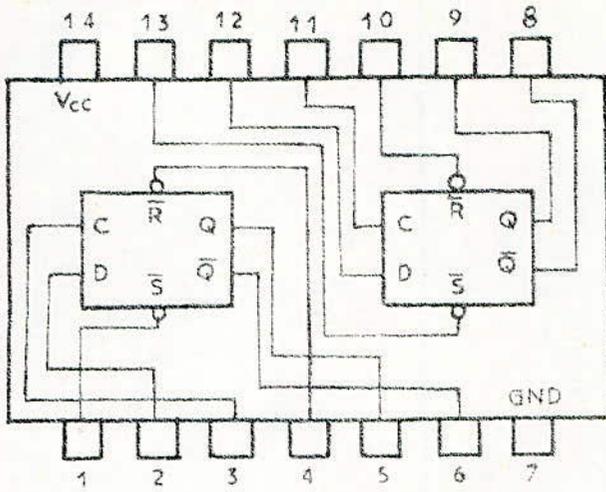
Mode	Numéro des broches					
	9-11 13-17 DQ	12 Vss	18 E-bar/Prog.	20 G-bar	21 Vpp	24 Vcc
Lecture	Sorties des données	Vss	Vil	Vil	Vcc	Vcc
Sorties déconnectées	Haute impédance	Vss	Sans importance	Vih	Vcc	Vcc
Basse consommation	Haute impédance	Vss	Vih	Sans importance	Vcc	Vcc
Programmation	Entrées des données	Vss	Vil à Vih impulsions	Vih	Vihp	Vcc
Vérification de la programmation	Sorties des données	Vss	Vil	Vil	Vihp	Vcc
Validation de la programmation	Haute impédance	Vss	Vil	Vih	Vihp	Vcc

$$V_{ih} = 2 \text{ à } V_{cc} + 1; \quad V_{il} = -0,1 \text{ à } 0,8 \text{ v}$$

(volt)                      (volt)

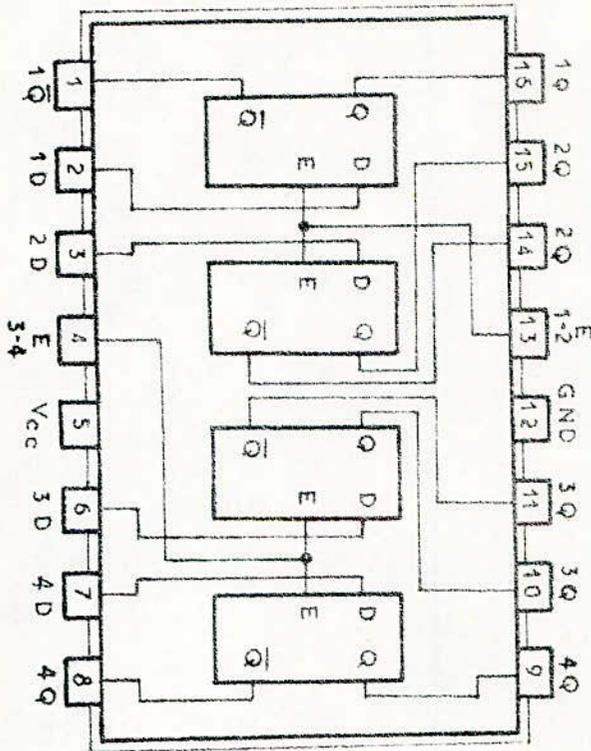
$$V_{cc} = 5 \text{ v}$$

**BROCHAGE ET DIFFERENTS MODES DE LA MCM 2716 .**



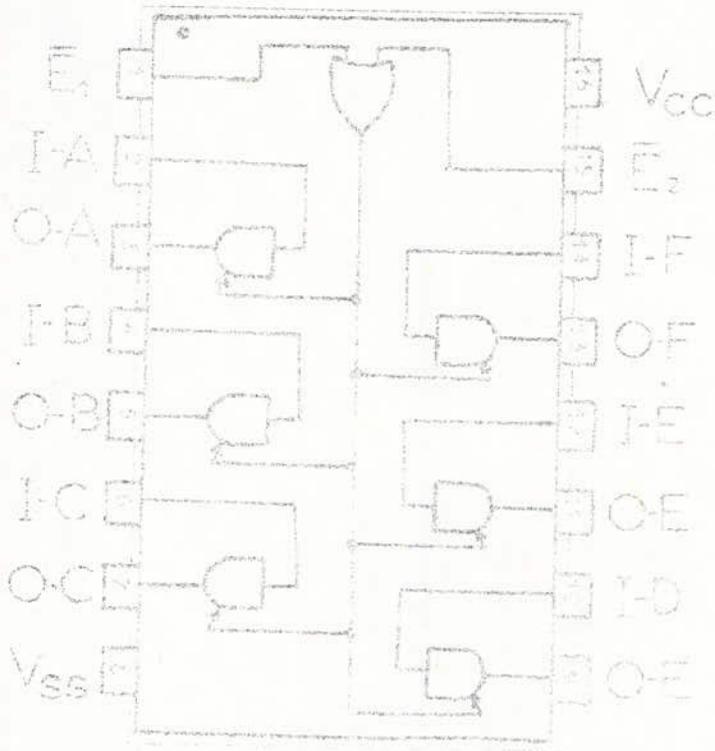
$D_n$	$Q_{n+1}$	$\bar{Q}_{n+1}$
1	1	0
0	0	1
$\bar{R}$	$\bar{S}$	$Q$
1	1	0
1	0	0
0	1	1
0	0	1

BROCHAGE ET TABLE DE VERITE DU SN 7474 ( LATCH ) .



ENTREES		SORTIES	
D	E	Q	$\bar{Q}$
L	H	L	H
H	H	H	L
X	L	$Q_0$	$\bar{Q}_0$

BROCHAGE ET TABLE DE VERITE DU SN 7475 ( FLIP-FLOP ) .



$\bar{E}_2$	$\bar{E}_1$	I	O
L	L	L	L
L	L	H	H
L	H	X	Z
H	L	X	Z
H	H	X	Z

I = entrée, O = sortie.  
 $\bar{E}$  = validation.

ÉBOUCHAGE DE TABLE DE VÉRITÉ DU BLOC (\*BUFFER\*).

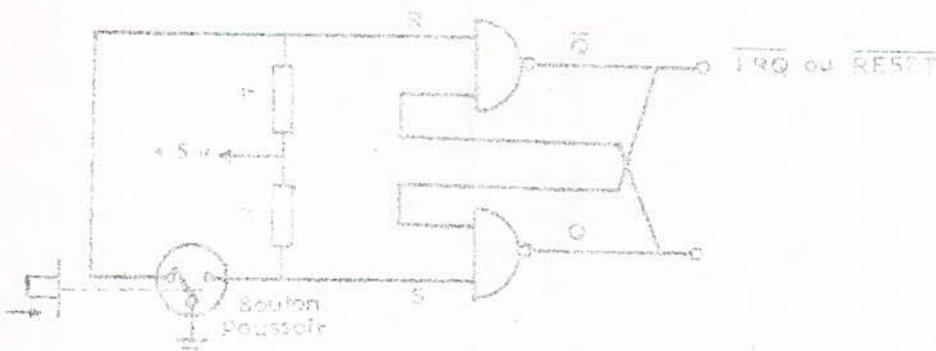
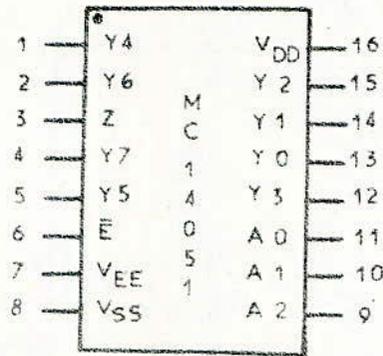


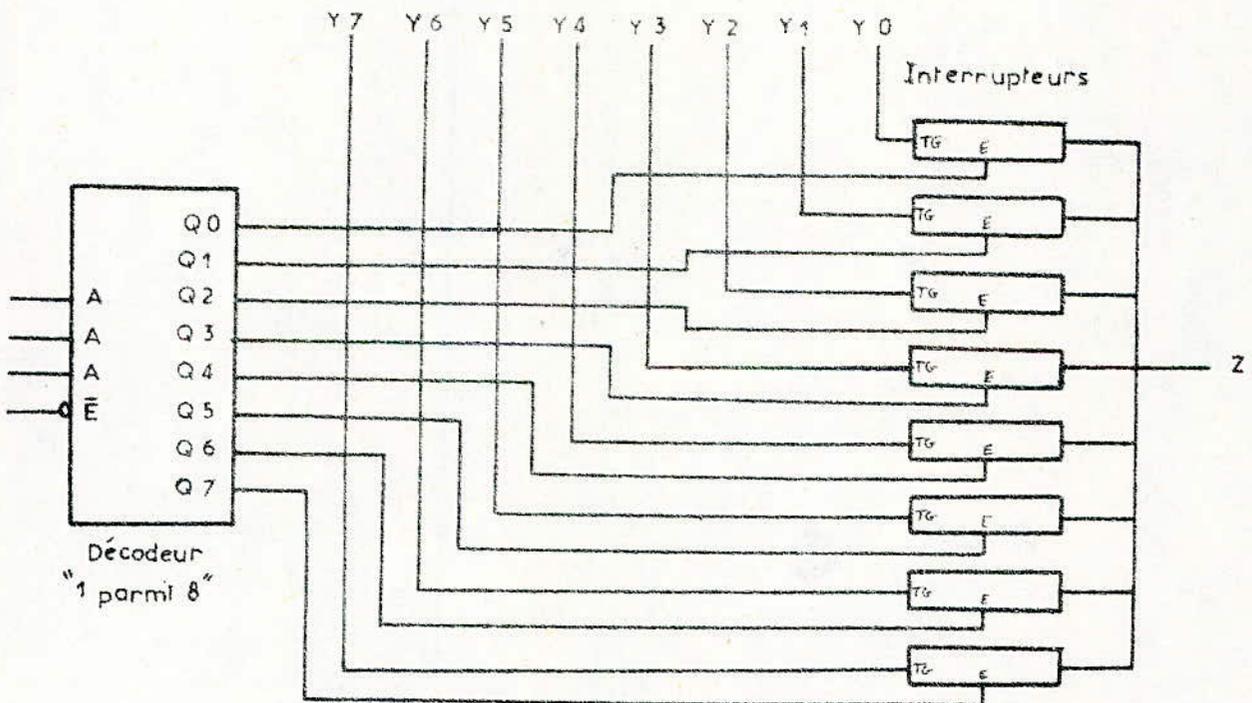
Table de vérité de la bascule RS

R	S	$\bar{Q}$	Q
0	0	1	1
1	0	0	1
0	1	1	0
1	1	0	0

MONTAGE DE LA BASCULE RS UTILISÉ POUR GÉNÉRER DES INTERRUPTIONS EXTERNES.



ENTREES				VOIES							
$\bar{E}$	A2	A1	A0	Y0-Z	Y1-Z	Y2-Z	Y3-Z	Y4-Z	Y5-Z	Y6-Z	Y7-Z
L	L	L	L	ON	OFF						
L	L	L	H	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
L	L	H	L	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF
L	L	H	H	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF
L	H	L	L	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF
L	H	L	H	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF
L	H	H	L	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF
L	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	ON
H	X	X	X	OFF	OFF	OFF	OFF	OFF	OFF	OFF	OFF



BROCHAGE, TABLE DE VERITE ET SCHEMA INTERNE DU MC 14051 .

FIGURE 5 — POWER-ON RESET AND  $\overline{\text{RESET}}$  TIMING

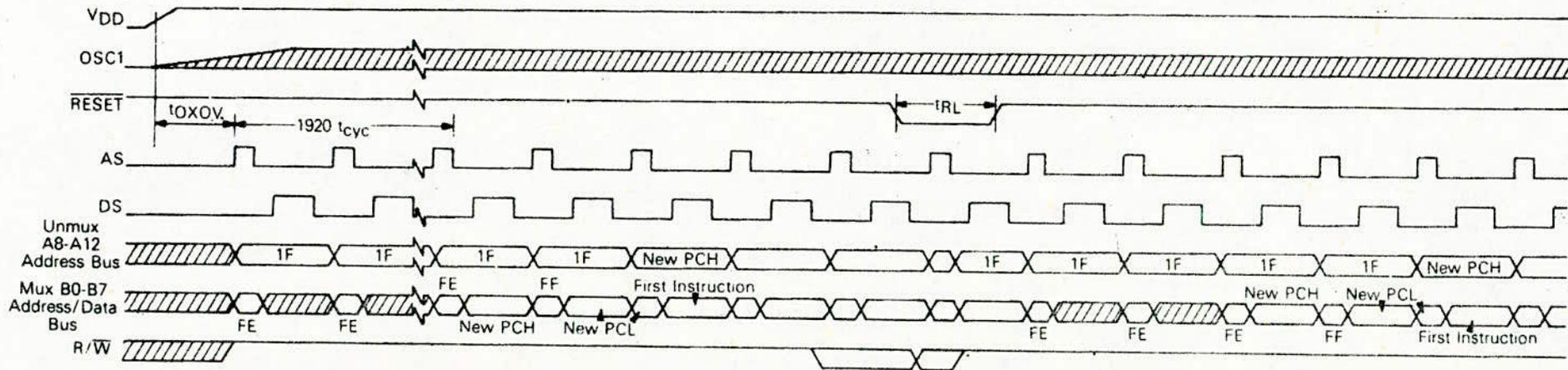
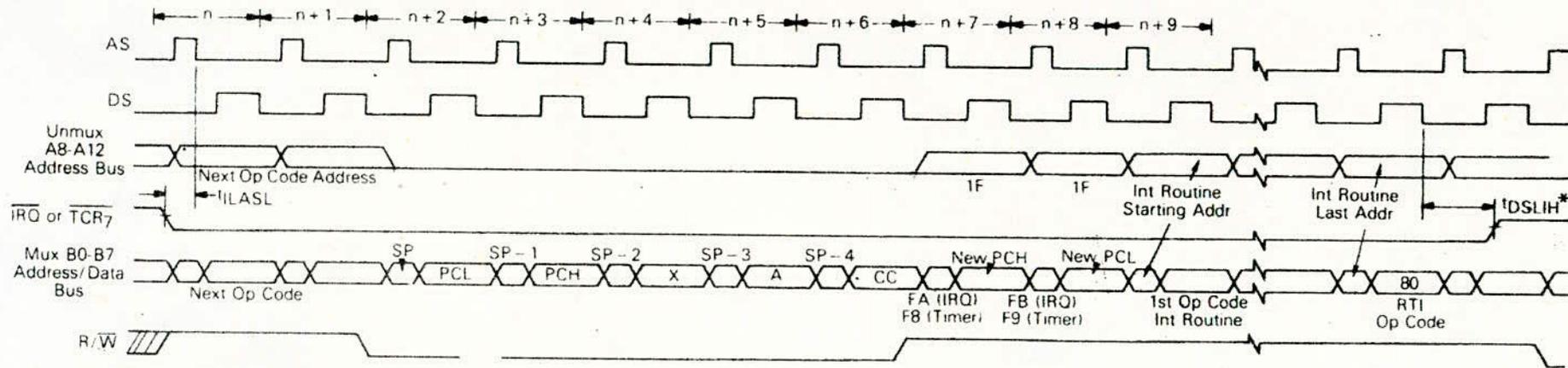


FIGURE 6 —  $\overline{\text{IRO}}$  AND  $\overline{\text{TCR}}_7$  INTERRUPT TIMING



\* $\overline{\text{DSLIIH}}$  - The interrupting device must release the  $\overline{\text{IRO}}$  line within this time to prevent subsequent recognition of the same interrupt

FIGURE 7 — TIMER INTERRUPT AFTER WAIT INSTRUCTION: TIMING

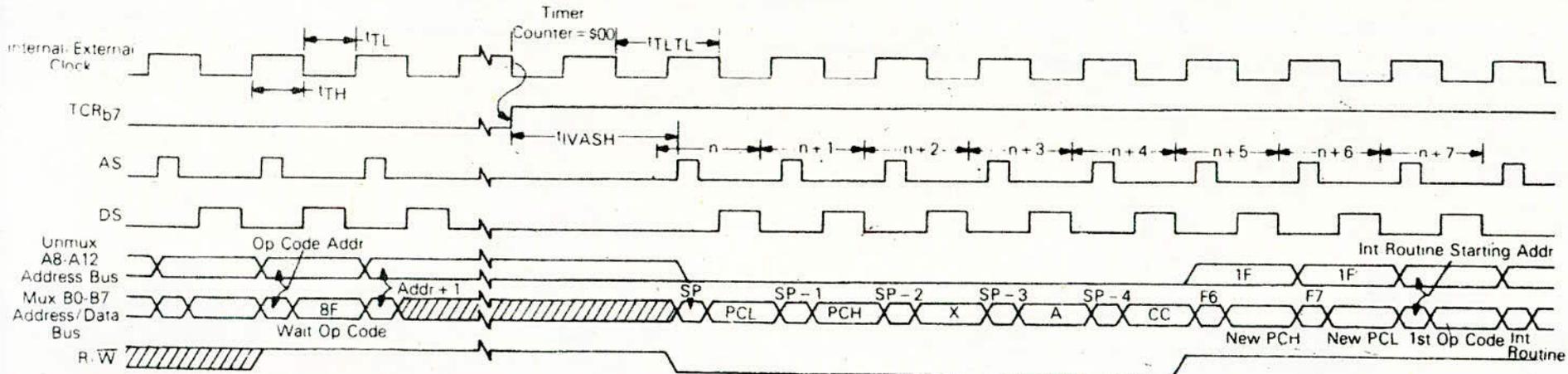
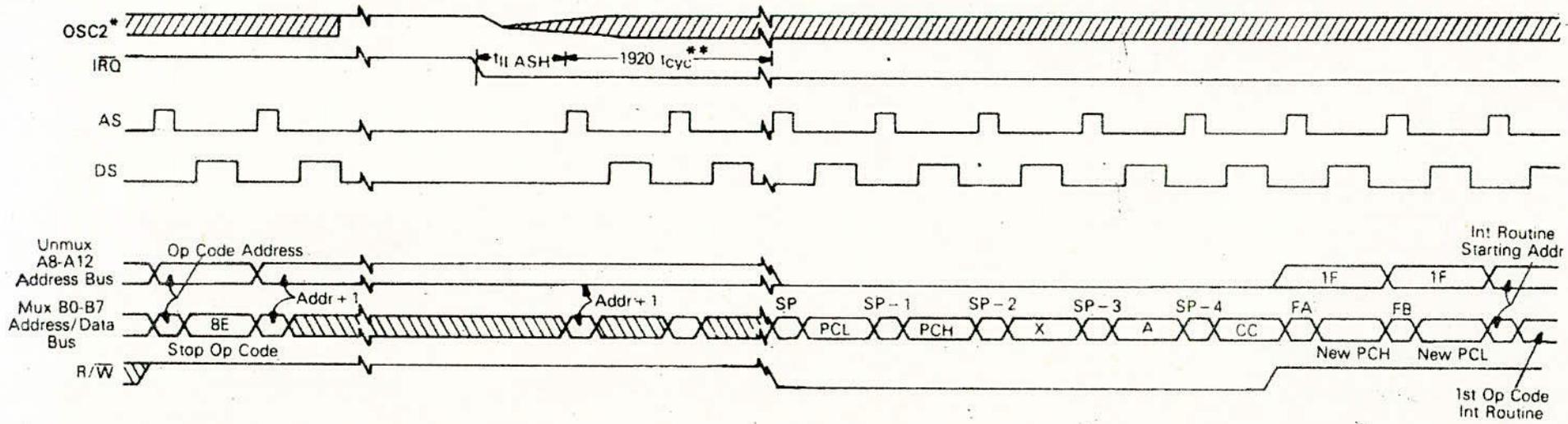
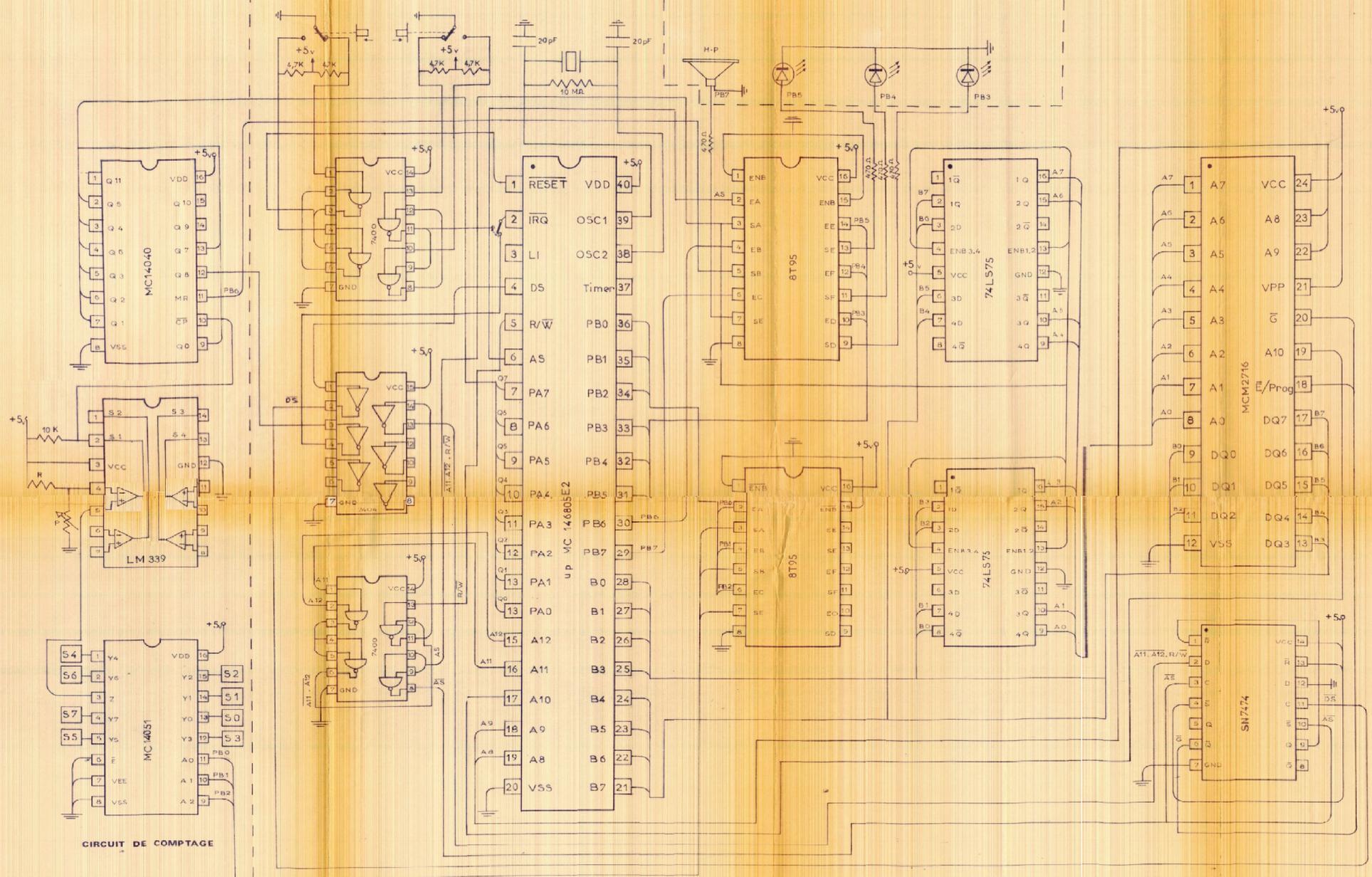


FIGURE 8 — INTERRUPT RECOVERY FROM STOP INSTRUCTION: TIMING



\* Represents the internal gating of the OSC1 input pin.  
 \*\*  $t_{cyc}$  is one instruction cycle (for  $f_{OSC} = 5 \text{ MHz}$ ,  $t_{cyc} = 1 \mu\text{s}$ )



NO. 07. SONDES

SCHEMA DE LA CARTE REALISEE