

U S T H B

48/82  
2ed

# ÉCOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT D'ÉLECTRONIQUE

C.S.T.N. LABORATOIRE DE TÉLÉDETECTION



## PROJET DE FIN D'ÉTUDE

INGÉNIEURAT EN ÉLECTRONIQUE

### SYSTEME INTERACTIF

I RESTITUTION D'IMAGE

NUMÉRIQUE SUR

MONITEUR T.V. NOIR ET BLANC

Proposé par :

A . ABDELLAOU

Étudié par :

A . SOAL

B . HADJ - AÏSSA

JUIN . 82

U S T H B

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT D'ELECTRONIQUE

C.S.T.N - LABORATOIRE DE TELEDETECTION

PROJET DE FIN D'ETUDE

INGENIORAT EN ELECTRONIQUE

**SYSTEME INTERACTIF**

I RESTITUTION D'IMAGE

NUMERIQUE SUR

MONITEUR T.V. NOIR ET BLANC

Proposé par :

A . ABDELLAOUI

Etudié par :

A . SOAL

B . HADJ - AÏSSA

JUIN . 82



## REMERCIEMENTS

---

Ce projet a été réalisé au Laboratoire de TELEDETECTION Du Centre des Sciences et de la Technologie Nucléaires (CSTN)

Nous tenons tout d'abord à remercier Monsieur A.ABDELLAOUI Chef du Laboratoire IV de Télédetection, pour toute la confiance qu'il nous a faite en nous proposant ce sujet, et pour nous avoir guidé et orienté dans notre travail. Qu'il veuille bien trouver en ces lignes notre profonde et sincère gratitude.

Nous tenons également à remercier MM: MILOUDI Med Tahar, M. SMAHAT, ainsi que toute l'équipe du Laboratoire HARDWARE du CERI pour leurs aides morales et matérielles.

Nous remercions également MM: H.KASSAB, M.BELKACEMI, M.TILIKET A.OUSSEDIK, ainsi que l'ensemble du personnel du Laboratoire de Télédetection.

Que tous ceux qui ont contribué à l'élaboration de ce travail trouvent ici l'expression de notre reconnaissance.

## SOMMAIRE

### INTRODUCTION.

Première partie.

#### I-Système Interactif.

- 1-Composition d'un système.
- 2-Traitement des informations.
- 3-Chargement mémoire.
- 4-Visualisation et transformation des données image.
- 5-Manipulation et analyse de l'image.
- 6-Applications.

Deuxième partie.

#### I-Principe de visualisation.

- 1-Analyse d'une image.
- 2-Principe d'un balayage entrelacé.
- 3-Signal vidéo.
- 4-Inperatifs techniques.

#### II-Procasseur de visualisation graphique.

- 1-Définition du coprocesseur.
- 2-Les caractéristiques principales du GDP.
- 3-Description générale.
- 4-Brochage.
- 5-Alimentation, Horloge et paramètres du fonctionnement.
- 6-Signaux de synchronisation et de Blanking.
- 7-Description des registres.

#### III-Principe de fonctionnement du circuit.

- 1-Organisation de la mémoire d'image.



- 2-Description du plan mémoire.
- 3-Gestion de la mémoire d'image par le GDP.
  - a-Adressage.
  - b-Signaux sortant par les broches DAD et MSL.
  - c-Etats de sortie DAD et MSL.

#### IV-Etude et structure des mémoires d'images.

- 1-Rappels sur les mémoires.
  - a-RAM statiques.
  - b-RAM dynamique.
  - c-Avantages et Inconvénients.
  - d-RAM dynamique la EF 4116 BC15.
- 2-Organisation interne de la mémoire RAM.
- 3-Structure d'adresse du plan mémoire.
  - a-Selection ligne.
  - b-Selection colonne.
- 4-Organisation du plan mémoire.
  - a-Adressage de la mémoire d'image.
  - b-Mode d'accès à l'écriture.
  - c-Mode d'accès à la lecture.
  - d-Partage des différents cycles.
- 5-Signaux de commande.

### Troisième Partie

- I-Fonctionnement des différents automates.
  - 1-Générateur de caractères.
  - 2-Tracé de vecteurs.
  - 3-Les commandes.
  - 4-Générateur de caractères et de symboles.

5-Matrice de base.

6-Facteur d'échelle.

7-Espace d'adressage des caractères.

8-Inclinaisons.

II-Aspect Programmation.

III-Demande externe à la mémoire d'image.

a-Accès externe (mode de lecture).

b-Fonctionnement.

c-Accès externes (mode écriture).

d-Fonctionnement.

IV-Conversion A/ N/A

V-Etude du prix de revient.

VI-Conclusion.

VII-Annexe.



## Introduction

La télédétection est un ensemble de techniques qui permettent d'obtenir des informations qualitatives et quantitatives sur la surface de la terre à partir de satellites.

Le développement de l'informatique a mis à la disposition des spécialistes de la télédétection des moyens considérables pour le traitement et l'exploitation des images.

Ces images qui constituent l'information peuvent être de 2 types

- photographiques.

- numériques.

Les informations numériques sont les seules directement exploitables par ordinateur.

Au laboratoire de télédétection on arrive maintenant à sortir des images sur papier listing, et ceci par élaboration de programmes adéquats qu'on fait passer sur ordinateur.

Les images obtenues sont très intéressantes, mais prennent beaucoup de temps à sortir, en effet il faut à peu près une 1/2 h pour faire sortir une image 512x512 points, et ceci ne permet pas un traitement interactif.

Une solution plus élégante et surtout très rapide c'est de compléter le système de traitement par des périphériques permettant à l'utilisateur de visualiser rapidement tout ou partie de l'image en cours de traitement.

Notre travail consiste justement à élaborer un interface pour la restitution d'image noir et blanc sur un moniteur TV, cet interface est conçu autour du GDP "GRAPHIC DISPLAY PROCESSOR3" véritable processeur graphique de visualisation.

Ce projet sera divisé en trois parties. Dans la première on parlera du système Interactif d'une façon générale. En deuxième on

décriera le GDP, circuit qui est à la base de notre travail et de ses périphériques, En troisième et dernière partie sera consacrée au fonctionnement du système de visualisation dans ses différentes applications (Alphanumérique, Graphique), et en particulier la mise au point d'un schéma pour le chargement et la visualisation des images par le tracé points à points sur l'écran TV.

En annexe

On donnera les différentes fiches techniques se rapportant au GDP ainsi que les autres composants du périphérique.



PREMIERE - PARTIE

## Système Interactif de Traitement d'Images.

Le système interactif d'image permet de traiter et de visualiser en noir et blanc, et en couleur, non seulement les images de Télédétection issues de radiomètres embarqués sur satellites, avions ou ballons après restitution numérique, mais également toute image digitalisée à l'aide d'un microdensitométré par exemple, ce système peut être articulé autour d'un ou plusieurs ordinateurs accessible à partir d'une console alphanumérique noir et blanc ou d'une console couleur.

### 1-Composition d'un système interactif.

Le système interactif de traitement d'image comprend:

- Une mémoire associée à l'ordinateur
  - Un dérouleur de bandes, permettant de lire les bandes image
  - Une unité de disque contenant tout le logiciel exécutable du système interactif, ainsi que le fichier de sauvegarde.
  - Une unité de disque contenant les images à traiter issues de bandes magnétiques.
  - Une console alphanumérique permettant de repertorier sur disque les caractéristiques des images.
  - Une console alphanumérique et graphique à partir de laquelle se déroule le dialogue nécessaire à la gestion des images sur disque, à la représentation d'image sur la console image et aux classifications. A cette console est associé un "hard copy" papier qui restitue immédiatement le contenu de l'écran.
  - Un terminal qui comporte 3 mémoires image et 3 mémoires auxiliaires de rafraîchissement auxquelles sont associés les contrôleurs mémoires, 2 contrôleurs vidéo, une console image interactif.
- voir fig 1



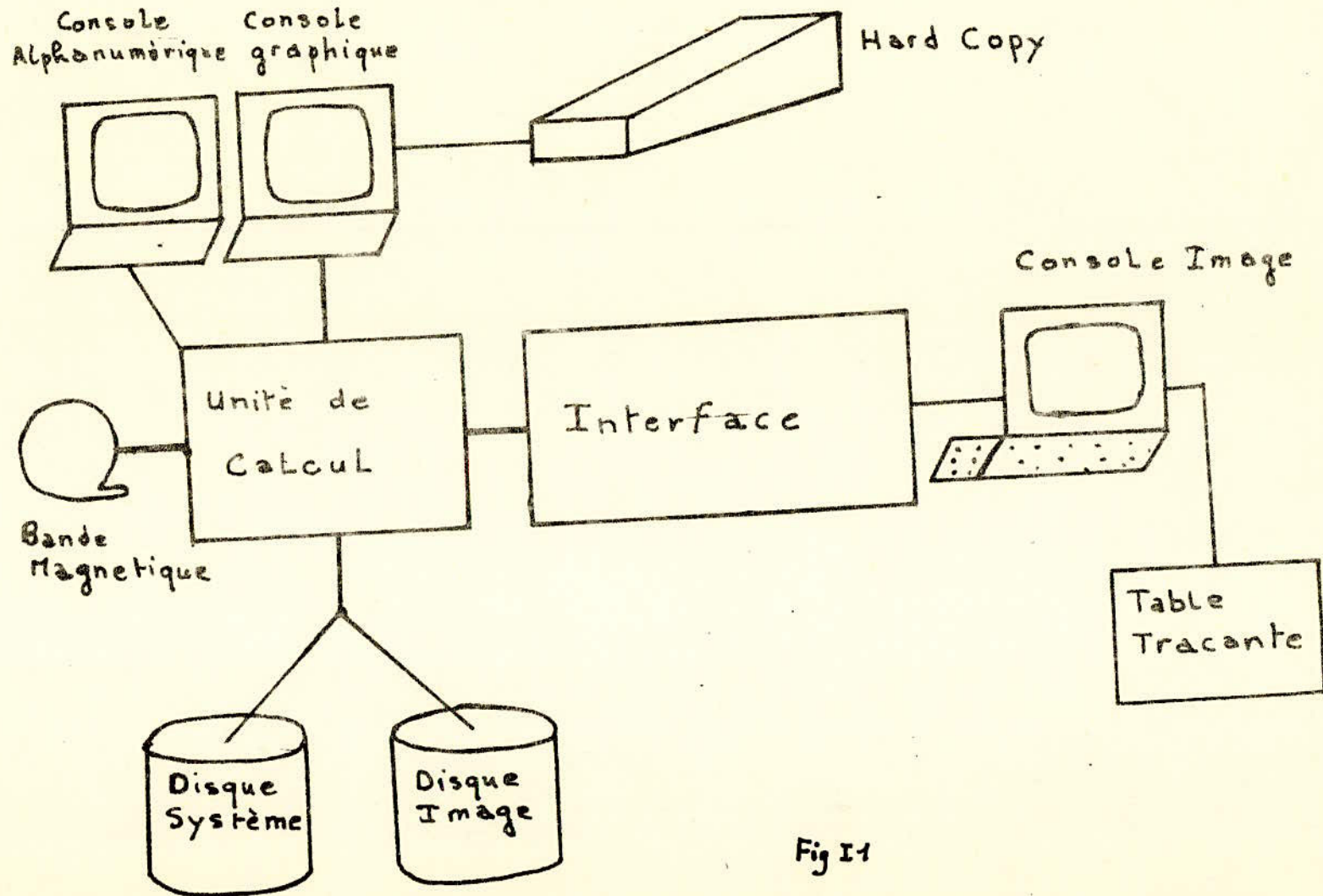
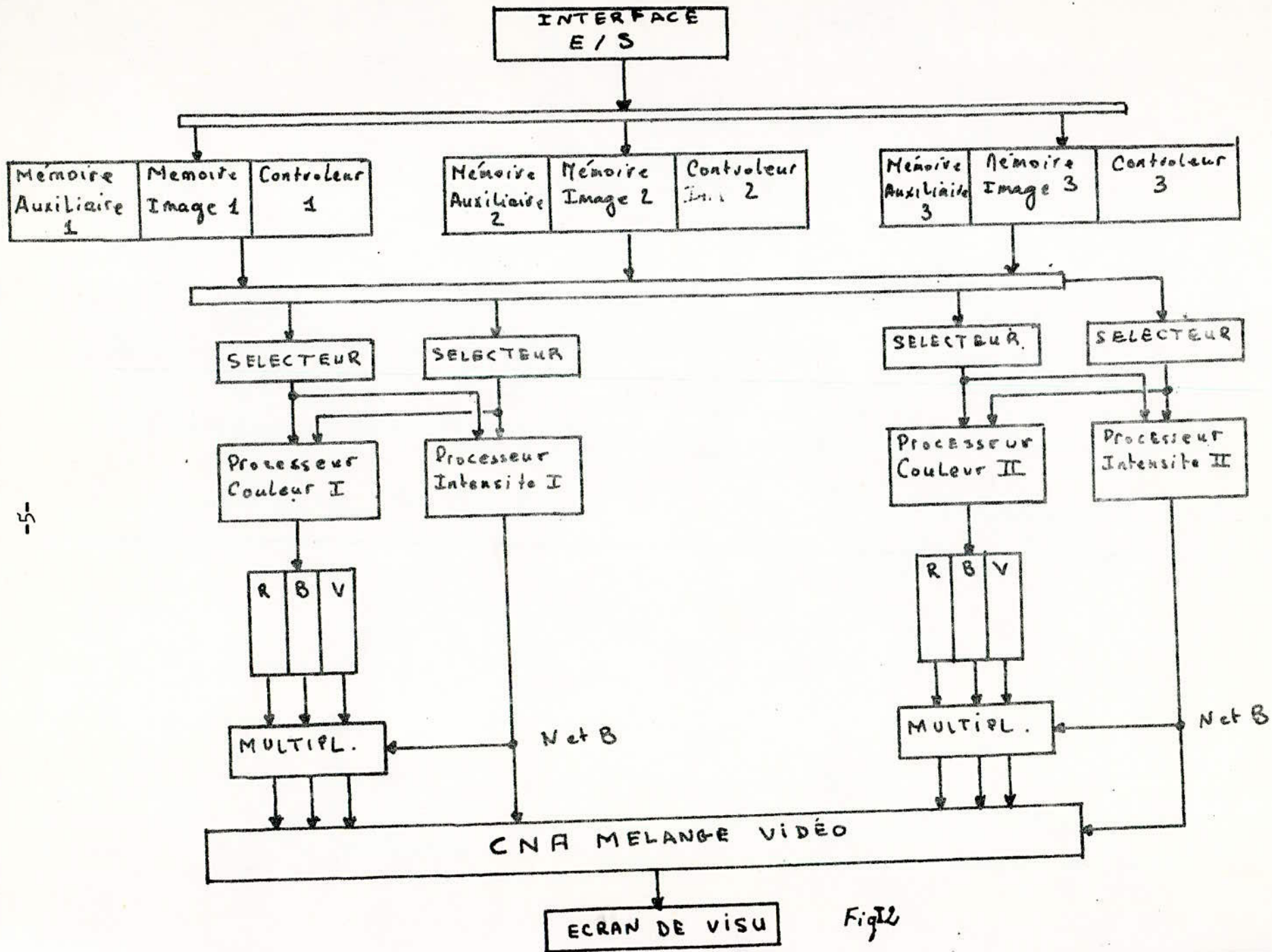


Fig 11



-5-

Fig 12



## 2-Traitement des Informations.

Les images à visualiser sont stockées dans 3 mémoires image de 512x512 octets.

Elles sont chargées par l'ordinateur à partir des images disque à ces 3 mémoires image sont associées 3 mémoires auxiliaires de 512x512 bits utilisées pour la représentation graphique.

Les contrôleurs mémoires permettent non seulement d'écrire dans les mémoires images et graphiques mais aussi de les relire afin de transférer le contenu dans l'ordinateur ou l'écran de visualisation, mais également d'effectuer par sélection d'adresse un effet de zoom de rapport 2, 4, ou 8 (qui n'est autre qu'un agrandissement d'une zone choisie sur l'image afin de faire ressortir une classe rare à partir de l'image), un decadrage ou une juxtaposition d'image. Chacune des mémoires est découpée technologiquement en 4 partitions se comportant comme 4 mémoires indépendantes de 256x256 octets.

Entre les mémoires et l'écran de visualisation se trouve 2 contrôleurs vidéo autorisant par mélange vidéo 2 traitements séparés, les juxtapositions et superpositions d'image en noir et blanc ou équidensités colorées, les visualisations de composites couleur: R, V, B, chaque contrôleur vidéo se compose de 2 selecteurs, de 2 processeurs, d'une table de couleur, et d'un multiplexeur. Les selecteurs permettent de sélectionner une image parmi les 3 et de l'aiguiller sur 2 processeurs.

-un processeur intensité pour le noir et blanc et permettant d'opérer un masquage sélectif sur un ou plusieurs des 8 bits contenant le point image.

-d'effectuer des seuillages permettant de n'exploiter qu'une tranche des données image.

-d'appliquer un facteur de contraste en dilatant la tranche des données visualisées.

-de decadrer l'échelle de brillance par translation de l'origine des données image.

La table couleur utilisée uniquement en pseudo-couleur, permet de faire correspondre à chacune des 256 valeurs des données image issues de processeurs couleur, 256 couleurs définies par programme formées d'une composante rouge, une bleue, et une verte codées chacune sur un octet. Le multiplieur effectuée, si nécessaire, les traitements réintroduisant des échelles de brillance dans les données issues de la table couleur.

La console image interactif est composée:

-d'un écran de visualisation principal et d'un écran secondaire qui sont des moniteurs de TV couleur 625 lignes.

sur les 2 écrans se forme la même image, mais l'écran secondaire peut être photographié et l'image est alors restituée immédiatement sur polaroid?.

-d'un panneau de commande à 32 touches permettant d'activer les fonctions décrites ci dessus en mode "off line" ou de sélectionner en mode "on line", certaines fonctions interactives de manipulation d'images et d'y évoluer de façon incrementale.

### 3-Chargement mémoire.

Il existe plusieurs possibilités pour charger les mémoires image à partir du disque image:

-automatique d'une zone avec adaptation automatique de la taille de l'image à celle du disque image.

-avec choix assisté, de la zone à charger par désignation du centre de la zone et de ses dimensions.

-manuelle avec, choix de zone par coordonnées image.

### 4-Visualisation et transformation des données image.

Trois modes de visualisation sont possibles:

-noir et blanc en passant par le processeur intensité.

-équidensité colorée par affectation de couleurs prédéfinies aux 256 valeurs de la table couleur.

-composite couleur par affectation linéaire de 3 composantes R, V et B au contenu des 3 mémoires supposées représenter la même scène pour 3 canaux spectraux centrés respectivement sur le R, B et V. voir fig 12



en ce qui concerne la transformation des données image, il s'agit de modifier les données image entre les mémoires et l'écran de visualisation c'est à dire que les données image prenant des valeurs entre 0 et 255 auront, toutes ou certaines des valeurs différentes avant visualisation, soit parce-que l'affectation des niveaux de gris ne se fera pas linéairement, soit parce-que à chaque valeur on fera correspondre une valeur (couleur), c'est donc le domaine des calibrations, seuillage, masquage.

Les principaux modules sont les suivants:

- choix interactif de couleur, et constitution de fichiers couleur
- chargement des tables couleurs avec les couleurs choisies et suivant certains types de calibration (linéaire, expo, etc).
- détermination des seuils monospectraux sur histogrammes par équipopulations par valeurs numériques.
- semillage multispectraux par élimination spatiale sur un canal des points sélectionnés spectralement auparavant sur un autre canal.
- modulation de brillance d'un canal par l'intensité d'un autre canal.
- gain en off-set intensité sur la dynamique de l'image.
- masquage d'un ou plusieurs bits de chaque octet des données image afin d'analyser la contribution de chacun d'eux dans la formation de l'image.

##### 5-Manipulation et analyse de l'image.

Les modules permettant des actions géométrique sur l'image sont:

- zoom de facteur 2, 4 et 8 avec obtention immédiatement de l'image de la zone à agrandir.
  - décadage de l'image par rapport à l'écran.
  - juxtaposition d'images
  - superposition d'images
  - défilement dans le temps et dans l'espace, permettant de voir défiler sur l'écran le contenu des 3 mémoires ou de les voir apparaître successivement (effet d'animation).
- L'analyse de l'image est un domaine très étendu, et peut être plus dans l'avenir, ses fonctions sont les suivantes:



-calcul et tracé d'histogrammes en monodimensionnel (ligne ou colonne image), et bidirectionnel (mémoire complète en partition zone delimitée par un contour polygonal).

-reperage par designation de points et restitution des coordonnées image du point, et de son spectre dans les canaux présents sur le disque.

-analyse monodimensionnelle lignes et colonnes entre canaux et autocorrelation.

-graphique: les graphiques dont il a été question jusqu'à présent en télédétection (histogrammes, profils,....), sont visualisées sur l'écran de la console, afin de garder intégral l'écran image, durant les visualisations. Un module graphique a été cependant développé afin d'inscrire une légende sur les images.

## 6-Application

Nous ne citerons que certaines applications parmi les plus fréquentes. Les principaux domaines où un tel système trouve son application sont:

-Etude des ressources terrestres: après acquisition, et calibration des données image, issues de capteurs, une visualisation est faite pour s'assurer du bon fonctionnement de la chaîne de pénétration, ce contrôle de qualité image indispensable (dans les stations de réception), avant la diffusion et l'archivage des bandes image.

-la recherche d'amélioration d'images par exemple d'histogramme variation interactive de seuillage, adaptation de dynamique, application de calibrateurs diverses.

Cette technique permet à l'utilisateur d'approcher au mieux l'idéal de représentation qu'il se fait de l'image, et d'approcher les paramètres résultants de son étude, à la visualisation de cette image sur un constituteur à haute résolution telle que la VISU-MATRA.

DEUXIEME - PARTIE

## I-Principe de Visualisation.

### 1-Analyse d'une image

L'image projetée sur l'écran du tube cathodique se trouve en réalité constituée par une infinité de points élémentaires plus ou moins lumineux appelés "pixels".

cette analyse se faisant à une cadence suffisamment accélérée, la persistance des impressions lumineuses sur l'oeil donnera à l'observateur une impression de continuité.

l'analyse donc se fera point par point et ligne par ligne, cependant, afin de remédier au problème de scintillement de l'image le mode interligné sera adopté (balayage entrelacé ).

### 2-Principe d'un balayage entrelacé.

Dans ce mode de balayage, on explore d'abord les lignes impaires puis les lignes paires de l'image , chaque demi image est appelée trame. Une image complète est constituée de deux trames: (voir fig II1)

- la trame impaire.
- la trame paire.

### 3-Signal Vidéo \*

C'est un signal électrique dont la tension est fonction de la luminance de chacun des points de l'image analysée.

il constitue l'information utile, il faut donc le distinguer du signaux de synchronisation puisque ces derniers lui sont mélangés pour former le signal vidéo composite. fig II2

### 4-Imperatifs techniques

La nécessité d'adopter le standard TV CCIR, conduit à une définition rigoureuse des chronogrammes de la console.

Le standard CCIR est défini par:

- 25 images par seconde (1 IMAGE DURE 40ms )
- une image est composée de deux trames entrelacées (1 trame dure 20ms).
- une image est constituée de 625 Lignes réparties sur les deux trames. La synchronisation s'effectue par:



-une impulsion trame qui dure environ 13,5us

-une impulsion ligne qui dure 4,7us

comme il y a 625 lignes affichées sur l'écran, on trouve par le calcul que la durée d'une ligne est égale à 63,5 us, l'écran est balayé ligne par ligne avec retour du spot pendant l'impulsion ligne, la durée utile d'une ligne est de 45,7 us.

L'écran ayant un rapport 4/3 entre sa hauteur et sa largeur, on obtient une durée du point élémentaire de 70,2ns, pour des raisons de cadrage sur l'écran, les images de console de traitement image ont en général une définition de 512x512 points.

certaines consoles présentent des définitions supérieures comme 1024x1024 points. Pour simplifier l'établissement des chronogrammes et du fait du débordement de l'image sur les bords de l'écran nous avons défini la valeur de la durée de la ligne à 64us.

Principe du balayage entrelacé

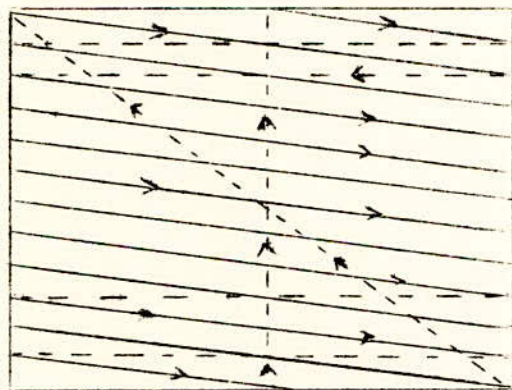


fig 11

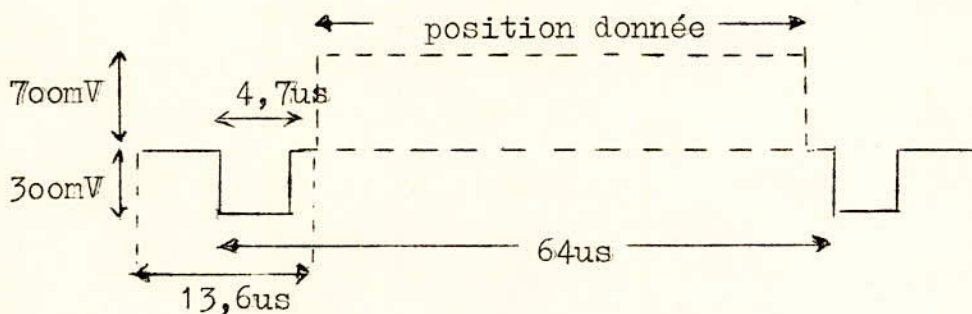
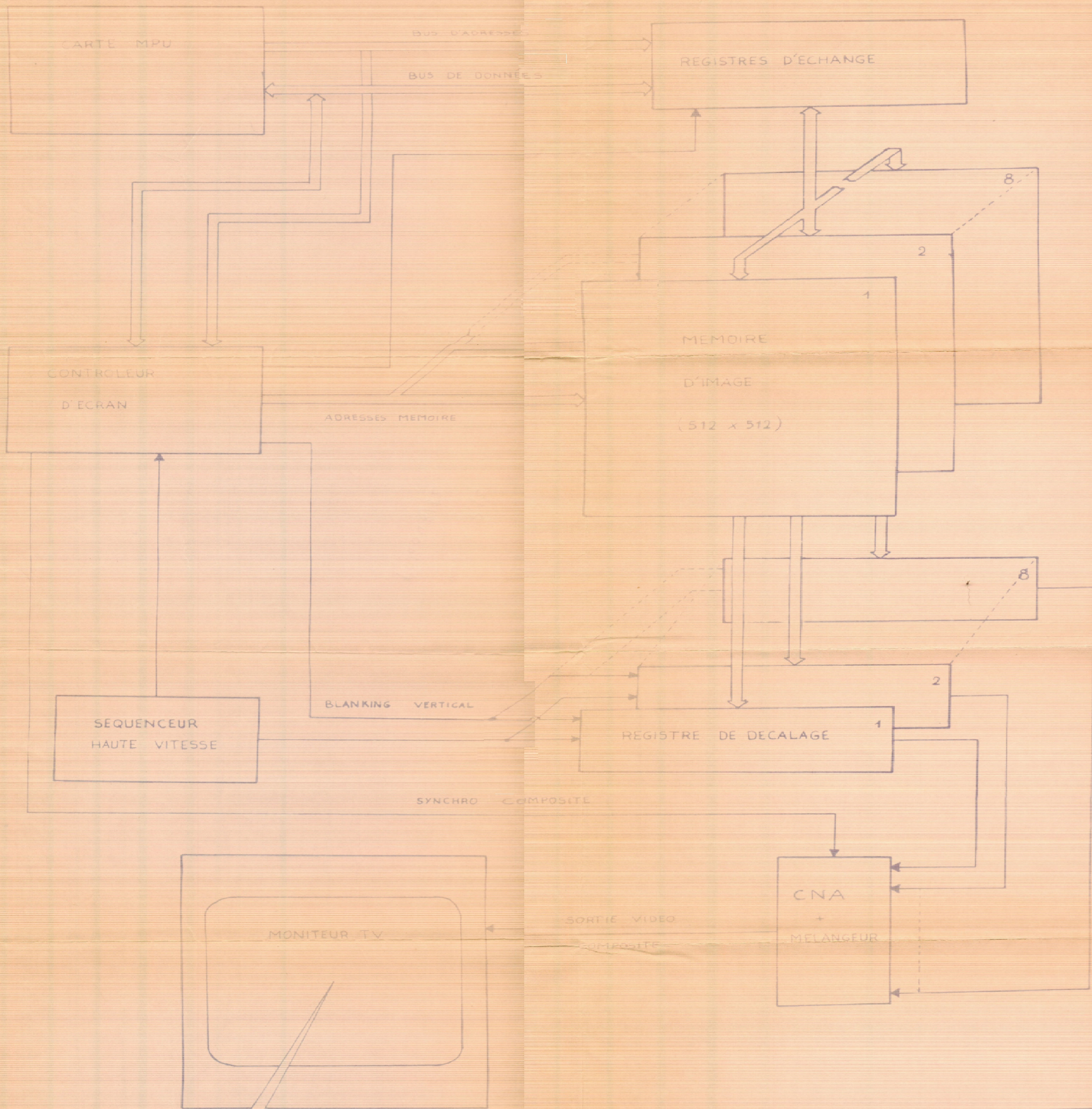


fig 12

Signal vidéo composite







## II-PROCESSEUR DE VISUALISATION GRAPHIQUE

### -1-Definition du Coprocesseur

Le GDP(Graphic Display Processeur),est un véritable processeur graphique à haute résolution et possède toutes les fonctions nécessaires à la génération de vecteurs,de points,et de caractères à très grande vitesse,et des signaux logiques nécessaires pour l'interface avec un moniteur vidéo en mode entrelacé et non entrelacé compatible aux normes CCIR (625 lignes,50Hz). La souplesse d'utilisation du GDP résulte de son interfacage direct avec n'importe quel microprocesseur 8 bits et de ses 11 registres internes.

### 2- Les caracteristiques principales du GDP sont:

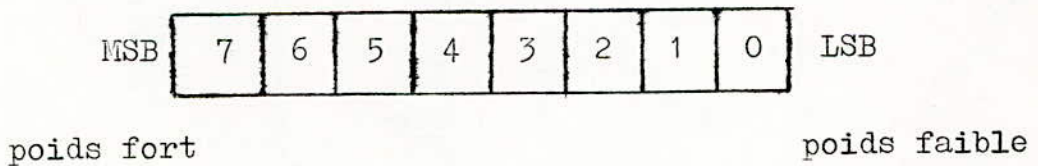
- Plusieurs résolutions possibles noir et blanc et couleur (512x512)balayage entrelacé,(256x256),(128x128),(64x64),balayage non entrelacé.
- Générateur de vecteurs rapide permettant l'animation jusqu'à 1500.000 points par seconde,et une valeur moyenne de 900.000 points-4 types de traits.
- Générateur de caractères intégré (96 caractères ASCII),dimensions et orientations programmables.Densité maximum de l'écran alphanumérique (85x57).
- Adressage multiplexé et rafraîchissement prévus pour RAM dynamiques de 4K ou 16K.
- Génère tous les signaux de contrôle de la mémoire d'image,et blanking et de synchro composite pour l'interfacage direct avec un moniteur vidéo.
- Allocation automatique de la mémoire d'écran en cycle de visualisation,de rafraîchissement,d'écriture et de lecture externe.
- Signaux de contrôle et registre pour l'utilisation d'un light-pen.
- Possède 3 types de requêtes d'interruption,entrées sorties compatibles TTL,alimentation +5V,technologie N MOS,conception entièrement statique.



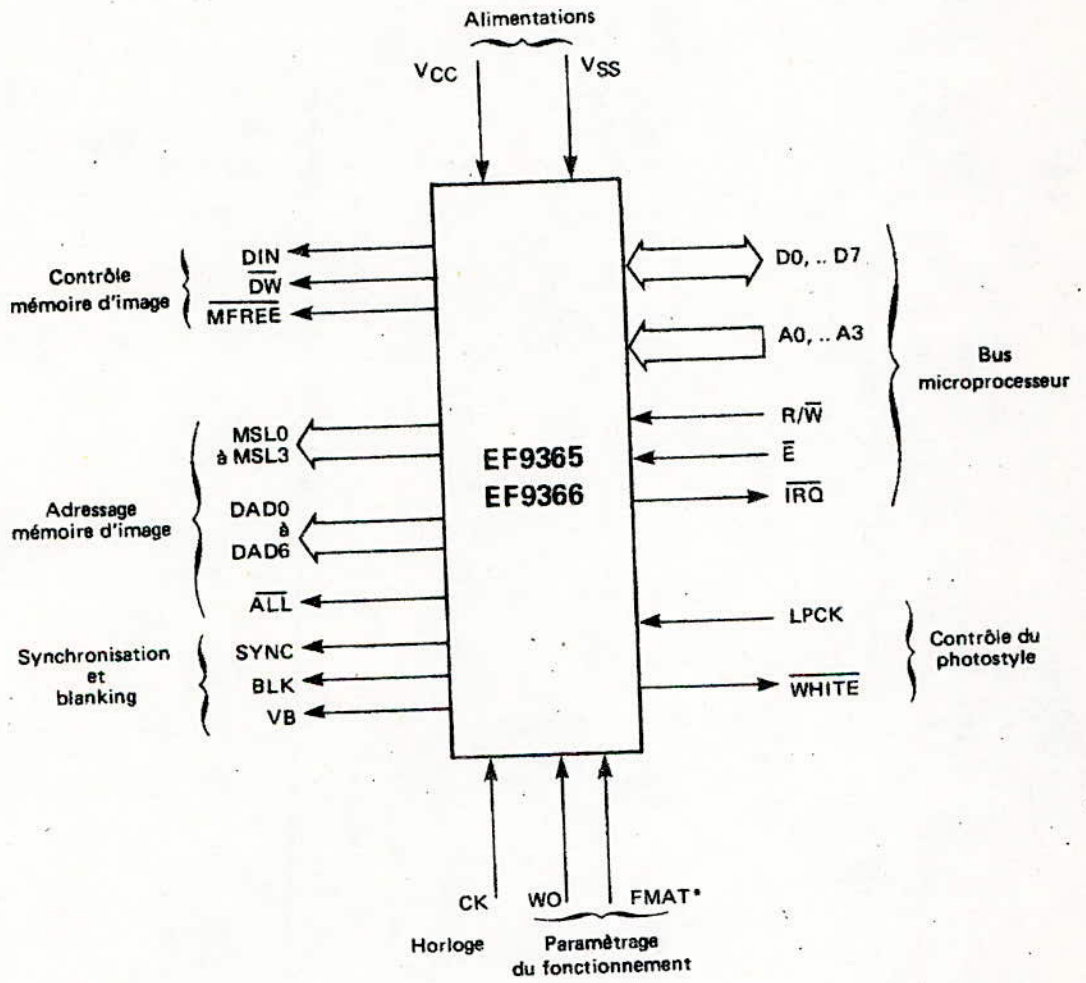
### 3-Description générale

Le GDP est contrôleur intelligent d'écran à balayage de trames entièrement programmable par un microprocesseur 8 bits. ce circuit est entièrement orienté aux applications ou la mémoire d'image n'est pas directement appliquée au microprocesseur, laissant à celui-ci un espace d'adressage complet et permettant un asynchronisme total entre les cycles mémoire du microprocesseur et du GDP .Si un échange direct entre bus du microprocesseur et la mémoire d'image est nécessaire, un système d'allocation temporelle est prévu évitant ainsi la perturbation de la visualisation. Ce circuit est programmable par l'intermédiaire des 11 registres internes occupant 16 adresses consécutives. ces registres peuvent ainsi être modifiés par les automates internes au circuit lors de l'exécution d'une commande.

Nota: Tous les registres et les codes des données sont résumés dans le tableau adresse et fonction des registres. Leurs valeurs hexadécimales sont suivies de l'adresse 16 et les bits des registres sont numérotés de la façon suivante.



### DESCRIPTION DES BROCHES



\*FMAT est à connecter à VSS pour le EF9366.

## 5-Alimentation,Horloge et Paramétrage du Fonctionnement

### -Alimentation

Les broches 20 et 40,représentent respectivement la masse et le +5V.

### -Horloge (CK)

Elle représente l'horloge générale.Tous les automates internes sont modifiés sur le front descendant de ce signal,le niveau bas de CK permet de multiplexer les adresses basses (adresses de rangées pour la mémoire) sur la sortie DAD,pour que la synchronisation soit aux normes CCIR (FMAT haut) la fréquence d'entrée sur CK doit être de 1,75 MHz.

### -Format(FMAT)

Pour le balayage entrelacé 512 lignes FMAT,doit être connecter à  $V_{cc}$ ,pour le non entrelacé 256 lignes celle ci doit être connecter à  $V_{ss}$ ,Cette entrée modifie la forme des signaux de synchronisation,la repartition des adresses sur DAD et la fonction de sortie NSL.

### -Forçage à l'écriture (WO)

Quand WO est à l'état haut, il n'y a ni visualisation ni rafraîchissement des mémoires,les automates peuvent fonctionner sans être interrompus. Le signal  $\overline{ALL}$  est toujours Haut.

## 6-Signaux de synchronisation et de "Blanking"

### --Synchronisation du moniteur Vidéo

Ce signal est aux normes CCIR 625 lignes,50 Hz,si CK est à la fréquence de 1,75 MHz,et si FMAT est haut.

### -Suppression vidéo (Blanking)

Ce signal est en dehors de la fenêtre de visualisation (écriture ou rafraîchissement),il est toujours haut si le bit 2 du registre CTRL 1 est à l'état haut,mais indépendant de l'état WO.

### -Retour trame (Vertical blanking)

Signal indépendant de WO et du registre CTRL 1,haut pendant le retour trame.

### -Signaux d'adressage de la mémoire D'image

Adresse de visualisation (DAD),adresse multiplexée par le signal CK,prevues pour le rafraîchissement des mémoires dynamiques 4K ou 16K.



-Selection des sorties mémoire (MSL0 à MSL3)

Signaux de sélection du pixel en écriture.

-Accès à tous les boitiers (ALL)

Ce signal différencie les accès mémoire collectifs à tous les boitiers (visualisation, rafraîchissement, ou effacement) des accès mémoire à un pixel pour l'écriture des vecteurs ou de caractères.  
ce signal est à l'état bas pour un accès collectif.

-Signaux de contrôle de la mémoire d'image

-Données mémoire d'image (DIM)

Sélection du code de la donnée mémoire correspondant à l'état éteint sur l'écran (actif haut). Pour une application noir et blanc (1 bit par pixel). DIM peut être directement la donnée d'entrée des mémoires

-Ecriture mémoire d'image (DW)

Signal d'écriture dans la mémoire d'image actif à l'état haut.

-Mémoire disponible (FREE)

Signal à l'état bas lors de la première période de non utilisation des mémoires qui suit l'envoi de la commande  $OP_{16}$ .  
Ce signal permet un échange quelconque avec la case mémoire pointée par X et Y sans perturbation de la visualisation.

-Signaux du bus Microprocesseur

-Bus donnée(D0-D7)

L'ouverture des buffers d'entrée/sortie est commandée par  $\bar{E}$ , le sens R/W.

-Bus adresse(A0-A3)

Adresse du registre concerné par l'accès microprocesseur.

-Lecture/écriture(R/ $\bar{W}$ )

Signal de lecture/écriture. L'écriture correspond à l'état bas.

-Validation( $\bar{E}$ )

Signal de synchronisation et de validation d'échange sur le bus.

-Demande d'interruption( $\bar{IRQ}$ )

Requête d'interruption vers le microprocesseur programmable par le registre CTRL2. Sortie à collecteur ouvert

-Signaux d'utilisation du Photostyle

-Forçage au niveau blanc (WHITE)

Prevu pour forcer le niveau blanc sur le signal vidéo, pour permettre l'utilisation du photostyle. Actif à l'état bas.

-Echantillonnage photostyle (LEPC)

Entrée du photostyle. Un front montant, lorsque le mécanisme est armé charge dans le registre XLP et YLP l'adresse courante de visualisation et met à l'état haut le bit de poids faible du registre XLP.

7 -Description des Registres

-Registre X et Y

Ces registres sont des registres de 12 bits à lecture écriture. Ils indiquent les coordonnées du prochain point à écrire dans la mémoire d'image, ces deux registres sont incrementedés ou decrementedés avant chaque écriture en mémoire d'image par le générateur interne de vecteurs et de caractères, et peuvent être positionnés par une écriture directe du microprocesseur; cette adresse d'écriture sur 2x12 bits couvre un espace d'adressage de 4096x4096 points, seuls les bits de poids faibles utilisés puisque la différence maximum de l'image est seulement de 512x512 au plus (pixels).  
les bits de poids fort sont soit ignorés, soit servent à inhiber l'écriture lorsque l'écran réel est considéré comme une fenêtre dans un espace de 4096x4096.

-Registre DELTAX et DELTAY

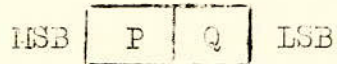
Ces registres sont des registres de 8 bits R/W.  
Ils montrent au générateur de vecteur les projections en X et en Y du prochain vecteur à tracé. Le tracé d'un vecteur est lancé par une écriture dans le registre de commande (CMD)

-Registre CSIZE

C'est un registre de 8 bits à R/W, il indique les facteurs d'échelle en X et en Y des symboles de caractères. 98 caractères sont construits à partir d'une matrice 5x8 pixels définies par une ROM interne. Elle correspond aux 96 caractères alphanumériques imprimables du code ASCII.



Chacun des symboles peut être grossi d'un facteur P en X et d'un facteur Q en Y, variant de 1 à 16.



P et Q sont définis par le registre CSIZE, le tracé d'un caractère est lancé dans le registre de commande.

-Registre CTRL1

C'est un registre de 7 bits à R/W permet de paramétrer le fonctionnement général du circuit.

-Registre CTRL2

C'est un registre de 4 bits à R/W permettant de paramétrer le tracé de vecteurs et de caractères.

-Registre de commande CID

C'est un registre de 8 bits à écriture seule, cette donnée déclenche l'exécution d'une commande après un temps nécessaire à la synchronisation entre l'accès du microprocesseur et l'horloge CK du GDP; les différentes commandes sont au nombre de 6 types.

-tracé d'un vecteur

-tracé d'un caractère

-effacement de l'écran

-armement de la circuiterie du photostyle

-accès à la mémoire d'image par une circuiterie externe

-modification interne des autres registres

-Registre STATUS

C'est un registre de 8 bits à lecture seule. Il permet de surveiller l'état des actions commandées au circuit, entre autres pour éviter de modifier un registre utilisé par ailleurs pour la commande en cours d'exécution.

-Registre XLP et YLP

Ces registres sont à lecture seule, respectivement de 7 bits et de 8 bits on retrouve après une action du photostyle l'adresse de visualisation échantillonnée par le premier front montant sur l'entrée LPCK.



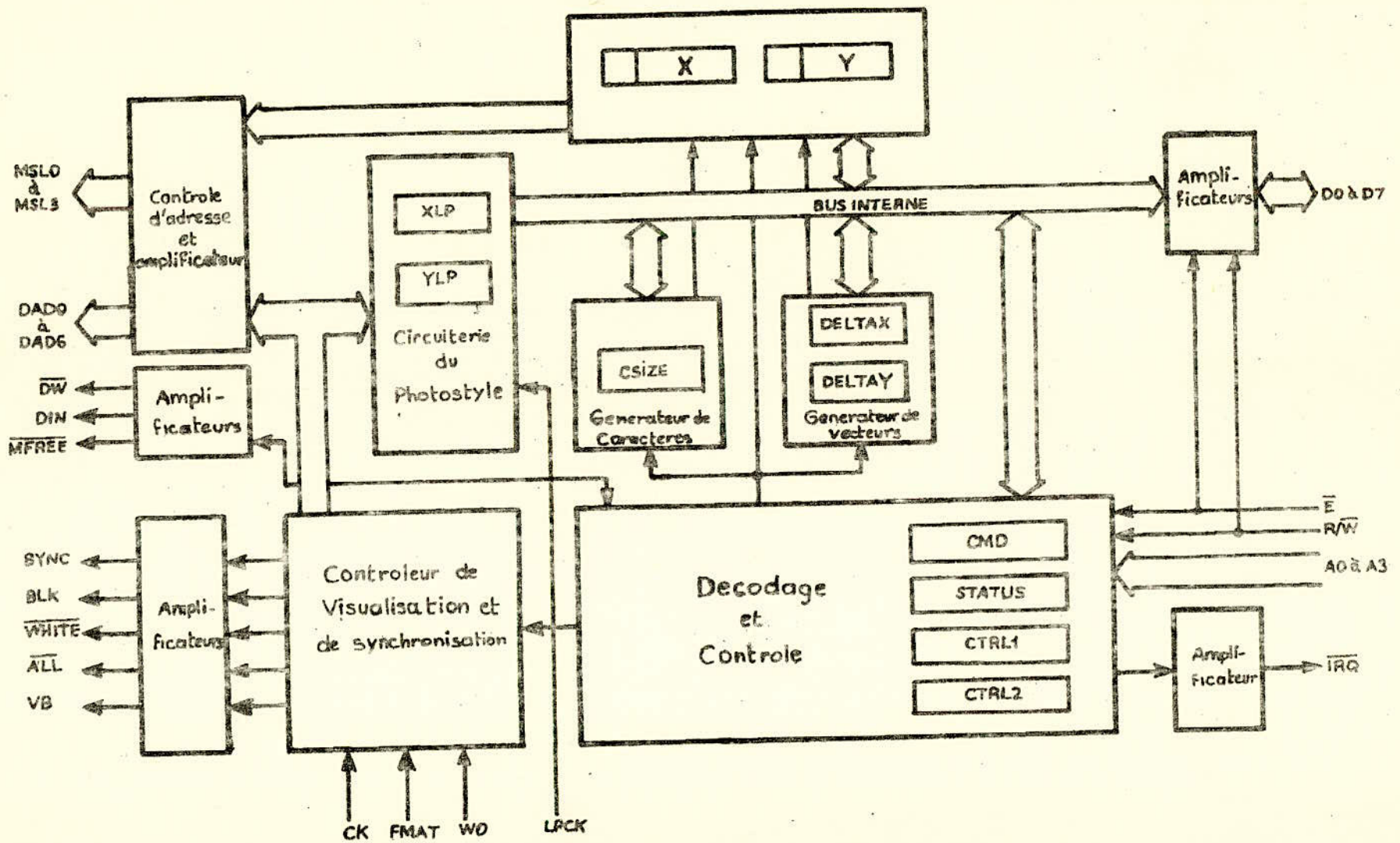


DIAGRAMME FONCTIONNEL

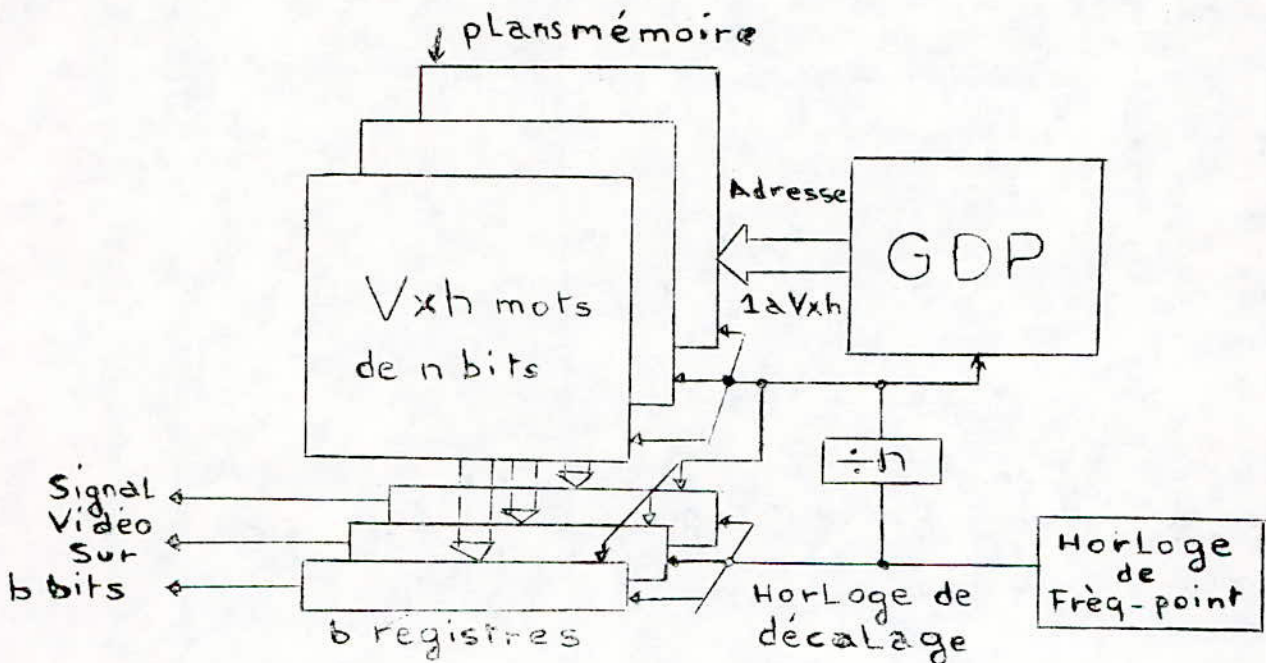
### III-Principe de fonctionnement du circuit.

#### I -Organisation de la mémoire d'image

Soit une image de  $V \times H$  pixels, chaque pixels est codé sur  $b$  bits correspondant à  $2^b$  états différents (niveau de gris):

il faut une mémoire d'image de  $V \times H \times b$  bits.

il est nécessaire de diviser une ligne de  $H$  points en  $h$  tronçons de  $n$  bits adjacents lus (écrits) simultanément dans la mémoire d'image puis sérialisés pour constituer le signal vidéo.



il faut  $h$  accès mémoires par ligne, chaque accès charge  $b$  registres à décalage de  $n$  bits; la mémoire contient  $V \times H \times b$  mots de  $n$  bits.

Le GDP a été étudié pour travailler avec une mémoire dynamique de capacité 16K bits, ce qui nous donne le format d'image suivant:

1)  $V=H=512$

2)  $h=64$

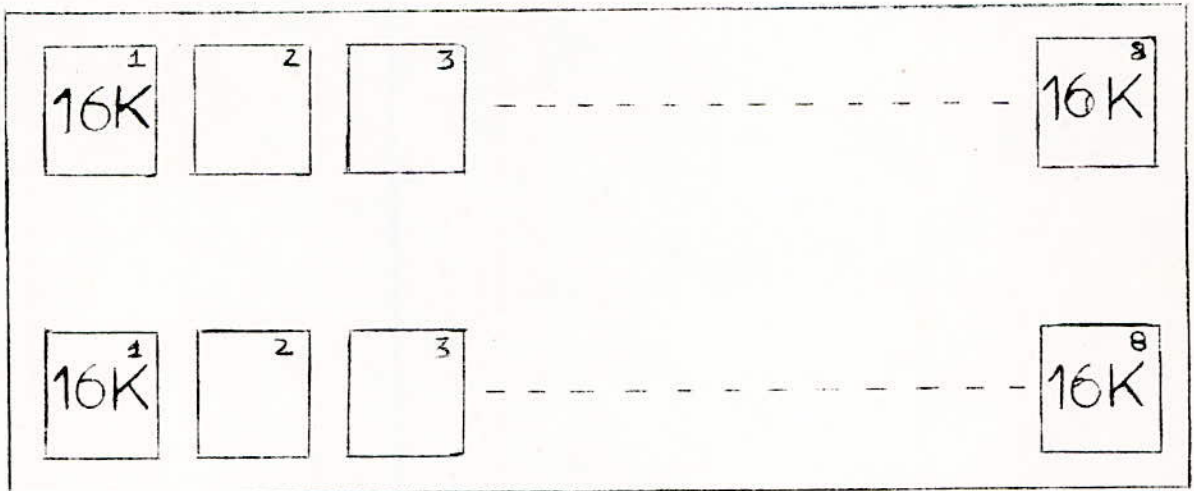
3)  $n=8$  (plans)

4)  $b$  varie avec le niveau de gris désiré (l'adressage est le même pour tous les plans mémoire, et leur gestion est extérieur au circuit.)



## 2 - Description du plan Mémoire

Pour une résolution 512x512 (résolution à laquelle on a opté), il faut une taille mémoire de  $16 \times 16 = 256K$  bits ou 32 octets. pour des raisons de commodité d'adressage des mémoires par le GDP le plan sera organisé en deux rangées de pavé de 16K bits, voir fig ci-dessous.



## 3 - Gestion de la mémoire d'image par le GDP

### a - Adressage

L'entrée FIAT doit être à l'état haut. La mémoire est constituée de  $V \times h$  octets = 32K par plan mémoire.

L'adressage d'octet est constitué de 15 bits:

-14 sortent en deux passages sur les sorties DAD pour utiliser des mémoires 16Kx1 bit dynamiques.

-le 15ème sort sur la broche MSL3.

les 3 sorties MSL0, 1, et 2 permettent de sélectionner un pixel parmi les 8 de même adresse pour les écritures pixel à pixel.

Elles sortent le numéro du pixel concerné codé sur 3 bits.

### b - Signaux sortant par les broches DAD et MSL

Les compteurs internes du GDP adressant la mémoire d'image en visualisation sont constitués de :

-6 bits d'adresses horizontales ( $h = 64 = 2^6$ )

$h_0, h_1, h_2, h_3, h_4, h_5$ .

-9 bits d'adresses verticale ( $V = 512 = 2^9$ ).

$v_0, v_1, v_2, v_3, v_4, v_5, v_6, v_7$ .



t est le bit de poids le plus faible, il représente la parité des lignes, et change toutes les trames puisque le balayage est entrelacé dans une même trame,  $V_0$  est le bit de poids faible.

L'adressage d'écriture est constitué des 9 bits de poids faible des registres internes X et Y.

$$VMAT=1 \quad \boxed{h_0 \quad h_1 \quad h_2 \quad h_3 \quad h_4 \quad h_5 \quad || \quad t \quad | \quad V_0 \quad V_1 \quad V_2 \quad V_3 \quad V_4 \quad V_5 \quad V_6 \quad V_7}$$

c - Etats de sortie DAD et MSL

Si VMAT est haut, la sortie de  $V_1$  sur MSL permet de commuter d'un bloc sur l'autre toutes les deux lignes de visualisation, la mémoire est entièrement rafraîchie toutes les quatre lignes de visualisation. pendant le retour trame, le rafraîchissement est obtenu grâce à quatre lignes toutes les 16 lignes.

Correspondance entre les états de sorties DAD et MSL

ALL	CK	MSL				DAD						
		0	1	2	3	0	1	2	3	4	5	6
0	0	$X_0$	$X_1$	$X_2$	$V_1$	$h_5$	$h_4$	$h_3$	$h_2$	$h_1$	$h_0$	$V_0$
0	1					$V_7$	$V_6$	$V_5$	$V_4$	$V_3$	$V_2$	t
1	0	$X_0$	$X_1$	$X_2$	$Y_1$	$X_8$	$X_7$	$X_6$	$X_5$	$X_4$	$X_3$	$Y_1$
1	1					$Y_8$	$Y_7$	$Y_6$	$Y_5$	$Y_4$	$Y_3$	$Y_0$

## Etude et Structure des Mémoires d'Images

### 1- Rappels sur les Mémoires

On distingue deux types de mémoires RAM. Les mémoires statiques et les mémoires dynamiques.

Ces deux mémoires diffèrent par leur technologie et leur mode de fonctionnement.

#### a- RAM Statiques

Elles sont constituées d'une matrice contenant autant de bascules que de bits, chaque bascule mémorisant 1 bit d'information.

L'information reste bloquée tant que l'alimentation lui est appliquée on écrit les données en mémoire, et on peut les relire quand on veut.

La fig<sup>3</sup> donne la structure d'une telle cellule mémoire.

#### -b- RAM Dynamique

Elles sont constituées d'une matrice contenant autant de cellules que de bits, chaque cellule est composée d'un seul transistor à effet de champ, et d'un condensateur (en général la grille du transistor par rapport au substrat.), et l'information mémorisée est en fait la charge de ce condensateur.

La fig 4 donne la structure d'une telle cellule mémoire.

#### c- Avantages et Inconvénients

Tant que l'alimentation est présente, la RAM statique conserve l'information qui a été placée, aussi ces RAM statiques sont simples et faciles à l'emploi puisque sans cycles d'opération de rafraîchissement, et surtout la tension unique d'alimentation (+5V).

mais par contre la consommation permanente élevée, la densité d'intégration moyenne, l'échauffement important, conséquence le coût au bit assez élevé.

Avec la RAM dynamique le principe de fonctionnement est analogue, mais pour que la mémoire conserve l'information qui y a été placée il faut périodiquement effectuer une opération appelée rafraîchissement, en effet ce rafraîchissement a pour but de maintenir en bon état l'information qui y a été emmagasinée dans la mémoire.

Les RAM dynamiques sont très rapides et, ont une capacité 4 fois supérieure à celle des RAM statiques, et une consommation nettement plus inférieure.

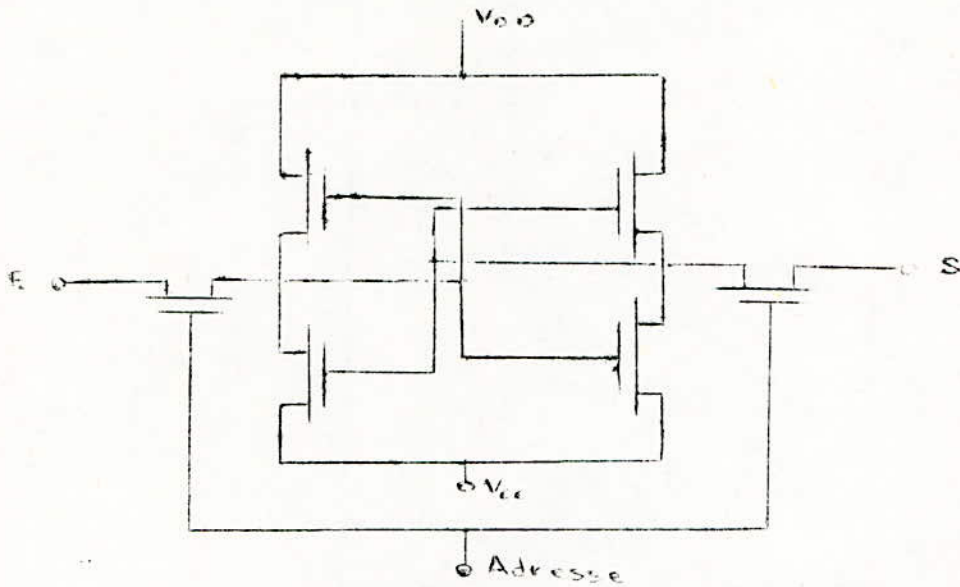


Fig 3 Structure d'une cellule mémoire élémentaire RAM statique.

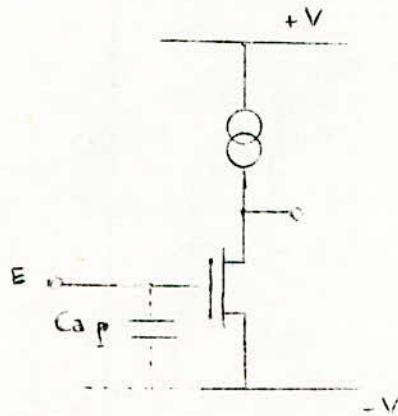


Fig 4 Structure d'une cellule mémoire élémentaire RAM dynamique



d-RAM dynamique la EF 4116 BC 15

Notre choix s'est porté sur ce type de RAM, car ce choix va de pair avec le coprocesseur graphique EF 9365.

Le circuit EF 4116 est une mémoire dynamique à accès aléatoire de 16K bits, fabriquée dans une technologie MOS canal N et nécessitant 4 types d'alimentation ( $V_{bb}, V_{cc}, V_{dd}, V_{ss}$ ).

La EF 4116 est composée de cellules mémoires dynamiques à un seul transistor, et chacune des 128 lignes d'adresses doit avoir un cycle de rafraîchissement toutes les 2ms.

Les principales caractéristiques sont:

- Grande souplesse d'utilisation par cycle lecture-modification écriture.
- Rafraîchissement par la ligne RAS seulement.
- Boitier standard 16 broches.
- Organisée en 6384 mots de 1 bit.
- Entrées compatibles TTL.
- Sorties 3 états compatibles TTL.
- Possibilité d'entréc-sortie commune en utilisant le mode "écriture anticipée.
- Registres de stockage pour les entrées adresses et données.
- Faible puissance consommée.
- Choix important de temps d'accès: 150ns, 200ns, 250ns, 300ns.

Schéma fonctionnel voir fig page suivante

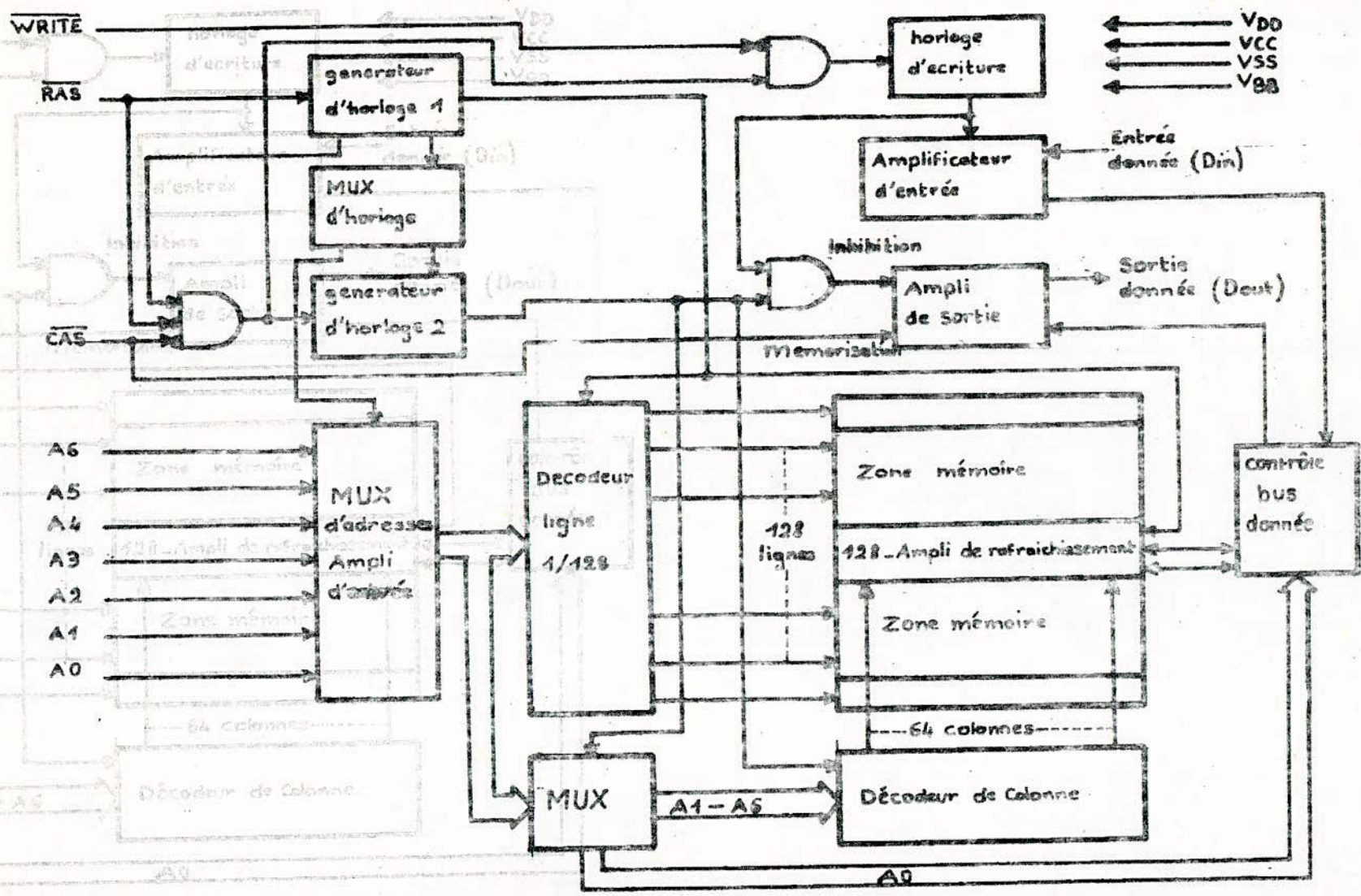


Fig II3 SCHEMA FONCTIONNEL



DIAGRAMME DES TEMPS EN LECTURE

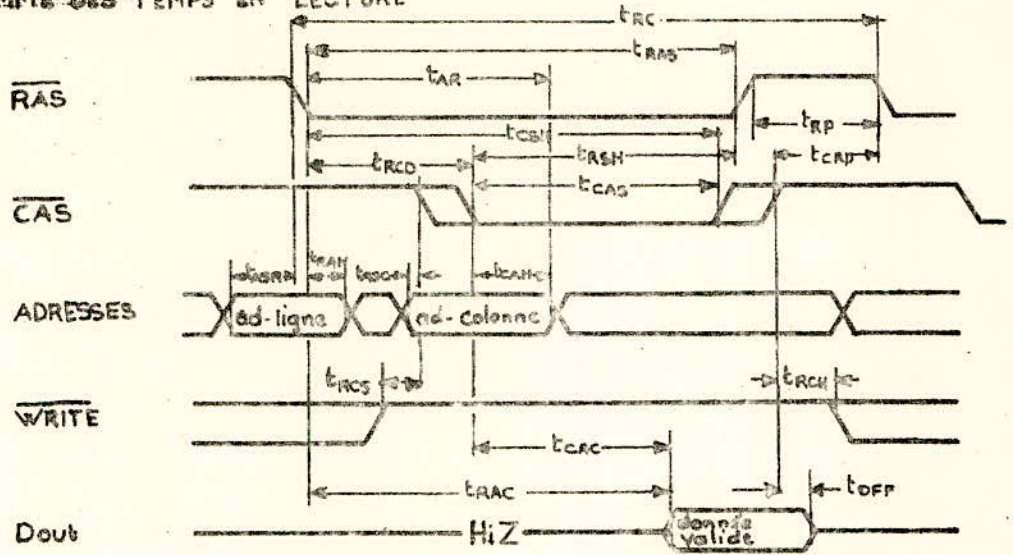


DIAGRAMME DES TEMPS EN ÉCRITURE

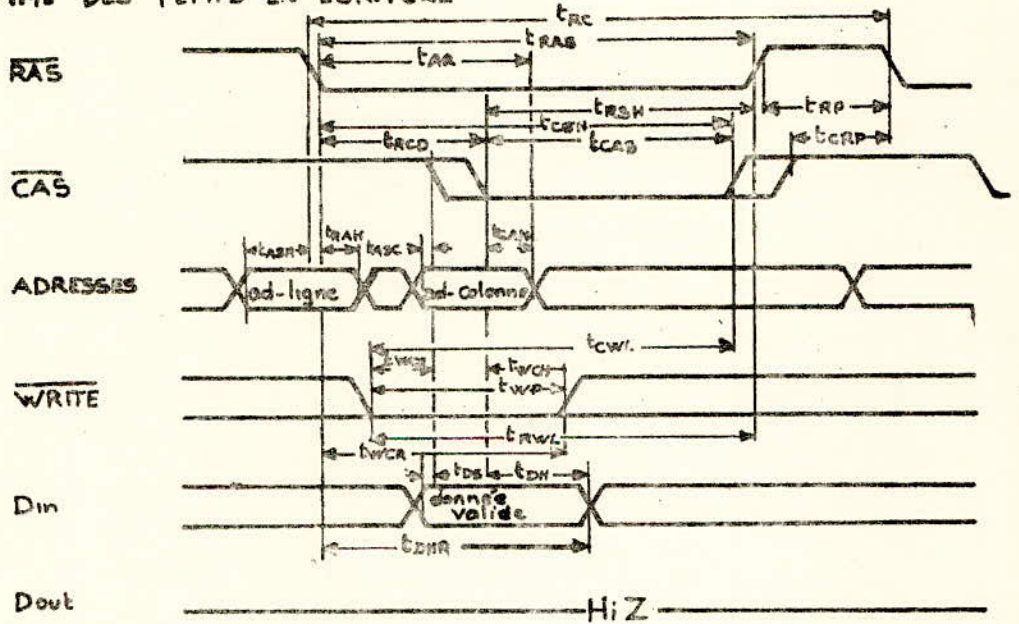
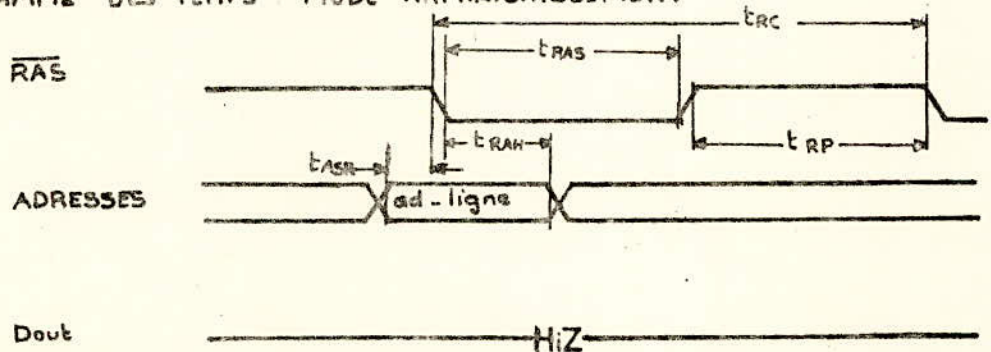


DIAGRAMME DES TEMPS MODE RAFFRAÎCHISSEMENT



.HiZ : Haute impédance.

## 2-Organisation interne de la mémoire RAM.

L'organisation interne d'un boîtier RAM de 16K bits, est donnée par la fig 3 dans ce boîtier on remarque deux entrées de sélection RAS et CAS représentant respectivement la sélection d'adresse de rangée, et la sélection d'adresse colonne.

ces deux entrées activent chacune une horloge interne contrôlant ainsi la manipulation des bits de données et les cheminement d'adresses dans le boîtier.

La mémoire proprement dite se présente en deux blocs de 8K bits chaque bloc étant constitué comme une matrice de 128 lignes sélectionnées par  $A_0$  à  $A_6$  au premier passage d'adresse et 64 colonnes provenant de  $A_1$  à  $A_6$  au second passage, le deuxième bloc de 64 colonnes est régi par RAS et CAS de la façon suivante.

Le front descendant du signal RAS permet la réception et l'acheminement vers un décodeur d'adresse ligne 1/128 sélectionnant ainsi les 128 rangées horizontales ou lignes de la matrice mémoire (1<sup>e</sup> groupe d'adresse).

Le front descendant de CAS valide la sortie des données, et achemine le deuxième groupe d'adresse ( $A_0$  et  $A_1$ - $A_6$ ) respectivement vers le contrôle de données et le décodeur colonne.

### Le Rafraîchissement.

Comme l'on rafraîchit simultanément les 128 colonnes, seul le signal RAS est activé pendant cette opération.

pour que la mémoire soit correctement rafraîchie, la solution logique consiste donc à faire entrer sur le multiplexeur d'adresse une sortie du générateur 2 qui emploiera ainsi séquentiellement les 128 lignes ce générateur doit être piloté par une horloge à la fréquence adéquate pour que les 128 lignes aient été rafraîchies en 2ms; on doit donc lire une ligne toutes les 15,6 $\mu$ s, pendant le rafraîchissement CAS =1 et RAS=0, ces 2 signaux sont délivrés par un séquenceur haute vitesse à la fréquence de 1,75MHz .



### 3 - Structure d'adresse du plan mémoire

Suivant la structure d'adressage de la mémoire de base RAM 4116 dynamique, on peut considérer que celle-ci est divisée en 4 pavés de 64 lignes x 64 colonnes.

une ligne contient 64 tronçons de 8 pixels chacune.

Les 8 pixels sont adressés par les bits d'adresse MSL0-2

MSL2	MSL1	MSL0	Déc
0	0	0	0
0	0	1	1
0	1	0	2
0	1	1	3
1	0	0	4
1	0	1	5
1	1	0	6
1	1	1	7

Lors de l'écriture dans la mémoire d'image, les bits d'adresse MSL0-2 sont décodés puis démultiplexés; ils permettent de sélectionner les 8 boîtiers (1 pixel par boîtier). Durant ce cycle le signal  $\overline{ALL}$  est à l'état haut.

la lecture est validée par le signal  $\overline{ALL}=0$  (état bas), tous les boîtiers mémoire sont affectés d'un niveau logique bas, ceci nous permet le transfert d'un octet par accès mémoire de la manière suivante:

$$\begin{aligned}
 Y_7 &= \text{RAS} \cdot \overline{ALL} + \overline{\text{RAS} \cdot \text{DW} \cdot \overline{ALL} \cdot \overline{MSL0} \cdot \overline{MSL1} \cdot \overline{MSL2}} \\
 Y_6 &= \text{RAS} \cdot \overline{ALL} + \overline{\text{RAS} \cdot \text{DW} \cdot \overline{ALL} \cdot \overline{MSL0} \cdot \overline{MSL1} \cdot \overline{MSL2}} \\
 & ; \quad : \quad : \quad : \quad : \quad : \quad : \quad : \quad : \\
 & : \quad : \quad : \quad : \quad : \quad : \quad : \quad : \\
 Y_0 &= \text{RAS} \cdot \overline{ALL} + \overline{\text{RAS} \cdot \text{DW} \cdot \overline{ALL} \cdot \overline{MSL0} \cdot \overline{MSL1} \cdot \overline{MSL2}}
 \end{aligned}$$

#### a - Selection Ligne

Fig 115

( $R/\bar{W} = 0$ )  
(ALL = 1)

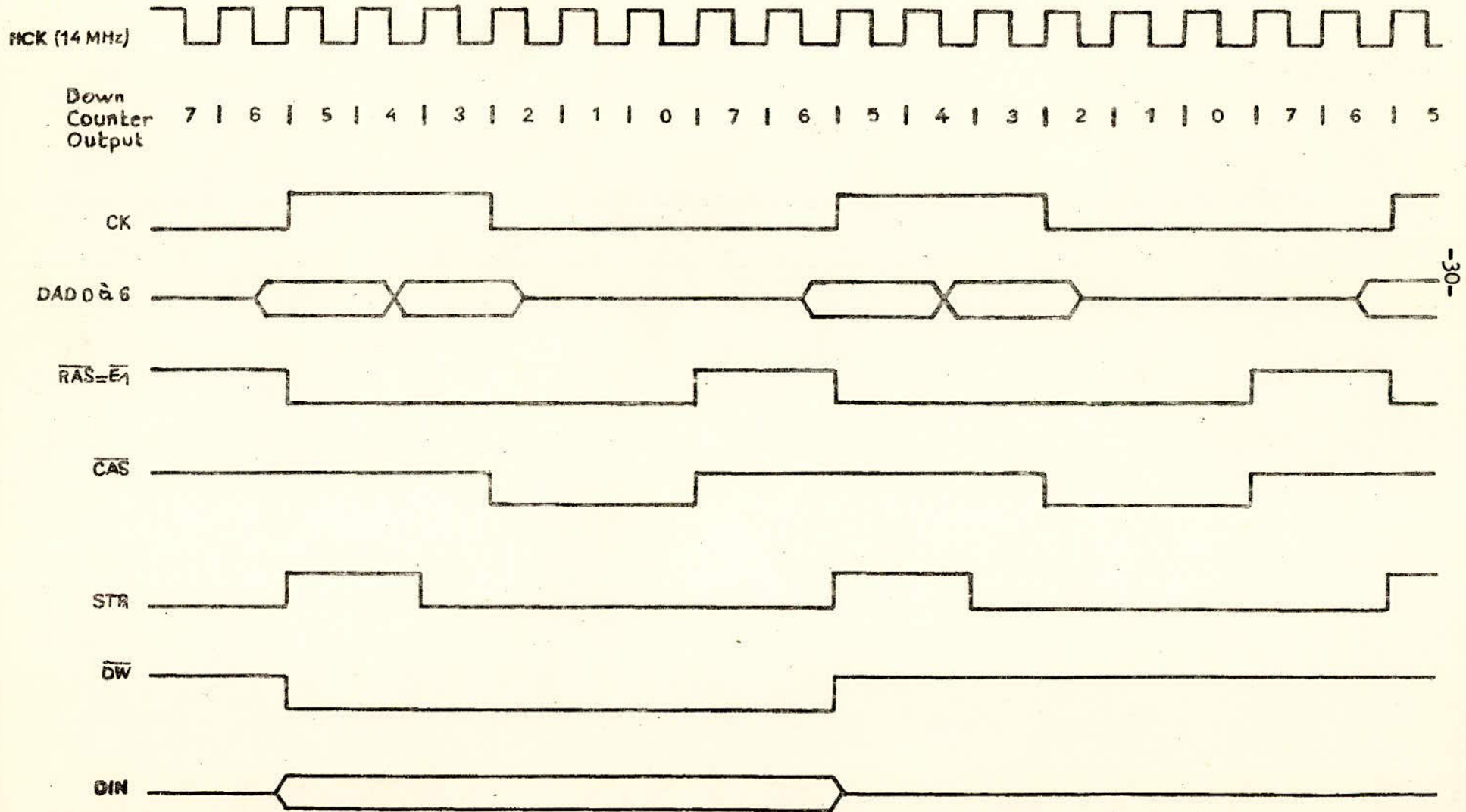
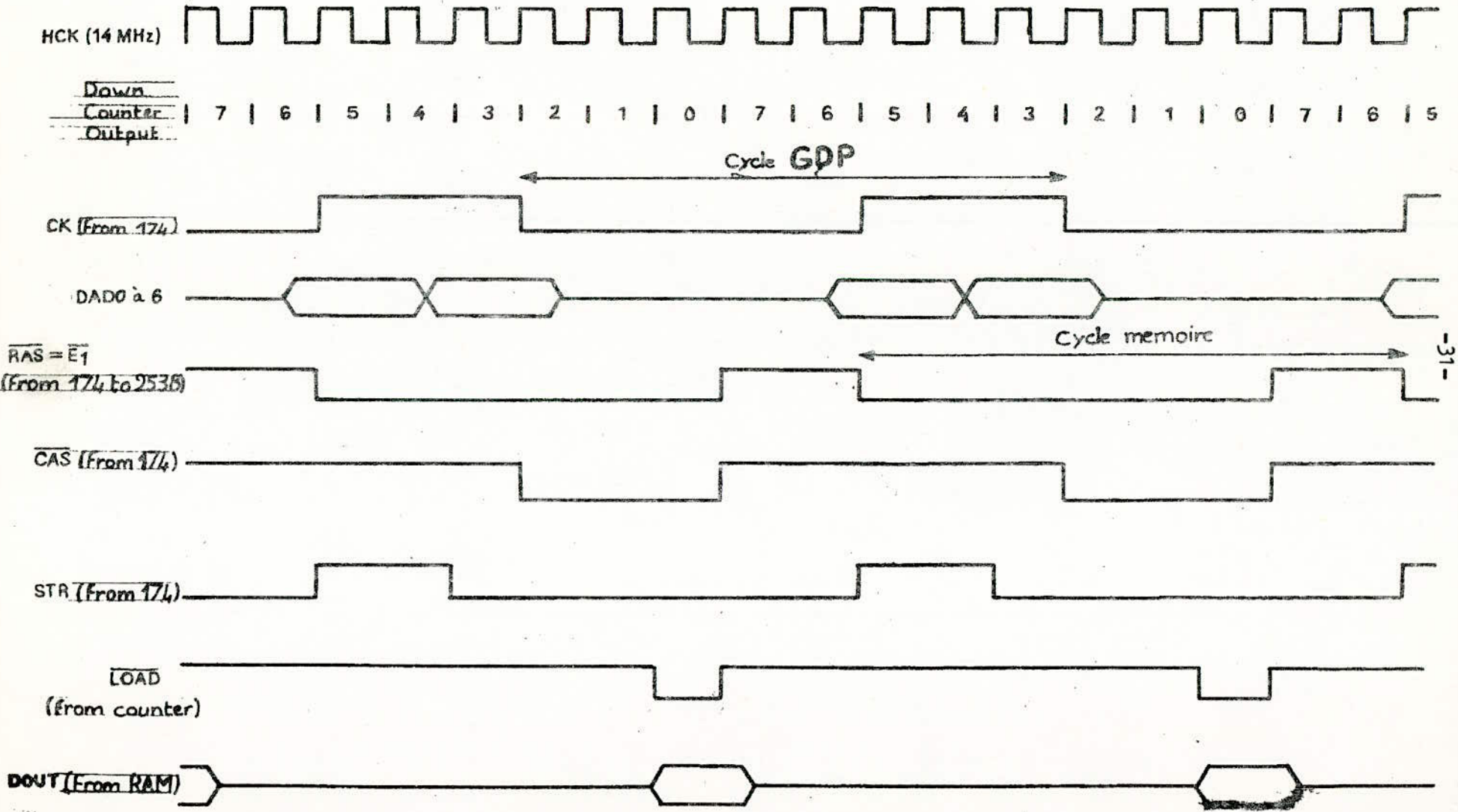




Fig II 6

( $\overline{R/W} = 1$ )  
( $\overline{ALL} = 0$ )



EFL116 B STRUCTURE DE L'ADRESSAGE

adresses colonne A6 A5 A4 A3 A2 A1 A0

adresses ligne A6 A5 A4 A3 A2 A1 A0

Branche B

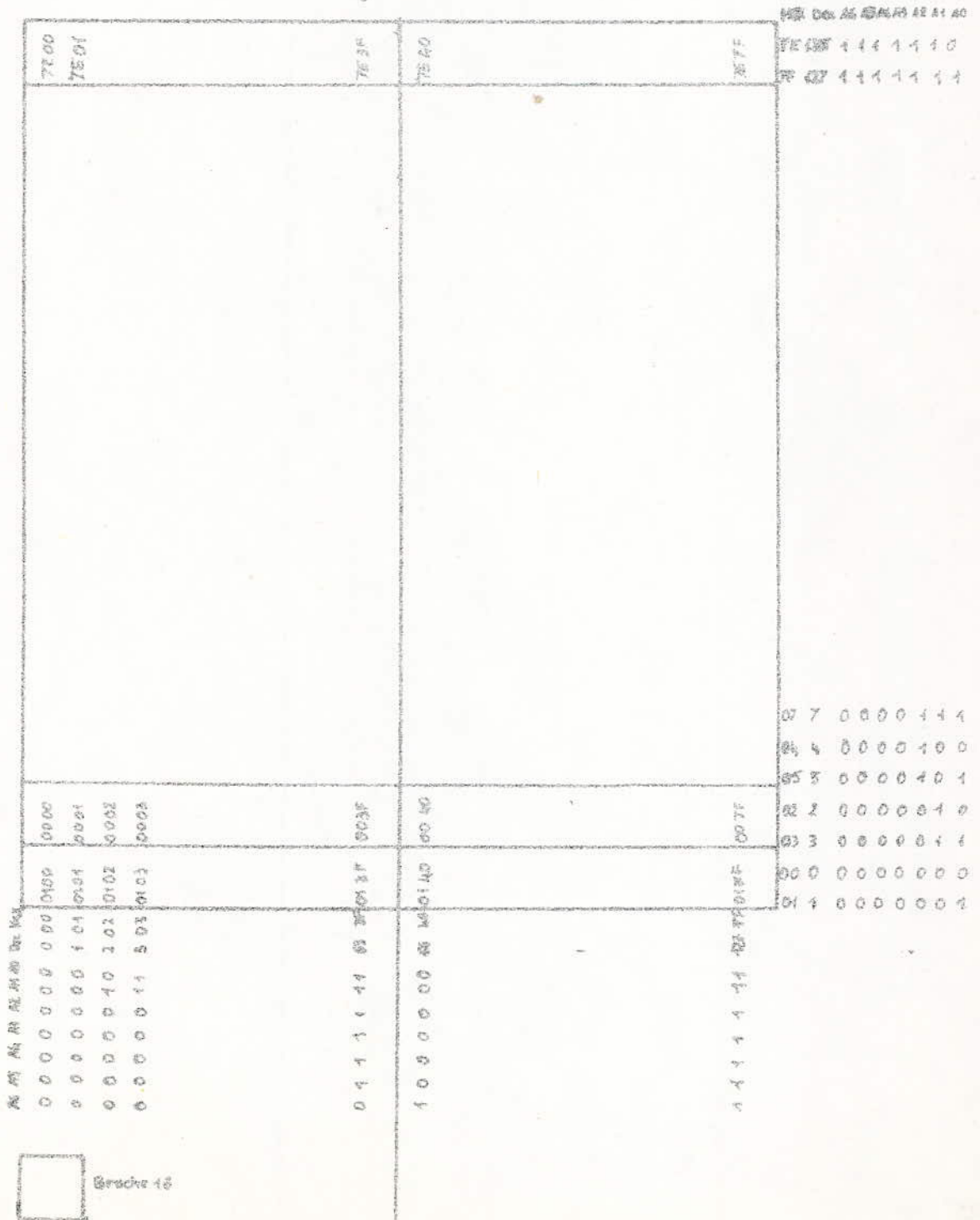


adresses colonne

Lignes

adresses ligne

Colonnes





La ligne est sélectionnée par les bits d'adresse  $h_0, h_1, h_2, h_3, h_4, h_5, V_0$ . Ce qui correspond aux lignes d'adresse DAD0 à DAD6 du GDP. Les  $h_i$  ( $i=0$  à  $5$ ) permettent d'adresser un tronçon parmi les 64 autres et  $V_0$  permet de commuter les 64 premières lignes (0 à 63), aux 64 dernières lignes (64 à 127) puisque pour une ligne TV les  $V_i$  décrivent une ligne TV de 512 points.

#### b-Selection Colonne

La colonne est sélectionnée par les bits  $t, V_1$  à  $V_7$ , un boîtier mémoire est organisé en  $2 \times 64$  colonnes (voir organisation interne de la mémoire),  $t$  étant le bit de poids le plus faible, il représente la parité des lignes et change toutes les trames.

$V_2$  à  $V_7$  incrémente l'adresse colonne de 1 à chaque écriture ou lecture à 4 lignes paires et 4 lignes impaires, tandis que MSL3 qui n'est autre que  $V_1$  permet de commuter d'un bloc de 16K à l'autre bloc de 16K.

#### 4-Organisation du Plan mémoire.

En mode de visualisation (lecture), l'accès a lieu en même temps que les 8 boîtiers d'une rangée.

Le point image ou information est codé sur 1 bit, la capacité d'adressage s'étend de 0000 à 7FFF, tous les plans possèdent la même structure d'adressage.

Cette organisation est donnée par la fig. II 7

#### a-Adressage de la mémoire d'image

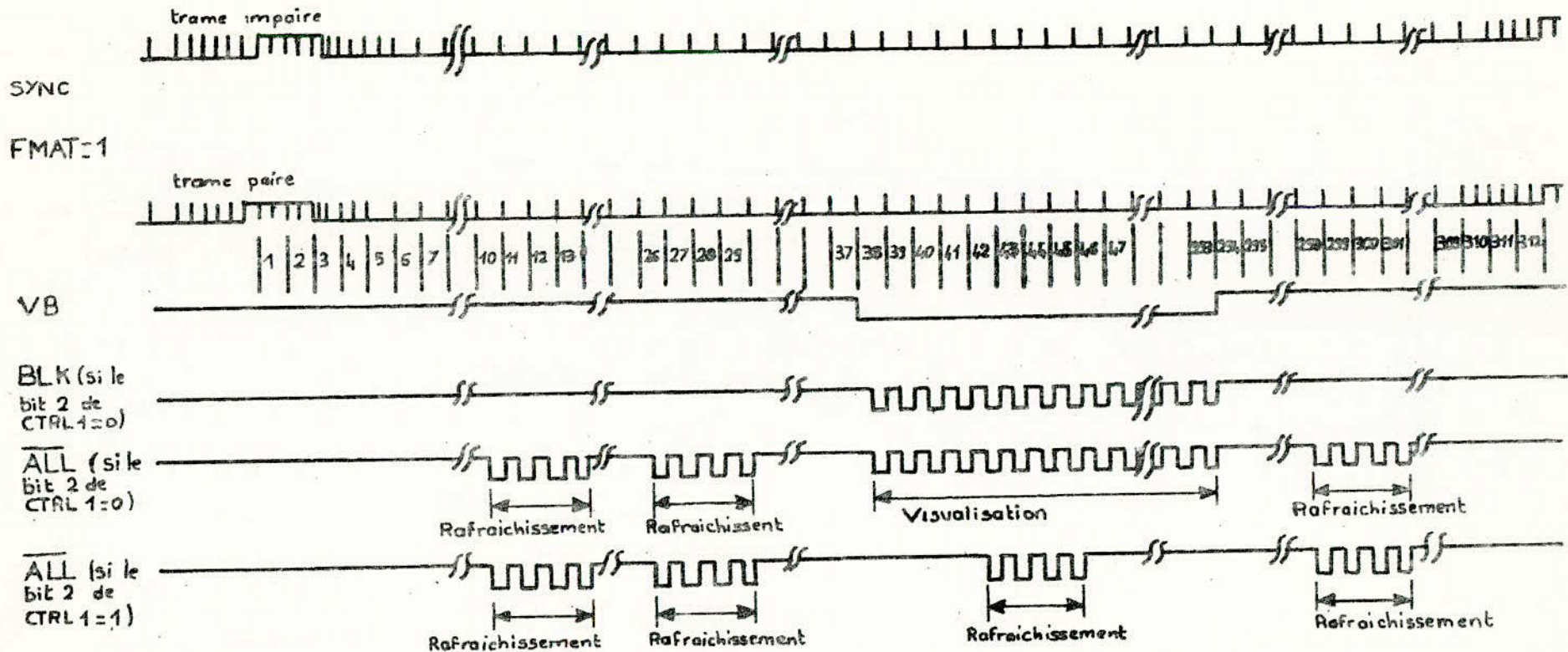
Les détails à propos des signaux d'adressage sont fournis par les sorties MSLO à MSL3 et DAD0 à DAD6.

#### b-Mode d'accès à l'écriture

L'adresse d'écriture est constituée de 9 bits de poids faible des registres X et Y.







DEROULEMENT DES TRAMES

- Le bit 2 du registre CTRL1 (adresse 1<sub>16</sub>) à l'état bas selectionne le mode normal d'écriture (écriture en dehors des périodes de visualisation et de rafraîchissement).
- Le bit 2 du registre CTRL1 à l'état haut avec  $\overline{ALL}=1$  selectionne le mode d'écriture rapide, les périodes de visualisation sont supprimés, seules subsistent les périodes de rafraîchissement de mémoires. Ce procédé d'écriture est effectué lors d'une utilisation du système en mode graphique et alphanumérique ou la visualisation d'une fenêtre d'image interactive (256x256, 128x128) avec  $WO=0$
- Pour une image 512x512 stable sur laquelle doit se faire un traitement, la mémoire d'image est totalement occupée écriture en mode normal  $\overline{ALL}=0$  modifie la forme et le contenu de l'image.
- Si  $WO=(=1)$ , c'est le forçage à l'écriture, il n'y a ni visualisation ni rafraîchissement, les automates d'écriture fonctionnent sans être interrompus.  
pendant l'écriture les boitiers mémoire sont sélectionnés un par un.

#### c- Mode d'accès à la Lecture

Si  $WO=0$ , la selection des boitiers est effectuée par bloc de 8 en même temps pour faire sortir 8 pixels à chaque accès mémoire les adresses de lecture sont constitués de:

- 6 bits d'adresse horizontales.
- 9 bits d'adresse verticales.

et- $CK=0$  correspond à la selection de l'adresse ligne DAD0-DAD6

- $CK=1$  correspond à la selection de l'adresse colonne.

#### d- Partage des différents cycles.

Durant 20ms (1 trame à 50Hz)

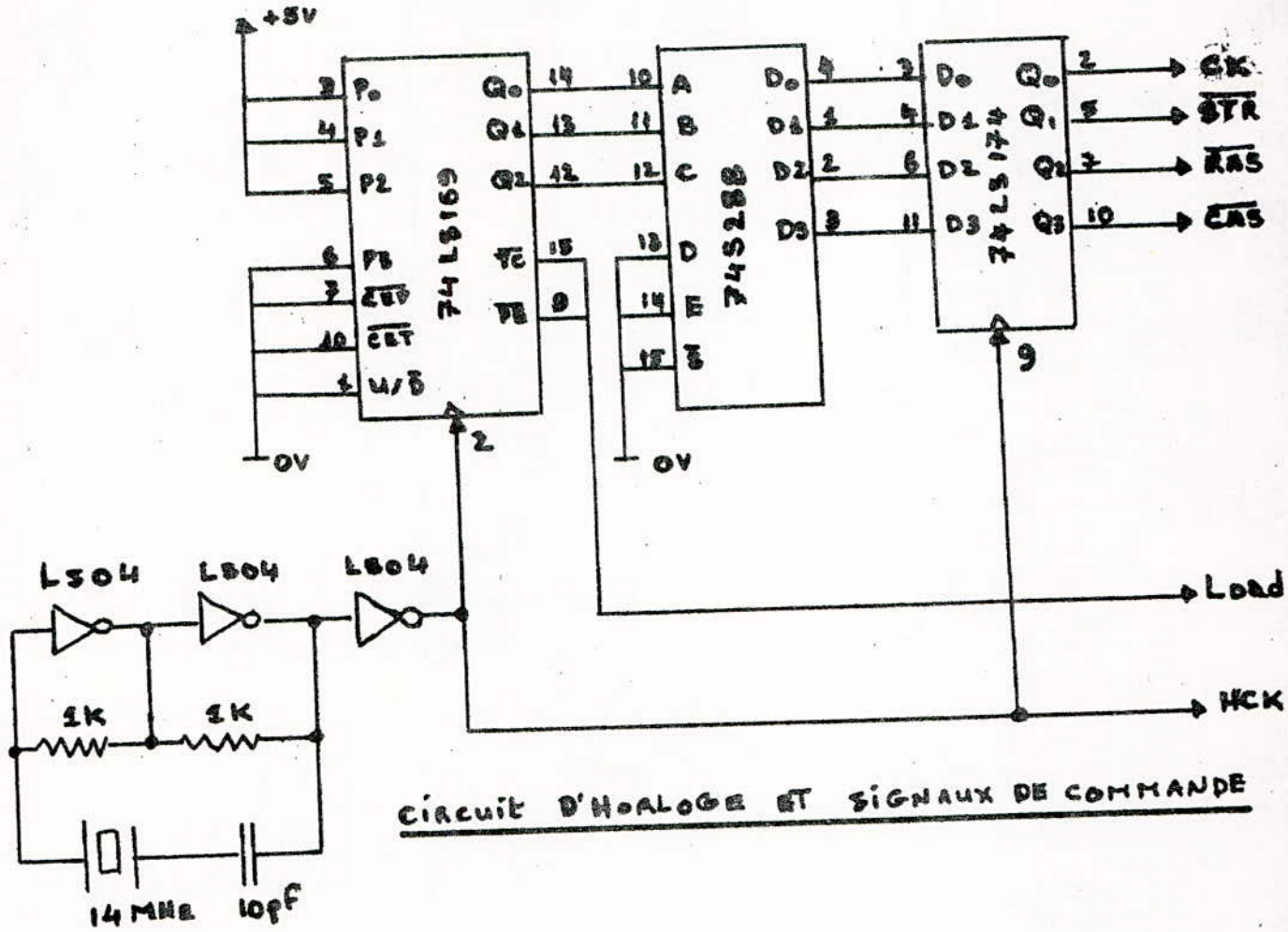
- D=64 cycles de 1,75MHzx256 lignes
- R=64 cycles de 1,75MHzx12 lignes
- W=20ms -D-R

on obtient le partage comme suite

- W=51% (écriture)
- D=46% (visualisation)
- R=2,2% (rafraîchissement).



Fig 18 Séquenceur



Contenu de La PROM. 74S288

Adresse			Contenu				Déc
a	b	c	Q3	Q2	Q1	Q0	
0	0	0	1	1	0	0	0
0	0	1	0	0	0	0	1
0	1	0	0	0	0	0	2
0	1	1	0	0	0	0	3
1	0	0	1	0	0	1	4
1	0	1	1	0	1	1	5
1	1	0	1	0	1	1	6
1	1	1	1	1	0	0	7

### 3-Signaux d'Horloge et circuit de Commande.

Le circuit générateur d'horloge utilise un 74LS04 monté en oscillateur à quartz de 14MHz. fig 18

Le signal obtenu HCK de 14 MHz, attaque un compteur diviseur par 8,4,2. on obtient ainsi 3 signaux à des fréquences respectives de  $Q_0=1,75\text{MHz}$ ,  $Q_1=3,5\text{MHz}$ ,  $Q_2=7\text{MHz}$ .

Ces derniers sont adressés à une PROM bipolaire (DE 256 bits) qui n'est autre qu'un micro contrôleur très rapide et travaillant d'une façon cyclique.

Cette PROM donc donne à sa sortie 4 signaux, CK, RAS, CAS, STR, tous à la même fréquence de 1,75MHz, mais décalés l'un par rapport à l'autre.

Les 4 signaux ainsi générés sont envoyés vers une tétra bascule D (LATCH) éliminant ainsi tout retard, et de cette manière les 4 signaux sortent au même instant et au rythme de l'horloge HCK. HCK et LOAD, servent respectivement au décalage des données à l'intérieur du registre à décalage 74LS323, la période (temps) du point dans le signal vidéo est de 71ns, tandis que LOAD sert à charger les données dans le registre à décalage, chaque fois que le compteur a fini de compter jusqu'à 8.

Le contenu de la PROM est directement obtenu à partir du diagramme temps voir les fig 15,6



## 1 - Fonctionnement des Automates d'écriture dans la mémoire d'image

1 - Le générateur de caractères, et le générateur de vecteurs sont 2 automates d'écriture dans la mémoire d'image?

Ils sont séquencés par l'horloge CK, et paramétrés par le bus microprocesseur. Ils contrôlent l'adresse d'écriture XetY, ainsi que les sorties DIN,  $\overline{DW}$ ,  $\overline{MPREE}$ , IRQ.

Leur fonctionnement est continu.

En cas de conflit d'accès à la mémoire d'image, les automates de visualisation et de rafraîchissement sont prioritaires.

Le décodage des commandes étant synchrone avec l'horloge CK, toute écriture dans le registre de commande (CMD) déclenche un mécanisme de synchronisation qui occupe le circuit pendant un maximum de 2 cycle de CK après la remontée de l'entrée E.

Le circuit reste occupé pendant l'exécution de la commande.

Il ne doit pas recevoir de nouvelles commandes tant que le bit 2 du registre STATUS est à l'état bas.

## 2 - Tracé de Vecteurs.

Le générateur de vecteurs permet de modifier en mémoire d'image l'ensemble des points constituant l'approximation d'un segment de droite.

Les vecteurs à tracés doivent être décrits par:

-le point d'origine de coordonnées (XetY) définies par la valeur des registres X et Y avant le tracé.

-le point final ( ou projection sur les axes) définies en valeur absolue par les registres DELTAX et DELTAY et en signe dans l'octet de commande qui lance le tracé des vecteurs.

L'approximation du vecteur réalisée est celle définie par J-F BRESENHAM; L'exécution de cet algorithme est réalisée par un automate câblé permettant d'écrire un nouveau point du vecteur à chaque cycle de l'horloge CK.

Lors du tracé, la mémoire d'image est adressée par les registres X et Y qui sont incrémentés ou décrémentés. Après le tracé du vecteur, ils pointent l'extrémité de celui-ci.

TROISIEME - PARTIE



Tous les vecteurs peuvent être tracés selon 4 types de traits différents:

- continu
- pointillé
- tireté
- mixte

La sélection du type de trait choisi est fonction des 2 bits de poids faible du registre CTRL2;

dans tous les cas, la vitesse de tracé est la même .

L'information "plume baissée-plume levée " pour les traits non continus est contrôlée par la sortie  $\overline{DW}$ .

pour un vecteur donné en trait non continu, défini par DELTAX, DELTAY, CTRL2, CMD, le séquençement de  $\overline{DW}$  pendant le tracé est toujours le même quelque soit l'origine du vecteur et la nature des tracés précédents.

ceci garantit qu'un vecteur donné puisse être effacé en le retracant après avoir positionné X,Y à l'origine et complémenté le bit 1 de CTRL2.

puisque la commande de lancement du tracé du vecteur indique les signes des projections sur les axes, tous les vecteurs peuvent être tracés avec 4 commandes différentes.

pour augmenter la souplesse de programmation, il existe 16 commandes différentes (10 à 1F) auxquelles vient s'ajouter un ensemble de 128 commandes permettant de tracer des petits vecteurs en ignorant les registres DELTAX et DELTAY (voir le tableau des commandes).

### 3 - Les commandes ( adresses)

Les 4 bits de poids fort du registre de commande positionne le mode de fonctionnement du GDP.

le code 1 (héxa) est réservé pour le tracé de vecteur, après l'écriture du code 1 (héxa) dans les 4 bits de poids fort du registre CMD, les 4 bits de poids faible de ce même registre, désigne le sens du tracé du vecteur donc le signe du vecteur contenu des registres DELTAX, DELTAY ou d'ignorer ces derniers.

(voir tableau de commande).

Tableau des Commandes

4 bits de de poids fort MSB	hexa	4 bits de poids faible LSB	Designation
1 héxa tracé de vecteurs	0	0 0 0 0	Y ignoré ou égal à 0 $\Delta X > 0$
	1	0 0 0 1	$\Delta Y > 0$ $\Delta X > 0$
	2	0 0 1 0	$\Delta Y > 0$ X ignoré ou = 0
	3	0 0 1 1	$\Delta Y > 0$ $\Delta X < 0$
	4	0 1 0 0	$\Delta Y < 0$ $\Delta X$ ignoré ou = 0
	5	0 1 0 1	$\Delta Y < 0$ $\Delta X > 0$
	6	0 1 1 0	$\Delta Y$ ignoré $\Delta X < 0$
	7	0 1 1 1	$\Delta Y < 0$ $\Delta X < 0$
	8	1 0 0 0	lorsque le bit 4 de poids faible est = à 1 les commandes permettent d'ignorer le plus petit des 2 registres $\Delta X$ ou $\Delta Y$ ce qui revient à tracé des vecteurs parallèles aux axes ou aux diagonales, en ne travaillant que sur le seul registre DELTA. Les trois bits les plus faibles désignent les mêmes codes de direction que si dessus.
	9	1 0 0 1	
	A	1 0 1 0	
	B	1 0 1 1	
	C	1 1 0 0	
	D	1 1 0 1	
	E	1 1 1 0	
	F	1 1 1 1	
1 X X X		X X X X	



#### 4-Générateur de caractères et de symboles.

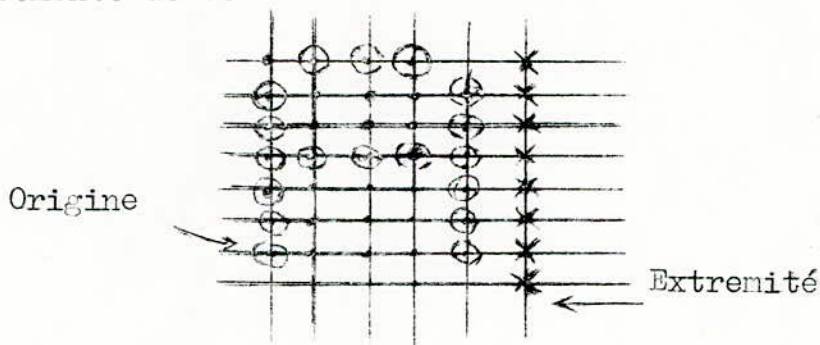
Le générateur de caractères agit de la même façon que le générateur de vecteurs par des incréments ou décréments des registres X,Y associées à un contrôle de la sortie DW.

il represent les registres CSIZE,CTRL2 et CMD.

les caractères tracés sont choisis d'après la valeur de CMD parmi 98 matrices ( 97 matrices rectangulaires de 8 points de haut par 5 points de large,et une de 4 points par 4 points) définies dans une ROM interne. Deux facteurs d'échelle peuvent être appliqués aux caractères tracés suivant X et Y définis par le registre CSIZE. Les caractères peuvent être inclinés en fonction du registre CTRL2.

#### 5-Matrice de base.

Après le tracé,les registres X et Y sont positionnés pour écrire un nouveau caractère à côté du premier,avec un espace de 1 point c'est à dire que Y est revenu à sa valeur initiale et que X a été incrémenté de 6:



#### 6-Facteurs d'échelle.

Chacun des points de la matrice 5x8 de base peut être remplacé par un pavé de dimension PxQ

- P: facteur d'échelle en X

- Q: facteur d'échelle en Y

La dimension du caractère devient 5Px8Q .Après le tracé,X a été incrémenté de 6P.Le nombre de cycles d'horloge CK nécessaires est 6Px8Q.

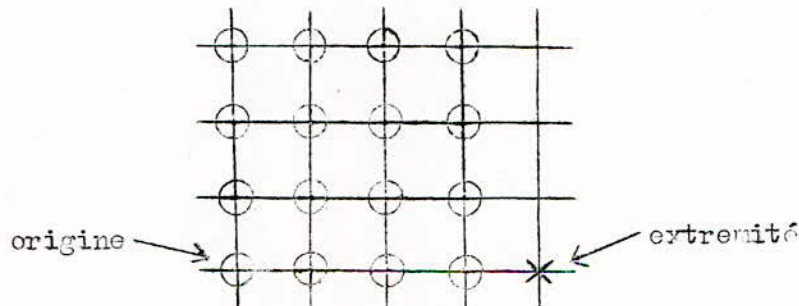
P et Q peuvent chacun prendre les valeurs de 1 à 16.Ils sont définis par le registre CSIZE.Chaque valeur est codée sur 4 bits la valeur 16 étant codée 0<sub>16</sub>.

est  $6P \times 8Q$ . P et Q peuvent chacun prendre les valeurs de 1 à 16. ils sont définis par le registre CSIZE. Chaque valeur est codée sur 4 bits, la valeur 16 étant codée  $0_{16}$ . P est codé sur les 4 bits de poids fort, Q sur les bits de poids faible.

### 7 - Espace d'Adressage des caractères.

Parmi les 97 matrices rectangulaires disponibles dans la ROM standard, 96 CORRESPONDENT aux valeurs de CMD comprises entre  $20_{16}$  et  $7F_{16}$  et le 97ème à la valeur  $0A_{16}$ .

Dans la version standard, ces valeurs correspondent aux 96 caractères imprimables du jeu ASCII. Le 97ème caractère est un pavé  $5P$  par  $8Q$  pouvant servir à l'effacement des autres caractères. Le 98ème code ( $0B_{16}$ ) permet de tracer un pavé graphique  $4P \times 4Q$ . Il positionne X, Y sans espace pour le symbole suivant. Ce pavé permet de remplir des zones uniformes sur l'écran. (voir tableau)



### 8 - Inclinaisons.

Nous pouvons effectuer des changements d'axes pour réaliser des caractères en italiques ou pour annoter l'axe vertical en symboles droits ou italiques.

Ces transformations s'obtiennent grâce aux bits 2 et 3 du registre CTRL2.

### 9 - Effacement d'un caractère.

Un caractère peut être effacé soit avec le même code de commande soit avec le code de commande  $0A_{16}$ . Dans tous les cas, le bit 1 DE CTRL1 doit être inversé, l'origine doit être la même qu'avant le tracé d'un caractère, ainsi que les facteurs d'échelle et l'inclinaison.



## II Aspect Programmation.

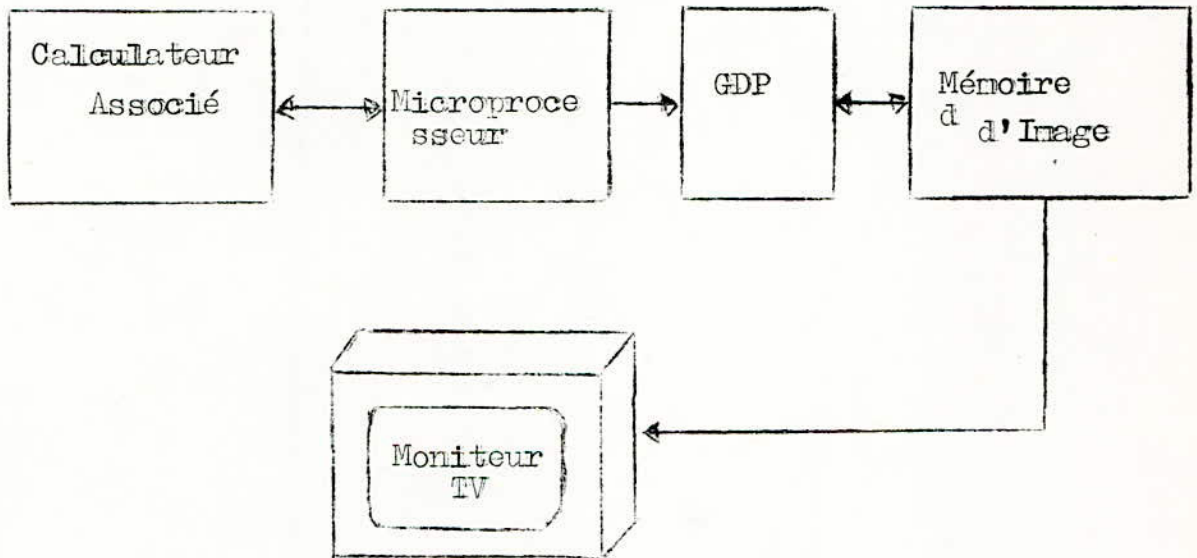
Dans cette partie on décrira l'aspect programmation d'une console de visualisation batie autour du GDP.

Nous avons signalé que le GDP s'interface avec un microprocesseur 8 bits type 6800.

Le microprocesseur est prévu pour programmer le GDP, et lui adresser les différentes commandes.

Donc l'association GDP, microprocesseur à un moniteur TV constitue une véritable console graphique.

Le schéma d'une structure type est donnée ci-dessous.



Le calculateur associé est celui sur lequel se déroule un programme graphique écrit dans un langage de haut niveau.

La représentation des sorties s'effectue sur la console.

Le microprocesseur a ici deux rôles :

Premier rôle : Dialogue avec le calculateur.

Dans le sens calculateur-microprocesseur, les informations se présentent comme des commandes.

Dans le sens microprocesseur-calculateur, les informations pourraient être le résultat d'une entrée graphique effectuée depuis

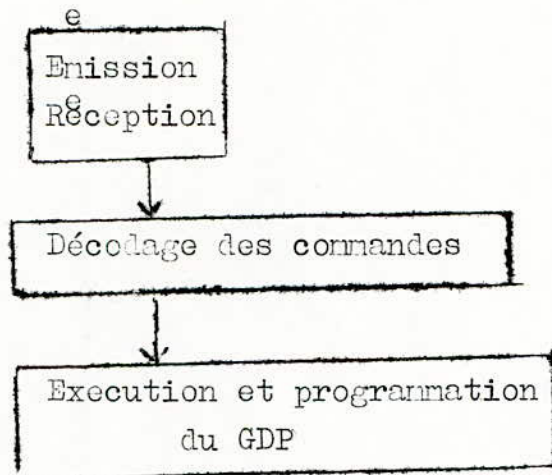
La console (résultat de points ou d'une chaîne de caractères).  
Second rôle Programmation du GDP et des registres associés.

Le GDP a à besoin qu'on lui présente la commande correspondante à l'opération qu'on veut lui faire entreprendre et ceci en programmant son "registre commande" (CMD).

le GDP se présente vis à vis du microprocesseur comme 16 emplacements mémoire dont les adresses sont au choix du réalisateur.

Programmation du Microprocesseur.

Au niveau du microprocesseur doit exister un logiciel de gestion de la console, et celle des échanges avec le calculateur associé. on peut représenter ce logiciel par le diagramme suivant:



La première couche de ce logiciel est chargée de la gestion des échanges d'information entre le microprocesseur et le calculateur. La seconde couche a pour tâche de décoder ces informations, alors que la troisième s'occupe de la programmation du GDP et des registres annexes.

Nous allons maintenant examiner quelques concepts généraux en graphique. Les entités de bas niveau en graphique sont:

- Le point.
- Le segment de droite.
- 6La chaîne de caractères.



A toutes ces entités est associé un mode d'affichage.  
Le point est caractérisé par un couple de coordonnées (X,Y).  
Le segment de droite est complètement défini par deux couples de coordonnées qui constituent les deux extrémités du segment.  
La chaîne est constituée de caractères alphanumérique qu'il faut afficher à un emplacement donné. Donc à cette chaîne est associé un point qui représente l'emplacement du premier caractère.

### LES Principales Commandes.

Nous allons donner dans ce qui suit les principales commandes de base qui devraient exister pour offrir un outil de représentation graphique.

Certaines de ces commandes doivent obligatoirement être accompagnées d'un mode de tracé et de paramètres.

Signalons tout de suite que pour le GDP, il existe deux modes de tracé d'une entité graphique, suivant que la PLUME ou la GOMME est sélectionnée

-PLUME baissée signifie tracé effectif.

-GOMME baissée signifie tracé effacement.

Effacer une entité consiste à la retracer avec sélection de la GOMME en gardant le même graphisme.

Détaillons maintenant les différentes commandes:

1) Tracé du segment de droite.

Les arguments associés à cette commande sont:

-Les coordonnées du point image

-Les coordonnées du point extrémité

-Le graphisme

-Mode d'affichage (visible ou invisible)

2) Tracé point.

Les arguments de cette commande sont:

-Les coordonnées de ce point

-Visible ou invisible

3) Tracé de la chaîne de caractères

Les arguments associés sont:

-Les coordonnées du point d'impression du premier caractère

-La taille et l'orientation des caractères

-Visible ou invisible

4) Effacer l'écran

Comme argument on peut éventuellement dire si l'effacement s'effectue avec la PLUME ou GOMME

5) Relever suite de points

Cette commande a pour effet de retourner au calculateur les coordonnées des points désignés par le photostyle. L'intérêt de cette commande réside dans le fait qu'elle constitue un véritable fonction d'entrée graphique.

Son exécution au niveau du microprocesseur initialise entre autre la séquence du photostyle.

6) Lecture externe de la mémoire d'image.

En matière de visualisation graphique on a souvent besoin de connaître l'état d'un pixel (allumé ou éteint) au niveau de la mémoire d'image. Il faut donc pouvoir accéder à ce pixel et le tester. Cette fonction est facilement réalisable grâce à la commande de lecture externe qu'offre le GDP. En effet parmi les commandes qu'on peut adresser au GDP existe une qui consiste à lui demander de libérer la mémoire d'image pour un accès externe.

-----  
\*\* Comme exemple nous allons détailler la commande de tracé d'un segment de droite.

Le calculateur envoie:

-Un code indiquant que c'est un segment de droite qui va être tracé. La réception de ce code au niveau du microprocesseur et reconnaissance (décodage). Le microprocesseur s'attend donc à la réception des différents arguments de tracé. Le calculateur envoie ces différents paramètres:

- coordonnées du point origine (XA, YA).
- coordonnées du point extrémité (XB, YB).
- le graphisme.
- visible ou invisible.
- numéro du plan.

Réception de ces différentes informations par le microprocesseur et programmation du GDP

Registre X----XA

Registre Y----YA



Delta X  $\leftarrow$   $\left| X_A - X_B \right|$  en valeur absolue.

Delta<sub>y</sub>  $\leftarrow$   $\left| Y_A - Y_B \right|$  en valeur absolue.

-Programmation du graphisme.

-Selection de la PLUME ou de GOMME suivant que c'est visible  
ou invisible.

---

### III Demande Externe d'accès à la mémoire D'image. (Sortie MFREE)

-Le GDP offre la possibilité d'un accès externe à la mémoire d'image à partir du bus microprocesseur à l'aide de la commande  $OE_{16}$  DU REGISTRE CMD.

La sortie MFREE peut être utilisée pour l'écriture ou la lecture d'un registre tampon entre la mémoire d'image et le bus microprocesseur.

#### a -Accès externe (mode lecture)

L'écriture du code  $OE_{16}$  dans le registre CMD, met la sortie MFREE à l'état bas pendant le premier cycle mémoire libre qui vient en l'absence des périodes de visualisation ou de rafraîchissement, ce cycle est le premier cycle entier après la remontée de l'entrée E.

Si la mémoire d'image est occupée en visualisation ou en rafraîchissement ( $ALL=0$ ), ce cycle est différé après le passage de ALL de 0 à 1, le temps d'attente maximum est de 64 cycles, les adresses validants la position du mot à extraire (lire) sortent sur DAD et MSL et correspondent aux contenus des registres X et Y.

#### b -Fonctionnement.

Après un cycle de lecture, 8 pixels x 8 bits sont disponibles à la sortie de la mémoire d'image.

L'acheminement vers le microprocesseur ou le calculateur s'effectue par mot de 8 bits.

Pour assurer cet acheminement dans de bonnes conditions nous utilisons 8 multiplexeurs (8 vers 1) type 74LS151, la sélection d'un pixel est effectuée par les sorties MSLO à 2 du GDP, l'entrée validation est toujours à l'état bas.

Cette donnée est stockée dans un registre tampon du type 74LS245 lorsque l'entrée  $\bar{G}$  est à l'état bas l'information est transférée vers le bus microprocesseur.

L'échange se fait seulement dans une seule direction par la connexion de l'entrée DIR (état bas).

Le schéma détaillé est donné par la fig. page suivante



c -Accès Externe (mode écriture).

LE principe est le même que le mode Lecture, mais le signal **WRITE** est contrôlé extérieurement, ce signal est appliqué à la mémoire dans le but d'avoir un cycle écriture.

L'écriture externe du registre tampon est programmée par le MPU  $OP_{16}$  étant la première commande d'opération.

Le signal **MFREE** transmet le contenu du registre aux entrées de la mémoire.

d -Fonctionnement.

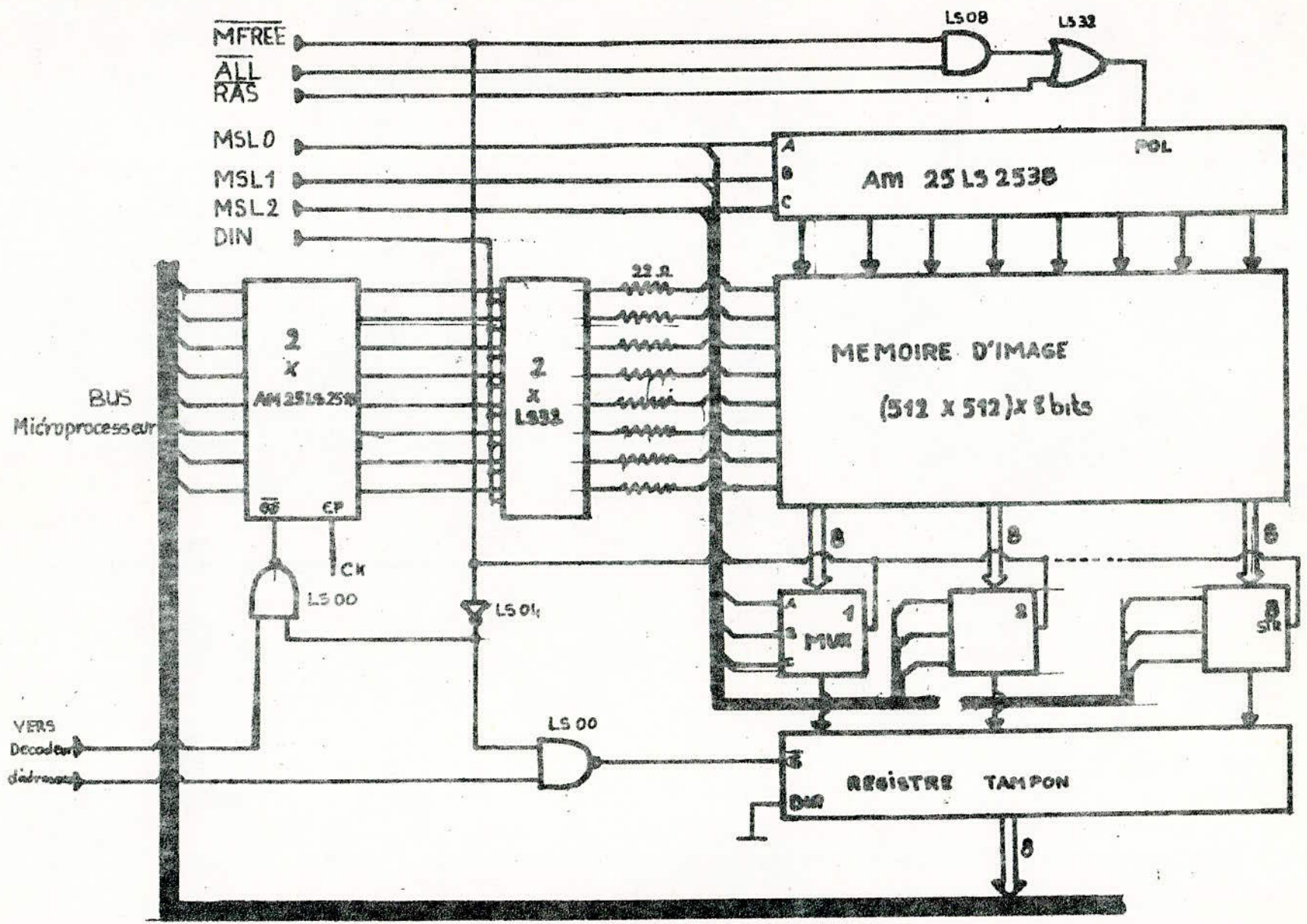
Cette méthode d'écriture nous permet de mémoriser des informations (résultats numériques, donnée image), issues soit du microprocesseur soit de l'ordinateur.

Nous avons utilisé un registre tampon qui permet de mémoriser momentanément les données avant leur transfert dans la mémoire d'image, ce registre est un quadruple bascule D du type AM 2518; celui-ci peut jouer le rôle de tampon, il possède des buffers et une horloge commune (voir le schéma fonctionnel).

L'écriture de la mémoire d'image est contrôlée par l'ordre d'écriture externe, et l'état bas du signal **MFREE** qui attaque l'entrée de validation ( $\overline{OE}$ ) du registre. Les données seront transférées dans le bus microprocesseur vers la mémoire au front montant de l'horloge (CK)

---  
OE=A0 .MFREE

-48-



LECTURE - ECRITURE EXTERNE DE LA MEMOIRE D'IMAGE



#### IV -Conversion numérique analogique.

##### -Généralités

L'acquisition de données de contrôle de processus physique, la réalisation d'appareils de mesure, de visualisation, autant d'applicatifs qui manipulent des signaux "analogiques" c'est à dire des signaux qui évoluent de façon continue dans le temps.

Si l'on veut apporter au contrôle de ces processus la puissance et la souplesse de l'ordinateur, il faut établir une correspondance entre les signaux binaires qu'il manipulent et ces grandeurs analogiques numériques et numériques analogiques, qui sont la "clé" permettant à l'électronicien d'utiliser l'outil informatique.

##### -Conversion numérique analogique

La conversion numérique analogique est une opération destinée à transformer un code binaire en une grandeur électrique proportionnelle à la valeur représentée par ce code.

soit N, l'information numérique qu'on désire convertir

$$N = \sum a_i \cdot 2^i$$

pour un nombre de n bits,  $a_i$  peut prendre deux valeurs 0 ou 1 par définition à l'information binaire N, correspond une quantité analogique "q" après conversion l'information pourra donc prendre  $2^n$  valeurs comprises entre 0 et  $V_m = (2^n - 1) \cdot q$  à savoir (0, 1q, 2q, .....  $2^n - 1) \cdot q$ ) que l'on peut écrire  $V_m = i \cdot q$  avec  $0 < i < 2^n - 1$  (i=entier)

##### -Temps de conversion

C'est le temps qui sépare le moment où les entrées sont présentes et l'instant où le résultat est disponible en sortie.

##### -Résolution d'un convertisseur N/A

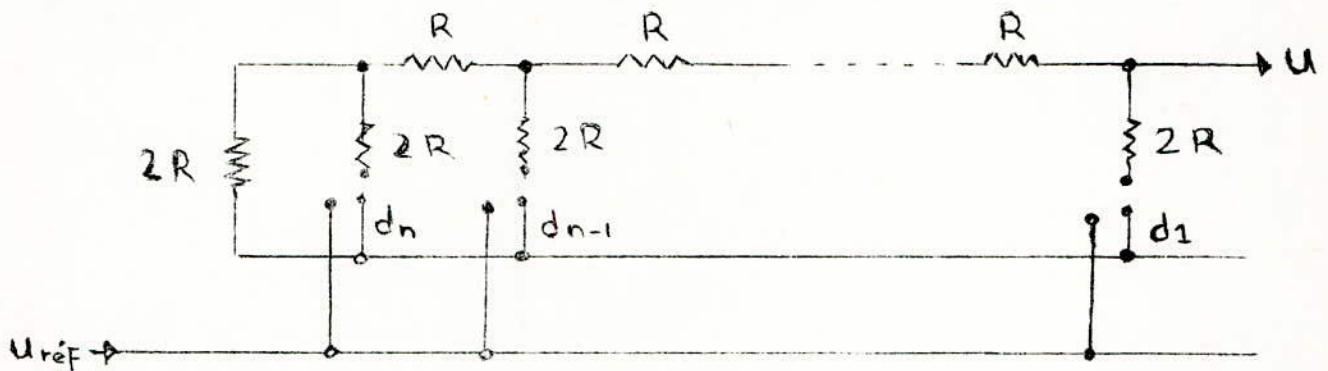
Le terme de "résolution" appliqué à un convertisseur dépend uniquement du nombre de bits que le convertisseur peut accepter.

Elle définit l'amplitude de la plus petite variation de sortie que l'on peut obtenir compte tenu du nombre de bits à l'entrée, elle est exprimée par la relation suivante.

$$r = \frac{U_{\text{réf}}}{2^n} \quad \text{valeur du LSB}$$

-Exemple de convertisseur N/A type R-2R

La figure ci dessous represente le schéma synoptique d'un CNA à gauche se trouve un générateur de tension constante  $U_{\text{réf}}$ , puis sont représentés les interrupteurs électroniques, chacun commandé par un bit de l'information numérique, lorsque le bit est à 0, l'interrupteur connecte la résistance qui le suit à la masse, lorsque le bit passe à 1, la résistance se trouve connectée à  $U_{\text{réf}}$  est un courant la traverse il y a à ce moment conversion tension-courant.

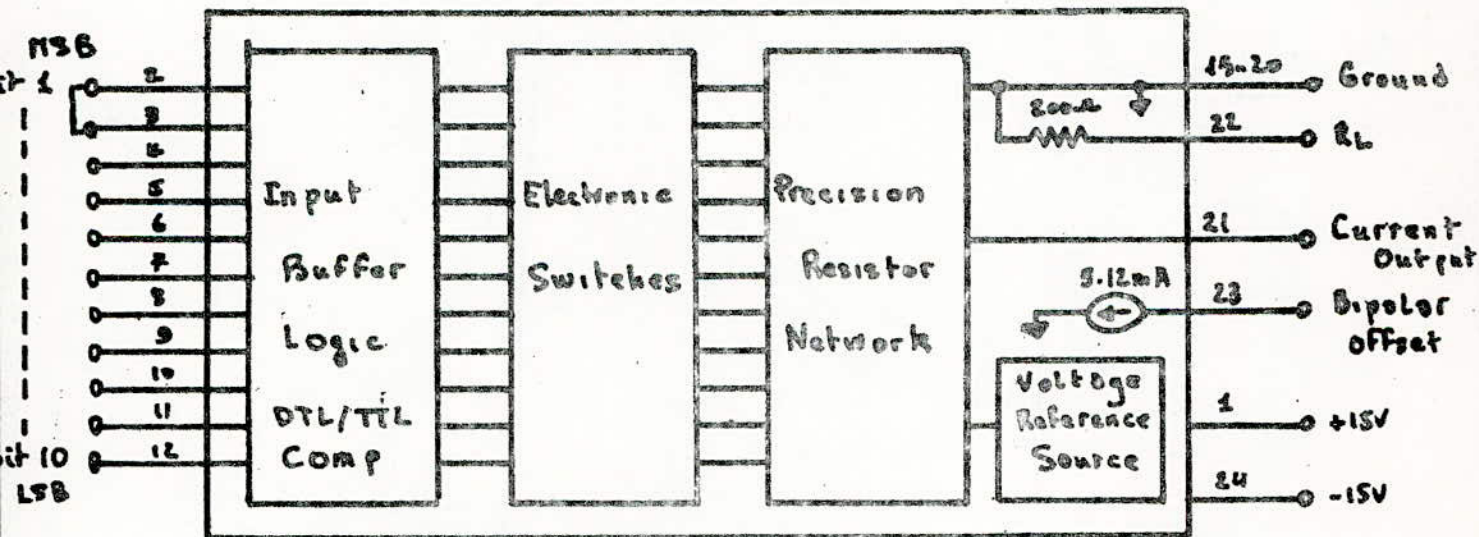
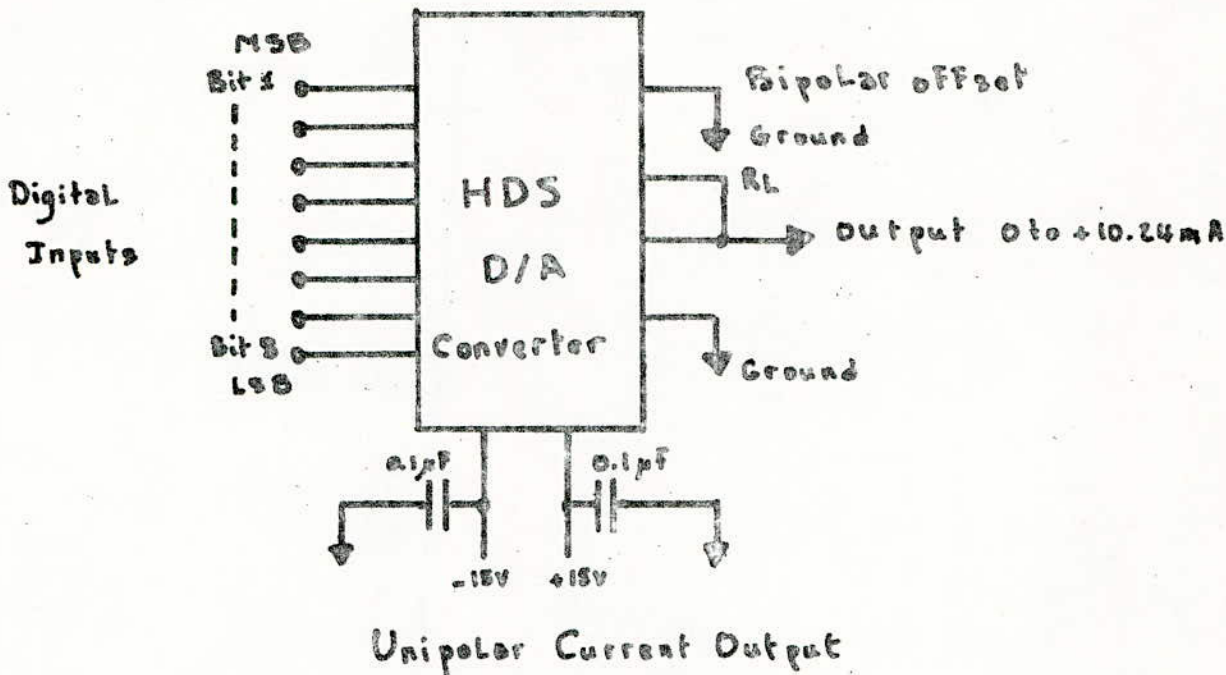


-Convertisseur utilisé HDS 0820 de ANALOG-DEVICES

Le choix d'un tel convertisseur, nous est imposé par la contrainte du temps de conversion.

En effet, les écran TV reclament des transferts d'informations extrêmement rapides, par exemple pour un écran de résolution  $512 \times 512$  il y a 262.144 éléments d'image ou points (pixels) à 25 images par seconde, chaque point doit être inscrit à moins de 71ns (valeur standard). Il est vital que le convertisseur N/A ait une réponse très rapide le convertisseur choisi est un modele HDS 0820 spécialement conçu pour répondre aux besoins des écrans TV, et les écrans à génération de vecteurs, il est encapsulé dans un boîtier métallique Dip de 24 broches, nécessite une alimentation symétrique de  $\pm 15V$ , la résolution est de 8 bits, et le temps de conversion pour la pleine échelle est de 20ns, avec un courant de sortie de 10mA dans une charge de 75  $\Omega$ . La fig. represente le schéma synoptique du CNA





Block Diagram HDS-0820, And HDS-1025

On 8 bit Versions, Pins 11 And 12 are not Connected

-Conversion courant-tension.

L'attaque de l'entrée vidéo se fait obligatoirement en tension nous devant utiliser juste après, un convertisseur courant-tension?.

On a choisi un Ampli-op modèle Bifet. L'avantage de cet Ampli-op est sa bande passante importante afin de ne pas dégrader le temps de conversion ainsi que son impédance élevée pour ne pas introduire des erreurs de conversion courant-tension.

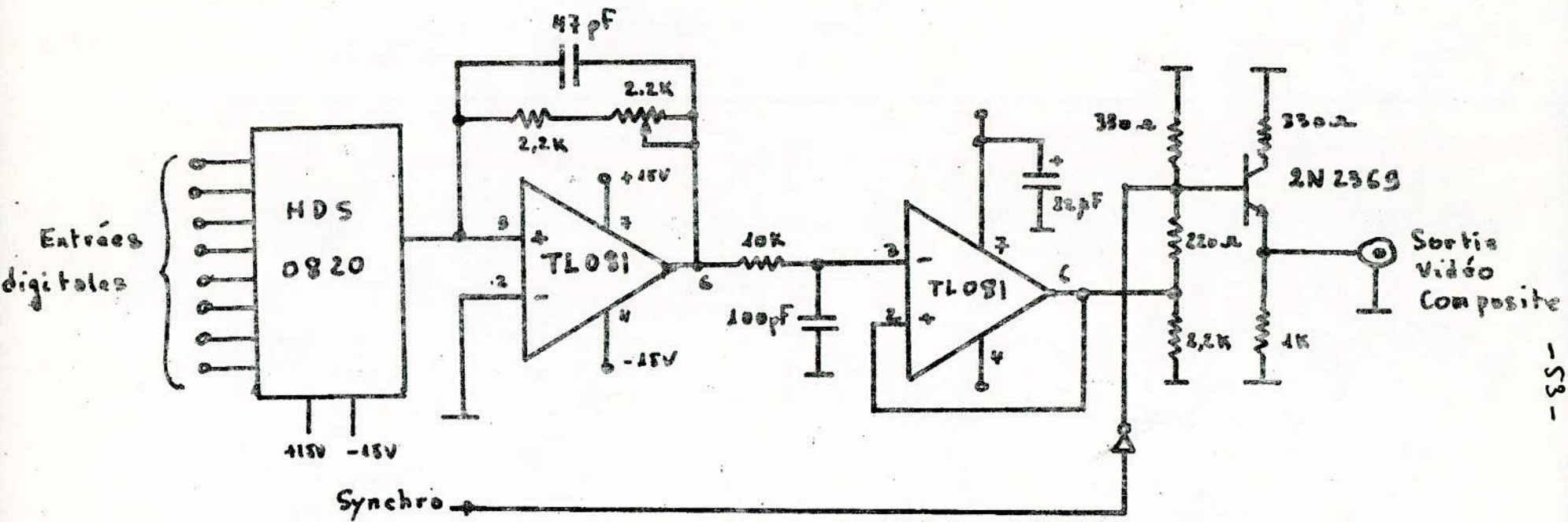
-Adaptation et Mélange vidéo

L'adaptation est assurée par le même type d'Ampli-op, monté en amplificateur suiveur.

Le transistor 2N 2369 large bande, mélange les deux signaux provenant respectivement de la sortie de l'adaptateur et du signal de synchronisation (provenant du GDP) afin de constituer le signal vidéo composite.

Le schéma du système est donné par la fig.





Elaboration du Signal Vidéo Composite

## V Etude du Prix de Revient de L'interface de Visualisation

---

Plusieurs rubriques sont à considerer, qui permettent d'évaluer le prix de revient de l'interface, ici on s'est basé sur les prix indiqués sur facture Pro-Format de la société commerciale TOUTELECTRIC datée le 29 Mars 1982.

Désignation des composants	Quantité	Prix unitaire	Prix total
Microprocesseur MC 6802	1	40,50	40,50
Contrôleur de visualisation			
EF 9365	1	267,00	267,00
Convertisseur N/A HDS1025	1	1731;00	1731,00
Mémoires RAM dynamiques			
4116 BC 15	128	21,00	2688,00
Ampli-Op Fet TL081	2	6,20	12,40
Sex-invers 74LS04	3	1,90	1,90
Sex-Invers 74LS05	2	1;90	3,80
Sex-non inv 74LS07	1	3,50	3,50
Quad-porte ou 74LS32	2	2,00	4,00
Multiplexeur 74LS152	8	3,00	24,00
Déco-démul CO 74LS156	3	14,00	42,00
Compt-décomp 74LS169	1	10,25	10,00
Sex-basc D 74LS174	1	3,90	3;90
Buffer-inv 74LS240	1	9,50	9,50
Prom 256 bits 74S 288	1	16,50	16,50
Regis à décal 74LS323	8	29,70	237,60
Buffer 8bits 74LS640	1	16,50	16,50
Décodeur AM2538	1	18,50	18,50
Qua-basc AM2518	4	12,00	48,00
Quartz 14MHz	1	8,00	8,00
Resistances 1/4W 5%			
0,22,0,68,0,022,0,33,1,2,2K	60	0,30	18,00
Supports CI			



14 broches	4	4,50	18,00
16 / /	4	5,00	20,00
20 / /	5	5,50	26,50
24 / /	2	7,00	14,00
40 / /	5	9,00	45,00
Capacites ceramique+Capa découplage	10	0,80	8,00

-----  
Total 5345,10FF

A ce prix il faut ajouter les frais de main-d'oeuvre et de mise au point. Malgré tout ceci le prix de revient reste nettement inférieur à celui donné par différents constructeurs. En effet c'est un travail intéressant pour un ingénieur désireux de le réaliser pour un laboratoire de Télédetection pour diverses raisons à savoir:

- le problème de maintenance sera réalisé.
- la possibilité à l'extension.
- faire de telle sorte que le système soit souple à manipuler.
- etc.

## **VI** CONCLUSION.

-----

Notre travail constitue la première partie d'une étude d'un système interactif.

Cette partie consistait d'une part au recensement de certaines difficultés rencontrées au niveau de la réalisation du système.

une bonne partie de ces difficultés ont été résolues d'autres demandent des études supplémentaires telle que:

-La carte MPU.

-Le décodeur d'adresses.

-Le convertisseur N/A. ( compris performances-prix)

d'autre part un début de réalisation a été fait, nous avons mis au point une carte avec implantation des différents composants, mais malheureusement certain composant importants tels que le GDP, les mémoires RAM, le convertisseur, manquaient et ne seront disponibles que dans les mois à venir; cependant la circuiterie du séquenceur a été mise au point et fonctionne.

Nous espérons que le choix du GDP que nous avons fait contribuera à la mise au point de la carte de l'interface complète de visualisation d'image.

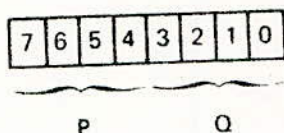




ANNEXE



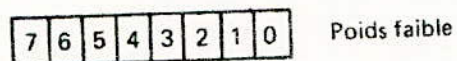
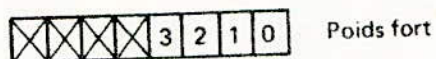
### REGISTRE CSIZE (lecture/écriture)



P : facteur d'échelle en X  
Q : facteur d'échelle en Y

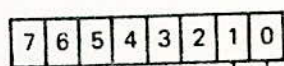
P et Q peuvent prendre 16 valeurs différentes de 1 à 16.  
La valeur 16 est codée  $0_{16}$ .

### REGISTRES X ET Y (lecture/écriture)



Les bits 4 à 7 de poids fort des registres X et Y sont à l'état bas en lecture.

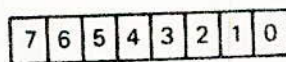
### REGISTRES XLP ET YLP



Bit d'état indiquant si un front montant a été appliqué sur l'entrée LPCK pendant la première trame entière suivant l'initialisation du photostyle. Ce bit est remis à 0 par une lecture de XLP ou de YLP.

Non utilisé (toujours 0 en lecture)

Adresse en X du photostyle sur 6 bits.

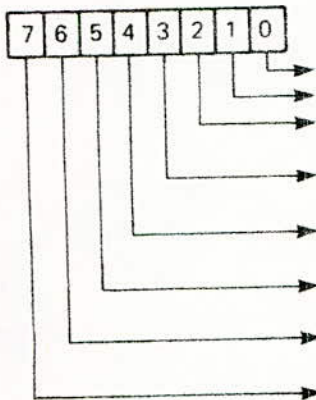


Adresse en Y du photostyle sur 8 bits



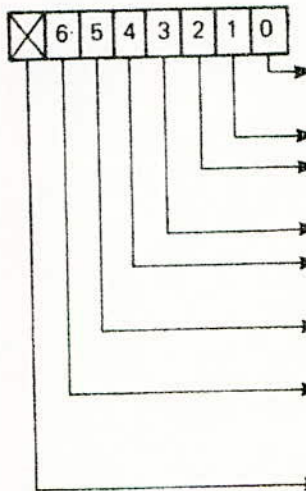
## LES AUTRES REGISTRES

### REGISTRE STATUS (lecture seulement)



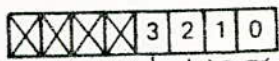
- HAUT = séquence photostyle terminée
  - HAUT = signal retour de trame (VB)
  - HAUT = circuit libre pour une nouvelle commande
  - HAUT = plume en dehors de la fenêtre visualisée : OU logique des bits de poids fort des registres X et Y.
  - HAUT = Interruption pour fin de séquence photostyle
  - HAUT = interruption pour signal VB à l'état haut
  - HAUT = Interruption pour circuit prêt à recevoir une nouvelle commande.
  - IRQ : OU logique des 3 bits précédents (haut quand la sortie  $\overline{IRQ}$  est à l'état bas).
- } Origines d'interruptions éventuelles (signaux non échantillonnés et non masqués)
- } Le OU logique de ces 3 bits fait passer  $\overline{IRQ}$  à l'état bas.
- } Ces 3 bits sont remis à 0 après lecture du registre STATUS.

### REGISTRE CTRL1 (lecture/écriture)



- HAUT = plume ou gomme baissée ; BAS = plume ou gomme levée (contrôle la sortie  $\overline{DW}$ ).
  - HAUT = plume ; BAS = gomme (contrôle la sortie DIN)
  - HAUT = écriture rapide : extinction de la vidéo (BLK au niveau haut), rafraîchissement minimal.
  - HAUT = écran cyclique (écriture même si le bit 3 de STATUS est au niveau haut).
  - HAUT = autorisation d'interruption pour fin de séquence photostyle.
  - HAUT = autorisation d'interruption pour signal VB à l'état haut
  - HAUT = autorisation d'interruption pour circuit prêt à recevoir une nouvelle commande.
  - Non utilisé (toujours 0 en lecture).
- } Masque d'interruption

### REGISTRE CTRL2 (lecture/écriture)



(toujours 0 en lecture)

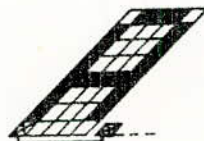
- Type de trait des vecteurs
- HAUT = caractère en italique
- HAUT = caractère tracé suivant l'axe vertical

b1	b0	Types de trait des vecteurs	
0	0	—	continu
0	1	- - - -	pointillé 2 pts allumés, 2 pts éteints
1	0	- - - -	tiré 4 pts allumés, 4 pts éteints
1	1	- · - ·	trait mixte 10 pts allumés, 2 éteints 2 allumés, 2 éteints.

Position initiale des registres X, Y

Position finale des registres X, Y

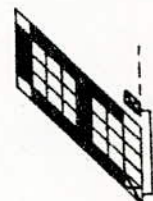
$b_3 = 0, b_2 = 0$



$b_3 = 0, b_2 = 1$



$b_3 = 1, b_2 = 0$



$b_3 = 1, b_2 = 1$



## ADRESSE ET FONCTION DES REGISTRES

REGISTRE D'ADRESSE					FONCTION DES REGISTRES		Nombre de bits
Binaire				Hexa	Lecture	Ecriture	
A3	A2	A1	A0				
0	0	0	0	0	STATUS	CMD	8
0	0	0	1	1	CTRL1 (contrôle de l'écriture et des interruptions)		7
0	0	1	0	2	CTRL2 (orientation des symboles et type de vecteurs)		4
0	0	1	1	3	CSIZE (taille des caractères)		8
0	1	0	0	4	Réservé		—
0	1	0	1	5	DELTA X		8
0	1	1	0	6	Réservé		—
0	1	1	1	7	DELTA Y		8
1	0	0	0	8	X Poids fort		4
1	0	0	1	9	X Poids faible		8
1	0	1	0	A	Y Poids fort		4
1	0	1	1	B	Y Poids faible		8
1	1	0	0	C	XLP	Réservé	7
1	1	0	1	D	YLP	Réservé	8
1	1	1	0	E	Réservé		—
1	1	1	1	F	Réservé		—

Réservé : Ces adresses sont réservées pour des versions futures du circuit. En lecture, les amplificateurs de sortie D0 à D7 forcent l'état haut sur le bus de donnée.

## RESUME DES CODES DE COMMANDE

b7 b6 b5 b4																			
	b3	b2	b1	b0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0 0 0 0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0 0 0 1	0	0	0	1	0	0	1	1	1	1	1	0	0	0	0	1	1	1	1
0 0 1 0	0	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
0 0 1 1	0	0	1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
0 1 0 0	0	1	0	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0 1 0 1	0	1	0	1	5	6	7	8	9	A	B	C	D	E	F				
0 1 1 0	0	1	1	0	6	7	8	9	A	B	C	D	E	F					
0 1 1 1	0	1	1	1	7	8	9	A	B	C	D	E	F						
1 0 0 0	1	0	0	0	8	9	A	B	C	D	E	F							
1 0 0 1	1	0	0	1	9	A	B	C	D	E	F								
1 0 1 0	1	0	1	0	A	B	C	D	E	F									
1 0 1 1	1	0	1	1	B	C	D	E	F										
1 1 0 0	1	1	0	0	C	D	E	F											
1 1 0 1	1	1	0	1	D	E	F												
1 1 1 0	1	1	1	0	E	F													
1 1 1 1	1	1	1	1	F														

		Vecteurs standard (cf. petits vecteurs pour b <sub>2</sub> , b <sub>1</sub> , b <sub>0</sub> )																	
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F		
Vecteurs standard	0 0 0 0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1
	0 0 0 1	!	1	A	Q	a	q												
	0 0 1 0	"	2	B	R	b	r												
	0 0 1 1	#	3	C	S	c	s												
	0 1 0 0	\$	4	D	T	d	t												
	0 1 0 1	%	5	E	U	e	u												
	0 1 1 0	&	6	F	V	f	v												
Vecteurs de directions privilégiées (cf. petits vecteurs pour b <sub>2</sub> , b <sub>1</sub> , b <sub>0</sub> )	0 1 1 1	'	7	G	W	g	w												
	1 0 0 0	(	8	H	X	h	x												
	1 0 0 1	)	9	I	Y	i	y												
	1 0 1 0	*	:	J	Z	j	z												
	1 0 1 1	+	;	K	[	k	{												
	1 1 0 0	,	<	L	\	l													
	1 1 0 1	-	=	M		m	~												
	1 1 1 0	.	>	N	†	n	¡												
	1 1 1 1	/	?	O	—	o	⊞												

**PETITS VECTEURS :**

b7	b6	b5	b4	b3	b2	b1	b0
1	ΔX	ΔY	Direction				

Dimension

ΔX ou ΔY	Long. du vecteur
0 0	0 pas
0 1	1 pas
1 0	2 pas
1 1	3 pas

Direction





# SN54LS168/SN74LS168 • SN54LS169/SN74LS169

## BCD DECADE      MODULO 16 BINARY

### SYNCHRONOUS BI-DIRECTIONAL COUNTERS

**DESCRIPTION** - The 54LS/74LS168 and 54LS/74LS169 are fully synchronous 4-stage up/down counters featuring a preset capability for programmable operation, carry lookahead for easy cascading and a U/D input to control the direction of counting. The 54LS/74LS168 counts in a BCD decade (8, 4, 2, 1) sequence, while the 54LS/74LS169 operates in a Modulo 16 binary sequence. All state changes, whether in counting or parallel loading, are initiated by the LOW-to-HIGH transition of the clock.

- LOW POWER DISSIPATION 100mW TYPICAL
- HIGH-SPEED COUNT FREQUENCY 36 MHz TYPICAL
- FULLY SYNCHRONOUS OPERATION
- FULL CARRY LOOKAHEAD FOR EASY CASCADING
- SINGLE UP/DOWN CONTROL INPUT
- POSITIVE EDGE-TRIGGER OPERATION
- INPUT CLAMP DIODES LIMIT HIGH-SPEED TERMINATION EFFECTS
- FULLY TTL AND CMOS COMPATIBLE

#### PIN NAMES

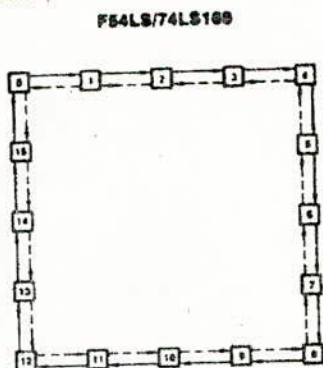
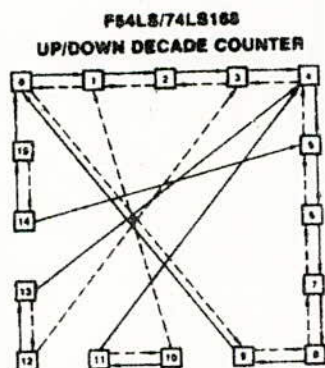
$\overline{CEP}$	Count Enable Parallel (Active LOW) Input
$\overline{CET}$	Count Enable Trickle (Active LOW) Input
CP	Clock Pulse (Active positive going edge) Input
$\overline{PE}$	Parallel Enable (Active LOW) Input
U/D	Up-Down Count Control Input
$P_0$ - $P_3$	Parallel Data Inputs
$Q_0$ - $Q_3$	Flip-Flop Outputs
TC	Terminal Count (Active LOW) Output

LOADING (Note a)	
HIGH	LOW
0.5 U.L.	0.25 U.L.
1.0 U.L.	0.5 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
10 U.L.	5 (2.5) U.L.
10 U.L.	5 (2.5) U.L.

#### NOTES:

- 1 TTL Unit Load (U.L.) = 40µA HIGH/1.5 mA LOW
- The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

#### STATE DIAGRAMS



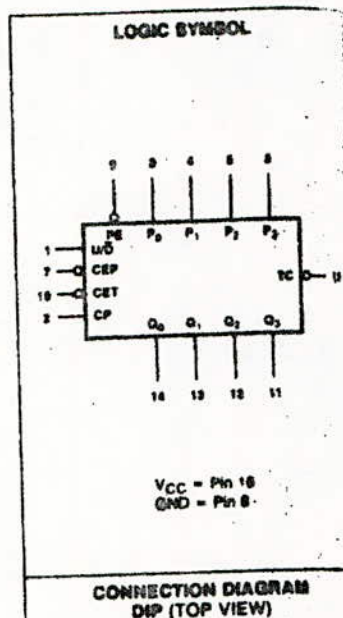
**54LS/74LS168**

UP:  $TC = Q_0 \cdot Q_3 \cdot (U/D)$   
DOWN:  $TC = \overline{Q_0} \cdot \overline{Q_3} \cdot (U/D)$

— Count Up  
- - - Count Down

**54LS/74LS169**

UP:  $TC = Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3 \cdot (U/D)$   
DOWN:  $TC = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \cdot (U/D)$



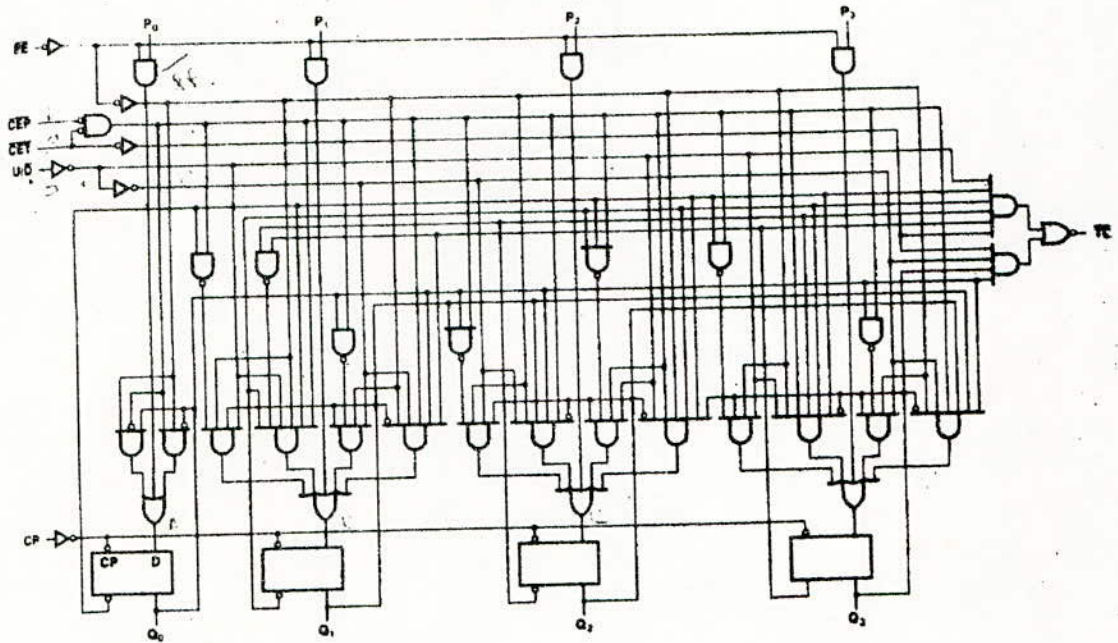
#### NOTE

The Flatpack version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

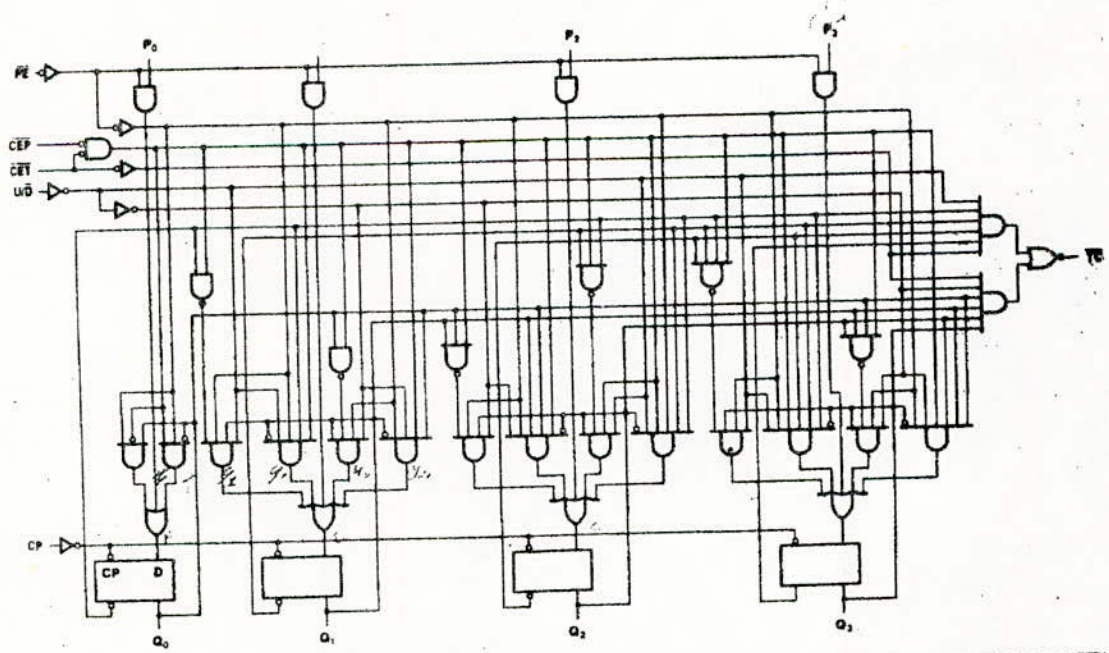


LOGIC DIAGRAMS

54LS/74LS169



54LS/74LS160



# SN54LS174/SN74LS174

## HEX D FLIP-FLOP

**DESCRIPTION** — The LSTTL/MSI SN54LS174/SN74LS174 is a high speed Hex D Flip-Flop. The device is used primarily as a 6-bit edge-triggered storage register. The information on the D inputs is transferred to storage during the LOW to HIGH clock transition. The device has a Master Reset to simultaneously clear all flip-flops. The LS174 is fabricated with the Schottky barrier diode process for high speed and is completely compatible with all Motorola TTL families.

- EDGE-TRIGGERED D-TYPE INPUTS
- BUFFERED-POSITIVE EDGE-TRIGGERED CLOCK
- CLOCK TO OUTPUT DELAYS OF 14 ns
- ASYNCHRONOUS COMMON RESET
- INPUT CLAMP DIODES LIMIT HIGH SPEED TERNATION EFFECTS
- FULLY TTL AND CMOS COMPATIBLE

### PIN NAMES

Pin Name	Description
D <sub>0</sub> - D <sub>5</sub>	Data Inputs
CP	Clock (Active HIGH Going Edge) Input
MR	Master Reset (Active LOW) Input
Q <sub>0</sub> - Q <sub>5</sub>	Outputs (Note b)

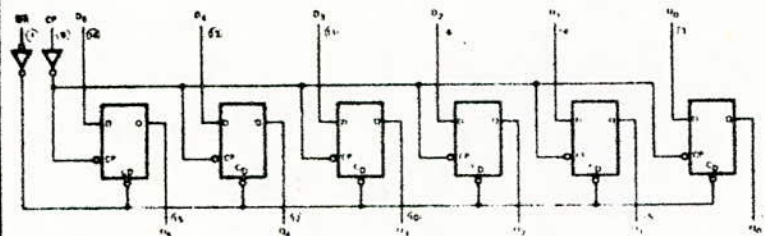
### LOADING (Note a)

	HIGH	LOW
D <sub>0</sub> - D <sub>5</sub>	0.5 U.L.	0.25 U.L.
CP	0.5 U.L.	0.25 U.L.
MR	0.5 U.L.	0.25 U.L.
Q <sub>0</sub> - Q <sub>5</sub>	10 U.L.	5 (2.5) U.L.

### NOTES

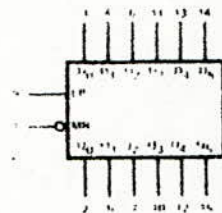
- 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.
- The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

### LOGIC DIAGRAM



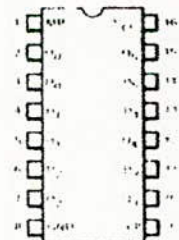
VCC = Pin 16  
 GND = Pin 8  
 ○ = Pin Numbers

### LOGIC SYMBOL



VCC = Pin 16  
 GND = Pin 8

### CONNECTION DIAGRAM DIP (TOP VIEW)



NOTE  
 The Output pins are not tri-state enabled. They are only high impedance when the device is in the High Impedance state.



# SN54LS240/SN74LS240 • SN54LS241/SN74LS241 • SN54LS244/SN74LS244

## OCTAL BUFFER/LINE DRIVER WITH 3-STATE OUTPUTS

**DESCRIPTION**—The 54LS/74LS240, 241 and 244 are Octal Buffers and Line Drivers designed to be employed as memory address drivers, clock drivers and bus-oriented transmitters/receivers which provide improved PC board density.

- ① HYSTERESIS AT INPUTS TO IMPROVE NOISE MARGINS
- ② 3-STATE OUTPUTS DRIVE BUS LINES OR BUFFER MEMORY ADDRESS REGISTERS
- ③ OUTPUTS SINK 40 mA AT  $V_{OL} = 0.5 V$
- ④ 10 mA SOURCE CURRENT
- ⑤ INPUT CLAMP DIODES LIMIT HIGH SPEED TERMINATION EFFECTS
- ⑥ FULLY TTL AND CMOS COMPATIBLE

### TRUTH TABLES

54LS/74LS240

INPUTS		D	OUTPUT
$\bar{E}_1, \bar{E}_2$			
L	L	H	H
L	H	L	L
H	X	X	(Z)

54LS/74LS244

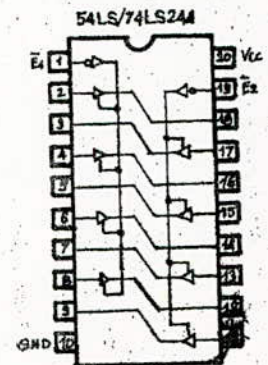
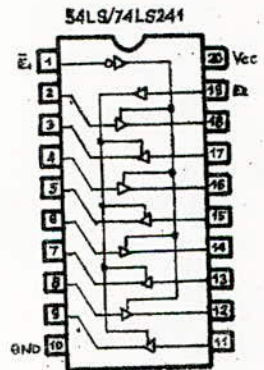
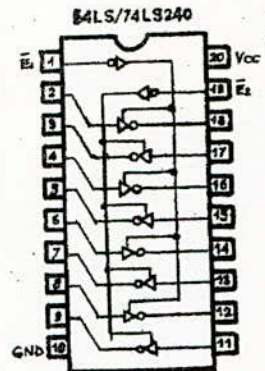
INPUTS		D	OUTPUT
$\bar{E}_1, \bar{E}_2$			
L	L	L	L
L	H	H	H
H	X	X	(Z)
H	X	X	(Z)

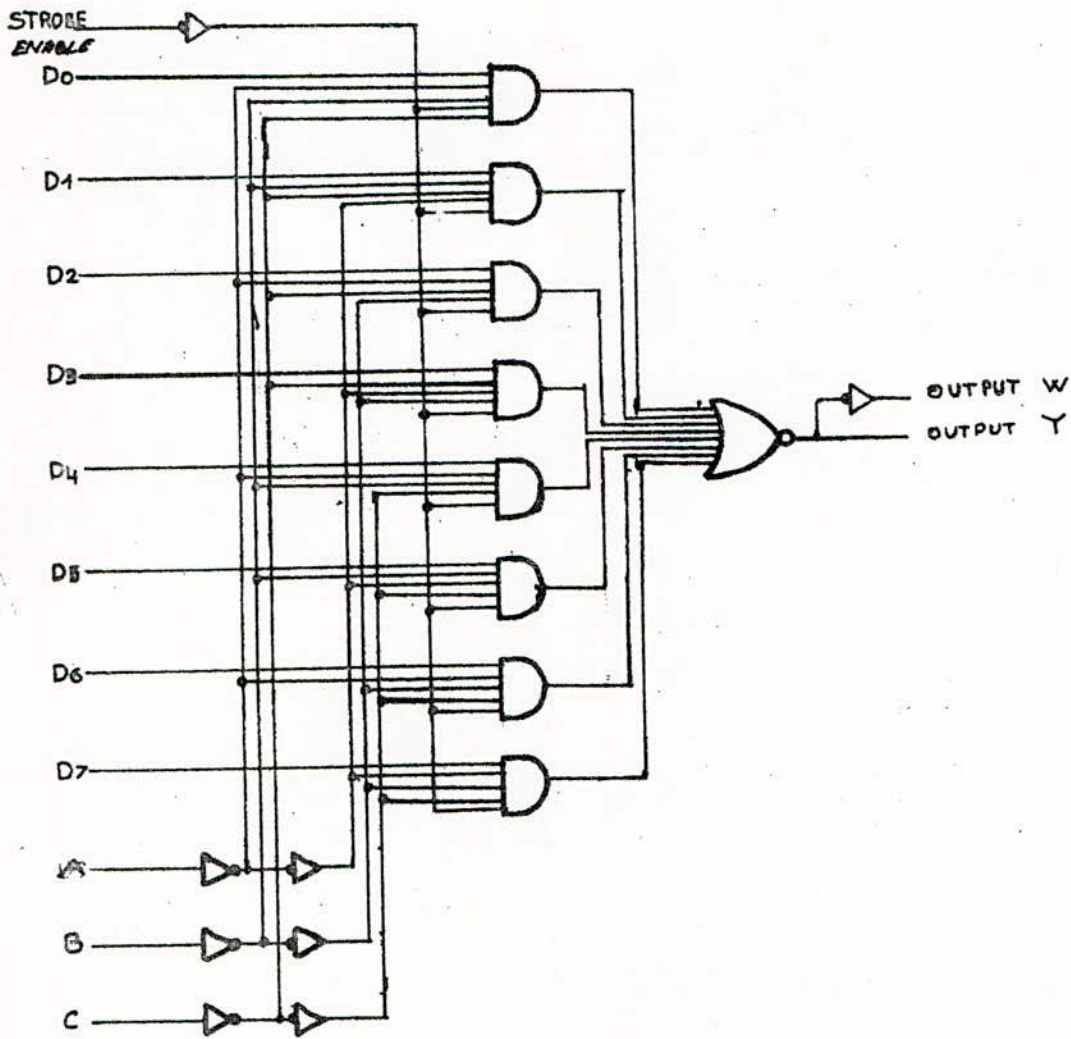
54LS/74LS241

INPUTS		OUTPUT	INPUTS		OUTPUT
$\bar{E}_1$	D		$\bar{E}_2$	D	
L	L	L	H	L	L
L	H	H	H	H	H
H	X	(Z)	L	X	(Z)
H	X	(X)	L	X	(Z)

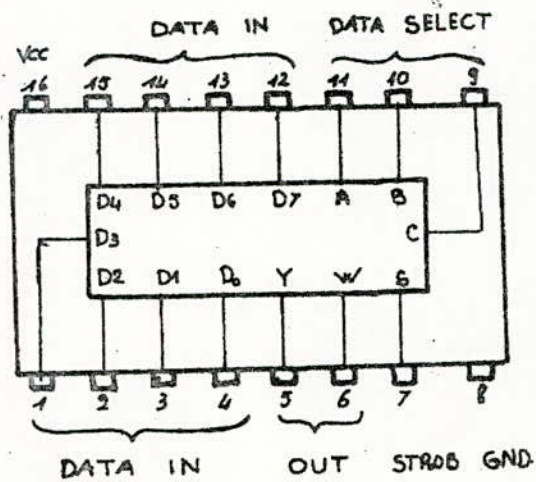
H = HIGH Voltage Level  
L = LOW Voltage Level  
X = Immaterial  
Z = HIGH Impedance

### LOGIC AND CONNECTION DIAGRAMS (DIP TOP VIEW)

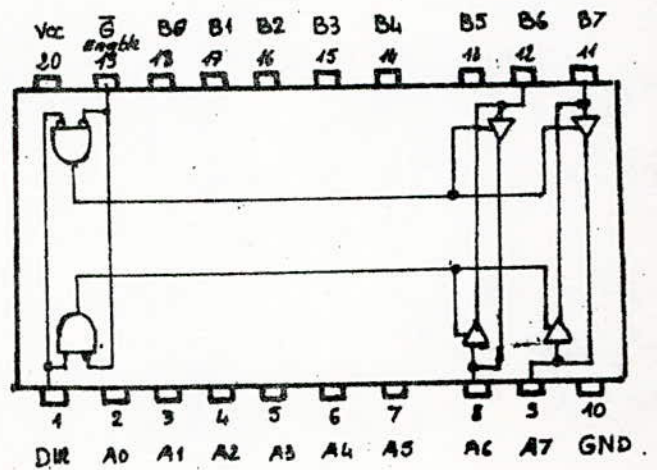




SCHEMA FONCTIONNEL (SN 74LS151).



SN 74LS151.



REGISTRE TAMPON . (74LS245)  
BROCHAGE DU CIRCUIT



# SN54LS323/SN74LS323

## 8-BIT UNIVERSAL SHIFT/STORAGE REGISTER WITH SYNCHRONOUS RESET AND COMMON I/O PINS

### Advance Information

**DESCRIPTION**—The 54LS/74LS323 is an 8-Bit Universal Shift/Storage Register with 3-state outputs. Its function is similar to the 54LS/74LS299 with the exception of Synchronous Reset. Parallel load inputs and flip-flop outputs are multiplexed to minimize pin count. Separate inputs and outputs are provided for flip-flops  $Q_0$  and  $Q_7$  to allow easy cascading.

Four operation modes are possible: hold (store), shift left, shift right, and parallel load. All modes are activated on the LOW-to-HIGH transition of the Clock.

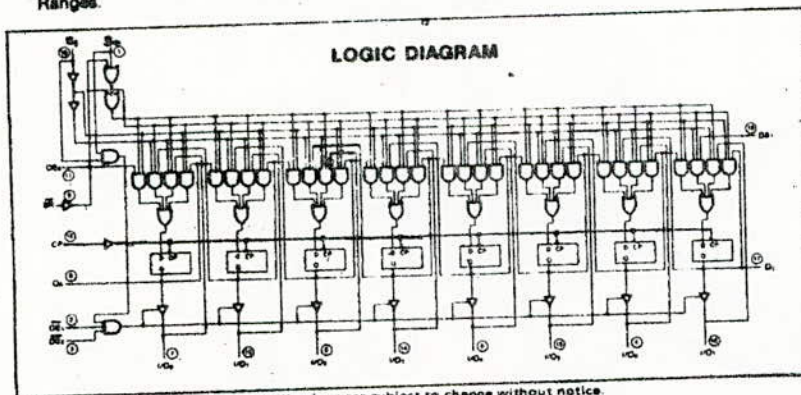
- COMMON I/O FOR REDUCED PIN COUNT
- FOUR OPERATION MODES: SHIFT LEFT, SHIFT RIGHT, PARALLEL LOAD AND STORE
- SEPARATE CONTINUOUS INPUTS AND OUTPUTS FROM  $Q_0$  AND  $Q_7$  ALLOW EASY CASCADING
- FULLY SYNCHRONOUS RESET
- 3-STATE OUTPUTS FOR BUS ORIENTED APPLICATIONS
- INPUT CLAMP DIODES LIMIT HIGH-SPEED TERMINATION EFFECTS
- FULLY CMOS AND TTL COMPATIBLE

#### PIN NAMES

		LOADING (Note a)	
		HIGH	LOW
CP	Clock Pulse (active positive-going edge) Input	0.5 U.L.	0.25 U.L.
DS <sub>0</sub>	Serial Data Input For Right Shift	0.5 U.L.	0.25 U.L.
DS <sub>7</sub>	Serial Data Input For Left Shift	0.5 U.L.	0.25 U.L.
I/O <sub>n</sub>	Parallel Data Input or Parallel Output (3-State) (Note c)	1.0 U.L.	0.5 U.L.
$\overline{OE}_1, \overline{OE}_2$	3-State Output Enable (active LOW) Inputs	85(25) U.L.	15(7.5) U.L.
Q <sub>0</sub> , Q <sub>7</sub>	Serial Outputs (Note b)	10 U.L.	5(2.5) U.L.
S <sub>0</sub> , S <sub>1</sub>	Mode Select Inputs	1 U.L.	
SR	Synchronous Reset (active LOW) Input	0.5 U.L.	0.25 U.L.

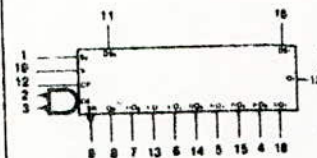
#### NOTES:

- a. 1 TTL LOAD = 40  $\mu$ A HIGH/1.6 mA LOW.
- b. The output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial Temperature Ranges.
- c. The output LOW drive factor is 7.5 U.L. for Military (54) and 15 U.L. for Commercial Temperature Ranges. The output HIGH drive factor is 25 U.L. for Military (54) and 85 U.L. for Commercial Temperature Ranges.



This is advance information and specifications are subject to change without notice.

#### LOGIC SYMBOL



V<sub>CC</sub> = 20  
GND = 10

#### CONNECTION DIAGRAM DIP (TOP VIEW) 54LS/74LS323



**NOTE:**  
The Flatpak version has the same pinouts (Connection Diagram) as the Dual In-Line Package.

# Advance Information

## SN54LS374/SN74LS374

### OCTAL D-TYPE FLIP-FLOP WITH 3-STATE OUTPUT

**DESCRIPTION** The 54LS/74LS374 is a high-speed, low-power Octal D-type Flip-Flop featuring separate D-type inputs for each flip-flop and 3-state outputs for bus oriented applications. A buffered Clock (CP) and Output Enable (OE) is common to all flip-flops. The 54LS/74LS374 is manufactured using advanced Low Power Schottky technology and is compatible with all Motorola TTL families

- EDGE-TRIGGERED D-TYPE INPUTS
- BUFFERED POSITIVE EDGE-TRIGGERED CLOCK
- 3-STATE OUTPUTS FOR BUS ORIENTED APPLICATIONS
- HYSTERESIS ON OUTPUT ENABLE INPUT TO IMPROVE NOISE MARGIN
- INPUT CLAMP DIODES LIMIT HIGH-SPEED TERMINATION EFFECTS
- FULLY TTL AND CMOS COMPATIBLE

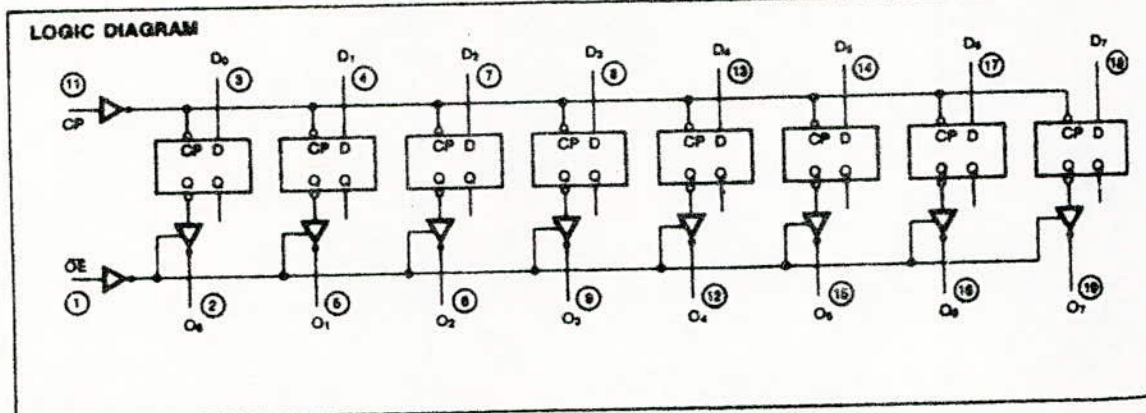
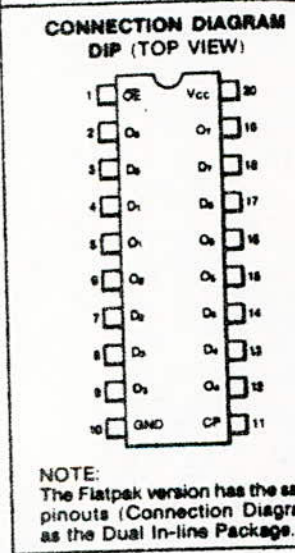
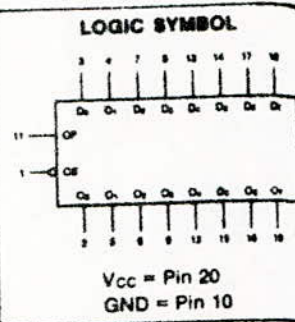
**PIN NAMES**

D <sub>0</sub> -D <sub>7</sub>	Data Inputs
CP	Clock (Active HIGH going edge) Input
OE	Output Enable (Active LOW) Input
O <sub>0</sub> -O <sub>7</sub>	Outputs (Note b)

LOADING (Note a)	
HIGH	LOW
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
0.5 U.L.	0.25 U.L.
65(25) U.L.	15(7.5) U.L.

**NOTES:**

- a. 1 TTL Unit Load (U.L.) = 40  $\mu$ A HIGH/1.6 mA LOW.
- b. The output LOW drive factor is 7.5 U.L. for military (54) and 24 U.L. for Commercial (74) Temperature Ranges. The Output HIGH drive factor is 25 U.L. for Military (54) and 65 U.L. for Commercial (74) Temperature Ranges.



This is advance information and specifications are subject to change without notice.



# SN54LS640/SN74LS640 • SN54LS641/SN74LS641 SN54LS642/SN74LS642 • SN54LS645/SN74LS645

## OCTAL BUS TRANSCEIVERS WITH 3-STATE OUTPUTS Advance Information

**DESCRIPTION** These octal bus transceivers are ideally suited for asynchronous two-way communication between data buses. Control function implementation minimizes external timing requirements.

These circuits allow data transmission from the A bus to B bus or from the B bus to A bus depending upon the logic level of the direction control (DIR) input. Enable input (G) can disable the device so that the buses are effectively isolated.

- BI-DIRECTIONAL BUS TRANSCEIVERS IN HIGH-DENSITY 20-PIN PACKAGES
- CHOICE OF TRUE OR INVERTING LOGIC
- CHOICE OF 3-STATE OR OPEN-COLLECTOR OUTPUTS
- PNP INPUTS REDUCE D-C LOADING ON BUS LINES
- HYSTERESIS AT BUS INPUTS IMPROVES NOISE MARGINS

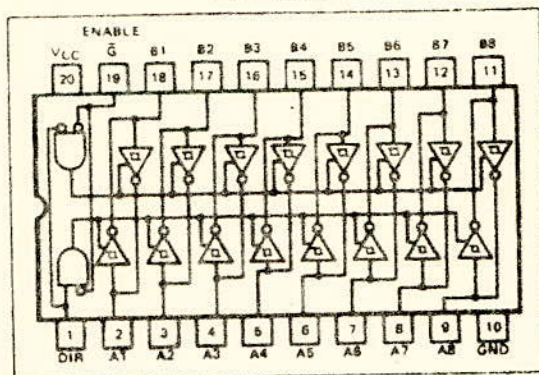
TYPE	LOGIC	OUTPUT
LS640	Inverting	3-State
LS641	Non-inverting	o.c.
LS642	Inverting	o.c.
LS645	Non-inverting	3-State

FUNCTION TABLE

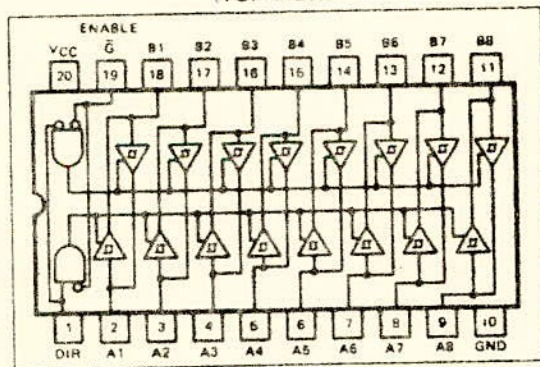
ENABLE G	DIRECTION CONTROL DIR	OPERATION	
		LS640, LS642	LS641, LS645
L	L	B data to A bus	B data to A bus
L	H	A data to B bus	A data to B bus
H	X	Isolation	Isolation

H = high level, L = low level, X = irrelevant

SN54LS640/SN74LS640  
SN54LS642/SN74LS642  
(TOP VIEW)



SN54LS641/SN74LS641  
SN54LS645/SN74LS645  
(TOP VIEW)



This is advance information and specifications are subject to change without notice.

# Am25LS2518

## Quad D Register With Standard And Three-State Outputs

### DISTINCTIVE CHARACTERISTICS

- Low-power Schottky version of the popular Am2918 and Am25S18
- Four standard totem-pole outputs
- Four three-state outputs
- Four D-type flip-flops
- Second sourced by T. I. as the SN54/74LS388
- 100% product assurance screening to MIL-STD-883 requirements

### FUNCTIONAL DESCRIPTION

The Am25LS2518 consists of four D-type flip-flops with a buffered common clock. Information meeting the set-up and hold requirements on the D inputs is transferred to the Q outputs on the LOW-to-HIGH transition of the clock.

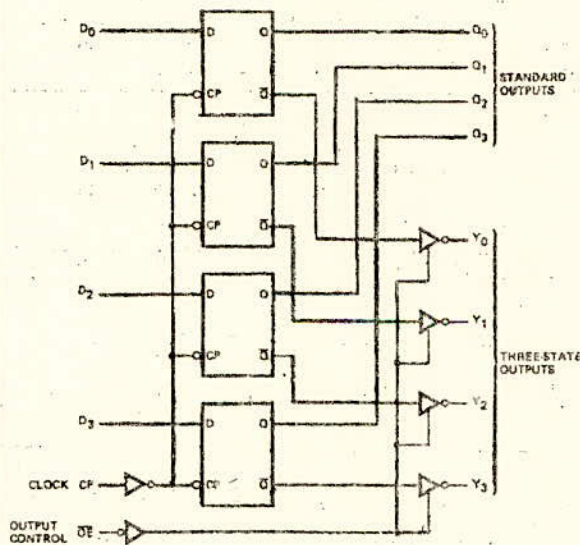
The same data as on the Q outputs is enabled at the three-state Y outputs when the "output control" ( $\overline{OE}$ ) input is LOW. When the  $\overline{OE}$  input is HIGH, the Y outputs are in the high-impedance state.

The Am25LS2518 is a 4-bit, high-speed register intended for use in real-time signal processing systems where the standard outputs are used in a recursive algorithm and the three-state outputs provide access to a data bus to dump the results after a number of iterations.

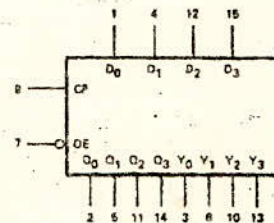
The device can also be used as an address register or status register in computers or computer peripherals.

Likewise, the Am25LS2518 is also useful in certain display applications where the standard outputs can be decoded to drive LED's (or equivalent) and the three-state outputs are bus organized for occasional interrogation of the data as displayed.

### LOGIC DIAGRAM

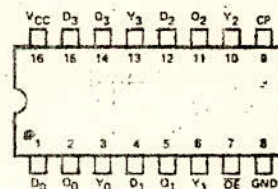


### LOGIC SYMBOL



V<sub>CC</sub> = Pin 16  
GND = Pin 8

### CONNECTION DIAGRAM Top View



Note: Pin 1 is marked for orientation.



# Am25LS2538

One-of-Eight Decoder  
With Three-State Outputs And Polarity Control

## DISTINCTIVE CHARACTERISTICS

- Three-state decoder outputs
- Buffered common output polarity control
- Inverting and non-inverting enable inputs
- A, C parameters specified over operating temperature and power supply ranges
- 100% product assurance screening to MIL-STD-883 requirements

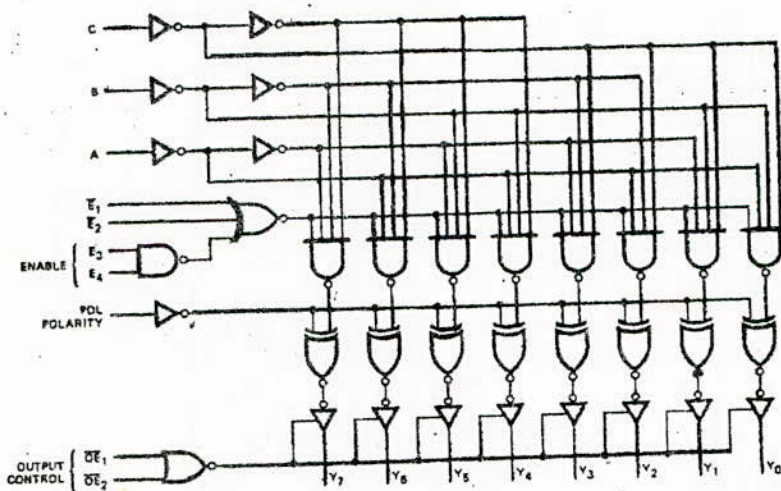
## FUNCTIONAL DESCRIPTION

The Am25LS2538 is a three-line to eight-line decoder/demultiplexer fabricated using advanced Low-Power Schottky technology. The decoder has three buffered select inputs—A, B, and C—that are decoded to one-of-eight Y outputs. Two active-HIGH and two active-LOW enables can be used for gating the decoder or can be used with incoming data for demultiplexing applications.

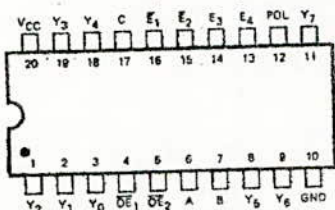
A separate polarity (POL) input can be used to force the function active-HIGH or active-LOW at the output. Two separate active-LOW output enables ( $\overline{OE}$ ) inputs are provided. If either  $\overline{OE}$  input is HIGH, the output is in the high impedance (off) state. When the POL input is LOW, the Y outputs are active-HIGH and when the POL input is HIGH, the Y outputs are active-LOW.

The device is packaged in a space saving (0.3-inch row spacing) 20-pin package. It also features Am25LS family improved switching specifications, higher noise margin, and twice the fan-out over the military temperature range when compared with Am54LS/74LS devices.

LOGIC DIAGRAM  
One-of-Eight Decoder

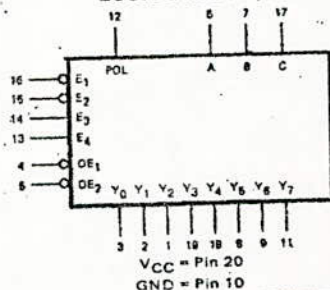


CONNECTION DIAGRAM  
Top View



Note: Pin 1 is marked for orientation.

LOGIC SYMBOL



## BIBLIOGRAPHIE

---

### Revue:

Electronique Application Numéro 19 Aout/Sept 81  
Electronique Application Numéro 8 Hiver 78/79  
Electronique Application Numéro 10 Eté 79  
Micro Systèmes Numéro 1 Sept/Oct 78  
Micro Système Numéro 14 Nov/Déc 80  
Micro Système Numéro 18 Juillet/Août 81  
Mini et Micro Page 11 Numéro 89  
Mini et Micro Page 22 Numéro 90

### Ouvrages:

Techniques d'Interface Aux Microprocesseurs

RODMAY - ZARS

AUSTIN - LESBA 3ème Edition

Logique électronique et circuits intégrés

R - DANAYE

Edition Radio

La TV Monochrome et en Couleur

L - GOUSSOT

Edition Radio

Circuit Intégrés et technique numérique

R - DELSOL

Edition Cepadues

Microprocesseurs et Mémoires EPCIS Catalogue 80

Visualisations Complément Au Cours d'Informatique

J-N Chabanas et P-PETIT

Projet de fin d'Etude

M-Belkaceni et M-Tiliket Fév 82

### THESES:

Système d'affichage d'images avec Mémoires Structurées  
en feuilles (CERI)

M-Snahat Année 81



Conception et Réalisation d'un Système d'Acquisition  
et de Restitution d'Image Numériques

Jean Marc Moser Docteur 3ème cycle 81

Etude Réalisation et Application d'un ensemble de Processeurs  
Destiné Au Traitement Numérique d'Images

Abdel Meged Mahmoud Docteur Es Sciences

Etude et Réalisation d'Un Processeur Programmable pour le  
Traitement et l'Analyse d'Image Fixes De TV

Karl H-Rackette Docteur Ingénieur

Système d'Aide Du Traitement Numérique d'Images Application  
à la Télédétection

Alif Hourani Docteur de spécialité

Conception et Réalisation Du Système De Traitement  
Numérique d'Images LAE 980

Bernard Keith Docteur Es Sciences