

UNIVERSITE DES SCIENCES ET TECHNOLOGIES D'ALGER

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT ELECTRICITE

※

10/81

10x

INGENIORAT EN ELECTRONIQUE

PROJET DE FIN D'ETUDES

※



**ETUDE ET REALISATION DE CONVERTISSEURS
NUMERIQUE - ANALOGIQUE
ET ANALOGIQUE - NUMERIQUE**

Proposé par :

M. KACIMI

Etudié par :

Melle H. BOUARROUDJ

Mr. B. DEMRI

FEVRIER 1981

EDMUND

EDMUND

UNIVERSITE DES SCIENCES ET TECHNOLOGIES D'ALGER

ECOLE NATIONALE POLYTECHNIQUE

DEPARTEMENT ELECTRICITE

—*—

INGENIORAT EN ELECTRONIQUE

PROJET DE FIN D'ETUDES

—*—

**ETUDE ET REALISATION DE CONVERTISSEURS
NUMERIQUE - ANALOGIQUE
ET ANALOGIQUE - NUMERIQUE**

Proposé par :

M. KACIMI

Etudié par :

Melle H. BOUARROUDJ

Mr. B. DEMRI

FEVRIER 1981

A la mémoire de mon Père
A ma Mère et ma Grand-Mère
A mes Frères
A mes Oncles et Tantes
A ma Sœur FOUZIA
A tous mes Amis(es)
§§§§§§§§§§§§§§§§§§§§ B-HABIBA

A mes Parents
A mes Amis(es)
§§§§§§§§§§§§§§§§§§§§ D-BOUALEM

-REMERCIEMENTS-

Nous tenons à remercier M.KACIMI qui a bien voulu nous accueillir dans sa division et qui nous a guidé pendant la réalisation de ce projet de fin d'études. Nos remerciements vont également à M^r JARMOT qui n'a pas hésité à nous aider tout au long de notre travail. Nous exprimons toute notre reconnaissance à M^r OUGINI pour son attachement à notre projet.

Nous n'oublierons pas de remercier MM.LAIEB et BOUDRAA pour nous avoir initié à l'utilisation des circuits intégrés.

Nous remercions également MM.ABERKANE et BENDALI pour avoir mis à notre disposition le matériel dont nous avons besoin.

Nous remercions vivement MM.AIT ABDELMALEK et ZERROUKI pour nous avoir épargné les problèmes de frappe.

Que tous ceux qui ont contribué de près ou de loin à notre formation trouvent ici l'expression de notre profonde reconnaissance.

H.BOUARROUDJ / B.DEMRI

-TABLE DES MATIERES-

INTRODUCTION

I-GENERALITES

II-CARACTERISTIQUES DES COMPOSANTS UTILISES

III-ETUDE THEORIQUE DE LA CONVERSION

IV-REALISATIONS PRATIQUES

V-ECHANTILLONAGE ET MULTIPLEXAGE

VI-DOMAINE D'APPLICATION DES CONVERTISSEURS

CONCLUSION

-INTRODUCTION -

Dans l'analyse des phénomènes physiques, les grandeurs étudiées sont très souvent fournies par des capteurs qui délivrent des tensions ou des courants qui leur sont proportionnelles.

Dans la plupart des cas le traitement numérique d'informations analogiques peut s'avérer indispensable.

Il conviendra alors de convertir les analogiques en signaux en signaux numériques, ce qui rend le traitement plus aisé. La transformation inverse, à savoir la conversion numérique-analogique est aussi très utilisée, c'est ce qui se passe par exemple si l'on désire transformer l'information numérique fournie par un ordinateur en signal analogique pour attaquer des instruments de visualisation tels que galvanomètres, tables traçantes, etc.

La réalisation des convertisseurs, qu'ils soient numériques-analogiques ou analogiques-numériques, fait appel à l'utilisation de plusieurs circuits électroniques tels que comparateurs, amplificateurs opérationnels, monostables, transistors unijonction, bascules, compteurs, décodeurs, afficheurs, commutateurs, etc.

Ainsi et ce afin de rendre la compréhension des exposés : nous commencerons dans un premier stade par présenter le principe de fonctionnement de ces circuits avant de passer d'abord à l'étude théorique du fonctionnement des convertisseurs numériques-analogique et analogique-numérique et ensuite à la description des circuits expérimentaux réalisés.

Dans la majorité des expériences que nous serons appelés à réaliser, nous serons souvent appelés à travailler sur des informations binaires. Aussi, et ce afin de fixer les idées nous rappellerons qu'une information numérique codée en binaire, seul cas considéré dans la suite, se présente sous la forme d'une succession d'états 0 ou 1 appelés bits. Dans le système envisagé une information du type 11001010 doit être interprétée comme étant;

$$V_s = 2^7 + 1 \cdot 2^6 + 0 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 = 202$$

Notre travail consiste en l'étude et la réalisation des convertisseurs est divisé en six parties.

Dans la première partie réservée à des généralités, nous présenterons l'intérêt de la conversion.

Dans une deuxième partie axée sur l'étude des caractéristiques des composants utilisés dans la réalisation des convertisseurs

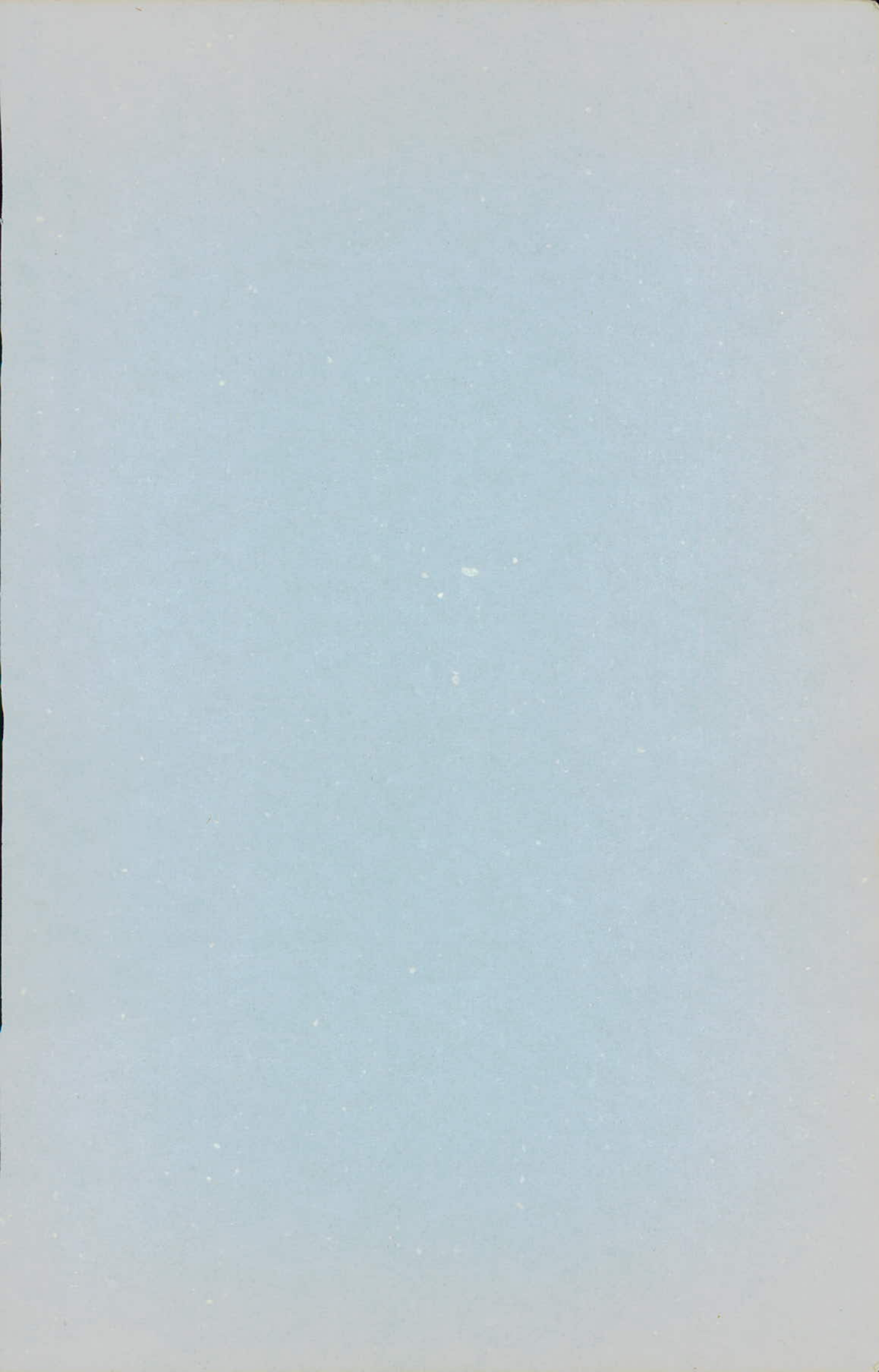
nous passerons en revue le principe de fonctionnement de ces derniers.

La troisième partie réservée à l'étude théorique de la conversion, nous permettra de définir les caractéristiques ainsi que le principe de fonctionnement des convertisseurs numériques-analogiques et analogiques-numériques.

La quatrième partie nous permettra de présenter les principaux convertisseurs réalisés.

La cinquième partie a été réservée à l'étude de l'échantillonnage et du multiplexage.

Dans la sixième et dernière partie nous donnerons un aperçu sur le domaine d'application des convertisseurs.



I-GENERALITES

- I-1 Opérations effectuées en conversion
- I-2 Echantillonnage
- I-3 Conversion analogique-numérique
- I-4 Maintien
- I-5 Quantification
- I-6 Codage
- I-7 Conversion numérique-analogique
- I-8 Restitution
- I-9 Rappels sur les codes

CHAPITRE I - GENERALITES

I.1 - OPERATIONS EFFECTUEES EN CONVERSION

Les principales opérations effectuées en conversion sont l'échantillonnage, la conversion analogique-numérique, la conversion numérique-analogique, le maintien, la quantification et le codage.

I.2 - ECHANTILLONNAGE

Echantillonner une fonction c'est prélever la valeur de cette fonction pendant un certain intervalle de temps de manière périodique. Il s'ensuit que l'échantillonnage consiste à substituer à la fonction initiale $x(t)$ une fonction discontinue obtenue par découpage de la fonction continue $x(t)$.

Le résultat de l'échantillonnage donne un signal $x^*(t)$.

I.3 - CONVERSION ANALOGIQUE-NUMERIQUE.(C.A.N)

La conversion analogique-numérique fait correspondre une suite de nombres (a_n) au signal d'entrée $x(t)$. Chaque nombre correspond en fait à l'amplitude d'un échantillon $x^*(t)$.

I.4 - MAINTIEN

L'opération de maintien consiste à mémoriser temporairement l'échantillon analogique $x^*(t)$.

I.5 - QUANTIFICATION

L'amplitude de l'échantillon mémorisé est convertie en nombre.

Dans la pratique l'amplitude d'un échantillon peut prendre une infinité de valeurs, alors que le nombre ne peut prendre que des valeurs discrètes. Ceci nous oblige donc à remplacer l'amplitude exacte par un nombre fini d'amplitudes élémentaires ou quanta, tels que l'amplitude ainsi obtenue soit plus proche de l'amplitude réelle. Cette opération s'appelle quantification.

I.6 - CODAGE

Le nombre obtenu après quantification est exprimé dans un code: c'est l'opération de codage.

I.7 - CONVERSION NUMERIQUE-ANALOGIQUE.(C.N.A)

La conversion numérique-analogique consiste à transformer la suite de nombres obtenue après traitement numérique en échantillons d'amplitudes discrètes.

I.8 - RESTITUTION

Pour reconstituer le signal analogique en sortie il faudrait effectuer une interpolation entre les échantillons : c'est l'opération de restitution.

La figure I.1 décrit ces différentes opérations et indique l'aspect du signal obtenu à chaque étape .

I.9 - RAPPELS SUR LES CODES

Le rôle de l'opération de codage est d'établir une correspondance entre le nombre de quants exprimant l'amplitude d'un échantillon et son expression dans un code déterminé. Les codes les plus souvent utilisés sont les codes binaires.

Les deux états que peut prendre un bit sont représentés par 0 ou 1 . On distingue deux types de codes :

- Les codes unipolaires
- Les codes bipolaires

a- Les codes unipolaires

Dans ce type de codes, le code plus utilisé est le code binaire pur, dans lequel un nombre N se présente sous la forme :

$$N = \sum_{i=0}^{n-1} a_i 2^i = a_{n-1} 2^{n-1} + a_{n-2} 2^{n-2} + \dots + a_0 2^0$$

Les coefficients a_i sont égaux soit à 0 soit à 1 suivant que le bit correspondant est nul ou non.

Ainsi le nombre $N = 45$ s'écrit :

$$45 = 1x2^5 + 0x2^4 + 1x2^3 + 1x2^2 + 0x2^1 + 1x2^0 = 101101$$

Dans ce type de code un nombre fractionnaire N' s'écrit :

$$N' = a_1 2^{-1} + a_2 2^{-2} + \dots + a_n 2^{-n}$$

Ainsi le nombre $N' = 45/64$ s'écrit :

$$45/64 = 101101$$

A ce nombre N' on peut faire correspondre une tension U :

$$U = U_{ref} \left(\frac{a_1}{2} + \frac{a_2}{4} + \dots + \frac{a_n}{2^n} \right)$$

U_{ref} est une tension servant de facteur d'échelle.

Le bit de poids le plus fort a_1 s'appelle " le bit le plus significatif " ou M S B (MOST SIGNIFIANT BIT) et le bit de poids le plus faible a_n est le bit le moins significatif, ou L.S.B (Least significant bit)

Nous noterons au passage qu'il existe un code binaire pur très utilisé appelé code D.C.B (Décimal Codé Binaire) dans lequel chaque chiffre décimal est traduit sous forme de mot de 4 bits.

Dans ce type de code la tension correspondante peut se mettre sous la forme :

$$U = \frac{U_{ref}}{10}(8a_1 + 4a_2 + 2a_3 + a_4) + \frac{U_{ref}}{100}(8b_1 + 4b_2 + 2b_3 + b_4) + \dots$$

Les groupes (a_1, a_2, a_3, a_4) , (b_1, b_2, b_3, b_4) , ... correspondant à la transcription en binaire des chiffres décimaux.

Les tables de vérité sont données figure I.2

b- Les codes bipolaires

Dans la pratique les signaux à convertir peuvent être soit positifs soit négatifs.

C'est la raison pour laquelle on utilise souvent 3 types de codes :

- Le code amplitude signe
- Le code binaire décalé
- Le code complément à 2

b.1 - Code amplitude signe

Dans ce type de code, on code séparément l'amplitude en binaire pur et le signe grâce à un bit supplémentaire qui vaut 1 pour les signaux positifs et 0 pour les signaux négatifs. La figure I.3.a- en donne la table de vérité.

b.2 Code binaire décalé

Le code binaire décalé est un code binaire naturel que l'on a décalé de sorte que le nombre 0 s'obtient pour la tension la plus négative $-U_{ref}$ et que le nombre correspondant à 2^{n-1} s'obtient pour une tension nulle.

Dans ce type de code une tension U peut s'exprimer de la façon suivante :

$$U = 2x \frac{U_{ref}}{2^n} (a_1 2^{n-1} + a_2 2^{n-2} + \dots + a_0) U_{ref}$$

La table de vérité de ce code est représentée figure I.3.b

b.3 - Code complément à deux

Ce type de code est très utilisé car il se prête très bien aux opérations arithmétiques.

La figure I.3.c on donne la table de vérité. On obtient le code complément à 2 à partir du code binaire décalé en inversant le bit de poids le plus fort (qui est le bit du signe) On peut donc écrire :

$$U = 2x \frac{U_{ref}}{2^n} (\bar{a}_1 2^{n-1} + a_2 2^{n-2} + \dots + a_0) - U_{ref}$$

Dans le code complément à 2, la représentation d'un nombre positif s'obtient en prenant le complément de chaque bit et en ajoutant 1 au bit de plus faible poids.

Par exemple - 5 se traduit par :

$$0101 \rightarrow 1010 + 0001 = 1011$$

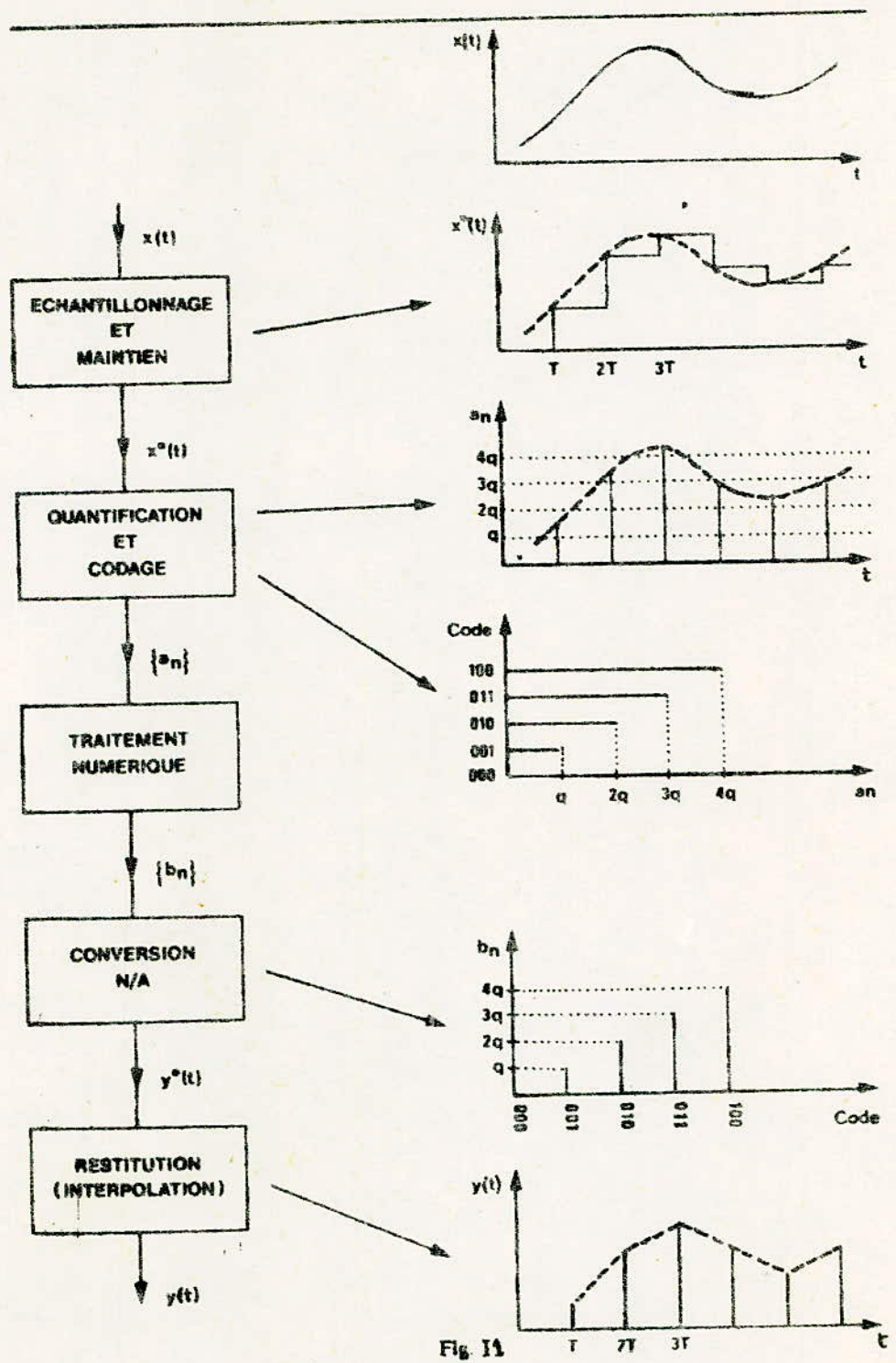


Fig. 11

N	binaire naturel	D.C.B. 8.4.2.1.
15	1111	0001: 0101
14	1110	0001: 0100
13	1101	0001: 0011
12	1100	0001: 0010
11	1011	0001: 0001
10	1010	0001: 0000
9	1001	1001
8	1000	1000
7	0111	0111
6	0110	0110
5	0101	0101
4	0100	0100
3	0011	0011
2	0010	0010
1	0001	0001
0	0000	0000

Fig: I .2

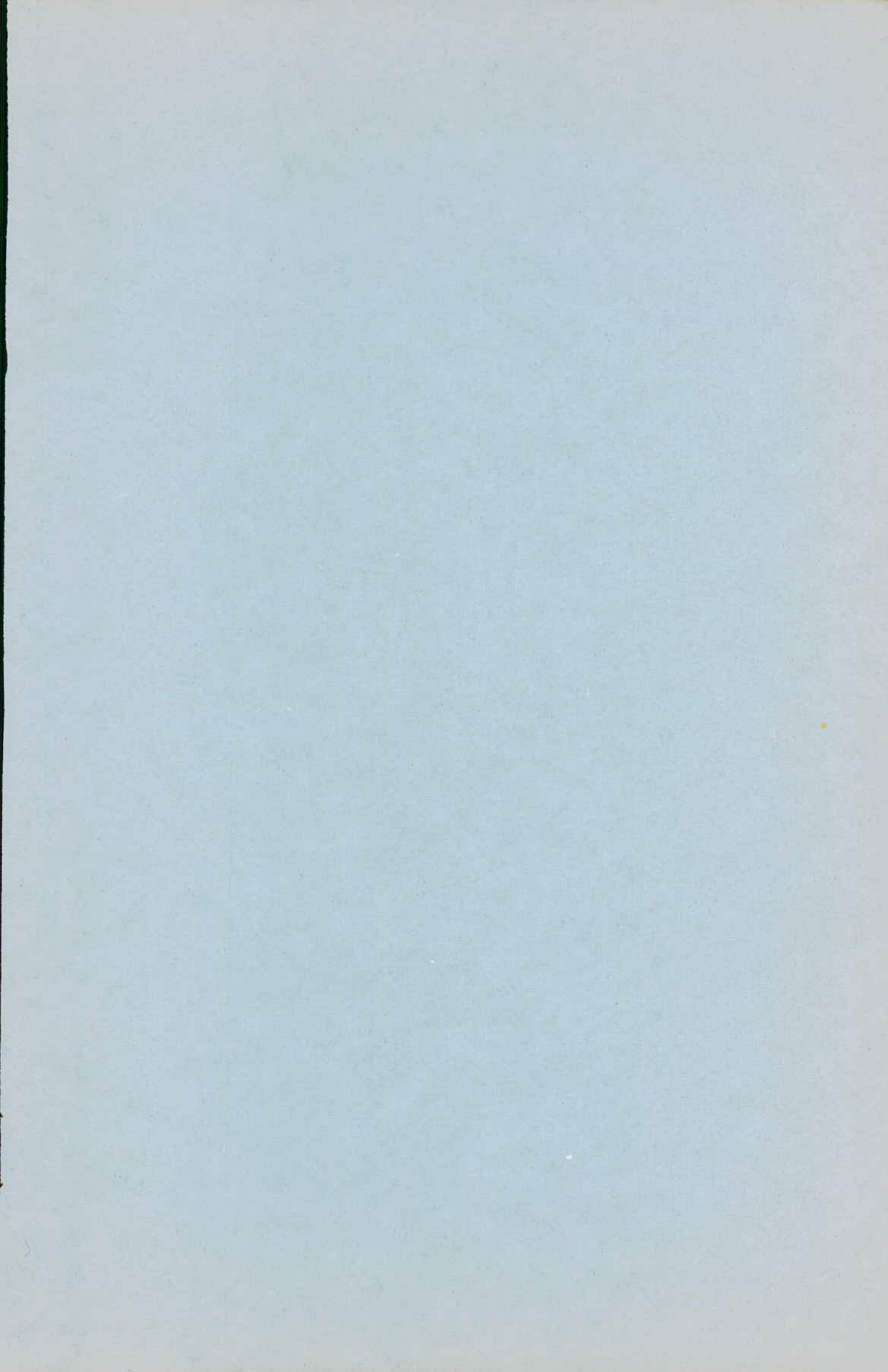
N	Amplitude Signe	Signe decale	Complement A2
7	1111	1111	0111
6	1110	1110	0110
5	1101	1101	0101
4	1100	1100	0100
3	1011	1011	0011
2	1010	1010	0010
1	1001	1001	0001
0	1000	1000	0000
-1	0001	0111	1111
-2	0010	0110	1110
-3	0011	0101	1101
-4	0100	0100	1100
-5	0101	0011	1011
-6	0110	0010	1010
-7	0111	0001	1001
-8	-	0000	1000

-a-

-b-

-c-

Fig: I-3



CHAPITRE II : CARACTERISTIQUES DES COMPOSANTS UTILISES

<u>II.1 INTRODUCTION</u>	Page :	1
<u>II.2 LES COMMUTEURS</u>		1
<u>II.3 L'AMPLIFICATEUR OPERATIONNEL</u>		2
1-INTRODUCTION		
2-LE COMPAREUR		
3-LE SOMMATEUR		
<u>II.4 LES MONOSTABLES</u>		3
<u>II.5 LES BASCULES</u>		3
1-INTRODUCTION		
2-LES BASCULES J-K		
3-LES BASCULES D		
4-LES BASCULES T		
<u>II-6 LES COMPTEURS</u>		3
1-COMPTEURS BINAIRES		
2-COMPTEURS DECIMAUX		
<u>II-7 LES DECODEURS</u>		4
1-LE DECODEUR n BITS		
2-LE TRANSDUCTEUR		
<u>II-8 LES AFFICHEURS</u>		5
<u>II-9 LE TRANSISTOR UNIJONCTION OU U.J.T</u>		5
1-PRESENTATION		
2-CARACTERISTIQUE STATIQUE D'UN U.J.T		
3-PARAMETRES CARACTERISTIQUES DE L'U.J.T		
4-MONTAGE PRATIQUE		

II- CARACTERISTIQUES DES COMPOSANTS UTILISES

II.1 INTRODUCTION

Comme nous l'avons signalé lors de l'introduction, nous nous proposons dans le présent chapitre de décrire le principe de fonctionnement de l'ensemble des composants utilisés dans la réalisation des convertisseurs.

Dans le cas de cette étude générale nous nous limiterons à la présentation des composants les plus importants qui sont :

- Les commutateurs
- L'amplificateur opérationnel
- Les monostables
- Les compteurs
- Les decodeurs
- Les afficheurs
- Les transistors unijonction ou U.J.T

II.2 LES COMMUTATEURS.

Il existe plusieurs types de commutateurs dont les principaux sont :

- Les relais
- Les commutateurs à diodes
- Les commutateurs à transistors bipolaires
- Les commutateurs à effet de champ

Comme dans le cadre de notre travail nous avons essayé d'utiliser autant que possible de commutateurs intégrés, nous commencerons par décrire le principe de fonctionnement d'un commutateur intégré CMOS qui utilise les propriétés d'un transistor à effet de champ.

La figure II.1 donne le schéma de principe d'un commutateur à FET à canal N.

Pour comprendre le principe de fonctionnement d'un tel dispositif, il suffit de rappeler pour mémoire que dans un FET à canal N monté en source commune le courant drain-source diminue lorsque la tension V_{gs} négative augmente en valeur absolue. Ce courant peut être rendu nul pour une tension supérieure ou égale à un seuil V_p appelé tension de pincement, compte tenu de ce qui précède on déduit que le commutateur dans le schéma de principe de la figure II.1 est :

- Bloqué pour I_{Vgs} supérieur à V_p .
- Conducteur à saturation lorsque V_{gs} est nulle.

L'expérience montre que pour assurer un contrôle efficace d'un commutateur, il conviendra 2volts de sécurité dans le choix de la

tension de commade V_c .

Par exemple dans le cas où l'on désire commuter une tension variant entre -10 et $+10$ Volts avec un FET de tension de pincement de 6 Volts on devra choisir une diode D de courant de fuite I_d faible pour respecter $V_{gs}=0$ à l'état conducteur. La résistance interne de la source devra être faible.

Dans le cas contraire, il conviendra de prévoir une adaptation d'impédance.

La vitesse de commutation dépend de la résistance R et des capacités parasites C_{gs} et C_o .

La constante de temps est généralement faible.

II.3 L'AMPLIFICATEUR OPERATIONNEL

1-Introduction

L'amplificateur opérationnel est conçu principalement pour effectuer des opérations mathématiques du type addition, multiplication, etc. Il se présente comme le montre la figure II.2 sous la forme d'un circuit possédant deux entrées et une sortie destinées respectivement à recevoir deux signaux d'entrées et fournir un signal de sortie.

Il est de même prévu d'autres électrodes pour assurer la polarisation et certaines compensations éventuelles. En ce qui nous concerne nous admettrons que l'amplificateur utilisé est idéal c'est à dire qu'il présente:

- un gain infini
- une impédance d'entrée infini
- une impédance de sortie nulle.

Du fait du gain infini et compte tenu du fait que l'amplificateur opérationnel est polarisé par des tensions comprises entre -15 et $+15$ Volts, on peut montrer que $V_A = V_B$.

Pour ce faire considérons un amplificateur de gain 10^6 polarisé à ± 15 Volts. Dans ce cas la tension maximum de sortie étant ± 15 Volts, la tension d'entrée maximum V_{emax} est de l'ordre de 15 uV.

Compte tenu de cette précision on peut considérer que cette tension est nulle de sorte qu'on pourra admettre par la suite que les points A et B sont au même potentiel, cette propriété est largement utilisée par un comparateur.

2-Comparateur

Le comparateur de la figure II.3 est un circuit destiné à comparer une tension variable V_1 à une tension de référence V_2 .

L'amplificateur étant doué d'un gain infini négatif il s'ensuit que si V_1 est inférieur à V_2 la tension de sortie est dans l'état $+E$, E étant la tension d'alimentation, dans le cas contraire la di-

ode Zener maintient la tension de sortie à zéro.

3-Sommateur

La figure II.4 donne le schéma de principe d'un amplificateur monté en sommateur.

Compte tenu de l'impédance d'entrée infinie on en déduit que:

$$I=I_1+I_2$$

L'amplificateur ayant un gain infini, les points A et B sont au même potentiel de sorte que le point A est une masse fictive; il s'ensuit que $I=e_1/R_1$, $I_2=e_2/R_2$ et $I=-V_s/R$ d'ou:

$$V_s=-R(e_1/R_1 + e_2/R_2)$$

Dans le cas où $R_1=R_2=R$ on obtient:

$$\underline{V_s=-(e_1+e_2)}.$$

II.4 LES MONOSTABLES.

Un monostable est un circuit qui possède un seul état stable indéfiniment tant qu'il n'est pas soumis à une action extérieure.

L'application d'un signal de commande le fait passer dans un état quasi stable dans lequel il demeure un temps T appelé période après quoi il revient de lui même à son état stable.

Dans le monostable utilisé, la grandeur T dépend de paramètres R et C extérieurs au circuit.

La forme du signal de sortie est pratiquement indépendante de la forme du signal d'entrée.

II.5 LES BASCULES.

1-Introduction

Les bascules sont des éléments séquentiels qui possèdent deux états stables.

2-Bascules JK

Dans le cas de notre travail nous avons fait appel aux bascules JK dont la figure II.5 donne la table de vérité.

5-Bascules D

La bascule D est un circuit capable de recopier en sortie l'état appliqué à son unique entrée D.

La figure II.6 donne un schéma de principe et sa table de vérité.

4-Bascules T

La bascule T est un circuit capable de maintenir la sortie dans un état donné ou de l'inverser lorsqu'on applique à son entrée un niveau 0 ou 1.

La figure II.7 en donne un schéma de principe ainsi que la table de vérité.

II.6 LES COMPTEURS

Les compteurs sont des dispositifs capables de compter les impulsions qui leur sont appliquées à l'entrée.

Il existe plusieurs types de compteurs qui diffèrent les uns des autres par:

- les structures internes
- les modes de fonctionnement synchrone ou asynchrone
- les codes utilisés: binaire pur, binaire codé décimal, code Gray, etc.

Dans le cadre de notre travail nous nous sommes surtout intéressés à l'utilisation des compteurs binaires et des compteurs décimaux.

1-Compteurs binaires

Le compteur binaire le plus simple, est formé de bascules bistables dont la position représente, en binaire le nombre d'impulsions appliquées à l'entrée.

Pour la réalisation d'un compteur; il suffit de se fixer la capacité du compteur et à partir de là déterminer le nombre de bistables, les différentes portes logiques et les liaisons entre les différents composants constitutifs.

2-Compteurs décimaux

Un compteur décimal ou ensemble de compteurs binaires dont la capacité est limitée à neuf.

II.7 LES DECODEURS

Un décodeur est un circuit combinatoire à l'entrée duquel on applique un code binaire de n bits ; deux variantes de circuit se présentent:

- Le décodeur n bits ou sélecteur de sortie
- Le transducteur ou convertisseur de code

1-Le décodeur n bits

Avec n bits on peut avoir 2^n combinaisons et donc désigner 2^n directions. Dans ce cas décoder une information de n bits consiste à restituer à partir de ces n bits une information discrète. On pourra par exemple sélectionner un chiffre, une lettre, un symbole, etc, parmi 2^n .

Prenons le cas où $n=2$ et appelons A et B les informations. Le décodeur comporte 4 sorties S_0, S_1, S_2, S_3 . Supposons que l'on choisit un 0 logique pour une voie validée (ou décodée), c'est à dire que:

- si $V=0$ le décodage est autorisé
- si $V=1$ aucune sortie ne peut être validée.

Dans ce cas la figure II -8 donne la table de vérité.

On peut donc écrire:

$$S_0 = A + B = \bar{A} \cdot \bar{B} \quad (1)$$

$$S_1 = \overline{A+B} = \overline{A \cdot B} \quad (2)$$

$$S_2 = A + \overline{B} = \overline{\overline{A} \cdot B} \quad (3)$$

$$S_3 = \overline{A+B} = \overline{A \cdot B} \quad (4)$$

En utilisant des portes NAND, on peut obtenir le schéma de la figure II-9.

2. Le transducteur

Ce type de décodeur est plus général que le précédent; en ce sens que plusieurs de ses sorties peuvent être simultanément validées toujours en relation avec le code d'entrée. Les deux applications les plus importantes sont:

- La conversion de code: par exemple convertisseur Gray-binaire
- Décodeur BCD/7 segments: avec 7 segments on peut afficher les 10 chiffres décimaux. Un tel décodeur fait correspondre au code BCD une information en sortie composée de 7 voies. Le tableau de la figure II.10 donne la table de vérité.

II.8 LES AFFICHEURS

La visualisation au moyen de 7 segments comme le montre la figure II.11 est pratiquement réservée aux chiffres décimaux. Le circuit de commande est un décodeur BCD/7 segments dont les sorties commandent les segments de même rang. Si une voie se trouve dans l'état 0, le segment correspondant est allumé. Dans le cas contraire, il sera éteint.

II.9 LES TRANSISTORS UNIJONCTION OU U.J.T.

1. Présentation de l'U.J.T

Le transistor unijonction dénomé "unijonction transistor" ou U.J.T dans la littérature anglosaxonne est aussi connu sous la dénomination de "diode à deux bases".

L'U.J.T est essentiellement constitué d'un mince barreau de silicium, généralement de type N aux extrémités duquel sont soudées deux connexions ohmiques B_1 et B_2 appelées bases. Une troisième électrode E dénomée émetteur constituée d'un petit barreau de silicium de type P est réalisée latéralement en un point M situé au voisinage du milieu de $B_1 B_2$. L'émetteur de type P forme, avec le barreau principal de type N, une jonction PN au niveau de l'émetteur; d'où les deux noms donnés à ce composant:

-diode à deux bases pour rappeler que l'U.J.T est une diode munie de deux bases B_1 et B_2 ,

-transistor unijonction pour spécifier qu'il s'agit d'un transistor spécial possédant une seule jonction.

Les figures II.12 donnent, respectivement, la présentation, le schéma symbolique et la disposition des trois électrodes vues côté conec-tions. L'U.J.T décrit précédemment est le plus populaire. C'est la raison pour laquelle, nous ne considérerons dans la suite, que ce type de composants, sauf mention contraire.

Il existe, en effet, un autre type d'U.J.T dit U.J.T complémentaire dans lequel le barreau principal est du type P et l'émetteur de type N; la figure II.13 en donne le schéma symbolique.

2. Caractéristique statique d'un U.J.T

Considérons un U.J.T polarisé conformément au schéma donné figure II.14 et admettons que le barreau principal peut être assimilé à une résistance R_{BB} telle que $R_{BB} = R_{B1} + R_{B2}$ (1)

Dans ce cas, l'étude des caractéristiques du montage donné figure II.14 peut être faite à partir du schéma équivalent donné figure II.15 .

Cette figure montre que la diode Dreste bloquée tant que la tension V_E est inférieure au seuil V_p dit tension de pic définie par la relation:

$$V_p = nV_{BB} + V_D \quad (3)$$

expression dans laquelle V_D représente la tension directe aux bornes de la diode et n appelé rapport intrinsèque est donné par la relation

$$n = \frac{R_{B1}}{R_{B1} + R_{B2}}$$

compte tenu de ce qui précède, on déduit que:

-tant que la tension d'entrée V_E est inférieure au seuil V_p , il ne circule qu'un faible courant inverse dans l'émetteur,

-dès que la tension d'entrée V_E atteint un seuil égal à nV_{BB} , la diode commence à conduire . Des majoritaires sont, alors, injectés dans le barreau principal. Sous l'effet du champ électrique longitudinal dû à la tension de polarisation V_{BB} , ces trous sont dirigés vers la partie inférieure du barreau contribuant à réduire la valeur effective de la résistance R_{B1} entraînant une diminution de potentiel au point M, ce qui se traduit par une augmentation de la tension directe aux bornes de la diode, phénomène qui conduit à une injection plus importante de trous,

-dès que la tension d'entrée atteint un seuil égal à V_p , il s'établit un véritable phénomène d'avalanche qui aura pour effet de faire tendre la résistance R_{B1} vers une valeur nulle entraînant une diminution de potentiel V_E jusqu'à une valeur voisine de V_D ;

Compte tenu de ces effets, on déduit que l'U.J.T devrait présenter une caractéristique ayant une forme donnée figure II.16a. En réalité, il faudra tenir compte de la caractéristique statique de la diode D située entre émetteur et barreau principal. Celle-ci est représentée figure II.16b. Compte tenu de ces deux effets, on déduit que la caractéristique statique de l'U.J.T se présente sous la forme donnée figure II.16c.

Cette caractéristique met en évidence l'existence de trois zones :

- une zone de blocage où l'U.J.T présente résistance positive élevée,
- une zone à résistance dynamique négative,
- une zone de saturation où l'U.J.T présente une résistance relativement faible.

3. Paramètres caractéristiques de l'U.J.T

Le tableau donné ci-contre résume la signification des principaux paramètres qui caractérisent le fonctionnement d'un U.J.T

4. Montage pratique

L'U.J.T est généralement utilisé en relaxateur conformément au schéma donné figure II.17. Ce dispositif fonctionne de la façon suivante:

-tant que la tension aux bornes du condensateur est inférieure à la tension de pic de l'U.J.T ce dernier est bloqué de sorte que C se charge à travers une constante de temps $T=RC$. La tension V_c aux bornes de C évolue alors selon:

$$V_c = EI \left(1 - \exp\left(-\frac{t}{T}\right) \right) I \quad (4)$$

-dès que la tension V_c atteint V_p l'U.J.T s'anorche entraînant la décharge de C dans R_1 ce qui donne naissance à une impulsion aux bornes de R_1 . Pour que le système fonctionne en relaxateur, il conviendra de choisir une résistance R telle que la droite de charge correspondante coupe la caractéristique en un point situé dans la zone à résistance dynamique négative.

Dans ce montage, la résistance R_2 est prévue pour minimiser l'effet de la température sur le fonctionnement du dispositif. Sa valeur est égale à:

$$R_2 = \frac{0.7}{n} \cdot \frac{R_{BB}}{E} + \left(\frac{1-n}{n}\right) R_1$$

La résistance R_1 dont la valeur est de quelques dizaines d'ohms est prévue pour recueillir l'impulsion qui apparaît lors du déclenchement du dispositif.

La relation 4 nous permet d'exprimer la période du relaxateur en fonction de R et C. Il suffira alors de poser $t=Tr$ pour avoir $V_c=V_p$.

Si l'on admet que:

$$V_p = nE$$

et on déduit que en supposant $n=0.5$

$$T = 0.7 \times R.C$$

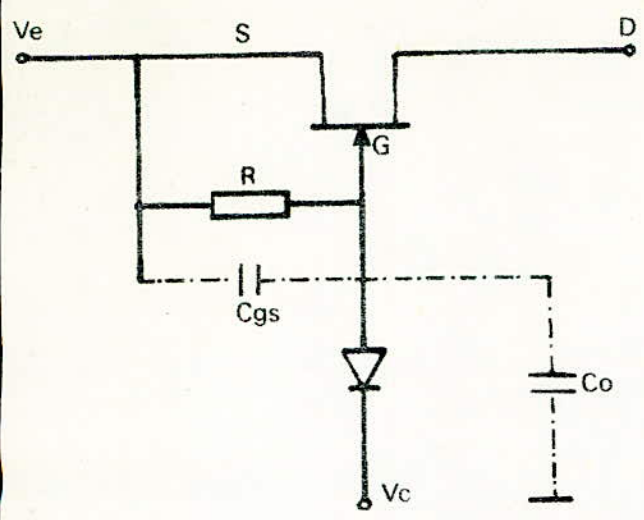


FIG II 1 SCHEMA DE PRINCIPE D'UN COMMUTATEUR A FET

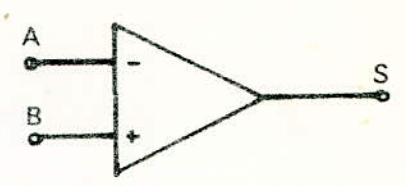


FIG II 2 L AMPLIFICATEUR OPERATIONNEL

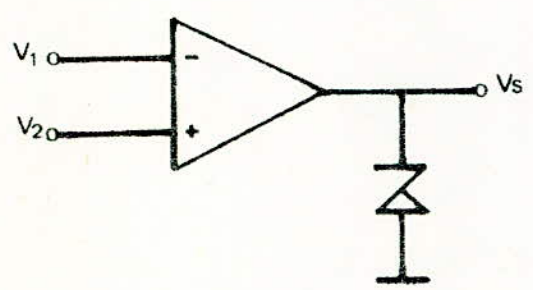


FIG II 3 COMPAREUR

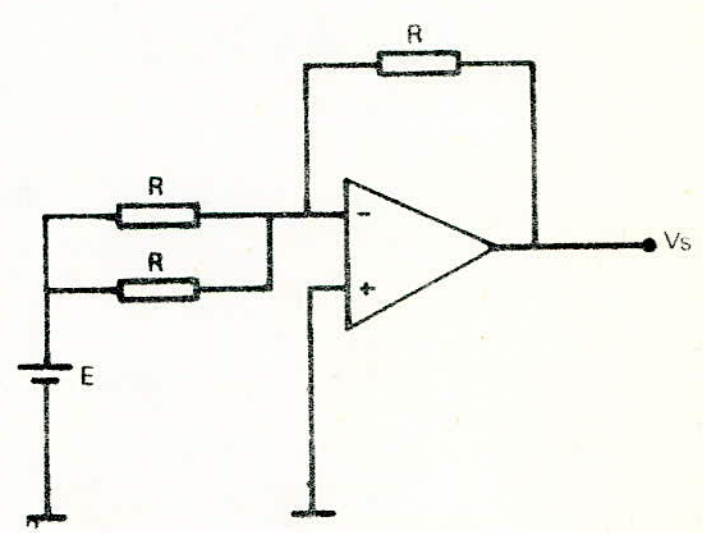
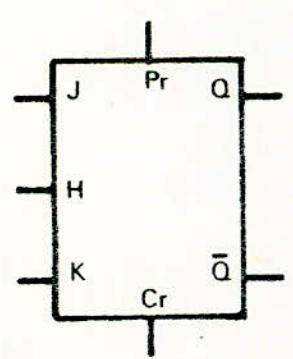


FIG II 4 SOMMATEUR DE COURANT



BASCULE J_K

J	K	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	\bar{Q}_n

TABLE DE VERITE

FIG II 5

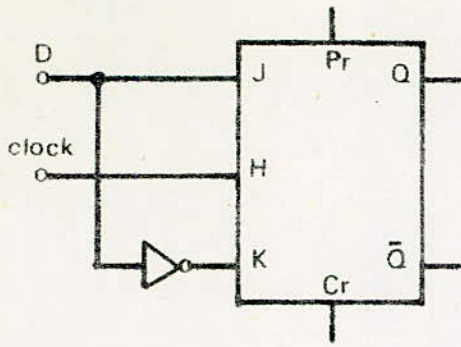
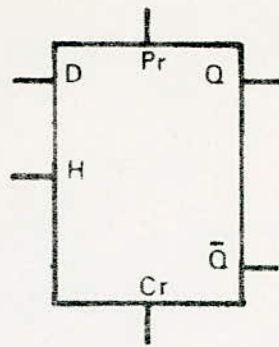


FIG II 6 BASCULE D



D_n	Q_{n+1}
1	1
0	0

TABLE DE VERITE

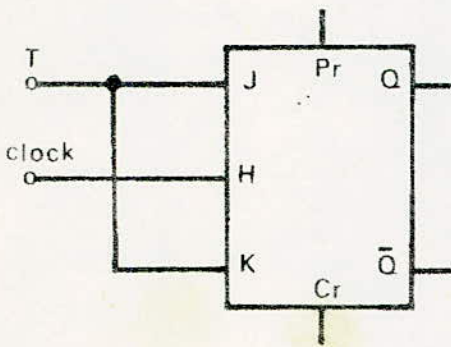
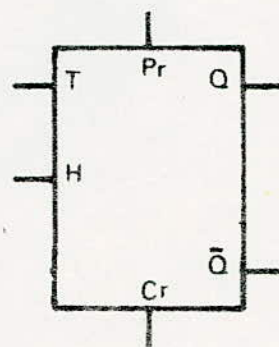


FIG II 7 BASCULE T



T_n	Q_{n+1}
1	\bar{Q}_n
0	Q_n

TABLE DE VERITE

entrées		sorties				décimal
A	B	S_0	S_1	S_2	S_3	
0	0	0	1	1	1	0
1	0	1	0	1	1	1
0	1	1	1	0	1	2
1	1	1	1	1	0	3

FIG II 8

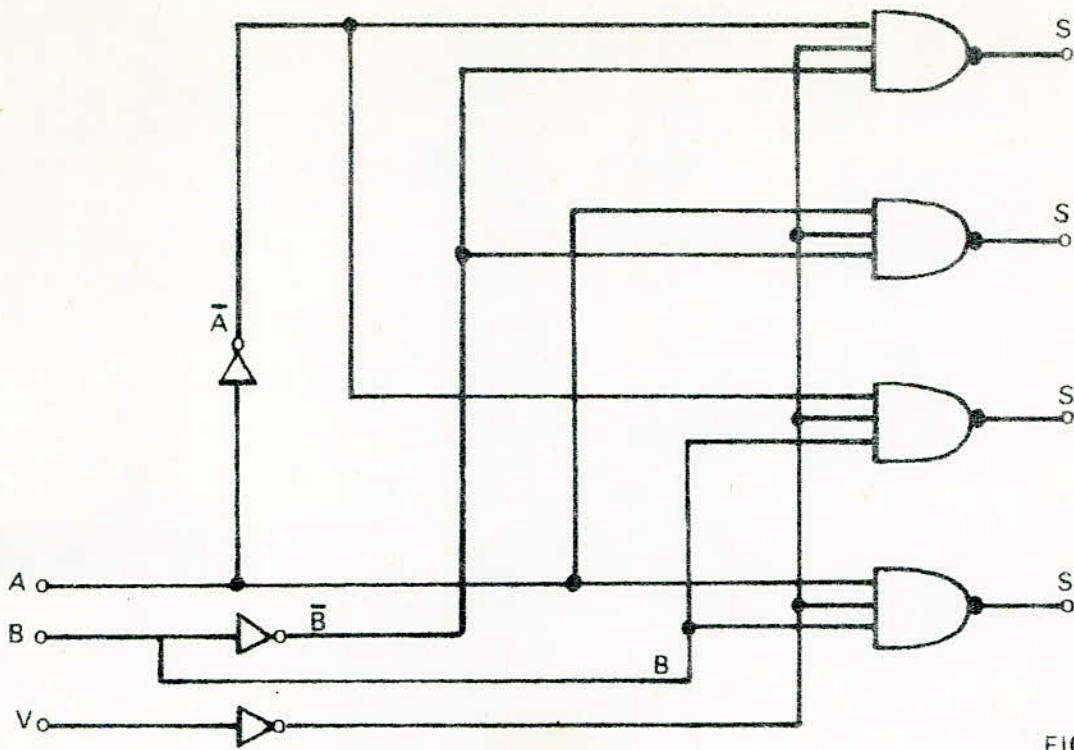


FIG II 9 DECODEUR

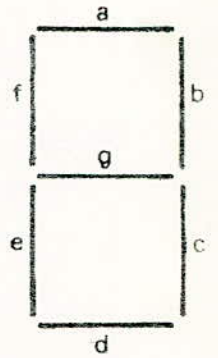
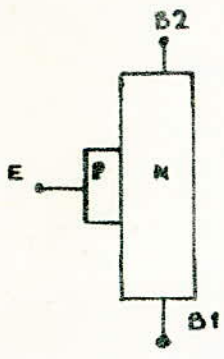


FIG II 11 SEGMENT IDENTIFICATIF

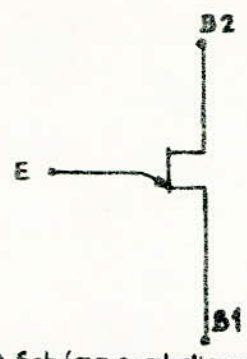
decimal	ENTREES				SORTIES						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	1	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	1	1	0	0
10	1	0	1	0	1	1	1	0	0	1	0
11	1	0	1	1	1	1	0	0	1	1	0
12	1	1	0	0	1	0	1	1	1	0	0
13	1	1	0	1	0	1	1	0	1	0	0
14	1	1	1	0	1	1	1	0	0	0	0
15	1	1	1	1	1	1	1	1	1	1	1

DECODEUR BCD 7 SEGMENTS

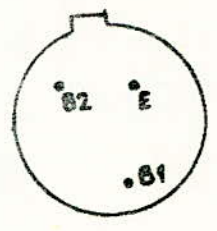
FIG II 10



① Présentation de l'U.J.T.



② Schéma symbolique de l'U.J.T.



③ Disposition des électrodes d'un U.J.T vu côté connexions.

Figures II.12:

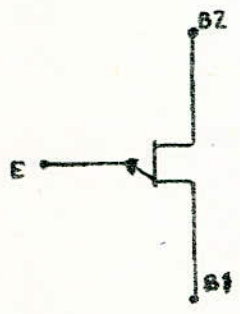


Fig II.13: Schéma symbolique de l'U.J.T complémentaire.

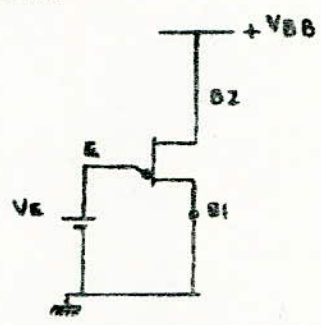


Fig II.14: Polarisation d'un U.J.T.

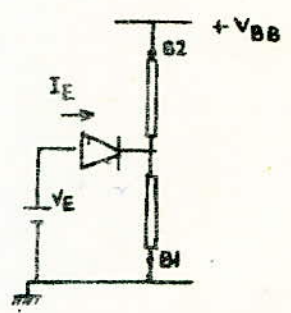


Fig II.15: schéma équivalent de la polarisation d'un U.J.T.

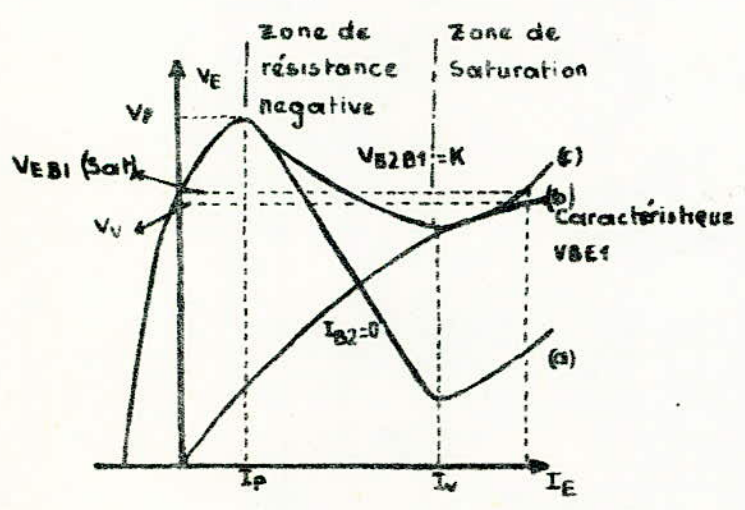


Fig II.16 Caractéristique statique de l'U.J.T.

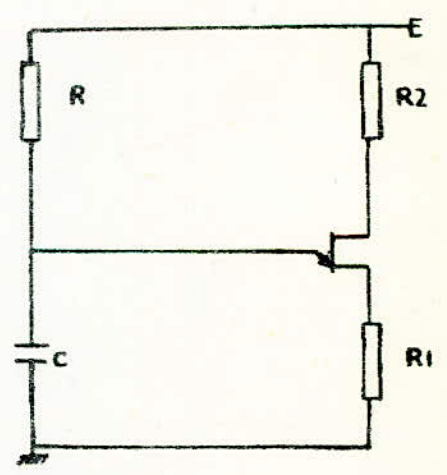


Fig II.17: Schéma de principe d'un Relaxateur.

CHAPITRE-III- Etude théorique de la conversion

- III-1: Introduction
- III-2: Conversion numérique-analogique
 - III-2-1: Introduction
 - III-2-2: Principe
 - III-2-3: Caractéristique d'un CNA.
 - III-2-3-a: La résolution
 - III-2-3-b: La linéarité
 - III-2-3-c: Tension maximale de sortie
 - III-2-3-d: La précision
 - III-2-3-e: La monotonie
 - III-2-3-f: Le temps de conversion
 - III-2-3-g: Le code
 - III-2-4: Les familles de CNA
 - III-2-4-a: CNA directs
 - III-2-4-a-1: CNA parallèles
 - III-2-4-a-1-A: CNA a commutation de tension
 - A.1: CNA binaires a résistances pondérées
 - A.2: CNA binaires en échelle
 - A.3: CNA BCD
 - A.3.1: Le réseau R_{62R} configuration ~~2~~ BCD
 - A.3.2: Réseau 1-2-4-8 configuration BCD
 - III-2-4-a-1-B: CNA a commutation de courant
 - B.1: Le convertisseur binaire a échelle inversée
 - B.2: Convertisseur a courants pondérés
 - III-2-4-a-2: CNA série
 - III-2-4-a-2-A: Convertisseur a bloqueur série
 - III-2-4-a-2-B: Convertisseur a égalisation de charge
 - III-2-4-b: CNA indirects
- III-3: Conversion analogique-numérique
 - III-3-1: Introduction
 - III-3-2: Définition et principe de la conversion A/N
 - III-3-2-1: Définition
 - III-3-2-2: Principe
 - III-3-3: Caractéristiques des CAN
 - III-3-3-1: Fonction de transfert idéale
 - III-3-3-2: Résolution
 - III-3-3-3: Temps de conversion
 - III-3-3-4: Précision
 - III-3-3-5: Réjection des signaux de perturbation
 - III-3-3-6: Impédance d'entrée du CAN et impédance de sortie de la source de tension

- III-3-4: Différentes familles de CAN
 - III-3-4-1: Convertisseurs a comparaison de tension discrète
 - III-3-4-2: CAN a chargement de capacité
- III-3-5: Techniques de conversion A/N
 - III-3-5-1: CAN a comparaison de tension discrete
 - a/ CAN a rampe
 - b/ CAN a amplificateur s opérationnels
 - c/ CAN simultanés
 - d/ CAN a approximation successives
 - III-3-5-2: CAN a chargement de capacité
 - a/ CAN tension fréquence
 - b/ CAN a modulation de durée
 - c/ CAN a transfert de charge capacitif
 - d/ CAN a integrateur reversible
 - e/ CAN série parallele
 - III-3-5-3: CAN stochastiques
- III-4: Conversion A/N et AN/A stochastique
 - III-4-1: Représentation stochastique de l'information
 - III-4-2: Obtention de la représentation stochastique d'un signal
 - III-4-3: Nature de la grandeur A
 - III-4-4: Le comparateur digital
 - III-4-5: CNA stochastique
 - III-4-6: CAN stochastique
- III-5: Les erreurs dans les convertisseurs
 - III-5-1: Erreurs dans les ICNA
 - III-5-2: Erreurs dans les ; CAN

III-1 INTRODUCTION

III-2 CONVERSION NUMERIQUE-ANALOGIQUE

III-ETUDE THEORIQUE DE LA CONVERSION

III.1 INTRODUCTION

Dans les systèmes de conversion analogique-numérique et numérique-analogique, l'information à traiter se présente habituellement soit sous la forme d'un courant, d'une tension, etc (forme analogique) dont l'amplitude donne la valeur de la grandeur physique étudiée, soit sous forme de valeurs discrètes.

III.2 CONVERSION NUMERIQUE-ANALOGIQUE (C.N.A)

III.2.1. Introduction

On appelle convertisseur numérique-analogique un dispositif capable de convertir une information numérique en un signal analogique.

Dans les chaînes ~~XXXXXXXX~~ d'acquisition et de traitement de données analogiques, ces circuits permettent de restituer sous forme analogique une grandeur qui se présente sous forme numérique, ce qui rendra possible la représentation du signal sur un organe de visualisation tel que table traçante, oscilloscope, etc. Pour fixer les idées, considérons le cas d'une information numérique codée en binaire qui se présente sous la forme d'une somme de termes puissance de 2 multipliés par des coefficients valant 0 ou 1 appelés bits. Soit par exemple:

$$n=1011=1.2^4+0.2^3+1.2^2+1.2^1+0.2^0=1.16+0.8+1.4+1.2+0.1$$

Pour faire correspondre une tension analogique à l'information numérique 10110, il faut attribuer une valeur analogique à l'information dont le poids est 2^0 . Ce poids est appelé QUANTUM. Dans ce cas le C.N.A va multiplier le nombre binaire n par le quantum.

III.2.2. Principe

Le principe de la C.N.A peut être étudié en se référant à la figure 2.1 qui donne un schéma de principe d'un convertisseur 8 bits.

Dans le cas considéré l'information numérique peut être considérée contenue dans un registre binaire 8 bits qui peut être considéré comme une juxtaposition de 8 cases contenant 0 ou 1 qui commandent l'état ouvert ou fermé d'un commutateur selon que le nombre binaire contenu dans la case est 0 ou 1 respectivement. Dans le cas considéré, l'amplificateur supposé idéal transforme l'information binaire 11001010 en un signal analogique V_s dont la valeur est:

$$V_s = - \left(\frac{E}{R} + \frac{E}{2R} + \frac{E}{4R} + \frac{E}{8R} \right) \cdot R_1$$

Dans l'exemple choisit, notre nombre binaire 11001010 correspond à 202; il donnera lieu à une tension égale à 202 fois le quantum. Si la valeur pleine échelle: valeur qui correspond à $n=2^8=256$ pour un convertisseur 8 bits; est prise à 10 Volts; le quantum vaudra

$10V/256=39mV$. La tension de sortie sera alors:

$$V_s = 202 \times 39 \cdot 10^{-3} = 7.87 \text{ Volts}$$

Pour obtenir 39mV, il suffit de choisir la valeur de E dite tension de référence et le rapport R_1/R .

Etant donné que le quantum pur égal à 39mv correspond à la commutation du seul poids 2^0 , on déduit que:

$$V_s = \frac{E}{256R_1} = 39mV$$

$$\text{D'où } \frac{R_1}{R} = 128 \cdot 39mV = 4,99V$$

Cette relation montre que pour R fixée, il existe plusieurs combinaisons de E et de R_1 qui donnent le résultat précédant.

A chaque valeur de l'information numérique d'entrée correspond une tension analogique en sortie; la valeur minimale de V_s correspond bien entendu au nombre binaire 00000000, tandis que la valeur maximale de V_s correspond au nombre binaire 11111111 soit 255 c'est à dire $2^8 - 1$.

III.2.3. Caractéristiques d'un C.N.A

Les caractéristiques d'un C.N.A sont:

- La résolution
- La linéarité
- La tension maximale de sortie
- La précision
- La monotonie
- Le temps de conversion
- Le code

a-La résolution

Pour un convertisseur à n bits ayant 2^n configurations d'entrée possibles, on définit la résolution comme l'amplitude de la plus petite variation de la tension de sortie que l'on peut obtenir, elle peut donc s'écrire:

$$\text{Résolution} = \frac{\text{Quantum}}{\text{Pleine échelle}} = \frac{1}{2^n}$$

Nous noterons au passage que cette grandeur ne dépend que du nombre de bits à convertir et non des caractéristiques des circuits utilisés.

b-La linéarité

Du fait que les circuits utilisés ne sont pas parfaits, il peut exister une différence entre la tension délivrée et la tension théorique qu'il devrait fournir. On dira qu'un convertisseur est linéaire si l'erreur faite sur une mesure quelconque est inférieure à

$\pm 1/2$ quantum.

c-Tension maximale de sortie

La tension de sortie maximale est rigoureusement celle qui vaut $(2^n - 1)$ fois le quantum. Cette valeur maximale est souvent désignée par "valeur pleine échelle".

d-La précision

Par suite de l'imperfection des circuits électroniques utilisés, la tension fournie par le convertisseur lorsque tous les bits d'entrée sont à 1 peut être différente de la valeur pleine échelle. Cette différence éventuelle caractérise la précision du convertisseur. Ce paramètre est souvent exprimé en pourcentage de la pleine échelle ou en fonction du quantum. Cette précision n'est donc intéressante que pour les tensions de sortie se rapprochant de la pleine échelle. Par contre elle n'est pas applicable pour les faibles tensions de sortie.

e-La monotonie

UN convertisseur est dit monotone lorsque sa tension de sortie augmente ou au moins ne diminue pas lorsque l'information d'entrée croît.

f-Le temps de conversion

Le temps de conversion permet de connaître la vitesse de conversion d'un C.N.A et d'en déduire la fréquence maximale de conversion ce qui permet de déterminer le nombre maximum d'opérations effectuées par seconde. Le temps de conversion est donc le temps nécessaire pour que le signal de sortie atteigne la valeur désirée à l'erreur spécifiée près, qui est généralement estimée à $\pm 1/2$ quantum.

g-Le code

La structure du convertisseur dépend du code retenu.

III.2.4. Les familles de C.N.A

Pour les familles de C.N.A on distingue:

- Les C.N.A directs
- Les C.N.A indirectes

III.2.4.a-C.N.A directs

Dans un C.N.A direct, on passe sans intermédiaire du mot binaire au signal de sortie; de plus pour les C.N.A directs la tension de sortie V_s est une somme de tensions pondérées par exemple:

$$V_s = a_1 \frac{E}{2^1} + a_2 \frac{E}{2^2} + a_3 \frac{E}{2^3} + \dots + a_n \frac{E}{2^n}$$

a_i est un coefficient dont la valeur est 0 ou 1

Les C.N.A directs se divisent en:

- C.N.A parallèles
- C.N.A séries ou séquentiels

a-1 C.N.A parallèles

Les C.N.A parallèles sont des convertisseurs où la conversion des

différents bits se fait par l'addition simultanée de poids de référence obtenus à partir de tension ou de courant. Il existe deux types de convertisseur N.A parallèles.

- Les convertisseurs à commutation de tension
- Les convertisseurs à commutation de courant

IV.2.4 à 1.A C.N.A à commutation de tension

Il existe trois types de C.N.A à commutation de tension

- Les C.N.A binaire à résistances pondérées
- Les C.N.A binaire en échelle
- Les C.N.A BCD

A.1 C.N.A binaires à résistances pondérées

La figure III.2 donne le schéma de principe d'un convertisseur binaire à résistances pondérées. On notera au passage que dans ce type de convertisseur aucune des résistances pondérées n'a la même valeur et que de plus les faibles poids conduisent à des valeurs élevées de résistance.

La résistance affectée au poids 2^{n-1} peut tolérer une précision deux fois moins bonne que celle du poids 2^n .

Dans la figure précédente on utilise trois ensembles de quatre résistances associées à l'amplificateur. Les sorties des trois ensembles précédents sont associées à un amplificateur sommateur.

Dans le montage étudié l'amplificateur B peut avoir une précision 16 fois plus faible que l'amplificateur A.

A.2 C.N.A binaire en échelle

Réseau R. -2 R

La figure III.3 donne le schéma de principe d'un tel convertisseur.

Ce réseau est constitué de résistances de valeur R ou 2R.

Chaque résistance de valeur 2R est commutée soit à la masse, soit à la tension de référence E d'impédance nulle.

Nous pouvons montrer que lorsque tous les commutateurs sont mis à la masse, la résistance équivalente vue entre l'un quelconque des points A, B, ... F et la masse est toujours égale à R.

Cette démonstration étant évidente, nous ne nous y attacherons pas.

Nous allons à présent montrer que le courant I fourni par ce système vaut :

$$I = \frac{E_{ref}}{2R} \left\{ K_1 + \frac{K_2}{2} + \dots + \frac{K_5}{32} \right\} \quad (III.1)$$

expression dans laquelle les paramètres K_1, \dots, K_5 valent 1 ou 0, selon que les commutateurs sont reliés à la tension de réf. ou à la masse respectivement.

Pour ce faire, nous prendrons trois cas :

1. - Considérons le cas où seul K1 est relié à Eref.

Dans ce cas, compte tenu de ce qui précède, nous savons que la résistance équivalente au circuit situé à gauche de E vaut R.

Ceci étant donné, les figures III.4 (a,b,c) permettent par application du théorème de Thevenin de montrer que le courant I1 résultant de la commutation à Eref de K1 vaut :

$$I_1 = \frac{E_{ref}}{2R}$$

2. - Considérons maintenant le cas où seul K2 est relié à Eref.

Dans ce cas, compte tenu de ce qui précède, nous savons que la résistance équivalente au circuit situé à gauche de D vaut R.

Ceci étant donné, les figures III.5 (a,b,c) permettent par application du théorème de Thevenin de montrer que le courant I2 résultant de la commutation Eref de K2 vaut :

$$I_2 = \frac{E_{ref}}{4R}$$

3. - Considérons enfin le cas où K1 et K2 sont seuls reliés à Eref

Dans ce cas le principe de superposition nous permet d'obtenir les figures III.6 à partir desquelles nous pouvons montrer que dans le cas choisi :

$$I' = I_1 + I_2 = \frac{E_{ref}}{2R} \left(1 + \frac{1}{2} \right)$$

En conclusion, nous pouvons par raisonnement identique montrer que la relation (III.1) est vérifiée .

A3 - C.N.A - BCD

Dans ce type de convertisseurs, l'information numérique d'entrée est exprimée dans le code BCD. Le principe du convertisseur est inchangé, seul le réseau résistif est modifié.

Il existe deux types de réseaux possibles

- Le réseau R-2R Configuration BCD
- Le réseau ~~1/2/4/8~~ configuration BCD

A3.1 - Le réseau R-2R configuration BCD

La figure III. 7 donne le schéma de principe d'un tel convertisseur. Dans ce type de réseau, les poids binaires sont groupés par quatre pour respecter les poids 1,2,4,8, ce qui constitue une décade

A chaque décade correspond un chiffre décimal. Afin de respecter le rapport 10 ou 1/10 d'un poids d'une décade au poids correspondant de la décade suivante, on intercale des résistances 9R et 8,1R montés conformément au schéma de la figure précédente.

On peut montrer que pour le réseau binaire pur, la résistance à la sortie de chaque décade prise isolément est celle d'une résistance

résistance R (impédance du réseau binaire)

Dans le cas de la décade des unités par exemple, cette résistance R est en parallèle avec une résistance de $9R$, ce qui donne une résistance équivalente de $0,9R$.

La figure III.8 donne le schéma équivalent du réseau à 3 décades, lorsque tous les commutateurs sont reliés à la masse.

L'application répétée du théorème de Thevenin montre que les résistances équivalentes, vues entre les points B et masse, et C et la masse sont identiques à celle vue entre le point A et la masse, à savoir $0,9R$.

Chaque décade donne les poids binaires dans le rapport 1, 2, 4 et 8; il est possible de vérifier qu'entre les poids affectés aux commutateurs $K 800$ et $K 80$, il y a un rapport de $1/10^{\text{ème}}$.

Pour ce faire, il suffira de calculer le courant fourni lorsque $K 800$ est commuté seul puis celui fourni lorsque $K 80$ commuté seul. Dans le premier cas, nous obtenons comme le montre la figure III 9 une tension de $0,9E$ et une résistance $0,9R$ soit un courant de $\frac{E}{R}$ c'est à dire le R même courant obtenu dans le cas d'un réseau $2R$ binaire pur.

Dans le second cas nous obtenons comme le montre la figure III.10 une tension de $0,9E/20$ avec une impédance de source de $0,9R$, ce qui donne un courant de $E/20 R$.

Comme on pourra le constater cette valeur est dix fois plus faible que celle trouvée dans le premier cas.

Nous venons donc de vérifier qu'il existe un rapport de $1/10$ entre une décade et la décade immédiatement inférieure.

La méthode précédente peut être reprise pour toutes les autres décades.

A.3-2 Réseau 1-2-4-8 Configuration BCD

La figure III.11 donne le schéma de principe d'un tel convertisseur. On pourra constater que ce type de réseau nécessite moins de résistances que le précédent. Ce qui n'est pas négligeable étant donné qu'il s'agit de résistance de précision de coût élevé.

Dans cette configuration chaque décade est composée de 4 résistances au lieu de 8 pour le réseau $R 2R$ configuration BCD.

La décade de plus faible poids se termine par une résistance de $4,8R$ à la masse. La résistance équivalente de ce réseau vue entre le point A et la masse vaut $4,8R$ en parallèle avec $\frac{8R}{15}$ qui est la résistance équivalente aux résistances $R, 2R, 4R$, et $8R$ mises en parallèle. La résistance équivalente entre le point A et la masse vaut donc :

$$\frac{1}{R_{eq}} = \frac{1}{4,8R} + \frac{15}{8R} = \frac{8 + 72}{4,8 + 8R} = \frac{10}{4,8R} \quad \text{où soit:}$$

$$R_{eq} = 0,48 R$$

La figure III. 12 montre que l'impédance équivalente vu e entre les points A,B,C et la masse est constante et égale à 0,48 R.

La figure III.13 nous permet de calculer le courant dû à la commutation de K 800 seul. Pour ce faire il siffit d'assimiler les décades des unités et des dizaines à une résistance de 0,48 R ce qui nous permet d'obtenir le schéma équivalent

La branche contenant R et la tension E voit en parallèle une résistance R égale à :

$$\frac{1}{R'} = \frac{1}{4,8R} + \frac{1}{8R} + \frac{1}{4R} + \frac{1}{2R} = \frac{8 + 4,8 + 9,6 + 19,2}{38,4 R}$$

$$= \frac{41,6}{38,4 R} \quad \text{soit :}$$

$$R = \frac{38,4 R}{41,6} \quad \text{d'où}$$

$$V = \frac{38,4}{41,6}$$

$$\frac{38,4}{41,6 + 1} = 6 \cdot \frac{38,4}{80} = 0,48 E$$

Il en résulte un courant égal à E/R

Le schéma équivalent final nous permet de montrer en représentant le raisonnement fait plus haut que le réseau 1.2.4.8 -BCD permet d'additionner les différents poids binaires.

III. 2.4 a 1 B- C.N.A à Commutation de courant

Il existe plusieurs types de convertisseurs à commutation de courant , nous nous contenterons d'en décrire deux :

- Le convertisseur binaire à échelle inversée
- Le convertisseur à courant pondéré

B1- Le convertisseur binaire à échelle inversée

La figure III.14 nous donne un schéma de principe.

Dans ce type de convertisseur le courant circule dans une résistance de valeur égale à 2 R allant soit à la masse, soit au point de sommation de l'amplificateur dont le potentiel est également une masse fictive. L'une des extrémités des résistances 2R étant toujours au potentiel zéro, la figure III.15 montre que :

$$I A = \frac{V_A}{2R} \quad \dots \quad I B = \frac{V_B}{2R} \quad \dots \quad I C = \frac{V_C}{2R} \quad \dots \quad I D = \frac{V_D}{2R} \quad , \text{ etc..}$$

Compte tenu de la propriété des réseaux R2R , on peut montrer que la résistance équivalente du réseau situé à droite du point A vaut R d'où d'après la figure III.16 :

$$V A = \frac{E}{2}$$

Pour la même raison, la résistance équivalente du réseau situé à droite du point B vaut R d'où

$$V_B = \frac{V_A}{2} = \frac{E}{4}$$

Le même raisonnement peut être repris pour montrer que :

$$V_C = \frac{E}{8} \quad \dots \quad V_D = \frac{E}{16} \quad \text{ect.} \quad \text{d'où}$$

$$I_A = \frac{E}{4R} \quad \dots \quad I_B = \frac{I_A}{2} = \frac{E}{8R}$$

$$I_C = \frac{I_B}{2} = \frac{E}{16R} \quad \text{ect.}$$

Du fait que les courants sont sommés directement, ce convertisseur ne nécessite pas l'utilisation d'amplificateur, ce qui nous permet de conclure comme nous l'avons exposé plus haut que ce type de convertisseur additionne bien les différents poids binaires.

B2 - Convertisseur à courant pondéré.

Dans ce type de convertisseur, le principe consiste à additionner dans une résistance différents courants dont les valeurs sont dans un rapport 1/2 d'un courant au suivant en commençant par le plus élevé.

A titre d'exemple nous donnons un schéma d'un convertisseur BCD trois décades (figue III.17)

Le schéma précédent montre que dans ce type de convertisseur la division par 10 d'une décade à la suivante est obtenue par une résistance de sommation constituée de trois résistances pondérées en série.

III. 2.4 a 2 - C.N.A série

Dans un convertisseur série (séquentiel), les opérations ne sont plus simultanées. Chaque bit est traité séparément et son action influe sur le signal fourni par les bits suivants.

Si l'un des bits du signal d'entrée change, il faut donc reprendre toute la conversion.

Dans ces convertisseurs, le signal d'entrée doit se présenter sous forme série, le bit le moins significatif est habituellement placé en tête. Une horloge est nécessaire pour régler la cadence des opérations.

Le schéma de principe de ces convertisseurs est représenté sur la figure III. 18.

Ce schéma montre que le signal à convertir est appliqué à l'entrée du convertisseur, en synchronisme avec les signaux délivrés

par l'horloge qui commande le fonctionnement du convertisseur bit par bit.

L'inverseur S2 est commandé par le signal d'horloge et le commutateur S1 par le signal binaire que l'on désire décoder. Pendant chaque période d'horloge, l'inverseur S2 passe d'une position à l'autre, tandis que le commutateur S1 se ferme si le bit présent à l'entrée à cet instant vaut 1. Le principe de fonctionnement est le suivant :

- Si le bit présent à l'entrée vaut 1, la tension V_{ref} est ajoutée à la tension V_i obtenue à la fin de la période précédente et mémorisée dans un condensateur.

La somme ainsi obtenue est ensuite divisée par 2

La tension résultante est alors mise en mémoire à son tour.

- Si le bit vaut 0, la tension V_i , seule est divisée par 2 et stockée.

La tension V_{i+1} en effectuant cette opération est stockée et sera utilisée pendant la période d'horloge suivante, on peut donc écrire :

$$V_{i+1} = \frac{1}{2} \left(V_i + d_{i+1} V_{ref} \right)$$

- d_{i+1} étant la valeur du bit 0 ou 1, présent à l'entrée.

La figure III.19 représente le diagramme des temps d'un tel convertisseur dans le cas d'un mot de 6 bits ayant comme expression 101001.

Le signal V_i obtenu à la dernière impulsion d'horloge représente le signal de sortie du convertisseur.

Nous donnerons ci-dessous deux exemples de C.N.A série.

- Convertisseur à bloqueur série

- Convertisseur à égalisation de charge

III. 2.4 a2. A- Convertisseur à bloqueur série

La figure III.20 nous donne un schéma de principe qui montre que la conversion nécessite autant de période d'horloge qu'il y a de bits dans le mot à convertir (ici 6). Après ces n périodes, le système délivre un signal de sortie S qui dure une période et qui permet de prélever la tension de sortie U .

Dans ce schéma :

- S1 est commandé par le produit H^X mot binaire

- S2 par H

- S3 par H

- S4 et S5 par le produit $H^x S$.

Pendant la première moitié d'une période d'horloge T_1 , S_2 est fermé et le premier amplificateur fait la somme de la tension $d_i \cdot U_{ref}$ et de la tension de sortie du deuxième amplificateur VA_2 , somme affectée d'un coefficient $1/2$ (dû aux valeurs des résistances) soit :

$$VA_1 = \frac{1}{2} (d_i U_{ref} + VA_2)$$

$$d_i = 0 \text{ ou } 1$$

Le mot binaire doit encore se présenter sous forme série, le bit le plus faible poids doit se présenter le premier.

Pendant la seconde moitié de la période T_1 , S_2 est ouvert et le condensateur C_1 maintient constante la tension à la sortie de A_1 . S_3 est fermé et l'amplificateur A_2 inverse la tension de sortie de A_1 . On continue ainsi jusqu'à la dernière impulsion, appelée impulsion de synchronisation T_r ; Pendant la première moitié de T_r , S_4 est fermé et la tension de sortie de A_2 est transférée dans le condensateur C_3 et permet d'obtenir le signal de sortie U . De plus S_5 , est fermé ainsi que S_2 ce qui provoque la décharge de C_1 pendant la seconde moitié de T_2 , on décharge le condensateur C_2 (en transmettant la tension de sortie de A_1 qui est nulle).

III. 2.4 a2 . B - Convertisseur à égalisation de charge.

Ce convertisseur dont le schéma de principe donné par la figure III.21, utilise le principe de convertisseur de :

Schunnen - Rack.

Ce circuit fonctionne de la façon suivante :

Pendant la première moitié d'une impulsion d'horloge lorsque le bit existant à cet instant vaut 1, la tension de référence U_{ref} charge un condensateur C . Si ce bit vaut zéro, ce condensateur est court-circuité. Pendant la deuxième moitié de la période d'horloge, la charge de C est en partie transférée dans le condensateur C' , Si $C = C'$, les deux charges sont égales à la demi-somme des charges initiales de C et C' , on a donc bien réalisé l'opération:

$$V_i + 1 = \frac{1}{2} (V_i + d_i U_{ref})$$

III. 2.4 b - C.N.A indirects .

La deuxième famille de CNA regroupe les convertisseurs indirects, c'est à dire ceux qui utilisent une variable intermédiaire pendant la conversion entre le mot binaire d'entrée et la tension analogique de sortie.

Ce signal intermédiaire peut être analogique ou numérique.

Nous allons présenter le cas d'une variable intermédiaire utilisant des impulsions monté conformément au schéma de la figure : III. 22.

Ce type de CNA indirect consiste à transformer le mot à dé-coder en une impulsion de largeur proportionnelle au mot ou en une séquence d'impulsion dans laquelle le nombre d'impulsions est propor-tionnel au mot. Le dispositif peut être décomposé en deux parties :

- Une partie numérique
- Une partie analogique

La partie numérique convertit le mot binaire en une impulsion à l'aide de circuits purement numériques

La deuxième transforme ce signal intermédiaire en une tension continue par l'intermédiaire d'un interrupteur analogique et d'un filtre passe-bas.

La figure III.23 donne le schéma d'un CNA indirect utilisant la modulation de largeur.

Ce circuit essentiellement un registre tampon permettant d'avoir le mot binaire constamment disponible.

Un décompteur de n bits

Un interrupteur analogique fournissant ou non la tension U ref à la sortie et un filtre passe-bas de sortie.

Ce montage fonctionne de la façon suivante :

Lorsqu'on effectue une conversion, le mot binaire à décoder est transféré au registre tampon dans le système décompteur. Si tous les bits de ce mot ne sont pas nuls, les impulsions de l'horloge sont appliquées au décompteur et font évaluer son contenu. Tant que le contenu du compteur n'a pas atteint la valeur zéro, l'interrupteur analogique est fermé et la tension U ref est présentée en sortie.

Dès que le contenu du compteur atteint zéro, l'interrupteur analogique s'ouvre et la tension à l'entrée du filtre passe-bas devient nulle; On obtient ainsi une impulsion d'amplitude U ref et de largeur proportionnelle au nombre d'impulsions décomptées dn à N.

SI T est la période de conversion et O La largeur de l'impulsion, la composante continue du signal de sortie a pour expression :

$$U = U_{ref} - \frac{O}{T}$$

Si TH est la période d'horloge , on a :

$$O = N \cdot TH \quad \text{et donc :}$$

$$U = U_{ref} - N \frac{TH}{T}$$

On règle habituellement les fréquences pour que :

$$T = 2^n \cdot TH$$

Le temps nécessaire pour une conversion est donc égal à :

$$2^n \cdot TH$$

En prenant par exemple une horloge à 1 MHz et $n = 10$, il faut environ 1 ms pour effectuer une conversion.

III-3 CONVERSION ANALOGIQUE-NUMERIQUE

III-3-1-INTRODUCTION

La conversion A/N est généralement plus utilisée que la conversion N/A. Ceci provient du fait que la plupart des grandeurs physiques sont du type analogique.

Nous nous proposons de décrire dans le présent chapitre:

- 1°-Le principe de la conversion A/N
- 2°-Les caractéristiques des convertisseurs A/N (C.A.N)
- 3°-Les différentes familles de CAN

III-3-2 DEFINITION ET PRINCIPE DE LA CONVERSION A/N

III-3-2-1 Définition

Un CAN est un dispositif qui transforme un signal analogique A en un signal numérique N.

III-3-2-2-Principe

Les CAN sont chargés de comparer un signal analogique A à une tension de référence U_{ref} et en fournissent dans le cas idéal une information:

$$N = A/U_{ref} \quad (1)$$

Ceci revient à dire que la conversion A/N effectue une division. Pour que le résultat s'exprime dans le code binaire il suffira d'opérer avec des puissances décroissantes de 2. Dans ce cas la relation (1) s'écrit;

$$A = U_{ref} \left(\frac{b_1}{2} + \frac{b_2}{4} + \frac{b_3}{8} + \dots + \frac{b_n}{2^n} \right) \quad (2)$$

Les termes négligés (b_{n+1} , b_{n+2} , ...) représentent l'erreur de conversion. Un CAN réalise donc une quantification.

Cette opération consiste à remplacer la tension discrète par un multiple d'une quantité de valeur;

$$U_{ref}/2^n$$

de telle sorte que l'on ait:

$$A - N \frac{U_{ref}}{2^n} = \frac{U_{ref}}{2}$$

III-3-3-CARACTERISTIQUES TECHNIQUES D'UN CAN

Les caractéristiques techniques d'un can sont généralement identiques à celles d'un CNA.

Elles diffèrent cependant dans leur définition puisque les signaux d'entrée et de sortie sont inversés.

Ces caractéristiques sont au nombre de Six;

- 1-Fonction de transfert idéale
- 2-Résolution
- 3-Temps de conversion
- 5-Rejection des signaux de perturbation
- 4-Précision

6-Impédance d'entrée du CAN et Impédance de sortie de la source de tension.

III. 3.3.1 - Fonction de transfert idéale.

Elle est définie par les deux équations suivantes:

$$E_{nom} = U_{ref} \left(\frac{b_1}{2} + \frac{b_2}{A} + \dots + \frac{b_n}{2n} \right) \quad (3)$$

$$E_{nom} = \frac{1}{2} \frac{U_{ref}}{2n} \left(A \left(E_{nom} + \frac{1}{2} \frac{U_{ref}}{2n} \right) \right) \quad (4)$$

-U_{ref} représente l'étendue de la tension à convertir. Elle est composée de marches de hauteur U_{ref}/2n.

E_{nom} est l'ensemble des tensions d'entrée nominales (pour lesquelles l'erreur est nulle)

III.3.3.2 - Résolution

La résolution définit la plus petite variation de la tension que le convertisseur peut coder. En valeur, elle s'exprime par le rapport :

$$r = \frac{1}{2n}$$

III. 3.3.3 - Temps de conversion.

Le temps de conversion est le temps nécessaire pour obtenir en sortie un signal numérique correspondant au signal d'entrée analogique avec la précision désirée. Il s'exprime en microsecondes ou en millisecondes.

III. 3.3.4 - Précision.

La précision d'un CAN se définit comme l'écart existant entre la valeur théorique de E_{nom} fournissant un certain mot N en sortie et la valeur réelle de A fournissant effectivement ce mot.

Cet écart peut s'exprimer soit directement soit en pourcentage de quantum. Dans le premier cas on dit que l'on a une erreur absolue et dans le deuxième, une erreur relative.

III. 3.3.5- Rejection des signaux de perturbation.

Certains CAN ont l'avantage de diminuer ou d'éliminer l'influence de signaux parasites, notamment ceux du secteur.

Ces signaux parasites sont souvent désignés sous le nom de bruit.

On définit alors le facteur de rejection par l'équation :

$$s(w) = \frac{A(\text{bruit})}{N(\text{bruit})} \cdot U_{ref}$$

A(bruit) = bruit d'entrée normalisé.

N(bruit) = bruit de sortie normalisé.

La grandeur s(w) dépend de la fréquence.

Sa valeur est particulièrement grande dans les CAN travaillant à faible vitesse, car dans ce cas le bruit du secteur peut introduire des erreurs très importantes.

III. 3.3.6 - Impédance d'entrée du CAN et impédance de sortie de la source de tension

L'impédance de sortie de la source du signal analogique, en tenant compte de la précision de la conversion désirée, détermine l'impédance d'entrée du CAN.

En général, quand l'impédance de la source analogique augmente, l'impédance d'entrée du CAN doit aussi croître.

III.3.4- DIFFERENTS FAMILLES de C.A.N

Il existe plusieurs façons de classer les C.A.N

La méthode que nous avons utilisé consiste à les séparer en deux groupes, suivant qu'ils sont comparaison de tension discrète ou à chargement de capacité.

III.3.4.1- Convertisseurs à comparaison de tension discrète.

Ces types de convertisseurs -C.A.N emploient un système de conversion dépendant de la génération de tensions discrètes dont les niveaux sont équivalent aux mots digitaux.

Dans ce cas la comparaison de ces niveaux de tension discrètes avec la tension analogique d'entrée détermine le mot digital équivalent.

La génération de ces signaux peut être simultanée, séquentielle ou une combinaison des deux .

Nous nous proposons d'étudier dans la suite :

- 1- Les C.A.N à compteur de rampe,
- 2- Les C.A.N à amplificateurs opérationnels,
- 3- Les C.A.N simultanés,
- 4- Les C.A.N à approximations successives.

III. 3.4.2 - Les CAN à chargement de capacité.

Il existe plusieurs types de CAN à chargement de capacité dont les plus importants sont :

- 1- C.A.N à tension de fréquence,
- 2- C.A.N à modulation de durée,
- 3- C.A.N à transfert de charges capacitifs,
- 4- C.A.N à intégrateur réversible.

III.3.5 - TECHNIQUES DE CONVERSION A/N.

III. 3.5.1- Convertisseur A/N à comparaison de tensions, discrètes

a) C.A.N à rampe.

La figure III.24 donne le schéma de principe d'un tel convertisseur. Le principe de cette conversion consiste à comp-

-ter les impulsions délivrées par un oscillateur pilote de fréquence fixe. Ces impulsions sont converties en signal analogique V2 qui augmente d'un quantum à chaque fois que le contenu au compteur augmente d'un bit.

Cette tension analogique V2 se présente sous la forme de marches d'escaliers.

Lorsque V2 atteint le signal analogique d'entrée V1, le comparateur passe à l'état 1. L'impulsion ainsi délivrée est utilisée pour ramener la bascule Bo à l'état bas. Le circuit ET bloque alors l'information issue de l'oscillateur pilote et par conséquent le comptage.

La valeur numérique est alors affichée par le compteur.

La figure III.25 donne le détail des chronogrammes correspondants. On notera au passage que ce montage possède l'inconvénient de ne convertir que des tensions positives.

Pour palier cet inconvénient on utilise fréquemment un convertisseur à double polarité dont le schéma de principe est donné figure II.26.

Le fonctionnement peut s'expliquer comme suit :

Lorsque le signal analogique V1 est négatif, le signal en forme de rampe disponible au point A est comparé à la tension analogique d'entrée V1.

Lorsque VA atteint en valeur absolue V1 le comparateur c1 passe à l'état 1. Le fait que la sortie du comparateur c2 est dans l'état bas, il s'ensuit que la sortie du OU-ex passe à l'état 'UN'.

Pour comprendre la suite de la conversion, il suffira de préciser que l'on fournit à un instant T prit comme origine des temps un signal de départ au point E, signal dont l'effet est triple :

- 1- Remettre le compteur à zéro.
- 2- Assurer la conduction de T2 qui contribue à charger la capacité c à -12v.
- 3- Fournir après un certain retard une impulsion à l'entrée de la bascule Bo. Ce signal est choisi de façon que la bascule Bo passera à l'état haut. Le circuit ET 1 assure alors la transmission du signal issu de l'oscillateur pilote : d'une part à l'entrée du monostable commandant la source de courant destinée à charger C.

d'autre part à l'entrée du circuit ET 2 dont l'entrée B est déjà à l'état 'UN'. Il en résulte alors deux effets :

- 1- Le compteur assure le comptage des impulsions issues de l'oscillateur pilote.
- 2- Le monostable assure l'alimentation en courant de la capacité C durant la période T2 inférieure à la période T1 du signal issu de l'oscillateur pilote.

On notera au passage que le signal disponible en B à la sortie du OU-ex ramené à l'entrée de la bascule Bo à travers C 3 et un inverseur n'a aucun effet sur l'entrée RAZ de cette dernière.

Le processus décrit précédemment se reproduit jusqu'à ce que la tension en A atteigne la valeur zéro.

Dans ce cas le comparateur C2 bascule de sorte que la sortie se met dans l'état 1.

La sortie du OU-ex dont les deux entrées sont à l'état haut passe à l'état bas.

Le signal ainsi généré a deux effets :

- 1- D'une part il bloque les signaux issus de l'oscillateur pilote
- 2- D'autre part assure la remise à zéro de la bascule Bo ce qui bloque l'information à l'entrée du monostable et par conséquent la charge de la capacité C. Le raisonnement précédent concernant le cas où la tension V1 est négative peut être repris dans le cas où cette tension est positive.

b) C.A.N à amplificateurs opérationnels.

Dans ce type de convertisseur, la tension à convertir V_e est d'abord comparée au MSB. On soustrait ensuite le MSB de V_e et l'on compare le résultat au NLSB et ainsi de suite.

Pour fixer les idées, considérons le cas d'une tension V_e représentable par un nombre binaire A, B, C dont la plus forte valeur (111) est associée à la valeur analogique $7 = 2^3 - 1$

Dans ce cas : Si $V_e > \frac{2^3}{2}$ on a MSB = A = 1

Si $V_e < \frac{2^3}{2}$ on a MSB = A = 0

Pour déterminer B, il suffit de soustraire de V le poids du MSB :

SI $V_e - \frac{2^3 - 1}{2} > 2$ --- NLSB = B = 1

SI $V_e - \frac{2^3 - 1}{2} < 2$ --- NLSB = B = 0

C'est déterminé de la même façon en retranchant de V le poids des 1.er et 2.ème digits.

$$\text{Si } V_e - \lfloor A-B \rfloor \geq \frac{2^3-1}{2} = 1 \quad \text{--> } \text{LSB} = C = 1$$

$$\text{Si } V_e - \lfloor A-B \rfloor < \frac{2^3-1}{2} = 1 \quad \text{--> } \text{LSB} = C = 0$$

Pour être plus précis, supposons que l'on veuille convertir le nombre 6,8 en mot de 3 bits,

$$6,8 > 4 \text{ donc } A = 1 \text{ soit } \lfloor A \rfloor = 4$$

$$6,8 - 4 = 2,8 > 2 \text{ donc } B = 1 \text{ soit } \lfloor B \rfloor = 2$$

$$\text{soit : } \lfloor A-B \rfloor = 4 + 2 = 6$$

$6,8 - 6 = 0,8$ inférieur à 1 donc $C = 0$ d'où le nombre cherché : 110.

Les soustractions et comparaisons sont effectuées automatiquement par le circuit donné en figure III-28 qui utilise des amplificateurs opérationnels, des comparateurs et des interrupteurs S_j commandés automatiquement par les sorties C_j des comparateurs. Si $C_j = 1$, S_j est ouvert.

C_1 compare la tension à convertir V_e au poids du MSB -

[4 dans le cas de 3 bits]

Si V_e est supérieur au poids du MSB, la sortie du premier comparateur se trouve à l'état 1 et S_1 est ouvert.

Av la sortie du premier ampli-opérationnel K_1 on a alors :

$$V_1 = (V_e \lfloor \text{MSB} \rfloor) -$$

Si au contraire V_e est inférieur au poids du MSB, la sortie C_1 est à zéro. S_1 est fermé et à la sortie de K_1 on retrouve seulement $V_1 = V_e$, le résultat est ensuite comparé par le deuxième comparateur au poids du deuxième bit c'est à dire $\lfloor \text{MSB} \rfloor / 2$.

Pour tenir compte de l'inversion de signe introduite par K_1 , les entrées de C_2 doivent être inversées.

On peut obtenir ainsi d'autres bits en ajoutant des étages supplémentaires.

c) Convertisseur simultané.

Contrairement au convertisseur à rampe qui essaye les niveaux les uns après les autres, les convertisseurs simultanés essaient simultanément tous les niveaux de tension.

Les convertisseurs simultanés plusieurs comparateurs ($2^n - 1$ comparateurs pour n bits).

Ils permettent ainsi de gagner énormément en temps de conversion.

La figure III.29 donne le schéma de principe d'un convertisseur simultané constitué de 1 comparateur.

La figure III.30 donne la table de vérité des 3 sorties en fonction des 7 entrées.

On voit que le LSB vaut 1 pour 1,3,5 et 7, ce qu'on peut écrire : $LSB = a \bar{b} \bar{c} \bar{d} \bar{e} \bar{f} g + a b c \bar{d} \bar{e} \bar{f} \bar{g} + a b c d e \bar{f} \bar{g} + a b c d e f g$

Et font la même chose pour les autres bits.

Cependant on peut vérifier que le LSB est :

$$LSB = a\bar{b} + c\bar{d} + e\bar{f} + g$$

De même NLSB = $b\bar{d} + f$ et

$$MSB = d$$

d). Convertisseurs à approximation^s successives.

Le CAN à approximations successives est un CAN série puisqu'il élabore un bit à chaque étape. Dans ce type de convertisseur on détermine les valeurs successives des différents bits de la décomposition binaire de la tension à mesurer V_n , en commençant par le bit de plus fort poids.

La figure III.31 qui donne le schéma de principe d'un CAN à approximations successives montre que ce dernier se compose :

-d'un **CNA** ayant un nombre de bits égal ou supérieur à celui avec lequel on désire exprimer la tension V_n .

-un comparateur qui reçoit la tension V_n et celle délivrée par le **CNA**

-un registre à décalage qui permet de commander la génération des tensions étalons successives

-n bascules D (une par bit) fournissant la valeur des différents bits de N en fonction du résultat de chaque comparaison; les signaux de sortie de ces bascules numérotées de Q_1 à Q_n commandant les N entrées du **CNA**.

-un registre de sortie qui stocke l'information tant que la conversion n'est pas terminée.

-un décodeur -afficheur.

En se référant aux figures III.31 et III.32 on pourra expliquer le fonctionnement de ce convertisseur comme suit :

Avant toute conversion on applique un signal de commande de départ à la bascule B_0 , signal qui a pour effet de mettre Q_0 et \bar{Q}_0 dans les états respectifs 1 et 0.

L'état haut de Q_0 autorise l'entrée du signal horloge au niveau du registre d'entrée.

-L'état bas de la sortie $\overline{Q_0}$ autorise le changement d'état du registre de sortie, le signal fourni par l'horloge conduit à donner l'information à la sortie du registre d'entrée, information qui circule de la sortie 1 vers la sortie 7. Ainsi avant la 7.ème impulsion, l'entrée RAZ de la bascule B_0 se trouve toujours à l'état 0, état qui est sans effet sur les sorties Q_0 et $\overline{Q_0}$ de celle-ci

-La 7.ème impulsion assure la remise à zéro de la bascule B_0 ce qui se traduit par un double effet.

1.) Isolement de l'horloge du registre d'entrée

2.) Stockage de l'information disponible au niveau du registre de sortie, et par voie de conséquence affichage de telle information.

Le déroulement du cycle d'une conversion est le suivant:

-Lorsque la première impulsion d'horloge est transmise au registre, la sortie 1 passe à l'état 1, le signal qui apparaît sur cette sortie remet à zéro les bascules B_1 à B_4 , le signal d'entrée du CNA vaut : 0 0 0 0

-La deuxième impulsion d'horloge met à l'état 1 la sortie 2, le signal qui y apparaît est appliqué à la bascule B_1 et la fait passer à l'état 1 (dans ce cas on utilise une entrée de forçage)

Le signal d'entrée du CNA vaut alors 1 0 0 0 : il délivre donc la tension V_y au comparateur, si V_n est supérieur à V_y , la sortie du comparateur passe à l'état 1, si non, elle reste à 0, à la sortie du comparateur apparaît donc la valeur du bit b_1 . Ce signal est appliqué à l'entrée D des 4 bascules mais ne peut les faire changer d'état puisque aucun signal n'est appliqué sur l'entrée d'horloge de ces bascules.

La 3.ème impulsion fait apparaître l'état 1 sur la sortie 3; ce signal met à l'état 1 la bascule B_2 (grâce à l'entrée de forçage); il est de plus appliqué sur l'entrée d'horloge de la bascule B_1 qui recopie l'information disponible sur son entrée D, c'est à dire l'état de la sortie du comparateur. On impose ainsi à la bascule B_1 de prendre l'état correspondant à la valeur du coefficient b_1 . Cet état ne sera plus modifié par la suite car aucun signal ne sera plus appliqué sur l'entrée horloge de cette bascule, le signal logique appliqué au CNA a alors pour expression b_1 , 1 0 0 0

La tension qu'il délivre vaut donc :

$$B_1 V_y + \frac{V_y}{2}$$

Le résultat de la comparaison correspond au coefficient b_2
-A la 4.ème impulsion d'horloge, les mêmes opérations se produisent avec les bascules B_2 et B_3 .

Le signal délivré par le comparateur est mis en mémoire dans la bascule B_2 puisque celle-ci reçoit simultanément une impulsion sur son entrée horloge et le signal de sortie du comparateur sur son entrée D.

En même temps la bascule B_3 passe à l'état 1 et le CNA délivre la tension :

$$b_1 V_y + b_2 \frac{V_y}{2} + b_3 \frac{V_y}{4}$$

Ce processus se poursuit jusqu'à ce que la 4.ème bascule soit mise à l'état 1 grâce à l'impulsion disponible à la sortie 5 du registre.

L'impulsion 6 sert à valider le coefficient b_4

L'impulsion 7 appliquée au registre permet de mettre à zéro la bascule B_0 . La conversion s'arrête et les coefficients stockés dans le registre de sortie deviennent disponibles au niveau du décodeur-afficheur.

III.5.2. Convertisseurs A/N à chargement de capacité

a)- Convertisseur tension-fréquence

La figure III.33 donne le schéma d'un convertisseur tension-fréquence dont le fonctionnement s'explique de la façon suivante:

- Au repos, la sortie Q du monostable est dans l'état 1 ce qui assure la saturation du transistor T de sorte que la capacité C se trouve court-circuitée.

- Dès qu'un signal de commande est appliqué au bouton poussoir le monostable bascule fournissant un signal Q de période T2 bloquant le transistor T durant la période précédente. Le signal de commande assure parallèlement la remise à zéro du compteur.

- Durant la période T2 de basculement du monostable, la tension d'entrée, préalablement convertie en courant I proportionnel à l'aide d'un convertisseur tension courant et utilisé pour charger la capacité C dont la charge évolue selon la relation :

$$Q = It = CV \quad (1) \quad \text{comme :} \quad I = KVe, \quad (2)$$

Il s'ensuit que la tension V aux bornes de la capacité C, est donné par la relation :

$$V = \frac{Kve t}{C} \quad (3)$$

La relation précédente montre que la tension aux bornes de

la capacité varie linéairement en fonction du temps.

Du fait des caractéristiques de l'U.J.T, on déduit que dès que la tension V aux bornes de la capacité C atteint le seuil de basculement de l'U.J.T, ce dernier bascule court-circuitant la capacité.

Le basculement de l'U.J.T fournit une impulsion transmise au niveau du compteur et le processus recommence.

La relation (3) montre que la période T des impulsions fournies par l'U.J.T est donnée par :

$$T1 = \frac{C}{K} \frac{VR}{Ve}$$

On constate ainsi que durant la période $T2$ du monostable, le compteur reçoit N impulsions de sorte que :

$$N = \frac{T2}{T1} = \frac{K}{C} T2 \frac{Ve}{VR} = K' Ve$$

La relation précédente montre qu'au bout d'une période $T2$, le nombre d'impulsions comptées est proportionnel à Ve ce qui justifie l'appellation de convertisseur tension-fréquence donnée à ce type de convertisseur.

Nous avons pris $K' = 1000$ de sorte que la valeur affichée par le convertisseur exprime la valeur de Ve en millivolts.

b). Convertisseur à modulation de durée

La figure III.34. donne le schéma de principe d'un tel convertisseur dont le fonctionnement peut s'expliquer comme suit :

-Au repos, la sortie $Q = 1$ de la bascule Bo assure la saturation du transistor $T3$ ce qui court-circuite la capacité C .

De même la sortie $Q=0$ de cette même bascule assure le blocage de la source de courant constituée par les transistors $T1$ et $T2$.

-Mise à zéro de la sortie Q qui bloque $T3$

-L'application d'un signal de commande appliqué à l'entrée de la bascule Bo au début de la conversion a un double effet.

-Remise à zéro du compteur

-Mise à 1 de la sortie Q qui assure d'une part la transmission du signal issu de l'oscillateur pilote vers le compteur et d'autre part la saturation du transistor $T2$ et par voie de conséquence la mise en service de la source de courant constant qui contribue à charger le condensateur.

La charge du condensateur C fait que la tension à ses bornes augmente. Lorsque cette tension est égale à la tension

d'entrée V_e , le comparateur bascule en fournissant une impulsion de remise à zéro appliquée à la bascule B_0 , ce qui interrompt le comptage. On constate ainsi que le principe de la conversion - consiste à convertir la tension à mesurer en une période T qui lui est proportionnelle.

Ce qui précède, nous permet d'écrire :

$$T = \frac{V_e \cdot C}{I_0}$$

I_0 étant le courant constant fournit par la source.

Il en résulte d'après ce qui précède que durant la période T de la bascule B_0 le compteur a reçu N impulsion de période T_0 - fourni par l'oscillateur.

Les paramètres N , T et T_0 sont reliés par relation.

$$N = \frac{T}{T_0} = \frac{C}{I_0 \cdot T_0} \times V_e$$

Cette relation montre que le nombre d'impulsions comptées est bien proportionnel à la tension à mesurer.

Dans notre cas nous avons pris $\frac{C}{I_0 \cdot T_0} = 1000$, ce qui donne la valeur de V_e en millivolts.

c). Convertisseur à transfert de charges capacitifs.

Le condensateur à transfert de charges capacitifs utilise le transfert de charges entre deux condensateurs d'où le qualificatif de convertisseur à transfert de charges qui lui est attribué.

Le convertisseur à transfert de charges est un convertisseur cyclique dont le fonctionnement ressemble énormément à celui de la conversion par approximations successives.

D'une façon générale ce convertisseur est composé d'un système qui peut générer des tensions de référence qui forment une progression géométrique de raison 2 par partage d'une charge Q entre deux condensateurs égaux.

La figure III.35 donne le schéma de principe permettant une telle génération.

Dans la pratique les condensateurs C_1 et C_2 ont généralement les mêmes valeurs.

Le système de stockage de la charge assure la décharge totale du condensateur C_2 lorsque l'interrupteur S_3 est fermé.

Le circuit précédent fonctionne de la façon suivante :

- S_1 étant fermé la capacité C_1 se charge sous la tension

U_{ref} .

-S1 ouvert et S2 fermé les condensateurs C1 et C2 se chargent sous la tension Uref 2.

-S3 fermé, S2 ouvert le condensateur C2 se décharge entièrement -ment dans le circuit de stockage, l'incrément Uref/2 est transféré dans le système de stockage.

-S2 fermé, S3 ouvert, C2 se charge à Uref/4

-S2 ouvert, S3 fermé, la charge de C2 soit Uref/4 est transférée au système de stockage. Ce qui précède nous permet de vérifier que l'on génère bien des tensions de référence dont les valeurs varient comme les puissances décroissantes de 2

Dans la pratique l'interrupteur S3 est remplacé par un interrupteur double, ce qui permet d'inverser la polarité lors du transfert de la charge C2, suivant que l'on désire augmenter ou diminuer la charge stockée.

La figure III.36 montre que le système permettant d'emmagasiner les charges du condensateur C2 est un amplificateur opérationnel contre réaction par le condensateur C3.

L'utilisation d'un amplificateur opérationnel permet de disposer à son entrée A d'une masse virtuelle.

Ainsi lorsque l'interrupteur S3 est fermé, le condensateur C2 se décharge en fournissant un courant I qui assure la charge de C3. On peut vérifier que la variation de charge AQ3 qui en résulte est égale et opposée à la variation de charge AQ2.

Dans la pratique les condensateurs C2 et C3 ont la même valeur.

Si l'on désire par Q3 la charge du condensateur C3 au temps t = 0, on pourra écrire successivement :

$$\begin{aligned} Q_3 &= Q_{30} - Q_2 \\ V_{C3} &= \frac{Q_3}{C_3} = \frac{Q_{30}}{C_3} - \frac{Q_2}{C_3} \\ V_3 &= V_{30} - V_2 \end{aligned}$$

expressions dans lesquelles V30 et V2 représentent respectivement la tension initiale aux bornes du condensateur C3 et la tension transférée.

Lorsque le condensateur C1 se décharge par paliers, la charge du condensateur C3 augmente par paliers de sorte que la tension VC3 augmente en marches d'escalier à chaque période d'horloge en passant successivement par les valeurs $\frac{1}{2} U_{ref}$; $\frac{3}{4} U_{ref}$; $\frac{7}{8} U_{ref}$, ... etc. Pour utiliser ce principe de transfert de charge à la mesure d'une tension Vn, on charge le condensateur C3 à l'aide de

cette tension et on fait tendre la charge de C_3 vers zéro par étapes en lui ajoutant ou en lui retranchant les tensions de référence :

$U_{ref}/2$, $U_{ref}/4$, $U_{ref}/8$

La figure III.38 donne le schéma d'ensemble du convertisseur réalisé.

La figure III.37 donne la diagramme de fonctionnement.

Le diagramme précédent appelle la remarque suivante :

-La fermeture des commutateurs est assurée par signaux de valeur logique " 1 "

-Les commutateurs S_1 et S_5 sont commandés par le même signal.

Des schémas III.37 et III.38 on en déduit que :

-La première impulsion permet de charger C_1 $U_{ref}/4$ à V_n à mesurer et de court-circuiter la capacité C_3 .

-La deuxième impulsion permet le transfert de l'information contenue dans C_4 à la sortie du 1.^{er} amplificateur opérationnel à travers C_3 . Il s'ensuit qu'à la fin de la 2.^{ème} impulsion le condensateur C_1 chargé à U_{ref} et la sortie de l'amplificateur se trouve à $-V_n$ -

-La fermeture du commutateur S_2 à la 3.^{ème} impulsion assure le transfert de U_{ref} vers C_2 .

Selon le signe² de V_n apparaissant à l'entrée du comparateur on génère un signal qui commande d'une part les commutateurs S_3 et S_4 et d'autre part les entrée D des bascules.

-La fermeture de S_3 permet de retrancher un incrément de charge à la charge initiale de C_3 .

Un raisonnement identique contribue à ajouter un incrément de charge à la charge initiale de C_3 .

Ainsi on peut constater que l'effet de S_3 et S_4 contribue à faire tendre la charge de C_3 vers zéro.

Ce qui précède concerne le fonctionnement du système lors du premier cycle.

Au second cycle, l'interrupteur S_2 se ferme de sorte que C_2 se charge à $U_{ref}/4$ après quoi le commutateur est à nouveau sollicité.

S_2 se ferme à nouveau et le potentiel de C_2 est porté à $V/4$, après quoi le comparateur est à nouveau enclenché agissant sur S_3 ou S_4 suivant la polarité de la charge de C_3 , ce processus se

poursuit durant la nombre désiré de périodes de bit à la fin du codage, la charge restante sur C3 est inférieure à la quantité correspondante au digit de plus faible poids.

e) - Convertisseur à intégrateur réversible

La figure III.39. donne le schéma de principe d'un tel convertisseur montre que la conversion utilisant un intégrateur réversible s'effectue en deux étapes.

Dans la première étape la tension d'entrée à mesurer E_x est appliquée à l'entrée d'un intégrateur durant un intervalle de temps prédéterminé θI égale $N1$ périodes d'horloge, temps au bout duquel la tension V disponible à la sortie de l'intégrateur vaut :

$$V = \frac{1}{C} \int_{t_0}^{t_1} i dt = \frac{1}{C} \int_{t_0}^{t_1} \frac{E_x}{R} dt = - \frac{E_x}{Rc} \int_{t_0}^{t_1} dt$$

$$= - \frac{E_x}{Rc} (t_1 - t_0)$$

Comme $t_1 - t_0 = \theta I = N1T$

L'égalité précédente s'écrit :

$$V = - \frac{E_x}{Rc} \theta I = - \frac{E_x}{Rc} N1T \quad (1)$$

Dans une deuxième étape l'entrée de l'intégrateur est commutée sur une tension de référence E_{ref} de polarité opposée à celle de E_x de sorte que la tension de sortie de l'intégrateur décrit linéairement lors de cette décroissance, un comparateur détecte le passage de zéro de la tension V , ce qui permet d'arrêter le comptage dès que le seuil zéro est atteint.

Si les impulsions comptées sont caractérisées par leur période T et leur nombre N , la durée de la phase 2 est NT . Dans ce cas on pourra écrire :

$$(0 - V) = - \frac{E_{ref}}{Rc} = NT \quad (2)$$

Compte tenu des relations (1) et (2), il s'ensuit que :

$$\frac{-E_x}{Rc} N1T = \frac{E_{ref}}{Rc} NT$$

Ou encore :

$$E_x = \frac{E_{ref}}{N1} N$$

E_{ref} et $N1$ étant fixés, La valeur N est directement proportionnelle à E_x et indépendante de Rc .

f) - Convertisseur A/N série parallèle

La figure III.40. donne le schéma de principe d'un CAN de 9 bits dans lequel la conversion est réalisée par groupe de 3 bits.

bits.

Ce convertisseur qui utilise les techniques mises en jeu dans dans les convertisseurs simultanés et à approximations successives décrites puls haut fonctionne de la façon suivante dans la résolution est de 1m.v

Dans une première étape appelée initialisation l'ensemble de 9 bascules sont mises à l'état zéro de sorte que la sortie S du CNA se trouve elle même au niveau zéro.

Dans une deuxième étape, on envoie un courant I de 64 milliam-pères dans le pont de résistances de façon à réaliser les 7 poids 448 mv - 384 mv - 320 mv - 256 mv - 192 mv - 128 mv - 64 mv La tension Ex étant de 308 mv.

Les comparateurs 1,2 et 3 restent au niveau zéro.

Les comparateurs 4,5,6 et 7 passent au niveau 1.

La logique décode ces informations de la façon suivante :

V	nombre binaire	comparateurs						
		7	6	5	4	3	2	1
4	1 0 0	1	1	1	1	0	0	0

Ce qui donne à la sortie du décodeur 100 . Ces trois bits - sont alors envoyés dans les bascules correspondantes c'est à dire : 2^8 , 2^7 et 2^6 .

Dans une troisième étape, le courant I est divisé par :

$$2^3 \text{ soit } 8, \text{ et vaut par conséquent } 8 \text{ mA.}$$

Comme la tension de sortie du CNA est maintenant au poten-tiel 256 mv, il s'ensuit que les tensions de seuil des compara-teurs deviennent :

$$321 \text{ mv} - 304 \text{ mv} - 296 \text{ mv} - 288 \text{ mv} - 272 \text{ mv} - 264 \text{ mv}$$

$$264 \text{ mv} = \frac{64}{2^3} \text{ mv} + 256 \text{ mv}$$

$$272 \text{ mv} = \frac{128}{2^3} \text{ mv} + 256 \text{ mv} - \text{ etc ...}$$

Dans ce cas le comparateur 1 reste au niveau zéro alors que les comparateurs 2 , 3 , 4 , 5 , 6 , et 7 passent au niveau 1.

La logique transmet le chiffre binaire 110 dans les bascules correspondantes : 2^5 , 2^4 , et 2^3

Dans une quatrième étape, le courant I est divisé encore par 2^3

passé alors à 1 mA et V_s à 304 mv, d'où les tensions de seuil des comparateurs.

311 mv- 310 mv- 309 mv- 308 mv- 307 mv- 306 mv- 305 mv-

305 mv = 304 mv + 1 mv :

306 mv = 304 mv + 2 mv etc

Dans ce cas les comparateurs 1, 2 et 3 restent au niveau zéro alors que les comparateurs 4, 5, 6, et 7 passent au niveau 1.

La logique envoie le chiffre binaire 100 dans les bascules correspondantes : $2^2, 2^1, 2^0$

Le résultat final sera : 100 110 100

Ce qui correspond bien au nombre décimal 308 mv.

CARACTERISTIQUES ESSENTIELLES DES CAN

Les convertisseurs CAN sont caractérisés par deux grandeurs essentielles : Vitesse et Précision.

Pour apprécier les qualités des différents CAN réalisés, nous présenterons sous forme d'un tableau les caractéristiques précédentes en y ajoutant le paramètre qu'est la complexité.

C A N	Vitesse de conversion	Précision	Complexité
CAN à approximations successives	moyenne	élevée	moyenne
CAN simultané	élevée	faible	l'appareillage double pour chaque bit supplémentaire (élevée)
CAN à amplificateur opérationnel	moyenne	moyenne	moyenne
CAN à intégrateur réversible	faible	bonne	faible
CAN à modulation de durée	moyenne	faible	faible
AN tension/ fréquence.	faible	faible	faible
CAN à comparaison de tension discrète..... (à rampe)	faible	faible	faible

III-4 CONVERSION STOCHASTIQUE

III. 4. Conversion A/N et N/A stochastique

Les procédés de conversion classique décrits plus haut nécessitent la mise en oeuvre de réseaux de résistances de précision coûteuse. Le procédé qui va être décrit dans la suite ne nécessite pas de tels circuits et de ce fait est très économique.

La conversion obtenue est cependant moins rapide qu'avec les modèles les plus évolués des convertisseurs classiques.

III.4.1 - Représentation stochastique de l'information

Un signal de nature aléatoire, un bruit blanc par exemple $V(t)$ généralement caractérisé par sa valeur moyenne :

$$\bar{V} = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T V(t) dt$$

est utilisé pour représenter une grandeur A dont la valeur est égale à \bar{V} .

On dit que le bruit $V(t)$ est la représentation stochastique de l'information A .

Le plus souvent $V(t)$ n'est pas un signal de forme quelconque, mais une suite d'impulsions de largeur et d'amplitude fixes arrivant de façon aléatoire sur une ligne, comme l'indique la figure III. 41.

Dans cette figure, M représente l'amplitude des impulsions.

Dans l'exemple choisi la valeur moyenne mesurée sur la durée finie T est :

$$\bar{V} = \frac{8}{21} M$$

On notera en se référant à la figure III.42 que cette valeur moyenne ne dépend que de la surface totale des impulsions.

En effet en (a) la suite d'impulsions aléatoirement réparties représentent la grandeur $\frac{5}{15} = 0,3333$. Cette même valeur moyenne se retrouve en (b) où à chaque cycle se présente une impulsion unique.

III. 4.2- Obtention de la représentation stochastique d'un signal

La figure III.43 montre que la méthode consiste à comparer le signal déterministe A représentant la variable à mesurer avec un bruit aléatoire $V(t)$.

Si l'on admet que le bruit aléatoire est défini par une densité de probabilité $p(v)$ c'est à dire tel que la probabilité d'avoir à un instant donné t une amplitude comprise entre :

V et $V + dv$ vaut $p(v) dv$

Compte tenu de ce qui précède, on déduit que : $v(t)$ A

Il s'ensuit que la probabilité d'avoir $S=1$ est égale à celle d'avoir $V < A$, c'est à dire :

$$ps(1) = \int_0^A p(v) dv$$

Si $p(v)$ est une constante c'est à dire que toutes les amplitudes de $v(t)$ sont équiprobables, on pourra poser :

$$p(v) = p_0$$

Ce qui donne :

$$ps(1) = \int_0^A p_0 dv = p_0 A.$$

La relation précédente montre que cette probabilité est proportionnelle à A . La tension en S est donc bien une représentation stochastique de la grandeur A .

III. 4.3 - Nature de la grandeur A

La grandeur A peut être soit :

- Une grandeur analogique
- Une grandeur codée en binaire.

A - est une tension analogique continue.

C'est le cas où l'on désire une conversion directe d'un signal analogique en un signal stochastique.

A - est une grandeur codée en binaire.

Nous supposons que les bits représentant A sont disponibles en parallèle.

$$A = (A_n, A_{n-1}, \dots, A_3, A_2, A_1, A_0)$$

Dans ce cas le comparateur doit être capable de comparer deux nombres binaires.

Pour fixer les idées supposons que le signal de bruit représente sous la forme d'un signal en dents de scie.

Dans ce cas le compteur binaire attaqué par des impulsions périodiques H fournit une suite de nombres discontinue comme le montre la figure III.44.

On peut obtenir le signal de bruit par une méthode très efficace qui consiste à utiliser comme plus haut un compteur binaire attaqué à l'envers du côté des bits de plus fort poids comme le montre la figure III.45.

La figure III.46 représente le signal stochastique dans le cas où le bruit utilisé est celui décrit figure III. 45 pour :

$$A = 5,5 / 16$$

III.4.4 - Le comparateur digital

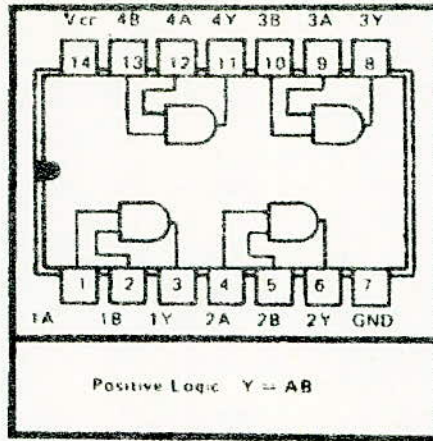
Le paragraphe précédent montre que dans le cas où A est une grandeur codée en binaire, il est nécessaire d'utiliser un comparateur digital. La sortie de ce dernier se trouve au niveau 1

TTL
SSI

CIRCUIT TYPES SN5408, SN5409, SN7408, SN7409
QUADRUPLE 2-INPUT POSITIVE AND GATES

PRELIMINARY DATA

J OR N DUAL IN LINE PACKAGE (TOPVIEW)

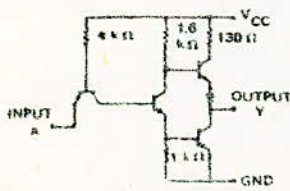


Features

- performs positive AND negative OR
- reduces system package count

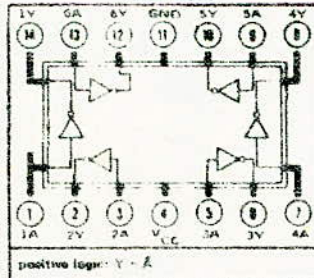
CIRCUIT TYPES SN5404, SN7404
HEX INVERTERS

schematic (each inverter)

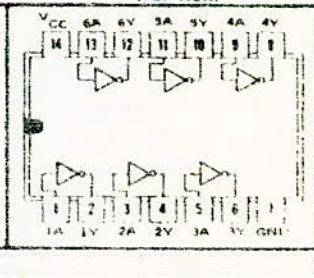


NOTE: Component values shown are nominal

8 FLAT PACKAGE (TOP VIEW)



J OR N DUAL IN-LINE PACKAGE (TOP VIEW)



recommended operating conditions

Supply Voltage Vcc: SN5404 Circuits
SN7404 Circuits
Normalized Fan-Out From Each Output, N
Operating Free Air Temperature Range, T_A: SN5404 Circuits
SN7404 Circuits

MIN	NOM	MAX	UNIT
4.5	5	5.5	V
4.75	5	5.25	V
		10	
55	25	125	°C
0	26	70	°C

- BIBLIOGRAPHIE -

David F . HOESCHELE:

Techniques de conversion analogique-digitale et digitale-analogique. Masson et C^{ie}

B.LORIFERNE:

La conversion analogique-numérique et numérique-analogique

R.DELSOL:

Circuits intégrés et techniques numériques. Cepadue-édition

M.AUMIAUX:

Pratique de l'électronique T2 Masson

J.AUVRAY:

Enseignement d'électronique C4.2

DAMAYE:

L'amplificateur opérationnel



MOTOROLA
Semiconductors

BOX 20912, PHOENIX, ARIZONA 85026

MC14174B

HEX TYPE D FLIP-FLOP

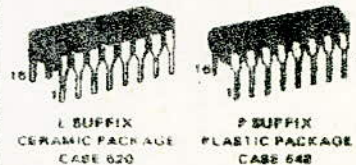
The MC14174B hex type D flip-flop is constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. Data on the D inputs which meets the setup time requirements is transferred to the Q outputs on the positive edge of the clock pulse. All six flip-flops share common clock and reset inputs. The reset is active low, and independent of the clock.

- Static Operation
- All Inputs and Outputs Buffered
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Noise Immunity = 45% of VDD typical
- Output Compatible with Two HTL Loads, Two Low-Power TTL Loads or One Low Power Schottky TTL Load
- Functional Equivalent to TTL 74174

McMOS MSI

(LOW POWER COMPLEMENTARY MOS)

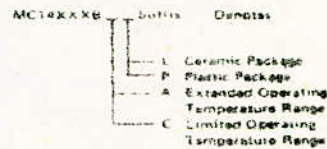
HEX TYPE D FLIP-FLOP



MAXIMUM RATINGS (Voltages referenced to VSS)

Rating	Symbol	Value	Unit
DC Supply Voltage	VDD	-0.5 to +18	Vdc
Input Voltage, All inputs	V _{in}	-0.5 to VDD + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	T _A	-65 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T _{stg}	-85 to +150	°C

ORDERING INFORMATION



TRUTH TABLE
(Positive Logic)

Clock	INPUTS		OUTPUT Q	No Change
	Data	Reset		
0	0	1	0	
1	1	1	1	
X	X	1	Q	
X	X	0	Q	

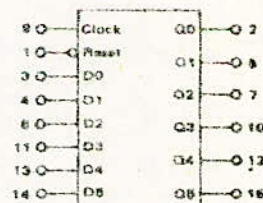
X = Don't Care

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is

recommended that V_{in} and V_{out} be constrained to the range V_{SS} < (V_{in} or V_{out}) < VDD.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or VDD).

BLOCK DIAGRAM



VDD = Pin 18
VSS = Pin 8

DECADE COUNTER/DIVIDER

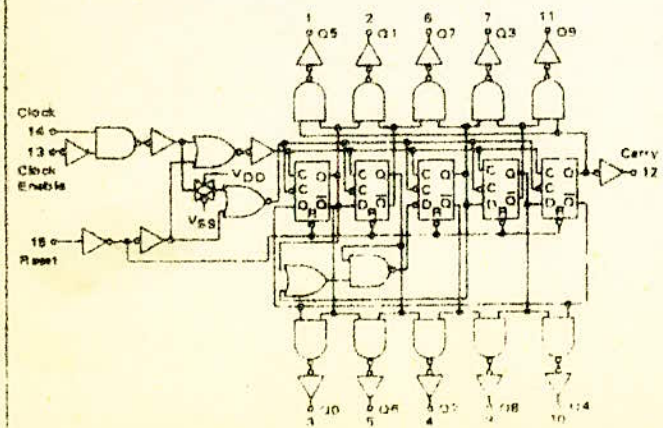
The MC14017B is a five stage Johnson decade counter with built-in code converter. High-speed operation and spike-free outputs are obtained by use of a Johnson decade counter design. The ten decoded outputs are normally low, and go high only at their appropriate decimal time period. The output changes occur on the positive-going edge of the clock pulse. This part can be used in frequency division applications as well as decade counter or decimal decade display applications.

- Fully Static Operation
- DC Clock Input Circuit Allows Slow Rise Times
- Carry Out Output for Cascading
- 12 MHz (typical) Operation @ $V_{DD} = 10$ Vdc
- Divide-by-N Counting when used with MC14001B NOR Gate
- Quiescent Current = 5.0 nA/package Typical @ 5 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4017

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	T_A	-55 to +125	$^{\circ}$ C
CL/CP Device		-40 to +85	$^{\circ}$ C
Storage Temperature Range	T_{stg}	-65 to +150	$^{\circ}$ C

LOGIC DIAGRAM



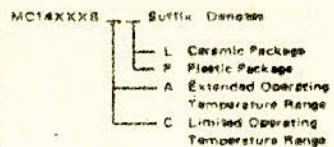
McMOS MSI

**LOW POWER COMPLEMENTARY MOSI
DECADE COUNTER/DIVIDER**



L SUFFIX CERAMIC PACKAGE CASE 629 **P SUFFIX PLASTIC PACKAGE CASE 668**

ORDERING INFORMATION



FUNCTIONAL TRUTH TABLE
(Positive Logic)

CLOCK	CLOCK ENABLE	RESET	DECODE OUTPUT - n
0	X	0	n
X	1	0	n
X	X	1	00
X	0	0	n+1
X	X	0	n
1	X	0	n+1

X = Don't Care (Pin 15 Carry = 1) Otherwise = "0"

BLOCK DIAGRAM

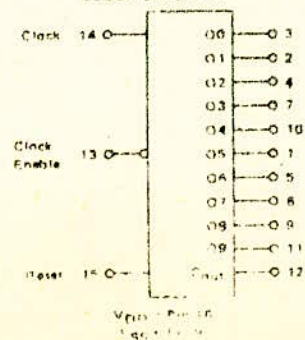
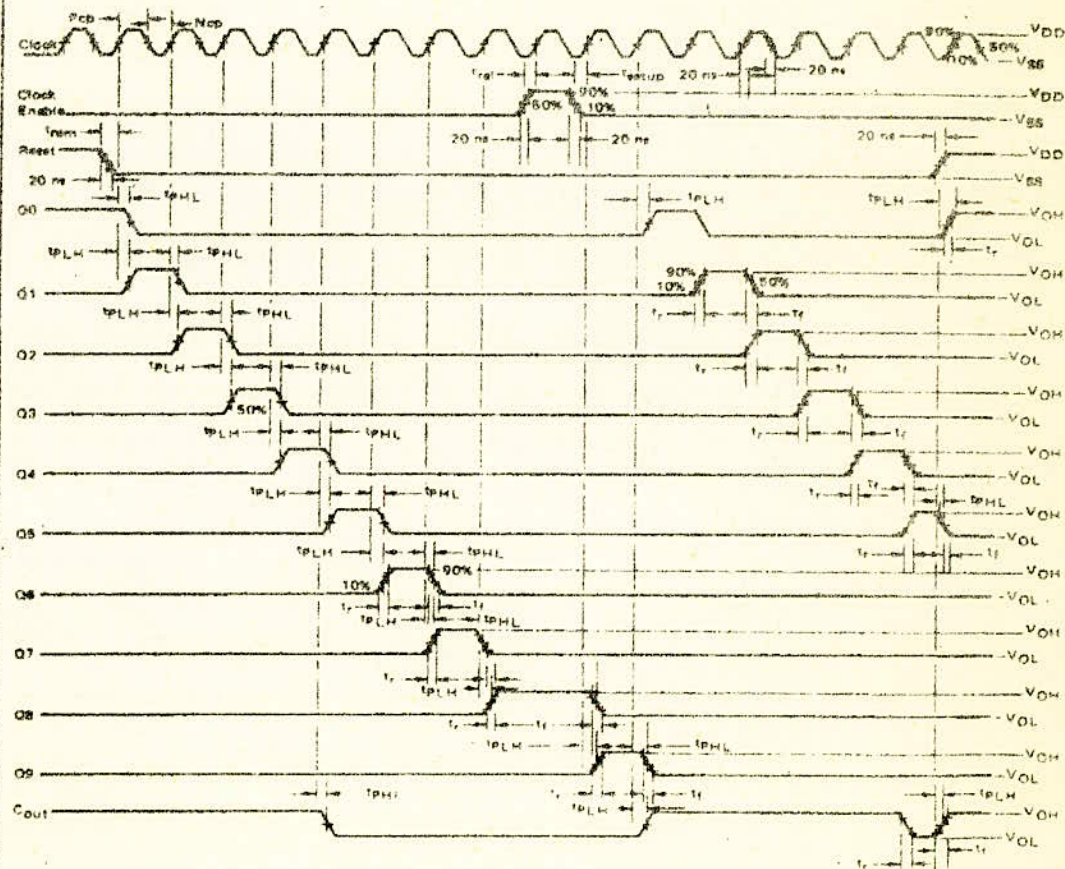


FIGURE 4 - AC MEASUREMENT DEFINITION AND FUNCTIONAL WAVEFORMS



CIRCUIT TYPES SN54H74, SN74H74
DUAL D-TYPE EDGE-TRIGGERED FLIP-FLOPS

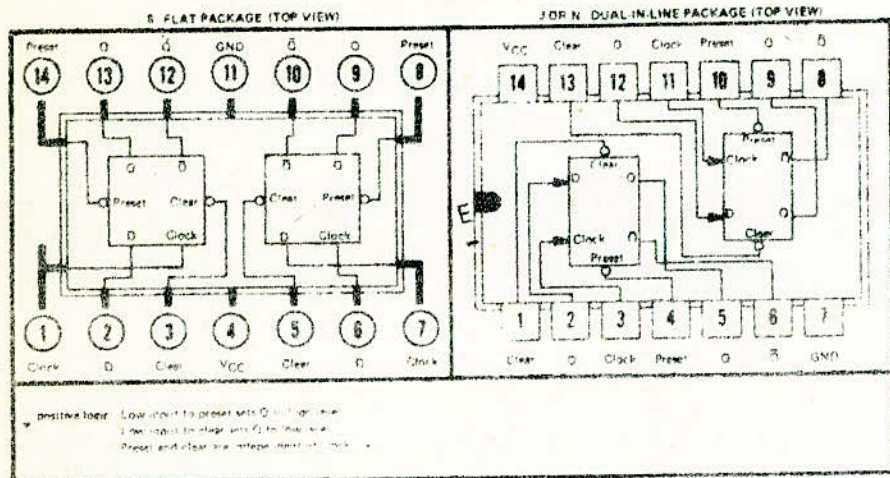
HIGH SPEED
SSI

HIGH SPEED
SSI

CIRCUIT TYPES SN54H74, SN74H74
DUAL D-TYPE EDGE-TRIGGERED FLIP-FLOPS

PRELIMINARY DATA

PRELIMINARY DATA



features

- positive edge triggering
- totem-pole outputs
- typical clock frequency 43 megahertz
- typical power dissipation 16 milliwatts per flip-flop

description

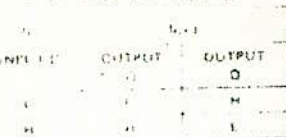
The SN54H74/SN74H74 are monolithic high-speed D-type edge-triggered flip-flops which utilize TTL circuits to perform the D-type flip-flop logic. Each flip-flop has individual clear, set, preset, and data complementary \bar{Q} and \bar{Q} outputs.

Input information on D is entered by the D input on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of one full pulse and is not directly related to the transition time of the positive-going pulse. After the clock input threshold voltage has been crossed the data input D is locked out.

These outputs are fully compatible for use with other TTL or TTL-compatible logic devices, thereby providing to minimize transmission line effects and simplify system design. A full fan-out of 10 for 74-series 54H/74H loads is available from each of the outputs in the low state. In the high state, fan-out of 20 is available to facilitate tying unused inputs to used inputs. Clock frequency is 43 megahertz typically with a typical power dissipation of 16 milliwatts per flip-flop.

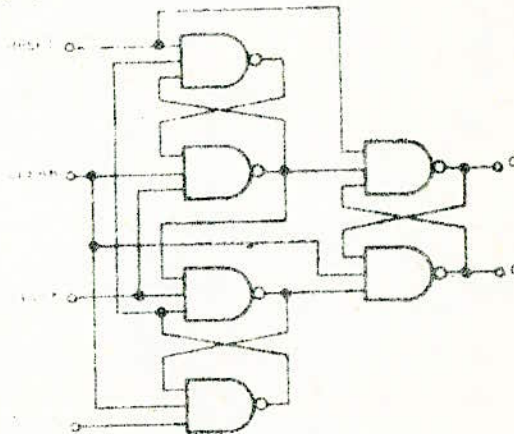
The SN54H74 is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74H74 is characterized for operation from 0°C to 70°C.

FIG. 1. SN54H74/SN74H74 Flip-Flop



- NOTES: 1. t_{SU} is setup time before clock pulse.
 2. t_{HD} is hold time after clock pulse.
 3. V_{OL} is low voltage (logical 0) and V_{OH} is high voltage (logical 1).

FIG. 2. Functional block diagram of each flip-flop.



applications

This circuit is basically a bistable cell and is commonly used in the implementation of temporary storage or buffer registers. However, these flip-flops can also be used in digital counter circuits, and the use of a SN54H74/SN74H74 in the first stages of ripple counters or at all stages of asynchronous counters will double the speed of the counter. A few possibilities are:

- Shorten access time (and resultant cycle times) to data transferred through buffer and storage registers.
- Increase input clock rate (and operating speed) of existing ripple counter by replacing SN54H74/SN74H74 with SN54H74/SN74H74. Consider loading differential on driving circuits.
- Construct specialized counters with operating frequencies up to 35 MHz.
- Implement a counter gate realized by using the SN54H74/SN74H74 in high-speed applications where propagation delay is not required.



MOTOROLA
Semiconductors

BOX 20812, PHOENIX, ARIZONA 85036

MC14081
MC14081B

QUAD 2-INPUT "AND" GATE

The MC14081 and MC14081B are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired.

- Quiescent Current = 0.6 nA typ/pkg @ 5 Vdc
- Noise Immunity = 45% of VDD typ
- Supply Voltage Range = 3.0 Vdc to 16 Vdc
- All Outputs Buffered
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range. (MC14081B only)
- Double Diode Protection on All Inputs
- Pin-for-Pin Replacements for CD4081A and CD4081B

MAXIMUM RATINGS (Voltages referenced to VSS)

Rating	Symbol	Value	Unit
DC Supply Voltage	VDD	-0.5 to +16	Vdc
Input Voltage, All Inputs	V _{in}	-0.5 to VDD + 0.5	Vdc
DC Current Drain per Pin	I	10	mA dc
Operating Temperature Range - AL Device	T _A	-55 to +125	°C
- CL/CP Device		-40 to +85	
Storage Temperature Range	T _{stg}	-55 to +150	°C

CMOS SSI

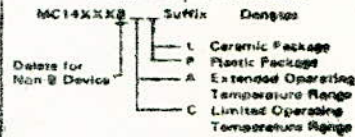
(LOW POWER COMPLEMENTARY MOS)

QUAD 2-INPUT "AND" GATE

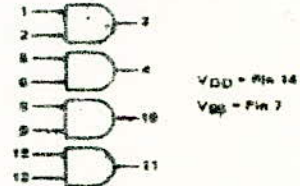


L SUFFIX CERAMIC PACKAGE CASE 632
P SUFFIX PLASTIC PACKAGE CASE 846

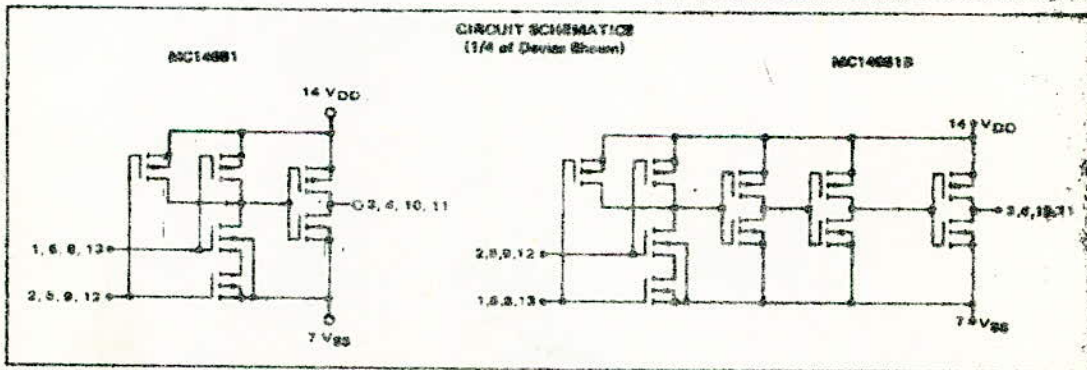
ORDERING INFORMATION



LOGIC DIAGRAM



CIRCUIT SCHEMATIC (1/4 of Device Shown)



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper

operation it is recommended that V_{in} and V_{out} be constrained to the range VSS ≤ V_{in} or V_{out} ≤ VDD. Unused inputs must also be tied to an appropriate logic voltage level (e.g., either VSS or VDD).



MOTOROLA
Semiconductors
BOX 20912, PHOENIX, ARIZONA 85032

MC14049B
MC14050B

HEX BUFFERS

The MC14049B hex inverter/buffer and MC14050B noninverting hex buffer are constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. These complementary MOS devices find primary use where low power dissipation and/or high noise immunity is desired. These devices provide logic-level conversion using only one supply voltage, VCC. The input-signal high level (V_{IH}) can exceed the VCC supply voltage for logic-level conversions. Two TTL/DTL Loads can be driven when the devices are used as CMOS-to-TTL/DTL converters (VCC = 5.0 V, VOL ≤ 0.4 V, IOL ≥ 3.2 mA). Note that pin 16 is not connected internally on these devices; consequently connections to this terminal will not affect circuit operation.

- High Source and Sink Currents
- High-to-Low Level Converter
- Quiescent Current = 2.0 nA/package typical @ 5 Vdc
- Supply Voltage Range = 3.0 Vdc to 18 Vdc

CMOS SSI

LOW-POWER COMPLEMENTARY MOS

HEX BUFFERS

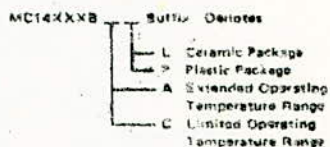
Inverting - MC14049B
Noninverting - MC14050B



L SUFFIX
CERAMIC PACKAGE
CASE 820

P SUFFIX
PLASTIC PACKAGE
CASE 848

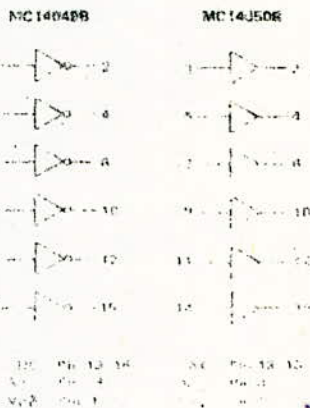
ORDERING INFORMATION



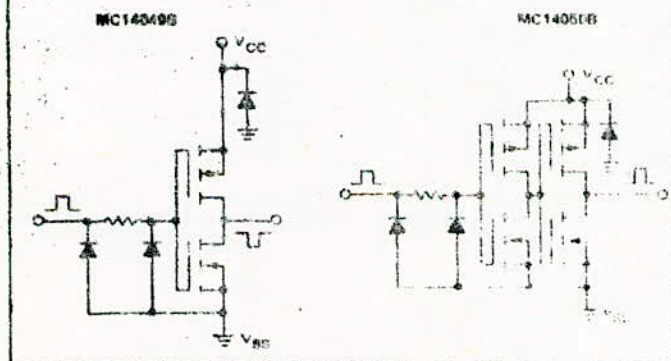
MAXIMUM RATINGS (Voltages referenced to V_{SS}, Pin 8)

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	3.0 to +18	Vdc
Input Voltage, All Inputs	V _{in}	0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Input Pin	I _i	10	mAdc
DC Current Drain per Output Pin	I _o	48	mAdc
Operating Temperature Range - AL Device	T _A	55 to +125	°C
CL/CP Device		85 to +150	
Storage Temperature Range	T _{stg}	-65 to +175	°C

LOGIC DIAGRAMS



CIRCUIT SCHEMATIC
(1/8 OF CIRCUIT SHOWN)





MOTOROLA
Semiconductors

BOX 20912, PHOENIX, ARIZONA 85036

MC14066B

QUAD ANALOG SWITCH/QUAD MULTIPLEXER

The MC14066 consists of four independent switches capable of controlling either digital or analog signals. This quad bilateral switch is useful in signal gating, chopper, modulator, demodulator and CMOS logic implementation.

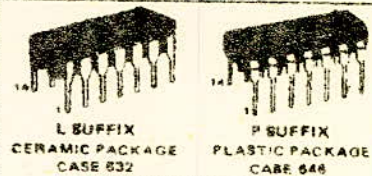
The MC14066 is designed to be pin-for-pin compatible with the MC14016, but has much lower ON resistance. Input voltage swings as large as the full supply voltage can be controlled via each independent control input.

- High On/Off Output Voltage Ratio - 85 dB typical
- Quiescent Current = 0.5 nA/package typical @ 5 Vdc
- Low Crosstalk Between Switches -50 dB typical @ 8 MHz
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Transmits Frequencies Up to 85 MHz @ 10 Vdc
- Linearized Transfer Characteristics, $R_{ON} < 80 \Omega$ for $V_{in} = V_{DD}$ to V_{SS} (at 16V)
- Low Noise - 12 nV/ Cycle, $f > 1$ kHz typical
- Pin-for-Pin Replacement for CD4016, CD4066, MC14016

McMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

**QUAD ANALOG SWITCH
QUAD MULTIPLEXER**

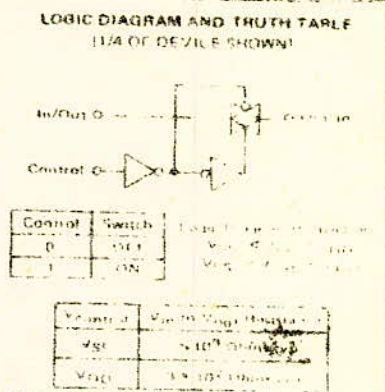
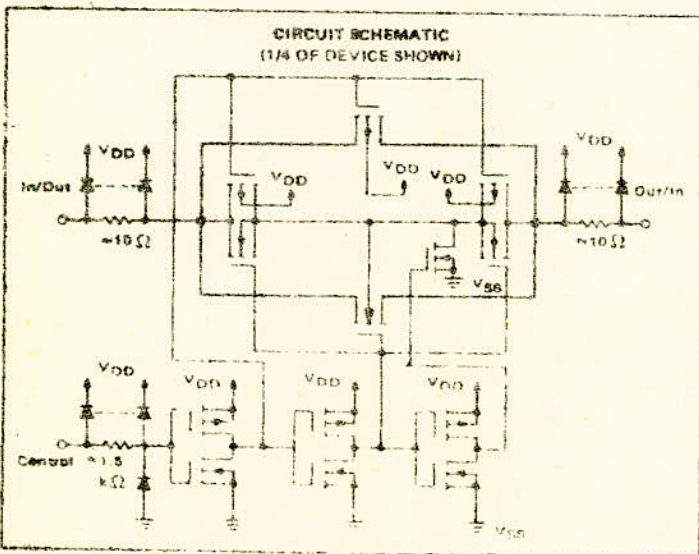
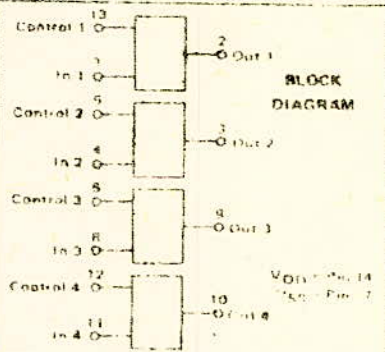


ORDERING INFORMATION

MC14XXXB	Suffix	Denotes
L	Ceramic Package	
P	Plastic Package	
A	Extended Operating Temperature Range	
C	Limited Operating Temperature Range	

MAXIMUM RATINGS (Voltage referenced to V_{SS})

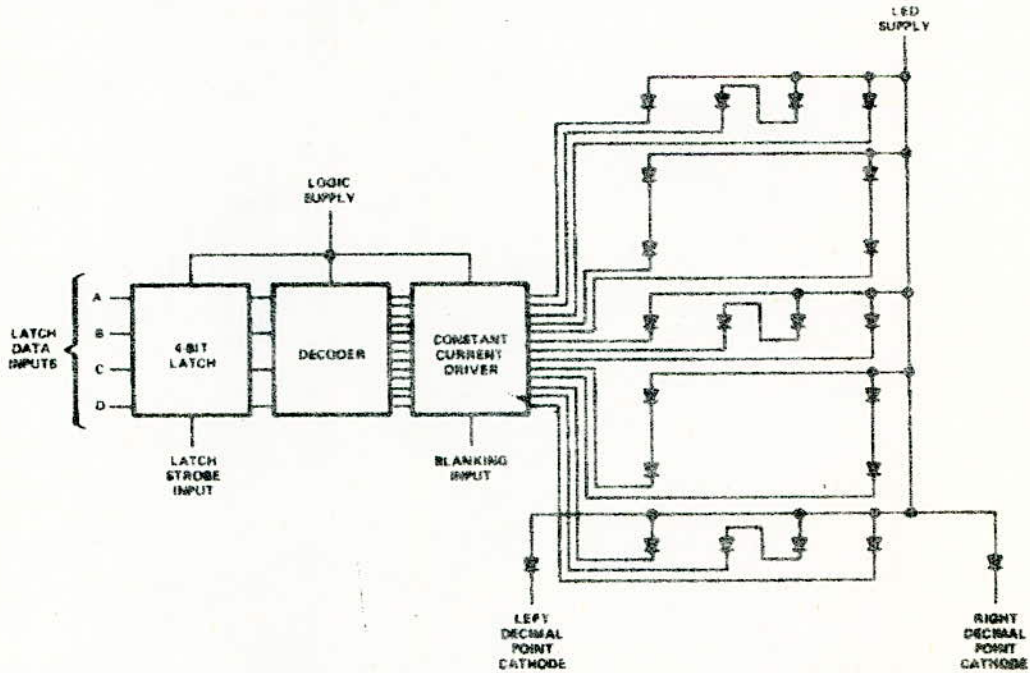
Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Pin	I	28	mAdc
Operating Temperature Range - AL Device	T_A	-55 to +125	$^{\circ}C$
		40 to +85	$^{\circ}C$
Storage Temperature Range	T_{stg}	-65 to +150	$^{\circ}C$



McMOS is a trademark of Motorola Inc.

TYPE TIL311 HEXADECIMAL DISPLAY WITH LOGIC

functional block diagram



absolute maximum ratings over operating case temperature range (unless otherwise noted)

Logic Supply Voltage, V_{CC} (See Note 1)	7 V
LED Supply Voltage (See Note 1)	7 V
Input Voltage (Pins 2, 3, 6, 8, 12, 13; See Note 1)	5.5 V
Decimal Point Current	20 mA
Operating Case Temperature Range (See Note 2)	0°C to 85°C
Storage Temperature Range	-25°C to 85°C

- NOTES: 1. Voltage values are with respect to common ground terminal.
 2. Case temperature is the surface temperature of the plastic encapsulant measured directly over the integrated circuit. Forced-air cooling may be required to maintain this temperature.

recommended operating conditions

	MIN	NOM	MAX	UNIT
Logic Supply Voltage, V_{CC}	4.5	5	5.5	V
LED Supply Voltage, V_{LED}	4	5	5.5	V
Decimal Point Current, $I_{F(DP)}$		5		mA
Latch Strobe Pulse Width, t_w	40			ns
Setup Time, t_{setup} (See Note 3)	60			ns
Hold Time, t_{hold} (See Note 4)	40			ns

- NOTES: 3. Minimum setup time is the interval immediately preceding the positive-going transition of the latch strobe input during which interval the data to be displayed must be maintained at the latch data inputs to ensure its recognition.
 4. Minimum hold time is the interval immediately following the positive-going transition of the latch strobe input during which interval the data to be displayed must be maintained at the latch data inputs to ensure its continued recognition.

TYPE TIL311 HEXADECIMAL DISPLAY WITH LOGIC

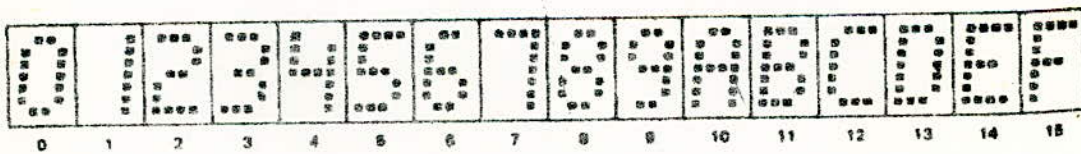
Description

This hexadecimal display contains a four-bit latch, decoder, driver, and 4 X 7 light-emitting-diode (LED) character with two externally-driven decimal points in a 14-pin package. A description of the functions of the inputs of this device follows.

FUNCTION	PIN NO.	DESCRIPTION
LATCH STROBE INPUT	5	When low, the data in the latches follow the data on the latch data inputs. When high, the data in the latches will not change. If the display is blanked and then restored while the enable input is high, the previous character will again be displayed.
BLANKING INPUT	8	When high, the display is blanked regardless of the levels of the other inputs. When low, a character is displayed as determined by the data in the latches. The blanking input may be pulsed for intensity modulation.
LATCH DATA INPUTS (A, B, C, D)	3, 2, 13, 12	Data on these inputs are entered into the latches when the enable input is low. The binary weights of these inputs are A = 1, B = 2, C = 4, D = 8.
DECIMAL POINT CATHODES	4, 10	These LEDs are not connected to the logic chip. If a decimal point is used, an external resistor or other current-limiting mechanism must be connected in series with it.
LED SUPPLY	1	This connection permits the user to save on regulated VCC current by using a separate LED supply, or it may be externally connected to the logic supply (VCC).
LOGIC SUPPLY (VCC)	14	Separate VCC connection for the logic chip.
COMMON GROUND	7	This is the negative terminal for all logic and LED currents except for the decimal points.

The LED driver outputs are designed to maintain a relatively constant on-level current of approximately five milliamperes through each of the LED's forming the hexadecimal character. This current is virtually independent of the LED supply voltage within the recommended operating conditions. Drive current varies slightly with changes in logic supply voltage resulting in a change in luminous intensity as shown in Figure 2. This change will not be noticeable to the eye. The decimal point anodes are connected to the LED supply; the cathodes are connected to external pins. Since there is no current limiting built into the decimal point circuits, this must be provided externally if the decimal points are used.

The resultant displays for the values of the binary data in the latches are as shown below.





MOTOROLA
Semiconductors

BOX 20918, PHOENIX, ARIZONA 85038

MC14518B
MC14520B

DUAL UP COUNTERS

The MC14518B dual BCD counter and the MC14520B dual binary counter are constructed with MOS P-channel and N-channel enhancement mode devices in a single monolithic structure. Each consists of two identical, independent, internally synchronous 4-stage counters. The counter stages are type D flip-flops, with interchangeable Clock and Enable lines for incrementing on either the positive-going or negative-going transition as required when cascading multiple stages. Each counter can be cleared by applying a high level on the Reset line. In addition, the MC14518B will count out of all undefined states within two clock periods. These complementary CMOS up counters find primary use in multi-stage synchronous or ripple counting applications requiring low power dissipation and/or high noise immunity. Additional characteristics can be found on the Family Data Sheet.

- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Low Input Capacitance = 5.0 pF typical
- Internally Synchronous for High Internal and External Speeds
- Logic Edge-Clocked Design - Incremented on Positive Transition of Clock or Negative Transition on Enable
- 6.0 MHz Counting Rate
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V _{in}	-0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	T _A	-55 to +125	°C
Operating Temperature Range - CL/CP Device		-40 to +85	°C
Storage Temperature Range	T _{stg}	-85 to +150	°C

TRUTH TABLE

CLOCK	ENABLE	RESET	ACTION
↑	1	0	Increment Counter
0	↑	0	Increment Counter
↑	X	0	No Change
X	↑	0	No Change
↑	0	0	No Change
↑	↑	0	No Change
X	X	1	O ₁ thru O ₄ = 0

X - Don't Care

CMOS MSI

(LOW-POWER COMPLEMENTARY MOS)

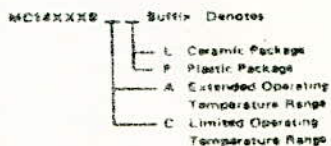
DUAL BCD UP COUNTER
(MC14518B)
DUAL BINARY UP COUNTER
(MC14520B)



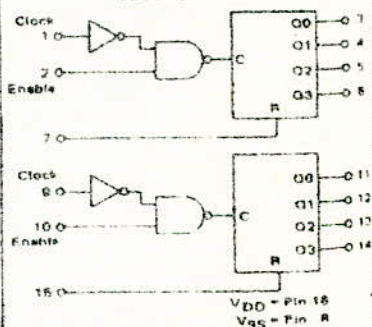
L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 648

ORDERING INFORMATION



BLOCK DIAGRAM



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range V_{SS} < (V_{in} or V_{out}) < V_{DD}. Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

FIGURE 2 - SWITCHING TIME TEST CIRCUIT AND WAVEFORMS

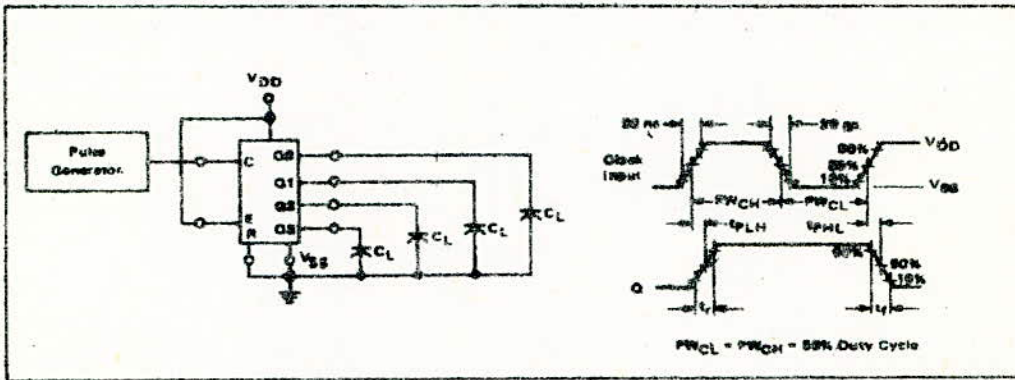
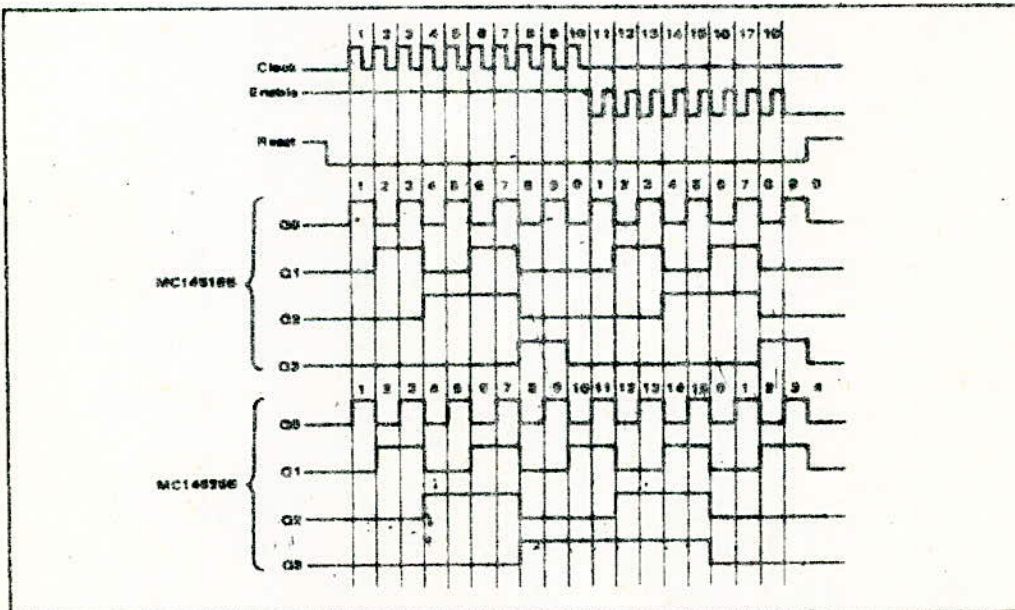


FIGURE 3 - TIMING DIAGRAM





MOTOROLA
Semiconductors
BOX 20912, PHOENIX, ARIZONA 85038

MC14069B

HEX INVERTER

The MC14069B hex inverter is constructed with MOS P channel and N-channel enhancement mode devices in a single monolithic structure. These inverters find primary use where low power dissipation and/or high noise immunity is desired. Each of the six inverters is a single stage to minimize propagation delays.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Noise Immunity = 45% of VDD typ
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-Power TTL Loads, One Low-Power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Double Diode Protection on All Inputs
- Pin-for-Pin Replacement for CD4069B

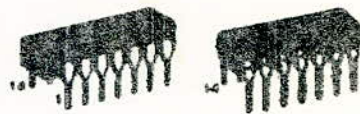
McMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

HEX INVERTER

MAXIMUM RATINGS (Voltage referenced to V_{SS})

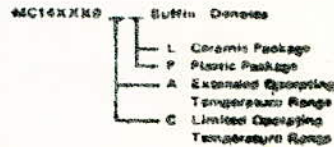
Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V _{IN}	-0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	T _A	-55 to +125	°C
		-40 to +85	°C
Storage Temperature Range	T _{STG}	-65 to +150	°C



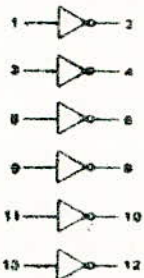
L BUFFIX
CERAMIC PACKAGE
CASE 822

P BUFFIX
PLASTIC PACKAGE
CASE 806

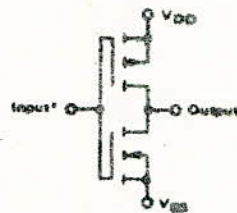
ORDERING INFORMATION



LOGIC DIAGRAM



CIRCUIT SYMBOLOGY
(1/6 OF CIRCUIT SHOWN)

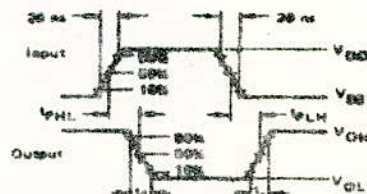
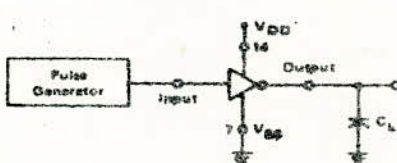


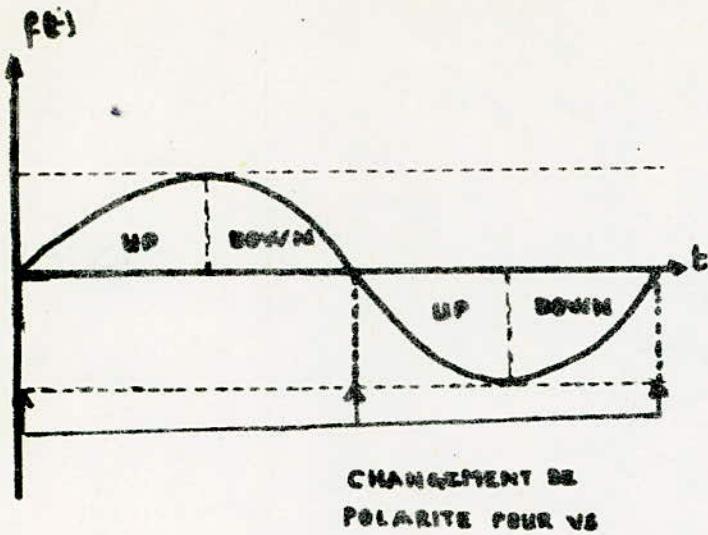
* Double diode protection on all inputs not shown.

This device contains circuitry to prevent the inputs from being damaged due to high static voltages or electric fields. However, it is advised that current protection be taken to avoid application of any voltages higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{IN} and V_{OUT} be connected to the proper V_{SS} or V_{DD} or V_{OUT} < 5V_{DD}.

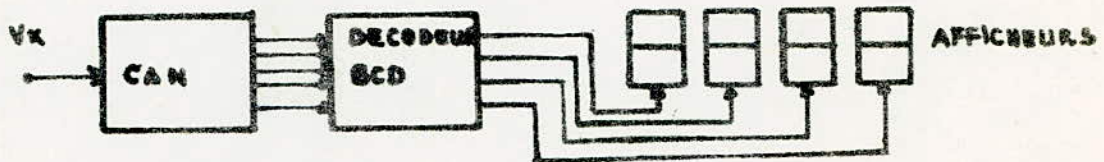
Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

FIGURE 1 - SWITCHING TIME TEST CIRCUIT AND WAVEFORMS

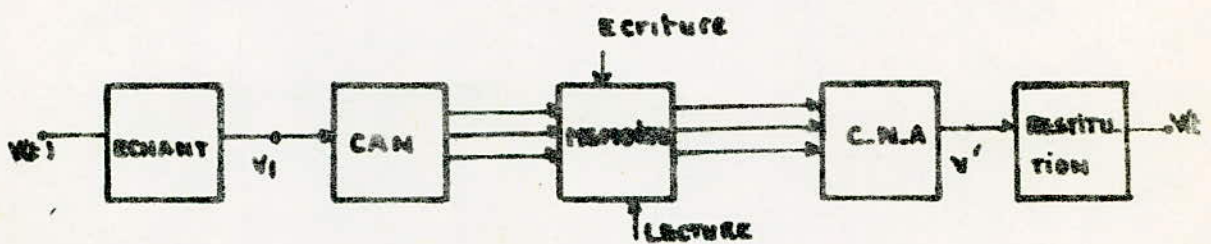




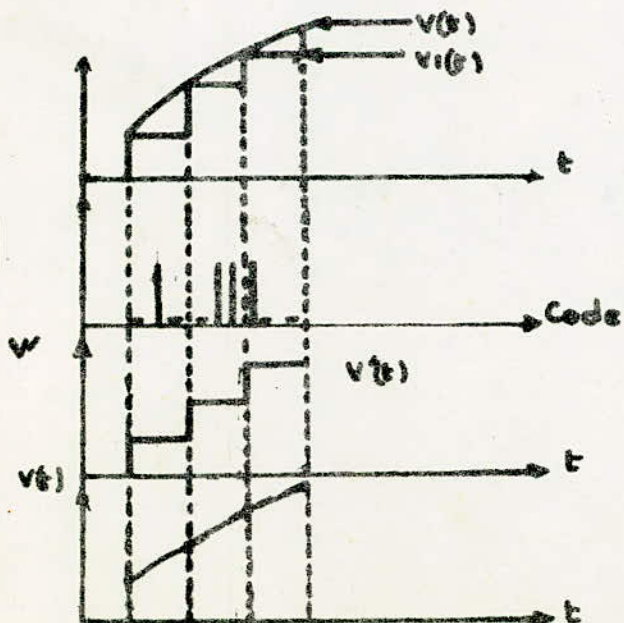
FIG_vi.3d



FIG_VI.4



FIG_vi.5 a



FIG_vi.5b

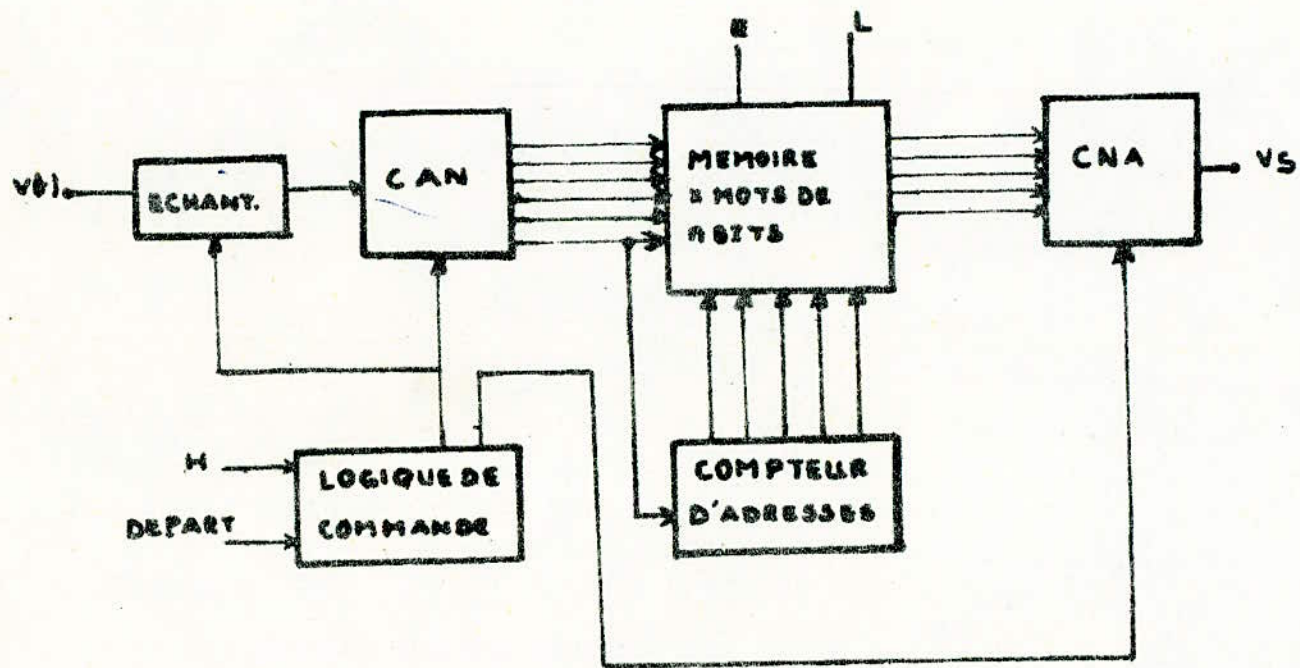


FIG.vi.6

CONCLUSION

Comme nous l'avions indiqué au niveau de l'introduction l'objectif que nous nous sommes fixés dans le cadre de notre travail de thèse d'ingénieur est l'étude et la réalisation de convertisseurs aussi bien numérique-analogique qu'analogique-numérique.

Au terme de notre travail on peut légitimement se poser la question suivante: Avons nous atteint l'objectif que nous nous sommes fixés ?

Sans vouloir donner une réponse catégorique à cette question, on peut sûrement affirmer que sur le plan de notre formation, le travail réalisé dans le cadre de cette thèse nous a permis de maîtriser la presque totalité des problèmes pratiques qui se posent au niveau de la conversion.

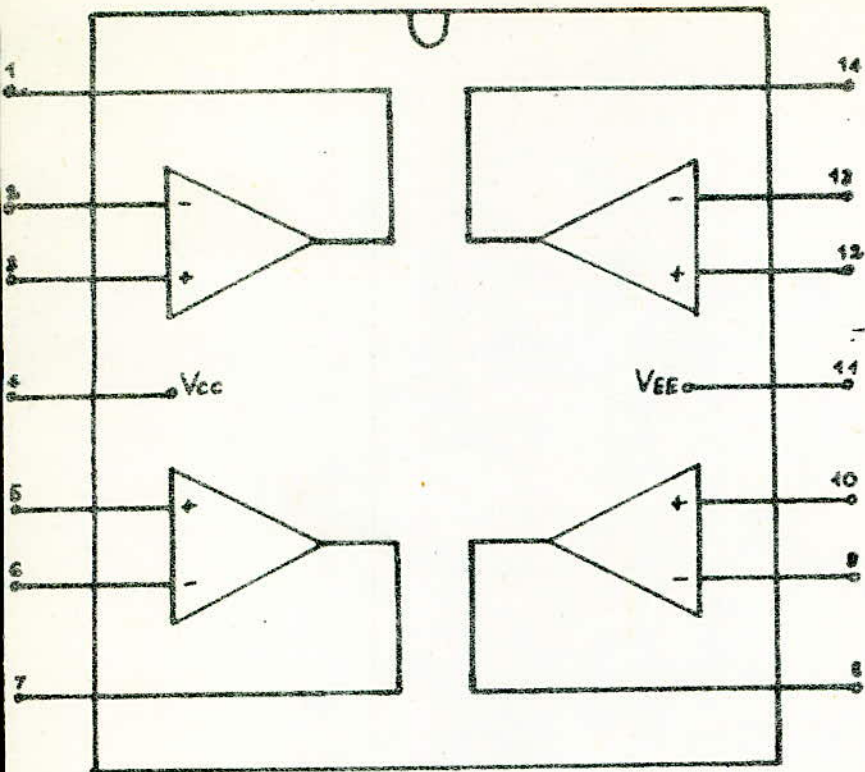
Nous signalons au passage que sur les six maquettes de convertisseurs réalisées, une seule traite la conversion numérique-analogique. Ceci vient du fait que ce dernier type de convertisseurs ne possède pratiquement qu'une seule variante contrairement à la conversion analogique-numérique qui peut mettre en jeu un nombre plus important de techniques dont les caractéristiques générales sont légèrement différentes.

Pour terminer, nous tenons à signaler que bien qu'il existe à l'heure actuelle sur le marché de l'électronique un nombre important de convertisseurs intégrés réalisant les fonctions que nous avons étudiées à des coûts relativement bas et avec des performances relativement bonnes, nous avons préféré reconstituer sous formes d'éléments discrets les convertisseurs commercialisés.

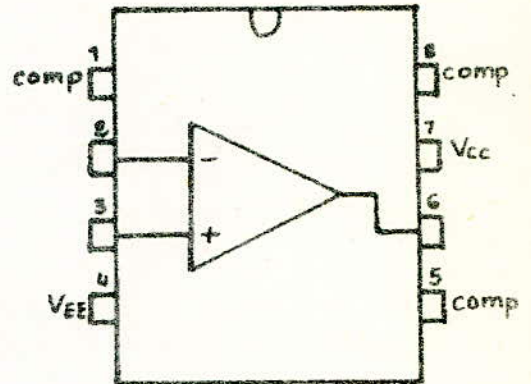
Nous n'avons tenu compte dans notre travail ni du facteur prix ni de celui de surface. L'objectif principal pour nous était de décortiquer les circuits puisque nous visions avant tout notre formation et éventuellement celle des générations futures.

Concernant ce dernier point, l'ensemble des maquettes que nous avons réalisées peuvent être utilisées dans le cadre de démonstrations pratiques à des cours théoriques sur la conversion.

Il va de soit que si l'on avait à l'heure actuelle un problème de conversion à étudier nous n'hésiterons pas à utiliser des circuits intégrés pour des raisons tout à fait évidentes.

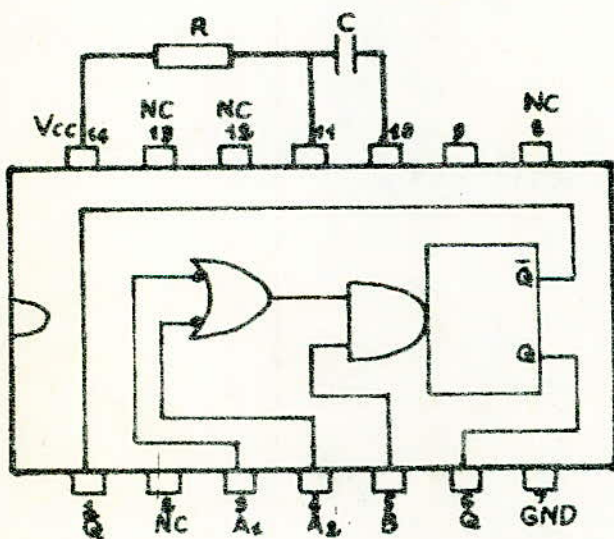


LM148J



LF155J

MC1709 CP1



SN 74121 monostable multivibrateur

ENTREES			SORTIES	
A ₁	A ₂	B	Q	\bar{Q}
0	X	1	0	1
X	0	1	0	1
X	X	0	0	1
1	1	X	0	1
1	↓	1	⌊	⌋
↓	1	1	⌊	⌋
↓	↓	1	⌊	⌋
0	X	↑	⌊	⌋
X	0	↑	⌊	⌋

table de verité du monostable SN74121



MOTOROLA
Semiconductors

BOX 20912, PHOENIX, ARIZONA 85028

MC14082B

B-SUFFIX SERIES CMOS GATES

The B Series logic gates are constructed with P and N channel enhancement mode devices in a single monolithic structure (Complementary MOS). Their primary use is where low power dissipation and/or high noise immunity is desired.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Noise Immunity = 45% of VDD typ
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- All Outputs Buffered
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range.
- Browsable Diode Protection on All Inputs
- Pin-for-Pin Replacement for CD4082B

CMOS SSI

(LOW-POWER COMPLEMENTARY MOS)

DUAL 4-INPUT "AND" GATE

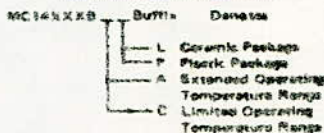


L SUFFIX
CERAMIC PACKAGE
CASE 632



P SUFFIX
PLASTIC PACKAGE
CASE 646

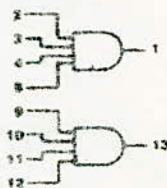
ORDERING INFORMATION



MAXIMUM RATINGS (Volts referenced to V_{SS})

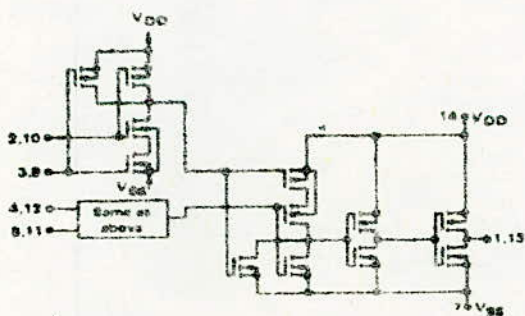
Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V _{in}	-0.5 to V _{DD} - 0.5	Vdc
DC Current Drain per Pin	I _I	10	mAdc
Operating Temperature Range	AL Device	-55 to +125	°C
	CL/CP Device	-40 to +85	°C
Storage Temperature Range	T _{stg}	-65 to +150	°C

LOGIC DIAGRAM



V_{DD} = Pin 14
V_{SS} = Pin 7

CIRCUIT SCHEMATIC (1/2 of Device Shown)



This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range V_{SS} < (V_{in} or V_{out}) < V_{DD}. Unused inputs must always be tied to an appropriate logic voltage level (e.g. either V_{SS} or V_{DD}).



MOTOROLA
Semiconductors

BOX 20912 • PHOENIX, ARIZONA 85088

McMOS SSI

QUAD EXCLUSIVE "OR" AND "NOR" GATES

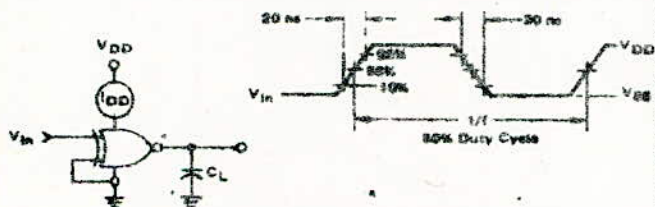
The MC14070B quad exclusive OR gate and the MC14077B quad exclusive NOR gate are constructed with CMOS P-channel and N-channel enhancement mode devices in a single monolithic structure. These complementary MOS logic gates find primary use where low power dissipation and/or high noise immunity is desired.

- Quiescent Current = 0.5 nA typ/pkg @ 5 Vdc
- Noise Immunity = 45% of V_{DD} typ
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- All Outputs Buffered
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range.
- Double Diode Protection on All Inputs
- MC14070B - Replacement for CD4000, CD4070, and MC14507 Types
- MC14077B - Replacement for CD4077 Type

MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V _{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V _{in}	-0.5 to V _{DD} + 0.5	Vdc
DC Current Drain per Pin	I	10	mA dc
Operating Temperature Range - AL Device	T _A	-55 to +125	°C
CL/CP Device		-40 to +85	
Storage Temperature Range	T _{stg}	-65 to +150	°C

FIGURE 1 - POWER DISSIPATION TEST CIRCUIT AND WAVEFORM



* Inverted output on MC14077B only.

FIGURE 2 - SWITCHING TIME TEST CIRCUIT AND WAVEFORM



* Inverted output on MC14077B only.
* Connect unused input to V_{DD} for MC14070B, to V_{SS} for MC14077B.

MC14070B

QUAD EXCLUSIVE "OR" GATE

MC14077B

QUAD EXCLUSIVE "NOR" GATE

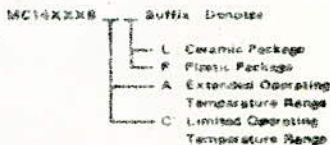


CASE 923
L BUFFPK
CERAMIC PACKAGE

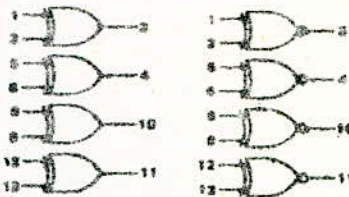


CASE 948
P BUFFPK
PLASTIC PACKAGE

ORDERING INFORMATION

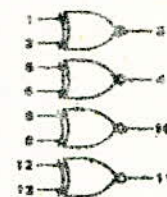


MC14070B
Quad Exclusive OR Gate



V_{DD} = Pin 14
V_{SS} = Pin 7
(Both Devices)

MC14077B
Quad Exclusive NOR Gate





MOTOROLA
Semiconductors
BOX 20912, PHOENIX, ARIZONA 85026

MC14027B

DUAL J-K FLIP-FLOP

The MC14027B dual J-K flip-flop has independent J, K, Clock (C), Set (S) and Reset (R) inputs for each flip-flop. These devices may be used in control, register, or toggle functions.

- Quiescent Current = 2.0 nA/package typical @ 5 Vdc
- Noise Immunity = 46% of VDD typical
- Diode Protection on All Inputs
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Single Supply Operation - Positive or Negative
- Toggle Rate = 3.0 MHz typical @ 5 Vdc
- Logic Swing Independent of Fanout
- Logic Edge-Clocked Flip-Flop Design - Logic state is retained indefinitely with clock level either high or low; information is transferred to the output only on the positive-going edge of the clock pulse
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range
- Pin-for-Pin Replacement for CD4027

McMOS SSI

(LOW POWER COMPLEMENTARY MOS)

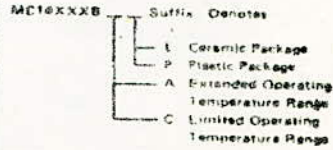
DUAL J-K FLIP-FLOP



L SUFFIX
CERAMIC PACKAGE
CASE 820

P SUFFIX
PLASTIC PACKAGE
CASE 848

ORDERING INFORMATION



MAXIMUM RATINGS (Voltages referenced to VSS)

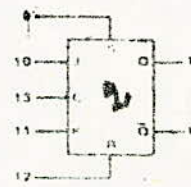
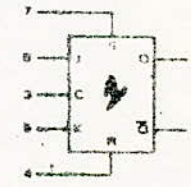
Rating	Symbol	Value	Unit
DC Supply Voltage	VDD	-0.5 to +18	Vdc
Input Voltage: All Inputs	V _{in}	-0.5 to VDD + 0.5	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range	AL Device	-56 to +125	°C
	CL/CP Device	40 to +85	°C
Storage Temperature Range	T _{stg}	65 to +150	°C

TRUTH TABLE

C†	INPUTS				OUTPUTS*		
	J	K	S	R	Q _n †	Q _{n+1}	Q̄ _{n+1}
0	0	0	0	0	0	1	0
0	0	0	0	1	1	1	0
0	0	1	0	0	0	0	1
0	0	1	1	0	1	0	1
0	1	0	0	0	Q _n	Q _n	No Change
0	1	0	1	0	X	1	0
0	1	1	0	0	X	0	1
0	1	1	1	0	X	1	1

X = Don't Care
† = Level Change
‡ = Present State
Next State

BLOCK DIAGRAM



VDD Pin 16
VSS Pin 8

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range VSS < (V_{in} or V_{out}) < VDD. Unused inputs must always be tied to an appropriate logic voltage level (e.g. either VSS or VDD).



MOTOROLA
Semiconductors

BOX 20912 • PHOENIX, ARIZONA 85038

MC14528B

DUAL MONOSTABLE MULTIVIBRATOR

The MC14528B is a dual, retriggerable, resettable monostable multivibrator. It may be triggered from either edge of an input pulse, and will produce an accurate output pulse over a wide range of widths, the duration and accuracy of which are determined by the external timing components, C_X and R_X .

- Separate Reset Available
- Quiescent Current = 5.0 nA/package typical @ 5 Vdc
- Diode Protection on All Inputs
- Triggerable from Leading or Trailing Edge Pulse
- Supply Voltage Range = 3.0 Vdc to 18 Vdc
- Capable of Driving Two Low-power TTL Loads, One Low-power Schottky TTL Load or Two HTL Loads Over the Rated Temperature Range

CMOS MSI

(LOW-POWER COMPLEMENTARY CMOS)

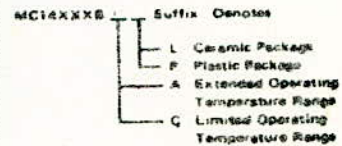
**DUAL
RETRIGGERABLE/RESETTABLE
MONOSTABLE MULTIVIBRATOR**



L SUFFIX
CERAMIC PACKAGE
CASE 620

P SUFFIX
PLASTIC PACKAGE
CASE 848

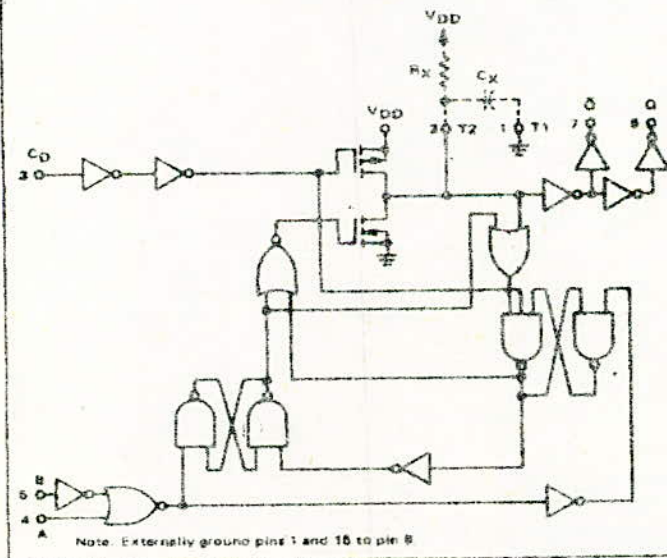
ORDERING INFORMATION



MAXIMUM RATINGS (Voltages referenced to V_{SS})

Rating	Symbol	Value	Unit
DC Supply Voltage	V_{DD}	-0.5 to +18	Vdc
Input Voltage, All Inputs	V_{in}	-0.5 to $V_{DD} + 0.5$	Vdc
DC Current Drain per Pin	I	10	mAdc
Operating Temperature Range - AL Device	T_A	-55 to +125	$^{\circ}C$
Operating Temperature Range - CL/CF Device		-40 to +85	$^{\circ}C$
Storage Temperature Range	T_{stg}	-55 to +150	$^{\circ}C$

LOGIC DIAGRAM
(1/2 of Device shown)



BLOCK DIAGRAM

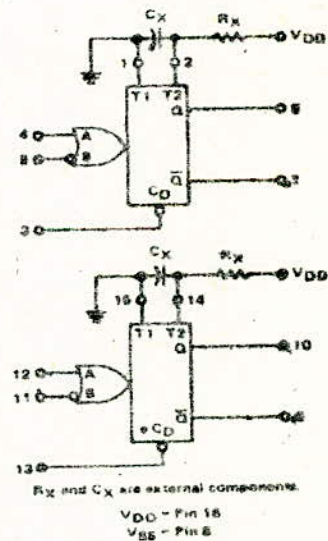


FIGURE 5 - AC TEST WAVEFORMS

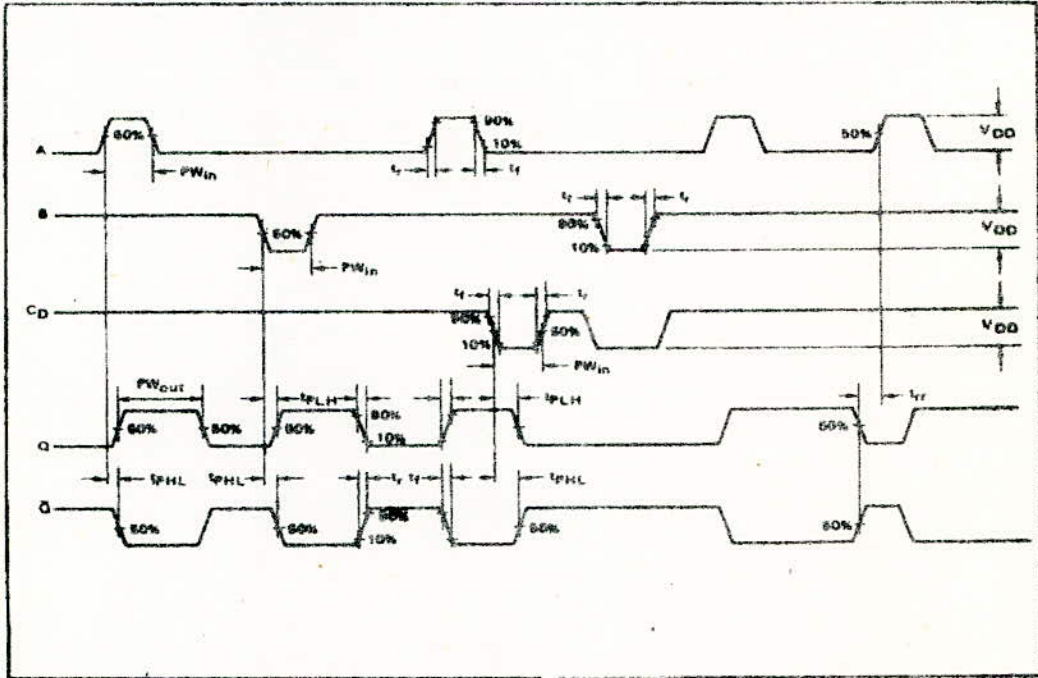


FIGURE 6 - NORMALIZED PULSE WIDTH versus TEMPERATURE

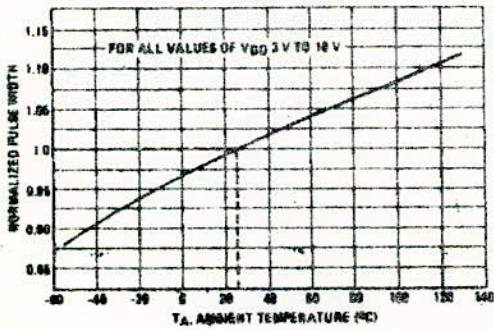
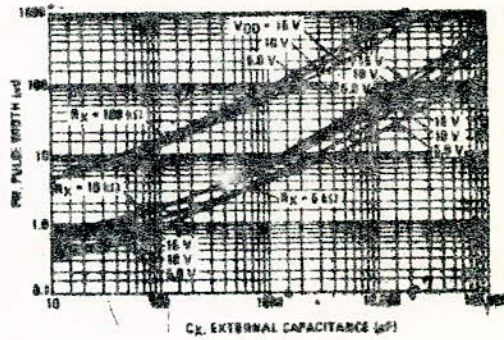


FIGURE 7 - PULSE WIDTH versus C_X



toutes les impulsions délivrées par le C.A.N.

Pour pouvoir transmettre le signal, il suffira alors de commander la lecture du contenu de la mémoire.

La réception du signal et sa restitution se fera alors grâce à un CNA ayant autant d'entrées que la C.A.N possède de sorties.

La figure V.5 donne l'allure des différents signaux obtenus.

VI.7 - Analyse des phénomènes rapides

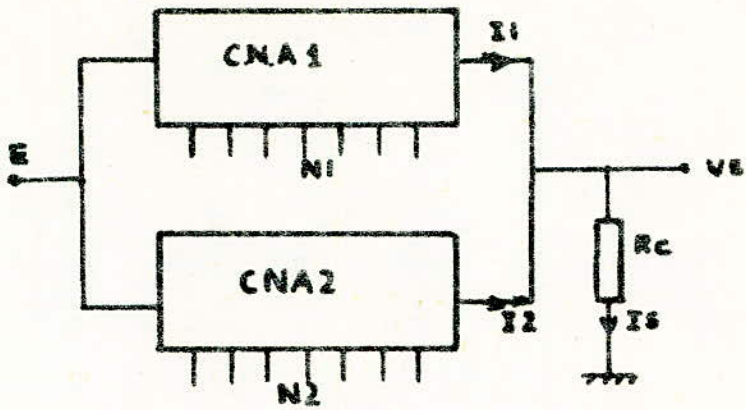
La figure VI.6 donne le schéma de principe d'un système permettant l'analyse de phénomènes rapides $v(t)$.

A la réception du signal de départ qui peut éventuellement être généré par $v(t)$, la logique de commande déclenche une suite d'échantillonnage du signal à analyser, et ceci à la fréquence f_0 . Chaque échantillonnage est suivi d'une conversion A/N et d'un rangement en mémoire. L'adresse de la mémoire est fournie par un compteur qui, remis initialement à zéro est incrémenté à la fréquence f_0 après chaque échantillonnage.

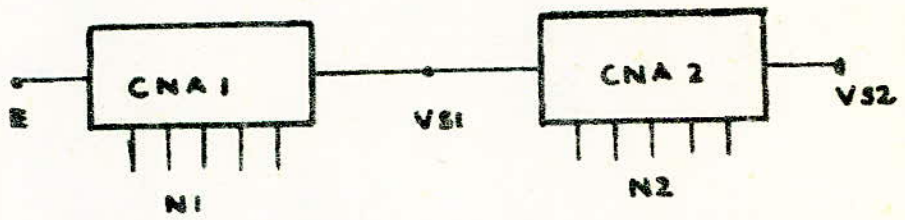
A la fin de chaque conversion l'adresse est validée et - l'ordre d'écriture E/L étant donné, le mot binaire de nbits correspondant à l'échantillon $v(t_i)$ est rangé à l'adresse numéro i .

Une fois le signal mémorisé on peut alors le reproduire à une vitesse plus lente en commandant le compteur à une fréquence f inférieure à f_0 .

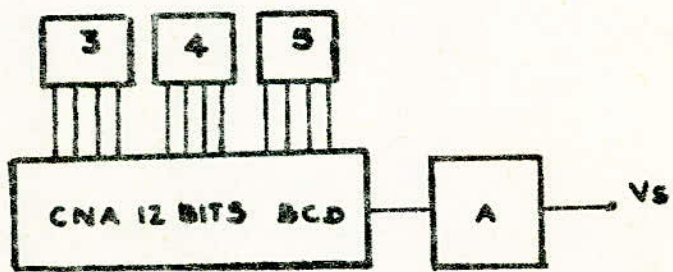
La restitution du signal se fait grâce à un CNA placé à la sortie de la mémoire.



FIG_VI-1a



FIG_VI.1b



FIG_VI.2

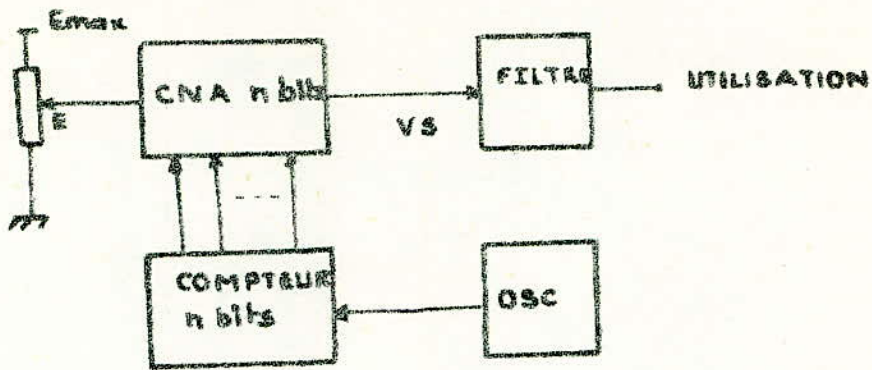


FIG. VI.3a

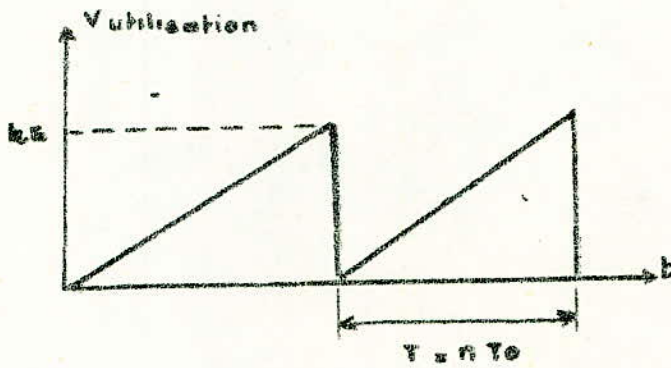


FIG. VI.3b

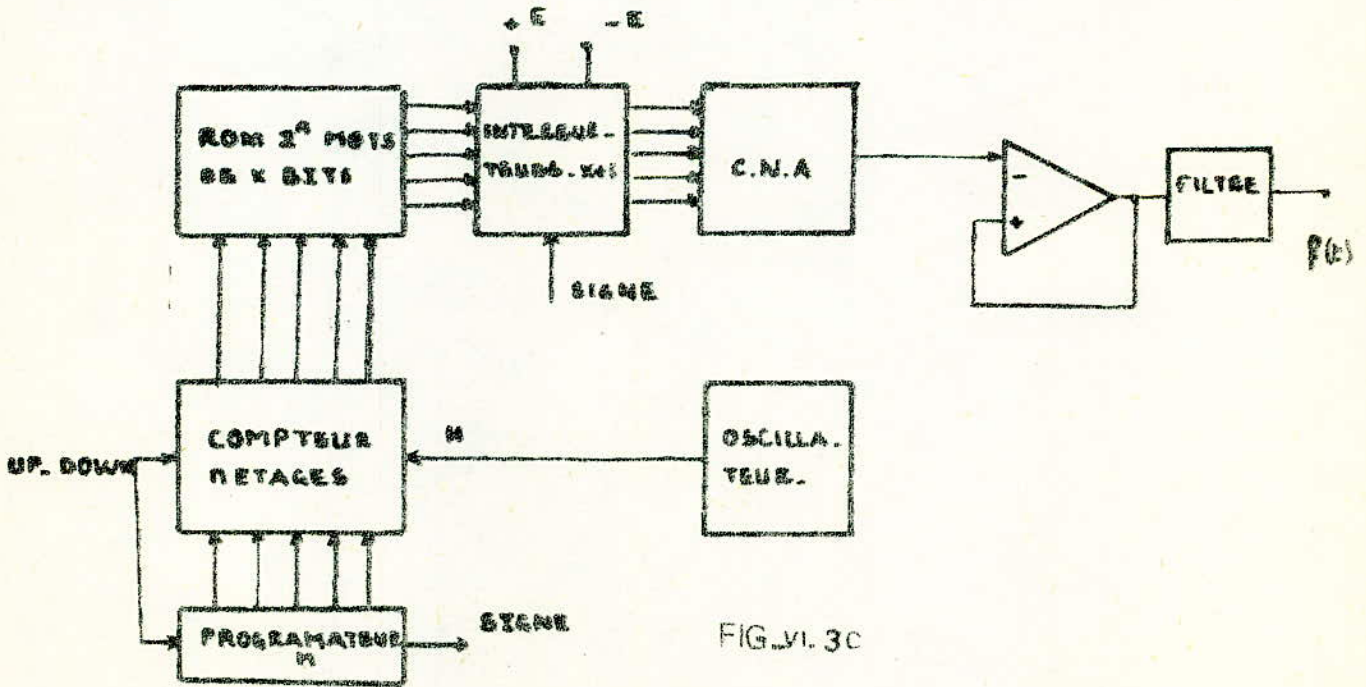


FIG. VI.3c

valeurs fournies par la mémoire ROM.

Durant le premier quart de période, le compteur compte de 0 à 2^{n-1} soient 2^n états envoyés comme adresses successives à la mémoire. Celle-ci fournit en sortie la valeur numérique du sinus soit:

$$\sin \left(\frac{N}{2^{n-1}} \times \frac{\pi}{2} \right)$$

puisque N prend les 2^n valeurs entières de 0 à 2^n-1

Ces différentes valeurs sont envoyées sur x bits (x supérieur ou égal à n)

Lorsque le compteur passe par l'état maximum(111 ...1) cette transition est détectée et donne lieu à un changement d'état de la bascule " UP - DOW" (comptage-décomptage) dans le programmeur de sorte que le compteur est mis dans l'état down avant l'arrivée de la prochaine impulsion.

Ainsi, la mémoire ROM est maintenant lue dans le sens inverse pour reconstituer le deuxième quart de période .

Quant le compteur passe de l'état 00...01, à 000...00, cette transition est détectée et donne lieu à un changement de polarité - ainsi qu'à la remise de la bascule up-down en position UP.

La figure VI.3.-d donne le schéma de la sinusoïde obtenue.

VI.5 - AFFICHAGE NUMERIQUE.

Un dispositif de mesure à affichage numérique tel que voltmètre par exemple est principalement constitué d'un CAN suivi d'un décodage et d'afficheurs.

Son schéma de principe est donné par la figure VI.4-

Le principe utilisé consiste à appliquer la tension à mesurer V_x à un C.A.N qui permet de décoder celle-ci en binaire et d'envoyer le résultat aux éléments d'affichage.

Pour mesurer des tensions élevées, dépassant les tensions de polarisation des composants du C.A.N, il suffira de prélever une fraction de la tension V_x grâce à un diviseur de tension.

VI.6 - TRANSMISSION MIC (Modulation par impulsions codées).

La figure VI.5-a donne le schéma de principe d'un tel type de transmission.

Le signal $v(t)$ à transmettre $v(t)$ est d'abord échantillonné à l'aide d'un échantillonneur bloqueur.

Les échantillons d'amplitude constante sont ensuite appliqués à l'entrée d'un C.A.N

Pour stocker les informations, on fait suivre le C.A.N d'une mémoire dont la capacité est assez grande pour pouvoir garder -

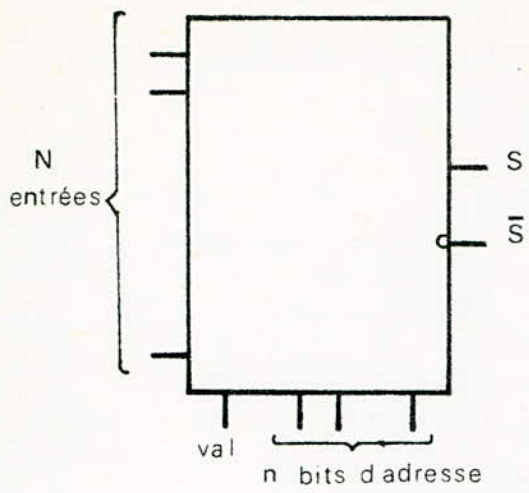


fig V 5

ENTREE	E	F
I ₀	0	0
I ₁	1	0
I ₂	0	1
I ₃	1	1

fig V 7

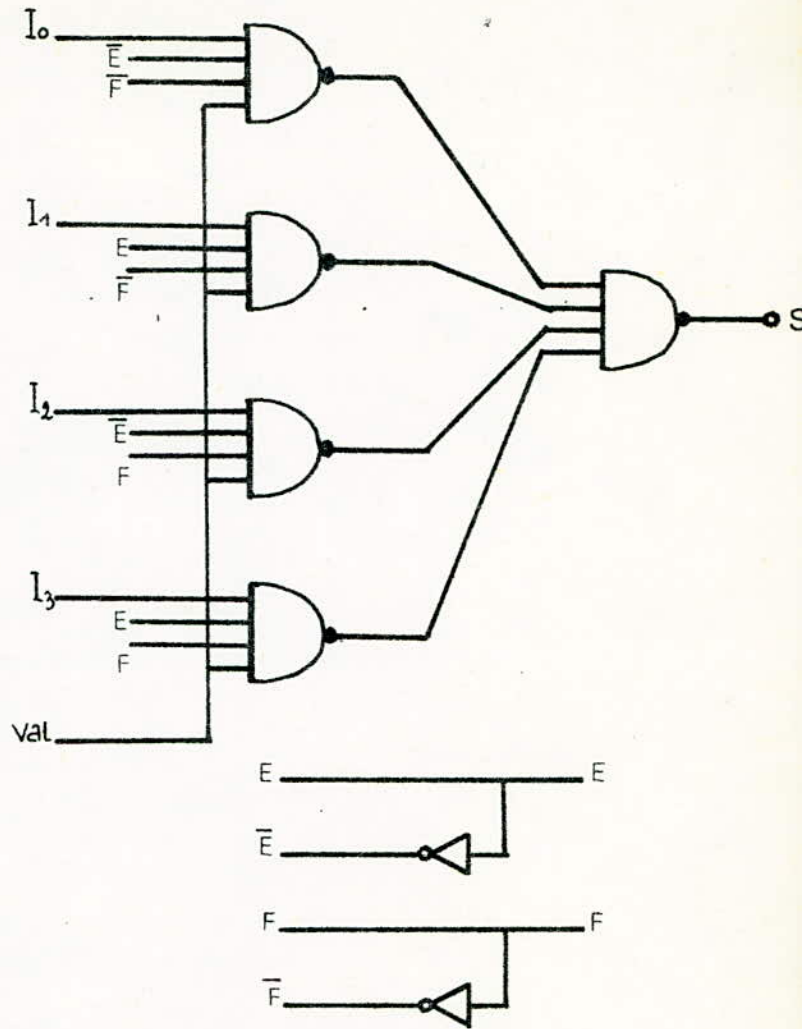


fig V 6

ADRESSE		VAL 1	ENTREES				VAL 2	ENTREES				SORTIES	
A	B		A ₀	B ₀	C ₀	D ₀		A ₁	B ₁	C ₁	D ₁	1Y	2Y
X	X	0	X	X	X	X	0	X	X	X	X	0	0
0	0	1	0	X	X	X	1	0	X	X	X	0	0
0	0	1	1	X	X	X	1	1	X	X	X	1	1
0	1	1	X	0	X	X	1	X	0	X	X	0	0
0	1	1	X	1	X	X	1	X	1	X	X	1	1
1	0	1	X	X	0	X	1	X	X	0	X	0	0
1	0	1	X	X	1	X	1	X	X	1	X	1	1
1	1	1	X	X	X	0	1	X	X	X	0	0	0
1	1	1	X	X	X	1	1	X	X	X	1	1	1

fig V 8

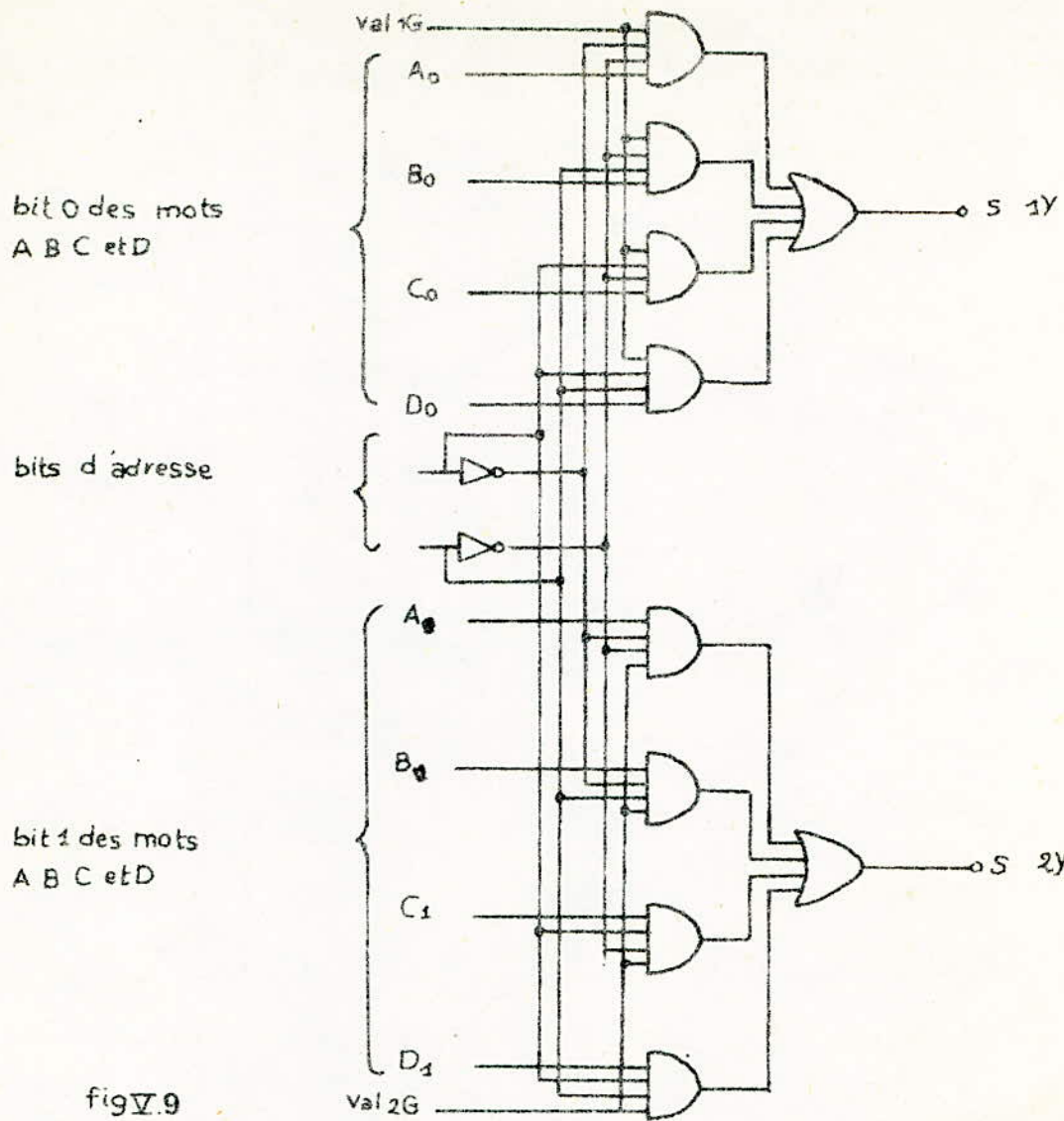


fig V.9

MULTIPLEXEUR DE 4 MOTS DE 2 BITS

$$XN = 2^{n+x}$$

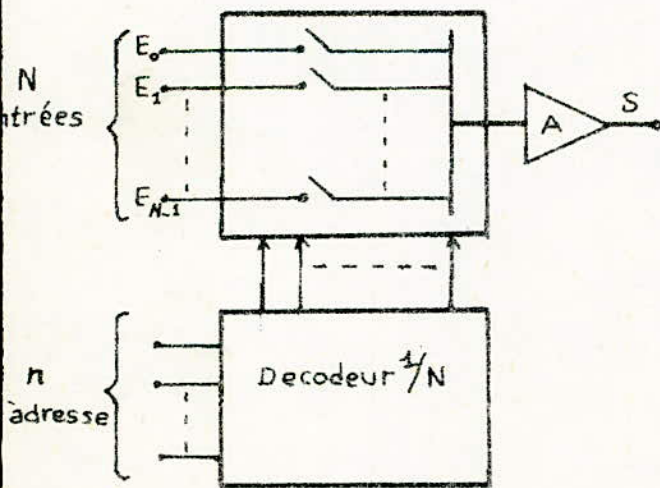


fig V.10

ORGANISATION D'UN MULTIPLEXEUR ANALOGIQUE

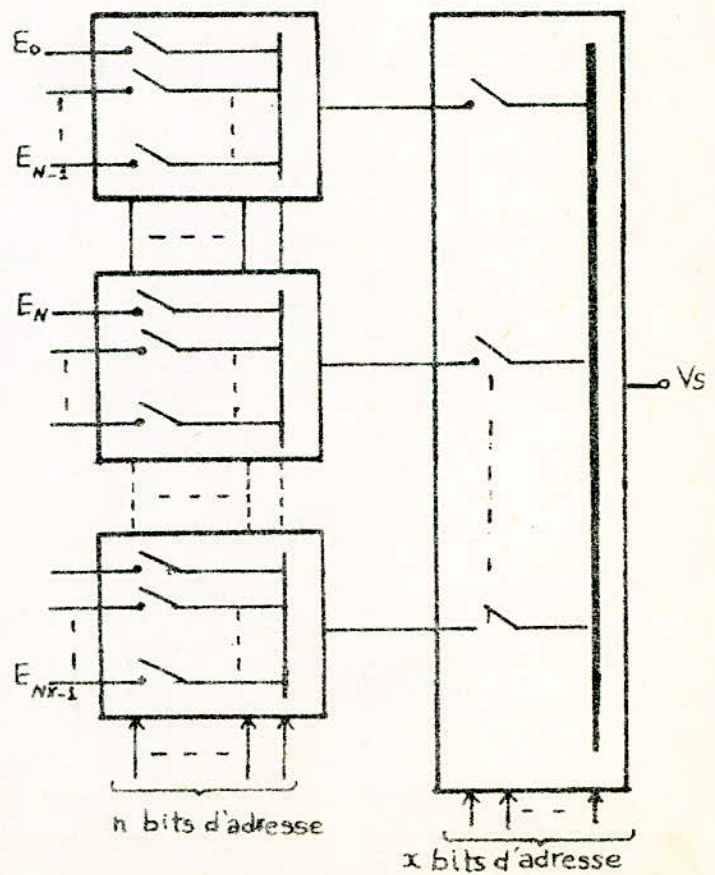
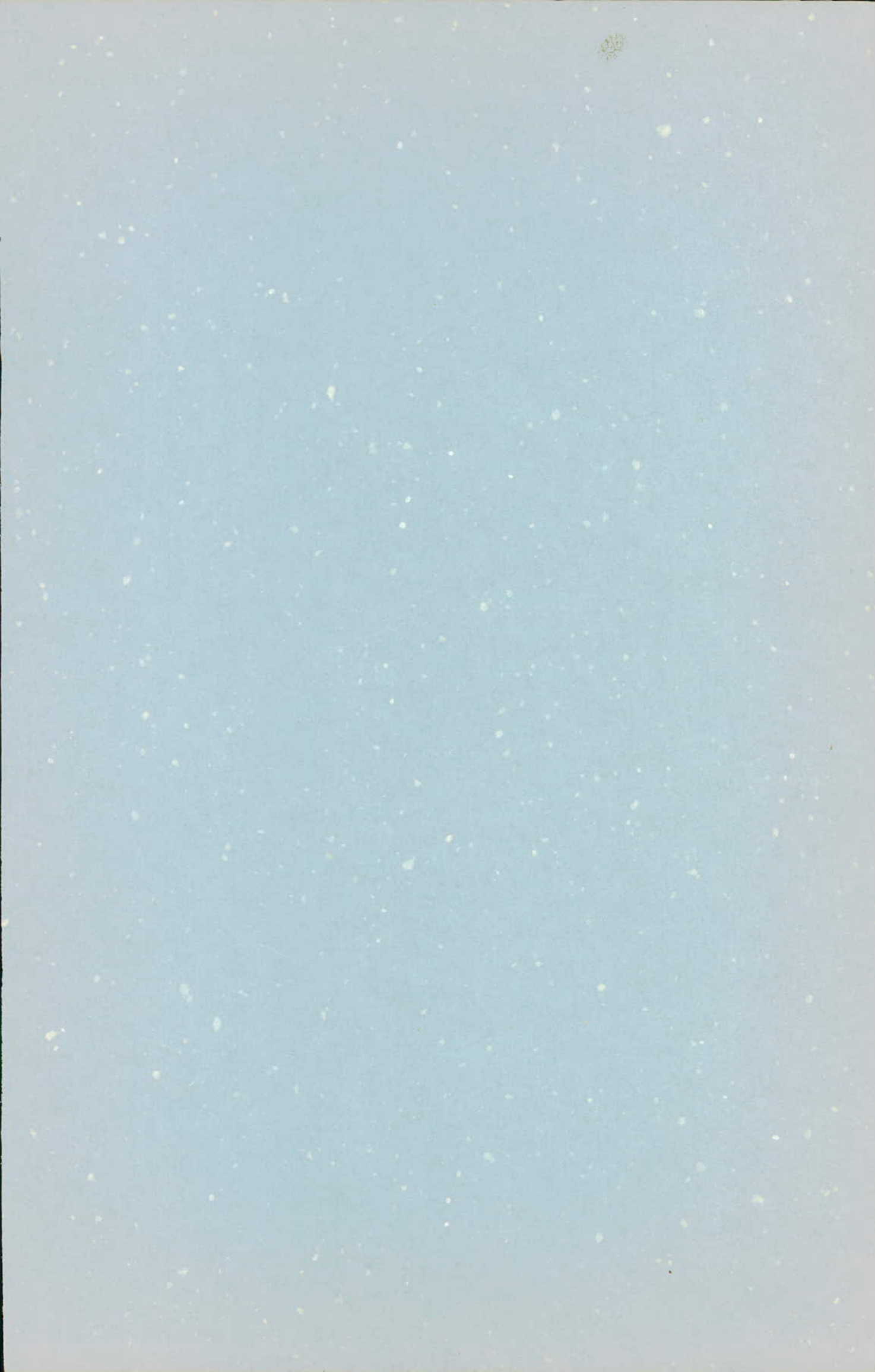


fig V.11

MULTIPLEXEUR A DE XN VOIES A 2 NIVEAUX



VI- DOMAINE D'APPLICATION DES CONVERTISSEURS

VI-1 Introduction

VI-2 Opérations arithmétiques hybrides

VI-2-1 Addition

VI-2-2 Multiplication hybride

VI-3 Source de tension programmable

VI-4 Générateur de fonctions analogiques

VI-4-1 Générateur de dents de scies

VI-4-2 Générateur sinusoïdal

VI-5 Affichage numérique

VI-6 Transmission M.I.C (Modulation par Impulsions
Codées)

VI-7 Analyse des phénomènes rapides

CHAPITRE VI. DOMAINE D'APPLICATION DES CONVERTISSEURS.

VI.1- INTRODUCTION.

Les applications des convertisseurs étant trop nombreuses, il serait utopique de prétendre à dresser une liste de toutes ces applications.

Dans notre étude, nous nous sommes limités à la description des applications le plus fréquemment utilisées telles que :

- 1- Opérations arithmétiques hybrides.
- 2- Source de tension programmable.
- 3- Génération de fonctions analogiques.
- 4- Affichages numériques.
- 5- Transmission MIC (Modulation par impulsion codée).
- 6- Analyse des phénomènes rapides.

VI.2 - OPERATIONS ARITHMETIQUES HYBRIDES

VI.2.1-Addition

On peut réaliser une addition hybride à l'aide de deux convertisseurs N/A montés comme l'indique la figure VI.1 a.

En effet, pour obtenir la somme de deux grandeurs numériques N1 et N2 sous forme analogique, il suffira de réunir les deux sorties.

L'impédance interne des deux CNA doit alors être très grande devant la charge Rc .

Si les deux C.N.A sont à sortie de courant par exemple, on a :

$$I_1 = K N_1 E \quad (1)$$

$$I_2 = K N_2 E \quad (2)$$

En faisant la somme (1) et (2) on obtient :

$$I_s = K(N_1 + N_2) E -$$

$$\text{soit } V_s = K R_c (N_1 + N_2) E$$

VI.2.2 -Multiplication hybride

Deux convertisseurs montés en cascade, comme l'indique la figure VI.2 b réalisent la fonction multiplication.

Le multiplicateur et le multiplicande (N2 et N1 respectivement) sont exprimés sous forme numérique et le résultat de la multiplication sous forme analogique.

Pour ce type de montage, on obtient :

$$v_s = k_2 n_2 v_{s1} = k_2 k_1 n_1 n_2 v_e$$

$$\text{soit en posant } k_1 k_2 = k$$

on obtient

$$v_s = k n_1 n_2 E$$

V.3 - Source de tension programmable

Le schéma de principe d'une source de tension programmable

est représenté par la figure VI. 2

La source de tension est constituée d'un convertisseur N/A et d'un ampli de puissance A à faible résistance de sortie.

La programmation d'une telle source peut être manuelle et électronique.

Dans le cas de figure proposé, le CNA étant de 12 bits, la résolution est de 10^{-3} , c'est à dire que toute tension de 0 à 10 volts, par exemple, peut être affichée à 10mv près et obtenue avec la précision propre au CNA et à l'amplificateur de puissance.

VI -4 GÉNÉRATION DE FONCTIONS ANALOGIQUES.

VI -4-1- Générateur de dents de scies.

Pour le schéma de principe d'un générateur de dents de scie est donné en figure VI.3-a

Le signal généré est de la forme $y = at$ pour $0 < t < T$ où T désigne la période du signal en dent de scie.

Pour avoir une bonne stabilité en fréquence, il est nécessaire d'utiliser un oscillateur piloté par un quartz.

Le compteur de nbits synchronisé par l'oscillateur délivre une information numérique croissant linéairement, avec une résolution égale au dernier bit de la valeur 0 à $2^n - 1$ et ceci à une période :

$$T = nT_0$$

expression dans laquelle T_0 désigne la période de l'oscillateur local.

La valeur de la tension de sortie du C.N.A évoluera elle aussi de façon linéaire avec le temps.

Le potentiomètre permet de modifier l'amplitude de la rampe ainsi obtenue après avoir compté $2^n - 1$ impulsions.

Pour atténuer la tension résiduelle et les transitoires dus à chaque conversion, on fait suivre le C.N.A d'un filtre.

La tension de sortie du CNA est :

$$V_s = kE$$

La figure VI.3.b donne l'allure de la dent de scie obtenue.

VI-5-2 Générateur Sinusoïdal

Le schéma de principe d'un générateur sinusoïdal très stable est donné par la figure VI.3-c

Pour générer une telle fonction, on utilise un mémoire ROM et un CNA ayant comme stabilité celle d'un CNA continu.

L'oscillateur à quartz de période T_0 à grande stabilité commande un compteur-décompteur de n étages.

On reconstitue la sinusoïde à l'aide de 2^n échantillons de

Sur la figure V.3-b- nous avons fait suivre le condensateur d'un amplificateur suiveur, et ceci afin de l'isoler des étages suivants?

Sur la figure V.3-c- nous avons ajouté un amplificateur suiveur à l'entrée, pour isoler la source de la mémoire analogique.

Le circuit donné par la figure V.3-d- est intéressant dans la mesure où il réalise le bouclage de la sortie sur l'entrée, ce qui nous permet d'accroître de façon considérable la précision du système.

A titre d'exemple, nous avons représenté sur la figure V.4, le schéma d'un circuit d'échantillonnage couramment utilisé.

Ce circuit comprend deux amplificateurs opérationnels, le condensateur de maintien, deux interrupteurs à transistors à effet de champ et le circuit de commande.

Le fonctionnement de ce système s'explique comme suit :

1- Dans le mode d'échantillonnage, le circuit de commande ouvre l'interrupteur I2 et ferme l'interrupteur I1.

La tension d'entrée est alors à la tension de sortie; le condensateur C se charge grâce au courant de sortie de l'amplificateur A1 jusqu'à ce que sa tension soit égale à la tension d'entrée.

Dans le mode de maintien, I1 est ouvert et I2 est fermé, la tension de charge du condensateur reste constante du fait des impédances élevées d'entrée de l'amplificateur A2 monté en suiveur et du transistor à effet de champ.

La résistance R permet de limiter le courant qui passe entre les deux amplificateurs dans le mode de maintien.

V. 3 - Multipléxage

V.3-a Multipléxage digital

V.3-a-1 Généralités:

Un multipléxeur est un dispositif muni de N entrées et d'une seule sortie.

Sous l'effet d'une commande envoyée sous forme d'adresse codée de n bits, il est possible de transmettre en sortie le signal présent à l'une des entrées.

Les grandeurs n et N sont reliées par la relation $N = 2^n$.

Dans certains cas une entrée de validation est prévue pour autoriser ou interdire le multipléxage.

La figure V. 5 donne le schéma s'ensemble d'un multipléxeur muni de ses N entrées, n bits d'adresse, une entrée de validation, une sortie S et éventuellement une sortie \bar{S}

V.3-a-2 Multiplexeur à 4 entrées.

La figure V. 6 donne le schéma de principe d'un multiplexeur à 4 entrées pour lequel il est prévu 2 bits d'adresse E et F, une entrée de validation et 1 sortie S. Le tableau représenté par la figure V.7 donne les adresses permettant de sélectionner une des quatre entrées.

Compte tenu de ce qui précède le signal S peut se mettre sous la forme :

$$S = \overline{E.F.I_0} + \overline{E.F.I_1} + \overline{E.F.I_2} + \overline{E.F.I_3}$$

relation qui peut se mettre sous la forme :

$$S = \overline{(\overline{E.F.I_0}) . (\overline{E.F.I_1}) . (\overline{E.F.I_2}) . (\overline{E.F.I_3})}$$

Ceci compte tenu du théorème de MORGAN qui montre que :

$$\overline{A.B} = \overline{A} + \overline{B}$$

La figure V.6 donne un aperçu du nombre important d'éléments qu'il faut utiliser pour réaliser un tel multiplexeur.

Si l'on ajoute à cela que ce nombre augmente avec la capacité du multiplexeur on comprendra pourquoi seule une intégration poussée a permis la réalisation de multiplexeurs dotés d'un grand nombre d'entrées sans pour autant augmenter le coût de l'encombrement .

V.3-a-3 Multiplexeur de mots.

Le multiplexeur de mots est un élément constitué de N mots et de X bits chacun, capable de transmettre en sortie l'un quelconque de N mots sous l'effet d'un signal d'adresse de n bits tels que $N = 2^n$.

- Multiplexeur de 4 mots de 2 bits.

Pour réaliser un tel multiplexeur il nous faut prévoir 4Mots de 2 bits chacun et 2 bits d'adresse.

Ce multiplexeur peut être doté de 2 signaux de validation - 1 G et 2 G .

Le tableau représenté par la figure V.8 donne la table de vérité d'un tel multiplexeur avec :

$$1 Y = 1G \left[\overline{A}.B.A_0 + \overline{A}.B.B_0 + A.\overline{B}.C_0 + A.B.D_0 \right]$$

$$2 Y = 2G \left[\overline{A}.B.A_1 + \overline{A}.B.B_1 + A.\overline{B}.C_1 + A.B.D_1 \right]$$

La figure V.9 donne le schéma d'ensemble d'un tel multiplexeur . V.3.b- Multiplexage analogique.

La figure V.10 donne le schéma d'un tel multiplexeur analogique comportant N entrées dont le contrôle est effectué par n bits d'adresse décodés par un décodeur qui permet d'aiguiller

en sortie une entrée et une seule.

Le multipléxeur est essentiellement composé de N interrupteurs constitués en général de transistors à jonction ou MOS, qui peuvent être rendus conducteurs ou bloqués par les impulsions de commande issues du décodeur.

Etant donné que les courants de fuite et les parasites augmentent avec le nombre d'entrées, il peut s'avérer utile d'utiliser un multipléxeur à deux niveaux si l'on désire obtenir des multipléxeurs à grande capacité dotés d'une grande rapidité et stabilité.

La figure V.11 donne un aperçu sur la structure d'un multipléxeur à deux niveaux .

CIRCUITS D'ÉCHANTILLONNAGE

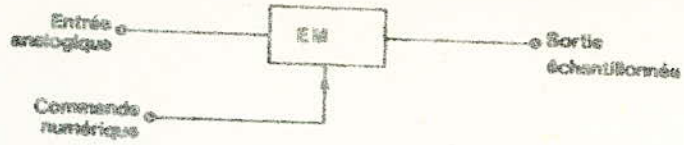


FIG. 2.1

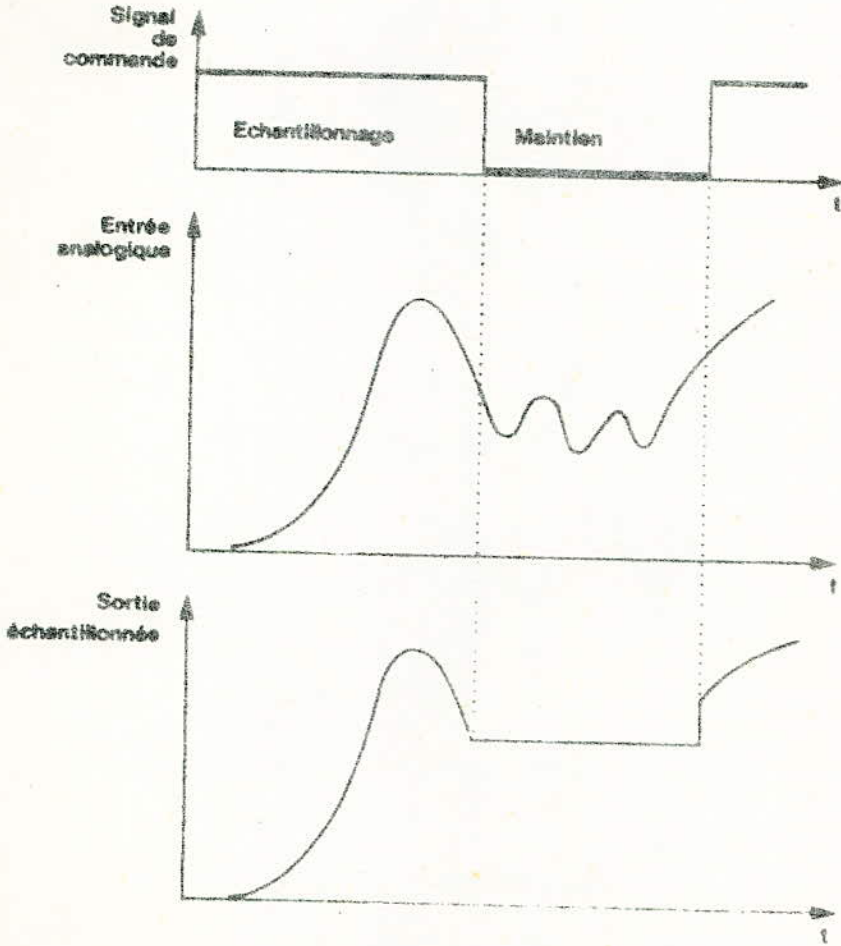


FIG. 2.2

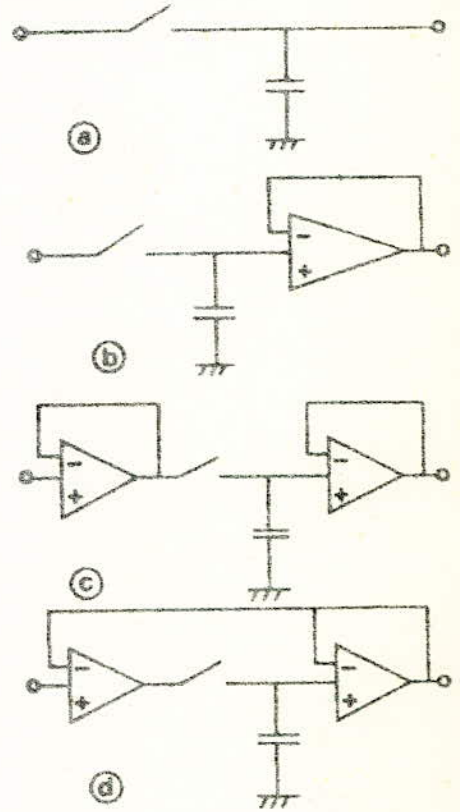


FIG. 2.3

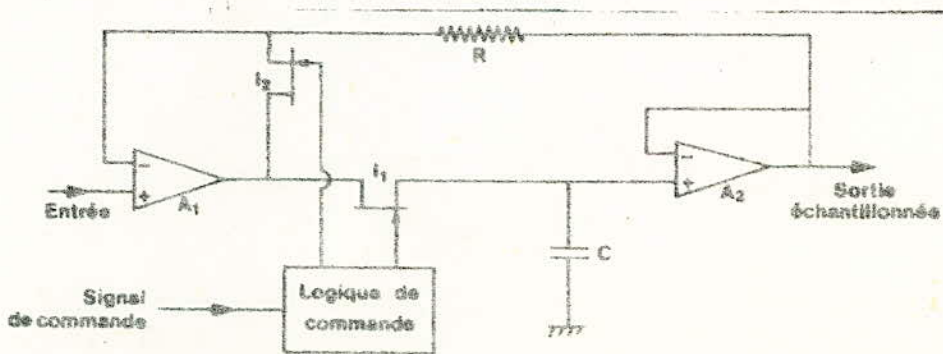


FIG. 2.4

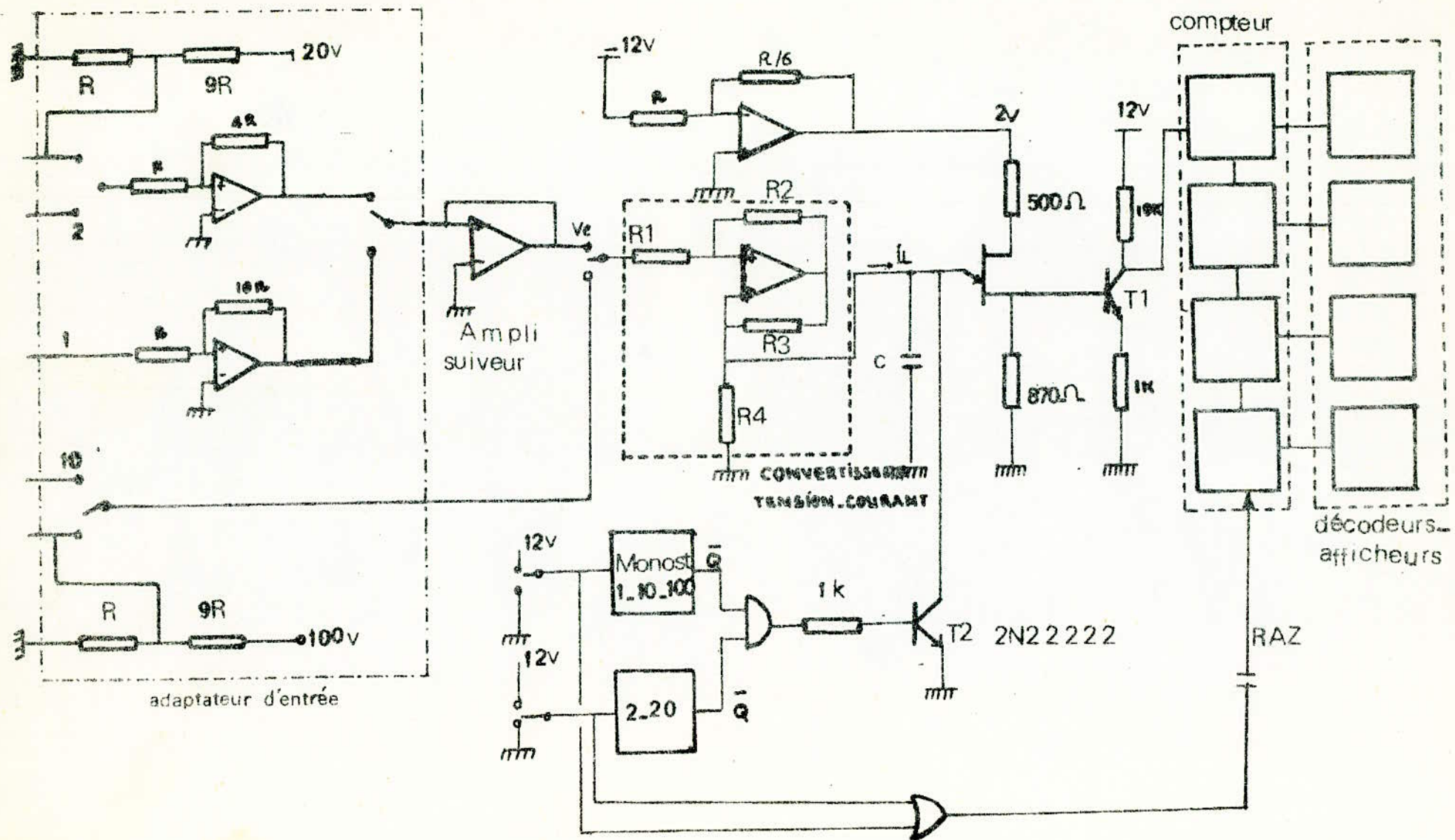
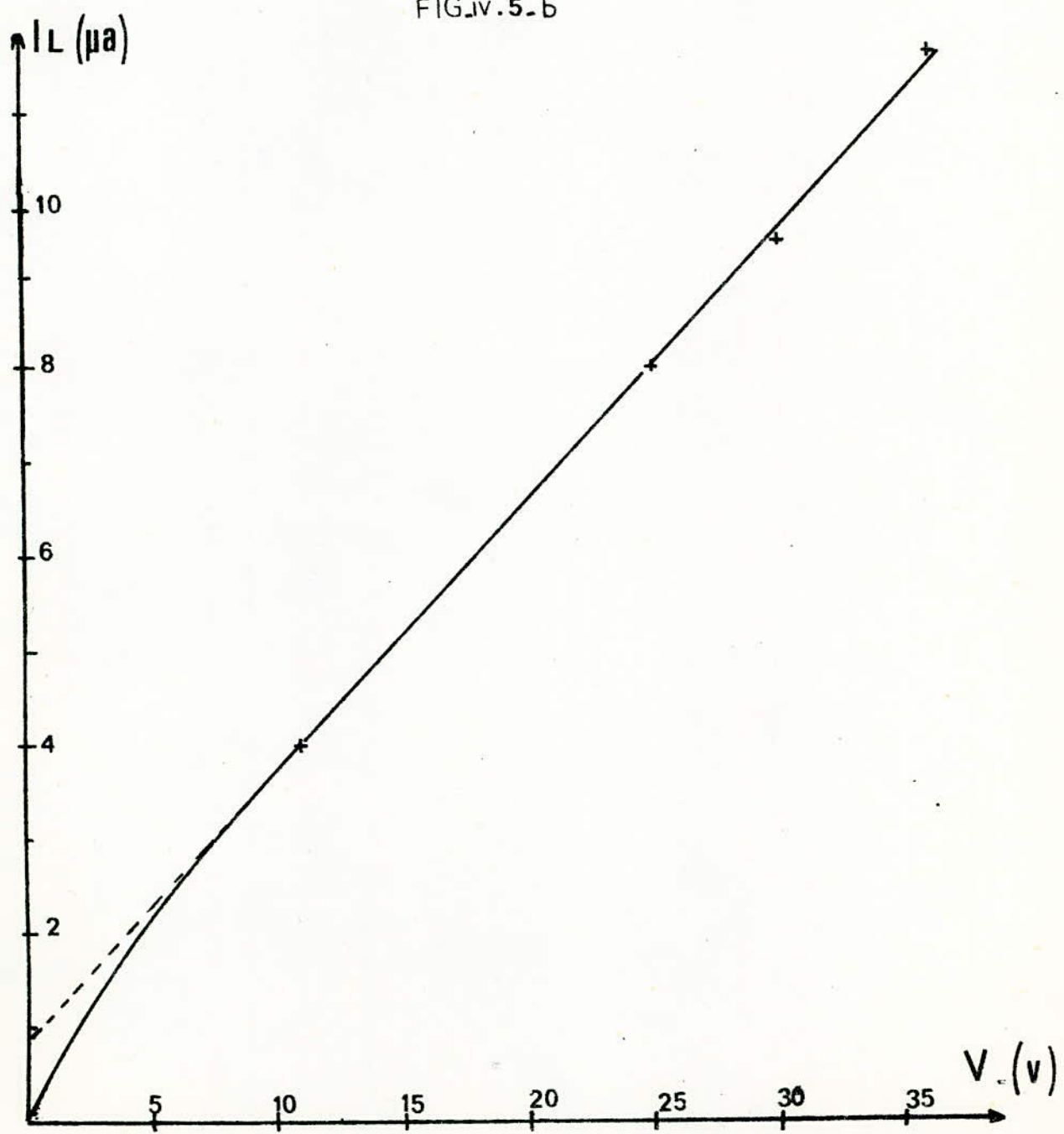


Fig-IV.5 a.

$I_L (\mu a)$	0	12	25	30	37
$V (v)$	0	4	8	10	12

FIG. IV. 5. b



V. - Échantillonnage et Multipléxage

V.1 - Introduction .

L'échantillonnage et le multipléxage sont utilisés dans le traitement numérique de l'information.

Ce traitement qui se présente sous la forme d'un processus séquentiel est exécuté à partir de valeurs appelées échantillons prises par les différentes variables étudiées à un instant donné.

Le multipléxage digital permet de fournir les informations numériques à l'unité de traitement.

Le multipléxage analogique est en général utilisé dans le cas où l'on désire étudier plusieurs signaux analogiques au moyen - d'un seul convertisseur analogique-numérique.

V.2- Circuits d'échantillonnage et de Maintien.

Pendant la durée de l'échantillonnage, il est nécessaire que le signal ne varie pas.

Il est donc indispensable que l'amplitude de l'échantillon reste constante pendant le temps de conversion.

Ceci s'obtient en utilisant un circuit de maintien placé après l'échantillonnage, ce circuit est généralement constitué - d'un condensateur que l'on charge à la valeur de l'échantillon

V. 2. a - Fonctionnement de l'échantillonneur idéal.

La figure V.1 donne le schéma d'un module d'échantillonnage.

Un tel module possède une entrée et une sortie analogiques pour le signal à échantillonner et une entrée de commande.

Pendant la durée de l'échantillonnage correspondant généralement à un niveau logique 1 appliqué à l'entrée de commande, la tension de sortie suit les variations du signal d'entrée.

Quant le niveau de l'entrée de commande passe à 0, le signal de sortie reste constant et égal à la dernière valeur reçue par le signal d'entrée.

Quant le niveau du signal de commande revient à 1, la valeur du signal de sortie change instantanément et devient égale à la valeur du signal existant à l'entrée à cet instant, ce fonctionnement est résumé par la figure V.2

V. 2. b - Exemple de circuits d'échantillonnage.

Nous avons représenté sur la figure V.3 quelques schémas de principe de circuits d'échantillonnage.

Le circuit le plus simple est donné par la figure V.3.-a-, il comprend un condensateur que l'on charge à travers un interrupteur.

La table de vérité du CAN simultanément à double polarité est donnée en figure IV.3.b

Cette table de vérité à partir de laquelle on déduit que :

$$M S B = d + \bar{d}'$$

$$N L S B = (\bar{f} + \bar{b}d) + (\bar{f}' + \bar{b}'d')$$

$$L S B = (ab+cd+ef+g) + (a'b'+c'd'+e'f'+g')$$

montre le bit de signe peut être en a' .

IV.6 -CAN à modulation de durée.

La figure IV.4 donne le schéma de principe d'un CAN à modulation de durée; mis à part les circuits intégrés dont le fonctionnement est évident, le schéma précédent fait apparaître les éléments constituant la source de courant ainsi que l'oscillateur pilote.

Concernant la source de courant constant réalisé en utilisant deux transistors du type 2 N 1308 et un transistor du type 2 N-1309 dont les β sont égaux à 80, celle-ci a été calculée pour satisfaire les conditions suivantes :

$$Q = C V_e = I_o t ; t = N T_o$$

$$d'où : N = \frac{C}{I_o T_o} \cdot V_e = 10^3 \cdot V_e$$

Par un calcul élémentaire, on aboutit aux valeurs des éléments indiqués sur le schéma.

La relation précédente montre qu'il existe une relation de proportionnalité entre N et V_e .

Nous avons cependant montré expérimentalement que cette proportionnalité n'est pas vérifiée. C'est ce qui est mis en évidence figure IV.4. c

L'oscillateur réalisé utilise un amplificateur opérationnel du type $\mu A 709$. Les éléments ont été calculés pour obtenir une fréquence $f = 400 \text{ khz}$.

Le choix du $\mu A 709$ a été dicté par la nécessité d'obtenir une fréquence de travail assez élevée.

Les éléments constituant l'oscillateur pilote ont été calculés d'après la relation :

$$f = \frac{1}{2RC} \cdot \frac{1}{\log \frac{1+\beta}{1-\beta}}$$

Avec : $\beta = \frac{R1}{R1 + R2}$; $R1 = R2 = 1 \text{ K}$ et $C = 1300 \text{ pF}$
ce qui donne :

$$f = \frac{1}{2RC} = 400 \text{ khz}$$

IV. 7 - C.A.N - Tension-fréquence

La figure IV.5 donne le schéma de principe d'un tel convertisseur.

La figure IV. 5.b montre l'évolution $I L = f(V_e)$

V_e : étant la tension à convertir et $I L$ le courant de charge de la capacité C .

Le coefficient de proportionnalité K tel $I L = K V_e$ est égal

à : $K = 3 \cdot 10^6 \text{ A/V}$

Pour satisfaire la relation :

$$\frac{K}{C} \frac{T_2}{V R} = 10^3$$

Nous avons pris :

$$C = 540 \text{ pF} \quad \text{et} \quad T_2 = 200 \text{ ms}$$

T_2 étant la période du monostable.

L'U.J.T se déclanchant à une tension de pic $V_p = V_{cc}$

avec $\gamma = 0,63$, $V_{cc} = 2 \text{ v}$

dmc $V_p = 1,26 \text{ v}$

Pour convertir des tensions comprises entre 1 et 1,26 v , on utilise un calibre de 2 volts.

Pour la conversion des tensions inférieures à 1v, on utilise un calibre 1v, ceci en multipliant par 10 la tension d'entrée, nous disposons donc de deux gammes qui sont 1,10 et 100 v et d'une autre pour 2 et 20v.

A cet effet nous utilisons deux monostables de périodes différentes.

Les impulsions délivrées par l'U.J.T étant de faible amplitude, il est nécessaire de les amplifier avant de les appliquer au compteur. Cette amplification est assurée par un transistor T_1 du type 2N 1308. Le transistor T_2 est du type 2N 2222.

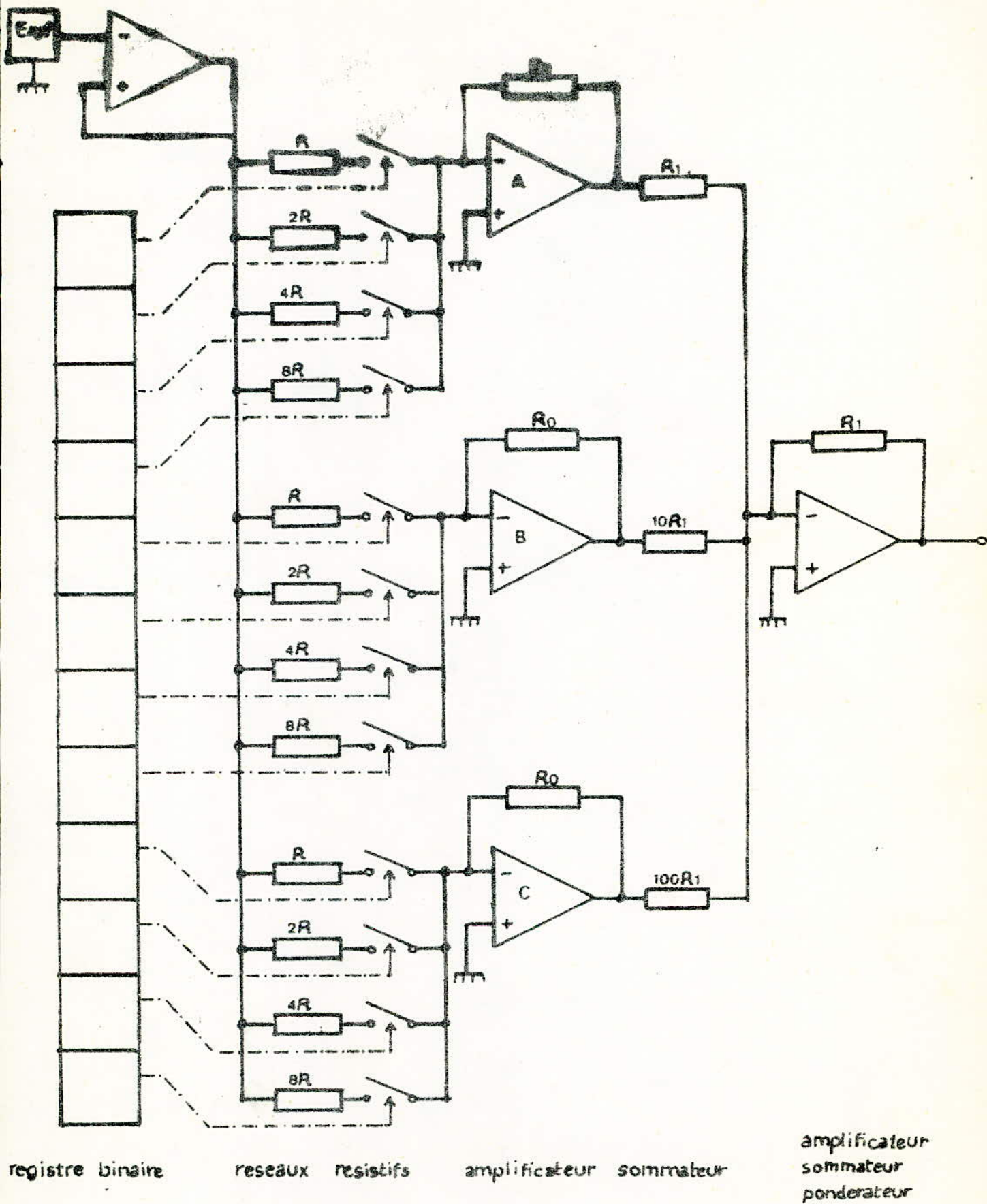


FIG IV CNA A 3 DECADES

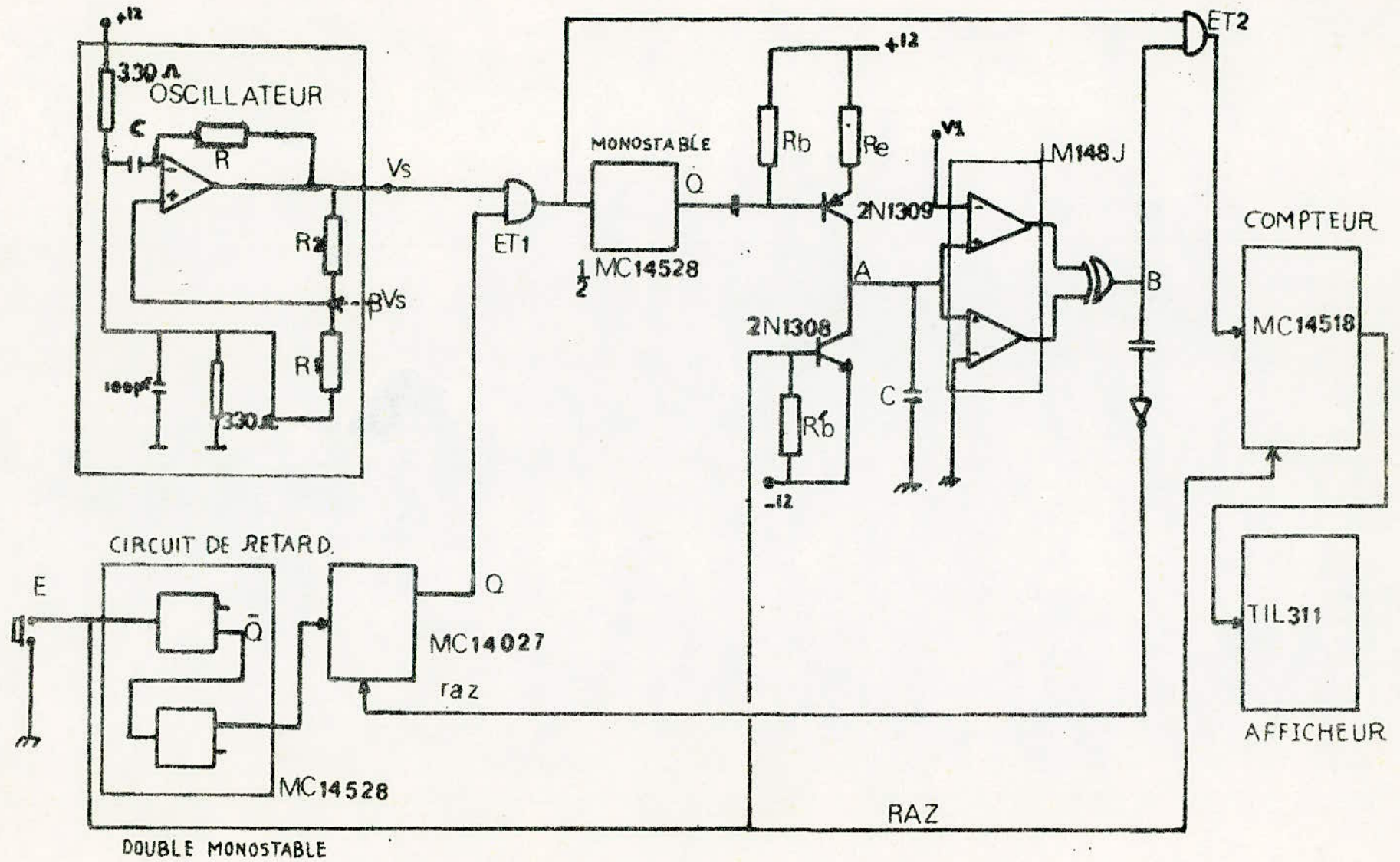


FIG. IV. 2

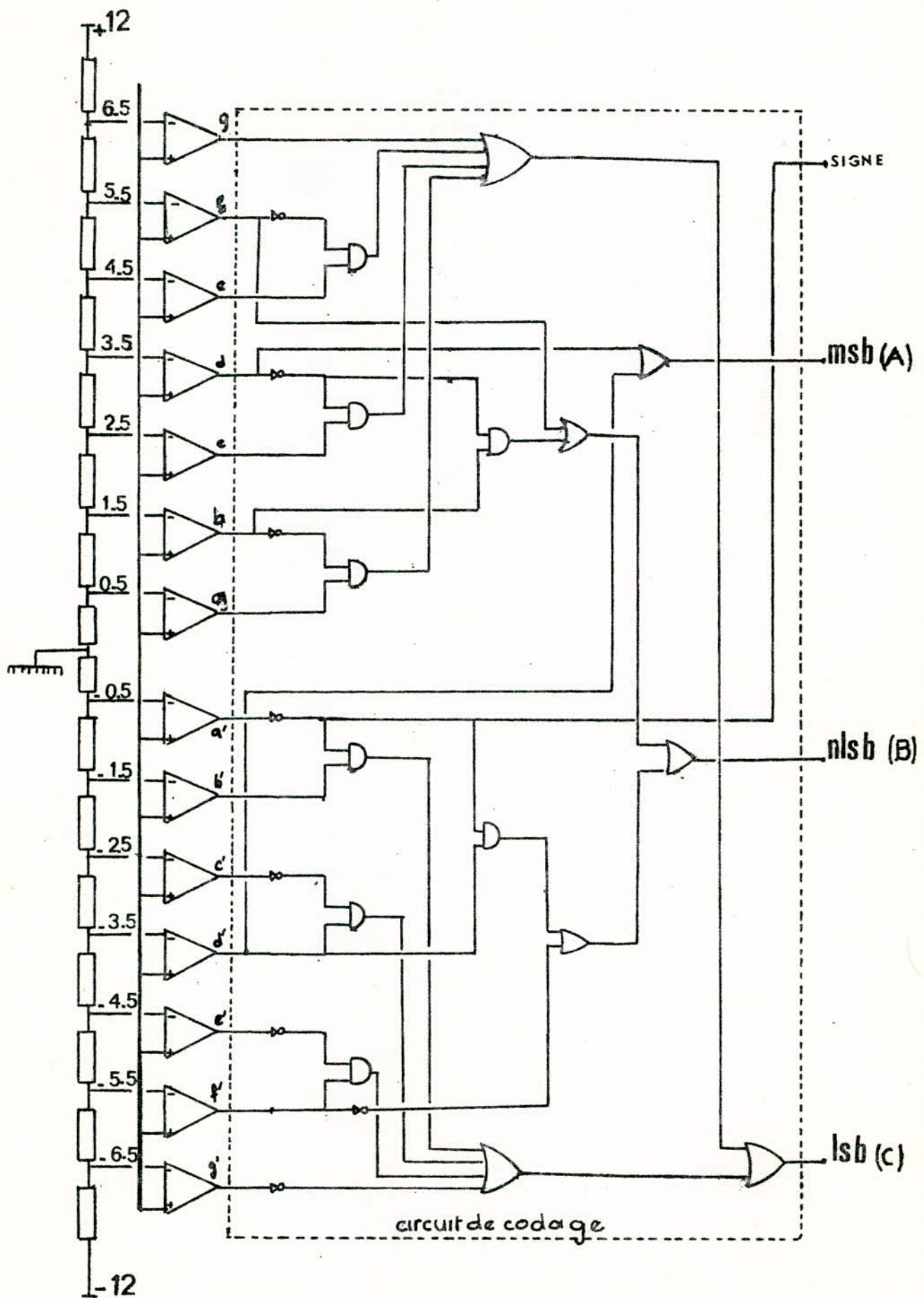
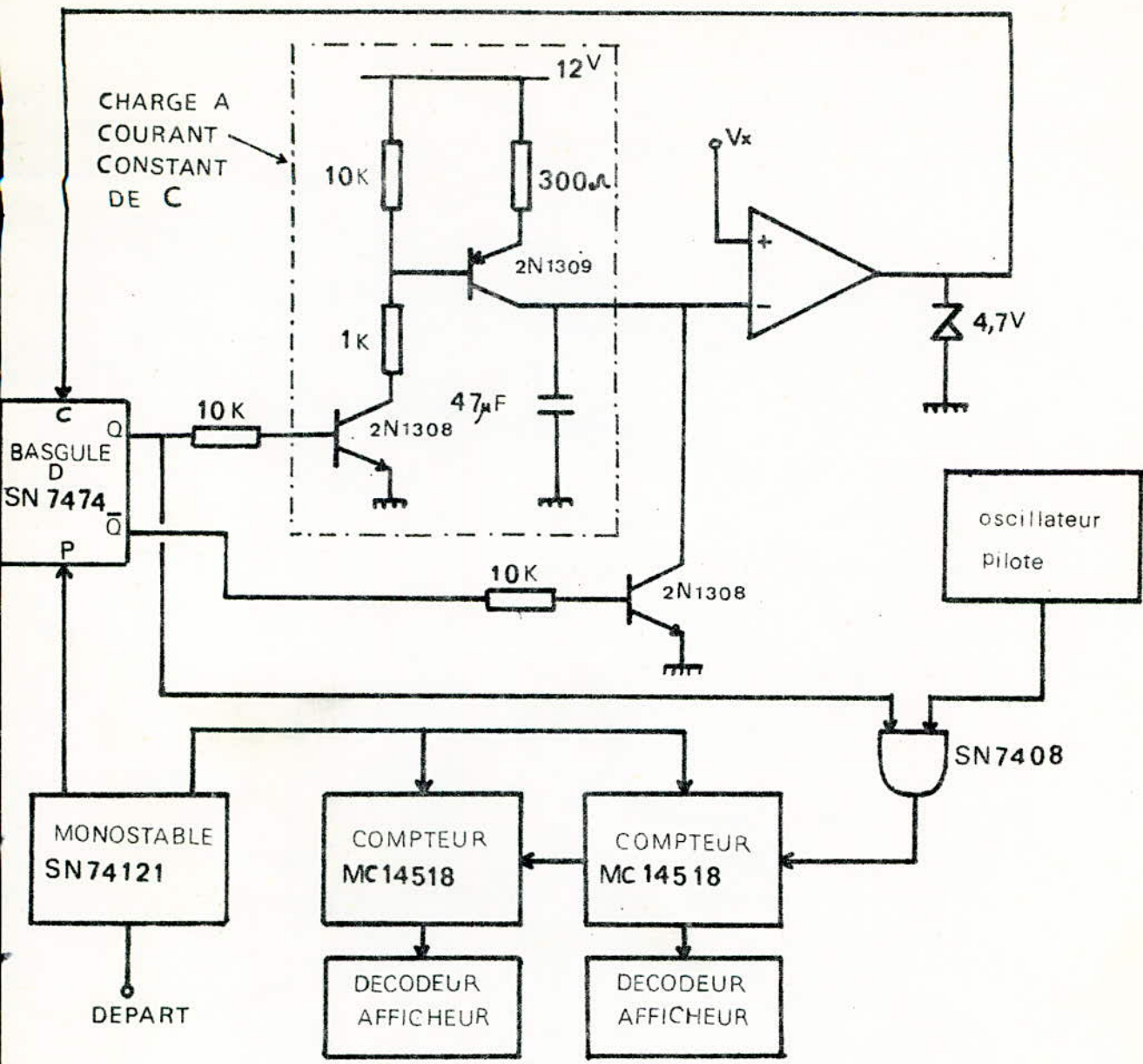


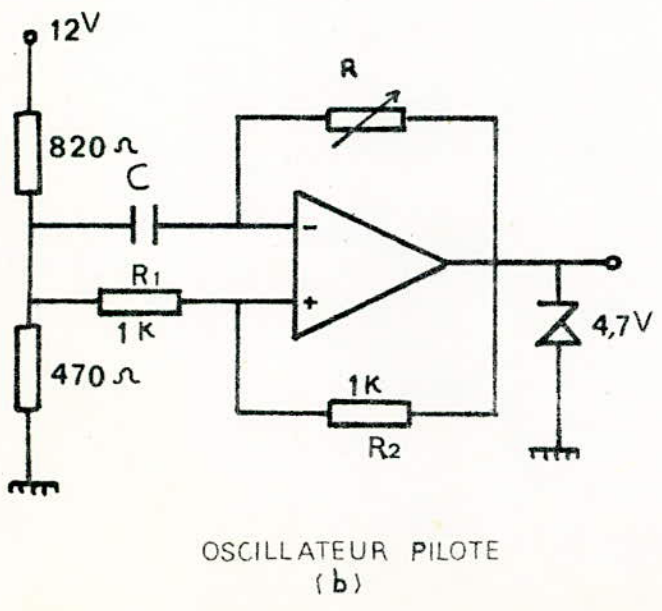
FIG. IV-3. a

	a	b	c	d	e	f	g	a'	b'	c'	d'	e'	f'	g'	signe	A	B	C
7	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
6	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	0
5	1	1	1	1	1	0	0	1	1	1	1	1	1	1	1	1	1	0
4	1	1	1	1	0	0	0	1	1	1	1	1	1	1	1	1	1	0
3	1	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0
2	1	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0
1	1	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	0
-1	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	0
-2	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0
-3	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0
-4	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	0
-5	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	0
-6	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1	0
-7	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1

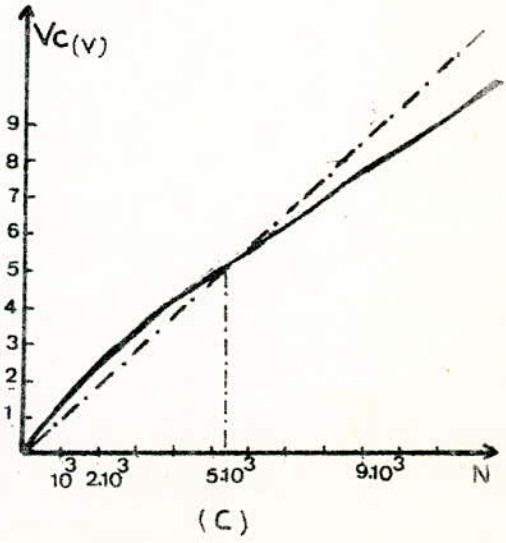
fig. IV 3b



CAN A 1000 POINTS DE MESURE REALISE
(a)



OSCILLATEUR PILOTE
(b)



(c)

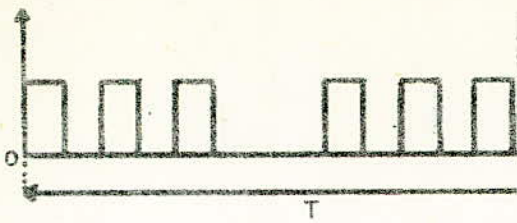
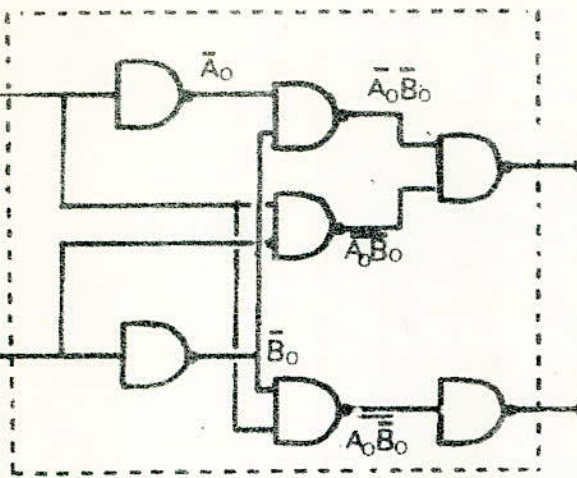


FIG III 46



III

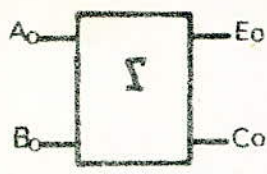


FIG III 47

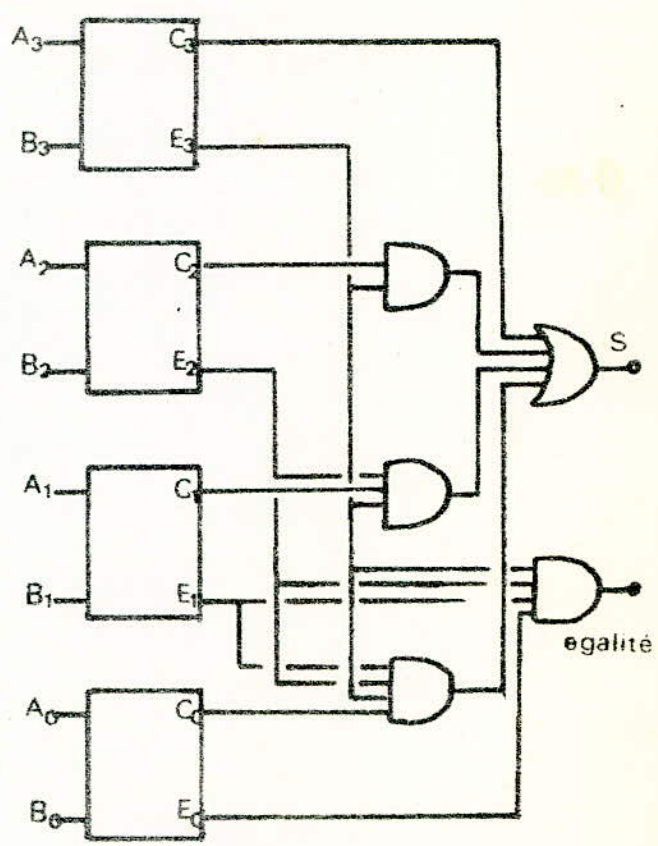


FIG III 48

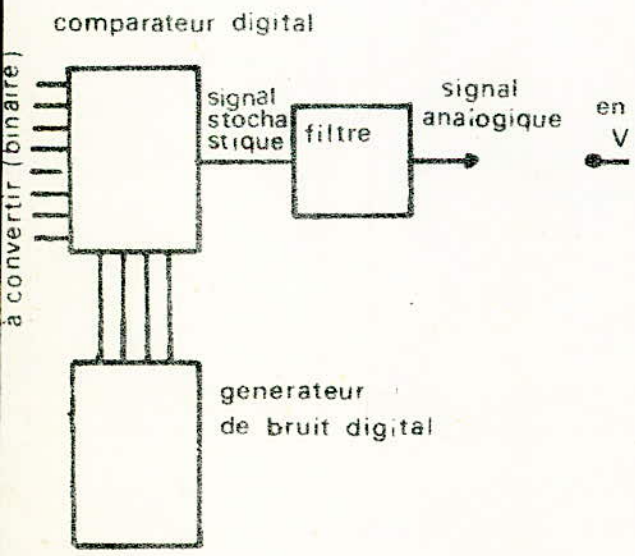


FIG III 49

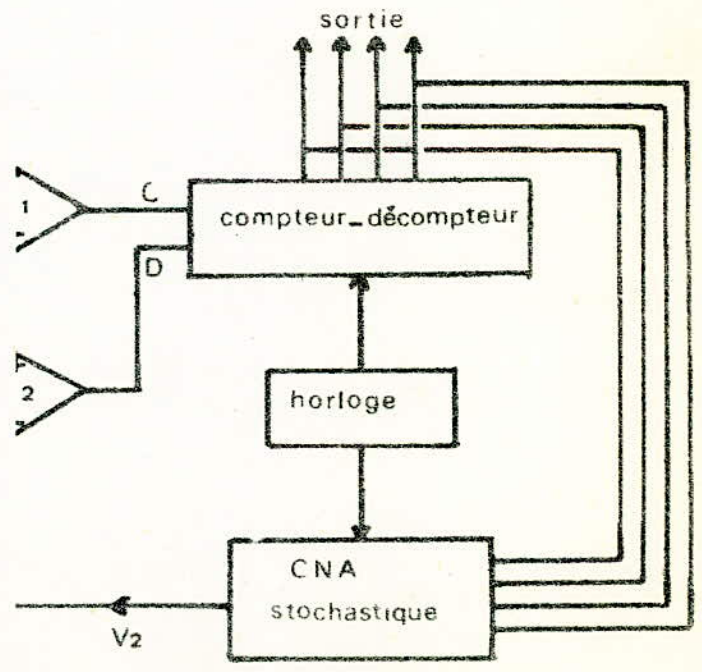


FIG III 50

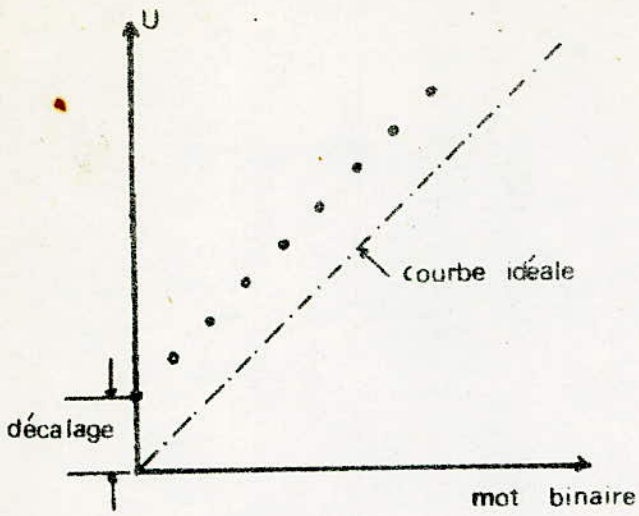


FIG III.51

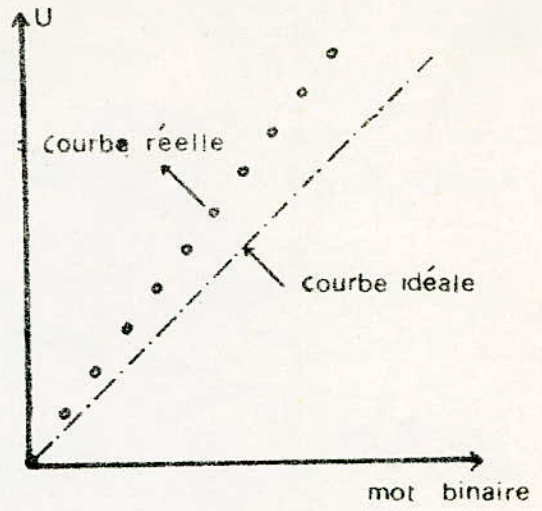


FIG III.52

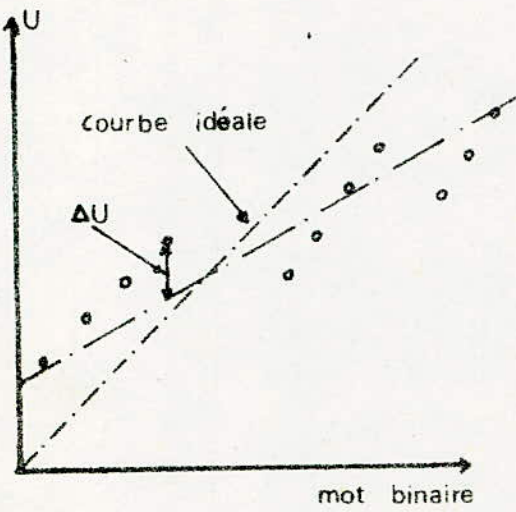


FIG III.53

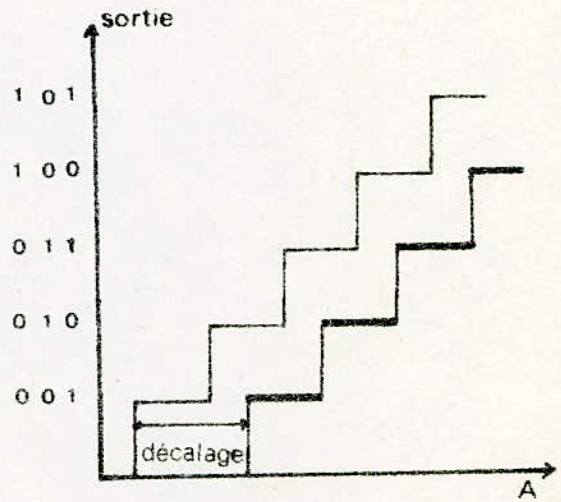


FIG III.54

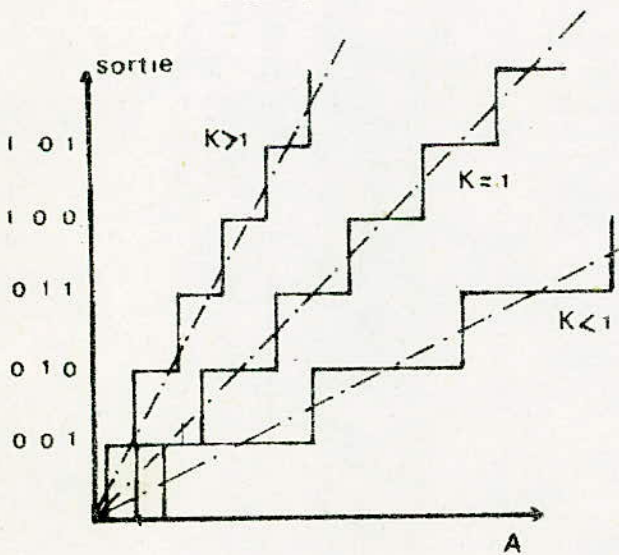


FIG III.55

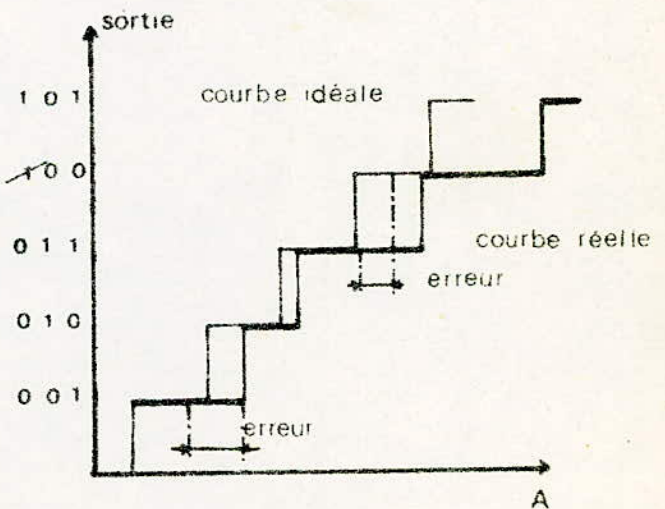


FIG III.56

X

IV-REALISATIONS PRATIQUES

IV-1 Introduction

IV-2 Convertisseur numérique-analogique

IV-3 Convertisseur à rampe à deux polarités

IV-4 C.A.N à approximations successives

IV-5 C.A.N simultané

IV-6 C.A.N à modulation de durée

IV-7 C.A.N tension-fréquence

Chapitre IV : Réalisations Pratiques

IV- 1 Introduction

Comme nous l'avions indiqué au niveau de l'introduction nous nous proposons de décrire de façon très succincte l'ensemble des maquettes réalisées dans le cadre du travail que nous nous sommes fixés.

Le principe de fonctionnement des circuits réalisés ayant été décrit au chapitre III.

Nous nous contenterons de présenter les maquettes en précisant éventuellement quant cela est nécessaire les caractéristiques spécifiques à chacun des montages.

Au terme de notre travail les circuits suivants ont pu être réalisés :

- 1- C.N.A
- 2- C.A.N à rampe à deux polarités
- 3- C.A.N à approximations successives
- 4- C.A.N simultané
- 5- C.A.N à modulation de durée
- 6- C.A.N tension-fréquence

IV. 2 C.N.A

La figure IV-1 donne le schéma de principe d'un CNA à 3 décades?

Le principe d'un tel circuit a été expliqué en détail en : III. 2.4 a 1. C'est la raison pour laquelle nous n'y reviendrons pas.

Nous noterons cependant au passage que l'information numérique est obtenue en utilisant un registre dont l'état est déterminé par des signaux appliqués à l'aide d'interrupteurs.

IV. 3 CAN à rampe à deux polarités.

La figure IV.2 donne le schéma d'ensemble du convertisseur à rampe réalisé dont le principe de fonctionnement a été décrit au chapitre III.3.5.1.

Dans un tel schéma l'oscillateur pilote délivre des impulsions de fréquence $f = 50 \text{ khz}$, on peut facilement démontrer que la fréquence d'un tel oscillateur est donnée par la relation :

$$f = \frac{1}{2 RC} \cdot \frac{1}{\text{Log} \left(\frac{1 + \beta}{1 - \beta} \right)}$$

Relation dans laquelle : $\beta = \frac{R_1}{R_1 + R_2}$

Les deux résistances de 330 Ω permettant de créer un point milieu

Ce qui permettra d'alimenter l'oscillateur entre 0 et + 12 volts.

Le circuit de retard utilise un double monostable ce qui nous permettra de jouer sur le retard et la largeur de l'impulsion obtenue.

Le monostable permettant de calibrer les impulsions issues de l'oscillateur pilote sert à commander la source de courant - constituée par le transistor 2N 1309 dont le β est de 80.

La période de monostable permet de déterminer la hauteur entre deux marches d'escalier.

En effet si T désigne la période du monostable, la charge de la capacité C est :

$$Q = CV = IT$$

soit une hauteur de la marche de :

$$V = \frac{I}{C} T$$

I désignant le courant de collecteur de la source de courant. Par un calcul élémentaire on obtient :

$$R_b = 82 \text{ k}$$

$$R_c = 1 \text{ k}$$

$$R'_b = 40 \text{ k}$$

Ce qui donne : $I_c = 24 \text{ mA}$

Si on prend : $C = 22 \text{ nF}$

Et si on désire une hauteur de la marche de 1 volt, alors il faudrait prendre :

$$T = 1 \frac{\mu\text{s}}{\text{mA}}$$

IV. 4 - CAN à approximations successives

La figure III.31 donne le schéma de principe d'un C.A.N à approximations successives.

Le principe de fonctionnement a été expliqué en détail en III.5.5.1. C'est la raison pour laquelle nous n'y reviendrons pas.

IV. 5 - CAN Simultané

La figure IV.3 a donne le schéma de principe d'un convertisseur CAN simultané permettant d'assurer la conversion de tension aussi bien positives que négatives.

Le principe de convertisseur CAN pour des tensions positives a été expliqué en détail au paragraphe III.3.5.1 -

La conversion des tensions négatives a été obtenue en utilisant un montage symétrique au précédent, le principe de fonctionnement de ce dernier est strictement identique à celui décrit plus haut.

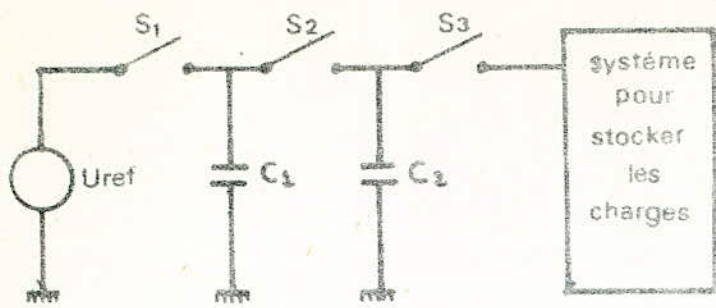


FIG III 35

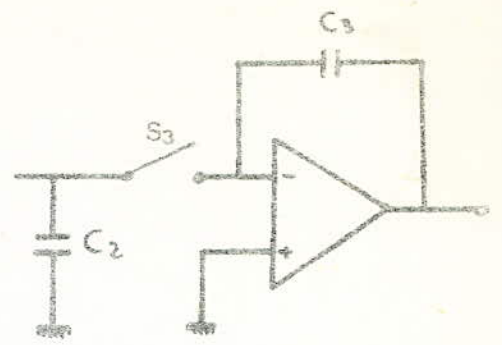


FIG III 36

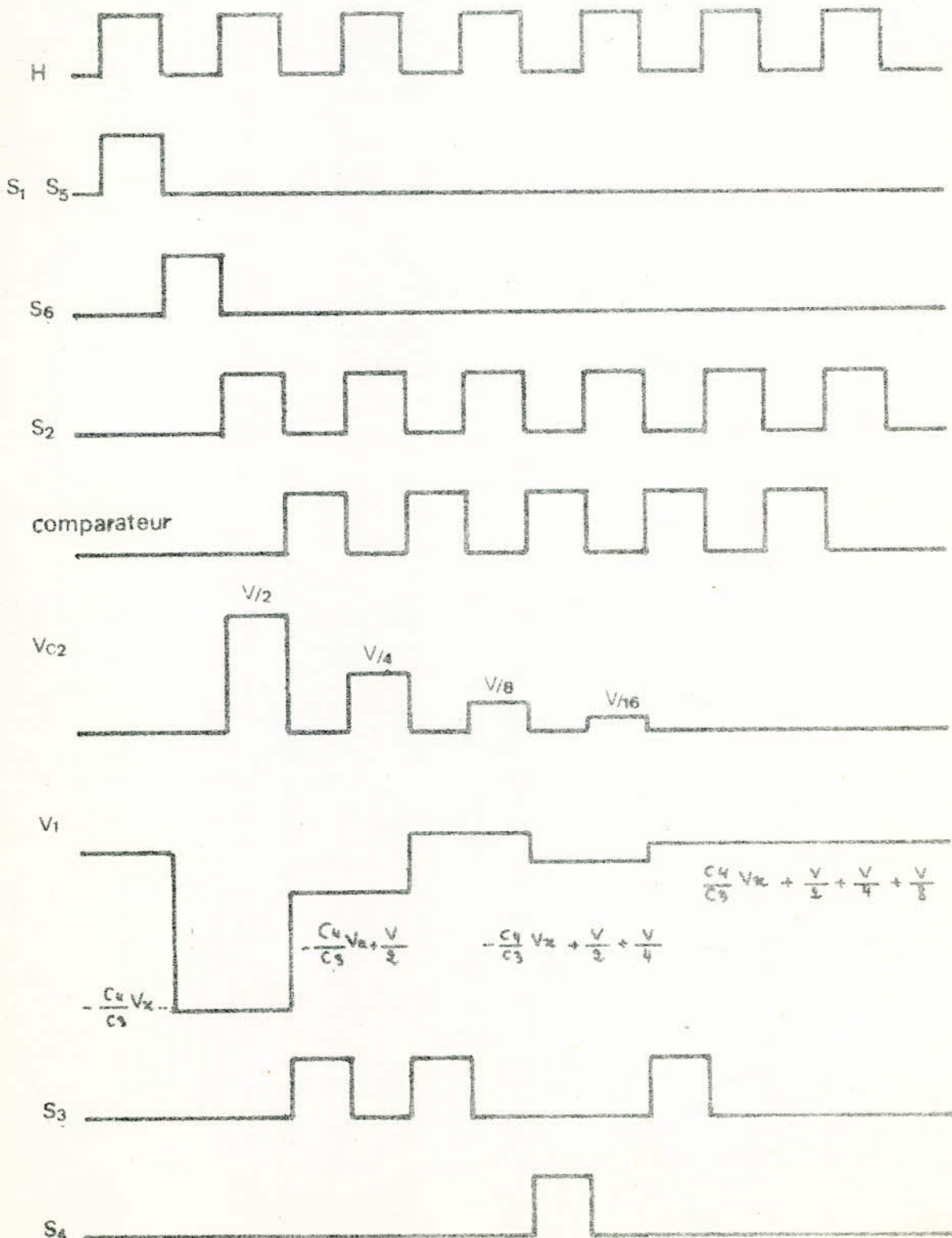


FIG III 37

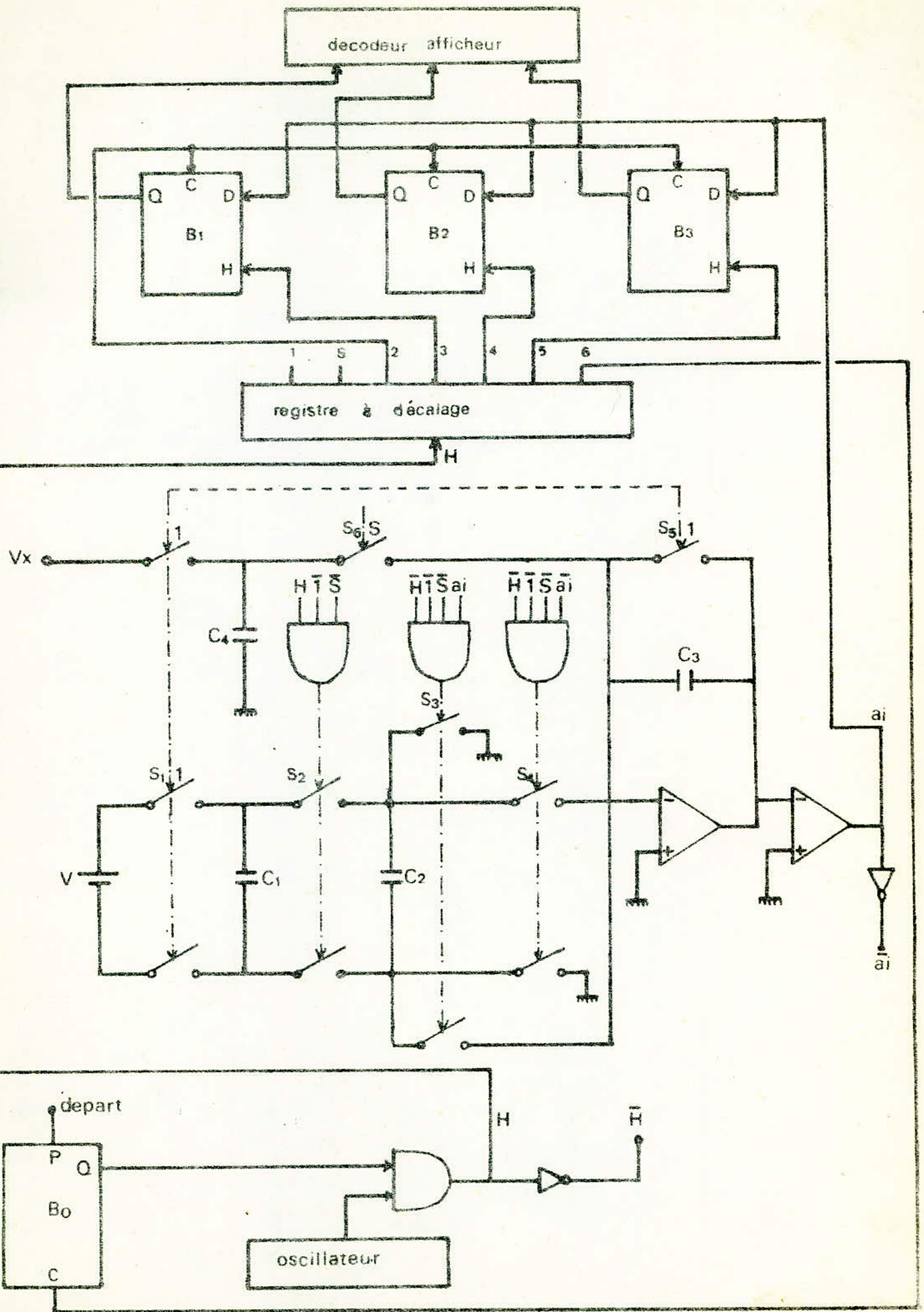
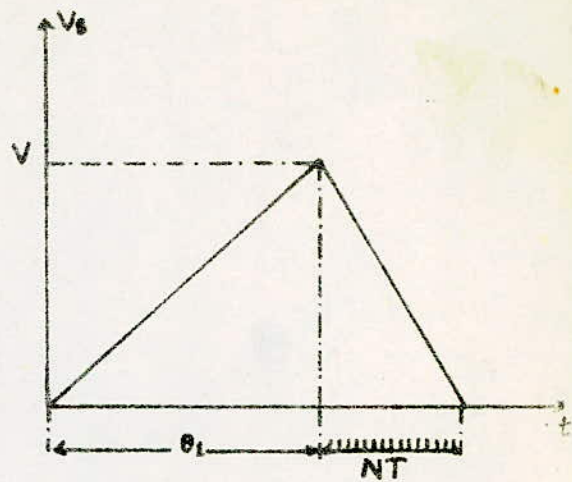
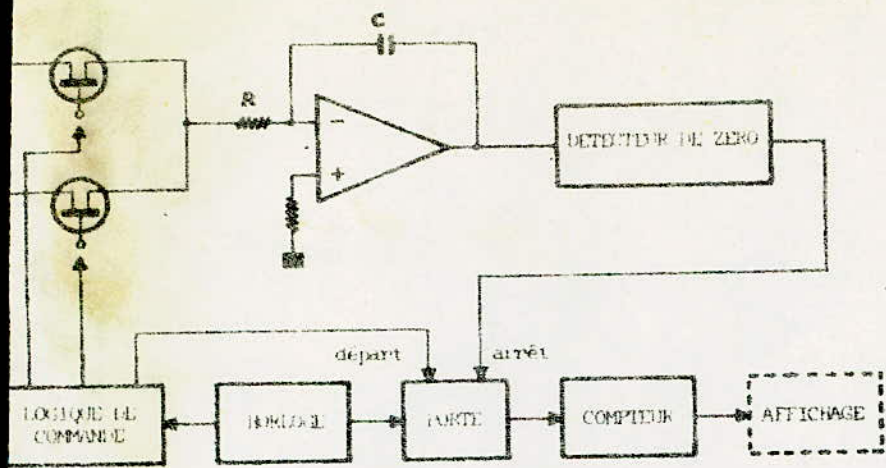


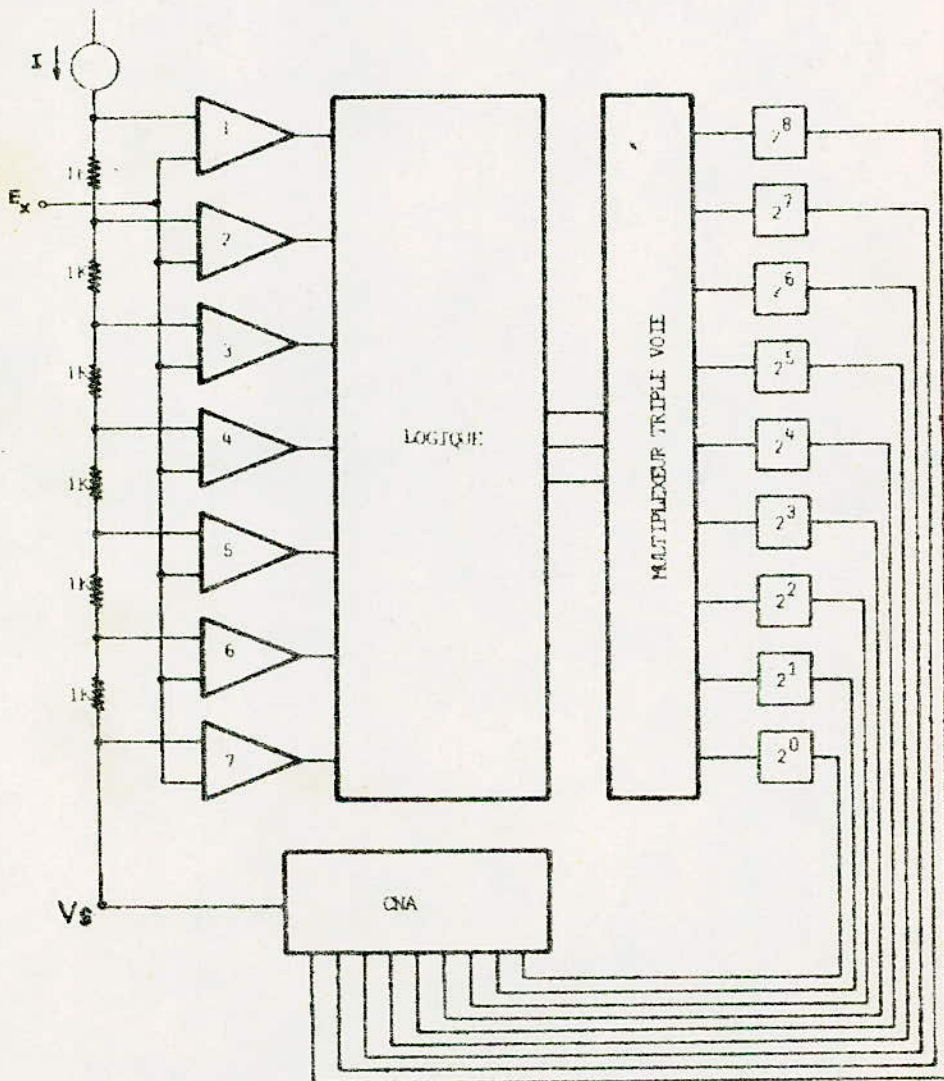
FIGURE 38

CONVERTISSEUR A TRANSFERT DE CHARGES CAPACITIF



- CAN à intégrateur réversible

FIG III 39



- Schéma de principe d'un convertisseur série-parallèle à 9 bits

	2^8	2^7	2^6	2^5	2^4	2^3	2^2	2^1	2^0
1ère étape	1	0	0	0	0	0	0	0	0
2ème étape	1	0	0	1	1	0	0	0	0
3ème étape	1	0	0	1	1	0	1	0	0

FIG III 40

- Etats des bascules à la fin de chaque étape

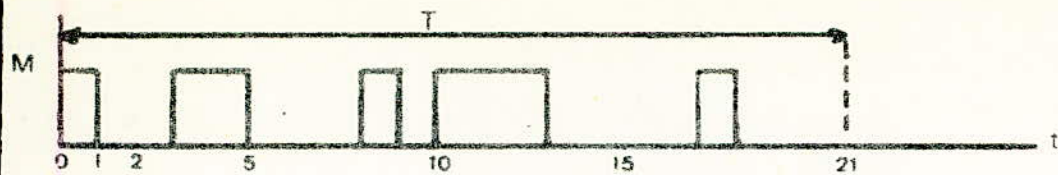


FIG III.41

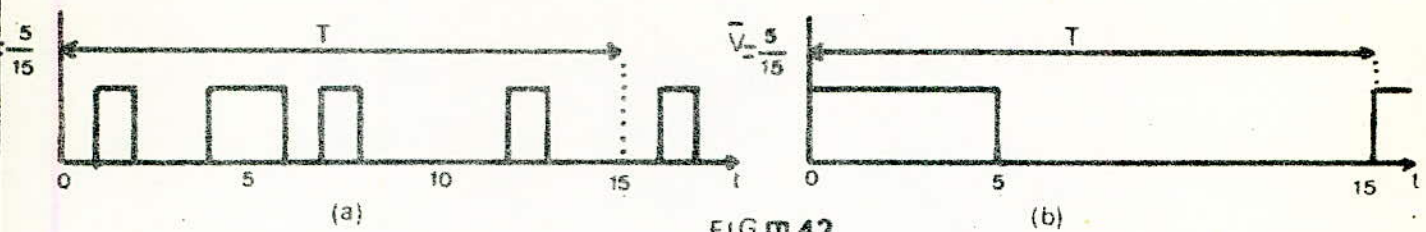


FIG III.42

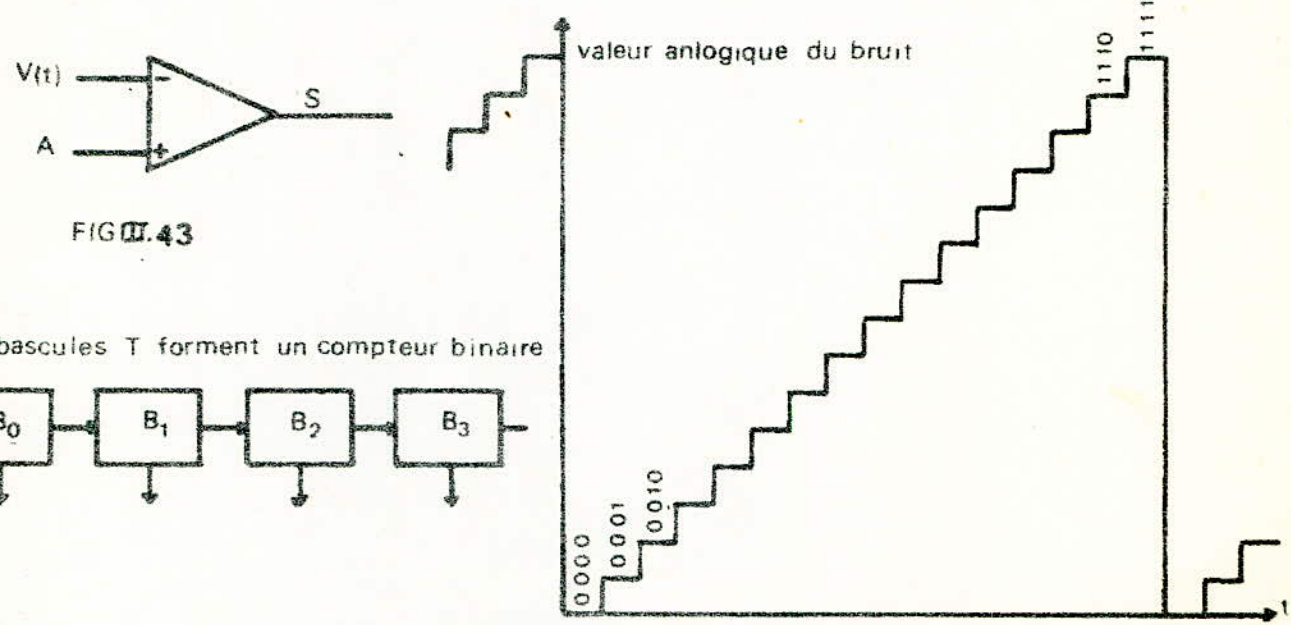
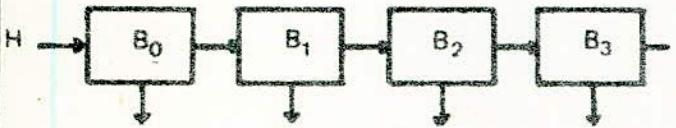


FIG III.43

FIG III.44

basculés T forment un compteur binaire



B ₀	B ₁	B ₂	B ₃	B ₃	B ₂	B ₁	B ₀	valeur analogique
0	0	0	0	0	0	0	0	0
0	0	0	1	1	0	0	0	8
0	0	1	0	0	1	0	0	4
0	0	1	1	1	1	0	0	12
0	1	0	0	0	0	1	0	2
0	1	0	1	1	0	1	0	10
0	1	1	0	0	1	1	0	6
0	1	1	1	1	1	1	0	14
1	0	0	0	0	0	0	1	1
1	0	0	1	1	0	0	1	9
1	0	1	0	0	1	0	1	5
1	0	1	1	1	1	0	1	13
1	1	0	0	0	0	1	1	3
1	1	0	1	1	0	1	1	11
1	1	1	0	0	1	1	1	7
1	1	1	1	1	1	1	1	15

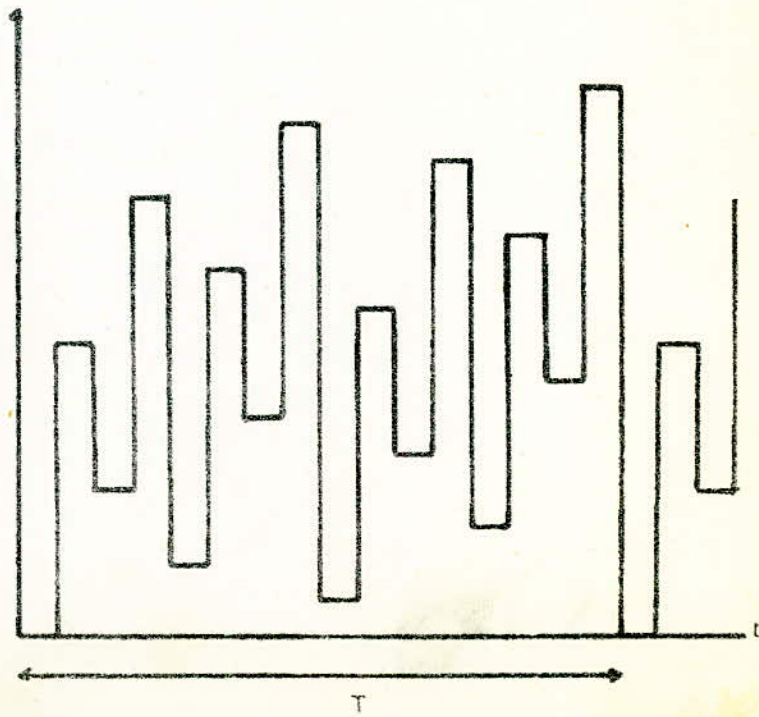


FIG III.45

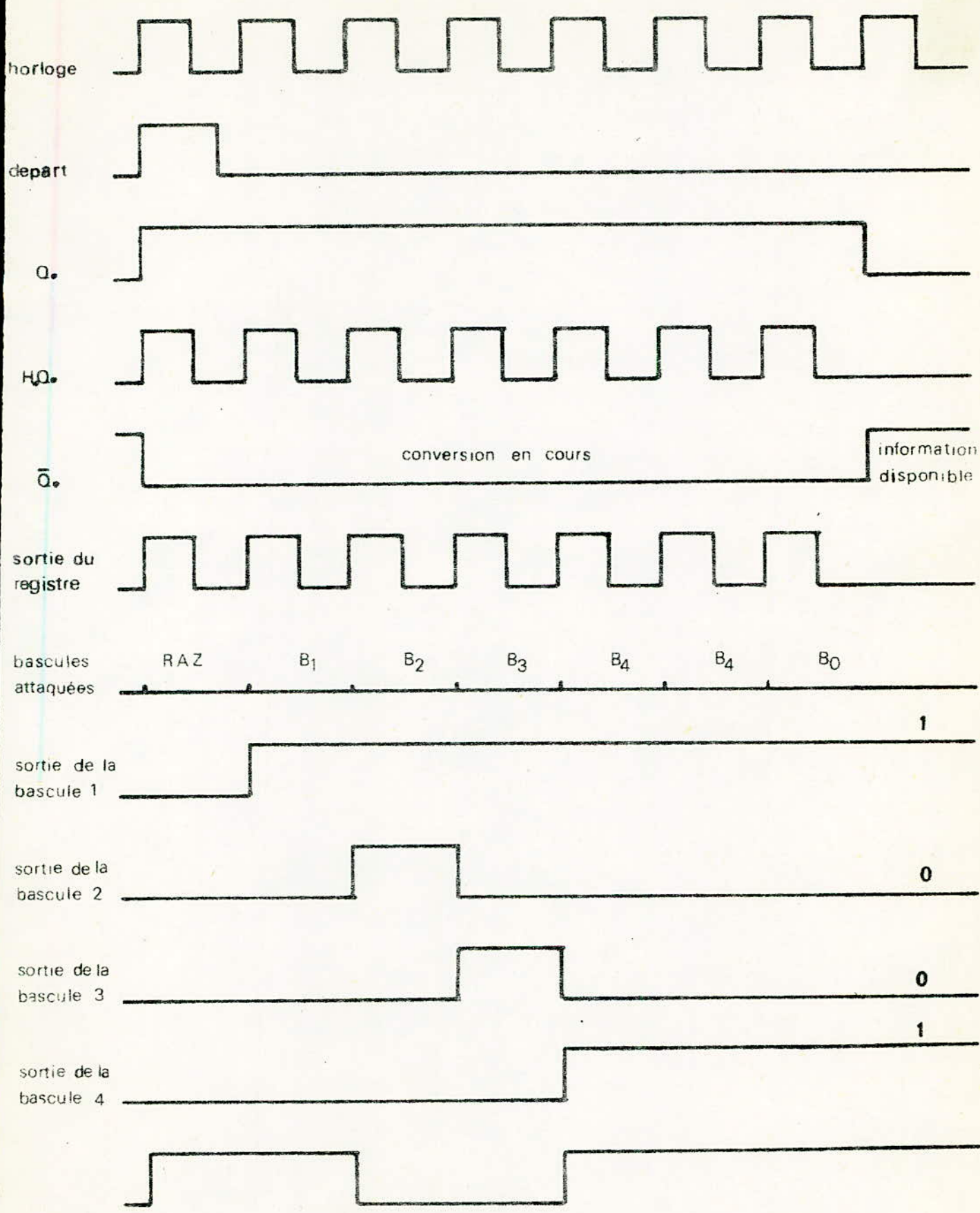


fig III.32 CONVERSION D UNE TENTION CORRESPONDANT AU NOMBRE 1001

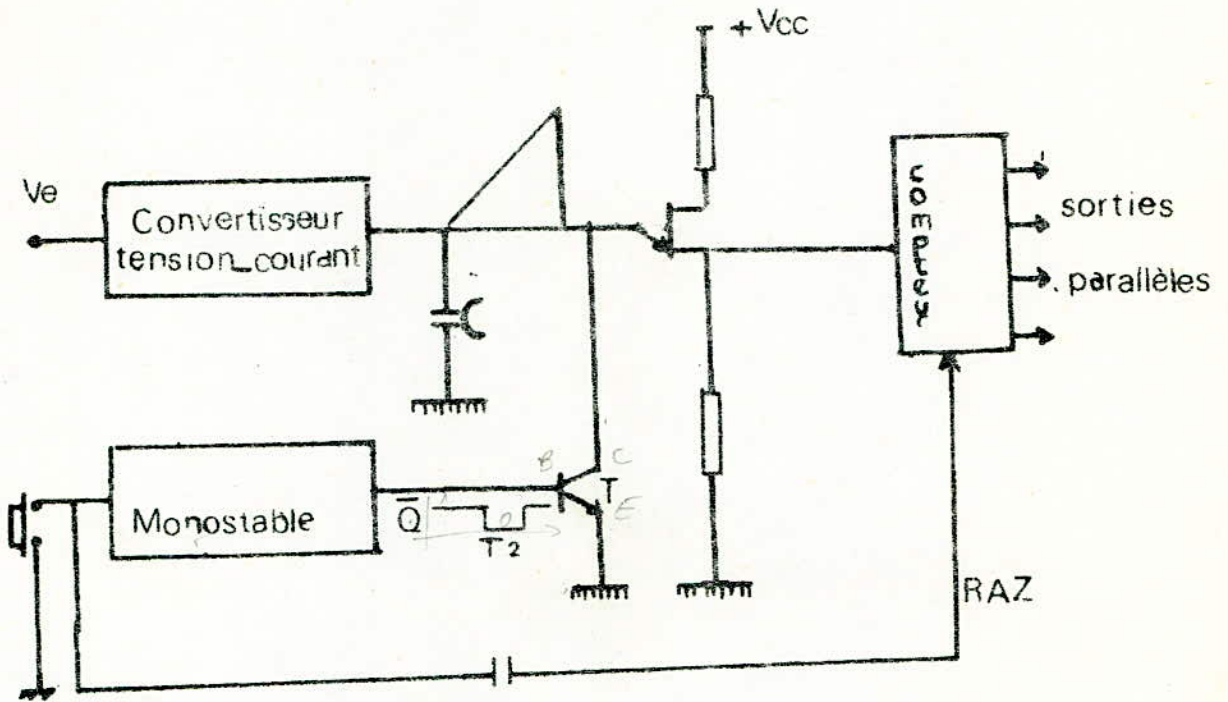


FIG II.33

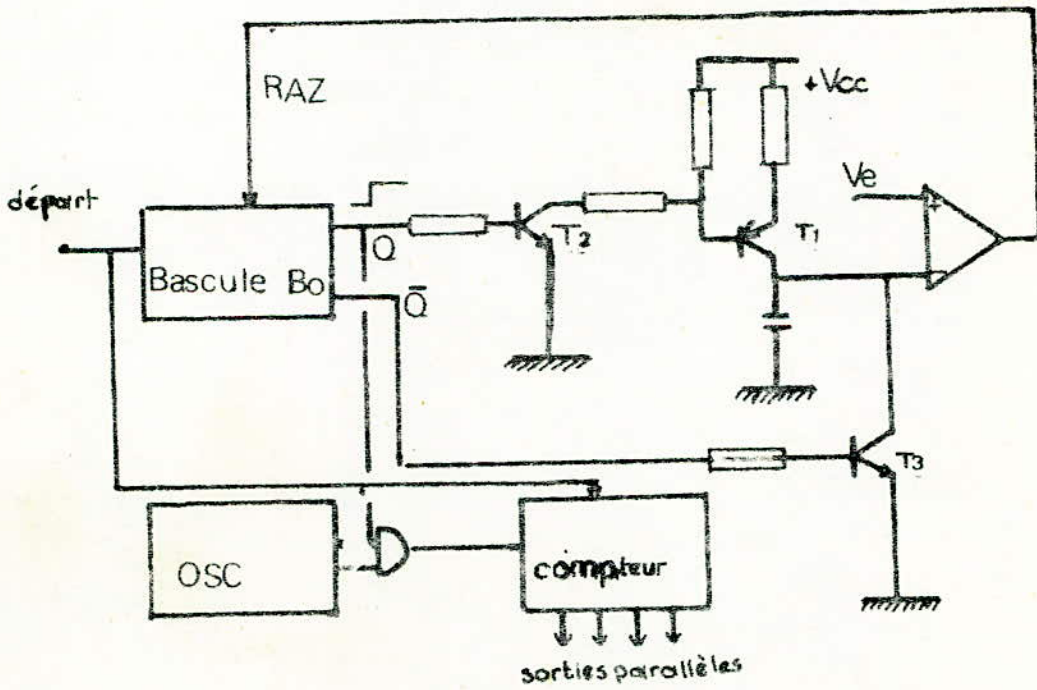


FIG III.34

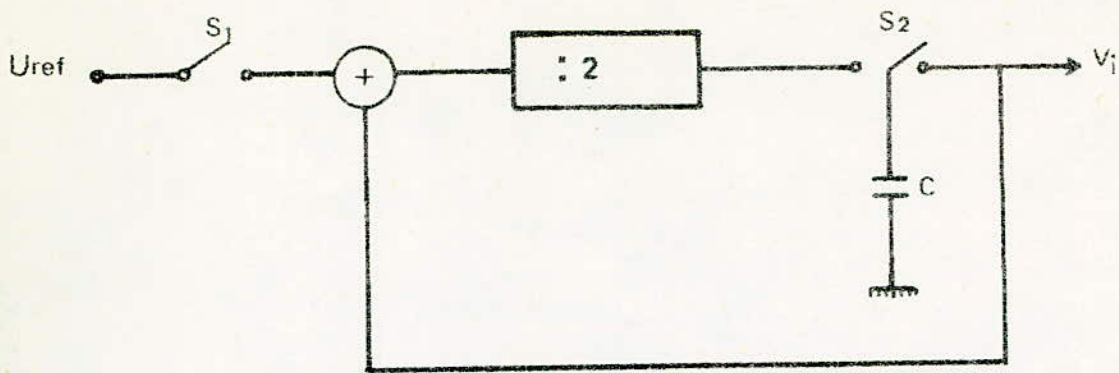


FIG III 18

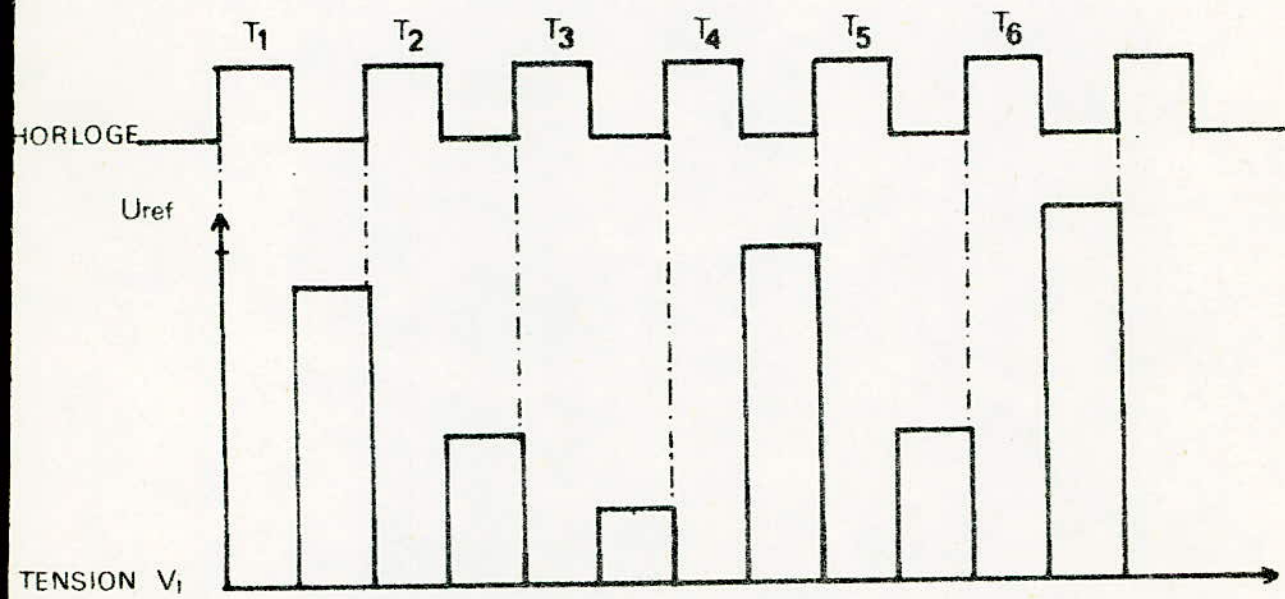


FIG III 19 MOT A CONVERTIR 101001

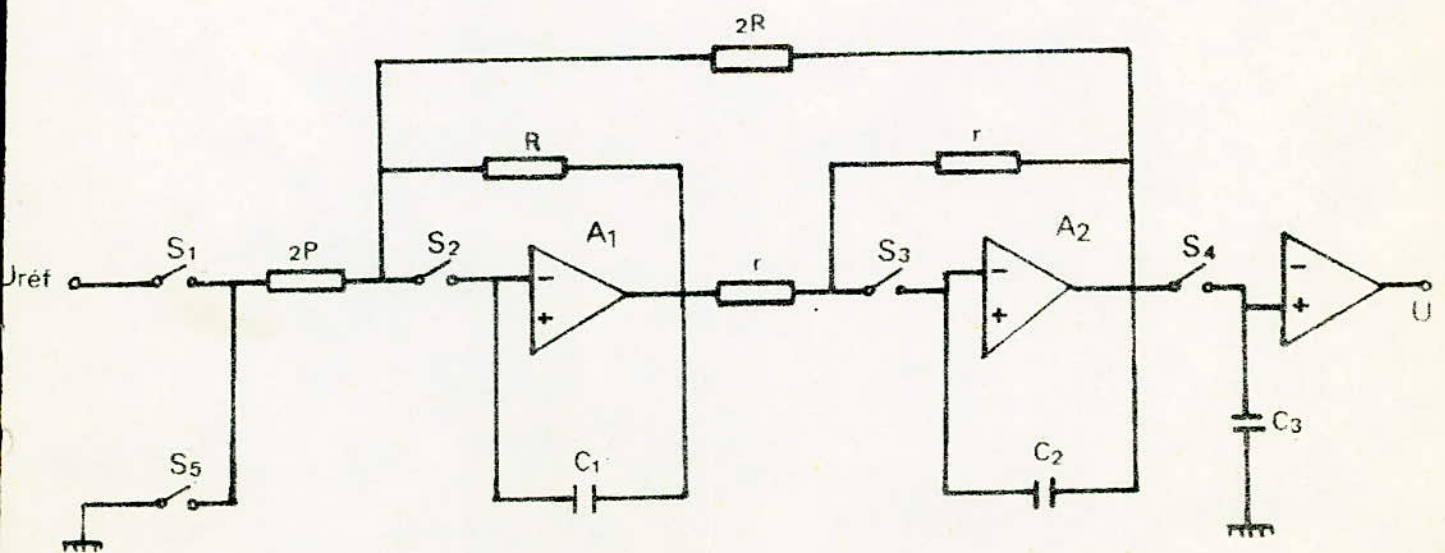


FIG III 20

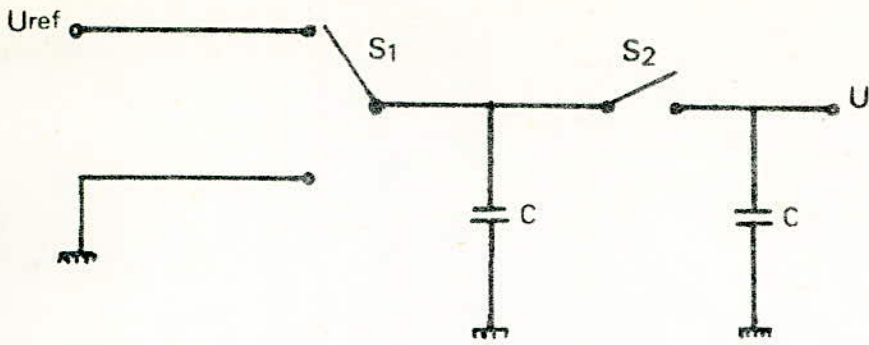


FIG III 21

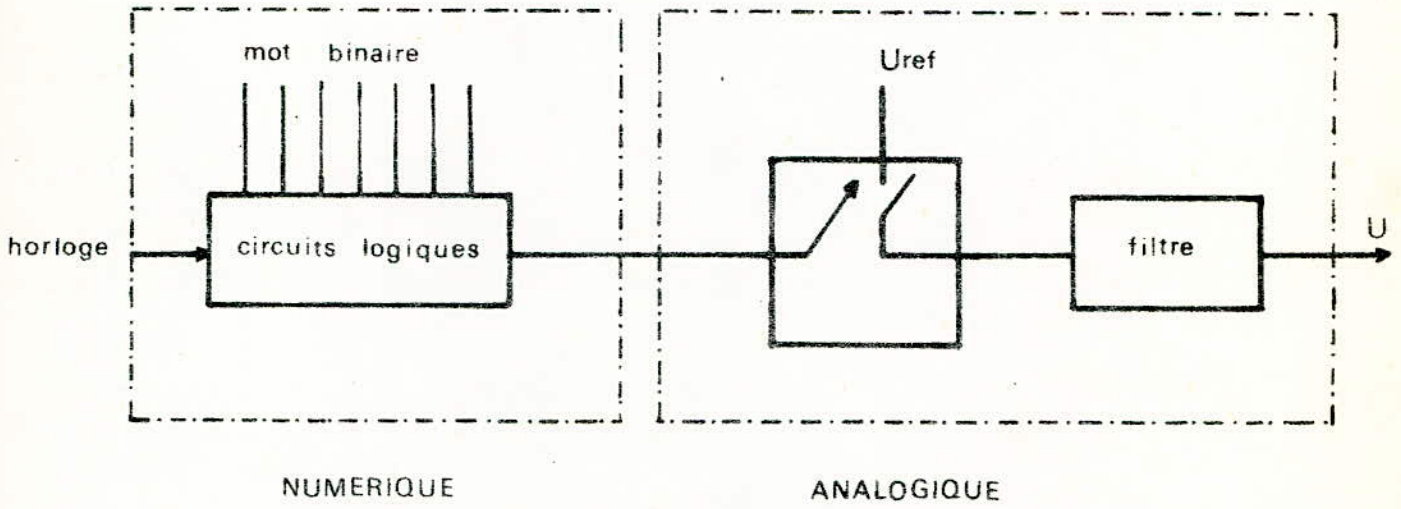


FIG III 22

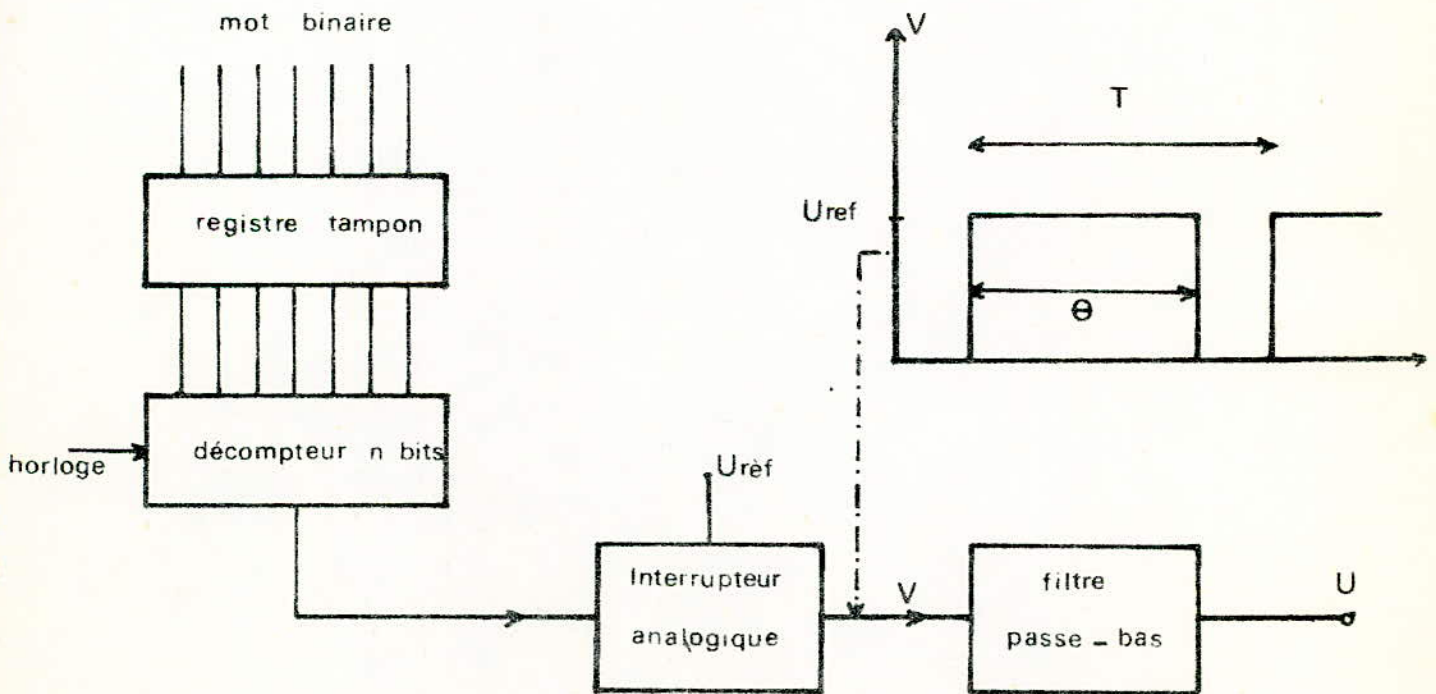


FIG III 23

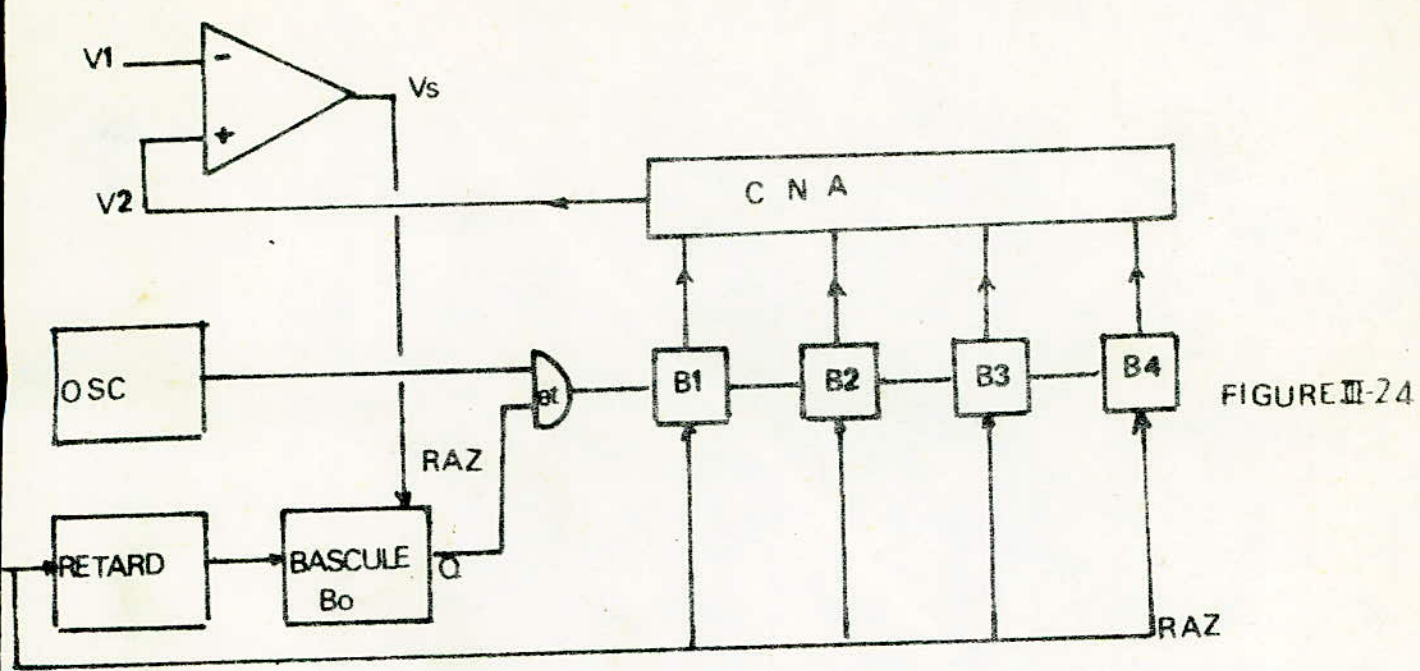


FIGURE III-24

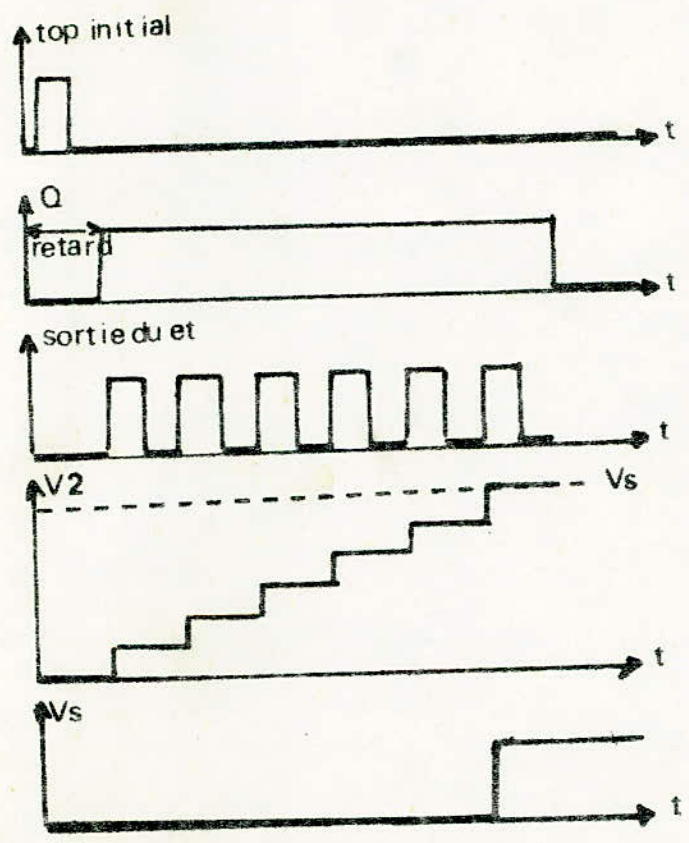


FIGURE III-25

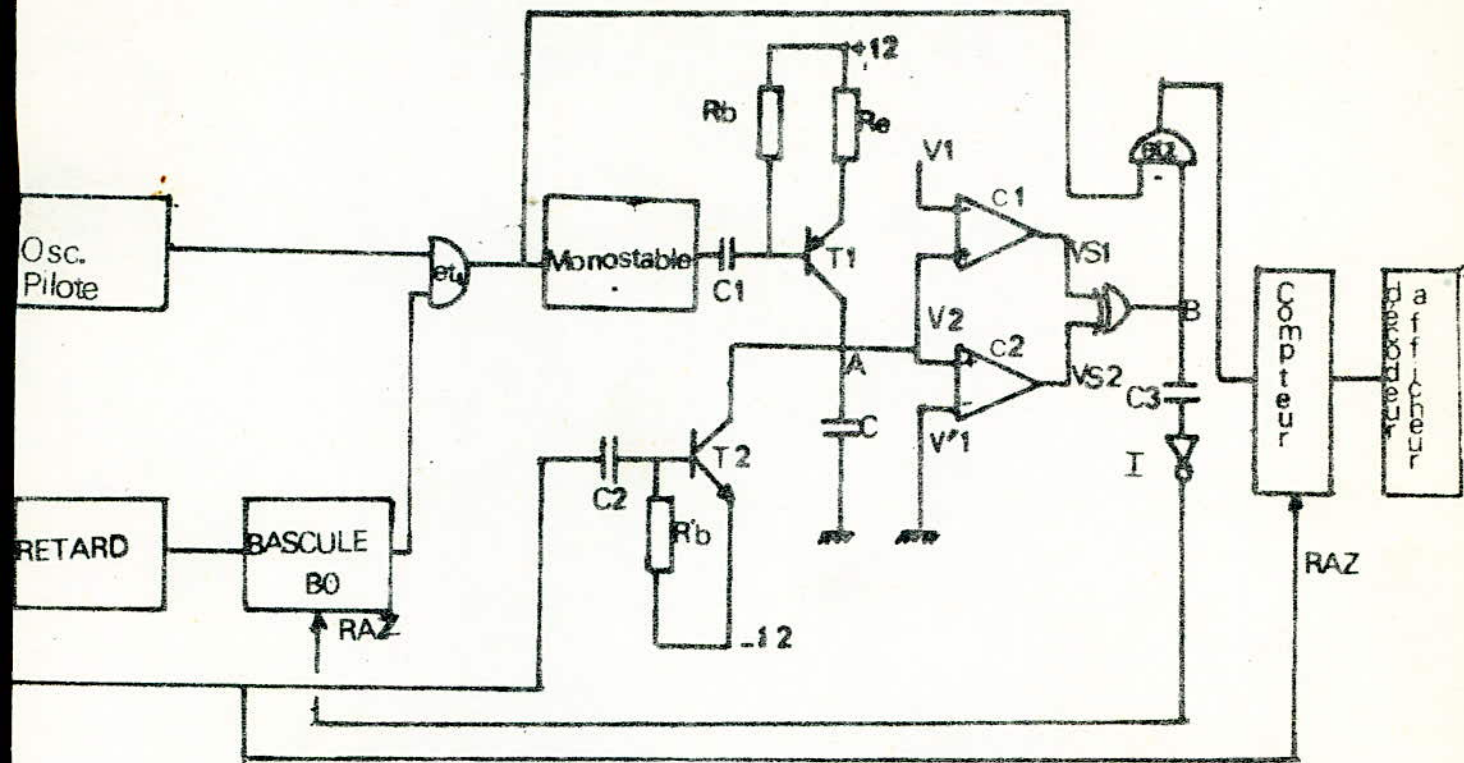


FIGURE III-26

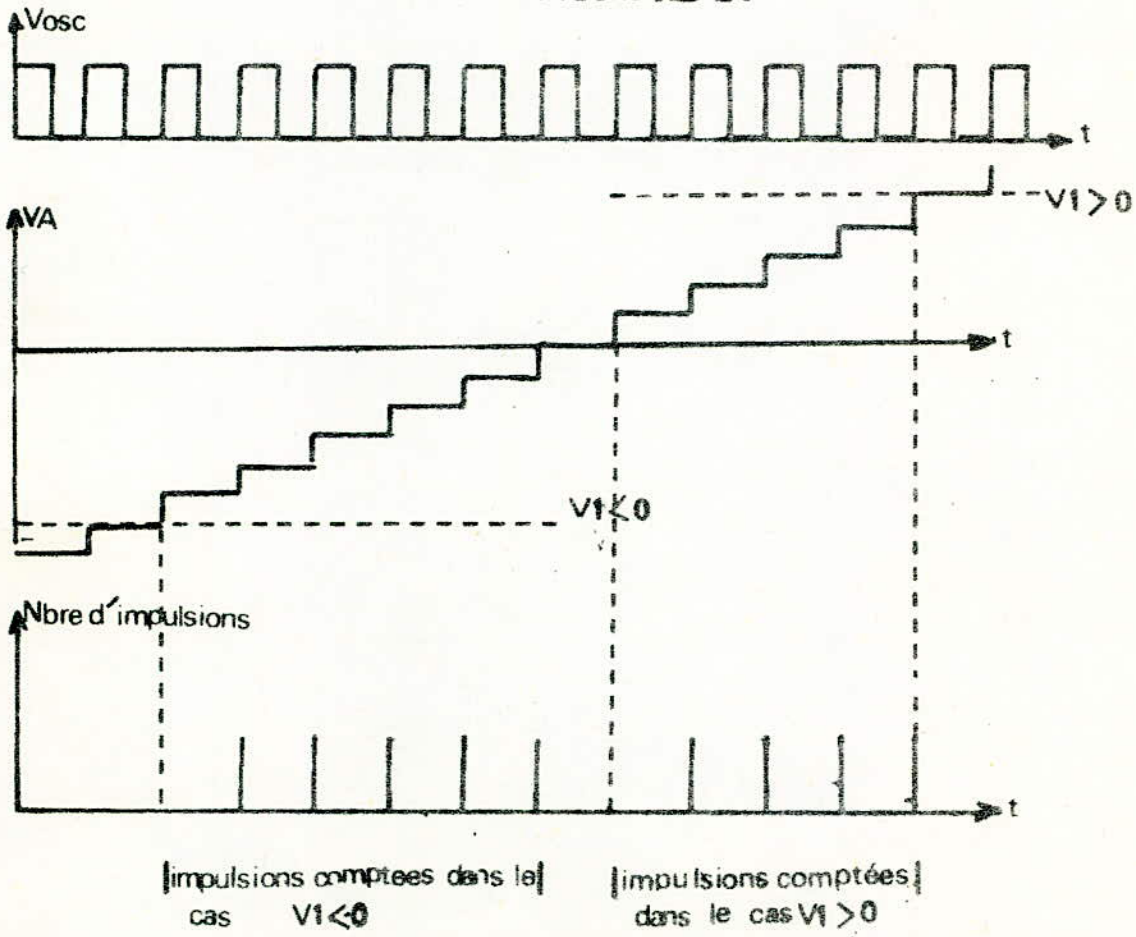


FIGURE III-27

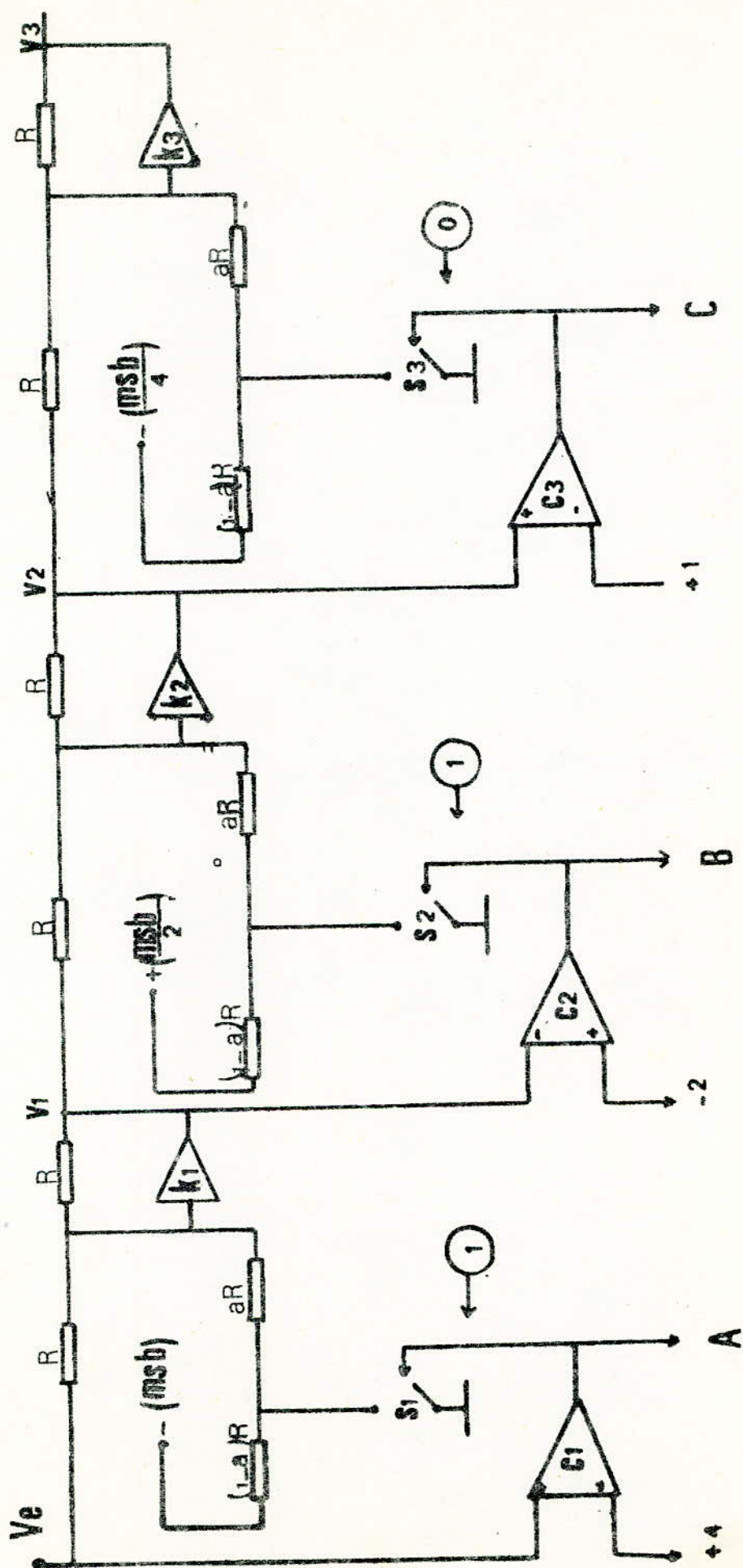
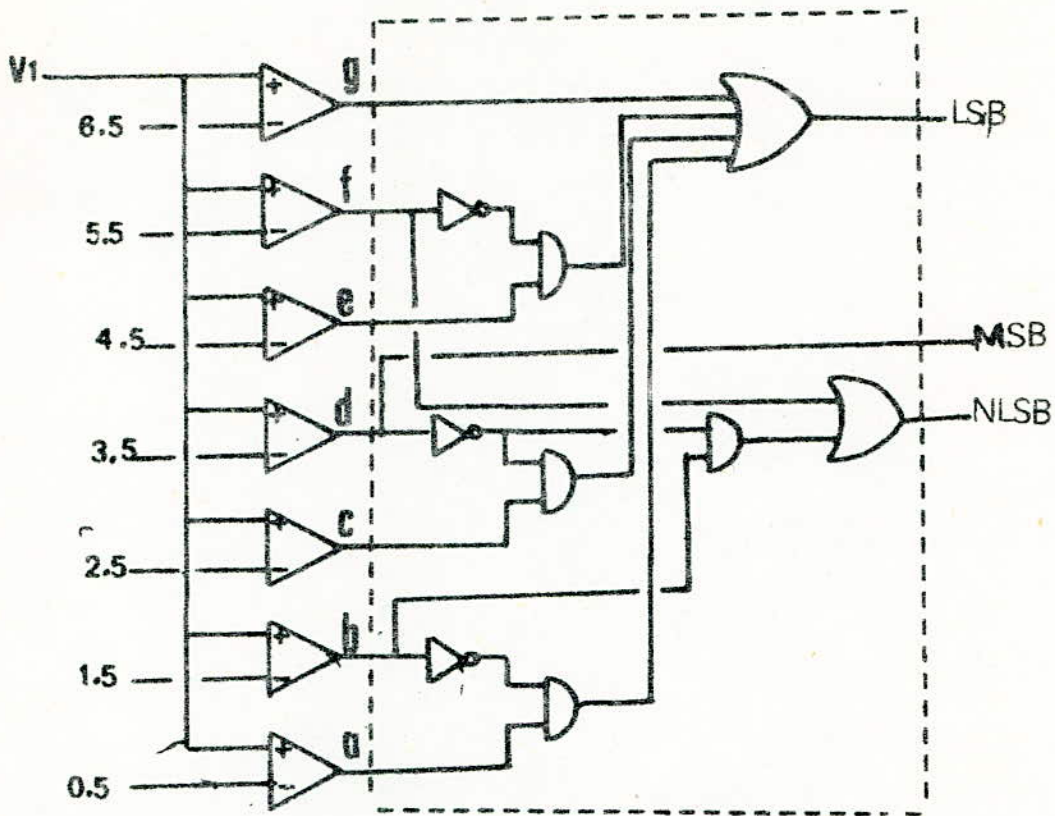


fig. III.28



figm 29

	V_i	Nbre binaire	a	b	c	d	e	f	g
6.5	7	1 1 1	1	1	1	1	1	1	1
5.5	6	1 1 0	1	1	1	1	1	1	0
4.5	5	1 0 1	1	1	1	1	1	0	0
3.5	4	1 0 0	1	1	1	1	0	0	0
2.5	3	0 1 1	1	1	1	0	0	0	0
1.5	2	0 1 0	1	1	0	0	0	0	0
0.5	1	0 0 1	1	0	0	0	0	0	0
	0	0 0 0	0	0	0	0	0	0	0

FIG II. 30

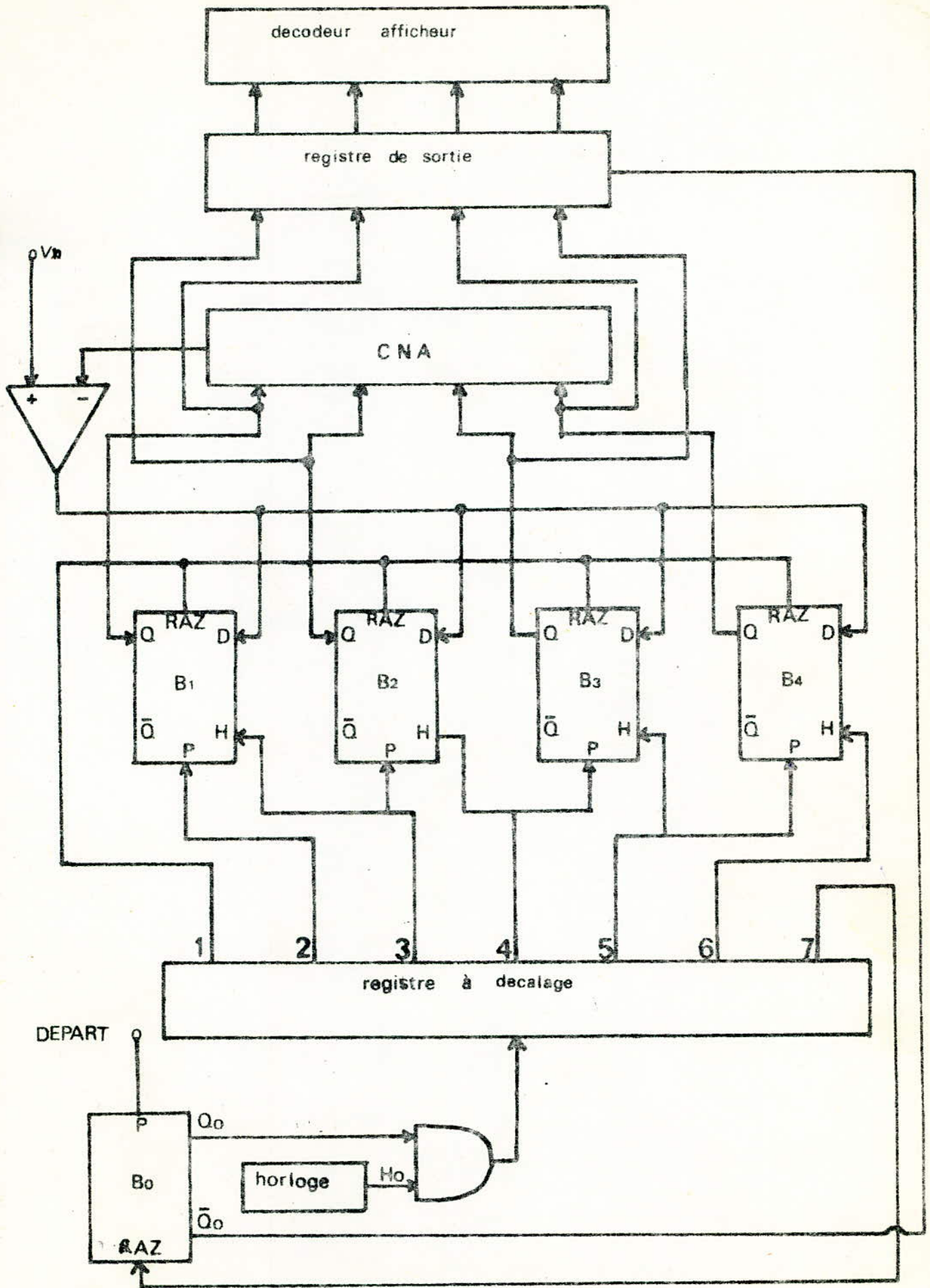


fig 31

CONVERTISSEUR A APPROXIMATIONS SUCCESSIVES

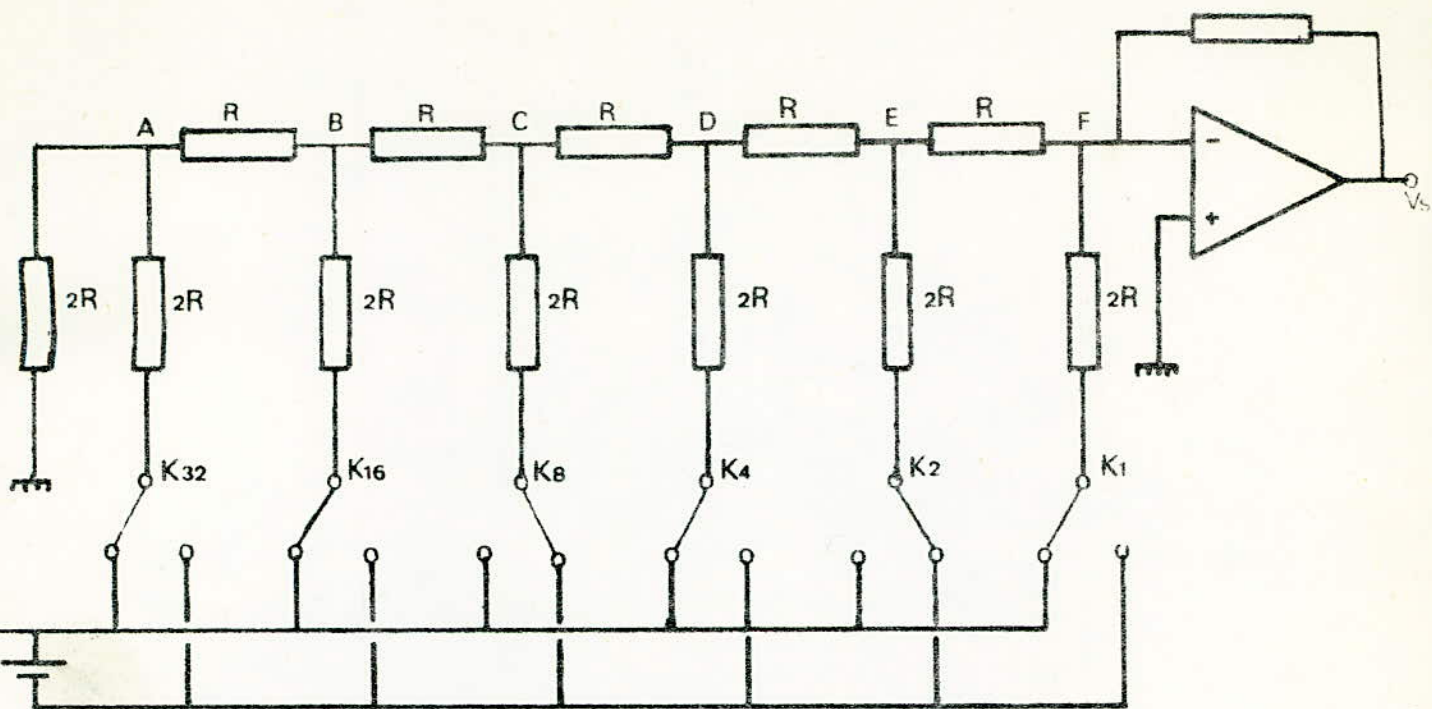


fig III 3 a convertisseur binaire 6 bits avec reseau R_2R

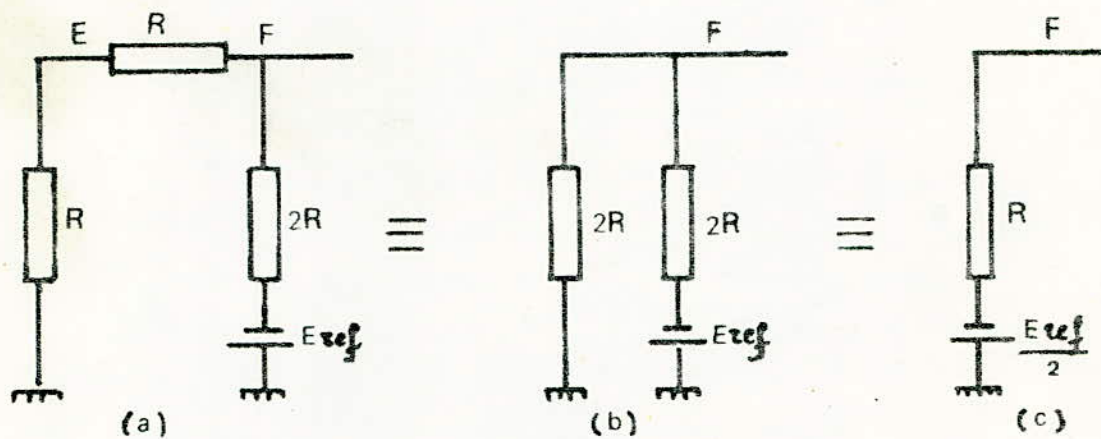


fig III 4 schema equivalent du reseau lorsque K1 est commuté

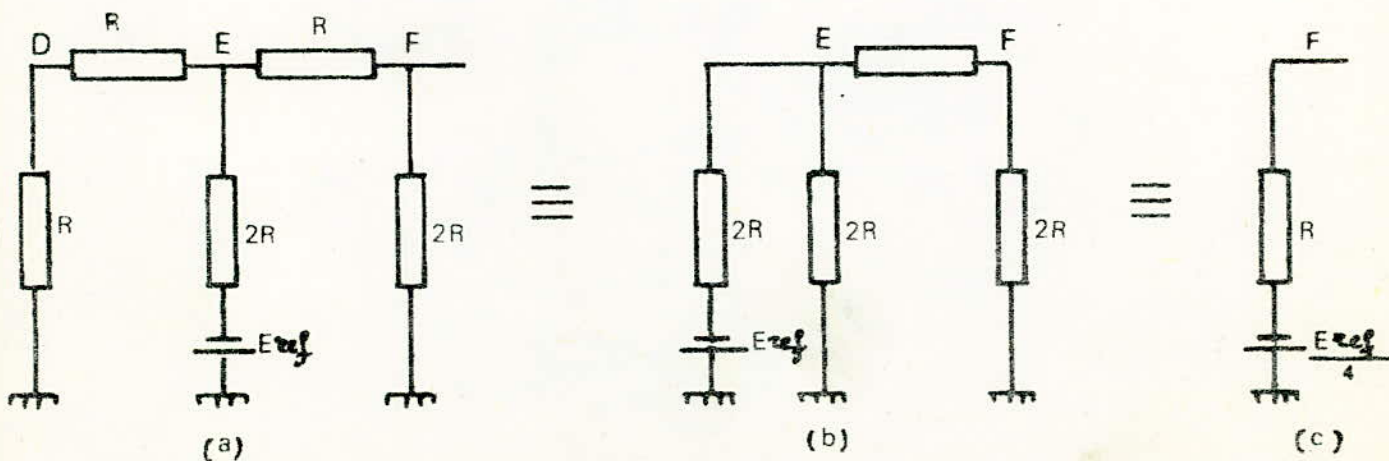


fig III 5 schema equivalent du reseau lorsque K2 est commuté

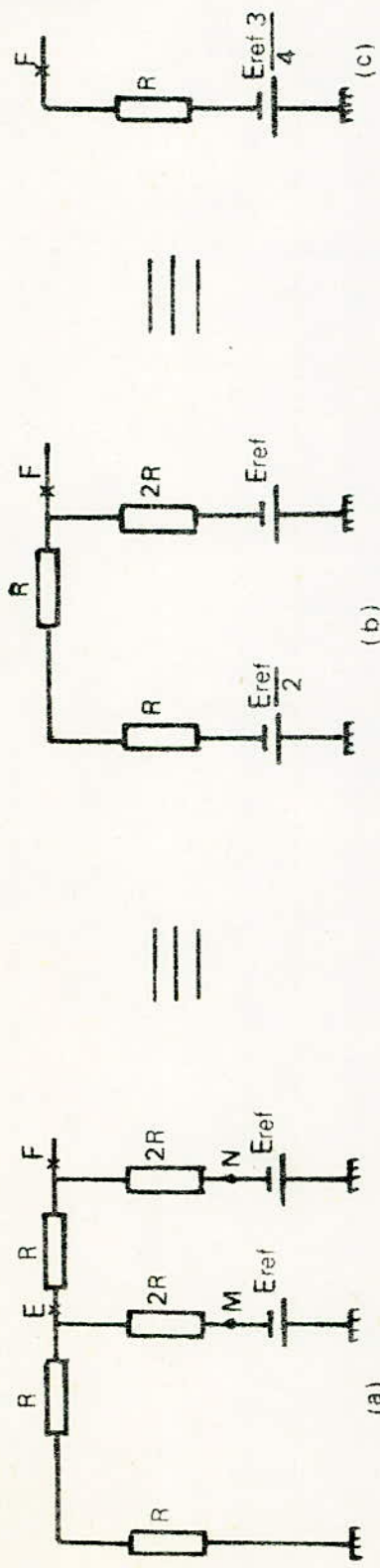


FIG III 6 SCHEMA EQUIVALENT A K1 & K2 COMMUTES ENSEMBLE

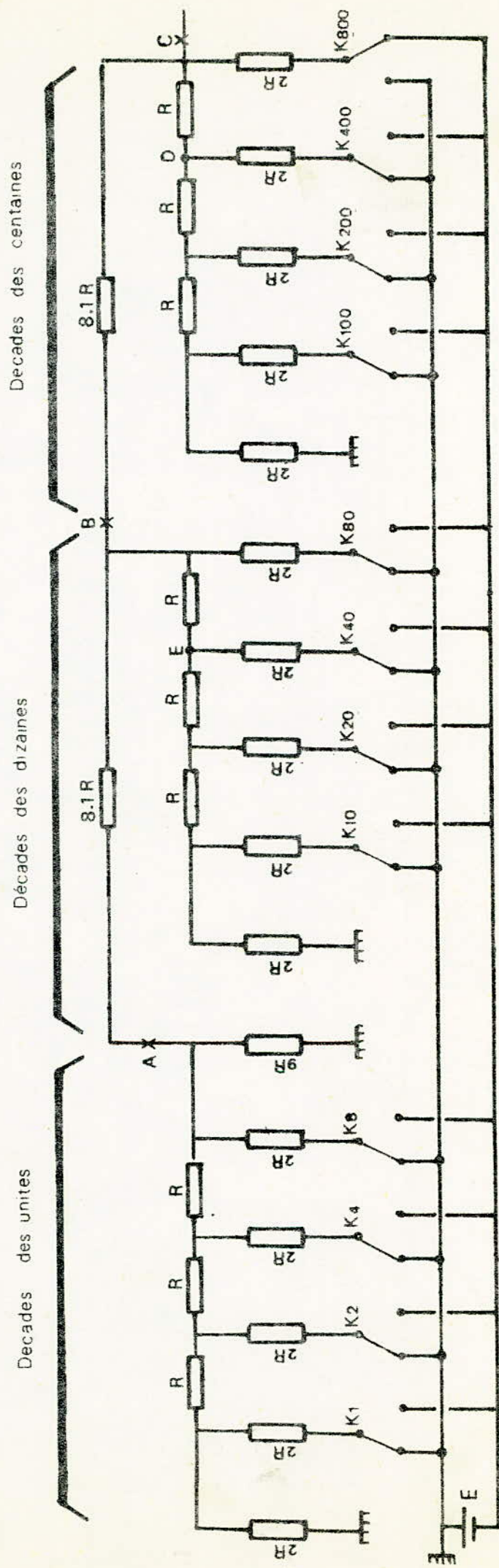


FIG III 7 RESEAU R . 2R CONFIGURATION B C D

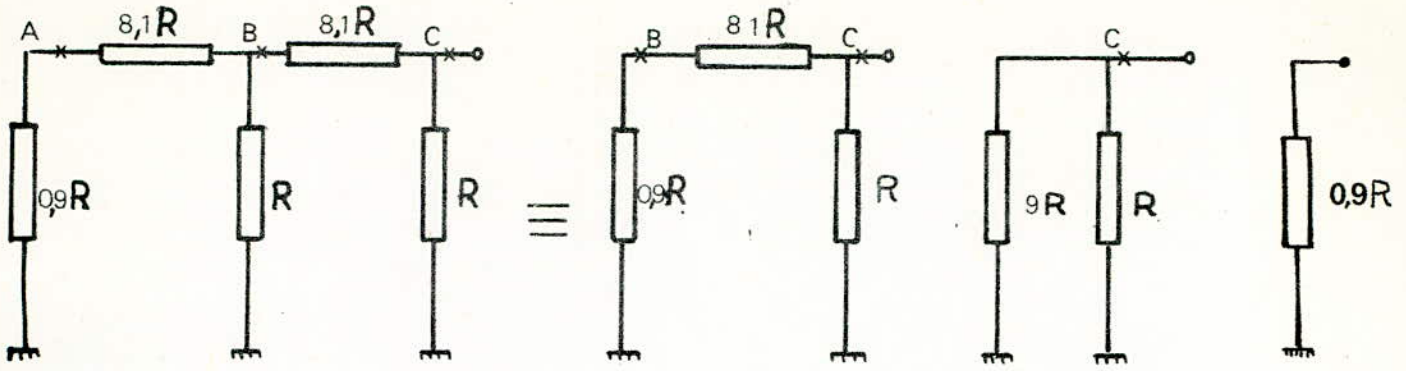


FIG III 8 SCHEMA EQUIVALENT DU POINT DE VUE DES IMPEDANCES DU RESEAU BCD A 3 DECADES

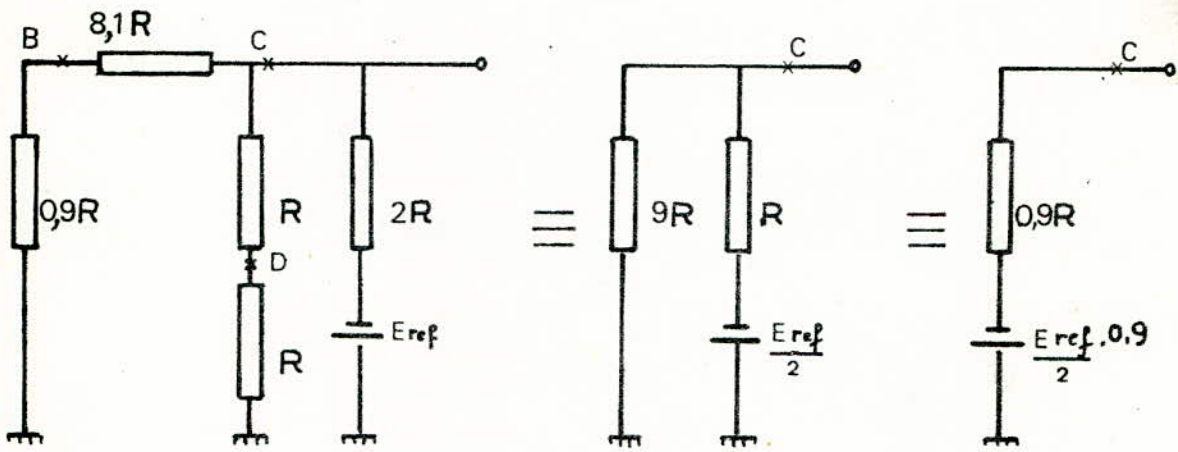


FIG III 9 SCHEMA EQUIVALENT LORSQUE K800 EST COMMUTE SEUL

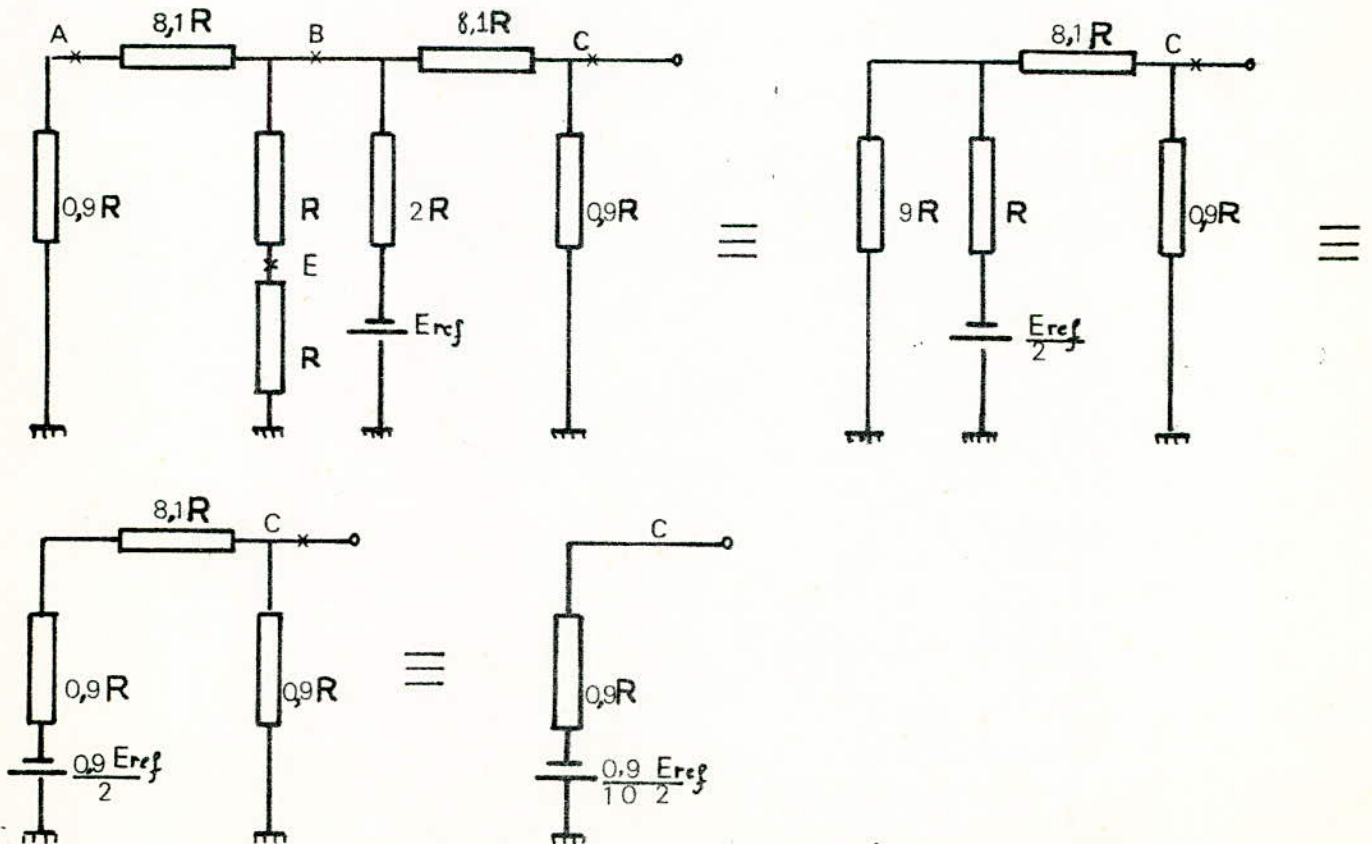


FIG III 10 SCHEMA EQUIVALENT LORSQUE K80 EST COMMUTE SEUL

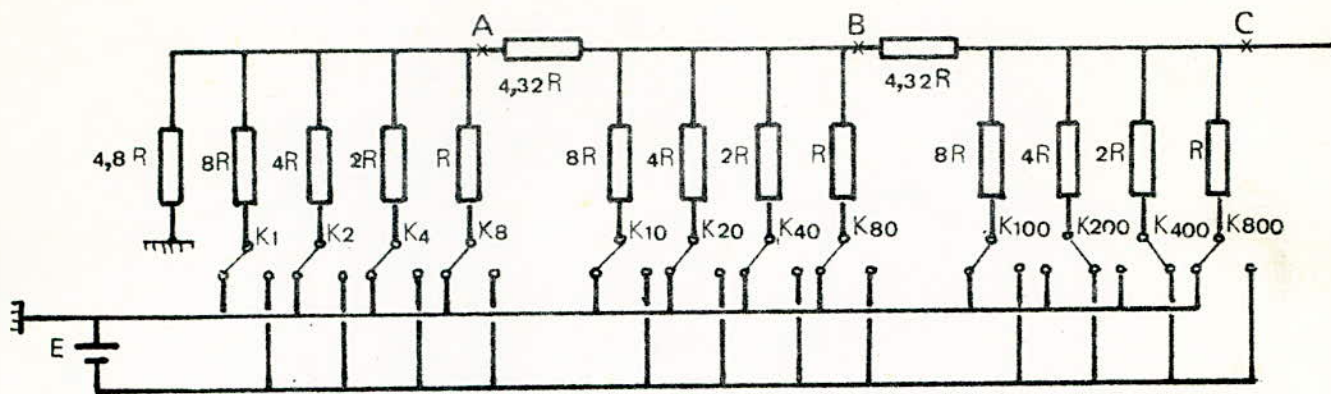


fig III 11 reseau 1-2-4-8 configuration BCD à 3 décades

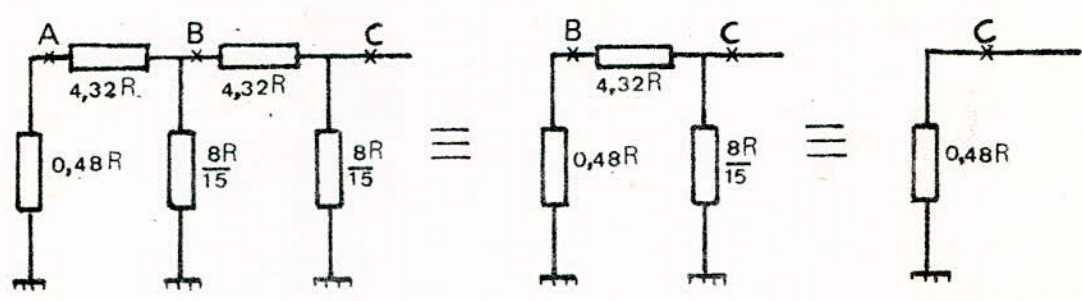


fig III 12 Impedances du reseau au points B et C

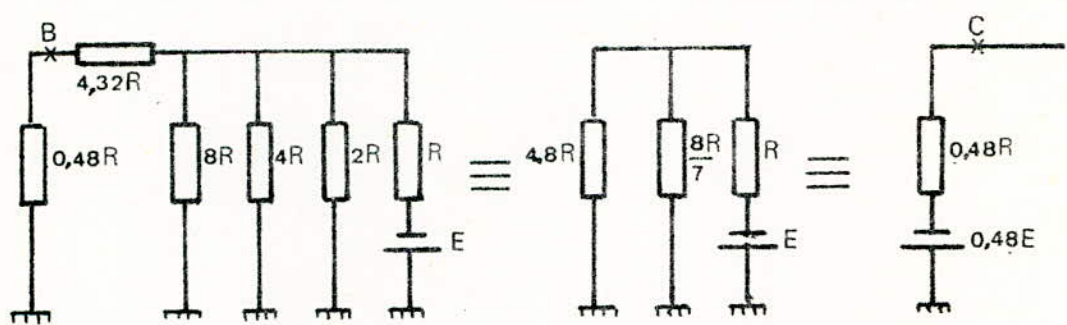


fig III 13 Schéma équivalent lorsque K800 est commuté seul

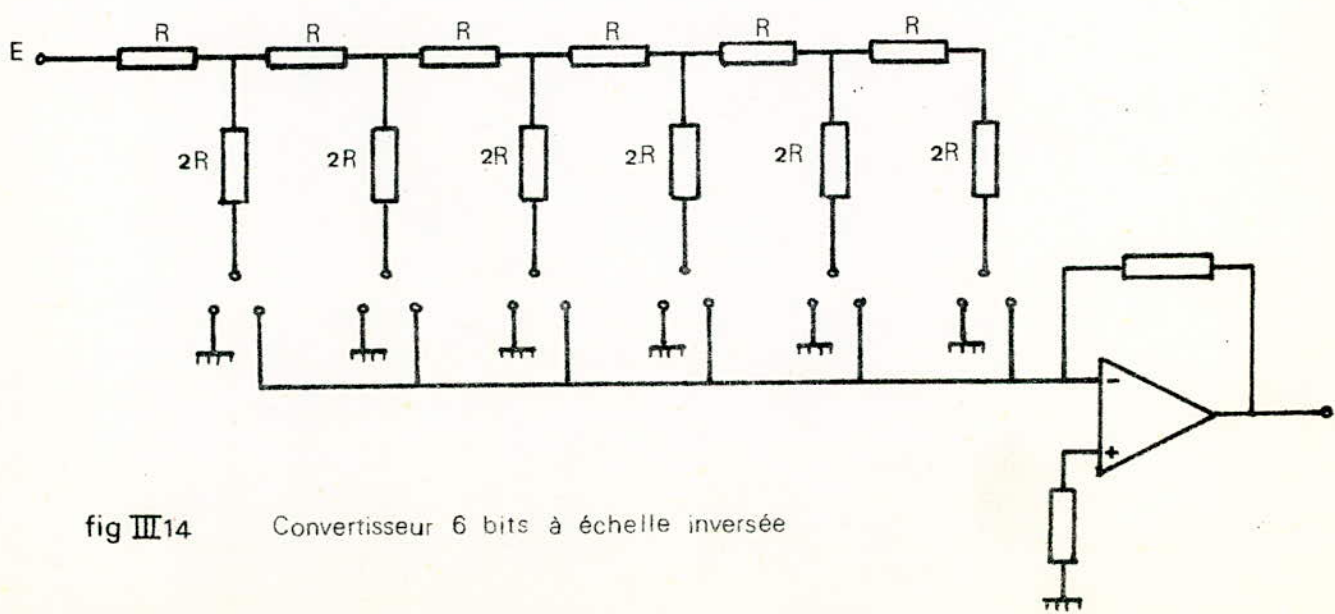


fig III 14 Convertisseur 6 bits à échelle inversée

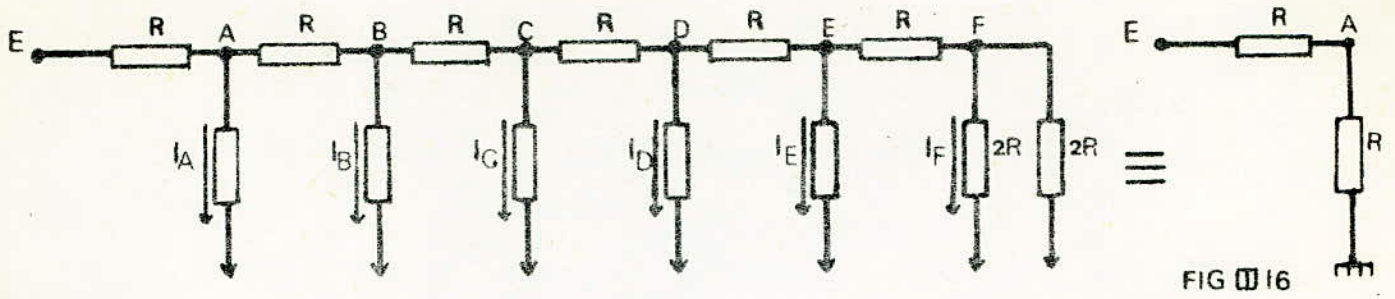


FIG III 15 COURANTS DANS LE RESEAU 2_2R ET TENSION AU POINT A

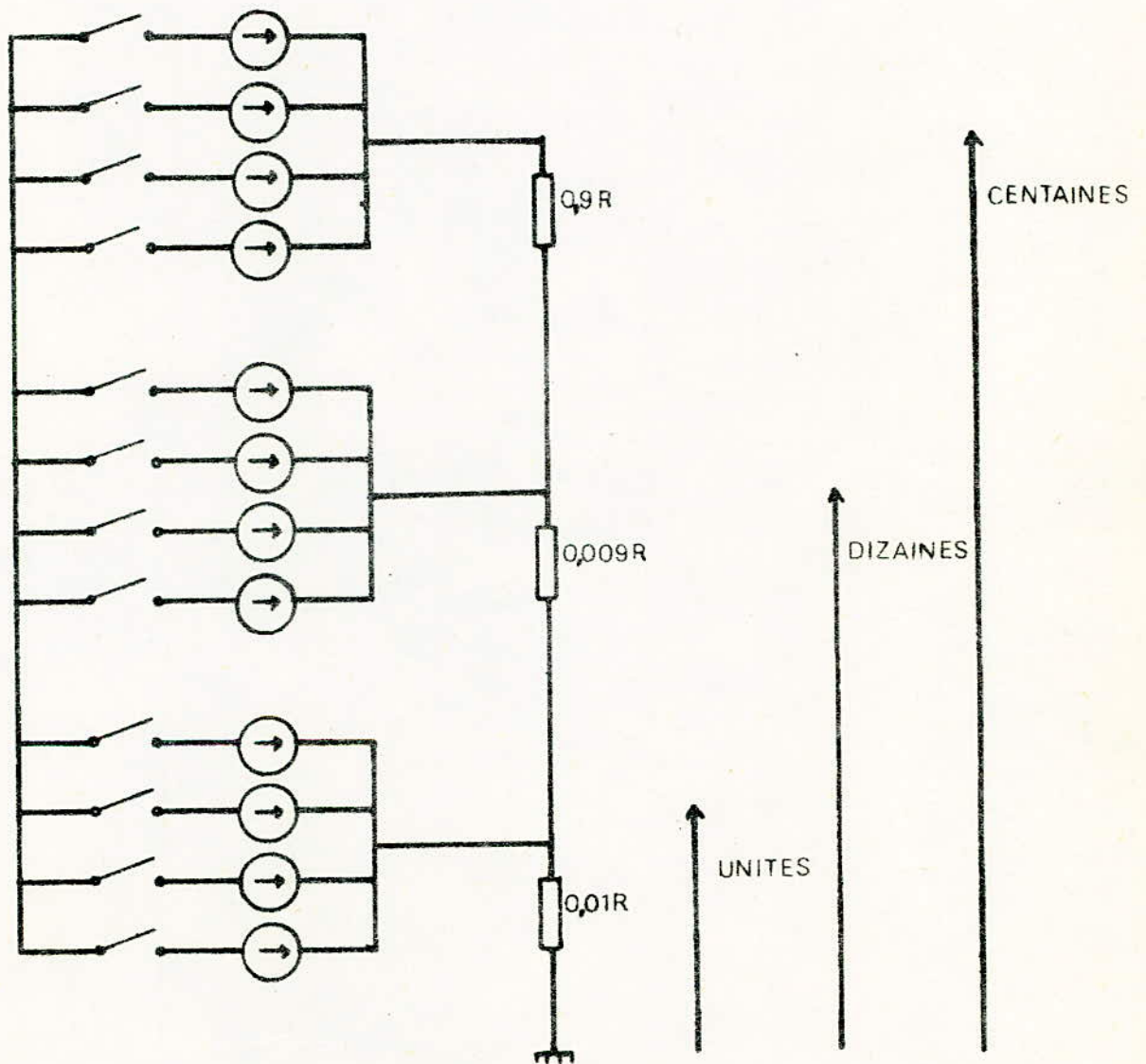


FIG III 17 CONVERTISSEUR A COURANTS PONDERES

lorsque le nombre binaire B : B(Bn -----B3 B2 B1 Bo) est plus petit que celui représentant la grandeur A à convertir :

$$A (A_n \text{ ----- } A_3 A_2 A_1 A_0)$$

Pour fixer les idées considérons le cas de deux nombres de 1 bit A0 et B0

Dans ce cas il y a égalité si :

$$E_0 = A_0 B_0 + A_0 \bar{B}_0 = 1$$

A0 est plus grand que B0 si A0 = 1, B0 = 0 soit :

$$C_0 = A_0 B_0 = 1$$

Dans le cas contraire on aura C0 = 0

Dans l'exemple précédent nous avons considéré le cas de deux nombres de 1 bit ; considérons à présent le cas de deux nombres de 4 bits (A3 A2 A1 A0) et (B3 B2 B1 B0)

A > B si :

$$A_3 > B_3 \text{ soit } C_3 = 1$$

$$A_3 = B_3 (E_3 = 1) \text{ et } A_2 > B_2 (C_2 = 1)$$

$$A_3 = B_3 (E_3=1); A_2=B_2 (E_2=1) \text{ et } A_1 > B_1 (C_1=1)$$

$$A_3 = B_3 (E_3=1); A_2=B_2 (E_2=1); A_1=B_1 (E_1 = 1)$$

et A0 > B0 (C0 = 1)

La fonction b o o l e e n n e cherchée vaut donc :

$$S = C_3 + E_3 C_2 + E_3 E_2 C_1 + E_3 E_2 E_1 C_0 .$$

On peut chercher l'égalité : A = B si :

$$A_0 = B_0; A_1 = B_1; A_2 = B_2; A_3 = B_3$$

soit : E0 E1 E2 E3 = 1

La figure III.47. donne la structure d'un comparateur à un bit.

$$E_0 = \bar{A}_0 \bar{B}_0 + A_0 B_0 = \bar{A}_0 \bar{B}_0 + A_0 B_0 = (\bar{A}_0 \bar{B}_0) (A_0 B_0)$$

Pour 4 bits il suffit de combiner plusieurs circuits P comme le montre la figure 48.

III.4.5 - Convertisseur N/A stochastique

La figure 49 donne le schéma de principe d'un tel convertisseur.

Cette figure montre que la valeur analogique est la valeur moyenne du signal stochastique.

Le filtre de sortie peut être un simple RC pour isoler la composante continue.

III.4.6 - Convertisseur A/N stochastique

La figure III.50 donne le schéma de principe d'un tel convertisseur.

Dans ce type de convertisseur A/N, on utilise : Un conver -

-tisseur N/A dans une boucle d'asservissement.

-Un ensemble de bascules monté en compteur réversible est conçu de façon à

-Compter dans le sens normal si les niveaux appliqués aux entrées C et D valent $C = 1, D = 0$

-Décompter dans le sens inverse si les niveaux appliqués aux entrées C et D valent $C = 0, D = 1$.

- Se bloquer si $C = D = 0$.

La structure du convertisseur est alors la suivante :

Une horloge commande le compteur réversible dont les entrées C et D sont pilotées par les sorties de deux comparateurs analogiques comparant la tension d'entrée à convertir V_1 avec une tension V_2 obtenue en transformant en analogique le nombre binaire lu sur le compteur.

-Si $V_1 < V_2$, le comparateur 2 est au niveau haut, le compteur décompte et V_2 diminue

-Si $V_1 > V_2$, le comparateur 1 est au niveau haut, le compteur compte et V_2 augmente.

-Le système se stabilise lorsque $V_1 = V_2$, la sortie du compteur affiche alors l'équivalent binaire de V_1 .

III-5 ERREURS DANS LES CONVERTISSEURS

III.5 - Les erreurs dans les CNA et CAN.

Les convertisseurs aussi bien A/N que N/A n'étant pas idéaux, les informations qu'ils fournissent sont attachées d'erreurs, erreurs que nous nous proposons de décrire dans la suite ces différents types d'erreurs.

III.5.1 - Erreurs dans les CNA.

Les erreurs dans les CNA sont :

- a- l'erreur de décalage
- b- l'erreur de gain
- c- l'erreur de linéarité
- d- l'erreur de linéarité différentielle.

a- l'erreur de décalage

L'erreur de décalage est la différence qui existe entre la tension que délivre le CNA lorsque tous les bits sont à l'état zéro et celle qu'on devrait obtenir en sortie, Cette erreur produit une translation verticale de la caractéristique de transfert comme le montre la figure (III.51), elle peut être positive ou négative, et elle est constante quelle que soit la valeur du message d'entrée.

b- L'erreur de gain

Cette erreur se traduit par une rotation de la caractéristique de transfert autour du point obtenu lorsque tous les bits sont à l'état zéro (figure III.52); dans ce cas l'amplitude de l'erreur n'est pas constante mais dépend du mot d'entrée, l'erreur la plus grande étant obtenue lorsque tous les bits sont dans l'état 1.

c- L'erreur de linéarité.

L'erreur de linéarité est la différence entre la tension de sortie réelle obtenue pour un certain mot et la tension de sortie idéale correspondant au même mot; cette erreur peut se mesurer sur la droite joignant les deux tensions extrêmes correspondant au mot 000 00 et 11....11 (figure III.53.) l'écart ΔU représente l'erreur de linéarité.

d- L'erreur de linéarité différentielle.

L'erreur de linéarité différentielle est l'écart entre la différence des valeurs des tensions correspondant à deux états adjacents de l'entrée et un quantum; Si cette différence est toujours égale à 1 quantum, l'erreur différentielle est nulle.

III. 5.2 - Erreurs dans les CAN.

Les erreurs dans les CAN sont :

- a- L'erreur de quantification
- b- L'erreur de décalage
- c- L'erreur de gain
- d- L'erreur de linéarité
- e- L'erreur de linéarité différentielle

Chaque erreur va être définie séparément, en supposons que les autres ont été corrigées.

a- L'erreur de quantification.

C'est une erreur théorique inhérente au principe même de la conversion analogique-numérique qui est non linéaire. Sa valeur invariable est de $\frac{1}{2}$ quantum et dépend uniquement de la résolution.

b- L'erreur de décalage.

L'erreur de décalage est l'écart existant entre la valeur de la tension appliquée à l'entrée qui met dans l'état 1 le bit de plus faible poids (LSB) et la valeur théorique de la tension effectuant ce changement (dont l'expression est $\frac{1}{2} \frac{U_{ref}}{2^n}$) - Cette différence de tension qui porte le nom de tension de décalage produit une translation horizontale de la courbe représentant la fonction de transfert, et un déplacement vertical de l'erreur de conversion qui se trouve alors centrée autour de la tension de décalage (figure III.54)

c- L'erreur de gain

L'erreur de gain ou erreur de facteur d'échelle est donnée par la relation :

$$E_{nom} = K U_{ref} \left(\frac{b_1}{2} + \frac{b_2}{4} + \dots + \frac{b_n}{2^n} \right)$$

Où K est un coefficient positif inférieur ou supérieur à 1.

La figure III.55 montre que cette erreur se traduit par une rotation autour de l'origine de la caractéristique de transfert.

- Si $K > 1$, la hauteur des marches diminue.
- Si $K < 1$, la hauteur des marches augmente.

d- L'erreur de linéarité

C'est l'erreur existante entre les valeurs des tensions A assurant effectivement les transitions et les valeurs $\frac{U_{ref}}{2^n} \cdot (N+1)$

qui devraient le faire théoriquement. Elle n'est donc définie que pour les valeurs de A qui assurent les différentes transitions

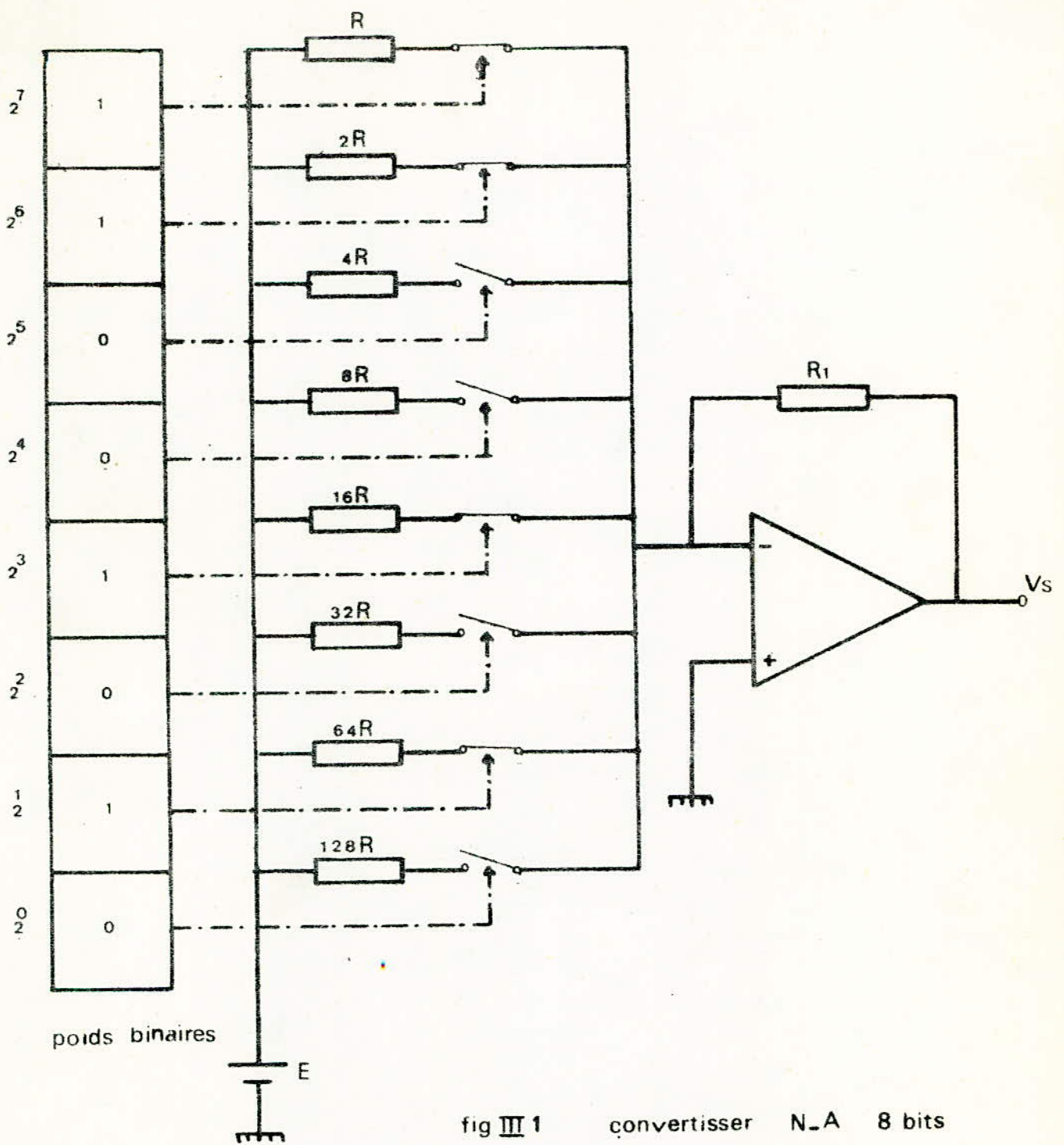
La figure III.56 montre que cette erreur se traduit par l'écart existant entre les valeurs E_{nm} (pour $K = 1$) et les valeurs des tensions correspondant aux milieux des segments de la caractéristique réelle du CAN.

e- L'erreur de linéarité différentielle

C'est la différence entre la ~~la~~ quantum et la largeur d'une marche, c'est à dire la différence entre deux tensions provoquant ~~la~~ transitions consécutives.

Remarque

Les erreurs de décalage, de ~~gan~~ gain et de linéarité varient avec la température. Ces variations s'ajoutent aux variations existantes à la température ordinaire.



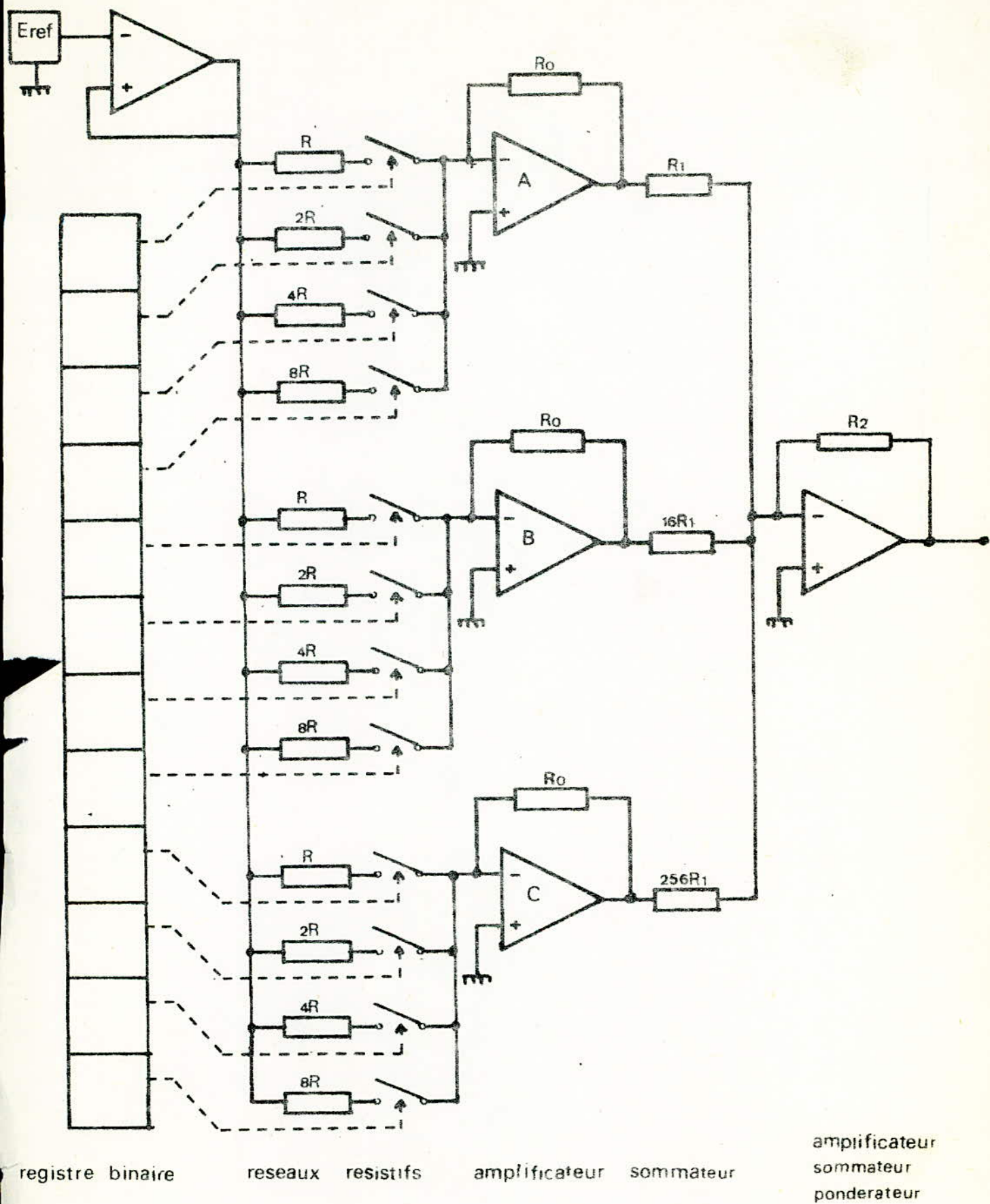


fig III 2 CONVERTISSEUR BINAIRE A RESISTANCES PONDEREES