

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE

1/80

2 ex

U. S. T. A.

ECOLE NATIONALE POLYTECHNIQUE

ELECTRONIQUE

DEPARTEMENT ELECTRONIQUE ET ELECTROTECHNIQUE

PROJET DE FIN D'ETUDES

DIPLOME D'INGENIORAT

MISE EN LIGNE D'UN ENREGISTREUR POTENTIOMETRIQUE A 6 VOIES SUR UN CALCULATEUR NUMERIQUE

Sujet proposé par H. TEDJINI Docteur Ingénieur

المدرسة الوطنية للعلوم الهندسية

المكتبة

ECOLE NATIONALE POLYTECHNIQUE
BIBLIOTHEQUE

Etudié par

ABDALLAH EL HIRTSI Abdelkader

SELLAL Mohamed

JANVIER 1980

MINISTRE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE

U. S. T. A.

ECOLE NATIONALE POLYTECHNIQUE

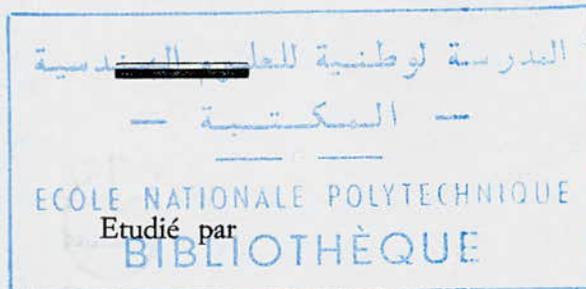
DEPARTEMENT ELECTRONIQUE ET ELECTROTECHNIQUE

PROJET DE FIN D'ETUDES

DIPLOME D'INGENIORAT

**MISE EN LIGNE D'UN ENREGISTREUR
POTENTIOMETRIQUE A 6 VOIES SUR UN CALCULATEUR
NUMERIQUE**

Sujet proposé par H. TEDJINI Docteur Ingénieur



ABDALLAH EL HIRTSI Abdelkader

SELLAL Mohamed

JANVIER 1980

A MES PARENTS

A MES FRERES

A MES SOEURS

A MON PETIT-NEVEU REDOUANE

ABDELKADER

A MES PARENTS

A MES FRERES

A MES SOEURS

A MES AMIS

A FATIHA

MOHAMED

REMERCIEMENTS

Ce présent travail a été réalisé au Centre des Sciences et de la Technologie Nucléaire (C.S.T.N).

Nous remercions monsieur BOUALEM SANSAL, chef de la division "SIMULATION ET CONTROLE" pour nous avoir accueillis dans son service.

Nous exprimons notre profonde gratitude à monsieur HACENE TEDJINI, docteur-ingénieur, qui nous a guidé dans notre travail. Les suggestions et les conseils qu'il n'a cessé de nous prodiguer, nous ont été d'une aide inestimable.

Nous adressons nos remerciements également à monsieur RACHID OUIGUINI, chercheur, pour le concours qu'il a apporté dans la réalisation de notre travail.

A tous ceux qui ont eu l'amabilité de nous aider de près ou de loin.

Nos camarades

M^{lle} HELIFA AICHA

M^{lle} MESSOUSSI FARIDA

Messieurs: A. BOURKEB; M. HALIMI; S. NOUR;
D. BOUMGHAR; SMARA; GHRIB; O. OUGOUAG

Pour leurs judicieux conseils.

Enfin, nous ne saurions oublier que cette thèse n'a pu être élaborée qu'avec la diligence de tout le personnel administratif et technique du C.S.T.N.

INTRODUCTION

Depuis la parution des microprocesseurs, en 1970, la conception des systèmes logiques a connu un champ d'action bien plus considérable; grâce à ces nouveaux composants qui permettent de les réaliser maintenant en "logique programmée".

A l'heure actuelle, il n'est plus question de tenter une discussion quant à la réalité, l'intérêt ou la nécessité de pareils composants. La description et l'étude détaillée de la structure interne d'une unité centrale de traitement (MPU) et du fonctionnement des divers composants formant sa famille afin de lui assurer un véritable dialogue avec l'extérieur, ont déjà fait l'objet de nombreuses thèses de projets de fin d'études.

Toutefois, il reste toujours une difficulté présente lors d'une réalisation concrète: c'est le problème de l'adaptation du microprocesseur aux périphériques.

C'est dans le but de lever cette difficulté que nous nous proposons ici, de décrire la réalisation complète d'une tâche bien particulière.

Le dépouillement de courbes est un point important chez le physicien, notamment, dans le cadre du projet de la division V du C.S.T.N "CONTROLE ET SIMULATION D'UN REACTEUR NUCLEAIRE" l'exploitation de plusieurs courbes dont les points peuvent être les résultats de calculs effectués par le micro-ordinateur et stockés dans ses mémoires, a toujours été une tâche fastidieuse puisqu'elles sont généralement reproduites sur une table traçante qui ne peut que les tracer l'une après l'autre. L'utilisation d'un enregistreur potentiométrique à 6voies offre l'avantage de reproduire, en même temps, jusqu'à 6 courbes, ce qui permet une meilleure exploitation de ces courbes lorsqu'on a besoin de comparer ou contrôler plusieurs phénomènes évoluant en fonction du temps.

EXPOSE DU SUJET

1-PRESENTATION DU SUJET:

Il s'agit de concevoir un système qui viendrait se placer entre le micro-ordinateur et l'enregistreur potentiométrique à 6 voies.

Cet interface devra permettre l'exploitation de courbes enregistrées sur des mémoires numériques et qui peuvent être le résultat de calculs effectués par le micro-ordinateur pour le contrôle de courbes de réponse de plusieurs appareils ou pour le contrôle de l'évolution de systèmes en fonction du temps par exemple: élévation en température, pression, ... Ou pour diverses applications qui nécessitent l'emploi d'un micro-ordinateur.

Le principal but à atteindre est donc la réalisation du transfert des données digitales vers l'enregistreur graphique qui ne peut recevoir que des grandeurs analogiques.

2-EXPOSE RAPIDE DE LA METHODE:

L'emploi d'un enregistreur potentiométrique à 6 voies est bien avantageux, seulement les problèmes posés par un tel appareil sont d'un ordre tout à fait différents que ceux posés par la table traçante.

L'appareil utilisé est un enregistreur potentiométrique à 6 voies multicolores modèle 316 de BRYANS SOUTHERN INSTRUMENTS LIMITED (BSIL) C'est un appareil assez performant équipé de 6 plumes à pointes fibres distantes de 2mm l'une de l'autre et présentant 16 vitesses de déroulement du papier.

Cet enregistreur doit être commandé à partir d'une unité centrale 6800 de MOTOROLA qui gèrera les échanges avec les interfaces analogiques.

Après cette prise de contact très rapide des appareils que nous avons utilisés, délimitons les problèmes posés:

1-Ce système d'enregistrement quoique performant présente un grave défaut: les scripteurs étant distants de 2mm, au moment de l'inscription, sur le papier les tracés seront décalés de 2,4,6,8, 10mm. Aussi, lorsqu'on mesure sur le diagramme des phénomènes

dépendant du temps, il faut se souvenir de combien de millimètres telle trace est séparée du scripteur de référence tout en sachant que ce retard est variable avec la vitesse de défilement du papier qui peut changer.

Il apparaît donc comme très difficile, voire impossible de dépouiller ces tracés lorsque ces phénomènes varient rapidement avec le temps.

2- Du fait que les courbes sont une suite de points stockés en mémoires sous forme binaire, cette digitalisation entraîne obligatoirement une conversion en analogique sous forme de niveaux et par conséquent les courbes obtenues seront une succession de petits paliers de 2mm au minimum qui donneront une allure assez valable du phénomène que l'on veut contrôler.

3- L'appareil utilisé possède, entre autre, diverses commandes qui peuvent être contrôlées à partir du MPU, parmi ces commandes on peut utiliser celle du lève-plume et de l'avance par pas du déroulement du papier. Cependant la commande de lève-plumes ne peut être utilisée individuellement pour chaque plume mais pour les 6 en même temps et d'autre part, elle est utilisée que dans le cas où le défilement du papier se fait par pas. Ces commandes donnent la possibilité de supprimer les paliers obtenus pour chaque point.

En résumé, on distingue trois sortes de tracé avec cet appareil:

- 1-Un tracé continu.
- 2-Un tracé par point.
- 3-Un tracé par tirets.

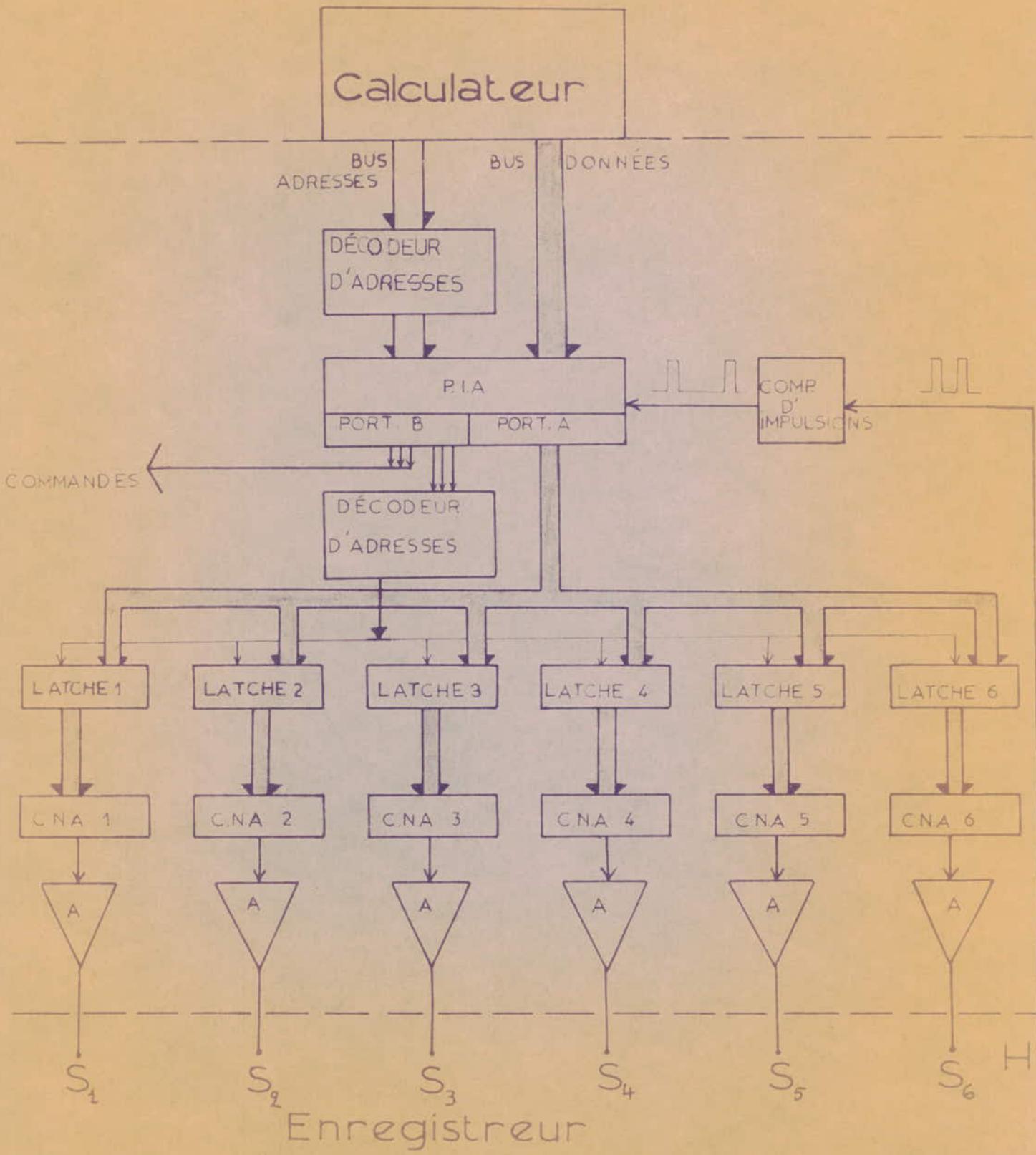
Exposons maintenant la méthode employée pour le tracé de ces courbes:

Chaque point de chaque courbe est stocké en mémoire sous la forme d'un octet ou mot de huit bits.

Pour une plus grande rapidité de conversion, nous utiliserons un convertisseur Numérique/Analogique à huit entrées numériques, et par conséquent, notre interface sera du type parallèle-parallèle. Le coupleur d'entrée-sortie à mode parallèle de la famille M6800 est le PIA (Peripheral Interface Adapter) MC 6821.

Il possède en sortie 2 ports de huit lignes chacun, cela nous permettra donc d'utiliser un port pour la transmission des données et le second port pour l'aiguillage vers tel ou tel script.

SCHEMA SYNOPTIQUE



LA FAMILLE 6800

Le microprocesseur 6800 s'entoure d'une famille de circuits spécialement étudiés pour faciliter la constitution de systèmes complets.

La famille du microprocesseur 6800 comprend:

- L'unité centrale de traitement (MPU) MC 6800.
- Une mémoire RAM MC 6810 (mémoire vive:Random Access Memory) d'une capacité de 128 mots de 8 bits.
- Une mémoire ROM MC M6830 (mémoire morte utilisée en lecture seulement:Read Only Memory) d'une capacité de 1024 mots de 8 bits.

La vitesse des mémoires RAM et ROM correspond à celle du microprocesseur.

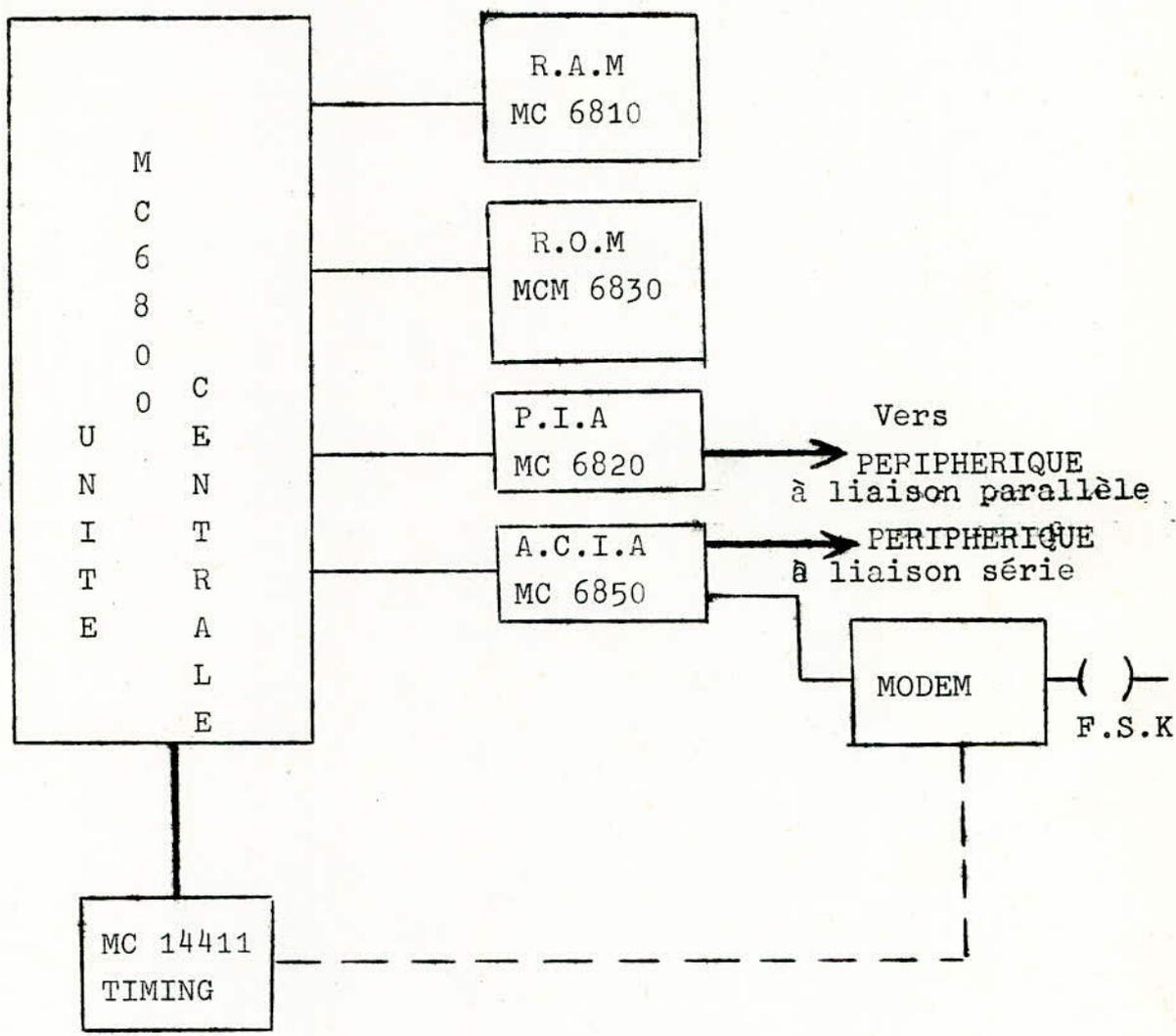
-Un circuit d'interface parallèle PIA (Peripheral Interface Adapter) MC 6820.

-Un circuit de liaison série asynchrone ACIA (ASYNCHRONOUS COMMUNICATIONS INTERFACE ADAPTER) MC 6850.

-Un modem basse vitesse ,300-600 bits par seconde, à transmission FSK (Frequency Shift Keying).

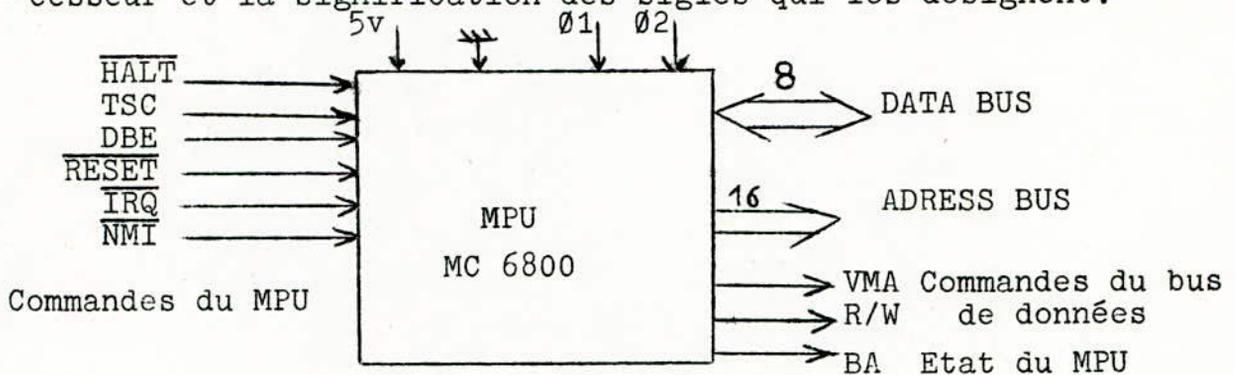
Un circuit générateur de rythme MC 14411 qui délivre différents rythmes d'horloge, à partir d'un oscillateur.

Avec ces circuits très adaptés, on constitue des systèmes complets très économiques.



1-PRESENTATION DU BOITIER:

La figure suivante montre les 40 broches du microprocesseur et la signification des sigles qui les désignent.



TSC: Three-State Control.
DBE: Data Bus Enable.
IRQ: Interrupt Request.
NMI: No Masquable Interrupt.
VMA: Valid Memory Adress.
RW : Read Write.
BA : Bus Availaible

Ces signaux sont classés en 4 catégories:

- Alimentations et horloges.
- Bus.
- Signaux de commandes.
- Signaux d'état du MPU.

Ces signaux représentent les entrées-et les sorties du microprocesseur.

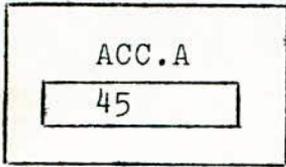
21-DIFFERENTS MODES D'ADRESSAGES:

Les notions d'adressages sont introduites pour les différentes possibilités d'exécutions d'instructions. On distingue 7 modes d'adressages.

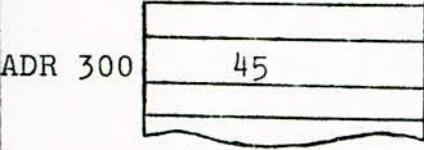
1-ADRESSAGE ETENDU:

La figure suivante donne un exemple de l'adressage étendu. Le microprocesseur après avoir lu l'instruction LDAA, par

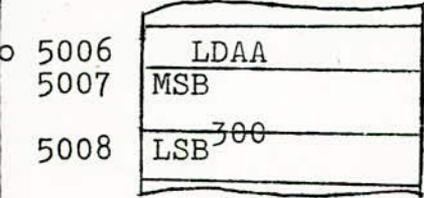
MPU



Mémoire de données

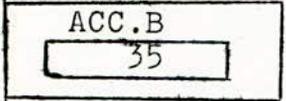


Mémoire de programme

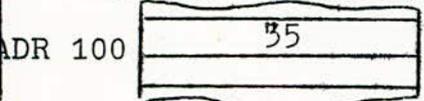


2-ADRESSAGE DIRECT:

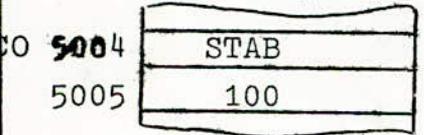
MPU



Mémoire de données



Mémoire de programme



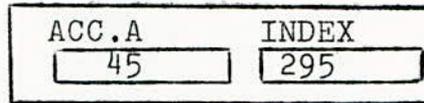
exemple, à la position mémoire 5006, recherche dans les positions mémoires 5007 et 5008 l'adresse (300) du contenu à charger dans l'accumulateur A et effectue ce chargement (45). Ce mode d'adressage nécessite 3 octets dans l'exécution d'une instruction.

Ce mode ne peut adresser que des positions de mémoires comprises entre 0 et 255. Le microprocesseur après avoir lu l'instruction, STAB par exemple, à la position 5004 trouve à la position 5005 l'adresse (100) de la position mémoire vers laquelle le microprocesseur va envoyer le mot (35) contenu dans l'accumulateur B. Ce mode d'adressage nécessite 2 octets.

3-ADRESSAGE INDEXE:

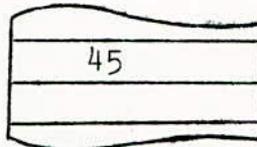
L'instruction indexée de la figure suivante consiste à charger l'accumulateur A avec le contenu de la position de mémoire dont l'adresse (300) est obtenu en faisant la somme du contenu du registre d'index (295) et du contenu de la position mémoire 5007 soit (5).

MPU



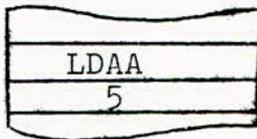
Mémoire de données

ADR 300



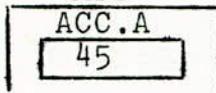
Mémoire de programme

CO 5006
5007



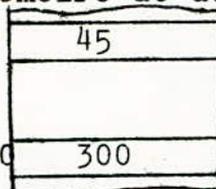
4-ADRESSAGE INDIRECT:

MPU

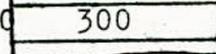


Mémoire de données

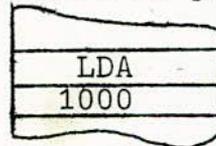
ADR 300



ADR 1000



Mémoire de programme



L'instruction d'adressage indirect LDA pointe vers la position de mémoire dont l'adresse est 1000. Cette position de mémoire contient l'adresse de la position de mémoire 300. Cette position de mémoire stocke le contenu (45) que l'instruction LDA envoie dans l'accumulateur A.

5-ADRESSAGE RELATIF:

Ce mode d'adressage permet d'ajouter ou retrancher une constante située dans un octet de l'instruction au compteur ordinal (CO) de façon à effectuer des sauts autour de la position présente.

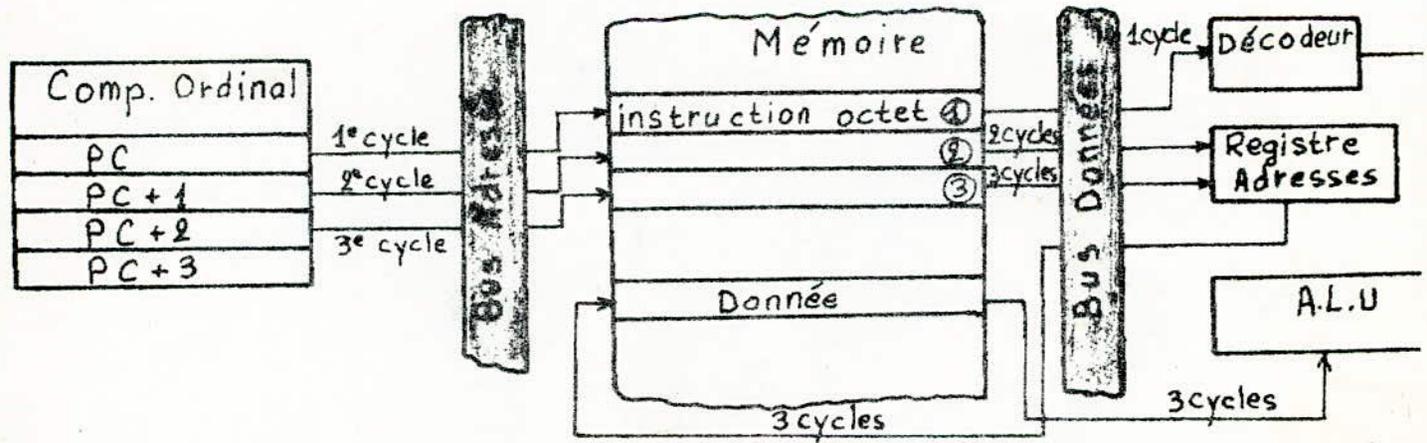
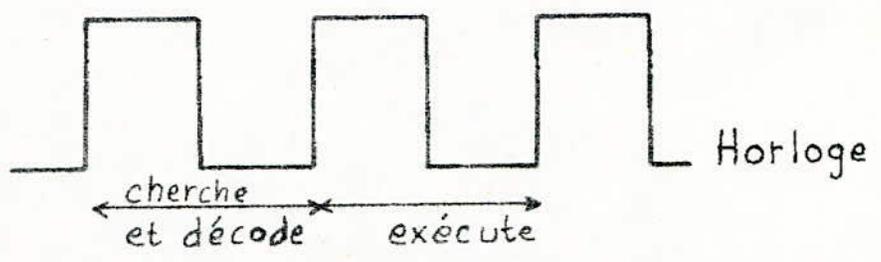
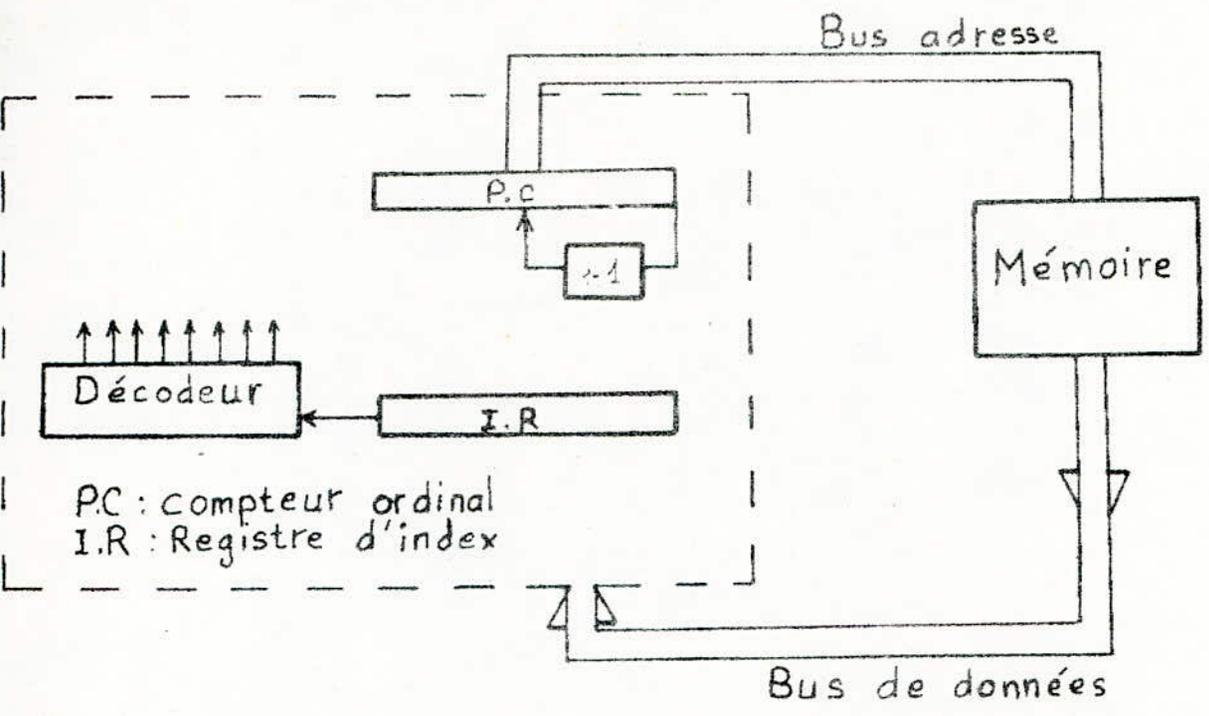
6-ADRESSAGE IMMEDIAT:

Ce mode d'adressage n'est pas réellement une méthode d'adressage. Le mot suivant l'instruction contient une donnée

directement utilisable par le microprocesseur.

7- ADRESSAGE IMPLICITE:

Ce mode d'adressage n'est pas aussi une réelle méthode d'adressage. Il modifie le contenu d'un registre de 8 ou 16 bits. Il se fait avec une instruction de 1 octet.



EXECUTION D'UNE INSTRUCTION

LE P-I-A MC-6821
ADAPTATEUR D'INTERFACE PERIPHERIQUE

1-DESCRIPTION DU MC-6821 ET BLOC-DIAGRAMME:

MC-6821 est le nom du coupleur d'entrée-sortie en mode parallèle de la famille M-6800 de MOTOROLA;

Le circuit se présente sous la forme d'un boîtier DIL à 40 broches alimenté sous #5v. Sa technologie est du type MOS à canal N.

Suivant leur nature, certains périphériques nécessitent pour leur fonctionnement la présence au même moment d'un certain nombre de bits. L'unité centrale (MPU) lui, délivre des informations sur 8 lignes et le PIA MC-6821 est conçu de manière à transmettre ces données en mode parallèle de sorte que les 8 bits formant l'information soient présents en même temps à l'entrée du périphérique. A cet effet, le MC-6821 possède 16 sorties groupées en 2 parties formant ainsi 2 ports: Le port A et le port B.

Comme nous pouvons le remarquer sur le bloc-diagramme du MC-6821 chacun de ces ports est régi par:

- Un registre de contrôle (Control Register:CR)
- Un registre de direction de transfert des données (Data Direction Register:DDR)
- Un registre de sortie (Output Register:OR)
- Deux lignes de contrôles d'interruption.

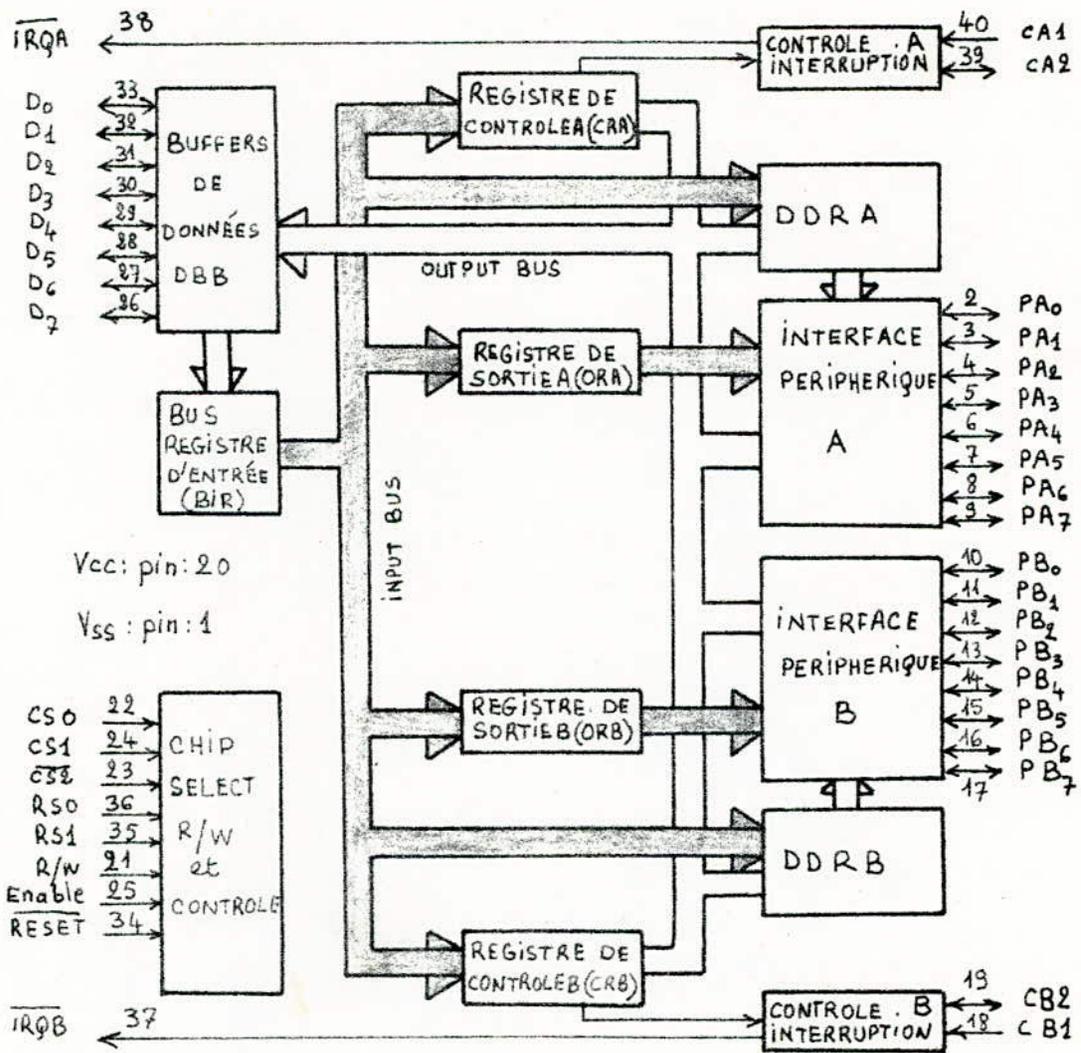
Ces 2 ports sont reliés à travers ces registres au registre d'entrées du bus des données (Bus Input Register:BIR)

2-DIFFERENTES LIGNES DU MC-6821:

La figure 2 nous indique l'emplacement respectif des différentes lignes du MC-6821 sur le boîtier.

Le PIA communique avec le MPU par l'intermédiaire des 3 bus: bus de données, bus d'adresses, bus de contrôle. L'emplacement des lignes correspondantes sur ces bus est indiqué sur la figure 3. La signification précise ainsi que le rôle de chacune de ces lignes est présenté sur le tableau suivant:

BLOC DIAGRAMME DU MC 6821



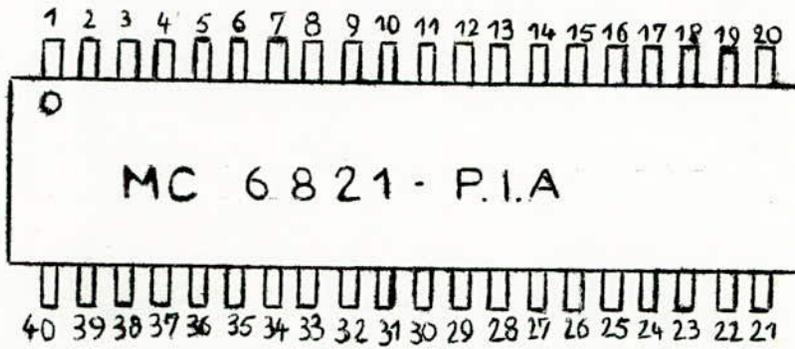


FIGURE 2

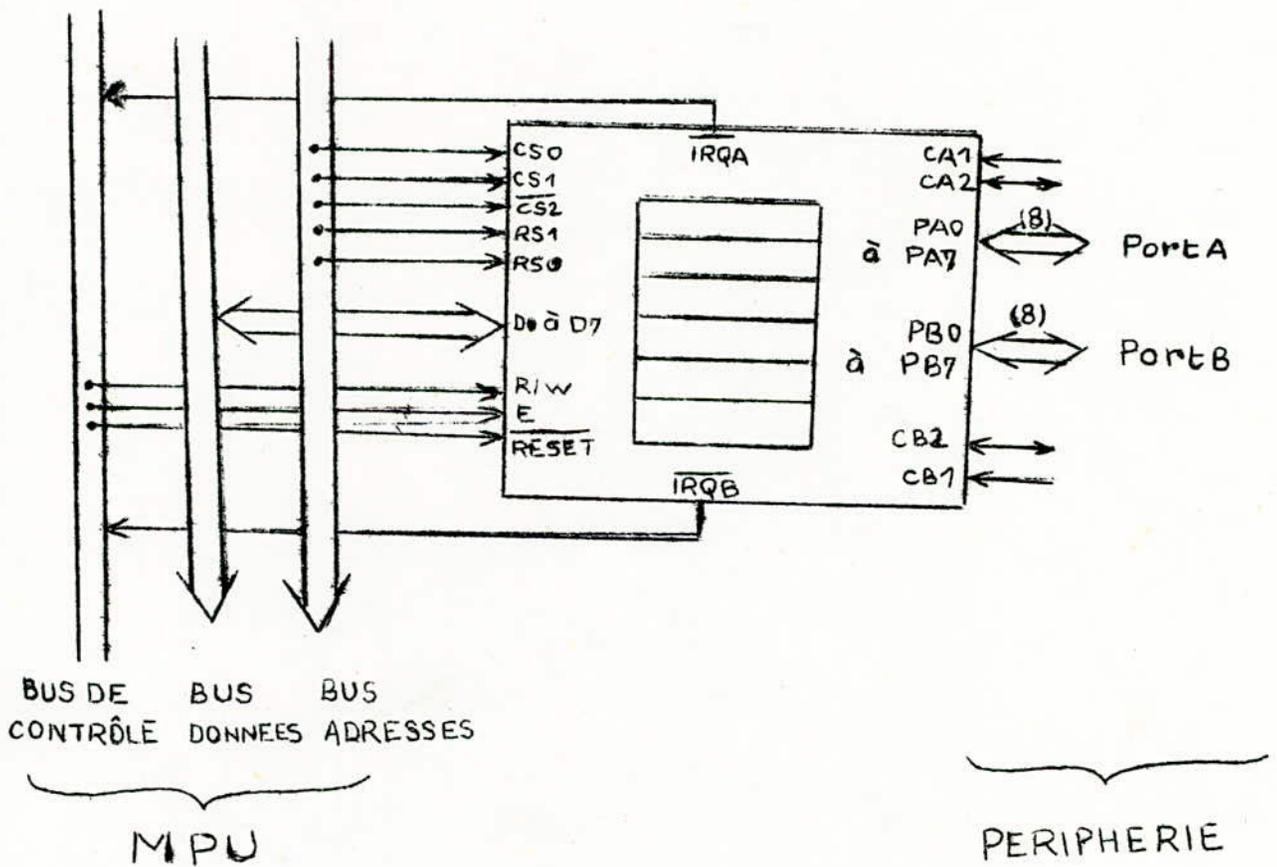


FIGURE 3

LIGNES	SIGNAUX ECHANGES: MPU ↔ PIA	LIGNES	SIGNAUX ECHANGES: PIA ↔ PERIPHERIQUE
CS0 (22) CS1 (24) CS2 (23)	"Chips-Selects" reliés au bus adresses du MPU, valident le PIA lorsque: CS0=1 ; CS1=1 ; CS2=0	PA0(2) à à PA7(9)	16 lignes de données programmables, individuellement, en entrée ou en sortie et groupées en 2 parties de 8 lignes chacune. Ces 2 ports d'entrée-sortie, reflètent en sortie, le contenu de 2 registres internes de 8 bits dont l'état binaire apparaît sous forme de tension de sortie: +5v: "1" logique 0v: "0" logique maintenus tant qu'il n'y a pas modification dans les registres.
RS1 (35) RS0 (36)	Le PIA étant sélectionné, les 4 combinaisons de ces 2 bits adressent les registres internes. EN CONSEQUENCE, LE PIA OCCUPE 4 ADRESSES-MEMOIRES. CEPENDANT, CES ADRESSES DOIVENT ETRE DIFFERENTES DES AUTRES ADRESSES DE RAM, ROM OU AUTRES COUPLEURS.		
E (25)	Signal d'activation des échanges, elle sert aussi de synchronisation pour le PIA. Cette entrée est reliée à l'horloge φ2 du MPU.		
R/W (21)	Signal de lecture-écriture: 1=LECTURE 0=ECRITURE	CA1 (40) CB1 (18)	2 lignes d'entrée d'interruption.
DO (33) à à D7 (26)	Bus bidirectionnel des données. Il aboutit, dans le PIA, à un amplificateur qui peut être activé ou mis à l'état de haute-impédance par le signal R/W si le PIA est sélectionné. Par ces 8 fils arrivent les échanges d'informations entre le MPU et le PIA.	CA2 (39) CB2 (19)	2 lignes programmables en entrée d'interruption ou bien en sortie de commande. Dans ce dernier cas, ils reflètent directement l'état d'un bit d'un registre interne (de contrôle).
RESET(34)	Mis à 0, ce signal remet tous les registres internes à 0.		
IRQA (38) IRQB (37)	2 lignes de demande d'interruption destinées à informer le MPU d'une interruption dans l'exécution d'un programme. Ces lignes sont généralement reliées aux entrées IRQ ou NMIdu MPU ou bien sont placées sur les entrées du contrôleur prioritaire d'interruption PIC 6828.		
Vss (1) Vcc (20)	Deux lignes d'alimentation:	Vcc=+5v	Vss=0v
La consommation est d'environ 110 mA et la puissance dissipée de 550 mW.			

3-ORGANISATION INTERNE DU PIA:

Le PIA est donc composé de 2 parties presque identiques mais tout à fait distinctes l'une de l'autre. Chacune de ces parties est formée de 3 registres que le MPU peut adresser en écriture et en lecture.

Introduisons le rôle de chacun de ces registres dans le tableau suivant:

REGISTRE	RÔLE DU REGISTRE
CRA CRB	Contient les paramètres de fonctionnement
DDRA DDRb	Contient le mot fixant le sens du transfert (entrée ou sortie) pour chacune des lignes de données. -Un état "1" définit une ligne en sortie -Un état "0" la définit en entrée
ORA ORB	Mémorise les données en sortie lors d'une écriture. A la même adresse, on peut lire les données présentes en entrée, mais elles devront être mémorisées à l'extérieur

31-RS0 ET RS1:

Nous venons de voir que le MPU peut donc atteindre les 6 registres internes du PIA alors qu'il les considère comme 4 adresses-mémoires: Par 2 fils d'adressages RS0 et RS1, on peut choisir parmi 4 registres. Un troisième fil aurait permis l'adressage de 8 registres, alors qu'ils sont au nombre de 6.

La solution choisie par le constructeur prévoit une économie de broches sur le boîtier.

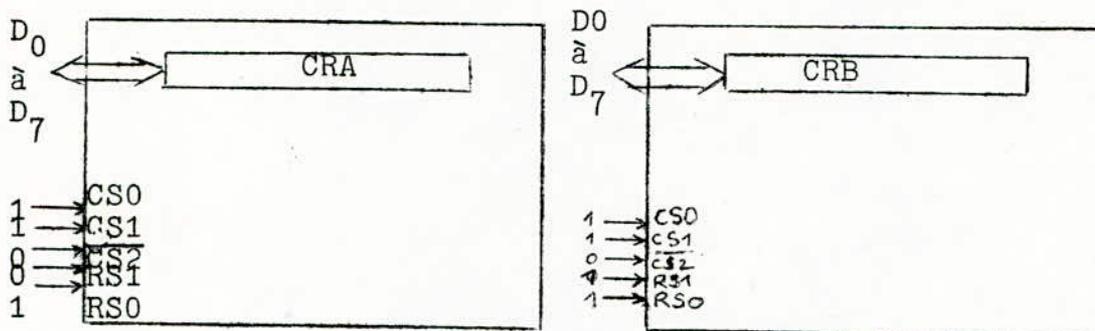
Ainsi 2 registres sont adressés directement: Ce sont les registres de contrôle CRA et CRB. Les 4 autres registres ORA, ORB et DDRA, DDRb sont adressés indirectement. Le choix entre le registre de sortie (ORA, ORB) et le registre de direction des données sera fonction du bit-2 du registre de contrôle écrit au préalable dans celui-ci. On remarquera donc que les registres internes ne peuvent être adressés n'importe comment, mais suivant un certain ordre. Ainsi on doit d'abord adresser le registre de contrôle pour

se rendent ensuite au registre de direction de transfert des données (DDR), revenir au registre de contrôle pour se rendre au registre de sortie(OR).

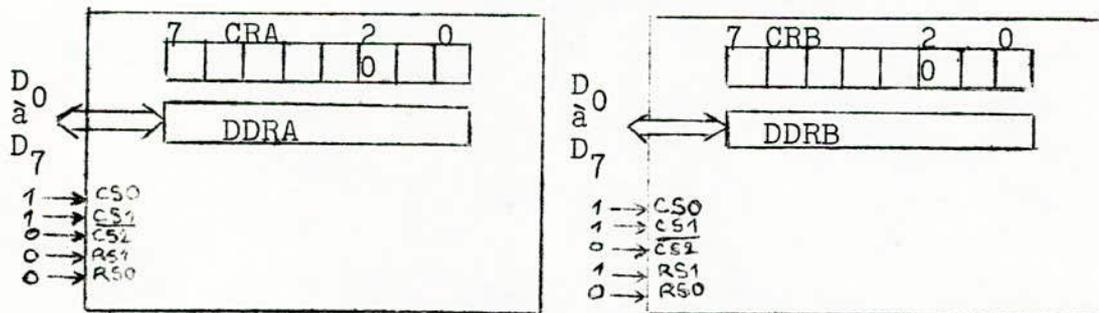
L'adressage peut se résumer dans le tableau suivant:

RS1	RS0	CRA-2	CRB-2	REGISTRE SELECTIONNE
0	0	0	-	DDRA
0	0	1	-	ORAet INTERFACE
0	1	-	-	CRA
1	0	-	0	DDRB
1	0	-	1	ORB et INTERFACE
1	1	-	-	CRB

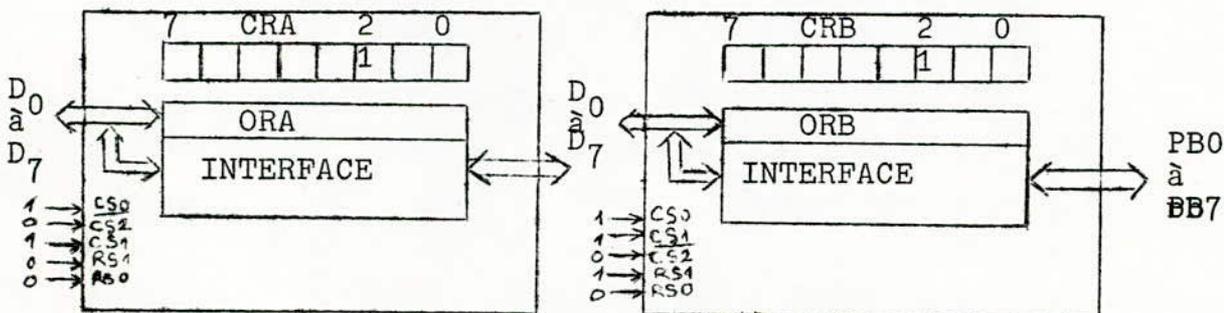
Les schémas suivant illustrent les 6 combinaisons du tableau précédent et aideront à mieux comprendre l'accès du MPU aux registres internes du PIA.



ACCES AU REGISTRE DE CONTROLE



ACCES AU REGISTRE DE DIRECTION DE TRANSFERT



ACCES AU REGISTRE DE SORTIE

32-REGISTRE DE DIRECTION DE TRANSFERT DES DONNEES:

COMME nous l'avons déjà dit, chacune des lignes des deux ports PA0-PA7 et PB0-PB7 peut-être individuellement programmée comme entrée ou comme sortie c'est par le contenu du registre DDR que l'on peut décider qu'une ligne puisse être utilisée comme entrée ou sortie.

-Lorsqu'un "0" est écrit dans le bit i du registre DDR, la ligne i du port en question est programmé en entrée.

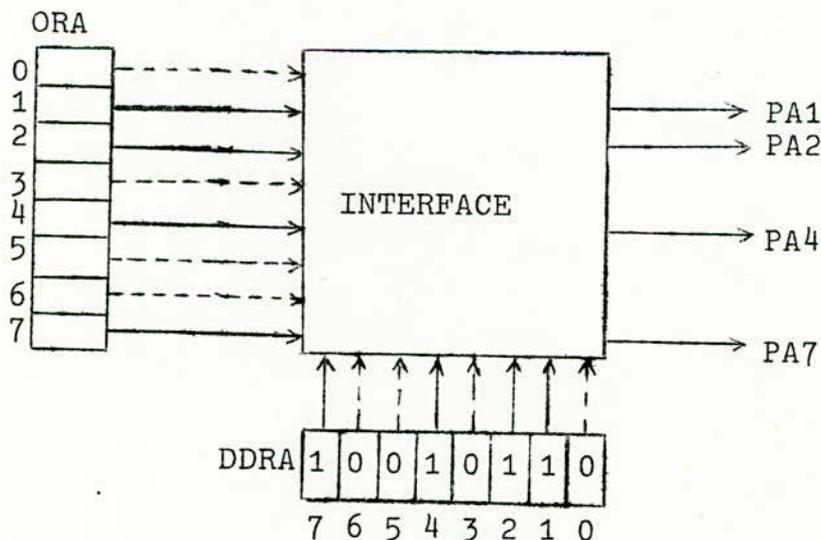
-Lorsqu'un "1" est écrit dans le bit i du registre DDR, la ligne i de ce port est programmé en sortie.

321-TRANSFERT DES DONNEES SUR LE PORT A:

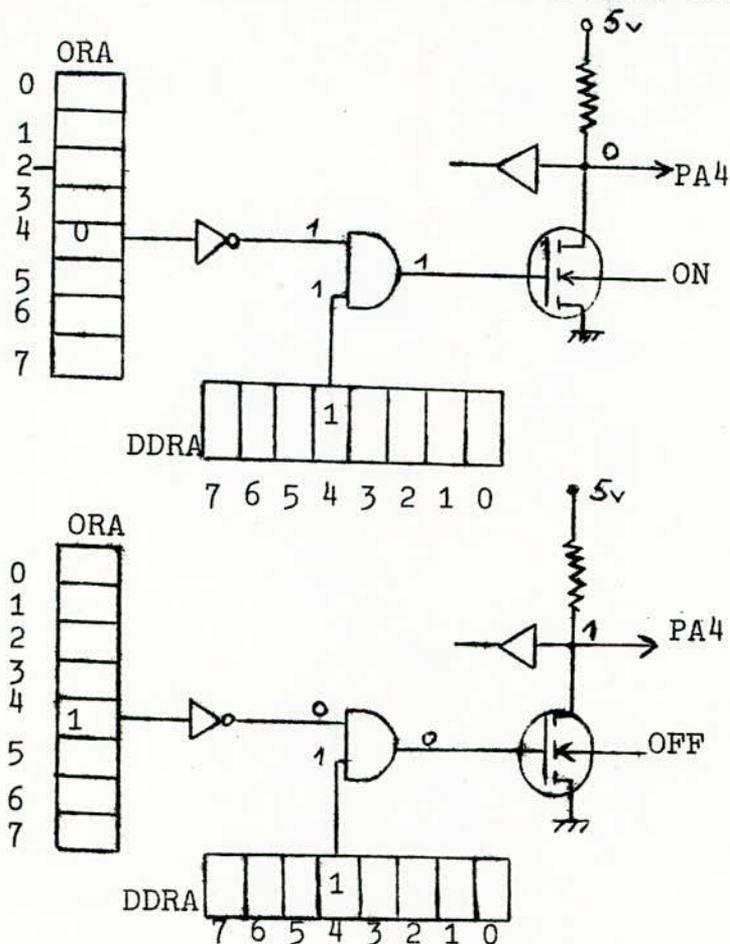
Etudions le transfert des données, en tenant compte des différences technologiques des 2 ports A et B.

-LE PORT A: PA0-PA7

Suivons l'évolution d'une donnée dans le PIA, à travers l'exemple suivant: Le MPU écrit les bits D1, D2, D4 et D7 dans le registre ORA, ces bits seront transmis vers un périphérique les autres bits ne sont pas pris en considération. Nous avons vu que pour le transfert en sortie, il y a mémorisation des données donc seuls ces bits apparaîtront sur les lignes PA1, PA2, PA4, et PA7 et seront disponibles en permanence.



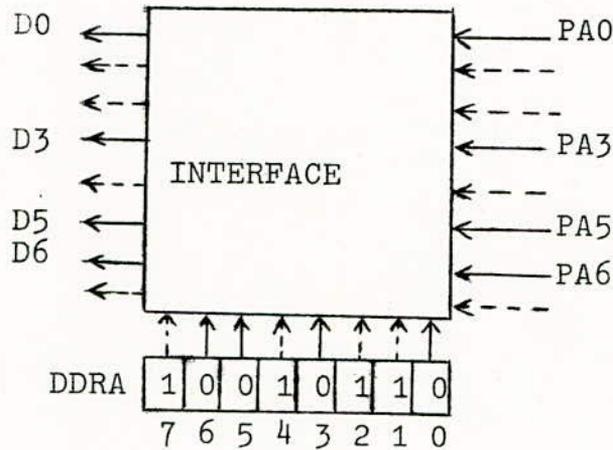
Ce transfert de données peut être schématiser comme suit:



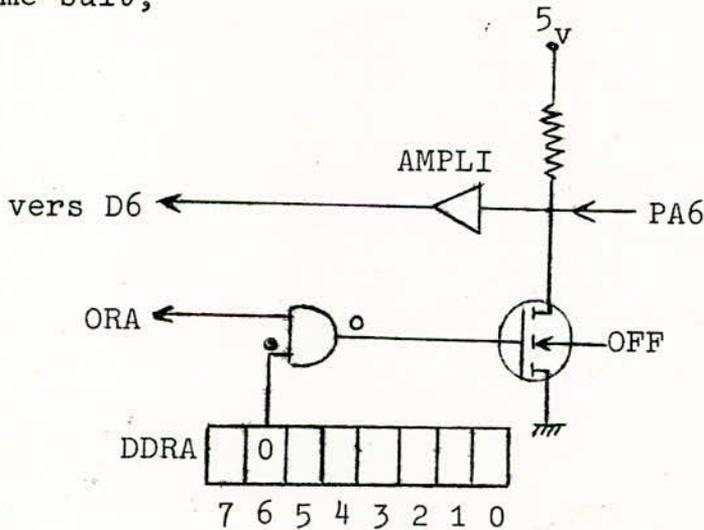
Lorsque DDRA est à "1", la porte ET autorise le transfert des données de ORA vers PA. Lorsque l'information à transmettre vers PA est un "0", à l'entrée de la porte ET se présente un "1" donc la sortie de cette porte saturera le transistor et la ligne PA sera portée à un niveau bas qui correspondra à un "0" logique conformément à l'information que l'on veut transmettre.

Lorsque l'information à transmettre vers PA est un "1", la base du transistor sera portée à un niveau haut que le transistor soit bloqué et donc la ligne PA sera portée à un niveau haut c'est à dire un "1" logique; conformément à l'information que l'on cherche à transmettre.

Dans le cas où un ou plusieurs bits du registre DDRA sont à "0", les lignes correspondantes sont programmées comme entrée. Comme nous l'avons vu auparavant, lors d'une lecture il n'y a pas mémorisation des entrées. Dans notre exemple, les données arrivant par les lignes PA0, PA3, PA5 et PA6 se retrouveront directement après amplification sur le bus des données du MPU.



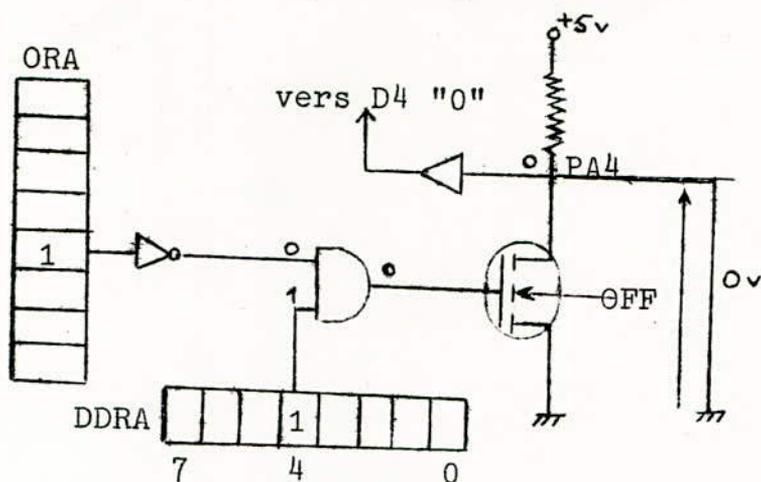
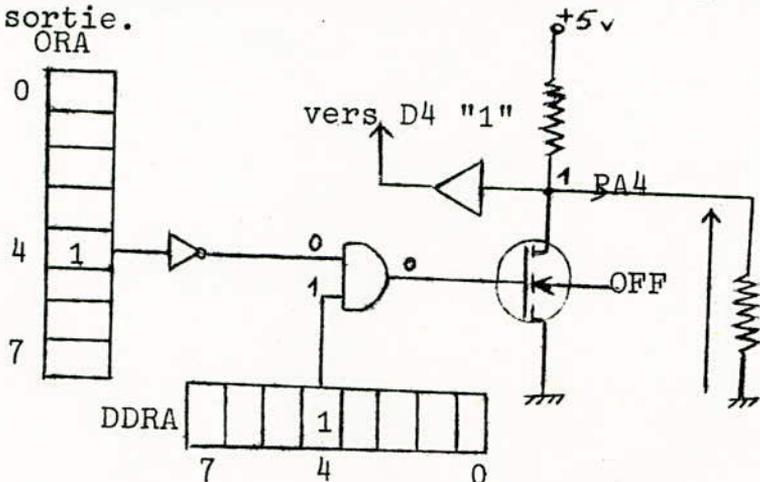
Ce transfert de données vers le MPU peut être schématiser comme suit;



La donnée présente sur PA6 est transmise directement vers D6 après amplification. Le bit-6 de DDRA étant à "0", il est appliqué à l'entrée d'une porte ET dont la sortie à niveau bas bloque le transistor. La ligne PA6 contenant l'information provenant de la périphérie est alors transmise vers le bus de données du MPU.

Lors de la lecture des lignes PA0, PA3, PA5 et PA6 le MPU lit un mot de 8 bits dont seuls D0, D3, D5 et D6 sont significatifs. Les autres bits représentant l'état des sorties PA1, PA2, PA4 et PA7.

Si celles-ci sont chargées de façon à respecter les normes TTL alors il y aura coïncidence entre l'état de ces sorties et l'état des bits correspondant du registre ORA pour les lignes programmées en sortie.



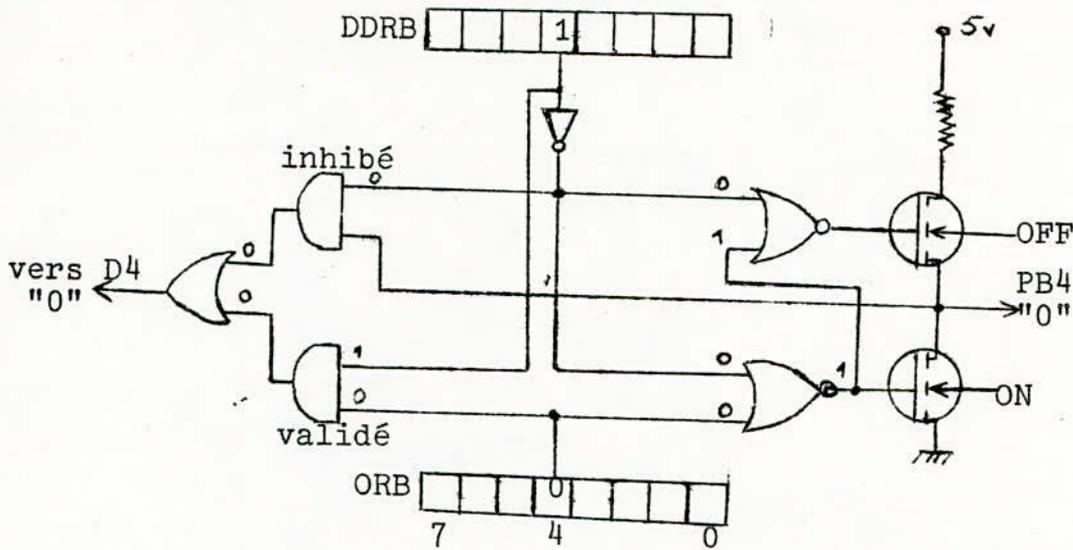
322-LE PORT B:PB0-PB7

Du point de vue fonctionnel, les lignes du port B jouent le même rôle que les lignes PA0-PA7 du port A. Une différence de structure permet aux lignes PB d'être mises à l'état de haute-impédance lorsqu'elles sont programmées en entrée.

-LIGNES DU PORT B PROGRAMMEES EN SORTIE:

Dans ce cas, comme pour le port A, les données présentes sur le bus de données sont mémorisées dans le registre ORB.

Suivons ce transfert de données à travers l'exemple suivant où la ligne PB4 est programmée en sortie. Le schéma de fonctionnement électronique peut se présenter comme suit:



Le bit-4 du registre DDRB étant à "1" permet de fixer le sens du transfert des informations: du registre ORB vers PB4.

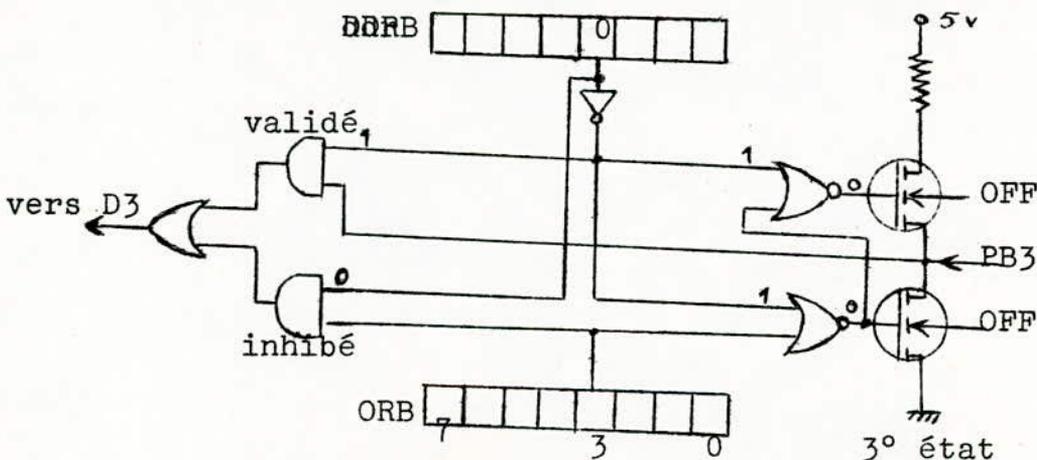
Lorsque l'information présente sur le bit-4 de ORB est un "0", PB4 est à "0".

Lorsque l'information est un "1", la ligne PB4 passe à "1".

-LIGNES DU PORT B PROGRAMMEES EN ENTREES:

Dans ce cas, les bits correspondants de DDRB sont à "0" et l'état des lignes de sorties est transmis directement sur le bus de données.

Il est à noter que lors de la lecture par le MPU des lignes programmées en sortie entraine la lecture des bits du registre ORB indépendamment de l'état des lignes de sorties.



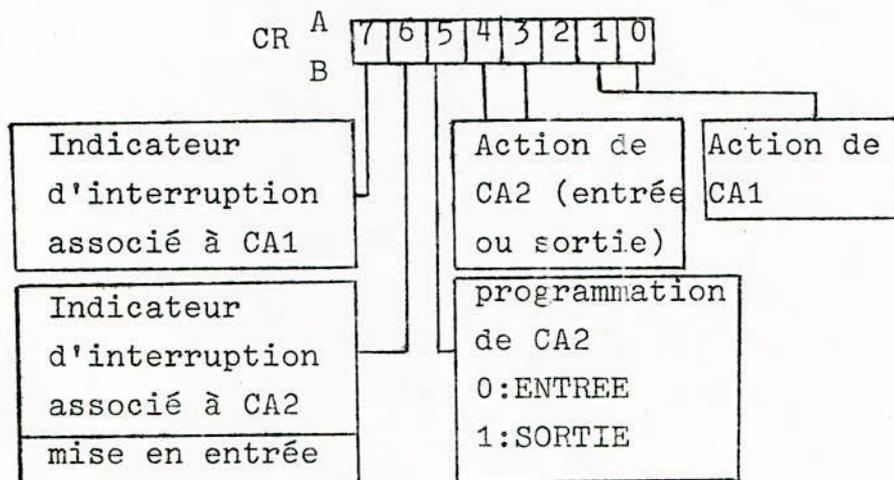
33-REGISTRE DE CONTROLE:

331-PRESENTATION DU REGISTRE DE CONTROLE:

Parmi les registres internes régissant les 2 ports A et B, 2 d'entre eux contiennent les paramètres de fonctionnement de ces ports: ce sont les registres de contrôle CRA et CRB.

Nous avons déjà vu que le bit 2 du registre de contrôle permettait de se positionner soit sur le registre DDR soit sur le registre OR. Le rôle des autres bits restants permettent quant à eux de gérer les interruptions .

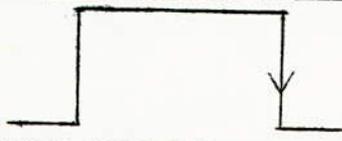
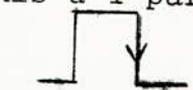
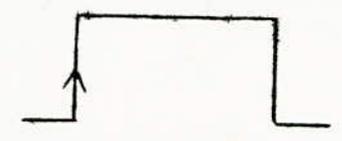
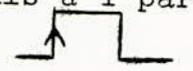
Le format du registre de contrôle est le suivant:



REMARQUE/Les bits 6 et 7 sont uniquement lus par le MPU, alors que les autres (CR0-CR5) peuvent être écrits ou lus.

332-MODE DE FONCTIONNEMENT DE CA-1 ET CB-1:

Le fonctionnement de CA1 est défini par les bits 0 et 1 du registre de contrôle. Son mode de fonctionnement est décrit dans le tableau suivant:

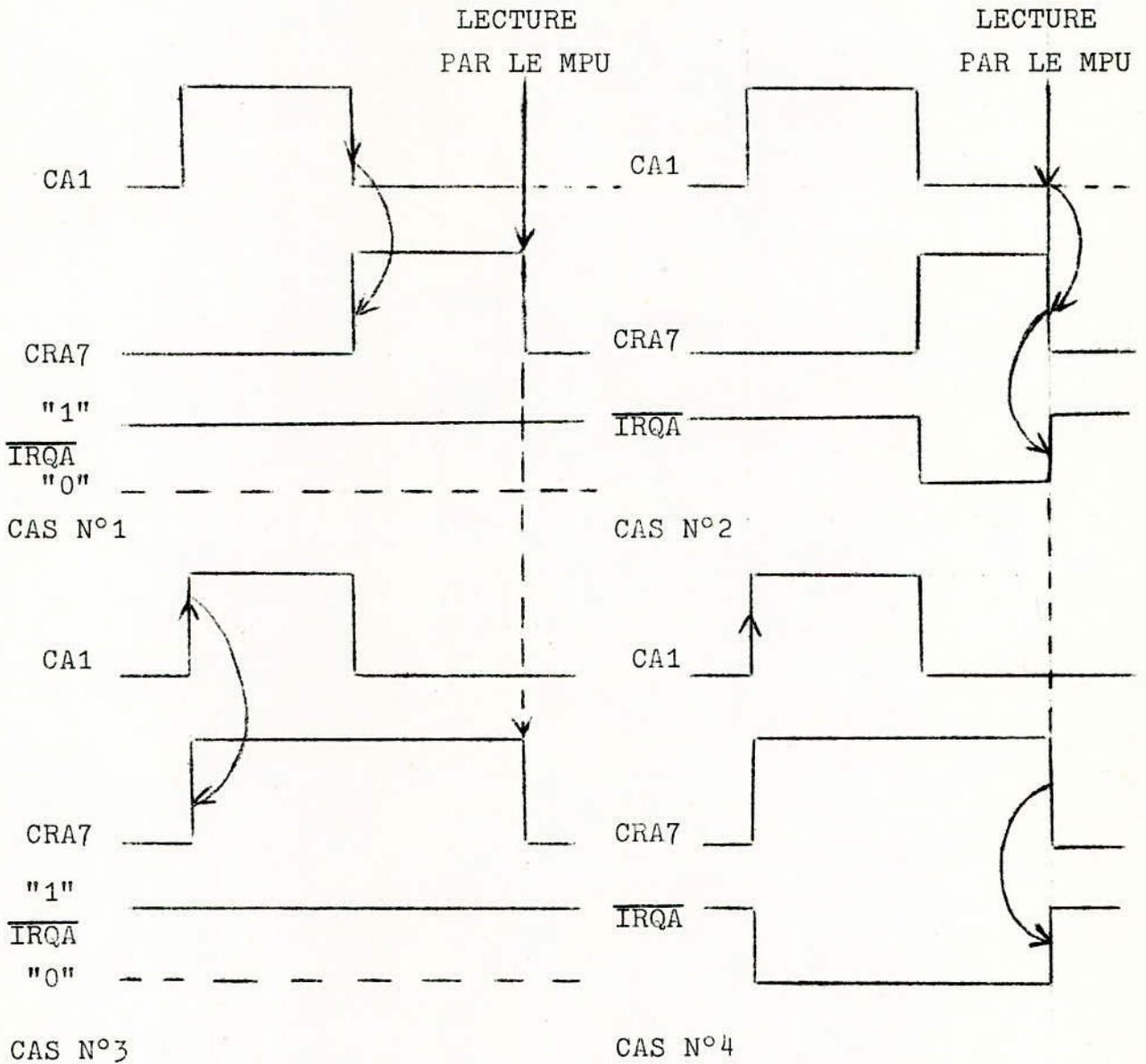
N°	CR1	CR0	transition active de l'interruption	indicateur d'interruption CR7	sortie d'int. $\overline{IRQA}(B)$ Vers MPU
1	0	0		Mis à 1 par 	$\overline{IRQA}(B)=1$ interruption masquée
2	0	1		Mis à 1 par 	$\overline{IRQA}(B)$ passe à 0 quand CR7 passe à 1
3	1	0		Mis à 1 par 	$\overline{IRQA}(B)=1$ interruption masquée
4	1	1		Mis à 1 par 	$\overline{IRQA}(B)$ passe à 0 quand CR7 passe à 1

Le bit-0 du registre de contrôle nous renseigne sur la possibilité de demande d'interruption alors que le bit-1 nous indique sur quel front actif peut s'opérer cette interruption.

Ainsi sur la première ligne de notre tableau, le bit-1 étant à "0" une demande d'interruption est prise en compte sur un front descendant de CA1; l'indicateur d'interruption associé à CA1 est à "1" sur ce même front. Le PIA peut générer un signal de sortie d'interruption $\overline{IRQA}(B)$ vers le MPU.

L'indicateur d'interruption CRA7 est mis à zéro par une lecture du registre de sortie de la périphérie A par le MPU. Cependant, pour faire valider cette interruption par le MPU, il faut agir sur le bit-0 du registre de contrôle. Ainsi sur la première ligne du tableau ce bit étant à "0" il masquera l'interruption, c'est à dire que cette demande d'interruption sera mémorisée et ne deviendra active que lorsque le bit-0 passera à "1" $\overline{IRQA}(B)$ est alors activée à "0".

Graphiquement on peut représenter le mode de fonctionnement des entrées d'interruption comme suit;



MODES DE FONCTIONNEMENT DE CA1

Il existe deux manières possibles d'utiliser cette ligne:

- 1-En entrée d'interruption.
- 2-En sortie de commande.

Ces deux modes de fonctionnement sont déterminés par l'état du bit-5 du registre de contrôle.

Pour une utilisation de CA2 ou CB2 en entrée d'interruption ce bit-5 est mis à "0". Et dans ce cas, la ligne d'interruption se comporte exactement comme CA1 ou CB1 avec le bit-4 ayant un rôle identique au bit-1 c'est à dire que le bit-4 déterminera le front actif de l'interruption et le bit-3 ayant le rôle du bit-0 c'est à dire qu'il fera valider l'interruption, ou bien la masquera par le MPU.

Pour une utilisation de CA2 ou CB2 en sortie de commande; le bit-5 est mis à "1". Et dans ce cas, les bits 4 et 3 du registre de contrôle permettront de définir les modes d'action de CA2 ou CB2.

Toutesfois, il y a lieu de distinguer la différence existant entre CA2 et CB2, utilisées en sortie de commande:

- CA2 est associé à une lecture.
- CB2 est associé à une écriture/

Selon la programmation des bits 4 et 3 on distingue quatre modes de fonctionnement:

CRA4	CRA3	MODES
0	0	DIALOGUE
0	1	IMPULSIONNEL
1	0	PROGRAMME
1	1	

} Associé à une lecture

CRB4	CRB3	MODES
0	0	DIALOGUE
0	1	IMPULSIONNEL
1	0	PROGRAMME
1	1	

} Associé à un écriture

-MODE DE FONCTIONNEMENT DE CA2:

-MODE PROGRAMME:

Dans ce mode, la sortie CA2 suit la programmation du bit-3 du registre de contrôle.

Le bit-3 étant à "0", CA2 sera toujours au niveau bas

Le bit³ étant à "1", CA2 sera toujours au niveau haut.

-MODE IMPULSIONNEL ET DIALOGUE:

Dans ce mode, CA2 est associé à une lecture. on peut suivre sur le diagramme des modes que CA2 est activée au niveau bas par le front descendant de l'impulsion E activant une lecture des données provenant du port A. Et ceci quelque soit le mode de fonctionnement.

Dans le mode impulsionnel CA2 est remis au niveau haut par le front descendant de la première impulsion E qui suit une désélection du circuit c'est à dire après lecture du port A, le MPU exécute une instruction dont il vient de faire l'acquisition: Le PIA sera désélectionné, par conséquent CA2 a une durée d'un cycle d'horloge.

Dans le mode dialogue, CA2 est remis au niveau haut par l'indicateur d'interruption CRA7, lui-même mis à "1" par le front actif de CA1; ceci de façon asynchrone.

-MODE DE FONCTIONNEMENT DE CB2:

-MODE PROGRAMME:

- Il en est de même que pour CA2, la sortie CB2 suit la programmation du bit-CRB³.

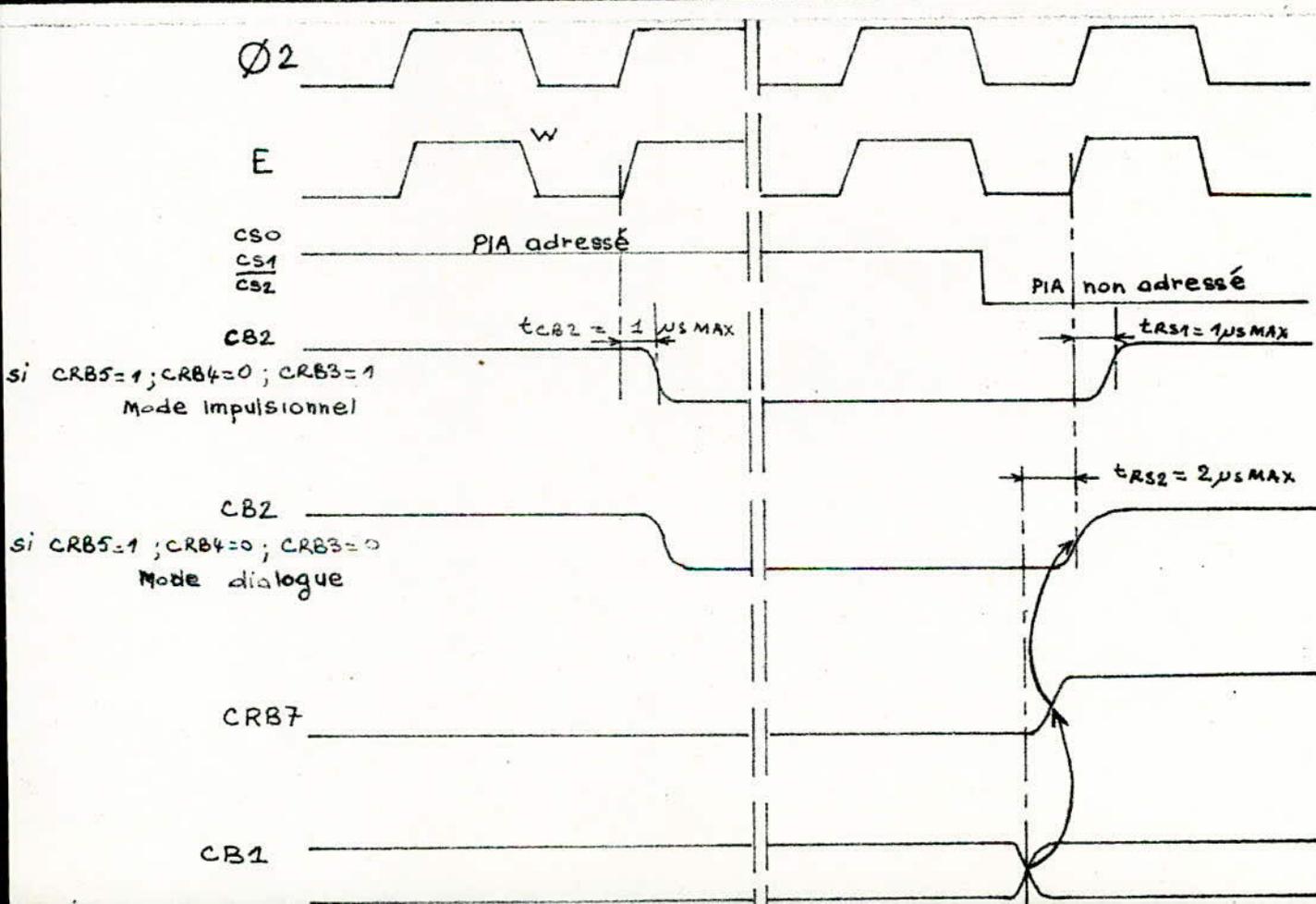
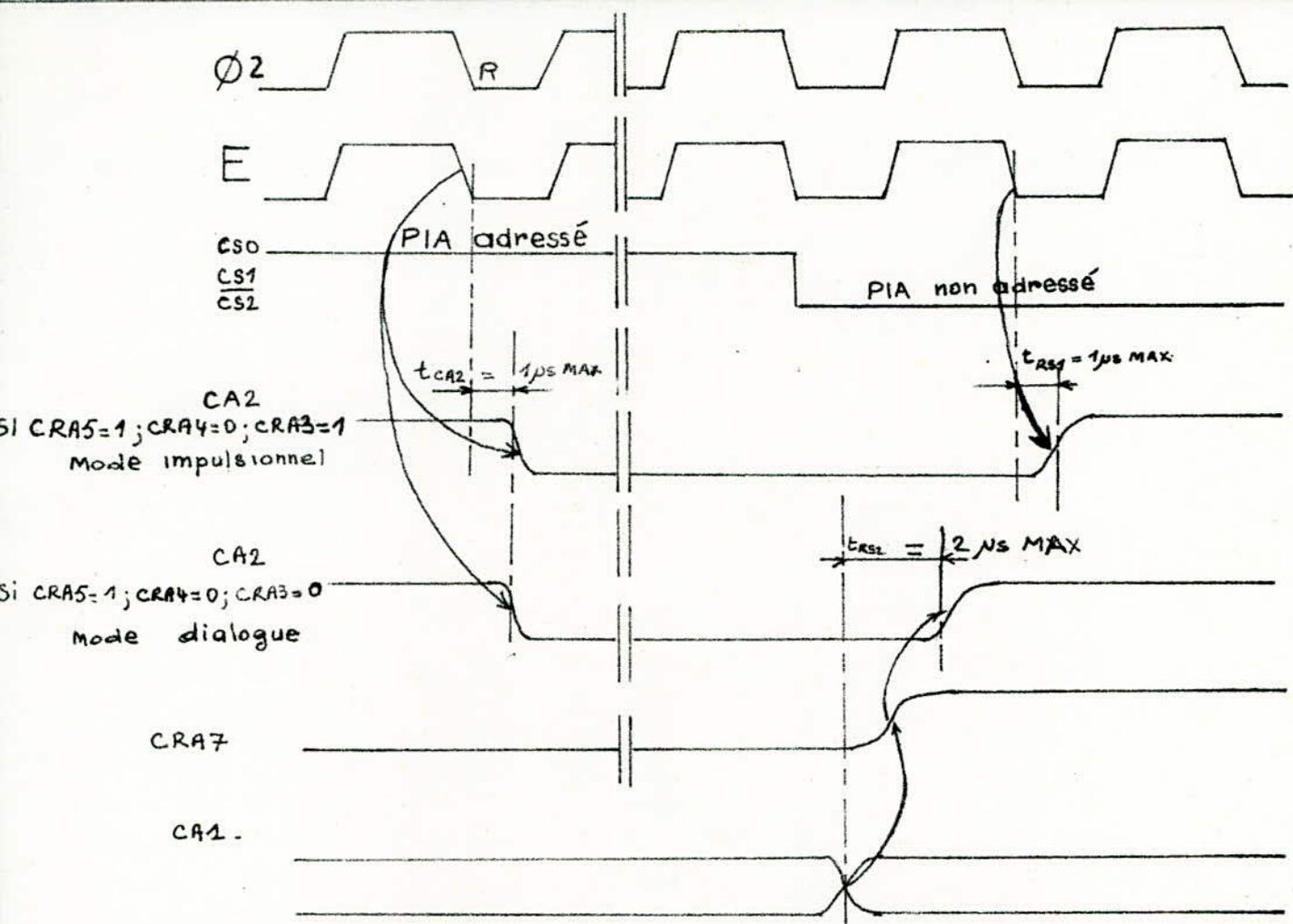
-MODE IMPULSIONNEL ET DIALOGUE:

Contrairement à CA2, dans ce mode, la sortie CB2 est associé à une écriture.

CB2 sera activée au niveau bas par le front montant de la première impulsion E qui suit une écriture des données par le MPU. Et ceci quelque soit le type de fonctionnement.

Dans le mode impulsionnel, CB2 est remis au niveau haut par le front montant de la première impulsion E qui suit une désélection du PIA.

Dans le mode dialogue, CB2 est remis au niveau haut par l'indicateur d'interruption CRB7 lui-même mis à "1" par le front actif de CB1 et ceci de façon asynchrone.



4-ADRESSAGE DU PIA MC-6821:

41-CIRCUIT D'ADRESSAGE DU PIA MC-6821:

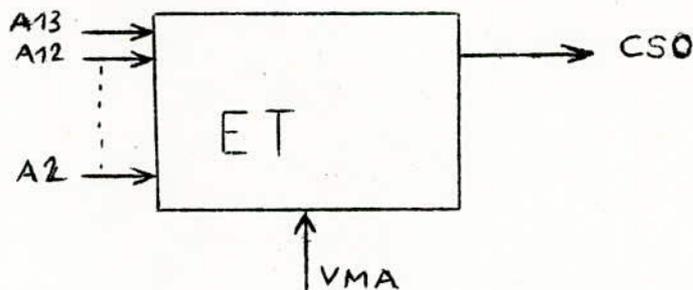
Dans les paragraphes précédent,nous avons vu que pour sélectionner le PIA,il faut que les lignes de sélection CS0,CS1 et $\overline{CS2}$ soient aux niveaux logiques respectifs 1,1 et 0;par ailleurs, le pia occupe 4 adresses-mémoires.

A partir de là,on peut concevoir un circuit que nous nommerons circuit d'adressage du PIA qui fera valider celui-ci à certaines adresses que nous fixerons et qui seront évidemment différentes des adresses des mémoires du micro-ordinateur ou d'autres interfaces.Dans notre cas,nous adresserons notre PIA à l'adresse 6800-6803.

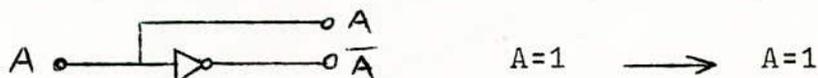
Nous maintiendrons les lignes de sélection CS1 et $\overline{CS2}$ à leurs niveaux logiques directement par 2 lignes du bus d'adresses. Nous prendrons les 2 lignes de poids le plus fort,à savoir A14 et A15 de sorte que le PIA sera toujours validé pour 4 adresses consécutives comme nous allons le voir.

Nous savons que l'adressage des 4 positions internes du PIA se fait par les lignes RS1 et RS0,aussi pour avoir 4 adresses consécutives,nous prendrons les lignes de poids le plus faible du bus d'adresses,à savoir A1 et A0.

Les 12 lignes restantes du bus d'adresses constitueront les entrées du circuit d'adressage du PIA et pour une adresse précise la sortie de ce circuit sera au niveau logique "1",cette sortie sera connectée à la ligne de sélection CS0 du PIA.



Le circuit d'adressage est constitué d'une série de portes ET dont les entrées doivent être aux niveaux logiques "1" pour que CS0=1.Par le truchement de straps tels que/



43-LOGIQUE DE COMMANDE DES BUFFERS:

Les buffers connectés sur les bus externes servent de tampons entre le microprocesseur et l'extérieur. Dans notre cas, les buffers présentent l'avantage, grâce à leur état de haute-impédance, de pouvoir assurer une synchronisation entre l'adresse présente sur le bus d'adresses et les données constituant l'information. Les deux bus, adresses et données, étant indépendants il apparaît évident de les synchroniser. Pour ce faire, il faut disposer une logique de commande des buffers MC 8T26, de sorte que lorsque l'adresse est présente pour un cycle donné le transfert de données puisse s'effectuer, dans un sens ou dans l'autre.

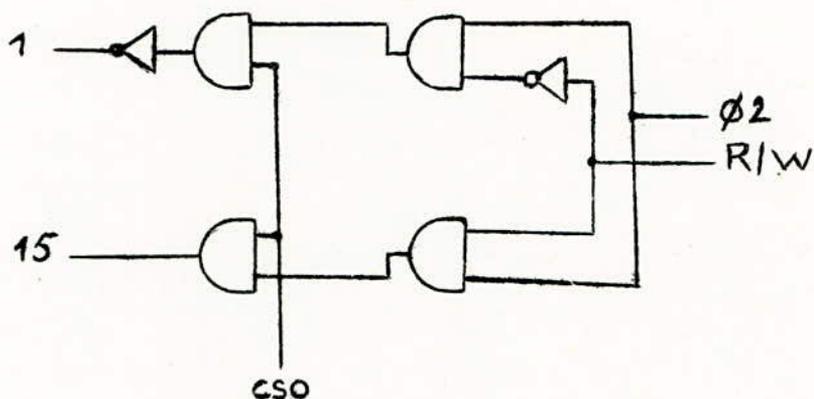
Les buffers MC 8T26, dont le fonctionnement est détaillé en annexe, doivent permettre, dans notre cas, le transfert des données lorsque VMA=1 et lorsque le signal d'activation des échanges du MPU, Ø2=1; et suivant l'état de R/W, permettre le sens du transfert dans un sens ou dans l'autre. Dans le cas contraire, les buffers doivent être à l'état de haute-impédance, ce qui revient à déconnecter le MPU du PIA.

L'état haute-impédance des buffers est obtenu en portant les lignes 1 et 15 de ce circuit respectivement aux niveaux logiques "1" et "0". L'inversion de ces niveaux, c'est à dire, si les lignes 1 et 15 sont aux niveaux respectifs "0" et "1" cela équivaldrait à mettre le buffer en court-circuit, autrement dit, il serait "passant" dans les deux sens. Cet état doit être évité.

La table de vérité de notre logique de commande se présente comme suit:

CS0	R/W	Ø2	ligne 1	ligne 15	ETAT DU BUFFER
1	0	0	1	0	HAUTE-IMPEDANCE
	0	1	0	0	ECRITURE
	1	0	1	0	HAUTE-IMPEDANCE
	1	1	1	1	LECTURE
0	0	0	1	0	HAUTE-IMPEDANCE
	0	1	1	0	HAUTE-IMPEDANCE
	1	0	1	0	HAUTE-IMPEDANCE
	1	1	1	0	HAUTE-IMPEDANCE

44-SCHEMA DE LA LOGIQUE DE COMMANDE:



45-VERIFICATION PRATIQUE DE LA LOGIQUE DE COMMANDE:

Ce test a été effectué pour vérifier le bon fonctionnement du circuit de sélection du PIA MC 6821 et de la logique de commande des buffers MC 8T26.

Les chronogrammes relevés lors de ce test nous indique sur la synchronisation entre les bus données et adresses. Pour pouvoir relever ces chronogrammes, il est nécessaire d'établir au préalable, un programme bouclé sur lui-même de manière à pouvoir relever les signaux R/W et Ø2 délivrés par le MPU.

Ces 2 signaux sont pris sur une carte prolongatrice sur laquelle sont réperés tous les signaux délivrés par le MPU selon un code établi par le constructeur, ainsi la broche numérotée 6 correspond au signal R/W et la broche J au signal Ø2.

De cette manière, on peut comparer les signaux délivrés par le MPU aux signaux de sélection du PIA.

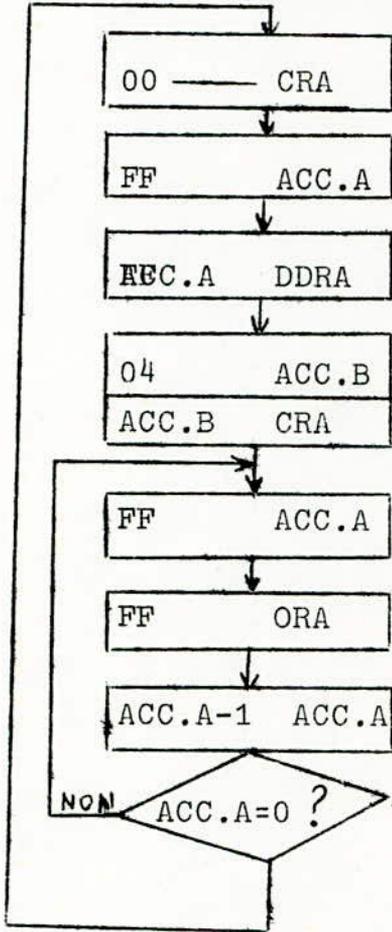
Pour cet essai, nous avons programmé l'envoi d'une donnée sur le port A, il s'agit donc d'une écriture dans le registre ORA du MC 6821.

Les relevés correspondant aux broches de sélection du PIA montrent bien que lorsque R/W=0, ce qui correspond à une écriture les lignes CS0, CS1 et $\overline{CS2}$ sont respectivement à 1, 1 et 0.

On remarque, par ailleurs, le retard de CS0 par rapport à CS1 et $\overline{CS2}$, ce retard est introduit par le circuit de sélection.

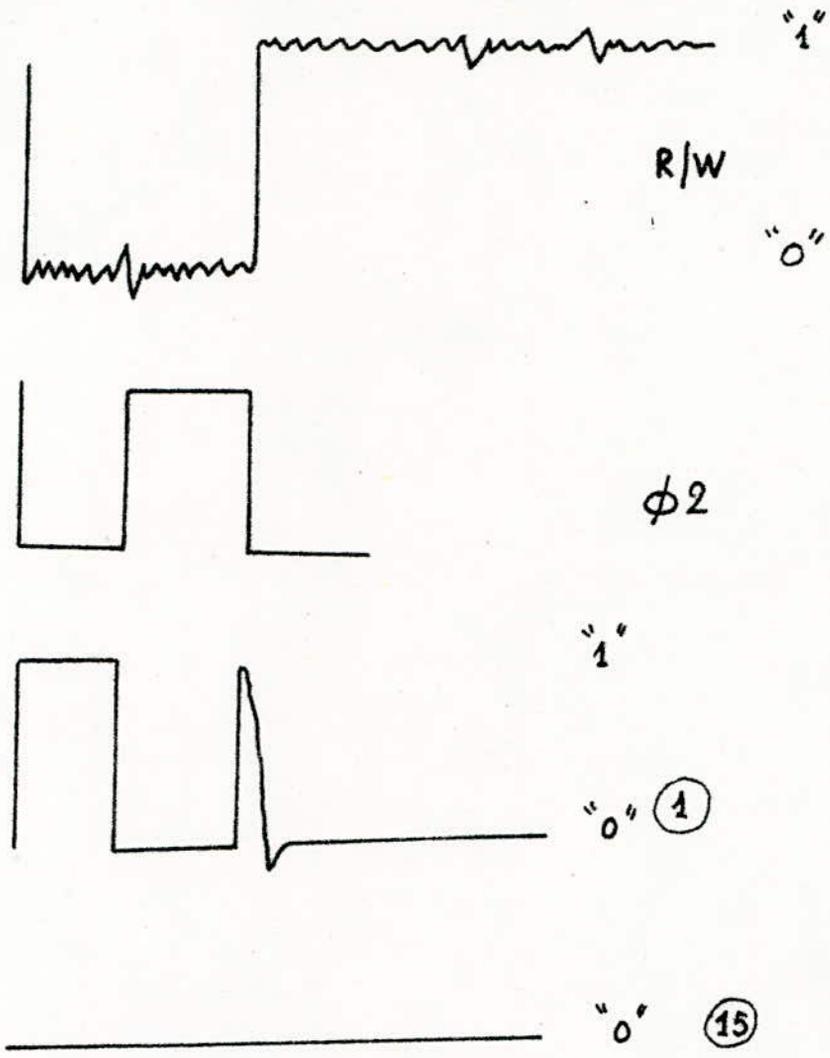
Comme la boucle de programme est telle que nous sommes écriture constamment dans le registre ORA, les signaux RS1 et RS0 sont à "0" pour R/W=0.

Le programme de test a été le suivant:



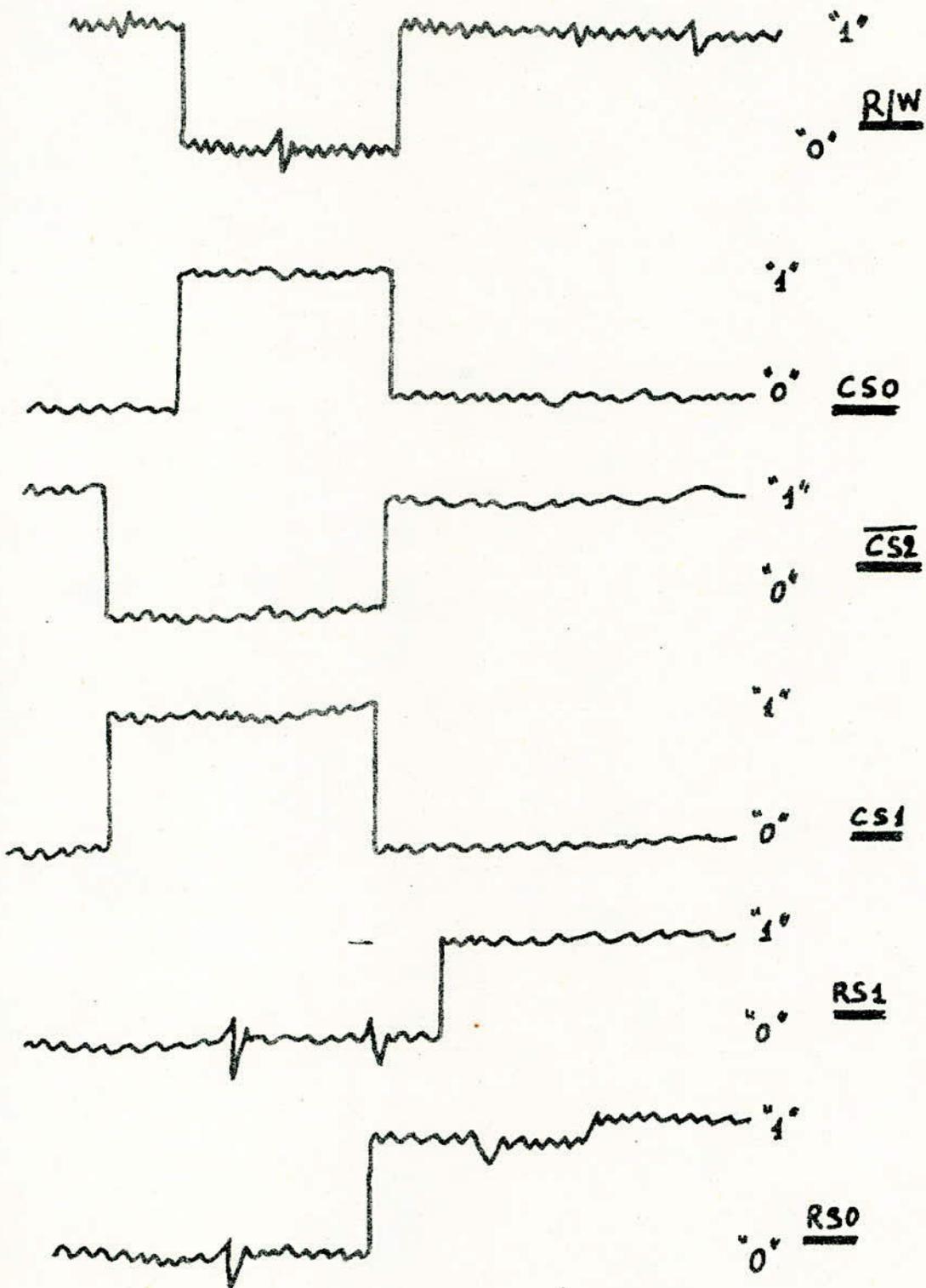
ADR.	INSTRUCTIONS	MINEMO.
0010	7F 6801	CLR
0013	86 FF	LDAA
0015	B7 6800	STAA
0018	C6 04	LDAB
001A	F7 6801	STAB
001D	86 FF	LDAA
001F	B7 6800	STAA
0022	4A	DEC.A
0023	26 FA	BNE
0025	7E 001D	JMP

Chronogrammes relevés lors du test de la logique de commande
des 8T26



Ces chronogrammes sont relevés lors d'une écriture dans le P.I.A
on peut remarquer que dans ce cas $RW=0$, $\phi 2$ présente 2 cycles
et pour $\phi 2=1$, la ligne de commande ① du 8T26 est à un niveau
logique "0", la ligne de commande ⑮ est à un niveau logique "0"
Le 8T26 est passant dans le sens écriture c'est à dire du MPU
vers le périphérique.

Chronogrammes relevés lors du test sur l'adressage du PIA



LA CONVERSION NUMERIQUE/ANALOGIQUE

1-PRINCIPE DE LA CONVERSION NUMERIQUE/ANALOGIQUE:

11-OPERATIONS EFFECTUEES EN CONVERSION:

Les systèmes de traitement de l'information peuvent se décomposer en systèmes analogiques et systèmes numériques; dans le premier cas, les signaux sur lesquels ces systèmes travaillent varient de manière continue; par opposition, les seconds travaillent sur des variables discrètes appelées nombres.

Tout traitement numérique d'un signal analogique nécessite donc une opération préliminaire de conversion analogique-numérique.

Tout traitement analogique d'une suite de nombres nécessite une opération préliminaire de conversion numérique-analogique.

La conversion numérique-analogique est plus simple que la conversion analogique-numérique: la suite de nombres obtenue après traitement numérique est transformée en suite d'échantillons d'amplitude discrète $Y(t)$

Pour reconstituer un signal analogique en sortie il faut opérer une interpolation entre les échantillons, on utilise souvent une interpolation d'ordre zéro suivie d'un filtrage passe-bas analogique: c'est l'opération de restitution.

12-DEFINITION:

Un convertisseur numérique/analogique (C.N.A) est un dispositif qui reçoit une information numérique sous forme d'un mot de n bits et qui la transforme en un signal analogique. C'est donc un système hybride.

Un CNA fait correspondre à l'une des 2^n combinaisons binaires possibles à l'entrée (correspond à un signal d'entrée de n bits), une parmi 2^n tensions discrètes obtenues à partir d'une tension de référence $U_{\text{réf.}}$.

Le nombre N que l'on veut convertir s'exprime en fonction des puissances entières de 2 de la manière suivante:

$$N = d_1 \cdot 2^{n-1} + d_2 \cdot 2^{n-2} + \dots + d_n \cdot 2^0$$

$$U = N \cdot U_{\text{réf.}}$$

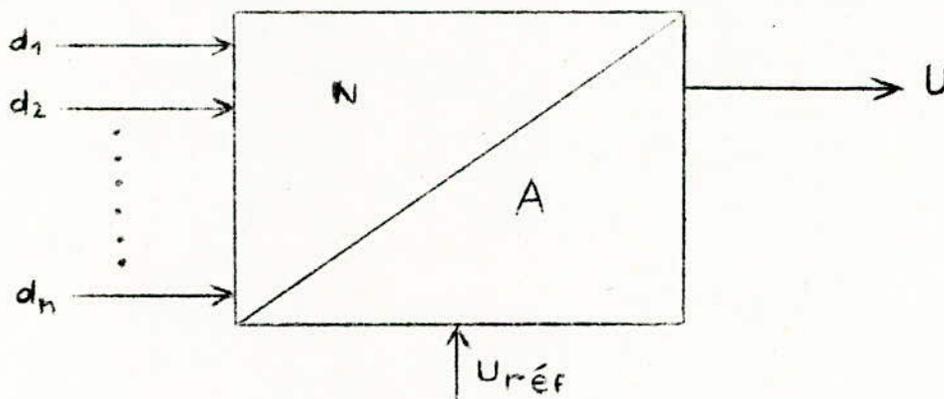
$$U = d_1 \cdot U_{\text{réf.}} \cdot 2^{n-1} + d_2 \cdot U_{\text{réf.}} \cdot 2^{n-2} + \dots + d_n \cdot U_{\text{réf.}} \cdot 2^0$$

Si N est inférieur à l'unité:

$$N' = \frac{N}{2^n} \quad U = N' \cdot U_{\text{réf}} \quad U = N \cdot \frac{U_{\text{réf}}}{2^n}$$

$$U = d_i \cdot \frac{U_{\text{réf}}}{2^i} \quad \text{On définit ainsi une fonction de transfert pour le CNA.}$$

La tension de référence peut être constante, on a alors un CNA classique, ou bien variable, on parle de convertisseur multiplieur ou plus simplement de multiplieur N/A.



2-DIFFERENTES FAMILLES DE C.N.A:

On peut d'abord distinguer les convertisseurs directs et indirects:

-Dans un CNA direct: On passe sans intermédiaire du mot binaire au signal de sortie.

-Dans un CNA indirect: On passe par l'intermédiaire d'une grandeur analogique, par exemple, le temps ou une densité de probabilité.

Une deuxième classification est possible:

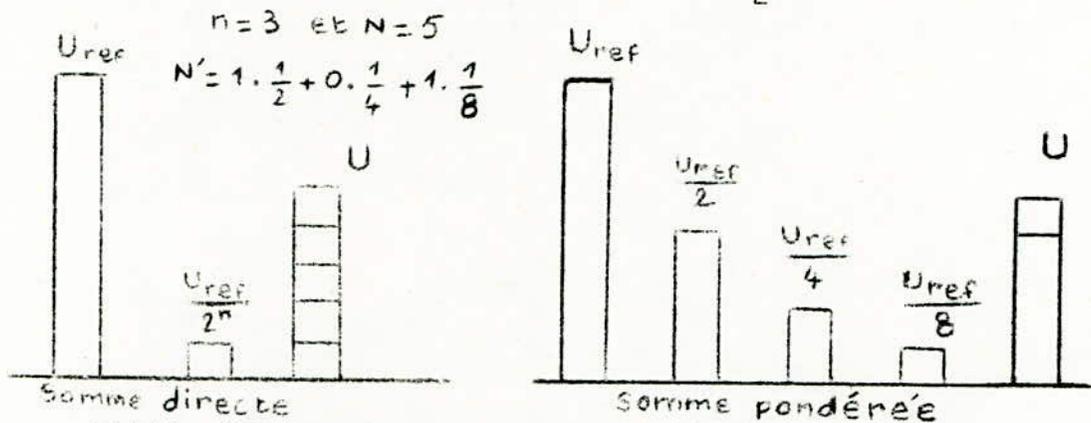
Elle utilise les différentes expressions de la fonction de transfert.

-On peut dire que la tension U est une somme de tensions élémentaires en écrivant:

$$U = N \cdot \frac{U_{\text{réf}}}{2^n}$$

-On peut aussi faire la somme de tensions pondérées:

$$U = d_1 \cdot \frac{U_{\text{réf}}}{2} + d_2 \cdot \frac{U_{\text{réf}}}{2^2} + \dots + d_n \cdot \frac{U_{\text{réf}}}{2^n}$$



Habituellement, on utilise la somme pondérée lorsqu'on fait une conversion directe et la somme de tensions élémentaires lorsqu'on effectue une conversion indirecte.

3-PARAMETRES CARACTERISTIQUES D'UN C.N.A:

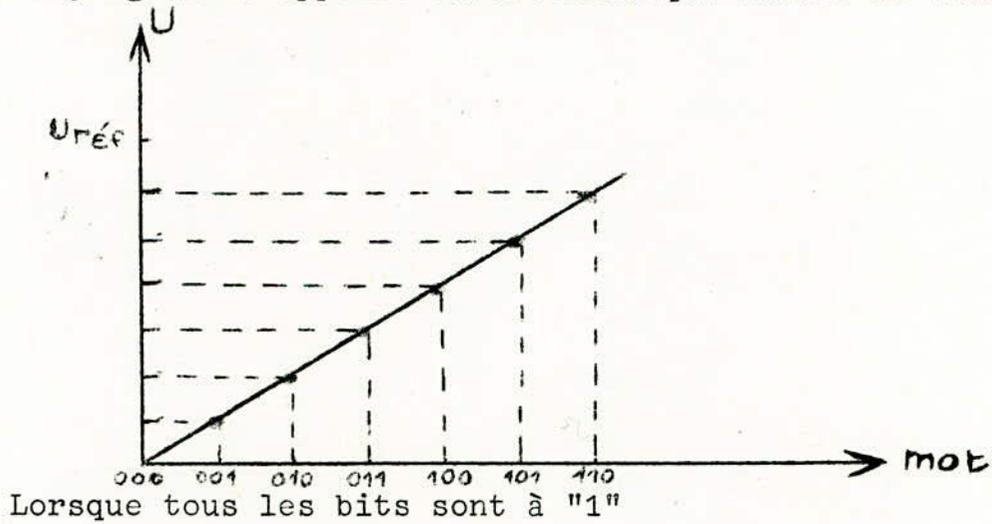
31-FONCTION DE TRANSFERT IDEALE DU C.N.A:

$$U = U_{\text{réf}} \cdot \frac{d_1}{2} + \frac{d_2}{2^2} + \dots + \frac{d_n}{2^n}$$

$U_{\text{réf}}$: Représente l'étendue complète de la tension de sortie (Appelée aussi pleine échelle, en anglais, Full Scale Range).

Si on trace les variations de la tension U en fonction de celles du mot binaire d'entrée, on voit que:

- Le signal de sortie est constitué par une suite discrète de tensions;chaque valeur correspond à un mot particulier.
- Les points correspondants sont alignés;la droite obtenue en les joignant s'appelle Caractéristique idéale de transfert.



$$U_{MAX} = \frac{U_{réf}}{2^n} (2^n - 1)$$

32-AMPLITUDE DE LA TENSION DE SORTIE U_{MAX} .

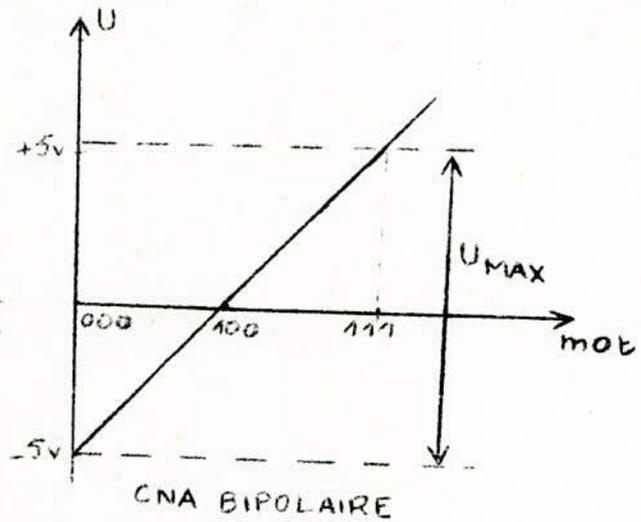
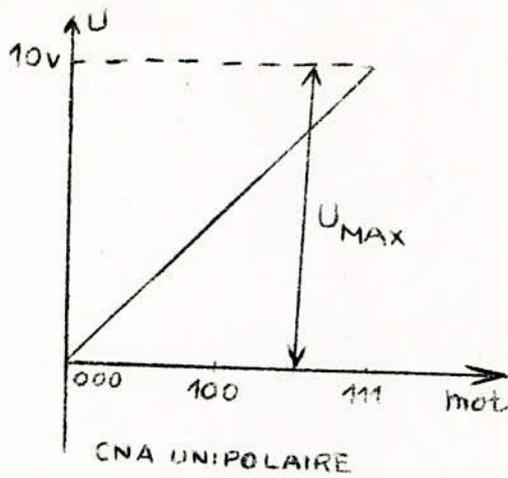
Elle correspond à la variation maximale de la tension de sortie lorsque tous les bits passent de l'état "0" à l'état "1" et définit la dynamique du convertisseur.

Pour un convertisseur unipolaire:

$$U_{MAX} = U_{réf} \left(1 - \frac{1}{2^n} \right)$$

Pour un convertisseur bipolaire:

$$U_{MAX} = U_{réf} \left(2 - \frac{1}{2^n} \right)$$



33-LA RESOLUTION D'UN C.N.A:

Cette caractéristique est donnée par le nombre de bits que le convertisseur peut accepter. On peut la définir comme étant la plus petite variation de l'amplitude de la tension de sortie que l'on peut obtenir compte-tenu du nombre de bits imposé à l'entrée.

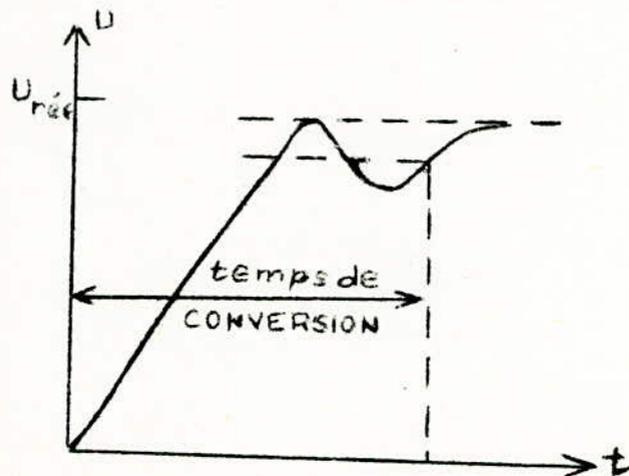
$$r = \frac{1}{2^n} \quad (1)$$

Ou comme le rapport de la plus petite quantité que l'on peut obtenir à la tension maximale:

$$r = \frac{U_{\text{réf.}}}{2^n} \cdot \frac{1}{U_{\text{réf.}} \left(1 - \frac{1}{2^n}\right)} = \frac{1}{2^n - 1} \quad (2)$$

On remarque que: (1) (2) quand n est grand

n	r
8	$\frac{1}{256}$
10	$\frac{1}{1024}$
12	$\frac{1}{4096}$
14	$\frac{1}{16384}$



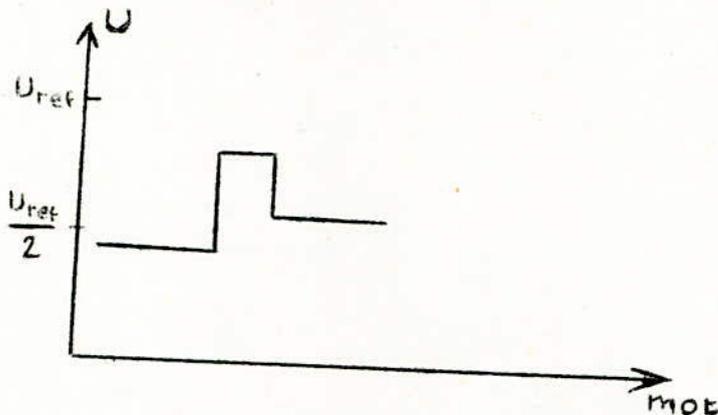
34- LE TEMPS DE CONVERSION:

Il permet de connaître la vitesse de conversion d'un CNA et d'en déduire la fréquence maximale de conversion (c'est à dire le nombre maximal de conversion qu'il peut effectuer par seconde)

35- PROBLEME POSE PAR LES REGIMES TRANSITOIRES EN SORTIE:

Ceux-ci peuvent survenir lorsque l'information numérique présente à l'entrée est modifiée.

Supposons que l'information passe de l'état "011" à l'état "100" ($n=3$) et si le bit MSB (Bit de poids le plus fort) change de valeur avant les autres; on passera alors par un état intermédiaire



Il en résulte une pointe (GLITCH) qui, en réalité est limitée par la bande passante finie du CNA.

On peut disposer un filtre passe-bas qui écrête les pointes (correspondent à des fréquences élevées).

36- PRECISION D'UN C.N.A:

Elle est donnée par le constructeur. C'est l'écart existant entre la valeur du signal obtenue en sortie et la valeur que prévoit la théorie ou que l'on peut déduire de la fonction de transfert, elle s'exprime habituellement en % de la pleine échelle.

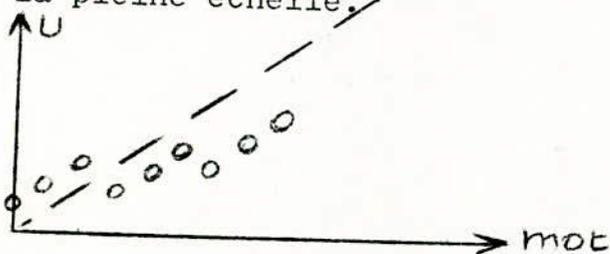


Fig. 4

Tous les bits interviennent dans la définition de la précision, mais leur influence diffère suivant leur poids.

4-ERREURS DANS LES CNA:

Les performances obtenues avec un CNA différent généralement de celles que l'on désire obtenir par suite des erreurs; la caractéristique de transfert du CNA a, par exemple l'allure de la courbe représentée sur la figure 4. On y remarque les différences suivantes, par rapport à celle de la figure 1:

-Les valeurs extrêmes de la courbe diffèrent de celles correspondant à la courbe idéale.

-Les points situés entre ces deux valeurs ne sont pas alignés.

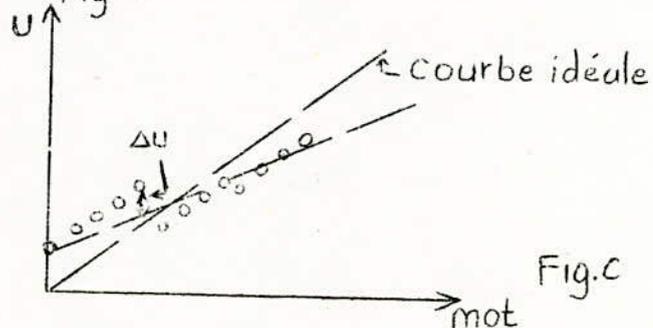
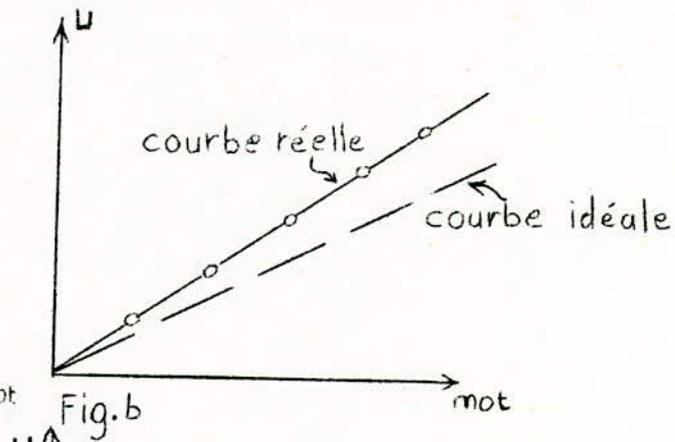
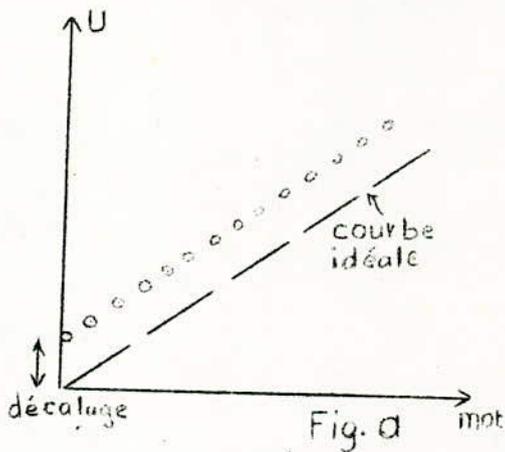
Toutes ces différences sont dues essentiellement à:

-L'erreur de décalage (figure a).

-L'erreur de gain (figure b).

-L'erreur de linéarité (figure c).

L'erreur de décalage et l'erreur de gain sont données par le constructeur. L'erreur de linéarité: c'est la différence entre la tension obtenue en sortie et la tension correspondante mesurée sur la caractéristique idéale de transfert.



5-ETUDE DES PRINCIPAUX C.N.A:

Les CNA se divisent en deux familles suivant que le mot binaire est directement converti en un signal analogique (CNA directs) ou qu'on utilise une variable intermédiaire (CNA indirects); de plus, les CNA directs se divisent en CNA parallèle et CNA séquentiel ou série suivant que la conversion des différents bits s'effectue en même temps ou l'une après l'autre. Les CNA parallèles sont les plus utilisés, vu leur rapidité, notre étude se limitera donc à ce type de CNA.

51-C.N.A PARALLELES:

Le schéma de principe d'un CNA parallèle peut se déduire directement de la formule donnant sa fonction de transfert:

$$U = d_1 \cdot \frac{U_{\text{réf}}}{2} + d_2 \cdot \frac{U_{\text{réf}}}{2^2} + \dots + d_n \cdot \frac{U_{\text{réf}}}{2^n}$$

Il comprend les éléments suivants:

- Une grandeur de référence.
- Un système de pondération: multiplication par les coefficients de la suite binaire: $\frac{1}{2}, \frac{1}{4}, \dots; \frac{1}{2^n}$
- Une commande numérique: multiplication par d_i qui vaut "0" ou "1".
- Une sommation de ces différents signaux (tensions ou courants).
- Une transformation éventuelle: Courant en tension ou tension en courant. Habituellement, il est plus facile d'ajouter des courants que des tensions:

$$\begin{aligned} U &= R \left(d_1 \cdot \frac{U_{\text{réf}}}{2R} + d_2 \cdot \frac{U_{\text{réf}}}{4R} + \dots + d_n \cdot \frac{U_{\text{réf}}}{2^n R} \right) = \\ &= R \left(d_1 \cdot I_1 + d_2 \cdot I_2 + \dots + d_n \cdot I_n \right) \end{aligned}$$

Après avoir effectué la sommation des courants pondérés, on peut opérer la transformation courant-tension, on utilise, par exemple, le montage représenté sur la figure 5.

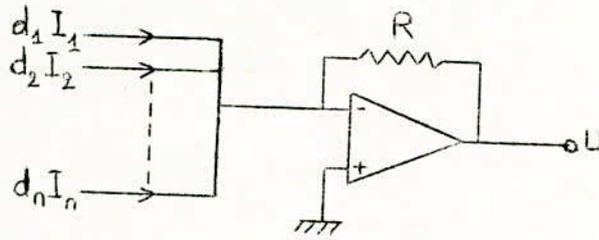


Fig. 5

Le schéma fonctionnel d'un CNA parallèle est représenté sur la figure 6, la pondération utilisée est de la forme U/I , car elle transforme la tension $U_{réf}$ en un courant:

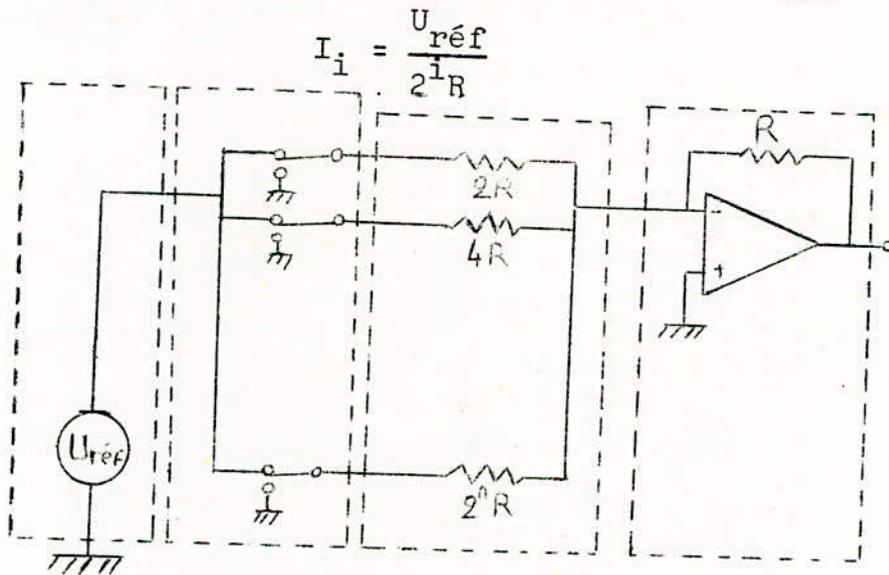


Fig. 6

Les interrupteurs réalisant la fonction commande sont eux-mêmes contrôlés par les différents bits du mot binaire à décoder; suivant que ce bit est à l'état "0" ou à l'état "1", le courant traversant la résistance correspondante est envoyé à l'entrée de l'amplificateur pour être additionné aux autres courants ou bien au contraire dirigé vers la masse.

Ces CNA sont très rapides puisque l'information correspondante au mot binaire est disponible instantanément.

a/CNA A RESISTANCES PONDEREES:

C'est le convertisseur le plus simple qui soit; à l'aide de résistances $2R, 4R, 8R, \dots; 2^n R$ on fabrique des courants pondérés que l'on additionne à l'aide d'un amplificateur opérationnel (figure 7) ainsi le signal de sortie est proportionnel au mot binaire à convertir; un réseau d'interrupteurs permet de n'additionner que les courants désirés. La tension obtenue en sortie a pour expression:

$$U = -R \sum_{i=0}^{n-1} d_i \cdot I_i \quad \text{avec } I_i = \frac{U_{\text{réf}}}{2^i R}$$

Le signe(-) est introduit par l'amplification de la sommation. Il est possible d'invertir la somme des résistances et des interrupteurs, mais le montage de la figure 7 est plus intéressant dans la mesure où il réduit le temps de conversion et permet à la source de tension $U_{\text{réf}}$ d'avoir un débit constant. L'intérêt d'un tel convertisseur réside dans sa simplicité, mais il devient assez vite imprécis lorsque le nombre de bits augmente. Les sources d'erreurs viennent principalement des interrupteurs, des résistances de pondération et de l'amplificateur de sortie.

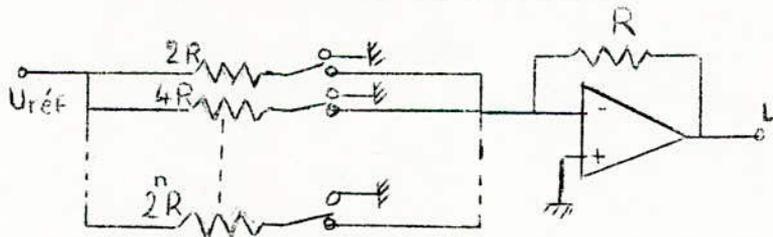


Fig. 7

(Réalisation difficile en micro-électronique, variation avec la température....).

Une manière simple de résoudre ce problème consiste à utiliser plusieurs blocs identiques de 4 générateurs de courant du type précédent.

Exemple: CNA de 12 bits

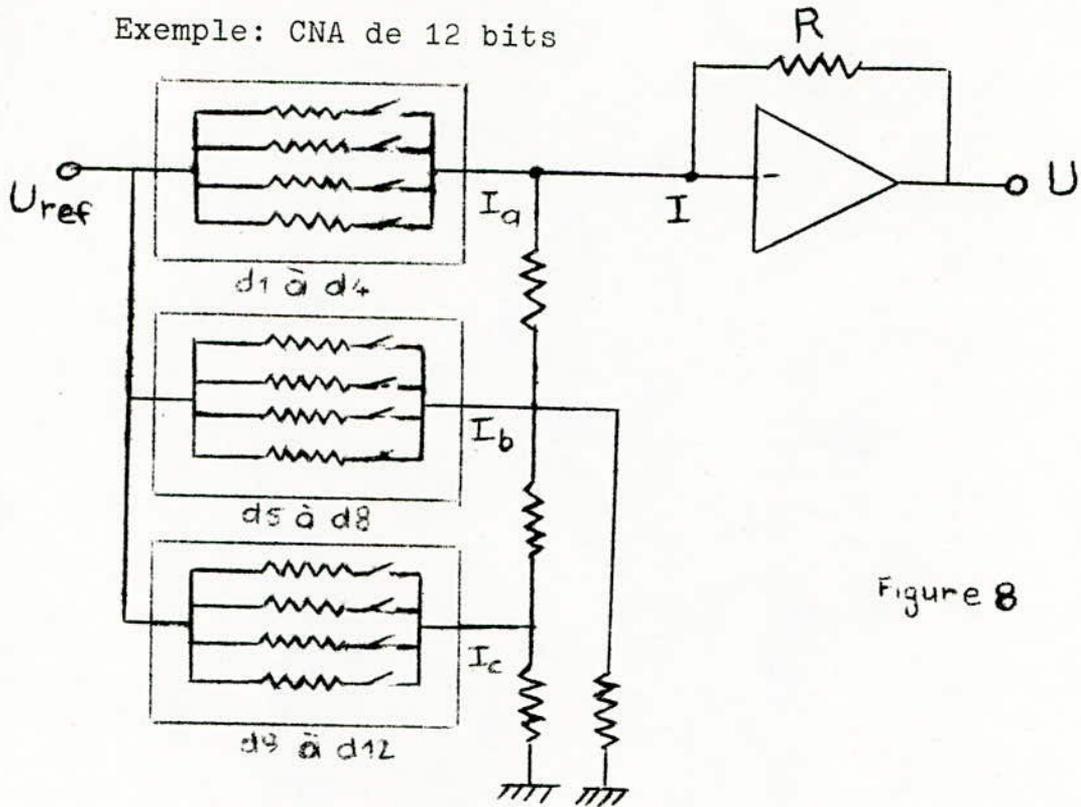


Figure 8

Ces blocs s'appellent parfois des quads; le signal de ces différents blocs, tension ou courant, sera pondéré suivant le code utilisé et la place du bloc dans la chaîne; cette technique est très employée, elle permet la réalisation de différents éléments sous forme intégrée.

Les trois courants I_a, I_b, I_c ont des expressions identiques (au numéro du bit près), ce qui se traduit par des ensembles de résistances et des interrupteurs identiques. Ces courants doivent être pondérés, avant leur addition, par les facteurs $1, \frac{1}{16}, \frac{1}{256}$; ceci est obtenu par un deuxième ensemble de résistances, alimentées en courant.

Le signal de sortie s'écrit:

$$U = R \left\{ \left(d_1 \cdot \frac{U_{\text{réf}}}{2R} + \dots + d_4 \cdot \frac{U_{\text{réf}}}{16R} \right) + \frac{1}{16} \left(d_5 \cdot \frac{U_{\text{réf}}}{2R} + \dots + d_8 \cdot \frac{U_{\text{réf}}}{16R} \right) + \frac{1}{256} \left(d_9 \cdot \frac{U_{\text{réf}}}{2R} + \dots + d_{12} \cdot \frac{U_{\text{réf}}}{16R} \right) \right\}$$

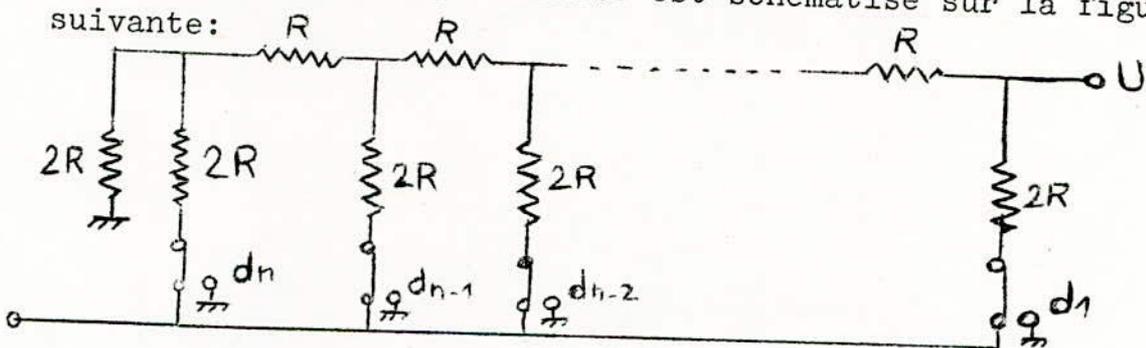
$$\text{OU: } U = R(I_a + \frac{1}{16} \cdot I_b + \frac{1}{256} \cdot I_c)$$

Ce système est très intéressant dans le cas du code BCD; il suffit alors de modifier les valeurs des résistances du 2° réseau pour que les courants $I_a, I_b,$ et I_c soient affectées d'une puissance de 10.

b/ CNA EN ECHELLE:

On peut simplifier le montage de la figure 8, en utilisant une structure en échelle, et en réduisant à $2(R$ et $2R)$ le nombre de résistances des réseaux élémentaires.

Le principe utilisé est schématisé sur la figure



Ce type de convertisseur présente certains inconvénients:

- Commutation de tensions relativement importantes ($U_{\text{réf}}=10\text{v}$)

- Le changement de sens des courants lors de la commutation entraîne des régimes transitoires.

- Pour accroître la vitesse de commutation; il faut utiliser des résistances de faible valeur pour diminuer les constantes de temps; mais dans ce cas, les résistances parasites dues aux interrupteurs ne peuvent être négligées.

On peut réduire en partie ces inconvénients en utilisant le convertisseur à échelle inversée dans lequel on commute des courants et non plus des tensions (figure 10).

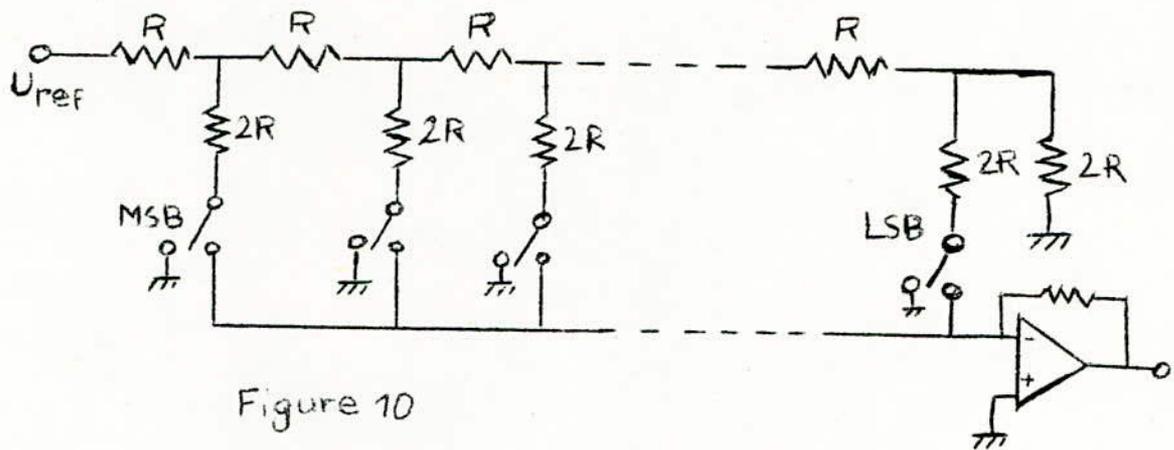


Figure 10

Le courant dans les résistances $2R$ circule toujours dans le même sens; suivant que le bit est à "1" ou à "0", ce courant est orienté vers l'entrée d'un amplificateur sommateur ou bien dirigé vers la masse, puisque l'entrée de l'amplificateur est une masse virtuelle: le courant dans ces résistances est donc constant et il est possible d'augmenter l'impédance du réseau sans que les éléments parasites aient une influence sur le comportement de dynamique de l'ensemble.

c/ CNA UTILISANT DES CODES BIPOLAIRES:

Pour un CNA, les codes les plus intéressants sont le code binaire décalé et le code complément à 2, qui ne diffèrent l'un de l'autre que par le bit de signe (MSB).

Si l'on désire utiliser un convertisseur à résistances pondérées tel que celui présenté sur la figure 7, il suffit de rajouter une résistance égale à celle du MSB, soit $2R$, et de la relier, à la tension $-U_{réf}$ (figure 11) cela crée un courant permanent égal à $-\frac{U_{réf}}{2R}$, et l'expression du signal de sortie devient:

$$U = -U_{réf} \left(d_1/2 + d_2/2^2 + \dots + d_n/2^n \right) + U_{réf}/2$$

Dans ce cas, la dynamique du signal de sortie n'est pas changée, mais simplement décalée de la quantité $-U_{réf}/2$, (Elle se trouve centrée sur zéro); si l'on veut obtenir une dynamique allant de $-U_{réf}$ à $+U_{réf}$ il faut doubler le gain de

l'amplificateur; suffit pour cela d'utiliser une résistance de bouclage de valeur $2R$.

Dans le cas d'un convertisseur en échelle, il faut connecter l'extrémité des résistances $2R$ qui sont à la masse (parce que le bit correspondant est à "0") à une tension de référence $-U_{réf}$. Le code amplitude-signe permet de coder séparément l'amplitude du signal et son signe; pour convertir un nombre exprimé dans ce code, on sépare le bit du plus fort poids (MSB) des autres bits; les $(n-1)$ bits restants sont appliqués à un CNA unipolaire qui fournit un courant I proportionnel au mot correspondant à ces $(n-1)$ bits; l'état du bit MSB permettra de choisir entre deux tensions $-RI$ et $+RI$ obtenues à partir du courant I , par l'intermédiaire d'un commutateur commandé par ce bit (figure 12)

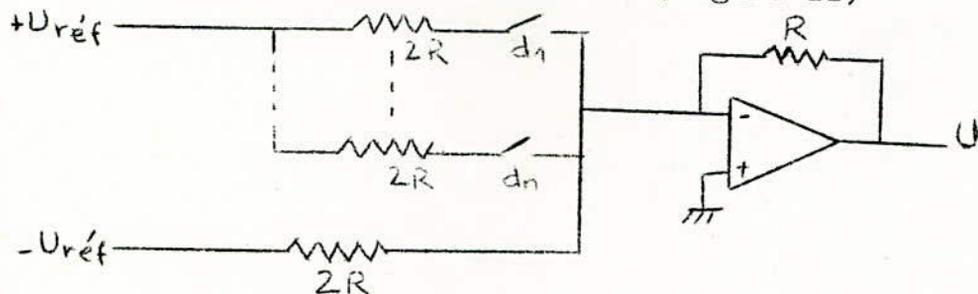


Figure 11

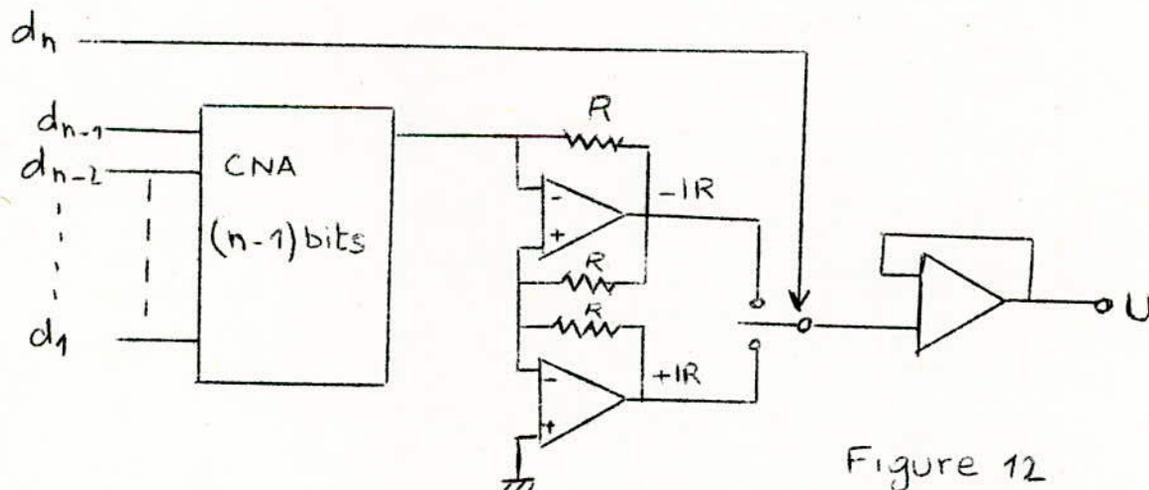
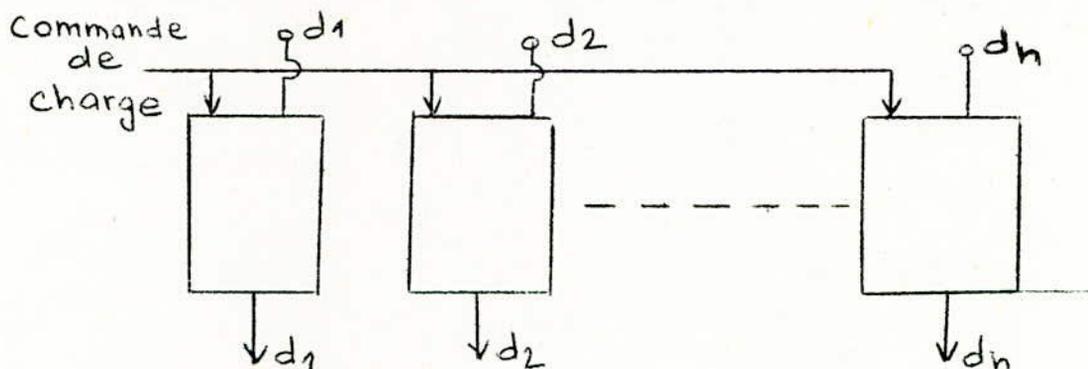


Figure 12

d/ INTERET D'UNE INTERFACE D'ENTREE:

Les convertisseurs CNA parallèles acceptent la présence de signaux sur leurs entrées à tout instant;chaque changement de bit se traduit immédiatement par l'existence d'une nouvelle tension en sortie,la seule limitation provenant des temps de commutation.Cela oblige à prévoir des circuits d'isolement qui mettent en mémoire les signaux numériques d'entrée durant les périodes d'attente;le circuit de séparation consiste en un assemblage de n bascules,une pour chaque bit,comme le montre la figure suivante



Les signaux d'entrée ne sont pris en compte que lorsque le signal de commande de charge existe.

6-INTERFACE D'ENTREE UTILISE:

Le circuit d'isolement utilisé pour chaque CNA est un ensemble de 6 LATCHES (ou position-mémoire) type SN7475

61-LES ENTREES:

Le mot à convertir se présente sous la forme de 8 bits;disponible sur le port A du PIA,après une amplification en puissance à l'aide de buffers du type MC-14050;présenté en annexe);ils sont présents sur les entrées des 6 latches.

62-COMMANDE DE CHARGE:

Elle se fait par l'intermédiaire d'un décodeur binaire-décimal du type SN7442(présenté en annexe).

Les entrées de ce décodeur proviennent des 3 lignes PB0,PB1 etPB2 du port B du PIA;la 4^e entrée du décodeur est mise au niveau logique "0" ainsi nous ne décodérons que les

les 6 premières combinaisons de la table de vérité, ce qui nous permettra de sélectionner l'une des 6 voies de l'enregistreur; donc les 6 sorties retenues du décodeur, constituent les commandes de charge des 6 latches.

D'autre part, le passage de la commande de charge (E) de l'état "1" à l'état "0" permet une mémorisation du mot, et donc sa configuration en bit sera toujours présente à l'entrée du CNA.

7-CONVERTISSEUR UTILISE:

Les convertisseurs utilisés (au nombre de 6) sont du type D.A.C 02 .

Ce CNA est constitué d'un assemblage complet comprenant référence et amplificateurs opérationnels de sortie.

Il est du type R/2R et les courants résultant sont appliqués à 2 amplificateurs de sortie ($-V_s$ et $+V_s$ selon le bit de signe) par l'intermédiaire de 10 transistors montés en base commune.

La tension de référence est fournie par l'ensemble diode zener, résistance $R_{réf}$ et amplificateur.

Le transistor T_1 sert à régler automatiquement la tension des transistors T_2 à T_{11} en cas de variation de la température.

Les transistors T_2 à T_{11} étant fabriqués de la même façon sur une même pastille sont très appariés et leur tension V_{BE} variera de la même manière que celle de T_1 ; ainsi leurs émetteurs resteront toujours au même potentiel et la précision sera maintenue.

71-CARACTERISTIQUES TECHNIQUES:

- Les entrées sont compatibles avec la TTL, DTL, et C-MOS.
- Tensions d'alimentation: +12v à 18v.
- Le temps de conversion: 1,5 us.
- Résolution: 10bits + bit de signe.
- Monotonie garantie: 0 à 70°C
- Stabilité: dans toute la gamme de température 60 ppm/°c MAX
- Sortie bipolaire: +10v

72-AJUSTEMENT DE LA TENSION DE SORTIE:

La tension maximale de sortie étant légèrement inférieure à celle de référence (+12v et -12v), nous l'avons ajustée à 10v.

Pour cela nous mettrons toutes les entrées à "1" et nous réglerons le potentiomètre (10 K Ω) jusqu'à ce que l'on ait 10v en sortie.

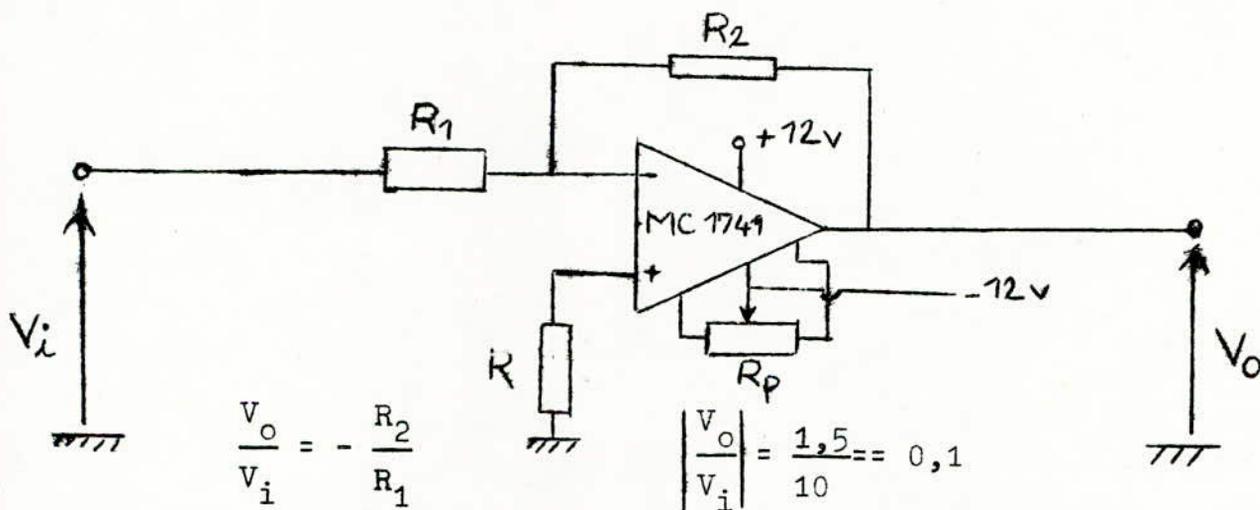
73-LES ALIMENTATIONS:

Les tensions de références +12v et -12v sont appliquées à travers des capacités de 0,1 μ F.

74-ETAGE DE SORTIE:

Il est constitué d'un adaptateur-atténuateur.

Ce montage atténue la tension "pleine échelle" (10v) à la sortie des C.N.A, à 1v; et nous permettra d'utiliser tous les calibres de sensibilité de l'enregistreur. De plus, ce montage nous permettra d'assurer l'adaptation entre les C.N.A et l'entrée de l'enregistreur



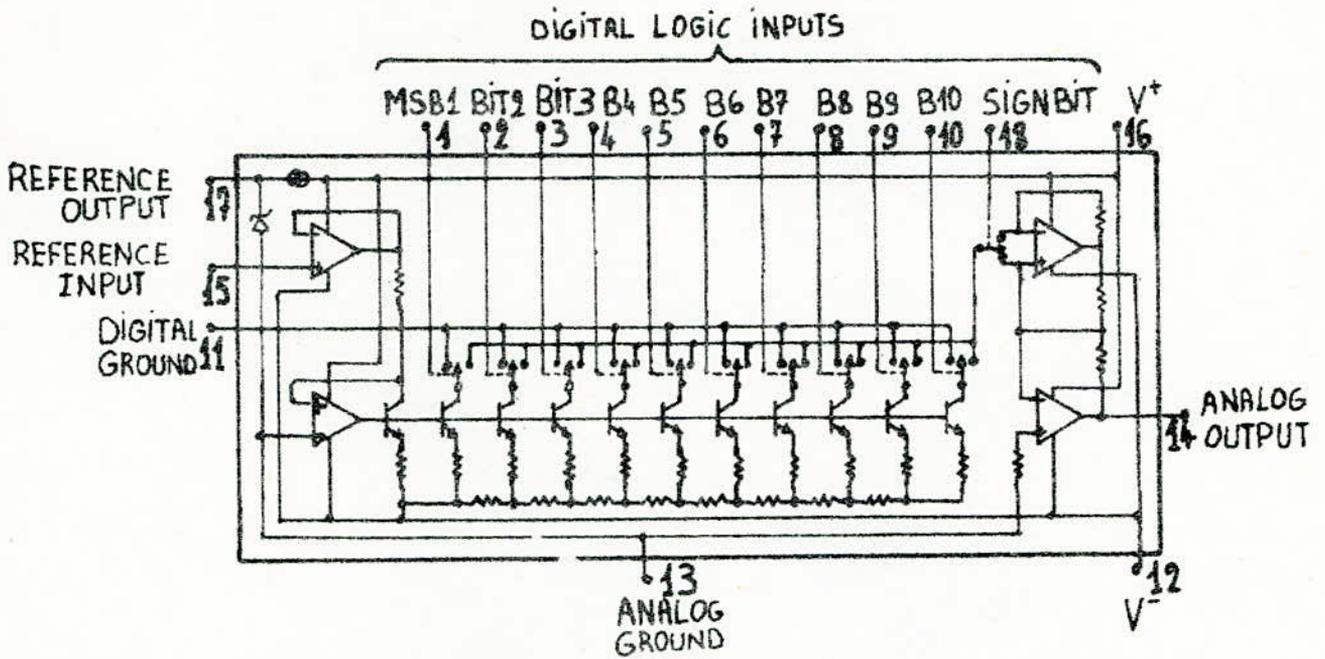
-REGLAGE DE LA TENSION D'OFFSET:

Il se fait grâce à un potentiomètre de 10 K Ω (R_p)

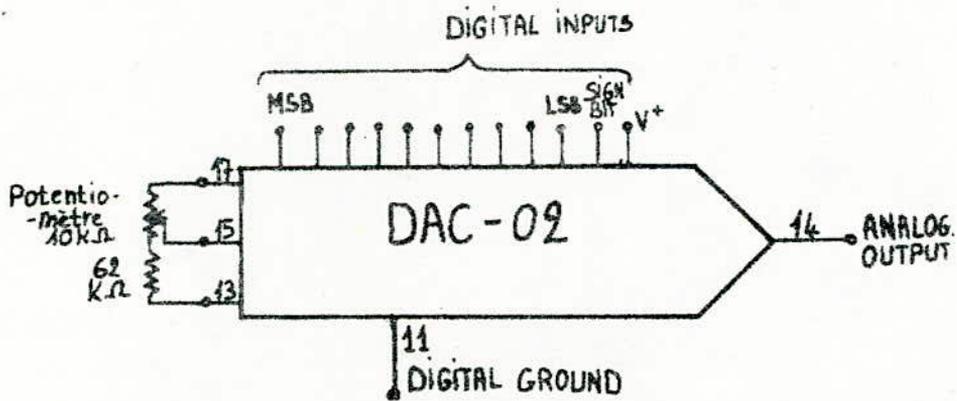
-COURANT D'OFFSET:

Il est éliminé par une résistance 1,5 K Ω ($R_1 \parallel R_2 = R$).

CONVERTISSEUR NUMERIQUE ANALOGIQUE DAC-02



CIRCUIT D'AJUSTEMENT DE LA TENSION A PLEINE ECHELLE



51-CARACTERISTIQUES TECHNIQUES:

L'enregistreur potentiométrique multivoies MODELE 316 de BRYANS SOUTHERN INSTRUMENTS LIMITED (BSIL) possède la fiche technique:

- NOMBRE DE CANAUX: 6
- HAUTEUR HORS-TOUT: 262 mm
- DIMENSIONS HORS-TOUT: 424x262x320
- POIDS: 15 kg
- SYSTEME D'ECRITURE: pointe fibre
- ECART ENTRE LES PLUMES: 2 mm
- LARGEUR DE PISTE: 250 mm + 2% (répartis de part et d'autre
largeur totale du papier: 290 mm)
- TEMPS DE TRAVERSEE DE L'ECHELLE: 0,3 s (soit 100 cm/s)
- BANDE PASSANTE: 1,7 Hz (à -3 dB)
- FIDELITE: 0,15% de la pleine échelle (0,4 mm)
- SEUIL D'ECRITURE: 0,15% de la pleine échelle (0,4 mm)
- LINEARITE: 0,1% de la pleine échelle (0,25 mm)
- 16 VITESSES DE DEROULEMENT DU PAPIER:
- 60,40,20,10,8,4,2,1 cm/mn et cm/h
- ENTRAINEMENT DU PAPIER:
MOTEUR PAS-A-PAS (résolution 0,066 mm par pas)
Télécommande du déroulement par impulsion TTL 0,75v
Télécommande ARRET-MARCHE du papier par court-circuit
Télécommande marche AVANT-ARRIERE.
- SORTIE DES AMPLIFICATEURS: 0 à 1v à l'arrière du chassis
- CADRAGE DE ZERO: sur toute l'étendue de l'échelle.
- ALIMENTATION SECTEUR: 115/220v (+20% ; -10%)
- FREQUENCE SECTEUR: 50-60 Hz.

52-SYSTEME D'INSCRIPTION:

Le système d'inscription est tel que chaque scripteur est disposé sur une tringle perpendiculaire au défilement du papier et séparé de 2 mm de son voisin. Ceci permet de pouvoir loger, sur un même rouleau d'enregistrement, 6 systèmes d'asservissements potentiométriques pouvant se déplacer sur la totalité de la largeur du papier, permettant une grande dynamique de mesure.

53-DEROULEMENT DU PAPIER:

La partie intéressant le but de notre étude est surtout le système de déroulement du papier. L'idée adoptée pour la résolution du problème de rattrapage du zéro, c'est à dire l'obtention de tracé synchrone sur les 6 voies, est la suivante:

Chaque scripteur ne doit pouvoir inscrire son point que lorsque le papier aura défilé de 2 mm après que le scripteur précédent ait inscrit le sien.

Pour concrétiser cette idée, il nous faut connaître le système de commande des vitesses du déroulement du papier, celui-ci se présente sous la forme d'un circuit comportant 5 décades:

DM 7492 ,SN 7490 ,DM 7493 ,SN 7490 et DM 7492.

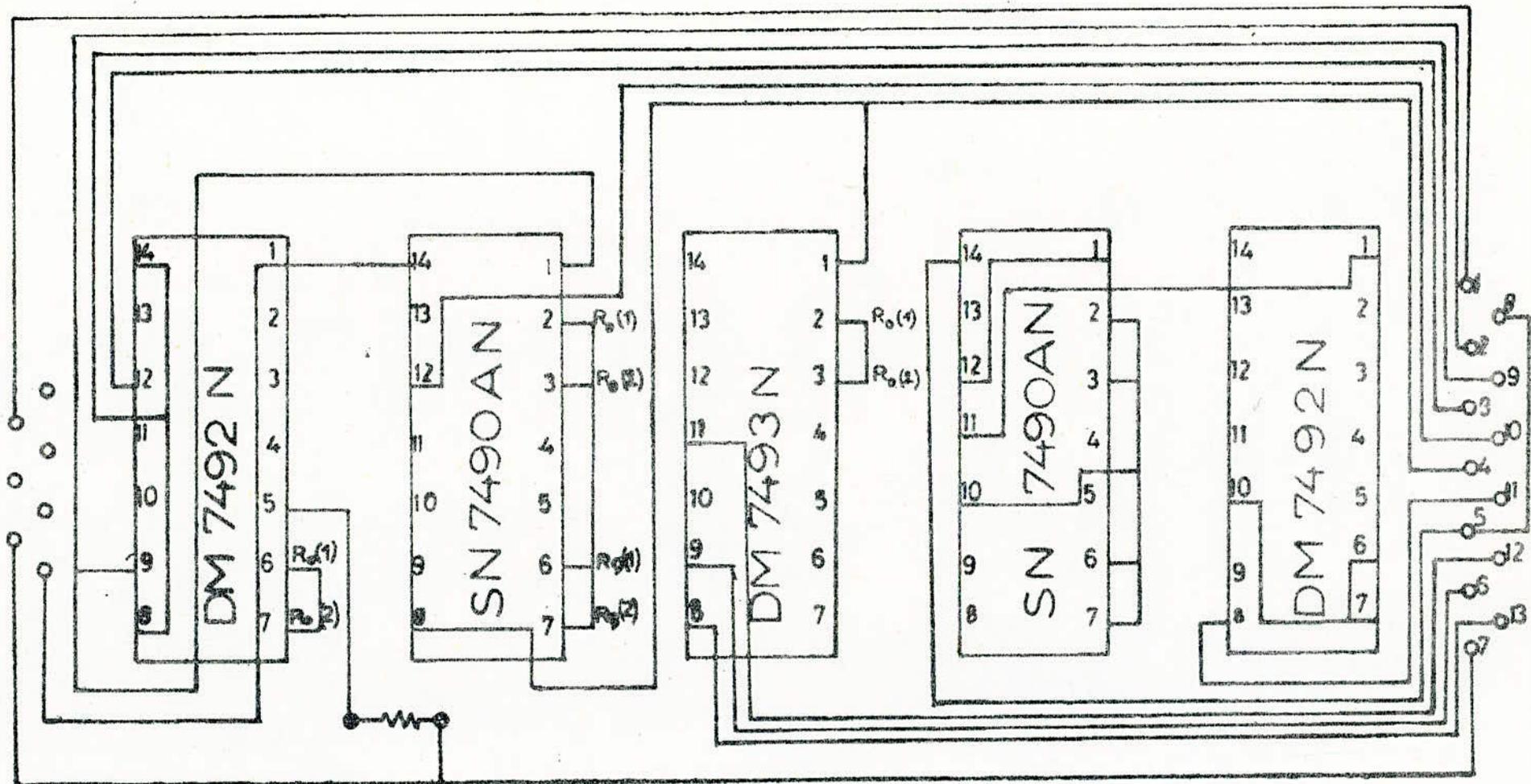
comme on peut le voir sur la figure.

La ligne 1 est la ligne d'alimentation du moteur pas-à-pas elle est reliée à celui-ci après amplification.

Les 3 premières décades déterminent les 8 vitesses de déroulement du papier, leurs sorties sont reliées aux boutons-poussoirs de sélection des vitesses. Elles correspondent sur le schéma du circuit de commande aux lignes: 2,3,4,6,9,10,12 et 13.

Les deux dernières décades (SN 7490 et DM 7492) permettent le déroulement du papier en cm/mn ou en cm/h. Dans ce dernier cas, la ligne de sortie sélectionnée par l'un des boutons-poussoirs est connectée à l'entrée (8 et 5) de la decade SN 7490, cette entrée est l'entrée horloge du compteur. La sortie (11) de la deuxième decade (DM 7492) sera reliée à la ligne (1); le déroulement se fera alors en cm/h.

Dans la cas du déroulement en cm/mn, la ligne (8 et 5) est directement connectée à la ligne (1).



SCHEMA DU CIRCUIT DE COMMANDE

DES VITESSES DE L'ENREGISTREUR

SYNCHRONISATION DU TRACE

L'un des problèmes fondamentaux posé par ce type d'enregistreur est l'espacement des plumes de 2 mm entre elles. Si l'on venait à tracer 6 courbes, directement, nous constaterons qu'elles seront décalées dans le temps par rapport à la plume de référence, nous obtenons alors un tracé asynchrone.

Pour une meilleure compréhension de ce problème, nous avons programmé le tracé d'une même courbe sur les 6 voies, nous pouvons voir alors que le tracé obtenu est celui de 6 courbes identiques mais décalées les unes par rapport aux autres. Ce tracé ne permet pas une bonne interprétation pour des points de chaque courbe pris au même temps t par rapport à un axe de référence.

Grâce à notre dispositif nous pouvons, si l'on applique toujours le même programme d'une courbe sur les 6 voies, confondre les tracés sur le papier alors que les scripteurs sont toujours espacés de 2 mm: nous aurons alors un tracé synchrone.

61-PRINCIPE DE LA SYNCHRONISATION:

On retarde le signal appliqué au servo-mécanisme d'inscription d'un temps proportionnel à la vitesse de défilement du papier. Chaque plume attendra le temps que met le papier à aller de la plume précédente à celle-ci.

Ainsi si la plume N°1 est prise comme référence, la plume N°2 attendra un temps T_1 tel que

$$T_1 = \frac{\text{Distance entre les plumes}}{\text{Vitesse de défilement}} = \frac{X_1}{V_1}$$

La plume N°3 attendra un temps $2xT_1$, la plume N°4, un temps $3xT_1$,.....

Autrement dit, chaque plume attend un temps T_1 après que la plume la précédant ait inscrit son point.

Ce retard T_1 , nous le réalisons grâce à un compteur d'impulsions synchrone, En effet, le moteur d'entraînement du papier étant un moteur fonctionnant pas-à-pas (résolution 0,066 mm par pas), il suffit de compter le nombre d'impulsions qu'il faut pour que le papier défile de 2 mm.

Pour cette distance, on compte 30 impulsions de celles alimentant le moteur pas-à-pas, c'est à dire la ligne (1) du circuit de commande des vitesses de l'enregistreur.

62-COMPTEUR D'IMPULSIONS:

Il est réalisé à l'aide de deux compteurs du type SN 7492. Le brochage et la table de vérité de ce circuit est présenté en annexe.

Les impulsions prises sur la ligne (1) du circuit de commande des vitesses de l'enregistreur, sont appliquées sur la ligne 14 (entrée H) du premier compteur. La ligne 12 est reliée à la ligne 1 de la deuxième bascule de ce compteur pour que le comptage s'effectue en décimale de 0 à 12.

Donc pour ce premier compteur, le comptage s'effectuera par tranche de 12 impulsions. Le deuxième compteur est relié au premier de sorte que, chaque fois que le premier compteur arrive à la douzième impulsion, il s'incrémente d'une unité.

Dans ce second compteur, la première bascule n'est pas utilisée. La sortie Q_D (8) du premier compteur est reliée directement à l'entrée H (1) de la deuxième bascule du second compteur.

Nous obtenons ainsi, comme l'indique les chronogrammes relevés, un comptage par tranche de 12.

63-DETECTEUR DE SEQUENCE:

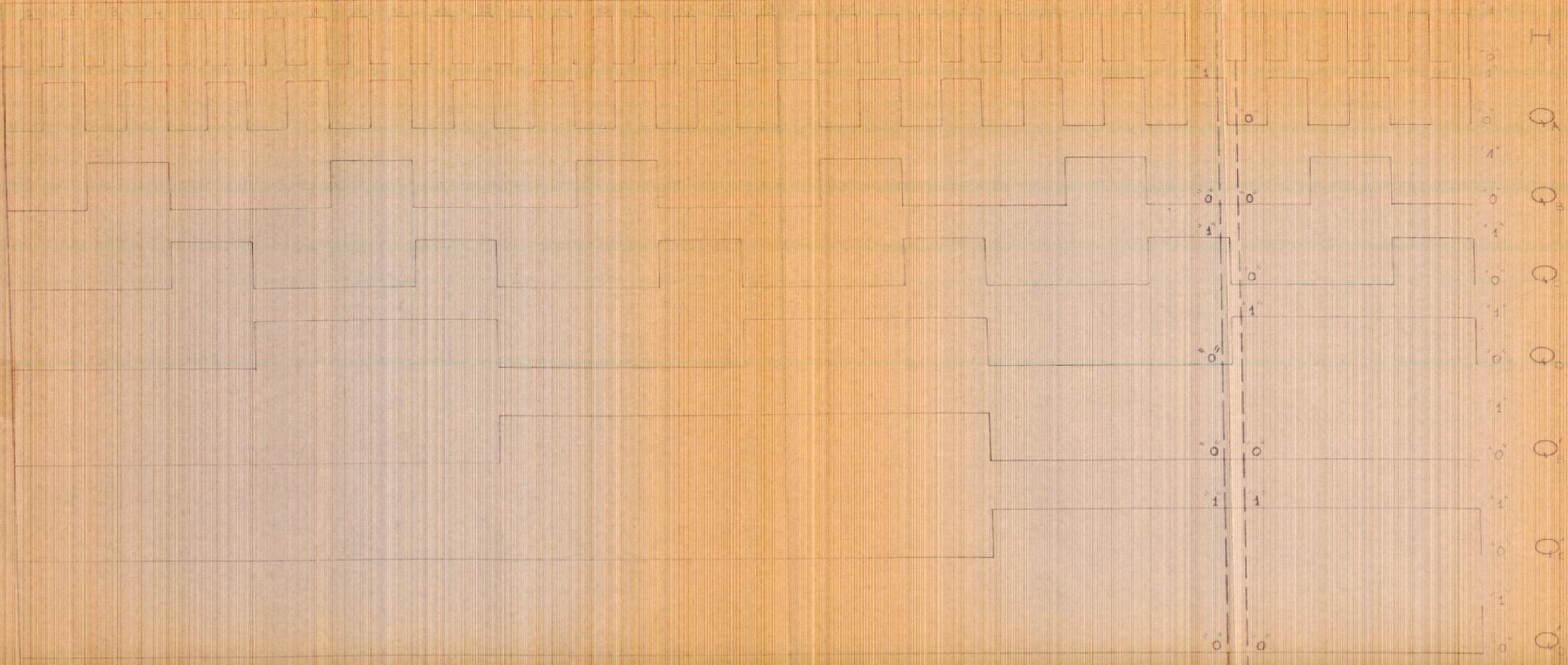
Il suffit maintenant de détecter la trentième impulsion du compteur: Elle correspond à:

$$Q_D=0 ; Q_C=1 ; Q_B=0 ; Q_D=0 ; Q_C=1 ; Q_B=0 ; Q_A=1$$

Cette séquence nous la détecterons par un circuit constitué de porte ET.

Il s'agit de déterminer la séquence telle que lorsque la sortie Q_C , du deuxième compteur est à "1", les sorties Q_B et Q_A du premier compteur passent à "1".

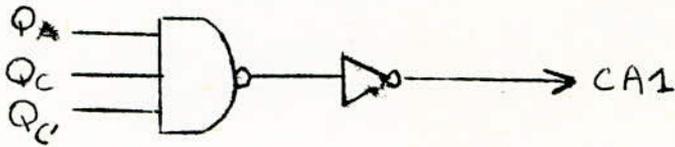
La trentième séquence correspond à la troisième tranche de comptage par 12 du premier compteur, lors de ce comptage la sortie Q_C , passe à "1". Il faudra alors détecter le passage de la sixième incrémentation correspondant à cette tranche de comptage.



Chronogrammes du compteur d'impulsions

Remise à zéro
 30^{ème} pas

Le circuit de détection de cette séquence est le suivant:



Après le passage de la trentième impulsion, on opère une remise à zéro forcée qui se fait sur les entrées (6) et (7) d'une porte NAND interne au compteur.

Pour réaliser cette remise à zéro forcée, on doit donc s'arranger pour que le compteur retourne à zéro au moment où normalement il passerait sur 31.

Pour cela, il suffirait de relier les sorties Q_C , et Q_D aux deux entrées R_0 du compteur.

Le diagramme relevé montre que la position $Q_C=1$; $Q_D=1$ n'est atteinte, pour la troisième tranche de comptage, que lorsque le comptage passe de 30 à 31.

En fait, le compteur ne retournera sur zéro qu'après le délai de propagation, c'est à dire après être resté sur 31 pendant quelque dizaines de nanosecondes.

La sortie du détecteur de la trentième séquence est envoyé sur l'entrée d'interruption du PIA (CA1).

PROGRAMMATION

71-INTRODUCTION:

Jusqu'à présent, nous avons vu les différentes possibilités d'exploitation de notre système d'interface avec le microprocesseur. Cela constitue la partie "HARDWARE" ou "MATÉRIEL". Maintenant pour faire fonctionner notre système il faut élaborer la partie "SOFTWARE" ou "PROGRAMMATION".

En effet, pour donner des ordres au microprocesseur, il faut un langage binaire. Chaque opération logique ou arithmétique à effectuer est codée en un mot binaire appelé INSTRUCTION et l'ensemble des instructions nécessaires pour faire fonctionner un système constitue le PROGRAMME.

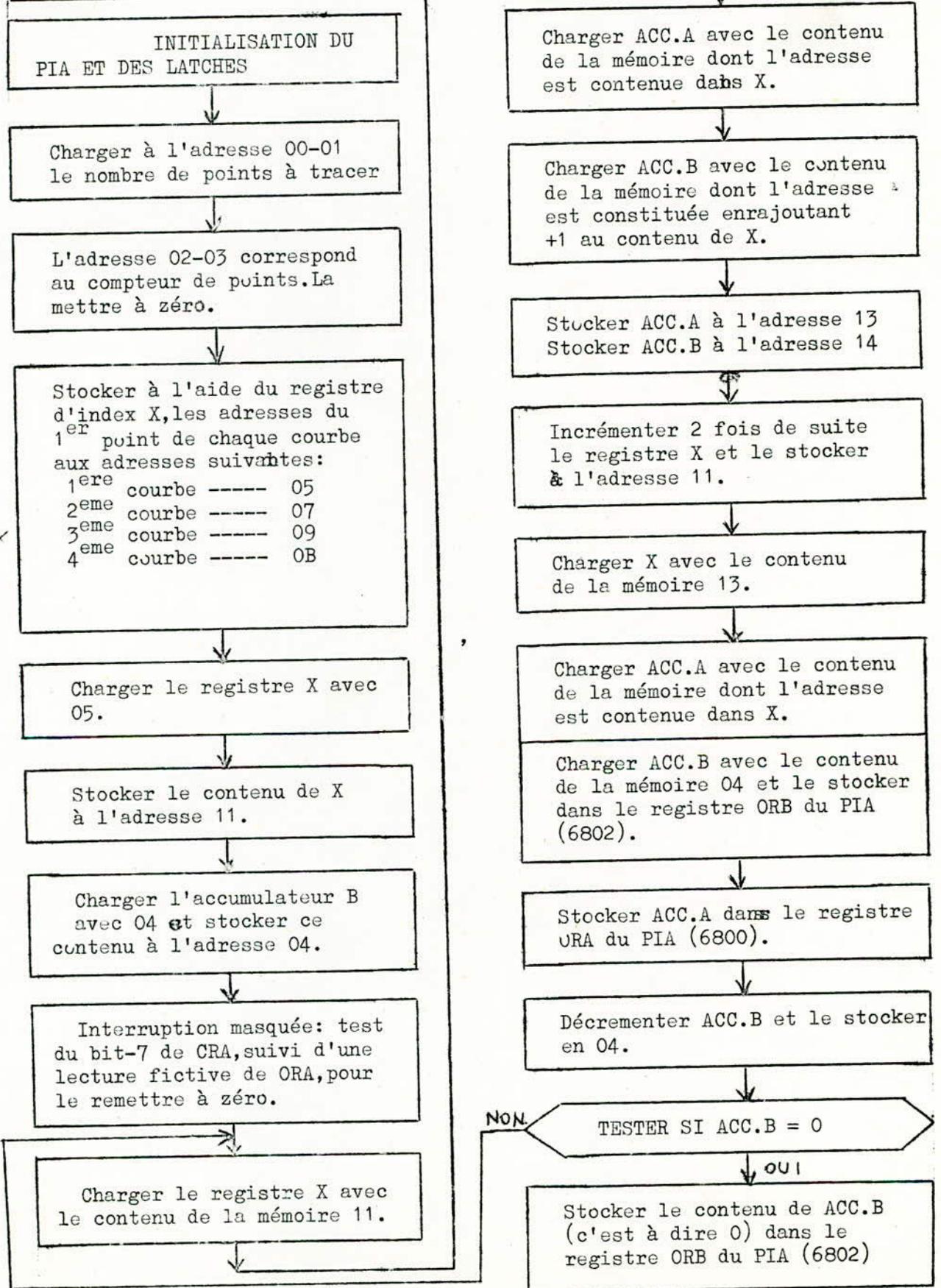
L'écriture du programme se fait en code hexadécimal suivant un langage appelé langage assembleur qui consiste à représenter chaque opération par une expression mnémotechnique, comme par exemple ADD, abréviation de addition, CMP de comparer, ... Ainsi, l'élaboration d'un programme, même très compliqué, s'en trouve plus facile à manipuler. Ce langage est un outil puissant. Il n'est pas réservé aux microprocesseurs seulement puisqu'il est utilisé avec les ordinateurs et les mini-ordinateurs. Le langage assembleur reste cependant spécifique à chaque microprocesseur. Il est fourni par le constructeur.

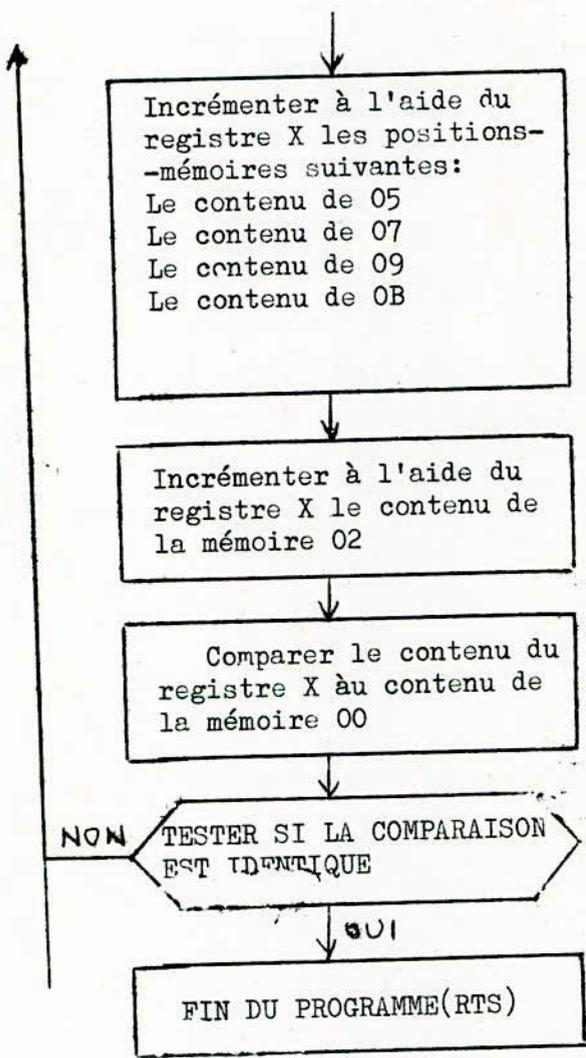
Dans notre cas, l'élaboration de notre programme consiste à opérer le transfert de données représentant les points de courbes et stockés en mémoire, vers les positions-mémoires ou latches via le PIA.

Ce transfert s'effectue suivant les demandes du périphérique. En effet, à chaque fois que le papier de l'enregistreur avance de 2 mm, une donnée doit être envoyée sur l'un des scripteurs. Cette demande est enregistrée par le registre de contrôle du PIA (bit 7) qui suit l'action de CA1.

Ainsi à chaque fois que le bit-7 du registre de contrôle passe à "1", cela correspondra à une avance de 2 mm du papier. Par conséquent notre programme de transfert se basera sur le test du bit-7. L'interruption sera masquée, et la transition active de CA1 se fera sur le front descendant.

ORGANIGRAMME:





Incrémenter à l'aide du registre X les positions-mémoires suivantes:
Le contenu de 05
Le contenu de 07
Le contenu de 09
Le contenu de 0B

Incrémenter à l'aide du registre X le contenu de la mémoire 02

Comparer le contenu du registre X au contenu de la mémoire 00

NON TESTER SI LA COMPARAISON EST IDENTIQUE

OUI

FIN DU PROGRAMME(RTS)

BRANCHES	ADRESSES	INSTRUCTIONS	MNEMONIQUES	OBSERVATIONS
	0100	7F 6801	CLR	Initialisation du PIA
	0103	7F 6803	CLR	
	0106	86 FF	LDAA	
	0108	C6 04	LDAB	
	010A	B7 6800	STAA	
	010C	F7 6801	STAB	
	0110	86 FF	LDAA	
	0112	B7 6802	STAA	
	0115	F7 6803	STAB	
	0118	B6 6800	LDAA	
	011B	4F	CLRA	
	011C	B7 6800	STAA	
	011F	C6 04	LDAB	
	0121	B6 6801	LDAA	Test du bit-7 de CRA
	0124	2A FB	BPL	
	0126	B6 6800	LDAA	
	0129	F7 6802	STAB	
	012C	5A	DEC.B	
	012D	26 F2	BNE	
	012F	F7 6802	STAB	
	0132	CE 0038	LDX	
	0135	FF 0000	STX	
	0138	CE 0000	LDX	
013B	FF 0002	STX	Chargement du N° du point	
013E	CE 0400	LDX		
0141	FF 0005	STX	Chargement de l'adresse de 1 ^{er} point de chaque courbe	
0144	CE 0440	LDX		
0147	FF 0007	STX		
014A	CE 0480	LDX		
014D	FF 0009	STX		
0150	CE 04C0	LDX		
0153	FF 000B	STX		
0156	CE 0005	LDX		
0159	FF 0011	STX		

015C	C6	04	LDAB
015E	F7	0004	STAB
0161	B6	6801	LDAA
0164	2A	FB	BPL
0166	B6	6800	LDAA
0169	FE	0011	LDX
016C	A6	00	LDAA
016E	E6	01	LDAB
0170	B7	0013	STAA
0173	F7	0014	STAB
0176	08		INX
0177	08		INX
0178	FF	0011	STX
017B	FE	0013	LDX
017E	A6	00	LDAA
0180	F6	0004	LDAB
0183	F7	6802	STAB
0186	B7	6800	STAA
0189	5A		DEC.B
018A	F7	0004	STAB
018D	26	DA	BNE
018F	F7	6802	STAB
0192	FE	0005	LDX
0195	08		INX
0196	FF	0005	STX
0199	FE	0007	LDX
019B	08		INX
019C	FF	0007	STX
019F	FE	0009	LDX
01A2	08		INX
01A3	FF	0009	STX
01A6	FE	000B	LDX
01A9	08		INX
01AA	FF	000B	STX
01AD	FE	0002	LDX
01B0	08		INX
01B1	FF	0002	STX

Test du bit-7
de CRA
Lecture fictive

↑ └─┘	01B4	BC	0000	CPX
	01B7	26	9C	BNE
	01B9	39		RTS

COMMENTAIRES:

Le principe adopté pour l'élaboration de ce programme est le suivant:

On stocke l'adresse du premier point de chaque courbe dans les positions-mémoires 05 à 0B et le numéro du scripteur à l'adresse 04. L'adresse du point à tracer sera présente dans le registre d'index et la donnée (ou point) chargée dans l'accumulateur A en mode d'adressage indéxé. Les données sont évacuées par l'accumulateur A et le numéro de la voie (ou scripteur) par l'accumulateur B.

Après le tracé de chaque point, on incrémente, à l'aide du registre d'index, les adresses des points contenues dans les mémoires 05 à 0B, on numérote le point tracé, on garde ce numéro dans la position-mémoire 02 et on compare ce numéro au nombre de points que l'on désire tracer, contenu dans la mémoire 00.

Le test du bit-7 du registre de contrôle CRA (adresse 0161 à 0164 du programme) permet de régler l'envoi des données toutes les fois que le papier défile de 2 mm. L'envoi des données se fait chaque fois que le bit-7 passe à "1", il est alors remis à zéro par une lecture fictive du registre de sortie ORA.

En envoyant les données, toutes les fois que le papier a défilé de 2 mm après que le scripteur précédent ait inscrit son point la courbe obtenue est tracée par paliers successifs de 12 mm et correspondants à chaque point de celle-ci. Ces paliers de 12 mm de longueur rendent le tracé obtenu inexploitable, car quoique le rattrapage du zéro de référence est effectué, la courbe perd toute son allure.

Le tracé avec des paliers de 12 mm étaient obtenus avec le même programme que celui-ci mais en plaçant le test du bit-7 du registre de contrôle CRA juste avant l'envoi de la donnée et du numéro du scripteur respectivement sur le port A et le port B du PIA.

Aussi avons-nous utilisé une autre méthode qui permet de diminuer la longueur des paliers de 10 mm.

Cette méthode consiste à évacuer 6 données en même temps, à chaque fois que le papier défile de 2 mm, mais ces données seront

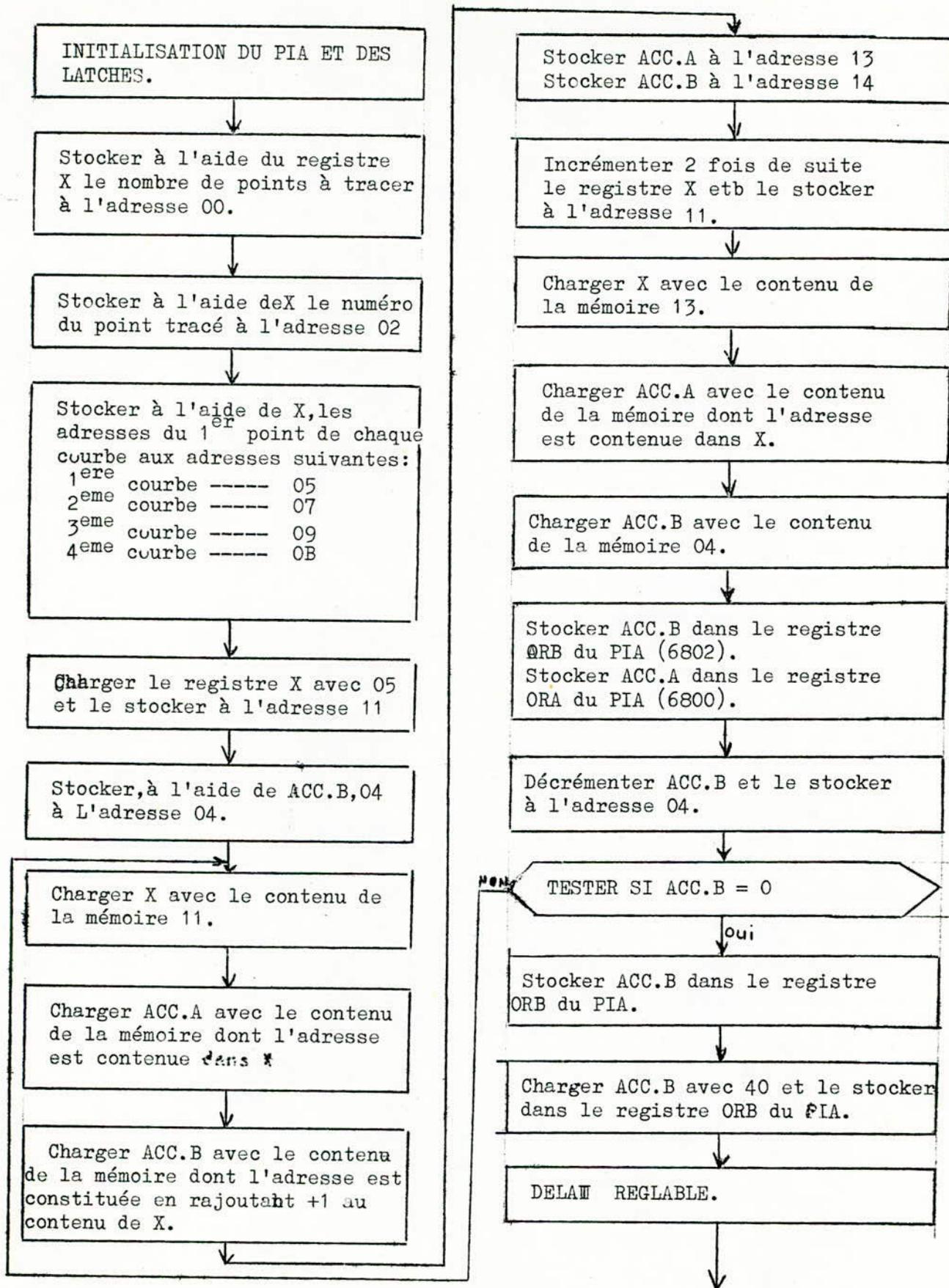
disposées en mémoires de telle sorte à rattraper le zéro de référence.

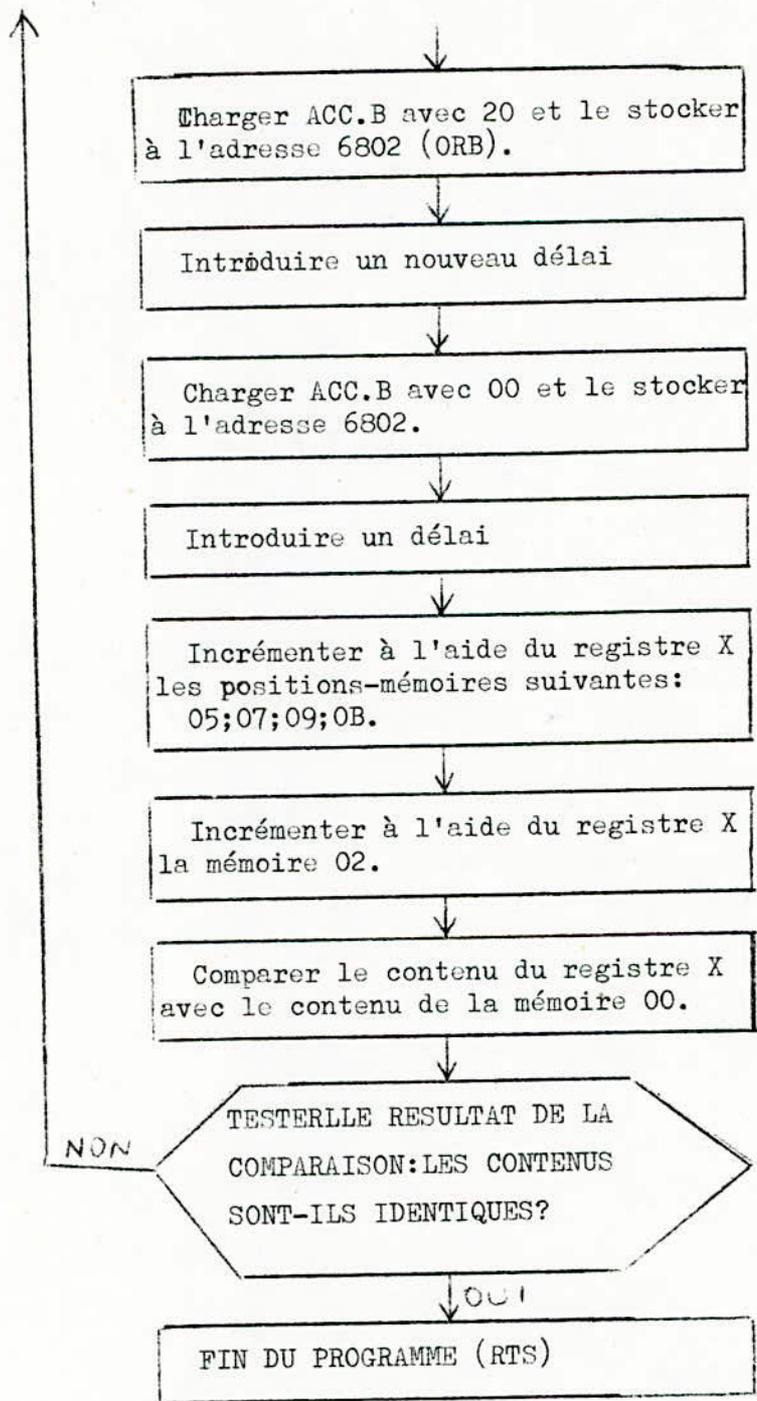
Ainsi pour le programme de 4 courbes différentes. On dispose des zéros aux trois premières adresses des points de la première courbe, aux deux premières adresses des points de la deuxième courbe, à la première adresse des points de la troisième courbe et la quatrième courbe sera tracée normalement; après ces zéros viennent les points des courbes à tracer.

Donc lorsque le 4^{eme} scripteur traversera normalement son point les 3 premiers stylets inscriront des zéros; le papier défilera de 2 mm, le point tracé précédemment sera maintenant au niveau du 3^{eme} scripteur qui inscrira alors le premier point de la 3^{eme} courbe. Les 2 premiers stylets inscriront des zéros. Le papier défilera de 2 mm, les deux points précédemment inscrits sont maintenant au niveau du 2^{eme} scripteur qui inscrira alors le premier point de la deuxième courbe et lorsque le papier défilera encore de 2 mm le premier scripteur tracera le premier point de la première courbe au même niveau que les trois points précédemment inscrits.

Cette méthode permet d'obtenir des tracés de courbes beaucoup plus exploitables que précédemment.

ORGANIGRAMME:





BRANCHES	ADRESSES	INSTRUCTIONS	MNEMONIQUE	OBSERVATIONS
	0100	7F 6801	CLR	
	0103	7F 6803	CLR	
	0106	86 FF	LDAA	
	0108	C6 04	LDAB	
	010A	B7 6800	STAA	
	010D	F7 6801	STAB	
	0110	B7 6802	STAA	
	0113	F7 6803	STAB	
	0116	4F	CLR.A	
	0117	B7 6800	STAA	
	011A	C6 04	LDAB	
	011C	B6 6801	LDAA	
	011F	2A FB	BPL	
	0121	B6 6800	LDAA	
	0124	F7 6802	STAB	
	0127	5A	DEC.B	
	0128	26 F2	BNE	
	012A	F7 6802	STAB	
	012D	CE 0038	LDX	
	0130	FF 0000	STX	
	0133	CE 0000	LDX	
	0136	FF 0002	STX	
	0139	CE 0400	LDX	
	013C	FF 0005	STX	
	013F	CE 0440	LDX	
	0142	FF 0007	STX	
	0145	CE 0480	LDX	
	0148	FF 0009	STX	
	014B	CE 04C0	LDX	
	014E	FF 000B	STX	
	0151	CE 0005	LDX	
	0154	FF 0011	STX	
	0157	C6 04	LDAB	
	0159	F7 0004	STAB	
	015C	FE 0011	LDX	
	015F	A6 00	LDAA	
	0161	E6 01	LDAB	

0163	B7	0013	STAA	
0166	F7	0014	STAB	
0169	08		INX	
016A	08		INX	
016B	FF	0011	STX	
016E	FE	0013	LDX	
0171	A6	00	LDAA	
0173	F6	0004	LDAB	
0176	F7	6802	STAB	
0179	B7	6800	STAA	
017C	5A		DEC.B	
017D	F7	6802	STAB	
0180	26	DA	BNE	
0182	F7	6802	STAB	
0185	C6	40	LDAB	ENVOI DE LA COM-
0187	F7	6802	STAB	-MANDE "Avance du
018A	CE	FFFF	LDX	papier"
018D	09		DEW	Délai réglable
018E	26	FD	BNE	
0190	C6	20	LDAB	Envoi de la com-
0192	F7	6802	STAB	-mande "Leve-plume"
0195	CE	FFFF	LDX	
0198	09		DEX	
0199	26	FD	BNE	
019B	CE	FFFF	LDX	DELAI
019E	09		DEX	
019F	26	FD	BNE	
01A1	CE	FFFF	LDX	
01A4	09		DEX	
01A5	26	FD	BNE	
01A7	C6	00	LDAB	Remise à 0 des
01A9	F7	6802	STAB	commandes
01AC	CE	FFFF	LDX	
01AF	09		DEX	
01B0	26	FD	BNE	
01B2	20	02	BRA	
01B4	20	9B	BRA	

↑	01B6	FE	0005	LDX	
	01B9	08		INX	
	01BA	FF	0005	STX	
	01BD	FE	0007	LDX	
	01C0	08		INX	Incrémentation de
	01C1	FF	0007	STX	l'adresse du point
	01C4	FE	0009	LDX	
	01C7	08		INX	
	01C8	FF	0009	STX	
	01CB	FE	000B	LDX	
	01CE	08		INX	
	01CF	FF	000B	STX	
	01D2	FE	0002	LDX	Numérotation du
	01D5	08		INX	point.
	01D6	FF	0002	STX	
	01D9	BC	0000	CPX	Comparaison avec le
01DE	26	D6	BNE	dernier point à	
01DF	39			tracer.	

COMMENTAIRES:

Ce programme est le même que le précédent, en incluant maintenant l'utilisation des diverses commandes que possède l'enregistreur. Ces commandes permettent d'obtenir des tracés bien plus intéressants que ceux obtenus jusque là. Ainsi, grâce à ces commandes, on a relevé deux types de tracés:

- 1- Le tracé point par point.
- 2- Le tracé par tiret.

Ces commandes, comme nous l'avons vu précédemment, sont disposées sur les lignes du port B du PIA restées vacantes, et par l'intermédiaire d'interrupteurs constitués par des portes analogiques à transistor à effet de champs, on arrive à commander par programme le lève-plume et l'avance par impulsion du papier de l'enregistreur.

Ces commandes fonctionnent dans le principe suivant:

LEVE-PLUME:

En position circuit ouvert, les § plumes sont baissées

et **sont** donc en état d'écriture.

En position court-circuit, les 6 plumes sont levées.

AVANCE PAR IMPULSION DU PAPIER:

En position circuit ouvert, le papier est à l'arrêt.

En position court-circuit, le papier défile.

Donc dans notre programme, les plumes seront maintenues levées et lorsque les données arrivent sur les 6 scripteurs, le papier avance d'une longueur que l'on peut régler en maintenant cette commande au niveau "0" pendant un certain délai inclu dans le programme. Lorsque le papier a avancé, les plumes seront baissées quand l'avance cessera, les plumes seront maintenues dans cet état pendant un certain temps, afin de permettre au relai les commandant d'avoir un fonctionnement normal et de ne pas se saturer vite.

Une fois le point inscrit, on remet ces commandes à zéro et on passe au point suivant.

Cette méthode permet également un tracé par tirets. Il suffit de changer la combinaison de l'envoi des commandes dans le port B du PIA.

Ainsi en mettant à l'adresse 0185 du programme: C6 60 (LDAB) au lieu de C6 40. Le résultat obtenu sera une courbe tracée par tirets.

Le papier défilera pendant un certain temps (programmable) avec les plumes baissées.

CONCLUSION

Nous nous sommes attachés ici à présenter l'étude d'un travail consacré à la réalisation d'un système d'interfaçage entre un micro-calculateur numérique et un enregistreur potentiométrique entrant dans le cadre d'un projet bien défini.

La simulation digitale des points de courbes telles que; sinusoides, créneaux, rampes.... a été fidèlement représentée suivant un même axe de référence.

L'appareil muni de son interface est prêt à l'utilisation pratique pour le contrôle permanent de six phénomènes variant plus ou moins rapidement, avec le temps. Il pourra constituer, dès lors, un moyen fiable de vérification, pour un instant quelconque donné, de l'évolution de ces phénomènes. Il offre également la possibilité de pouvoir libérer des zones de mémoires utilisées pour le stockage de résultats définitifs de calculs effectués par le micro-ordinateur puisque ceux-ci seront enregistrés directement sur le papier.

Cependant, des améliorations peuvent être apportées quant à une utilisation plus souple de l'ensemble et une exploitation plus rationnelle des performances de ce type d'enregistreur.

Du point de vue "HARDWARE" des améliorations sont possibles au niveau de l'étage de sortie.

L'adjonction d'un circuit intégrateur en sortie éliminerait les paliers de 2 mm obtenus avec notre système, mais il faudrait que la constante de temps d'un pareil circuit soit adéquate pour chaque vitesse de défilement du papier et vu la large gamme de fréquence relative à ces vitesses cela nécessiterait pratiquement un circuit intégrateur pour chaque vitesse.

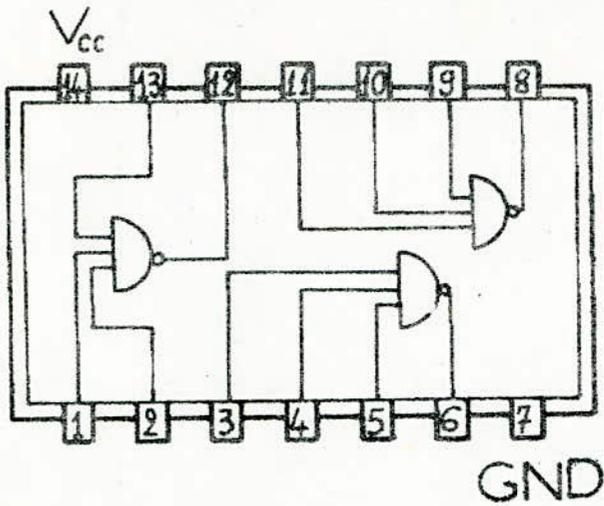
Une telle méthode ne consiste plus à représenter chaque mot binaire, représentant un point d'une courbe, par un niveau analogique mais à représenter le niveau moyen entre 2 points de la courbe.

C'est la méthode de la reconstruction de la courbe. Elle peut être efficace si nous arrivons à mettre en place tous les circuits intégrateurs relatifs à chaque vitesse et pour chaque voie.

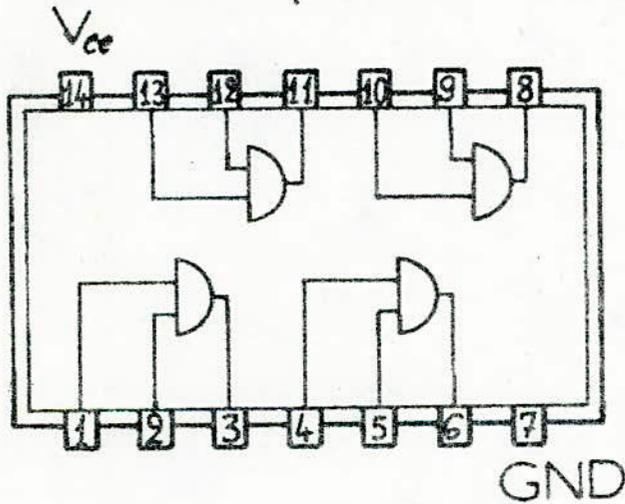
Du point de vue "SOFTWARE" beaucoup d'améliorations restent possibles,notemment,il reste à accoler les 2 programmes établis car le choix du tracé est propre à l'utilisateur.

ANNEXE

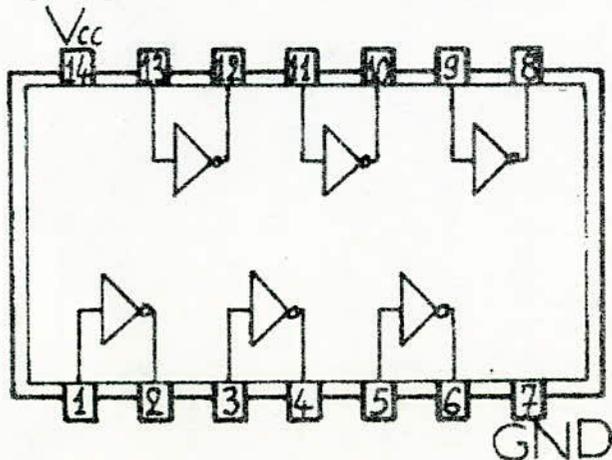
SN 7410 3portes NAND



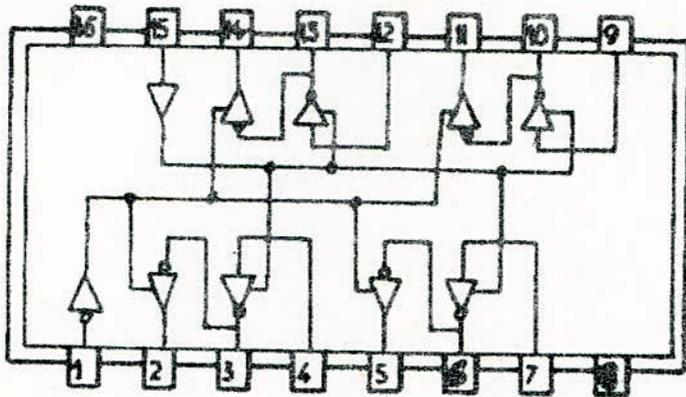
SN 7408 4portes AND



SN 7404 6 inverseurs

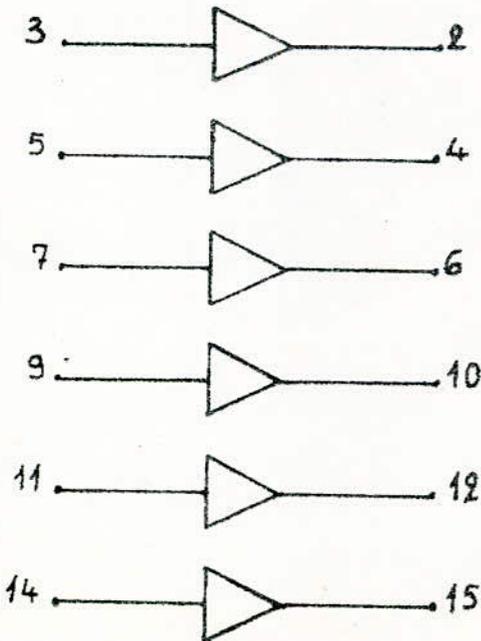


MC 8T26 Buffers 3Etats



- 1: Receiver Enable input
- 2: Receiver output 1
- 3: Bus 1
- 4: Driver input 1
- 5: Receiver output 2
- 6: Bus 2
- 7: Driver input 2
- 8: GND
- 9: Driver input 3
- 10: Bus 3
- 11: Receiver output 3
- 12: Driver input 4
- 13: Bus 4
- 14: Receiver output 4
- 15: Driver enable input
- 16: V_{cc}

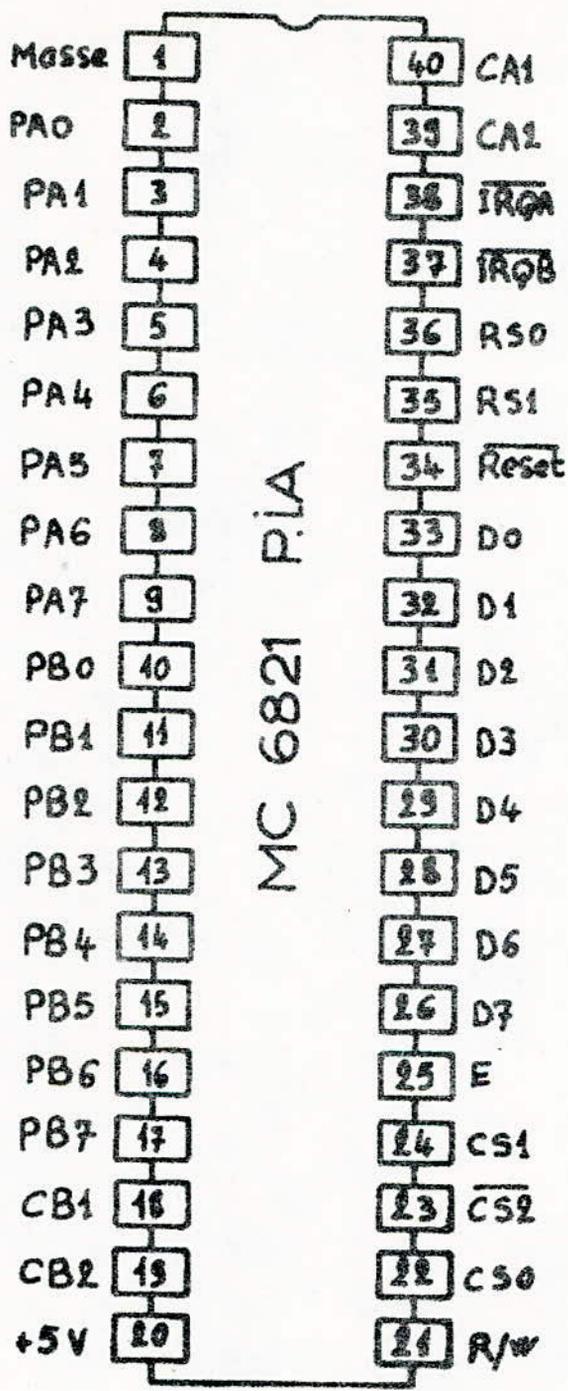
MC 1450 Buffers



NC: Pins 13, 16

Masse: Pin 8

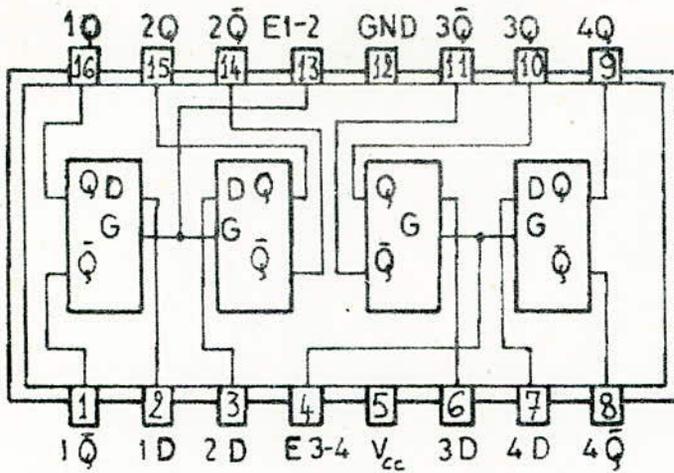
V_{cc}: Pin 1



BROCHAGE DU PIA

SN 7475 4Bit Bistable Latches

Table de Vérité



INPUTS		OUTPUTS	
D	G	Q	Q̄
0	1	0	1
1	1	1	0
X	0	Q ₀	Q̄ ₀

Q₀ : Le niveau de Q avant la transition 1→0 de G
 x : indifférent

SN 7442A Decoder BCD

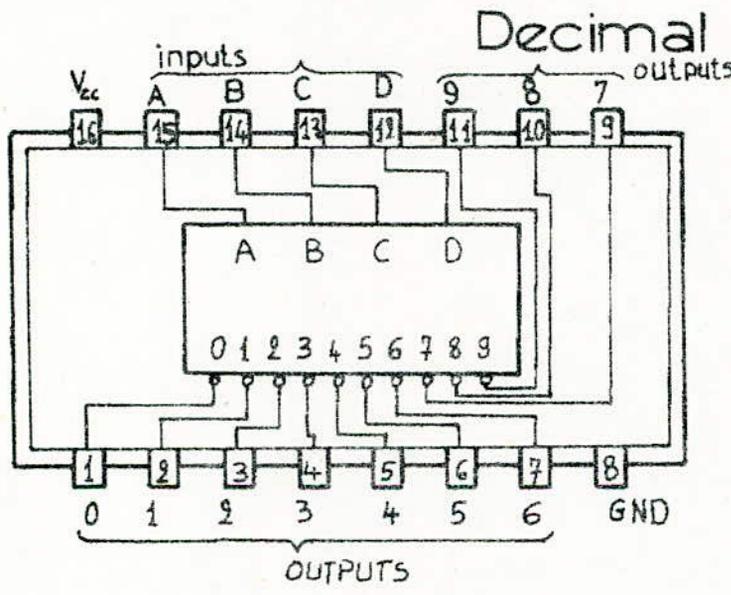


Table de Vérité

No	BCD INPUTS			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
↑	⋮	⋮	⋮	⋮
invalid	⋮	⋮	⋮	⋮
↓	1	1	1	1

SN 7492 Compteur par 12

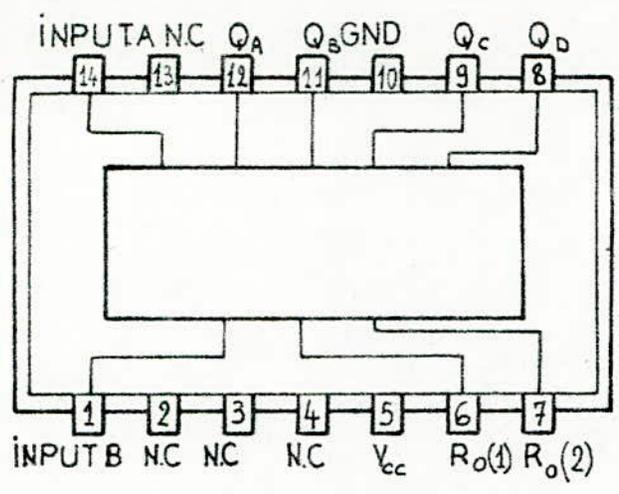


Table de Vérité

Comp.	Outputs			
	Q _D	Q _C	Q _B	Q _A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	1	0	0	0
7	1	0	0	1
8	1	0	1	0
9	1	0	1	1
10	1	1	0	0
11	1	1	0	1

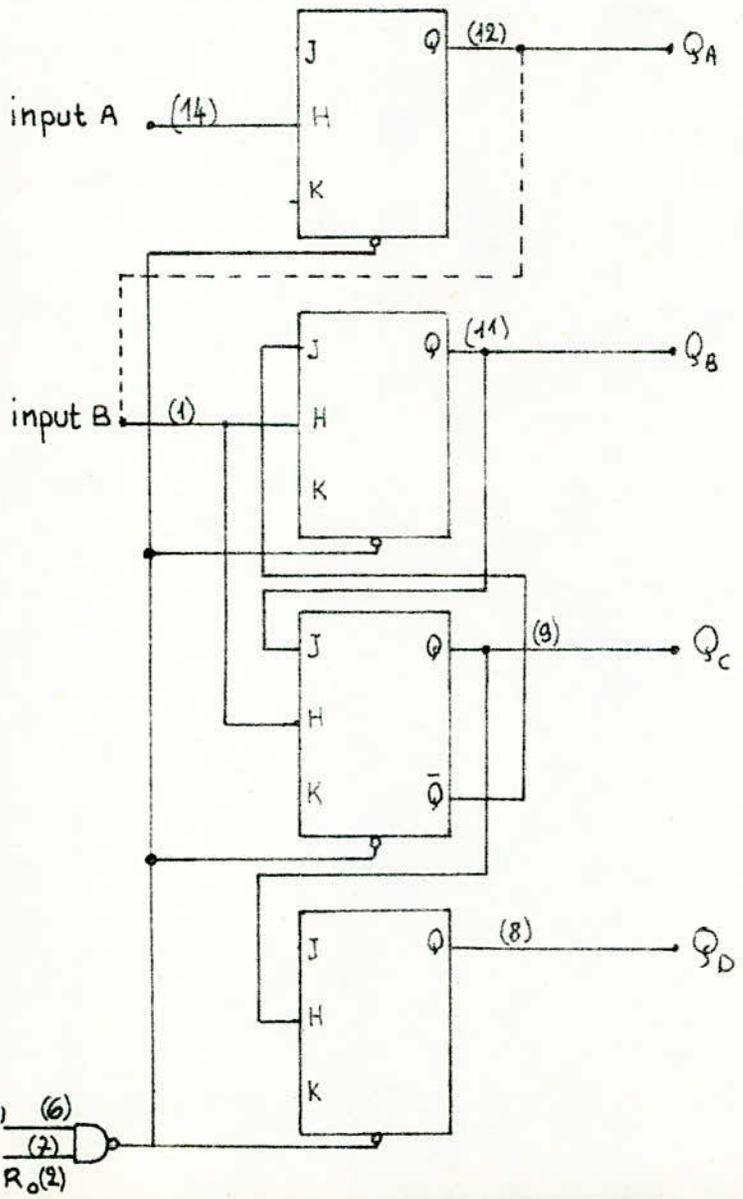


TABLE DES MATIERES

INTRODUCTION

CHAPITRE I:

EXPOSE DU SUJET

- 1- SUJET PROPOSE
- 2- EXPOSE RAPIDE DE LA METHODE
- 3- SCHEMA SYNOPTIQUE.

CHAPITRE II:

LA FAMILLE M 6800

INTRODUCTION

- 1- PRESENTATION DU BOITIER MC 6800
- 2- DIFFERENTS MODES D'ADRESSAGE.

CHAPITRE III:

ADAPTATEUR D'INTERFACE PERIPHERIQUE:LE PIA MC 6821

- 1- DESCRIPTION DU MC 6821-BLOC-DIAGRAMME.
- 2- DIFFERENTES LIGNES DU MC 6821.
- 3- ORGANISATION INTERNE DU PIA
 - 31-RS0 ET RS1
 - 32-REGISTRE DE DIRECTION DE TRANSFERT DES DONNEES
 - 321-TRANSFERT DES DONNEES SUR LE PORT A
 - 322-TRANSFERT DES DONNEES SUR LE PORT B
 - 33-REGISTRE DE CONTROLE
 - 331-PRESENTATION DU REGISTRE DE CONTROLE
 - 332-MODE DE FONCTIONNEMENT DE CA1 ET CB1
 - 333-MODE DE FONCTIONNEMENT DE CA2 ET CB2
- 4- ADRESSAGE DU PIA MC 6821
 - 41-CIRCUIT D'ADRESSAGE DU PIA MC 6821
 - 42-SCHEMA DU CIRCUIT D'ADRESSAGE DU PIA MC 6821
 - 43-LOGIQUE DE COMMANDE DES BUFFERS.

44-SCHEMA DE LA LOGIQUE DE COMMANDE

45-VERIFICATION PRATIQUE DE LA LOGIQUE DE COMMANDE

CHAPITRE IV:

LA CONVERSION NUMERIQUE/ANALOGIQUE

- 1- PRINCIPE DE LA CONVERSION NUMERIQUE/ANALOGIQUE
 - 11-OPERATIONS EFFECTUEES EN CONVERSION
 - 12-DEFINITION
- 2- DIFFERENTES FAMILLES DE C.N.A
- 3-PARAMETRES CARACTERISTIQUES D'UN C.N.A
 - 31-FONCTION IDEALE DE TRANSFERT D'UN C.N.A
 - 32-AMPLITUDE DE LA TENSION DE SORTIE U_{MAX} .
 - 33-RESOLUTION D'UN C.N.A
 - 34-TEMPS DE CONVERSION
 - 35-PROBLEME POSE PAR LES REGIMES TRANSITOIRES EN SORTIE
 - 36-PRECISION D'UN C.N.A
- 4- ERREURS DANS LES C.N.A
- 5- ETUDES DES PRINCIPAUX C.N.A
 - 51-C.N.A PARALLELES
- 6- INTERFACE D'ENTREE UTILISE
 - 61-LES ENTREES
 - 62-COMMANDE DE CHARGE
- 7- CONVERTISSEUR UTILISE
 - 71-CARACTERISTIQUES TECHNIQUES
 - 72-AJUSTEMENT DE LA TENSION DE SORTIE
 - 73-LES ALIMENTATIONS
 - 74-ETAGE DE SORTIE

CHAPITRE V:

ENREGISTREUR POTENTIOMETRIQUE 6 VOIES

- 1-CARACTERISTIQUES TECHNIQUES
- 2-SYTEME D'INSCRIPTION
- 3-DEROULEMENT DU PAPIER

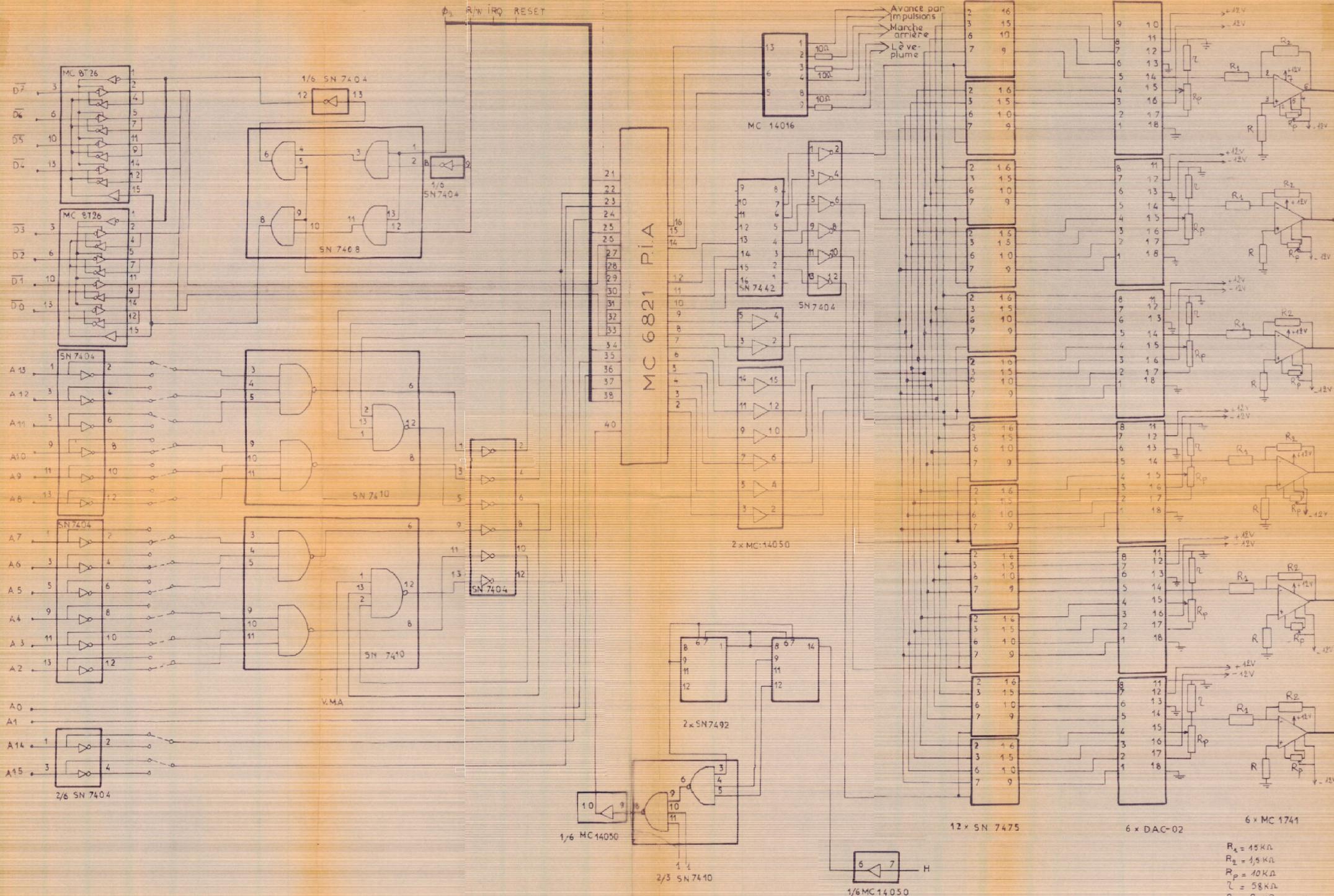
CHAPITRE VI:

SYNCHRONISATION DU TRACE

- 1-PRINCIPE DE LA SYNCHRONISATION
- 2-COMPTEUR D'IMPULSIONS
- 3-DETECTEUR DE SEQUENCE

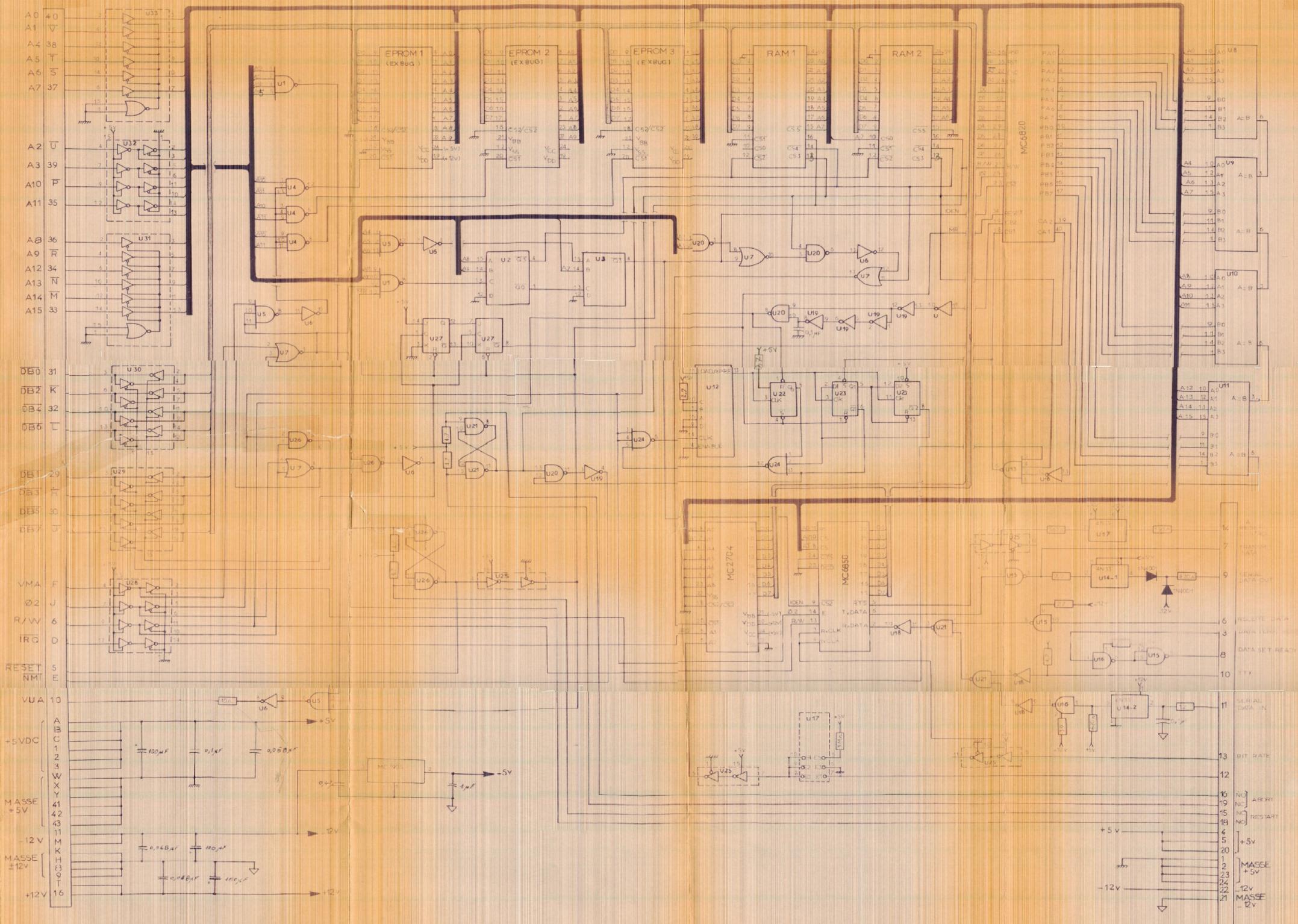
CHAPITRE VII:

PROGRAMMATION
CONCLUSION
ANNEXE
BIBLIOGRAPHIE



CARTE: INTERFACE
 Calculateur Enregistreur
 potentiométrique (6 voies)

$R_1 = 15k\Omega$
 $R_2 = 1,5k\Omega$
 $R_p = 10k\Omega$
 $L = 58k\Omega$
 $R = R_1 // R_2 = 1,5k\Omega$



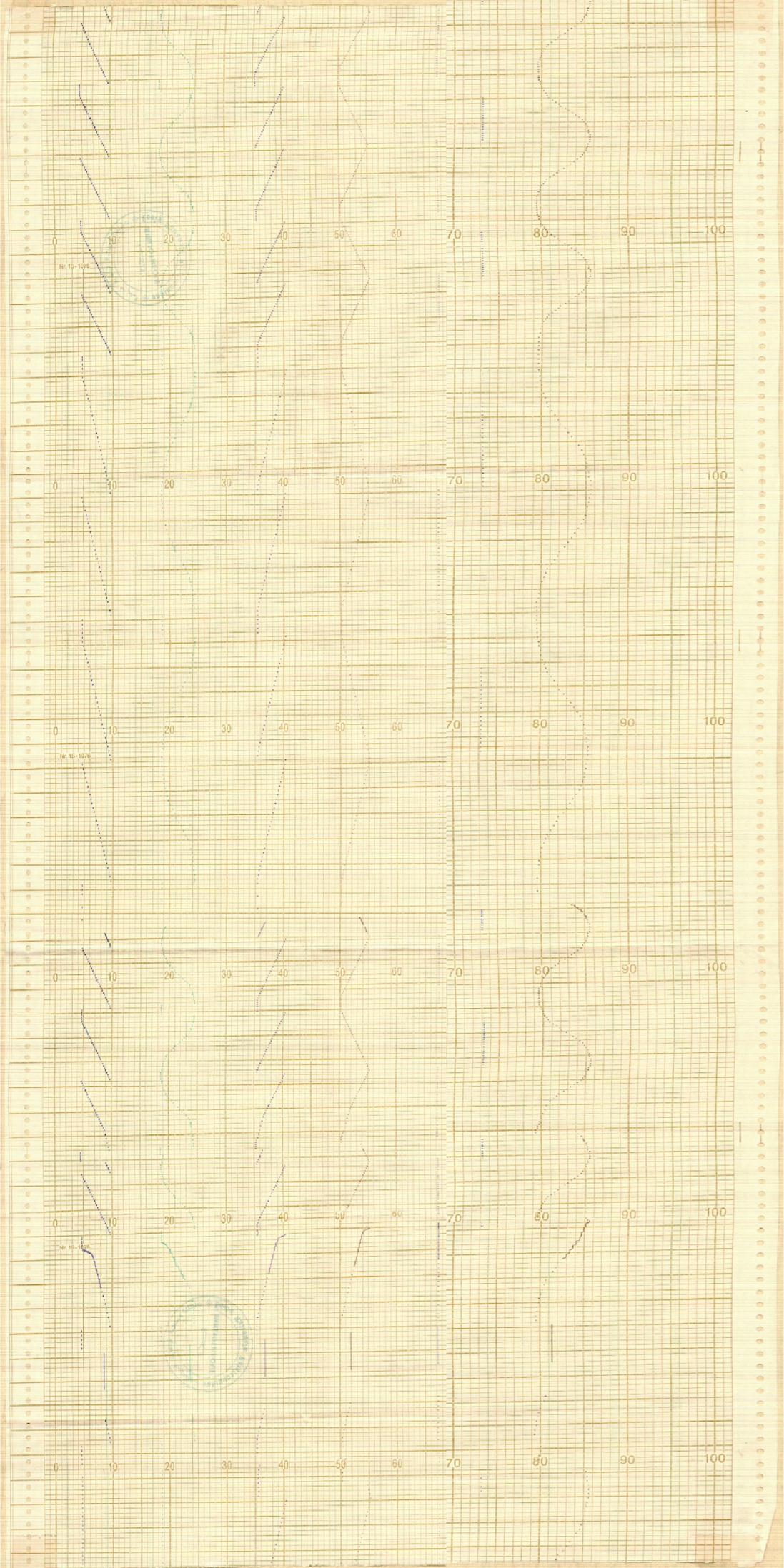
NB : Pour l'emploi de la strap sur position.

- E0. Et pour toute vitesse de dialogue (utiliser commutateur amont)
- E2. E3 pour 110 Bauds
- E4. E5 pour 150 à 9600 Bauds

* Les résistances sans unités sont exprimées en kΩ.

MODULE DEBUG

SCHEMA DE CABLAGE



0 10 20 30 40 50 60 70 80 90 100
No. 15-1076

0 10 20 30 40 50 60 70 80 90 100

0 10 20 30 40 50 60 70 80 90 100
No. 15-1076

0 10 20 30 40 50 60 70 80 90 100

0 10 20 30 40 50 60 70 80 90 100

0 10 20 30 40 50 60 70 80 90 100

